



**UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO**

**FACULTAD DE ESTUDIOS SUPERIORES ARAGÓN**

---

---

**ELABORACIÓN DE MATERIAL DIDÁCTICO DIGITAL PARA  
LOS LABORATORIOS DE DISEÑO LÓGICO**

**PRÁCTICAS DIGITALES PARA LOS  
LABORATORIOS DE DISEÑO LÓGICO**

**EN LA MODALIDAD DE ACTIVIDAD DE APOYO A LA  
DOCENCIA PARA OBTENER EL TÍTULO DE:**

**INGENIERO EN COMPUTACIÓN**

**PRESENTA:**

**ANA YANEDT RAMÍREZ HERNÁNDEZ**

**ASESOR:**

**M. EN C. NORMA ANGÉLICA ROMERO BADILLO**

Cd. Nezahualcoyotl, Edo. de México

**2019**





Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.



## Contenido

|  |    |
|--|----|
| Prácticas digitales para los laboratorios de diseño lógico ..... | 1  |
| Introducción .....   | 1  |
| Propósito .....  | 1  |
| Enfoque.....   | 1  |
| Objetivo general .....   | 1  |
| Planteamiento del problema.....                                  | 1  |
| Justificación.....   | 2  |
| Resumen de contenidos .....                                      | 3  |
| Capítulo I.....  | 5  |
| Compuertas básicas. ....   | 5  |
| Objetivo general .....   | 5  |
| Aprendizajes esperados.....                                      | 5  |
| Tarea de casa.....   | 5  |
| Cuestionario.....  | 5  |
| Trabajo de laboratorio.....                                      | 8  |
| Material de laboratorio. ....                                    | 8  |
| Capítulo II.....   | 12 |
| Reducción de circuitos.....                                      | 12 |
| Objetivo general .....   | 12 |
| Aprendizajes esperados.....                                      | 12 |
| Tarea de casa .....  | 12 |
| Cuestionario.....  | 12 |
| Ejemplo de conexión por mapas de karnaugh.....                   | 15 |
| Trabajo de laboratorio .....                                     | 16 |
| Material de laboratorio. ....                                    | 16 |
| Capítulo III.....  | 18 |
| Circuitos combinacionales .....                                  | 18 |
| Objetivo general .....   | 18 |
| Aprendizajes esperados.....                                      | 18 |
| Tarea de casa .....  | 18 |
| Trabajo de Laboratorio.....                                      | 19 |



|   |    |
|---|----|
| Material de laboratorio .....   | 19 |
| Capítulo IV.....  | 22 |
| Codificadores y decodificadores .....                                     | 22 |
| Objetivo general .....  | 22 |
| Aprendizajes esperados.....   | 22 |
| Tarea de casa .....   | 22 |
| Cuestionario.....   | 22 |
| Trabajo de laboratorio .....  | 28 |
| Material de laboratorio .....   | 28 |
| Capítulo V.....   | 32 |
| Implementación de circuitos combinacionales.....                          | 32 |
| Objetivo general .....  | 32 |
| Aprendizajes esperados.....   | 32 |
| Tarea de casa .....   | 32 |
| Ejemplo de avanzar por el método Quine-McCluskey .....                    | 33 |
| Trabajo de laboratorio .....  | 37 |
| Material de laboratorio .....   | 37 |
| Capítulo VI.....  | 38 |
| Divisor de frecuencia con arreglos de compuertas programables .....       | 38 |
| Objetivo general .....  | 38 |
| Aprendizajes esperados.....   | 38 |
| Tarea de casa .....   | 38 |
| Trabajo de laboratorio .....  | 39 |
| Material de laboratorio .....   | 39 |
| Capítulo VII.....   | 40 |
| Práctica 7 Unidad aritmética lógica o unidad aritmético-lógica (ALU)..... | 40 |
| Objetivo general .....  | 40 |
| Aprendizajes esperados.....   | 40 |
| Trabajo de Casa.....  | 40 |
| Trabajo de laboratorio .....  | 41 |
| Material de laboratorio .....   | 41 |
| Capítulo VIII.....  | 42 |
| Práctica 8 Contador .....   | 42 |
| Objetivo general .....  | 42 |



|  |    |
|--|----|
| Aprendizajes esperados.....                                    | 42 |
| Trabajo de Casa.....   | 42 |
| Trabajo de laboratorio .....                                   | 42 |
| Material de laboratorio .....                                  | 42 |
| Capítulo IX.....   | 44 |
| Práctica 9 Diseño lógico secuencial .....                      | 44 |
| Objetivo general .....   | 44 |
| Aprendizajes esperados.....                                    | 44 |
| Trabajo de Casa.....   | 44 |
| Trabajo de laboratorio .....                                   | 44 |
| Material de laboratorio .....                                  | 44 |
| Capítulo X.....  | 46 |
| Práctica 10 Simulación .....                                   | 46 |
| Objetivo general .....   | 46 |
| Aprendizajes esperados.....                                    | 46 |
| Trabajo de Casa.....   | 46 |
| Trabajo de laboratorio .....                                   | 46 |
| Material de laboratorio .....                                  | 46 |
| Bibliografía.....  | 48 |
| Anexos .....   | 49 |
| Anexo I.....   | 49 |
| Manual de descarga e instalación Quartus II. ....              | 49 |
| Anexo II.....  | 61 |
| Manual para crear un proyecto en Quartus II.....               | 61 |
| Anexo III.....   | 66 |
| Ejemplo para crear un diagrama esquemático en Quartus II. .... | 66 |
| Anexo IV .....   | 74 |
| Ejemplo para simular circuito en Quartus II.....               | 74 |
| Anexo V .....  | 81 |
| Ejemplo para divisor de frecuencia en Quartus II.....          | 81 |
| Anexo VI .....   | 89 |
| Ejemplo de conexión al FPGA. ....                              | 89 |
| Conclusiones.....  | 98 |



# Prácticas digitales para los laboratorios de diseño lógico

## Introducción

### Propósito

El laboratorio de diseño lógico tiene el propósito de generar soluciones aplicadas a problemas de la vida cotidiana usando y comprendiendo los conocimientos teóricos de la disciplina. Desarrollando en los alumnos habilidades para realizar un trabajo de creatividad y calidad en la construcción de circuitos electrónicos, adquiriendo el conocimiento de utilizar herramientas digitales, para modelar sistemas electrónicos aplicados para el área de diseño lógico.

### Enfoque

Respecto a lo anterior es necesario darle un nuevo enfoque al contenido de las prácticas y su presentación, ya que las formas de enseñanza tradicional solo se basan en enseñar lo básico, y no en la aplicación en problemas de la vida diaria, por tal motivo las prácticas van dirigidas para que el alumno tenga un aprendizaje significativo en sus conocimientos teóricos y poderlos aplicar en proyectos de la vida cotidiana.

Para poder lograr un aprendizaje significativo en el laboratorio de diseño lógico, es necesario estructurar una plataforma educativa digital, para que a través de ésta se puedan almacenar las prácticas, material de apoyo, archivos digitales para que el alumno tenga los recursos necesarios para analizar y comprender el tema.

De tal manera se tendrá apoyo de recursos multimedia los cuales contendrán tutoriales de las prácticas de diseño lógico.

### Objetivo general

Crear prácticas digitales para el apoyo en el aprendizaje de los laboratorios de diseño lógico.

### Planteamiento del problema

Actualmente en los laboratorios de diseño lógico el aprendizaje que se lleva a cabo es por medio de prácticas impresas, las cuales no están actualizadas, por tanto, al alumno no le es posible desarrollar sus objetivos y habilidades en el campo laboral de manera eficiente; esto se debe a que las prácticas con las que se cuenta actualmente no tienen una estructura formal y por ello surge una confusión entre los alumnos. Para esto se pretende implementar una serie de prácticas, con el fin de ayudar al alumno a ampliar su aprendizaje y que sus conocimientos sean aplicados a la vida cotidiana, además de apoyar a los conocimientos de las materias subsecuentes a esta disciplina.



## Justificación

Al implementar la plataforma educativa, los alumnos contarán con material interactivo como: prácticas digitales que van explicadas de manera secuencial dándoles a conocer lo básico como son: las compuertas básicas, circuitos integrados los cuales ya tienen su funcionamiento específico para posteriormente enseñarles el uso de los arreglos de compuertas programables en campo (FPGA), las cuales funcionan con ciclos de reloj y en donde se complementan los circuitos combinatoriales a circuitos secuenciales, de tal forma que la retroalimentación sea clara y objetiva; así como tutoriales e información teórica que apoyara al alumno a repasar y reafirmar sus conocimientos previos y con apoyo de herramientas podrá diseñar sus prácticas en menor tiempo usando el horario de laboratorio en aclaración de dudas y aplicando sus conocimientos para resolver su práctica.

Todo esto con la finalidad de que los alumnos plasmen estos conocimientos adquiridos en casos reales dentro de lo académico y laboral.

## Resumen de contenidos

En la **primera práctica** se comprende y aplica de forma práctica la teoría de las operaciones lógicas básicas, mediante el uso de compuertas de acuerdo al rango de operación de voltaje en circuitos TTL.

### Material digital desarrollado

- A. Practica 1 en (formato digital).
- B. Diagramas de circuitos (formato digital).
- C. Cuestionario de conocimientos Práctica 1 (formato digital).

En la **segunda práctica** se diseña un circuito de control para una lámpara ahorradora de luz, a través de métodos de reducción (álgebra de Boole y mapas de karnaugh) utilizando compuertas lógicas.

### Material digital desarrollado

- A. Práctica 2 en (formato digital).
- B. Ejemplo de diagrama eléctrico (formato digital).
- C. Cuestionario de conocimientos Práctica 2 (formato digital).

En la **tercera práctica** se comprobará la ventaja de utilizar circuitos combinatoriales que integran funciones específicas (multiplexor y un comparador).

### Material digital desarrollado

- A. Práctica 3 en (formato digital).
- B. Ejemplos de diagramas eléctricos (formato digital).

En la **cuarta práctica** se aprenderá a utilizar el display de siete segmentos en su configuración de ánodo común, analizar la función de los codificadores y decodificadores con prioridad usando circuitos integrados.

### Material digital desarrollado

- A. Práctica 4 en (formato digital).
- B. Ejemplos de diagramas eléctricos (formato digital).
- C. Cuestionario de conocimientos Práctica 4 (formato digital).

En la **quinta práctica** analizar y utilizar el método de Quine McCluskey, para el funcionamiento de circuitos combinatoriales usando circuitos integrados.

### Material digital desarrollado

- A. Práctica 5 en (formato digital).
- B. Ejemplo de Quine-McCluskey para el ejercicio propuesto (formato digital).

En la **sexta práctica** se aprende a utilizar el divisor de frecuencia con arreglos de compuertas programables.

### **Material digital desarrollado**

- A. Práctica 6 en (formato digital).
- B. Simulación para los ejercicios propuestos (formato digital).

En la **séptima práctica** se analiza el funcionamiento básico de una ALU.

### **Material digital desarrollado**

- A. Práctica 7 en (formato digital).
- B. Simulación para el ejercicio propuesto (formato digital).

En la **octava práctica** se aprende el funcionamiento de un contador utilizando el display de siete segmentos en su conexión de ánodo común y cátodo común.

### **Material digital desarrollado**

- A. Práctica 8 en (formato digital).
- B. Simulación para los ejercicios propuestos (formato digital).

En la **novena práctica** se aprende el funcionamiento de un circuito combinacional síncrono

### **Material digital desarrollado**

- A. Práctica 9 en (formato digital).
- B. Simulación para los ejercicios propuestos (formato digital).

En la **décima práctica** se verá el funcionamiento de un circuito secuencial, para realizar funciones específicas.

### **Material digital desarrollado**

- A. Práctica 10 en (formato digital).
- B. Simulación para el ejercicio propuesto (formato digital).

## Capítulo I

### Compuertas básicas.

#### Objetivo general

Aplicar el uso de las compuertas básicas, usando circuitos integrados para comprender el funcionamiento de las operaciones lógicas.

#### Aprendizajes esperados

##### Saber conocer:

- Identifica las características técnicas de los circuitos integrados para las operaciones lógicas básicas.

##### Saber Hacer:

- Uso de la protoboard
- Uso del multímetro.
- Uso de la fuente de poder
- Uso de simuladores

##### Saber Ser:

- Desarrollan habilidades analíticas, críticas, de responsabilidad, integridad y compromiso ético.

#### Tarea de casa

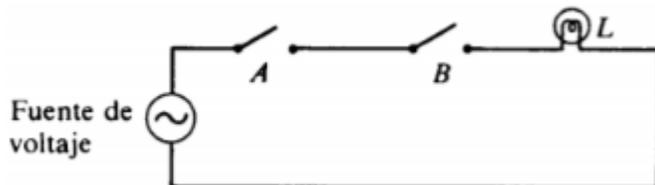
1.- Leer la introducción de los archivos que están en el material de apoyo y contestar el cuestionario de tarea de casa previo práctica 1 del tema de compuertas básicas.

#### Cuestionario

1. Es un dígito binario
  - a) Alto.
  - b) Bajo.
  - c) **bit.**
  
2. Hay tres operaciones lógicas básicas
  - a) **AND, OR y NOT.**
  - b) AND, NAND y OR.
  - c) AND, NOT y XOR.

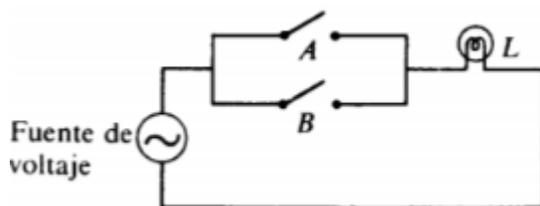
3. Esta operación se representa por medio de suma.
  - a) AND.
  - b) OR.**
  - c) NOT.
  
4. Esta operación se representa mediante un punto o por ausencia de operador.
  - a) AND.**
  - b) OR.
  - c) NOT.
  
5. Esta operación está representada por una sola comilla.
  - a) AND.
  - b) OR.
  - c) NOT.**
  
6. Es la versión de la familia TTL para propósito general.
  - a) Serie 54
  - b) Serie 74**
  
7. La lógica positiva.
  - a) Es aquella que con una señal en alto se acciona, representando un 1 binario y con una señal en bajo se desactiva. Representado un 0 binario.**
  - b) Es aquella que con una señal en alto se representa con un 0 binario y una señal en bajo se representa con un 1 binario.
  
8. La lógica negativa.
  - a) Es aquella que con una señal en alto se acciona, representando un 1 binario y con una señal en bajo se desactiva. Representado un 0 binario.
  - b) Es aquella que con una señal en alto se representa con un 0 binario y una señal en bajo se representa con un 1 binario.**
  
9. Es el voltaje máximo en la entrada de una compuerta para que se considere "1" lógico.
  - a) De 0v a 0.8v.
  - b) De 2.4v a 5v.**
  - c) De 4.75v a 5.25v.
  
10. Es el voltaje mínimo en la entrada de una compuerta para que se considere "1" lógico.
  - a) De 0v a 0.8v.**
  - b) De 2.4v a 5v.
  - c) De 4.75v a 5.25v.

11. El siguiente diagrama representa la lógica binaria de la operación "Y".



- a) Verdadero.
- b) Falso.

12. El siguiente diagrama representa la lógica binaria de la operación "O".



- a) Verdadero.
- b) Falso.

13. El circuito integrado "7432" ¿A qué operación lógica corresponde?

- a) AND.
- b) OR.
- c) NOT.

14. El circuito integrado "7408" ¿A qué operación lógica corresponde?

- a) AND.
- b) OR.
- c) NOT.

15. El circuito integrado "7400" ¿A qué operación lógica corresponde?

- a) AND.
- b) OR.
- c) NOT.

2.- Con el uso de un simulador propuesto por el profesor el alumno simula los ejemplos de la figura 1.1, 1.3 1.5 y analizara el funcionamiento de las compuertas básicas propuestas en el desarrollo de la práctica 1, mostrar al profesor para su revisión.

3.- Arma los circuitos de las figuras 1.1, 1.3, 1.5, y llévalos a clase para probarlos con tu profesor.

### Trabajo de laboratorio

#### Material de laboratorio.

- Fuente de poder.
- Caimanes.
- Protoboard.
- 2 jumpers macho-macho.
- Alambre
- Circuitos integrados SN7432, SN7408, SN7404.
- 3 diodos emisores de luz (led).
- 3 resistencia de 330 ohms  $\Omega$  a  $\frac{1}{2}$  watt.
- 2 push button.

#### Actividad 1:

El profesor explica al alumno que son las compuertas básicas para reforzar el conocimiento del trabajo de casa.

#### Actividad 2:

Prueba los siguientes circuitos y comprueba los resultados que salieron de tu simulación del trabajo de casa.

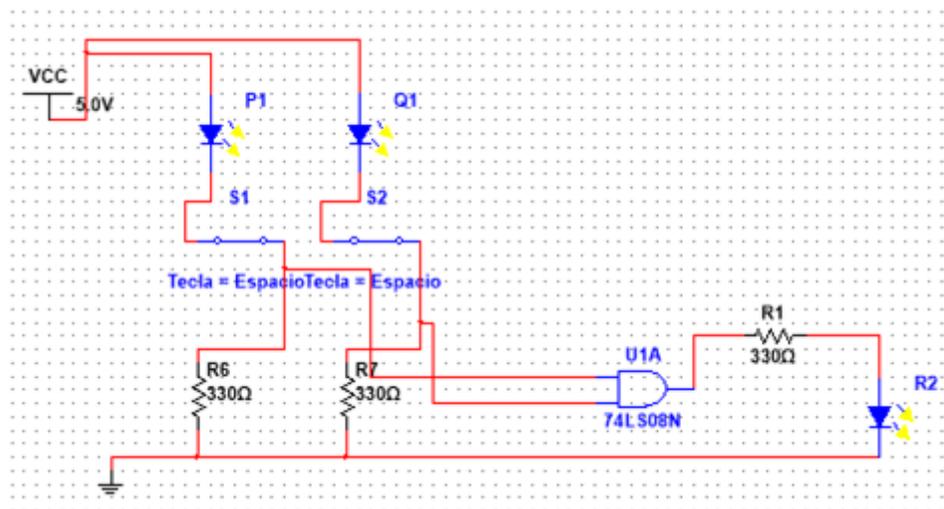


Figura 1.1 Diagrama eléctrico para la compuerta AND.

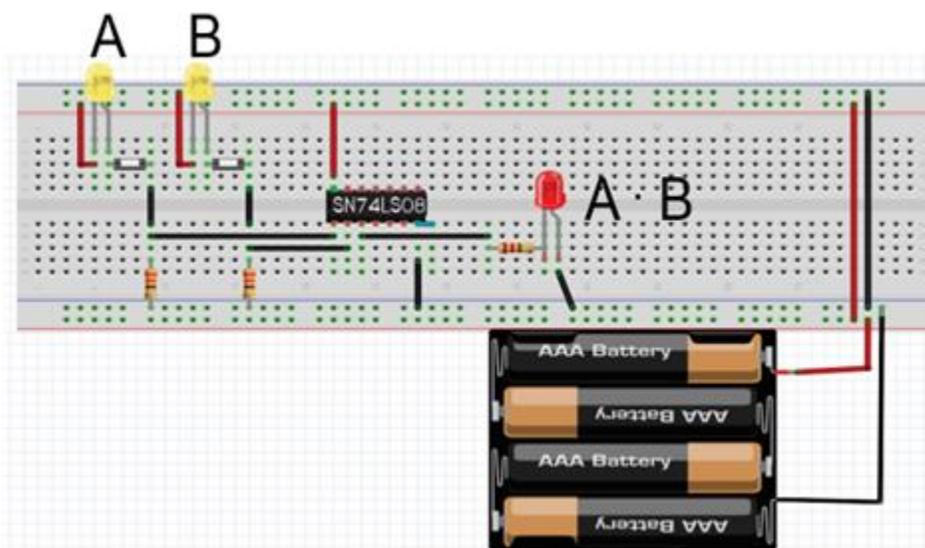


Figura 1.2 Conexión en protoboard para la compuerta AND.

Consultar el video de simulación del circuito en:

[https://www.youtube.com/watch?v=WfhO7Z\\_B1Zw&feature=share](https://www.youtube.com/watch?v=WfhO7Z_B1Zw&feature=share)

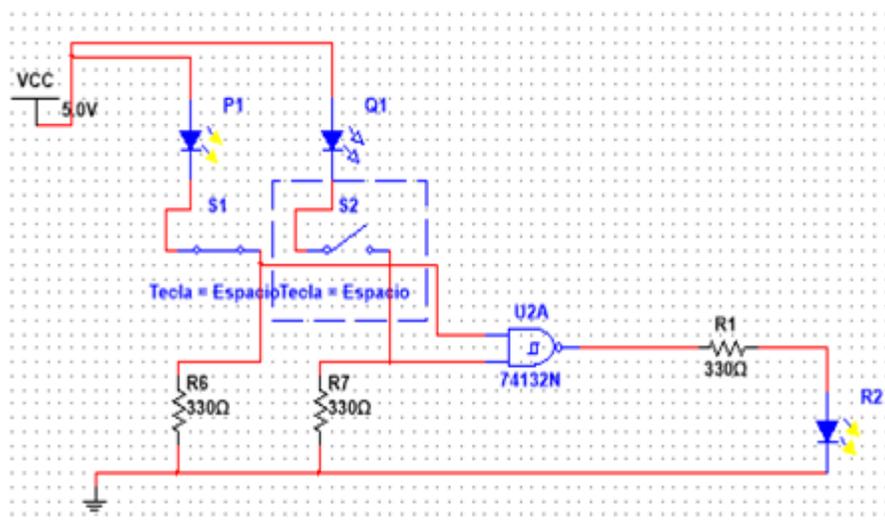


Figura 1.3 Diagrama eléctrico para la compuerta OR.

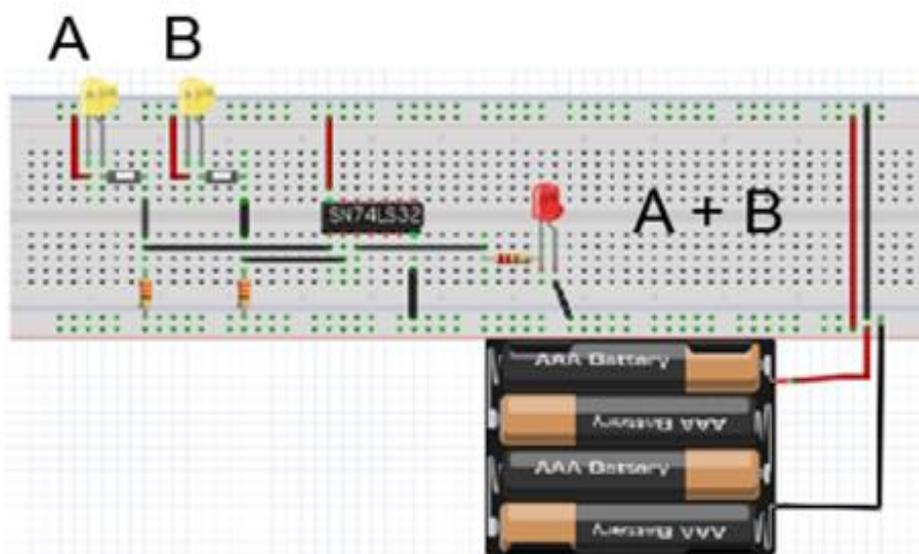


Figura 1.4 Conexión en protoboard para la compuerta OR

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=Cqi3JyKRB28&feature=share>

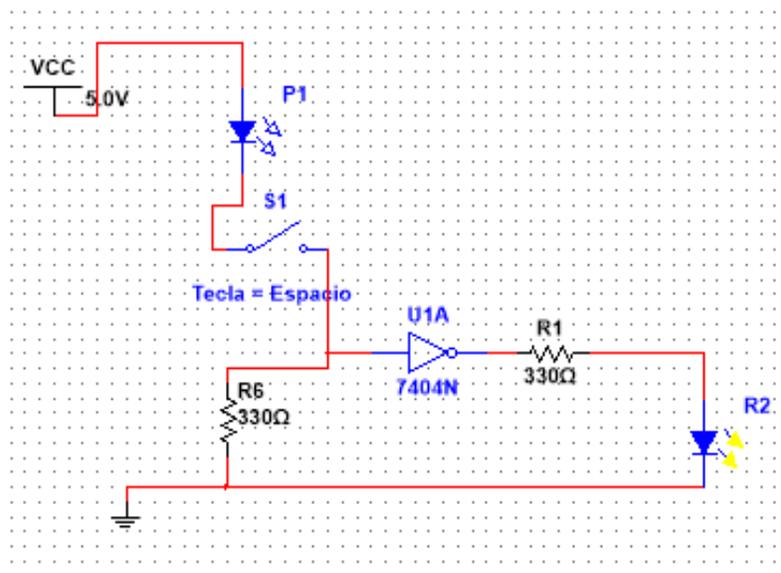


Figura 1.5 Conexión en protoboard compuerta NOT.

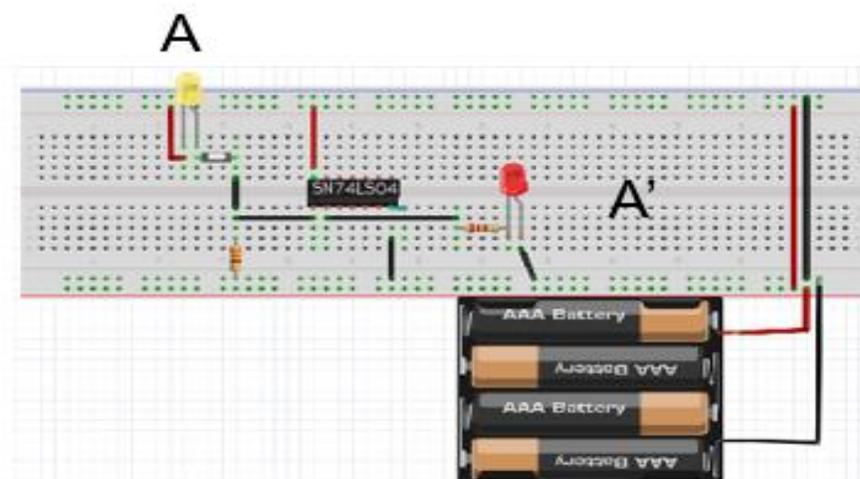


Figura 1.6 Conexión en protoboard para la compuerta NOT.

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=fkVEP8mT3Nc&feature=share>

## Capítulo II

### Reducción de circuitos.

#### Objetivo general

Armar un circuito de control para una lámpara ahorradora de luz utilizando compuertas básicas.

#### Aprendizajes esperados

##### Saber conocer

- Identifica las variables de entrada y salida, para poder utilizar los métodos de reducción para la simulación de la lámpara ahorradora de luz.

##### Saber Hacer

- Uso de la protoboard.
- Uso del multímetro.
- Uso de la fuente de poder.

##### Saber Ser

- Desarrollan habilidades de investigación, analíticas, críticas, motrices, y compromiso ético.

#### Tarea de casa

1.-Leer la introducción de los archivos que están en el material de apoyo y contesta el cuestionario de tarea de casa previo práctica 2 del tema reducción de circuitos.

#### Cuestionario

1. Se utiliza para representar magnitudes lógicas y puede tener el valor de 0 o 1
  - a) Literal.
  - b) Complemento.
  - c) **Variable.**
  
2. Es el inverso de una variable y se indica mediante una barra encima de la misma
  - a) Literal.
  - b) **Complemento.**
  - c) Variable.

3. Creado en 1950 para evitar hacer cálculos, usando representaciones bidimensionales de la tabla de verdad.

a) **Mapas de Karnaugh.**

b) Algebra de Boole.

c) Álgebra binaria.

4. Creado en 1847, para describir las operaciones mentales, mediante las cuales se realizan razonamientos.

a) Mapas de Karnaugh.

b) **Algebra de Boole.**

c) Álgebra binaria.

5. ¿Cuál es la solución del siguiente mapa?

| X \ YZ | 00 | 01 | 11 | 10 |
|--------|----|----|----|----|
| 0      | 1  | 0  | 0  | 1  |
| 1      | 1  | 1  | 0  | 1  |

a)  $Z' X' + Z' X + X Y'$ .

b)  $Z' + X Y'$

c)  $Z' X + X Y'$ .

6. Es la mejor optimización del mapa

| C \ AB | 00 | 01 | 11 | 10 |
|--------|----|----|----|----|
| 0      | 1  | 1  | 1  | 1  |
| 1      | 0  | 0  | 1  | 1  |

a) Cierto.

b) Falso.

7. ¿Cuál es la solución del siguiente mapa?

| A B \ C D |     | C D |    |    |    |
|-----------|-----|-----|----|----|----|
|           |     | 00  | 01 | 11 | 10 |
| A B       | 0 0 | 1   | 0  | 0  | 1  |
|           | 0 1 | 0   | 0  | 0  | 0  |
|           | 1 1 | 0   | 0  | 0  | 0  |
|           | 1 0 | 1   | 0  | 0  | 1  |

- a)  $C'D'B'+D'B'$ .
- b)  $B' + D'$ .
- c)  **$B' D'$** .

8. La representación de la ley conmutativa de la suma es correcta



- a) Cierto.
  - b) **Falso**.
9. Simplifica la expresión por el álgebra de Boole.

$$A B' C + A B' C'$$

- a)  $A B' (C + C')$ .
  - b)  **$A B'$** .
  - c)  $A' B'$ .
10. El sistema algebraico cerrado contiene un conjunto de dos elementos.
- a)  $\{+, *\}$ .
  - b)  **$\{0,1\}$** .
  - c)  $\{\text{AND}, \text{OR}\}$ .

2.- Con el uso de un simulador propuesto por el profesor el alumno simula el ejemplo de la figura 2.2, y analiza el método de reducción por mapas de karnaugh. mostrar al profesor para su simulación.

3.-Arma el circuito de la figura 2.2, y llévalo a clase para probarlo con tu profesor.

### Ejemplo de conexión por mapas de karnaugh.

| P | Q | R | Z |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

Figura 2.1 tabla de verdad

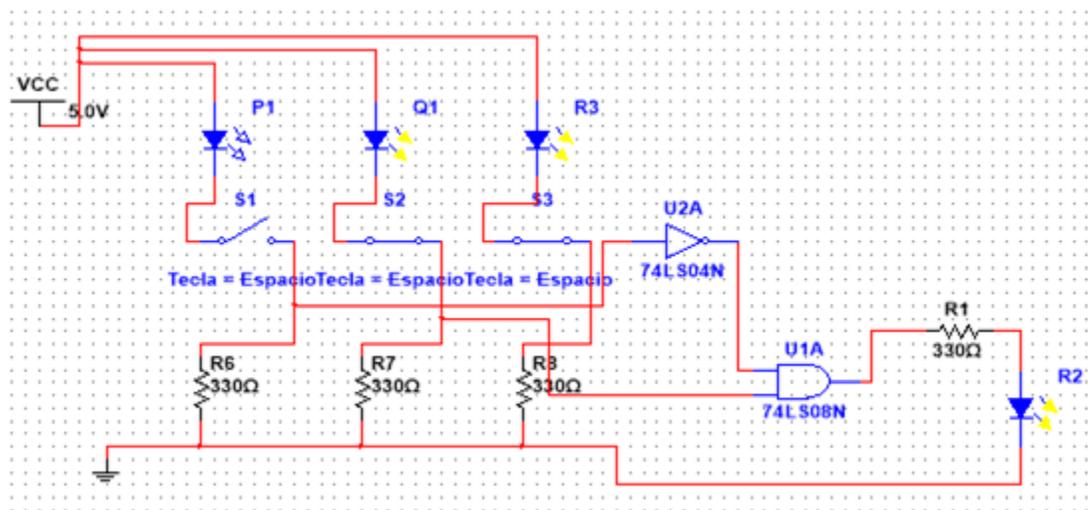
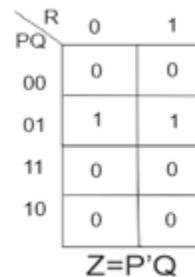


Figura 2.2 Diagrama eléctrico del ejemplo por mapas de karnaugh.

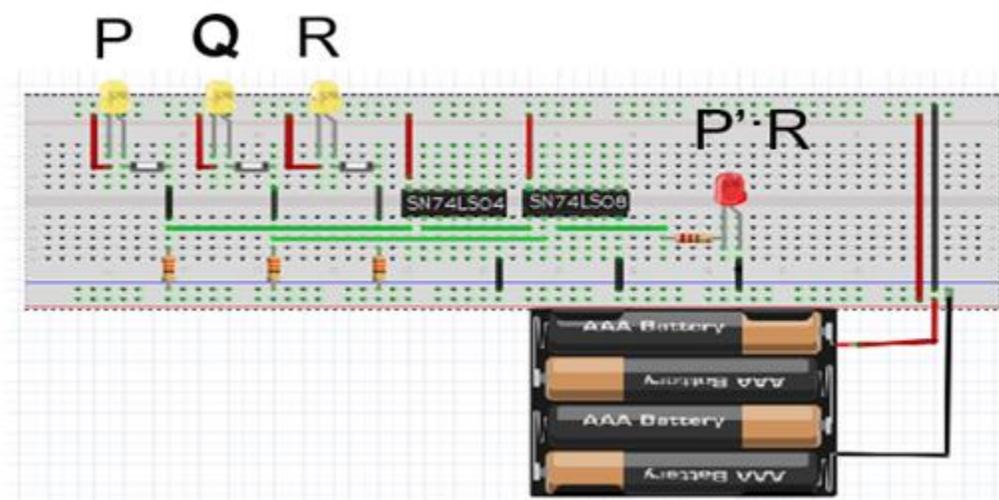


Figura 2.3 Conexión en protoboard del ejemplo por mapas de karnaugh.

Consultar el video de simulación del circuito en:

[https://www.youtube.com/watch?v=xR\\_C0lewX8I&feature=share](https://www.youtube.com/watch?v=xR_C0lewX8I&feature=share)

### Trabajo de laboratorio

#### Material de laboratorio.

- Fuente de poder.
- Caimanes.
- Protoboard.
- 2 jumpers macho-macho.
- Alambre.
- Circuitos integrados SN7432, SN7408, SN7404.
- 4 diodos emisores de luz (led).
- 4 resistencia de 330 ohms  $\Omega$  a  $\frac{1}{2}$  watt.
- 3 push button.

### **Actividad 1:**

Con el uso de un simulador propuesto por el profesor el alumno simula el problema propuesto de la práctica 1 y analiza el método de reducción por álgebra de Boole, mostrar al profesor para su simulación.

### **Actividad 2:**

Arma el circuito de la práctica 1 con la solución de álgebra de Boole, muestra y prueba a tu profesor el resultado.

### **Actividad 3:**

Con el uso de un simulador propuesto por el profesor el alumno simula el problema propuesto de la práctica 1 y analiza el método de reducción por mapas de karnaugh, mostrar al profesor para su simulación.

### **Actividad 4:**

Arma el circuito de la práctica 1 con la solución mapas de karnaugh, muestra y prueba a tu profesor el resultado.

## Capítulo III

### Circuitos combinacionales

#### Objetivo general

Analizar cuáles son las funciones específicas de los circuitos combinacionales.

#### Aprendizajes esperados

##### Saber Conocer

- Comprender las funciones de los circuitos combinacionales.
- Identificar las características técnicas de los circuitos combinacionales usados en esta práctica.

##### Saber Hacer

- Uso de protoboard.
- Uso de multímetro.
- Uso de fuente de poder.
- Uso de simuladores

##### Saber Ser

- Desarrollan habilidades analíticas, críticas, integridad y compromiso ético.

#### Tarea de casa

1. Leer la introducción de los archivos que están en el material de apoyo previo práctica 3 del tema circuitos combinacionales.
2. Realizar la tabla de verdad para el primer ejercicio propuesto en la práctica, analizar el funcionamiento del circuito integrado SN74LS151.
3. Con el uso de un simulador propuesto por el profesor el alumno simula los ejemplos de las figuras 3.1 y 3.3 y analiza el funcionamiento de los circuitos integrados en el desarrollo de la práctica 3, mostrar al profesor para su revisión.
4. Arma los circuitos de las figuras 3.1 y 3.3 y lléalos a clase para probarlos con tu profesor.

## Trabajo de Laboratorio

### Material de laboratorio.

- Fuente de poder.
- Caimanes.
- Protoboard.
- 2 jumpers macho-macho.
- Alambre.
- Circuitos integrados 74LS151,74LS85.
- 4 diodos emisores de luz (led).
- 12 resistencias de 1000  $\Omega$  hms a ½ watt.
- 3 resistencias de 330  $\Omega$  ohms a ½ watt.
- 2 dip switch de 8 pines.

### Actividad 1:

Prueba los siguientes circuitos y comprueba los resultados que salieron de tu simulación del trabajo de casa.

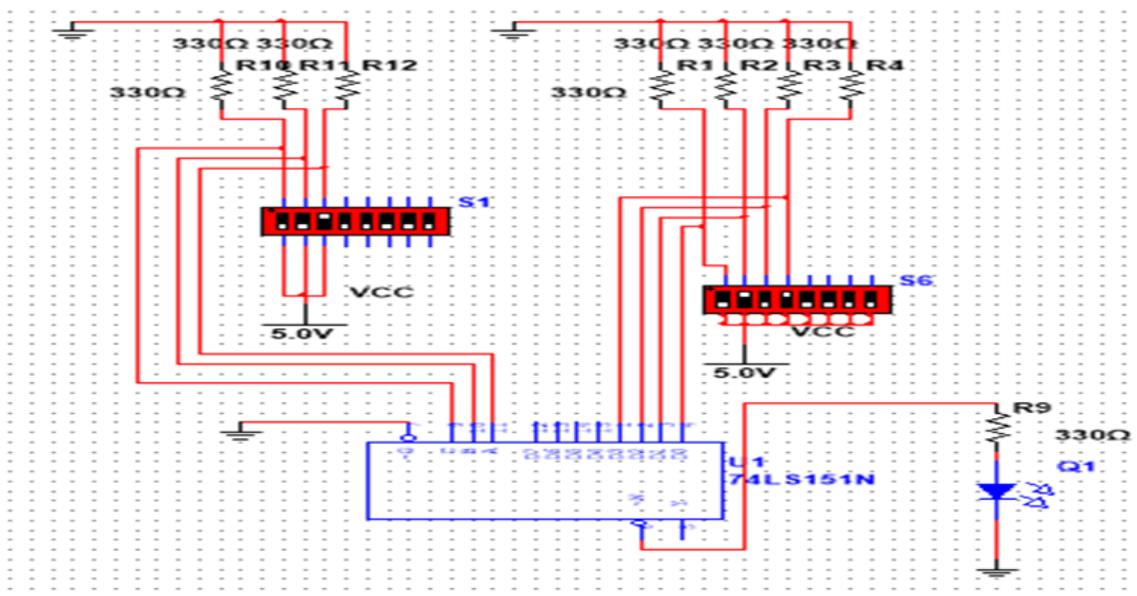


Figura 3.1 Diagrama eléctrico del circuito SN74LS151.

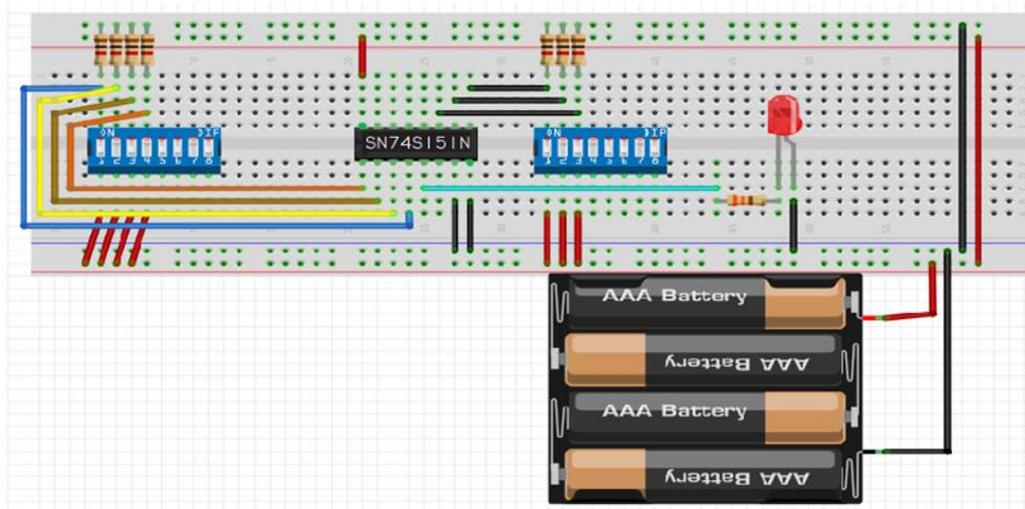


Figura 3.2 Conexión en protoboard para el circuito SN74LS151.

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=W1ZtkhjKeQU&feature=share>

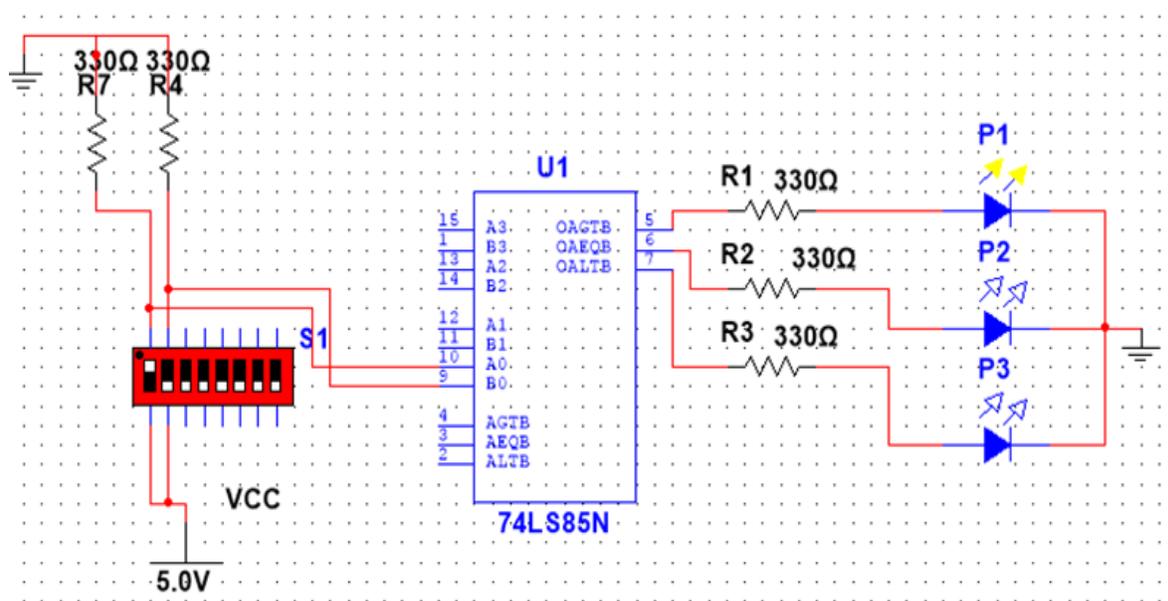


Figura 3.3 Diagrama eléctrico del circuito SN74LS85.

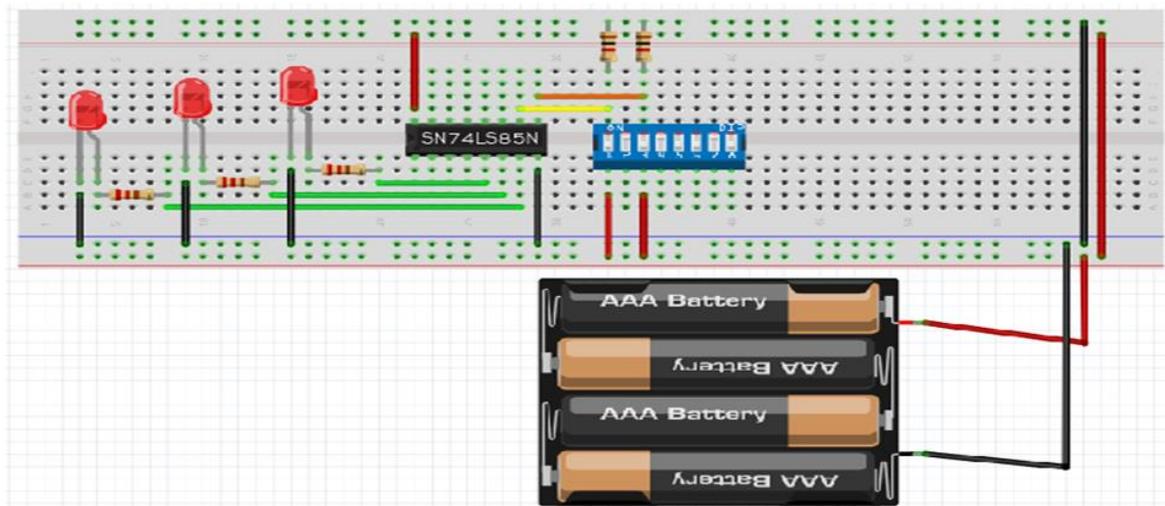


Figura 3.4 Conexión en protoboard para el circuito SN74LS85

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=ZXqla06nSqk&feature=share>

## Capítulo IV

### Codificadores y decodificadores

#### Objetivo general

Analizar la función de los codificadores y decodificadores con prioridad usando circuitos integrados.

#### Aprendizajes esperados

##### Saber Conocer

- Comprender las funciones de los codificadores y decodificadores.
- Identificar las características técnicas de los codificadores y decodificadores.
- Analizar la función de un codificador y un decodificador.

##### Saber Hacer

- Uso de protoboard.
- Uso de multímetro.
- Uso de fuente de poder.
- Uso de simuladores

##### Saber Ser

- Desarrollan habilidades analíticas, críticas, integridad y compromiso ético.

#### Tarea de casa

1. Lee la introducción de los archivos que están en el material de apoyo y contesta el cuestionario de tarea de casa previo práctica 4 del tema codificadores y decodificadores

#### Cuestionario

- 1.-Las fases para el diseño de circuitos combinacionales.
  - I. Se asignan símbolos de letras a las variables de entrada y salida.
  - II. Se enuncia el problema.
  - III. Se obtiene la función booleana simplificada para cada salida.
  - IV. Se determina el número de variables de entradas disponibles y de las variables de salida requeridas.
  - V. Se dibuja el diagrama lógico.
  - VI. Se deriva la tabla de verdad que define las relaciones requeridas entre las entradas y salidas.

a) II, I, IV, VI, III, V

**b) II, IV, I, VI, III, V**

c) II, I, IV, III, VI, V

1. ¿Qué es un decodificador?

a) Es un circuito Combinacional que selecciona información binaria de una o muchas líneas de entrada y la dirige a una sola línea de salida.

b) Es un circuito destinado a transmitir una señal binaria a una determinada línea, elegida mediante un seleccionador, de entre las diversas líneas existentes.

c) Tiene  $2^n$  (o menos) líneas de entradas y  $n$  líneas de salida. Cuando se activa una de las entradas, aparece un determinado código, o combinación lógica en las salidas

**d) Reciben entradas y produce  $2^n$  salidas. De todas las salidas, solo se generará un 1 en la salida cuyo subíndice corresponde al código binario de la combinación de entrada.**

2. ¿Qué es un codificador?

a) Es un circuito Combinacional que selecciona información binaria de una o muchas líneas de entrada y la dirige a una sola línea de salida.

b) Es un circuito destinado a transmitir una señal binaria a una determinada línea, elegida mediante un seleccionador, de entre las diversas líneas existentes.

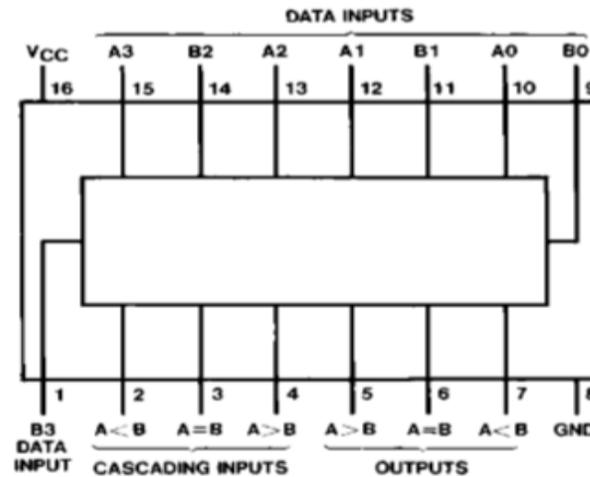
**c) Tiene  $2^n$  (o menos) líneas de entradas y  $n$  líneas de salida. Cuando se activa una de las entradas, aparece un determinado código, o combinación lógica en las salidas**

- d) Reciben entradas y produce  $2^n$  salidas. De todas las salidas, solo se generará un 1 en la salida cuyo subíndice corresponde al código binario de la combinación de entrada.
3. ¿Qué es un Multiplexor?
- a) Es un circuito Combinacional que selecciona información binaria de una o muchas líneas de entrada y la dirige a una sola línea de salida.**
- b) Es un circuito destinado a transmitir una señal binaria a una determinada línea, elegida mediante un seleccionador, de entre las diversas líneas existentes.
- c) Tiene  $2^n$  (o menos) líneas de entradas y  $n$  líneas de salida. Cuando se activa una de las entradas, aparece un determinado código, o combinación lógica en las salidas
- d) Reciben entradas y produce  $2^n$  salidas. De todas las salidas, sólo se generará un 1 en la salida cuyo subíndice corresponde al código binario de la combinación de entrada.
4. ¿Qué es un demultiplexor?
- a) Es un circuito Combinacional que selecciona información binaria de una o muchas líneas de entrada y la dirige a una sola línea de salida.
- b) Es un circuito destinado a transmitir una señal binaria a una determinada línea, elegida mediante un seleccionador, de entre las diversas líneas existentes.**
- c) Tiene  $2^n$  (o menos) líneas de entradas y  $n$  líneas de salida. Cuando se activa una de las entradas, aparece un determinado código, o combinación lógica en las salidas

- d) Reciben entradas y produce  $2^n$  salidas. De todas las salidas, solo se generará un 1 en la salida cuyo subíndice corresponde al código binario de la combinación de entrada.
5. Es un componente electrónico muy utilizado para representar visualmente números y letras, es de gran utilidad dado su simpleza para implementar en cualquier proyecto electrónico.
- a) Codificador.
  - b) Display de 7 segmentos.**
  - c) Decodificador.
6. Enciende con "L" lógica negada, el común va conectado a Vcc.
- a) Display de ánodo común.**
  - b) Display de cátodo común
7. Utiliza "H" para encender, todas sus conexiones son iguales de display solo el común conectado a GND.
- a) Display de ánodo común.
  - b) Display de cátodo común**
8. Se caracteriza por que cuando se activa simultáneamente varias entradas, en la salida aparece la combinación lógica correspondiente a la suma lógica de las salidas que se obtendrá con cada una de las entradas activadas por separado.
- a) Codificador.
  - b) Codificador con prioridad.
  - c) Codificador sin prioridad.**
9. Son aquellos en los que, cuando se activan simultáneamente varias entradas, la combinación lógica de salida correspondiente a una sola de las entradas activadas, que normalmente es la mayor de valor decimal.

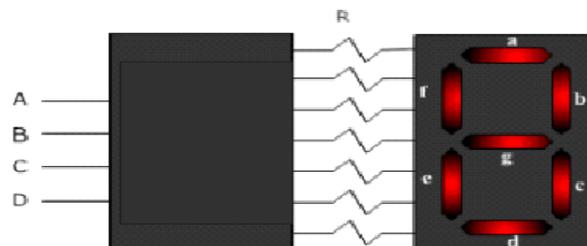
- a) Codificador
- b) Codificador con prioridad.**
- c) Codificador sin prioridad.

10. El circuito Combinacional de la figura pertenece a:



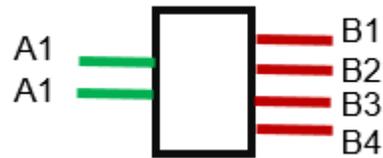
- a) Decodificador BCD 7 segmentos.
- b) Comparador**
- c) Codificador.

11. El circuito Combinacional de la figura pertenece a:



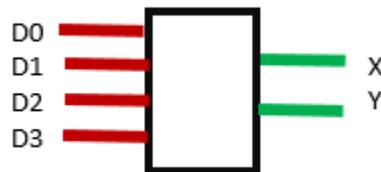
- a) Decodificador BCD 7 segmentos.**
- b) Comparador.
- c) Codificador.

12. El circuito simplificado de la figura pertenece a:



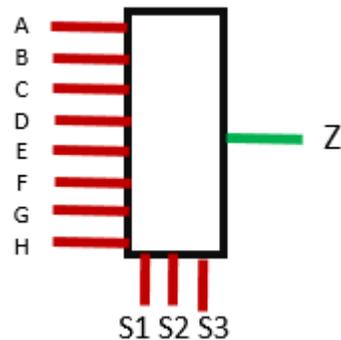
- a) **Decodificador.**
- b) Codificador.
- c) Multiplexor.
- d) Demultiplexor.

13. El circuito simplificado de la figura pertenece a:



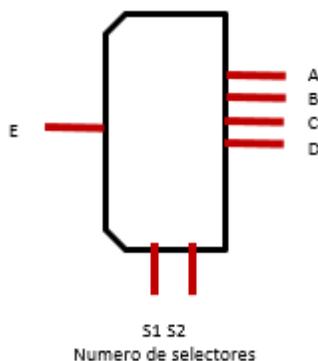
- a) Decodificador.
- b) **Codificador.**
- c) Multiplexor.
- d) Demultiplexor.

14. El circuito simplificado de la figura pertenece a:



- a) Decodificador.
- b) Codificador.
- c) Multiplexor.**
- d) Demultiplexor.

15. El circuito simplificado de la figura pertenece a:



- a) Decodificador.
- b) Codificador.
- c) Multiplexor.
- d) Demultiplexor.**

2.-Realizar la tabla de verdad para el primer ejercicio propuesto en la práctica, obtener las ecuaciones de salida del mismo.

3.-Con el uso de un simulador propuesto por el profesor el alumno simula el ejemplo de la figura 4.1,4.3 y analiza su funcionamiento, mostrar al profesor para su revisión.

4.-Armar el circuito de la figura 4.1.4.3 y llevarlo a clase para probarlo con tu profesor.

5.-Obtener las ecuaciones de salida del segundo ejercicio propuesto en la práctica.

### Trabajo de laboratorio

#### Material de laboratorio

- Fuente de poder.
- Caimanes.

- Protoboard.
- 2 jumpers macho-macho.
- Alambre.
- 2 circuitos integrados SN7408.
- 3 circuitos integrados SN7432.
- 1 circuito integrado SN7404.
- 3 diodos emisores de luz (led).
- 8 resistencias de 1000  $\Omega$  ohms a  $\frac{1}{2}$  watt.
- 10 resistencias de 330  $\Omega$  ohms a  $\frac{1}{2}$  watt.
- 1 dip switch de 8 pines.
- 1 display de ánodo común.

### Actividad 1:

Prueba los circuitos y comprueba los resultados que salieron de tu simulación del trabajo en casa.

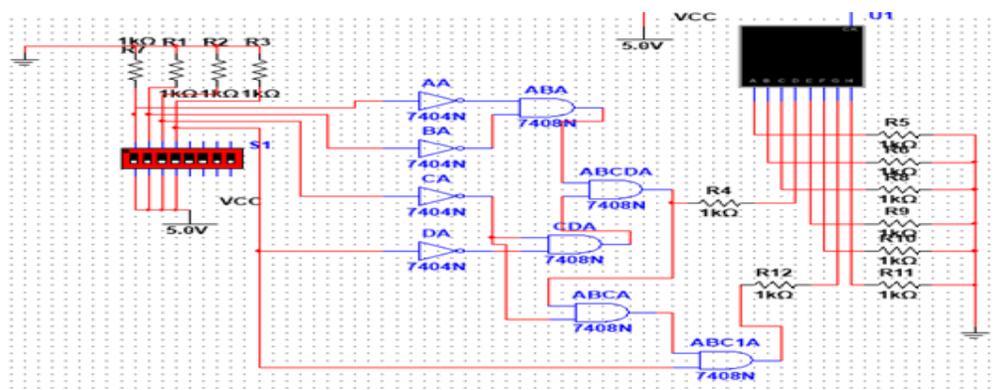


Figura 4.1 Diagrama eléctrico del circuito para mostrar la letra A y el 0.

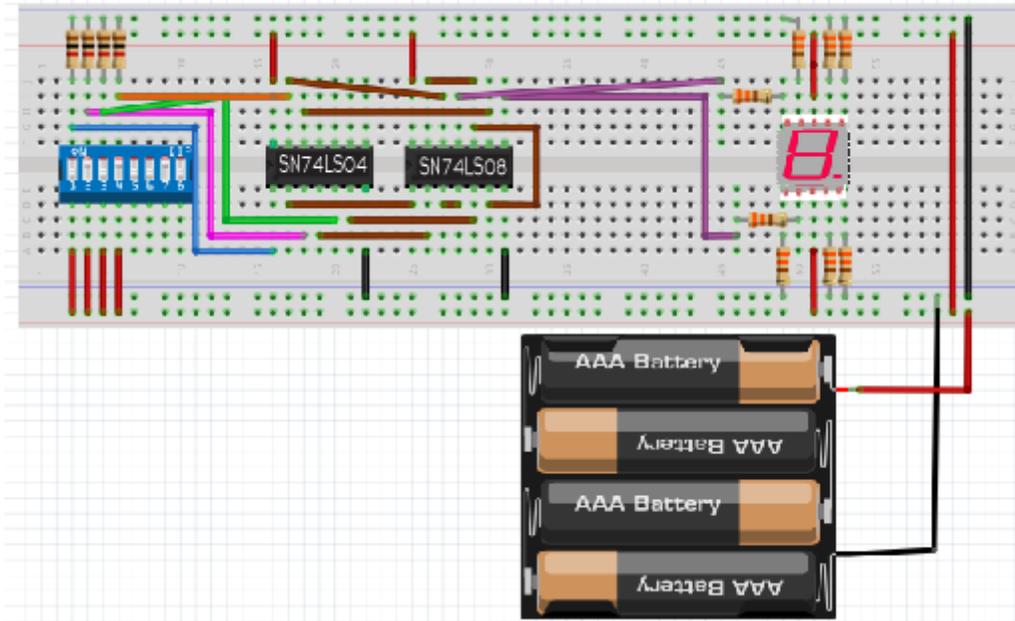


Figura 4.2 Conexión en protoboard para mostrar la letra A y el 0.

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=SpCONPX-1Tw&feature=share>

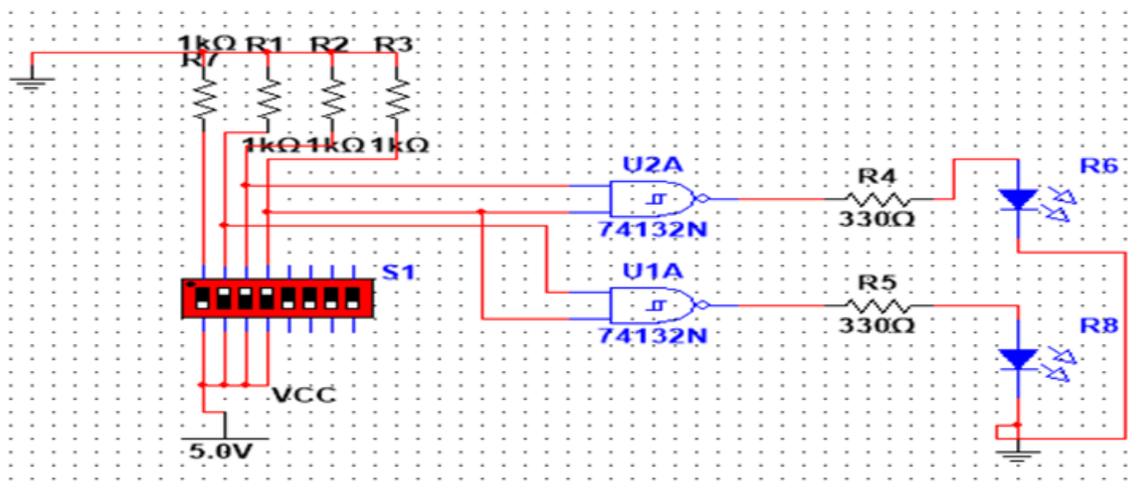


Figura 4.1 Diagrama eléctrico de un decodificador sin prioridad 4 a 2.

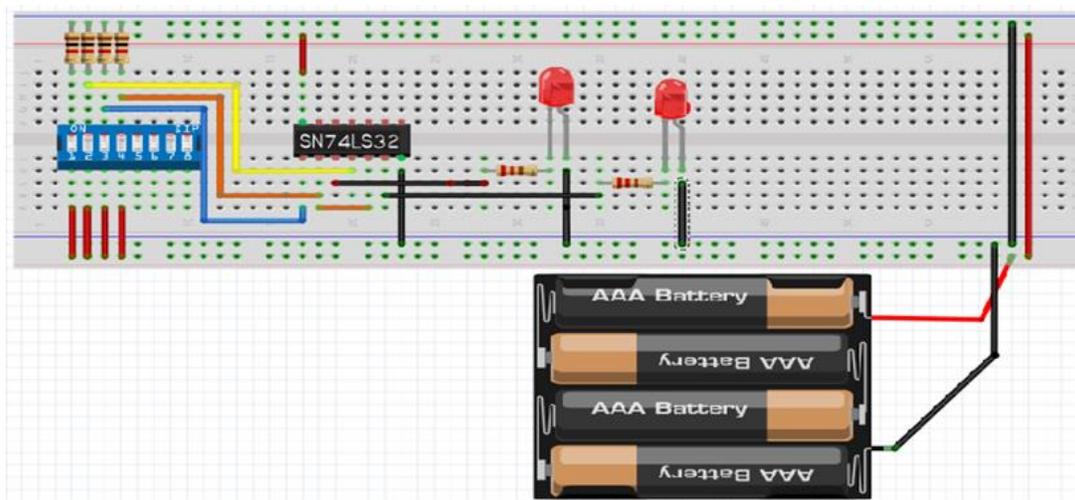


Figura 4.2 Conexión en protoboard de un decodificador sin prioridad 4 a 2.

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=VrdeBPrlytc&feature=share>

### Actividad 2:

Armar los circuitos de la práctica, utilizando el simulador propuesto por el profesor. mostrar al profesor para su revisión.

## Capítulo V

### Implementación de circuitos combinacionales

#### Objetivo general

Analizar el funcionamiento de los circuitos combinacional usando circuitos integrados.

#### Aprendizajes esperados

##### Saber Conocer

- Comprender las funciones de los circuitos combinacional.
- Identificar las características técnicas de los circuitos combinacionales.
- Analizar la función de los circuitos combinacional.

##### Saber Hacer

- Uso de protoboard.
- Uso de multímetro.
- Uso de fuente de poder.
- Uso de simuladores

##### Saber Ser

- Desarrollan habilidades analíticas, críticas, integridad y compromiso ético.

#### Tarea de casa

- 1.-Lee la introducción de los archivos que están en el material de apoyo
- 2.-Realiza cada salida del circuito combinacional, desarrollando su solución por método Quine-McCluskey.
- 3.-Diseña el diagrama esquemático del circuito combinacional, con el programa propuesto por el instructor de laboratorio. Para este ejercicio proponemos el uso del software Quartus II

- ✓ En el anexo I se encuentra un manual para descargar (Quartus II) programa sugerido.
- ✓ En el anexo II se encuentra un manual para crear un proyecto (Quartus II) programa sugerido.

### Ejemplo de avanzar por el método Quine-McCluskey

Simplificar las ecuaciones para que el carrito de vuelta a la derecha (VD), vuelta a la izquierda (VI), reversa (RE) y avanza (AV). Alarma (AL) cuando no pueda realizar dos cosas al mismo tiempo.

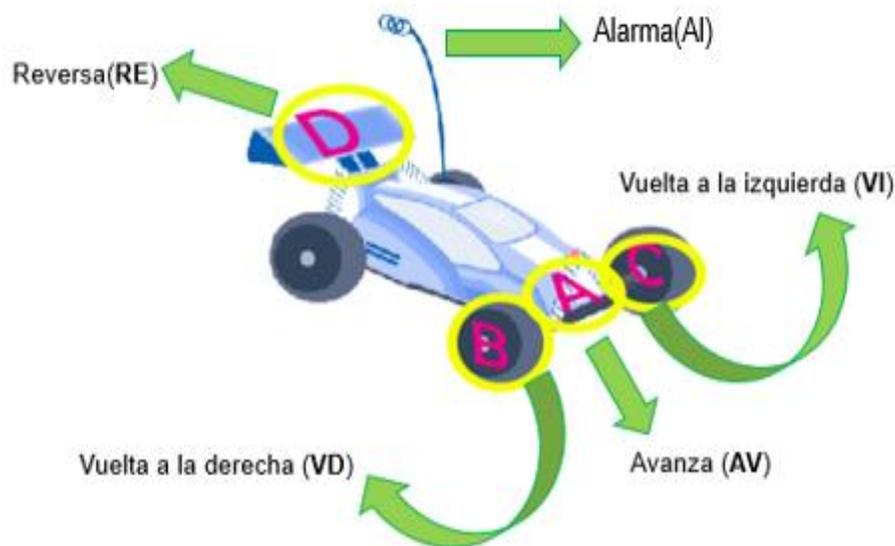


Tabla para miniterminos de avanzar (AV).

| MINITERMINO | A | B | C | D | AV | RE | VD | VI | AL |
|-------------|---|---|---|---|----|----|----|----|----|
| m0          | 0 | 0 | 0 | 0 | 1  | 0  | 0  | 0  | 0  |
| m1          | 0 | 0 | 0 | 1 | 1  | 0  | 0  | 0  | 0  |
| m2          | 0 | 0 | 1 | 0 | 1  | 0  | 1  | 0  | 0  |
| m3          | 0 | 0 | 1 | 1 | 1  | 0  | 1  | 0  | 0  |
| m4          | 0 | 1 | 0 | 0 | 1  | 0  | 0  | 1  | 0  |
| m5          | 0 | 1 | 0 | 1 | 1  | 0  | 0  | 1  | 0  |
| m6          | 0 | 1 | 1 | 0 | 0  | 1  | 1  | 0  | 1  |
| m7          | 0 | 1 | 1 | 1 | 1  | 0  | 0  | 0  | 1  |
| m8          | 1 | 0 | 0 | 0 | 0  | 1  | 1  | 0  | 0  |
| m9          | 1 | 0 | 0 | 1 | 1  | 0  | 1  | 0  | 0  |
| m10         | 1 | 0 | 1 | 0 | 1  | 0  | 1  | 0  | 0  |
| m11         | 1 | 0 | 1 | 1 | 1  | 0  | 1  | 0  | 0  |
| m12         | 1 | 1 | 0 | 0 | 0  | 1  | 1  | 0  | 0  |
| m13         | 1 | 1 | 0 | 1 | 0  | 0  | 0  | 1  | 0  |
| m14         | 1 | 1 | 1 | 0 | 0  | 1  | 1  | 0  | 1  |
| m15         | 1 | 1 | 1 | 1 | 0  | 0  | 0  | 0  | 1  |

- 1) Se toman los minterminos de la tabla de verdad, y se convierten a su equivalente en binario.  $\Sigma m(0,1,2,3,4,5,7,9,10,11)$ .

| MINITERMINO | A | B | C | D | AV |
|-------------|---|---|---|---|----|
| m0          | 0 | 0 | 0 | 0 | 1  |
| m1          | 0 | 0 | 0 | 1 | 1  |
| m2          | 0 | 0 | 1 | 0 | 1  |
| m3          | 0 | 0 | 1 | 1 | 1  |
| m4          | 0 | 1 | 0 | 0 | 1  |
| m5          | 0 | 1 | 0 | 1 | 1  |
| m6          | 0 | 1 | 1 | 0 | 0  |
| m7          | 0 | 1 | 1 | 1 | 1  |
| m8          | 1 | 0 | 0 | 0 | 0  |
| m9          | 1 | 0 | 0 | 1 | 1  |
| m10         | 1 | 0 | 1 | 0 | 1  |
| m11         | 1 | 0 | 1 | 1 | 1  |
| m12         | 1 | 1 | 0 | 0 | 0  |
| m13         | 1 | 1 | 0 | 1 | 0  |
| m14         | 1 | 1 | 1 | 0 | 0  |
| m15         | 1 | 1 | 1 | 1 | 0  |



| MINITERMINO | A | B | C | D | AV |
|-------------|---|---|---|---|----|
| m0          | 0 | 0 | 0 | 0 | 1  |
| m1          | 0 | 0 | 0 | 1 | 1  |
| m2          | 0 | 0 | 1 | 0 | 1  |
| m3          | 0 | 0 | 1 | 1 | 1  |
| m4          | 0 | 1 | 0 | 0 | 1  |
| m5          | 0 | 1 | 0 | 1 | 1  |
| m7          | 0 | 1 | 1 | 1 | 1  |
| m9          | 1 | 0 | 0 | 1 | 1  |
| m10         | 1 | 0 | 1 | 0 | 1  |
| m11         | 1 | 0 | 1 | 1 | 1  |

- 2) Se colocan en la **Columna I**, los minterminos ordenados de menor a mayor número de unos.

| MINITERMINO | A | B | C | D | AV |
|-------------|---|---|---|---|----|
| m0          | 0 | 0 | 0 | 0 | 1  |
| m1          | 0 | 0 | 0 | 1 | 1  |
| m2          | 0 | 0 | 1 | 0 | 1  |
| m3          | 0 | 0 | 1 | 1 | 1  |
| m4          | 0 | 1 | 0 | 0 | 1  |
| m5          | 0 | 1 | 0 | 1 | 1  |
| m7          | 0 | 1 | 1 | 1 | 1  |
| m9          | 1 | 0 | 0 | 1 | 1  |
| m10         | 1 | 0 | 1 | 0 | 1  |
| m11         | 1 | 0 | 1 | 1 | 1  |



**Columna I**

| MINITERMINO | A | B | C | D | AV |
|-------------|---|---|---|---|----|
| m0          | 0 | 0 | 0 | 0 | 1  |
| m1          | 0 | 0 | 0 | 1 | 1  |
| m2          | 0 | 0 | 1 | 0 | 1  |
| m4          | 0 | 1 | 0 | 0 | 1  |
| m3          | 0 | 0 | 1 | 1 | 1  |
| m5          | 0 | 1 | 0 | 1 | 1  |
| m9          | 1 | 0 | 0 | 1 | 1  |
| m10         | 1 | 0 | 1 | 0 | 1  |
| m7          | 0 | 1 | 1 | 1 | 1  |
| m11         | 1 | 0 | 1 | 1 | 1  |

- Grupo 0
- Grupo 1
- Grupo 2
- Grupo 3

- 3) Se comparan los minterminos que sólo tienen una diferencia en sus bits, formando la siguiente tabla. En esta columna se escriben los minterminos comparados y el nuevo término, donde se marcará con un guión (-) esa diferencia. Cada término que pase a la siguiente columna deberá marcarse (✓).

### Columna I

| MINITERNIMO | A | B | C | D | AV |
|-------------|---|---|---|---|----|
| m0          | 0 | 0 | 0 | 0 | 1  |
| m1          | 0 | 0 | 0 | 1 | 1  |
| m2          | 0 | 0 | 1 | 0 | 1  |
| m4          | 0 | 1 | 0 | 0 | 1  |
| m3          | 0 | 0 | 1 | 1 | 1  |
| m5          | 0 | 1 | 0 | 1 | 1  |
| m9          | 1 | 0 | 0 | 1 | 1  |
| m10         | 1 | 0 | 1 | 0 | 1  |
| m7          | 0 | 1 | 1 | 1 | 1  |
| m11         | 1 | 0 | 1 | 1 | 1  |



### Columna II

| MINITERNIMO | A | B | C | D |
|-------------|---|---|---|---|
| (m0,m1)     | 0 | 0 | 0 | - |

### Columna II

| MINITERNIMO | A | B | C | D |
|-------------|---|---|---|---|
| (m0,m1)     | 0 | 0 | 0 | - |
| (m0,m2)     | 0 | 0 | - | 0 |
| (m0,m4)     | 0 | - | 0 | 0 |
| (m1,m3)     | 0 | 0 | - | 1 |
| (m1,m5)     | 0 | - | 0 | 1 |
| (m1,m9)     | - | 0 | 0 | 1 |
| (m2,m3)     | 0 | 0 | 1 | - |
| (m2,m10)    | - | 0 | 1 | 0 |
| (m4,m5)     | 0 | 1 | 0 | - |
| (m3,m7)     | 0 | - | 1 | 1 |
| (m3,m11)    | - | 0 | 1 | 1 |
| (m5,m7)     | 0 | 1 | - | 1 |
| (m9,m11)    | 1 | 0 | - | 1 |
| (m10,m11)   | 1 | 0 | 1 | - |

### Columna I

| MINITERNIMO | A | B | C | D | AV |
|-------------|---|---|---|---|----|
| m0          | 0 | 0 | 0 | 0 | 1  |
| m1          | 0 | 0 | 0 | 1 | 1  |
| m2          | 0 | 0 | 1 | 0 | 1  |
| m4          | 0 | 1 | 0 | 0 | 1  |
| m3          | 0 | 0 | 1 | 1 | 1  |
| m5          | 0 | 1 | 0 | 1 | 1  |
| m9          | 1 | 0 | 0 | 1 | 1  |
| m10         | 1 | 0 | 1 | 0 | 1  |
| m7          | 0 | 1 | 1 | 1 | 1  |
| m11         | 1 | 0 | 1 | 1 | 1  |



4) El paso 3 se repetirá hasta que ya no sea posible formar nuevas columnas

### Columna II

| MINITERNIMO | A | B | C | D |
|-------------|---|---|---|---|
| (m0,m1)     | 0 | 0 | 0 | - |
| (m0,m2)     | 0 | 0 | - | 0 |
| (m0,m4)     | 0 | - | 0 | 0 |
| (m1,m3)     | 0 | 0 | - | 1 |
| (m1,m5)     | 0 | - | 0 | 1 |
| (m1,m9)     | - | 0 | 0 | 1 |
| (m2,m3)     | 0 | 0 | 1 | - |
| (m2,m10)    | - | 0 | 1 | 0 |
| (m4,m5)     | 0 | 1 | 0 | - |
| (m3,m7)     | 0 | - | 1 | 1 |
| (m3,m11)    | - | 0 | 1 | 1 |
| (m5,m7)     | 0 | 1 | - | 1 |
| (m9,m11)    | 1 | 0 | - | 1 |
| (m10,m11)   | 1 | 0 | 1 | - |



### Columna III

| MINITERNIMO      | A | B | C | D |
|------------------|---|---|---|---|
| (m0 m1)(m2 m3)   | 0 | 0 | - | - |
| (m0 m1)(m4 m5)   | 0 | - | 0 | - |
| (m0 m2)(m1 m3)   | 0 | 0 | - | - |
| (m0 m4)(m1 m5)   | 0 | - | 0 | - |
| (m1 m3)(m5 m7)   | 0 | - | - | 1 |
| (m1 m3)(m9 m11)  | - | 0 | - | 1 |
| (m1 m5)(m3 m7)   | 0 | - | - | 1 |
| (m1 m9)(m3 m11)  | - | 0 | - | 1 |
| (m2 m3)(m10 m11) | - | 0 | 1 | - |
| (m2 m10)(m3 m11) | - | 0 | 1 | - |

- 5) Si en alguna de las columnas se repiten elementos, se toma solamente uno para formar la siguiente columna.

**Columna III**

| MINITERNIMO      | A | B | C | D |
|------------------|---|---|---|---|
| (m0 m1)(m2 m3)   | 0 | 0 | - | - |
| (m0 m1)(m4 m5)   | 0 | - | 0 | - |
| (m0 m2)(m1 m3)   | 0 | 0 | - | - |
| (m0 m4)(m1 m5)   | 0 | - | 0 | - |
| (m1 m3)(m5 m7)   | 0 | - | - | 1 |
| (m1 m3)(m9 m11)  | - | 0 | - | 1 |
| (m1 m5)(m3 m7)   | 0 | - | - | 1 |
| (m1 m9)(m3 m11)  | - | 0 | - | 1 |
| (m2 m3)(m10 m11) | - | 0 | 1 | - |
| (m2 m10)(m3 m11) | - | 0 | 1 | - |



**Columna IV**

| MINITERNIMO      | A | B | C | D |
|------------------|---|---|---|---|
| (m0 m1)(m2 m3)   | 0 | 0 | - | - |
| (m0 m1)(m4 m5)   | 0 | - | 0 | - |
| (m1 m3)(m5 m7)   | 0 | - | - | 1 |
| (m1 m3)(m9 m11)  | - | 0 | - | 1 |
| (m2 m3)(m10 m11) | - | 0 | 1 | - |

- 6) Una vez que ya no se tienen elementos que combinar se obtienen los implicantes primos que surgen de los términos no marcados.

| MINITERNIMO      | A | B | C | D |
|------------------|---|---|---|---|
| (m0 m1)(m2 m3)   | 0 | 0 | - | - |
| (m0 m1)(m4 m5)   | 0 | - | 0 | - |
| (m1 m3)(m5 m7)   | 0 | - | - | 1 |
| (m1 m3)(m9 m11)  | - | 0 | - | 1 |
| (m2 m3)(m10 m11) | - | 0 | 1 | - |

**Solución:**

$$AV = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{A}D + \bar{B}D + \bar{B}C$$

Los guiones indican la ausencia de la variable, por lo tanto no se lista.

- ✓ En el anexo III se encuentra un manual para crear un diagrama esquemático (Quartus II) programa sugerido.
- ✓ En el anexo IV se encuentra un ejemplo para simular el diagrama esquemático (Quartus II) programa sugerido.

## Trabajo de laboratorio

### Material de laboratorio

- Computadora con simulador

### Actividad 1:

Prueba el circuito combinacional para controlar la posición de un carrito y comprueba los resultados que salieron en tu simulación del trabajo en casa, explicando al profesor para su revisión.

### Actividad 2:

Con el profesor concluye cuál es el resultado de los circuitos combinacionales.

## Capítulo VI

### Divisor de frecuencia con arreglos de compuertas programables

#### Objetivo general

Analizar el funcionamiento del divisor de frecuencia usando arreglos de compuertas programables propuesto por el profesor.

#### Aprendizajes esperados

##### Saber Conocer

- Comprender las funciones del divisor de frecuencia.
- Identificar las características técnicas de arreglos de compuertas programables.

##### Saber Hacer

- Uso de protoboard.
- Uso de multímetro.
- Uso de fuente de poder.
- Uso de simuladores

##### Saber Ser

- Desarrollan habilidades analíticas, críticas, integridad y compromiso ético.

### Tarea de casa

1. Leer la introducción de los archivos que están en el material de apoyo de la práctica 6 del tema arreglos de compuertas programables en el campo.
  - ✓ En el anexo V se encuentra un ejemplo de división de frecuencia (Quartus II) programa sugerido y uso del FPGA [EP2C5T144C8]
  - ✓ En el anexo VI se encuentra un ejemplo de conexión para el FPGA propuesto (EP2C5T144C8).
2. Con el uso del software propuesto por el profesor el alumno diseñará un código para 50, 000 000 CLK., mostrar al profesor para revisión.
  - ✓ Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=6bicUmX8OxA&feature=share>

3. Con el uso del software propuesto por el profesor el alumno diseñará un código para simular un semáforo.

✓ Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=1lg9XPKsrnw&feature=share>

### Trabajo de laboratorio

#### Material de laboratorio

- Computadora con software.
- Tarjeta FPGA [EP2C5T144C8N], o la propuesta por el profesor
- Programador
- Cable de polarización
- Protoboard
- 3 diodos emisores de luz(led).
- 3 resistencias de 330 ohms  $\Omega$  a  $\frac{1}{2}$  watt.
- Jumper macho-macho.

#### Actividad 1:

Comprueba los resultados del semáforo de manera física en el laboratorio, que salió de la simulación del trabajo en casa.

#### Actividad 2:

Envía por la plataforma el reporte de la práctica del semáforo que debe tener los siguientes puntos.

- a. Objetivo de la práctica
- b. Introducción
- c. Material usado en la práctica
- d. Desarrollo de la práctica.
- e. Breve descripción del procedimiento de armado.
- f. Fotos del circuito armado
- g. Resultados
- h. Conclusiones
- i. Referencias

## Capítulo VII

### Unidad aritmética lógica o unidad aritmético-lógica (ALU)

#### Objetivo general

Analizar el funcionamiento básico de una ALU.

#### Aprendizajes esperados

##### Saber conocer

- Comprender el funcionamiento de una suma y resta en binario.
- Comprender el funcionamiento los operadores lógicos.
- Comprender el funcionamiento divisor de frecuencia.

##### Saber Hacer

- Uso de protoboard.
- Uso de multímetro.
- Uso de fuente de poder.
- Uso de simuladores

##### Saber Ser

- Desarrollan habilidades analíticas, críticas, de investigación, trabajo en equipo y compromiso ético.

#### Trabajo de Casa

- Lee la introducción de los archivos que están en el material de apoyo de la práctica 7 del tema ALU.
- Con el uso del software propuesto por el profesor el alumno diseñará un código para simular una ALU.
- ✓ Consultar el video de simulación del circuito en:  
<https://www.youtube.com/watch?v=z6bhSGi6zQM&feature=share>
- Simula la ALU.

## Trabajo de laboratorio

### Material de laboratorio

- Computadora con simulador
- Tarjeta FPGA [EP2C5T144C8N], o la propuesta por el profesor.
- Programador
- Cable de polarización
- Protoboard
- Alambre.
- 4 diodos emisores de luz (led).
- 11 resistencias de 330 ohm  $\Omega$  a 1/2 watt.
- Jumper macho-macho.
- 3 dip-switch de 8 pines.

Demostrar a tu profesor los resultados de la ALU. según los números que te asigne para realizar las operaciones.

## Capítulo VIII

### Contador

#### Objetivo general

Funcionamiento de un contador utilizando el display de ánodo común y cátodo común.

#### Aprendizajes esperados

##### Saber conocer

- Conexión del display de ánodo común y cátodo común
- Divisor de frecuencia.

##### Saber Hacer

- Uso de FPGA
- Uso de protoboard.
- Uso de multímetro.
- Uso de fuente de poder.
- Uso de simuladores

##### Saber Ser

- Desarrollan habilidades analíticas, críticas, de investigación, trabajo en equipo y compromiso ético.

#### Trabajo de Casa

1. Lee la introducción de los archivos que están en el material de apoyo de la práctica 8 del tema contador.

#### Trabajo de laboratorio

##### Material de laboratorio

- Computadora con simulador
- Tarjeta FPGA [EP2C5T144C8N],o el propuesto por el profesor.
- Programador
- Cable de polarización
- Protoboard
- 1 display de ánodo común
- 1 display de cátodo común.
- 7 resistencias de 330 ohm  $\Omega$  a  $\frac{1}{2}$  watt.
- Jumper macho-macho.

### **Actividad 1:**

Con el uso del software propuesto por el profesor el alumno diseñará un código para un contador ascendente utilizando un display de ánodo común

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=fj8TF6i780o&feature=share>

### **Actividad 2:**

Simula y demuéstrole a tu profesor el resultado del contador con el display de ánodo común

### **Actividad 3:**

Con el uso del software propuesto por el profesor el alumno diseñará un código para un contador ascendente utilizando un display de cátodo común.

Consultar el video de simulación del circuito en:

[https://www.youtube.com/watch?v=l\\_XAPQsYNrc&feature=share](https://www.youtube.com/watch?v=l_XAPQsYNrc&feature=share)

### **Actividad 4:**

Simula y demuéstrole a tu profesor el resultado del contador con el display de cátodo común

## Capítulo IX

### Diseño lógico secuencial

#### Objetivo general

Funcionamiento de un circuito combinacional síncrono

#### Aprendizajes esperados

##### Saber conocer

- Funcionamiento de un circuito combinacional síncrono.
- Funcionamiento de un divisor de frecuencia.

##### Saber Hacer

- Uso de FPGA
- Uso de protoboard.
- Uso de multímetro.
- Uso de fuente de poder.
- Uso de simuladores

##### Saber Ser

- Desarrollan habilidades analíticas, críticas, de investigación, trabajo en equipo y compromiso ético.

#### Trabajo de Casa

1. Lee la introducción de los archivos que están en el material de apoyo de la práctica 9 del tema diseño lógico secuencial.

#### Trabajo de laboratorio

##### Material de laboratorio

- Computadora con simulador
- Tarjeta FPGA [EP2C5T144C8N] o la propuesta por el profesor.
- Programador
- Cable de polarización
- Protoboard
- 10 diodos emisores de luz (led).
- 10 resistencias de 330 ohms  $\Omega$  a  $\frac{1}{2}$  watt.
- Jumper macho-macho.

### **Actividad 1:**

Con el uso del software propuesto por el profesor el alumno diseñará un código para simular una serie de luces de manera ascendente y al mismo tiempo de manera descendente.

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=vLnX208IF2c&feature=share>

### **Actividad 2:**

Simula y demuéstrale a tu profesor el resultado del ejercicio propuesto.

### **Actividad 3:**

Con el uso del software propuesto por el profesor el alumno diseñará un código para simular una serie de luces de tal manera que primero enciendan los led's que son impares y después enciendan los led's de manera par.

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=hcQFjYRneC8&feature=share>

### **Actividad 4:**

Simula y demuéstrale a tu profesor el resultado del ejercicio propuesto.

## Capítulo X

### Simulación

#### Objetivo general

Funcionamiento de un circuito secuencial, para realizar funciones específicas.

#### Aprendizajes esperados

##### Saber conocer

- Funcionamiento de un circuito combinacional y síncrono.
- Funcionamiento de un display de 7 segmentos
- Divisor de frecuencia.

##### Saber Hacer

- Uso de FPGA.

##### Saber Ser

- Desarrollan habilidades analíticas, críticas y compromiso ético.

#### Trabajo de Casa

1.-Lee la práctica número diez y realizar un circuito con funciones específicas

#### Trabajo de laboratorio

##### Material de laboratorio

- Computadora con simulador
- Tarjeta FPGA [EP2C5T144C8N] o la propuesta por el profesor.
- Programador
- Cable de polarización
- Protoboard
- Alambre
- 2 diodos emisores de luz (led).
- 9 resistencias de 330 ohms  $\Omega$  a  $\frac{1}{2}$  watt.
- 2 push button.
- Jumper macho-macho.
- 1 display cátodo común

### **Actividad 1:**

Con el uso del software propuesto por el profesor el alumno diseñará un código para simular las letras y números dependiendo las pulsaciones que se introduzcan

Consultar el video de simulación del circuito en:

<https://www.youtube.com/watch?v=cjCDFANAWxg&feature=share>

### **Actividad 2:**

Simula y demuéstrale a tu profesor el resultado del ejercicio propuesto.

### **Actividad 3:**

Comenten en grupo como fue su aprendizaje en el laboratorio de diseño lógico.

## Bibliografía

- A Electronic. (18 de 03 de 2018). *Divisor de Frecuencia VHDL primera parte*. Obtenido de : <https://www.youtube.com/watch?v=n0ja-dEtmsA>
- A., A. (2018). *Decodificadores y demultiplexores*. Obtenido de <https://personales.unican.es>
- David G, Jessica A,2008, VHDL El arte de programar sistemas digitales, México, PATRIA
- EcuRed. (2018). *Código BCD*. Obtenido de <https://www.ecured.cu>
- Ediciones-sm. (14 de 02 de 2012). *Frecuencia y periodo*. Obtenido de : <https://www.youtube.com/watch?v=XYO31ez7jNs>
- Edigital. (03 de 04 de 2018). *Electronica Digital*. Obtenido de <http://perso.wanadoo.es>
- Fondo Formacion. (2001). *Codificadores*. Obtenido de <http://myelectronic.mipropia.com>
- Hackeando Tec. (19 de 08 de 2015). *Circuitos logicos para generar retardos en Verilog*. Obtenido de : <https://www.youtube.com/watch?v=0p7-BSwrads>
- John F,1992, Diseño Digital principios y practicas, México, PRENTICE-HALL HISPANOAMERICANA.
- José A. (26 de 04 de 2018). Obtenido de : <http://www.asifunciona.com>
- Mano, M. (22 de 02 de 2017). *Libros y solucionarios.net*. Obtenido de <http://librosysolucionarios.net>
- Microsoft. (2018). *Decodificadores*. Obtenido de <https://personales.unican.es>
- Thomas Richard,1994, Lógica digital y diseño de computadoras, México, LIMUSA
- UNITRON. (26 de 07 de 2015). *Electro Digital*. Obtenido de Electro digital: <http://unitrondigital.blogspot.com>
- Vargas, H. (2011). *Sistemas Analógicos Digitales*. Obtenido de <http://ocw.pucv.cl>

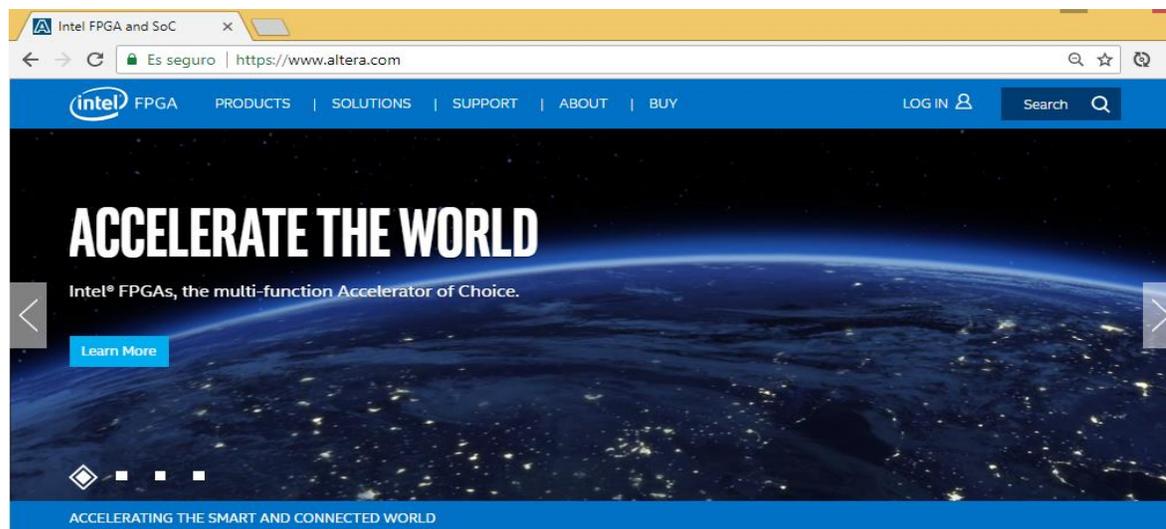
## Anexos

### Anexo I

#### Manual de descarga e instalación Quartus II.

- 1) Ingresa a cualquier navegador
- 2) Ve a la URL: <https://www.altera.com/>

Se muestra una pantalla como la siguiente:



- 3) Dar clic en **LOG IN**  ingresar tu email y contraseña de Altera, si no tienes cuenta crea una.

Info

Please use your myAltera account email address to login to myAltera. There is no change to your account password. For Sales Enablement Portal (SEP) users, please login to myAltera using your myAltera email address and password to access SEP. Please refer to this [FAQ](#) for answers to some commonly asked questions.

laboriodl3@gmail.com

\*\*\*\*\*

[Sign In](#)

By signing in, you agree to our [Terms of Service](#)

[Forgot your email](#)

[Forgot your password?](#)

Don't have an account? [Create one](#)

4) Dar clic en el botón



5) Ingresar a nuestra cuenta de Altera porque aparecerán nuestros datos

intel | FPGA | PRODUCTS | SOLUTIONS | SUPPORT | ABOUT | BUY | LABORATORIO L3 DISEÑO LÓGICO | Search

Intel FPGA and SoC > myAltera > myAltera Home

myAltera Home

Manage Your Profile | Email Subscriptions | Customer Notifications Subscription

myAltera Account Help  
Terms and Conditions

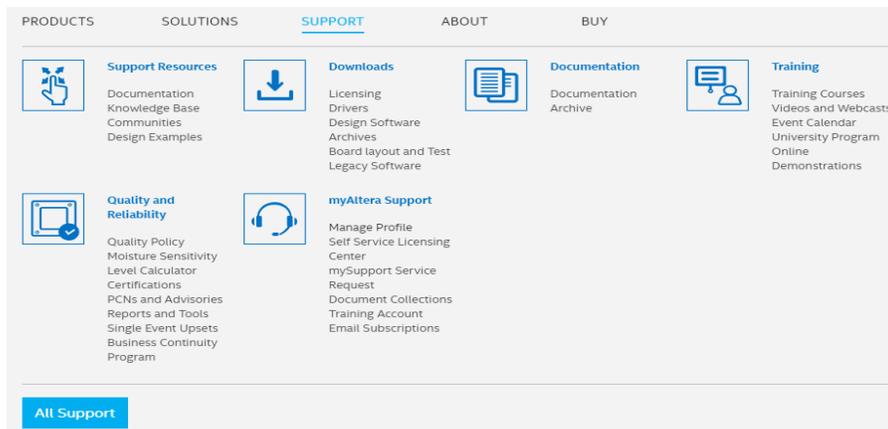
**Altera Design Tools**

- Download Quartus Prime
- Compare Quartus Prime Editions

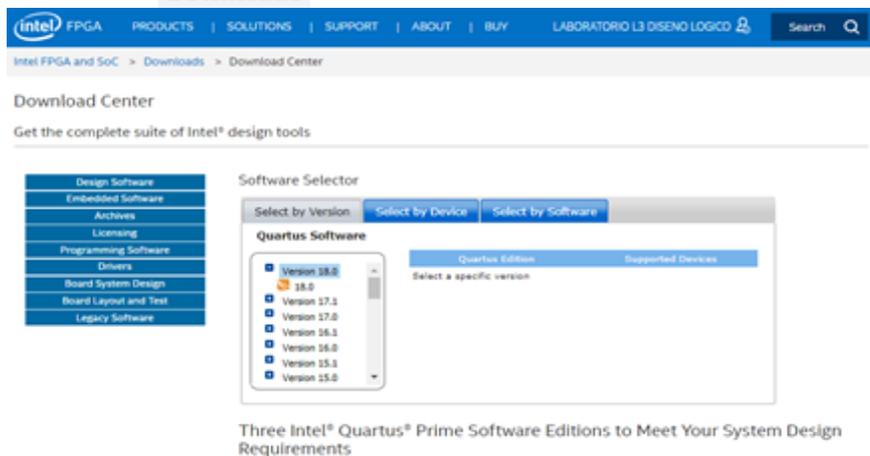
6) Dar clic en



aparecerá la siguiente ventana:



7) Dar clic en **Downloads** aparecerá la siguiente ventana.



8) Dar clic en **Version 13.0** la última versión que soportó el dispositivo Quartus II 13.0 aparecerá del lado derecho información de la descarga del software. En caso de contar con otro dispositivo se recomienda descargar la versión más actualizada.

## Software Selector

Select by Version   **Select by Device**   Select by Software

**Quartus Software**

Version 13.1

Version 13.0

13.0, Service Pa

**13.0**

Version 12.1

Version 12.0

Version 11.1

| Quartus Edition      | Supported Devices   |
|----------------------|---|
| Subscription Edition | <b>Stratix</b> (V,IV,III,II GX,II,GX,I)<br><b>Arria</b> (V GZ,V,II GZ,II GX,GX)<br><b>Cyclone</b> (V,IV E,IV GX,III LS,III,II,I)<br><b>MAX</b> (V,II,7000,3000A)<br><b>HardCopy</b> (IV,III,II) |
| Web Edition          | <b>Arria</b> (II GX)<br><b>Cyclone</b> (V,IV E,IV GX,III LS,III,II)<br><b>MAX</b> (V,II,7000,3000A)   |

- 9) Dar clic en **Web Edition** y aparecerá la siguiente ventana , donde nos mostrará lo que se va a descargar.

## Download Center

Get the complete suite of Intel® design tools

Design Software

Embedded Software

Archives

Licensing

Programming Software

Drivers

Board System Design

Board Layout and Test

Legacy Software

### Quartus II Web Edition

Release date: June, 2013  
Latest Release: v18.0

Select release:

Operating System Windows Linux

Select the operating system on which you will run the Quartus II software.

Download Method  Akamai DLM3 Download Manager  Direct Download

Select whether you will use the download manager (Windows only) or directly download the files.  
The download manager allows you to pause the download and can help you recover from interrupted downloads.

✔ The Quartus II software version 13.0sp1 supports the following device families: Arria II, Cyclone II, Cyclone III, Cyclone IV (includes all variations), Cyclone V (includes all variations), and MAX II, MAX V, MAX 3000, MAX 7000. [More](#)

- 10) En la misma página nos sigue mostrando que elementos vamos a descargar, como se muestra en la imagen deseleccionamos [Arria II] y [Cyclone V], ya que si se cuenta con los dispositivos no es necesario deseleccionar.

**Select All**

- Quartus II Web Edition (Free)**
  - Quartus II Software (includes Nios II EDS)**  
Size: 1.5 GB MD5: 70D2991B55E70EEFBBA30DB38A40BF01
  - ModelSim-Altera Edition (includes Starter Edition)**  
Size: 779.3 MB MD5: 97D829F95E3BDA2AD15891F00936D10
- Devices**

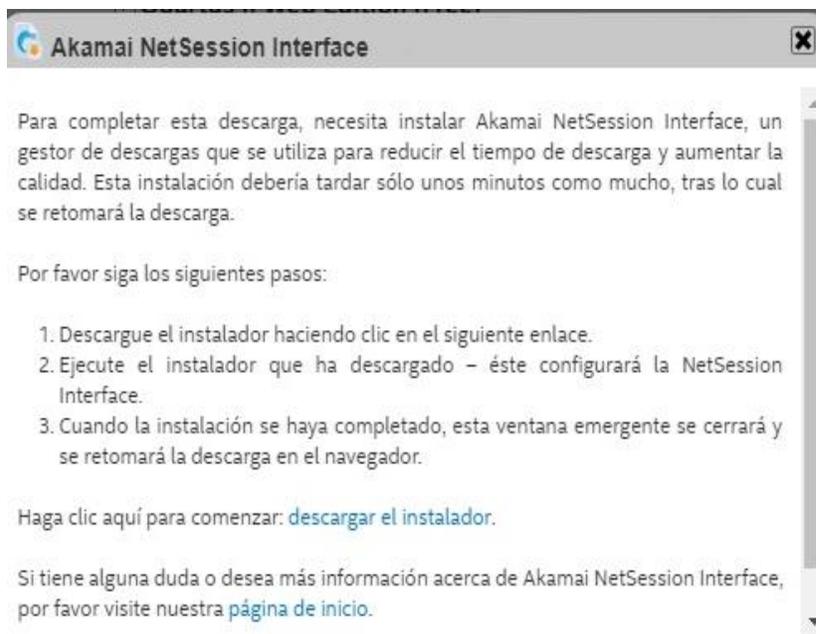
You must install device support for at least one device family to use the Quartus II software.

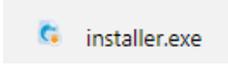
  - Aria II device support**  
Size: 467.3 MB MD5: 18262271D276A9966F42938E1E601AEE
  - Cyclone II, Cyclone III, Cyclone IV device support (includes all variations)**  
Size: 568.9 MB MD5: CDAC3B93F0DF21D7371E4395D31D0099
  - Cyclone V device support (includes all variations)**  
Size: 747.9 MB MD5: 4664B9BDD482C004C3C8D64FEFC124AB
  - MAX II, MAX V, MAX 3000, MAX 7000 device support**  
Size: 6.7 MB MD5: 64AAC8C4F6CD545D449BE3FFD8CBA50
- Additional Software**
  - Quartus II Programmer and SignalTap II**  
Size: 136.6 MB MD5: F2F4B22D649DF1CB38AC6360474C70CC
  - Quartus II Help**  
Size: 355.8 MB MD5: C0FB2D2D2ED936CE18F0080B77985AB6
  - SoC Embedded Design Suite (EDS)**  
Size: 1.2 GB MD5: 55B7C552AC4D765A772843D407121A25
  - Linux Support Package Binary File**  
Size: 387.0 MB MD5: 9CC7736BE69B51C318CEBC51A4B9553B
  - Linux Support Package Source File**  
Size: 818.3 MB MD5: 58788F0DA87F549333E9432BE82681C3

**Download Selected Files**

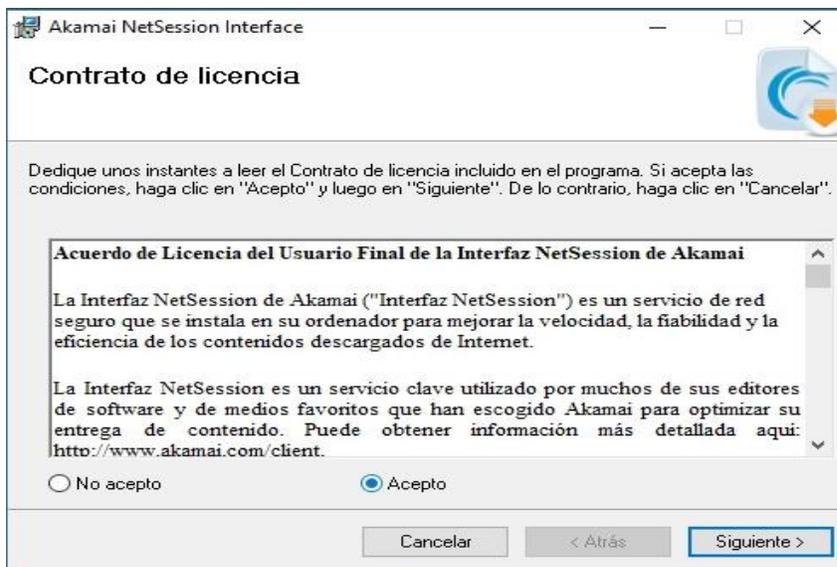
11) En la parte de abajo de la ventana, dar clic en **Download Selected Files**

12) Se mostrará un cuadro de diálogo. Dar clic en el link [descargar el instalador.](#)

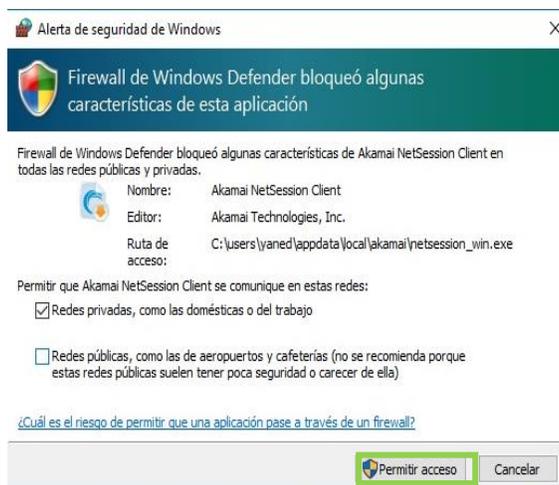


13) Abrimos la descarga del instalador , se mostrará un cuadro de diálogo

14) Dar clic en aceptar la licencia. Dar clic en siguiente

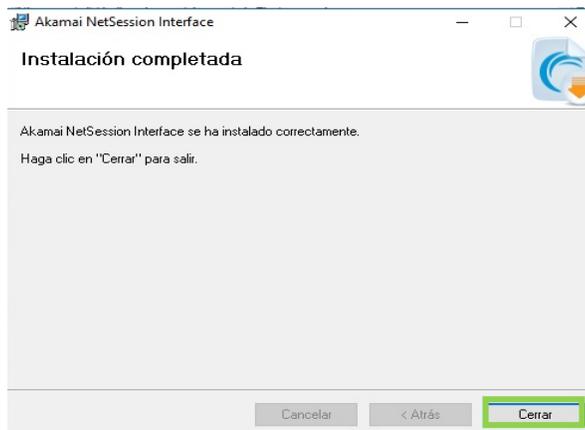


Dar clic en siguiente veremos que se está ejecutando el programa, probablemente aparezca un cuadro de diálogo en donde nos dice que si queremos permitir que se comunique con algunas redes, le damos clic en 

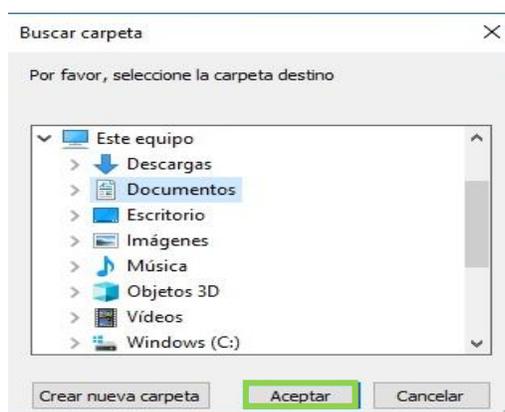


15) Se estará instalando el programa.

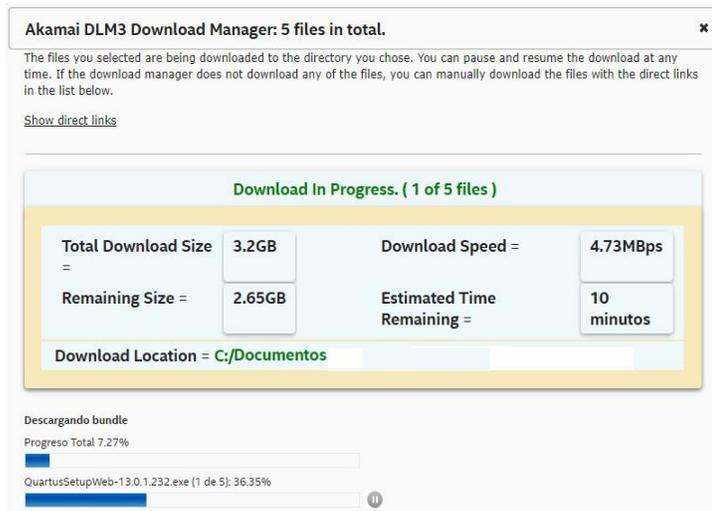
Se mostrará una ventana en donde indica que la instalación esta completada, dar clic en cerrar.



16) Automáticamente saldrá un cuadro de diálogo en donde pedirá que seleccione donde se quieren guardar los programas que se descargarán, en este caso elegir en Documentos, enseguida dar clic en Aceptar.



17) Automáticamente se estarán descargando los archivos los cuales serán 5

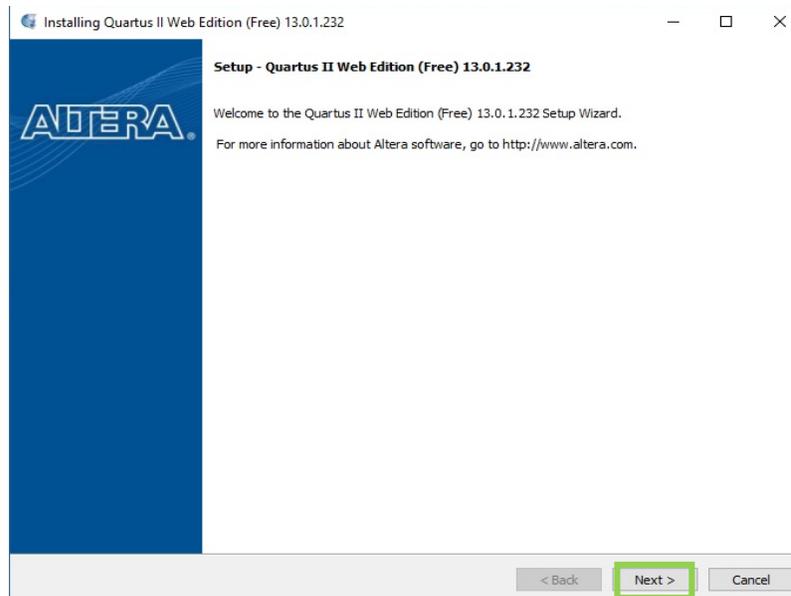


QuartusSetupWeb-13.0.1.232  
QuartusHelpSeptup-13.0.1.232  
ModelSimSetup-13.0.1.232  
Cyclone\_web-13.0.1.232.qdz  
Max\_web-13.0.1.232.qdz

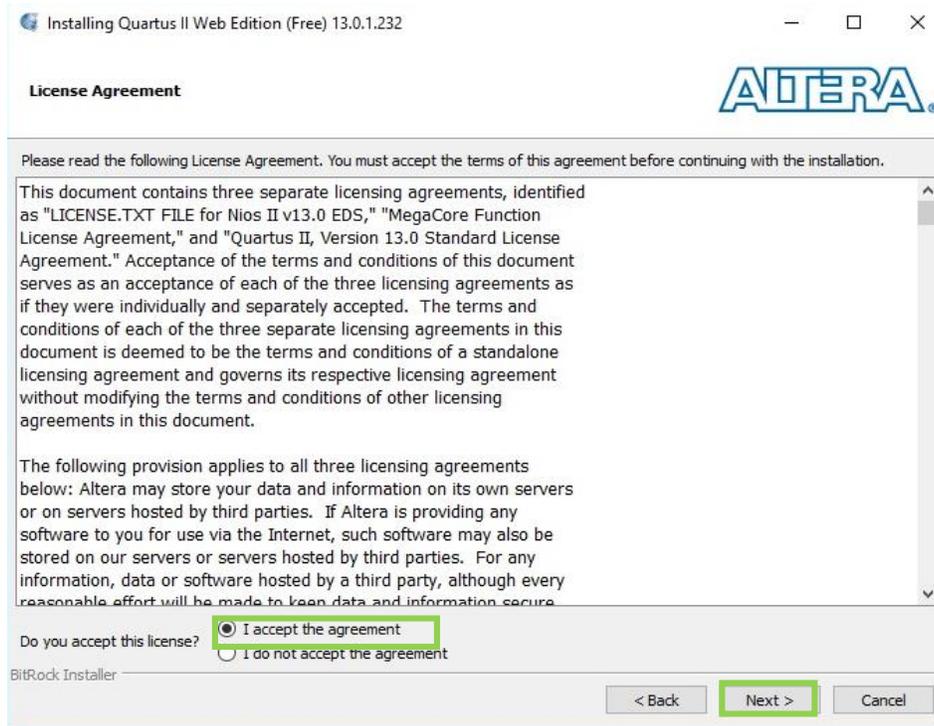
18) Cuando termine la descarga aparecerá un cuadro de diálogo en donde indica que, si se quiere abrir el archivo, dar clic en abrir.



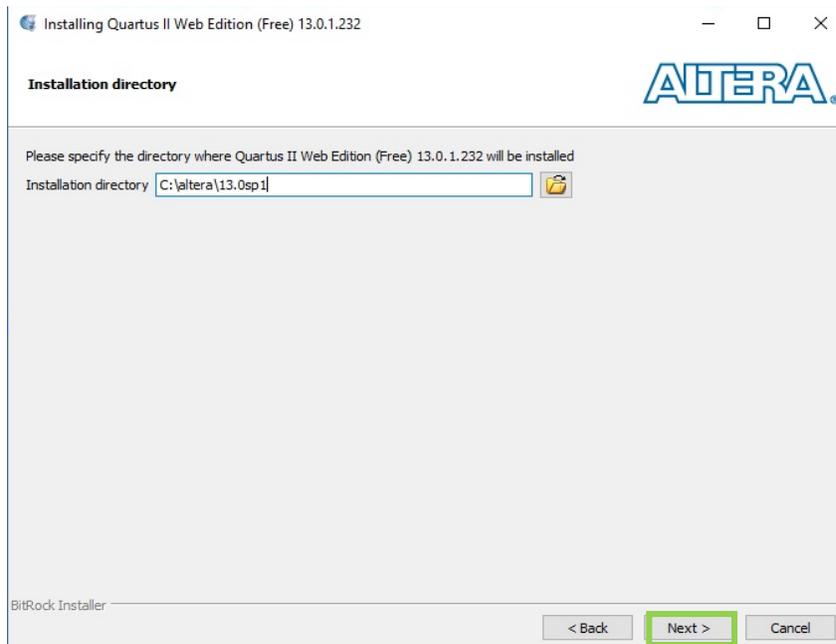
19) Mostrará una ventana como la siguiente. Dar clic en Next.



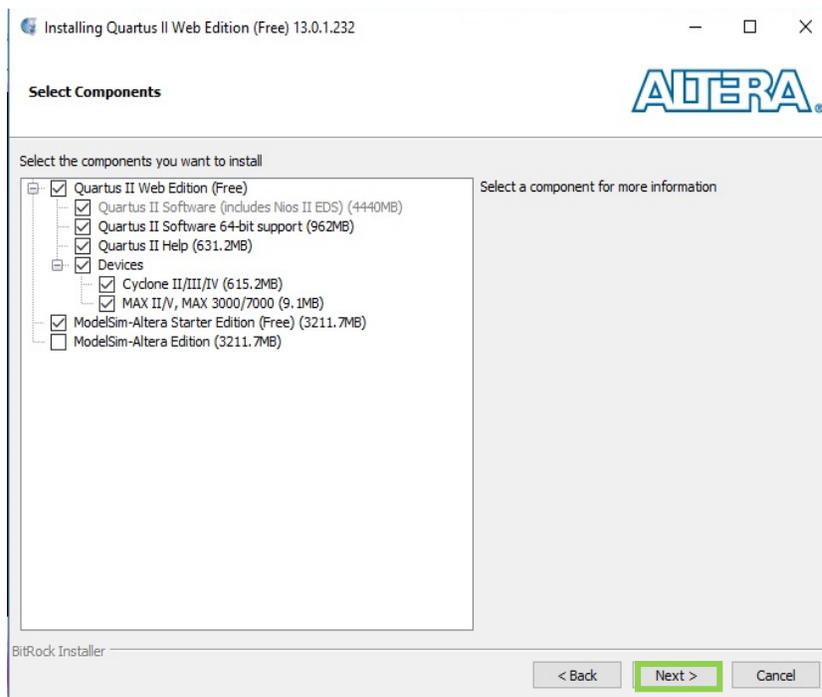
20) Se mostrará una ventana como la siguiente, en donde se muestra el contrato de licencia, seleccionar → I accept the agreement. Dar clic en Next.



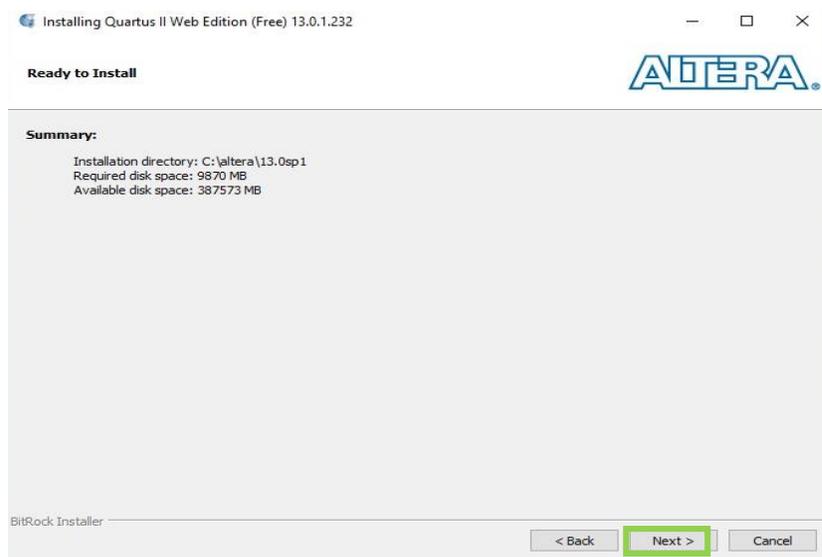
21) Se mostrará una ventana como la siguiente, nos permite elegir en donde queremos que se instale el programa, dar clic en Next.



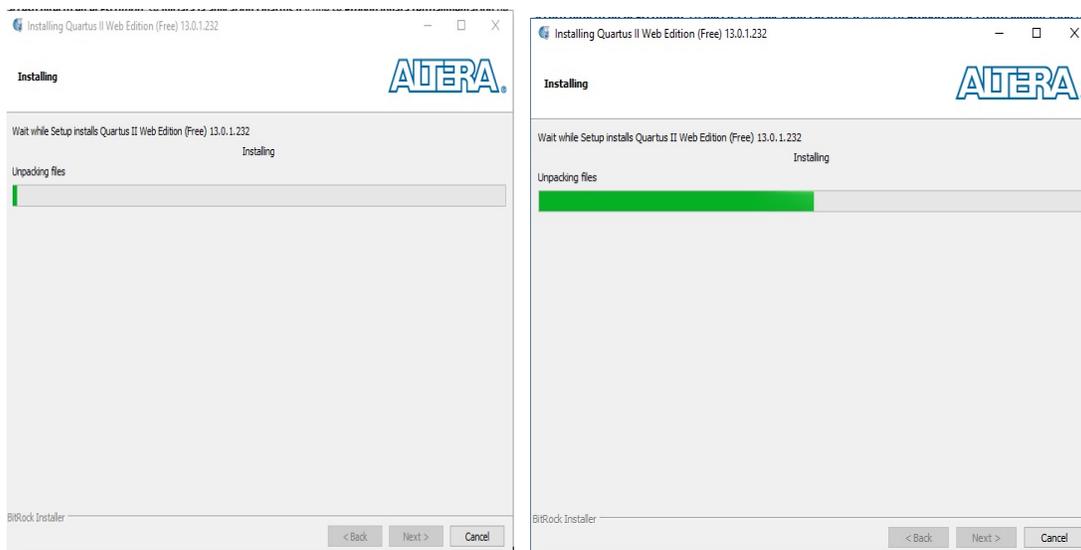
22) Se mostrará una ventana como la siguiente, dar clic en Next.



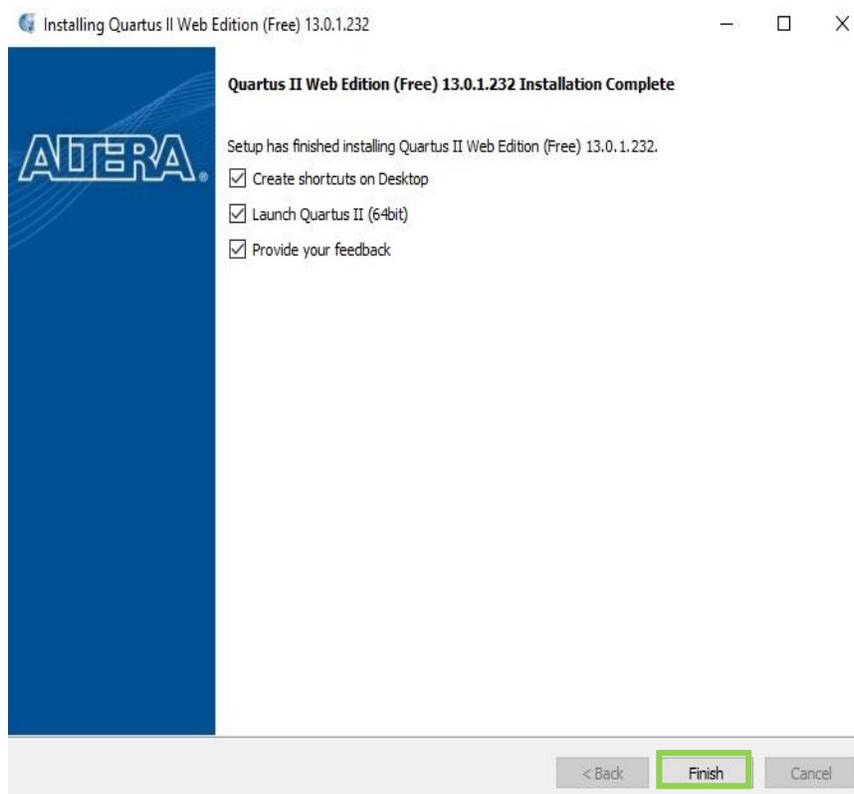
23) Se mostrará una ventana como la siguiente, dar clic en Next.



24) Se mostrará una ventana como la siguiente, dar clic en Next, se verá cómo se está instalando el programa.



25) Al finalizar de instalarse se mostrará una ventana como la siguiente.

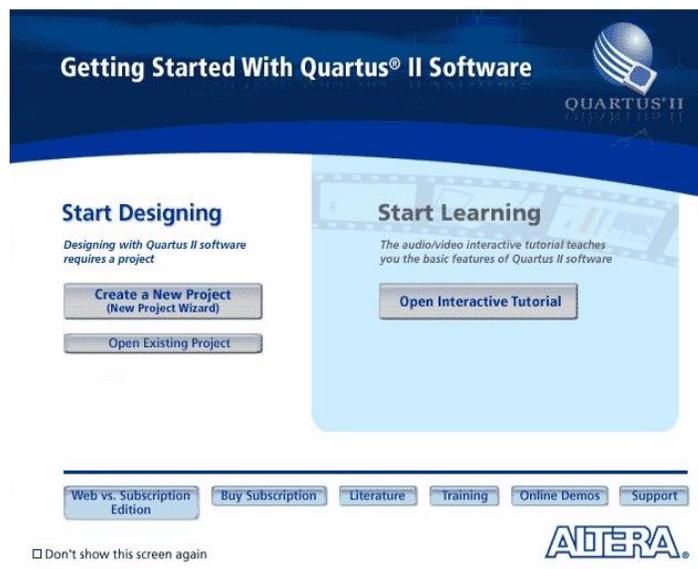


Las opciones seleccionadas nos dicen que se va a crear un acceso al escritorio, se inicializará Quartus II, abra información del software. Dar clic en finish.

26) Se mostrará una ventana como la siguiente, elegimos la opción de  
→ Run the Quartus II software. Y dar clic en el botón ok.



27) Se abrirá la ventana del programa, dar clic en el botón **X**



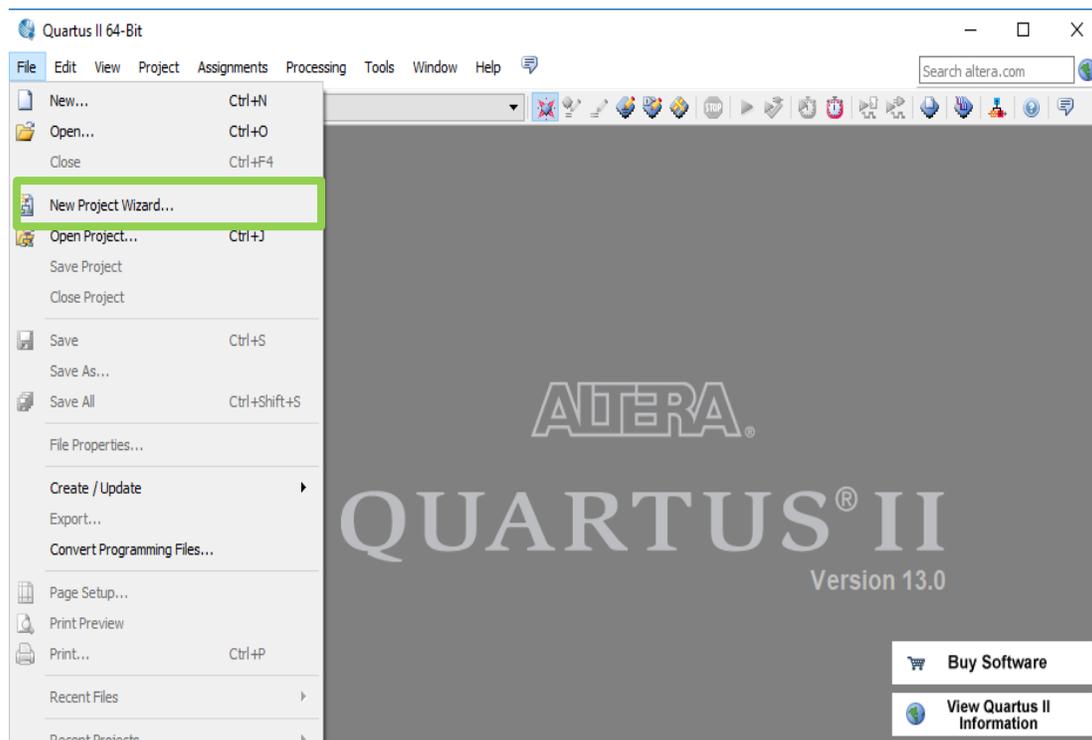
La instalación fue finalizada con éxito.

## Anexo II

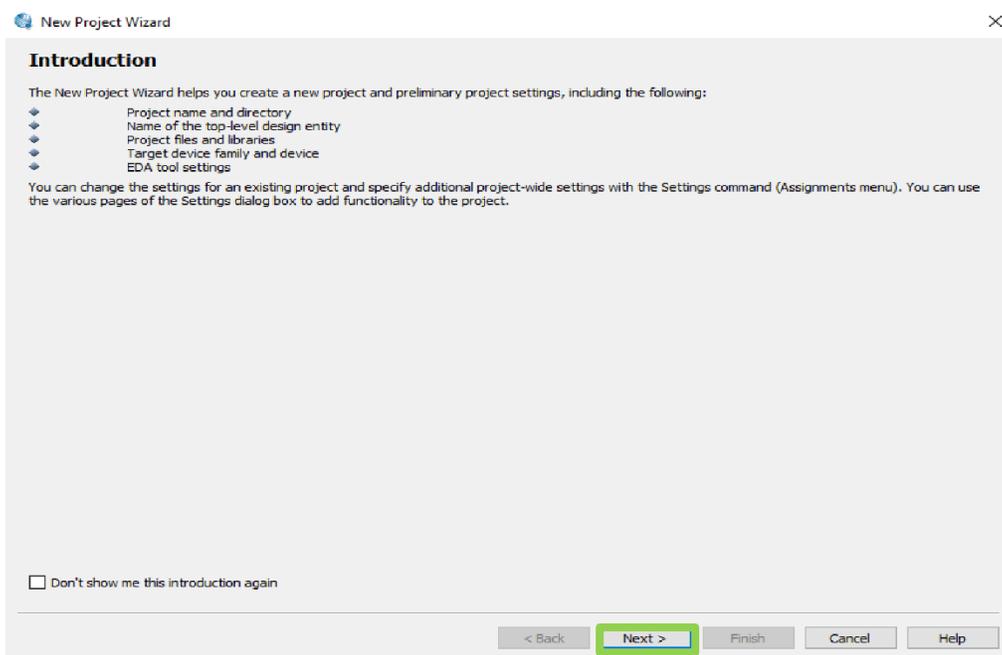
### Manual para crear un proyecto en Quartus II.

Una vez abriendo el programa al programa.

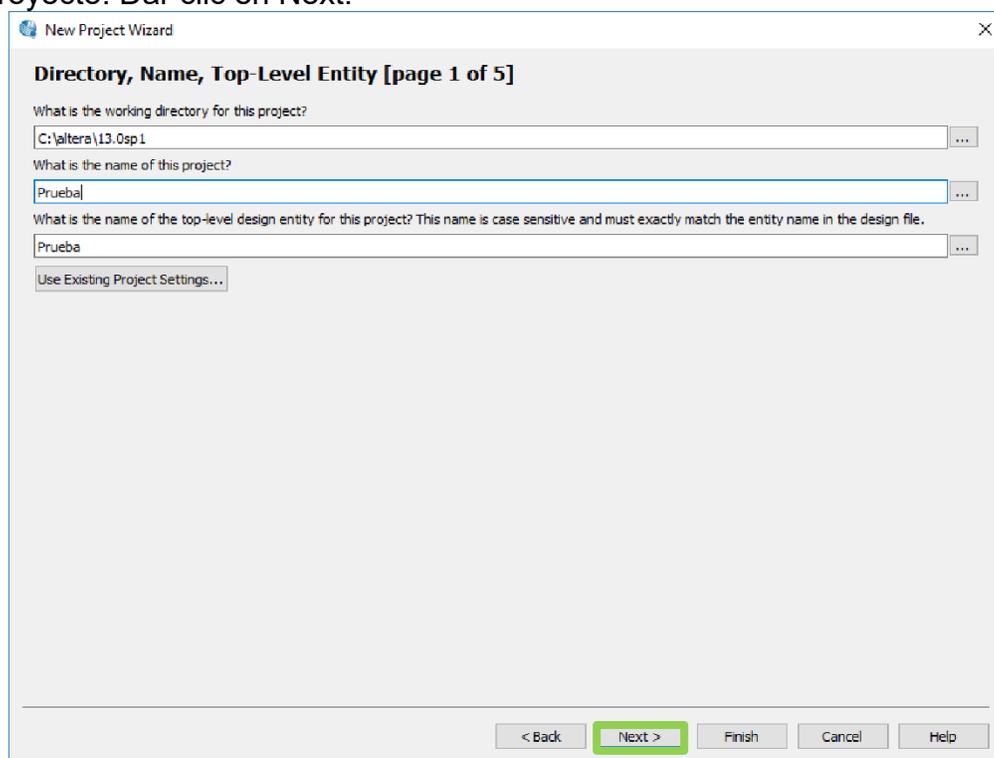
1. Dar clic en File, elegir  New Project Wizard...



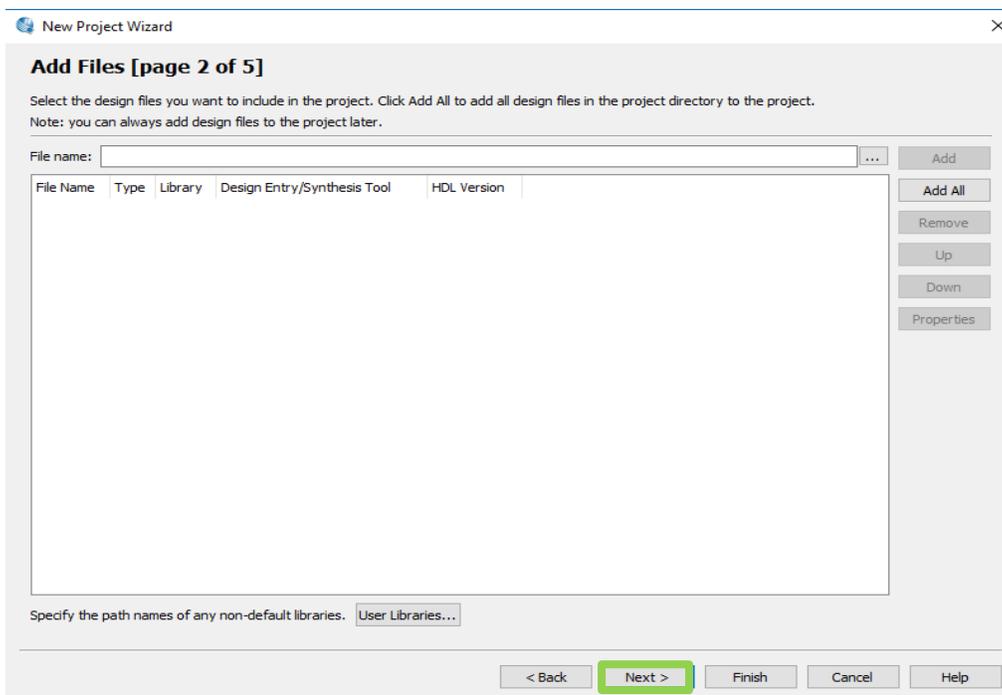
2. Dar clic en Next.



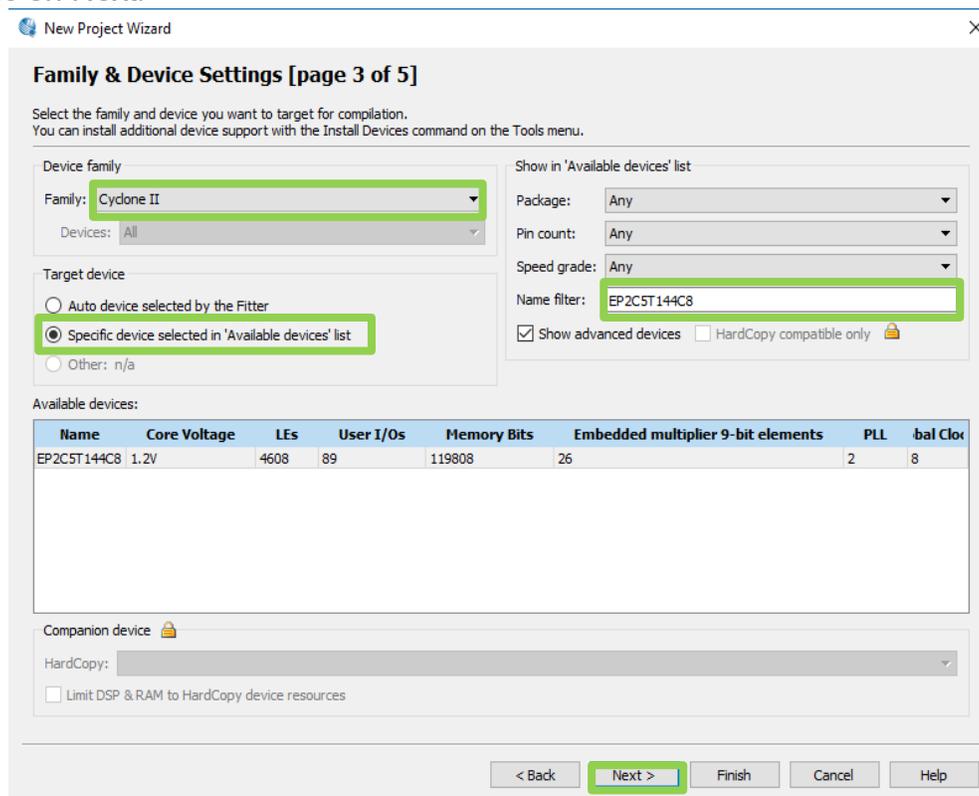
3. Aparecerá la siguiente ventana, en donde da la opción de elegir en donde se quiere guardar el proyecto, también permite la opción de asignar un nombre al proyecto. Dar clic en Next.



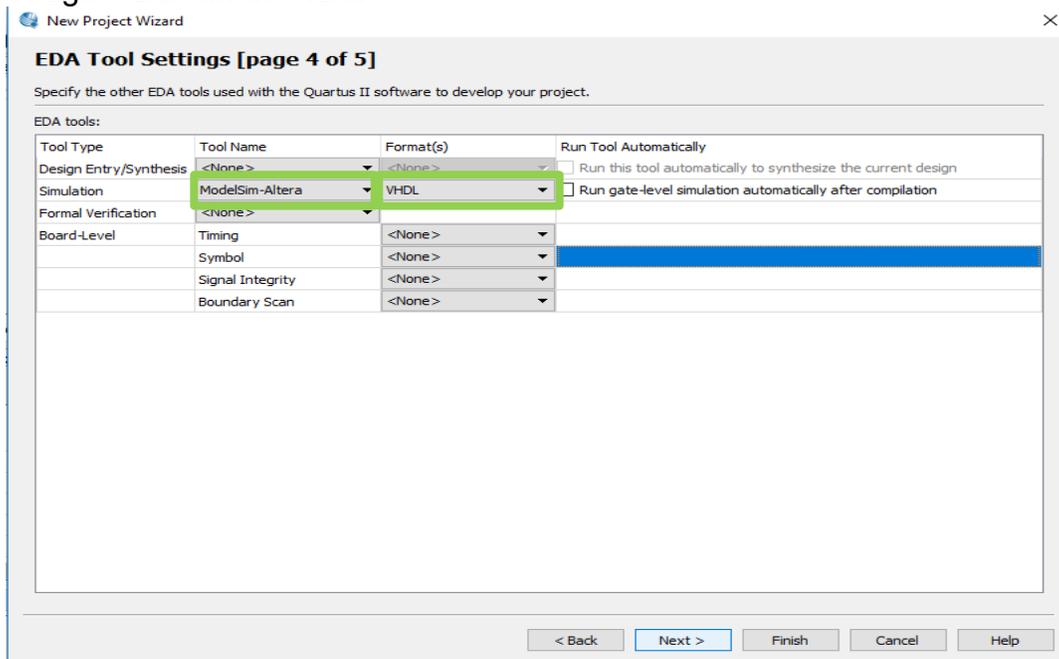
4. Dar clic en Next.



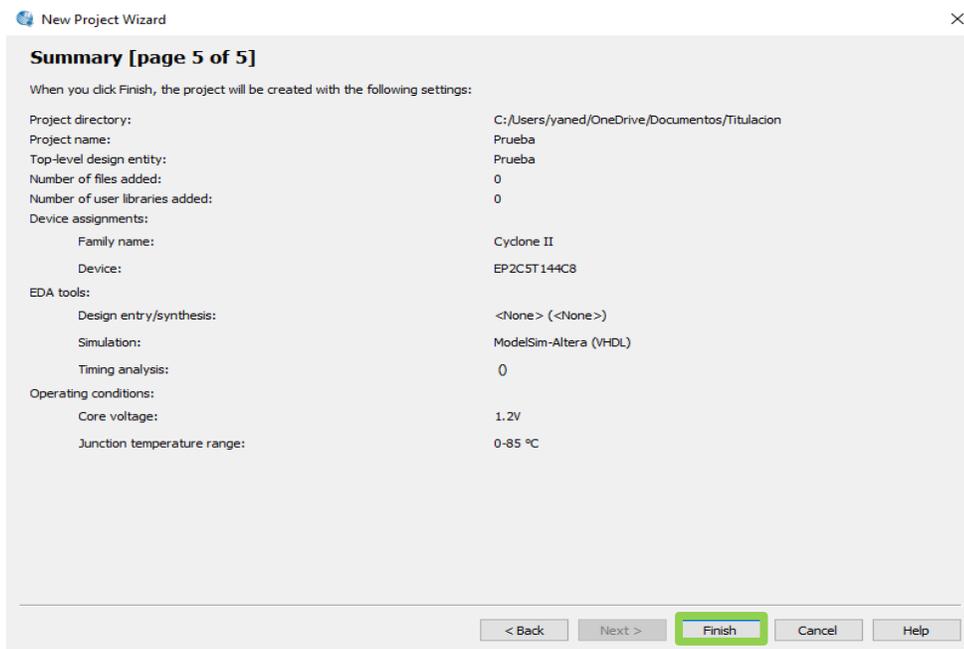
5. En la siguiente ventana llenar los campos como se muestra en la siguiente imagen. (Dependerá del modelo de tarjeta con la que se esté trabajando). Dar clic en Next.



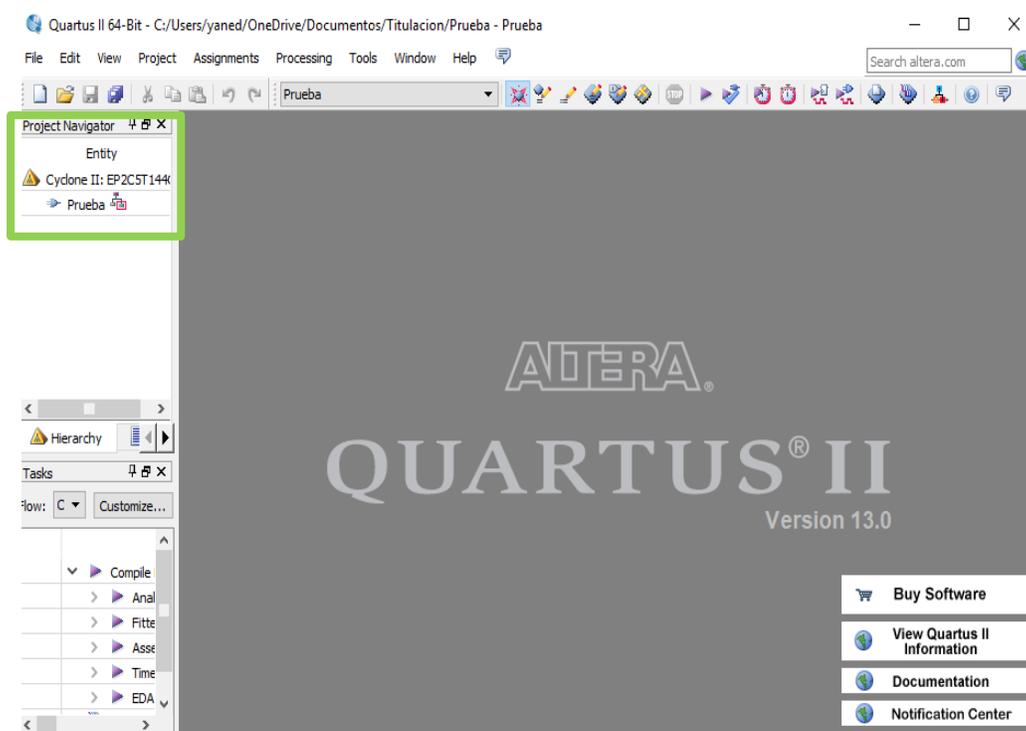
6. En la siguiente ventana llenar los campos como se muestra en la siguiente imagen. Dar clic en Next.



7. Aparecerá la siguiente ventana, dar clic en Finish.



8. Se ha creado el proyecto con el nombre que le asignamos.

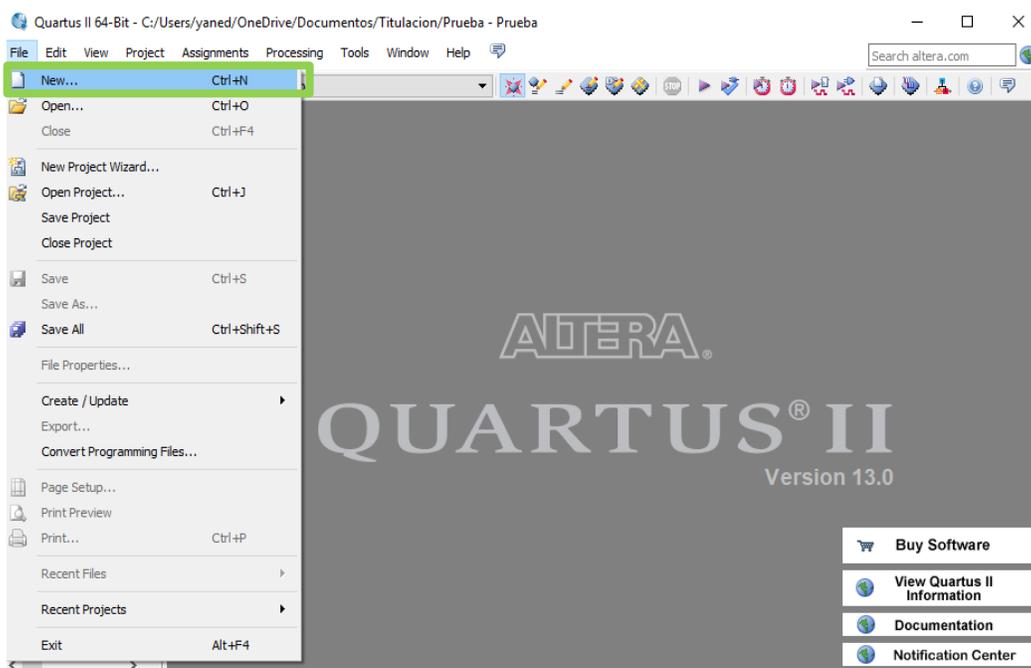


## Anexo III

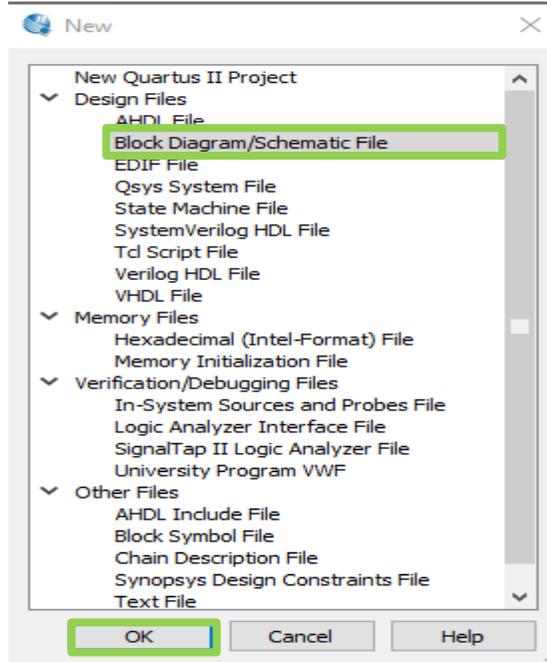
### Ejemplo para crear un diagrama esquemático en Quartus II.

Ya creado un proyecto.

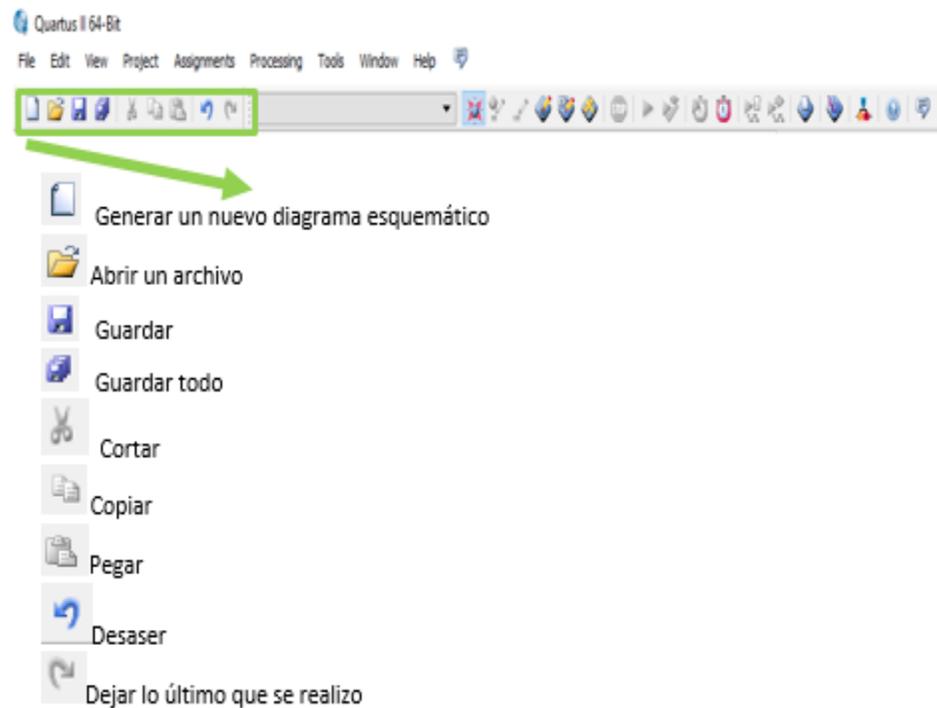
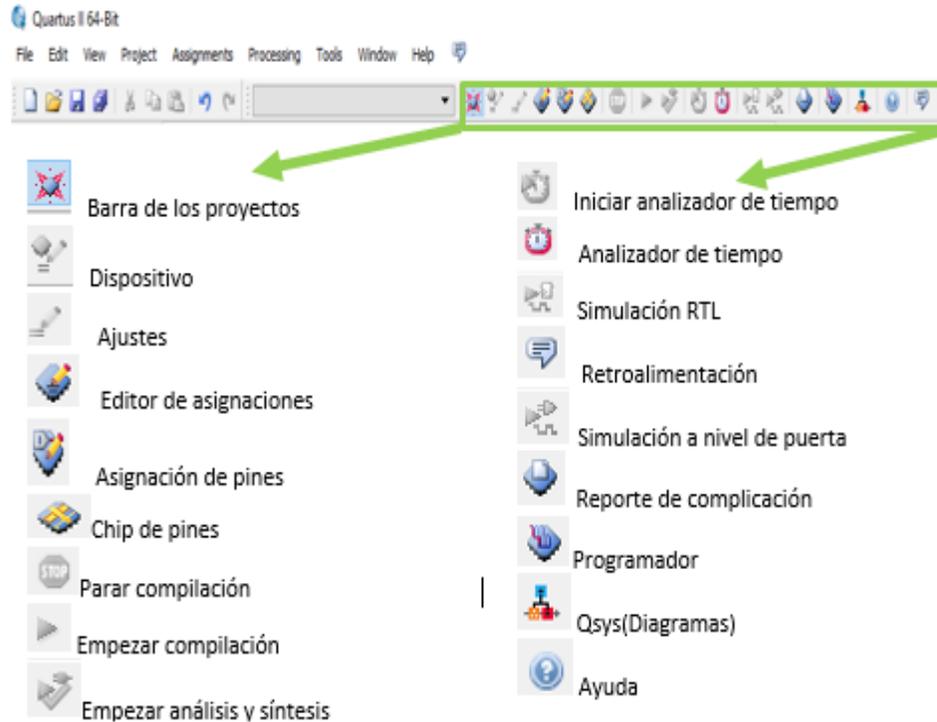
- 1) Dar clic en File, Seleccionar la opción New.

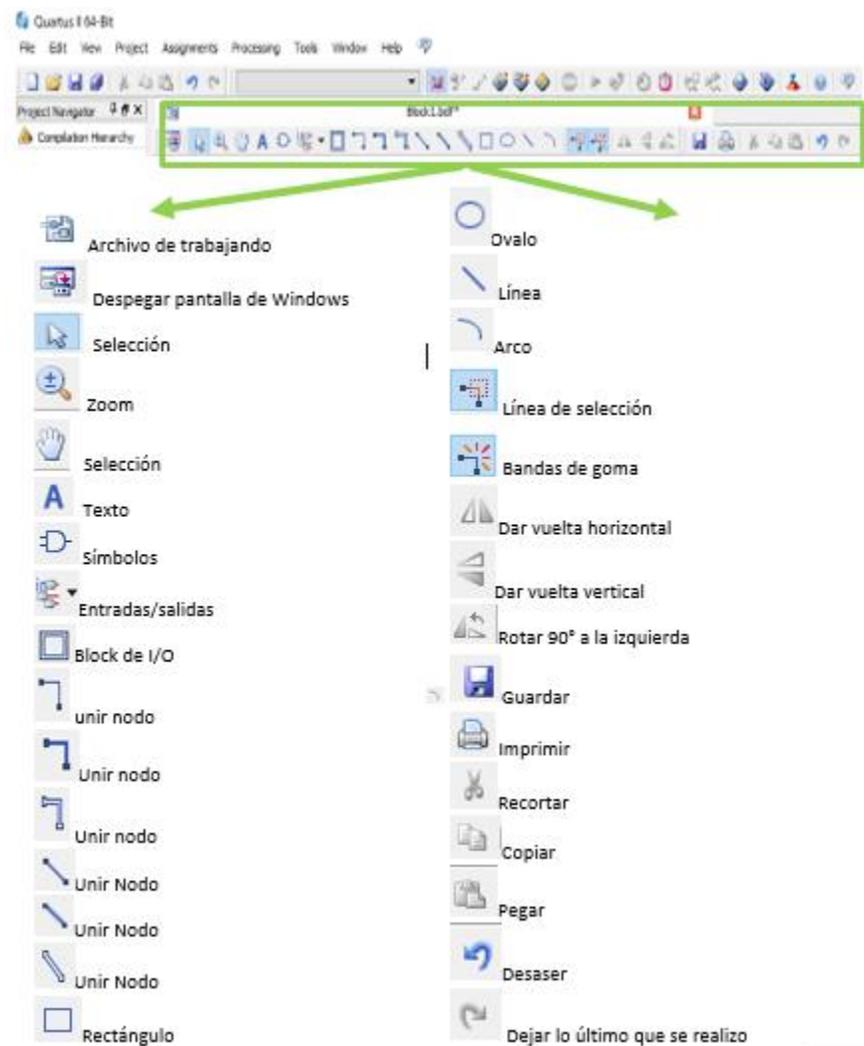


- 2) Elegir la opción "**Block Diagram/Schematic File**". Dar clic en ok.



## Descripción de los iconos de la ventana





3) Para alambrear la salida de **avanza** del problema propuesto

| MINITERMINO | A | B | C | D | AV | RE | VD | VI | AL |
|-------------|---|---|---|---|----|----|----|----|----|
| m0          | 0 | 0 | 0 | 0 | 1  | 0  | 0  | 0  | 0  |
| m1          | 0 | 0 | 0 | 1 | 1  | 0  | 0  | 0  | 0  |
| m2          | 0 | 0 | 1 | 0 | 1  | 0  | 1  | 0  | 0  |
| m3          | 0 | 0 | 1 | 1 | 1  | 0  | 1  | 0  | 0  |
| m4          | 0 | 1 | 0 | 0 | 1  | 0  | 0  | 1  | 0  |
| m5          | 0 | 1 | 0 | 1 | 1  | 0  | 0  | 1  | 0  |
| m6          | 0 | 1 | 1 | 0 | 0  | 1  | 1  | 0  | 1  |
| m7          | 0 | 1 | 1 | 1 | 1  | 0  | 0  | 0  | 1  |
| m8          | 1 | 0 | 0 | 0 | 0  | 1  | 1  | 0  | 0  |
| m9          | 1 | 0 | 0 | 1 | 1  | 0  | 1  | 0  | 0  |
| m10         | 1 | 0 | 1 | 0 | 1  | 0  | 1  | 0  | 0  |
| m11         | 1 | 0 | 1 | 1 | 1  | 0  | 1  | 0  | 0  |
| m12         | 1 | 1 | 0 | 0 | 0  | 1  | 1  | 0  | 0  |
| m13         | 1 | 1 | 0 | 1 | 0  | 0  | 0  | 1  | 0  |
| m14         | 1 | 1 | 1 | 0 | 0  | 1  | 1  | 0  | 1  |
| m15         | 1 | 1 | 1 | 1 | 0  | 0  | 0  | 0  | 1  |

**Solución:**

$$AV = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{A}D + \bar{B}D + \bar{B}C$$

Los guiones indican la ausencia de la variable, por lo tanto no se lista.

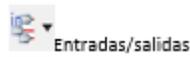
**Solución:**

$$AV = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{A}D + \bar{B}D + \bar{B}C$$

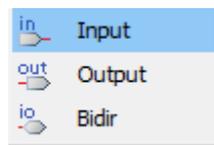
Los guiones indican la ausencia de la variable, por lo tanto no se lista.

Necesitan insertar 4 entradas (A, B, C, D)

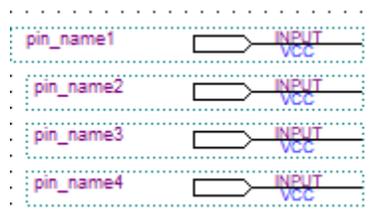
Dar clic en el icono de entradas y salidas.



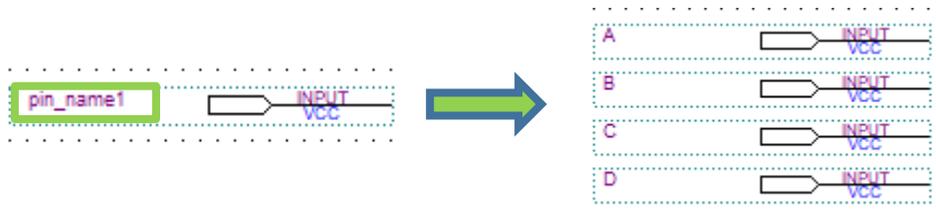
Elegir la opción Input.



Dar clic en el área de trabajo, para insertar las entradas que se necesitan.

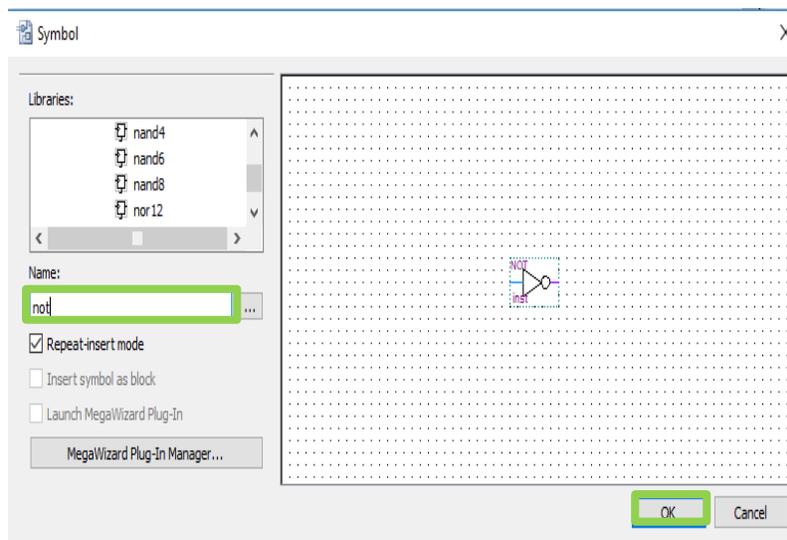


Para colocarle nombre a las entradas Dar clic en el icono de texto  Texto y posicionarnos en el icono de entrada, escribir el nombre que se quiere.

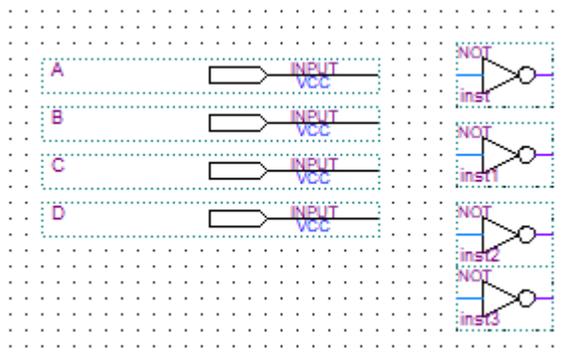


Para negar una compuerta dar clic en el icono de símbolos  Símbolos

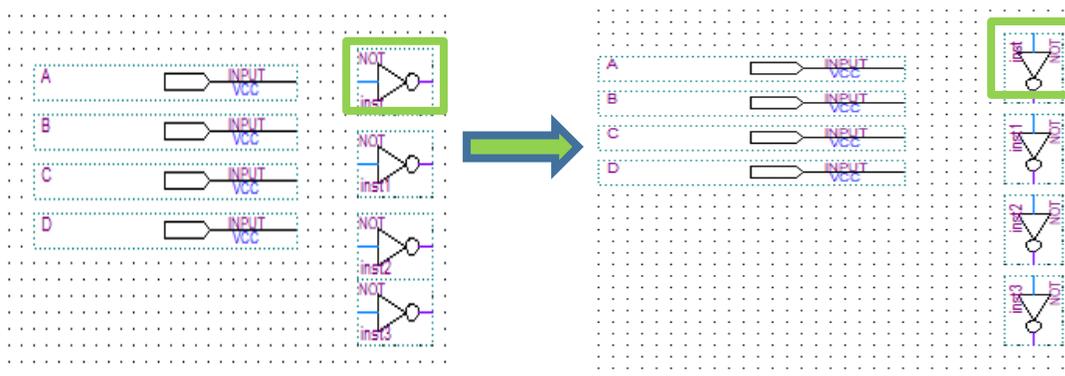
Escribir "not" como se muestra en la imagen, dar clic en ok.



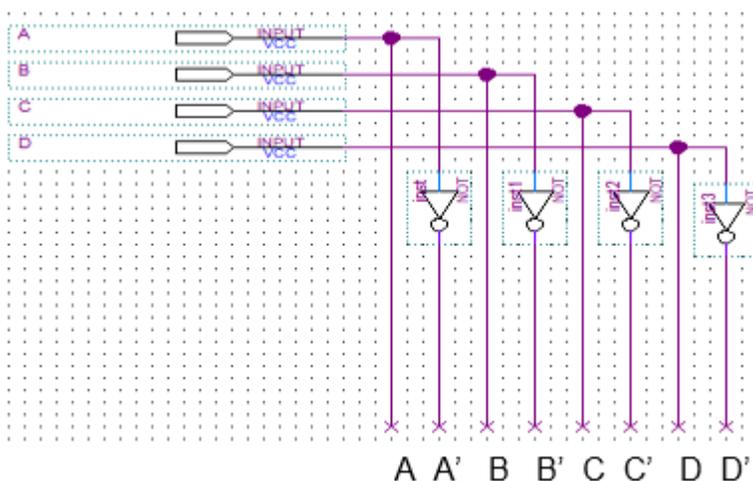
Dar clic en el área de trabajo, para insertar las negaciones necesarias.



Si se quiere rotar cualquier elemento, se selecciona el elemento. dar clic en el icono  Rotar 90° a la izquierda.



Para realizar la conexión de las entradas negadas dar clic en el icono más conveniente para la conexión de nodos 

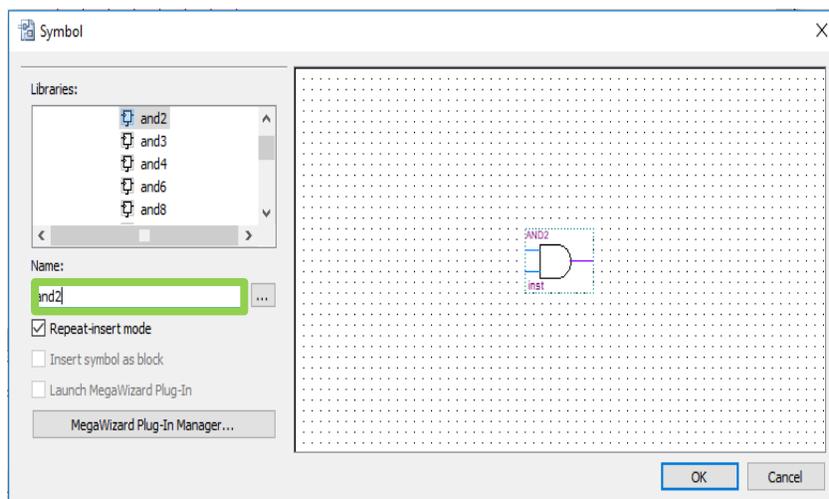


Para colocar cualquier compuerta dar clic en el icono de símbolos

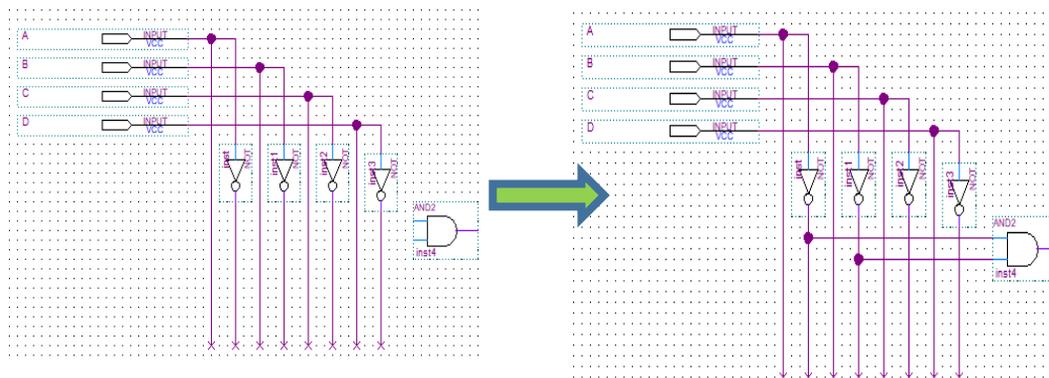


Símbolos

Escribir "and2" (dependerá cuantas entradas se necesitan) como se muestra en la imagen, dar clic en ok.



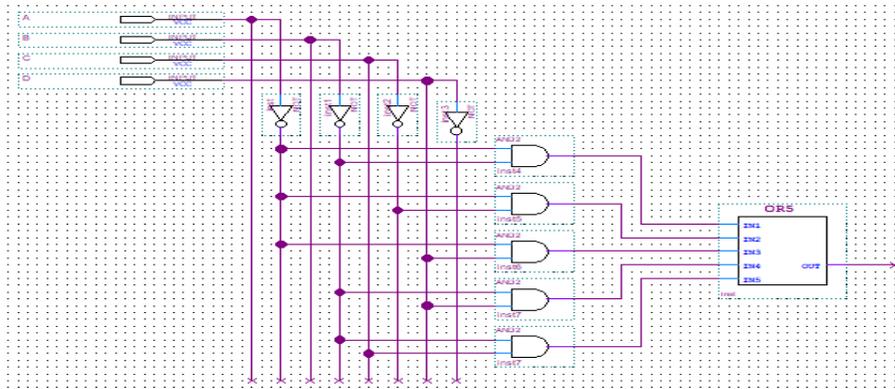
Se realiza la conexión para la primera compuerta, para la salida de avanza



**Solucion:**

$$AV = \overline{A} \overline{B} + \overline{A} \overline{C} + \overline{A} D + \overline{B} D + \overline{B} C$$

Se siguen realizando las conexiones



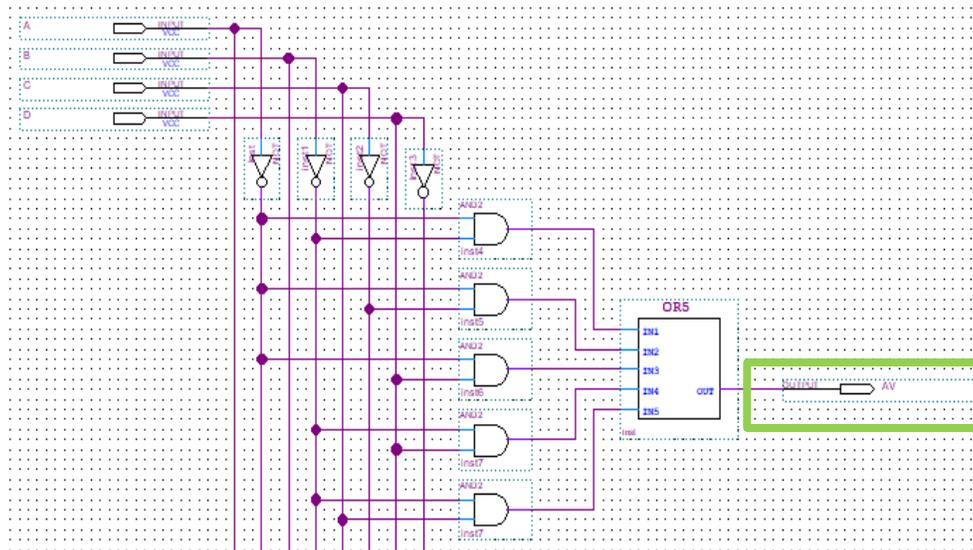
Para colocar la salida de **avanza** dar clic en el icono de entradas y salidas.



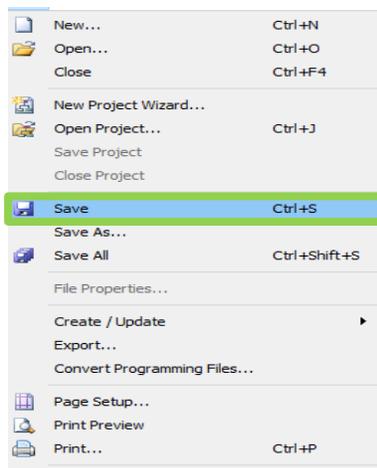
Elegir la opción Output



Dar clic en el área de trabajo, para insertar la salida.

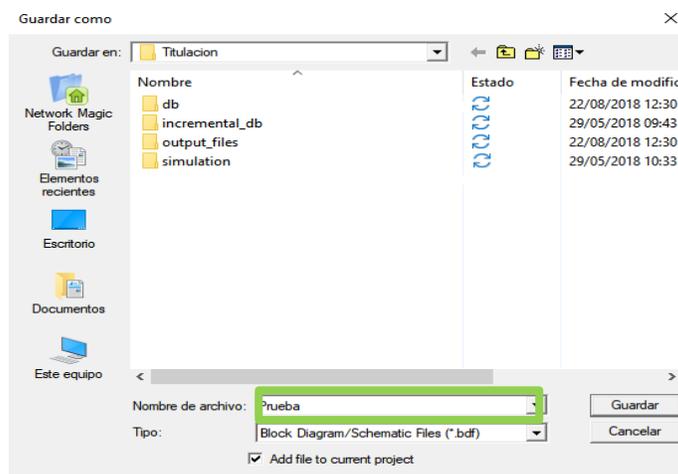


Para guardar el archivo dar clic en File y seleccionar save.



Colocar el nombre que se le dio al proyecto.

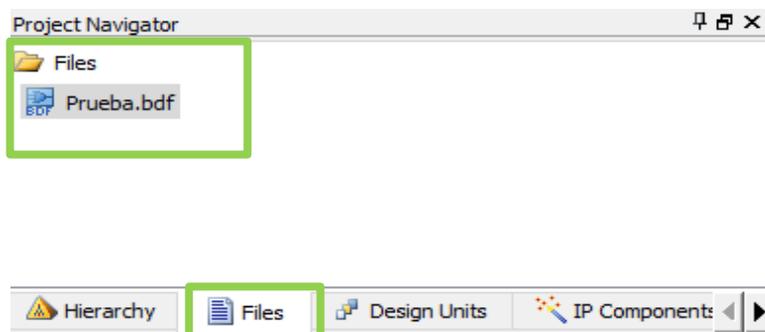
**NOTA:** para generar el primer archivo esquemático debe de tener el mismo nombre con el que se nombró el proyecto, después se pueden colocar los nombres que se quieran a los archivos.



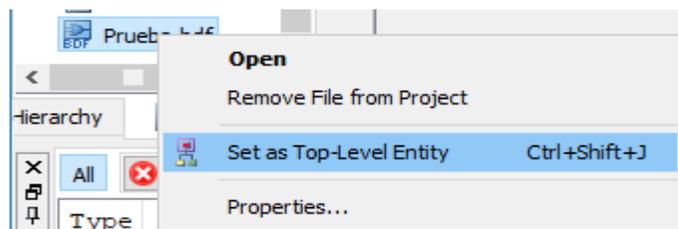
## Anexo IV

### Ejemplo para simular circuito en Quartus II.

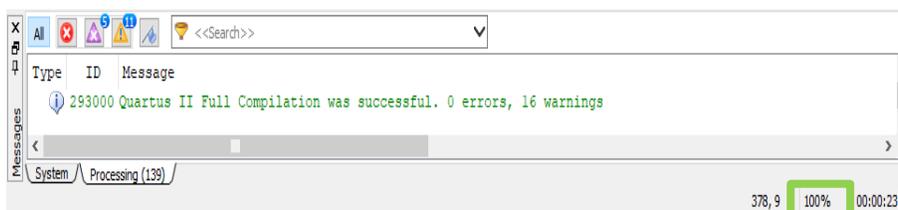
- 1) Primero se va a compilar para ello dar clic en el icono  Files



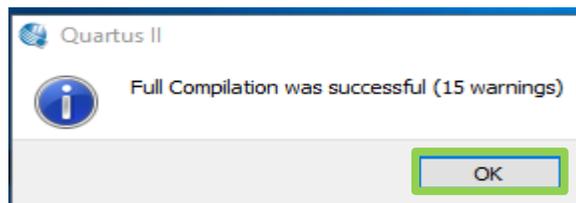
Para que solo este archivo sea compilado dar clic derecho en el archivo y elegir la opción → set as Top-Level Entity.



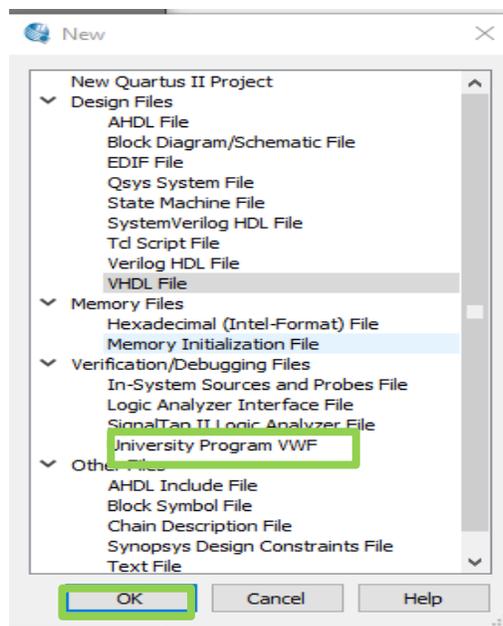
- 2) Para compilar el documento dar clic en el icono de empezar compilación  Si la conexión está bien esperar a que se complete la compilación al 100%. Esto se observa en la parte inferior de la pantalla del programa.



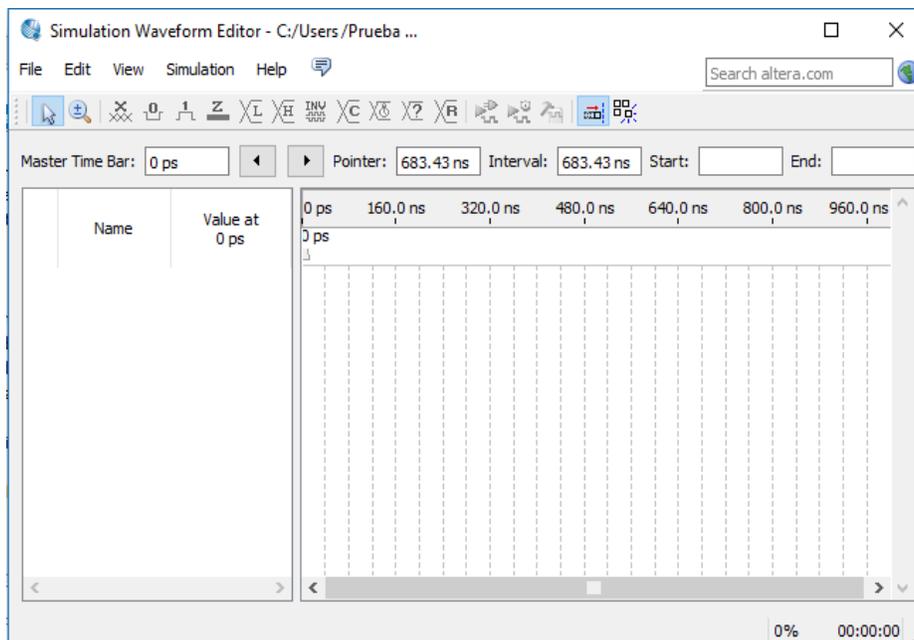
- 3) Se mostrará un cuadro de diálogo, en donde se muestra que la compilación ha sido exitosa dar clic en ok.



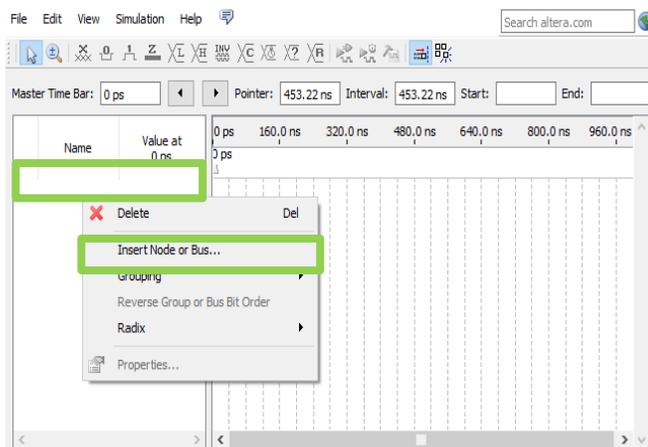
- 4) Para simularlo dar clic en File y elegir la opción → University Program VWF



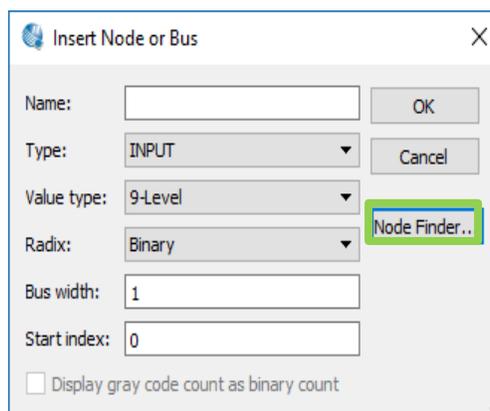
5) Se mostrará una ventana como la siguiente:



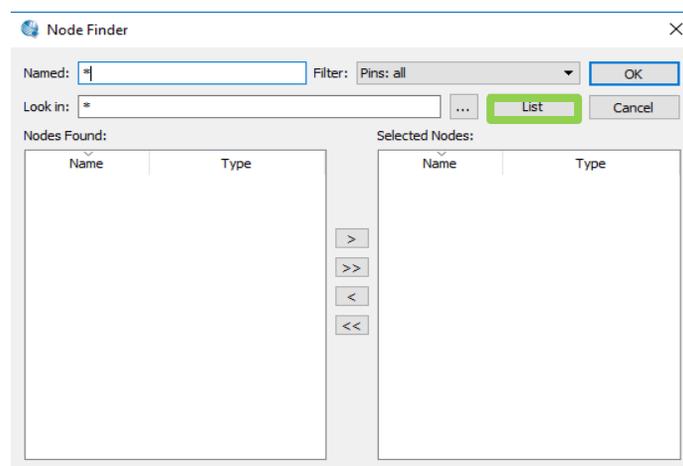
6) En la parte izquierda dar clic derecho y aparecerá una lista de opciones elegir la opción → Insert Node or Bus...



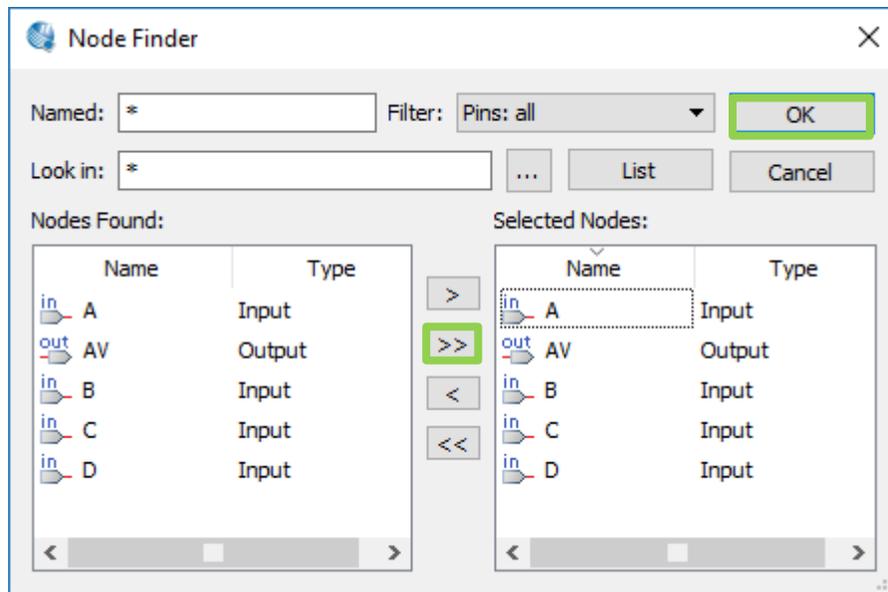
7) Dar clic en el botón Node Finde...



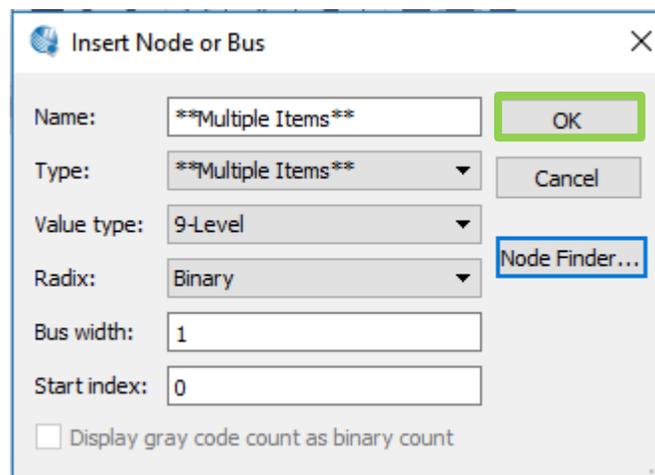
8) Aparecerá la siguiente ventana. Dar clic en el botón List.



9) Dar clic en el botón >> para poder simular las entradas A, B, C D y la salida AV, dar clic en el botón ok.



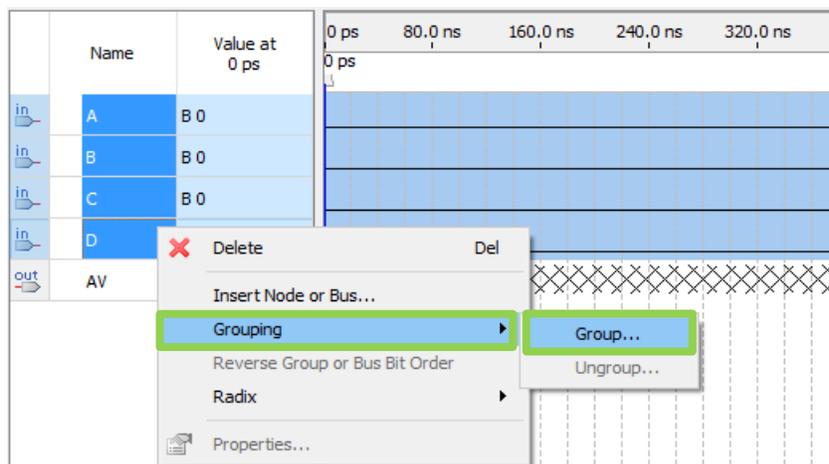
10) Dar clic en el botón ok



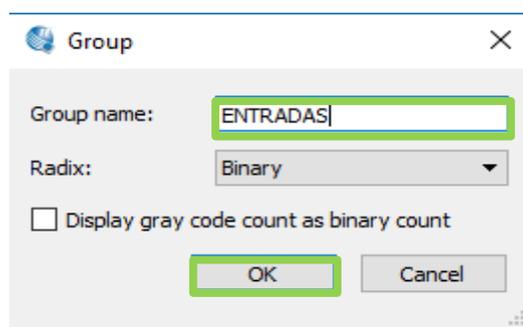
11) Seleccionamos las entradas con ayuda de la tecla Ctlr, dar clic derecho

|  | Name | Value at 0 ps | 0 ps | 80.0 ns | 160.0 ns |
|--|------|---------------|------|---------|----------|
|  | A    | B 0           |      |         |          |
|  | B    | B 0           |      |         |          |
|  | C    | B 0           |      |         |          |
|  | D    | B 0           |      |         |          |
|  | AV   | B X           |      |         |          |

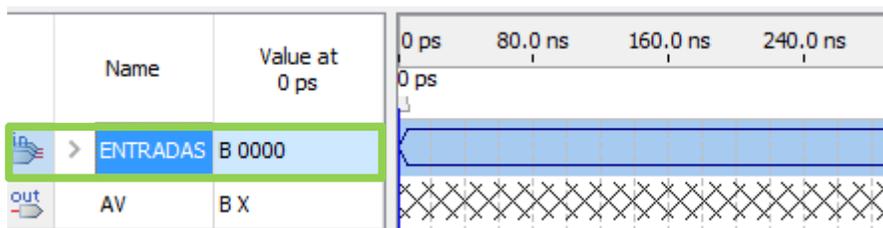
Aparecerá la siguiente ventana, elegir la opción Grouping, dar clic en Group...



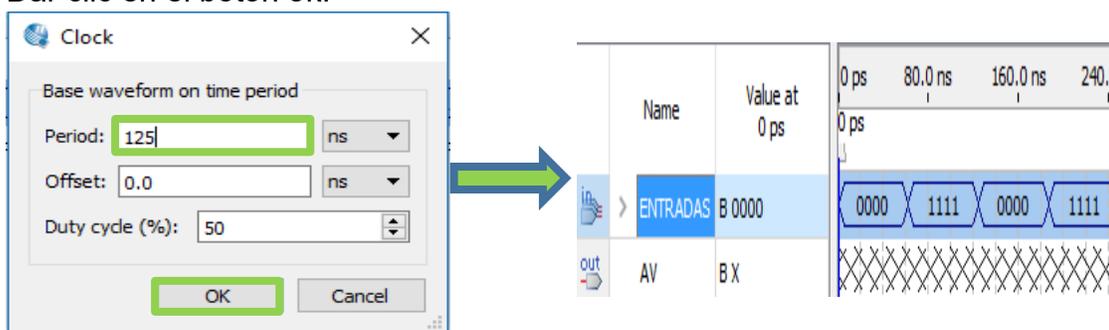
Aparecerá una ventana como la siguiente, poner el nombre a las entradas. Dar clic en ok



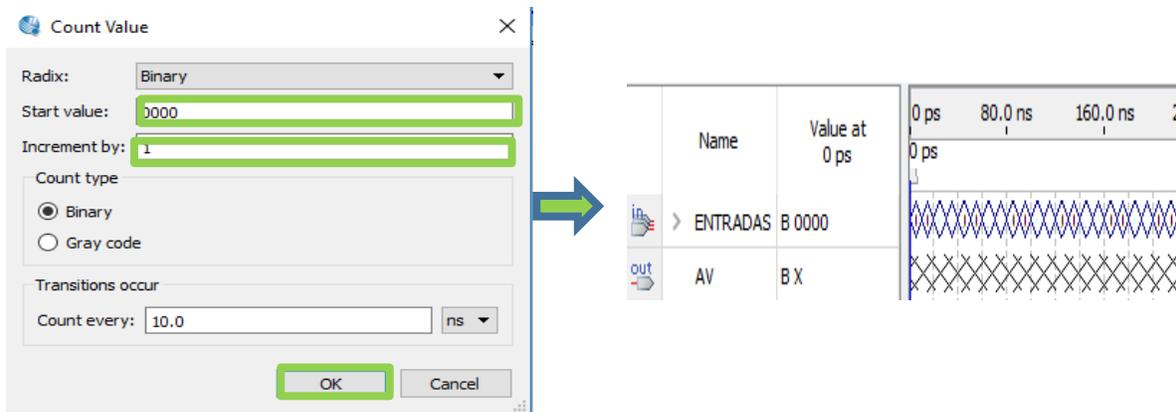
12) Seleccionar las entradas, elegir el icono



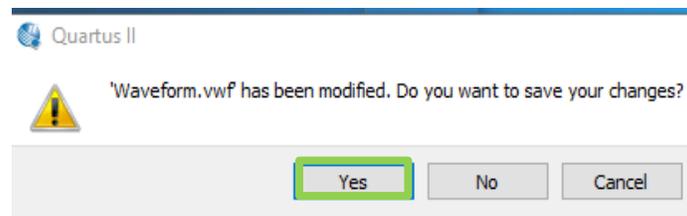
13) Se mostrará un cuadro de diálogo, el cual lo llenamos con los siguientes datos. Dar clic en el botón ok.



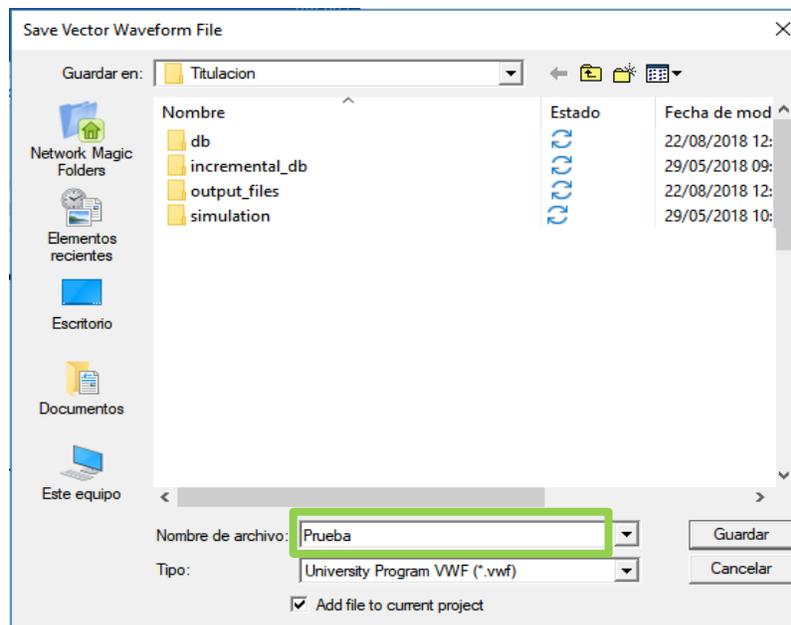
14) Seleccionar las entradas, elegir el icono , dar clic en el botón ok.



15) Dar clic en el icono para poder simular nos mostrará un cuadro de diálogo, le damos en yes para guardar este archivo.

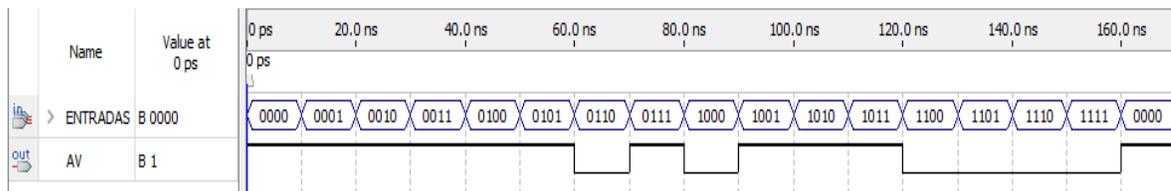


16) Lo guardamos con el mismo nombre que le colocamos al diagrama esquemático.



17) La simulación se mostrará como la siguiente:

Con ayuda de este icono  se puede ajustar la visibilidad de la pantalla.



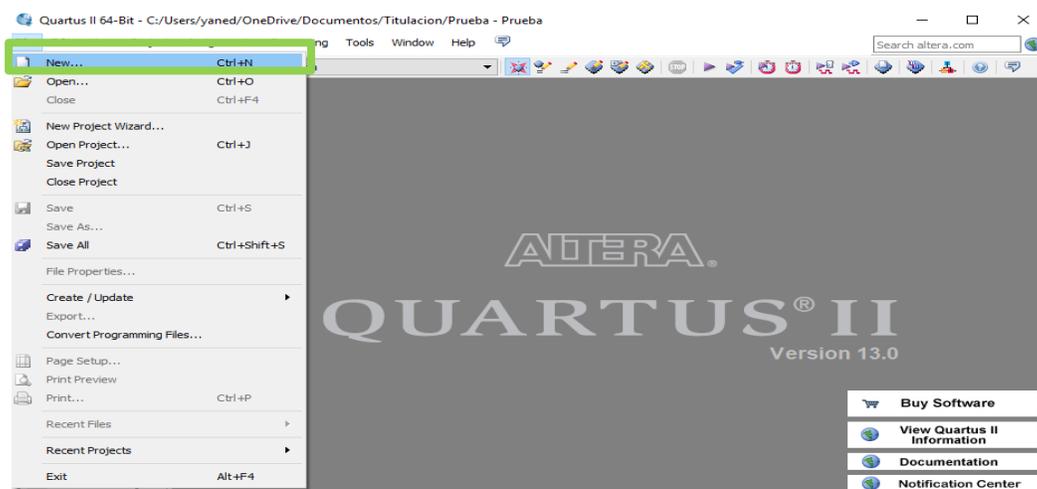
| MINITERMINO | A | B | C | D | AV |
|-------------|---|---|---|---|----|
| m0          | 0 | 0 | 0 | 0 | 1  |
| m1          | 0 | 0 | 0 | 1 | 1  |
| m2          | 0 | 0 | 1 | 0 | 1  |
| m3          | 0 | 0 | 1 | 1 | 1  |
| m4          | 0 | 1 | 0 | 0 | 1  |
| m5          | 0 | 1 | 0 | 1 | 1  |
| m6          | 0 | 1 | 1 | 0 | 0  |
| m7          | 0 | 1 | 1 | 1 | 1  |
| m8          | 1 | 0 | 0 | 0 | 0  |
| m9          | 1 | 0 | 0 | 1 | 1  |
| m10         | 1 | 0 | 1 | 0 | 1  |
| m11         | 1 | 0 | 1 | 1 | 1  |
| m12         | 1 | 1 | 0 | 0 | 0  |
| m13         | 1 | 1 | 0 | 1 | 0  |
| m14         | 1 | 1 | 1 | 0 | 0  |
| m15         | 1 | 1 | 1 | 1 | 0  |

## Anexo V

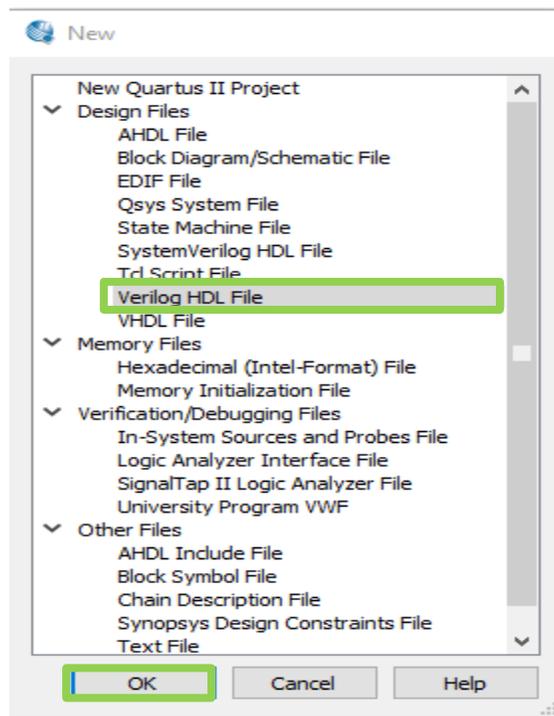
### Ejemplo para divisor de frecuencia en Quartus II.

Ya creando un proyecto.

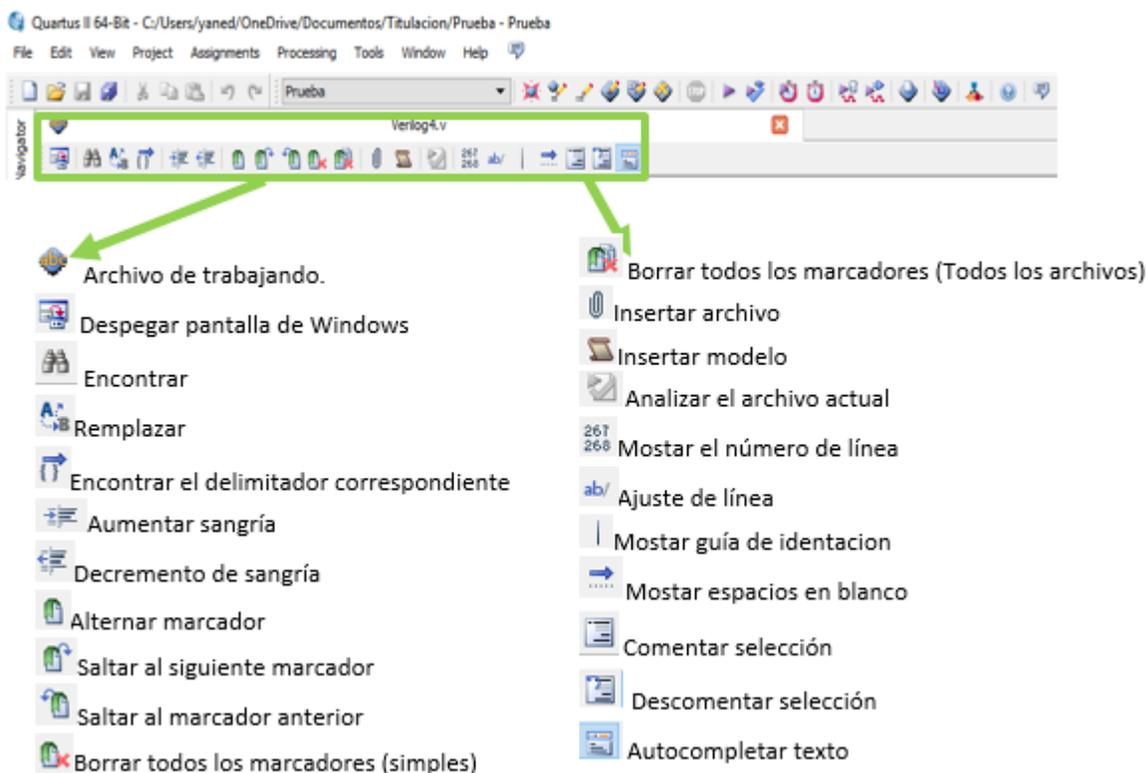
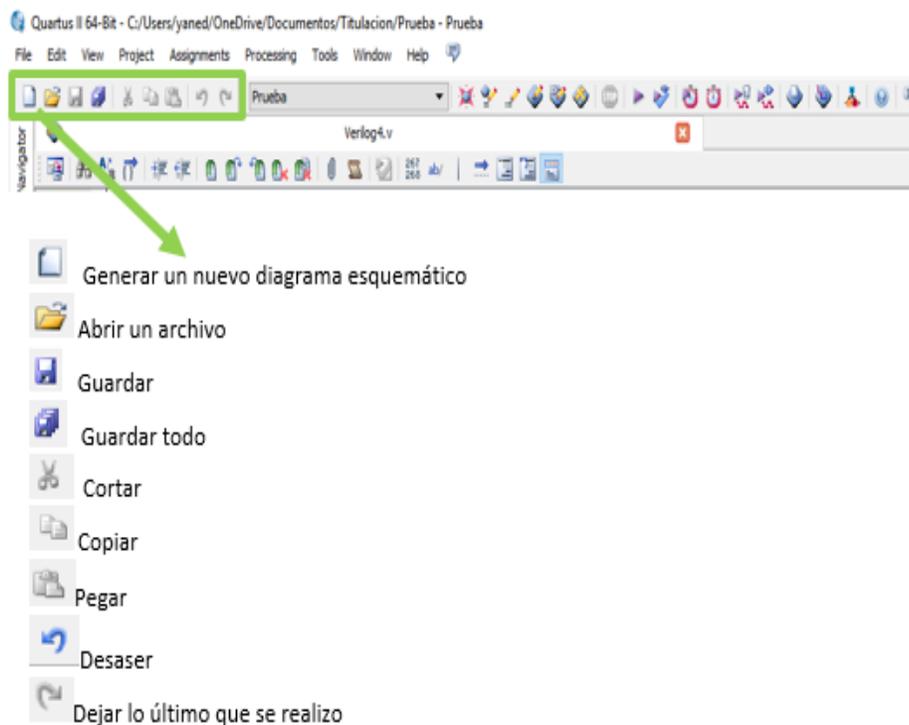
- a) Dar clic en File, Seleccionar la opción New.

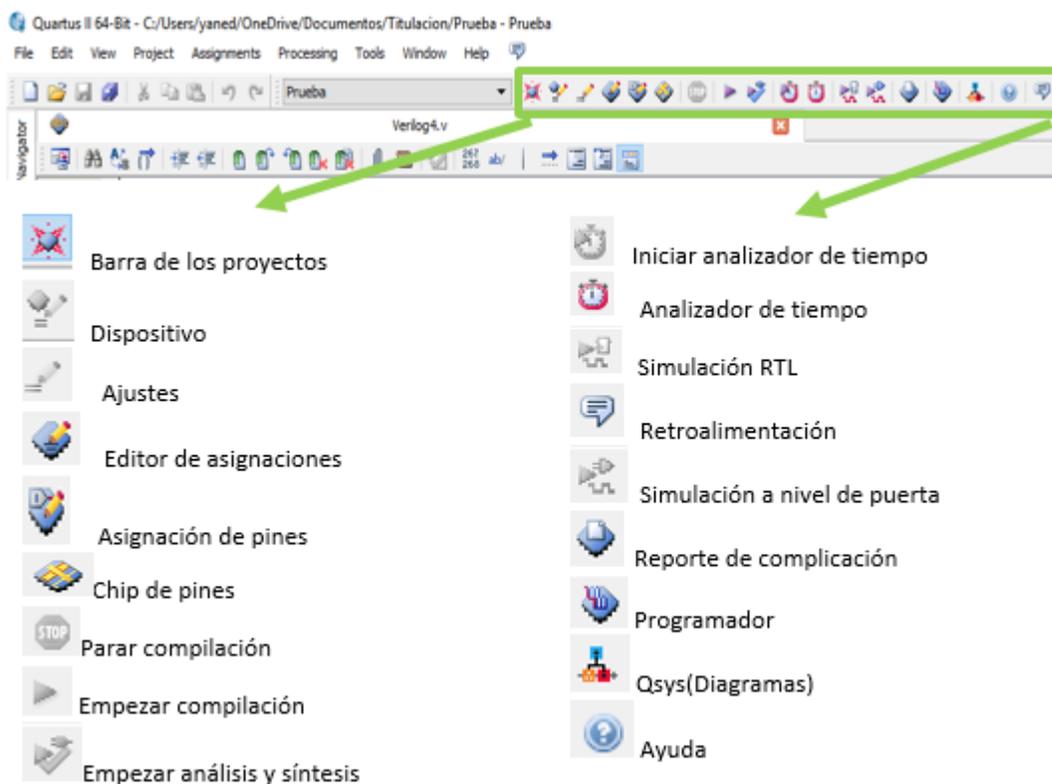


- b) Elegir la opción "Verilog HDL File". Dar clic en ok.



Descripción de los iconos de la ventana





c) Escribe las siguientes líneas.

```
1  module DIV (clk,periodo);
2
3  input  clk;
4  output periodo;
5
6  reg[5:0]c=26'b00000;
7
8  always@(posedge clk)
9  begin
10     if(c>=50)
11         c=0;
12
13     else
14         begin
15             c=c+1;
16         end
17     end
18
19     assign periodo=(c<=(50/2)-1) ? 1'b1 : 1'b0;
20
21 endmodule
```

Descripción del programa.

-En este caso el módulo se llama **DIV**.

```
1  module DIV (clk,periodo);
2  //Declaracion del modulo con sus entradas y salidas
3  endmodule
4  //Terminacion del modulo
```

-Después se declaran cuáles son las entradas y salidas, que se utilizarán internamente en la descripción.

```
1  module DIV (clk,periodo);
2
3  input      clk;
4  //declaracion de entrada.
5  |
6  output periodo;
7  //declaracion de salida.
8
9  endmodule
10
```

-Se quieren 5 bits, para 50 CLK, para verificar se ocupa la siguiente fórmula.

$$\text{Bits} = \frac{\text{Log}(n^\circ \text{ CLK})}{\text{Log}(2)} \quad \Rightarrow \quad \text{Bits} = \frac{\text{Log}(50)}{\text{Log}(2)} = 5$$

```
1  module DIV (clk,periodo);
2
3  input      clk;
4  output periodo;
5
6  reg[5:0]c=6'b000000;
7  //para 50 CLK
8
9  endmodule
```

-La sentencia always, suele contener varias sentencias, en cuyo caso debe utilizar un bloque begin/end.

-Los bloques begin/end se utilizan para agrupar un conjunto de sentencias.

```
1  module DIV (clk,periodo);
2
3      input    clk;
4      output periodo;
5
6      reg[5:0]c=6'b000000;
7
8      always@(posedge clk)
9          //siempre que el clk detecte un flanco de subida.
10         begin
11             //realizara lo que se le indique....
12         end
13
14     endmodule
```

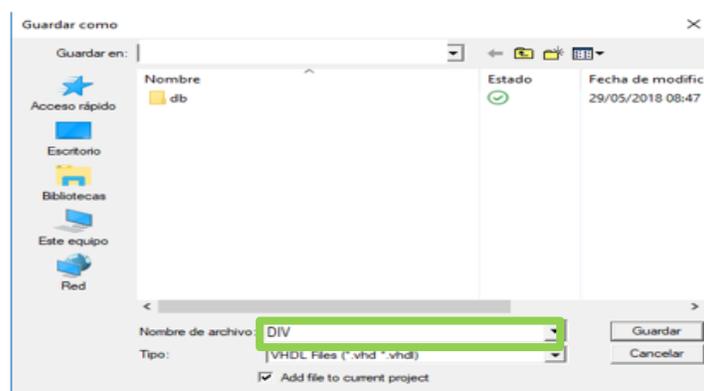
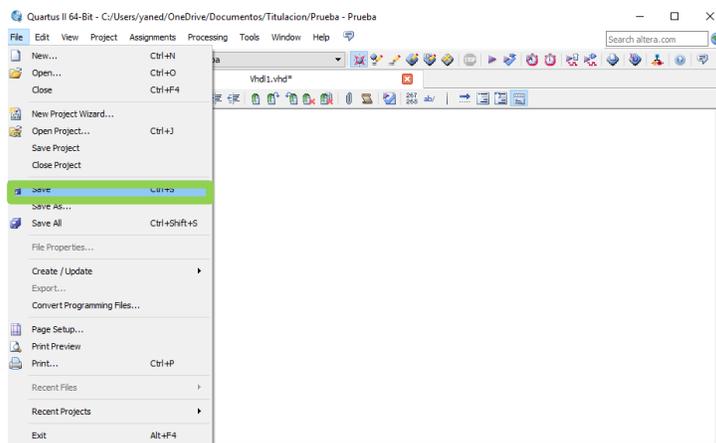
-Para tener en consideración los 50 CLK.

```
1  module DIV (clk,periodo);
2
3      input    clk;
4      output periodo;
5
6      reg[5:0]c=6'b000000;
7
8      always@(posedge clk)
9          begin
10             if(c>=50)
11                 //si el registro es mayor igual a 50
12                 //el registro sera igual a cero.
13                 c=0;
14             else
15                 begin
16                     //si no cumplirse la condicion el
17                     //registro se estara incrementando en 1.
18                     c=c+1;
19                 end
20             end
21
22     endmodule
```

Tener el control en los CLK, la mitad de CLK este arriba y la otra mitad se encuentre abajo.

```
1  module DIV (clk,periodo);
2
3      input    clk;
4      output periodo;
5
6      reg[5:0]c=6'b000000;
7
8      always@(posedge clk)
9          begin
10             if(c>=50)
11                 c=0;
12             else
13                 begin
14                     c=c+1;
15                 end
16             end
17
18     assign periodo=(c<=(50/2)-1) ? 1'b1 : 1'b0;
19     //asignacion continua
20     //la mitad de periodo tendra un flanco de subida si
21     //es la mitad de 50 cilos.
22     //De lo contrario tendra un flanco de bajada.
23 endmodule
```

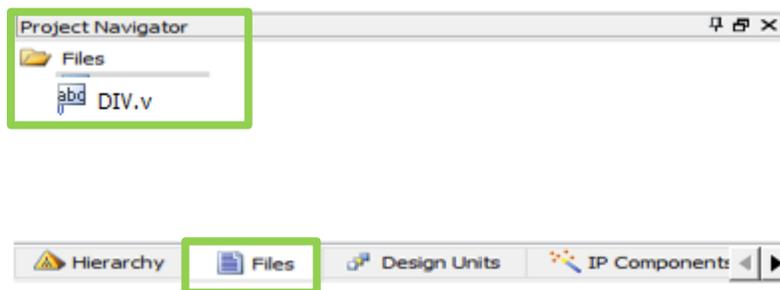
d) Se guarda el archivo dando clic en File seleccionar la opción de Save



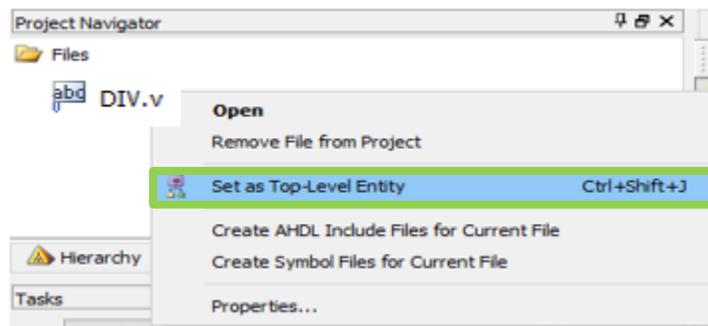
**NOTA:** Es importante guardar el archivo con el mismo nombre del módulo, dar clic en guardar.

e) Para compilar vamos a donde esta nuestro archivo dando clic en el icono

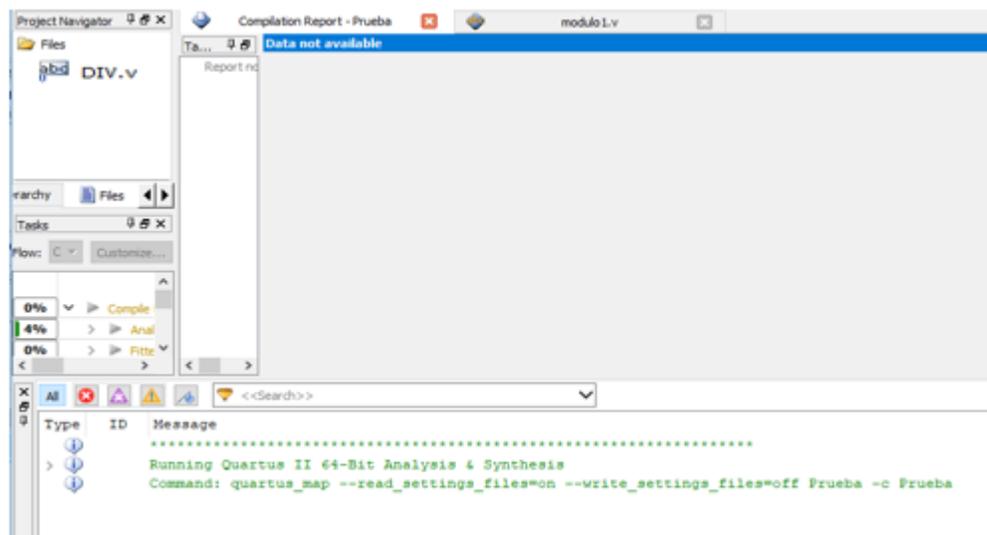
Files



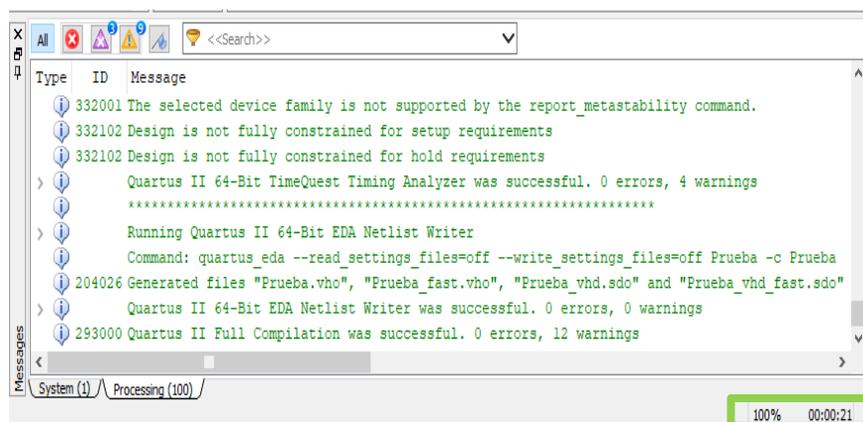
para que solo este archivo sea compilado dar clic derecho en el archivo y elegir la opción → set as Top-Level Entity.



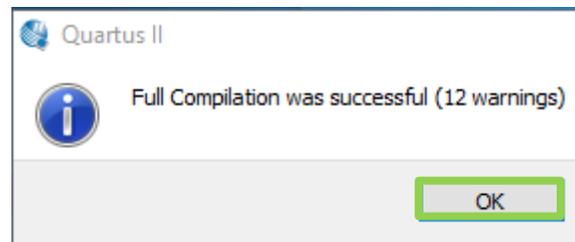
f) Se da clic en el icono  se estará compilando.



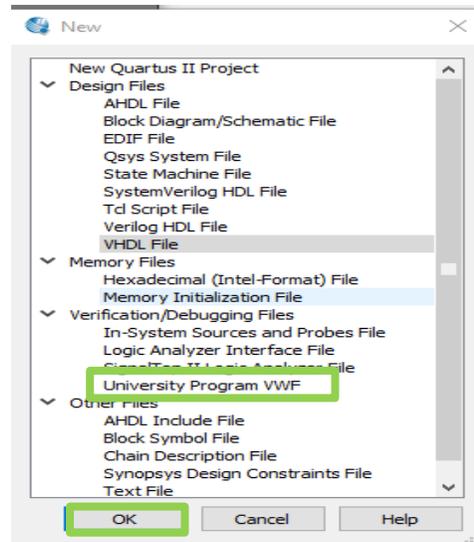
g) Para ver que la compilación se está ejecutando en la parte de abajo se mostrará el porcentaje con el que se está ejecutando.



h) Si no hay errores en el lenguaje se mostrará un cuadro de diálogo como este. Dar clic en ok

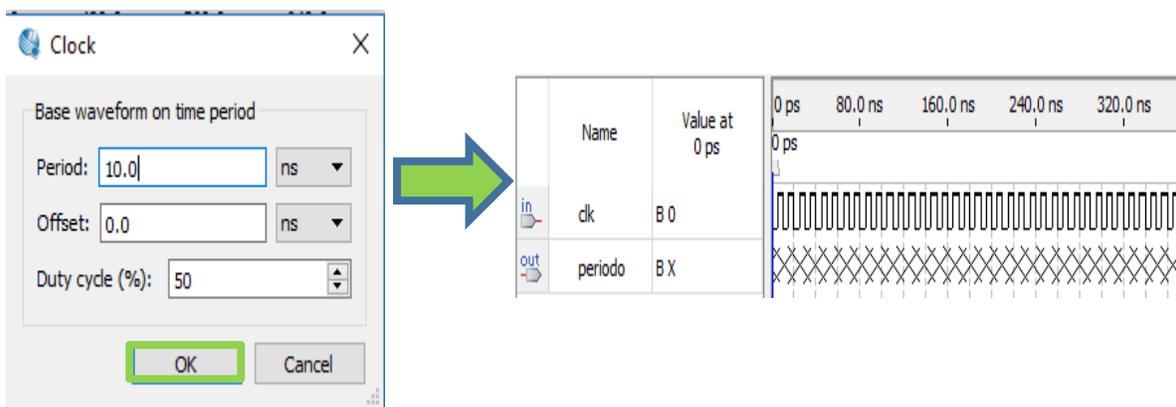


i) Para simularlo dar clic en File y elegir la opción → University Program VWF.

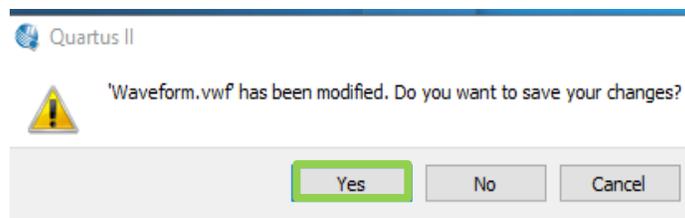


Agregar las señales como se mostró en la práctica 5.

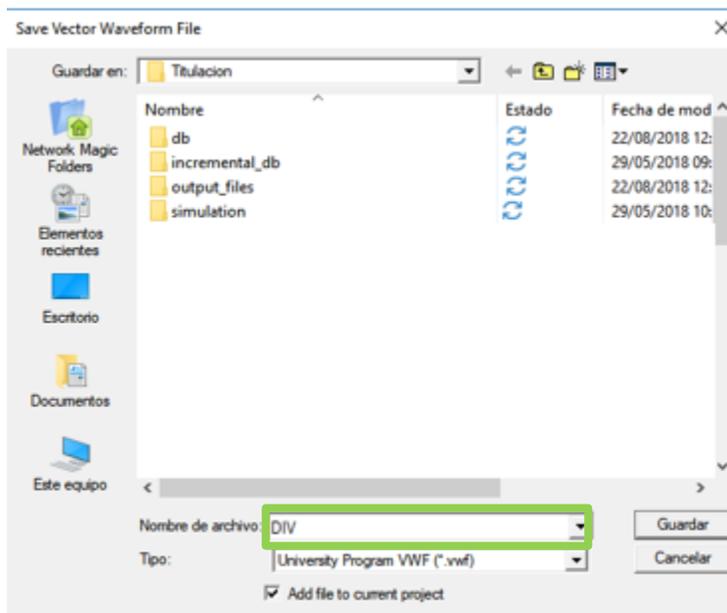
j) Seleccionar la entrada "clk", elegir el icono , dar clic en ok.



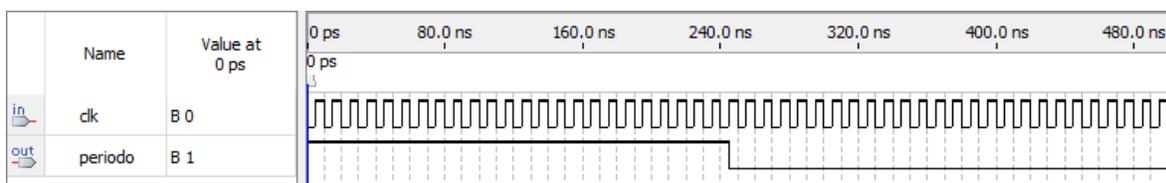
k) Dar clic en el icono  nos mostrará un cuadro de diálogo, Le damos en yes porque si queremos guardar este archivo.



Lo guardamos con el mismo nombre que el módulo



I) Se observa que la simulación salió bien.

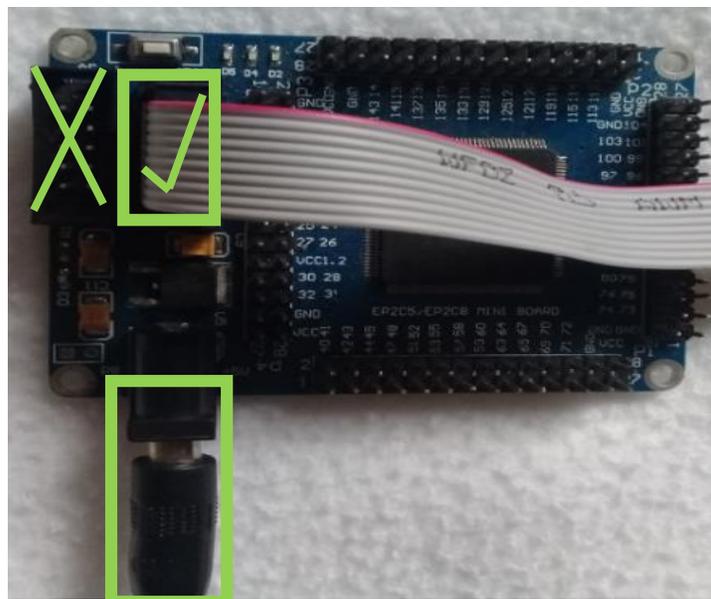


## Anexo VI

### Ejemplo de conexión al FPGA.

Instalación del programador, si no está configurado, para ello tenemos que cerrar el programa de Quartus II

a) Conectar correctamente la tarjeta.



b) Ir a la ventana panel de control y seleccionar ver dispositivos e impresoras

Ajustar la configuración del equipo

Ver por: Categoría ▾



#### Sistema y seguridad

Revisar el estado del equipo  
Guardar copias de seguridad de los archivos con  
Historial de archivos  
Copias de seguridad y restauración (Windows 7)



#### Redes e Internet

Ver el estado y las tareas de red



#### Hardware y sonido

Ver dispositivos e impresoras  
Agregar un dispositivo  
Ajustar parámetros de configuración de movilidad de  
uso frecuente



#### Programas

Desinstalar un programa



#### Cuentas de usuario

Cambiar el tipo de cuenta



#### Apariencia y personalización



#### Reloj y región

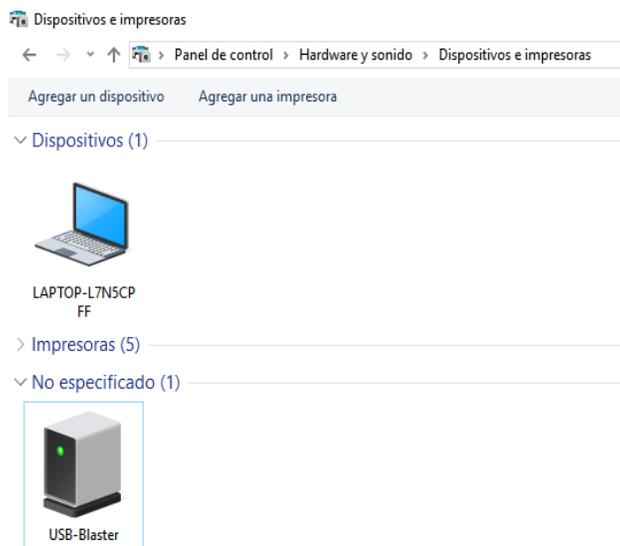
Cambiar formatos de fecha, hora o número



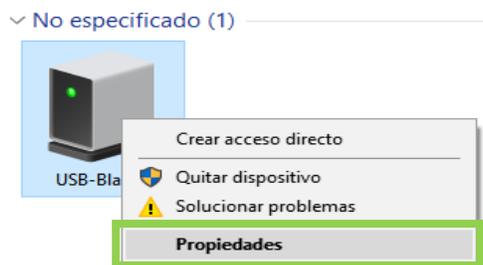
#### Accesibilidad

Permitir que Windows sugiera parámetros de  
configuración  
Optimizar la presentación visual

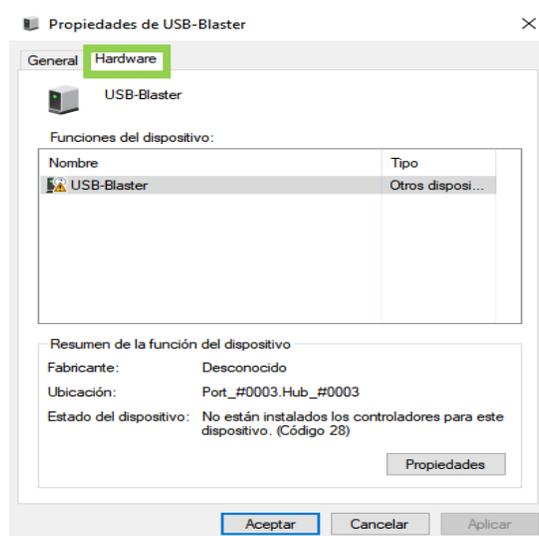
c) Se verá la siguiente ventana



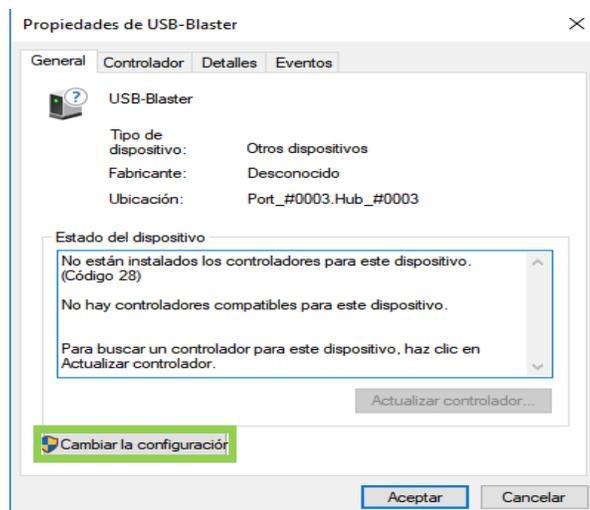
d) Dar clic en USB-Blaster, elegir la opción propiedades.



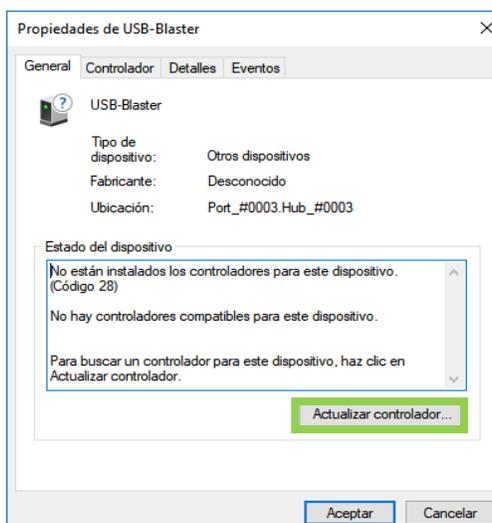
e) Se verá una ventana como la siguiente, seleccionamos la pestaña de Hardware. Dar clic en el botón de propiedades.



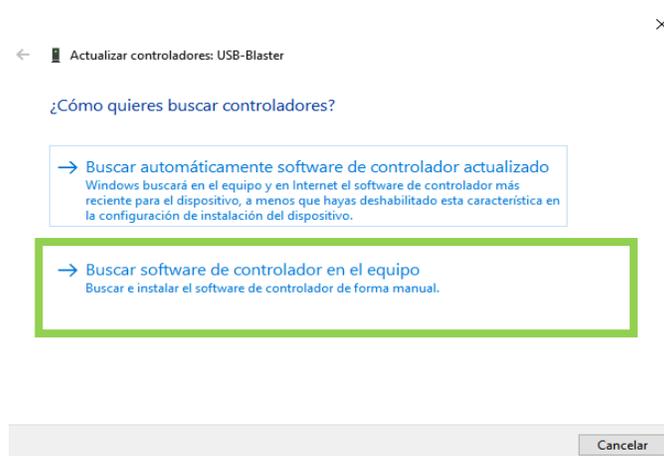
f) Se verá una ventana como la siguiente, dar clic en cambiar configuración.



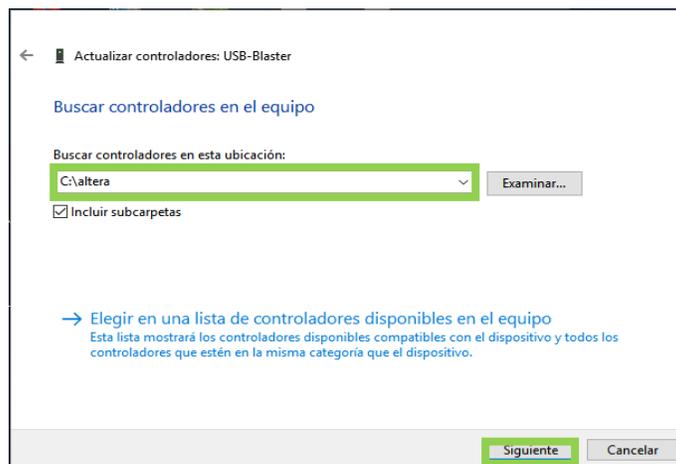
g) Se verá una ventana como la siguiente, dar clic en actualizar controlador.



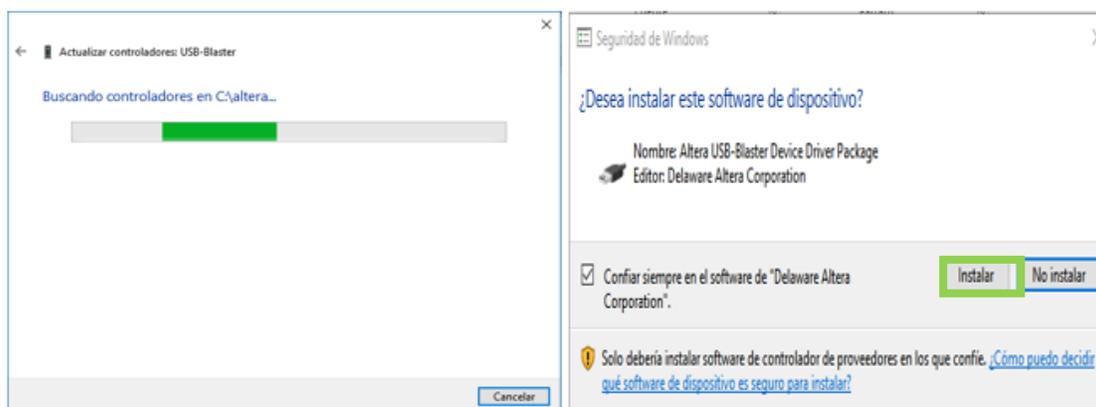
h) Se verá una ventana como la siguiente, elegir la segunda opción.



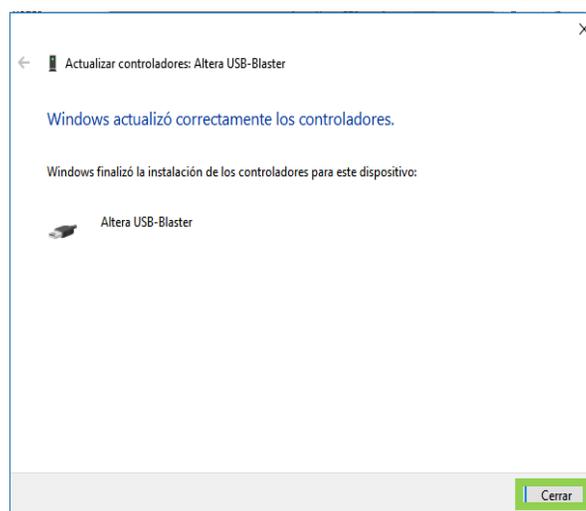
- i) Se verá una ventana como la siguiente, se debe poner la ruta de los archivos de instalación, dar clic en siguiente.



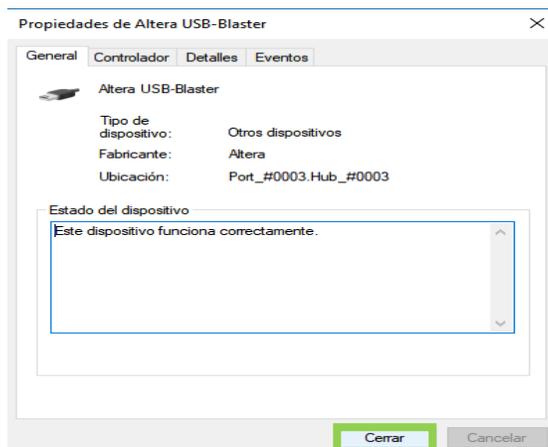
- j) Aparecerán las siguientes ventanas, dar clic en instalar.



- k) Se verá una ventana como la siguiente, en donde muestra que se instaló correctamente los controladores, dar clic en cerrar.



- l) Se verá una ventana como la siguiente, en donde muestra que se instaló correctamente. Dar clic en cerrar.



- m) Asignación de terminales.

Al ver que la simulación de las señales de salida es correcta, ya se puede hacer la implementación del sistema en la tarjeta de FPGA.

Se debe de asignar las señales del sistema a las terminales del FPGA. Para realizar esto primero se deben de consultar los manuales del dispositivo para saber cuáles son de tipo entrada/salida.

Para que se tenga idea de los pines que se está trabajando, con los que queremos asignar, por comodidad realizar una tabla en donde tengamos identificados que señales vamos a ocupar, los Pines de tarjeta en simulación, los pines de tarjeta FPGA.

| Señales del sistema | Pin de tarjeta de simulación | Pin tarjeta FPGA |
|---------------------|------------------------------|------------------|
| clk                 | 17                           | 17               |
| periodo             | 3                            | 3                |

- n) Después de saber cuáles son las entradas y salidas, además que elegimos la asignación de pines, para las entradas y salidas que necesitamos. Dar clic en el icono asignación de pines  que se encuentra en la barra de herramientas del programa.

La numeración de las terminales, de esta pantalla, tiene relación con la tarjeta que se está ocupando,

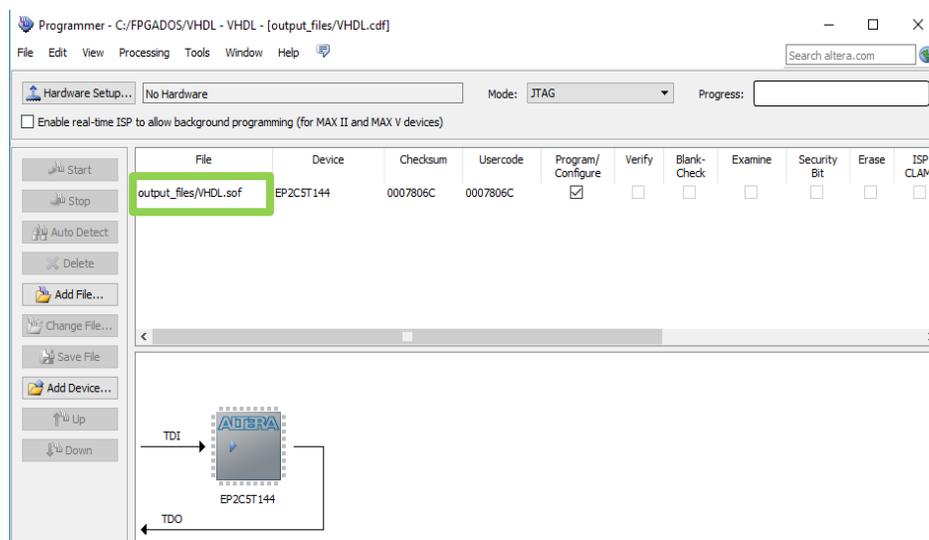
Una vez especificado cual serán las señales y que pines tendrá, en la parte inferior de la ventana, en la columna "Location", se escribirá el número de terminal (PIN\_??)→PIN\_17

| Node Name   | Direction | Location | I/O Bank | VREF Group | Fitter Location | I/O Standard        | Reserved | Current Strength | Differential Pa |
|-------------|-----------|----------|----------|------------|-----------------|---------------------|----------|------------------|-----------------|
| in dk       | Input     | PIN_17   | 1        | B1_NO      | PIN_17          | 3.3-V LV...default) |          | 24mA (default)   |                 |
| out periodo | Output    | PIN_3    | 1        | B1_NO      | PIN_3           | 3.3-V LV...default) |          | 24mA (default)   |                 |
| <new node>  |           |          |          |            |                 |                     |          |                  |                 |

o) **Nota:** como no se pueden guardar los cambios en esta ventana, nos vamos a la ventana principal, en donde estamos realizando el proyecto y seleccionamos el icono guardar todo

p) Para poderlo simular en la tarjeta debemos iniciar la compilación para que el archivo se guarde con los cambios, dar clic en el botón empezar compilación ya guardados los cambios y compilado, ocuparemos la herramienta de **programador**, este caso sería el hardware FPGA, lo debemos de instalar para que lo reconozca nuestro equipo de cómputo, esto se empezó a realizar en el primer paso de la conexión con el FPGA.

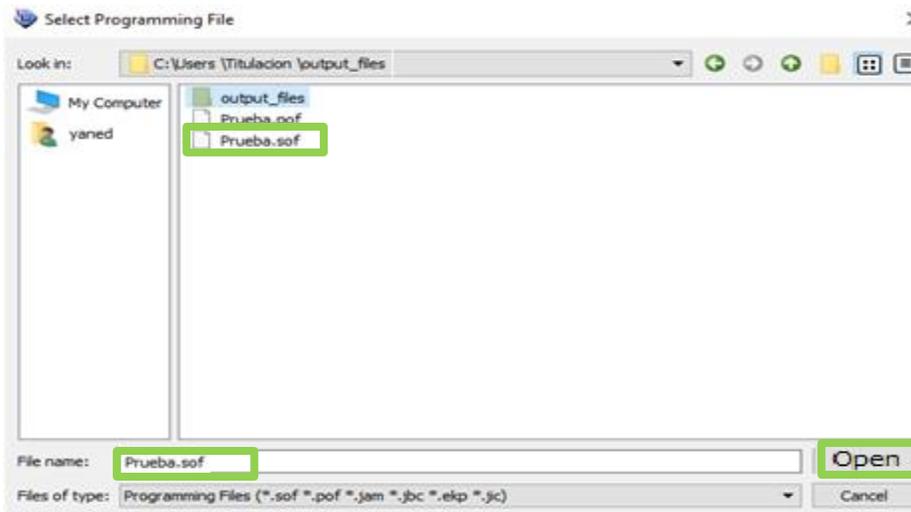
q) El programador funciona seleccionando el programador



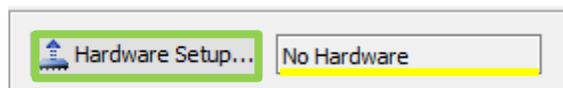
Automáticamente se cargará el archivo con extensión .sof. También detecta el hardware, si no detecta el archivo ni el hardware se configura manualmente

r) Para cargar el archivo con extensión. sof. seleccione el botón de agregar archivo aparecerá una ventana, en donde tenemos que ver en donde

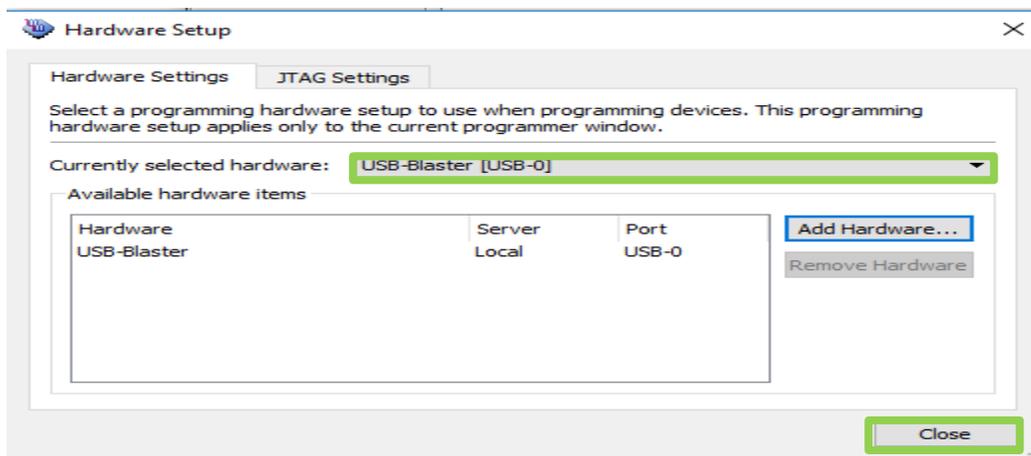
creamos el proyecto, seleccionar el archivo con extensión **.sof**, dar clic en el botón abrir [open].



s) Se debe seleccionar el botón Hardware Setup... si no se configuró el hardware.



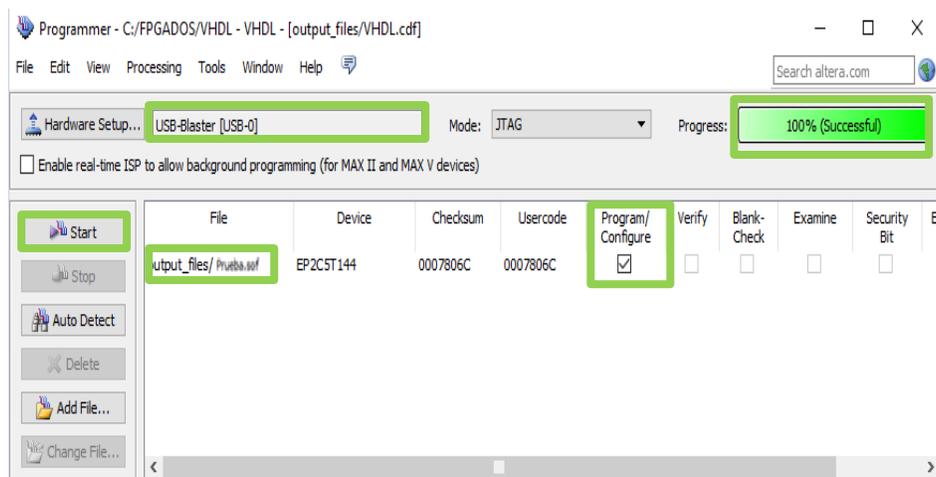
t) Debe seleccionar la opción USB.Blaster [USB-0], dar clic en el botón cerrar [close].



u) Verificar que se detectó el hardware programador



v) Dar clic en iniciar [start]



Si todo está bien el progreso indicará el 100%, si marca un error, es porque se tiene que intentar nuevamente, si vuelve a mostrar error es porque algo no se realizó correctamente.

## Conclusiones

El presente trabajo de titulación bajo la modalidad de Actividad de Apoyo a la Docencia tuvo como objetivo crear prácticas digitales para el apoyo en el aprendizaje de los laboratorios de diseño lógico.

Con la finalidad que los alumnos ocupen sus conocimientos teóricos de la disciplina en casos reales dentro de lo académico y lo laboral, y con ayuda de herramientas digitales las cuales ayudan a tener un aprendizaje significativo. De alguna manera ayudan a los docentes a tener una buena metodología de enseñanza, para apoyar a los alumnos a resolver dudas que surgan al momento de estar realizando la práctica y el alumno pueda retroalimentar sus conocimientos y tener más clara y objetiva la información.

La elaboración de las practicas digitales se realizaron de tal manera que los alumnos de ingeniería en computación e ingeniería eléctrica electrónica comprendan y analicen los temas de manera secuencial y más práctica, explicando las bases necesarias para después lograr realizar un circuito con funciones específicas con información necesaria para desarrollarla, con ayuda de tutoriales y algunos ejemplos del tema los cuales se demuestran con diagramas de circuitos eléctricos que se llevaran a cabo en la práctica, tomando en cuenta el plan de estudios, con la finalidad que los alumnos no tengan problemas en entender y desarrollar la práctica, para que posteriormente apoyen sus conocimientos de las materias subsecuentes a esta disciplina.

Como consecuencia de lo expuesto anteriormente se verá claramente en las prácticas "reducción de circuitos", "implementación de circuitos combinacionales" y "simulación" como es que se dio a conocer conocimientos previos para poder llegar a realizar estas prácticas las cuales son un claro ejemplo de situaciones o planteamiento de situaciones que ocurren en la realidad, las cuales ayudan a los alumnos a tener habilidades de desarrollar competencias analíticas y responsables para dar solución.