



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

EQUIPO AUXILIAR DE LABORATORIO
PARA EL ESTUDIO Y ANÁLISIS DE
SEÑALES DIGITALES BÁSICAS

TESIS

QUE PARA OBTENER EL TÍTULO DE:
INGENIERO EN TELECOMUNICACIONES

PRESENTA:

JOSÉ ALEJANDRO TORRES VALENCIA

DIRECTOR DE TESIS

M. I. DAMIÁN FEDERICO VARGAS SANDOVAL



Ciudad Universitaria, Cd. de México, Agosto 2016



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

En memoria de mi hermano Ulises Pompeyo Torres Valencia y mi abuelo José Valencia Avilés.

AGRADECIMIENTOS:

A DIOS

Gracias por dejarme cumplir mis sueños, darme la fuerza y fortaleza necesaria para superar todos los obstáculos habidos en el camino y no darme por vencido ante ellos. Gracias por dejarme compartir esta alegría con mis padres.

A MIS PADRES Y HERMANOS.

Gracias por su apoyo, porque a pesar de los obstáculos que se presentaron a lo largo de mis estudios pudieron darme una carrera, gracias por exigirme siempre una superación personal y ayudarme a guiarme por el buen camino, gracias por darme todo lo necesario para cumplir este sueño, estaré eternamente agradecido con ustedes. Mis triunfos son sus logros, les dedico este triunfo ya que gracias a ustedes pude lograrlo.

A MI ABUELITA Y MIS TÍOS

A mi abuelita Romana Olvera Sánchez y sus hijos: Abel, Esperanza, Epifanio, José y Luciana, que gracias a ellos me enseñaron a forjarme que la constancia en los estudios hacen grande a las personas. A toda mi familia por ser el respaldo incondicional en mí, que gracias a sus consejos y palabras de aliento crecí como persona.

A MI UNIVERSIDAD Y MIS PROFESORES

A la Universidad Nacional Autónoma de México y la Facultad de Ingeniería por haberme abierto sus puertas y darme la oportunidad de aprender. En especial al M.I. Damián Federico Vargas Sandoval e Ing. Margarita Bautista González por su paciencia, confianza y ayuda para terminar este proyecto.

ÍNDICE

Capítulo 1. Equipos Educativos para Comunicaciones Digitales	1
1.1 Introducción	1
1.2 Equipos y características	1
1.2.1 Elettronica Veneta.....	1
1.2.2 Lab-Volt	2
1.2.3 PROMAX	3
1.2.4 EDIBON.....	3
1.2.5 Feedback Instruments.....	4
1.2.6 Lucas-Nülle	5
1.3 Comparación técnica.....	6
1.4 Costos	6
1.4.1 Material incluido dentro del costo del equipo.....	7
1.4.2 Equipo adicional para su funcionamiento.....	8
Conclusiones	9
Capítulo 2. Descripción General del Sistema Embebido MSP430G	10
2.1 Introducción	10
2.2 Familia del MSP430	10
2.3 Launchpad	10
2.4 Microcontrolador MSP430G2553	11
2.5 Software y programación.....	12
2.6 Aplicaciones actuales	13
2.7 Familias relacionadas	15
Conclusiones	16
Capítulo 3. Elementos de Comunicaciones Digitales	17
3.1 Introducción	17
3.2 Sistema de comunicación básico.....	17
3.3 Elementos de análisis	18
3.3.1 Espectros de magnitud y fase	18
3.3.2 Ancho de banda de señal y sistema	19
3.4 Señales digitales	19

3.5	Señal PCM.....	23
3.6	Multiplexión por división de tiempo	24
3.7	Códigos de Línea.....	25
3.7.1	Clasificación de los Códigos de Línea	25
3.7.2	Tipos de Códigos de Línea	26
	Conclusiones	30
Capítulo 4. Diseño Propuesto para el Equipo Auxiliar de Comunicaciones Digitales		31
4.1	Introducción.	31
4.2	Diagrama Esquemático General del Sistema	31
4.2.1	Descripción de cada bloque funcional del Equipo Educativo	32
4.3	Diseño por bloque funcional	33
4.4	Configuración del microcontrolador MSP430.....	36
4.4.1	Descripción del programa	36
4.5	Electrónica requerida por bloque del Equipo	38
	Conclusiones	45
Capítulo 5. Conclusiones Generales.....		46
	Apéndice A	48
	Apéndice B	50
	Apéndice C.....	54
	Apéndice D	60
	Apéndice E.....	62
	Apéndice F.....	67
	Apéndice G	69
	Referencias.....	79

ÍNDICE DE FIGURAS

<i>Figura 1.</i> Tarjeta MCM33/EV [1]	1
<i>Figura 2.</i> Sistema didáctico de Telecomunicaciones, modelo 8085 [2]	2
<i>Figura 3.</i> Equipo EC-796 [3].....	3
<i>Figura 4.</i> EDICOM 5 [4].....	3
<i>Figura 5.</i> Equipo Feedback [5].....	4
<i>Figura 6.</i> Equipo de Laboratorio Lucas- Nülle [6].....	5
<i>Figura 7.</i> Tarjeta de desarrollo Launchpad [8]	11
<i>Figura 8.</i> Aplicación del microcontrolador en robótica [12]	13
<i>Figura 9.</i> Aplicación del microcontrolador en comunicaciones [12]	14
<i>Figura 10.</i> Aplicación del microcontrolador en instrumentación electrónica [12]	14
<i>Figura 11.</i> Tarjeta de desarrollo Stellaris [13]	15
<i>Figura 12.</i> Sistema de comunicación básico	17
<i>Figura 13.</i> Gráfica de magnitud $ W(f) $ vs $f(\text{Hz})$ [15].....	18
<i>Figura 14.</i> Gráfica Arg $W(f)$ vs f [15].....	19
<i>Figura 15.</i> Dominio temporal	20
<i>Figura 16.</i> Dominio en frecuencia	21
<i>Figura 17.</i> Niveles de cuantización del MSP430G2553	22
<i>Figura 18.</i> Tramas PCM enviadas por el MSP430G	24
<i>Figura 19.</i> Multiplexión de 2 canales	24
<i>Figura 20.</i> Clasificación de los códigos de línea [18].....	25
<i>Figura 21.</i> Código unipolar [18].....	25
<i>Figura 22.</i> Código polar [18].....	26
<i>Figura 23.</i> Código Bipolar [18].....	26
<i>Figura 24.</i> Código NRZ Unipolar [15].....	26
<i>Figura 25.</i> Densidad espectral de potencia NRZ unipolar [15]	27
<i>Figura 26.</i> Código RZ Unipolar [15]	27
<i>Figura 27.</i> Densidad espectral de potencia RZ unipolar [15]	27
<i>Figura 28.</i> Código NRZ polar [15]	28
<i>Figura 29.</i> Densidad espectral de potencia NRZ polar [15].....	28
<i>Figura 30.</i> Código Manchester [15].....	29
<i>Figura 31.</i> Densidad espectral de potencia Manchester NRZ [15].....	29
<i>Figura 32.</i> Código AMI tipo NRZ [15].....	29
<i>Figura 33.</i> Código AMI tipo RZ [15]	30
<i>Figura 34.</i> Diagrama a bloques del sistema en general	32
<i>Figura 35.</i> Señal de E/S del offset ajustable.....	34
<i>Figura 36.</i> Sincronía general.....	34
<i>Figura 37.</i> Diagrama de flujo para la programación del MSP430G2553.....	36
<i>Figura 38.</i> Elaboración del cable para adquirir la señal de audio [21].....	38
<i>Figura 39.</i> Implementación código RZ.....	39
<i>Figura 40.</i> Código RZ 1.....	40

<i>Figura 41.</i> Código RZ 2.....	40
<i>Figura 42.</i> Implementación código Manchester	41
<i>Figura 43.</i> Código Manchester 1	41
<i>Figura 44.</i> Código Manchester 2	42
<i>Figura 45.</i> Implementación código NRZ polar.....	42
<i>Figura 46.</i> Código NRZ polar.....	43
<i>Figura 47.</i> Implementación código AMI tipo NRZ.....	43
<i>Figura 48.</i> Código AMI tipo NRZ 1	44
<i>Figura 49.</i> Código AMI tipo NRZ 2	44
<i>Figura 50.</i> Proceso de Conversión A/D [16]	51
<i>Figura 51.</i> Señal PAM con muestreo Plano [15].....	52
<i>Figura 52.</i> Multiplexión PDH Europea	53
<i>Figura 53.</i> Multiplexión PDH Americana	53
<i>Figura 54.</i> Amplificador Inversor [22]	54
<i>Figura 55.</i> Diseño de amplificador inversor	54
<i>Figura 56.</i> Señal amplificada e invertida 180° [22]	55
<i>Figura 57.</i> Filtro de 6° Orden.....	57
<i>Figura 58.</i> Diagrama de Bode del filtro de 6° orden	58
<i>Figura 59.</i> Offset ajustable	58
<i>Figura 60.</i> Señal con offset ajustable	58
<i>Figura 61.</i> Reloj de sincronía e interrupción	61

ÍNDICE DE TABLAS

<i>Tabla 1.</i> Tabla comparativa de modulaciones básicas	6
<i>Tabla 2.</i> Equipo requerido para su funcionamiento	8
<i>Tabla 3.</i> Configuración de las líneas de interrupción	63

INTRODUCCIÓN

El presente trabajo consiste en el desarrollo de un equipo auxiliar, para ser utilizado en laboratorios de sistemas de comunicaciones, construido con dispositivos de fácil disponibilidad.

El sistema de control está compuesto por la tarjeta de desarrollo Launchpad que contiene un microcontrolador MSP430G2553 de Texas Instruments, el cual recibe la señal analógica en el puerto P1.0 y controla el proceso de conversión analógico a digital, enviando a su vez por el puerto P1.6 de manera serial un código PCM (Modulación de pulso codificado).

El equipo desarrollado está basado principalmente en un sistema de comunicaciones básico y presenta las siguientes características:

- Fuente de información analógica.
- Acondicionamiento de la señal (limitación en banda, filtrado y ajuste del nivel de voltaje de la señal aleatoria).
- Conversión A/D.
- Sincronización.
- Modulador en banda base.

Se puede apreciar la función que realiza cada proceso mencionado, es decir observando el cambio en la señal de entrada y su salida.

La finalidad de este equipo es que sea utilizado en laboratorios como complemento para el aprendizaje del tema de los códigos de línea de los sistemas de comunicación digital.

Para comprobar el funcionamiento correcto del equipo se hizo una prueba con cada uno de los códigos de línea implementados, verificando que las señales obtenidas fueran correctas mediante su visualización en el osciloscopio.

En el capítulo 1 se dará una breve descripción de la situación actual de los diferentes equipos de laboratorio que se pueden encontrar en el mercado incluyendo las características de cada uno de ellos.

En el capítulo 2 se describe el sistema embebido empleado para este trabajo. Presentando la familia MSP430G de la compañía Texas Instruments y la tarjeta de desarrollo Launchpad, la cual es

empleada para programar los microcontroladores de la familia MSP430. Se mencionan algunos lenguajes con los cuales se puede programar el microcontrolador y algunas aplicaciones del MSP430G.

En el capítulo 3 se describen los procesos básicos involucrados en los sistemas de comunicaciones modernos.

En el capítulo 4 se presenta el diseño y construcción del equipo auxiliar de sistemas de comunicaciones. Explicando el diagrama general del sistema, es decir, exponiendo la descripción funcional de cada bloque que compone el equipo propuesto. El diseño se hará por bloques, cada uno realizará una función. Por último se propone el circuito eléctrico o instrumento que realice la función correspondiente de cada bloque.

En el capítulo 5 finalmente se presentan las conclusiones generales y se dan sugerencias para trabajos futuros.

Necesidad

La práctica con señales digitales básicas, como complemento del estudio y análisis teóricos de los sistemas de comunicación digital, requiere de equipo especializado de fácil manejo, robusto, con la funcionalidad de operar tanto por etapas separadas, como integradas en un sistema. Este tipo de equipos existen comercialmente, son implementados por diversos fabricantes, con características funcionales de gran calidad; aunque en general, su costo es elevado, además de tener los equipos vida útil relativamente corta y precisar mantenimiento por contrato.

Sin embargo, un enfoque moderno exige que el estudiante también desarrolle un conjunto de habilidades y capacidades adicionales a las relacionadas directamente con los conceptos involucrados, por ejemplo, aspectos de diseño digital, programación de microcontroladores, manejo de circuitos integrados de diferentes características, técnicas de verificación de operación, corrección de errores y aspectos de interfaces y modularidad, entre otros. Los equipos comerciales tienen muy limitadas estas características. En este proyecto se plantea una propuesta inicial de equipo educativo con las características mencionadas, que pueda probarse y aprovecharse para realizar experimentos en laboratorios generales de sistemas de comunicaciones.

Justificación

Los equipos disponibles comercialmente aunque son muy completos y de gran calidad, presentan ciertas características que no resultan adecuadas para la generalidad en los laboratorios de sistemas de comunicaciones:

- Costo de equipos. La inversión requerida para equipar un laboratorio con un cupo de 8 a 10 estudiantes por grupo y con uso continuo de 14 horas por día, resulta bastante elevada.
- Vida útil y mantenimiento. El uso intensivo acorta la vida útil de los equipos, lo que implica planes de mantenimiento preventivo y correctivo, involucrando costos extras.
- Prácticas y procedimientos limitados. En general, el conjunto de prácticas disponibles, así como los manuales correspondientes no permiten modificaciones a los procedimientos o desarrollos de las prácticas, lo que dificulta el desarrollo de la creatividad e iniciativa en los estudiantes.

Estos elementos establecen la necesidad de disponer de una alternativa viable, de bajo costo, con funcionalidades generales de calidad y escalable, al alcance tanto de docentes como de estudiantes, y que incluya elementos con disponibilidad inmediata, que permita el estudio y la práctica en el laboratorio de las señales digitales, y sus interacciones y relaciones con otros sistemas.

Lo más importante es que también fortalezca el desarrollo de la creatividad e ingenio del estudiante, a través de actividades de diseño, programación, manejo de equipo y medición de parámetros.

Aportación

La principal característica de este proyecto es, su lado innovador y de aportación, ya que no se tiene conocimiento de otros equipos con características similares con excepción de los equipos disponibles en el mercado. Por otro parte, las propuestas similares, encontradas en internet contienen dispositivos electrónicos no disponibles fácilmente, además que no tienen el enfoque integrador que se proyecta en este trabajo. Esta es la mayor aportación del mismo, su fundamento integrador de 3 vertientes; bajo costo, escalable e interactivo y aumentar la creatividad e ingenio del estudiante.

OBJETIVOS

Objetivo General

Diseñar y construir un sistema de carácter auxiliar para el análisis y experimentación de las señales digitales básicas, programables y de bajo costo.

Objetivos Particulares

Este proyecto explora la viabilidad de obtener un sistema auxiliar básico para la enseñanza de las señales elementales de telecomunicaciones, con las características ya mencionadas, por lo que se planea incluya los siguientes elementos:

- Estudio de los sistemas educativos para la enseñanza de las telecomunicaciones, con análisis de características funcionales y costos.
- Selección de señales y bloques funcionales básicos de interés en los sistemas de telecomunicaciones, para generar una propuesta inicial de diseño del sistema auxiliar básico.
- Diseño de los circuitos y subsistemas que se incluirán en los bloques funcionales del sistema auxiliar.
- Construcción del sistema auxiliar básico con los bloques funcionales seleccionados y desarrollo de experimentos para probar su eficiencia.
- Áreas de oportunidad y mejora. Trabajo a futuro y conclusiones.

Capítulo 1. Equipos Educativos para Comunicaciones Digitales

1.1 Introducción

En este capítulo, se presenta una breve descripción de los diferentes equipos de laboratorio que se pueden encontrar en el mercado y son representativos del estado del arte en equipos educativos de telecomunicaciones. En la sección 1.2 se presentan algunos fabricantes con sus respectivos equipos de laboratorio para experimentación. En la sección 1.3 se muestra una comparación de las tarjetas de desarrollo, donde se toma en cuenta los tipos de codificaciones básicas que permiten realizar. Por último en la sección 1.4, se elaboró una tabla comparativa donde se evaluó el costo y el equipo que incluye, de igual manera el equipo adicional que requiere para su funcionamiento.

1.2 Equipos y características

1.2.1 Elettronica Veneta

La compañía italiana **ELETTRONICA VENETA** [1] presenta el equipo MCM33/EV (BASE BAND AND DSP TRANSMISSION TECHNIQUES) mostrado en la Fig. 1, el cual es una tarjeta de desarrollo para el estudio de las técnicas de transmisión en banda base.



Figura 1. Tarjeta MCM33/EV [1]

La tarjeta presenta el siguiente contenido para cubrir los temas:

- Codificación de línea
- Efectos característicos en una línea de transmisión
- Interferencia entre símbolos

- Diagrama de ojo
- Extracción de datos
- La recuperación de sincronía
- Cálculo de la tasa de error
- Procesamiento Digital de Señales: descripción del diagrama del funcionamiento y modos de operación de un microprocesador específico para procesamiento de señal digital

1.2.2 Lab-Volt

La línea Americana **Lab-Volt** [2] incluye el “Sistema Didáctico de Telecomunicaciones, modelo 8085” mostrado en la Fig. 2



Figura 2. Sistema didáctico de Telecomunicaciones, modelo 8085 [2]

El equipo presenta el siguiente contenido de temas:

- Modulación de Pulsos y Toma de Muestras
- Modulación Digital
- Módems y Transmisión de Datos
- Solución de problemas

1.2.3 PROMAX

La empresa Española **PROMAX** [3] presenta el equipo EC-796 ver Fig. 3



Figura 3. Equipo EC-796 [3]

Los módulos emisor y receptor tienen unos puntos preparados para el monitoreo de la señal. El EC-796 permite el desarrollo de experimentos en 2 niveles:

- Análisis del muestreo y la cuantificación de la señal analógica, con experimentación acústica y visual del efecto de la frecuencia de muestreo (Aliasing) y del número de bits utilizados en la generación de la señal PCM.
- Estudio de modulaciones digitales.

1.2.4 EDIBON

Otra firma española es **EDIBON** [4] quien posee un equipo denominado “Laboratorio Integrado de Comunicaciones” el cual se muestra en la Fig. 4.



Figura 4. EDICOM 5 [4]

El módulo se compone de dos tarjetas y presenta el contenido para realizar las siguientes prácticas:

1. Estudio de los códigos de línea utilizados en la transmisión digital a corta distancia: NRZ, RZ, AMI y Manchester.
2. Análisis de las técnicas de modulación digital: ASK, PSK, FSK, QPSK, estudiando sus características en el transmisor y demodulación en el receptor.

1.2.5 Feedback Instruments

La compañía Inglesa **Feedback Instruments** [5] presenta el equipo “Modulation & Coding Workboard”, la tarjeta de desarrollo presenta los principios de modulación. Cubre los siguientes temas:

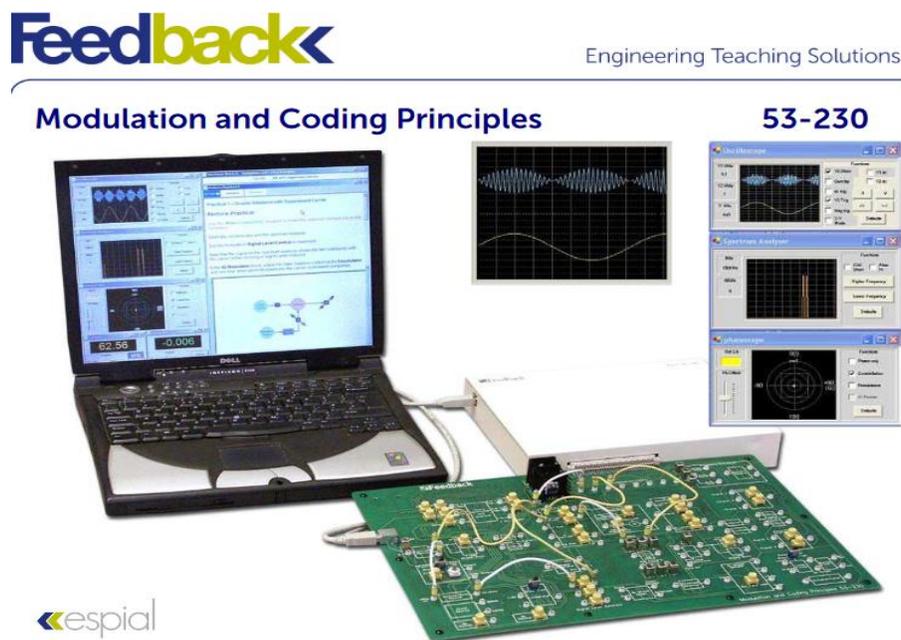


Figura 5. Equipo Feedback [5]

- Codificación AMI
- Muestreo y Multiplexión por División de Tiempo.
- Amplitud Modulada
- Frecuencia Modulada
- Modulación en Fase
- Modulación por Amplitud en Cuadratura

1.2.6 Lucas-Nülle

La compañía Alemana **Lucas-Nülle** [6], ofrece el curso de Telecomunicaciones 5 “Métodos de Manipulación de Pulsos PAM/PCM/DELTA” y utiliza el equipo mostrado en la Fig. 6. El equipo cubre los siguientes temas:

- Introducción a la modulación y demodulación de señales PAM/PCM/DELTA y multiplexión por tiempo.
- Teorema de muestreo de Shannon.
- Identificar las ventajas y desventajas que ofrece la transmisión digital.
- Introducción al principio de cuantización de señales analógicas.
- Generación de códigos en paralelo y serie.
- Medición en el tiempo de señales moduladas PCM.
- Medición en el tiempo de señales PCM multiplexadas en el tiempo.
- Introducción a los códigos pseudo-ternarios AMI, HDB3

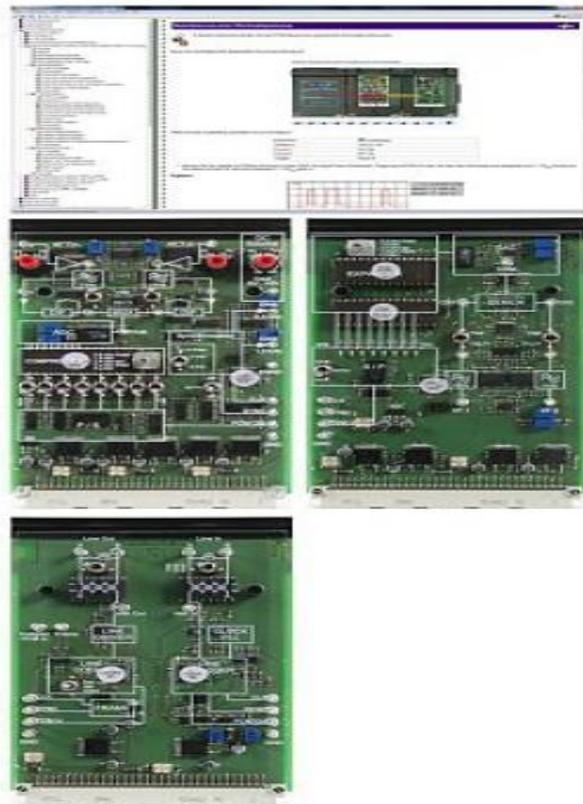


Figura 6. Equipo de Laboratorio Lucas- Nülle [6]

1.3 Comparación técnica

Los equipos mencionados anteriormente de los diferentes fabricantes, tienen ciertas características entre ellos. De acuerdo a la información disponible por las hojas técnicas de cada equipo, son utilizados para la comprensión de diferentes temas de comunicaciones digitales. En este caso se tomará como referencia el tema de códigos de línea y se observará, si sus equipos realizan algún tipo de modulación básica, ver Tabla 1:

FABRICANTE	ELETTRONICA	PROMAX	EDIBON	Lab-Volt	Feedback	Lucas Nülle
CÓDIGO	VENETA				Instruments	
RZ	√	X	√	X	√	X
NRZ	√	√	√	√	√	√
Manchester	√	X	√	X	X	X
AMI	X	X	X	X	√	√
HDB3	√	X	X	X	X	√

Tabla 1. Tabla comparativa de modulaciones básicas

1.4 Costos

De las marcas mencionadas anteriormente se consiguieron los siguientes costos:

- ELETTRONICA VENETA \$51 910. 00 MXN
- PROMAX \$75 225. 6446 MXN
- EDIBON \$155 059. 000 MXN

Todas estas compañías únicamente distribuyen sus equipos a Empresas o Instituciones educativas, y sus precios son elevados, adicionalmente a este precio se les debe agregar los gastos de envío (paquetería). La información obtenida de los representantes de estas compañías en nuestro país se incluyen en el apéndice A.

1.4.1 Material incluido dentro del costo del equipo

ELETRONICA VENETA

- Tarjeta MCM33/EV
- Software Multimedia SW-D-MCM33/EV
- Libro de teoría y ejercicios
- Guía para el profesor

PROMAX:

- Tarjeta de Transmisión y Recepción EC-796
- Manual de teoría
- Manual de entrenamiento
- Manual de prácticas y documentación técnica
- Cables de alimentación

EDIBON:

- Tarjeta EDICOM5
- Fuente de alimentación
- Software CAI
- Software EDAS/VIS
- Software LICOMBA/CAL

Lab-Volt:

- Sistema didáctico de telecomunicaciones digitales 8085
- Cables y accesorios
- Fuente de alimentación
- Generador doble de funciones
- Contador de frecuencia
- Generador de RF / Generador de ruido
- Generador de señales de reloj
- Generador de secuencia binaria pseudoaleatoria
- Indicador de tasa de errores de bits

- Manuales para el estudiante
- Guía para el profesor

Feedback Instruments:

- Tarjeta Modulation & Coding Workboard 53-230
- Cable USB
- Terminal de Acceso (92-203 RAT). La terminal proporciona la fuente de alimentación necesaria para que el equipo pueda para operar
- Software Espial 93-420
- Manual de experimentos
- Garantía directa por el fabricante durante 2 años

Lucas-Nülle

- Fuente de alimentación
- Cable de red
- Cable USB
- CD con software básico (LabSoft posibilita el control de los instrumentos virtuales y del hardware)
- Manual de operación
- Cables y accesorios

1.4.2 Equipo adicional para su funcionamiento

FABRICANTE	ELETTRONICA	PROMAX	EDIBON	Lab-Volt	Feedback	Lucas-Nülle
EQUIPO	VENETA				Instruments	
REQUERIDO						
Computadora	√	X	√	X	√	√
Osciloscopio	X	√	X	√	X	X
Fuente de alimentación	√	X	X	X	X	X
Generador de funciones	X	√	X	X	X	X

Tabla 2. Equipo requerido para su funcionamiento

Conclusiones

- Algunos fabricantes emplean dispositivos de tipo FPGA, entre ellos Feedback Instruments, Elettronica Veneta y EDIBON, como sistema de control centralizado, para coordinar todas las funciones que los equipos que presentan.
- Los equipos mostrados presentan garantía de un año a excepción del equipo de Feedback quien presenta 2 años de garantía del equipo.
- Los equipos presentan diferentes tipos de codificación y requieren de cierto equipo para su funcionamiento, entre ellos fuente de alimentación y computadora.
- Estos equipos disponibles comercialmente son muy completos y de gran calidad, solo que presentan una limitante, el costo de dichos equipos, puesto que sus costos son elevados, ya que varían desde los \$51 910. 00 MXN hasta los \$155 059. 00 MXN.
- Para realizar experimentos en el área de ingeniería en comunicaciones se requieren equipos con ciertas características mínimas, las cuales representan una inversión elevada lo que sugiere que la inversión en el desarrollo de equipo educacional sea un aspecto importante a considerar en las carreras de ingeniería.

Capítulo 2. Descripción General del Sistema Embebido MSP430G

2.1 Introducción

En este capítulo se describirá el sistema embebido empleado para este trabajo. La sección 2.2 presenta a la familia de microcontroladores MSP430G de Texas Instruments. En la sección 2.3 se describe a la tarjeta de desarrollo llamada Launchpad, la cual sirve para poder programar a los microcontroladores de la familia MSP430. La sección 2.4 presenta al microcontrolador MSP430G2553. En las secciones 2.5 y 2.6 se muestran algunos lenguajes de programación con los cuales se puede programar el microcontrolador y algunas aplicaciones del mismo MSP430G. Para finalizar, en la sección 2.7 se presenta a la tarjeta Stellaris, la cual es otra tarjeta de desarrollo de la misma compañía, solo que para aplicaciones de mayor complejidad.

2.2 Familia del MSP430

Los dispositivos denominados MSP430 (Mixed Signal Processor), Procesadores de Señales Mixtas fabricados por Texas Instruments, son una familia de microcontroladores de bajo consumo de energía, formada por 40 circuitos integrados con el mismo núcleo y diferentes capacidades de memoria y periféricos, todos ellos compatibles en software.

Están diseñados en torno a un CPU de 16 bits, con arquitectura Von Newman, por lo que la RAM, ROM y periféricos residen en el mismo espacio de memoria. Estos dispositivos están enfocados a aplicaciones embebidas de bajo costo, como equipos operados por baterías.

Este dispositivo puede configurarse de diferentes formas gracias a los siguientes periféricos: oscilador interno, temporizadores, generador de PWM, watchdog timer, USART, SPI, I2C, Conversores A/D de 10,12,14, ó 16 bits y USB [7].

2.3 Launchpad

El Launchpad es una herramienta de evaluación y desarrollo para los microcontroladores de Texas Instruments de la familia MSP430G. La tarjeta dispone de un socket DIP de hasta 20 pines para los microcontroladores de esta línea, y dispone de una conexión USB que permite descargar y depurar

programas directamente del hardware. Dispone de 2 botones, un par de LEDs y un par de tiras de pines tipo macho para poder acceder a los pines del microcontrolador [8].

Características del Launchpad.

- Socket DIP de 20 pines que soporta toda la familia de microcontroladores del MSP430G.
- Emulación flash para depuración y programación.
- 1 LED de encendido.
- 2 LED's programables.
- 1 botón de reset.
- 1 botón programable.



Figura 7. Tarjeta de desarrollo Launchpad [8]

2.4 Microcontrolador MSP430G2553

En este trabajo se utiliza un microcontrolador MSP430G2553, ya que es el más completo dentro de la familia MSP430G de acuerdo a la hoja de datos del fabricante [9].

Características del Microcontrolador MSP430G2553:

- Rango de voltaje de 1.8 a 3.6 [V].
- Bajo consumo de energía.
- Modo activo: 230 [μ A] a 1MHz, 2.2 [V].
- Frecuencia de muestreo máxima de 200 [kHz] y mínima de 50 [kHz]
- Modo apagado (retención de memoria RAM): 0.1 [μ A]

- Cinco modos de ahorro de energía.
- Arquitectura de 16-Bit RISC, tiempo de ciclo de instrucción de 62.5 ns.
- Cristal de 32 [kHz].
- Fuente externa de reloj digital.
- Dos Timer de 16 bits, con tres modos de captura/comparación de registros.
- Interfaz de comunicación serial universal (USCI).
- Comunicación serial SPI.
- I2C (inter-circuitos integrados)

La principal desventaja que presenta este microcontrolador es que no contiene un convertidor digital a analógico.

Esta tarjeta de desarrollo se encuentra disponible en la tienda virtual de Texas Instruments. El precio del launchpad, tiene un costo en la página web de \$9.9 dólares. El kit de desarrollo contiene los siguientes accesorios [10]:

- Un cable usb para PC
- Un microcontrolador MSP430G2452IN20: 8 kB Flash, 256 B RAM, temporizadores de 16 bits, 8 canales de 10 bits ADC
- Un microcontrolador MSP430G2553IN20: 16 kB Flash, 512 B RAM, temporizadores de 16 bits, 8 canales de 10 bits ADC
- 2 Conectores de 10 pines c/u tipo hembra.
- Un cristal de cuarzo de 32.768 [kHz]
- 2 Stickers con el logotipo del MSP430 Launchpad

2.5 Software y programación

En lo que se refiere al software, los más populares para el MSP430 son IAR Embedded Workbench de IAR Systems y el Code Composer Studio de Texas Instruments.

Se pueden programar en lenguaje ensamblador, aunque en los últimos años, los fabricantes han mejorado la oferta de compiladores que permiten trabajar en lenguajes como C.

El MSP430 se puede programar en lenguaje ensamblador, actualmente la mayoría de los códigos están escritos en C, pero hay ocasiones en las que se necesita escribir una subrutina en lenguaje ensamblador para llevar a cabo una operación que no se puede escribir directamente en C. Las funciones intrínsecas a menudo evitan la necesidad del lenguaje ensamblador. Las instrucciones en lenguaje ensamblador son propias del MSP430 [11].

2.6 Aplicaciones actuales

Este dispositivo opera con un margen de temperatura variable que inicia desde los $-40\text{ }^{\circ}\text{C}$ a los $85\text{ }^{\circ}\text{C}$ de acuerdo a lo descrito por el fabricante. Este punto es importante ya que su aplicación depende de la temperatura que puedan soportar.

Los microcontroladores son utilizados para una gran variedad de aplicaciones en los campos, como por ejemplo: comunicaciones, aeronáutica, robótica, automotriz, medicina, industrial, etc [12].

Algunos ejemplos son:

- Robótica. A medida que los sistemas de control de procesos modernos se vuelven cada vez más complejos, muchos fabricantes están incluyendo un microcontrolador dentro del nodo sensor con características adicionales, ver Fig. 8.

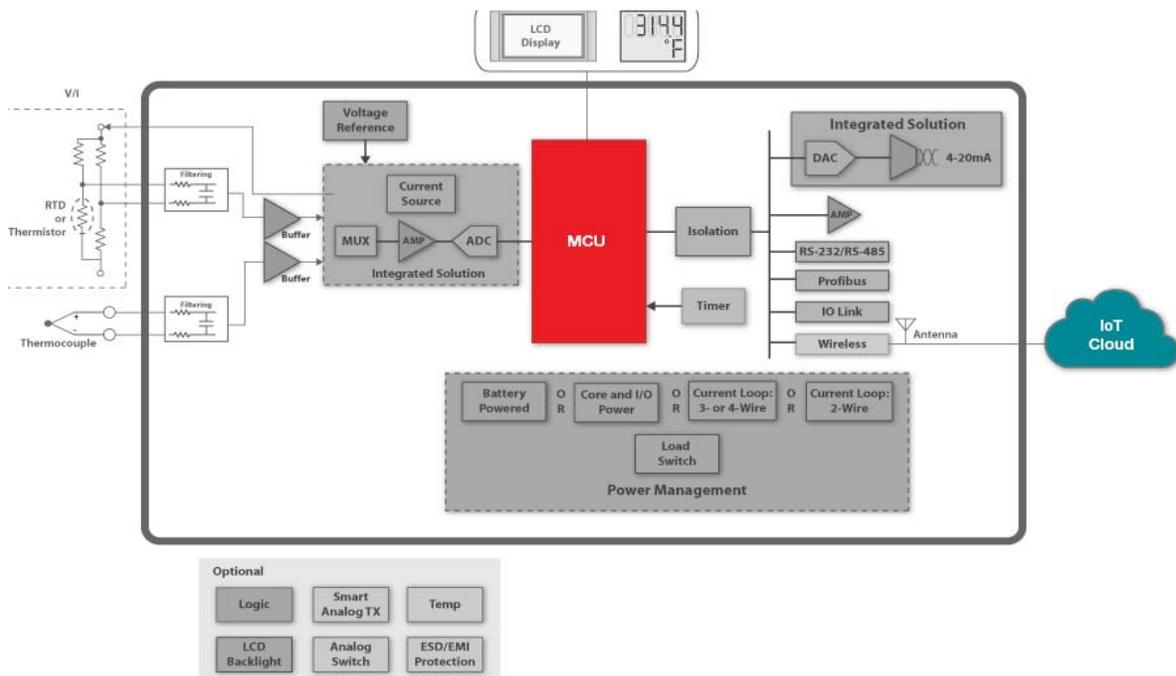


Figura 8. Aplicación del microcontrolador en robótica [12]

- Comunicaciones. Los sensores inalámbricos combinados con un microcontrolador se están utilizando en aplicaciones de teledetección, que incluyen el monitoreo del estado del motor, ver Fig. 9.

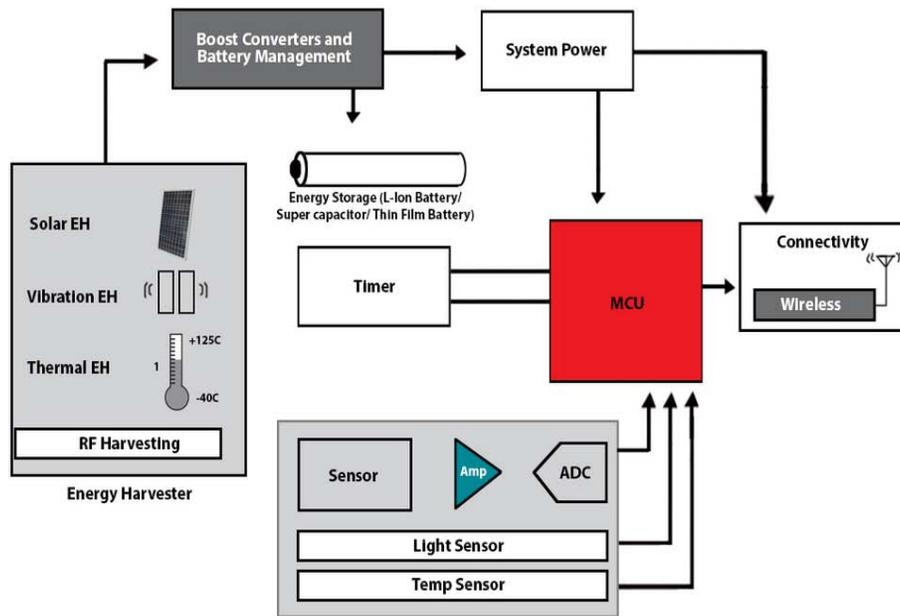


Figura 9. Aplicación del microcontrolador en comunicaciones [12]

- Instrumentación Electrónica. El MSP430G se puede utilizar para diferentes funciones tales como sensor, el control del teclado, ahorro de energía, administración de energía entre otras, ver Fig. 10.

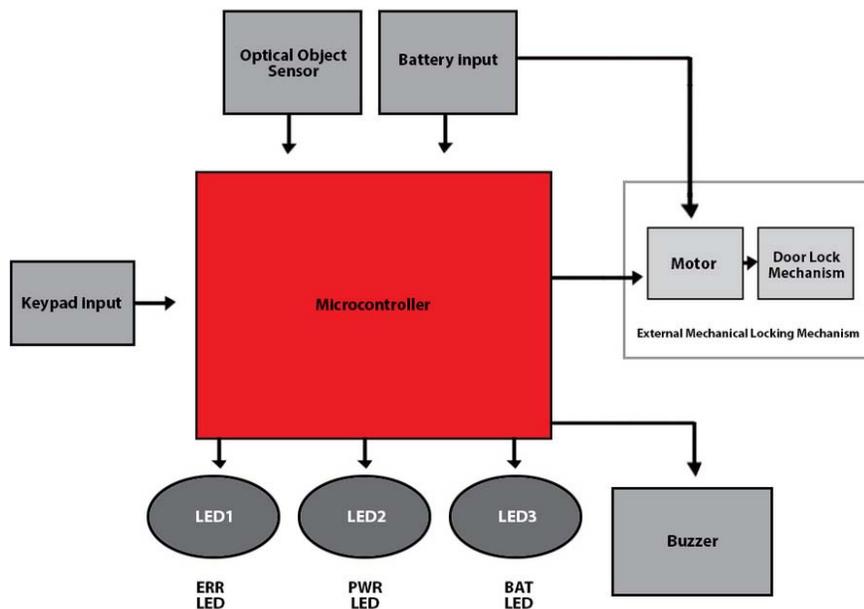


Figura 10. Aplicación del microcontrolador en instrumentación electrónica [12]

2.7 Familias relacionadas

Para aplicaciones más robustas, se requieren acciones en tiempo real y de respuesta rápida se encuentran los dispositivos basados con arquitectura Cortex. Un ejemplo es la tarjeta de desarrollo Tiva C Series EK-TM4C123GXL, ver Fig. 11, conocida como Stellaris, es una tarjeta más compleja [13].

La principal ventaja que presenta esta tarjeta es el número de pines. Cuenta con 40 pines, entre los cuales se tienen los pines de polarización de +Vcc y GND, los pines restantes se pueden configurar como entradas/salidas digitales o analógicas, puertos seriales de transmisión (Tx) o recepción (Rx). Teniendo con esto una gran variedad de aplicaciones, solo con los puertos seriales múltiples se tiene la posibilidad de interconectar con más elementos, como otras tarjetas de prueba o módulos de comunicaciones entre ellas:

- La capacidad de la tarjeta y su librería de software pueden ser usadas en aplicaciones de seguridad, gracias al uso del puerto Ethernet para establecer comunicación por TCP/IP.
- Esta tarjeta se puede utilizar para una variedad de aplicaciones con medios de transmisión guiados y no guiados, ya que se puede aplicar en redes tipo Vanet por ejemplo: los vehículos se conectan a una red donde pueden informar sobre el estado del tráfico, también aumentar la seguridad vial, es decir que un vehículo advertirá de la ocurrencia de un accidente y avisará a los sistemas de emergencia correspondientes.

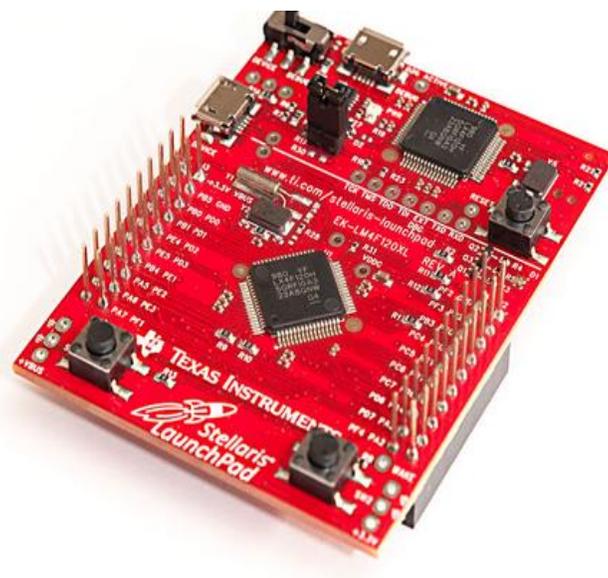


Figura 11. Tarjeta de desarrollo Stellaris [13]

Esta tarjeta de desarrollo también se encuentra disponible en la tienda virtual de TI. El precio de la tarjeta Stellaris, tiene un costo en la página web de \$15 dólares. En cuanto a la señal de reloj se cuenta con 80MHz, esto lo vuelve 5 veces más rápido que Arduino y el Launchpad MP430. La desventaja en la placa es que no se puede retirar el microcontrolador como se puede hacer con el Launchpad MSP430. Como se mencionó anteriormente esta tarjeta de desarrollo se puede utilizar para programar toda la familia de microcontroladores del MSP430G.

Conclusiones

- Debido al bajo consumo energía se empleó un microcontrolador MSP430G, es decir que puede operar con el uso de baterías.
- El microcontrolador MSP430G2553, es el más completo dentro de la familia del MSP430G.
- El bajo precio del Launchpad, contiene otros accesorios.
- El MSP430 se puede programar en lenguaje ensamblador y lenguaje C.
- Una desventaja que presenta el MSP430G es que no contiene un convertidor digital a analógico.
- La tarjeta stellaris emplea un microcontrolador ARM tipo M4 que opera a 80 [MHz], y es mucho más sofisticada que el MSP430.
- Un inconveniente que presenta la tarjeta Stellaris es que no se puede utilizar para programar los diferentes circuitos ARM de la familia M4.

Capítulo 3. Elementos de Comunicaciones Digitales

3.1 Introducción

Es este capítulo se dará una breve descripción de los procesos básicos involucrados en los sistemas de comunicaciones modernos. En la sección 3.2 se presenta un sistema de comunicaciones básico. La sección 3.3 presenta los parámetros de análisis y diseño de un sistema de comunicación; en la sección 3.4 el proceso que se debe realizar para convertir una señal analógica a digital (muestreo, cuantización y codificación). En la sección 3.5 se da una breve explicación de cómo interpretar las tramas enviadas por el MSP430G2553. La sección 3.6 da una breve explicación de la multiplexión por división de tiempo y algunos ejemplos de las jerarquías PDH. Para finalizar en la sección 3.7 se muestran algunos códigos de línea básicos.

3.2 Sistema de comunicación básico

Un sistema de comunicación básico se puede representar con la estructura mostrada en la Fig. 12.

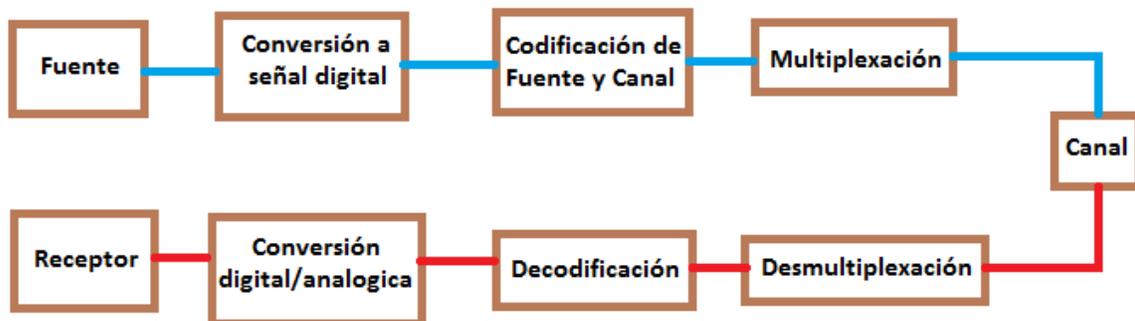


Figura 12. Sistema de comunicación básico

- La fuente normalmente es de carácter analógico, aunque también puede ser de carácter digital (datos, video).
- La conversión a señal digital incluye lo siguiente:
 - Acondicionamiento de la señal y limitación en banda.
 - Proceso de conversión A/D; muestreo, cuantización y codificación lógica y eléctrica.
- Codificación de fuente y canal, incluye la señalización digital en banda base y pasa banda, así como la compresión de datos y protección contra error.

- Multiplexión comprende dos técnicas en tiempo y frecuencia, así como los diversos tipos de acceso múltiple.
- El canal incluye las alteraciones de la señal y los efectos del ruido.

3.3 Elementos de análisis

Fundamentalmente se tienen los siguientes parámetros de análisis y diseño de un sistema de comunicación.

1. Espectros de magnitud y fase (Transformada de Fourier).
2. Ancho de banda de señal y sistema.
3. Relación de E/S del sistema.

3.3.1 Espectros de magnitud y fase

Se requiere de la transformada de Fourier. Sea $w(t)$ una señal temporal, se define a su transformada de Fourier $W(f)$ como:

$$W(f) = \int_{-\infty}^{\infty} w(t)e^{-j2\pi ft} dt$$

Cuyas propiedades se pueden ver en la referencia [15].

Se define espectro de magnitud de $w(t)$ como la grafica $|W(f)|$ vs f , ver Fig. 13.

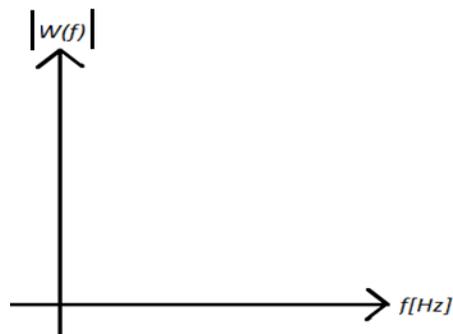


Figura 13. Gráfica de magnitud $|W(f)|$ vs $f(Hz)$ [15]

donde $W(f) = W_{Re}(f) + jW_{im}(f)$

Por lo tanto $|W(f)|^2 = W_{Re}^2(f) + W_{im}^2(f)$

Y el de fase como la grafica $\arg W(f)$ vs $f(\text{Hz})$, ver Fig. 14.

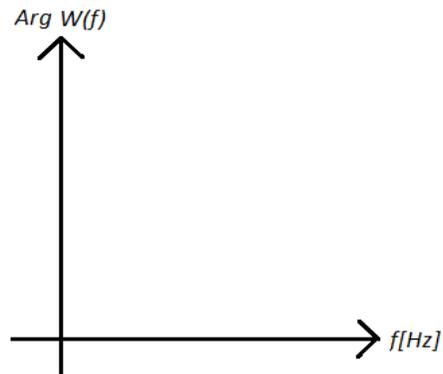


Figura 14. Gráfica $\text{Arg } W(f)$ vs f [15]

donde $\text{Arg } W(f) = \tan^{-1} \left(\frac{W_{im}(f)}{W_{Re}(f)} \right)$

3.3.2 Ancho de banda de señal y sistema

El ancho de banda de una señal se define genéricamente como el intervalo de frecuencias en el que el espectro de la señal es diferente de cero. En los sistemas reales se refiere al intervalo que contiene un cierto porcentaje de la potencia de la señal.

El ancho de banda de sistema se define como el intervalo de frecuencias del espectro de magnitud de la función de transferencia del sistema que cumple con ciertas características de ganancia y retardo. Genéricamente se desea que la ganancia sea constante en el intervalo de frecuencias considerado y que el retardo temporal para este intervalo, también lo sea. Esto equivale a que el espectro de magnitud sea constante y el de fase lineal. Normalmente el ancho de banda B de la señal es menor al ancho de banda del sistema en sistemas reales.

3.4 Señales digitales

Considere una señal limitada en banda, es decir $B < \infty$, el teorema de muestreo de Shannon establece que se puede recuperar esta señal completamente a partir de sus muestras, si se toman a una tasa o frecuencia f_s tal que cumpla $f_s > 2B$, se sabe que la frecuencia es inversamente proporcional al periodo entonces $T_s = \frac{1}{f_s}$

donde f_s - es la frecuencia de muestreo

T_s - es el periodo de muestreo

Para una explicación más profunda se puede consultar el Apéndice B, en la sección 1.

Considerando un muestreo ideal, es decir con un tren de impulsos se tiene lo siguiente:

Dominio Temporal, ver Fig. 15.

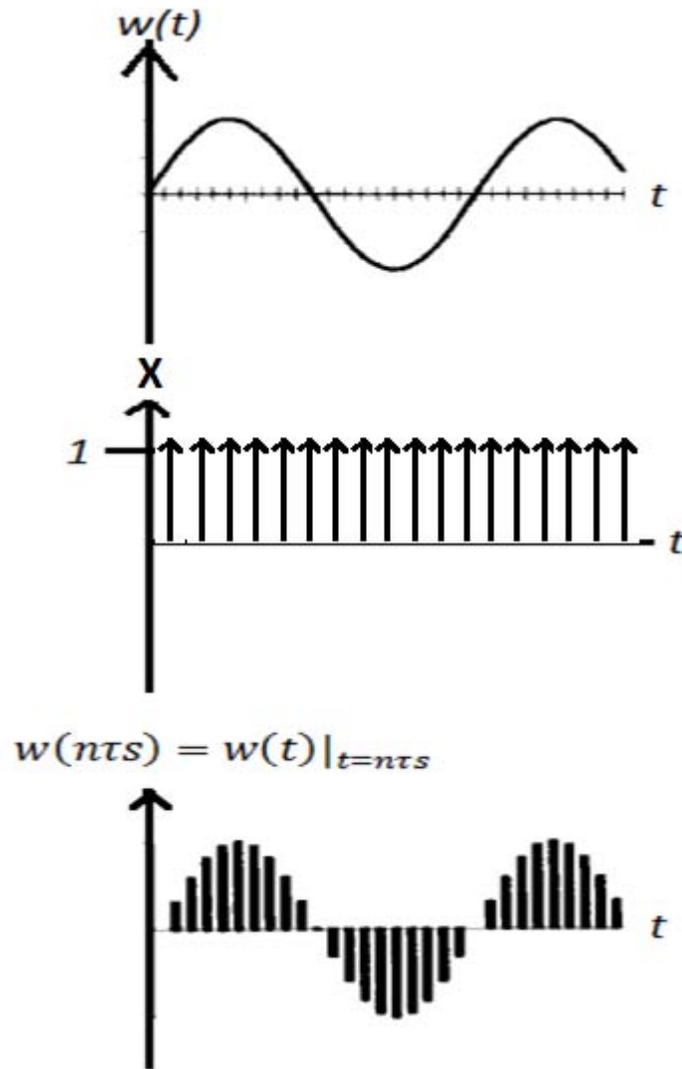


Figura 15. Dominio temporal

Dominio en Frecuencia, ver Fig. 16.

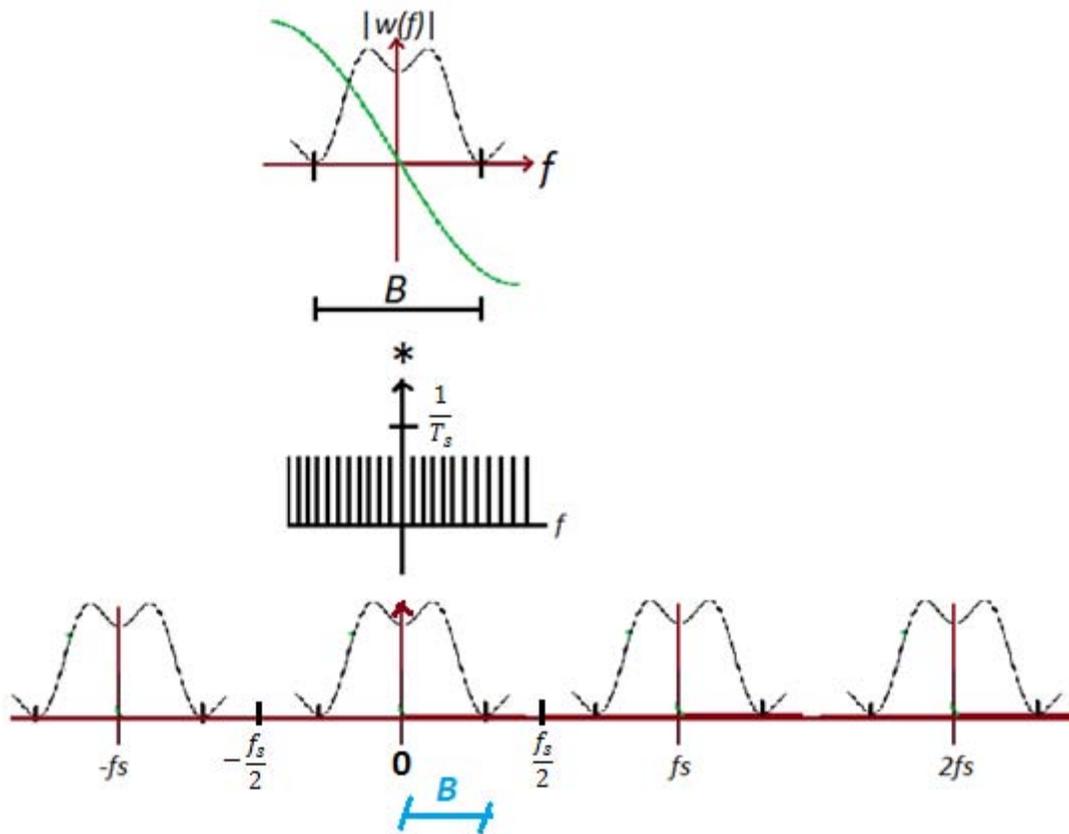


Figura 16. Dominio en frecuencia

Entonces es suficiente un filtro paso bajas para recuperar la señal. En la práctica, el proceso de conversión se emplea el proceso de conversión A/D incluye los siguientes pasos:

- Limitar en banda, a B la señal $w(t)$.
- Muestreo: tomar muestras a una tasa $f_s \geq 2B$
- Cuantización: cada valor analógico muestreado, se asigna a un solo valor de cuantización, de un conjunto finito de tamaño M . Este proceso incluye errores de redondeo genéricamente llamado error de cuantización.

Por ejemplo el MSP430 tiene 1024 niveles de cuantización para asignar valores analógicos entre 0 y 3.6 [v]; es decir, este intervalo de valores se divide en 1024 subintervalos, entonces se tiene que cada subintervalo es de 3.51 [mv]. Se tiene la siguiente relación de conversión, ver Fig. 17.

Voltaje de cuantización

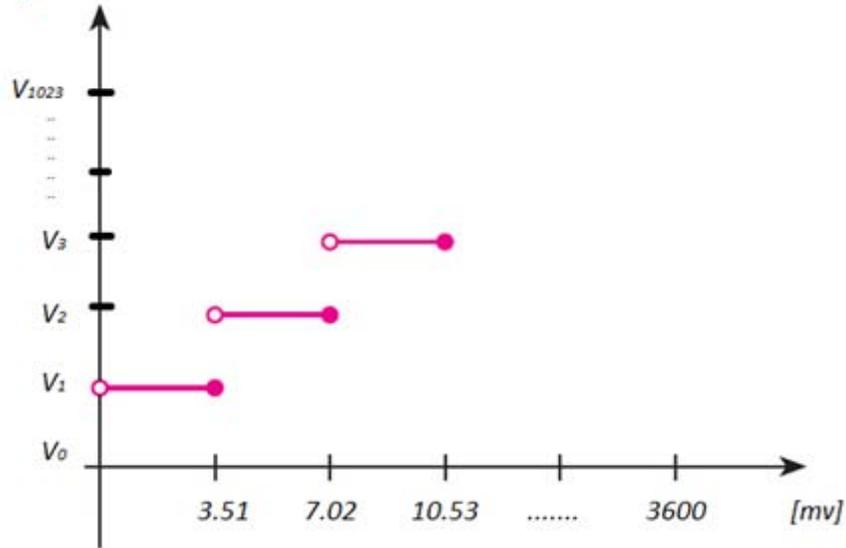


Figura 17. Niveles de cuantización del MSP430G2553

Se puede observar que se trata de una cuantización lineal, y que se supone que los voltajes de entrada son equiprobables (distribución uniforme). Otros valores dan lugar a la cuantización no lineal.

Los valores de cuantización se obtienen generalmente de la correspondiente señal interna PAM de cresta plana, en la que el valor muestreado se retiene el tiempo suficiente para que el convertidor A/D termine la conversión (tiempo de conversión). En el MSP430 el tiempo de conversión es de 1[μ s], aproximadamente. Para una breve explicación, consultar el apéndice B, sección 2 y 3.

Codificación. En este paso se asigna un código lógico generalmente binario, a cada voltaje de cuantización. Para el ejemplo anterior de la Fig. 17, se tiene que el MSP430 emplea un código lógico binario, entonces los 1024 niveles de cuantización, se codifican con 10 bits, de modo que:

$$\begin{aligned}
 V_0 &= 0000000000_{\text{Binario}} = 0x0000_{\text{Hexadecimal}} = 0_{\text{Décimal}} \\
 V_1 &= 0000000001_{\text{Binario}} = 0x0001_{\text{Hexadecimal}} = 1_{\text{Décimal}} \\
 &\cdot \\
 &\cdot \\
 &\cdot \\
 V_{1023} &= 1111111111_{\text{Binario}} = 0x03FF_{\text{Hexadecimal}} = 1023_{\text{Décimal}}
 \end{aligned}$$

Esta sucesión lógica binaria es la que se debe transmitir de manera serial para el desarrollo de este trabajo. Esta señal lógica y su representación eléctrica respectiva ya se consideran señales digitales.

Este proceso de conversión A/D y las etapas de muestreo, cuantización y codificación respectivas, se realizan en un cierto tiempo, el cual depende del microcontrolador empleado. En el MSP430 este proceso incluye 2 etapas, con una duración total de 2 $[\mu s]$, desde la indicación de tomar la muestra hasta el inicio del primer bit de información, como se explicara en la sección 4.5.

3.5 Señal PCM

Es la señal que se transmite por el canal y que comprende la transmisión serial del código lógico de 10 bits por muestra por medio de pulsos eléctricos de cierta duración. Para el ejemplo anterior considerando $B = 3.4 [kHz]$ se propone que la $f_s = 8 [kHz]$; que es mayor que

$$f_s = 8 [kHz] > 2(3.4[kHz]) = 6.8[kHz]$$

Por lo tanto se tiene que la tasa bruta de transmisión de datos (bit rate) R es

$$R = \left(8000 \left[\frac{\text{muestras}}{s} \right] \right) * \left(10 \left[\frac{\text{bits}}{\text{muestra}} \right] \right) = 80 [kbps]$$

Por tratarse de PCM Binario, entonces se requieren 2 pulsos eléctricos diferentes, uno para el "1" lógico y el otro para el "0" cero lógico. En este caso, para codificar el 1 lógico se empleó un pulso de amplitud a 3.6[v] y duración $T_b = 12.5[\mu s]$ y para codificar el 0 lógico se emplea un pulso de voltaje 0 [v] con la misma duración $T_b = 12.5[\mu s]$, ver Fig. 18.

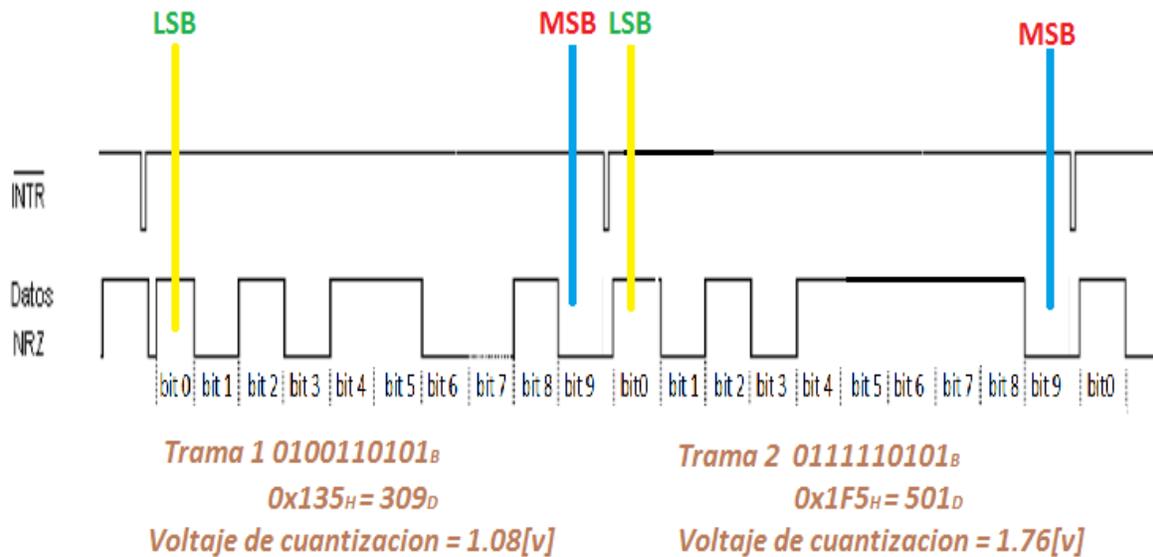


Figura 18. Tramas PCM enviadas por el MSP430G

Nota: En el MSP430G2553, se transmite primero el bit LSB, como se muestra en la Fig. 18.

3.6 Multiplexión por división de tiempo

Multiplexar es el proceso de transmitir 2 o más señales de manera compartida por el mismo canal, ver Fig. 19. Por ejemplo para 2 señales con características iguales a las tramas anteriores se tendría el siguiente esquema. Algunos ejemplos se muestran en el apéndice B, sección 4.

Canal 1 $B = 3.6 [kHz]; f_{s1} = \left(8000 \left[\frac{\text{muestras}}{s}\right]\right) * \left(10 \left[\frac{\text{bits}}{\text{muestra}}\right]\right) = 80 [kbps]$

Canal 2 $B = 3.6 [kHz]; f_{s2} = \left(8000 \left[\frac{\text{muestras}}{s}\right]\right) * \left(10 \left[\frac{\text{bits}}{\text{muestra}}\right]\right) = 80 [kbps]$

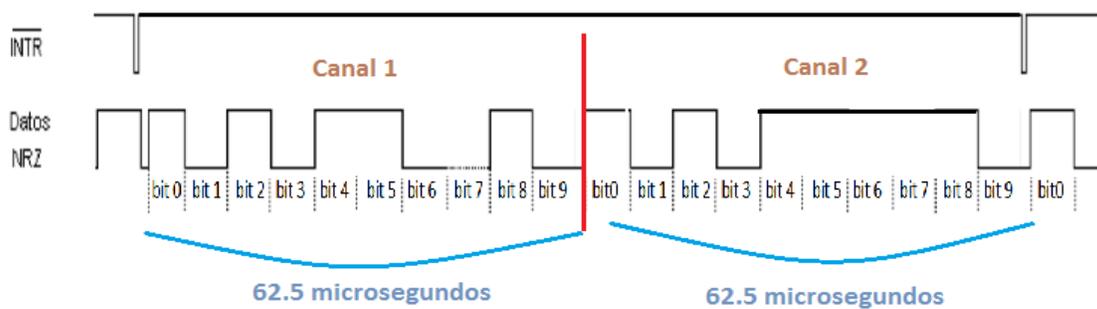


Figura 19. Multiplexión de 2 canales

$$R = \left(\left[\frac{20 \text{ bits}}{125 \mu\text{s}} \right] \right) = 160 \text{ [kbps]}$$

3.7 Códigos de Línea

Los códigos de línea son utilizados para el transporte digital de datos, consisten en representar la amplitud de la señal digital que va a ser transportada con respecto al tiempo, la representación de la onda se suele representar mediante un número determinado de pulsos, estos están representados por los 1s y 0s digitales, donde la duración del bit o símbolo está dada por T_b [18].

3.7.1 Clasificación de los Códigos de Línea

Existen 3 tipos de codificación en banda base, ver Fig. 20.

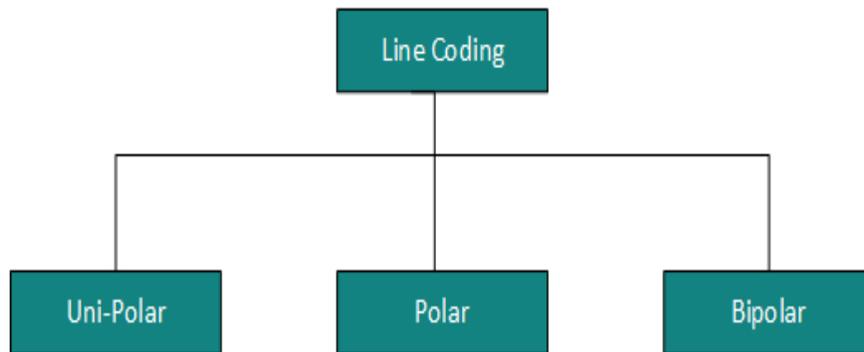


Figura 20. Clasificación de los códigos de línea [18]

A. Código Unipolar.

Se le denomina así debido a que solo utiliza un nivel de voltaje (positivo o negativo) para representar el 1 y para representar el cero no transmite ningún voltaje, ver Fig. 21.

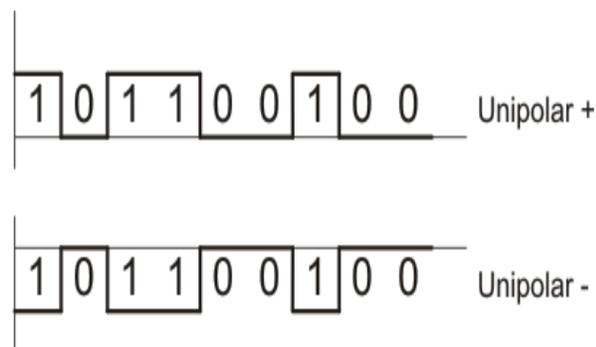


Figura 21. Código unipolar [18]

B. Código Polar.

La señal utiliza solo 2 niveles de voltaje diferente para representar los valores binarios, ver Fig. 22.

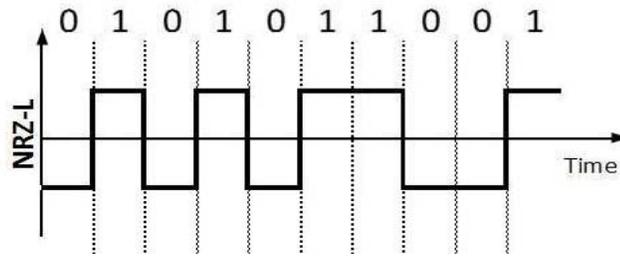


Figura 22. Código polar [18]

C. Código Bipolar.

Cuando la señal utiliza 3 niveles de voltaje; positivo, negativo y cero. Los 1 binarios están representados por valores alternativamente positivos y negativos. El 0 binario está representado por un nivel de cero, ver Fig. 23.

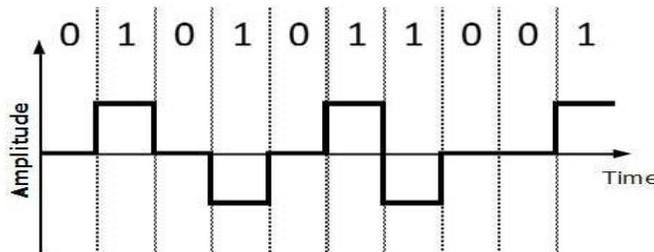


Figura 23. Código Bipolar [18]

3.7.2 Tipos de Códigos de Línea

Código de línea NRZ Unipolar

El código No Retorno a cero (Non Return to Zero). Transmite un 1 binario, con un voltaje positivo por el tiempo del bit T_b . Si se va a transmitir un 0 binario, el voltaje es 0[V] por el intervalo completo del bit, ver Fig. 24.

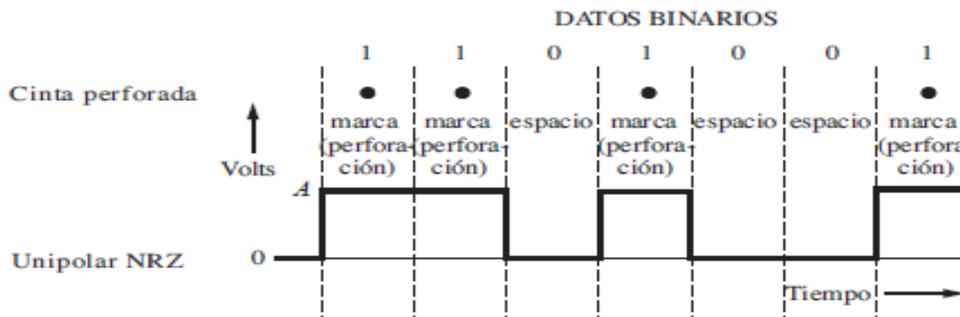


Figura 24. Código NRZ Unipolar [15]

Espectro de potencia de la señalización unipolar NRZ ver Fig. 25.

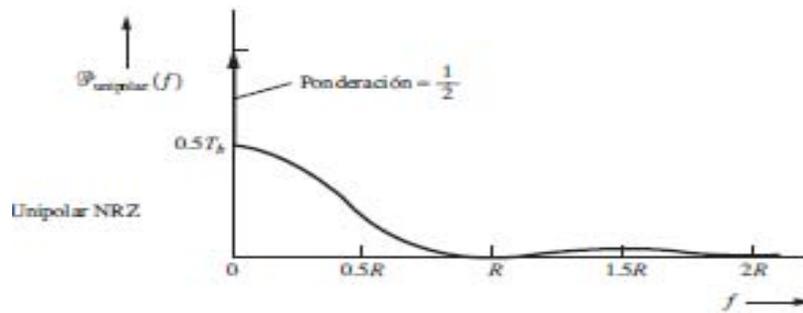


Figura 25. Densidad espectral de potencia NRZ unipolar [15]

Código de línea RZ Unipolar

En el código Retorno a cero (Return to Zero), el nivel de voltaje asignado a un 1 binario tomara el valor positivo de voltaje durante $\frac{T_b}{2}$ y lo que queda del intervalo del bit es cero. Los pulsos solo ocurren cuando se transmite un 1 binario; no hay transmisión de pulso para un 0 binario, ver Fig. 26.

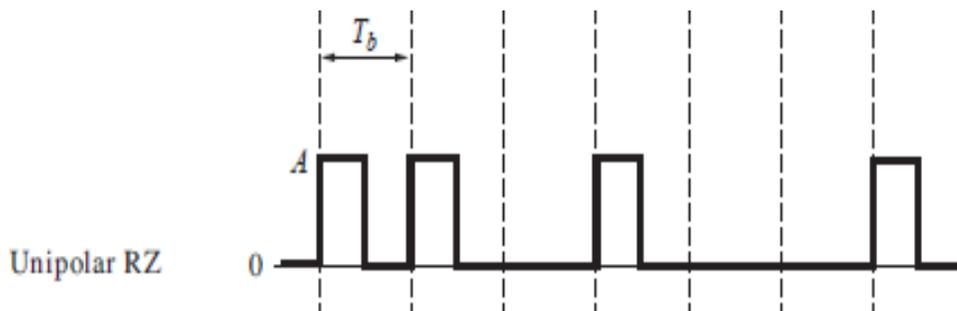


Figura 26. Código RZ Unipolar [15]

Espectro de potencia de la señalización unipolar RZ ver Fig. 27.

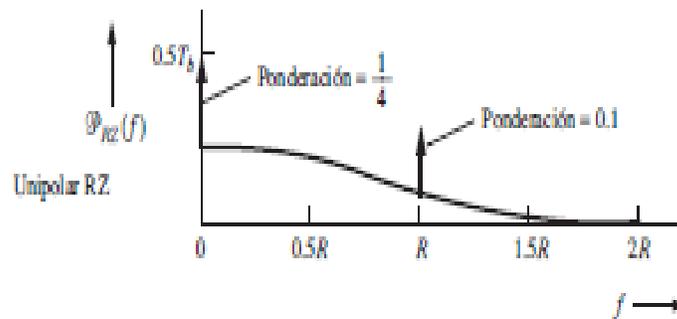


Figura 27. Densidad espectral de potencia RZ unipolar [15]

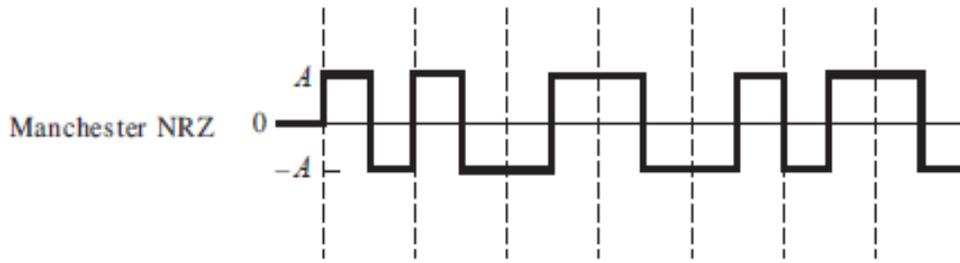


Figura 30. Código Manchester [15]

Espectro de potencia de la señalización Manchester NRZ ver Fig. 31.

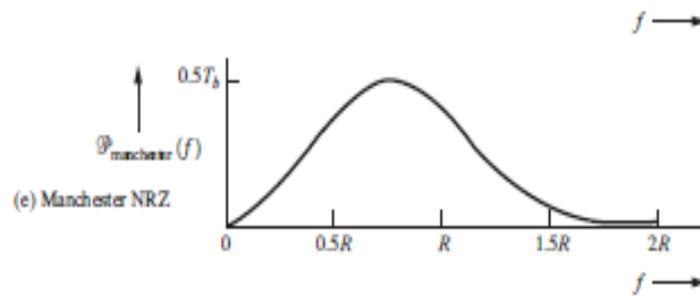


Figura 31. Densidad espectral de potencia Manchester NRZ [15]

Código de Línea AMI del tipo NRZ

Este código representa al 1 binario con valores positivos y negativos de forma alternada, mientras que para el 0 binario tomara el valor de 0 [v], ver Fig. 32.

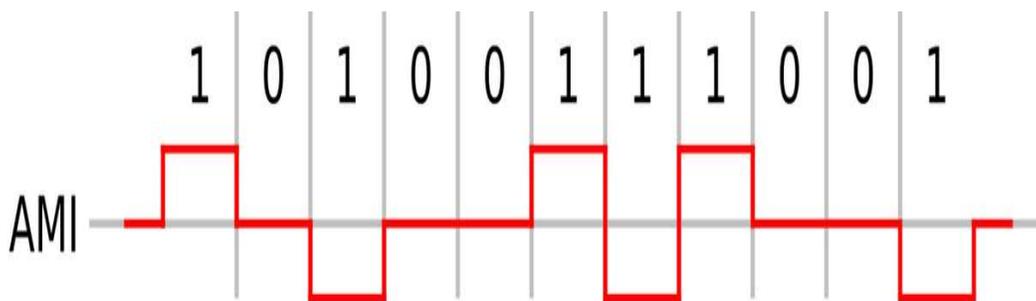


Figura 32. Código AMI tipo NRZ [15]

Código de Línea AMI del tipo RZ

Este código representa al 1 binario con valores positivos y negativos de forma alternada que a diferencia del anterior en la mitad del tiempo del bit T_b se producirá una transición por cero. Tomando valores equivalentes para $\frac{T_b}{2}$ para valores positivos y $-\frac{T_b}{2}$ para valores negativos. Durante el intervalo del bit 0 binario se mantienen en el nivel 0 de voltaje, ver Fig. 33.

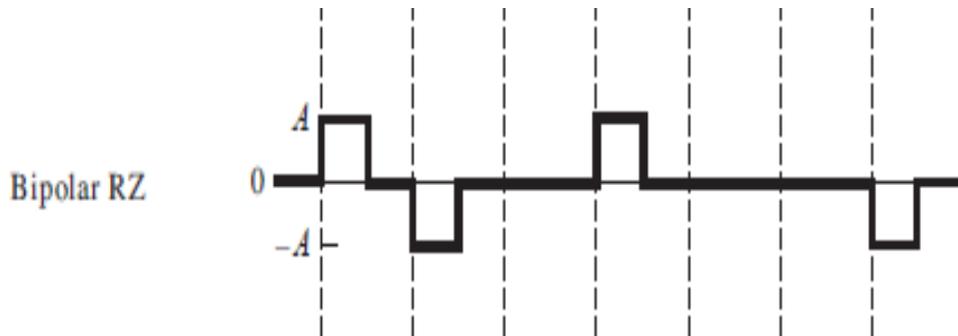


Figura 33. Código AMI tipo RZ [15]

Conclusiones

- Se identificaron los bloques que componen un sistema de comunicación básico.
- Identificar el bit MSB (bit más significativo) y el LSB (bit menos significativo) en cada trama enviada por el MSP430G.
- Se logró comprender el proceso de multiplexión por división de tiempo y como es aplicado en los sistemas de telefonía europeo y americano.
- Se aprendió a distinguir las diferencias que presentan cada tipo de código de línea, de igual manera el espectro que presenta cada código.
- Para un mejor aprovechamiento del MSP430G2553 se deben conocer los principios básicos de comunicaciones digitales, es decir para saber cómo realiza los procesos de conversión A/D el microcontrolador y saber cómo interpretarlos en nuestro proyecto.

Capítulo 4. Diseño Propuesto para el Equipo Auxiliar de Comunicaciones Digitales

4.1 Introducción.

Se presenta en este capítulo la propuesta del diseño del equipo auxiliar de Comunicaciones Digitales. En la sección 4.2 se muestra el diagrama general del sistema para el equipo auxiliar de laboratorio, dentro de esta sección se realizó la descripción funcional de cada bloque que compone el sistema de laboratorio. Para la sección 4.3 de acuerdo a la metodología propuesta, el diseño se hará por bloques, cada uno realizara una función específica necesaria para el equipo de laboratorio. En la sección 4.4 se presentan los pasos de programación del microcontrolador MSP430G2553. Por último en la sección 4.5 se propone el circuito eléctrico o instrumento que realice la función correspondiente de cada módulo. Se construirá y se probará cada subsistema.

Se integrarán todos los bloques para obtener el equipo requerido. En este capítulo se describen todos los componentes electrónicos necesarios para la elaboración del equipo auxiliar de laboratorio. De igual manera todos los circuitos integrados se detallan en el apéndice G.

4.2 Diagrama Esquemático General del Sistema

En esta sección se presenta el diagrama general del equipo auxiliar de comunicaciones digitales usando un hardware reconfigurable, circuitos comerciales de bajo precio y fácil adquisición. El equipo incluye básicamente los principios de digitalización de una señal en banda base (acondicionamiento de la señal analógica, conversión A/D, sincronización y códigos de línea para su transmisión) pero la flexibilidad del diseño permite agregar fácilmente módulos adicionales, como se puede observar en la Fig. 34.

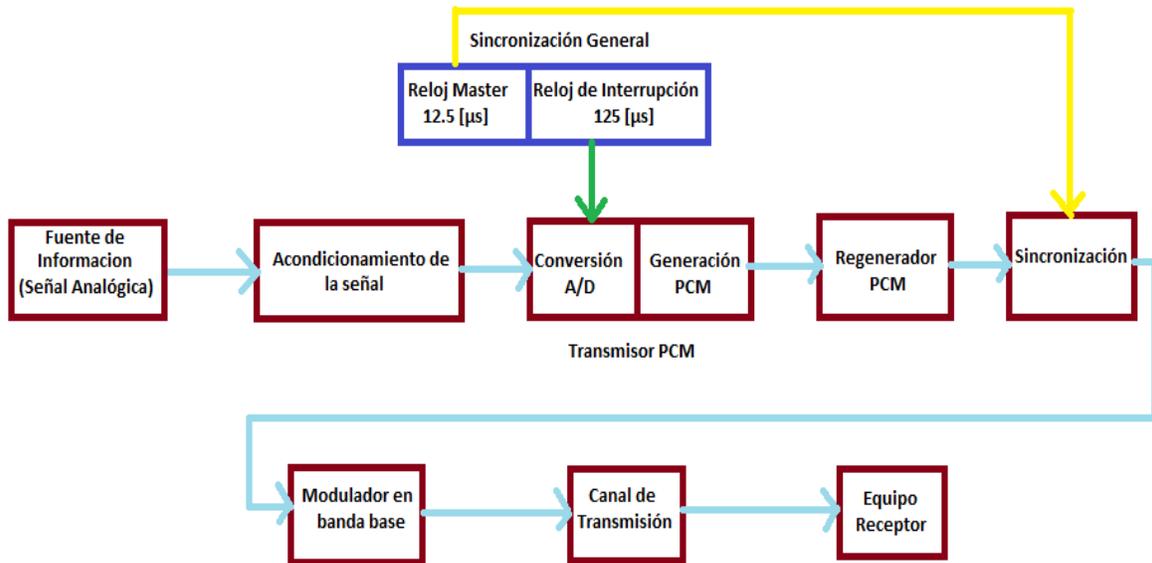


Figura 34. Diagrama a bloques del sistema en general

4.2.1 Descripción de cada bloque funcional del Equipo Educacional

Fuente de información (Señal analógica). Es la fuente de origen que genera la señal de información a enviar.

Acondicionamiento de la señal analógica. En este diseño existen 3 funciones elementales para el acondicionamiento de la señal y están son:

- Amplificación. Amplificar el nivel de voltaje de la señal del Transmisor.
- Filtrado. Limitar en banda la señal analógica.
- Offset ajustable. Ajustar el nivel de la señal amplificada y filtrada, para poder ingresar al hardware.

Convertidor Analógico a Digital. El microcontrolador empleado contiene convertidores A/D, los cuales proporcionan las funciones de muestreo, cuantización y codificación, entregando a su salida una señal PCM.

Regenerador de la señal PCM. Básicamente el regenerador es un repetidor utilizado para la transmisión digital.

Sincronización General. En este bloque se genera una señal de reloj general, para sincronizar las acciones de los siguientes bloques electrónicos del sistema. La sincronización cuenta con un par de relojes, donde el reloj maestro se utilizara para generar los códigos de línea y el reloj esclavo interrumpirá al transmisor PCM para enviar una trama de datos cada 125 [μs].

Modulador en banda base. Aplicación de diferentes técnicas en electrónica para generar códigos de línea básicos entre ellos, (RZ unipolar, NRZ Polar, Manchester y AMI tipo NRZ).

Canal o medio de Transmisión. Transmisión de señales por un medio físico, en este caso es un medio guiado ya que se tiene a la señal que se encuentra viajando por una línea de alambre.

Equipo Receptor. Equipo final donde se recibe el mensaje enviado desde la fuente de información.

4.3 Diseño por bloque funcional

Fuente Analógica.

El reproductor de audio MP3 presenta las siguientes características:

- Frecuencia de respuesta: 20 Hz a 20,000 Hz
- Formatos de audio compatibles: AAC y MP3 (de 8 a 320 Kb/s)
- Potencia de 4 dBm

Acondicionamiento de la señal analógica:

A. Diseño del Amplificador Inversor

Para el diseño de la etapa de amplificación, se empleó un amplificador inversor ya que permite a la señal de salida estar amplificada e invertida 180° con respecto a la señal de entrada. En la etapa del offset ajustable se vuelve a invertir la señal para recuperar la original. Se observa que la amplitud de la señal se encontraba en un rango de 50 [mV] a 140 [mV] a la salida del reproductor de audio, por lo cual se fijó una Ganancia de amplificación de 10 aproximadamente.

B. Filtrado.

Una vez amplificada la señal de audio, se debe limitar en banda la señal analógica. El filtro que se utilizó es de 6° orden, tipo paso-bajas, con respuesta Butterworth. El ancho de banda para este filtro es de 3.4 [kHz]. Este tipo de filtros se caracteriza por tener una banda de transición plana.

C. Diseño del offset ajustable

Ahora la señal oscila en el rango positivo y negativo, el microcontrolador solo puede recibir señales positivas en el orden de 0 a 3.6 [v]. Entonces se aplica un offset ajustable para poder manipular nuestra señal en el rango permitido por el microcontrolador. Con el offset ajustable, se permite adaptar los niveles de tensión de la señal de audio procedente del transmisor a la entrada analógica digital del dispositivo embebido, ver Fig. 35.

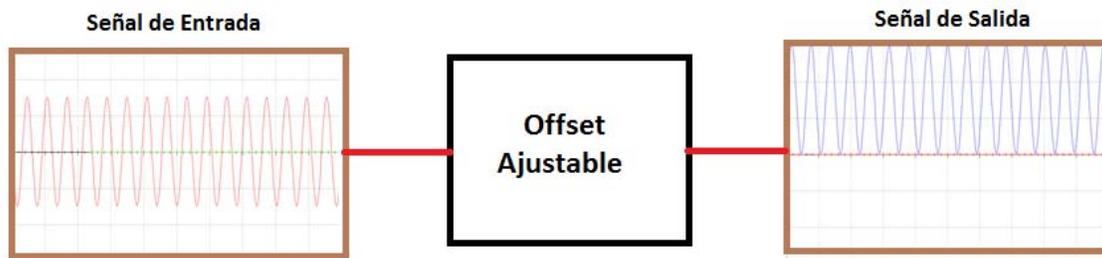


Figura 35. Señal de E/S del offset ajustable

En esta etapa ya se recuperó la señal original de la fuente analógica y se encuentra lista para ingresar al puerto del convertidor analógico del MSP430.

Todos los diseños empleados y los cálculos requeridos se encuentran en el apéndice C respectivamente.

Sincronía General:

Se debe mencionar que el equipo se encuentra trabajando con un par de relojes externos (Reloj de sincronía y un reloj de interrupción) y estos a su vez deben estar sincronizados con el objetivo de mantener sincronizado a todo el sistema, ver Fig. 36.

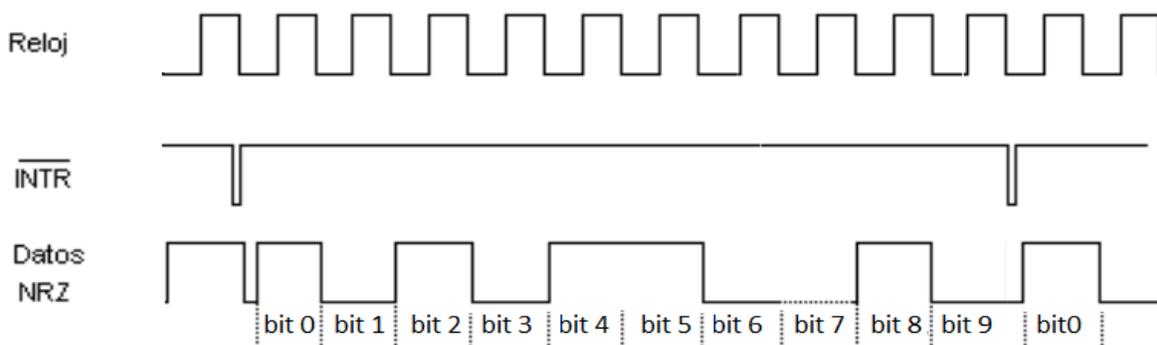


Figura 36. Sincronía general

- I. *Reloj de Sincronía.* Este reloj maestro será implementado con un circuito integrado LM555, que generara un pulso cada 12.5 [μs].

- II. *Reloj de Interrupción.* La señal que se obtiene del reloj de sincronía es de 80[kHz], ahora para generar nuestra interrupción externa, se debe ingresar el pulso del reloj a un contador de década, el cual tiene la función de dividir entre 10 la señal obtenida anteriormente, logrando de esta manera un pulso de 8[kHz]. Con el pulso de 125[μs] se interrumpirá al microcontrolador.

Las configuraciones utilizadas y los cálculos requeridos se encuentran en el apéndice D.

Regenerador de la señal PCM. El MSP430 entrega como salida una señal binaria PCM por el puerto P1.6, la cual alcanza una amplitud máxima de 3.6 [V] para un 1 binario y de 0 [V] para el 0 binario. Debido a esta situación se regenerara la señal con un buffer para obtener a su salida una amplitud de 0 a 5 [V], con el mismo código PCM.

Sincronización. La finalidad de tener esta fase es sincronizar el pulso del reloj maestro que tiene una duración de 12.5 [μs] con la trama enviada por el MSP430G ya que cada bit de la trama de igual manera tiene una duración de 12.5 [μs]. Con esta etapa controlada, se aprovechara para la generación de los códigos de línea en el bloque del modulador.

Modulador en banda base. Para el desarrollo de este módulo se utilizaron compuertas digitales tipo AND, XOR, NOT y multiplexores analógicos para poder obtener los valores de tensión positivos y negativos, los cuales son necesarios para poder realizar los diferentes tipos de códigos de línea.

Canal o medio de Transmisión. El medio de transmisión que se utiliza es un medio guiado.

Equipo Receptor. El equipo utilizado para recibir los códigos de línea es un Osciloscopio, el cual permite observar la forma en que se están codificando los datos con los diferentes métodos de codificación implementados.

4.4 Configuración del microcontrolador MSP430

Una vez ajustadas las señales de sincronía e interrupción procederemos a la configuración del microcontrolador MSP430.

Para programar el dispositivo embebido, se debe configurar el puerto de adquisición de datos, es decir el convertidor analógico-digital, el puerto definido para detectar la interrupción externa y el puerto de salida digital.

La programación del MSP430G2553 se divide en 2 partes: en un programa básico la configuración de los puertos y en una subrutina la ejecución del programa principal, ver Fig. 37. Los registros configurados se detallan en el apéndice E.

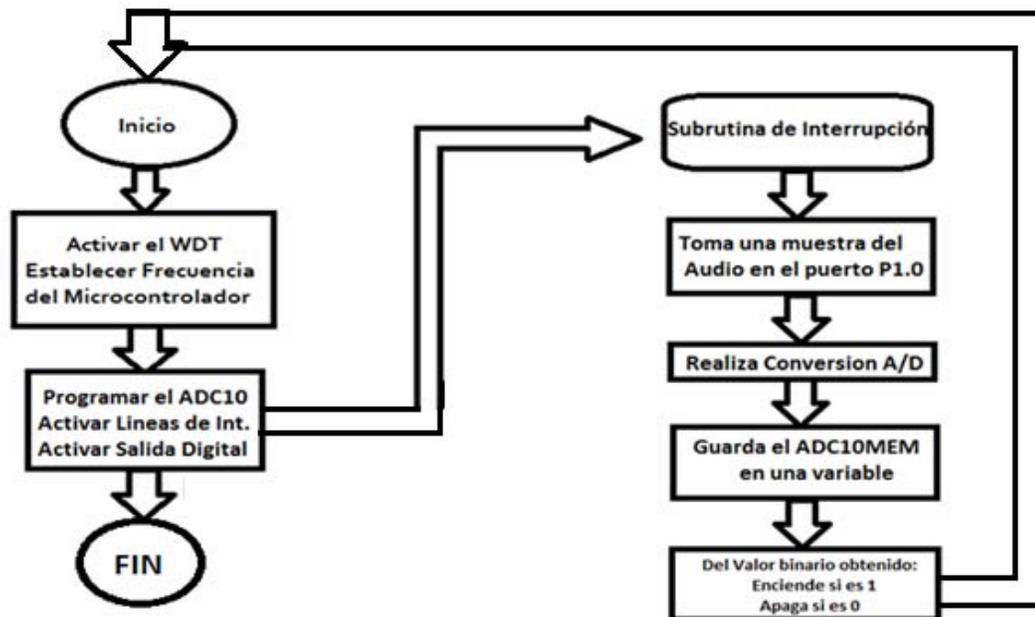


Figura 37. Diagrama de flujo para la programación del MSP430G2553

4.4.1 Descripción del programa

Primeramente como el diagrama lo indica hay que desactivar el Watch Dog Timer (WDT) es decir desactivamos los reinicios inesperados del microcontrolador. Ahora se procede a establecer la frecuencia máxima del MSP430 que es de 16 [MHz], ya que esta provee el tiempo de ejecución por

instrucción dentro del sistema embebido, la cual se ejecuta en un tiempo de 62.5 [ns]. En esta etapa se consumen $t_1 = .3125$ [μ s] para activar dichos registros.

Una vez configurados los puntos anteriores, procederemos a configurar los registros del convertidor analógico a digital. Se activan las líneas de interrupción, las cuales reconocerán un flanco de bajada que será dado por nuestro reloj de interrupción. De igual manera se tienen que activar los permisos globales de interrupción con el registro de interrupción mascarable. En este apartado se consumen $t_2 = .625$ [μ s] por ejecución de instrucciones.

Como se puede apreciar en la Fig. 37 la ejecución del programa entra en una subrutina de interrupción, la cual fue diseñada para tomar una muestra de audio, hacer la conversión A/D y enviar a la salida, el valor binario obtenido en el registro del ADC10MEM, mediante un tren de pulsos generados en el puerto P1.6 del microcontrolador. Esta subrutina tiene una duración de $t_3 = 1.0625$ [μ s]. Entonces, el tiempo requerido, desde la solicitud de interrupción hasta el envío del primer bit de la trama.

$$d_{Total} = t_1 + t_2 + t_3 = 2[\mu s]$$

Por lo tanto el programa tiene una duración de 2 [μ s], y envía el primer pulso una vez obtenida y almacenada la muestra en el registro del ADC10MEM. Estos ciclos de instrucción que consume el programa se deben despreciar para poder obtener nuestra trama con los 10 bits que tiene el registro del convertidor A/D y así obtener una trama de 10 bits con una duración de 125 [μ s].

En resumen se describe de manera ordenada los pasos para la programación del MSP430:

- Definición de ficheros necesarios para la programación del microcontrolador.
- Declaración de variables.
- Desactivación del perro guardián (WDT) y calibración del reloj del MSP430G2553.
- Configuración de registros del convertidor A/D y programación de las líneas de interrupción.
- Activar el permiso de interrupción externa.
- Encender e iniciar la conversión A/D
- Obtener el valor binario y mandar una sucesión de pulsos del valor obtenido

El programa se desarrolló en lenguaje C, con el software Code Composer Studio V.6, el algoritmo de programación se encuentra disponible en el apéndice F.

4.5 Electrónica requerida por bloque del Equipo

Fuente información. Como se mencionó anteriormente la fuente de transmisión es un reproductor de MP3. Se construyó un cable para adquirir la señal de audio y está poder ser amplificada. El cable está construido con un conector de audio y se realizó una pequeña modificación en lugar de tener audífonos se colocaron puntas tipo caimán ver Fig. 38.

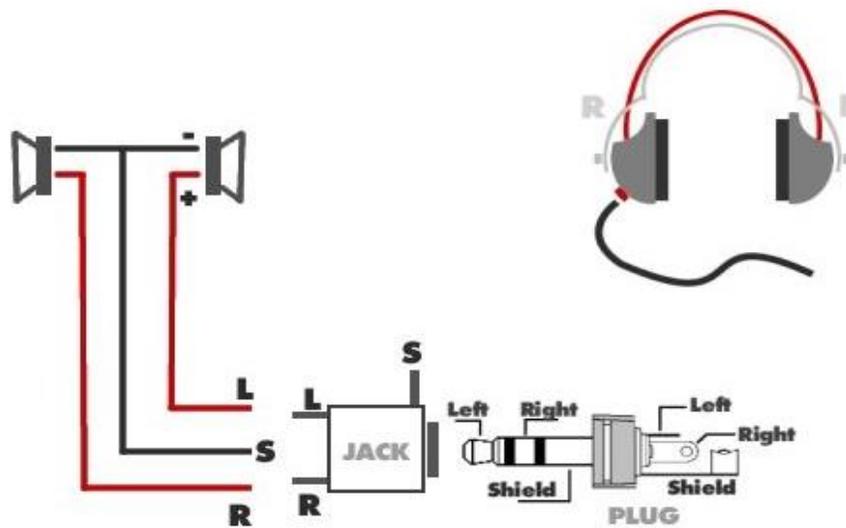


Figura 38. Elaboración del cable para adquirir la señal de audio [21]

Acondicionamiento de la señal analógica. Para la etapa de amplificación y filtrado se utilizó el circuito integrado LF347, ya que este integrado ofrece la capacidad de trabajar con 4 amplificadores operacionales independientes dentro de un mismo integrado. Para el offset ajustable, se utilizó el integrado LF411.

Sincronización General. El reloj maestro utiliza el circuito integrado LM555 entregando una señal cuadrada con una frecuencia de 80 [kHz], posteriormente esta señal se dividió con el contador de década 74HC90, logrando obtener una señal de 8 [kHz] para interrumpir el microcontrolador.

Convertidor Analógico a Digital. El MSP430G2553 proporciona las funciones de muestreo, cuantización y codificación. El microcontrolador ofrece un convertidor analógico digital de 10 bits con frecuencia de muestreo de máxima de 200 [ksps] y mínima de 50 [ksps].

Regenerador de la señal PCM. El buffer utilizado en este punto corresponde al integrado 74HC14 para lograr obtener a su salida el mismo código PCM pero con una amplitud de 0 a 5[v].

Sincronización. Se empleó un flip-flop tipo D (74HC74) para poder sincronizar las tramas enviadas por el MSP430 con el reloj de sincronía.

Modulador en banda base.

- Código RZ. Aplicación de la compuerta AND (74HC08) entre la salida PCM del MSP430 y el reloj de sincronía, ver Fig. 39, sus respectivos códigos se aprecian en la Fig. 40 y Fig. 41.

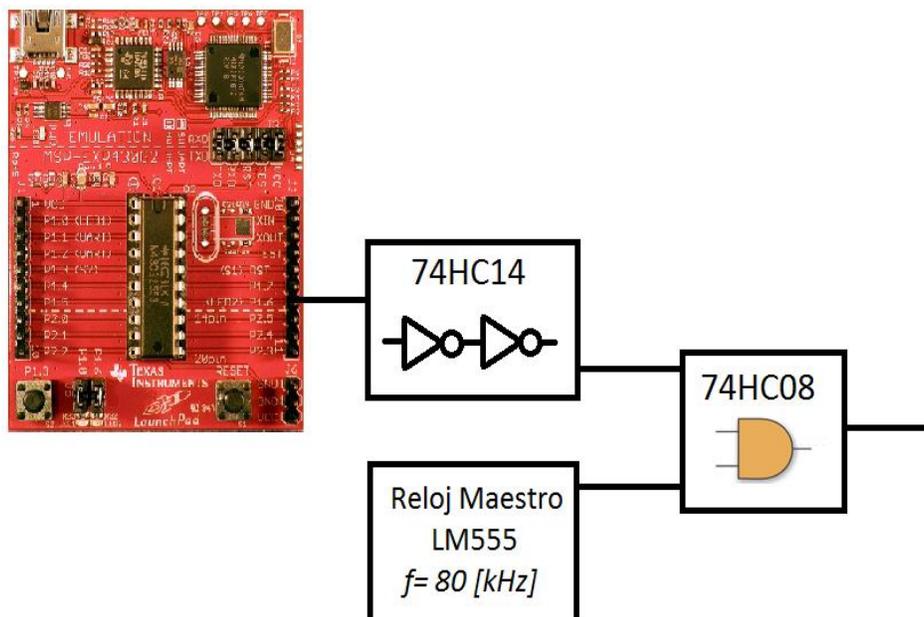


Figura 39. Implementación código RZ



Figura 40. Código RZ 1

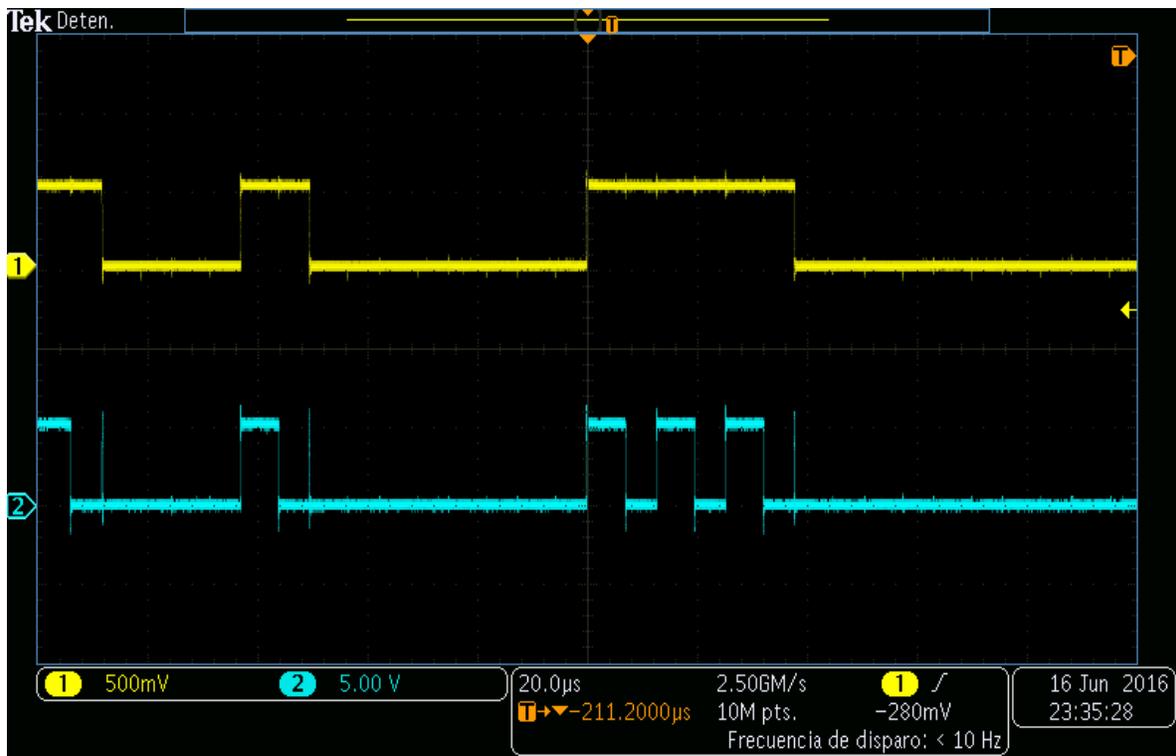


Figura 41. Código RZ 2

- Código Manchester. Aplicación de la compuerta XOR (74HC86) entre la salida PCM del MSP430, el reloj de sincronía y un multiplexor analógico (CD74HC4051), ver Fig. 42, sus respectivos códigos se aprecian en la Fig. 43 y Fig. 44.

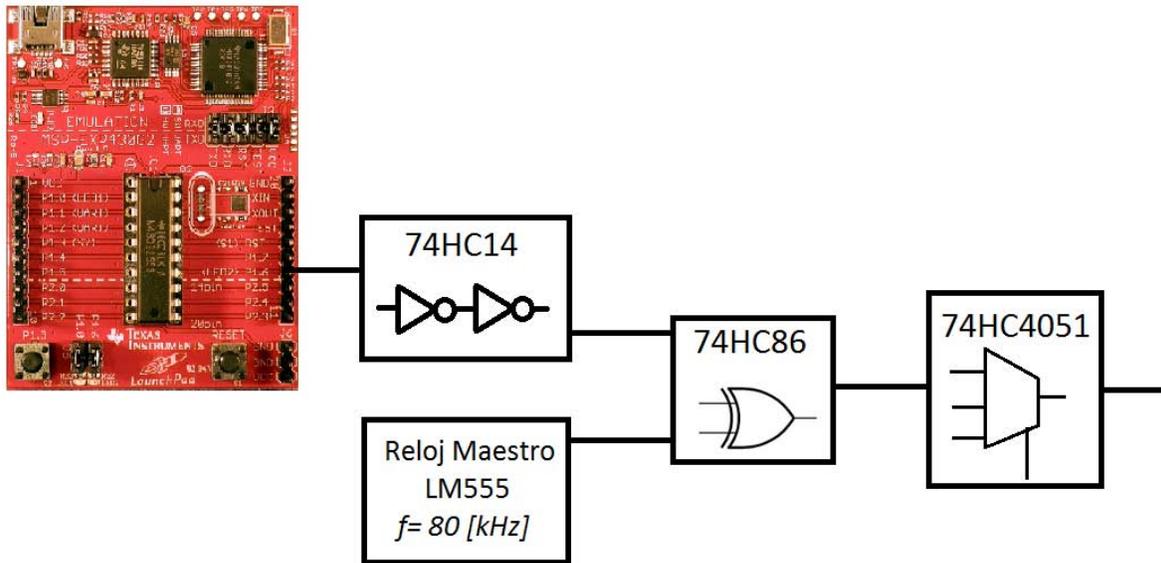


Figura 42. Implementación código Manchester

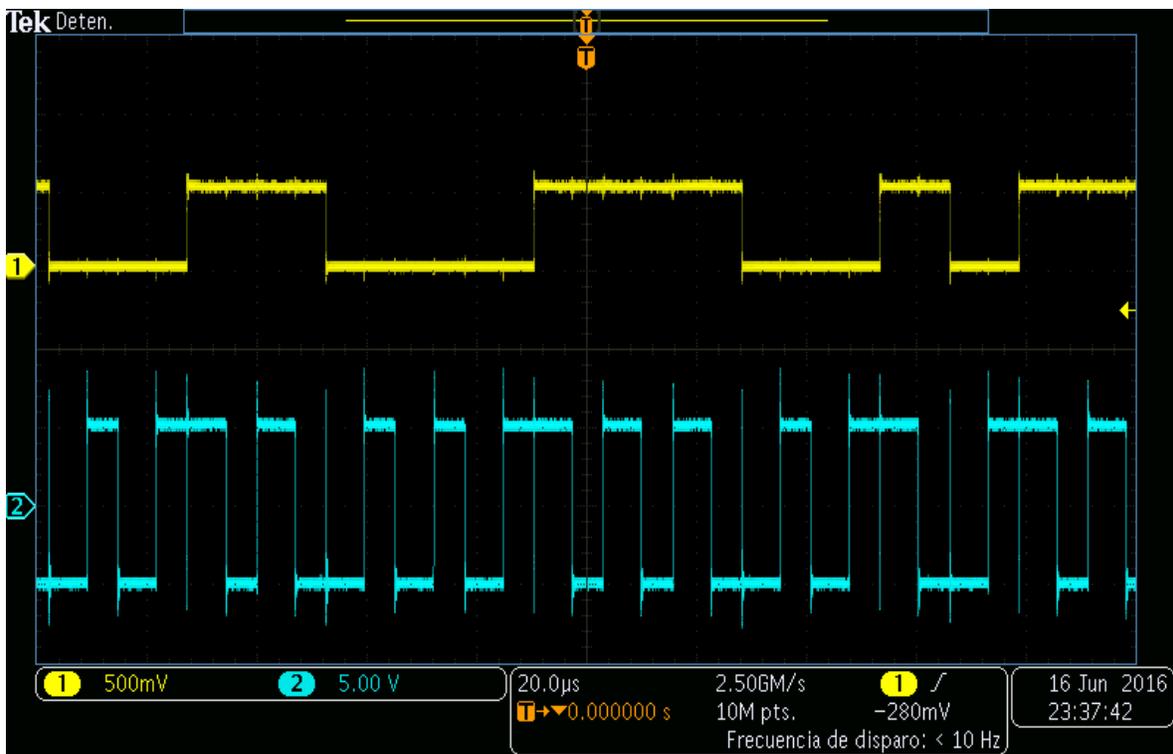


Figura 43. Código Manchester 1



Figura 44. Código Manchester 2

- Código NRZ polar. Construcción con ayuda de un multiplexor analógico (CD74HC4051) y la salida PCM del MSP430, ver Fig. 45, su respectivo códigos se aprecian en la Fig. 46.

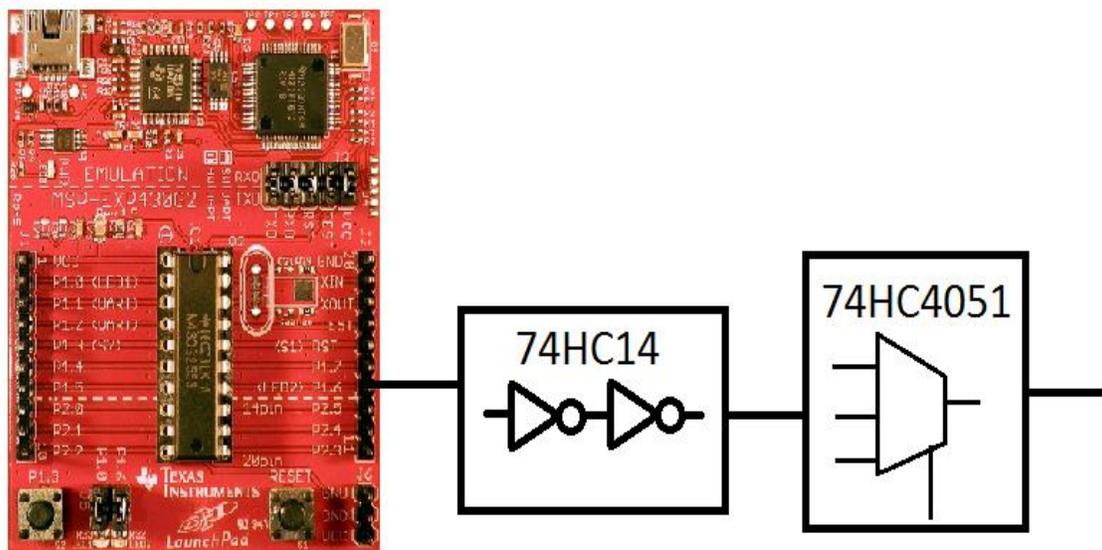


Figura 45. Implementación código NRZ polar

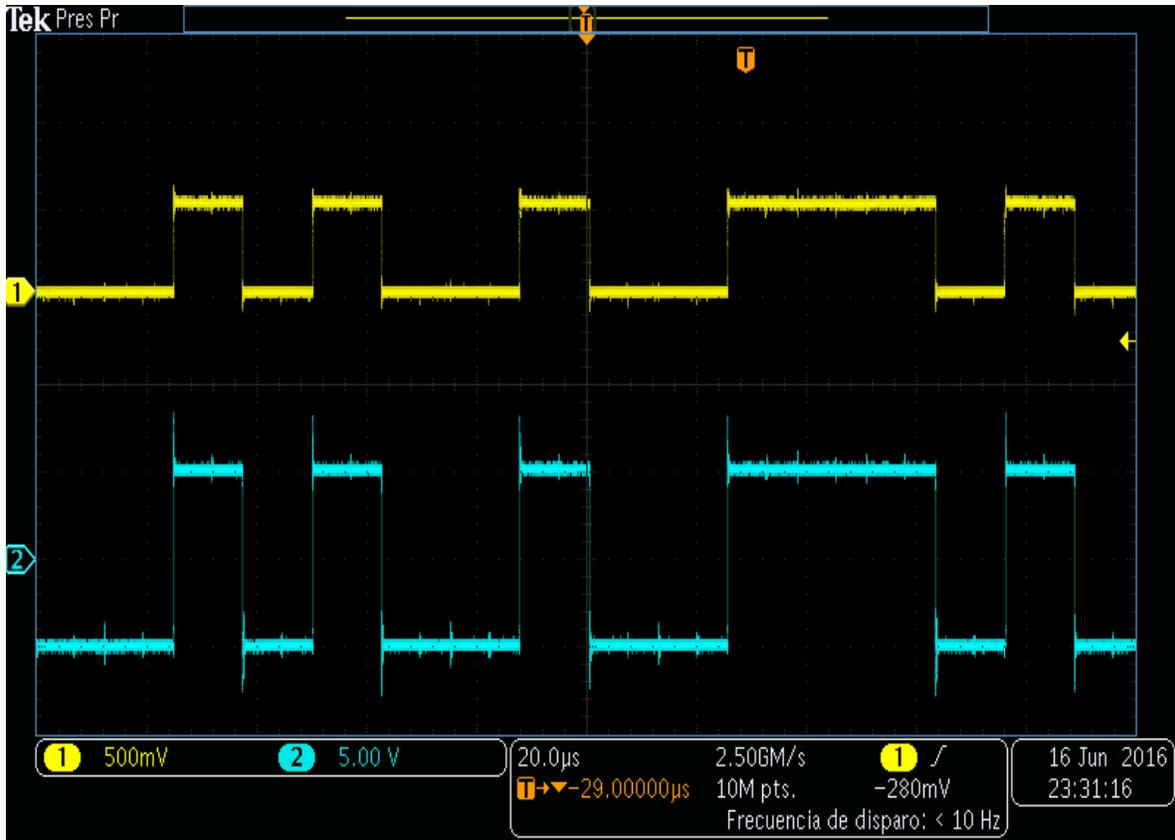


Figura 46. Código NRZ polar

- Código AMI tipo NRZ. Aplicación de la compuerta NOT (74HC14), el reloj maestro con ayuda de un multiplexor analógico (CD74HC4051) y un flip-flop JK (74HC109), ver Fig. 47, sus respectivos códigos se aprecian en la Fig. 48 y Fig. 49.

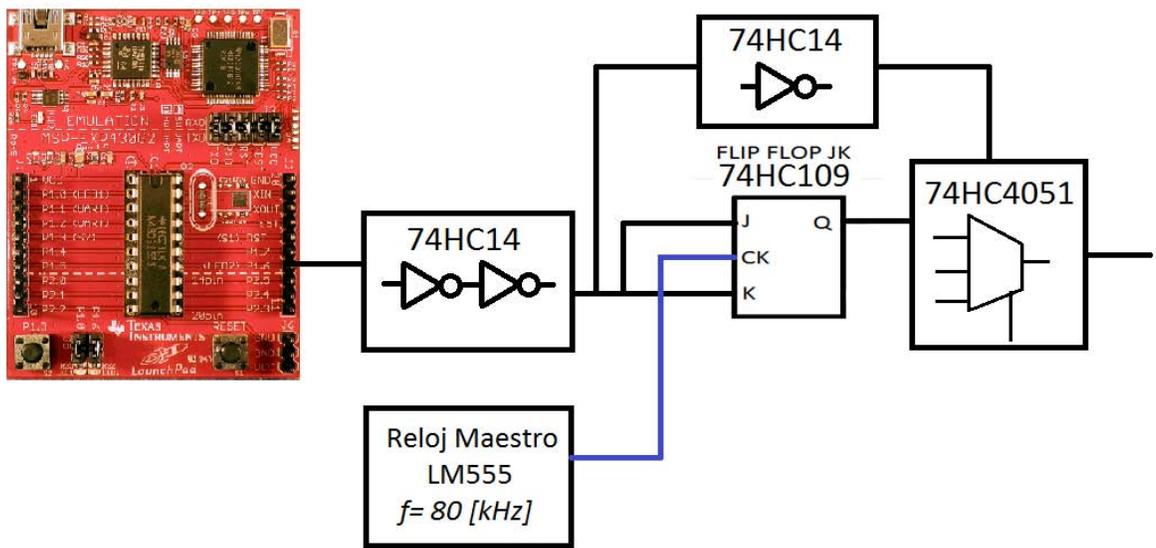


Figura 47. Implementación código AMI tipo NRZ



Figura 48. Código AMI tipo NRZ 1

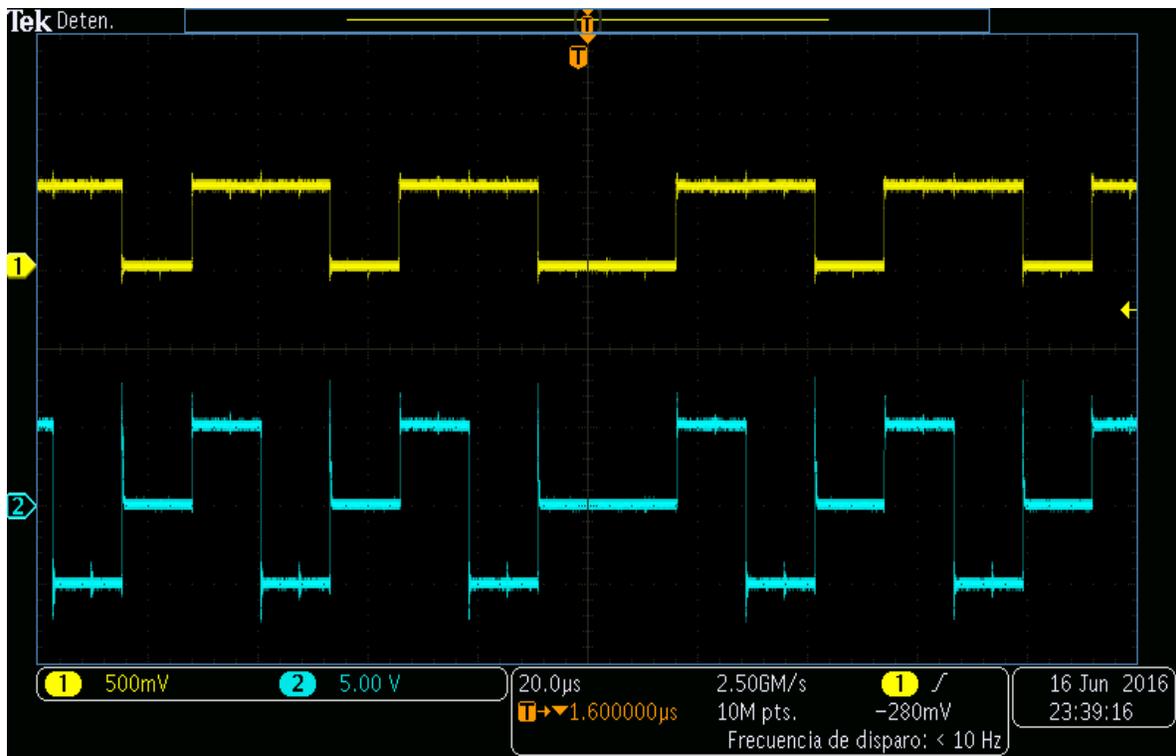


Figura 49. Código AMI tipo NRZ 2

Nota: Para observar de mejor manera la señal codificada por el modulador en banda base en el osciloscopio, se utilizaron puntas de prueba por 10 de precisión.

Canal o medio de Transmisión. Medio guiado ya que se están enviando los códigos de línea por una línea de alambre.

Equipo Receptor. Osciloscopio.

Conclusiones

- Se realizó una selección de los bloques funcionales en los sistemas de telecomunicaciones, para generar el diseño del sistema auxiliar básico.
- La construcción del sistema auxiliar básico se implementó con los bloques funcionales seleccionados, probando su eficiencia con los códigos de línea obtenidos.
- Los resultados obtenidos de la codificación son satisfactorios, ya que los diferentes códigos obtenidos en el osciloscopio del modulador básico son iguales a los códigos presentados en la sección 7.2 del capítulo 3. Esto se logró con ayuda del modulador básico, el cual está integrado por diferentes circuitos eléctricos.
- Con el MSP430G2553 podemos afirmar que los ciclos de instrucción, consumen ciclos de reloj, ocasionando que consuma cierto tiempo para enviar el bit LSB de la trama PCM generada por el microcontrolador, ocasionando un tiempo que no debería corresponder a la trama PCM.
- Para terminar podemos concluir que nuestro equipo auxiliar, a pesar de estar elaborado con materiales de bajo costo, es un equipo interactivo que puede ayudar a aumentar la creatividad e ingenio del estudiante, con el cual podrá comprender de una manera más clara el proceso de digitalización de una señal en banda base.

Capítulo 5. Conclusiones Generales

- Para la etapa de acondicionamiento de la señal se aplicaron los conocimientos adquiridos en la materia de Circuitos de RF, donde se ven los temas de filtro paso bajas y amplificador inversor. Se realizaron cálculos, diseños y simulaciones para ver si en realidad funcionaría el prototipo de acondicionamiento, obteniendo un resultado satisfactorio en la implementación. Se realizaron pruebas etapa por etapa, para observar cómo cambia la señal de audio con respecto a la de la fuente de transmisión en cada etapa de acondicionamiento.
- Una parte fundamental de este proyecto, fue aprender la programación del microcontrolador MSP430G2553, y esto se logró comprendiendo los conceptos y técnicas básicas de los microcontroladores. El manejo del microcontrolador se logró ya que se trabajó ampliamente en los temas de I/O digitales, Interrupciones, Temporizadores y el Convertidor A/D. Realizando en cada tema, programas para reafirmar los conceptos adquiridos durante el desarrollo del proyecto.
- La programación del MSP430G se realizó en lenguaje C, donde también se volvieron a estudiar y repasar los apuntes de la materia de Computación para Ingenieros, para poder realizar en el programa se requirió: declaración de ficheros necesarios para la programación del MSP430G, definición de variables, función principal del programa, declaración de registros del sistema embebido, expresiones lógicas y corrimiento de bits del valor obtenido en la variable voltaje y este a su vez entregar el código PCM en el puerto P1.6 del microcontrolador.
- Para generar los códigos de línea se utilizaron algunas técnicas de diseño digital, proporcionadas por el director de tesis.
- Este equipo desarrollado se pretende que sea utilizado en prácticas referentes a comunicaciones digitales, para que los alumnos puedan comprender de mejor forma los conceptos: acondicionamiento de la señal, modulación PCM, regeneración de la señal, códigos de línea, circuito de sincronización, entre otros.
- El presente trabajo está construido con dispositivos fáciles de adquirir en una tienda de electrónica, integrando los conocimientos adquiridos durante el transcurso de la carrera, con el objetivo de que este equipo sirva para reforzar los conocimientos en el tema de Códigos de línea que se imparte en la materia de Comunicaciones Digitales, mostrando de una forma práctica los procesos que lleva la digitalización de una señal en banda base.

Trabajos futuros:

- Trabajar con 2 puertos de entrada analógica, para poder ver si el MSP430G2553 puede realizar la multiplexión por división de tiempo.
- A partir de la señal PCM obtenida realizar modulaciones pasa banda.
- Diseñar un programa que pueda mostrar en la computadora, los códigos de línea obtenidos.
- Agregar un display LCD para la visualización de datos para que el sistema, pueda ser portátil.
- Utilizar la tarjeta Stellaris para el proceso de conversión A/D.
- Realizar un decodificador con la tarjeta de desarrollo mencionada anteriormente, ya que ésta presenta convertidores D/A.
- Generar un programa en donde se logre apreciar la señal decodifica en el equipo receptor, y ésta a su vez se pueda comparar con la señal de la fuente original.

Apéndice A

Representantes en México.

El equipo fabricado por la empresa **ELETRONICA VENETA**, presenta un solo representante oficial en México, **SALMON Y ASOCIADOS S.A. DE C.V.** quien ofrece una amplia gama de productos dentro de las especialidades educativas como, Ing. Mecánica, Metalurgia y Materiales, Ing. Química, Bioquímica, Mecatrónica, Química, Electrónica, Electricidad, Telecomunicaciones.

Teléfonos: (55) 53442035

(55) 53442932

Correo: salmonyasociados@hotmail.com

info@salmonyasociados.com

Página web www.salmonyasociados.com

Los sistemas fabricados por la compañía **Lucas-Nülle**, únicamente distribuyen sus equipos de manera directa con su representante local en México.

Correo edison.chaflagonzalez@lucas-nuelle.com

Página web <http://www.lucas-nuelle.com/>

La firma americana **Lab-Volt** ha trabajado ya por 35 años con su representante exclusivo en nuestro país, **Edutelsa S.A. de C.V.** cuyo giro comercial es la comercialización e Importación de equipo didáctico para la educación y capacitación técnica.

Dirección: Ave. Ceylán #320, Colonia. Cosmopolita Delegación Azcapotzalco, Ciudad de México
C.P. 02620

Página web <http://edutelsa.com/>

De la compañía española **EDIBON** tenemos a los representantes:

Lasstech Corp México la cual es una empresa competitiva en el sector del desarrollo del ser humano.

Dirección: Lago Onega # 417; Col. Granada. CP. 11520 Miguel Hidalgo México, D.F.

Teléfono: 52-55450816

Contacto: Ing. Jorge Lasso

Correo: jorge.lasso@lasstechcorp.com

Página web: <http://lasstechcorp.com>

Ingeniería y Desarrollo de Proyectos Didácticos, S.A. de C.V. con más de 10 años diseñando y desarrollando proyectos que impulsan la educación en México.

Dirección: Av. Candelaria No. 80, Cd. Jardín, Del. Coyoacán C.P. 04370, México, D.F.

Teléfono: 5555492896

5555496356

Página web <http://www.ingenieriaydesarrollo.com>

La compañía española **PROMAX** no cuenta con distribuidores en nuestro país, sus ventas son de manera directa con la empresa.

Contacto: Ing. Santiago Mosquera Blanco

Correo smosquera@promax.es

Página web <http://promax.es>

Apéndice B

1. Teorema de muestreo

El teorema de muestreo es uno de los de mayor utilidad en los sistemas digitales de comunicación.

El teorema establece que cualquier forma de onda física puede representarse sobre el intervalo $-\infty < t < \infty$ donde

$$a_n = fs \int_{-\infty}^{\infty} w(t) \frac{\text{sen}\left\{\pi fs \left[t - \left(\frac{n}{fs}\right)\right]\right\}}{\pi fs \left[t - \left(\frac{n}{fs}\right)\right]} dt$$

y fs es un parametro al cual se le asigna un valor mayor a cero.

La tasa mínima de muestreo permitida para la reconstrucción de una forma de onda limitada por banda sin errores está dada por:

$$fs_{min} = 2B$$

El mínimo número de valores de muestras necesario para la reconstrucción de la forma de onda es

$$N = \frac{T_0}{\frac{1}{fs}} = fsT_0 \geq 2BT_0$$

Se puede decir que N es el número de dimensiones requeridas para la reconstrucción de la aproximación a T_0 segundos de la forma de onda [15].

2. Conversión Analógica a Digital.

Un convertidor A/D toma una muestra del voltaje de entrada analógico y después de cierto tiempo, produce un código de salida digital que representa el valor discretizado de la muestra analógica. Para realizar la tarea de conversión A/D se tienen que efectuar procesos como muestreo, cuantización y codificación, ver la Fig. 50 [16].

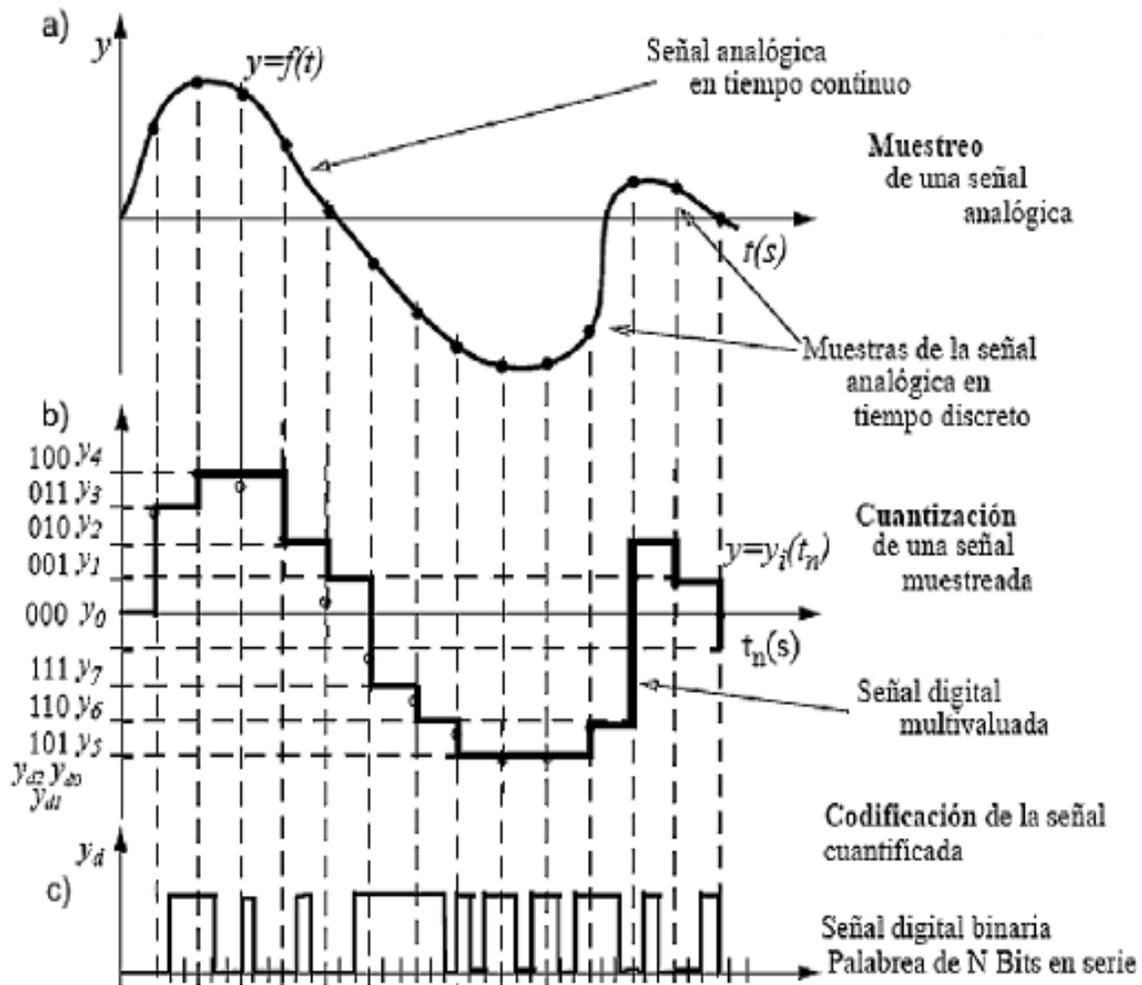


Figura 50. Proceso de Conversión A/D [16]

3. Modulación de amplitud de pulsos

La modulación de amplitud de pulsos (PAM), describe la conversión de la señal analógica a una señal del tipo de pulso, en la cual la amplitud del pulso representa la información analógica. La PAM es el primer paso en la conversión analógica a una señal PCM.

El propósito de la señalización PAM es suministrar otra forma de onda que se asemeja a los pulsos, y que contiene la información presente en la onda analógica. Los pulsos son más fáciles de utilizar en los sistemas digitales.

Existen 2 clases de señales PAM: la que utiliza muestreo natural (por compuerta) y la que usa un muestreo instantáneo para producir un pulso plano. El tipo de PAM plana es de mayor utilidad en la conversión a PCM.

Muestreo Instantáneo (PAM PLANA)

Las formas de onda analógicas pueden convertirse a señalización por pulsos mediante el uso de la señalización *plana* con muestreo instantáneo, como se muestra en la Fig. 51. Esta es otra generalización de la técnica de muestreo por tren de impulsos [15].

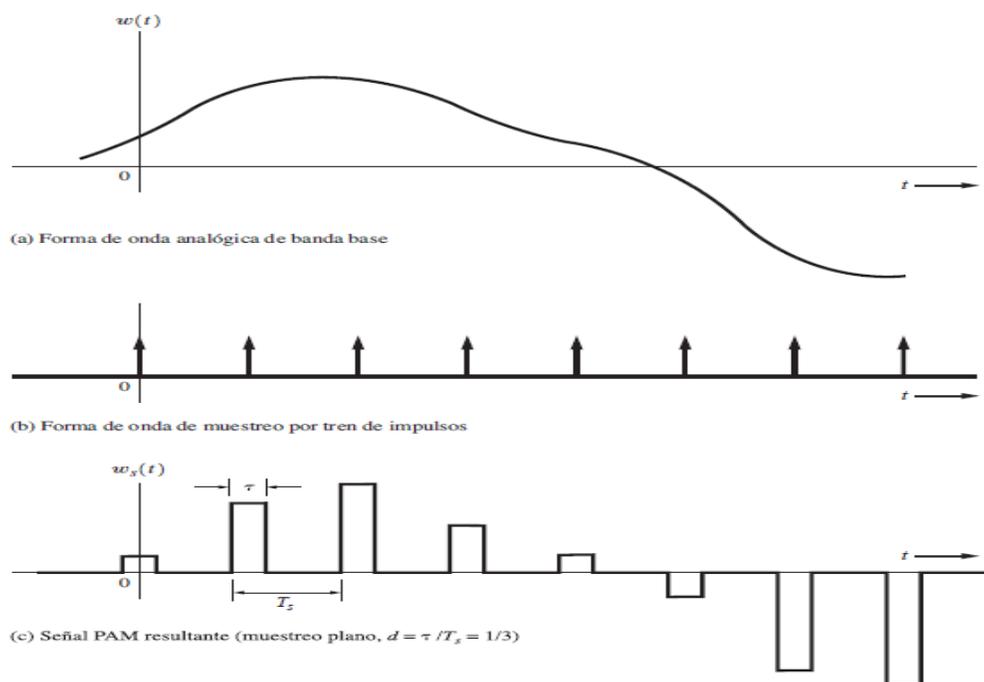


Figura 51. Señal PAM con muestreo Plano [15]

4. Jerarquías PDH

Para obtener una visión clara de TDM, la estructura de la trama en las redes de telecomunicaciones, la velocidad de Europa corresponde a 2.048 [Mbps]. Esta es la secuencia de datos básica que lleva canales de voz y se llama E-1. La velocidad primaria de América del Norte correspondiente es 1.544 [Mbps], que lleva 24 canales de voz y se le conoce como *DS1* o *T1*. En el esquema Europeo se multiplexan 32 canales, donde 30 son canales de voz o datos a una tasa de 64 [kbps], y los 2 restantes como intervalos de tiempo (guarda) entregando una velocidad de 2.048 [Mbps]. La ITU-T define las estructuras de las tramas en la recomendación G.704.

Multiplexión PDH Europea de orden superior

Los multiplexores se conectan para la transmisión a través de interfaces estándar a los 2, 8, 34, o 140 Mbps para separar equipos de la línea terminal o a un multiplexor de orden superior, como se muestra en la figura de abajo, ver Fig. 52.

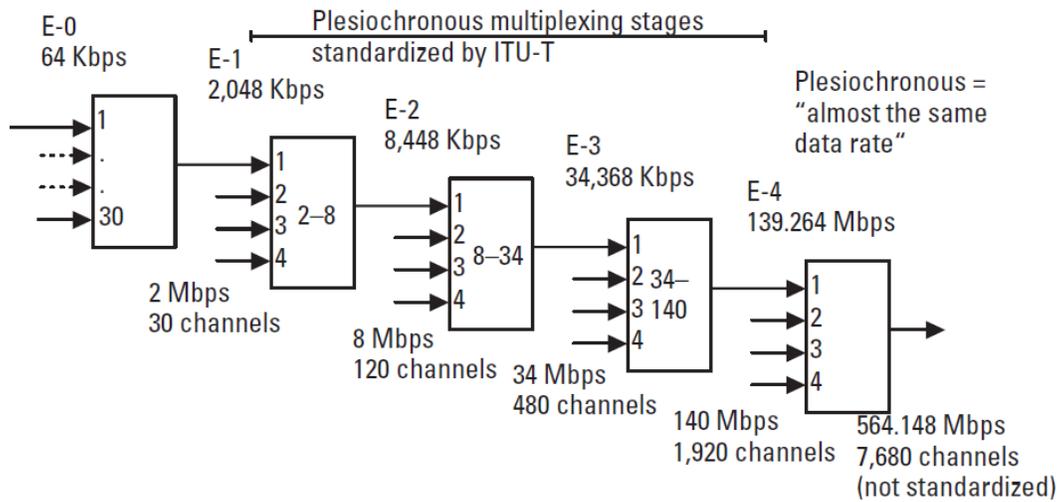


Figura 52. Multiplexión PDH Europea

Multiplexión PDH Americana de orden superior

La PDH norteamericana se muestra en la figura de abajo. Las tasas de orden superior son DS1C 3.152 [Mbps], DS2 6.132 [Mbps], DS3 44.736 [Mbps], y DS4 274.176 [Mbps], ver Fig. 53 [20].

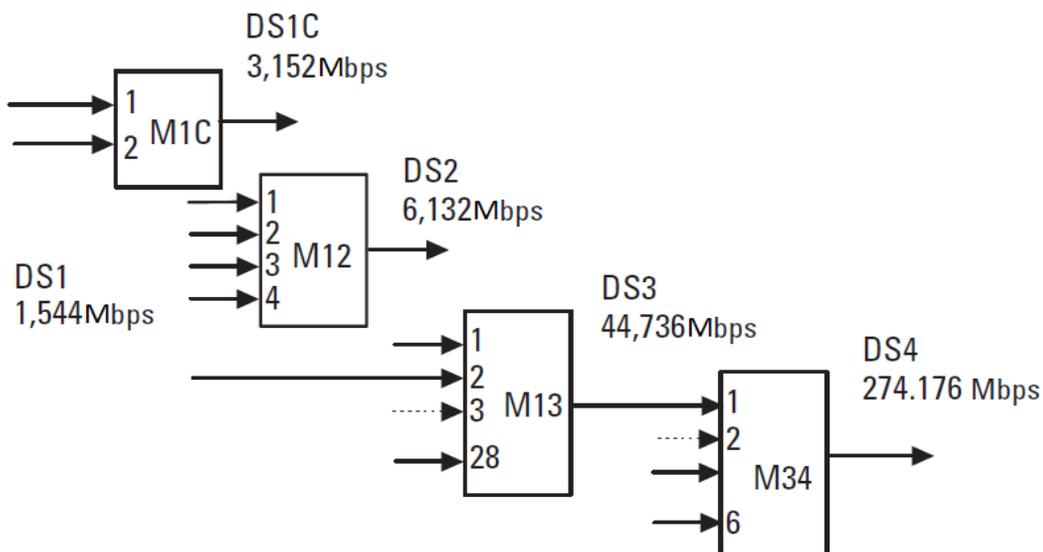


Figura 53. Multiplexión PDH Americana

Apéndice C

Acondicionamiento de la señal analógica:

A. Diseño del Amplificador Inversor, ver Fig. 54.

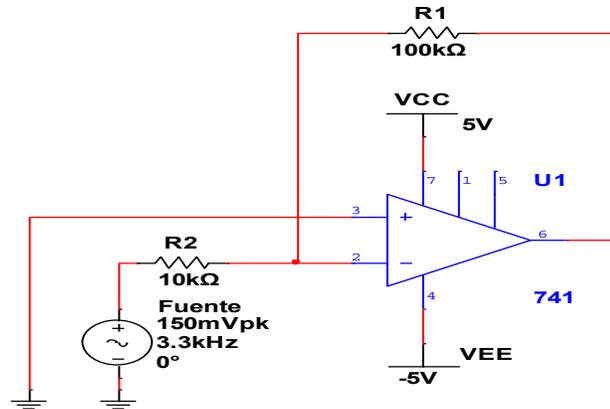


Figura 54. Amplificador Inversor [22]

$$\text{Donde } A_v = -\frac{R_1}{R_2}; \quad V_o = A_v \cdot V_g$$

$$\text{Sustituyendo los valores } A_v = -\frac{100 \times 10^3 [\Omega]}{10 \times 10^3 [\Omega]}; \quad \rightarrow A_v = -10$$

$$\text{Por lo tanto } V_o = (-10) \cdot (140 [\text{mV}]) \quad \rightarrow V_o = -1.4 [\text{V}]$$

El software utilizado para la simulación de nuestros diseños de circuitos eléctricos es Multisim 12.

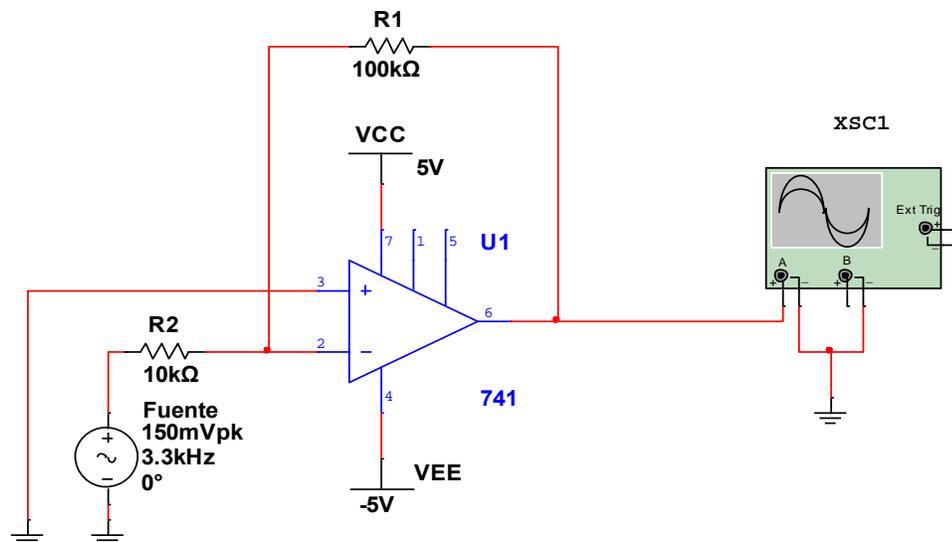


Figura 55. Diseño de amplificador inversor

En el resultado de la simulación, se tiene que la señal de salida está siendo amplificada 10 veces más y está invertida con respecto a la señal de entrada, ver Fig. 56 [22].

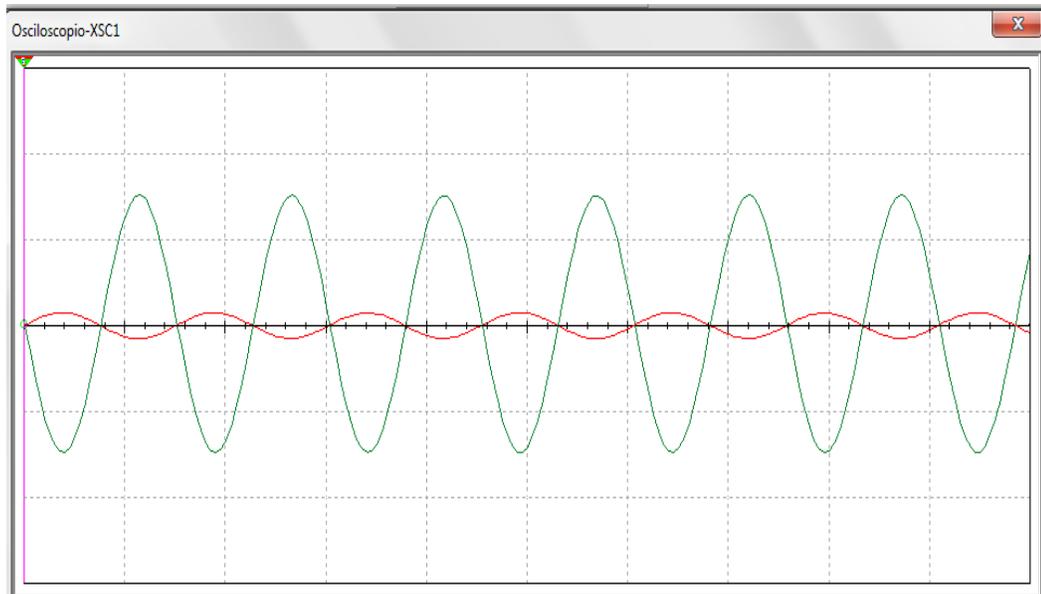


Figura 56. Señal amplificada e invertida 180° [22]

B. Filtrado.

La topología empleada del filtro es la Sallen-Key. Para el diseño se proponen los valores de las capacitancias, los valores de las resistencias serán obtenidos con potenciómetros de precisión.

Cálculos y diseño del filtro

Se propuso el valor de $C_a = 22[nF]$; por lo tanto $C_b \geq C_a$

$$\text{Donde } C_b = C_a \frac{4}{a_1^2}$$

Con ayuda de las raíces normalizadas de los polinomios de butterworth sabemos que el filtro es de orden 6, por lo tanto $a_1 = 1.9319$, $a_2 = 1.4142$ y $a_3 = .5176$

Por lo tanto sustituyendo, obtenemos que $C_b = 23.57 [nF]$

Como no existe un capacitor comercial de 23.57 [nF], se utiliza el valor comercial más cercano que es de 27 [nF]. Por lo tanto $C_b = 27 [nF]$.

Para el diseño de un filtro Sallen-Key. Se propone lo siguiente para la primera fase:

$$R_{A,B} = \frac{a_1 c_b \pm \sqrt{a_1^2 c_b^2 - 4 c_a c_b}}{4 \pi f_c c_a c_b}$$

$$R_{A,B} = \frac{(1.9319)(27 \times 10^{-9} [F]) \pm \sqrt{\{(1.9319)^2 (27 \times 10^{-9} [F])^2\} - 4(22 \times 10^{-9} [F])(27 \times 10^{-9} [F])}}{4 \pi (3.4 \times 10^3 [Hz])(22 \times 10^{-9} [F])(27 \times 10^{-9} [F])}$$

$$R_B = 1.56 \text{ [k}\Omega\text{]}$$

$$R_A = 2.5368 \text{ [k}\Omega\text{]}$$

De igual manera se vuelve a proponer el valor de $C_c = 22 \text{ [nF]}$ para la segunda fase; por lo tanto

$$C_d \geq C_c$$

$$\text{Donde } C_d = C_c \frac{4}{a_2^2}$$

Por lo tanto sustituyendo, se obtiene que $C_d = 44 \text{ [nF]}$

Se utilizara el valor comercial más cercano que es de 47 [nF] . Por lo tanto $C_d = 47 \text{ [nF]}$.

$$R_{C,D} = \frac{a_2 c_d \pm \sqrt{a_2^2 c_d^2 - 4 c_c c_d}}{4 \pi f_c c_c c_d}$$

$$R_{C,D} = \frac{(1.4142)(47 \times 10^{-9} [F]) \pm \sqrt{\{(1.4142)^2 (47 \times 10^{-9} [F])^2\} - 4(2.2 \times 10^{-9} [F])(47 \times 10^{-9} [F])}}{4 \pi (3.4 \times 10^3 [Hz])(2.2 \times 10^{-9} [F])(47 \times 10^{-9} [F])}$$

$$R_D = 1.1245 \text{ [k}\Omega\text{]}$$

$$R_C = 1.885 \text{ [k}\Omega\text{]}$$

Se vuelve a proponer el valor de $C_e = 2.2 \text{ [nF]}$ para la tercera fase; por lo tanto $C_f \geq C_e$

$$\text{Donde } C_d = C_c \frac{4}{a_2^2}$$

Por lo tanto sustituyendo, se obtiene $C_d = 32.84 \text{ [nF]}$

Se utiliza el valor comercial más cercano que es de 33 [nF] . Por lo tanto $C_f = 33 \text{ [nF]}$.

$$R_{E,F} = \frac{a_3 c_f \pm \sqrt{a_3^2 c_f^2 - 4 c_e c_f}}{4 \pi f_c c_e c_f}$$

$$R_{E,F} = \frac{(.5176)(33 \times 10^{-9} [F]) \pm \sqrt{\{(.5176)^2 (33 \times 10^{-9} [F])^2\} - 4(2.2 \times 10^{-9})(33 \times 10^{-9})}}{4 \pi (3.4 \times 10^3 [Hz])(2.2 \times 10^{-9} [F])(33 \times 10^{-9} [F])}$$

$$R_F = 5.1312 \text{ [k}\Omega\text{]}$$

$$R_E = 5.8813 \text{ [k}\Omega\text{]}$$

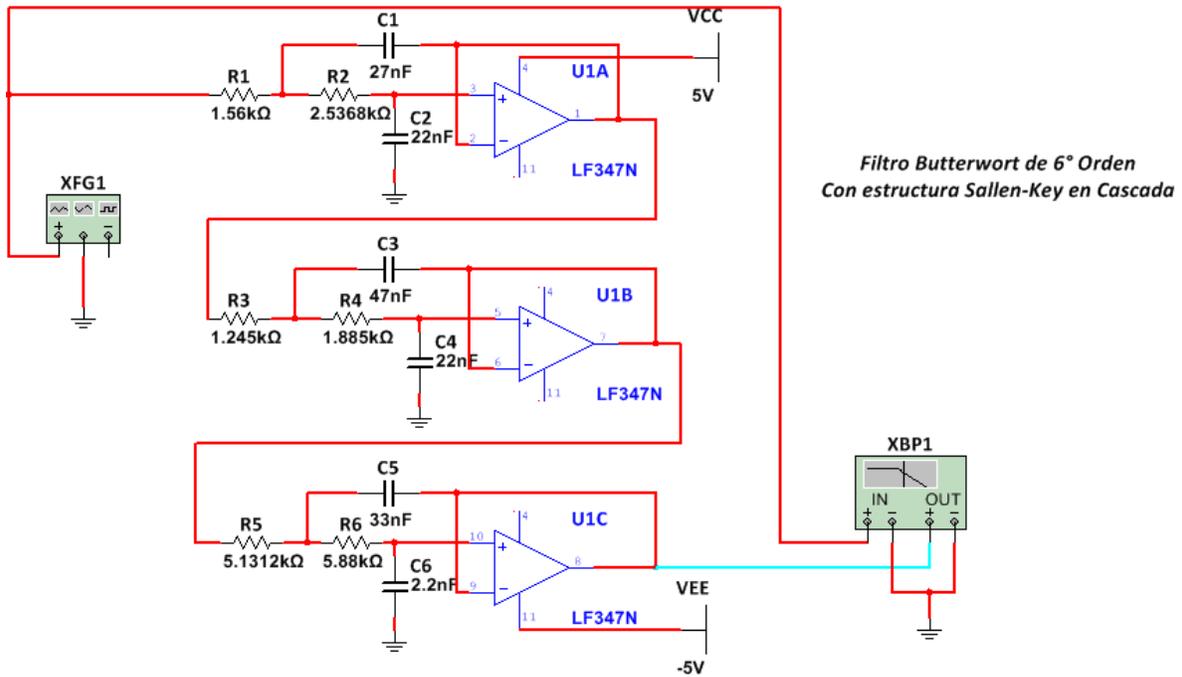


Figura 57. Filtro de 6° Orden

Una vez implementado el filtro en la simulación ver Fig. 57, se observa la salida del filtro. Una herramienta que ofrece Multisim 12, es la gráfica del diagrama de Bode, ver Fig. 58, la cual nos permite observar la respuesta en frecuencia del filtro. Donde se observa que después de los 3.4[kHz] su atenuación es de -3 [dB].

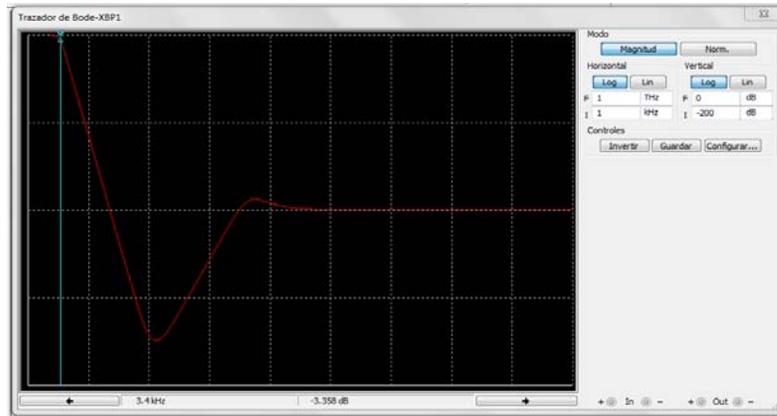


Figura 58. Diagrama de Bode del filtro de 6° orden

C. Diseño del offset ajustable, ver Fig. 59.

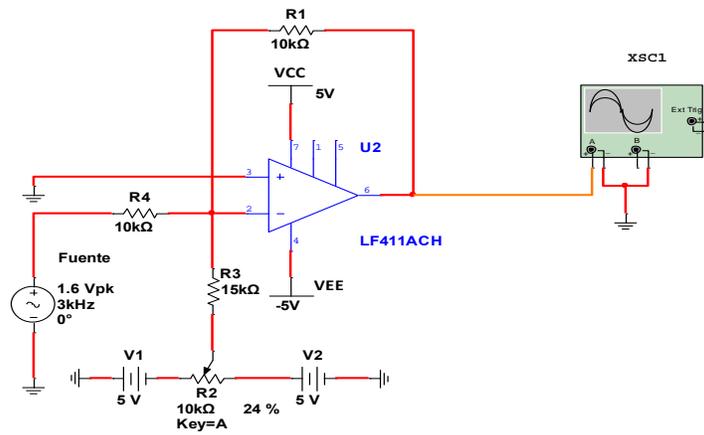


Figura 59. Offset ajustable

El resultado de la simulación es el siguiente, ver Fig. 60.

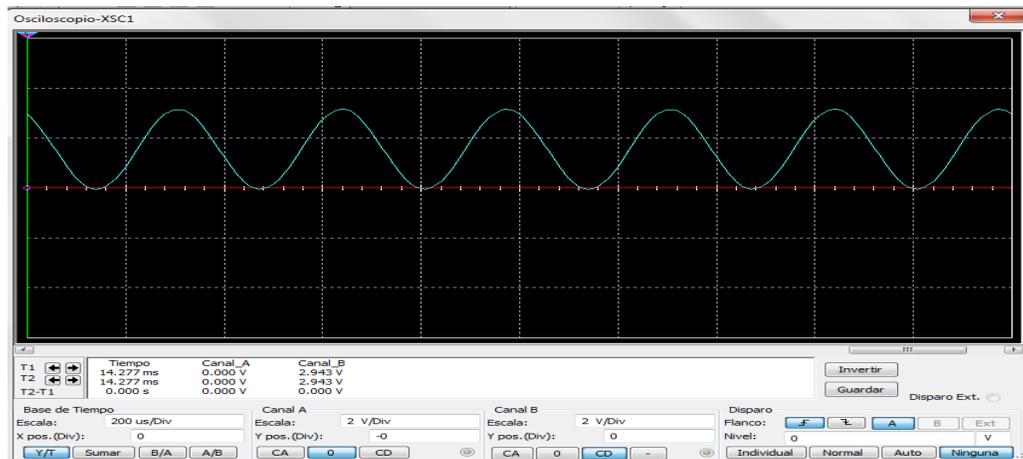


Figura 60. Señal con offset ajustable

Cabe mencionar que en la simulación se trabaja con filtros ideales, es decir que sus elementos resistivos y capacitivos permiten el paso sin distorsión en la banda de paso, anulando completamente las componentes ubicadas fuera de ella.

Apéndice D

Sincronía General:

- I. *Reloj de Sincronía.* La configuración del reloj master será en modo Astable, el cual genera una frecuencia de oscilación, que depende de una red de tipo RC. El diagrama de conexión se observa en la Fig. 61. Por lo tanto la frecuencia es inversamente proporcional al tiempo.

$$f = \frac{1}{T}$$

$$T = \frac{1.44}{(R_1 + 2R_2)C_1}$$

Este modo de operación, presenta un tiempo de subida y un tiempo de bajada con diferente ciclo, el cual se determina por las ecuaciones 1 y 2 según el fabricante:

El tiempo de carga (salida en estado alto)

$$t_1 = (.693)(R_1 + R_2)C_1 \dots \dots \dots \text{Ecuación 1}$$

Sustituyendo:

$$t_1 = (.693)(2.22[\text{k}\Omega] + 2.225[\text{k}\Omega])(2.7[\text{nF}])$$

$$t_1 = 8.3370395 \text{ } [\mu\text{s}]$$

El tiempo de descarga (salida en estado bajo)

$$t_2 = (.693)(R_2)C_1 \dots \dots \dots \text{Ecuación 2}$$

Sustituyendo:

$$t_2 = (.693)(2.225[\text{k}\Omega])(2.7[\text{nF}])$$

$$t_2 = 4.1631975 \text{ } [\mu\text{s}]$$

El ciclo de trabajo en estado bajo es $D = \frac{R_2}{(R_1+2R_2)} = \frac{2.225[\text{k}\Omega]}{(2.22[\text{k}\Omega] + 2(2.225[\text{k}\Omega]))}$ por lo tanto $D = .333$

Por lo tanto el periodo total está dado por $T = t_1 + t_2 = \frac{1.44}{(R_1+2R_2)C_1}$

Si se sustituyen los valores de t_1, t_2 se obtiene $T = 8.3370395[\mu\text{s}] + 4.1631975[\mu\text{s}]$

$$T = 12.5[\mu\text{s}]$$

- II. *Reloj de Interrupción.* La señal que se obtiene del reloj master es de 80[kHz], para generar la interrupción externa, se debe ingresar el pulso a un contador de década, logrando de esta manera un pulso de 8[kHz]. Con el pulso de 125[μs] se interrumpirá al microcontrolador.

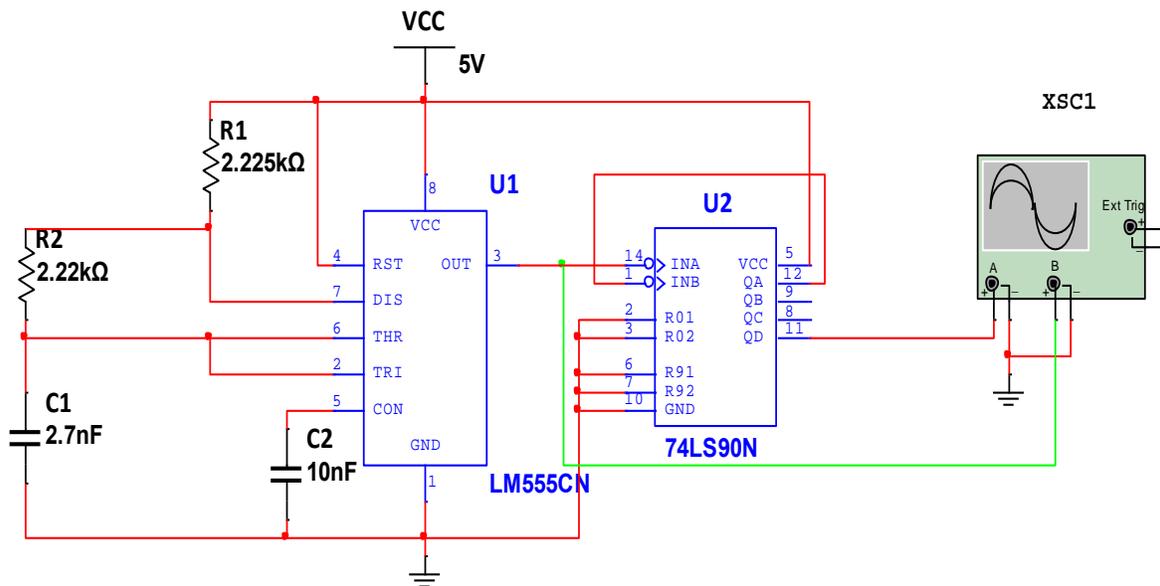


Figura 61. Reloj de sincronía e interrupción

Apéndice E

Configuración del microcontrolador MSP430:

Configuración de las líneas de Interrupción

Todo microcontrolador posee periféricos para poder interactuar con el exterior, los dispositivos MSP430 pueden configurarse para que se comporten como periféricos de entrada o de salida, cada uno de estos periféricos pueden ser accedidos de forma independiente haciendo referencia a los pines del microcontrolador. Cada uno de los pines de los puertos P1 y P2, pueden configurarse como interrupciones externas. Solo las transiciones de nivel causan interrupciones. Esto garantiza que cada interrupción se reconozca.

Una interrupción, como su nombre lo indica, es una indicación de paro a una actividad o evento, debido a una actividad de mayor prioridad.

En los microcontroladores MSP430 las interrupciones se clasifican de la siguiente manera:

- Interrupciones No Mascarables (NMI).
- Interrupciones Mascarables.

Una interrupción No mascarable, es aquella que puede ocurrir por falla en el oscilador y violación al acceso de la memoria flash.

Una interrupción mascarable, es aquella que es causada por periféricos, incluyendo la interrupción por sobre flujo del watchdog timer.

Tanto las interrupciones Mascarables como No Mascarables son activadas de forma individual por el bit GIE del Status Register. Para utilizar las interrupciones se deben activar los permisos locales y globales. Los registros que intervienen en la configuración de interrupciones para los puertos de I/O se muestran en la Tabla 3.

Registro	Descripción del bit	Nota
PxIE	Bit = 0: Interrupción desactivada.	Habilitación de las interrupciones. Cada bit PxIE permite la bandera de interrupción asociado PxIFG.
	Bit = 1: Interrupción activada.	
PxIES	Bit = 0: La bandera está con una transición de bajo a alto.	Selección del borde de interrupción en el pin.
	Bit = 1: La bandera está con una transición de alto a bajo.	
PxIFG	Bit = 0: No hay interrupción pendiente.	Indican cuando una interrupción se ha ejecutado. Las banderas de interrupción PxIFG requieren el permiso de interrupción PxIE y el bit GIE.
	Bit = 1: Una interrupción está pendiente.	

Tabla 3. Configuración de las líneas de interrupción

Las líneas de interrupción en el puerto P1.3 del microcontrolador, se programaron para reconocer el flanco de bajada como interrupción. Por lo tanto al momento de llegar la interrupción externa en el pin P1.3 se inicie el proceso de conversión analógica a digital [23].

Configuración del Convertidor Analógico Digital

La arquitectura del Convertidor A/D se rige por 2 registros de control de 16 bits cada uno, formando su configuración de cada registro, de acuerdo a las necesidades del programador [24].

ADC10CTL0, ADC10 Control Register 0

BITS UTILIZADOS

15	14	13	12	11	10	9	8
SREFx			ADC10SHTx		ADC10SR	REFOUT	REFBURST
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)
0	0	0	1	0	1	0	0

7	6	5	4	3	2	1	0
MSC	REF2_5V	REFON	ADC10ON	ADC10IE	ADC10IFG	ENC	ADC10SC
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)
0	0	1	1	0	0	1	1

SREFx	Bits 15-13	Selección de fuente de referencia.
ADC10SHTx	Bits 12-11	Tiempo de muestra y retención del ADC10.
ADC10SR	Bit 10	Velocidad de la Tasa de Muestreo.
REFOUT	Bit 9	Referencia de salida
REFBURST	Bit 8	Referencia de ruptura
MSC	Bit 7	Conversión múltiple. Sólo para modos repetidos.
REF2_5V	Bit 6	Voltaje de referencia del generador a 2.5 [v].
REFON	Bit 5	Generador de Referencia activo
ADC10ON	Bit 4	Activa el ADC10
ADC10IE	Bit 3	Habilita Interrupción ADC10
ADC10IFG	Bit 2	Bandera de interrupción ADC10.
ENC	Bit 1	Activar conversión
ADC10SC	Bit 0	Inicio de conversión y muestreo.

ADC10CTL1, ADC10 Control Register 1

BITS UTILIZADOS

15	14	13	12	11	10	9	8
INCHx				SHSx		ADC10DF	ISSH
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
ADC10DIVx			ADC10SSELx		CONSEQx		ADC10BUSY
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	r-0
0	0	0	0	0	0	0	0

INCHx	Bits 15-12	Selección del canal de entrada.
SHSx	Bits 11-10	Selección de la Fuente de Muestreo y captura.
ADC10DF	Bit 9	Formato de Datos ADC10.
ISSH	Bit 8	Invertir señal de muestra y captura.
ADC10DIVx	Bits 7-5	Reloj divisor del ADC10.
ADC10SSELx	Bits 4-3	Selección de la fuente de reloj del ADC10.
CONSEQx	Bits 2-1	Selección del modo de secuencia de Conversión.
ADC10BUSY	Bit 0	Este bit indica si una conversión está activa del ADC10.

NOTA: Los bits no utilizados en ambos registros, toman por default el valor del bit 0.

ADC10AE0, Analog (Input) Enable Control Register 0

El registro ADC10AE0, realiza un switcheo de los pines digitales del puerto 1, para cambiarlos a modo analógico.

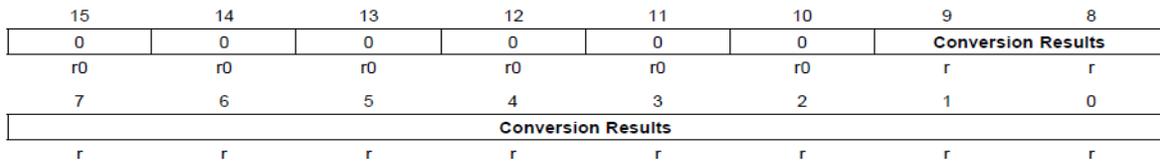
BIT0---A0

7	6	5	4	3	2	1	0
ADC10AE0x							
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)
0	0	0	0	0	0	0	1

ADC10AE0x Bits 7-0 Activa los canales análogos ADC10. Este registro permite a los pines del puerto 1 ser entrada analógica. BIT0 corresponde al A0, BIT1 corresponde a A1.

ADC10MEM, Conversion-Memory Register, Binary Format

El ADC10 convierte una entrada analógica para su representación digital de 10 bits y almacena el resultado en el registro ADC10MEM. Cualquier variable de programa se puede establecer en el ADC10MEM. Por ejemplo: x=ADC10MEM;



Conversion results Bits 15-0 El resultado justificado de la conversión de 10 bits en formato binario. Bit 9 es el MSB y el Bit 0 es el LSB. Los Bits 15-10 son 0.

Apéndice F

```
/*Universidad Nacional Autónoma de México*
*Facultad de Ingeniería*
*División de Ingeniería Electrica-Electronica*
*Ingeniería en Telecomunicaciones*
*Torres Valencia José Alejandro*
*No. de Cuenta 3-06314126*/
#include <msp430g2553.h>
#include <intrinsics.h>
#include <stdio.h>
unsigned int voltaje=0;
int i;
void main(void)
{
    WDTCTL = WDTPW + WDTHOLD;    //Detener WDT
                                //Calibración de la frecuencia del reloj del MCU
    BCSCTL1 = CALBC1_16MHZ;      //Calibramos a 16[MHz] el reloj del microcontrolador
    DCOCTL = CALDCO_16MHZ;      //Establecemos la frecuencia del DCO a 16[MHz]

    //Selección de Puerto y Pin para la salida Digital
    P1OUT = 0x00;                //Mantenemos en estado down-bajo por seguridad para evitar algún estado alto de un pin
    P1DIR |= BIT6;              //Habilitación de los Pines digitales para la salida

    //Inicialización de los Registros del Convertidor AD de 10 bits
    ADC10CTL0 = SREF_0 + ADC10SHT_2 + ADC10SR + REFON + ADC10ON + ENC;
                                //Voltaje de Referencia de Polarización de 0 a 3.6 [v]
                                //Tiempo de Muestreo y retención de 16(fuente)
                                //Frecuencia de muestreo a 50 [kbps]
                                //Referencia activa
                                //Activa el ADC10

    ADC10CTL1 = ADC10SSEL_0 + INCH_0 + CONSEQ_0;
                                //Fuente interna de Oscilación
                                //Entrada del Canal análogo AO
                                //Modo Simple, Canal Único

    ADC10AE0 |= BIT0;           //Habilitación del pin A0 para ser entrada analógica
    //Programación de las líneas de Interrupción Externa (Push-boton)
    P1IE |= BIT3;               //Interrupción habilitada en P1.3
    P1IES |= BIT3;              //Flanco alto-bajo en P1.3
    P1IFG &= ~BIT3;            //Limpia la bandera de P1.3
    __bis_SR_register(GIE);     //Activación del bit GIE para interrupción global externa
}
```

```

// Subrutina de Interrupción en el Puerto 1
#pragma vector=PORT1_VECTOR
__interrupt void P1_ISR(void)
{
    ADC10CTL0 |= ADC10SC;           //Enciende el Convertidor Analógico e Inicia la Conversión Analógica
    voltaje = ADC10MEM;             //Guarda el valor de la memoria después de la conversión en una variable
    for(i=10; i>0; i--)             //Realiza el decremento de los 10 bits contenidos en la variable, iniciando en el bit LSB a MSB bit por bit
    {
        if(voltaje & 0x01)          //Realiza una operación AND entre el valor binario de la "variable" y un "1", para que puedas realizar
            el encendido o apagado del led
            {
                P1OUT |= BIT6;      //Si es "1" enciende el led durante 10 microsegundos aprox.
                voltaje=voltaje>>1;
                __delay_cycles(155);
            }
            else
            {
                P1OUT &=~ BIT6;     //Si es "0" apaga el led durante 10 microsegundos aprox.
                voltaje=voltaje>>1;
                __delay_cycles(155);
            }
    }
    P1IFG &= ~BIT3;                //Limpia la bandera en P1.3
}

```

MIXED SIGNAL MICROCONTROLLER

FEATURES

- Low Supply-Voltage Range: 1.8 V to 3.6 V
- Ultra-Low Power Consumption
 - Active Mode: 230 μ A at 1 MHz, 2.2 V
 - Standby Mode: 0.5 μ A
 - Off Mode (RAM Retention): 0.1 μ A
- Five Power-Saving Modes
- Ultra-Fast Wake-Up From Standby Mode in Less Than 1 μ s
- 16-Bit RISC Architecture, 62.5-ns Instruction Cycle Time
- Basic Clock Module Configurations
 - Internal Frequencies up to 16 MHz With Four Calibrated Frequency
 - Internal Very-Low-Power Low-Frequency (LF) Oscillator
 - 32-kHz Crystal
 - External Digital Clock Source
- Two 16-Bit Timer_A With Three Capture/Compare Registers
- Up to 24 Capacitive-Touch Enabled I/O Pins
- Universal Serial Communication Interface (USCI)
 - Enhanced UART Supporting Auto Baudrate Detection (LIN)
 - IrDA Encoder and Decoder
 - Synchronous SPI
 - $\dot{f}C^{\text{TM}}$
- On-Chip Comparator for Analog Signal Compare Function or Slope Analog-to-Digital (A/D) Conversion
- 10-Bit 200-kSPS Analog-to-Digital (A/D) Converter With Internal Reference, Sample-and-Hold, and Autoscan (See [Table 1](#))
- Brownout Detector
- Serial Onboard Programming, No External Programming Voltage Needed, Programmable Code Protection by Security Fuse
- On-Chip Emulation Logic With Spy-Bi-Wire Interface
- Family Members are Summarized in [Table 1](#)
- Package Options
 - TSSOP: 20 Pin, 28 Pin
 - FDIP: 20 Pin
 - QFN: 32 Pin
- For Complete Module Descriptions, See the *MSP430x2xx Family User's Guide (SLAU144)*

DESCRIPTION

The Texas Instruments MSP430 family of ultra-low-power microcontrollers consists of several devices featuring different sets of peripherals targeted for various applications. The architecture, combined with five low-power modes, is optimized to achieve extended battery life in portable measurement applications. The device features a powerful 16-bit RISC CPU, 16-bit registers, and constant generators that contribute to maximum code efficiency. The digitally controlled oscillator (DCO) allows wake-up from low-power modes to active mode in less than 1 μ s.

The MSP430G2x13 and MSP430G2x53 series are ultra-low-power mixed signal microcontrollers with built-in 16-bit timers, up to 24 I/O capacitive-touch enabled pins, a versatile analog comparator, and built-in communication capability using the universal serial communication interface. In addition the MSP430G2x53 family members have a 10-bit analog-to-digital (A/D) converter. For configuration details see [Table 1](#).

Typical applications include low-cost sensor systems that capture analog signals, convert them to digital values, and then process the data for display or for transmission to a host system.

LF147/LF347

Wide Bandwidth Quad JFET Input Operational Amplifiers

General Description

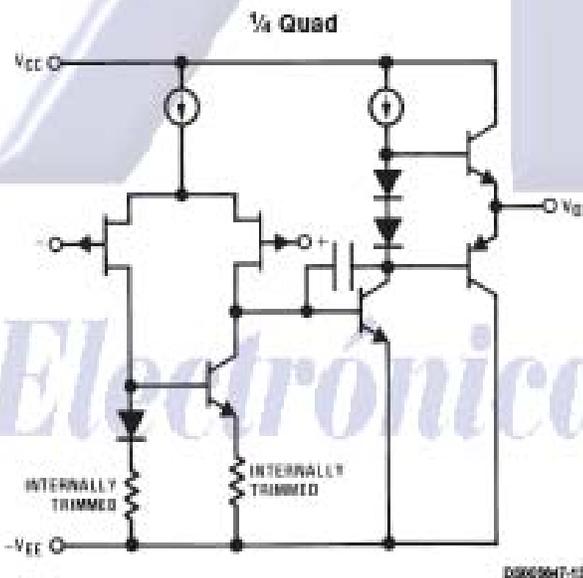
The LF147 is a low cost, high speed quad JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF147 is pin compatible with the standard LM148. This feature allows designers to immediately upgrade the overall performance of existing LF148 and LM124 designs.

The LF147 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift.

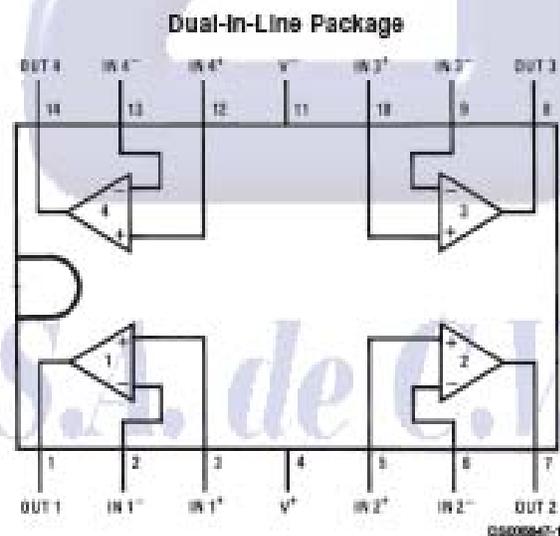
Features

- Internally trimmed offset voltage: 5 mV max
- Low input bias current: 50 pA
- Low input noise current: 0.01 pA/√Hz
- Wide gain bandwidth: 4 MHz
- High slew rate: 13 V/μs
- Low supply current: 7.2 mA
- High input impedance: $10^{12}\Omega$
- Low total harmonic distortion: $\leq 0.02\%$
- Low 1/f noise corner: 50 Hz
- Fast settling time to 0.01%: 2 μs

Simplified Schematic



Connection Diagram



Note 1: LF147 available as per JM38510/11505.

Top View

Order Number LF147J, LF147J-SMD, LF347M,
 LF347BN, LF347N, LF147J/883,
 or JL147 BCA (Note 1)
 See NS Package Number J14A, M14A or N14A

Hex inverting Schmitt trigger

74HC14; 74HCT14

FEATURES

- Applications:
 - Wave and pulse shapers
 - Astable multivibrators
 - Monostable multivibrators.
- Complies with JEDEC standard no. 7A
- ESD protection:
 - HBM EIA/JESD22-A114-A exceeds 2000 V
 - MM EIA/JESD22-A115-A exceeds 200 V.
- Specified from -40 to $+85$ °C and -40 to $+125$ °C.

DESCRIPTION

The 74HC14 and 74HCT14 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC14 and 74HCT14 provide six inverting buffers with Schmitt-trigger action. They are capable of transforming slowly changing input signals into sharply defined, jitter-free output signals.

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25$ °C; $t_r = t_f = 6$ ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay nA to nY	$C_L = 15$ pF; $V_{CC} = 5$ V	12	17	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	7	8	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μ W):
 - $P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o)$ where:
 - f_i = input frequency in MHz;
 - f_o = output frequency in MHz;
 - C_L = output load capacitance in pF;
 - V_{CC} = supply voltage in Volts;
 - N = total load switching outputs;
 - $\Sigma(C_L \times V_{CC}^2 \times f_o)$ = sum of the outputs.
2. For type 74HC14 the condition is $V_I = \text{GND to } V_{CC}$.
For type 74HCT14 the condition is $V_I = \text{GND to } V_{CC} - 1.5$ V.

LM555/NE555/SA555

Single Timer

Features

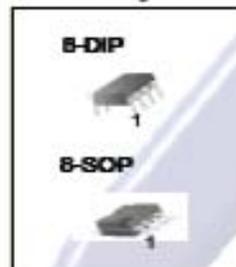
- High Current Drive Capability (200mA)
- Adjustable Duty Cycle
- Temperature Stability of 0.005%/°C
- Timing From μ Sec to Hours
- Turn off Time Less Than 2 μ Sec

Applications

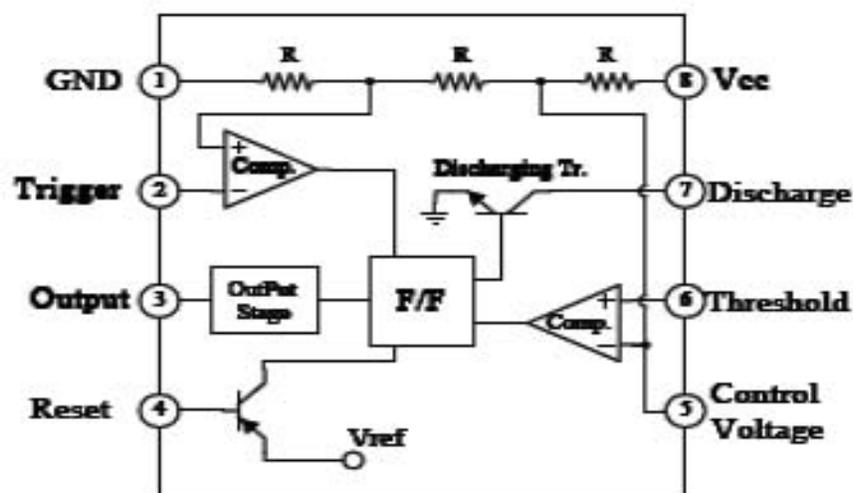
- Precision Timing
- Pulse Generation
- Time Delay Generation
- Sequential Timing

Description

The LM555/NE555/SA555 is a highly stable controller capable of producing accurate timing pulses. With a monostable operation, the time delay is controlled by one external resistor and one capacitor. With an astable operation, the frequency and duty cycle are accurately controlled by two external resistors and one capacitor.



Internal Block Diagram



**High Speed CMOS Logic
 Analog Multiplexers/Demultiplexers**

November 1997 - Revised April 1999

Features

- Wide Analog Input Voltage Range $\pm 5V$ Max
- Low "On" Resistance
 - 70 Ω Typical ($V_{CC} - V_{EE} = 4.5V$)
 - 40 Ω Typical ($V_{CC} - V_{EE} = 9V$)
- Low Crosstalk between Switches
- Fast Switching and Propagation Speeds
- "Break-Before-Make" Switching
- Wide Operating Temperature Range ... -55 $^{\circ}C$ to 125 $^{\circ}C$
- CD54HC/CD74HC Types
 - Operation Control Voltage 2V to 6V
 - Switch Voltage 0V to 10V
 - High Noise Immunity ... $N_{IL} = 30\%$, $N_{IH} = 30\%$ of V_{CC} , $V_{CC} = 5V$
- CD54HCT/CD74HCT Types
 - Operation Control Voltage 4.5V to 5.5V
 - Switch Voltage 0V to 10V
 - Direct LSTTL Input
 Logic Compatibility ... $V_{IL} = 0.8V$ Max, $V_{IH} = 2V$ Min
 - CMOS Input Compatibility $I_I \leq 1\mu A$ at V_{OL} , V_{OH}

Description

These devices are digitally controlled analog switches which utilize silicon gate CMOS technology to achieve operating speeds similar to LSTTL with the low power consumption of standard CMOS integrated circuits.

These analog multiplexers/demultiplexers control analog voltages that may vary across the voltage supply range (i.e. V_{CC} to V_{EE}). They are bidirectional switches thus allowing any analog input to be used as an output and visa-versa. The switches have low "on" resistance and low "off" leakages. In addition, all three devices have an enable control which, when high, disables all switches to their "off" state.

Ordering Information

PART NUMBER	TEMP. RANGE ($^{\circ}C$)	PACKAGE	PKG. NO.
CD54HC4051F	-55 to 125	16 Ld Cerdip	F16.3
CD74HC4051E	-55 to 125	16 Ld PDIP	E16.3
CD74HC4052E	-55 to 125	16 Ld PDIP	E16.3
CD74HC4053E	-55 to 125	16 Ld PDIP	E16.3
CD74HCT4051E	-55 to 125	16 Ld PDIP	E16.3
CD74HCT4052E	-55 to 125	16 Ld PDIP	E16.3
CD74HCT4053E	-55 to 125	16 Ld PDIP	E16.3
CD74HC4051M	-55 to 125	16 Ld SOIC	M16.15
CD74HC4052M	-55 to 125	16 Ld SOIC	M16.15
CD74HC4053M	-55 to 125	16 Ld SOIC	M16.15
CD74HCT4051M	-55 to 125	16 Ld SOIC	M16.15
CD74HCT4052M	-55 to 125	16 Ld SOIC	M16.15
CD74HCT4053M	-55 to 125	16 Ld SOIC	M16.15
CD74HCT4053PW	-55 to 125	16 Ld TSSOP	
CD74HCT4052SM	-55 to 125	16 Ld SSOP	M16.15A

NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel. For the TSSOP package only, add the suffix R to obtain the variant in the tape and reel.
2. Wafer or die is available which meets all electrical specifications. Please contact your local sales office or Harris customer service for ordering information.

HD74HC08

Quad. 2-input AND Gates

REJ03D0536-0200
 (Previous ADE-205-408)
 Rev.2.00
 Oct 06, 2005

Features

- High Speed Operation: $t_{pd} = 9 \text{ ns typ (} C_L = 50 \text{ pF)}$
- High Output Current: Fanout of 10 LSTTL Loads
- Wide Operating Voltage: $V_{CC} = 2 \text{ to } 6 \text{ V}$
- Low Input Current: $1 \mu\text{A max}$
- Low Quiescent Supply Current: $I_{CC} \text{ (static)} = 1 \mu\text{A max (} T_a = 25^\circ\text{C)}$
- Ordering Information

Part Name	Package Type	Package Code (Previous Code)	Package Abbreviation	Taping Abbreviation (Quantity)
HD74HC08P	DILP-14 pin	PRDP0014AB-B (DP-14AV)	P	—
HD74HC08FPEL	SOP-14 pin (JEITA)	PRSP0014DF-B (FP-14DAV)	FP	EL (2,000 pcs/reel)
HD74HC08RPEL	SOP-14 pin (JEDEC)	PRSP0014DE-A (FP-14DNV)	RP	EL (2,500 pcs/reel)
HD74HC08TELL	TSSOP-14 pin	PTSP0014JA-B (TTP-14DV)	T	ELL (2,000 pcs/reel)

Note: Please consult the sales office for the above package availability.

Function Table

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H: High level

L: Low level

HD74HC86

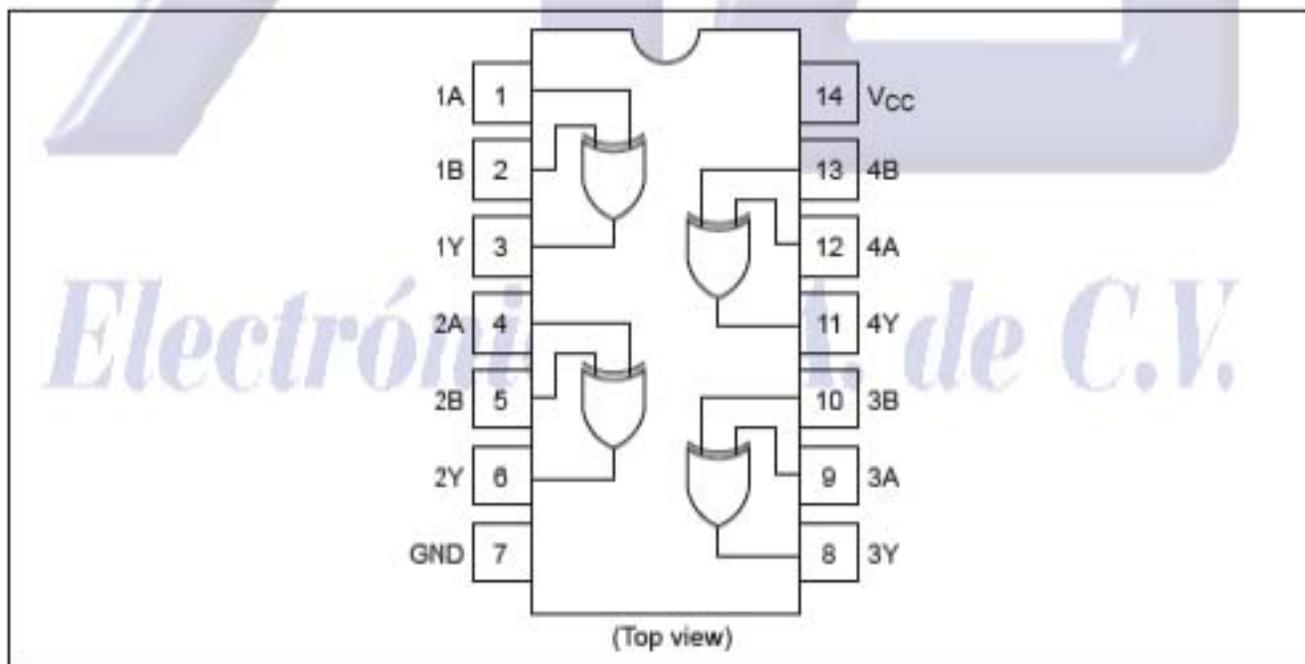
Quad. 2-input Exclusive-OR Gates

HITACHI

Features

- High Speed Operation: $t_{pd} = 12 \text{ ns typ (} C_L = 50 \text{ pF)}$
- High Output Current: Fanout of 10 LSTTL Loads
- Wide Operating Voltage: $V_{CC} = 2 \text{ to } 6 \text{ V}$
- Low Input Current: $1 \mu\text{A max}$
- Low Quiescent Supply Current: $I_{CC} \text{ (static)} = 1 \mu\text{A max (} T_a = 25^\circ\text{C)}$

Pin Arrangement



Dual \overline{JK} flip-flop with set and reset; positive-edge trigger

74HC/HCT109

FEATURES

- J, \overline{K} inputs for easy D-type flip-flop
- Toggle flip-flop or "do nothing" mode
- Output capability: standard
- I_{CC} category: flip-flops

GENERAL DESCRIPTION

The 74HC/HCT109 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT109 are dual positive-edge triggered, \overline{JK} flip-flops with individual J, \overline{K} inputs, clock (CP) inputs, set

(\overline{S}_D) and reset (\overline{R}_D) inputs; also complementary Q and \overline{Q} outputs.

The set and reset are asynchronous active LOW inputs and operate independently of the clock input.

The J and \overline{K} inputs control the state changes of the flip-flops as described in the mode select function table.

The J and \overline{K} inputs must be stable one set-up time prior to the LOW-to-HIGH clock transition for predictable operation.

The \overline{JK} design allows operation as a D-type flip-flop by tying the J and \overline{K} inputs together.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25\text{ }^\circ\text{C}$; $t_r = t_f = 8\text{ ns}$

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL} / t_{PLH}	propagation delay nCP to nQ, n \overline{Q} n \overline{S}_D to nQ, n \overline{Q} n \overline{R}_D to nQ, n \overline{Q}	$C_L = 15\text{ pF}$; $V_{CC} = 5\text{ V}$	15	17	ns
			12	14	ns
			12	15	ns
f_{max}	maximum clock frequency		75	61	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	20	22	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

f_o = output frequency in MHz

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

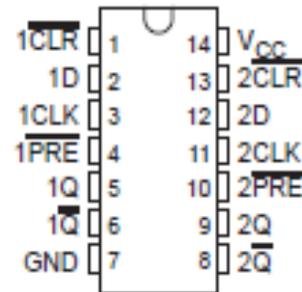
2. For HC the condition is $V_I = \text{GND to } V_{CC}$
For HCT the condition is $V_I = \text{GND to } V_{CC} - 1.5\text{ V}$.

SN54HC74, SN74HC74 DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH CLEAR AND PRESET

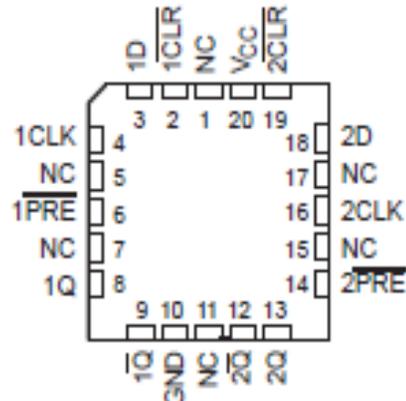
9CL3094B – DECEMBER 1982 – REVISED MAY 1997

- Package Options Include Plastic Small-Outline (D), Shrink Small-Outline (DB), Thin Shrink Small-Outline (PW), and Ceramic Flat (W) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) 300-mil DIPs

SN54HC74 . . . J OR W PACKAGE
SN74HC74 . . . D, DB, N, OR PW PACKAGE
(TOP VIEW)



SN54HC74 . . . FK PACKAGE
(TOP VIEW)



NC – No Internal connection

description

The 'HC74 contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset (\overline{PRE}) or clear (\overline{CLR}) inputs sets or resets the outputs regardless of the levels of the other inputs. When \overline{PRE} and \overline{CLR} are inactive (high), data at the data (D) input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock (CLK) pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of CLK. Following the hold-time interval, data at the D input can be changed without affecting the levels at the outputs.

The SN54HC74 is characterized for operation over the full military temperature range -55°C to 125°C . The SN74HC74 is characterized for operation from -40°C to 85°C .

FUNCTION TABLE

INPUTS				OUTPUTS	
\overline{PRE}	\overline{CLR}	CLK	D	Q	\overline{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [†]	H [†]
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\overline{Q} ₀

[†] This configuration is unstable; that is, it does not persist when \overline{PRE} or \overline{CLR} returns to its inactive (high) level.

**SN5490A, SN5492A, SN5493A, SN54LS90, SN54LS92, SN54LS93
SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE AND BINARY COUNTERS**

SDLS940A - MARCH 1974 - REVISED MARCH 1988

'90A, 'LS90 . . . Decade Counters

'92A, 'LS92 . . . Divide By-Twelve Counters

'93A, 'LS93 . . . 4-Bit Binary Counters

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'92A, '93A	130 mW
'LS90, 'LS92, 'LS93	45 mW

description

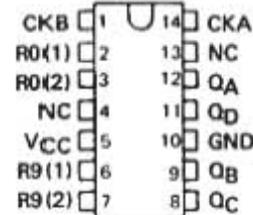
Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'LS90, divide-by-six for the '92A and 'LS92, and the divide-by-eight for the '93A and 'LS93.

All of these counters have a gated zero reset and the '90A and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the CKB input is connected to the Q_D output. The input count pulses are applied to CKA input and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'LS90 counters by connecting the Q_D output to the CKA input and applying the input count to the CKB input which gives a divide-by-ten square wave at output Q_A.

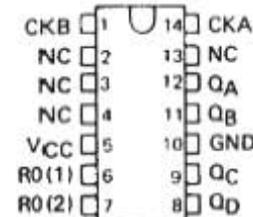
SN5490A, SN54LS90 . . . J OR W PACKAGE
SN7490A . . . N PACKAGE
SN74LS90 . . . D OR N PACKAGE

(TOP VIEW)



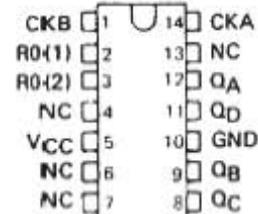
SN5492A, SN54LS92 . . . J OR W PACKAGE
SN7492A . . . N PACKAGE
SN74LS92 . . . D OR N PACKAGE

(TOP VIEW)



SN5493A, SN54LS93 . . . J OR W PACKAGE
SN7493 . . . N PACKAGE
SN74LS93 . . . D OR N PACKAGE

(TOP VIEW)



Referencias

- [1] ELETTRONICA VENETA. <http://www.elettronicaveneta.com/education/>, 2016
- [2] Lab-Volt. <https://www.labvolt.com>, 2016
- [3] PROMAX. <http://www.promax.es/esp/>, 2016
- [4] EDIBON. <http://www.edibon.com>, 2016
- [5] Feedback Instruments. <http://www.feedback-instruments.com>, 2016
- [6] Lucas-Nülle. <http://www.lucas-nuelle.com/>, 2016
- [7] Texas Instruments. http://www.ti.com/lstds/ti/microcontrollers_16-bit_32-bit/msp/ultra-low_power/msp430g2x_i2x/overview.page, 2016
- [8] Texas Instruments. *Slau318e*, <http://www.ti.com/tool/msp-exp430g2?keyMatch=launch%20pad%20msp430&tisearch=Search-EN-Everything#descriptionArea>, 2016
- [9] Texas Instruments. *Data Sheet MSP430G2553*. <http://www.ti.com/product/MSP430G2553?keyMatch=msp430q2553&tisearch=Search-EN-Everything>, 2016
- [10] Texas Instruments. <http://www.ti.com/tool/MSP-EXP430G2#buy>, 2016
- [11] Davies H. John, MSP430 MICROCONTROLLERS BASICS, 1ra Edición, Editorial Elsevier, pág. 1, 2, 15 y 16, Estados Unidos de América 2008.
- [12] Texas Instruments. http://www.ti.com/lstds/ti/microcontrollers_16-bit_32-bit/msp/applications.page#ind, 2016
- [13] Texas Instruments. Data Sheet SPMU296. <http://www.ti.com/lit/ug/spmu296/spmu296.pdf>, 2016
- [14] Carlson A. Bruce. SISTEMAS DE COMUNICACIÓN, UNA INTRODUCCIÓN A LAS SEÑALES Y EL RUIDO EN LAS COMUNICACIONES ELÉCTRICAS, 4ta Edición, Editorial Mc Graw Hill, México 2007

- [15] W. Couch Leon, SISTEMAS DE COMUNICACIÓN DIGITALES Y ANALÓGICOS, 7ma Edición, Editorial Prentice Hall, México 2008
- [16] Hinoztroza Víctor H., COMUNICACIONES DIGITALES, 1ra Edición, Editorial Universidad Autónoma de Ciudad Juárez, Página 207, México 2010
- [17] Blake Roy. SISTEMAS ELECTRÓNICOS DE COMUNICACIONES, 2da Edición, Editorial Thompsom, México 2004
- [18] DigitalTransmission. http://www.tutorialspoint.com/data_communication_network/digital_transmission.htm, Mayo 2016
- [19] Forouzan Behrouz A. TRANSMISIÓN DE DATOS Y REDES DE COMUNICACIONES, 2da Edición, Editorial Mc Graw Hill, España 2001
- [20] Anttalainen Tarmo, INTRODUCTION TO TELECOMMUNICATIONS NETWORK ENGINEERING, 2da Edición, Editorial Artech House, Estados Unidos de America 2003
- [21] Construcción de audífonos. <http://www.emilio.com.mx/blog/construye-unos-audifonos-con-mp3/#lightbox/2/>, Mayo 2016.
- [22] Coughlin Robert F. AMPLIFICADORES OPERACIONALES Y CIRCUITOS INTEGRADOS LINEALES, 4ta Edición, Editorial Prentice Hall, México 1993.
- [23] UPITA. CURSO DE PROGRAMACIÓN DE MICROCONTROLADORES MSP430 DE 16 BITS DE TI EN LENGUAJE C. Versión 1.15, Junio 2015.
- [24] Texas Instruments. *Slau144j*, <http://www.ti.com.cn/cn/lit/ug/slau144j/slau144j.pdf>, 2015