



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

CONTROL BASADO EN PASIVIDAD DE CONVERTIDORES MULTINIVEL

T E S I S

QUE PARA OBTENER EL GRADO DE:
INGENIERO ELÉCTRICO Y ELECTRÓNICO

PRESENTA:

OSCAR VÁZQUEZ RUEDA

DIRECTOR DE TESIS:

DR. GERARDO R. ESPINOSA PÉREZ



CIUDAD UNIVERSITARIA, 2014



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

JURADO ASIGNADO:

Presidente: ING. VICTOR MANUEL SANCHEZ ESQUIVEL

Secretario: DR. JOSE ISMAEL MARTINEZ LOPEZ

Vocal: DR. GERARDO RENE ESPINOSA PEREZ

1^{er} Suplente: M.I. RIGEL GAMEZ LEAL

2^{do} Suplente: DR. PAUL ROLANDO MAYA ORTIZ

Esta tesis se realizó en el Laboratorio de Control perteneciente a la División de Estudios de Posgrado de la Facultad de Ingeniería en la UNAM.

Director de Tesis:

DR. Gerardo René Espinosa Pérez

Agradecimientos

A Dios que me ha permitido llegar hasta aquí.

A mi familia, por su incondicional apoyo.

Al Dr. Gerardo Espinosa por su ayuda otorgada para la realización de este trabajo.

A mis profesores de la Facultad de Ingeniería que compartieron conmigo su conocimiento y experiencia.

A mis amigos, por su ayuda y los momentos de diversión.

Investigación realizada gracias al Programa UNAM-DGAPA-PAPIIT IN114513, Identificación de grupos auto-sincronizados en sistemas eléctricos de potencia .

Índice general

Índice general	IV
Índice de figuras	VI
1. Introducción	1
1.1. Motivación	2
1.2. Antecedentes	3
1.3. Formulación del problema	4
1.4. Contribuciones	4
1.5. Organización de la tesis	4
2. Inversores	5
2.1. Introducción	5
2.2. Inversor medio puente	5
2.3. Inversor puente completo	6
2.4. Inversor multinivel	8
2.4.1. Inversor multinivel con capacitor flotante	8
2.4.2. Inversor multinivel con diodos enclavados	10
2.4.3. Inversor multinivel en cascada con fuentes independientes	11
2.5. Modulación	13
2.5.1. Modulación en inversor medio puente	14
2.5.2. Modulación en inversor puente completo	19
2.5.3. Modulación en inversor multinivel	24
2.6. Parámetros de desempeño de los inversores	30
2.6.1. Distorsión armónica total	30
2.6.2. Pérdidas	31
3. Diseño del convertidor multinivel	32
3.1. Introducción	32
3.2. Sistema de Evaluación de Esquemas de Conmutación	32
3.2.1. Etapa de Control	32
3.2.2. Planta	41
3.2.3. Etapa de realimentación	49

4. Simulaciones y Evaluación Experimental	60
4.1. Introducción	60
4.2. Modelado del convertidor puente H	60
4.3. Modelo promediado del convertidor puente H	63
4.4. Modelado del convertidor multinivel	67
4.5. Modelo promediado del convertidor multinivel	70
4.6. Diseño del controlador	72
4.7. Implementación de la ley de control	75
4.7.1. Simulaciones	75
4.7.2. Resultados experimentales	85
5. Conclusiones	95
Apéndices	97
A. Programa en VHDL para la implementación de la estrategia de modulación PWM de retraso	97
B. Programa en VHDL para la implementación de la máquina de estados	99
Bibliografía	102

Índice de figuras

2.1. Circuito del inversor medio puente	6
2.2. Forma de onda de salida del inversor medio puente	6
2.3. Circuito del inversor puente completo	7
2.4. Forma de onda de salida del inversor puente completo	8
2.5. Inversor de 5 niveles con capacitor flotante	9
2.6. Inversor de 5 niveles con diodos enclavados	10
2.7. Inversor multinivel en cascada con fuentes independientes	11
2.8. Inversor de 5 niveles en cascada con fuentes independientes	13
2.9. Modulación PWM sinusoidal	15
2.10. PWM sinusoidal y salida del inversor medio puente	15
2.11. Voltaje de salida par	18
2.12. Voltaje de salida impar	18
2.13. Espectro de armónicos de la onda de salida impar	19
2.14. Voltaje de salida del puente H utilizando modulación bipolar	20
2.15. Espectro de armónicos de la onda de salida con modulación bipolar	21
2.16. Voltaje de salida del puente H utilizando modulación unipolar	22
2.17. Espectro de armónicos de la onda de salida con modulación unipolar	23
2.18. Modulación por el método de corrimiento de fase	25
2.19. Onda de salida del inversor aplicando modulación por corrimiento de fase	26
2.20. Modulación por el método de oposición y disposición de fase	27
2.21. Onda de salida del inversor aplicando modulación por oposición y disposición de fase	27
2.22. Modulación por el método de disposición de fase	28
2.23. Onda de salida del inversor aplicando modulación por disposición de fase	28
2.24. Modulación por el método de oposición y disposición de fase alternada	29
2.25. Onda de salida del inversor aplicando modulación por oposición y disposición de fase alternada	30
3.1. Sistema de Evaluación de Esquemas de Conmutación	33
3.2. Diagrama de bloques estrategia PWM	35
3.3. Patrones de conmutación para un inversor de 5 niveles	35
3.4. Patrones de conmutación para un inversor de 5 niveles	37
3.5. Simulación modulación PWM de retraso	37

3.6. Espectro de frecuencias de la salida del inversor	38
3.7. Simulación modulación PWM de multiportadoras con corrimiento de fase . .	38
3.8. Espectro de frecuencias de la salida del inversor	39
3.9. Retraso de la señal PWM utilizando el FPGA	40
3.10. Simulación del programa implementado en el FPGA	40
3.11. Salida del FPGA al conectarse a la entrada el modulo PWM de la dSpace . .	41
3.12. Salida del inversor utilizando la modulación PWM de retraso	41
3.13. Espectro de frecuencias de la salida del inversor	41
3.14. Etapa de aislamiento	42
3.15. Maquina de estados	43
3.16. Simulación del Sistema de protección	44
3.17. Simulación del Sistema de protección	45
3.18. Circuito de temporización	45
3.19. Etapa de acondicionamiento	46
3.20. Forma de onda de los voltajes V_{DS} y V_{GS}	47
3.21. Snubber de apagado	48
3.22. Filtro implementado en el inversor	50
3.23. Filtro implementado en el inversor	50
3.24. Respuesta en frecuencia para diversos valores de ζ	54
3.25. Convertidor multinivel con una carga resistiva a la salida	55
3.26. Diagrama de Bode con una carga resistiva de $330[\Omega]$	55
3.27. Diagrama de Bode con una carga resistiva de $33[\Omega]$	56
3.28. Tarjeta usada para sensar corrientes	58
3.29. Tarjeta usada para sensar corrientes(vista lateral)	58
3.30. Sensor para medir voltajes	59
4.1. Convertidor puente H	60
4.2. Convertidor puente H con interruptores de un polo dos tiros	61
4.3. Convertidor puente H	62
4.4. Tiempo de encendido y apagado en un periodo de portadora	65
4.5. Convertidor de 5 niveles	67
4.6. Convertidor de 5 niveles con interruptores de un polo dos tiros	68
4.7. Convertidor multinivel	70
4.8. Circuito en lazo abierto	76
4.9. Voltaje en el capacitor y corriente en el inductor en lazo abierto	76
4.10. Espectro de frecuencias del voltaje en el capacitor en lazo abierto	77
4.11. Simulación del circuito y su ley de control	78
4.12. Voltaje en el capacitor y corriente en el inductor en lazo cerrado	79
4.13. Espectro de frecuencias del voltaje en el capacitor en lazo cerrado	79
4.14. Errores en el voltaje del capacitor y corriente del inductor	80
4.15. Señal de control	80
4.16. Voltaje en el capacitor y corriente en el inductor en lazo cerrado	81
4.17. Espectro de frecuencias del voltaje en el capacitor en lazo cerrado	81

4.18. Errores en el voltaje del capacitor y corriente del inductor	82
4.19. Señal de control	82
4.20. Voltaje en el capacitor y corriente en el inductor en lazo cerrado	83
4.21. Espectro de frecuencias del voltaje en el capacitor en lazo cerrado	84
4.22. Errores en el voltaje del capacitor y corriente del inductor	84
4.23. Señal de control	85
4.24. Esquema de conmutación	85
4.25. Esquema de conmutación(bloque Controlador)	86
4.26. Voltaje en el capacitor y corriente en el inductor en lazo abierto	87
4.27. Espectro de frecuencias de la señal del voltaje del capacitor	87
4.28. Voltaje en el capacitor y corriente en el inductor	88
4.29. Espectro de frecuencias del voltaje en el capacitor en lazo cerrado	89
4.30. Error en el voltaje del capacitor y corriente del inductor	89
4.31. Señal de control	90
4.32. Voltaje en el capacitor y corriente en el inductor	90
4.33. Espectro de frecuencias del voltaje en el capacitor en lazo cerrado	91
4.34. Error en el voltaje del capacitor y corriente del inductor	91
4.35. Señal de control	92
4.36. Voltaje en el capacitor y corriente en el inductor	92
4.37. Espectro de frecuencias del voltaje en el capacitor en lazo cerrado	93
4.38. Error en el voltaje del capacitor y corriente del inductor	93
4.39. Señal de control	94

Capítulo 1

Introducción

La electrónica de potencia es una rama de la Ingeniería Eléctrica que se enfoca principalmente en la conversión y control de la energía eléctrica para diferentes aplicaciones, tales como el control de alumbrado, procesos electroquímicos, suministros de energía de CD (Corriente Directa) y CA (Corriente Alterna), soldadoras eléctricas, filtrado activo, compensación de VAR's (volt-ampere reactivo), control del movimiento de máquinas eléctricas y otras más. Respecto al suministro de energía de CD y CA la electrónica de potencia ha tenido un papel esencial en el diseño de fuentes de poder o UPS (Uninterruptible Power Supply, por sus siglas en inglés).

Anteriormente el control del flujo de energía a una carga se realizaba de forma lineal, esto era por medio de elementos resistivos, divisores de voltaje y otros circuitos electrónicos. El inconveniente de estos métodos son las pérdidas que se llegan a tener lo que ocasiona que sólo se tenga una eficiencia del 50 % [14]. Por otro lado y gracias a la electrónica de potencia es posible mejorar el desempeño de las fuentes de poder al realizar un control conmutado utilizando dispositivos semiconductores de conmutación, los cuales trabajan en su zona de corte y saturación. Estos dispositivos funcionan como interruptores electrónicos que permiten o impiden el flujo de corriente y su uso permite conseguir una alta eficiencia, casi del 90 %, ya que las pérdidas totales del sistema se reducen exclusivamente a las pérdidas por conmutación. A los sistemas electrónicos que procesan energía basados en la tecnología de conmutación se les llama convertidores electrónicos y son parte fundamental de la electrónica de potencia.

Un convertidor electrónico conmutado es un arreglo de varios dispositivos semiconductores de conmutación que siguen una política de encendido y apagado, por medio de la cual modifican las características eléctricas de la potencia eléctrica [20]. Debido al tipo de conversión que realizan se pueden clasificar en: rectificadores, inversores, cicloconvertidores y *choppers*¹.

La función de un inversor es cambiar un voltaje de entrada en CD a un voltaje simétri-

¹Interruptor electrónico que se usa para cerrar o abrir una señal eléctrica bajo el control de otra.

co de salida en CA, con la magnitud y frecuencia deseadas. Tanto el voltaje de salida como la frecuencia pueden ser fijos o variables. Si se modifica el voltaje de entrada y la ganancia del inversor se mantiene constante, es posible obtener un voltaje variable de salida. Por otra parte, si el voltaje de entrada en CD es fijo y no es controlable, se puede obtener un voltaje de salida variable modificando la ganancia del inversor; esto por lo general se hace controlando la modulación del ancho de pulso (PWM) dentro del inversor [20].

En resumen un inversor transforma una tensión continua en una alterna, convirtiéndose en un elemento imprescindible en diversas aplicaciones (controladores de motores, filtros activos y UPS).

1.1. Motivación

Una UPS o conocida en español como SAI (Sistema de Alimentación Ininterrumpida) es una fuente de suministro que posee una batería y un convertidor de CD a CA, que se encarga de mantener energizados diferentes equipos electrónicos cuando la fuente de suministro principal sufre alguna interrupción. Aunque las UPS proveen de energía a los equipos, esto es durante un corto lapso de tiempo ya que su principal función consiste en evitar un apagado inesperado de los equipos además de facilitar la realización de un correcto proceso de apagado, protegiendo de esta forma la información de la empresa.

Dependiendo de las características eléctricas de los equipos a los que está conectada, la UPS necesita generar una onda sinusoidal de cierta magnitud, lo cual trae consigo varios problemas al momento de diseñar el inversor y el filtro del convertidor.

- El primer problema es que el bus de CD conectado al inversor es de magnitud constante, por lo tanto la magnitud de la onda de salida del inversor también lo es.
- El segundo problema es que el inversor genera un voltaje alterno no sinusoidal con un alto contenido armónico debido a la conmutación de los interruptores.

Para lidiar con estos problemas se han utilizado diversos métodos para controlar el encendido y apagado de los interruptores. Sin lugar a dudas el método mas utilizado es el que se conoce como modulación en ancho de pulso o PWM, cuya función principal es la de conmutar los dispositivos semiconductores a una frecuencia lo suficientemente alta de tal manera que a partir de una señal constante a tramos, se pueda aproximar de la mejor manera a la señal deseada en CA.

Además, dependiendo del tipo de modulación utilizada, es posible situar los armónicos de la señal de salida lejos de la frecuencia de interés, permitiendo poner un filtro a la salida del inversor y de esta forma disminuir de forma considerable el número de armónicos presentes en esta señal.

Lamentablemente, debido a que se trata de un esquema de conmutación en lazo abierto, lo anterior no ha sido suficiente para mejorar el desempeño de los convertidores, por lo tanto se han tenido que explorar otras alternativas las cuales pueden clasificarse en dos categorías:

- Diseño electrónico: En el cual el tema principal es la definición de nuevas topologías y la evaluación de nuevos dispositivos de conmutación.
- Diseño de esquemas de control: En el cual el principal objetivo es encontrar nuevas políticas de conmutación (leyes de control) para los dispositivos semiconductores utilizados en los convertidores con el fin de obtener a la salida la señal deseada.

El trabajo realizado en este documento se aboca principalmente a la segunda opción, aunque como se verá mas adelante, no se descarta completamente la opción de mejorar el desempeño del sistema a través del diseño electrónico.

1.2. Antecedentes

En el desarrollo de topologías para inversores, una topología que ha emergido con gran fuerza es la de los inversores multinivel. Un inversor multinivel es aquél que presenta un número de niveles de tensión de salida mayor o igual a 3 (incluyendo el nivel de tensión cero) gracias a la conexión de dos o más puentes H. Debido a que este tipo de inversores permiten sintetizar varios niveles de tensión continua en una sola señal de salida, ésta es más parecida a una señal sinusoidal, además, este tipo de topología permite un manejo de potencia mayor gracias a lo cual han tenido una gran aceptación en diversas aplicaciones industriales [7].

El uso de inversores multinivel ha traído la necesidad de controlar más interruptores, por lo tanto se han adaptado las estrategias clásicas de modulación PWM a este tipo de inversores consiguiendo buenos resultados, sin embargo también es posible encontrar soluciones provenientes del área de control de sistemas no lineales.

Por ejemplo en [23] se plantea una técnica de control que permite obtener una señal a la salida con un contenido armónico pequeño o THD (Total Harmonic Distorsion, por sus siglas en inglés) bajo y que se obtiene con un número considerablemente inferior de conmutaciones en los interruptores en comparación con la clásica modulación PWM, lo cual trae consigo una reducción considerable en las pérdidas del sistema.

Cabe mencionar que algunas de estas propuestas del area de control no lineal no han sido probadas experimentalmente, véase como ejemplo [8], por lo tanto surge la oportunidad para la Ingeniería Electrónica de concluir estas propuestas complementándolas y observando su desempeño experimentalmente.

1.3. Formulación del problema

El problema que se aborda en este documento es el de diseñar e implementar las etapas que componen un convertidor de 5 niveles con el fin de evaluar los diferentes esquemas de conmutación provenientes del área de control no lineal los cuales ofrecen soluciones a diversos problemas, escogiéndose para este trabajo el de una UPS, el cual consiste en mantener un voltaje deseado a la salida del convertidor a pesar de los cambios en la carga.

1.4. Contribuciones

Debido a los trabajos de investigación en los campos de electrónica de potencia y control que actualmente se desarrollan en la Facultad de Ingeniería de la UNAM, la realización de este trabajo de tesis está plenamente justificado al igual que su principal contribución:

Un convertidor multinivel de 5 niveles, utilizando como planta el trabajo realizado anteriormente en , con la capacidad de expandirse a más niveles, sin necesidad de diseñar más circuitos y sólo replicando los existentes gracias a las consideraciones tomadas al momento de su diseño.

1.5. Organización de la tesis

Esta tesis está formada por 4 capítulos y dos apéndices. En el capítulo 1 se presentan las causas que motivaron la realización de este trabajo, los objetivos y la importancia del mismo. En el capítulo 2 se abordan los conceptos básicos de los inversores, funcionamiento, topologías y modulación principalmente. En el capítulo 3 se presenta el diseño de las diferentes etapas que componen un convertidor. El capítulo 4 se divide en dos partes. La primera parte se aboca en el análisis teórico del convertidor con el fin de obtener lo siguiente:

- Encontrar el modelo que nos permita conocer la dinámica del sistema.
- Encontrar el modelo promediado del sistema usando el modelo obtenido anteriormente.
- Obtener la ley de control utilizando el modelo promediado.

La segunda parte está conformada por:

- Pruebas realizadas en lazo abierto, para comprobar que el convertidor funciona correctamente.
- Pruebas realizadas en lazo cerrado, para comprobar que la ley de control implementada cumple el objetivo de control a pesar de variaciones en los parámetros (carga).

Capítulo 2

Inversores

2.1. Introducción

El convertidor electrónico de potencia que transforma una señal de tensión directa a una de naturaleza alterna y simétrica se denomina inversor [20]. Un inversor está constituido por dispositivos semiconductores de conmutación los cuales nos permiten controlar el flujo de energía a una carga trabajando en su zona de corte y de saturación. A continuación analizaremos las topologías básicas de los inversores.

2.2. Inversor medio puente

En la Figura 2.1, se muestra el circuito de un inversor de medio puente. Su estructura consta de dos capacitores de igual valor conectados en serie a través de la señal de entrada V_{cd} , de tal forma que cada capacitor se carga a la mitad del voltaje de entrada, es decir, $\frac{V_{cd}}{2}$. Es necesario tener valores altos de capacitores para poder asumir que el potencial en el punto 0 permanece esencialmente constante respecto a la terminal N. Asimismo los 2 dispositivos semiconductores de conmutación (en este caso MOSFET) del inversor de medio puente tienen que soportar un voltaje de valor igual al voltaje de entrada y el valor máximo del voltaje de la onda cuadrada de salida es igual a la mitad del voltaje de entrada.

Su principio de operación es el siguiente:

Cuando el MOSFET Q1 está activo durante el tiempo $\frac{T_0}{2}$, el voltaje instantáneo a través de la carga R es $\frac{V_{cd}}{2}$. Cuando el MOSFET Q2 está activo durante un tiempo $\frac{T_0}{2}$ aparece el voltaje $-\frac{V_{cd}}{2}$ a través de la carga. El circuito encargado de la conmutación de los MOSFET debe estar diseñado para impedir que ambos sean activados simultáneamente ya que esto ocasionaría un corto circuito. En la Figura 2.2 se muestra la forma de onda del voltaje de salida con una carga resistiva con un V_{cd} de 10[V].

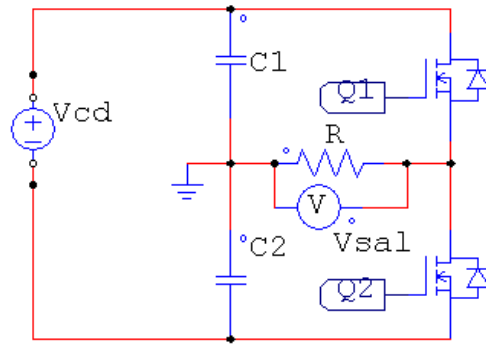


Figura 2.1: Circuito del inversor medio puente

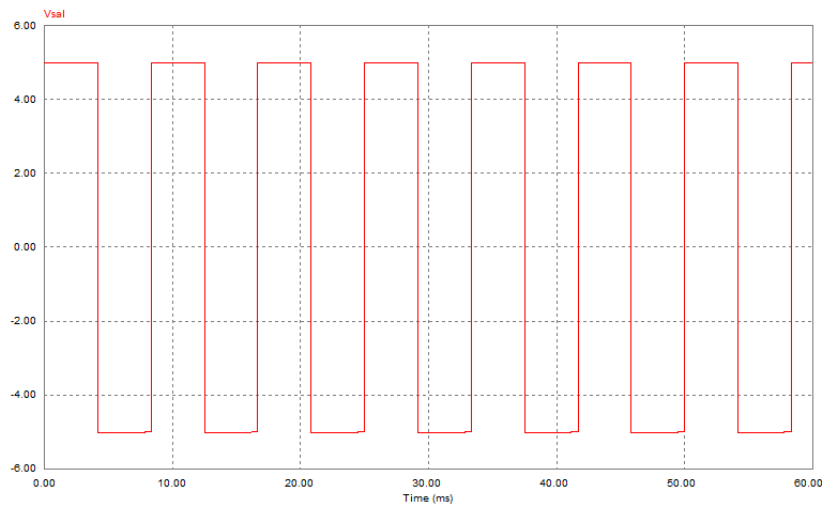


Figura 2.2: Forma de onda de salida del inversor medio puente

2.3. Inversor puente completo

Esta topología también es conocida como puente H. En la Figura 2.3 puede verse que está compuesta por 4 interruptores electrónicos (en este caso MOSFET) conectados a una fuente de alimentación V_{cd} la cual provocará una diferencia de potencial en la carga R dependiendo de las combinaciones que tomen los interruptores. La operación de esta topología se explica a continuación.

Cuando los interruptores Q_a y Q_d están cerrados y Q_b y Q_c están abiertos existe una diferencia de potencial V_{cd} entre las terminales de la carga R lo que ocasiona que circule una corriente eléctrica a través de Q_a y Q_d . Después al abrirse estos interruptores y cerrarse Q_b

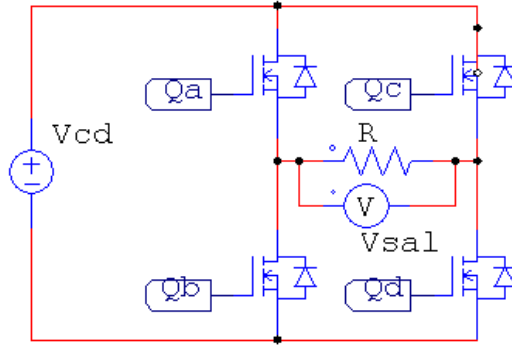


Figura 2.3: Circuito del inversor puente completo

y Qc también existe una diferencia de potencial entre las terminales de la carga R pero ahora ésta es de signo contrario a la anterior, es decir $-V_{cd}$ y la corriente circula a través de Qc y Qb. Si ahora se abren Qa y Qc y se cierran Qb y Qd puede verse que en las terminales de la carga se tiene el mismo potencial, por lo tanto la diferencia de potencial es de cero (llamado también cero bajo). Finalmente si se abren los interruptores Qb y Qd y se cierran Qa y Qc puede observarse que también en las terminales de la carga R tenemos el mismo potencial y de igual manera que en el caso anterior la diferencia de potencial es de cero (llamado también cero alto). Si se alternan estos estados en los interruptores se genera una señal de voltaje de naturaleza alterna con un valor pico de V_{cd} tal como se muestra en la Figura 2.4. Este tipo de inversores son conocidos como inversores de tres niveles debido a los 3 niveles de voltaje que puede tomar la señal de salida ($V_{cd}, 0, -V_{cd}$).

Cabe mencionar que las combinaciones mencionadas anteriormente no son las únicas posibles configuraciones que pueden tomar los interruptores del puente H, pero sí son los casos de interés ya que hay otras posibilidades (como cerrar sólo un interruptor) que no tienen ningún efecto sobre la carga o los casos prohibidos (cerrar dos interruptores de una misma rama, por ejemplo Qa y Qb ó Qc y Qd) que ocasionarían un corto circuito. Las combinaciones mencionadas anteriormente se enlistan en la Tabla 2.1.

<i>Combinaciones</i>	<i>Qa</i>	<i>Qb</i>	<i>Qc</i>	<i>Qd</i>	<i>V_{out}</i>
1	1	0	0	1	V_{cd}
2	0	1	1	0	$-V_{cd}$
3	1	0	1	0	0
4	0	1	0	1	0
—	1	1	*	*	NA
—	*	*	1	1	NA

Tabla 2.1: Combinaciones posibles en el inversor de 3 niveles

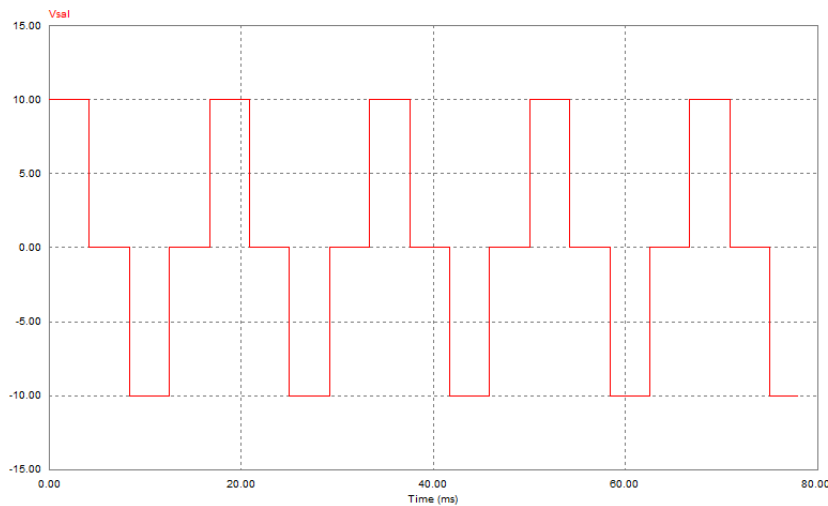


Figura 2.4: Forma de onda de salida del inversor puente completo

2.4. Inversor multinivel

Un inversor multinivel es aquél que presenta un número de niveles de tensión de salida mayor a 3, incluyendo el nivel de tensión cero [16]. Los inversores multinivel son utilizados para obtener mejores formas de onda de las que se pueden obtener con los inversores de tres o dos niveles ya que cuando el número de niveles de voltaje aumenta, la forma de onda de salida está formada por un mayor número de niveles de tensión, de tal manera que se asemeja más a la forma deseada (en nuestro caso una forma sinusoidal), minimizando la distorsión armónica. Además de mejorar el comportamiento armónico al tener varios niveles, una de las principales razones para utilizar convertidores multinivel, es el hecho de poder manejar mayor potencia, aumentando el número de dispositivos de conmutación y con ello la corriente que se puede manejar aunque esto traiga una mayor complejidad al momento de implementar el control, ya que se deben de controlar un número mayor de interruptores. Existen diferentes topologías para la implementación de un inversor multinivel, pero en este trabajo nos centraremos sólo en tres tipos de topología: de diodos enclavados, de capacitor flotante y de fuentes independientes. A continuación se explica cada topología, exponiendo sus ventajas y desventajas.

2.4.1. Inversor multinivel con capacitor flotante

La Figura 2.5 muestra un inversor multinivel de 5 niveles con capacitor flotante. El bus V_5 consta de $m - 1$ capacitores donde m es el número de niveles de tensión del inversor, además requiere $(m - 1)(m - 2)/2$ capacitores auxiliares y cada capacitor debe mantener una tensión de $V_5/(m - 1)$ volts.

Las ventajas y desventajas de esta topología son las siguientes [7], [6]:

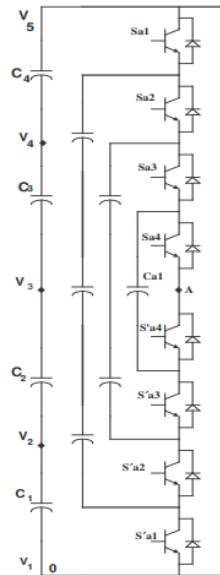


Figura 2.5: Inversor de 5 niveles con capacitor flotante

Dentro de las ventajas que tiene esta topología podemos mencionar las siguientes:

- El hecho de poseer tantos capacitores permite a este inversor que ante un eventual corte de energía éstos pueden servir como respaldo.
- Permite balancear las pérdidas de conmutación y conducción de los interruptores al permitir diferentes combinaciones de conmutación para balancear los niveles de voltaje.
- El flujo de potencia activa y reactiva puede ser controlado, lo cual hace al inversor candidato para aplicaciones bidireccionales en corriente.
- Al permitir a los interruptores conmutar a la frecuencia de la componente fundamental del patrón PWM se eleva la eficiencia del inversor.

También se pueden mencionar las siguientes desventajas:

- Si el número de niveles que necesita generar el inversor es grande se necesitará un número muy grande de capacitores lo que hará al inversor muy voluminoso.
- El control del inversor es complicado debido al desequilibrio presente en los condensadores, siendo un problema serio en aplicaciones como filtro activo, ya que debe compensar armónicos.

2.4.2. Inversor multinivel con diodos enclavados

El inversor multinivel con diodos enclavados consiste en $m - 1$ capacitores en el bus de V_5 y al igual que en el inversor con capacitor flotante, se requiere que cada capacitor mantenga una tensión de $V_5/(m - 1)$ volts.

Además el inversor requiere $((m - 1)(m - 2))/2$ diodos de enclavamiento los cuales deben de ser capaces de bloquear el voltaje del capacitor. Se requieren de $2(m - 1)$ dispositivos de conmutación. En la Figura 2.6 se muestra el circuito del inversor multinivel con diodos enclavados.

Las ventajas y desventajas de esta topología son las siguientes [7], [6]:

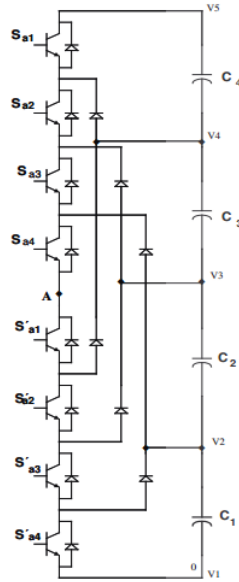


Figura 2.6: Inversor de 5 niveles con diodos enclavados

Dentro de las ventajas que provee esta topología podemos mencionar las siguientes:

- La eficiencia puede ser alta si se consigue que los dispositivos conmuten a la frecuencia fundamental de la portadora.
- Los métodos para secuencia de activación de los interruptores es simple.
- El flujo de potencia reactiva puede ser controlado.

Algunas desventajas que podemos mencionar son las siguientes:

- De igual manera que en el inversor con capacitor flotante si el número de niveles que se quiere generar es grande, la cantidad de diodos también lo será por lo tanto el inversor puede llegar a ser muy complejo de implementar.

- Es difícil controlar el flujo de potencia real para inversores. Debido a que sólo se obtiene energía de los condensadores, esto provoca un desequilibrio en el bus de V_{cd} .

2.4.3. Inversor multinivel en cascada con fuentes independientes

Este inversor está formado por un arreglo en serie de varios puentes H monofásicos completos. Cada puente es alimentado por una fuente de V_{cd} independiente y la salida es la suma de las tensiones de cada uno de los puentes. En la Figura 2.7 se puede observar la configuración de un inversor en cascada con fuentes independientes. Las ventajas y desventajas de

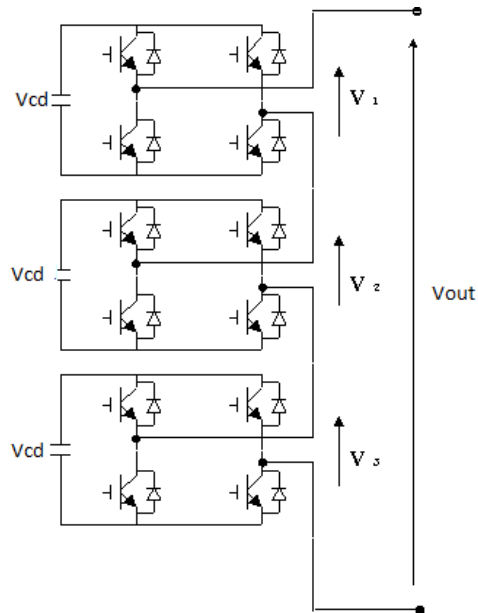


Figura 2.7: Inversor multinivel en cascada con fuentes independientes

esta topología son las siguientes [7], [6]:

Algunas características de esta topología que podemos considerar como ventajas son:

- Comparado con otras topologías requiere un número menor de componentes para generar el mismo número de niveles de tensión.
- Su análisis de operación es sencillo, ya que cada puente H tiene la misma estructura.
- Los interruptores bloquean solamente la tensión proporcionada por la fuente de V_{cd} , por lo tanto al incrementarse el número de niveles los esfuerzos por tensión se reducen.

De igual forma que en los casos anteriores se mencionan las siguientes desventajas:

- Cada puente necesita una fuente de V_{cd} independiente.

- Su aplicación como filtro de armónicos no es conveniente pues si se usan capacitores para alimentar a los inversores, estos deben tener una regulación en el bus de V_{cd} y un balance entre fases ya que si esto no sucede se presentan problemas de regulación de energía y desbalance en la forma de onda de salida.

Se ha comprobado en [13], [9], que los inversores de fuentes independientes presentan mayor estabilidad en su funcionamiento y que además al tener un análisis de operación simple se vuelve fácil modelar el sistema, encontrar el modelo promediado y su posterior uso para diseñar la ley de control. Además de lo anterior, en [5] se plantea una solución al problema de tener que utilizar fuentes de tensión aisladas. Esta solución consiste en una sola fuente de tensión aislada y agregar transformadores a la salida de cada inversor.

Por lo dicho anteriormente y también para continuar y finalizar la implementación de un convertidor multinivel iniciada en [10] y [11], se ha elegido utilizar este tipo de topología.

Funcionamiento

La topología del inversor con fuentes independientes involucra varios puentes H conectados en cascada. Dependiendo del número de puentes H conectados en cascada se pueden generar un determinado número de niveles. Si se considera que las tensiones en los buses de V_{cd} son de la misma magnitud, entonces el número de niveles generados viene dado por

$$m = 2p + 1 \quad (2.1)$$

donde p es el número de puentes H conectados en cascada.

Por simplicidad el funcionamiento de este tipo de circuitos se ilustrará con uno de cinco niveles, es decir cuando se conectan dos puentes H en cascada como lo muestra la Figura 2.8.

Esta topología permite analizar separadamente cada puente H que conforma al multinivel, para luego sólo sumar la salida de cada uno y de esta forma obtener la salida de todo el inversor. Por lo tanto y sabiendo que es posible generar 4 combinaciones con cada puente H y que el inversor está formado por 2 puentes H, el número de combinaciones posibles vendrá dado por las 4 combinaciones del primer puente H multiplicado por las otras 4 combinaciones del segundo puente H dando un total de 16 posibles combinaciones sin contar los casos prohibidos que se pueden generar en cada puente H o los casos sin interés. La Tabla 2.2 muestra las 16 combinaciones.

Los estados 0(3) y 0(4) que aparecen en esta tabla son los niveles de tensión cero en un puente H que se obtienen con las combinaciones 3 y 4 respectivamente presentadas en la Tabla 2.1. Como es lógico al aumentar el número de puentes H se incrementan el número de combinaciones posibles, el cual puede ser calculado como

$$c = 4^p \quad (2.2)$$

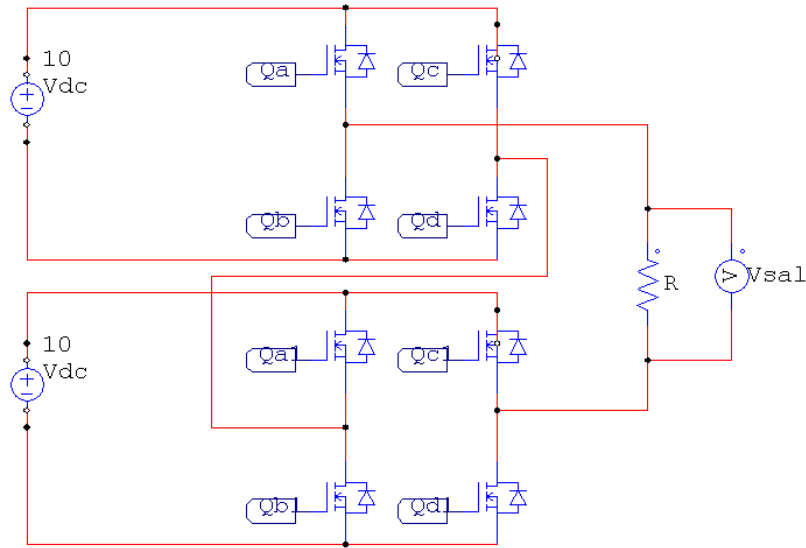


Figura 2.8: Inversor de 5 niveles en cascada con fuentes independientes

<i>Combinaciones</i>	V_{inv1}	V_{inv2}	V_{inv}
1	V_{cd}	V_{cd}	$2V_{cd}$
2	V_{cd}	0(3)	V_{cd}
3	V_{cd}	0(4)	V_{cd}
4	0(3)	V_{cd}	V_{cd}
5	0(4)	V_{cd}	V_{cd}
6	V_{cd}	$-V_{cd}$	0
7	$-V_{cd}$	V_{cd}	0
8	0(3)	0(3)	0
9	0(3)	0(4)	0
10	0(4)	0(3)	0
11	0(4)	0(4)	0
12	$-V_{cd}$	0(3)	$-V_{cd}$
13	$-V_{cd}$	0(4)	$-V_{cd}$
14	0(3)	$-V_{cd}$	$-V_{cd}$
15	0(4)	$-V_{cd}$	$-V_{cd}$
16	$-V_{cd}$	$-V_{cd}$	$-2V_{cd}$

Tabla 2.2: Combinaciones posibles en el inversor de 5 niveles

2.5. Modulación

El objetivo de un inversor conmutado o convertidor CD-CA, consiste en proporcionar a la salida una tensión alterna sinusoidal de magnitud y de frecuencia controlables a partir

de una tensión continua de entrada [21]. Esto es posible haciendo variar la magnitud de la tensión de entrada del inversor, sin embargo esto no siempre es viable además de que conlleva un alto grado de complejidad. Como una alternativa se ha optado por utilizar diversas estrategias de modulación las cuales gobiernan la conmutación de los interruptores permitiendo obtener a la salida una señal de magnitud y frecuencia controlables. Sin lugar a dudas el método más conocido de modulación para tal fin es la modulación por ancho de pulso o PWM. A continuación se explica en qué consiste este método para posteriormente aplicarlo a las diferentes topologías de inversores.

La modulación PWM se basa en comparar una señal moduladora con una portadora para determinar las señales de disparo de los interruptores y la duración de las mismas. Mientras que la señal moduladora establece la frecuencia y la forma de la señal de salida del inversor, la señal portadora establece la frecuencia de conmutación de los interruptores. Por lo dicho anteriormente y recordando que lo que queremos es obtener una señal sinusoidal a la salida del inversor de magnitud y frecuencia variables, resulta claro que nuestra señal moduladora es una sinusoidal a la frecuencia f_m deseada y la portadora una señal triangular a la frecuencia f_p . A este tipo de modulación se le llama PWM sinusoidal [21]. En la Figura 2.9 se muestran las señales que se compararon y el resultado de dicha comparación siguiendo las siguientes reglas:

- Sí $V_m > V_p$ el resultado será un 1 a la salida del comparador
- Sí $V_m < V_p$ el resultado será un 0 a la salida del comparador
- Sí $V_m = V_p$ continua el estado anterior

2.5.1. Modulación en inversor medio puente

Para implementar la modulación mencionada en este tipo de inversores se conectan la salida del comparador al interruptor Q1 de la Figura 2.1 y su negada al interruptor Q2, asegurando de esta forma que jamás estos interruptores estarán cerrados al mismo tiempo, lo cual ocasionaría un corto circuito. En la Figura 2.10, como puede verse, sólo se agregó la salida del inversor a la Figura 2.9, para visualizar de una manera más fácil el proceso de modulación.

La Figura 2.10 muestra el resultado de seguir las siguientes reglas:

- Sí $V_m > V_p$ Se cierra el interruptor Q1 $\Rightarrow V_{sal} = \frac{V_{cd}}{2}$
- Sí $V_m < V_p$ Se cierra el interruptor Q2 $\Rightarrow V_{sal} = -\frac{V_{cd}}{2}$

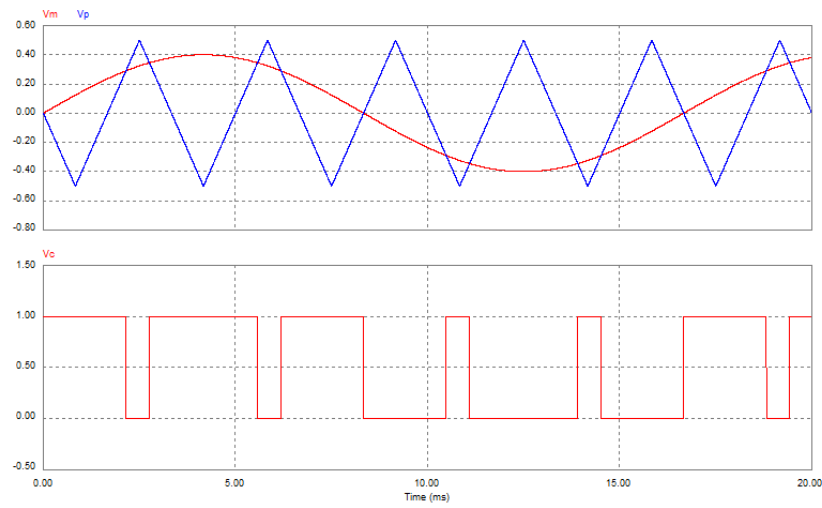


Figura 2.9: Modulación PWM sinusoidal

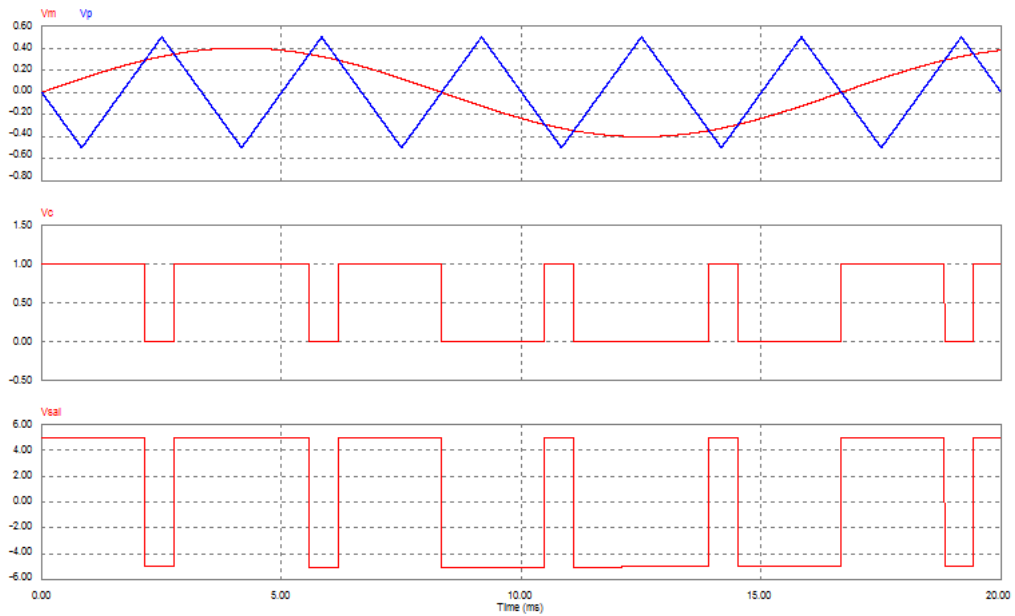


Figura 2.10: PWM sinusoidal y salida del inversor medio puente

Análisis matemático

La salida de cualquier inversor en el cual los interruptores son gobernados por una modulación PWM sinusoidal es una señal sinusoidal a la frecuencia f_m que contiene una serie de armónicos (debido a la conmutación de los interruptores). Al ser periódica la salida, permite su desarrollo empleando series de Fourier, es decir, su representación como una suma de términos sinusoidales. A continuación se muestra este procedimiento matemático realizado en [21] para posteriormente explicar los índices de modulación y frecuencia, los cuales serán de utilidad más adelante para comprender el espectro de armónicos de la señal de salida del inversor.

Sea $v(t)$ una onda periódica, es decir

$$v(t) = v(t + T)$$

Su desarrollo en series de Fourier viene dado por

$$v(t) = V + \sum_{n=1}^{\infty} a_n \sin(n\omega t) + \sum_{n=1}^{\infty} b_n \cos(n\omega t) = V + \sum_{n=1}^{\infty} c_n \cos(n\omega t - \theta_n)$$

donde

$$a_n = \frac{2}{T} \int_0^T v(t) \sin(n\omega t) dt = \frac{1}{\pi} \int_0^{2\pi} v(\varphi) \sin(n\varphi) d\varphi$$

$$b_n = \frac{2}{T} \int_0^T v(t) \cos(n\omega t) dt = \frac{1}{\pi} \int_0^{2\pi} v(\varphi) \cos(n\varphi) d\varphi$$

$$c_n = \sqrt{a_n^2 + b_n^2}$$

$$\theta_n = \arctg\left(\frac{a_n}{b_n}\right)$$

$$V = \frac{1}{T} \int_0^T v(t) dt = \frac{1}{2\pi} \int_0^{2\pi} v(\varphi) d\varphi$$

Si se elige de forma adecuada el origen de tiempos de la onda periódica, ésta puede comportarse como una onda par, impar o alternada, simplificando su desarrollo en series de Fourier. Así, si la onda es par

$$v(t) = v(-t)$$

El término a_n vale cero, por lo que sólo existirán términos cosenos.

Si la onda es impar

$$v(t) = -v(-t)$$

El valor medio V vale cero, así como el término b_n , es decir, sólo existen términos senos. Finalmente si la onda es alternada

$$v(t) = -v(t + \frac{T}{2})$$

se cumple que

$$\begin{aligned} V &= 0 \\ a_{2k} &= b_{2k} = 0 \end{aligned}$$

por lo que se eliminan todos los armónicos pares, quedando sólo los impares.

Se define al índice de modulación de amplitud o m_a como el cociente entre los valores pico o amplitudes de la señal moduladora y la señal portadora

$$m_a = \frac{Vp_m}{Vp_p} \quad (2.3)$$

Por otro lado, el índice de modulación de frecuencia o m_f se define como el cociente entre la frecuencia de la señal portadora y la frecuencia de la señal moduladora

$$m_f = \frac{f_p}{f_m} \quad (2.4)$$

Si observamos la Figura 2.11, la cual muestra la salida del inversor cuando $m_f = 10$, y tomamos como punto de inicio ($t = 0$) al finalizar el primer ciclo de la señal moduladora se puede ver que es una onda par, ya que se cumple que

$$V_{sal}(t) = V_{sal}(-t)$$

En general siempre que el m_f es par, la salida del inversor es una onda par aunque debe siempre tenerse en cuenta, como se dijo anteriormente, el inicio de la señal portadora y moduladora.

De igual forma si el m_f es impar (en el caso de la Figura 2.12 $m_f = 11$) entonces la salida del inversor es una onda impar ya que se cumple que

$$V_{sal}(t) = -V_{sal}(-t)$$

Otro aspecto que debe notarse es que cuando m_f es impar la salida del inversor es una onda alternada, es decir

$$V_{sal}(t) = -V_{sal}(t + \frac{T}{2})$$

Por lo tanto, si se elige m_f de valor impar, la descomposición en series de Fourier de la señal V_{sal} sólo presentará armónicos sinusoidales de orden impar. A continuación, en la Figura 2.13, se presenta el espectro de armónicos de la señal de salida del inversor medio puente

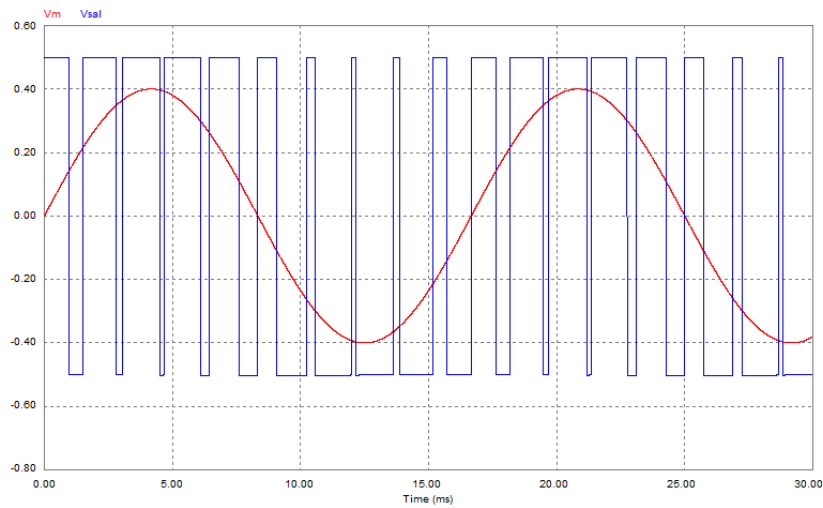


Figura 2.11: Voltaje de salida par

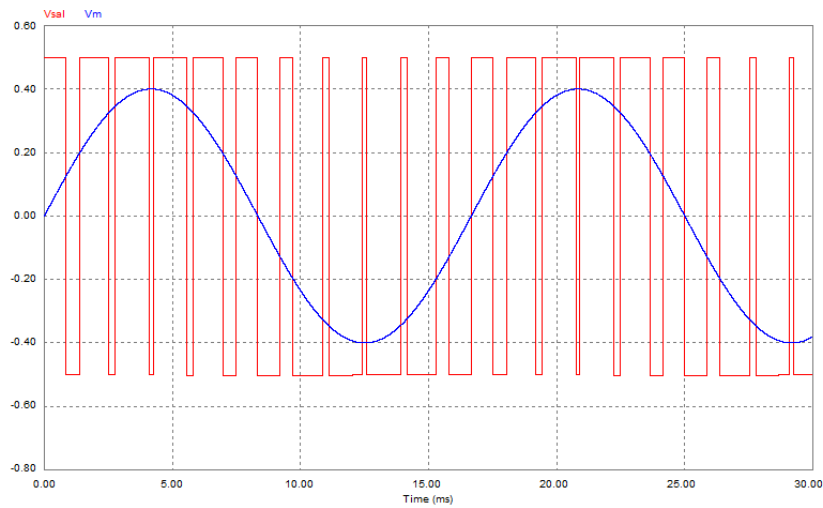


Figura 2.12: Voltaje de salida impar

cuando $m_f = 11$, $m_a = 0,8$ y $\frac{V_{cd}}{2} = 5$.

La primera observación que puede hacerse es que el valor de la tensión pico del armónico de frecuencia fundamental (60 Hz) es

$$V_1 = m_a \frac{V_{cd}}{2} \tag{2.5}$$

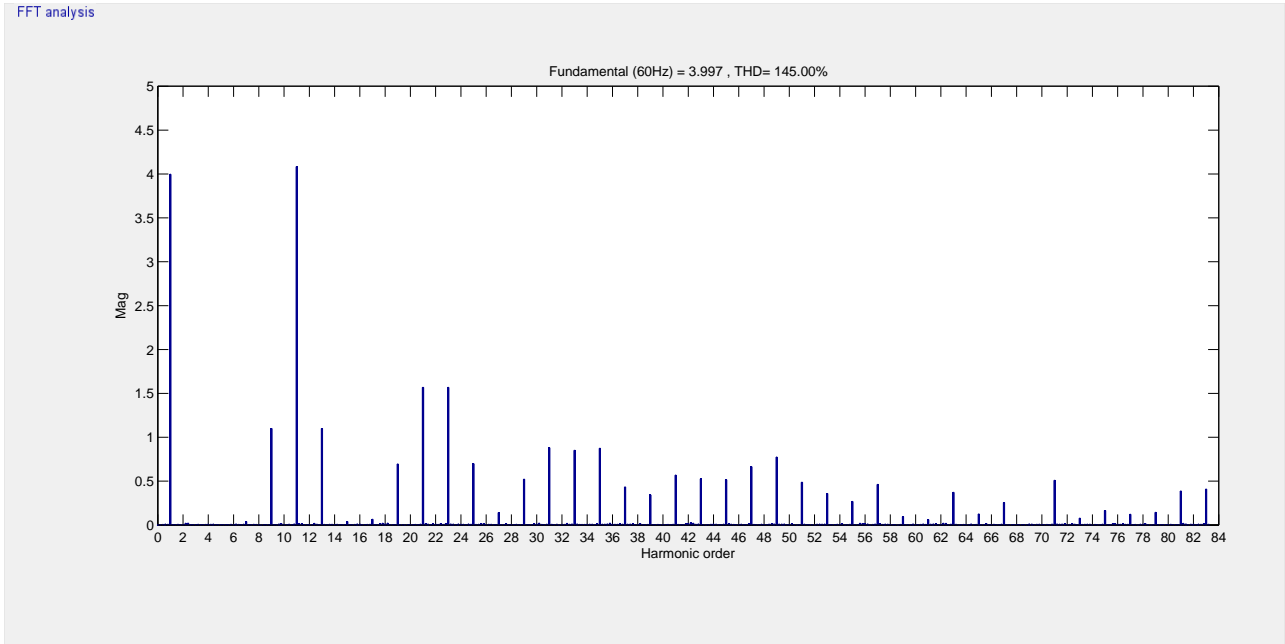


Figura 2.13: Espectro de armónicos de la onda de salida impar

La ecuación anterior permite calcular el valor pico del armónico a la frecuencia fundamental y es válida siempre y cuando se cumpla que $m_a \leq 1$, es decir cuando m_a se encuentre comprendida en la zona de modulación lineal.

Como se mencionó anteriormente y ahora puede comprobarse con la Figura 2.13, la señal V_{sal} sólo presenta armónicos sinusoidales de orden impar, es decir en m_f , $3m_f$, $5m_f$, etc.

Finalmente para un m_a comprendido entre cero y la unidad, el voltaje de salida presenta tensiones armónicas en bandas centradas en la frecuencia de conmutación y sus múltiplos, es decir, en torno a los armónicos m_f , $2m_f$, $3m_f$, etc. Además, al tratarse de armónicos impares, éstos aparecerán a la frecuencia $f_n = n f_1$ donde n es impar, es decir

$$n = j m_f \pm k$$

Así, el armónico de orden n se corresponde con la n -ésima banda del índice de modulación de frecuencia en el tiempo j . Para $n = 1$ se obtiene la frecuencia fundamental. Si j es impar, sólo existen armónicos para valores pares de k , y si j es par, éstos únicamente existirán para valores impares de k .

2.5.2. Modulación en inversor puente completo

PWM con conmutación de tensión bipolar

Al utilizar una modulación PWM sinusoidal se obtiene la señal que accionará los interruptores del puente H, sólo que ahora lo hará por parejas. Estas parejas están conformadas

por los interruptores [Qa , Qd] y [Qb , Qc] de la Figura 2.3. De esta forma los interruptores pertenecientes a un mismo par se activan por la salida del comparador (V_c), mientras que la otra pareja de interruptores se desactivan por la negada de esta misma señal (\bar{V}_c), es decir siempre que una pareja se encuentre activada la otra permanece desactivada. A continuación se resume lo anteriormente expuesto:

- Sí $V_m > V_p$ Se cierran los interruptores Qa y Qd y se abren Qb y Qc $\Rightarrow V_{sal} = V_{cd}$
- Sí $V_m < V_p$ Se cierran los interruptores Qb y Qc y se abren Qa y Qd $\Rightarrow V_{sal} = -V_{cd}$

La Figura 2.14 nos permite visualizar lo anterior.

Debido a que la tensión de salida oscila entre los valores de V_{cd} y $-V_{cd}$, a esta técnica de PWM se le denomina de tensión bipolar.

El análisis llevado a cabo para el inversor de medio puente resulta valido para el inversor

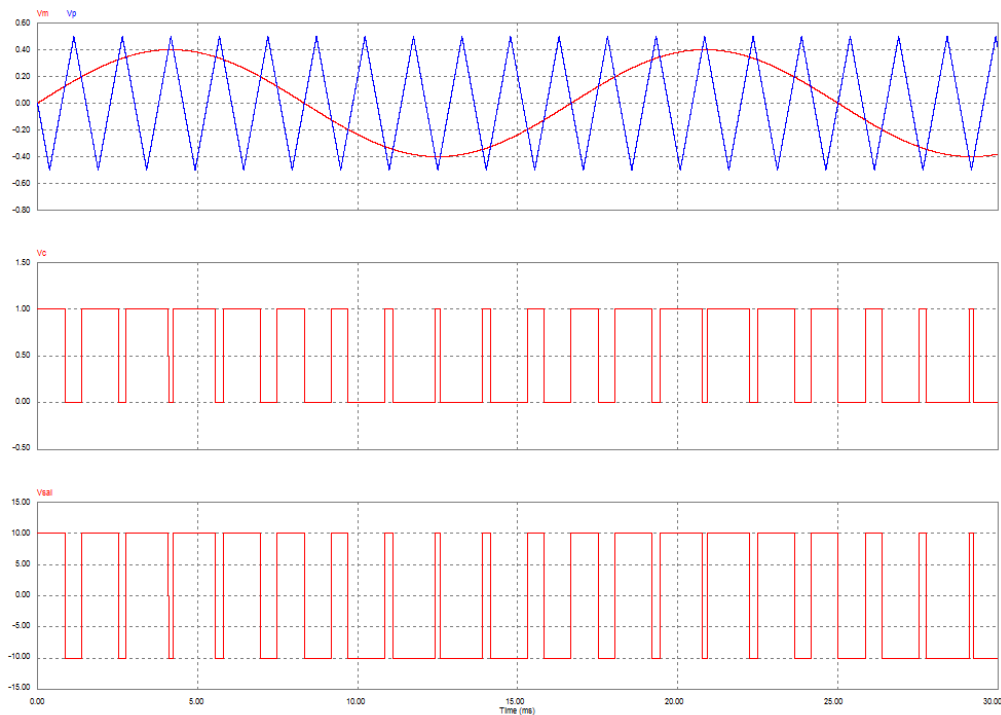


Figura 2.14: Voltaje de salida del puente H utilizando modulación bipolar

en puente completo. Por lo tanto utilizando (2.5) y cambiando el voltaje de salida del medio

puente por el del puente completo se obtiene que el valor pico de la componente de frecuencia fundamental de la tensión de salida en la zona lineal se calcula como

$$V_1 = m_a V_{cd} \quad (2.6)$$

por lo que los inversores en puente completo contendrán el mismo número de armónicos que los de medio puente, pero su amplitud será del doble. A continuación la Figura 2.15 muestra el espectro de armónicos cuando $m_f = 11$, $m_a = 0,8$ y $V_{cd} = 10$:

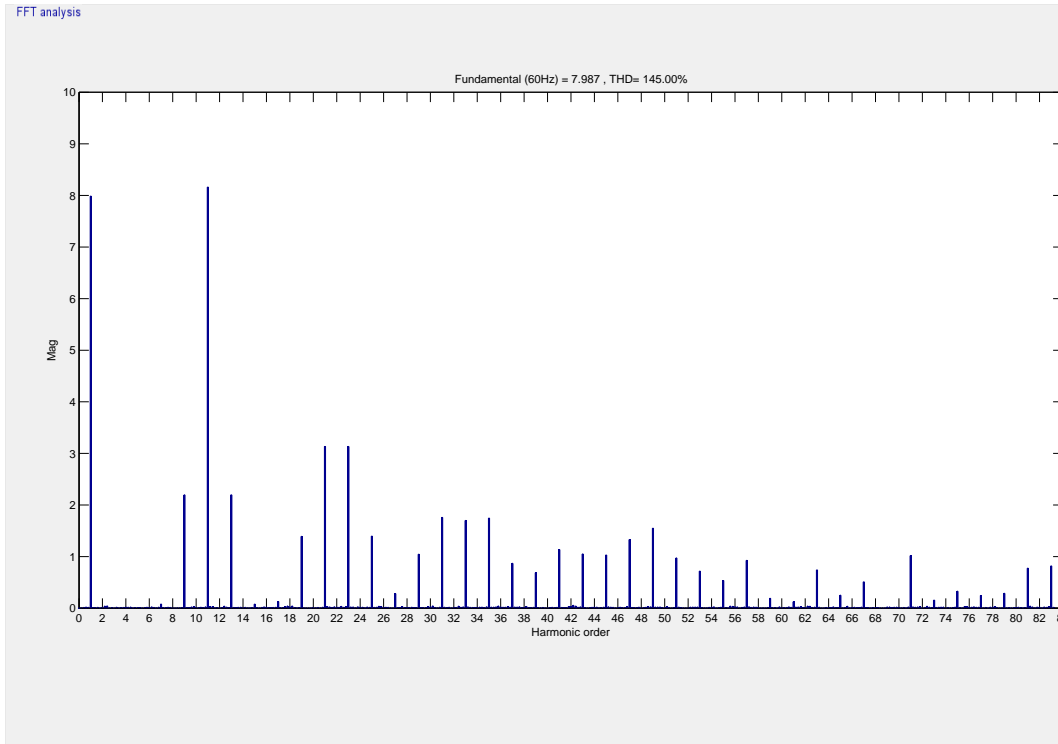


Figura 2.15: Espectro de armónicos de la onda de salida con modulación bipolar

PWM con conmutación de tensión unipolar

En este tipo de modulación se manejan dos señales moduladoras, la señal V_m y su respectiva negada (\bar{V}_m) las cuales se comparan con una misma señal portadora V_p (triangular) para obtener las señales de encendido y apagado de los interruptores. Como puede verse se obtienen dos señales de los comparadores, cada señal del comparador con su respectiva negada se asignan a una rama del puente H y de esta forma se obtiene un voltaje a la salida sin producir un corto circuito. A continuación se resume lo anteriormente dicho:

- Sí $V_m > V_p$ Se cierra el interruptor Qa y se abre el Qb

- Sí $V_m < V_p$ Se cierra el interruptor Qb y se abre el Qa
- Sí $\bar{V}_m > V_p$ Se cierra el interruptor Qc y se abre el Qd
- Sí $\bar{V}_m < V_p$ Se cierra el interruptor Qd y se abre el Qc

Existen cuatro combinaciones diferentes que se pueden formar dependiendo del estado que adopten los interruptores:

- Sí Qa y Qd están cerrados $\Rightarrow V_{sal} = V_{cd}$
- Sí Qb y Qc están cerrados $\Rightarrow V_{sal} = -V_{cd}$
- Sí Qa y Qc están cerrados $\Rightarrow V_{sal} = 0$
- Sí Qb y Qd están cerrados $\Rightarrow V_{sal} = 0$

La Figura 2.16 nos permite visualizar lo anterior.

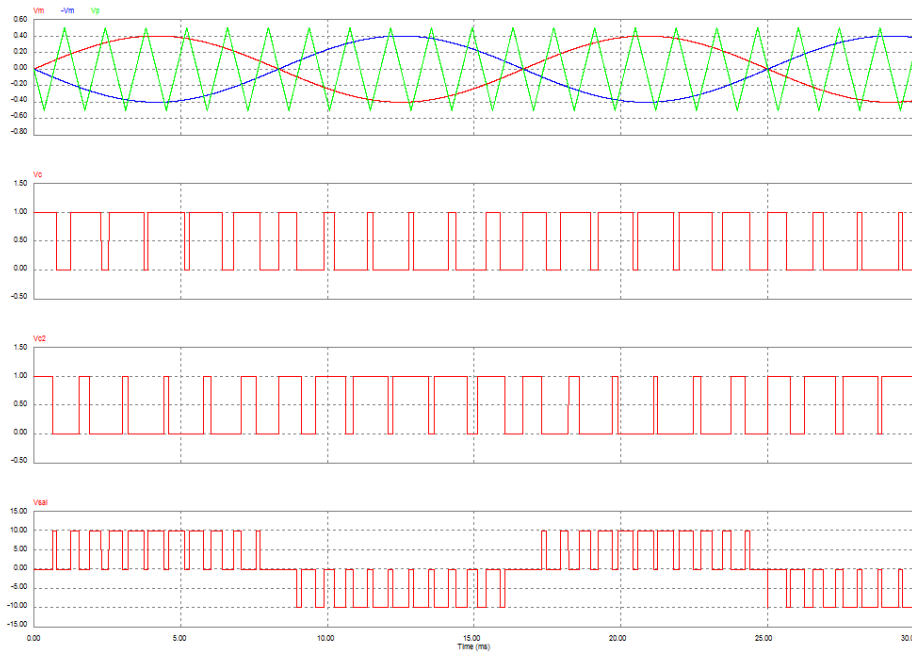


Figura 2.16: Voltaje de salida del puente H utilizando modulación unipolar

Como puede verse en la figura 2.16, cuando una pareja de interruptores cambia de estado, la

tensión de salida conmuta entre 0 y V_{cd} ó entre 0 y $-V_{cd}$. Por ello, esta forma de control recibe el nombre de PWM con conmutación de tensión unipolar. Además, el salto en la tensión de salida se reduce a V_{cd} esto es, a la mitad que en el caso de conmutación por PWM bipolar. La frecuencia efectiva de conmutación en el PWM unipolar es el doble que en el PWM bipolar. Esta ventaja queda reflejada en el espectro de armónicos de la tensión de salida que se muestra Figura 2.17, donde los armónicos más bajos aparecen en bandas centradas en múltiplos de $2f_s$.

En este tipo de modulación a diferencia de la bipolar se elige un valor par para el índice de modulación de frecuencia ya que al hacerlo así se elimina la componente armónica del voltaje de salida a la frecuencia de conmutación f_p , $3f_p$, $5f_p$...etc y sus correspondientes bandas laterales, situándose los armónicos sólo en bandas centradas en $2f_p$ y sus múltiplos, esto es

$$k m_f \pm j$$

donde k es par y j impar.

A continuación se muestra el espectro de armónicos de la salida del inversor con modulación unipolar cuando $m_f = 10$, $m_a = 0,8$ y $V_{cd} = 10$:

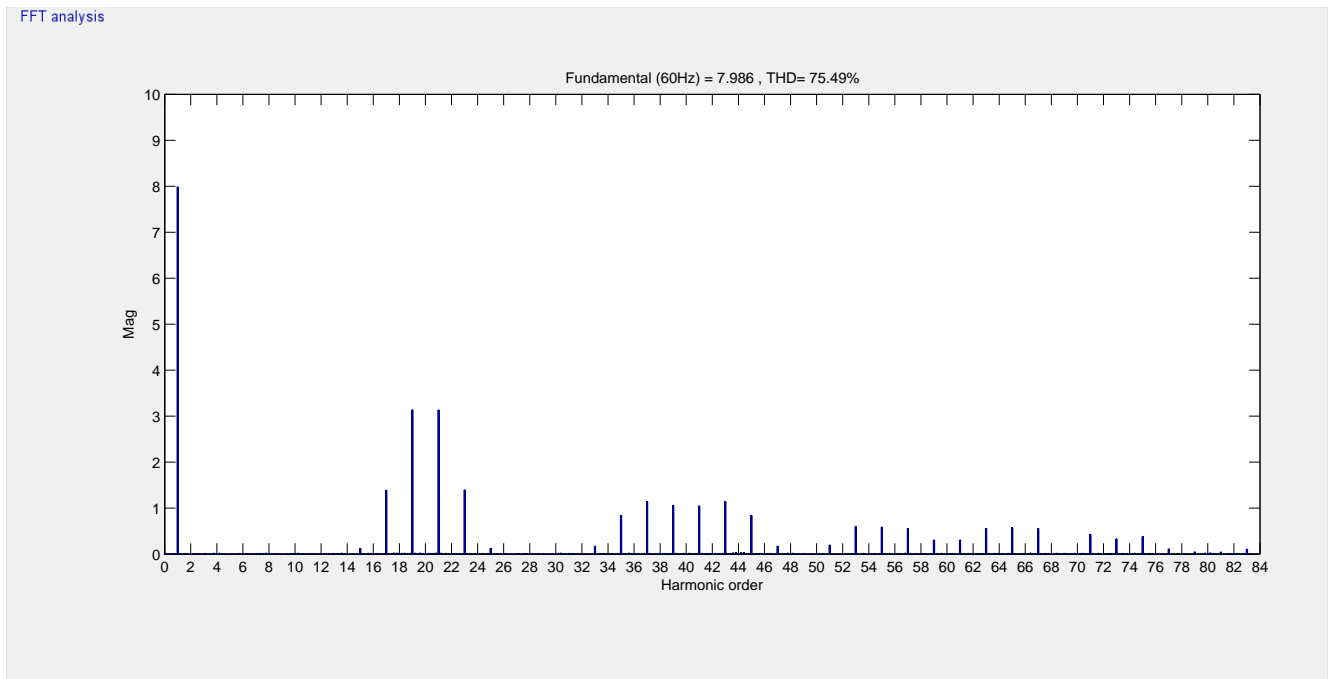


Figura 2.17: Espectro de armónicos de la onda de salida con modulación unipolar

2.5.3. Modulación en inversor multinivel

Una de las estrategias de modulación más aplicada en inversores multinivel es el método de multiportadoras los cuales son analizados y pueden ser revisados en las siguientes publicaciones [2],[17],[19],[24],[7],[1]. Este tipo de método se puede dividir en las siguientes tres categorías:

- Cuando la fase es diferente entre las diversas portadoras (corrimientos de fase).
- Cuando cada portadora tiene un diferente nivel de tensión (disposición).
- Cuando la fase de alguna o algunas portadoras es recorrida 180° (oposición).

La combinación de las categorías anteriores permite crear un número mayor de posibilidades de modulación utilizando multiportadoras. Para todos los métodos de multiportadoras se cumple el hecho de que el número de portadoras que deben existir está dado por $m - 1$ (m es el número de niveles generados por el inversor) y la disposición de las portadoras depende del método que se esté utilizando. A continuación se mencionan los métodos PWM de multiportadoras más utilizados:

Método de Corrimiento de Fase (Phase Shifted-PS)

En este método las $m - 1$ portadoras triangulares están defasadas cada θ grados, donde

$$\theta = \frac{360^\circ}{(m - 1)}$$

Todas las portadoras tienen la misma amplitud y la comparación de cada una de ellas con la señal moduladora entrega las señales de encendido y apagado de los dispositivos de conmutación. Este método permite relacionar cada señal resultante de la comparación entre portadora y moduladora con cada señal de control que se vaya a definir. A continuación se muestran las portadoras con la moduladora y las salidas de los comparadores conectadas a cada MOSFET del inversor de 5 niveles de la Figura 2.8.

La Figura 2.18 es resultado de seguir las siguientes reglas:

- Sí $V_m > V_p$ Se cierra el interruptor Qa y se abre el Qb
- Sí $V_m < V_p$ Se cierra el interruptor Qb y se abre el Qa
- Sí $V_m > V_{p2}$ Se cierra el interruptor Qd y se abre el Qc
- Sí $V_m < V_{p2}$ Se cierra el interruptor Qc y se abre el Qd
- Sí $V_m > V_{p3}$ Se cierra el interruptor Qa1 y se abre el Qb1
- Sí $V_m < V_{p3}$ Se cierra el interruptor Qb1 y se abre el Qd1

- Sí $V_m > V_{p4}$ Se cierra el interruptor Qd1 y se abre el Qc1
- Sí $V_m < V_{p4}$ Se cierra el interruptor Qc1 y se abre el Qd1

Como puede verse para evitar cerrar dos interruptores de una misma rama las señales de cada uno de los interruptores cumplen con

$$Qb = \bar{Q}a \quad Qc = \bar{Q}d \quad Qb1 = \bar{Q}a1 \quad Qc1 = \bar{Q}d1$$

En la Figura 2.19 se muestra la onda de salida del inversor cuando $m_a = 0,8$, $m_f = 6$, y $V_{cd} = 10$ en ambos puentes.

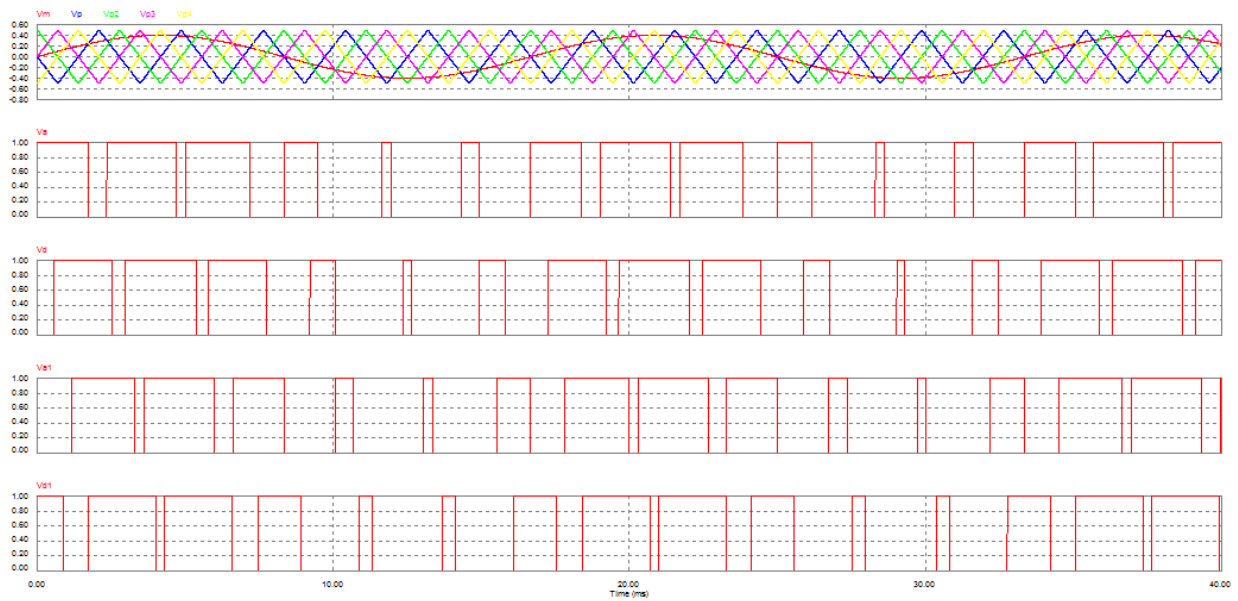


Figura 2.18: Modulación por el método de corrimiento de fase

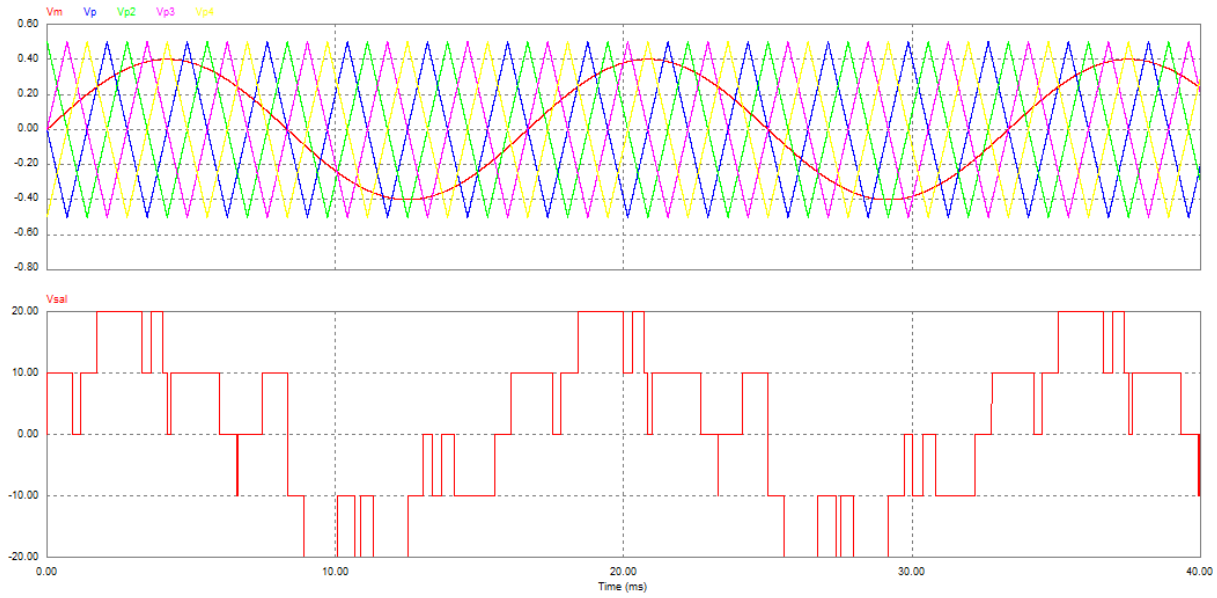


Figura 2.19: Onda de salida del inversor aplicando modulación por corrimiento de fase

Método de Oposición y Disposición de Fase (Phase Opposition Disposition-POD)

En el método de Oposición y Disposición de Fase se tienen $(m - 1)/2$ portadoras ubicadas por arriba del nivel cero a una fase θ y las $(m - 1)/2$ restantes bajo el cero a una fase $\theta + 180^\circ$. Están acomodadas de forma que el valor pico de la primera corresponde al valor mínimo de la segunda y así consecutivamente. En la Figura 2.20 se puede observar el resultado de este tipo de modulación en la salida de los comparadores los cuales están conectados a los mismos interruptores que en el caso de corrimiento de fase. La Figura 2.21 muestra la onda de salida del inversor, aplicando la modulación POD.

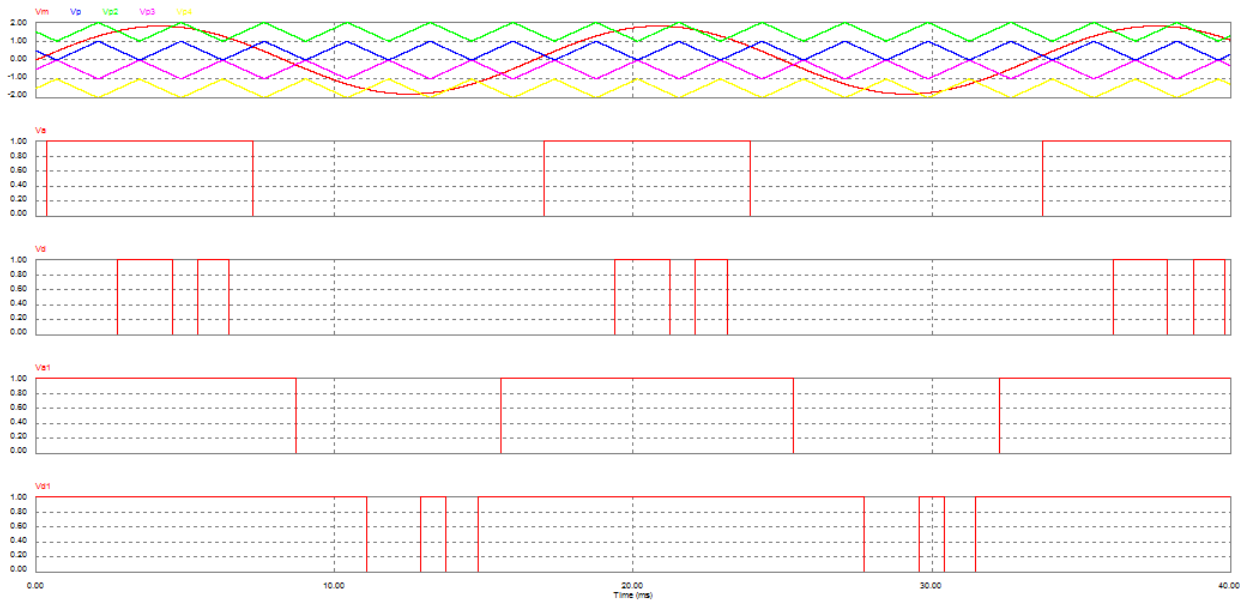


Figura 2.20: Modulación por el método de oposición y disposición de fase

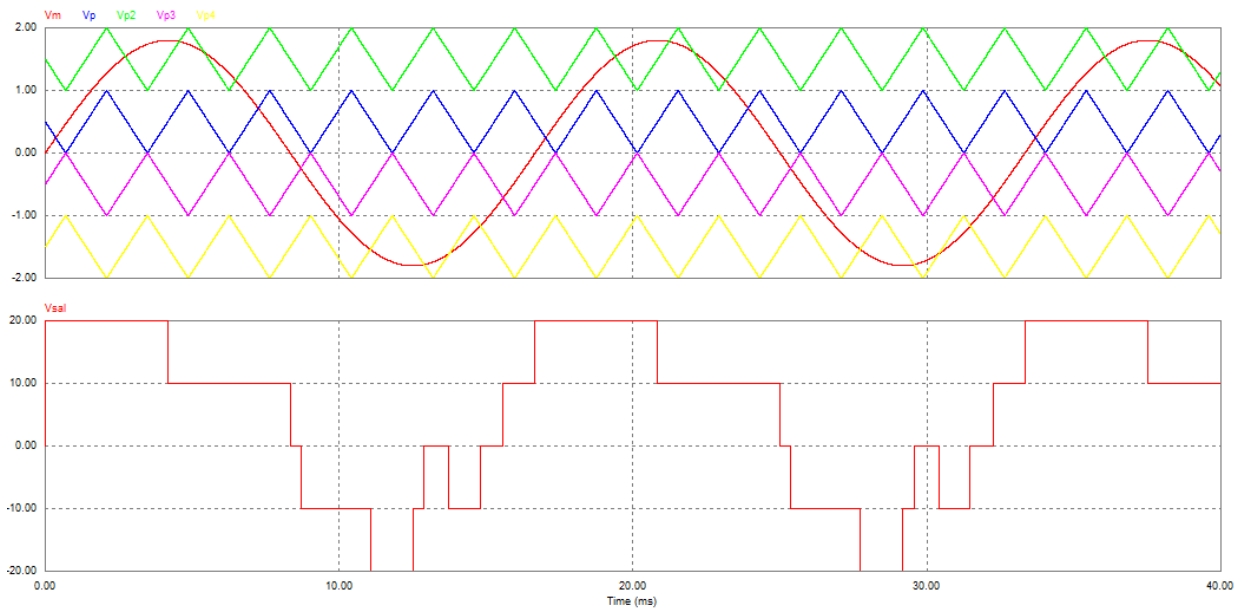


Figura 2.21: Onda de salida del inversor aplicando modulación por oposición y disposición de fase

Método de Disposición de Fase (Phase Disposition-PD)

De igual forma que en el método POD, se tienen la mitad de las portadoras arriba del nivel cero y la otra mitad abajo de este nivel, acomodadas de tal forma que el valor pico de la primera corresponde al valor mínimo de la segunda y así consecutivamente. A diferencia del

método POD ahora todas las portadoras se encuentran en fase. En la Figura 2.22 se puede observar el resultado de este tipo de modulación en la salida de los comparadores, los cuales están conectados a los mismos interruptores que en el caso de corrimiento de fase. La Figura 2.23 muestra la onda de salida del inversor, aplicando la modulación PD.

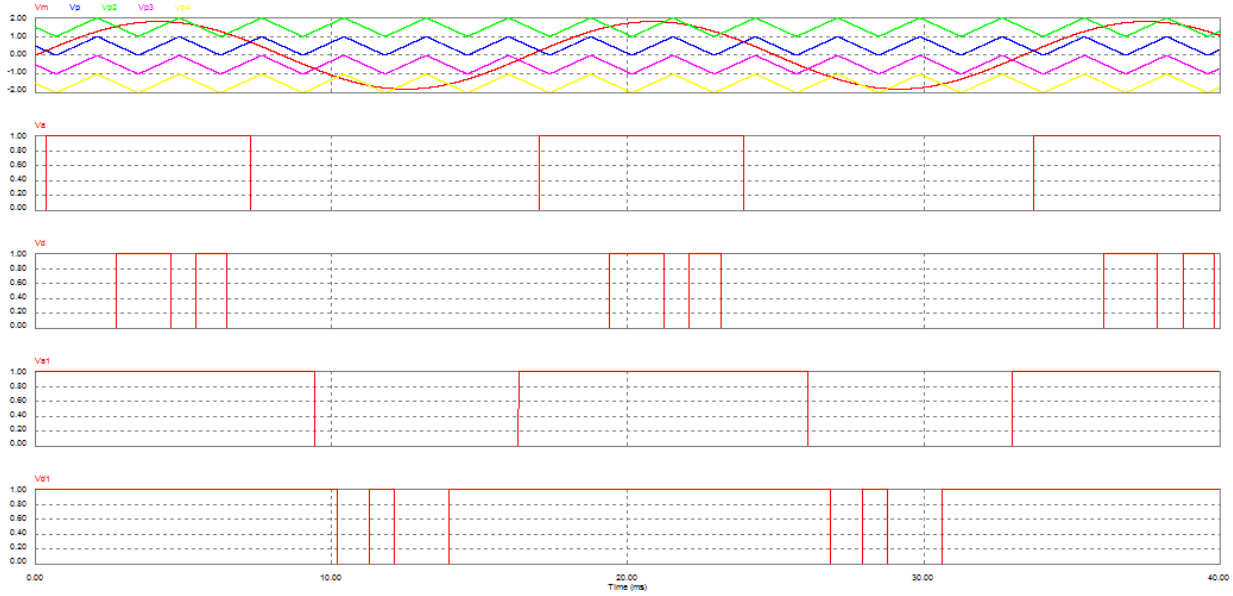


Figura 2.22: Modulación por el método de disposición de fase

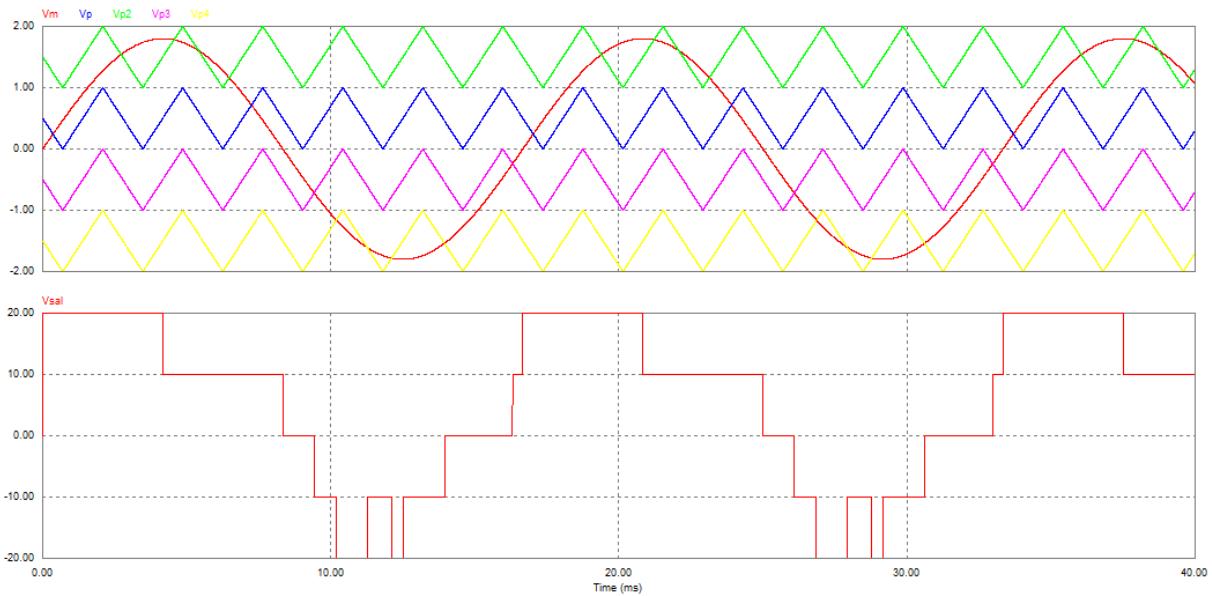


Figura 2.23: Onda de salida del inversor aplicando modulación por disposición de fase

Método Oposición y Disposición de Fase Alternada (Alternate Phase Opposition Deposition - APOD)

De igual forma que en el método PD y POD, la mitad de las portadoras se colocan arriba del nivel cero y la otra mitad debajo de él, acomodadas de tal forma que el valor pico de la primera corresponde al valor mínimo de la segunda y así consecutivamente, sólo que ahora la fase de cada portadora se alterna 180° respecto a la anterior. En la Figura 2.24 se puede observar el resultado de este tipo de modulación en la salida de los comparadores los cuales están conectados a los mismos interruptores que en el caso de corrimiento de fase. La Figura 2.25 muestra la onda de salida del inversor, aplicando la modulación APOD.

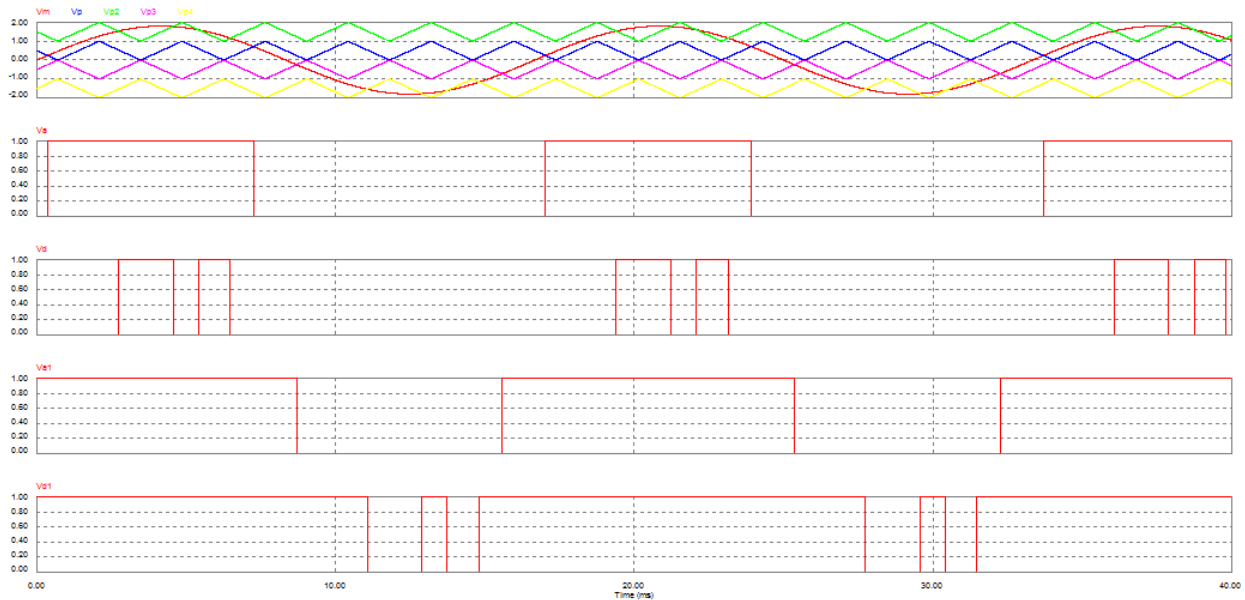


Figura 2.24: Modulación por el método de oposición y disposición de fase alternada

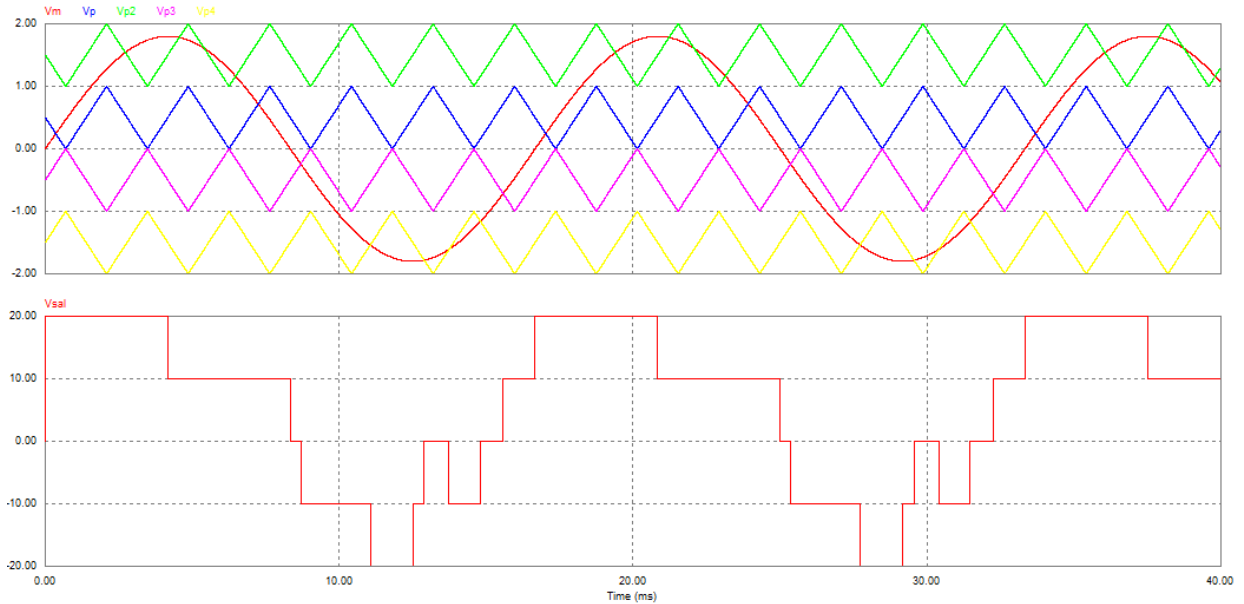


Figura 2.25: Onda de salida del inversor aplicando modulación por oposición y disposición de fase alternada

2.6. Parámetros de desempeño de los inversores

El rendimiento de los inversores suele medirse por medio de la calidad de la señal alterna que generan, para ello se mide la cantidad de señales armónicas presentes en la señal de salida [10]. Asimismo es de interés saber las pérdidas que se presentan durante su funcionamiento. A continuación se explican estos dos temas.

2.6.1. Distorsión armónica total

Para poder medir la cantidad de componentes armónicas presentes en la señal de salida de un convertidor, se utiliza el parámetro llamado THD el cual evalúa la coincidencia de una señal con respecto a la componente fundamental de ésta. Para el caso de los convertidores en general, la forma de la señal deseada es una onda sinusoidal simétrica. El inversor ideal es aquel que genera señales de salida con un THD igual a cero.

Matemáticamente el THD se define como

$$THD = \frac{\sqrt{\sum_{k=2}^{\infty} V_k^2}}{V_1} \quad (2.7)$$

donde V_k es el valor RMS de la k-ésima armónica y V_1 es el valor RMS de la componente fundamental del voltaje de salida del inversor.

2.6.2. Pérdidas

Las pérdidas en los inversores se pueden clasificar en dos rubros:

- Pérdidas por conducción: Éstas se deben a que los interruptores electrónicos presentan una pequeña caída de tensión cuando conducen, generalmente este valor no es mayor a 2[V]. La ecuación (2.8) nos permite obtener las pérdidas por conducción y se obtiene al modelar al interruptor como un resistor cuyo valor es R_{ds} (valor especificado en la hoja de datos del dispositivo).

$$P_{cond} = I_{rms}^2 R_{ds} \quad (2.8)$$

- Pérdidas por conmutación: Estas pérdidas están asociadas al proceso de transición de los interruptores electrónicos de su estado de apagado al de encendido y viceversa. Por lo anterior es de suponer que este valor está relacionado con la frecuencia de conmutación que se esté manejando. Estas pérdidas se calculan como

$$P_{comm} = 0,5V_{in}I_{rms}f_{sw}(tr + tf) \quad (2.9)$$

donde

- V_{in} es el voltaje de entrada.
- I_{rms} es la corriente eficaz que pasa por los interruptores.
- f_{sw} es la frecuencia de conmutación de los interruptores.
- tr y tf son los tiempos de conmutación de subida y bajada del transistor (especificados en la hoja de datos).

Capítulo 3

Diseño del convertidor multinivel

3.1. Introducción

En este capítulo se describe el diseño del Sistema de Evaluación de Esquemas de Conmutación (SEEC), definido en [11] y con el cual se realizaron las pruebas experimentales que se describen en el capítulo siguiente.

3.2. Sistema de Evaluación de Esquemas de Conmutación

Un Sistema de Evaluación de Esquemas de Conmutación (SEEC), está constituido por tres etapas:

- La etapa de control.
- La planta diseñada y desarrollada previamente en [10] y [11].
- La etapa de realimentación.

Puede observarse en la Figura 3.1 como interactúan estas tres etapas para conformar el SEEC.

3.2.1. Etapa de Control

Tarjeta de adquisición y procesamiento de datos

Las señales de control nos indican el encendido y apagado de los interruptores de un convertidor, además del tiempo que deben de durar en ese estado, es decir contienen información que se verá reflejada en la señal de salida del convertidor. Generalmente esa información está contenida en la señal moduladora y es transferida a los interruptores mediante alguna técnica de modulación.

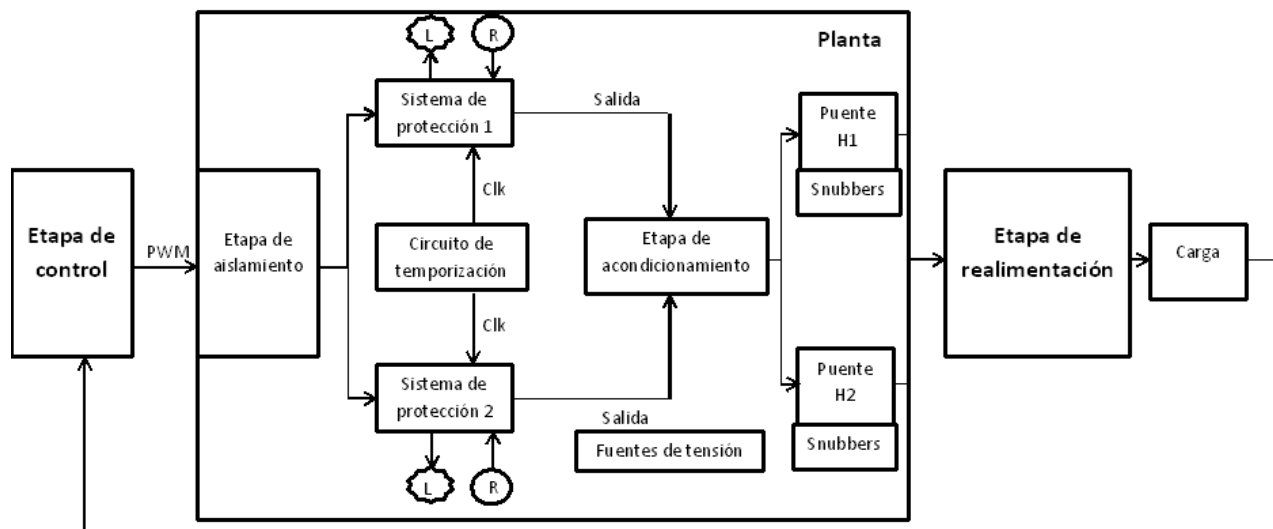


Figura 3.1: Sistema de Evaluación de Esquemas de Conmutación

La señal moduladora puede ser una señal constante, una señal variable en el tiempo o puede obtenerse a través de la implementación de un esquema de control, como fue en este trabajo. La señal moduladora se obtuvo al implementar un esquema de control en SIMULINK, el cual es un entorno que utilizando bloques simula modelos de sistemas dinámicos. La principal razón por la que se escogió SIMULINK fue que nos permite no sólo simular el esquema de control sino también implementarlo físicamente a través de la tarjeta de adquisición de datos DS1104 de la marca dSPACE.

La tarjeta cuenta con los siguientes periféricos para la adquisición y salida de información:

- 8 convertidores digital-analógico.
- 8 convertidores analógico-digital.
- Un modulo PWM.

Para la realización de este trabajo se utilizaron 2 convertidores analógico-digital (para medir corriente en el inductor y voltaje en el capacitor) y el modulo PWM.

Modulación

La estrategia de modulación PWM más implementada en los inversores multinivel en cascada y en aplicaciones industriales es la basada en multiportadoras, tal como se muestra en [7].

De todos los tipos de modulación que existen basados en multiportadoras y que se revisaron anteriormente, el método por corrimiento de fase fue el elegido, debido a que nos permite posicionar el rizo de conmutación a una frecuencia mayor que la frecuencia de conmutación (4 veces en nuestro caso), además de reducir el contenido armónico de la señal salida, tal

como se muestra en [1] y [17], y permitimos obtener cierto grado de libertad en la asignación de las señales de conmutación.

Lamentablemente la implementación de las estrategias PWM basadas en multiportadoras (incluyendo el método por corrimiento de fase) con el objeto de lograr sintetizar una señal sinusoidal con un número más grande de niveles tensión, se vuelve cada vez mas complicada a medida que aumenta el número de niveles, ya que es necesario diseñar y desarrollar los circuitos electrónicos que generen las señales necesarias para el funcionamiento del sistema de modulación, la mayoría de las veces con elementos analógicos lo cual incrementa el tamaño del sistema, ocasionando que sea más difícil localizar posibles fallas y disminuyendo la capacidad de modificación del sistema [6].

Como una solución a lo anterior se decidió implementar la modulación propuesta en [3] en el inversor de 5 niveles. Esto se justifica con los resultados analíticos y experimentales reportados en ese mismo documento, los cuales resultan ser bastante similares a los que se obtiene aplicando la estrategia PWM de portadoras con corrimiento de fase en un inversor multinivel.

La gran ventaja de la estrategia PWM que se propone en [3] y que ahora se denotará PWM de retraso, es que evita tener que generar un número mayor de señales portadoras a medida que se va incrementando el número de niveles que el multinivel puede sintetizar, reduciéndolo a un simple PWM sinusoidal. A continuación se explica su principio de funcionamiento.

El principio de funcionamiento de la estrategia PWM de retraso se basa en aplicar corrimientos de tiempo, denominados Δt , entre las señales de control de cada uno de los interruptores principales de cada rama. Los Δt son determinados con la ecuación (3.1).

$$\Delta t = \frac{1}{2pf_p} \quad (3.1)$$

donde

- p es el numero de puentes H conectados en cascada
- f_p es la frecuencia de la señal portadora

El diagrama de bloques de la Figura 3.2 muestra el procedimiento para obtener las señales de disparo de cada uno de los interruptores de un puente H. El procedimiento como puede verse consiste en comparar una señal moduladora con una portadora para obtener un patrón de pulsos, el cual es la señal de control s_{11} y pasará a través de un bloque de retardo para generar la señal de control s_{13} , que a su vez también pasará a través de un bloque de retardo para obtener la señal s_{21} y así sucesivamente dependiendo del número de niveles que se quieran generar.

Utilizando el mismo tiempo de retardo se asegura que el corrimiento entre las señales sea igual. Con base en lo explicado anteriormente, en la Figura 3.3 se muestran los patrones de conmutación de un inversor de 5 niveles.

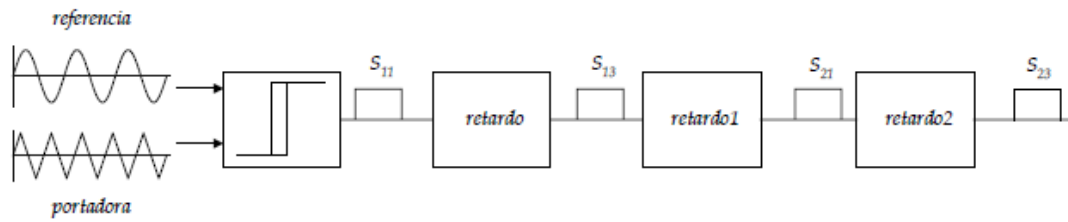


Figura 3.2: Diagrama de bloques estrategia PWM

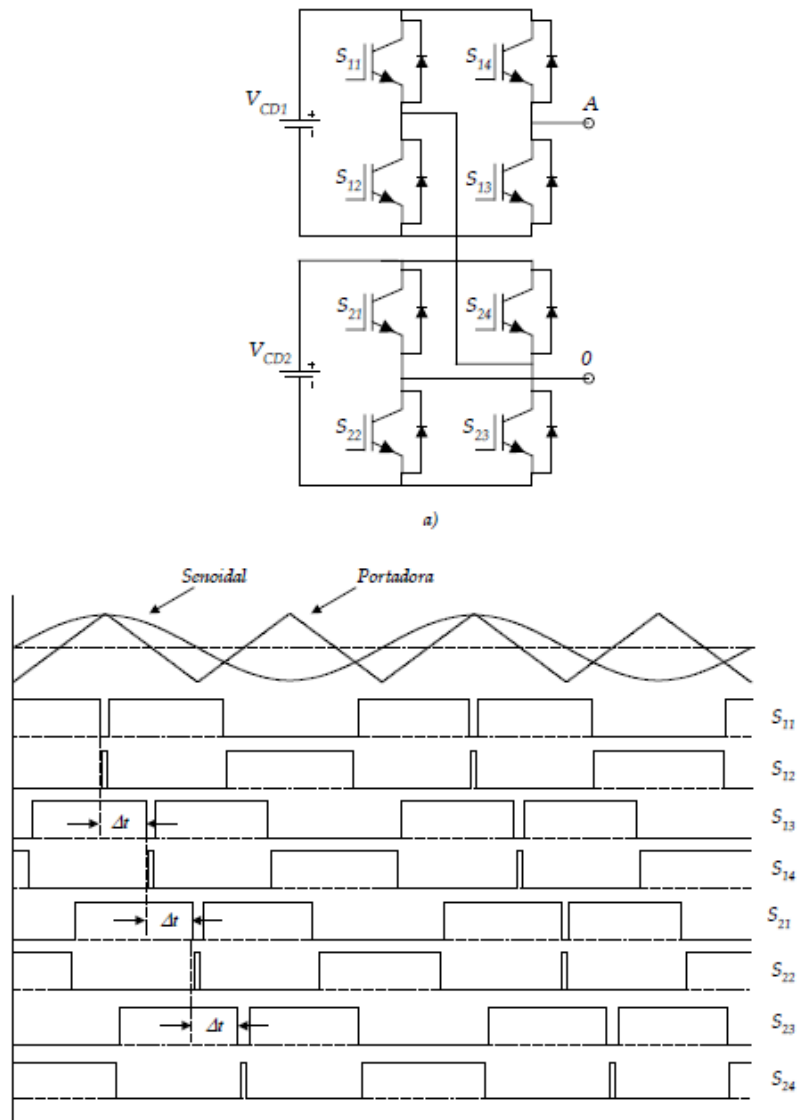


Figura 3.3: Patrones de conmutación para un inversor de 5 niveles

Analizando la Figura 3.3 se observa que sólo es necesario generar corrimientos entre las señales s_{11} , s_{13} , s_{21} y s_{23} , debido a que los patrones de conmutación restantes son estas mismas señales pero negadas.

La aplicación de corrimientos en el patrón de conmutación PWM original permite reproducir los niveles de tensión en la topología multinivel de inversores en cascada con sólo una señal portadora lo cual permite que el costo del sistema de control se reduzca y que sea más fácil expandir el número de niveles de tensión que se deseen reproducir.

Resultados numéricos

A continuación se muestran las simulaciones de la modulación PWM de retraso implementada en un inversor de 5 niveles, hechas en el software PSIM de la empresa Powersim.

Teniendo en cuenta que se trabaja con una f_p de $4000[Hz]$, una f_m de $60[Hz]$ y se tienen dos puentes H conectados en cascada ($p = 2$), de acuerdo a la ecuación (3.1) el corrimiento entre las señales es de:

$$\Delta t = \frac{1}{2pf_p} = \frac{1}{(2)(2)(4000)} = 62,5[\mu s]$$

En la Figura 3.4 se muestran los patrones de conmutación del inversor de 5 niveles, una señal por rama, entendiéndose que la otra es su negada.

En la Figura 3.5 se muestra la salida del inversor multinivel, cuando se conecta el patrón de conmutación anterior, a los interruptores. Además en la Figura 3.6 se presenta el espectro de armónicos de esta señal, donde se puede ver que el rizo de conmutación se ubica a la frecuencia $16 [kHz]$, cumpliendo con la ecuación (3.2) que se aplica originalmente en la modulación PWM de portadoras con corrimiento de fase. Es decir

$$f_{rizo} = n * f_p \tag{3.2}$$

donde:

- n es el número de señales portadoras por fase
- f_p es la frecuencia de la señal portadora
- f_{rizo} es la frecuencia del rizo en la tensión de salida

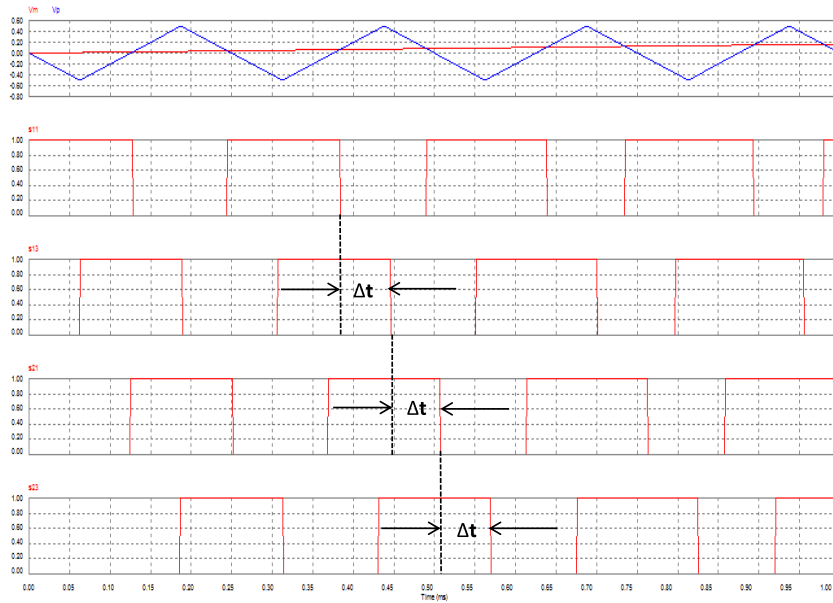


Figura 3.4: Patrones de conmutación para un inversor de 5 niveles

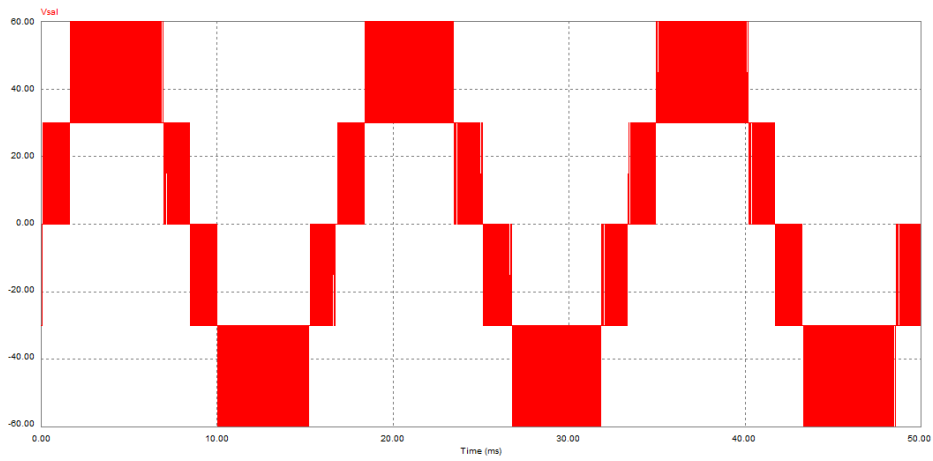


Figura 3.5: Simulación modulación PWM de retraso

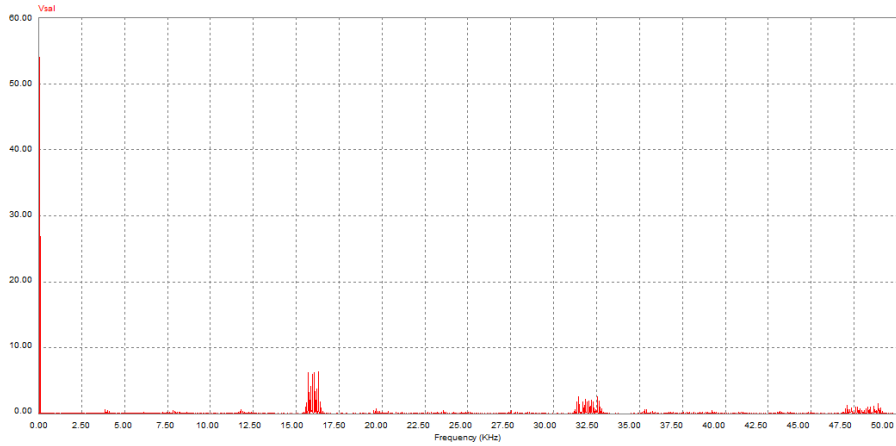


Figura 3.6: Espectro de frecuencias de la salida del inversor

Las Figuras 3.7 y 3.8 presentan la salida del inversor y su espectro de armónicos respectivamente, utilizando ahora una modulación PWM de multiportadoras con corrimiento de fase. Puede observarse que los resultados son similares al emplear una u otra modulación.

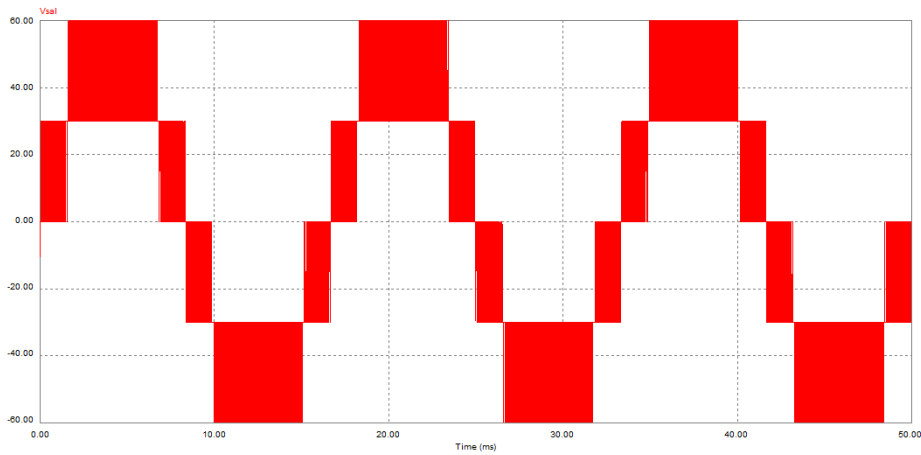


Figura 3.7: Simulación modulación PWM de multiportadoras con corrimiento de fase

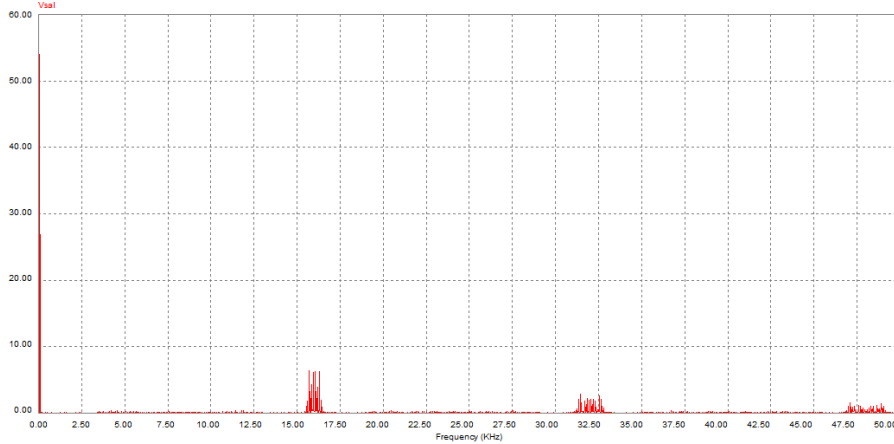


Figura 3.8: Espectro de frecuencias de la salida del inversor

Implementación

La implementación de la estrategia de modulación PWM de retraso se realizó utilizando la tarjeta FPGA Basys 2 Spartan-3E de la siguiente manera.

Se utilizó la salida del modulo PWM de la dSpace, pero primero se acondicionó a los niveles de voltaje de la tarjeta FPGA, para después conectarla a una terminal declarada como entrada previamente.

La idea principal para lograr que esta señal fuera retrasada un cierto periodo de tiempo fue utilizar los LUTs que contiene el FPGA como registros de corrimiento de 16 bits, que cumplen la función de ir almacenando los datos muestreados cada periodo del reloj interno del FPGA, hasta que se cumple el tiempo establecido y entonces la señal sale por una terminal especificada como salida. La Figura 3.9 presenta un diagrama de bloques para entender mejor el procedimiento.

Como puede verse, cada periodo de reloj se muestrea un dato del PWM (señal s_{11}), el cual recorre un número determinado de registros de corrimiento hasta que se cumple el retardo necesario y entonces sale por una terminal especificada como salida (señal s_{13}). Aunque es la misma señal, para una mejor visualización se parte en tres el proceso, ya que así se puede ver como se atrasa el mismo tiempo la señal s_{13} respecto a la s_{11} , la señal s_{21} respecto a la s_{13} y la señal s_{23} respecto a la s_{21} , logrando de esta manera tener el retraso necesario entre ellas.

Las señales complementarias son obtenidas al negar internamente en el FPGA las señales anteriores (para obtener las señales $s_{12}, s_{14}, s_{22}, s_{24}$) para después ser ruteadas a sus terminales de salida correspondientes. El lenguaje descriptivo de hardware utilizado fue VHDL, la síntesis del mismo y simulación se realizaron con el software ISE WebPACK Design Software de la compañía Xilinx. Finalmente la implementación en la tarjeta FPGA se hizo con la aplicación Digilent Adept de la misma compañía.

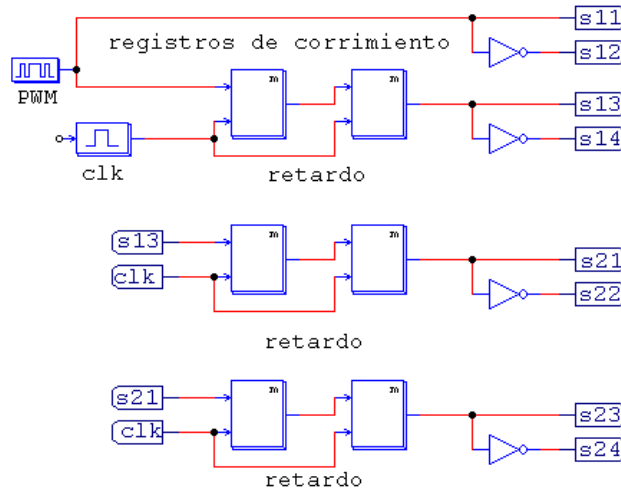


Figura 3.9: Retraso de la señal PWM utilizando el FPGA

En la Figura 3.10 se puede ver una simulación del programa sintetizado e implementado en el FPGA, con sus 4 salidas y las respectivas negadas de cada una de ellas.

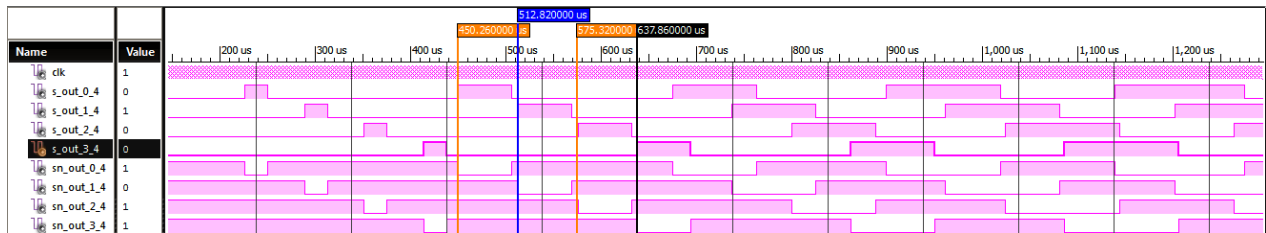


Figura 3.10: Simulación del programa implementado en el FPGA

En la Figura 3.11 se pueden apreciar las 4 señales de salida del FPGA ya atrasadas una respecto a la otra cuando se conecta en la terminal de entrada del FPGA la salida del módulo PWM de la dSpace, demostrando que el programa funciona. Las otras 4 señales no se muestran ya que obviamente también tendrán el retraso necesario entre ellas al ser las complementarias de las anteriores.

Finalmente se muestra la salida del inversor multinivel de 5 niveles con la modulación PWM de retraso implementada junto con su espectro de frecuencias. Los parámetros utilizados fueron los siguientes:

- $V_{cd1} = V_{cd2} = 30[V]$
- $f_m = 60[Hz]$
- $f_p = 4000[Hz]$

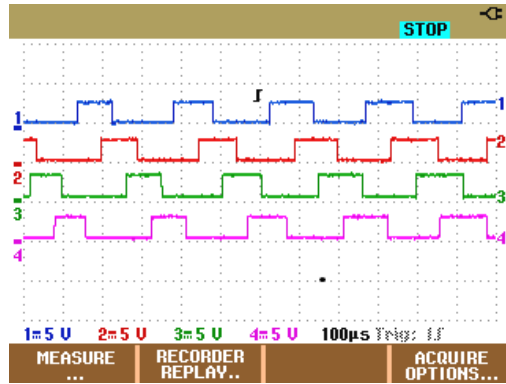


Figura 3.11: Salida del FPGA al conectarse a la entrada el modulo PWM de la dSpace

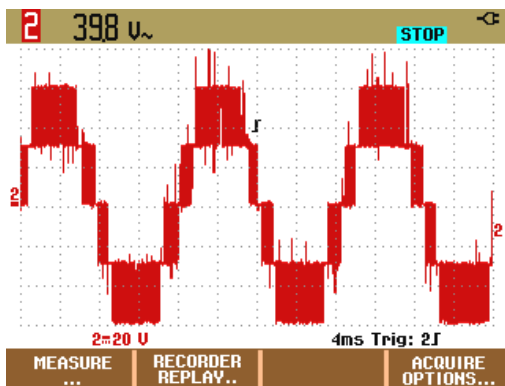


Figura 3.12: Salida del inversor utilizando la modulación PWM de retraso

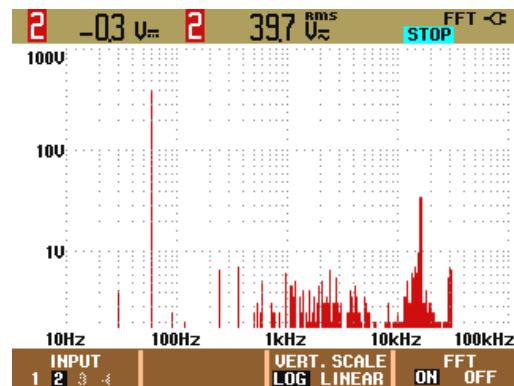


Figura 3.13: Espectro de frecuencias de la salida del inversor

En el apéndice A se muestra el programa realizado.

3.2.2. Planta

Etapa de aislamiento

La primera parte de la planta es la Etapa de aislamiento, la cual se encarga de evitar que exista algún tipo de influencia eléctrica sobre la etapa de control ya sea en forma de ruido o lazos de corriente. La implementación de esta etapa es necesaria ya que en nuestro caso la etapa de control está formada por el FPGA y la tarjeta DS1104, las cuales son muy sensibles incluso a pequeños incrementos en el voltaje o corriente permitidos, por lo que resulta pertinente protegerlos para evitar algún daño en estos dispositivos.

Para aislar se utilizaron optoacopladores modelo 6N137 cuyo elemento de entrada es un fotodiodo y de salida un transistor a colector abierto, el cual se alimenta con una tensión continua de 5[V]. Para disminuir la posibilidad de encendido debido al ruido, las señales de disparo que excitan al elemento de entrada son aplicadas al cátodo.

En la Figura 3.14 se muestra el arreglo utilizado para la implementación de esta etapa, los valores de resistores y capacitores fueron calculados con base en la hoja de datos del dispositivo.

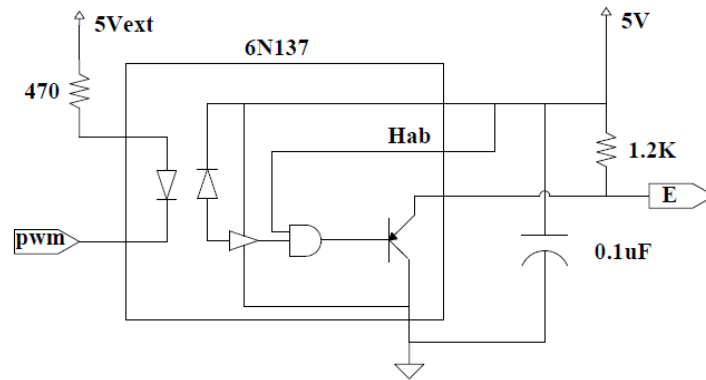


Figura 3.14: Etapa de aislamiento

Sistema de protección

El Sistema de protección se encarga de las siguientes tareas:

- Verificar que la secuencia de encendido no ponga en riesgo al inversor.
- Establecer un valor adecuado para la señal "Salida", acorde al valor de entrada recibido.
- Suspender la operación del sistema cuando sea activada la señal externa proveniente del botón Reset.
- Indicar al usuario que se ha detectado una secuencia de entrada inválida (esto se hace a través del encendido de un led amarillo).
- Generar el tiempo muerto entre secuencias válidas consecutivas.

El sistema de protección se implementó con una máquina de estados secuencial, la cual nos permite solucionar un problema a través de un número finito de pasos. En la Figura 3.15 se presenta el diagrama de la máquina de estados, en el que pueden verse los 8 estados que la conforman y que se enumeran a continuación:

- **Inicio:** Se establece que todos los MOSFET estén abiertos (Salida=15) mientras que la señal Invalida es igual a 0.
- **Cero:** Abre todos los MOSFET del inversor puente H.
- **VCD:** Cierra los MOSFET Q_a y Q_d y abre el Q_b y Q_c de la Figura 2.3 para generar a la salida del inversor la combinación 1 de la Tabla 2.1.

- **Cero Bajo** Abre los MOSFET Q_a y Q_c y cierra el Q_b y Q_d de la Figura 2.3 para generar a la salida del inversor la combinación 4 de la Tabla 2.1.
- **Cero Alto:** Abre los MOSFET Q_b y Q_d y cierra el Q_a y Q_c de la Figura 2.3 para generar a la salida del inversor la combinación 3 de la Tabla 2.1.
- **Menos VCD:** Abre los MOSFET Q_a y Q_d y cierra el Q_b y Q_c de la Figura 2.3 para generar a la salida del inversor la combinación 2 de la Tabla 2.1.
- **Otro:** La señal recibida generaría en el inversor un caso prohibido o un caso sin interés, por lo tanto no se deja pasar y se abren todos los MOSFET del inversor además de avisarle al usuario por medio de la señal I.

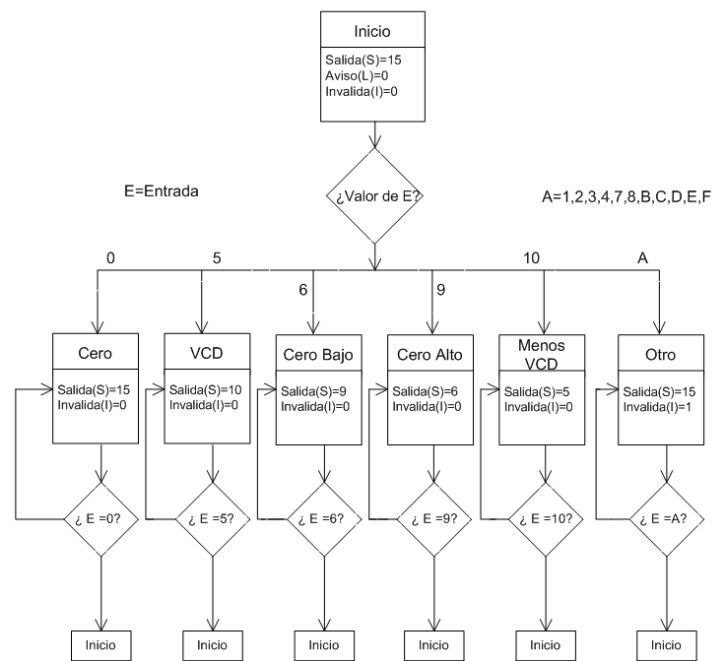


Figura 3.15: Máquina de estados

La implementación del Sistema de Protección se realizó en dos dispositivos lógicos programables por medio de un lenguaje descriptivo de hardware siendo VHDL el utilizado para tal fin. La síntesis final se hizo en dos circuitos GAL 22V10D-15LP. En el apéndice B se muestra el programa realizado.

La Figura 3.16 muestra una simulación del Sistema de Protección hecha en el software ISE WebPACK de la compañía Xilinx.

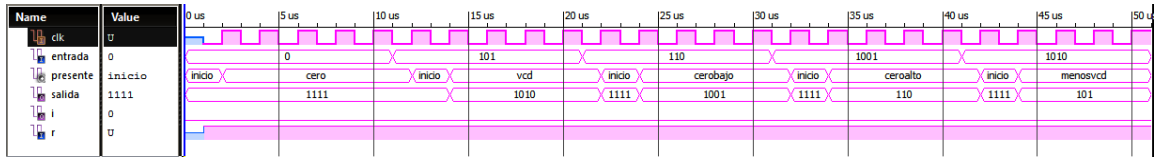


Figura 3.16: Simulación del Sistema de protección

Antes de explicar el funcionamiento del Sistema es conveniente decir que la variable **presente** nos indica el estado en el cual se encuentra el sistema, además de que la señal **r** es una entrada asíncrona que nos permite reiniciar el sistema y para activarla se requiere que esté en un valor de cero lógico. Finalmente se debe decir que la máquina de estados es accionada por flancos de subida de la señal de reloj proveniente del circuito de temporización, la cual tiene un ciclo de $2 \mu s$.

Como puede verse en la Figura 3.16, el sistema inicia en el estado **inicio** y termina en **menos vcd** después de haber pasado por los demás estados (excepto otro). El cambio de estado ocurre de la siguiente manera:

Siempre que se detecta un flanco de subida en la señal **clk**, el sistema revisa el valor de la señal conectada a la entrada. Si éste no cambia, el valor de la variable **presente** tampoco y por lo tanto el valor de la variable **salida** continua siendo el mismo. Por el contrario, si el valor de la señal **entrada** cambia, la variable **presente** toma el valor de **inicio** con su respectiva salida, asegurándose de esta forma que los interruptores abran completamente antes de que adopten otra configuración y así evitar algún corto circuito (tiempo muerto). Ya en el estado inicio se vuelve a revisar el valor de la señal **entrada** al siguiente flanco de subida, y se procede a cambiar al estado correspondiente con su respectiva salida.

En la Figura 3.17 se puede ver lo que ocurre cuando se tiene en la señal **entrada** algún valor que puede ocasionar en el puente H un corto circuito o simplemente no es de interés (cuando la **entrada** es igual a 1,2,3,4,7,8,B,C,D,E,F). Si esto ocurre, de igual forma que con los demás estados, primero se pasa al estado **inicio**, para posteriormente revisar la señal de entrada al siguiente flanco de subida y si continua siendo algún valor de los mencionados anteriormente la variable **presente** toma el valor de **otro** y se genera su respectiva salida. Debe mencionarse que cuando esto sucede se le avisa al usuario por medio de la señal de salida **I** del Sistema de Protección, que se introdujo una secuencia invalida.

También existe el caso de accionar la señal de entrada **r** (es decir mandarla a 0 lógico). Cuando esto ocurre se reinicia el funcionamiento del Sistema ya que **presente** toma el valor de **inicio** y allí permanecerá hasta que **r** se desactive ($r=1$ lógico) no importando que valor se tenga en la entrada.

En el apéndice B se muestra el programa utilizado.

Circuito de temporización

El Sistema de protección, al ser un circuito secuencial, necesita recibir en su entrada **clk** una señal de reloj proveniente del Circuito de temporización. El circuito utilizado para tal

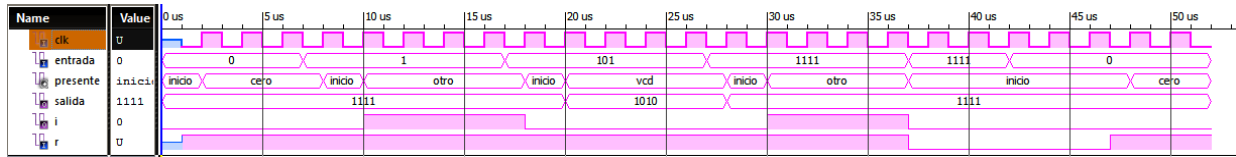


Figura 3.17: Simulación del Sistema de protección

fin fue el CD4047B, mostrado en la Figura 3.18.

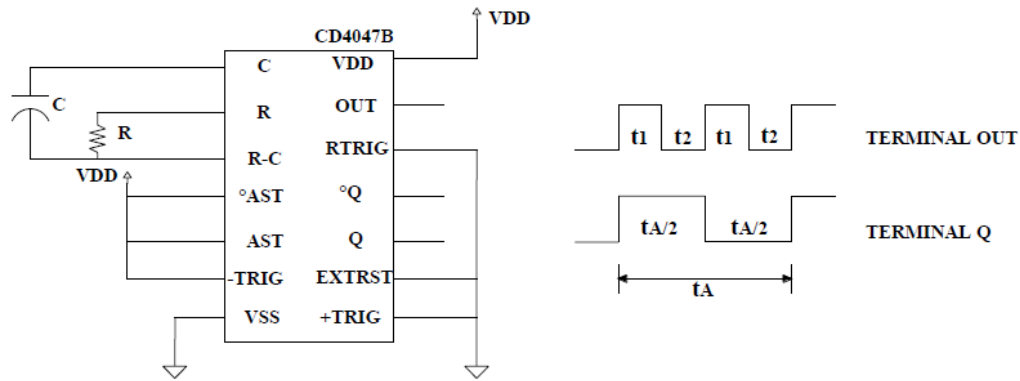


Figura 3.18: Circuito de temporización

El capacitor y resistor necesarios para su funcionamiento se calcularon con la siguiente relación

$$t_A = 4,40RC$$

Sabiendo que el interés radica en obtener una señal de reloj con un periodo de $2[\mu s]$ de la terminal OUT, y observando en la Figura 3.18 que el periodo de esta señal es la mitad del de la señal proveniente de la terminal Q, se puede sustituir a t_A por t_{OUT} , quedando la nueva relación como

$$t_A = 2t_{OUT} = 4,40RC$$

Sustituyendo t_{OUT} por $2[\mu s]$ y además fijando el valor del capacitor en $10[pF]$, se tiene

$$2(2[\mu s]) = 4,40(R)(10[pF])$$

Si se despeja el valor de R, entonces

$$R = \frac{2(2[\mu s])}{(4,40)(10[pF])} = 90909,09[\Omega] \approx 90[k\Omega]$$

Quedando con estos valores el capacitor y la resistencia que se utilizaron para implementar el Circuito de temporización.

Etapa de acondicionamiento

Como se recordará, el Sistema de protección es el encargado de generar las señales que cerraran o abrirán los MOSFET, pero debido a que para lograr que un MOSFET pase de su estado de corte (abierto) a su estado de saturación (cerrado) es necesario aplicar entre sus terminales de Gate y Source un voltaje V_t (definido en la hoja de datos del dispositivo) el cual es mayor al que puede entregarnos el circuito digital en el que está implementado el Sistema de protección, es necesario implementar una etapa de acondicionamiento entre el Sistema de protección y los MOSFET. La etapa de acondicionamiento nos permite activar los MOSFET gracias a unas fuentes de tensión de 15[V], las cuales fueron optoacopladas con el Sistema de protección de la siguiente forma:

Mediante un circuito impulsor TLP 250 de la marca Toshiba, que consta de una estructura similar a un optoacoplador, se conectó el voltaje de salida del Sistema de protección a un extremo de este dispositivo para que active un diodo y que éste a su vez mande una señal al fotodetector, conectado al otro extremo y que gracias a la configuración Push Pull que se tiene a la salida y a la fuente conectada en sus terminales, permite suministrar la corriente y voltaje necesarios para el funcionamiento del MOSFET. En la Figura 3.19 se puede ver el esquema del TLP y la forma en que fue conectado a la planta.

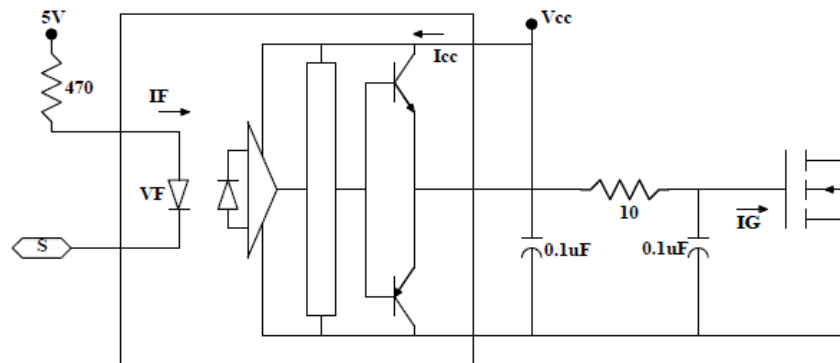


Figura 3.19: Etapa de acondicionamiento

Puente H

Cada puente H consta de 4 MOSFET IRFP450 colocados como muestra la Figura 2.3 y que nos permiten obtener las combinaciones mencionadas en la Tabla 2.1, de acuerdo a la configuración de apertura y cierre que tomen. Los motivos por los cuales se eligió este tipo MOSFET como dispositivo de conmutación son los siguientes:

- Basta aplicar un voltaje de entre 10[V] y 20[V] en sus terminales de Gate y de Source para encenderlo, además de que al momento de que se deja de aplicar la tensión el dispositivo se apaga, por lo cual se facilita el proceso de encendido y apagado.

- El IRFP450 es capaz de soportar una tensión de bloqueo de 500[V] entre sus terminales de Drain y Source, además de una corriente nominal de drenador (I_D) de 14[A]. Los valores anteriores rebasan por mucho los que fueron contemplados para las pruebas que se hacen con el inversor, por lo tanto resultan adecuados.
- Los tiempos de encendido y apagado son los siguientes: $t_{d(on)} = 27[ns]$, $t_r = 66[ns]$ y $t_{d(off)} = 100[ns]$, $t_f = 60[ns]$. La Figura 3.20 muestra los tiempos de retraso, de subida y de caída de los voltajes V_{DS} y V_{GS} .

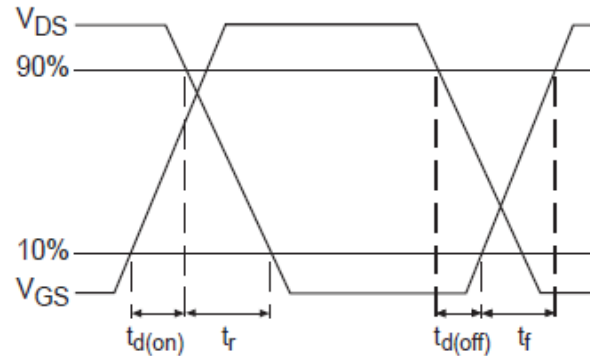


Figura 3.20: Forma de onda de los voltajes V_{DS} y V_{GS} .

Podemos concluir de la figura anterior que el tiempo que le toma a un MOSFET abrir completamente puede calcularse aproximadamente de la siguiente manera:

$$t_{off} = t_{d(off)} + t_f = 160[ns] \quad (3.3)$$

lo cual es un tiempo mucho menor a un ciclo de la señal de reloj que nos entrega el Circuito de temporización (**clk**), por lo tanto se cumple la función de utilizar como tiempo muerto entre la transición de un estado a otro el estado **inicio**, ya que los MOSFET se logran abrir completamente en ese estado antes de que llegue el siguiente pulso de reloj para pasar a otro estado.

De manera similar se puede calcular el tiempo de encendido como

$$t_{on} = t_{d(on)} + t_r = 93[ns] \quad (3.4)$$

Snubbers

Para ayudar a la conmutación de los transistores se colocó una red de bloqueo de apagado, la cual ayuda a evitar que se tenga una tensión mas allá de V_{cd} entre las terminales de Drain y Source del MOSFET durante su apagado [4]. Esto ocurre debido a que durante la conmutación de apagado, el voltaje del MOSFET empieza a subir, pero la corriente no se hace inmediatamente cero sino que debido a inductancias parásitas tiende a disminuir poco

a poco , circulando a través del diodo de libre circulación, hasta que finalmente se hace cero. En ese intervalo de tiempo el voltaje entre las terminales del MOSFET viene dado por

$$V_{DS} = V_{cd} - L_p \frac{di_c}{dt}$$

donde L_p representa a las inductancias parasitas e i_c a la corriente en el MOSFET, que como se mencionó, su valor empieza a disminuir y por lo tanto su derivada es negativa, lo cual ocasiona que se tenga por un tiempo un voltaje mayor a V_{cd} entre las terminales del Drain y Source del MOSFET. Para solucionar lo anterior se colocó un Snubber formado por una resistencia R_x , un capacitor C_x y un diodo MUR, en cada MOSFET, tal como muestra la Figura 3.21.

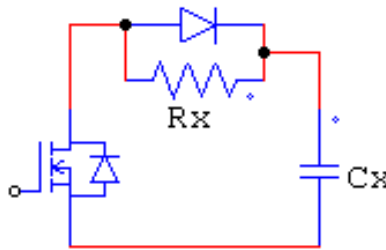


Figura 3.21: Snubber de apagado

Para calcular el valor del capacitor se usó la siguiente ecuación

$$C = \frac{I_p t_{off}}{V_d} \quad (3.5)$$

donde

- I_p es la corriente máxima que circulará por los MOSFET
- t_{off} es el tiempo que tarda en abrir completamente al MOSFET
- V_d Es el voltaje que bloquea el MOSFET cuando está abierto

Suponiendo que la máxima corriente que circulará por el MOSFET será de $1[A]$, el tiempo t_{off} de $160[ns]$ calculado previamente con la ecuación (3.3) y el voltaje de bus $V_d = V_{cd} = 30[V]$, si se sustituye en la ecuación (3.5), se tiene que

$$C_x = \frac{(1[A])(160[ns])}{30[V]} = 5,33[nF]$$

Este valor se sustituye por el valor comercial más cercano que es de $4.7[nF]$. Para calcular el valor de la resistencia se tomó un valor tal que el tiempo de descarga del capacitor a través de la resistencia sea menor al tiempo de encendido del MOSFET, es decir

$$R_x C_x < t_{on}$$

Sustituyendo el t_{on} calculado con la ecuación (3.4) y el valor del capacitor, se tiene que

$$Rx < \frac{93[ns]}{4,7[nF]} \Rightarrow Rx < 19,78[\Omega]$$

Se sustituye por el valor comercial más cercano que es de $17[\Omega]$.

Para calcular la potencia disipada por la resistencia se utilizó la siguiente expresión

$$P = \frac{CV_c^2 f}{2}$$

donde

- C es la capacitancia del capacitor C_x
- V_c es el voltaje máximo que tendrá el capacitor, se supone que será V_{cd}
- f es la frecuencia de conmutación (frecuencia de la señal portadora)

Sustituyendo

$$P = \frac{4,7[nF](30[V])^2 4000[Hz]}{2} = 8,46[mW]$$

Por lo tanto el valor de R_x es de $17[\Omega]$ a una potencia de $0.25[W]$.

De esta manera quedaron definidos cada uno de los Snubbers.

3.2.3. Etapa de realimentación

La etapa de realimentación es necesaria debido a que a la salida del inversor, si bien se presenta la información proveniente de la señal moduladora la cual es de nuestro interés, ésta se encuentra mezclada con un alto contenido armónico proveniente de las conmutaciones de los interruptores, por lo tanto se hace necesario una etapa que logre depurar la señal de salida, limpiándola de armónicos y dejando sólo la información de la señal moduladora.

Esta parte de la etapa de realimentación fue implementada con un filtro pasivo LC.

Filtro LC

El filtro que se diseñó fue un filtro paso-bajas de segundo orden utilizando un inductor y un capacitor. En la Figura 3.22 se muestra el inversor de 5 niveles, el inductor y el capacitor del filtro, además de una resistencia asociada al embobinado del inductor. El objetivo es encontrar la función de transferencia del circuito mostrado, tomando como entrada el voltaje que entrega el inversor y como salida el voltaje que aparece en el capacitor. Primero se utilizaron las leyes de Kirchhoff de cada elemento para modelar el funcionamiento del circuito y luego haciendo uso de la transformada de Laplace, se pasa al dominio de la frecuencia para hallar su función de transferencia [18].

El primer paso es considerar al inversor multinivel como una fuente de voltaje alterno tal como aparece en la Figura 3.23. Utilizando la Ley de Voltajes de Kirchhoff se calcula

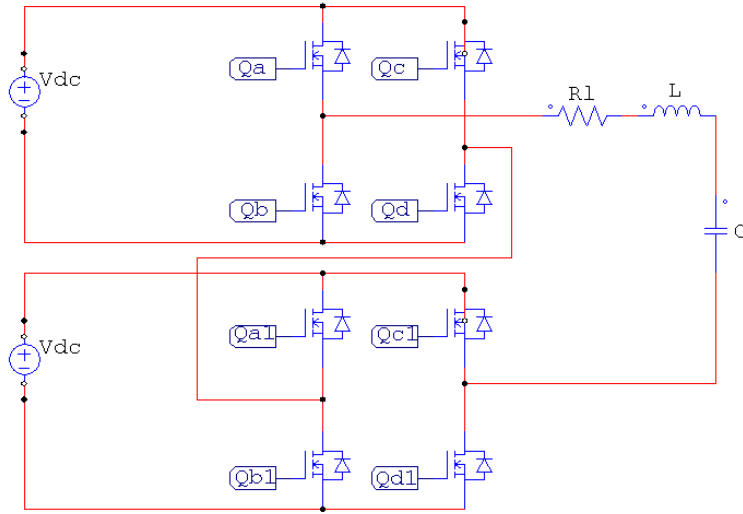


Figura 3.22: Filtro implementado en el inversor

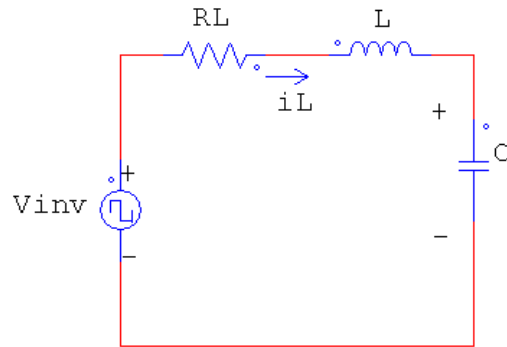


Figura 3.23: Filtro implementado en el inversor

$$V_{inv} = V_{Rl} + V_L + V_C \quad (3.6)$$

Se sabe que

$$V_{Rl} = i_{Rl} R_{Rl} \text{ y } V_L = L \frac{di_L}{dt}$$

Si se sustituye en la ecuación (3.6), se tiene

$$V_{inv} = i_{Rl} R_{Rl} + L \frac{di_L}{dt} + V_C \quad (3.7)$$

La corriente que circula por los tres elementos es la misma, por lo tanto

$$i_{Rl} = i_L = i_C$$

Además

$$i_C = C \frac{dV_C}{dt}$$

sustituyendo la ecuación anterior en la ecuación (3.7) se tiene que

$$V_{inv} = CR_{Rl} \frac{dV_C}{dt} + LC \frac{d^2V_C}{dt^2} + V_C \quad (3.8)$$

Ahora aplicando la transformada de Laplace a ambos lados de la ecuación

$$\mathcal{L}\{V_{inv}\} = \mathcal{L}\left\{CR_{Rl} \frac{dV_C}{dt} + LC \frac{d^2V_C}{dt^2} + V_C\right\} \quad (3.9)$$

se obtiene

$$V_{inv}(s) = sV_C(s)CR_{Rl} + s^2V_C(s)LC + V_C(s) \quad (3.10)$$

Si se factoriza $V_C(s)$ de la ecuación (3.10) y se ordenan los términos con s de mayor a menor grado se obtiene

$$V_{inv}(s) = V_C(s)(s^2LC + sCR_{Rl} + 1) \quad (3.11)$$

Ahora se multiplica por $(s^2LC + sCR_{Rl} + 1)^{-1}$ y después por $V_{inv}(s)^{-1}$ ambos lados de la ecuación para encontrar la función de transferencia

$$H(s) = \frac{V_C(s)}{V_{inv}(s)} = \frac{1}{s^2LC + sCR_{Rl} + 1} \quad (3.12)$$

Recordando que la función de transferencia de cualquier sistema de segundo orden puede ser expresada de la siguiente manera

$$T(S) = \frac{k\omega_n^2}{S^2 + 2\zeta\omega_n S + \omega_n^2} \quad (3.13)$$

Si se ordenan los términos de la función de transferencia (3.12) de la forma que tiene la función de transferencia (3.13) se tiene

$$H(S) = \frac{\frac{1}{LC}}{S^2 + \frac{SR_{Rl}}{L} + \frac{1}{LC}} \quad (3.14)$$

A continuación se presenta el análisis de la respuesta en frecuencia de la función de transferencia (3.13), tomado de [22]:

Si se sustituye s por $j\omega$ y se evalúa a frecuencias angulares pequeñas (ω_b) la función de transferencia (3.13) se obtiene el siguiente resultado:

$$T(j\omega_b) \approx \frac{k\omega_n^2}{\omega_n^2} \angle 0^\circ = k \angle 0^\circ$$

La magnitud M en decibeles a bajas frecuencias angulares puede ser calculada de la siguiente forma

$$20\log(M) = 20\log(|T(j\omega_b)|) = 20\log(k)$$

Ahora, si se evalúa a frecuencias altas (ω_a)

$$T(j\omega_a) \approx \frac{1}{(j\omega_a)^2} = \frac{1}{\omega_a^2} \angle 180^\circ$$

La magnitud M en decibeles a altas frecuencias puede ser calculada de la siguiente forma

$$20\log(M) = 20\log\left(\frac{1}{\omega_a^2}\right) = -20\log(\omega_a^2) = -40\log(\omega_a)$$

Como puede verse a frecuencias angulares pequeñas el diagrama de Bode de la magnitud de la función de transferencia (3.13) puede ser representado con una línea horizontal que cruce el eje de las ordenadas en el punto $20\log(k)$ y a frecuencias angulares muy altas es representado por una línea recta con una pendiente de -40 db/decada. Pero ¿Cuál es la frecuencia angular en la que la magnitud deja de comportarse como una línea horizontal y empieza a decrecer?. Este valor es cuando $\omega = \omega_n$ y puede demostrarse si se sustituye ω por ω_n en la ecuación (3.13)

$$T(j\omega_n) = \frac{k\omega_n^2}{(j\omega_n)^2 + 2\zeta\omega_n(j\omega_n) + \omega_n^2}$$

Si se factoriza ω_n del numerador y denominador, queda lo siguiente

$$T(j\omega_n) = \frac{k}{j^2 + 2\zeta j + 1} = \frac{k}{2\zeta j}$$

Como se sabe ζ es el factor de amortiguamiento y es un valor real, por lo tanto supóngase que $\zeta = 0,5$, con lo cual la ecuación anterior resulta ser

$$T(j\omega_n) = \frac{k}{1j} = k \angle -90^\circ$$

Es decir la magnitud en decibeles es igual a

$$M = 20\log(k)$$

Con esto puede verse que de frecuencias pequeñas hasta la frecuencia ω_n , la magnitud no varía mucho y sólo lo hace la fase de 0° a -90° .

Ahora si se sustituye en la ecuación (3.13) $j\omega$ por $j(\omega + \delta)$ para darle un incremento a la frecuencia angular, se tiene lo siguiente

$$T(j(\omega + \delta)) = \frac{k\omega_n^2}{(j(\omega + \delta))^2 + 2\zeta\omega_n(j(\omega + \delta)) + \omega_n^2}$$

De igual forma si se supone que $\zeta = 0,5$ y se desarrolla el termino al cuadrado se tiene

$$T(j(\omega + \delta)) = \frac{k\omega_n^2}{(-2\omega_n\delta - \delta^2) + (\omega_n^2 + \omega_n\delta)j}$$

La magnitud puede calcularse de la siguiente manera

$$|T(j(\omega + \delta))| = \frac{k\omega_n^2}{\sqrt{(-2\omega_n\delta - \delta^2)^2 + (\omega_n^2 + \omega_n\delta)^2}}$$

Analizando el denominador de la ecuación anterior se puede ver que

$$\sqrt{(-2\omega_n\delta - \delta^2)^2 + (\omega_n^2 + \omega_n\delta)^2} > \omega_n^2$$

por lo tanto se cumple la siguiente relación

$$|T(j\omega_n)| > |T(j\omega_n + \delta)| \Rightarrow 20\log(|T(j\omega_n)|) > 20\log(|T(j\omega_n + \delta)|)$$

De está forma puede verse que después de la frecuencia angular ω_n , conforme aumenta el valor de la frecuencia, la ganancia se empieza a reducir y la señal a la salida se atenúa. Por esta razón ω_n es llamada también frecuencia angular de corte (ω_c). En la Figura 3.24 se puede ver la respuesta en frecuencia (magnitud y fase) de un sistema de segundo orden para distintos valores de ζ .

De la comparación entre la función de transferencia (3.13) y (3.14), se tiene que

$$\omega_n^2 = \frac{1}{LC}$$

por lo tanto, la frecuencia angular de corte viene dada por

$$\omega_c = \frac{1}{\sqrt{LC}}$$

Si despejamos a la frecuencia de corte

$$f_c = \frac{1}{2\pi\sqrt{LC}} \quad (3.15)$$

Se propone la f_c de 300[Hz] y un inductor de 31[mH], si se sustituyen estos valores en la ecuación (3.15) y se despeja el valor del capacitor se tiene

$$C = \frac{1}{(2\pi f_c)^2(L)} = 9,08[\mu F]$$

Debido a que el valor del capacitor no es comercial se pusieron tres capacitores en paralelo con los siguiente valores

$$C_1 = 3,54[\mu F] \quad C_2 = 2,66[\mu F] \quad C_3 = 3,48[\mu F]$$

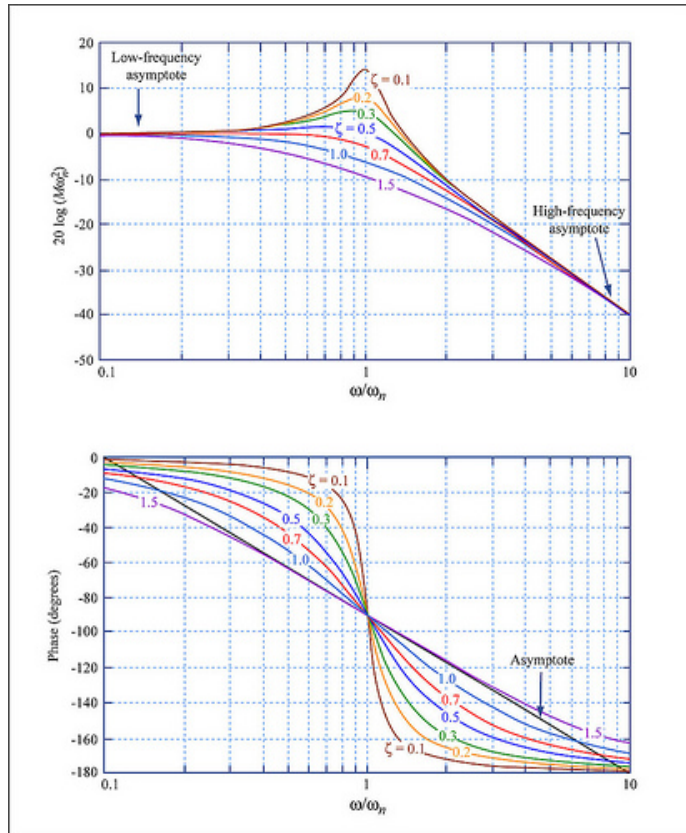


Figura 3.24: Respuesta en frecuencia para diversos valores de ζ

para formar una capacitancia equivalente de:

$$C = 9,68[\mu F]$$

Con este valor de capacitor la frecuencia de corte es

$$f_c = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{31[mH]9,68[\mu F]}} = 290[Hz]$$

Para evaluar el filtro se colocó a la salida una carga resistiva, como muestra la Figura 3.25.

Con la resistencia conectada, la función de transferencia del circuito es:

$$H(S) = \frac{\frac{1}{LC}}{S^2 + \frac{S(L+CR_{RL}R)}{RLC} + \frac{R+R_{RL}}{RLC}} \quad (3.16)$$

Si se supone que

$$R \gg R_{RL}$$

la ecuación (3.16) se simplifica a

$$H(S) = \frac{\frac{1}{LC}}{S^2 + \frac{S}{RC} + \frac{R}{LC}} \quad (3.17)$$

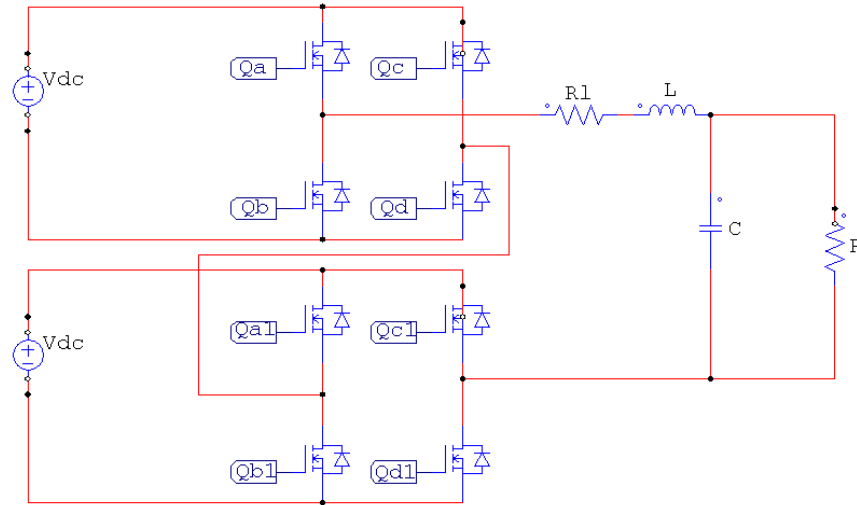


Figura 3.25: Convertidor multinivel con una carga resistiva a la salida

En la Figura 3.26 se muestra el diagrama de bode del filtro con la carga conectada cuando ésta tiene un valor de $330[\Omega]$. También se muestran dos valores que fueron importantes al

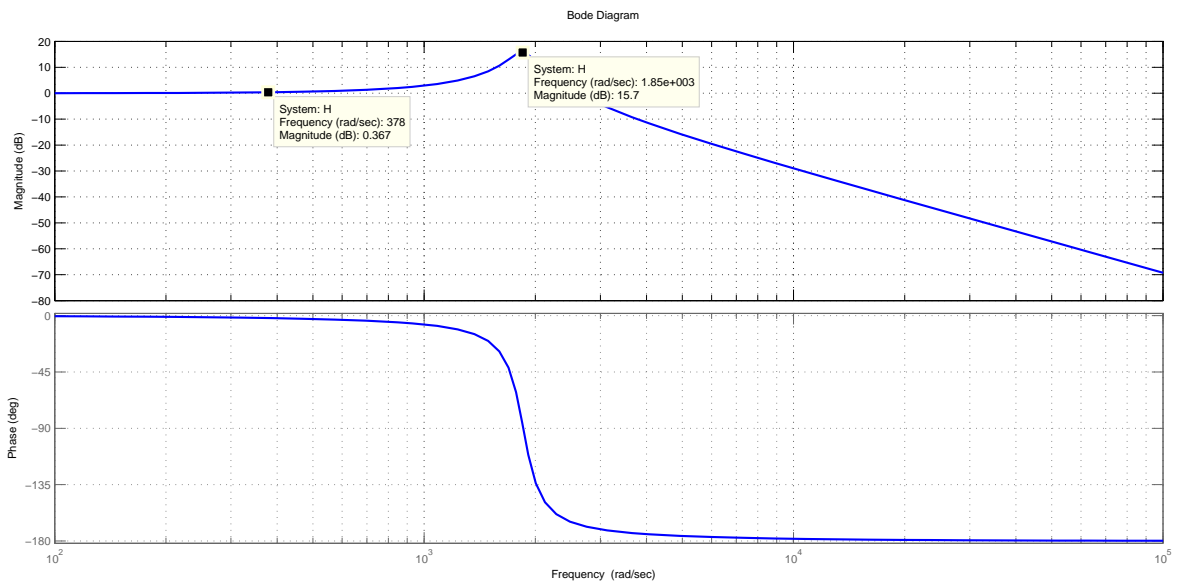


Figura 3.26: Diagrama de Bode con una carga resistiva de $330[\Omega]$

momento de diseñar el filtro, la magnitud de la función de transferencia (3.17) a la frecuencia angular de corte y a la frecuencia angular fundamental. Estos valores se calculan a continuación:

El valor de la magnitud de la función de transferencia (3.17) a la frecuencia ω_c puede calcularse con la siguiente ecuación

$$|H(j\omega_c)| = Q = \frac{1}{2\zeta} = \frac{\sqrt{C}}{\sqrt{LR}} = 6,03$$

Para calcularlo en decibeles se tiene que hacer lo siguiente

$$20\log|H(j\omega_c)| = 20\log(6,03) = 15,6dB$$

Como puede verse mientras más grande sea Q o más pequeño ζ el sistema tiende a incrementar la magnitud de cualquier señal con frecuencia cercana a la frecuencia de corte ($2\pi f_c$), además de incrementar la magnitud del transitorio, por lo tanto se recomienda que Q no sea mayor a 10 y así evitar amplificar señales cercanas a la frecuencia de corte y/o tener transitorios muy grandes en la respuesta del sistema.

El valor de la magnitud de la función de transferencia a la frecuencia angular fundamental ($377[\frac{rad}{s}]$) se puede calcular utilizando la magnitud en decibeles que nos indica la Figura (3.26):

$$|H(377j)| = 10^{\frac{0,367dB}{20}} = 1,043$$

Este valor es cercano a 1 por lo tanto se considera aceptable ya que no atenúa ni aumenta las señales cercanas a esta frecuencia .

En la Figura 3.27 se muestra el diagrama de Bode del filtro con la carga conectada cuando ésta tiene un valor de $33[\Omega]$. Si se calcula el valor de la magnitud de la función de transferencia

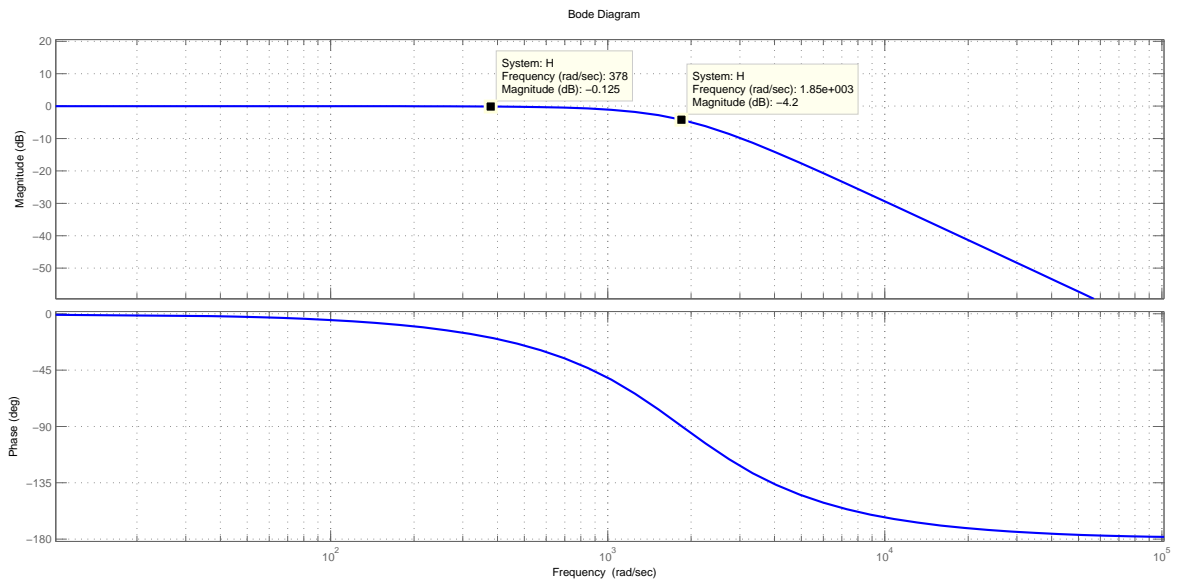


Figura 3.27: Diagrama de Bode con una carga resistiva de $33[\Omega]$

(3.17) a la frecuencia de corte pero ahora con la nueva resistencia, se tiene

$$|H(j\omega_c)| = Q = \frac{1}{2\zeta} = \frac{\sqrt{C}}{\sqrt{LR}} = 0,603$$

Si se calcula en decibeles

$$20\log(|H(j\omega_n)|) = 20\log(0,603) = -4,39dB$$

Ahora al hacer el valor de Q pequeño (al disminuir la carga) o de ζ grande, se hace que el filtro atenúe más a la frecuencia ω_c , pero debe de tenerse en cuenta que si se disminuye éste valor demasiado se puede llegar a atenuar incluso a señales con frecuencias cercanas a la frecuencia fundamental, por lo tanto se recomienda que sea mayor a 0.5.

El valor de la magnitud de la función de transferencia a la frecuencia fundamental se calcula de manera igual a como se hizo anteriormente

$$|H(377j)| = 10^{\frac{0,125dB}{20}} = 1,014$$

Como puede verse a pesar de que el filtro se volvió más agresivo la magnitud a la frecuencia fundamental casi no se vio afectada, por lo tanto el filtro diseñado cumple su función correctamente sin atenuar la señal, siempre y cuando la resistencia no sea menor a $33[\Omega]$.

Instrumentación

Las dos señales que necesitamos para controlar el sistema (corriente del inductor y voltaje del capacitor) no pueden ser medidas directamente por la plataforma de evaluación experimental en tiempo real dSPACE, por lo tanto se hace necesario una etapa de instrumentación para adecuar estas señales a los parámetros establecidos por la tarjeta. A continuación se muestran las tarjetas de voltaje y corriente utilizadas para tal fin, las cuales fueron diseñadas y desarrolladas previamente en el Laboratorio de Control de la Facultad de Ingeniería por el M.I. Hoover Mujica Ortega.

Tarjeta para sensar corriente

La tarjeta consta de 3 sensores de corriente que pueden ser utilizados simultáneamente, cada uno nos entrega a la salida $1[V]$ por cada ampere que se mida a la entrada es decir, la relación salida-entrada está dada por $1[V]/1[A]$. La tarjeta necesita ser polarizada por una fuente simétrica. A continuación se mencionan los elementos electrónicos que conforman la tarjeta:

- . Sensor de Corriente *NT – 15*
- . Amplificador de instrumentación *INA128* .
- . Salida BNC



Figura 3.28: Tarjeta usada para sensor corrientes



Figura 3.29: Tarjeta usada para sensor corrientes(vista lateral)

Tarjeta para sensor voltaje

La tarjeta nos permite sensor hasta 3 voltajes simultáneamente, permitiéndonos variar la relación salida-entrada a través de un potenciómetro de precisión, el cual fue ajustado de tal forma que el valor máximo que se espera sensor, no produzca a la salida de la tarjeta un voltaje superior al permitido por la dSPACE. A continuación se mencionan los elementos electrónicos que conforman la tarjeta de voltajes.

- . Convertidor DC/DC DCP020515DU-C
- . Regulador de Voltaje Positivo TPS7A4901
- . Regulador de Voltaje Negativo TPS7a3001
- . Un amplificador aislador ISO124U
- . Un amplificador operacional OPA211

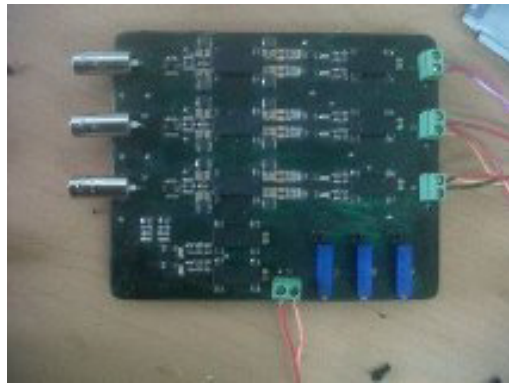


Figura 3.30: Sensor para medir voltajes

Capítulo 4

Simulaciones y Evaluación Experimental

4.1. Introducción

En este capítulo primero se modeló el inversor puente H, para después extender ese análisis al inversor multinivel. Posteriormente se encontró el modelo promediado para aplicar la técnica de control propuesta. Finalmente se implementó el esquema de conmutación en el convertidor multinivel que se diseñó.

4.2. Modelado del convertidor puente H

Primero se halló el modelo matemático del convertidor puente H (Figura 4.1) de la siguiente manera.

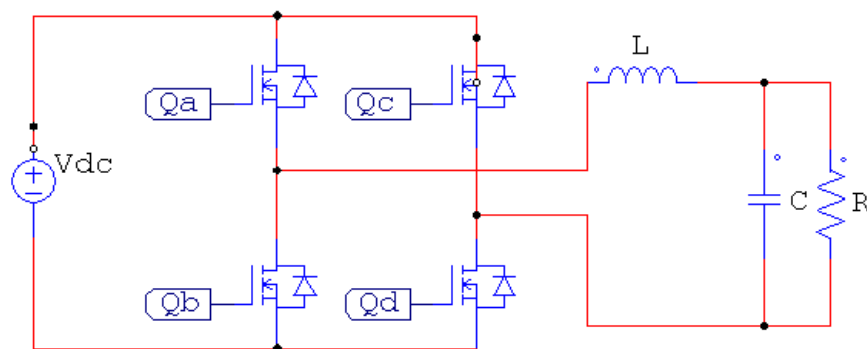


Figura 4.1: Convertidor puente H

Si se observa la Tabla 4.1, la cual muestra las diferentes configuraciones que pueden adoptar

los interruptores del puente H y el voltaje que se genera a la salida, se puede notar que los interruptores de una misma rama deben de ser complementarios, es decir sí uno está cerrado el otro debe estar abierto o viceversa, esto para evitar generar un cortocircuito.

<i>Combinaciones</i>	Q_a	Q_b	Q_c	Q_d	V_{out}
1	1	0	0	1	V_{cd}
2	0	1	1	0	$-V_{cd}$
3	1	0	1	0	0
4	0	1	0	1	0
—	1	1	*	*	NA
—	*	*	1	1	NA

Tabla 4.1: **Combinaciones posibles en el inversor de 3 niveles**

Tomando en cuenta lo anterior se puede sustituir los dos interruptores de cada rama de un puente H por dos interruptores equivalentes T_A y T_B de un polo dos tiros, tal y como se hace en [12]. Los nuevos interruptores T_A y T_B estarán relacionados con los interruptores Q_a , Q_b , Q_c y Q_d de la siguiente manera:

$$T_A = \begin{cases} 0 & \text{si } Q_a = 0 \text{ y } Q_b = 1 \\ 1 & \text{si } Q_a = 1 \text{ y } Q_b = 0 \end{cases} \quad (4.1)$$

$$T_B = \begin{cases} 0 & \text{si } Q_c = 0 \text{ y } Q_d = 1 \\ 1 & \text{si } Q_c = 1 \text{ y } Q_d = 0 \end{cases} \quad (4.2)$$

Estas nuevas definiciones dan lugar al circuito de la Figura 4.2 y su respectiva tabla de combinaciones:

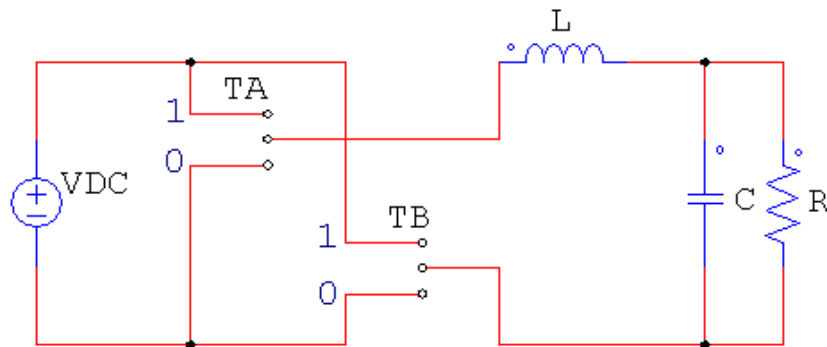


Figura 4.2: **Convertidor puente H con interruptores de un polo dos tiros**

<i>Combinaciones</i>	T_A	T_B	V_{out}
1	0	0	0
2	0	1	$-V_{cd}$
3	1	0	V_{cd}
4	1	1	0

Tabla 4.2: **Combinaciones posibles en el inversor de 3 niveles**

De la Tabla 4.2 se puede decir que se cumple la siguiente relación

$$V_{out} = (T_A - T_B)V_{cd} = sw_1 V_{cd} \quad (4.3)$$

donde $sw_1 \in \{-1, 0, 1\}$.

Si se ve al inversor como una fuente de voltaje alterno cuya salida está dada por la ecuación (4.3) se tiene el circuito mostrado en la Figura 4.3.

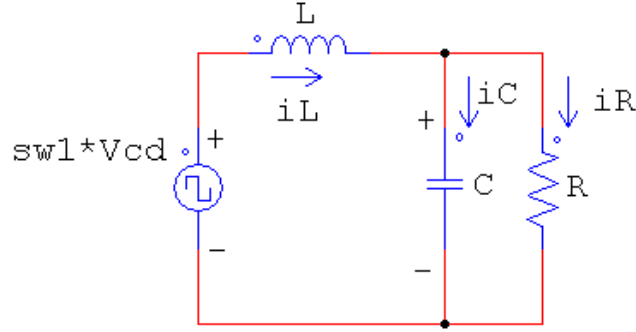


Figura 4.3: Convertidor puente H

Si se aplica la Ley de Voltajes de Kirchhoff al circuito de la Figura 4.3 se tiene que

$$V_L + VC = sw_1 V_{cd}$$

Se sabe que $V_L = L \frac{di_L}{dt}$, por lo tanto, si se sustituye en la ecuación anterior se obtiene

$$L \frac{di_L}{dt} + V_C = sw_1 V_{cd} \quad (4.4)$$

Si se aplica la Ley de Corrientes de Kirchhoff al circuito de la Figura 4.3 se tiene que

$$i_L = i_C + i_R$$

Se sabe que $i_C = C \frac{dV_C}{dt}$ y $i_R = \frac{V_C}{R}$, por lo tanto, si se sustituye en la ecuación anterior se obtiene

$$i_L = C \frac{dV_C}{dt} + \frac{V_C}{R} \quad (4.5)$$

Si se propone a i_L y a V_C como las variables de estado x_1 y x_2 respectivamente, y se utilizan las ecuaciones (4.4) y (4.5) puede el sistema representarse de la siguiente forma

$$\dot{x} = Ax + B(sw_1) \quad (4.6)$$

donde

$$x = \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} \quad A = \begin{pmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{pmatrix} \quad B = \begin{pmatrix} \frac{V_{cd}}{L} \\ 0 \end{pmatrix}$$

quedando el sistema finalmente modelado y expresado con variables de estado.

4.3. Modelo promediado del convertidor puente H

Debido a las conmutaciones de los interruptores el modelo obtenido anteriormente es discontinuo, lo cual implica que no se le pueden aplicar las herramientas analíticas que se usan para modelos continuos, una solución a lo anterior es recurrir al modelo promediado. El modelo promediado se basa en la idea de obtener un modelo aproximado continuo del modelo exacto discontinuo al considerar que el periodo T_{PWM} de la portadora tiende a cero, de forma que las variables de estado del modelo obtenido sean funciones continuas con variaciones suaves respecto al periodo T_{PWM} original. A continuación se muestra el procedimiento para obtener el modelo promediado de un convertidor con modulación por ancho de pulso. Supóngase que el convertidor tiene un modelo de la forma

$$\dot{x} = f(x) + g(x)\delta \quad (4.7)$$

donde

δ es la la entrada discontinua de control y $\delta \in \{0, 1\}$

Por lo anterior se puede definir que

$$t_{ON} = t_1 - t_0 \quad \text{cuando } \delta = 1$$

$$t_{OFF} = t_2 - t_1 \quad \text{cuando } \delta = 0$$

Además de que $t_0 + T_{PWM} = t_2$.

Si se define el ciclo de trabajo como la relación entre el tiempo de encendido y el periodo de la portadora, $\mu = \frac{t_{ON}}{T_{PWM}}$, la entrada de control puede ser definida de la siguiente forma

$$\delta = \begin{cases} 1 & \text{para } t_0 < t \leq t_0 + \mu T_{PWM} \\ 0 & \text{para } t_0 + \mu T_{PWM} < t \leq t_0 + T_{PWM} \end{cases} \quad (4.8)$$

La ecuación (4.7) puede ser escrita en forma integral si se utilizan los intervalos en los cuales está definida δ , de la siguiente manera

$$x(t_0 + \mu T_{PWM}) - x(t_0) = \int_{t_0}^{t_0 + \mu T_{PWM}} [f(x) + g(x)] dt \quad (4.9)$$

$$x(t_0 + T_{PWM}) - x(t_0 + \mu T_{PWM}) = \int_{t_0 + \mu T_{PWM}}^{t_0 + T_{PWM}} [f(x)] dt \quad (4.10)$$

Si se despeja a $x(t_0 + \mu T_{PWM})$ de la ecuación (4.9) y lo sustituimos en la ecuación (4.10), se tiene lo siguiente

$$x(t_0 + T_{PWM}) - x(t_0) = \int_{t_0}^{t_0 + \mu T_{PWM}} [f(x) + g(x)] dt + \int_{t_0 + \mu T_{PWM}}^{t_0 + T_{PWM}} f(x) dt \quad (4.11)$$

Si se considera que $f(x)$ puede integrarse en todo T_{PWM} , la ecuación (4.11) puede escribirse de la siguiente forma

$$x(t_0 + T_{PWM}) - x(t_0) = \int_{t_0}^{t_0 + T_{PWM}} f(x) dt + \int_{t_0}^{t_0 + \mu T_{PWM}} g(x) dt \quad (4.12)$$

Dividiendo la ecuación (4.12) entre el periodo T_{PWM} se tiene lo siguiente

$$\frac{x(t_0 + T_{PWM}) - x(t_0)}{T_{PWM}} = \frac{\int_{t_0}^{t_0 + T_{PWM}} f(x) dt}{T_{PWM}} + \frac{\int_{t_0}^{t_0 + \mu T_{PWM}} g(x) dt}{T_{PWM}}$$

Si se aplica el límite haciendo que $T_{PWM} \rightarrow 0$ en la ecuación anterior, se tiene que

$$\lim_{T_{PWM} \rightarrow 0} \frac{x(t_0 + T_{PWM}) - x(t_0)}{T_{PWM}} = \lim_{T_{PWM} \rightarrow 0} \frac{\int_{t_0}^{t_0 + T_{PWM}} f(x) dt}{T_{PWM}} + \lim_{T_{PWM} \rightarrow 0} \frac{\int_{t_0}^{t_0 + \mu T_{PWM}} g(x) dt}{T_{PWM}}$$

Finalmente se obtiene

$$\dot{x} = f(x) + g(x)\mu \quad (4.13)$$

La ecuación (4.13) es el modelo promediado del modelo discontinuo (4.7), y es una función continua ya que $\mu \in (0, 1)$.

Para obtener el modelo promediado del modelo (4.6), se requiere que la entrada discontinua de control pertenezca al conjunto discreto $\{0,1\}$, sin embargo ésta pertenece al conjunto $\{-1,0,1\}$ lo cual hace que no se pueda obtener el modelo promediado directamente. Una solución a lo anterior es expresar la entrada como se había definido anteriormente

$$sw_1 = T_A - T_B$$

donde cada función está asignada a una pierna del convertidor y pertenece al conjunto discreto $\{0,1\}$ como puede verse en Tabla 4.2.

Haciendo lo anterior, el modelo queda expresado de la siguiente forma

$$\dot{x} = Ax + B(T_A - T_B) \quad (4.14)$$

Ahora al tenerse dos entradas discontinuas de control, la obtención del modelo promediado necesita hacerse por etapas, primero para la función de conmutación T_A y luego para la función T_B . Esto se realiza de la siguiente forma:

Si se observa la Figura 4.4, se pueden ver los lapsos en los cuales la señal discontinua T_A adopta un valor de 0 ó 1 durante un periodo T_{PWM} . Aunque sólo se presenta una portadora para tener una mejor visualización de lo anterior, debe tenerse en cuenta que se aplica el mismo procedimiento para obtener los valores de T_B durante un T_{PWM} , utilizando su respectiva portadora (recorrida en fase respecto a la mostrada). Aclarado esto, se puede generar la Tabla 4.3 que muestra el valor que tendrán las funciones de conmutación en los intervalos de tiempo marcados en la figura mencionada.

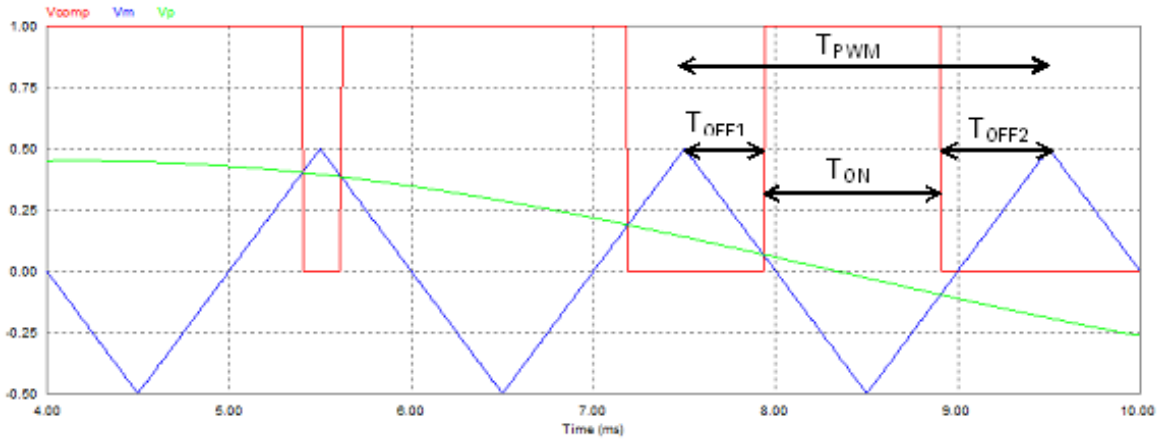


Figura 4.4: Tiempo de encendido y apagado en un periodo de portadora

Nombre	Intervalo	Funcion	Valor
T_{OFF1}	$t_{1A} - t_{0A}$	T_A	0
T_{ON}	$t_{2A} - t_{1A}$	T_A	1
T_{OFF2}	$t_{3A} - t_{2A}$	T_A	0
T_{OFF1}	$t_{1B} - t_{0B}$	T_B	0
T_{ON}	$t_{2B} - t_{1B}$	T_B	1
T_{OFF2}	$t_{3B} - t_{2B}$	T_B	0

Tabla 4.3: Valor de las funciones de conmutación durante el periodo de portadora

Se pueden definir los ciclos de trabajo para las piernas del inversor de la siguiente forma

$$\mu_A = \frac{t_{ONA}}{T_{PWM}} \quad \mu_B = \frac{t_{ONB}}{T_{PWM}} \quad (4.15)$$

Después de definir los intervalos de tiempo, ahora si es posible utilizar la ecuación (4.14) e integrarla para un tiempo T_{PWM} , asignándole su valor a T_A de acuerdo al intervalo correspondiente. Por lo tanto se tienen 3 integrales

$$x_{t_{1A}} - x_{t_{0A}} = \int_{t_{0A}}^{t_{1A}} Ax + B(-T_B)dt$$

$$x_{t_{2A}} - x_{t_{1A}} = \int_{t_{1A}}^{t_{2A}} Ax + B(1 - T_B)dt$$

$$x_{t_{3A}} - x_{t_{2A}} = \int_{t_{2A}}^{t_{3A}} Ax + B(-T_B)dt$$

Agrupando los términos que se pueden integrar en el intervalo de $x_{t_{0A}}$ a $x_{t_{3A}}$

$$x_{t_{3A}} - x_{t_{0A}} = \int_{t_{0A}}^{t_{3A}} Ax + B(-T_B)dt + \int_{t_{1A}}^{t_{2A}} Bdt$$

y dividiendo entre T_{PWM} se tiene

$$\frac{x_{t_{3A}} - x_{t_{0A}}}{T_{PWM}} = \frac{\int_{t_{0A}}^{t_{3A}} Ax + B(-T_B)dt}{T_{PWM}} + \frac{\int_{t_{1A}}^{t_{2A}} Bdt}{T_{PWM}}$$

Si se aplica el límite haciendo que $T_{PWM} \rightarrow 0$, entonces

$$\lim_{T_{PWM} \rightarrow 0} \frac{x_{t_{3A}} - x_{t_{0A}}}{T_{PWM}} = \lim_{T_{PWM} \rightarrow 0} \frac{\int_{t_{0A}}^{t_{3A}} Ax + B(-T_B)dt}{T_{PWM}} + \lim_{T_{PWM} \rightarrow 0} \frac{\int_{t_{1A}}^{t_{2A}} Bdt}{T_{PWM}}$$

Si se supone que x es uniformemente diferenciable, entonces es posible considerar que el lado izquierdo de la ecuación es \dot{x} para todo t . Si además se extraen de las integrales los elementos que son constantes se tiene

$$\dot{x} = A \lim_{T_{PWM} \rightarrow 0} \frac{\int_{t_{0A}}^{t_{3A}} xdt}{T_{PWM}} + B \lim_{T_{PWM} \rightarrow 0} \frac{\int_{t_{0A}}^{t_{3A}} -T_B dt}{T_{PWM}} + B \lim_{T_{PWM} \rightarrow 0} \frac{\int_{t_{1A}}^{t_{2A}} dt}{T_{PWM}}$$

Se sabe que:

$$\lim_{T \rightarrow 0} \frac{1}{T} \int_{t_0}^{t_0+T} xdt = x(t) \quad (4.16)$$

La definición anterior es aplicable tanto a funciones continuas como discontinuas, siempre y cuando su integral exista.

Además, de las definiciones anteriores de ciclo de trabajo para cada pierna y de los intervalos en que se dividió T_{PWM} se puede obtener

$$t_{ON_A} = \mu_A T_{PWM} = t_{2A} - t_{1A} \quad y \quad T_{PWM} = t_{3A} - t_{0A}$$

Resolviendo las integrales y aplicando lo anterior, se tiene

$$\dot{x} = Ax + B(-T_B) + B \lim_{T_{PWM} \rightarrow 0} \frac{t_{2A} - t_{1A}}{T_{PWM}}$$

$$\dot{x} = Ax + B(-T_B) + B \lim_{T_{PWM} \rightarrow 0} \frac{\mu_A T_{PWM}}{T_{PWM}}$$

Finalmente

$$\dot{x} = Ax + B(-T_B) + B\mu_A \quad (4.17)$$

donde μ_A es una función continua tal que $\mu_A \in (0, 1)$.

Como puede verse, aunque μ_A es una función continua T_B no lo es, por lo tanto el siguiente paso es hallar el modelo promediado pero ahora respecto al esquema de conmutación del interruptor B utilizando la ecuación (4.17).

Si se siguen los mismos pasos que en el caso del interruptor A, se llega a la siguiente expresión

$$\dot{x} = Ax + B\mu_A - B\mu_B$$

donde μ_B es una función continua tal que $\mu_B \in (0, 1)$.

Si se factoriza a B

$$\dot{x} = Ax + B\mu_A - B\mu_B = Ax + B(\mu_A - \mu_B) = Ax + B\mu_1 \quad (4.18)$$

Se obtiene el modelo promediado del convertidor puente H, donde μ_1 es una función continua tal que $\mu_1 \in (-1, 1)$

4.4. Modelado del convertidor multinivel

El convertidor multinivel de 5 niveles de la Figura 4.5, se implementó al conectar en cascada dos inversores puente H.

El utilizar la topología de inversores puente H con fuentes independientes conectados en

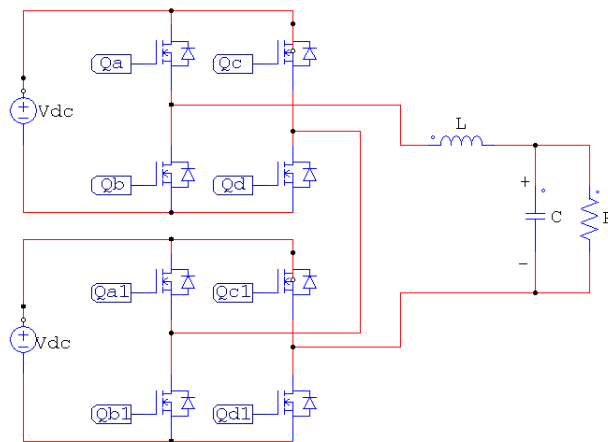


Figura 4.5: Convertidor de 5 niveles

cascada permite encontrar el voltaje de salida de todo el circuito analizando cada puente H por separado, ya que éste se obtiene al sumar los voltajes proporcionados por cada uno de ellos.

Aplicando el análisis anterior a cada puente H del multinivel, se sustituyen los interruptores

por un interruptor de un polo dos tiros, para obtener el circuito de la Figura 4.6. Las Tablas 4.4 y 4.5 muestran las combinaciones para cada puente H.

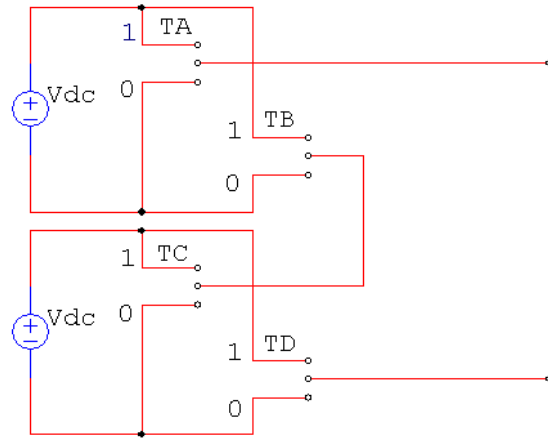


Figura 4.6: Convertidor de 5 niveles con interruptores de un polo dos tiros

<i>Comb.</i>	T_A	T_B	V_{out1}
1	0	0	0
2	0	1	$-V_{cd}$
3	1	0	V_{cd}
4	1	1	0

Tabla 4.4: Combinaciones en el convertidor puente H1

<i>Comb.</i>	T_C	T_D	V_{out2}
1	0	0	0
2	0	1	$-V_{cd}$
3	1	0	V_{cd}
4	1	1	0

Tabla 4.5: Combinaciones en el convertidor puente H2

De la Tabla 4.4, para el puente H1, se tiene la siguiente relación

$$V_{out1} = (T_A - T_B)V_{cd} = sw_1 V_{cd} \quad (4.19)$$

donde $sw_1 \in \{-1, 0, 1\}$.

De la Tabla 4.5, para el puente H2, se tiene la siguiente relación

$$V_{out2} = (T_C - T_D)V_{cd} = sw_2 V_{cd} \quad (4.20)$$

donde $sw_2 \in \{-1, 0, 1\}$.

Al conectar en cascada los dos puentes H, como muestra la Figura 4.6 se pueden obtener un total de 16 combinaciones posibles que se pueden hacer al variar el estado de cada uno de los interruptores. La Tabla 4.6 muestra dichas combinaciones.

T_A	T_B	sw_1	V_{out1}	T_C	T_D	sw_2	V_{out2}	V_{out}
0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	-1	$-V_{cd}$	$-V_{cd}$
0	0	0	0	1	0	1	V_{cd}	V_{cd}
0	0	0	0	1	1	0	0	0
0	1	-1	$-V_{cd}$	0	0	0	0	$-V_{cd}$
0	1	-1	$-V_{cd}$	0	1	-1	$-V_{cd}$	$-2V_{cd}$
0	1	-1	$-V_{cd}$	1	0	1	V_{cd}	0
0	1	-1	$-V_{cd}$	1	1	0	0	$-V_{cd}$
1	0	1	V_{cd}	0	0	0	0	V_{cd}
1	0	1	V_{cd}	0	1	-1	$-V_{cd}$	0
1	0	1	V_{cd}	1	0	1	V_{cd}	$2V_{cd}$
1	0	1	V_{cd}	1	1	0	0	V_{cd}
1	1	0	0	0	0	0	0	0
1	1	0	0	0	1	-1	$-V_{cd}$	$-V_{cd}$
1	1	0	0	1	0	1	V_{cd}	V_{cd}
1	1	0	0	1	1	0	0	0

Tabla 4.6: **Combinaciones en el convertidor multinivel**

Gracias a la conexión en cascada de los puentes H y a que las fuentes de alimentación de cada uno son iguales, se cumple que

$$V_{out} = V_{out1} + V_{out2} = sw_1 V_{cd1} + sw_2 V_{cd2} = sw_1 V_{cd} + sw_2 V_{cd}$$

para llegar finalmente a la siguiente expresión

$$V_{out} = (sw_1 + sw_2)V_{cd} = swV_{cd} \quad (4.21)$$

donde $sw \in \{-2, 0, 2\}$.

La Tabla 4.7 muestra las combinaciones que se pueden realizar con (4.21) para obtener diferentes valores de voltaje a salida.

Al igual que como se hizo con el puente H, si se ve al inversor multinivel como una fuente de voltaje alterno cuya salida está dada por la ecuación (4.21) se tiene el circuito de la Figura 4.7.

Debido a que la única diferencia que hay entre el circuito de la Figura 4.3 y el de la Figura 4.7 son los valores de voltaje que puede entregar la fuente, el modelado se realiza de la misma manera, lo cual significa que el modelo del sistema representado en variables de estados es el siguiente

$$\dot{x} = Ax + B(sw) \quad (4.22)$$

donde:

$$x = \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} \quad A = \begin{pmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{pmatrix} \quad B = \begin{pmatrix} \frac{V_{cd}}{L} \\ 0 \end{pmatrix}$$

sw_1	sw_2	sw	V_{out}
-1	-1	-1	$-2V_{cd}$
0	-1	-1	$-V_{cd}$
1	-1	0	0
-1	0	-1	$-V_{cd}$
0	0	0	0
1	0	1	V_{cd}
-1	1	0	0
0	1	1	V_{cd}
1	1	2	$2V_{cd}$

Tabla 4.7: Combinaciones en el convertidor multinivel

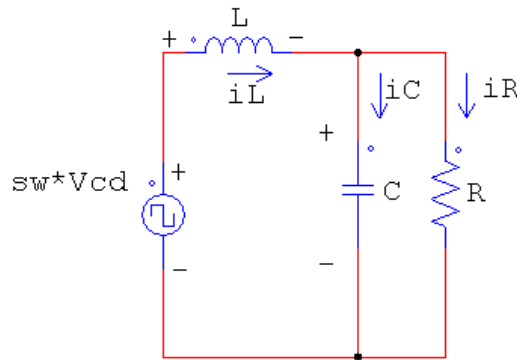


Figura 4.7: Convertidor multinivel

Como puede notarse la única diferencia entre el modelo (4.6) y el modelo (4.22) es que se sustituye a la variable sw_1 por sw .

4.5. Modelo promediado del convertidor multinivel

El modelo de la ecuación (4.22) no es continuo debido a que su entrada de control es discontinua, siendo el mismo caso que en el modelo del convertidor puente H. Para obtener el modelo promediado, se necesita que la entrada discontinua de control pertenezca al conjunto discreto $\{0,1\}$, sin embargo pertenece al conjunto $\{-2,0,2\}$ lo cual hace que sea necesario realizar una serie adicional de pasos antes de obtenerlo.

Primero se debe recordar la forma en que está definida sw :

$$sw = sw_1 + sw_2 = (T_A - T_B) + (T_C - T_D)$$

Si se sustituye la ecuación anterior en (4.22), se tiene

$$\dot{x} = Ax + B((T_A - T_B) + (T_C - T_D)) \quad (4.23)$$

En este modelo, cada pierna del convertidor está controlada por una entrada que pertenece al conjunto discreto $\{0, 1\}$, por lo tanto, la obtención del modelo promediado se realizará por etapas, primero para la función de conmutación T_A , después T_B , después T_C y finalmente T_D .

El análisis que indica el valor que tiene cada entrada de control durante un T_{PWM} es idéntico al hecho para el convertidor puente H, y aunque ahora se aplica para cuatro entradas, las portadoras asociadas a cada una de ellas tienen la misma frecuencia y sólo están recorridas en fase, por lo tanto también es válido. La Tabla 4.8 muestra el valor que tiene cada señal de control en cada intervalo de tiempo durante un T_{PWM} .

Para obtener el modelo promediado de la ecuación (4.23), se siguen los mismos pasos que

<i>Nombre</i>	<i>Intervalo</i>	<i>Funcion</i>	<i>Valor</i>
T_{OFF1}	$t_{1A} - t_{0A}$	T_A	0
T_{ON}	$t_{2A} - t_{1A}$	T_A	1
T_{OFF2}	$t_{3A} - t_{2A}$	T_A	0
T_{OFF1}	$t_{1B} - t_{0B}$	T_B	0
T_{ON}	$t_{2B} - t_{1B}$	T_B	1
T_{OFF2}	$t_{3B} - t_{2B}$	T_B	0
T_{OFF1}	$t_{1C} - t_{0C}$	T_C	0
T_{ON}	$t_{2C} - t_{1C}$	T_C	1
T_{OFF2}	$t_{3C} - t_{2C}$	T_C	0
T_{OFF1}	$t_{1D} - t_{0D}$	T_D	0
T_{ON}	$t_{2D} - t_{1D}$	T_D	1
T_{OFF2}	$t_{3D} - t_{2D}$	T_D	0

Tabla 4.8: **Valor de las funciones de conmutación durante el periodo de portadora**

se utilizaron para la obtención del modelo promediado del inversor puente H, siendo ahora necesario hacer el proceso 4 veces, una por cada función de conmutación, auxiliándose en el esquema de conmutación de cada una presentado en la Tabla 4.8. Lo anterior nos da como resultado

$$\dot{x} = Ax + B\mu \quad (4.24)$$

donde $\mu \in (-2, 2)$.

Quedando así finalmente establecido el modelo promediado del convertidor de 5 niveles.

La ecuación anterior del modelo promediado de un multinivel se puede extender a más de dos puentes H conectados en cascada, resultando válida la siguiente expresión para calcular el dominio de la señal de control del modelo promediado de un convertidor implementado con m puentes H conectados en cascada

$$\left(-\frac{n-1}{2}, \frac{n-1}{2}\right)$$

donde n es el número de niveles que puede generar el convertidor y se calcula así

$$n = 2m + 1$$

Por lo tanto el modelo promediado de un convertidor de n niveles es

$$\dot{x} = Ax + B\mu_g \quad (4.25)$$

donde $\mu_g \in \left(-\frac{n-1}{2}, \frac{n-1}{2}\right)$

siempre y cuando las fuentes de voltaje sean iguales en todos los inversores.

4.6. Diseño del controlador

Para poder cumplir el objetivo de implementar una UPS que genere un voltaje senoidal con la amplitud y frecuencia deseadas y que permanezcan constantes aún cuando el valor de la carga conectada cambie, se diseño una ley de control basada en la teoría de sistemas dinámicos.

A continuación se presenta el análisis que llevó a su obtención.

Otra forma de representar el modelo (4.24) es la siguiente [15]

$$D\dot{x} + Cx + Rx = Q \quad (4.26)$$

donde

$$x = \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} \quad D = \begin{pmatrix} L & 0 \\ 0 & C \end{pmatrix} \quad C = \begin{pmatrix} 0 & 1 \\ -1 & 0 \end{pmatrix} \quad R = \begin{pmatrix} 0 & 0 \\ 0 & \frac{1}{R} \end{pmatrix} \quad Q = \begin{pmatrix} V_{cd}\mu \\ 0 \end{pmatrix}$$

El objetivo del control es lograr que $x = x_d$, siendo x_d el comportamiento deseado para la corriente en el inductor y la tensión en el capacitor. Resulta útil entonces representar la dinámica anterior en términos de la señal de error dada por:

$$e = x - x_d$$

si se despeja a los estados de la ecuación anterior

$$x = e + x_d \quad (4.27)$$

derivando

$$\dot{x} = \dot{e} + \dot{x}_d \quad (4.28)$$

si se sustituyen las ecuaciones (4.27) y (4.28) en la ecuación (4.26) se tiene

$$D(\dot{e} + \dot{x}_d) + C(e + x_d) + R(e + x_d) = Q$$

Si se eliminan los paréntesis y después se agrupan del lado izquierdo los términos que contienen a la función de error y del lado derecho los términos que contienen a la función deseada se tiene

$$D\dot{e} + Ce + Re = Q - [D\dot{x}_d + Cx_d + Rx_d] = \phi \quad (4.29)$$

Para analizar la dinámica del error, se considera la siguiente función de energía

$$H_d = \frac{1}{2}e^T De$$

donde la derivada de H_a con respecto al tiempo es

$$\dot{H}_a = \frac{1}{2}e^T D\dot{e} + \frac{1}{2}\dot{e}^T D e \quad (4.30)$$

Al ser D simétrica se cumple que

$$D^T = D$$

Además se tienen las siguientes propiedades de matrices transpuestas

$$[A^T]^T = A \quad y \quad [AB]^T = B^T A^T$$

Al aplicarlas en la ecuación (4.30) se tiene

$$\begin{aligned} \dot{H}_a &= \frac{1}{2}e^T D\dot{e} + \frac{1}{2}[[De]^T \dot{e}]^T \\ \dot{H}_a &= \frac{1}{2}e^T D\dot{e} + \frac{1}{2}[e^T D\dot{e}]^T \end{aligned} \quad (4.31)$$

Debido a que la función $F(e) = e^T D\dot{e}$ es una función escalar se tiene que

$$[e^T D\dot{e}]^T = e^T D\dot{e}$$

Aplicando lo anterior en (4.31) se tiene que

$$\dot{H}_a = \frac{1}{2}e^T D\dot{e} + \frac{1}{2}e^T D\dot{e} = e^T D\dot{e} \quad (4.32)$$

Si se despeja a $D\dot{e}$ de la ecuación (4.29)

$$D\dot{e} + Ce + Re = \phi$$

$$D\dot{e} = \phi - Ce - Re$$

y se sustituye en la ecuación (4.32)

$$\dot{H}_a = e^T[\phi - Ce - Re]$$

Multiplicando los términos

$$\dot{H}_a = e^T \phi - e^T Ce - e^T Re$$

debido a que C es una matriz antisimétrica, se tiene que

$$e^T Ce = 0$$

por lo que la ecuación anterior queda de la siguiente forma:

$$\dot{H}_a = e^T \phi - e^T Re \quad (4.33)$$

Si se hace que

$$\phi = -Ke \quad (4.34)$$

y se sustituye en (4.33)

$$\begin{aligned} \dot{H}_d &= -e^T Ke - e^T Re \\ \dot{H}_d &= -e^T (R + K)e \end{aligned}$$

Si la matriz $(R + K)$ es simétrica y además positiva definida se logra que:

$$\dot{H}_d < 0 \quad \forall x \neq 0$$

lo cual indica que la función H_d es una función que decrece hasta cero y por lo tanto e lo hará también. Lo anterior implica que $x \rightarrow x_d$, garantizándose de esta forma el objetivo del control.

Para tal fin, se propone la siguiente forma de la matriz K :

$$K = \begin{pmatrix} K_1 & 0 \\ 0 & K_2 \end{pmatrix}$$

donde $K_1, K_2 > 0$

Si se sustituye la definición (4.34) en la ecuación (4.29):

$$Q - [D\dot{x}_d + Cx_d + Rx_d] = -Ke = \phi$$

Sustituyendo las matrices:

$$\begin{pmatrix} V_{cd}\mu \\ 0 \end{pmatrix} - \begin{pmatrix} L & 0 \\ 0 & C \end{pmatrix} \begin{pmatrix} \dot{x}_{1d} \\ \dot{x}_{2d} \end{pmatrix} - \begin{pmatrix} 0 & 1 \\ -1 & 0 \end{pmatrix} \begin{pmatrix} x_{1d} \\ x_{2d} \end{pmatrix} - \begin{pmatrix} 0 & 0 \\ 0 & \frac{1}{R} \end{pmatrix} \begin{pmatrix} x_{1d} \\ x_{2d} \end{pmatrix} = - \begin{pmatrix} K_1 & 0 \\ 0 & K_2 \end{pmatrix} \begin{pmatrix} e_{1d} \\ e_{2d} \end{pmatrix} = \begin{pmatrix} \phi_1 \\ \phi_2 \end{pmatrix}$$

de donde se puede obtener el siguiente par de ecuaciones

$$\phi_1 = V_{cd}\mu - L\dot{x}_{1d} - x_{2d} = -K_1 e_{1d} \quad (4.35)$$

$$\phi_2 = x_{1d} - C\dot{x}_{2d} - \frac{x_{2d}}{R} = -K_2 e_{2d} \quad (4.36)$$

Se habían definido anteriormente

$$x_1 = i_{Ld} \quad x_2 = V_{Cd} \quad e_1 = i_L - i_{Ld} \quad e_2 = V_C - V_{Cd}$$

Si se sustituye en las ecuaciones (4.35) y (4.36) las definiciones anteriores, se tiene

$$\phi_1 = V_{cd}\mu - Li_{Ld} - V_{Cd} = -K_1(i_L - i_{Ld}) \quad (4.37)$$

$$\phi_2 = i_{Ld} - C\dot{V}_{Cd} - \frac{V_{Cd}}{R} = -K_2(V_C - V_{Cd}) \quad (4.38)$$

Si se despeja de la ecuación (4.37) a μ , entonces

$$\mu = \frac{1}{V_{cd}}(Li_{Ld} + V_{Cd} - K_1(i_L - i_{Ld})) \quad (4.39)$$

y finalmente se obtiene la ley de control bajo la cual la señal moduladora μ será modificada.

Si se analiza la ecuación (4.38), puede notarse que K_2 debe ser cero para que cumpla la ley de corrientes de Kirchoff, tal y como se muestra a continuación:

$$i_{Ld} - C\dot{V}_{cd} - \frac{V_{cd}}{R} = 0(V_C - V_{cd}) \Rightarrow i_{Ld} = C\dot{V}_{cd} + \frac{V_{cd}}{R}$$

La matriz K tiene finalmente la siguiente forma:

$$K = \begin{pmatrix} K_1 & 0 \\ 0 & 0 \end{pmatrix}$$

quedando así determinada la estructura de la ley de control.

4.7. Implementación de la ley de control

4.7.1. Simulaciones

Como primer paso se presenta el circuito funcionando en lazo abierto, con los siguientes parámetros de simulación:

- . Convertidor multinivel modulado por la técnica PWM de retraso.
- . Frecuencia de la señal portadora de 4[kHz].
- . Frecuencia de la señal moduladora 60[Hz].
- . L=31[mH]
- . C=9.68[μ F]
- . R=310[Ω]
- . $V_{cd} = 30[V]$

Las simulaciones fueron realizadas en el software PSIM de la empresa Powersim. La Figura 4.8 muestra el circuito hecho en PSIM.

La Figura 4.9 muestra el voltaje en el capacitor y la corriente en el inductor en lazo abierto. La magnitud del voltaje es de 56.3[V] pico con una frecuencia de 60 [Hz].

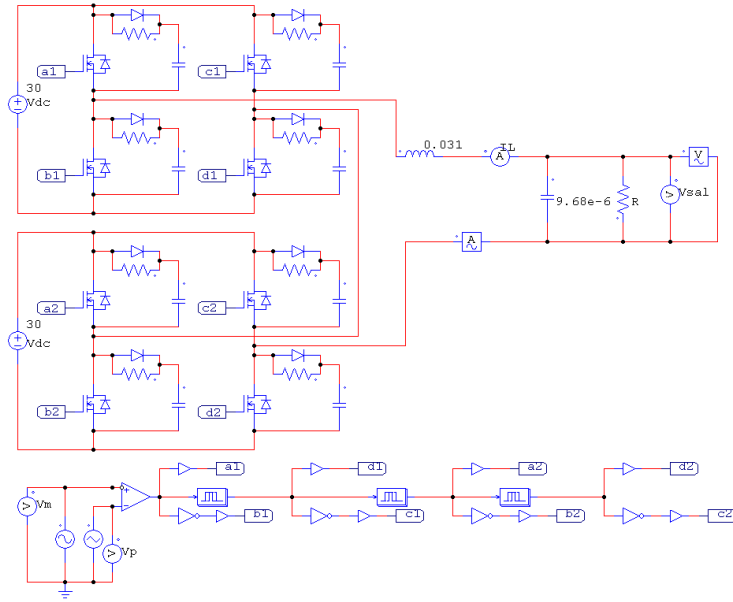


Figura 4.8: Circuito en lazo abierto

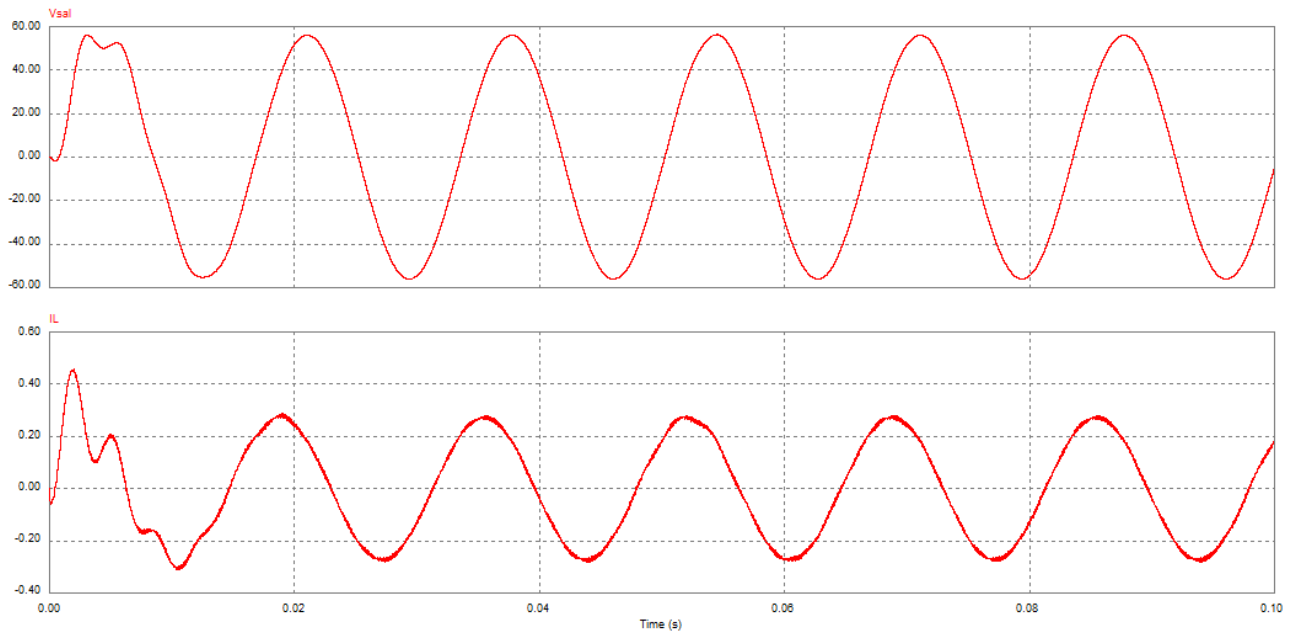


Figura 4.9: Voltaje en el capacitor y corriente en el inductor en lazo abierto

La Figura 4.10 muestra el espectro de frecuencias de la señal de voltaje en el capacitor, para verificar que el filtro cumple su función de eliminar los armónicos. El THD es de 0,35 %, el cual resulta ser bastante bueno comparado con la referencia considerada aceptable y utilizada por la C.F.E. en su especificación L0000-45 y publicada por la IEEE-519, que es del

5%.

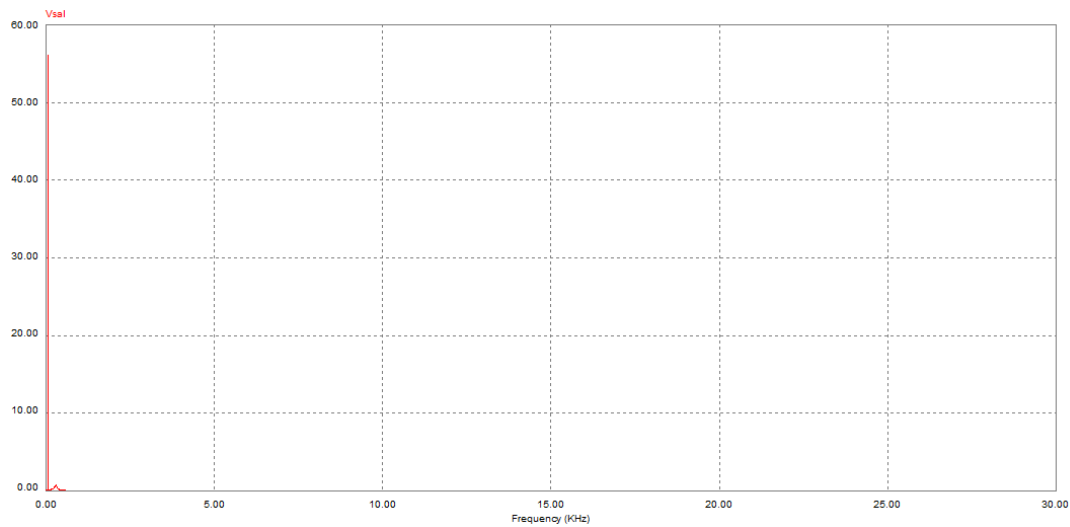


Figura 4.10: Espectro de frecuencias del voltaje en el capacitor en lazo abierto

El paso siguiente es mostrar las simulaciones que se realizaron para demostrar el funcionamiento de la teoría que abarca el comportamiento conjunto del modelado y el diseño de la propuesta de la ley de control.

Debido a que se considera el caso de una UPS:

$$V_{Cd} = V \text{sen}(\omega t)$$

La Figura 4.11 muestra el circuito hecho en PSIM.

Los parámetros de simulación utilizados fueron:

- . Inversor multinivel modulado por la técnica PWM de retraso.
- . Frecuencia de la señal portadora de 4[kHz].
- . $V_{Cd} = 30 \text{sen}(120\pi t)$.
- . $L=31[\text{mH}]$.
- . $C=9.68[\mu\text{F}]$.
- . $R=310[\Omega]$.
- . $K_1 = 1, K_2 = 0$.

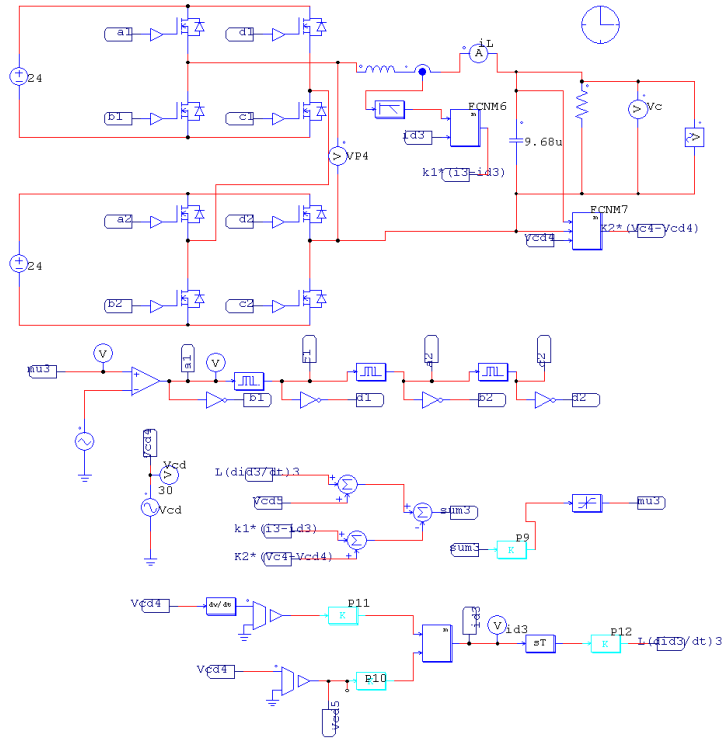


Figura 4.11: Simulación del circuito y su ley de control

El voltaje en el capacitor y la corriente en el inductor (medido y deseado) se muestran en la Figura 4.12.

La magnitud del voltaje medido es de 30.18[V] pico con una frecuencia de 60 [Hz]. La desviación del voltaje RMS medido respecto al voltaje RMS deseado es de 0,6 % y de acuerdo a la Norma ANSI C84.1, que define el rango de variación de voltaje permitido en operación normal de $\pm 5\%$ del valor RMS nominal, se puede considerar aceptable este valor.

La Figura 4.13 muestra el espectro de frecuencias de la señal de voltaje del capacitor. El THD es de 0,3 %, el cual es un valor aceptable de acuerdo a la referencia de 5 % utilizada por la C.F.E.

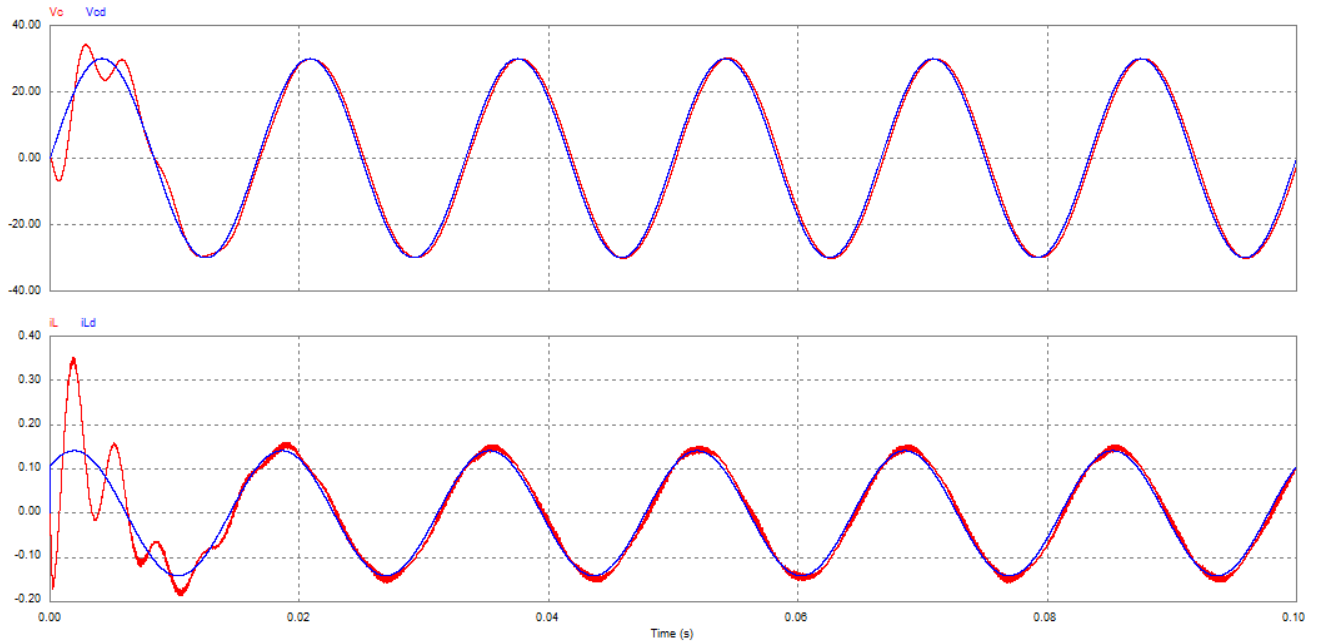


Figura 4.12: Voltaje en el capacitor y corriente en el inductor en lazo cerrado

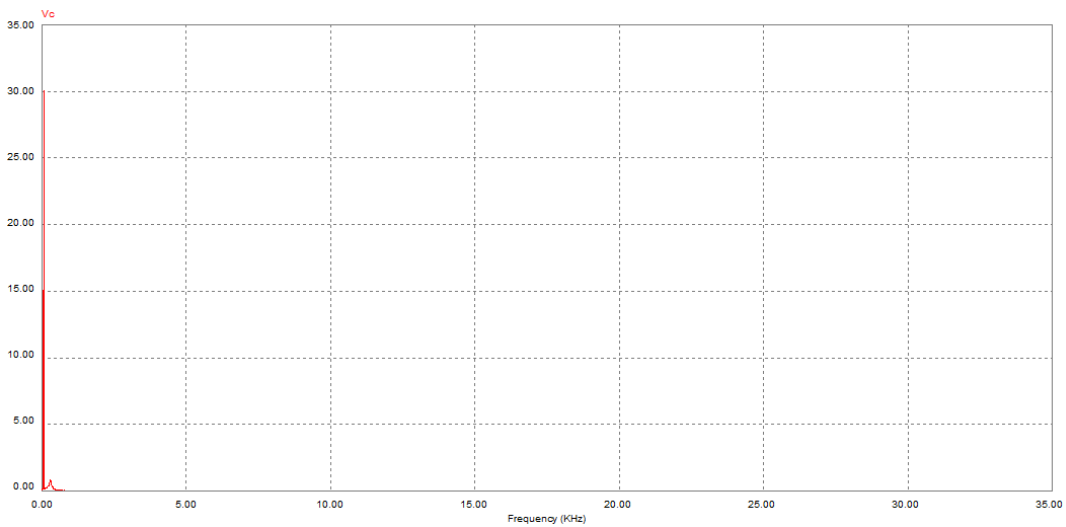


Figura 4.13: Espectro de frecuencias del voltaje en el capacitor en lazo cerrado

La Figura 4.14 muestra los errores que hay tanto en el voltaje en el capacitor como en la corriente del inductor.

La Figura 4.15 muestra la señal de control y como se puede observar, ésta no se satura.

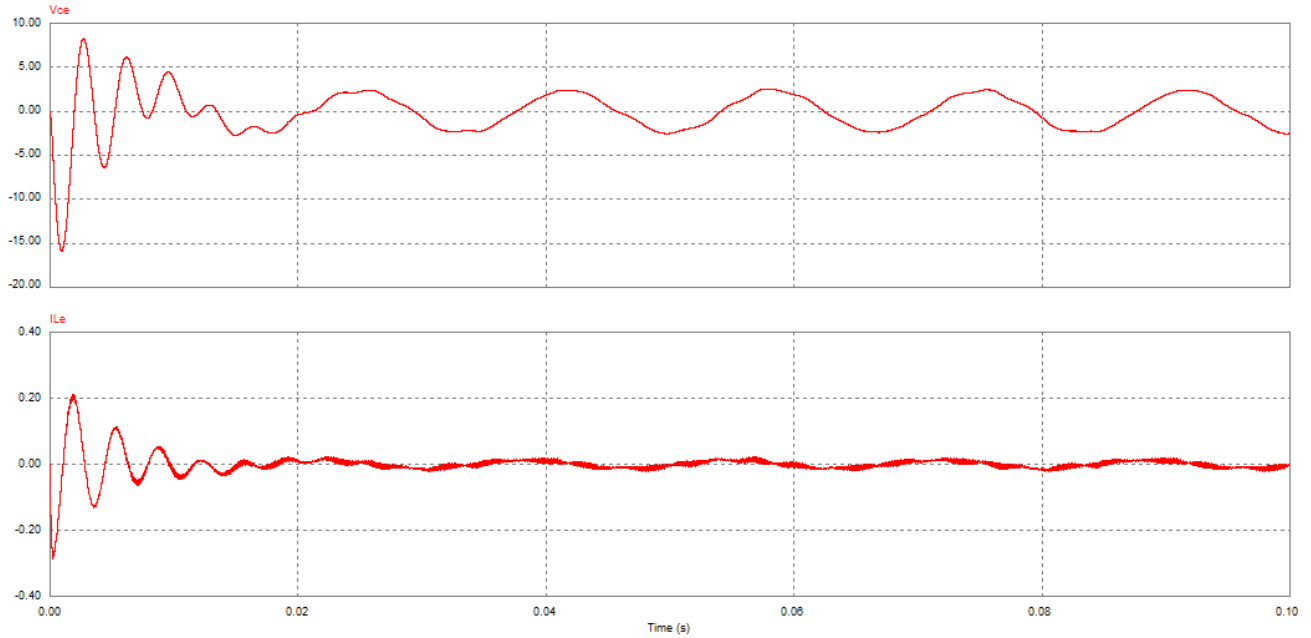


Figura 4.14: Errores en el voltaje del capacitor y corriente del inductor

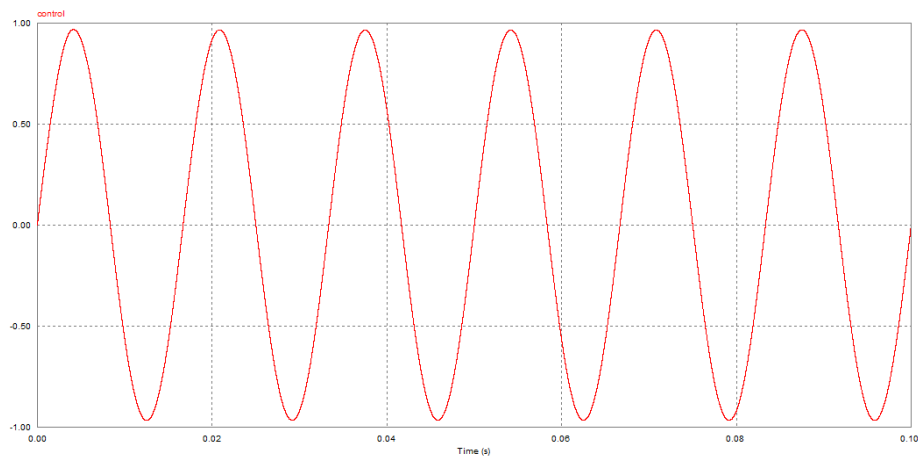


Figura 4.15: Señal de control

Para comprobar la robustez del esquema de conmutación propuesto ante cambios en la carga, la carga R tomará primero un valor 50% más pequeño y después un valor 110% más grande. Los anteriores porcentajes de variación en el valor de la carga se escogieron así ya que son considerados suficientemente amplios para cubrir un repentino cambio en el valor de ésta.

Para $R = 155[\Omega]$.

El voltaje en el capacitor y la corriente en el inductor (medido y deseado) se muestran

en la Figura 4.16. La magnitud del voltaje medido es de 29.85[V] pico con una frecuencia de 60 [Hz]. La desviación del voltaje es de 0,5 % por lo tanto y de acuerdo a la Norma ANSI C84.1 se considera aceptable.

La Figura 4.17 muestra el espectro de frecuencias del voltaje en el capacitor. El THD es de 0,36 % y de acuerdo a la referencia utilizada por C.F.E. se considera aceptable.

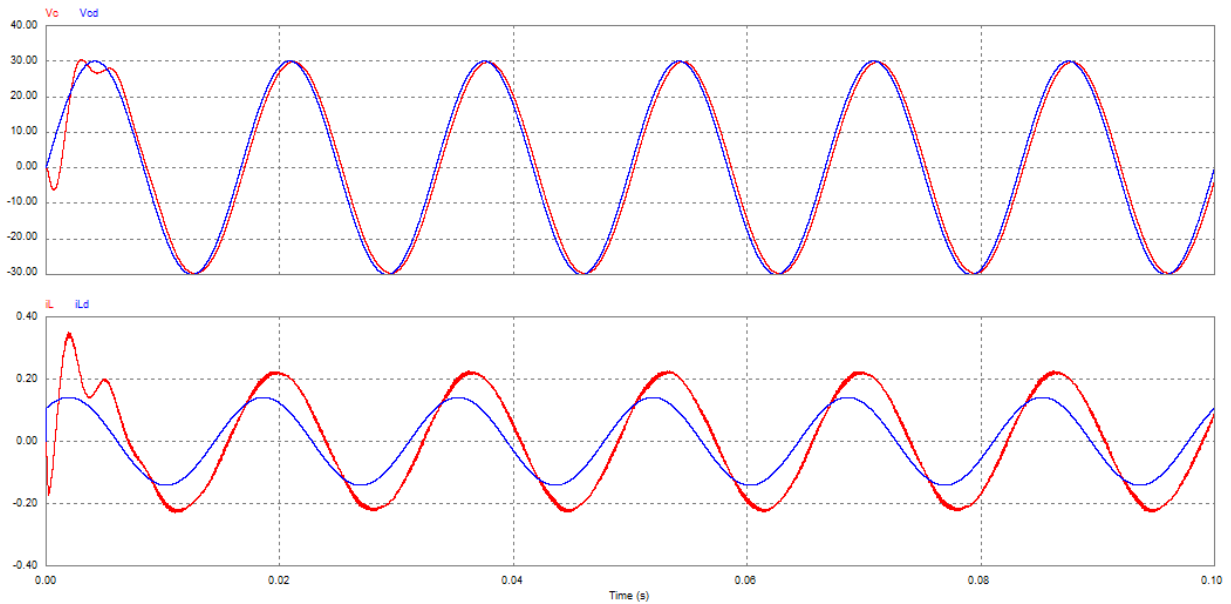


Figura 4.16: Voltaje en el capacitor y corriente en el inductor en lazo cerrado

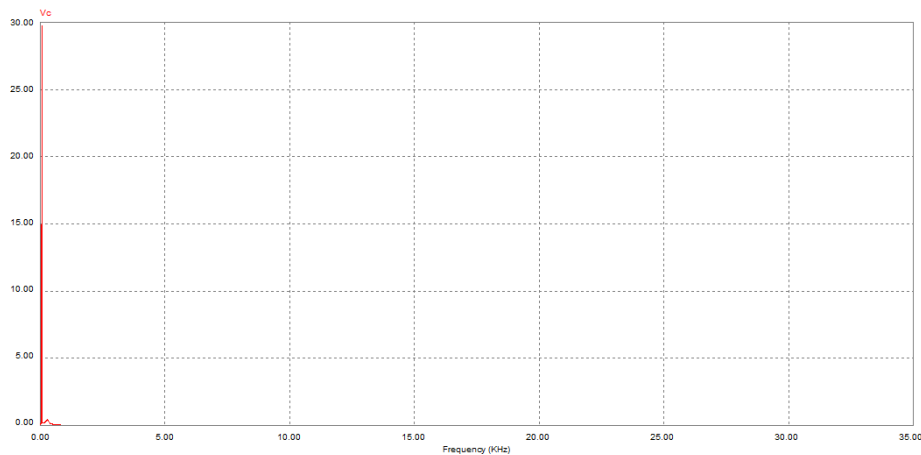


Figura 4.17: Espectro de frecuencias del voltaje en el capacitor en lazo cerrado

La Figura 4.18 muestra los errores que hay tanto en el voltaje en el capacitor como en la

corriente del inductor.

La Figura 4.19 muestra la señal de control, en la cual puede observarse que ésta no se satura.

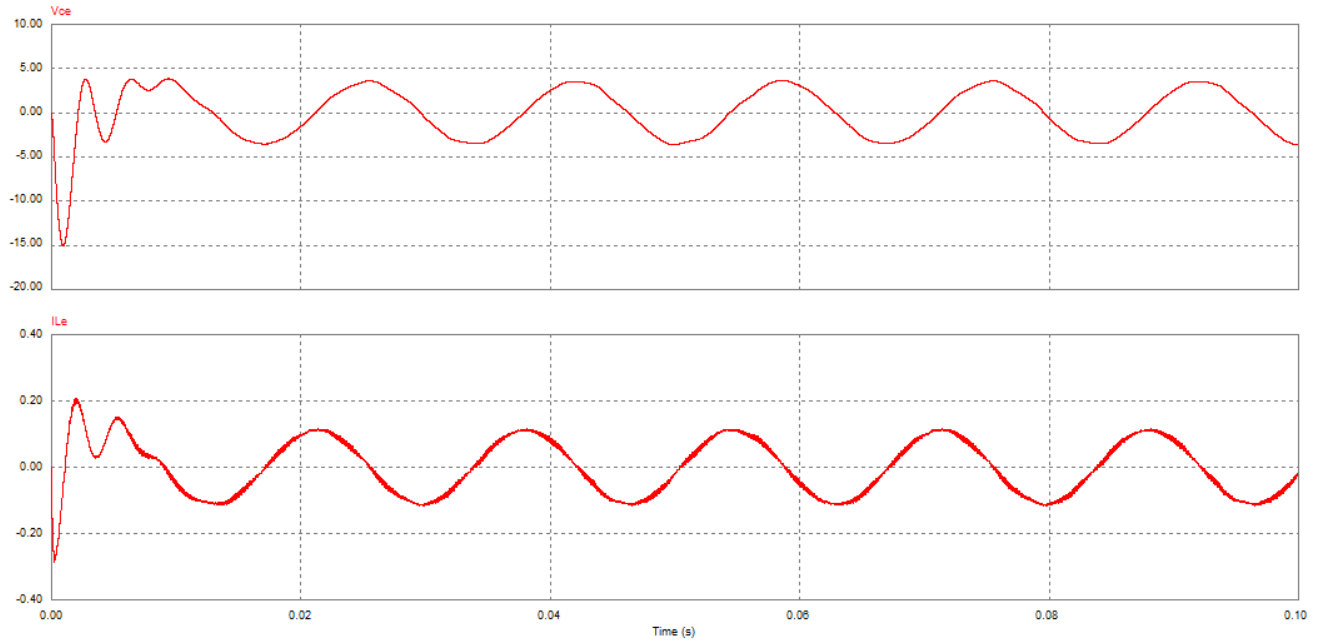


Figura 4.18: Errores en el voltaje del capacitor y corriente del inductor

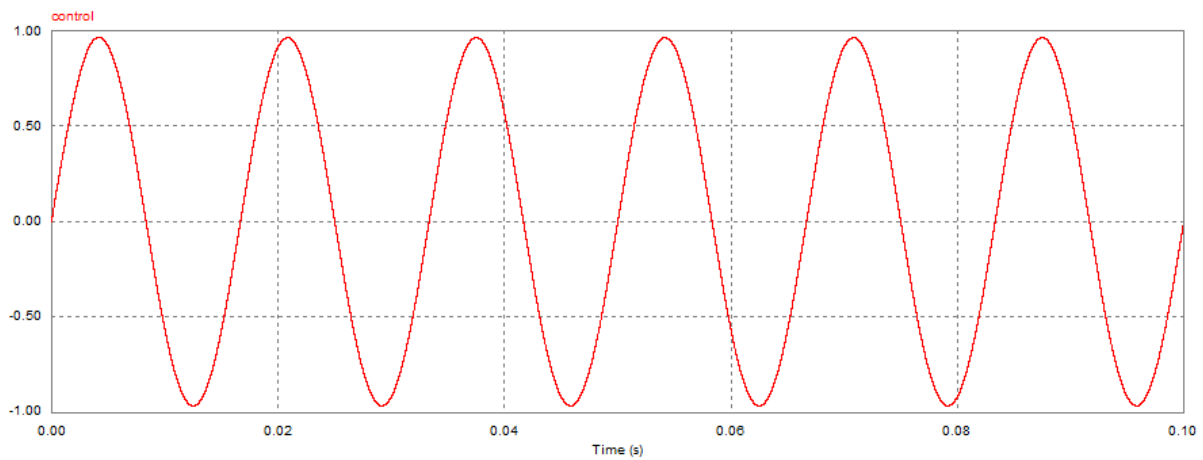


Figura 4.19: Señal de control

Ahora $R = 710[\Omega]$.

El voltaje en el capacitor y la corriente en el inductor (medido y deseado) se muestran en la Figura 4.20. La magnitud del voltaje medido es de $30.34[V]$ pico con una frecuencia de $60 [Hz]$. La desviación del voltaje es de $1,13 \%$ por lo tanto y de acuerdo a la Norma ANSI C84.1 se considera aceptable.

La Figura 4.21 muestra el espectro de frecuencias del voltaje en el capacitor. El THD es de $0,4 \%$ y de acuerdo a la referencia utilizada por C.F.E. se considera aceptable.

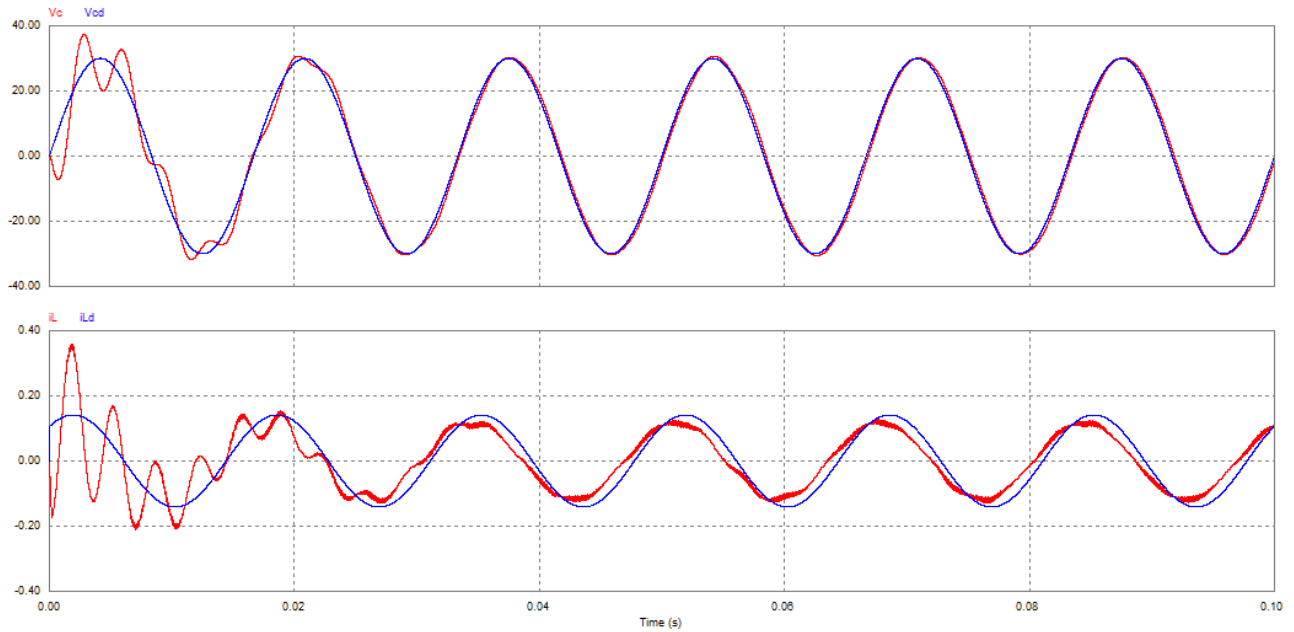


Figura 4.20: Voltaje en el capacitor y corriente en el inductor en lazo cerrado

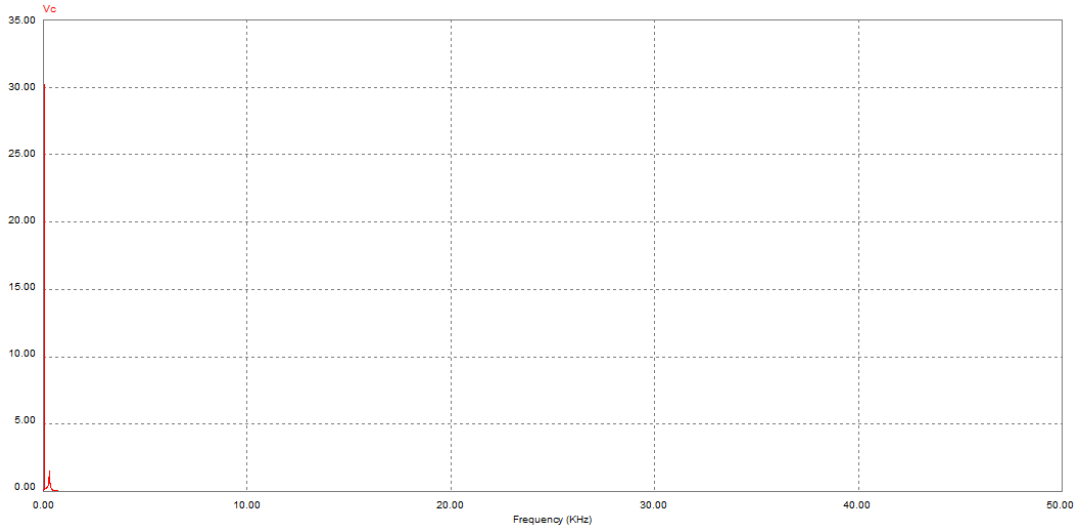


Figura 4.21: Espectro de frecuencias del voltaje en el capacitor en lazo cerrado

La Figura 4.22 muestra los errores que hay tanto en el voltaje en el capacitor como en la corriente del inductor.

La Figura 4.23 muestra la señal de control, donde se puede apreciar que ésta no se satura.

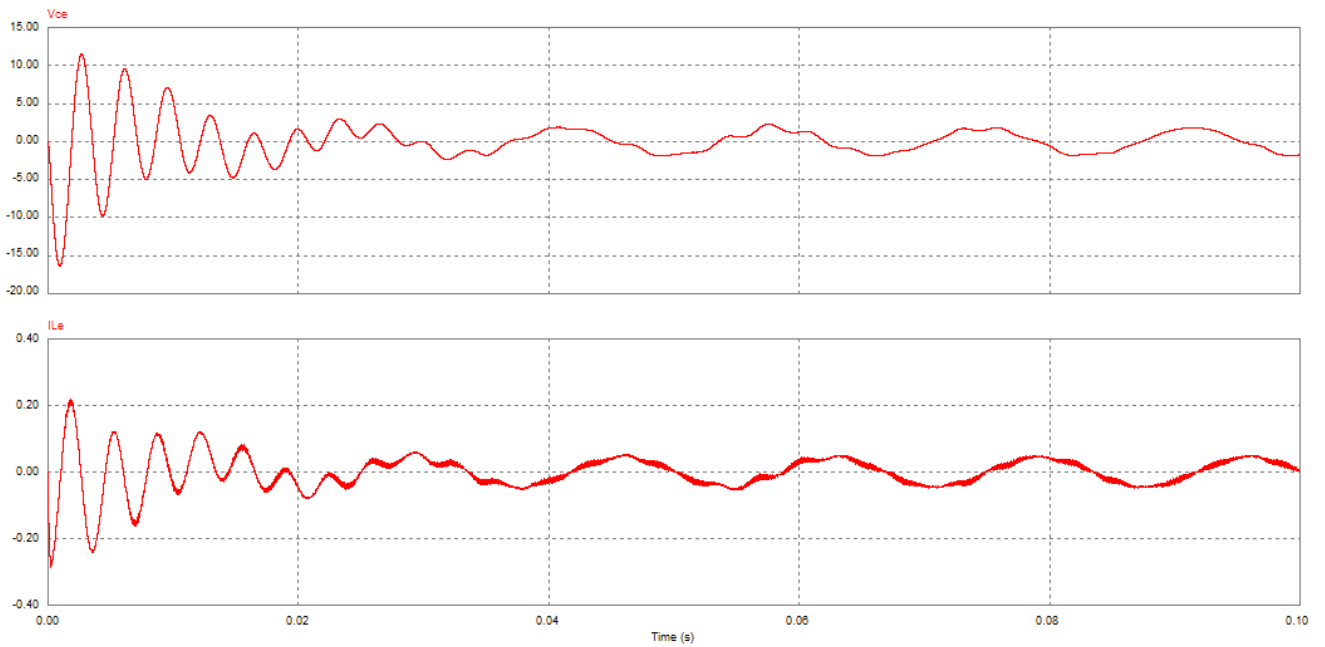


Figura 4.22: Errores en el voltaje del capacitor y corriente del inductor

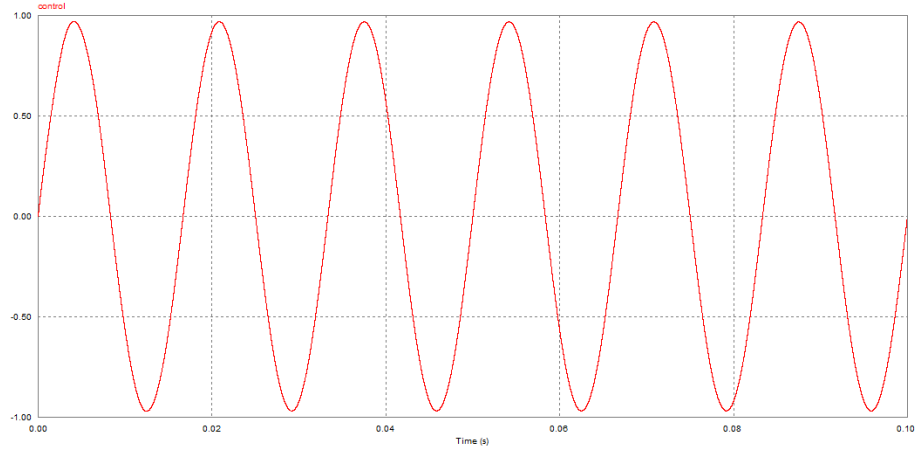


Figura 4.23: Señal de control

4.7.2. Resultados experimentales

Una vez comprobado mediante simulaciones el buen funcionamiento del sistema y del esquema de conmutación propuesto, se procedió a su implementación utilizando la tarjeta de adquisición de datos dSPACE, acondicionando las señales necesarias mediante las tarjetas mostradas en la parte de Instrumentation. Como ya se había mencionando anteriormente, el esquema de conmutación fue realizado en SIMULINK para su posterior implementación física a través de la tarjeta dSPACE. Las Figuras 4.24 y 4.25 muestran el esquema de conmutación programado.

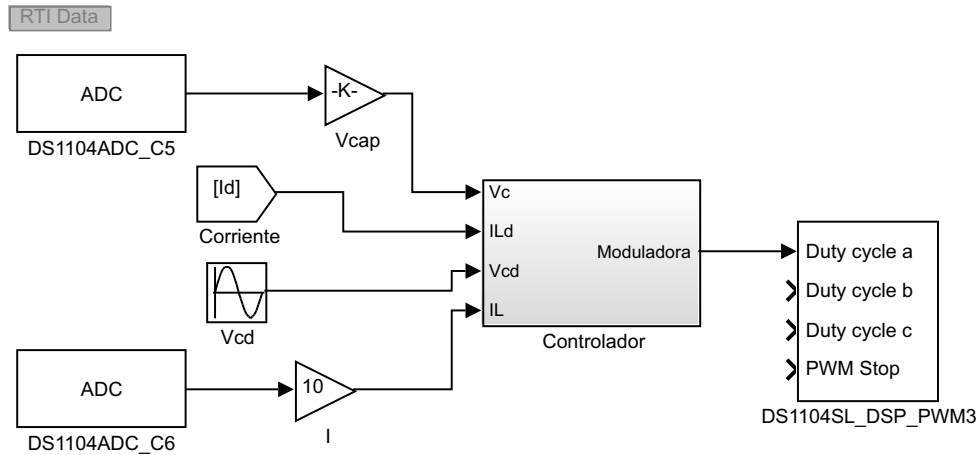


Figura 4.24: Esquema de conmutación

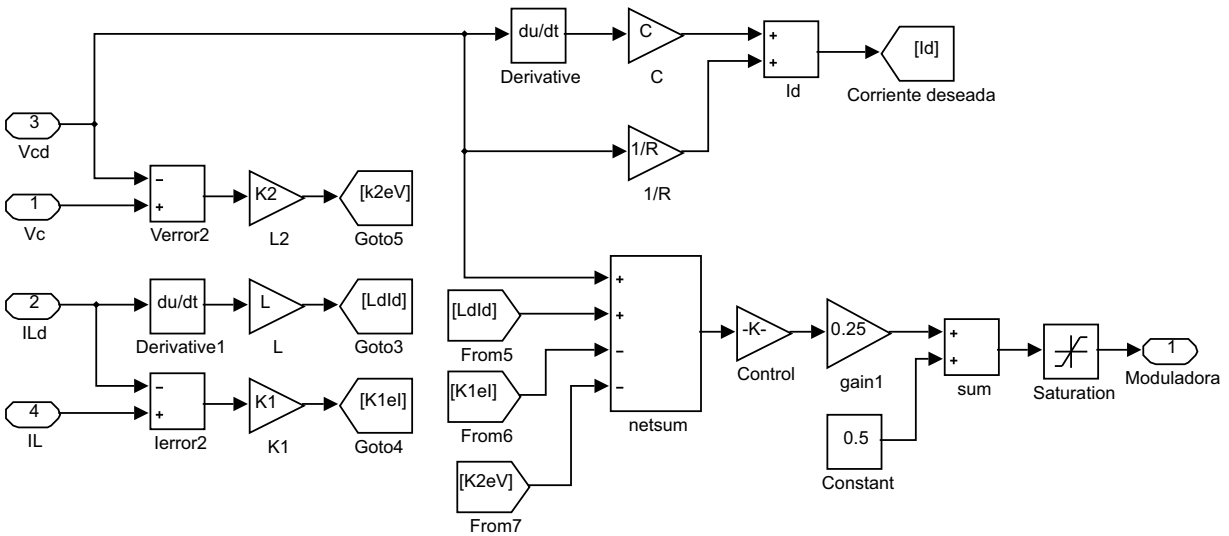


Figura 4.25: Esquema de conmutación(bloque Controlador)

Como primer paso se presenta el circuito funcionando en lazo abierto, con los siguientes parámetros:

- . Convertidor multinivel modulado por la técnica PWM de retraso
- . Frecuencia de la señal portadora de 4[kHz]
- . Frecuencia de la señal moduladora 60[Hz]
- . $L=31[\text{mH}]$
- . $C=9.68[\mu\text{F}]$
- . $R=310[\Omega]$
- . $V_{cd} = 30[\text{V}]$

La Figura 4.26 muestra el voltaje en el capacitor y la corriente en el inductor en lazo abierto. La magnitud del voltaje es de 53.88[V] pico con una frecuencia de 60 [Hz].

La Figura 4.10 muestra el espectro de frecuencias de la señal del voltaje en el capacitor. El THD calculado es de 0.24 %, lo cual demuestra la funcionalidad del filtro para eliminar los armónicos ya que este valor está muy por debajo del valor de referencia utilizado por C.F.E. que es del 5 %.

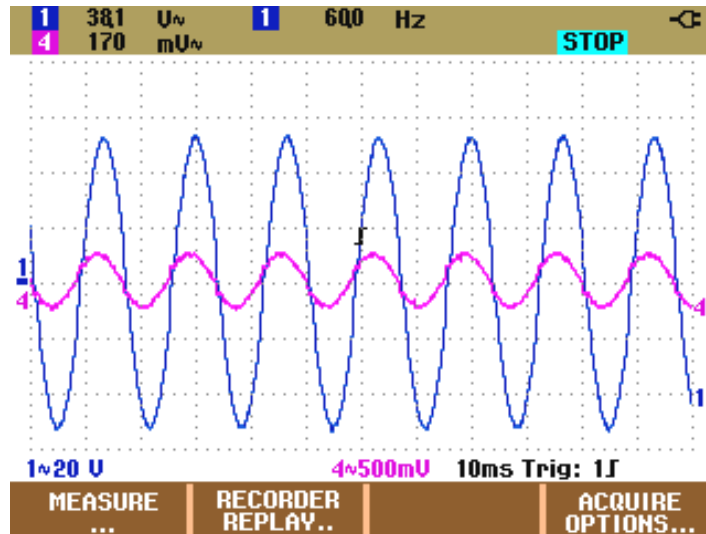


Figura 4.26: Voltaje en el capacitor y corriente en el inductor en lazo abierto

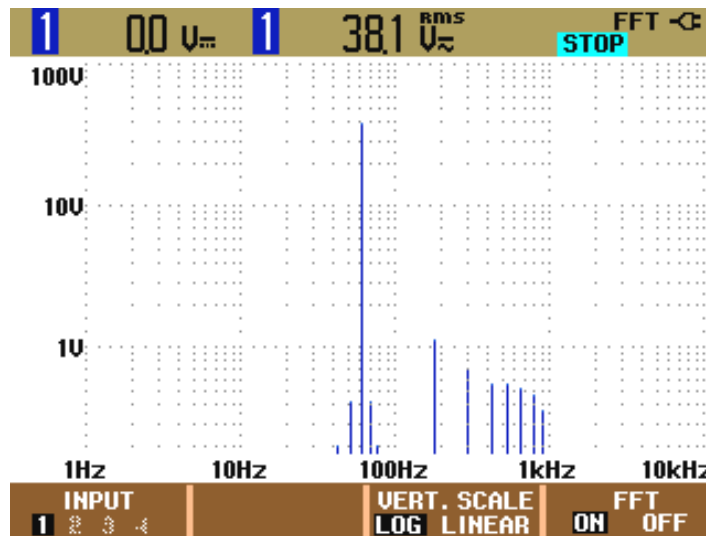


Figura 4.27: Espectro de frecuencias de la señal del voltaje del capacitor

Ahora se muestra el funcionamiento del sistema, cuando se implementa la ley de control, y la robustez que ésta presenta cuando se cambia el valor de la carga. Al igual que en las simulaciones:

$$V_{ca} = V \text{sen}(\omega t)$$

Los parámetros del sistema son los siguientes:

- Inversor multinivel modulado por la técnica PWM de retraso

- Frecuencia de la señal portadora de 4[kHz]
- $V_{ca} = 30\text{sen}(120\pi t)$
- $L=31[\text{mH}]$
- $C=9.68[\mu\text{F}]$
- $R=310[\Omega]$
- $K_1 = 1, K_2 = 0$

El voltaje en el capacitor y la corriente en el inductor se muestran en la Figura 4.28. La magnitud del voltaje medido es de 30.4[V] pico con una frecuencia de 60 [Hz]. La desviación del voltaje es de 1,33 % por lo tanto y de acuerdo a la Norma ANSI C84.1 que permite una desviación maxima de $\pm 5 \%$ del valor nominal RMS, se considera aceptable.

La Figura 4.29 muestra el espectro de frecuencias del voltaje en el capacitor. El THD es de 0,28 % y de acuerdo a la referencia utilizada por C.F.E. se considera aceptable.

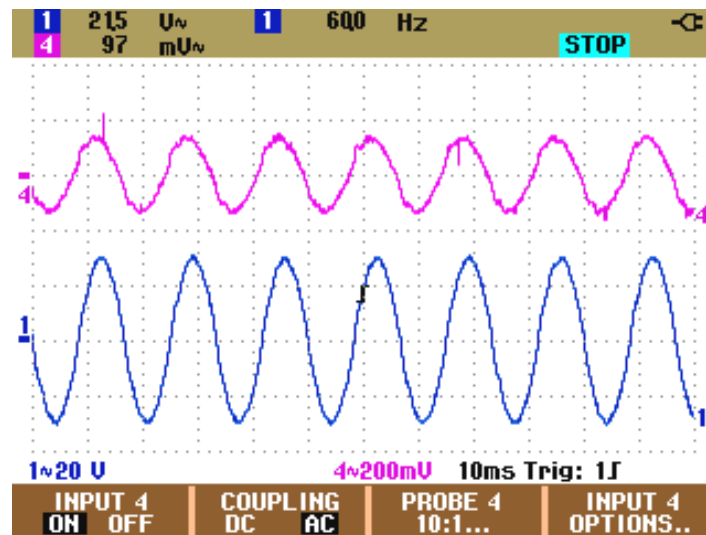


Figura 4.28: Voltaje en el capacitor y corriente en el inductor

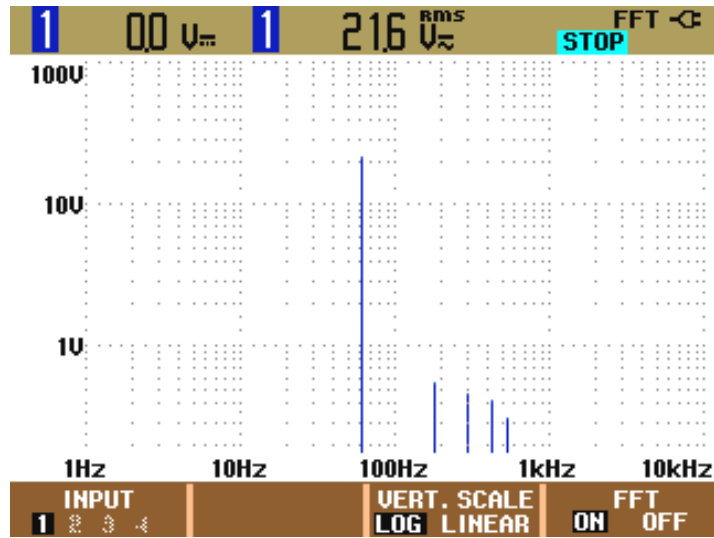


Figura 4.29: Espectro de frecuencias del voltaje en el capacitor en lazo cerrado

La Figura 4.30 muestra el error en el voltaje del capacitor y en la corriente del inductor.

La Figura 4.31 muestra la señal de control, en donde puede observarse que la señal de control no se satura.

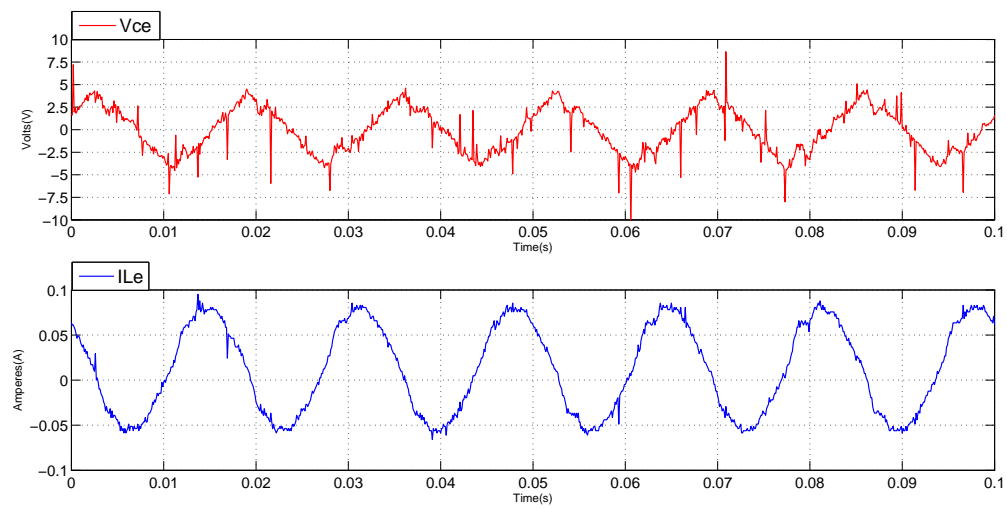


Figura 4.30: Error en el voltaje del capacitor y corriente del inductor

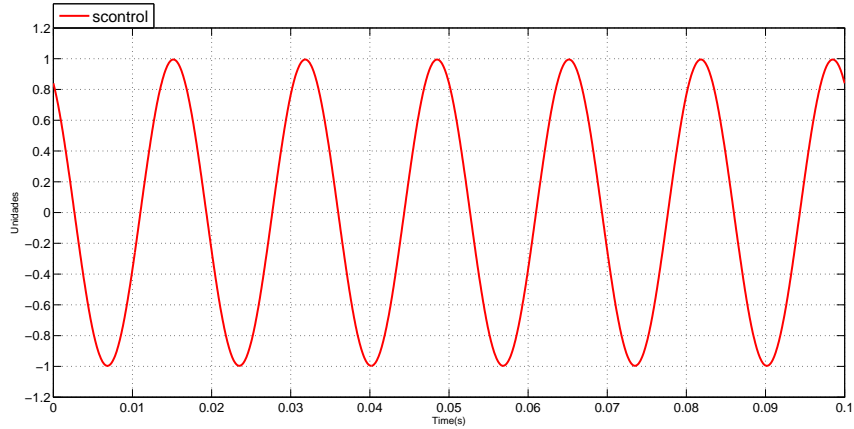


Figura 4.31: Señal de control

A continuación se presentan los resultados obtenidos cuando $R = 155[\Omega]$.

El voltaje en el capacitor y la corriente en el inductor se muestran en la Figura 4.32. La magnitud del voltaje medido es de $29.41[\text{V}]$ pico con una frecuencia de $60[\text{Hz}]$. La desviación del voltaje es de $1,96\%$ por lo tanto y de acuerdo a la Norma ANSI C84.1 se considera aceptable.

La Figura 4.33 muestra el espectro de frecuencias del voltaje en el capacitor. El THD es de $0,40\%$ y de acuerdo a la referencia utilizada por C.F.E. se considera aceptable.

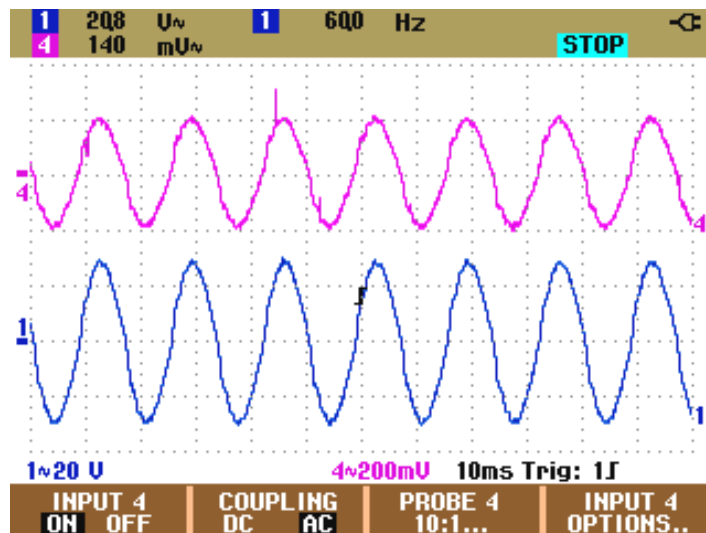


Figura 4.32: Voltaje en el capacitor y corriente en el inductor

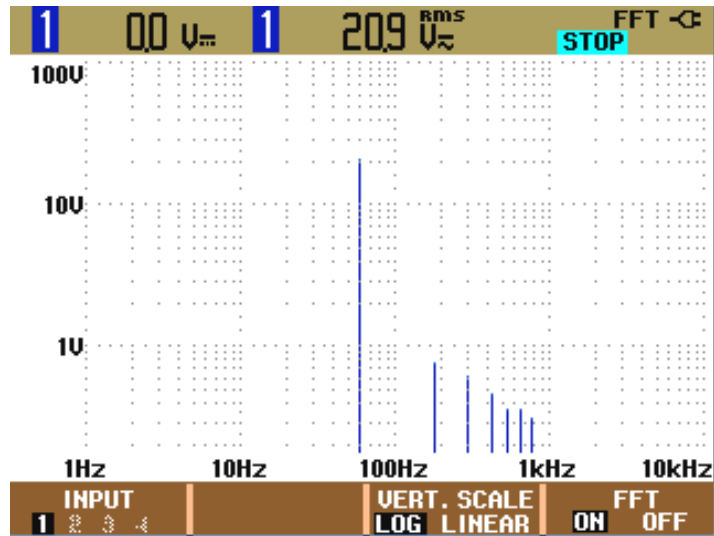


Figura 4.33: Espectro de frecuencias del voltaje en el capacitor en lazo cerrado

La Figura 4.34 muestra el error en el voltaje del capacitor y en la corriente del inductor.

La Figura 4.35 muestra la señal de control, en donde se puede ver que ésta no se satura.

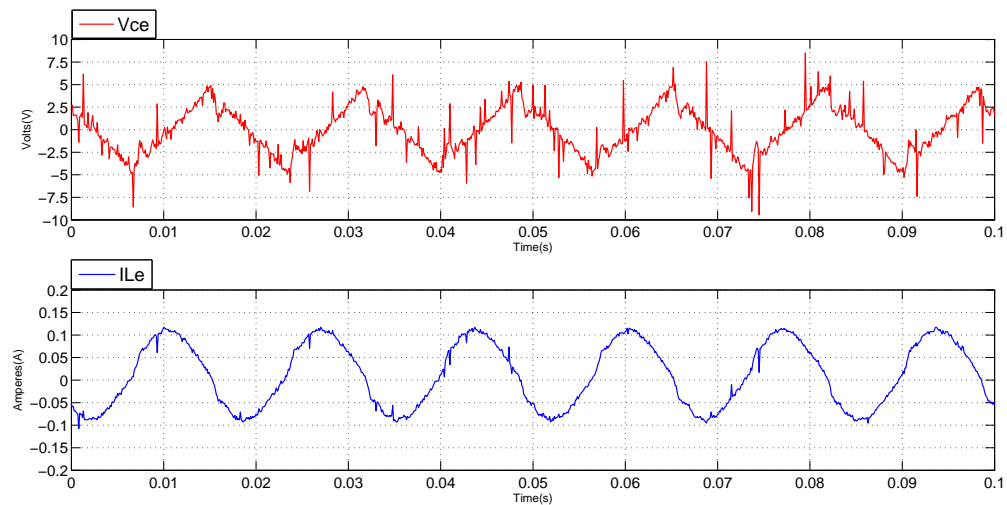


Figura 4.34: Error en el voltaje del capacitor y corriente del inductor

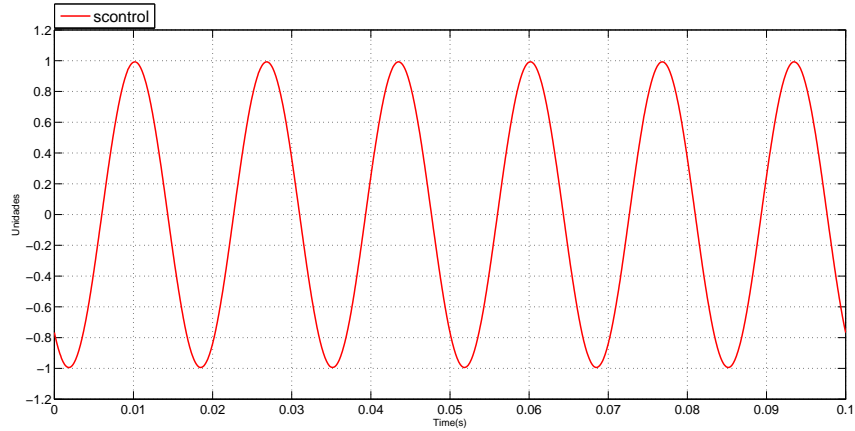


Figura 4.35: Señal de control

Finalmente la carga R tendrá un valor de $710[\Omega]$.

El voltaje en el capacitor y la corriente en el inductor se muestran en la Figura 4.32. La magnitud del voltaje medido es de $30.97[V]$ pico con una frecuencia de $60 [Hz]$. La desviación del voltaje es de $3,23 \%$ por lo tanto y de acuerdo a la Norma ANSI C84.1 se considera aceptable.

La Figura 4.37 muestra el espectro de frecuencias del voltaje en el capacitor. El THD es de $0,35 \%$ y de acuerdo a la referencia utilizada por C.F.E. se considera aceptable.

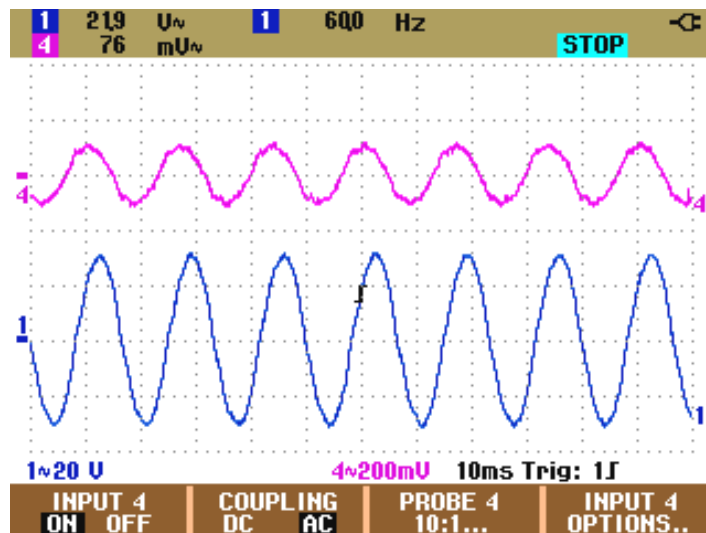


Figura 4.36: Voltaje en el capacitor y corriente en el inductor

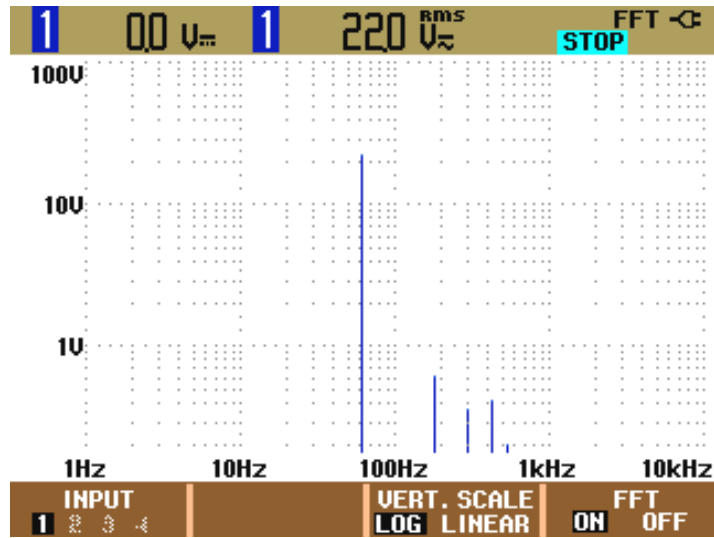


Figura 4.37: Espectro de frecuencias del voltaje en el capacitor en lazo cerrado

La Figura 4.38 muestra el error en el voltaje del capacitor y en la corriente del inductor.

La Figura 4.39 muestra la señal de control, en donde se puede ver que ésta jamás se satura.

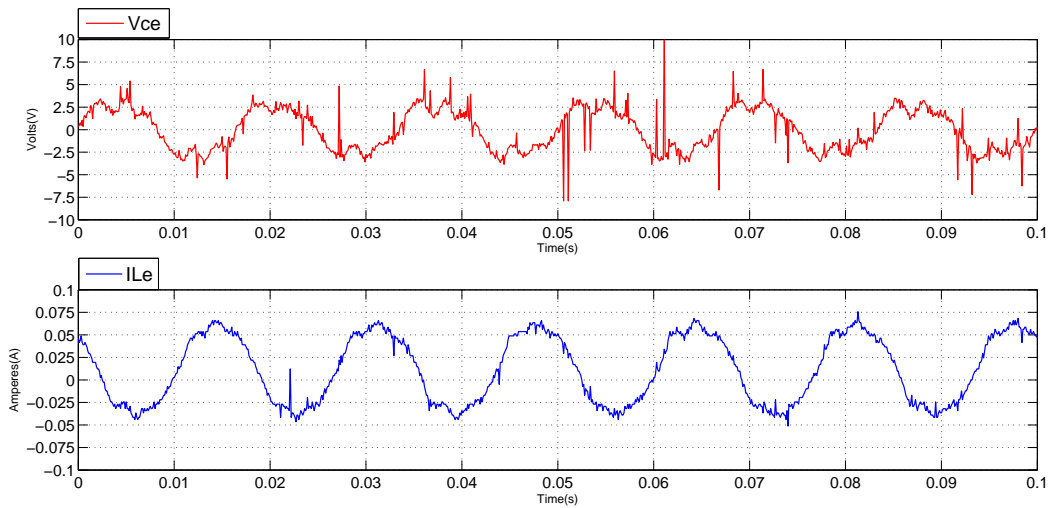


Figura 4.38: Error en el voltaje del capacitor y corriente del inductor

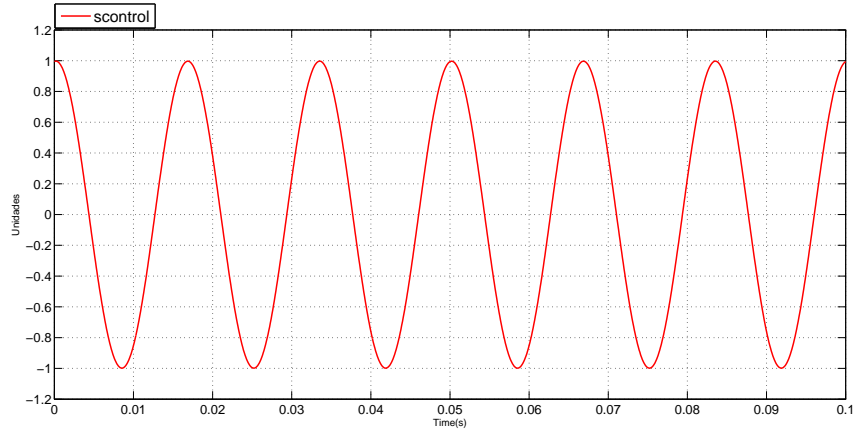


Figura 4.39: Señal de control

Los resultados obtenidos en lazo cerrado para los tres diferentes valores de la carga, se muestran en la Tabla 4.9.

<i>Carga</i> [Ω]	<i>Voltaje capacitor</i> [V]pico	<i>THD</i>	<i>% error</i>
310	30,4	0,28	1,33
155	29,41	0,40	1,96
710	30,97	0,35	3,23

Tabla 4.9: **Resultados experimentales**

Capítulo 5

Conclusiones

Basándonos en las pruebas en lazo abierto, podemos concluir lo siguiente:

- El sistema de protección cumple su función de evitar que se generen en cada puente H combinaciones prohibidas o que no tienen interés, además de generar el tiempo muerto necesario para no producir un corto circuito. Por otro lado también cumple la función de generar los niveles de tensión adecuados, dependiendo de la señal de entrada detectada.
- La modulación implementada a través del FPGA genera el número de niveles correctos a la frecuencia deseada.
- El filtro cumple su objetivo de eliminar armónicos entregándonos una señal senoidal de calidad, lo cual se puede verificar al observar el espectro de frecuencias, todo esto sin atenuar la señal de salida.

Observando la tabla 4.9, podemos concluir lo siguiente respecto a las pruebas en lazo cerrado: La implementación de la ley de control en nuestro sistema físico y los resultados que arroja resultan satisfactorios por las siguientes razones:

- Al utilizar el modelo promediado en lugar del modelo discontinuo, se omiten partes de la dinámica del sistema, como el switcheo de los interruptores.
- Al variar el valor de la carga conectada al sistema, primero disminuyéndola un 50 % y después aumentándola un 220 %, el porcentaje de error en el voltaje del capacitor no aumenta más allá del 5 %, además de que la calidad de la señal tampoco se ve afectada manteniendo un valor de THD bajo, lo cual indica la robustez del control implementado, ya que a pesar de estos cambios, el objetivo de control se sigue cumpliendo.

Por lo anterior se puede afirmar que el convertidor de 5 niveles desarrollado durante este trabajo, cumple el objetivo de funcionar como una UPS. Dicho lo anterior puede asegurarse que también está listo para ser probado ante otros esquemas de conmutación provenientes

del área de control no lineal.

Otro aspecto a resaltar es que debido al diseño del convertidor multinivel, se facilita su expansión a más niveles. Esto debido a los siguientes factores:

El diseño de lo que en este documento se llamó planta, es decir todos los componentes que integran el funcionamiento de un puente H, está hecho para que pueda realizarse cada uno por separado y sólo sea necesario realizar su conexión exterior en cascada para generar el número de niveles deseados, lo cual se vuelve una tarea mas sencilla que diseñar un sólo circuito para un número de niveles determinados. Quizá el inconveniente más grande del diseño es la necesidad de fuentes independientes para activar cada MOSFET, aunque actualmente se pueden mandar fabricar transformadores con varios devanados, lo cual permite que un sólo transformador pueda ser usado para construir varias fuentes y gracias a que los MOSFET se activan por voltaje y no por corriente, estos transformadores no deben ser demasiado voluminosos.

La modulación que se implementó en este trabajo permite que sólo sea necesario modificar el programa sintetizado en el FPGA para aumentar el número de señales de control generadas y por lo tanto el número de interruptores que se quieran controlar, permitiéndonos una capacidad de expansión a mas niveles sin la necesidad de construir otros circuitos o dispositivos electrónicos.

Apéndice A

Programa en VHDL para la implementación de la estrategia de modulación PWM de retraso

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use ieee.numeric_std.all ;
entity shiftr8 is
generic (N: integer :=1563);
Port ( mclk : in  STD_LOGIC;
      s_in  : in  STD_LOGIC;
      s_out_0_4 : out  STD_LOGIC;
      sn_out_0_4 : out  STD_LOGIC;
      s_out_1_4 : out  STD_LOGIC;
      sn_out_1_4 : out  STD_LOGIC;
      s_out_2_4 : out  STD_LOGIC;
      sn_out_2_4 : out  STD_LOGIC;
      s_out_3_4 : out  STD_LOGIC;
      sn_out_3_4 : out  STD_LOGIC
);
end shiftr8;
architecture archsr8 of shiftr8 is
signal r_reg1 : std_logic_vector (N-1 downto 0) := (others => '0');
signal r_reg2 : std_logic_vector (N-1 downto 0) := (others => '0');
signal r_reg3 : std_logic_vector (N-1 downto 0) := (others => '0');
begin
process (mclk)
begin
if (mclk'event and mclk='1') then
r_reg1 <= s_in & r_reg1(N-1 downto 1);
```

```
    r_reg2 <= r_reg1(0) & r_reg2(N-1 downto 1);
    r_reg3 <= r_reg2(0) & r_reg3(N-1 downto 1);
    end if ;
end process;
s_out_0_4 <= s_in;
sn_out_0_4 <= not s_in;
s_out_1_4 <= r_reg1(0);
sn_out_1_4 <= not r_reg1(0);
s_out_2_4 <= r_reg2(0);
sn_out_2_4 <= not r_reg2(0);
s_out_3_4 <= r_reg3(0);
sn_out_3_4 <= not r_reg3(0);
end archsr8;
```

Apéndice B

Programa en VHDL para la implementación de la máquina de estados

```
Library IEEE;
use IEEE.std_logic_1164.all;
entity i3nmaster is
  port(Entrada: in integer range 0 to 15;
        clk,R: in std_logic;
        P,L,I: out bit;
        Salida: out integer range 0 to 15);
  --attribute pin_numbers of i3nmaster : entity is
  --Salida(3):23 Salida(2):22 Salida(1):21 Salida(0):20 Entrada(3):4 Entrada(2):5
end i3nmaster;
Architecture algo of i3nmaster is
type estado is(inicio,cero,vcd,cerobajo,ceroalto,menosvcd,otro);
signal presente: estado:=inicio;
begin
  process(clk,R)
  begin
    if R='0' then
      presente<=inicio;
    elsif (clk'event and clk='1') then
      case presente is
        when inicio=> if Entrada=0 then
                        presente<=cero;
                      elsif Entrada=5 then
                        presente<=vcd;
                      elsif Entrada=6 then
                        presente<=cerobajo;
                      end if;
      end case;
    end if;
  end process;
end;
```

```

        elsif Entrada=9 then
            presente<=ceroalto;
        elsif Entrada=10 then
            presente<=menosvcd;
        else
            presente<=otro;
        end if;
when cero=> if Entrada=0 then
            presente<=cero;
        else
            presente<=inicio;
        end if;
when vcd=> if Entrada=5 then
            presente<=vcd;
        else
            presente<=inicio;
        end if;
when cerobajo=> if Entrada=6 then
            presente<=cerobajo;
        else
            presente<=inicio;
        end if;
when ceroalto=> if Entrada=9 then
            presente<=ceroalto;
        else
            presente<=inicio;
        end if;
when menosvcd=> if Entrada=10 then
            presente<=menosvcd;
        else
            presente<=inicio;
        end if;
when otro=> if Entrada=1 then
            presente<=otro;
        elsif Entrada=2 then
            presente<=otro;
        elsif Entrada=3 then
            presente<=otro;
        elsif Entrada=4 then
            presente<=otro;
        elsif Entrada=7 then
            presente<=otro;

```

```

        elsif Entrada=8 then
            presente<=otro;
        elsif Entrada=11 then
            presente<=otro;
        elsif Entrada=12 then
            presente<=otro;
        elsif Entrada=13 then
            presente<=otro;
        elsif Entrada=14 then
            presente<=otro;
        elsif Entrada=15 then
            presente<=otro;
        else
            presente<=inicio;
        end if;
    end case;
end if;
end process;
process(presente)
begin
    case presente is
        when inicio=>Salida<=15;
            I<='0';
        when cero=>Salida<=15;
            I<='0';
        when vcd=>Salida<=10;
            I<='0';
        when cerobajo=>Salida<=9;
            I<='0';
        when ceroalto=>Salida<=6;
            I<='0';
        when menosvcd=>Salida<=5;
            I<='0';
        when otro=>Salida<=15;
            I<='1';
    end case;
end process;
end algo;

```

Bibliografía

- [1] A. M. MASSOUD, B. W. WILLIAMS, S. J. FINNEY: «Control Techniques for Multilevel Voltage Source Inverters». En: *IEEE 34th Annual Conference on Power Electronics Specialist*, volumen 1, pp. 171–176, 2003.
- [2] B. P. McGRATH, D. G. HOLMES: «Multicarrier PWM Strategies for Multilevel Inverters». En: *IEEE Transactions on Industrial Electronics*, volumen 49, pp. 858–867, 2002.
- [3] CARLOS ALFREDO SANABRIA SÁNCHEZ: *Estrategia pwm implementada en un FPGA para aplicación en inversores multinivel*. Tesis de Maestría, Centro Nacional de Investigación y Desarrollo Tecnológico, 2004.
- [4] CARLOS ANDRÉS RODRÍGUEZ ORTIZ: *Diseño e implementación de prácticas para el laboratorio de electrónica industrial: Inversor Monofásico*. Tesis de Licenciatura, Pontificia Universidad Javeriana, 2004.
- [5] E. BÁRCENAS, S. RAMÍREZ: «Cascade Multilevel Inverter with Only One DC Source». En: *IEEE International Power Electronics Congress CIEP*, pp. 171–176, 2002.
- [6] ERNESTO BÁRCENAS BÁRCENAS: *Análisis y Desarrollo de un Inversor Multinivel*. Tesis de Maestría, Centro Nacional de Investigación y Desarrollo Tecnológico, 2002.
- [7] FANG ZHENG PENG, J RODRÍGUEZ, JIH-SHENG LAI: «Multilevel Inverters: A Survey of Topologies, Controls, and Applications». En: *IEEE Transactions on Industrial Electronics*, volumen 49, pp. 724–738, 2002.
- [8] G. ESPINOSA PÉREZ, D. NORIEGA PINEDA: «Passivity- based Control of Multilevel Cascade Inverters: High Performance with Reduced Switching Frequency». En: *Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on*, pp. 3403–3408, 2007.
- [9] GEOFFREY R. WALKER: *Modulation and Control of Multilevel Converters*. Tesis de Maestría, University of Queensland, 1999.
- [10] GERARDO MALDONADO MARTÍNEZ: *Diseño e implementación de un inversor monofásico para un sistema de evaluación experimental de algoritmos de control*. Tesis de Licenciatura, Universidad Nacional Autónoma de México, 2010.

- [11] —: *Diseño e implementación de un inversor multinivel de cinco niveles*. Tesis de Maestría, Universidad Nacional Autónoma de México, 2013.
- [12] GONZALO SANDOVAL RODRÍGUEZ: *Compensación de potencia reactiva en sistemas eléctricos de potencia*. Tesis de Doctorado, Universidad Nacional Autónoma de México, 2010.
- [13] HOMERO MIRANDA VIDALES: *Estudio de inversores multinivel para aplicaciones en filtros activos trifásicos de corriente*. Tesis de Maestría, Universidad Autónoma de San Luis Potosí, 2003.
- [14] ISSA E. BATARSEH: *Power Electronics Circuits*. John Wiley, 2003.
- [15] IVAN MARTÍNEZ PÉREZ: *Control de un convertidor CD/CA monofásico*. Tesis de Licenciatura, Universidad Nacional Autónoma de México, 2005.
- [16] JOSÉ ANTONIO VILLA GARCÍA: *Control no lineal de convertidores eléctricos de potencia*. Tesis de Maestría, Universidad Nacional Autónoma de México, 2005.
- [17] M. CALAIS, V.G AGELIDIS, L.J. BORLE: «Analysis of multicarrier PWM methods for a single-phase five level inverter». En: *Power Electronics Specialists Conference, PESC.*, volumen 3, pp. 1351–1356, 2001.
- [18] MATTHEW SADIKU: *Fundamentos de circuitos eléctricos*. Mc Graw Hill, 2006.
- [19] MICHAEL A BOOST, PHOIVOS D. ZIOGAS: «State-of-the-art carrier PWM techniques: A critical evaluation». En: *IEEE Transactions Industrial Applications*, volumen 24, pp. 271–280, 1988.
- [20] MUHAMMAD H. RASHID: *Electrónica de potencia: circuitos, dispositivos y aplicaciones*. Prentice Hall, 2004.
- [21] NOEMÍ JIMÉNEZ REDONDO: *Electrónica de potencia*. Universidad de Málaga, 2005.
- [22] NORMAN S. NISE: *Sistemas de control para ingeniería*. Patria, 2010.
- [23] V. CÁRDENAS, H. MIRANDA G. SANDOVAL, G. ESPINOSA PÉREZ: «Passivity-based Control of An Asymmetric Nine-Level Inverter for Harmonic Current Mitigation». *IET Power Electronics*, 2011, **5(2)**, pp. 237–247.
- [24] V.G. AGELIDIS, M. CALAIS: «Application specific harmonic performance evaluation of multicarrier PWM techniques». En: *Power Electronics Specialists Conference. PESC 98 Record. 29th Annual IEEE*, volumen 1, pp. 172–178, 1998.