



**UNIVERSIDAD NACIONAL AUTÓNOMA
DE MÉXICO**

FACULTAD DE INGENIERÍA

**IMPLEMENTACIÓN DE UN ALGORITMO SV-PWM
EN UN FPGA PARA CONTROL DE MOTORES DE
INDUCCIÓN**

T E S I S

QUE PARA OBTENER EL TÍTULO DE

INGENIERO ELÉCTRICO-ELECTRÓNICO

P R E S E N T A :

MARCOS GUZMÁN JOSEBA ANDONI

DIRECTOR: M.I. JOSÉ CASTILLO HERNÁNDEZ

**LABORATORIO DE ELECTRÓNICA
DEL CCADET**



CIUDAD UNIVERSITARIA

MÉXICO, D. F., 2008



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

AGRADECIMIENTOS

Al Mtro. José Castillo Hernández por apoyarme, tolerarme y mostrarme una nueva perspectiva de la ingeniería.

A maestros y compañeros de la facultad de ingeniería y del CCADET, que a lo largo de mi carrera mostraron tiempo y dedicación en aportar conocimiento, para que mi formación sea completada.

A mis padres Arístides y Alicia, que a pesar de tiempos difíciles supieron marcarme el camino hasta hoy.

Amigos: Emilio, Jacobo, Luis, Guillermo Haro, Mirna, Raúl, Ricardo, Seiji, Walter, Wong y a todos aquellos que me acompañaron en el curso de la carrera.

En especial a ti Fabiola por ser esa persona que me guía y comprende.

A todos ellos Gracias.

JM

CONTENIDO

INTRODUCCIÓN	1
OBJETIVO	3
1. ANTECEDENTES	3
1.1. Semiconductores de potencia	3
1.1.1. El BJT	4
1.1.2. El MOSFET	6
1.1.3. El IGBT	8
1.1.4. Los diodos de potencia	11
1.2. Sistemas de electrónica de potencia	14
1.3. Sistema a implementar	17
1.4. Máquinas de inducción	24
1.5. Dispositivos lógicos programables	27
2. METODOLOGÍA	35
2.1. Operación de un convertidor trifásico	35
2.1.1. Modo de rectificación	35
2.1.2. Modo de inversión	38
2.2. Modulación por ancho de pulso (PWM)	40
2.2.1. Sinusoidal convencional	40
2.2.2. Vectorial (SVM)	43
2.2.3. Sobremodulación	50
2.3. Algoritmo V/F	52
2.3.1. Regulación de velocidad	52
2.3.2. Control V/F	53

3. DESARROLLO	57
3.1. Implementación	57
3.1.1. Equipo, instalación y material	57
3.1.2. Implementación digital (V/F y SVM)	60
3.1.3. Implementación del rectificador	70
3.1.4. Implementación del inversor	74
3.1.5. Implementación del driver	87
3.1.6. Fuentes de alimentación	95
3.1.7. Circuitos impresos	99
3.2. Módulo terminado	106
3.2.1. Protecciones	109
4. PRUEBAS	111
4.1. Operación del sistema sin carga	111
4.1.1. Señales trifásicas filtradas	111
4.2. Rectificador y bus de C.D.	113
4.3. Respuesta del motor de inducción monofásico	115
4.4. Respuesta del motor de inducción trifásico	116
4.4.1. Con transformador de aislamiento	116
4.4.2. Con inductores de entrada	120
4.4.3. Linealidad del control	122
5. RESULTADOS	125
6. CONCLUSIONES	127
7. ANEXOS	129
ANEXO No. 1	129
ANEXO No. 2	131
ANEXO No. 3	132
ANEXO No. 4	133
8. BIBLIOGRAFÍA	137

INTRODUCCIÓN

El empleo de sistemas eléctricos, tales como las máquinas eléctricas para distintas aplicaciones, han facilitado la elaboración de productos a la vez que la velocidad de su producción también se ve incrementada.

Para lograr este aumento en la productividad industrial, las aplicaciones del desarrollo tecnológico son fundamentales, particularmente la electrónica es la que guía estos avances. En el caso de la electrónica de potencia, la cual es el vínculo entre ambas disciplinas: la eléctrica y la electrónica; ha avanzado en los últimos años en distintas partes del mundo. El crecimiento de los nuevos sistemas de energía renovable, son en parte responsables del auge de la electrónica de potencia.

Distintos tipos de los llamados convertidores de potencia se han creado y probado, con resultados favorables y también con desventajas, según el sistema en que se implementen. El análisis matemático de la operación de estos convertidores es fundamental para comprender y desarrollar el sistema que los controle.

En general todos deben responder a un estandar o normas que cada país indique. En el caso de México, este proceso se mantiene algo atrasado, tanto en el diseño, implementación y regulación de la calidad en estos sistemas.

El trabajo que se presenta a continuación, pretende aportar un pequeño avance en los sistemas electrónicos de potencia, el caso particular es el accionamiento de un motor de corriente alterna (de inducción), a través de un convertidor tipo C.A-C.D.-C.A.

Las herramientas matemáticas son nuevamente de gran utilidad para el análisis de un tipo de modulación que ha cobrado interés en su implementación en distintas partes del mundo, denominada Space Vector Modulation.

La aplicación de nuevos algoritmos y de nuevas herramientas de la electrónica contribuye a que se hagan más eficientes los sistemas de conversión de energía, a la vez que el hombre se ve beneficiado al aprovechar mejor sus recursos.

OBJETIVO

Diseño e implementación de un algoritmo SV- PWM en un FPGA, para accionar motores de inducción trifásicos a través de un convertidor CA-CD-CA (rectificador-inversor), desarrollado con tecnología IGBT.

ANTECEDENTES

1.1. SEMICONDUCTORES DE POTENCIA

La contribución de los dispositivos semiconductores de potencia a la creación de sistemas más eficientes en el uso de la energía ha alcanzado en estos días un auge mayor en la industria. Los más conocidos y aplicados son los que se muestran en la Tabla No. 1.

DISPOSITIVO	CAPACIDAD DE POTENCIA	VELOCIDAD DE CONMUTACIÓN	CONSIDERACIONES ADICIONALES
BJT	Baja - Alta	Alta	Altas pérdidas
MOSFET	Baja - Media	Muy alta	Efecto capacitivo
IGBT	Media - Alta	Alta	Corriente de cola
GTO	Alta	Baja	Costoso
SCR	Baja - Muy alta	Muy baja	Conmutación forzada

Tabla No. 1. Principales dispositivos semiconductores de potencia en el mercado [1].

De la tabla anterior, las dos opciones más óptimas para el diseño de un inversor de mediana potencia son el MOSFET y el IGBT; descartándose el SCR y el GTO, por ser dispositivos propios de sistemas de varios megawatts de potencia en donde alcanzan un mejor desempeño. Para comprender su comportamiento a continuación se da una breve descripción del BJT, IGBT y MOSFET.

1.1.1. El BJT (Bipolar Junction Transistor)

El BJT es la base de todos los transistores de potencia, a partir de él se desarrollaron el MOSFET, el IGBT, entre otros, con técnicas más recientes. Su fundamento se basó en poder tener grandes voltajes de bloqueo en inversa (en apagado), así como suministrar corrientes altas (en encendido) a cargas inductivas principalmente. Lo anterior señala la transición de un estado de apagado a uno de encendido y viceversa, que se denomina conmutación.

Al igual que en los transistores de señal pequeña existen dos configuraciones: *nnp* y *pnnp*, aunque en este caso se constituyen por una capa más, ya sea de material *n* o *p*, generando estructuras verticales de cuatro capas Figura 1.1.

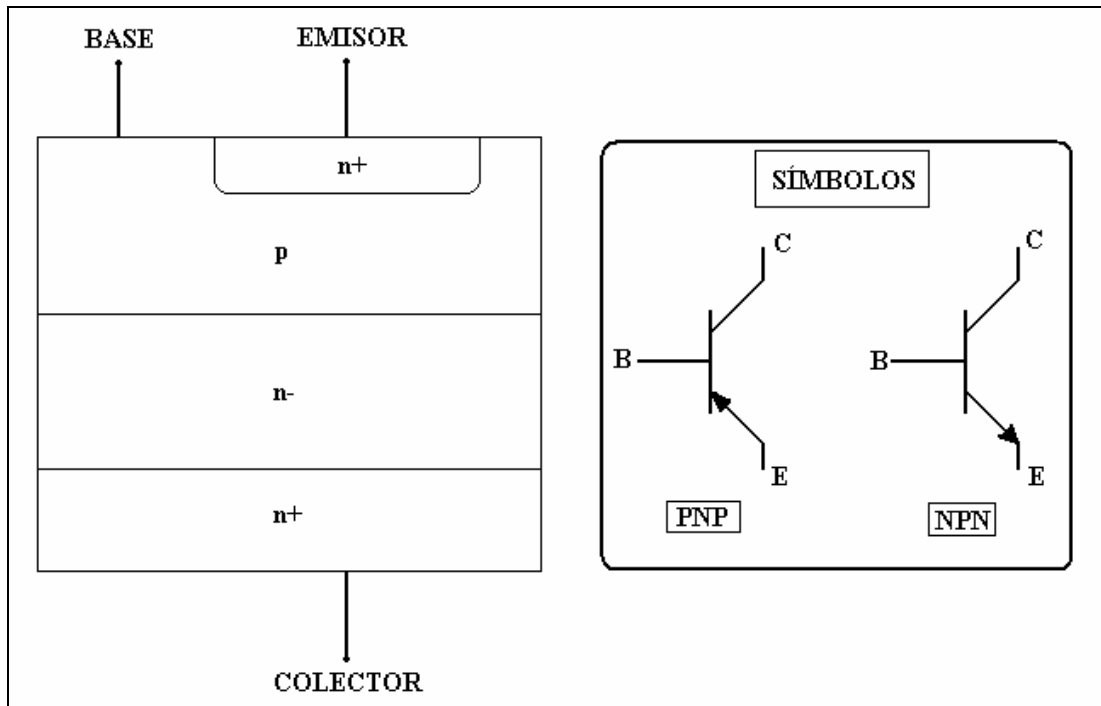


Figura 1.1. Constitución física de un transistor de potencia y sus símbolos.

El tipo *nnp* es el más utilizado en convertidores de conmutación, entre otros motivos, porque el voltaje entre colector y emisor es positivo.

Para entender la conmutación que permite el encendido o apagado del BJT, supondremos un comportamiento ideal, que sería similar al de un switch o interruptor que se cierra y abre.

Para conmutar un transistor se aplica un voltaje entre colector y emisor (V_{CE} : este puede ser un alto voltaje de cientos a unos pocos miles de volts), el transistor permanece apagado hasta este instante; el control de la conmutación se logra aplicado un pequeño voltaje entre la base y el emisor (V_{BE}), generando un flujo de corriente (I_B) que entra en el cuerpo del transistor cargándolo (la carga es del orden de milicoulombs) y activa la conducción de corriente entre colector y emisor (I_C), el transistor ahora esta encendido. Una vez que se retira la carga del transistor, este se apagará. Para alcanzar tal estado es necesario reducir la corriente que fluye en la base a cero. El efecto final corresponde a contrarrestar el voltaje aplicado entre base y emisor, haciéndolo un voltaje negativo ($-V_{BE}$). Gráficamente las formas de onda en el encendido y apagado se muestran en la figura 1.2, para una carga predominantemente inductiva.

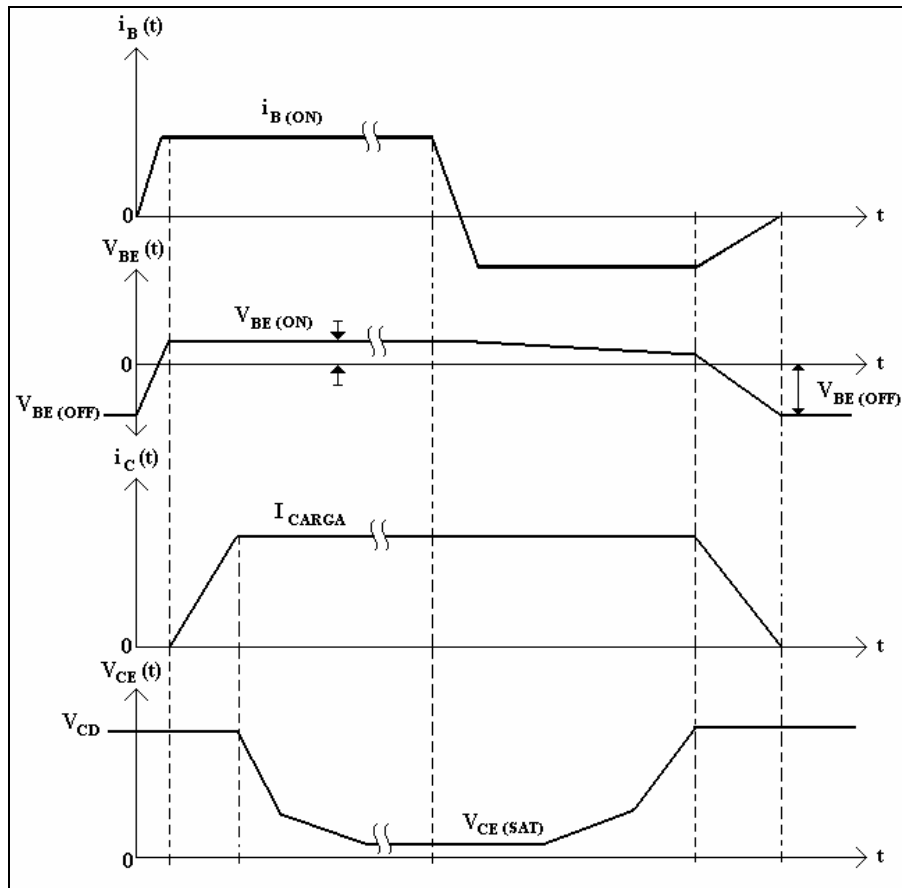


Figura 1.2. Curvas de conmutación para un BJT, encendido y apagado.

El fenómeno más importante ocurre cuando la frecuencia de conmutación es incrementada, que por razones concernientes al diseño de sistemas electrónicos de potencia, esto es indispensable [1]. La idealidad considerada antes requiere de complementos; uno de ellos, es que con el aumento de la frecuencia, el tiempo de respuesta del transistor es menor, además de una mayor saturación del dispositivo que puede ser interpretada como un incremento de la resistencia de conducción en sus capas (n^+ , para el caso de npn). El aumento en la temperatura es consecuencia de este incremento, la potencia de pérdidas es mayor y en caso extremo se destruye el transistor al ser incapaz de disipar esa cantidad de energía. Esta es una de las razones por las que el BJT no es apropiado para sistemas donde se requiera una frecuencia alta de conmutación, pues las pérdidas hacen ineficiente al sistema.

1.1.2. El MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)

Los avances tecnológicos a finales de la década de los 70's permiten el reemplazo de los BJT en la mayorías de los diseños electrónicos (en general permitieron el avance en cualquier circuito electrónico), por los denominados MOSFET's.

Su estructura física (figura 1.3) es bastante diferente al tener cuatro sustratos de capas alternadas de materiales p y n (canal p o canal n), aunque mantiene el cuerpo esencial de un BJT que se torna en un transistor parásito. Para corregir este efecto se une el cuerpo p con el source del MOSFET, este proceso ahora genera un diodo parásito que no puede ser removido o excluido de la operación del MOSFET. En ocasiones este diodo se emplea como "diodo antiparalelo", lo cual es crítico en el caso de presentarse picos de alto voltaje (transitorios), como ocurre en accionamientos de motores. Estos picos provocan corrientes circulantes dentro del MOSFET que generan mayor disipación de energía y debe ser desviada por circuitos snubber o similares evitando el daño sobre el transistor. Las principales pérdidas ocurren en el encendido del MOSFET [1].

Como en el BJT, existen regiones de operación (región activa, cuasi-saturación, sobresaturación, decaimiento primario y secundario), que en el caso del MOSFET se traduce en solo tres: ohmica, activa y corte. El control final de un MOSFET en la región de interés (Ohmica), se obtiene al poder mantener estable el voltaje en el gate, esto ocurre cuando es más grande la transconductancia en directa (g_{FS}).

Definiendo a la transconductancia como la razón de cambio entre la corriente de Drain (I_D) y el voltaje Gate-Source (V_{GS}), ya que pequeñas variaciones de voltaje en el gate provocan grandes cambios en la corriente que se entrega (I_D).

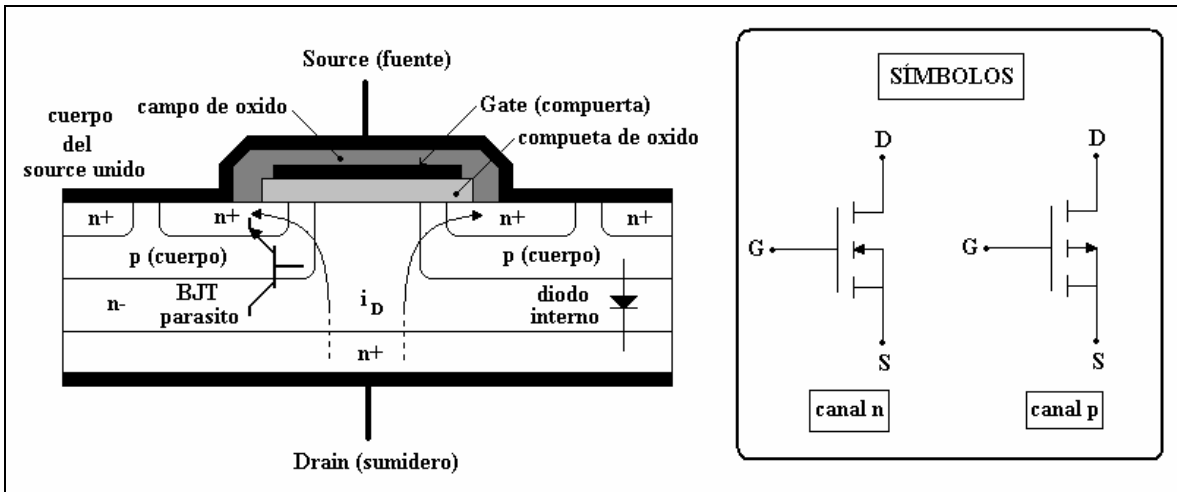


Figura 1.3. Estructura compleja del MOSFET: constitución de sustratos y sus símbolos (las zonas negras son metal conductor).

Al igual que en el BJT, en el MOSFET el tipo más empleado es el canal n , por razones económicas y sencillez de fabricación.

La alta velocidad de conmutación del MOSFET se debe a que no existen movimientos de portadores (como en el BJT) dentro o fuera del cuerpo del transistor. La única carga o descarga que se da, esta en función de capacitancias entre los sustratos y capas de semiconductor (entre terminales).

En la figura 1.4 se observan las curvas de conmutación del MOSFET, claramente son diferentes a las del BJT. Los segmentos no lineales γ_1 y γ_2 corresponden a las descargas de las capacitancias mencionadas antes, a través de la resistencia de gate R_G , la cual es necesaria para limitar la corriente que se suministra al MOSFET.

Como conclusión se puede decir que el BJT y el MOSFET, se complementan en sus ventajas y desventajas [1]. Y es la búsqueda tecnológica de combinar las características de los dos transistores la que llevó a desarrollar el IGBT.

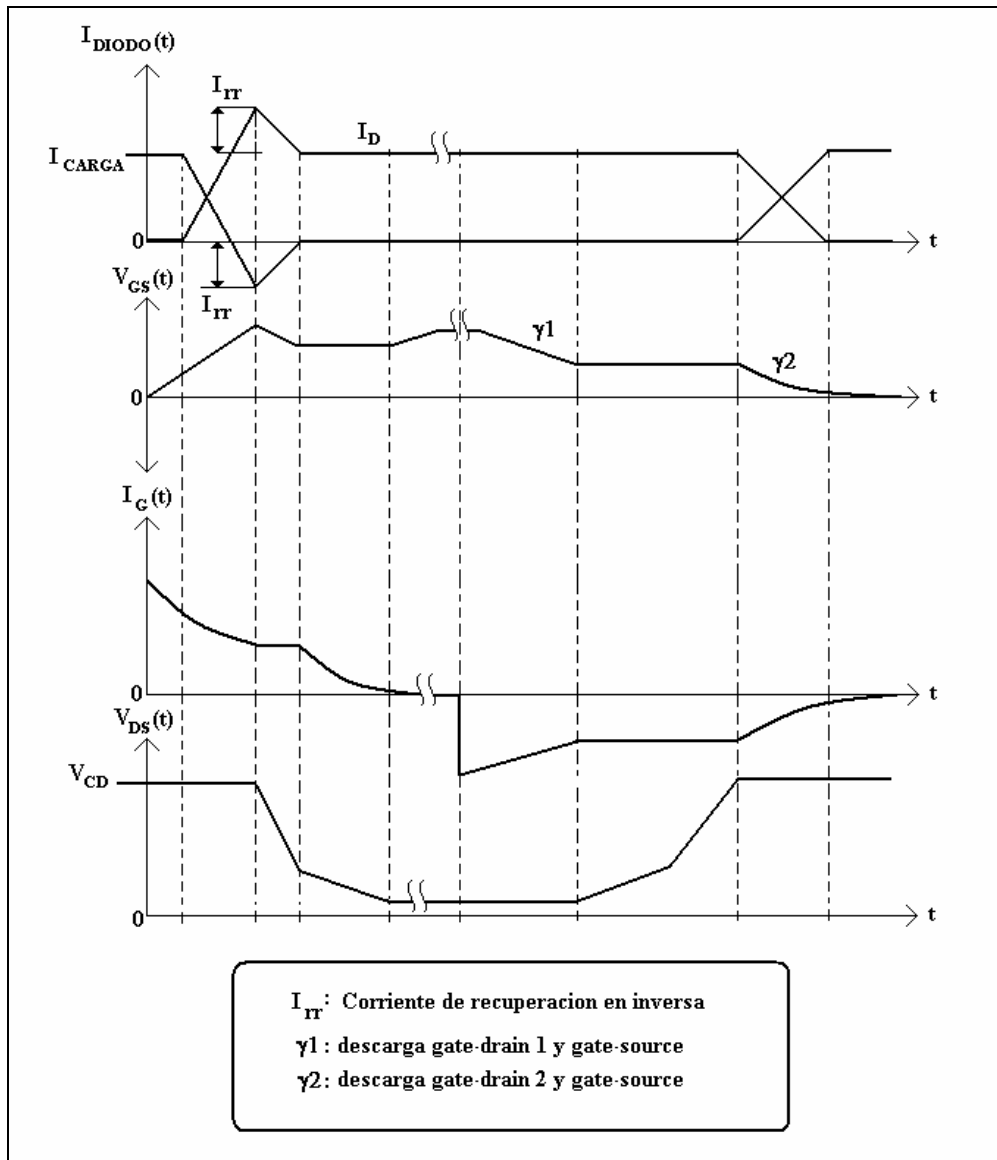


Figura 1.4. Conmutación del MOSFET y relación con su diodo interno.

1.1.3. El IGBT (Insulate Gate Bipolar Transistor)

Surge al poderse combinar en una misma oblea de silicio, estructuras monolíticas de BJT's y MOSFET's. Se trata de un transistor híbrido el cual adquirió ventajas y desventajas de sus antecesores. Su diseño y construcción es similar al del MOSFET, aunque la estructura final del IGBT canal n , se aprecia diferente (figura 1.5).

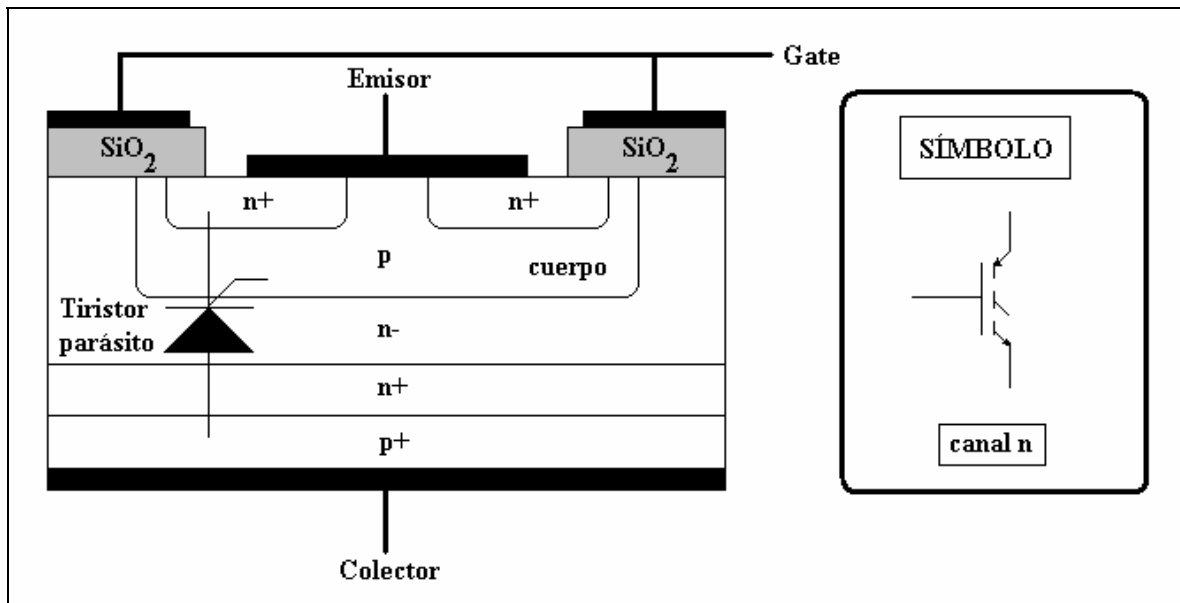


Figura 1.5. Estructura del IGBT (las zonas negras son metal conductor) y su símbolo.

En el proceso de creación del IGBT se genera un tiristor parásito SCR, el cual no debe encenderse jamás, debido a su incapacidad de apagarse naturalmente. Para prevenir esto, se une el cuerpo del IGBT con el emisor (en el caso de un IGBT canal *p* la estructura es diferente y en parte es por ello que no se emplean comúnmente) [1]. *Nota:* el símbolo es el mismo en base a la nomenclatura standard norteamericana.

Cuando el IGBT se enciende, existe aún el riesgo de encender este tiristor, perdiéndose el control de la corriente de colector (I_C). Es decir se requeriría utilizar la conmutación forzada para poder apagar el IGBT.

La solución total a este problema no existe [1], puede llegar a suceder el fenómeno antes descrito, una vez que el IGBT este inmerso en un sistema completo. Las empresas que los manufacturan ofrecen sin embargo límites de operación que permiten que esto no suceda, y la estructura final del IGBT se ve alterada. En los IGBT's modernos este problema se resolvió parcialmente, reduciendo la resistencia en el cuerpo del IGBT o también incrementando el límite de la corriente de colector.

El IGBT en comparación con el MOSFET es más lento, aunque en los más modernos la velocidad de conmutación puede alcanzar hasta los 50 kHz. Tolera altos voltajes (miles de volts) y corrientes equivalentes. Poseen transitorios en el encendido y en el apagado como el BJT, pero especialmente el problema principal que se debe abatir es la “corriente de cola”, que ocurre cuando el IGBT se apaga (figura 1.6). Esta corriente ocasiona pérdidas de potencia que provocan considerable disipación de energía.

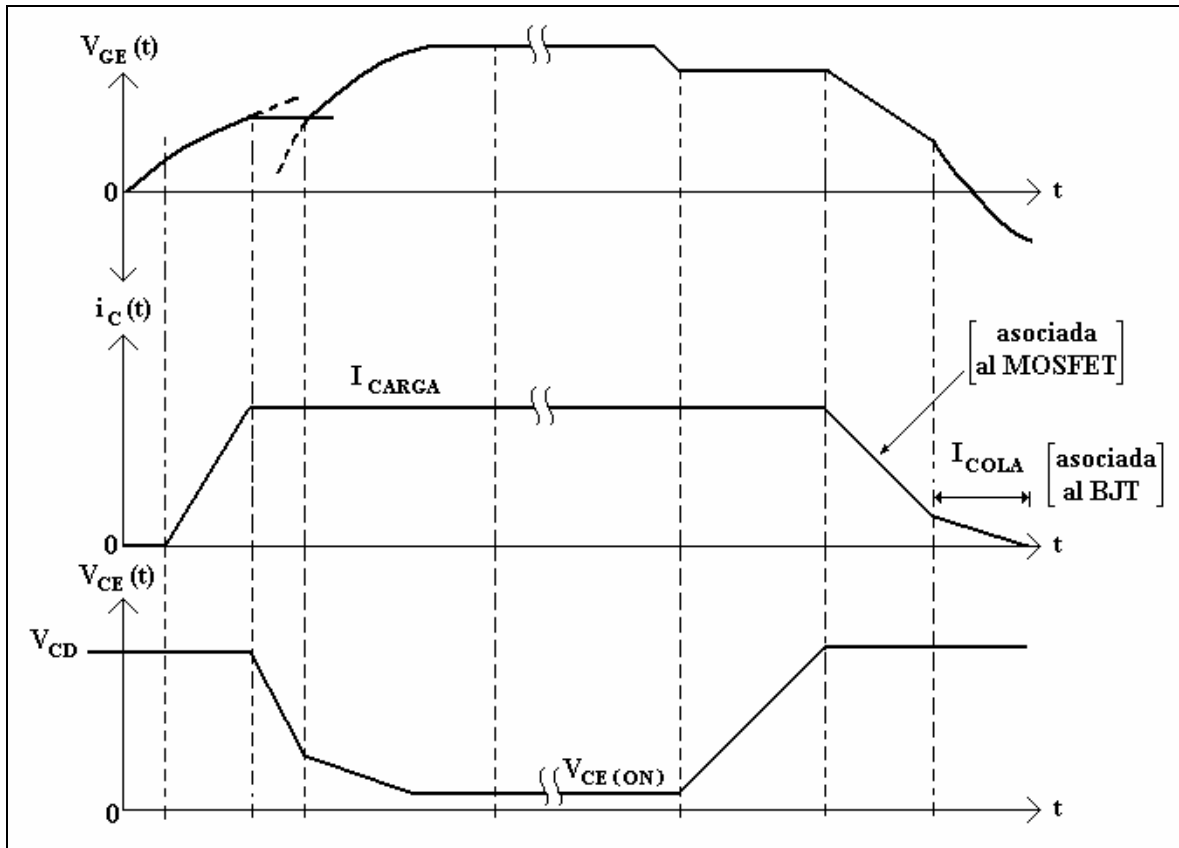


Figura 1.6. Formas de ondas de conmutación en el IGBT.

El IGBT es un sistema más robusto en su operación, respecto a su contraparte el MOSFET y el BJT. Actualmente su aplicación en sistemas de alta potencia esta desarrollándose, y en sistemas de mediana potencia esta ampliamente desarrollado, con una comercialización que ha reducido sus costos de fabricación y mejorado sus características disminuyendo así las pérdidas.

A partir de la explicación anterior, el MOSFET es un dispositivo que posee una rápida conmutación y es capaz de conducir corrientes de hasta 100 A. No toleran un voltaje muy alto, además de presentar pérdidas considerables durante el encendido. A diferencia del MOSFET, el IGBT es un híbrido, que combina las características de un BJT, al soportar alto voltaje (600 V y mayores) y poder alcanzar una rápida conmutación, algo menor comparada con la del MOSFET. En el IGBT se presenta la denominada “corriente de cola” que aparece cuando se apaga el dispositivo, generando así una pérdida por conmutación importante que puede ser disminuida con el uso de redes snubber o con otra técnica similar, mientras que en el encendido se aproxima a un BJT, pues ambos tienen pérdidas menores comparadas con las de MOSFET. Por lo anterior el IGBT posee las mejores características para el diseño de convertidores de mediana potencia.

1.1.4. Los diodos de potencia

El diodo de potencia, el cual permite establecer conducciones de corriente en un sentido en particular (en directa) o en bloqueo de corriente (inversa).

La diferencia fundamental entre un diodo convencional y los denominados diodos de potencia, está en su fabricación, donde un exhaustivo proceso de dopado forma una región en el ánodo del diodo, la cual puede ser bastante grande (en relación con diodos de baja potencia), para poder conducir varios cientos de amperes (figura 1.7).

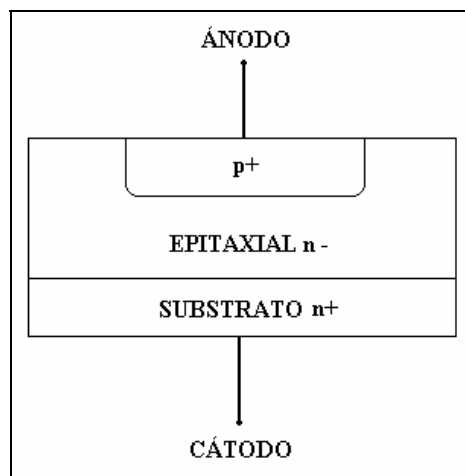


Figura 1.7. Diagrama de la unión *pn* de un diodo de potencia.

Al utilizar diodos de potencia en aplicaciones que involucren la conmutación, como en el caso de convertidores (inversores, rectificadores, choppers, etc.), es importante tener en cuenta que cuando el diodo pasa del estado de bloqueo o en inversa (apagado del diodo) al estado de conducción o directa (encendido del diodo), se producen sobrepasos de voltaje (conducción transitoria). La duración de estos transitorios esta ligado al tiempo que le toma al diodo pasar del apagado al encendido (figura 1.8); para que ocurra la conducción de corriente debe tornarse conductora toda la superficie de la unión *pn*, a este tiempo se le denomina tiempo de activación en directa (t_{rf}). Las inductancias involucradas en el circuito en donde esté operando el diodo y la conmutación controlada de los semiconductores de potencia como IGBT's, MOSFET'S y GTO's producen cambios de corriente di/dt que activan estos transitorios antes mencionados.

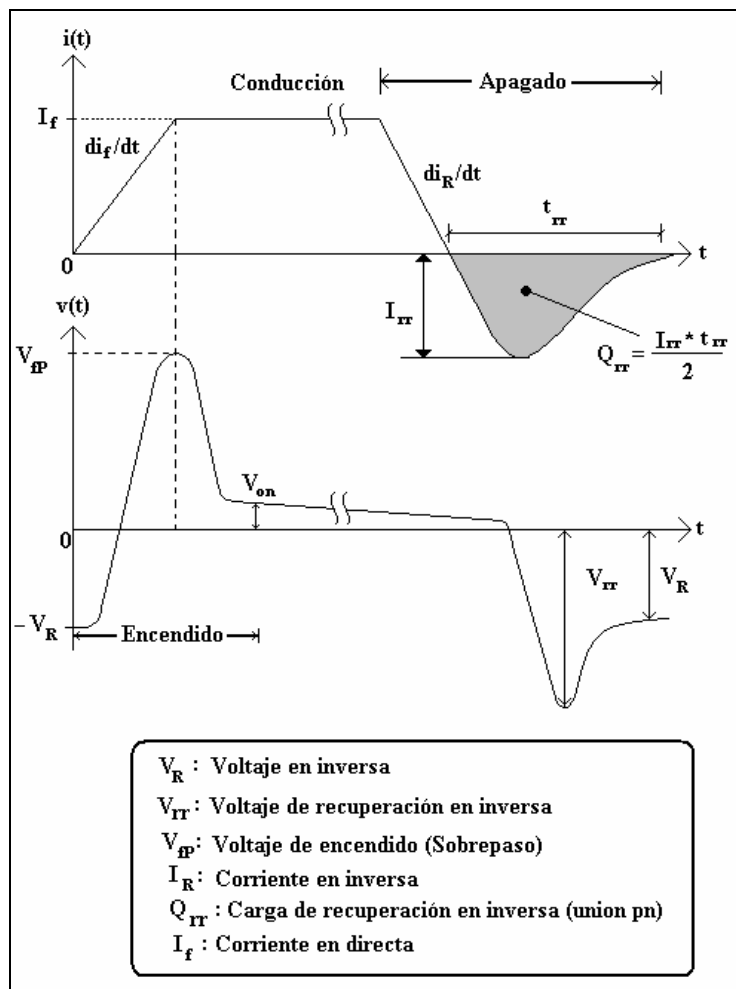


Figura 1.8. Transiciones de encendido y apagado en un diodo de potencia (parámetros).

De igual forma ocurre en el apagado donde el tiempo de recuperación en inversa (t_{rr}), es el transito entre encendido y apagado (figura 1.8). En este proceso el pico de corriente (I_{rr}) es el importante ya que si se da de forma excesiva el diodo se destruye. Normalmente en los datos del fabricante del diodo en particular, se especifica el máximo de este valor el cual no debe de ser sobrepasado.

Existen además otros diodos denominados de recuperación ultrarrápida (ultrafast recovery) y los de recuperación suave (soft-recovery). En los primeros el transitorio de corriente en el apagado, es muy abrupto y genera un pico en inversa bastante grande, en tanto que los de recuperación suave lo hacen de forma más gradual y el pico de corriente es pequeño (figura 1.9). Ambos presentan ventajas y actualmente existen diodos híbridos que combinan ambas características (diodos ultrafast-soft recovery) que ayudan a reducir las pérdidas por conmutación. En capítulos subsecuentes se abordará este fenómeno a detalle.

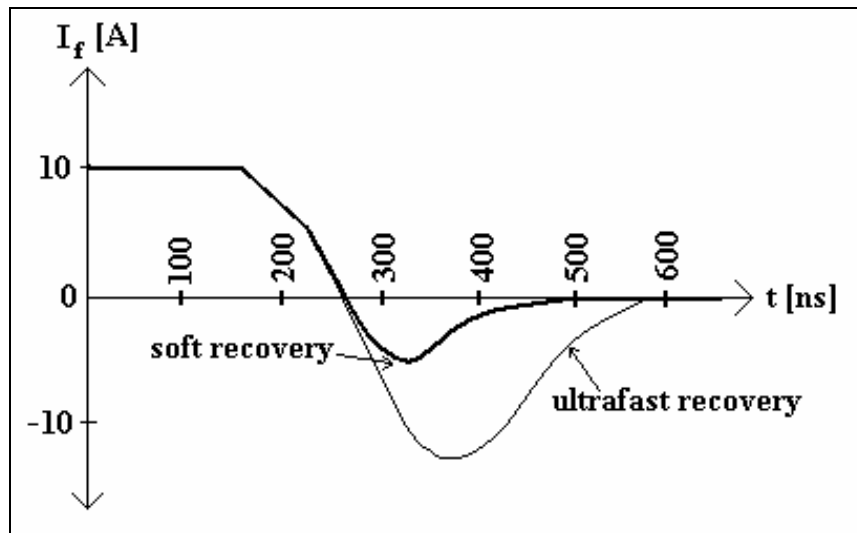


Figura 1.9. Ejemplo comparativo entre ultrafast y soft-recovery en el proceso de apagado de ambos diodos.

Cabe aclarar que todos los transitorios presentes en cualquier dispositivo semiconductor de potencia, corresponden a las denominadas pérdidas por conmutación y en conjunto con las pérdidas por conducción, constituyen las pérdidas del sistema, es decir, energía disipada en forma de calor, la cual siempre estará presente. Si las pérdidas se controlan adecuadamente, se ven disminuidas considerablemente, a la vez que se aumenta la eficiencia.

1.2. SISTEMAS DE ELECTRONICA DE POTENCIA

Las aplicaciones de un sistema electrónico de potencia son muy amplias, una de ellas son las máquinas eléctricas, que han alcanzado mejor eficiencia gracias a la contribución de los dispositivos semiconductores de potencia, que constituyen parte de los convertidores de potencia. Un mismo convertidor es empleado tanto en generación eléctrica (conversión mecánica a eléctrica), como en motores (conversión eléctrica a mecánica), su forma de operación será explicada más adelante. Ejemplos de ambos casos son la generación eólica y solar, dentro de las energías renovables; y en el caso de la industria, con nuevos procesos de fabricación y sistemas de maquinado que involucren el movimiento y par de un motor a distintas velocidades.

El esquema básico de un convertidor electrónico de potencia responde al diagrama de la figura 1.10.

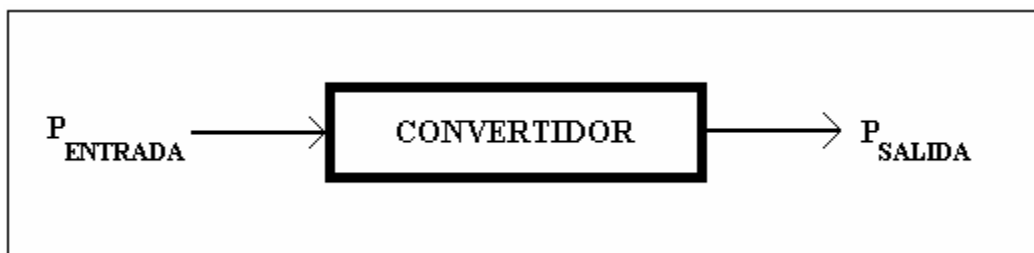


Figura 1.10. Sistema general de conversión de potencia

Los esquemas de conversión de potencia entregan tanto potencia activa como reactiva en el caso de corriente alterna, según los requerimientos de control y operación de la carga. En casos particulares actúan como sistemas de paso donde únicamente modifican la forma en que se entrega la potencia (corriente directa por ejemplo), la entrada es equivalente a la de salida, restando las pérdidas implícitas en el convertidor. Estas pérdidas se dan por la conmutación de los dispositivos semiconductores y por la conducción natural a través de cables, conectores y demás componentes físicos del sistema. Una forma de disminuir las pérdidas es operar al convertidor, sin sobrepasar los límites de operación eficiente de cada subsistema que lo compone, es decir frecuencia, voltaje, corriente, temperatura, etc.

La etapa de control que permite la operación, puede ser implementada de forma analógica o digital. Cuando se requiere de una retroalimentación de las señales que recibe o genera la carga, se emplean sensores.

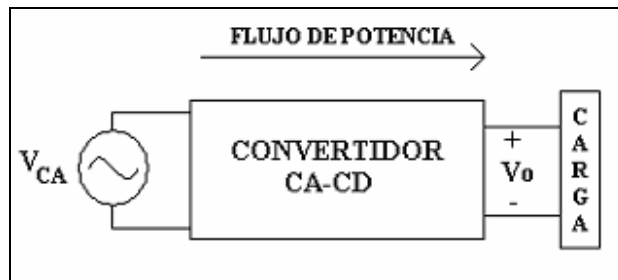
Hoy en día es común la tendencia de aplicar sistemas digitales en el control de sistemas electrónicos, pues se asegura que son más compactos, inmunes a ruido, flexibles a rediseño, con reducción de su costo de fabricación en escalas muy grandes, entre otras ventajas; con respecto a los sistemas analógicos. Se optará por el caso digital para la implementación del sistema de control, que más adelante será descrito a detalle.

Las topologías de los convertidores electrónicos de potencia son muy diversas y todas ellas responden a distintos criterios de diseño, particularmente el tipo de carga es la que define la mayoría de las veces el convertidor a emplear.

Las configuraciones básicas incurren en las siguientes tres topologías:

-Corriente alterna a corriente directa (Rectificador)

Aplicados como interfaz de sistemas con redes eléctricas en bajo y alto voltaje, filtros de armónicos, UPS (Fuentes de poder ininterrumpibles), fuentes de voltaje reguladas y conmutadas de C.D., generación eléctrica, motores de C.D. etc.



-Corriente directa a corriente alterna (Inversor)

Accionamientos para motores de C.A., filtros de armónicos y UPS, generación eléctrica, etc.



-Corriente directa a corriente directa (Chopper)

Orientado a fuentes de C.D. en bajo y alto voltaje, reductores (Buck) y amplificadores (Boost) de voltaje, accionamientos de motores de C.D. generación eléctrica renovable, entre otros.



En cada caso, el convertidor toma la energía de la fuente y la entrega a la carga, con determinadas características. Esta fuente debe ser estable, es decir no debe presentar fluctuaciones, caídas de voltaje o perturbaciones de armónicos excesivos. Si se trata de corriente alterna como lo es una red eléctrica trifásica, las fluctuaciones externas deben de ser consideradas a pesar de que la compañía suministradora garantice la estabilidad de la misma. En el caso de corriente directa, es común que los rectificadores operen en lazo abierto, con lo que solo se puede hablar de estabilidad en estado permanente, ya que el transitorio no está compensado en estos casos.

Otros esquemas importantes son los convertidores C.A.-C.A. (denominados cicloconvertidores), operan con tiristores SCR, a través de la conmutación por carga, donde con un sistema trifásico se puede tener uno monofásico u otro trifásico. Sus Principales aplicaciones están en las líneas de transmisión de C.D. (HVDC) y en los compensadores estáticos de reactivos (SVC).

Algunos convertidores poseen una doble función, permitiendo un flujo bidireccional de potencia, de la fuente hacia la carga y viceversa o son híbridos al combinar dos o más de las configuraciones presentadas antes.

Al acoplar topologías como un rectificador y un inversor (C.A.-C.D.-C.A), se genera la interconexión de sistemas. El caso particular de este trabajo se enfoca en el desarrollo e implementación de un sistema electrónico de potencia del tipo híbrido.

1.3. SISTEMA A IMPLEMENTAR

Un sistema C.A.-C.D.-C.A. tiene ventajas sobre un cicloconvertidor, porque genera una menor contaminación armónica, además de desacoplar la entrada de la salida a través del bus de C.D., sin necesidad de usar un transformador; con lo que la secuencia de fases del inversor es independiente de la secuencia que entrega la red eléctrica trifásica al rectificador. Esto a su vez permite controlar el factor de potencia del motor y por tanto el par de la máquina, de acuerdo a las características del esquema de control que sea implementado.

El sistema completo a implementarse consta, de acuerdo con lo anterior, de los siguientes bloques interconectados (figura 1.11).

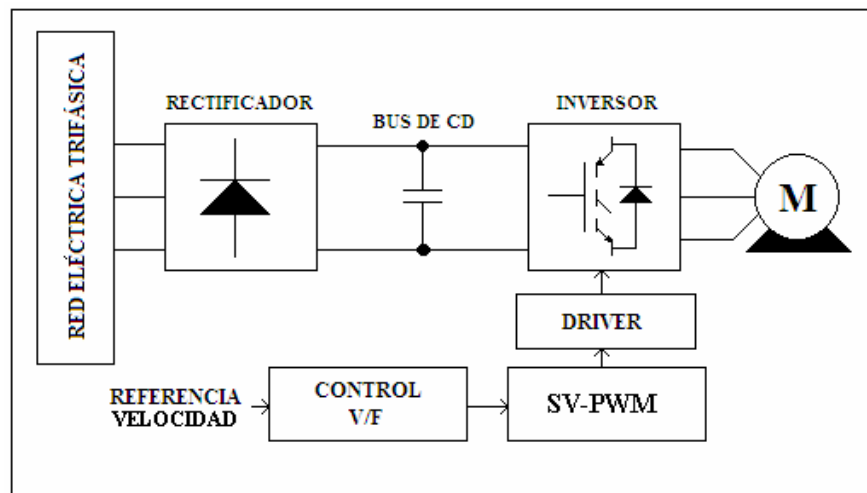


Figura 1.11. Bloques del sistema implementado.

Una breve descripción de cada bloque se da a continuación, en tanto que su implementación se explicará a detalle en los capítulos subsecuentes de este trabajo.

CONVERTIDOR C.A.-C.D.-C.A.

El sistema de potencia consta de un convertidor C.A.-C.D.-C.A., el cual está formado por los bloques rectificador, bus de C.D. e inversor respectivamente.

El rectificador proporciona una fuente de C.D. (no regulada) mediante la alimentación de la red eléctrica trifásica.

El bus C.D. tiene un filtro, que es un banco de capacitores y se encarga de reducir las perturbaciones como el rizo de voltaje, característico de este tipo de esquemas. El tamaño de este filtro es tal, que debe compensar las variaciones de voltaje generadas por los cambios de corriente en la carga.

Por último, para accionar el motor está el inversor, el cual convierte nuevamente la corriente directa en alterna a través de la conmutación secuencial de los dispositivos semiconductores de potencia que lo conforman, con la finalidad de poder obtener voltajes y frecuencias variables. La secuencia de fases es generada nuevamente a través de las denominadas señales de control que permiten variar la velocidad del motor.

Algunos aspectos a considerar para la correcta operación del sistema son: acondicionar el voltaje de C.D., de tal forma que el rizo del voltaje se mantenga estable durante la operación del motor, además de un correcto defasamiento de 120° en las señales trifásicas de control generadas.

El alcance del sistema a implementarse se plantea en lazo abierto, y en trabajos futuros se puede establecer un control en lazo cerrado, mediante la retroalimentación a través de sensores de voltaje, corriente y frecuencia.

MODULACIÓN PWM

La conmutación de los dispositivos semiconductores de potencia se realiza aplicando la modulación por ancho de pulso (PWM: Pulse With Modulation). Estos dispositivos operan en encendido o en apagado similar a switches, figura 1.12 y los pulsos entregados por la modulación PWM establecen el estado de los dispositivos.

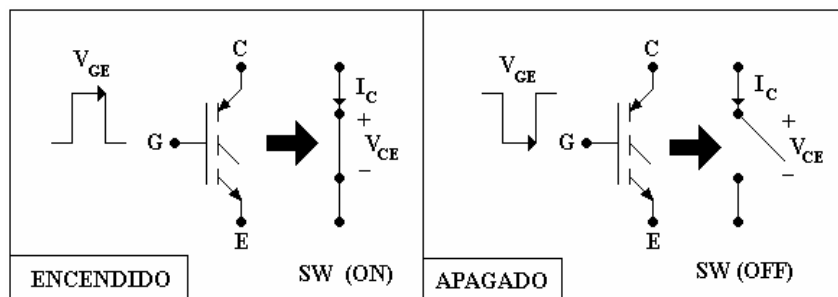


Figura 1.12. Analogía de encendido y apagado con PWM en un IGBT.

La técnica de PWM se aplica con el propósito de modular una señal en diferentes anchos de pulsos y cada uno de ellos corresponde a un valor promedio de voltaje de C.D. disponible, en el instante modulado, figura 1.13:

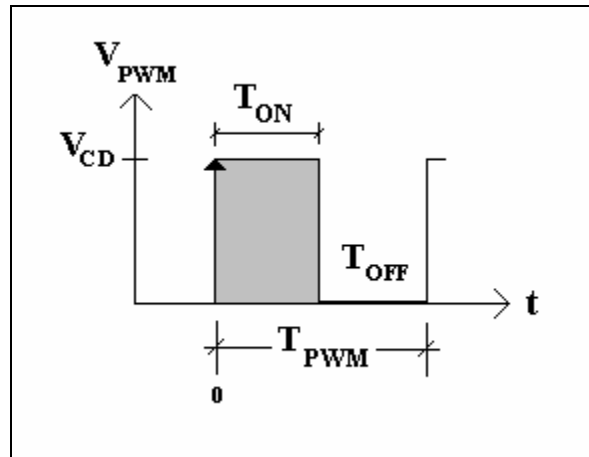


Figura 1.13. Pulso de PWM y parámetros.

A continuación se definirán las ecuaciones de PWM a partir de la figura 1.13:

$$V_{prom} = \frac{1}{T} \int_0^T V(t) dt$$

$$V_{prom} = \frac{1}{T_{PWM}} \int_0^{T_{ON}} V_{CD} dt + \frac{1}{T_{PWM}} \int_{T_{ON}}^{T_{OFF}} 0 dt$$

$$V_{prom} = \left(\frac{T_{ON}}{T_{PWM}} \right) V_{CD}$$

El ciclo de trabajo se define como el tiempo activo entre el periodo:

$$D = \frac{T_{ON}}{T_{PWM}}$$

Entonces el voltaje promedio corresponde a:

$$V_{prom} = (D)(V_{CD})$$

Existe una frecuencia asociada a cada ancho de pulso, que es la de la señal portadora, también denominada frecuencia de conmutación (F_{PWM}), debe ser constante para mantener las pérdidas por conmutación más o menos constantes; como se mencionó anteriormente el aumento en la frecuencia de conmutación en un dispositivo semiconductor de potencia, aumenta las pérdidas.

La portadora suele ser una señal triangular o diente de sierra (análoga o digital). Su valor se estima en relación con las características de encendido y apagado del IGBT o de cualquier otro semiconductor de potencia y la aplicación que se desee. Usualmente el valor de la frecuencia de conmutación es deseable que se encuentre fuera del espectro audible del ser humano (20 - 20000 Hz.)

Otra característica importante del PWM es que puede estar sincronizado con flanco de subida, bajada o alineado centralmente (figura 1.14).

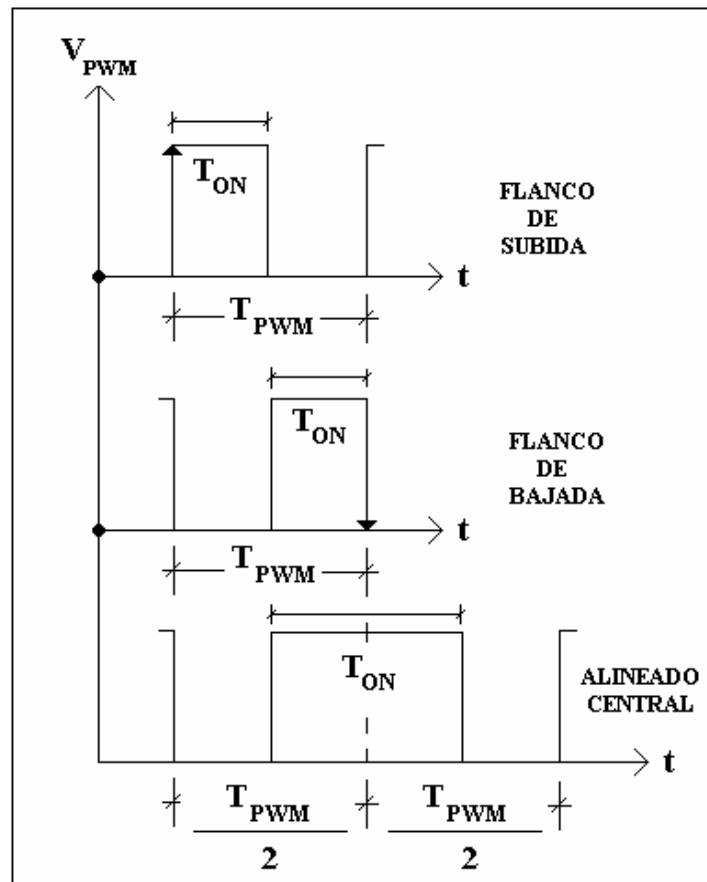


Figura 1.14. Diferentes patrones de alineación de PWM.

Se observa de la figura 1.14, que la frecuencia de conmutación se ve disminuida a la mitad en el esquema alineado centralmente, al aumentar el periodo al doble en comparación con los otros patrones.

Otra forma de clasificar la modulación PWM es por la forma en que se conmuta a los transistores de un puente completo, sea monofásico o trifásico:

- Bipolar
- Unipolar

Ambos esquemas se muestran en la figura 1.16, y consideremos el análisis en dos de las ramas de un puente completo (figura 1.15), respetando la regla que indica que ambos transistores de una rama no conducen al mismo tiempo.

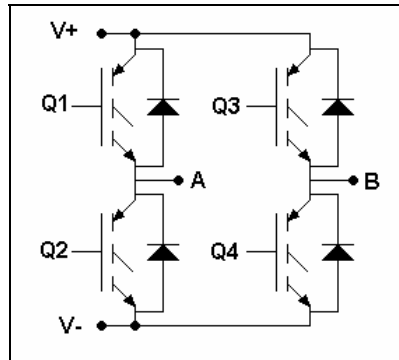


Figura 1.15. Puente completo monofásico o dos ramas del puente trifásico.

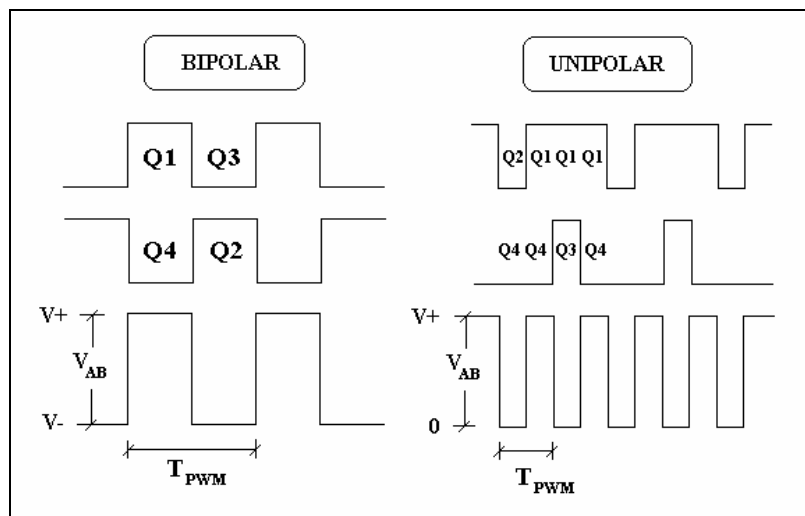


Figura 1.16. Comparación de los esquemas de PWM.

El esquema bipolar se distingue por conmutar por pares los transistores del puente completo, generando una salida similar a la que entrega un medio puente; y la razón por la que se le denomina bipolar es porque los pulsos de salida mantienen una amplitud de voltaje entre V_+ y V_- , sin importar que polaridad lleve la señal moduladora. Figura 1.17.

Por el contrario el esquema unipolar conmuta entre 0 y V_+ , para ciclos positivos y entre 0 y V_- para ciclos negativos de voltaje de la señal moduladora. Para conseguir esto, es necesario que cada rama del puente sea controlada independientemente; es decir, en este esquema se tienen dos niveles de voltaje.

La ventaja del PWM unipolar es que el voltaje V_{AB} (figura 1.15), duplica su frecuencia de conmutación, lo que no ocurre si se emplea el esquema bipolar. Al duplicarse la frecuencia también se mejora la distorsión armónica, a la vez que se disminuyen las pérdidas por conmutación cuando se combina con el esquema alineado centralmente [1], pues únicamente se encienden y apagan dos transistores por periodo de conmutación. En el caso bipolar los cuatro transistores cambian de estado por periodo de conmutación (figura 1.16).

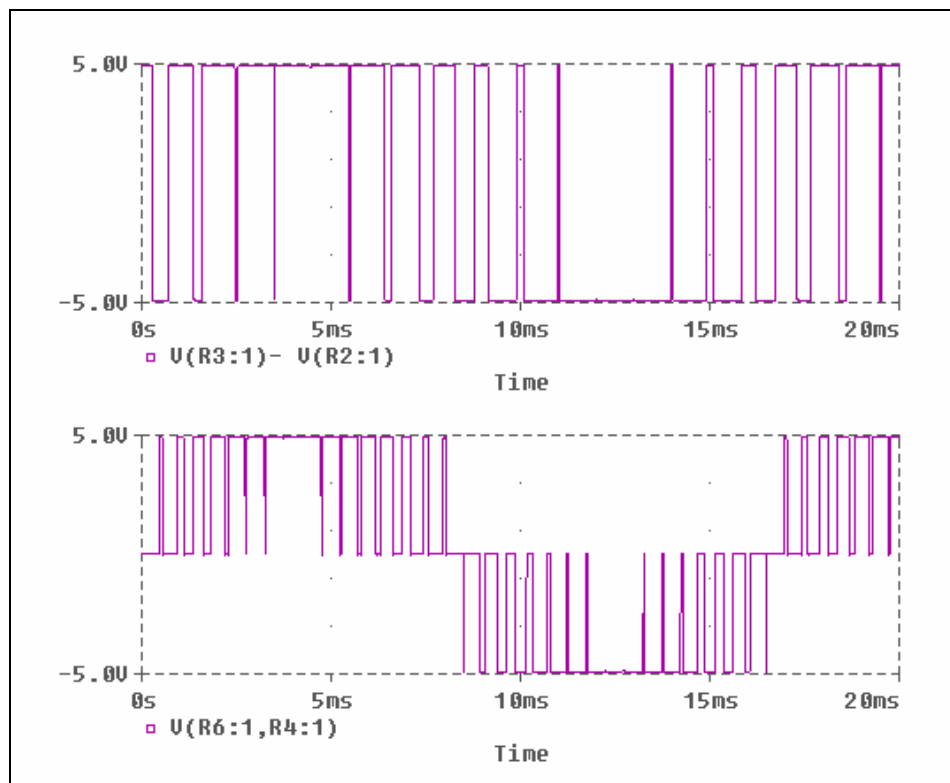


Figura 1.17. Esquemas de PWM, bipolar (arriba) y unipolar (abajo).

SV-PWM

Entre los nuevos o al menos más recientes esquemas de PWM esta el algoritmo SVM (Space Vector Modulation), que permite en comparación con otros esquemas de PWM básicos las siguientes ventajas:

- Mayor aprovechamiento del bus de C.D., hasta $0.707 \times V_{DC}$ en comparación con el PWM senoidal clásico que es de solo $0.612 \times V_{DC}$, (15% más), [2].
- Mejor control a bajas frecuencias (menores a 10 Hz).
- Mayor voltaje aplicado provee mejor magnetización del estator de una máquina eléctrica o mayor eficiencia si se trata de una red eléctrica, en ambos casos genera una mejor respuesta del sistema.
- Minimización de las pérdidas por conmutación pues solo tres IGBT's conmutan simultáneamente por periodo, en el caso trifásico.

CONTROL V/F

Para poder establecer el control de velocidad, por medio del voltaje y la frecuencia a través de una sola señal del PWM, es necesario aplicar un algoritmo que involucra a las máquinas eléctricas y sus características de operación, lo cual se explicará en capítulos posteriores.

DRIVER

La característica de este subsistema es acondicionar la señal a la forma de operación del IGBT o semiconductor de potencia, es decir, lo lleva de un estado de encendido a apagado y viceversa de forma adecuada.

En comparación con los GTO's la construcción del driver para un IGBT o un MOSFET es mucho más sencilla, esto es relativo. En particular para el GTO se requieren varios amperios para alcanzar su apagado, esta es otra razón que justifica el empleo de IGBT's en sistemas de mediana potencia.

Generalmente el driver conlleva una etapa de aislamiento sea por transformador, optoacoplador o dispositivo con funciones similares.

SENSORES

Finalmente los sensores son opcionales, pues existen tanto en controles en lazo cerrado, como en lazo abierto, que pueden o no ser utilizados. En este caso se trata de un control en lazo abierto y no se requieren dentro de la implementación del sistema, y por ello no están presentes en el diagrama de la figura 1.11.

1.4. MÁQUINAS DE INDUCCIÓN

En el caso particular de este trabajo la carga es un motor de inducción trifásico (figura 1.18), tipo jaula de ardilla, rotor Tesla o en corto. Este rotor está constituido por láminas de cobre o aluminio insertadas en el núcleo laminado que constituye su cuerpo; en los extremos se colocan dos anillos a los cuales se conectan las láminas para generar un “corto circuito”, a través del cual se genera un campo magnético cuando se energiza el estator de la máquina con tres señales senoidales desfasadas 120° entre sí. Este motor es el más simple pues su principio de operación es similar a un transformador, donde el estator es el primario y el rotor es el secundario, posee ciertas características que distan de ser lineales en su comportamiento, a diferencia de un motor de corriente directa.

Otra ventaja que ha hecho de este motor el más empleado en industrias y zonas de trabajo con uso rudo, es ser económico respecto a los otros tipos de motores, como lo son las máquinas síncronas y las ya mencionadas máquinas de C.D.; ya que su mantenimiento y desgaste son mínimos al no poseer piezas rozantes como escobillas o anillos.

El motor de inducción es el auxiliar principal en sistemas de maquinado, bombeo, servomecanismos de alta potencia y demás máquinas herramienta. Por esto surge el interés de aplicar la electrónica de potencia y los convertidores, haciendo más eficiente la operación del motor, así como el aprovechamiento de la energía y el consumo de potencia de la red eléctrica.

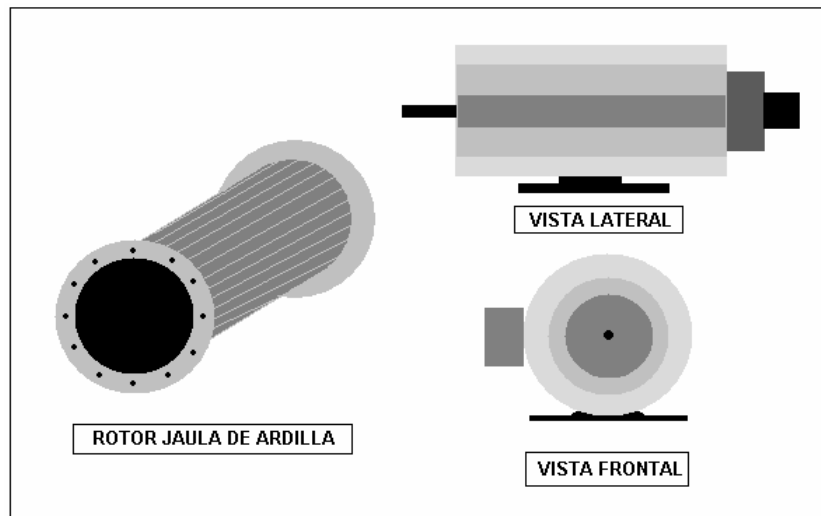


Figura 1.18. Vistas de un motor de inducción tipo jaula de ardilla.

La configuración básica más empleada en los devanados de un motor trifásico es de tipo estrella (figura 1.19 y 1.20), aunque también hay motores con devanado en delta.

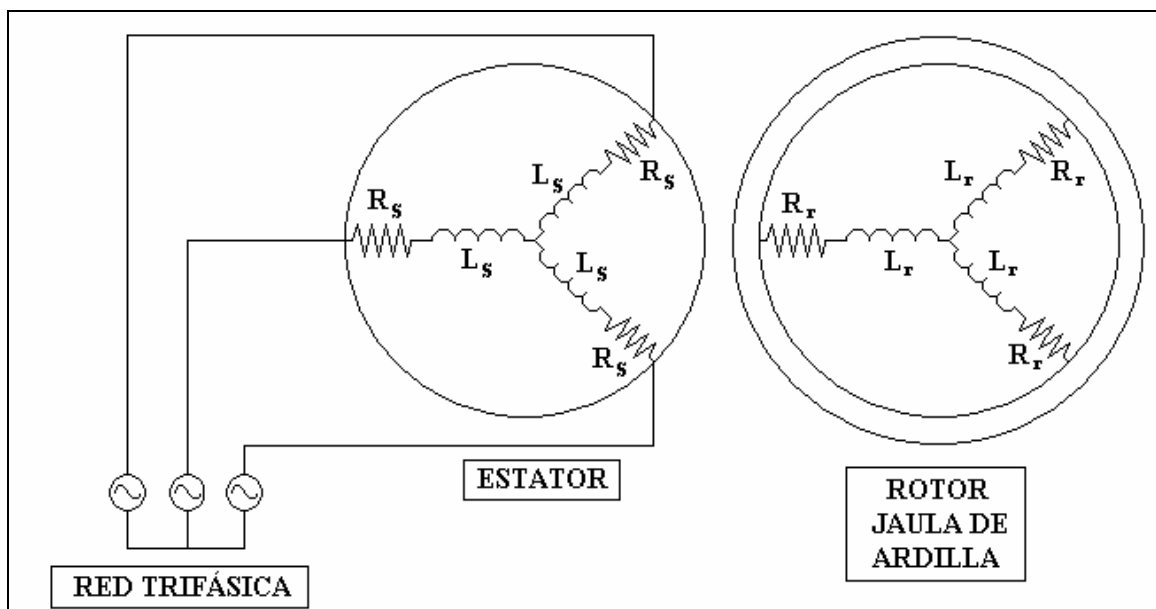


Figura 1.19. Esquema del devanado en estrella de un motor de inducción trifásico.

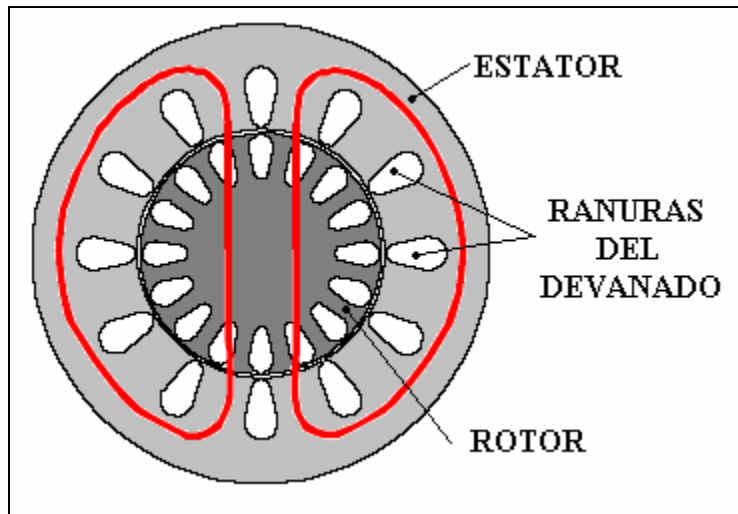


Figura 1.20. Patrón de flujos en un motor de inducción jaula de ardilla (2 polos).

Otro aspecto importante es que el par desarrollado por una máquina de inducción es alto, aunque menor en comparación con las máquinas de C.D.

En la figura 1.21, se establece una curva típica del comportamiento del par de un motor de inducción, respecto de su velocidad en el rotor.

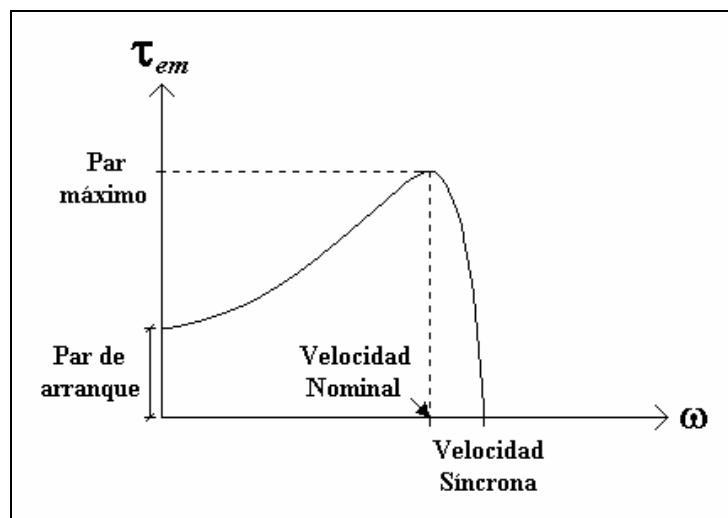


Figura 1.21. Respuesta de un motor de inducción (Par vs. Velocidad).

El factor final que define al motor de inducción es su circuito equivalente en función del deslizamiento (δ), figura 1.22.

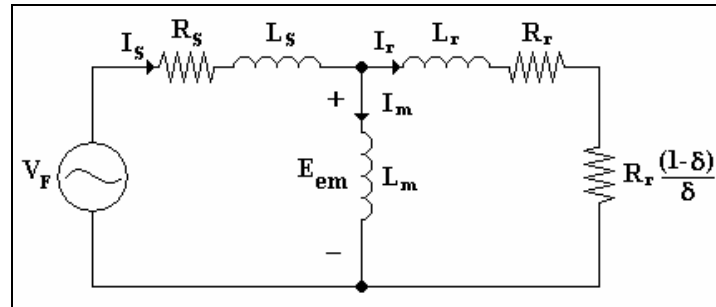


Figura 1.22. Circuito equivalente del motor de inducción trifásico.

No se considera realizar un análisis lineal y dinámico a través del circuito equivalente mostrado; la no linealidad que produce la función de pérdidas o deslizamiento hace imposible hacerlo de la forma convencional. Solo si el deslizamiento es constante puede operarse como un circuito lineal, en cuyo caso los parámetros que lo componen, deben ser cuantificados adecuadamente; aspecto que no se contempla como parte de este trabajo, ya que el control V/F no lo requiere además de tener limitaciones importantes [23].

1.5. DISPOSITIVOS LÓGICOS PROGRAMABLES

El interés por el desarrollo de hardware con diseño digital permitió la creación de los primeros SPLD, CPLD (Simplex and Complex Programmable Logic Device, respectivamente) y finalmente FPGA (Field Programmable Gate Array), cuya descripción se realiza a través de tres herramientas estandarizadas por IEEE, denominadas VHDL, VERILOG y System C. Los dos primeros son los más empleados actualmente y en este trabajo se usa VHDL.

El lenguaje VHDL permite describir circuitos digitales respecto de su comportamiento. Con esto, es posible sintetizar circuitos de aplicación específica (ASIC), los cuales se diseñan a partir de una estructura jerárquica, con varios niveles de abstracción (figura 1.23 y 1.24).

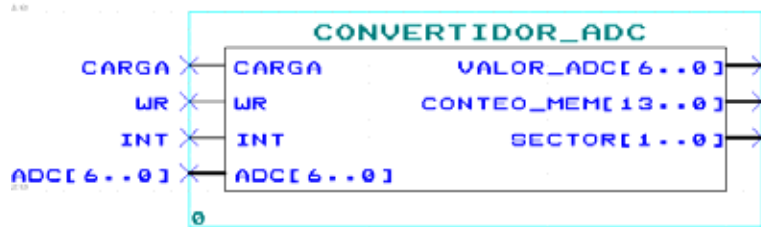


Figura 1.23. Entidad (entradas y salidas) de un sistema digital en VHDL.

Ventajas de la implementación de sistemas digitales utilizando lenguaje de descripción de hardware (VHDL) son:

- Tipos de datos definidos por el usuario.
- Diseño, modelado y comprobación desde niveles altos de abstracción.
- Portabilidad (la compilación es flexible con cualquier fabricante).
- Reutilizable (Se anexa a diseños más complejos o nuevas librerías).
- Metodología descendente: permite la división de un sistema complejo en pequeños subsistemas, facilitando su descripción.
- Flexibilidad en la configuración de pines de salida o entrada (o bidireccionales) para una mejor configuración del circuito impreso donde va a ser colocado.
- Es una herramienta estandar de IEEE (Standard 1076)
- La mayoría cumple con JTAG (Joint Test Action Group), figura 1.25.
- Programación ISP (In System Programmable).
- Algunos diagramas de interfaz de programación son libres y se pueden construir con facilidad (depende del fabricante).

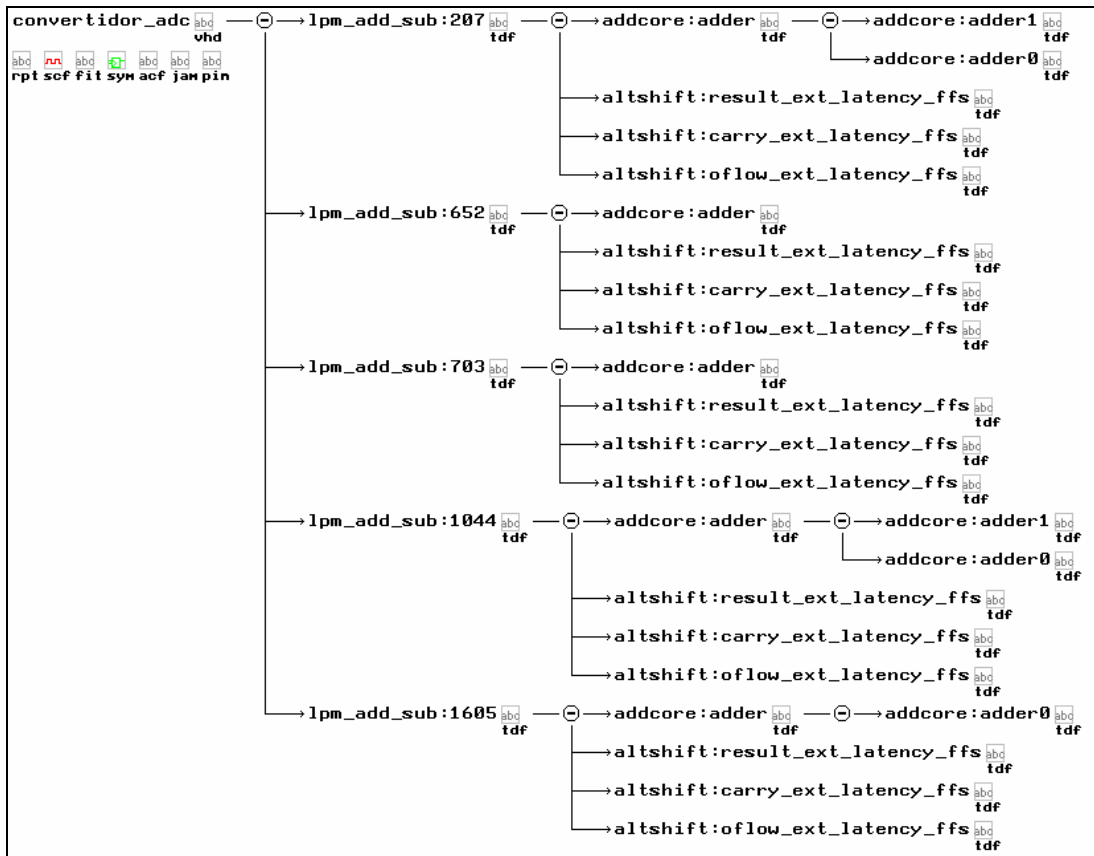


Figura 1.24. Ejemplo de jerarquía de un diseño en VHDL (MAX+PLUS II en este caso)

Los FPGA's fueron desarrollados a partir de los primeros arreglos lógicos programables (PAL y PLA), salen al mercado en 1985 por la empresa Xilinx, quien los desarrolla hasta su comercialización.

En la actualidad las empresas más avanzadas en el desarrollo de FPGA's, son Xilinx, Altera, Actel, Cypress y Lattice. Cada uno con tendencias de diseño propietarias.

Para el desarrollo de los FPGA's fue necesario establecer diseño a nivel semiconductor y los procesos de fabricación más modernos permiten su producción a gran escala con un relativo bajo costo.

El desarrollo de los transistores con tecnología MOS (Metal-Oxido Semiconductor), completó el impulso de los arreglos lógicos programables, así como de otros circuitos digitales comunes hoy en sistemas electrónicos.

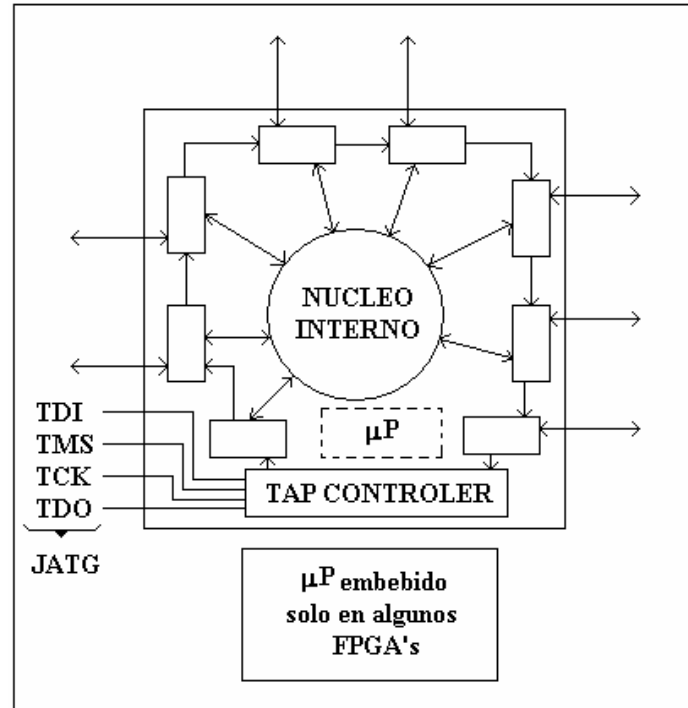


Figura 1.25. Esquema de comunicación JTAG de algunos CPLD's y FPGA's.

Los primeros FPGA's fueron desarrollados con tecnología de "fusible" y después de "antifusible", hasta los modernos con tecnología "Flash", la cual es una combinación de los conocidos "EPROM" y "EEPROM".

En general casi todos los FPGA's son "SRAM", es decir que cuando se despolarizan pierden la información almacenada y cada vez que son encendidos deben de configurarse, esto es posible a través del uso de sistemas auxiliares como dispositivos de configuración de propósito específico, microprocesadores, PC, otros CPLD's (del tipo EEPROM), etc.

La diferencia fundamental entre un CPLD y un FPGA, es que en el CPLD la arquitectura es fija, los componentes de salida están interconectados con las macroceldas¹, y sus agrupaciones denominadas bloques de arreglos lógicos o LAB. El retardo de propagación que normalmente existe entre la distancia de un pin de entrada a uno de salida del dispositivo, es siempre el mismo, este retardo es de unos pocos nanosegundos. Esto se cumple sin haber sido sintetizado el diseño, además los CPLD's casi todos son EEPROM. Lo anterior se muestra en la figura 1.26.

¹ Unidad de medida estándar de la capacidad de un dispositivo lógico programable.

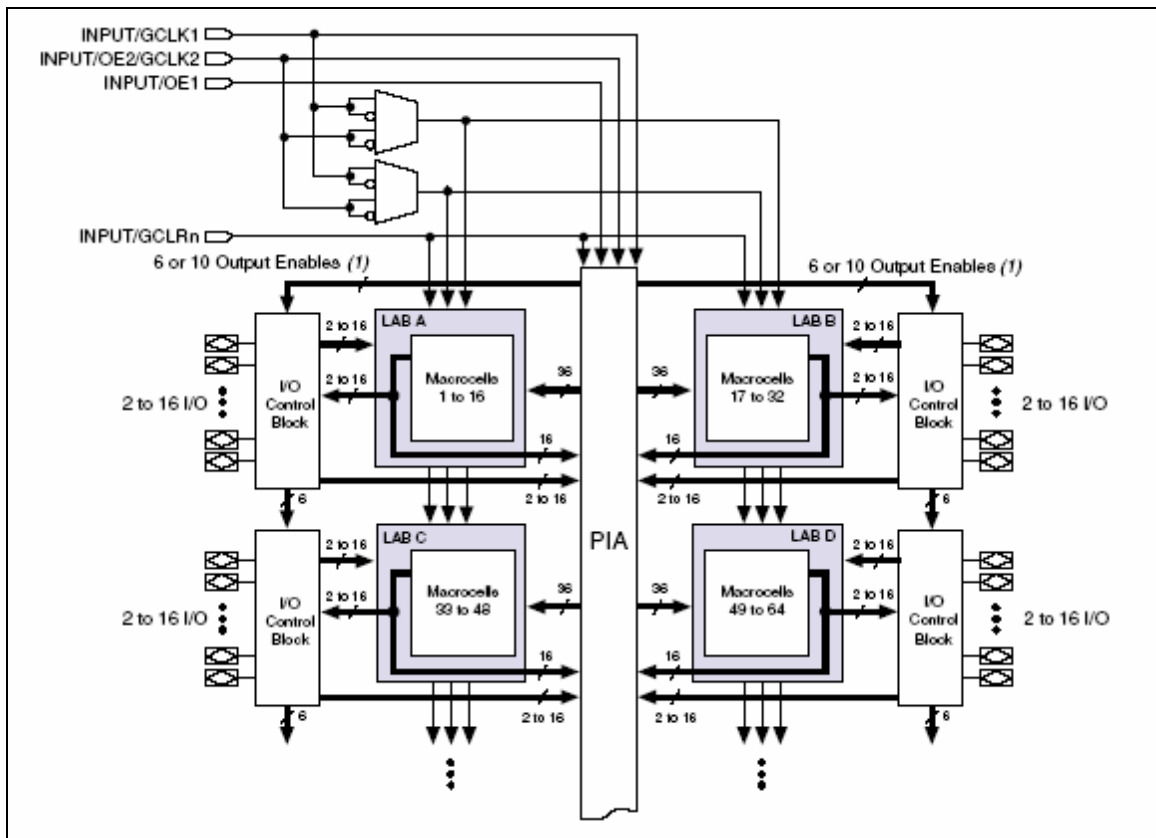


Figura 1.26. Bloques de un CPLD (MAX7000) con las macroceldas y LAB.

A diferencia del CPLD, en un FPGA la arquitectura es segmentada (Figura 1.27), ya que solo una vez compilado y sintetizado un diseño, se establece la ruta de los LAB hacia los componentes de salida, esto provoca que algunas líneas de salida sean unos nanosegundos más rápidas que otras, a lo que se le llama problemas de “Timing”. Se soluciona teniendo particular cuidado en la programación, es decir, generando una programación eficiente que no consuma más hardware del que es necesario para el diseño. Como consecuencia si no se sigue lo anterior, se presentan los denominados “Glich”, que son fallas de sincronía o retardos excesivos en alguna o varias líneas de salida del FPGA.

La arquitectura segmentada tiene la ventaja de que en ella es más fácil de compactar (a nivel semiconductor) una gran cantidad de registros internos, con los que operaciones como la multiplicación y los corrimientos de varios bits son realizables en dispositivos relativamente pequeños.

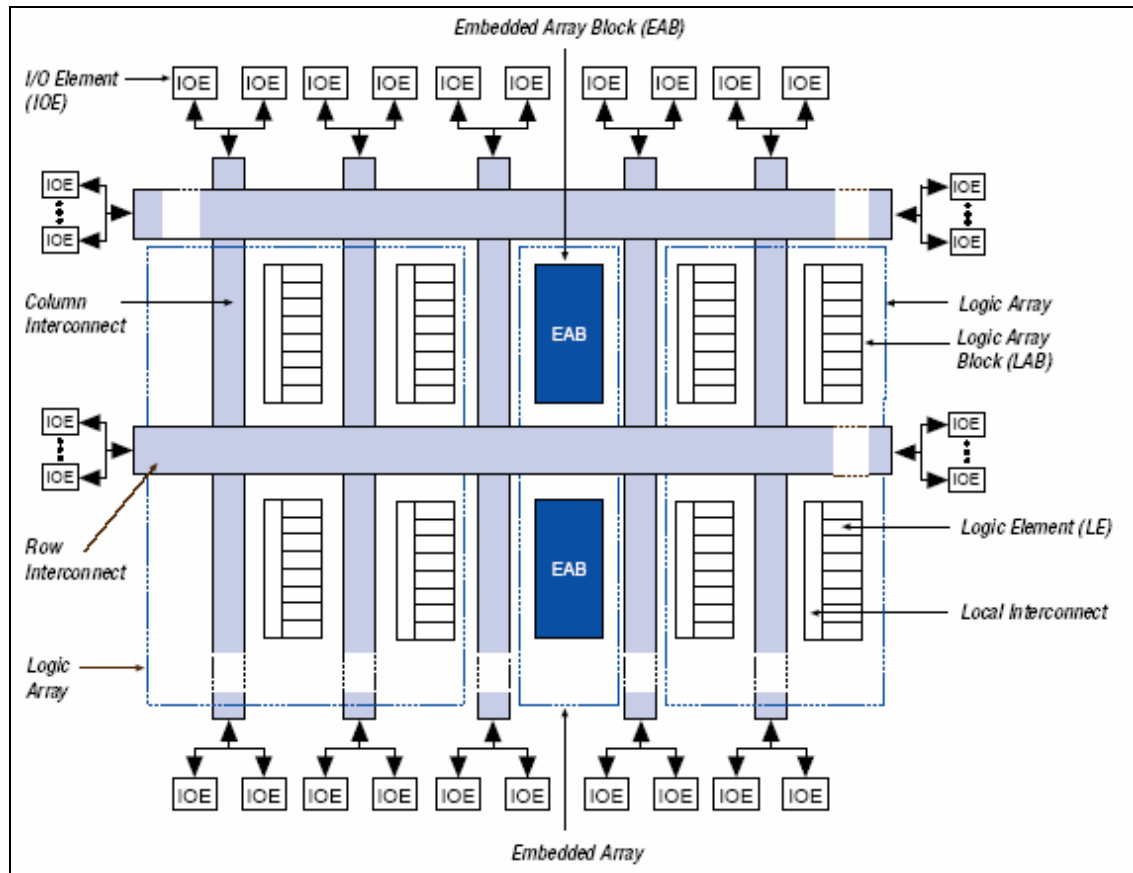


Figura 1.27. Bloques de un FPGA (FLEX10K) con elementos lógicos.

En comparación con otros sistemas secuenciales como microprocesadores y microcontroladores cuya arquitectura es definida por el fabricante, así como sus instrucciones; los FPGA's en combinación con conocimientos de diseño digital permiten desarrollar sistemas digitales más rápidos, con ventajas tales como: el número de pines de entrada o salida, la resolución de las variables y señales a programar es libre; esto, de acuerdo con la capacidad del dispositivo que puede ser de unos cuantos LAB hasta millones de ellos en los más sofisticados.

En contraparte los FPGA's, son como "hojas en blanco", hay que describir y desarrollar todo sistema que se requiera, a diferencia de los microcontroladores los cuales poseen periféricos como puerto serie, puerto paralelo, ADC (convertidor analógico-digital), DAC (convertidor digital-analógico) y puertos de aplicación específica (PWM, entrada para captura y salida por comparación, etc.). Actualmente los fabricantes de FPGA's trabajan en implementar estos periféricos como parte de los dispositivos lógicos programables.

Hasta hace unos pocos años los dispositivos lógicos programables eran reservados como auxiliares de sistemas más complejos, como los DSP's (procesadores digitales de señales), aplicados en tareas como muestreo, adquisición de señales y conversiones básicas. El crecimiento tecnológico de los FPGA's y CPLD's los ha hecho herramientas más poderosas de desarrollo y hoy en día es común encontrarlos en diseños electrónicos completos en áreas como instrumentación, control, comunicaciones y procesamiento digital.

Como conclusión a esta introducción, los FPGA's proveen mayor flexibilidad al implementar algoritmos novedosos como el SV-PWM, por su capacidad de establecer procesos paralelos y concurrentes; su forma de programación, el VHDL es sencillo y robusto, además de una creciente demanda comercial de estos sistemas, que permite que su costo se reduzca cada vez más y su capacidad se vea incrementada (Ley de Moore).

METODOLOGÍA

2.1. OPERACIÓN DE UN CONVERTIDOR TRIFÁSICO

Como se estableció anteriormente un mismo convertidor puede operar en varios modos, tales que permita el flujo unidireccional o bidireccional de potencia, en el caso de un puente completo trifásico puede operar en dos formas:

2.1.1. Modo de rectificación

Un convertidor trifásico es la conexión en paralelo de tres medios puentes monofásicos (figuras 2.1 y 2.2), que en este caso los semiconductores de potencia se modelan como switches o interruptores ideales en su forma más general.

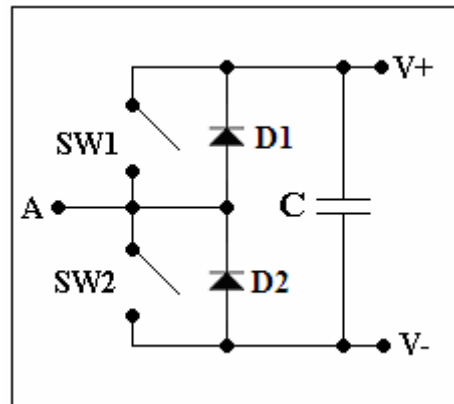


Figura 2.1. Medio puente para una fase.

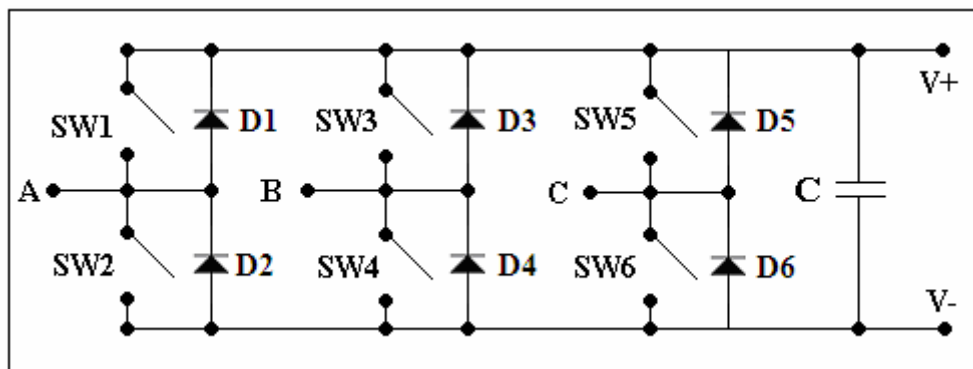


Figura 2.2. Puente completo para tres fases.

En ambas figuras (2.1 y 2.2), para que opere como rectificador, la entrada debe ser de corriente alterna y la salida corriente directa, caso contrario será inversor o un suministrador de corriente constante.

Algunos autores [1] y [3], señalan una analogía del rectificador, con el comportamiento de una máquina eléctrica; el diagrama fasorial (figura 2.3) corresponde a un generador conectado a las terminales A, B y C del puente completo de la figura 2.2.

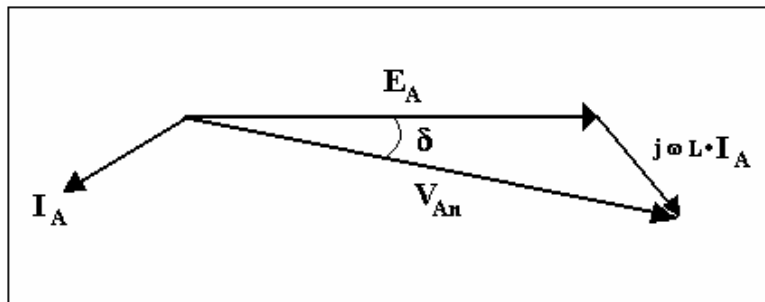


Figura 2.3. Diagrama fasorial del rectificador.

El diagrama es de una de las fases, en este caso la A, pero es el mismo para todas las fases. Donde E_A es la FEM (Fuerza electromotriz del generador) y V_{An} es el voltaje aplicado al neutro e I_A la corriente de la fase A, a través del devanado de esa fase con su correspondiente inductancia L . Finalmente δ es el ángulo de potencia. Solo queda aclarar que el factor de potencia ejemplificado en el diagrama fasorial es atrasado, pero no necesariamente debe ser así.

Dado que la potencia fluirá de las tres fases hacia el bus de corriente directa, que es entregada de forma no regulada, y posteriormente es filtrada a través de un bus de capacitores, permitiendo alimentar cargas en C.D. o para interconectar equipos electrónicos con la red eléctrica [1].

Para operar el rectificador es necesario conocer la secuencia de fases que entran a él, para una correcta conmutación de los semiconductores de potencia.

Existen varias formas o configuraciones para obtener un rectificador activo, sin embargo todas mantienen la filosofía antes descrita. También es posible construir un rectificador fijo mediante el empleo de diodos (figura 2.4) como semiconductores de potencia, el cual opera por la conmutación natural de la línea eléctrica sobre cada diodo (anexo 1).

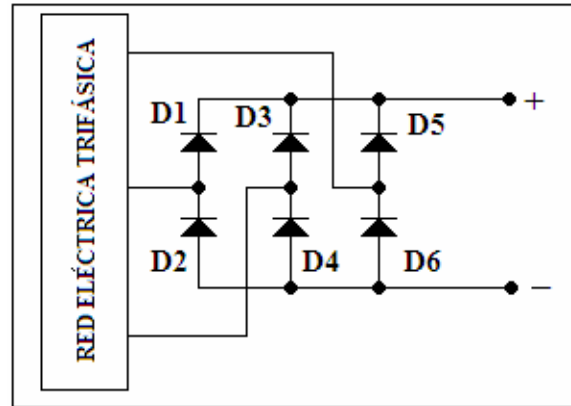


Figura 2.4. Puente rectificador trifásico completo con diodos de potencia.

Algunas de sus características son fijas, como el voltaje de salida, pues no existe control en sus elementos, y es útil cuando no se requiere un flujo bidireccional de potencia de la red hacia la carga y viceversa, donde esta última es la principal justificación para el uso de un rectificador activo (con dispositivos semiconductores de potencia).

Para el desarrollo de este trabajo se planteó el uso de un rectificador activo (no fijo), con el fin de tener un mejor aprovechamiento de la energía. Sin embargo en las pruebas y simulaciones preliminares, se observó que basta tener una fuente de C.D. de un valor tal que:

$$V_{CD} = V_{AB} = \sqrt{2}V_{LL} \cos(\omega t)$$

$$V_{CD(MAX)} = \sqrt{2}(220)V \approx 310V$$

El cual se trata del voltaje nominal pico del motor de inducción a utilizar como carga. Por tanto se empleó un rectificador fijo con diodos.

A pesar de que un motor cualquiera produce una FEM, que provoca durante la desaceleración y el frenado un cambio de operación de motor a generador, donde parte de la energía aplicada debe entonces retornar a la fuente.

De no considerarse lo anterior, se puede producir sobrevoltaje en el bus de C.D. así como transitorios de corriente en los semiconductores de potencia. Para atenuar éste fenómeno se implementará un adecuado control de velocidad (rampa), que ayude al motor a desacelerar de forma gradual; este sistema será explicado en capítulos posteriores en el diseño del control de velocidad. Por ésto solo es necesario el empleo de un rectificador con diodos de potencia.

ANÁLISIS DEL RECTIFICADOR FIJO

En los rectificadores fijos existen varios factores, pero uno de los más importantes a considerar en ambas configuraciones (monofásica y trifásica) es el rizo de voltaje a la salida C.D., el cual se calcula como:

$$r = \left(\sqrt{\left(\frac{V_{rms}}{V_{DC}} \right)^2} - 1 \right) 100\%$$

En el caso monofásico para medio puente resulta ser de $r = 121\%$ y para un puente completo $r = 48.2\%$ [25].

En tanto que en el puente completo trifásico ese rizo es de solo $r = 4.2\%$ (ver anexo 2), esto demuestra una vez más la preferencia de implementar convertidores trifásicos sobre los monofásicos, una de ellas es un menor contenido armónico final, así como un rizo de voltaje menor el cual pueda distorsionar la señal de voltaje; en conclusión, una mejor calidad en las formas de onda.

Al agregar el filtro capacitivo con el objeto de mejorar el rizo de voltaje antes mencionado, es común encontrar que su valor teórico resulta ser muy alto (varios miles de microfaradios); ya que no se puede medir exactamente la inductancia de cada línea eléctrica de la red, la cual influye directamente en la estimación del valor de este capacitor [1]. Se asume entonces el análisis ideal del rectificador, dejando a la parte práctica la estimación del tamaño del filtro capacitivo del bus de C.D.

2.1.2. Modo de inversión

En este caso se trata del mismo convertidor, solo que la energía fluirá del bus de C.D. hacia la carga trifásica, retomando la analogía anterior, la máquina eléctrica ha dejado de ser generador, para pasar a la motorización donde el diagrama fasorial válido es el de la figura 2.5.

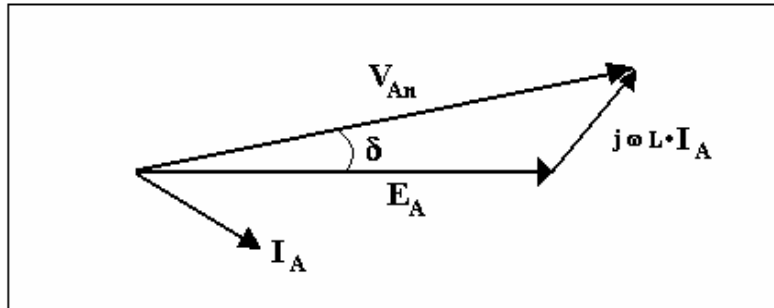


Figura 2.5. Diagrama fasorial del inversor.

Para el diseño de un inversor no es necesario conocer una secuencia de fases determinada, ya que el control de la conmutación de los semiconductores de potencia debe generar dicha secuencia a partir de la entrada de corriente directa.

El bus de C.D. debe ser estable con un rizo de voltaje muy bajo (menor al 10% del voltaje total en el bus), y con el menor contenido armónico posible, ya que una excesiva contaminación armónica repercute en el comportamiento de la carga.

Las características más importantes en un inversor y también en el rectificador descrito en el inciso anterior, que deben ser cumplidas son las siguientes:

- Reducción de las pérdidas de conmutación asociadas con el encendido y apagado de los dispositivos electrónicos de potencia.
- Reducción de armónicos en el sistema eléctrico al cual se conecte.
- Calidad en las formas de onda de voltaje y de corriente, tanto en la entrada de CD, como en la carga que se desee alimentar.
- Alto factor de potencia, de alrededor de 0.8 y mayores.
- Minimización del ruido de conmutación; esto, se logra utilizando una frecuencia de conmutación que esté fuera del espectro audible (20 Hz - 20 kHz).

El peso principal de este trabajo se enfoca en controlar el inversor con las características antes enunciadas. A través de la modulación SV-PWM.

2.2. MODULACIÓN POR ANCHO DE PULSO (PWM)

2.2.1. Sinusoidal convencional

Con la metodología para el PWM, basada en lo establecido en capítulos anteriores se puede asumir, que si una señal triangular es la señal portadora, esto para poder tener una comparación de voltaje lineal; y que la señal deseable en las terminales del motor debe ser senoidal (moduladora), al entrar ambas a un comparador de voltaje (caso general), el resultado es una señal de pulsos cambiantes en el tiempo. Figura 2.6.

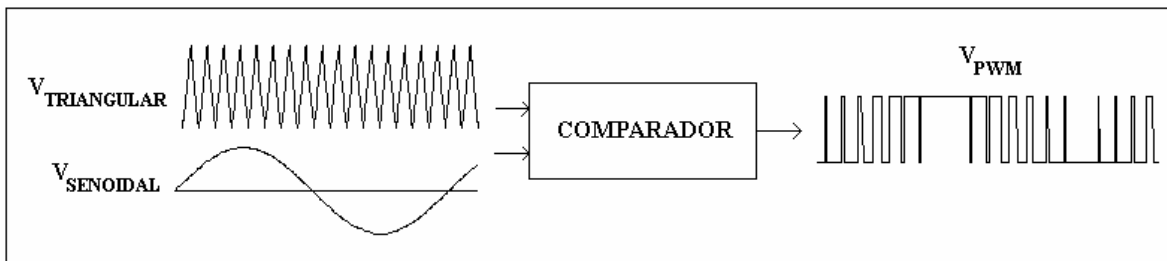


Figura 2.6. Esquema simple de PWM a través de un comparador de voltaje.

Aspectos demostrativos existen para explicar este comportamiento, mas no profundizaré en ello por no contribuir a los objetivos de este trabajo.

Es importante incluir que en el caso trifásico las ecuaciones que lo definen son:

$$V_A = m_a \text{Sen}(\theta) 50\% + 50\%$$

$$V_B = m_a \text{Sen}\left(\theta - \frac{\pi}{3}\right) 50\% + 50\%$$

$$V_C = m_a \text{Sen}\left(\theta + \frac{\pi}{3}\right) 50\% + 50\%$$

En cada ecuación m_a es el índice de modulación en amplitud que se define como:

$$m_a = \frac{V_{\text{senoidal}}}{V_{\text{triangular}}}$$

De forma normalizada m_a se puede expresar entre 0 y 1, este índice de modulación permite establecer el control de la amplitud de la señal senoidal (V_{SENOIDAL}), a partir de un solo factor.

De forma similar existe el índice de modulación de frecuencia:

$$m_f = \frac{f_{\text{triangular}}}{f_{\text{senoidal}}}$$

Se establece que para $m_f \leq 21$ [1], debe existir una sincronía entre la señal senoidal y la señal triangular, para evitar la presencia y el aumento de amplitud en armónicos cercanos a la frecuencia fundamental, con el fin de evitar mayor distorsión armónica en las señales del motor.

En el caso de este trabajo, la frecuencia se mantendrá constante por lo que la señal senoidal y la triangular son totalmente asíncronas ($m_f > 21$) [1].

Otras variaciones a este tipo de modulación son la inyección de la tercera armónica (figura 2.6) y el PWM a 60° (figura 2.7), ambas técnicas se idearon para poder tener un mayor aprovechamiento del V_{CD} que proporciona el rectificador, con lo que la energía entregada al motor aumenta. En el caso de PWM a 60° se indica que las pérdidas por conmutación se reducen pues la señal es “recortada” desde los 60° hasta los 120° y simétricamente ocurre lo mismo en el lóbulo negativo (240° a 300°), con lo que se mantiene el mismo estado de conmutación en este intervalo, reduciendo el número de transistores que se apagan o se encienden en el puente trifásico. Un aspecto negativo es que aumenta la distorsión de la señal.

La modulación PWM sinusoidal es la más aplicada en inversores fabricados en serie, sobre todo para operar motores como carga. Sus variantes se exploraron con el fin de aprovechar más la energía del bus de C.D., así como su señal de salida es senoidal y con un esquema de modulación alineado centralmente disminuye el contenido armónico que suministra hacia la carga.

Autores ya mencionados [1] y [2], sostienen que el espectro de armónicos del PWM sinusoidal, es más difícil de filtrar que los nuevos esquemas SVM, por lo que en generación eléctrica no es recomendable emplearlo. Sin embargo existen autores que también afirman lo contrario [22].

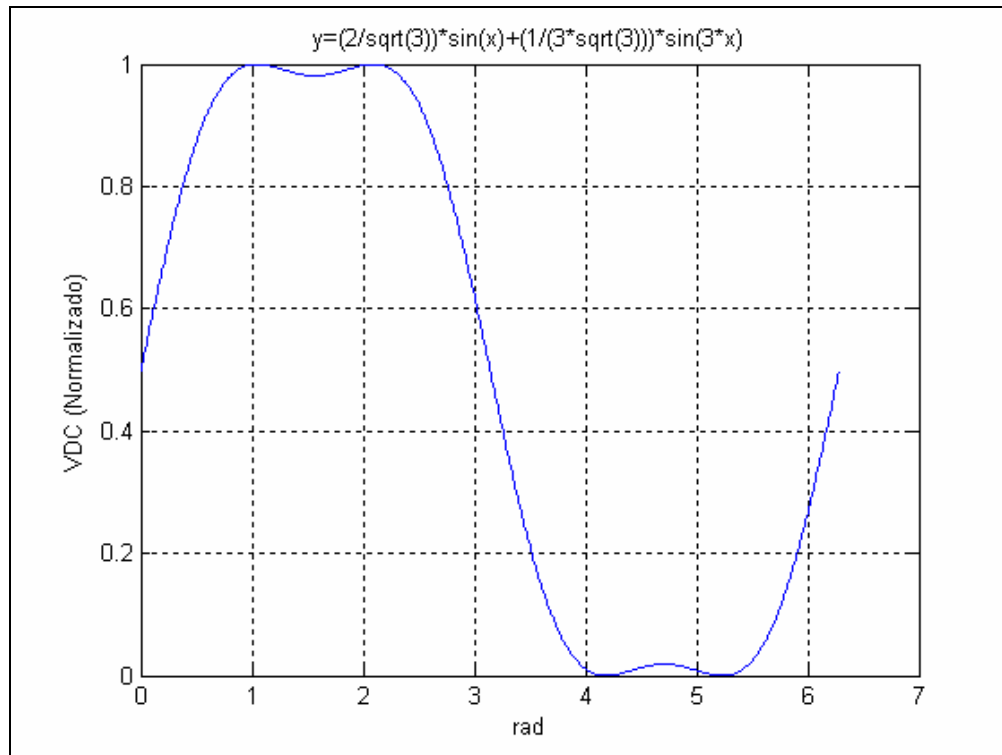


Figura 2.6. Gráfica de señal con tercera armónica.

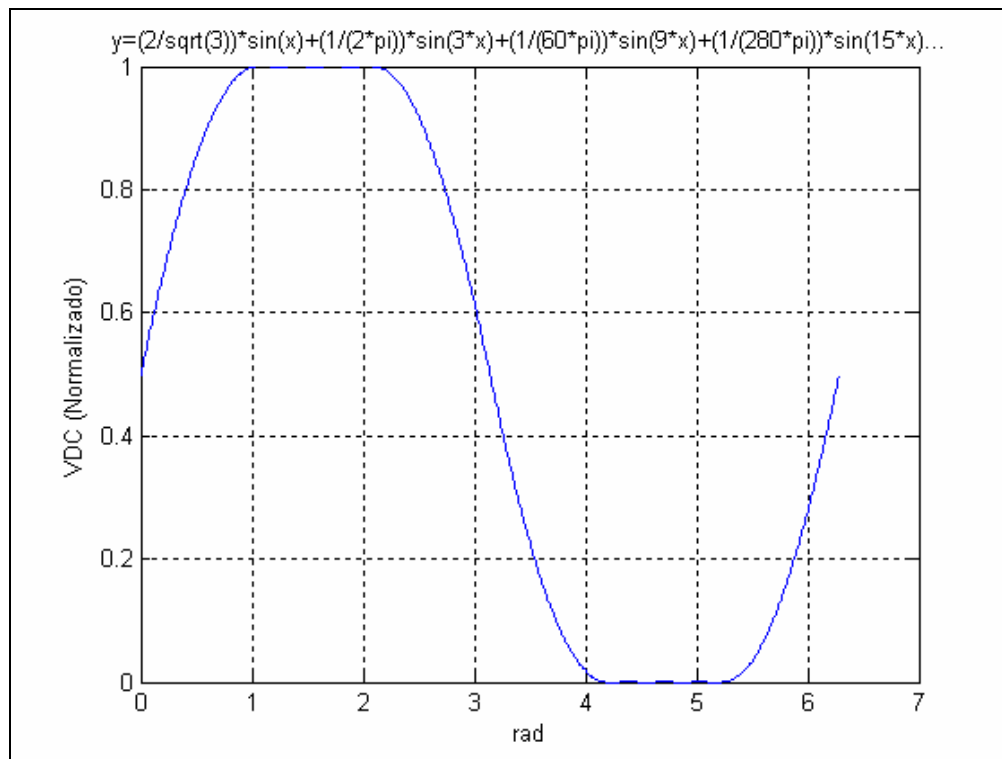


Figura 2.7. Grafica de señal con PWM 60°.

2.2.2. Vectorial (SVM)

Este tipo de modulación se diferencia de los anteriores por basarse en un análisis que incluya tanto la operación del puente completo trifásico, como el de una máquina de C.A., considerando que existen ocho combinaciones posibles y además válidas de los interruptores (IGBT's u otro dispositivo semiconductor de potencia) que constituyen el convertidor (figura 2.8). Un '1' indica que el interruptor está cerrado y un '0' que está abierto. Estas ocho combinaciones son referidas a cada interruptor (switch) de la parte superior (en este caso), de cada rama del puente trifásico, dado que el complemento de dicha combinación lo conforman los interruptores de la parte inferior (Figura 2.8). Cada una de ellas se establece tras considerar que no debe ocurrir un corto circuito en el bus de C.D., la condición es que no deben conducir dos interruptores de una misma rama en un mismo instante.

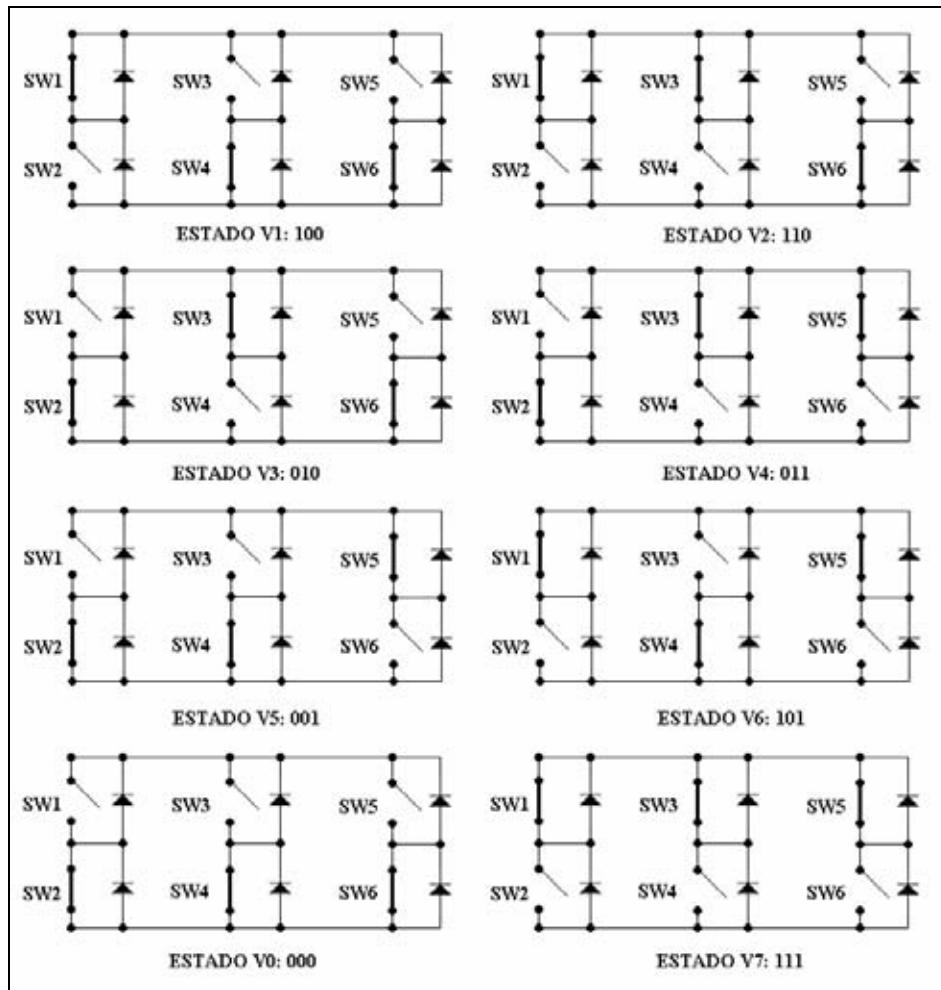


Figura 2.8. Estados válidos en un puente completo trifásico.

Los estados V0 y V7 se denominan estados nulos o de transición, ya que a pesar de no entregar voltaje a la carga, permiten el control del apagado o encendido de los interruptores que conforman el puente trifásico; por un mecanismo denominado “Bootstrap”, haciendo que cada interruptor opere adecuadamente en cada ancho de pulso entregado por la modulación. Nuevamente el mecanismo será explicado en la etapa de acondicionamiento o driver [15].

Con los ocho vectores de estado se puede representar el siguiente diagrama mapeado en el plano complejo [19], [20] y [21], figura 2.9.

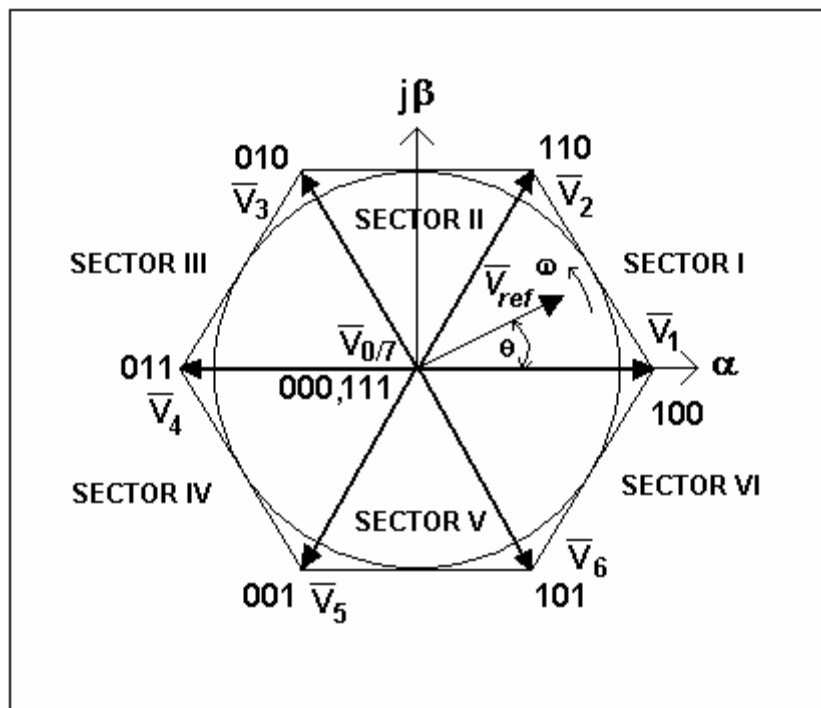


Figura 2.9. Distribución de los vectores de estado en el plano complejo.

Cada uno de los vectores de estado representados están a su vez generando uno de seis sectores de 60° cada uno, pues los estados nulos se mapean en el origen al no tener amplitud, como se mencionó antes no entregan voltaje a la carga.

Para establecer un voltaje y frecuencia deseados en las señales trifásicas que entrega el inversor, se puede representar a ambos como un vector de referencia (\mathbf{V}_{ref}) de determinada amplitud $|\mathbf{V}_{ref}|$ y que gira a una frecuencia angular ω (figura 2.9).

De esta forma podemos decir, que si este vector es construido a través de una combinación lineal de los vectores de estado, se puede controlar la conmutación de los elementos del puente. Cuando el vector de referencia complete un ciclo, habrá generado las tres señales trifásicas desfasadas 120°.

Para obtener las ecuaciones de la modulación SVM, haremos el análisis en el primer sector del hexágono de la figura 2.9, apoyándonos en la figura 2.10 [10].

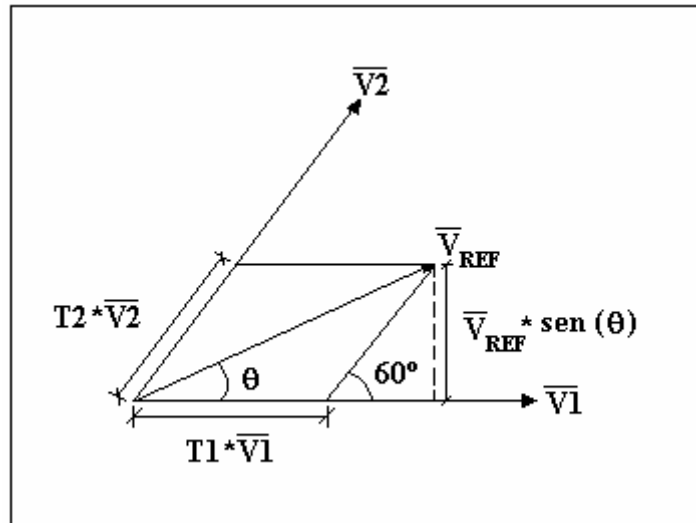


Figura 2.10. Componentes vectoriales en el primer sector para \bar{V}_{ref} .

Asumiendo que en el primer sector la combinación lineal que representa el vector de referencia es:

$$\bar{V}_{ref} T_{PWM} = T_1 \bar{V}_1 + T_2 \bar{V}_2 + T_{0/7} \bar{V}_{0/7} \dots (1)$$

Además

$$T_{PWM} = T_1 + T_2 + T_{0/7} \dots (2)$$

El índice de modulación en amplitud se define como:

$$m_a = \frac{|\bar{V}_{ref}|}{V_{CD}} \dots (3) \quad 0 \leq m_a \leq 1$$

Por triángulos semejantes de la figura 2.10 se tiene que:

$$\text{Sen}(60^\circ) = \frac{T_{PWM} V_{ref} \text{Sen}(\theta)}{T_2 V_2} \dots (4)$$

$$T_2 = \left(\frac{2T_{PWM} V_{ref}}{\sqrt{3}V_2} \right) \text{Sen}(\theta) \dots (5)$$

De la figura 2.10, T_1 se obtiene de la siguiente expresión:

$$\text{Cos}(\theta) = \frac{T_1 V_1 + T_2 V_2 \text{Cos}(60^\circ)}{T_{PWM} V_{ref}} \dots (6)$$

Sustituyendo (5) en (6) y despejando T_1 :

$$T_1 = \left(\frac{T_{PWM} V_{ref}}{V_1} \right) \left(\text{Cos}(\theta) - \frac{1}{\sqrt{3}} \text{Sen}(\theta) \right) \dots (7)$$

Empleando la identidad:

$$\text{Sen}(60^\circ - \theta) = \text{Sen}(60^\circ) \text{Cos}(\theta) - \text{Cos}(60^\circ) \text{Sen}(\theta)$$

$$\frac{2}{\sqrt{3}} \text{Sen}(60^\circ - \theta) = \text{Cos}(\theta) - \frac{1}{\sqrt{3}} \text{Sen}(\theta) \dots (8)$$

Entonces (8) en (7):

$$T_1 = \left(\frac{2V_{ref} T_{PWM}}{\sqrt{3}V_1} \right) \text{Sen}(60^\circ - \theta) \dots (9)$$

El valor que puede alcanzar V_{ref} corresponde al radio del círculo inscrito en el hexágono de la figura 2.9:

$$V_{ref} = V_n m_a \text{Cos}\left(\frac{60^\circ}{2}\right) = \frac{\sqrt{3}}{2} m_a V_n \dots (10)$$

$$n = 0,1,2,3,4,5 \text{ y } 6$$

Ésto, ya que todos los vectores de estado tienen la misma amplitud constante [16] equivalente a:

$$V_n = \sqrt{3}V_{CD} \dots (11)$$

Con lo que sustituyendo (10) en (5) y (9), y normalizando (2), las ecuaciones de SVM para cualquier sector son:

$$T_1 = T_{PWM} m_a \text{Sen}(60^\circ - \theta)$$

$$T_2 = T_{PWM} m_a \text{Sen}(\theta)$$

$$T_{0/7} = 1 - T_1 - T_2$$

Para obtener las formas de onda existen variantes, las cuales se obtienen utilizando o no los vectores nulos (V0 y V7), o alineados centralmente, con el flanco de subida o bajada, como se explicó en capítulos anteriores. Algunas respuestas de las señales que pueden ser obtenidas se muestran en las siguientes figuras:

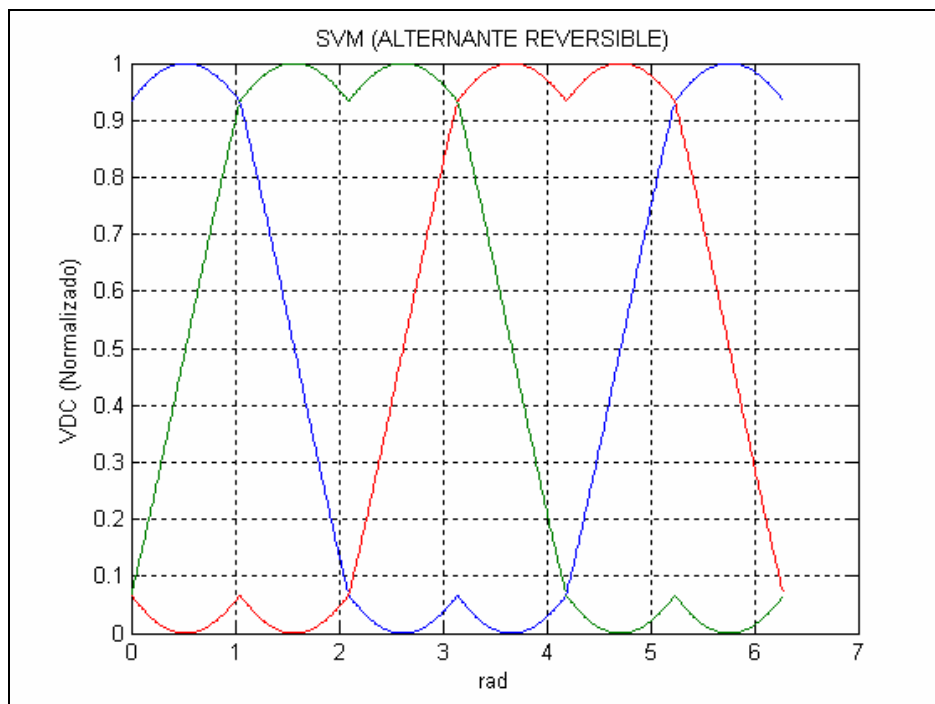


Figura 2.11. Secuencia de pulsos (T0/2-T1-T2-T7-T2-T1-T0/2).

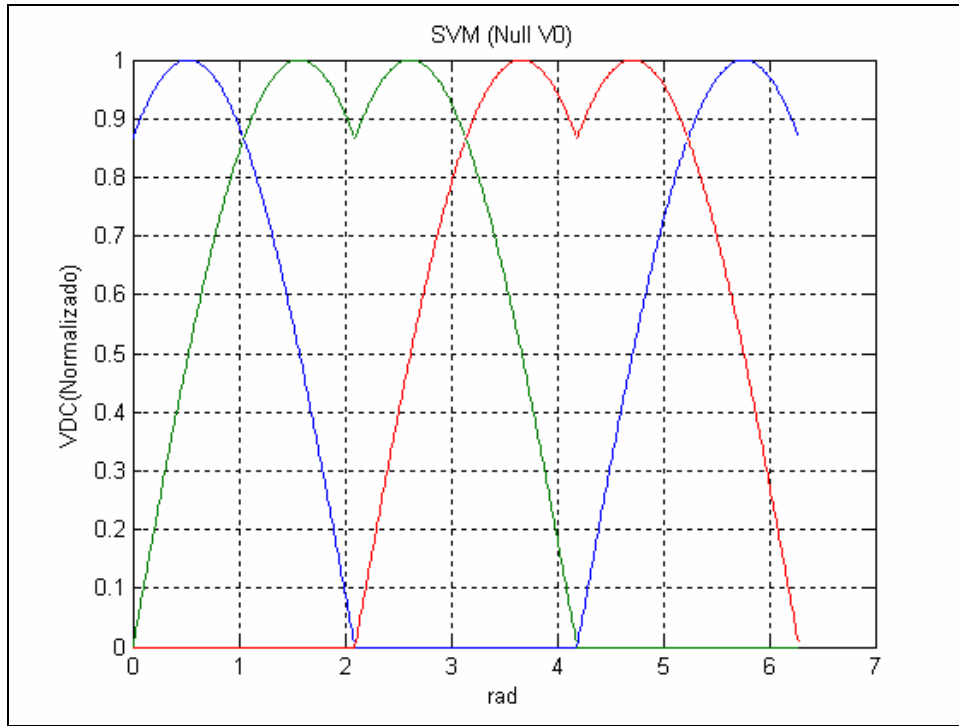


Figura 2.12. Secuencia de pulsos (T1-T2-T0-T1-T2-T0)

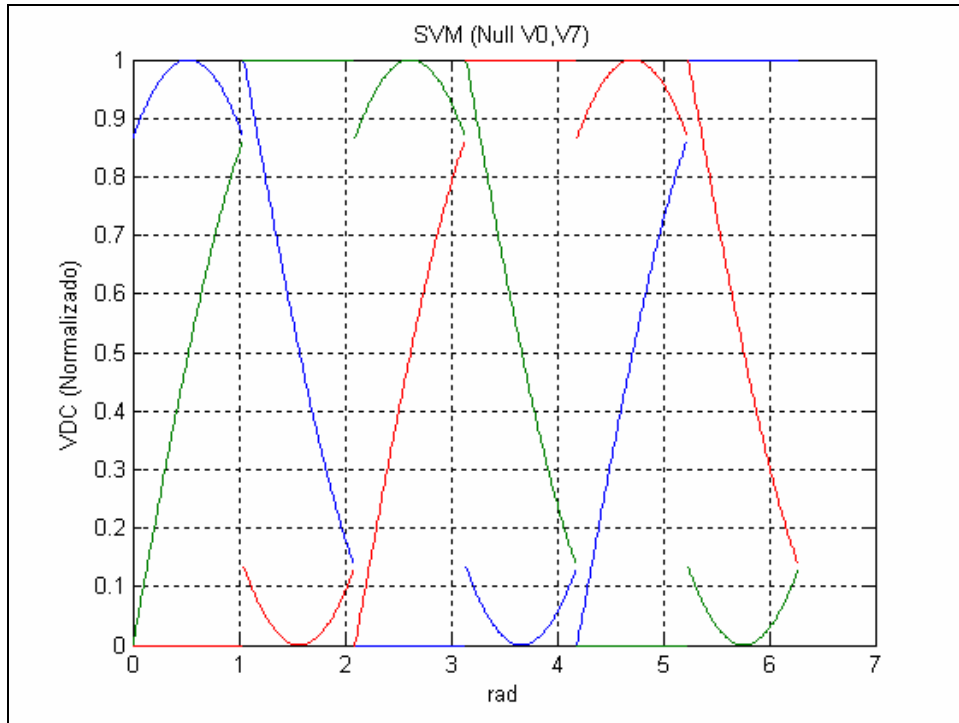


Figura 2.13. Secuencia de pulsos (T1-T2-T0-T1-T2-T0)

Existen infinidad de combinaciones y formas de acomodar los ciclos de trabajo calculados ($T_0 = T_7 = T_0/7$, T_1 , T_2), de todos ellos el que emplea un esquema PWM alineado centralmente y con la secuencia alternante-reversible (figura 2.14) es el que menor distorsión armónica produce, posee pérdidas por conmutación moderadas, pero mayores respecto a patrones como null V_0 , V_7 , los cuales tienen una distorsión armónica mucho mayor, como puede observarse al comparar las señales de las figuras 2.11, 2.12 y 2.13. Todos pueden sin embargo, establecerse alineados centralmente o con cualquier otro flanco.

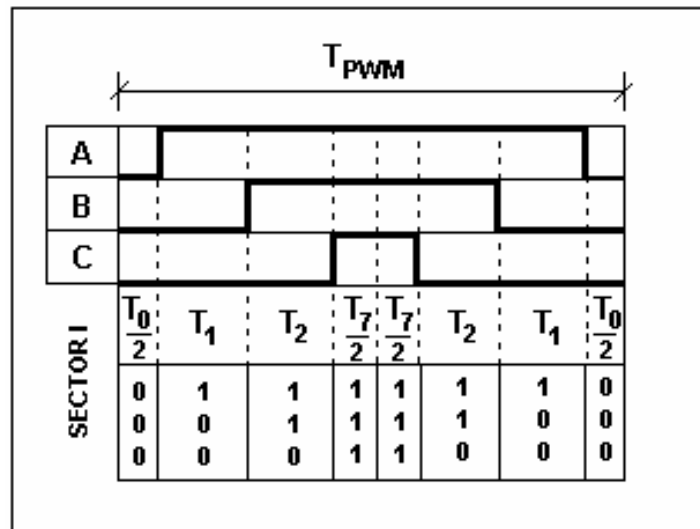


Figura 2.14. Secuencia de PWM alineada centralmente en el sector 1.

Si bien las señales SVM por fase (V_{AN}) no son senoides puras o casi puras, como en el PWM sinusoidal; sí lo son entre fases (V_{AB}) para cualquier secuencia de pulsos (figura 2.15).

El mejor aprovechamiento del bus de C.D. y que a través de una señal se controla el sistema trifásico completo, entre otras ventajas mencionadas anteriormente, han hecho que se busquen nuevas formas que faciliten su implementación en los últimos años.

Todas las gráficas anteriores, figuras 2.6, 2.7, 2.11, 2.12 y 2.13, representan el voltaje estimado y no la señal completa de PWM que incluye a la señal triangular (componentes de alta frecuencia), con la que es posible conmutar a los dispositivos semiconductores de potencia.

Una forma de simular la modulación SVM de forma analógica se describe en el anexo no. 4.

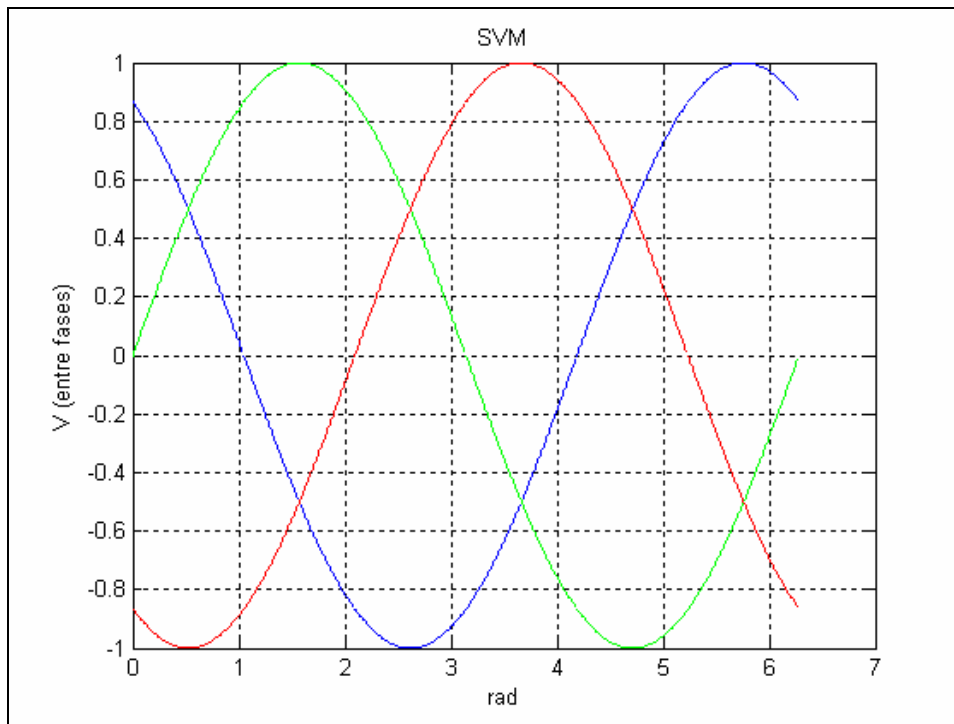


Figura 2.15. Señales trifásicas entre fases de cualquier patrón de pulsos SVM.

2.2.3. Sobremodulación

Otro aspecto importante que permite el control de la modulación es la denominada sobremodulación (figura 2.16), donde $m_a > 1$, y tiene la particularidad de generar mayor voltaje aplicado, a la vez que también la distorsión armónica es muy alta (50% y más). Generalmente la sobremodulación culmina en lo que se denomina como “Six-Step” (figura 2.17), donde la señal moduladora deja de tener una tendencia senoidal y se transforma en una onda cuadrada; ésto solo es aprovechable en velocidades altas de operación de una máquina eléctrica, donde la corriente no se distorsiona tanto como a bajas frecuencias, esto último provoca pulsaciones en el torque o par del motor.

Establecer la cantidad exacta de sobrevoltaje generado en la sobremodulación no es posible, ya que se trata de un proceso con características no lineales [1].

En el caso SVM la sobremodulación equivale a tener in círculo externo al hexágono de la figura 2.9.

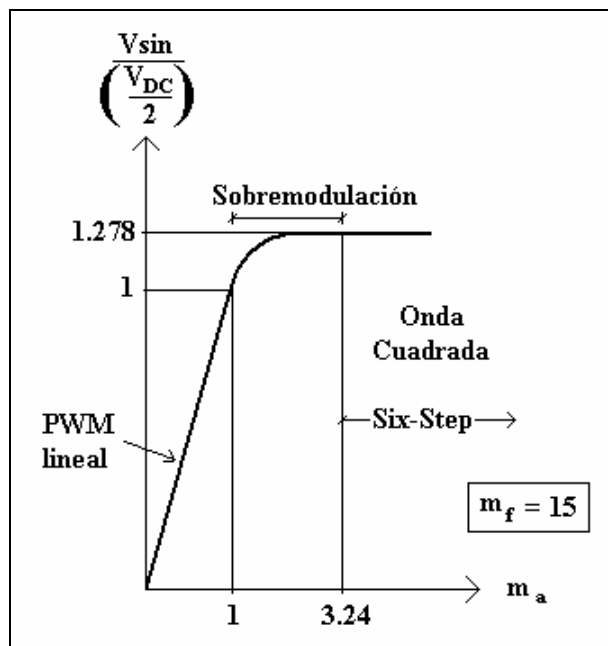


Figura 2.16. Grafica de esquemas de PWM en sus tres variantes [1].

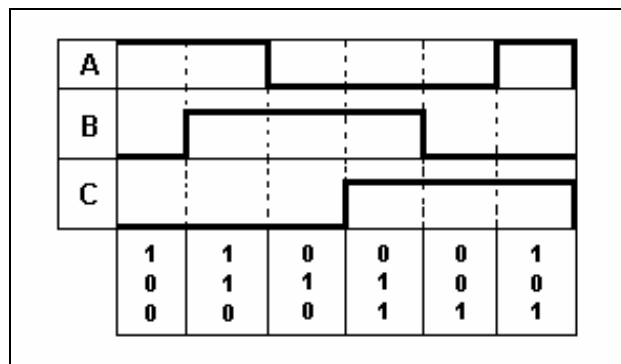


Figura 2.17. Secuencia de pulsos Six-Step.

En conclusión, cualquier esquema SVM que no sea sobremodulación, puede entregar voltajes senoidales entre fases, algunos mejoran la conmutación y otros mejoran la distorsión armónica, el alineado centralmente permite mejoras en la conmutación y es el esquema implementado en este trabajo, para complementarlo utilizando la secuencia alternante-reversible, que en las simulaciones y posteriormente en la práctica, demuestran ser el mejor candidato para el accionamiento de motores trifásicos a través de un puente completo.

2.3. ALGORITMO V/F

2.3.1. Regulación de velocidad

Para poder tener una velocidad variable en un motor de inducción jaula de ardilla es necesario variar los polos o variar la frecuencia de la señal de voltaje en las terminales del estator. Esto se obtiene de la fórmula general de las máquinas eléctricas:

$$n_{\text{sin } c} = \frac{120f}{p} \text{ rpm}$$

Donde $n_{\text{sin } c}$ es la velocidad síncrona de la máquina, f es la frecuencia de la señal en sus terminales (nominalmente 60 Hz) y p es el número de polos.

Para el caso de variar los polos, se trata de un método mecánico que consiste en cambiar la distribución de sus devanados, en donde se tienen relaciones de 2:1 de forma sencilla, a esto se le llama método de polos consecuentes. Otra forma es teniendo múltiples devanados en el estator, pero se encarece el motor y lo hace más voluminoso, teniéndose regulaciones de velocidad muy precisas pero limitadas a valores múltiplos como 600, 900, 1200, 1800 rpm., si se trata de un motor de cuatro polos.

Al variar el voltaje de las terminales del motor se consigue controlar la velocidad, aumentando el deslizamiento (δ), que es una medida de las pérdidas, calculada en función de la velocidad síncrona y velocidad del rotor en por ciento:

$$\delta = \left(\frac{n_{\text{sin } c} - n_{\text{rotor}}}{n_{\text{sin } c}} \right) 100\%$$

Esta variación de la velocidad no es la adecuada, ya que el par nominal nunca es alcanzado debido a que si el par de la máquina aumenta con el cuadrado del voltaje, de la misma forma disminuye y esto ocasiona que jamás se alcance el par nominal, es decir, el motor trabajaría adecuadamente solo con una carga reducida.

Ambos esquemas son ineficientes pues presentan pérdidas por disipación en el regulador reostático para el caso de variar el voltaje en las terminales, y al variar los polos se tienen solo algunas velocidades entre cero y la nominal.

2.3.2. Control V/F

Existe un algoritmo que considera dos operaciones en un motor eléctrico: cuando trabaja por debajo de su velocidad nominal, a lo que se le denomina operación subsíncrona; y, cuando trabaja por arriba de su velocidad nominal, que se denomina operación supersíncrona. Ésto también se aplica para el caso generador, pero ahí se distingue la operación en función de la dirección que llevan los flujos de potencia tanto del estator como del rotor.

Para este algoritmo consideremos la Ley de Faraday aplicada en el estator, donde la relación del flujo inducido con el voltaje aplicado es:

$$V(t) = -N \frac{d\phi(t)}{dt}$$

Si el voltaje en una de las terminales es $V(t) = V_m \text{Sen}(\omega t)$, entonces el flujo será:

$$\phi(t) = \frac{1}{N} \int V(t) dt = \frac{1}{N} \int V_m \text{Sen}(\omega t) dt$$

$$\phi(t) = -\frac{V}{\omega N} \text{Cos}(\omega t)$$

Del flujo resultante se observa que tanto $\omega = 2\pi f$ como el voltaje aplicado V_m , son los parámetros que pueden ser variados de forma inversamente proporcional, de tal forma que el flujo sea constante. Provocando que la máquina opere en forma subsíncrona y a cualquier velocidad entre cero y la nominal; a ésto, se le conoce como algoritmo V/F (voltaje-frecuencia) y es el control más utilizado en motores de inducción cuando operan en lazo abierto (figuras 2.18 y 2.19).

Para el caso supersíncrono solo basta variar la frecuencia, pues el voltaje nominal del motor no debe ser rebasado más de un 15% [25] y el flujo obtenido también es el nominal. Técnicamente la velocidad máxima se ve limitada únicamente por el diseño del motor (figura 2.19).

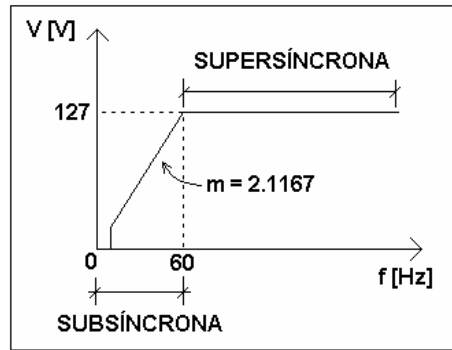


Figura 2.18. Respuesta esperada de un motor con control V/F.

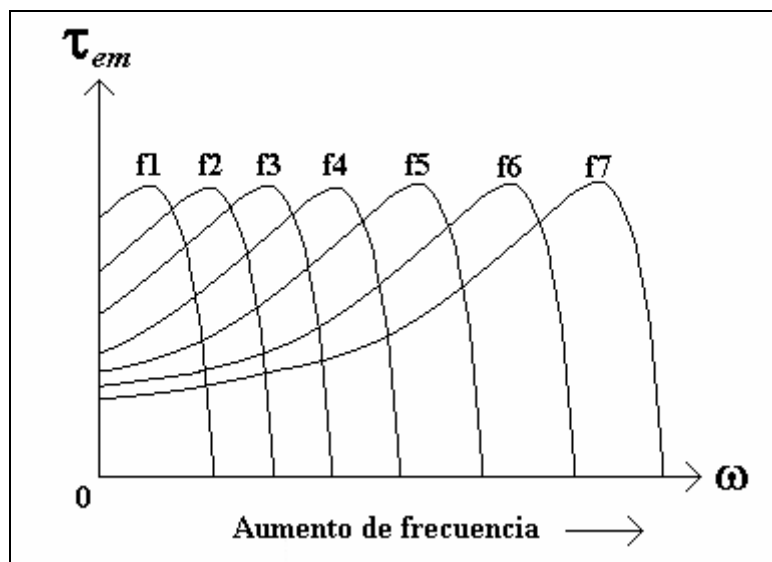


Figura 2.19. Familia de curvas de la respuesta de un motor con algoritmo V/F.

Otro aspecto importante es que al emplear SVM en la modulación, el algoritmo V/F está implícito al controlarse la magnitud y la frecuencia del vector de referencia (\mathbf{V}_{ref}), descrito en el inciso anterior.

Algunas veces el comportamiento del motor es específico dependiendo de la aplicación; el motor no puede cumplir con valores máximos para cada uno de los parámetros como factor de potencia, eficiencia o par a la vez (figura 2.20).

Este comportamiento puede ser expresado en función del valor del deslizamiento (δ), el cual puede ser utilizado como referencia para el control del motor en lazo abierto, más allá de la regulación de velocidad que proporciona el algoritmo V/F.

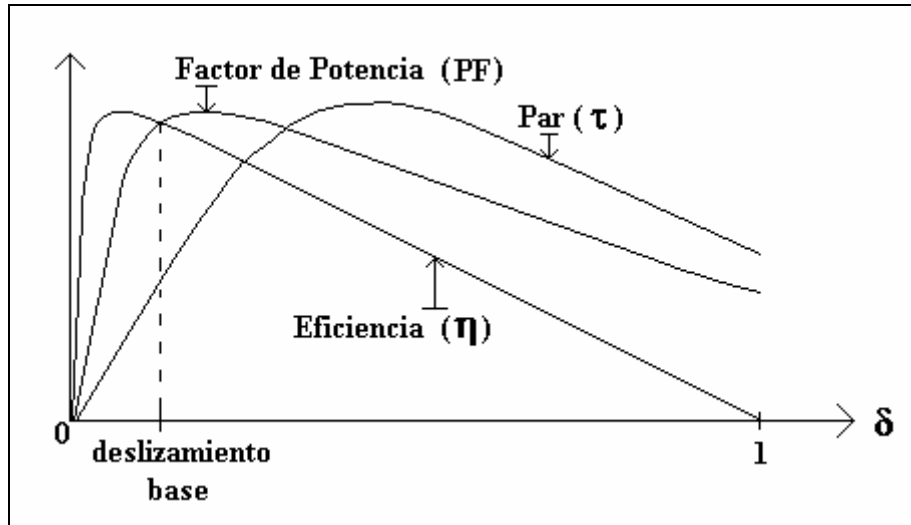


Figura 2.20. Curvas descriptivas en función del deslizamiento [10].

Finalmente el comportamiento de un motor de inducción en algunos de sus parámetros y su relación con el algoritmo V/F se muestran en la figura 2.21.

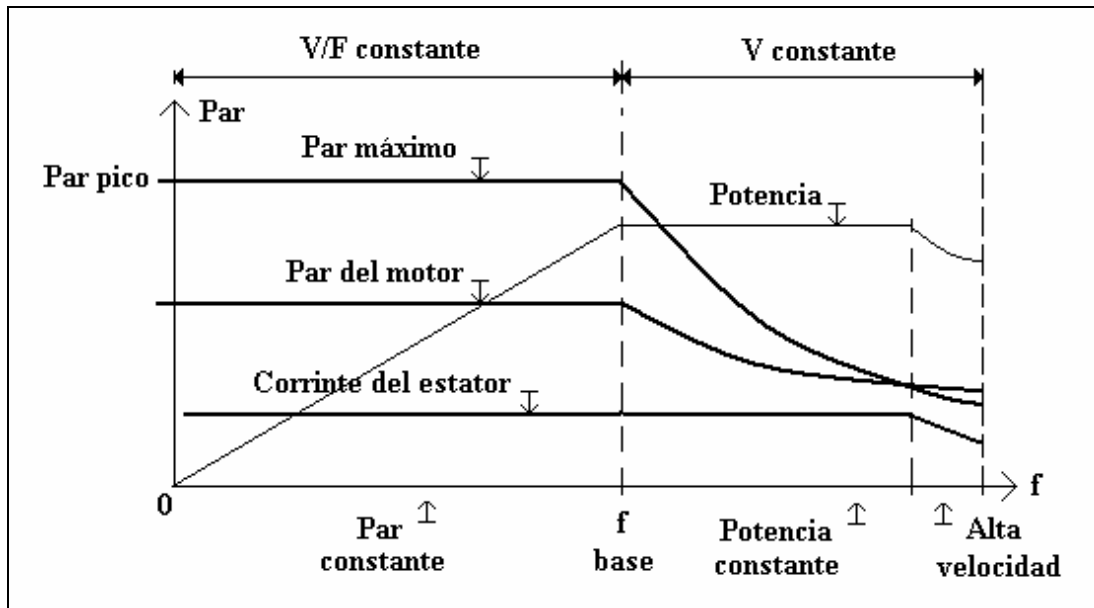


Figura 2.21. Curvas características de operación de un motor de inducción [2].

Como aspecto adicional, de la grafica anterior se observa la zona de potencia constante, esta zona corresponde con un segmento de la operación supersíncrona. Si la máquina eléctrica trabajara como generador, la zona ideal de operación es ésta.

DESARROLLO

3.1. IMPLEMENTACIÓN

3.1.1. Equipo, instalación y material

El sistema eléctrico con que cuenta el laboratorio de pruebas es el siguiente:

RED ELÉCTRICA:

- Tipo trifásica a 4 hilos (3 fases y un neutro).
- Tensión por fase: $117 V_{rms}$.
- Tensión entre fases: $208 V_{rms}$.
- Cable de alimentación: calibre #10 AWG ($4 \Omega/km$).

TRANSFORMADOR DE AISLAMIENTO:

- Transformador trifásico tipo seco (marca TC fabricación).
- Polaridad substractiva.
- Relación 1:1.
- Potencia: 2 kVA.
- Temperatura a $55 ^\circ C$.
- Tensión de alimentación entre fases: $208-220 V_{rms}$.
- Frecuencia: 60 Hz.
- Conexión estrella-estrella, c/neutro.

MOTOR DE INDUCCIÓN TRIFÁSICO

- BALDOR, modelo: IDNM3538 de $\frac{1}{2}$ Hp, rotor jaula de ardilla.
- Conexión del devanado: doble estrella.
- Aislamiento clase H, (Temperatura: $180^\circ C$).
- No. de polos: 4., vel. nominal: 1725 rpm., vel. máxima: 6000 rpm.
- Con encoder, marca AUTOTONICS de 1000 ppr.
- Armazón: Nema 56C.
- Eficiencia: 85%.
- Tensión nominal: 220/440 V.
- Corriente nominal: 1.8/3.6 A.

SISTEMA DE SEGURIDAD

- Acometida por cuchillas tripolares marca SD (Square D), con fusibles de 30 A de filamento.
- Tubo “conduit” para el cableado de las fases.
- Transformador de aislamiento (antes descrito).
- Interruptor termomagnético de 3 polos y 20 A. con gabinete, para energizar el sistema a implementar.
- Clemas de conexión para la alimentación trifásica.

Material para desarrollo que posee el laboratorio:

El CPLD que se utilizó es fabricado por ALTERA y es de la familia EPM7000S, modelo EPM7128SLC84-15. La capacidad del dispositivo es de 128 macroceldas, es compatible con JTAG (LC), posee un encapsulado PLCC de 84 pines y tiene un retardo de propagación de 15 nanosegundos (Como se observa toda esta información se extrae del número de serie del dispositivo).

En el caso del FPGA, también es fabricado por ALTERA y es de la familia FLEX10K, con número EPF10K10LC84-3. Cuenta con 72 celdas (LAB), también es compatible con JTAG y el encapsulado es el mismo (PLCC de 84 pines), con un retardo de propagación de 3 nanosegundos. Contiene también 3 bloques de memoria RAM (EAB) de 2048 bits, para aplicaciones de sistemas de alta velocidad como multiplexores, contadores de carga, multiplicadores, RAM de datos con escritura y/o lectura, etc.

Para la configuración del FPGA anterior se cuenta con algunos dispositivos de configuración que provee ALTERA [6] y [7], con el número EPC1441-PC8 (encapsulado DIP de 8 pines), los cuales son del tipo PROM; su diagrama interno se muestra en la figura 3.1.

La operación de estos dispositivos se basa en almacenar en su arreglo de memoria, el código de las interconexiones que completan la configuración del FPGA en cuestión, para enviarlo de forma serial a través de JTAG cuando el sistema se encienda. Todo este proceso emplea tan solo unos pocos milisegundos, a partir del encendido del sistema completo (FPGA, dispositivo de configuración y demás componentes del sistema digital), después de los cuales el FPGA entra en operación de la función para la que fue aplicado [8].

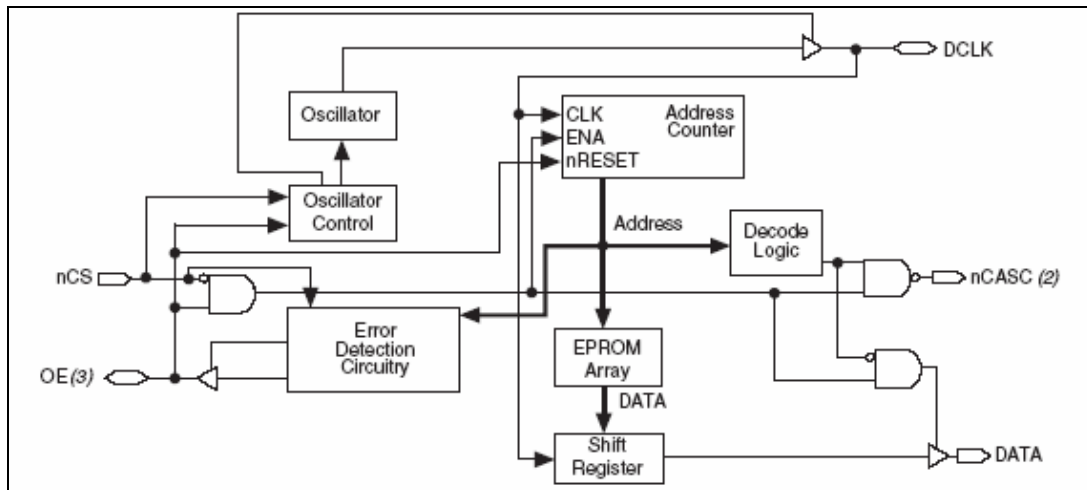


Figura 3.1. Esquema de la constitución interna de un dispositivo de configuración (EPC1441-PC8).

Existen varias formas de configurar un FPGA, las principales se enuncian a continuación [6]:

- Serial Pasiva (PS) con dispositivo de configuración.
- Serial Pasiva (PS) con “cable de bajada”.
- Serial Pasiva (PS) con microprocesador y memoria serial.
- Serial Pasivo Asíncrono (PSA).
- Paralelo Pasivo Síncrono (PPS).
- Paralelo Pasivo Asíncrono (PPA).
- Por JTAG, requiere la interfaz de programación y una PC.

El dispositivo EPC1441-PC8, emplea el tipo PS. Actualmente hay dispositivos de configuración Serial Activo (AS), que se programan por JTAG.

Las formas serial y paralela se refieren al tipo de comunicación entre los dispositivos, donde la forma serial es más rápida, y es la tendencia en el desarrollo actual de sistemas de comunicación.

Una desventaja de algunos dispositivos de configuración, el EPC1441-PC8 por ejemplo; es que no son JTAG y requiere para su programación el empleo de otro programador que lo soporte.

A su favor hay que decir que el costo del EPC1441-PC8 es relativamente bajo y reúne todo lo necesario en un solo circuito integrado.

3.1.2. Implementación digital (V/F Y SVM)

Para generar una señal con valores binarios (digital o muestreada), se pueden utilizar dos formas:

- Punto flotante.
- Punto fijo.

El primero se establece con formatos denominados Q_i , donde la i corresponde al número de bits para la parte decimal, por ejemplo si se usan 2^{14} bits y se pretende emplear 4 para la parte decimal (Q_4), los restantes 10 son para la parte entera del valor numérico, en formato decimal; que se pretenda representar con los valores binarios. El punto flotante permite moverse durante la construcción de una señal, ya que si ésta es aleatoria habrá zonas donde se requiera mayor parte decimal que entera y viceversa, dependiendo de la precisión requerida.

En el caso del punto fijo todos los bits son parte entera, del ejemplo anterior serían los 14 bits, y se omite el uso de este formato; redondeando cualquier valor decimal a su más cercano valor entero, para facilitar el diseño y el no requerir alta precisión en los datos, se empleó el formato de punto fijo en el presente sistema. Además la señal es periódica y simétrica, quedando descartados los eventos aleatorios.

Dada la capacidad de los dispositivos lógicos programables (CPLD y FPGA) con que cuenta el laboratorio, solo se puede establecer una resolución de 7 bits (128 valores) en las señales. Si bien lo convencional son 8 bits (256 valores); la resolución obtenida con 7 es muy buena y el sistema desarrollado puede ser interfaz con otros sistemas (Microcontroladores, DSP's, otros FPGA's), que sean de 8 bits; por ejemplo, con solo truncar el bit menos significativo.

La señal generada con los patrones SVM en 2^7 bits, con los que se controla la amplitud de la señal y que establece la resolución de nuestro sistema; se muestra en la gráfica de la figura 3.2.

Para controlar la frecuencia se generaron “offsets” [2] y [14], que implica efectuar una multiplicación mediante sumas sucesivas de un valor deseado en bits. En otras palabras, para la mínima frecuencia se tienen el total de datos almacenados, en tanto que para la máxima será un mínimo de puntos tal, que permita una buena resolución de la señal.

Lo que nos lleva a la siguiente consideración: si la frecuencia de muestreo es constante y en este caso equivalente a la frecuencia de conmutación (F_{PWM}) de la señal SVM, ésta debe de ser mayor a 10 kHz, por fase y por tanto mayor a 20 kHz entre fases (modulación con esquema unipolar).

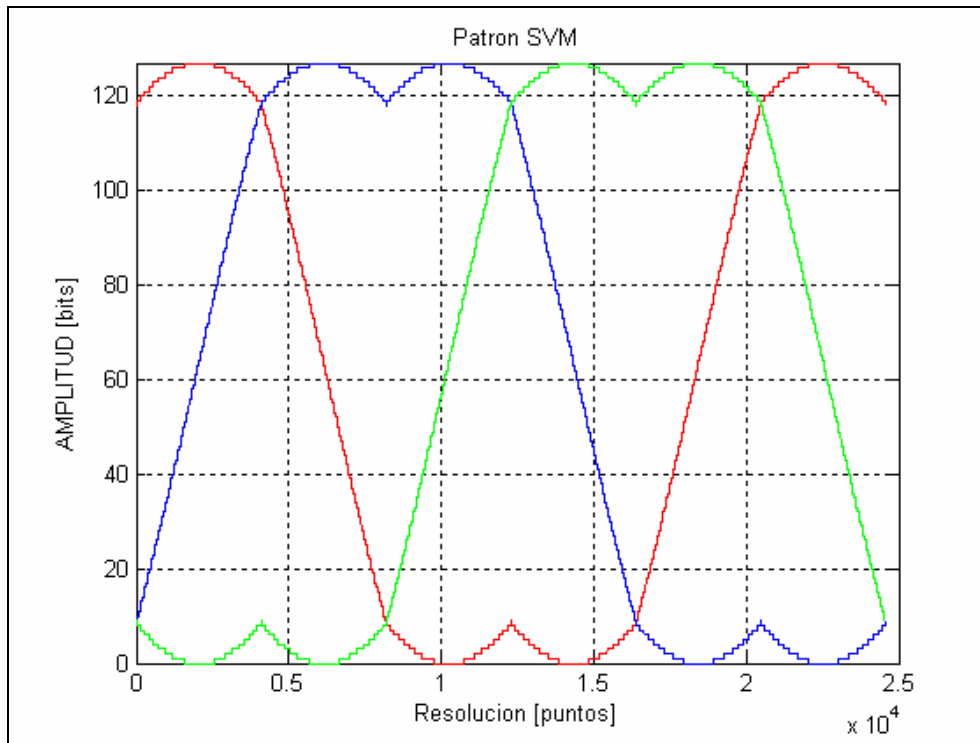


Figura 3.2. Grafica de valores binarios, amplitud en 128 bits, y 24576 ciclos de trabajo (puntos) para la frecuencia mínima.

Como se mencionó en capítulos anteriores, la señal portadora puede ser triangular o bien señal diente de sierra. Para generar un diente de sierra de forma digital, es simple: con un contador síncrono ascendente o descendente, según la lógica a utilizar (lógica de '1' (positiva) o lógica del '0' (negada)) y la combinación de las dos lógicas permite describir la triangular. Figura 3.3 [14].

Para el diseño planteado, se implementó una señal diente de sierra, al consumir menor cantidad de hardware con respecto a la triangular y permitir una mejor sincronía, simplificando la descripción. Su resolución será de $2^8 = 256$ bits, y es el doble de la resolución del sistema (2^7 bits = 128), para conservar un patrón alineado central en la comparación para el PWM.

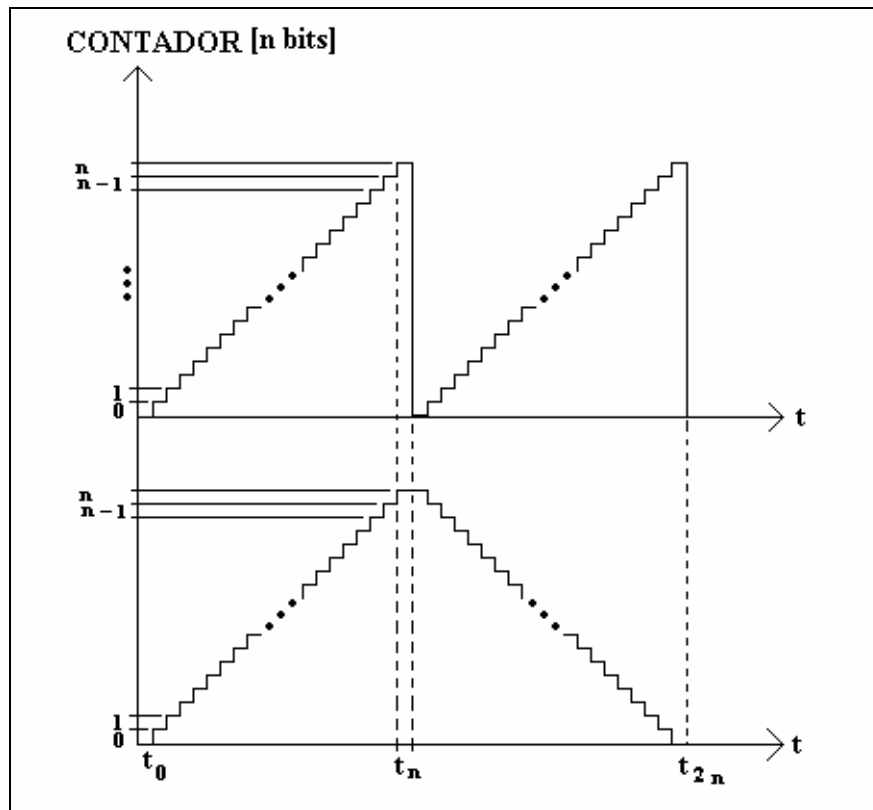


Figura 3.3. Señales digitales: diente de sierra (arriba), con t_n de conmutación; triangular (abajo) con t_{2n} de conmutación. Ambas con “n” bits de resolución.

El código para generar la señal diente de sierra antes descrita en VHDL, se muestra a continuación:

```
--CONTEO REFERENCIA DEL PWM Y
--CARGA, QUE ES LA SEÑAL QUE MARCA EL FINAL DE UN CICLO DE CONMUTACIÓN Y
--QUE SINCRONIZA LOS SUBSISTEMAS DEL FPGA CON LOS DEL CPLD.
```

```
PROCESS(CLK)
BEGIN
  IF CLK'EVENT AND CLK = '1' THEN
    IF (CONT_REF = 255) THEN
      CONT_REF <= 0;
      CARGA <= '1';
    ELSE
      CONT_REF <= CONT_REF + 1;
      CARGA <= '0';
    END IF;
  END IF;
END PROCESS;
```


El propósito de esta señal es establecer la frecuencia de conmutación acorde con la siguiente expresión, que relaciona la frecuencia de conmutación, con la frecuencia de salida y la cantidad de datos o ciclos de trabajo de la figura 3.2:

$$f_{sal} = \frac{(f_{CLK})(offset)}{[3(\#)(N_{PWM})]}$$

Donde:

- f_{sal} : Frecuencia de la señal que acciona al motor, (0-60 Hz).
- f_{CLK} : Frecuencia del reloj para la sincronía, (3 MHz).
- $offset$: Valor de entrada suministrado por un convertidor ADC (u otro sistema), para establecer la referencia de velocidad, (0-127 en bits).
- $\#$: Máximo número de ciclos de trabajo por sector (8192).
- N_{PWM} : Resolución de la señal diente de sierra (256).
- El factor 3 en el denominador alude al número de sectores en el diseño.

A la ecuación anterior falta agregar los retardos de propagación internos del FPGA, CPLD y las memorias. Estos retardos son mínimos, pero repercuten en valor final de la frecuencia de salida. Las consideraciones adicionales son:

Puesto que el reloj del sistema (f_{CLK}) debe ser un valor comercial, dentro de los osciladores existentes en el mercado, y la señal diente de sierra es de 256 valores, así como la frecuencia de conmutación (f_{PWM}) debe ser mayor a 10 kHz, más no exactamente este valor. El valor más adecuado es de 3 MHz, pero no existe de forma comercial, el más cercano es 6 MHz y con ayuda de una configuración “toggle”, a través de un “flip-flop” tipo D, o cualquier otro; podemos hacer un divisor de frecuencia entre dos (figura 3.4):

$$f_{PWM} = \frac{3000000Hz}{256} \approx 11.72kHz$$

Si bien podemos cambiar el conteo de la señal diente de sierra, para ajustar este valor o aproximarlo a los 10 kHz, ésto no es de vital importancia para la operación eficiente del inversor y su conmutación, las pérdidas asociadas en estos niveles de frecuencia son bastante homogéneas, ya que sigue siendo PWM asíncrono. Por razones de estabilidad que fueron evaluadas este proceso se implementará fuera del FPGA, a través del empleo de un flip-flop: 74HC74.

Otro aspecto es el accionamiento del motor, que se limitará a la operación subsíncrona (0-60 Hz) del mismo, aunque el motor alcance mayores velocidades.

Finalmente como se mencionó en la metodología, los patrones SVM son simétricos, y basta solo tener los ciclos de trabajo de los dos primeros sectores, y después transponerlos; de ahí que exista un factor que aumente por tres el número de estos ciclos de trabajo. Ésto beneficia, ya que se requiere una menor cantidad de datos almacenados (múltiplexaje de datos, figura 3.5).

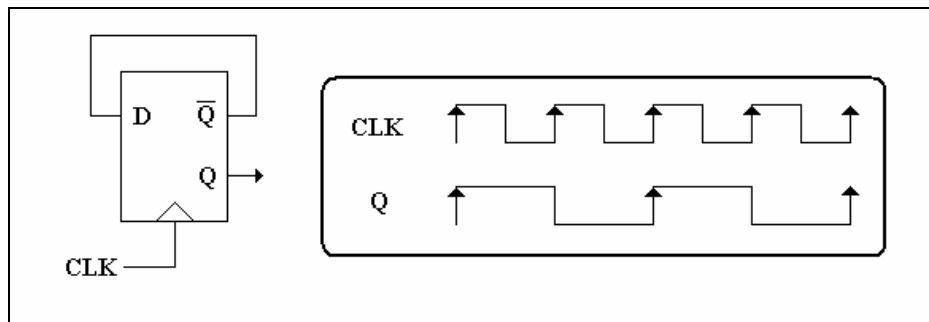


Figura 3.4. Esquema “Toggle” con un FF tipo D y diagrama de tiempos.

Conocida la cantidad de datos podemos elegir tres memorias paralelas del tipo EEPROM, modelo AT28C64B-20, que pueden almacenar hasta 64K (8192 x 8), justamente es la cantidad que se requiere almacenar, solo que en 7 bits de resolución.

Una consideración en el diseño a implementar, es que estas memorias poseen un denominado tiempo de respuesta de 200 ns [13], que deben transcurrir desde que se presenta un valor en las entradas de la memoria y la entrega del dato (ciclo de trabajo) en las salidas, contenido en la localidad correspondiente de la misma.

Al preferir emplear un esquema con memorias paralelas y no con memorias seriales, es por requerir un sistema rápido que responda en un pulso de reloj aproximadamente, en tanto que en un esquema serie se necesitaría emplear una frecuencia mucho mayor para la lectura de los datos, con el fin de poder enviar toda la trama de los 7 bits de un dato, cada vez que la conmutación ocurra (11.72 kHz).

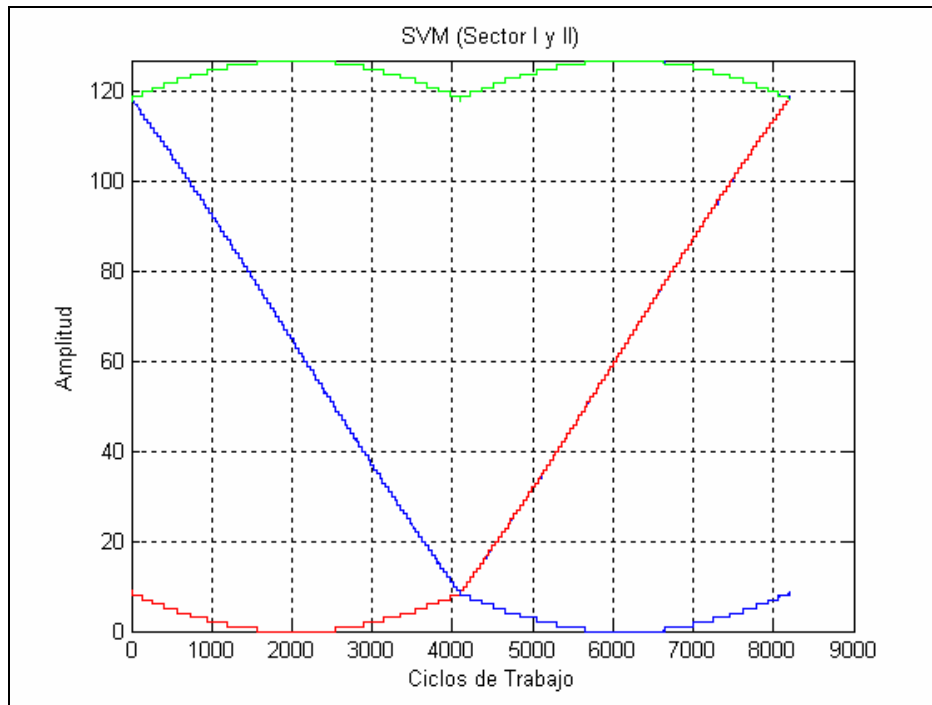


Figura 3.5. Señales de los ciclos de trabajo (sector 1 y 2), utilizando lógica negada, para cada fase: A (rojo), B (azul) y C (verde).

El valor de velocidad deseado o referencia es establecido entre 0 y 5 V (0 - 60 Hz) de forma analógica, y a través de un ADC es muestreado en 8 bits, utilizando el ADC0820-CCN de alta velocidad y bajo costo. Al solo requerir 7 de los 8 bits truncamos el menos significativo, por tener mayor posibilidad de error.

Este convertidor opera en varias formas, una de ellas es “Stand-Alone” (independiente) [11], que es la mas sencilla de sincronizar, con solo una señal de entrada (WR) y una de respuesta que indica con un pulso en bajo (INT) cuando la conversión ya se realizó, ya que todos los ADC comerciales trabajan parcial o completamente por aproximaciones sucesivas y requieren de un tiempo de respuesta pequeño para devolver la conversión (2.5 μ s en este caso).

El proceso de muestreo del ADC es completamente asíncrono al resto del sistema, por lo que esta señal (WR) puede ser generada externamente por temporización independiente, figura 3.6.

El sistema digital completo descrito, sintetizado e implementado; se resume al siguiente diagrama de la figura 3.6.

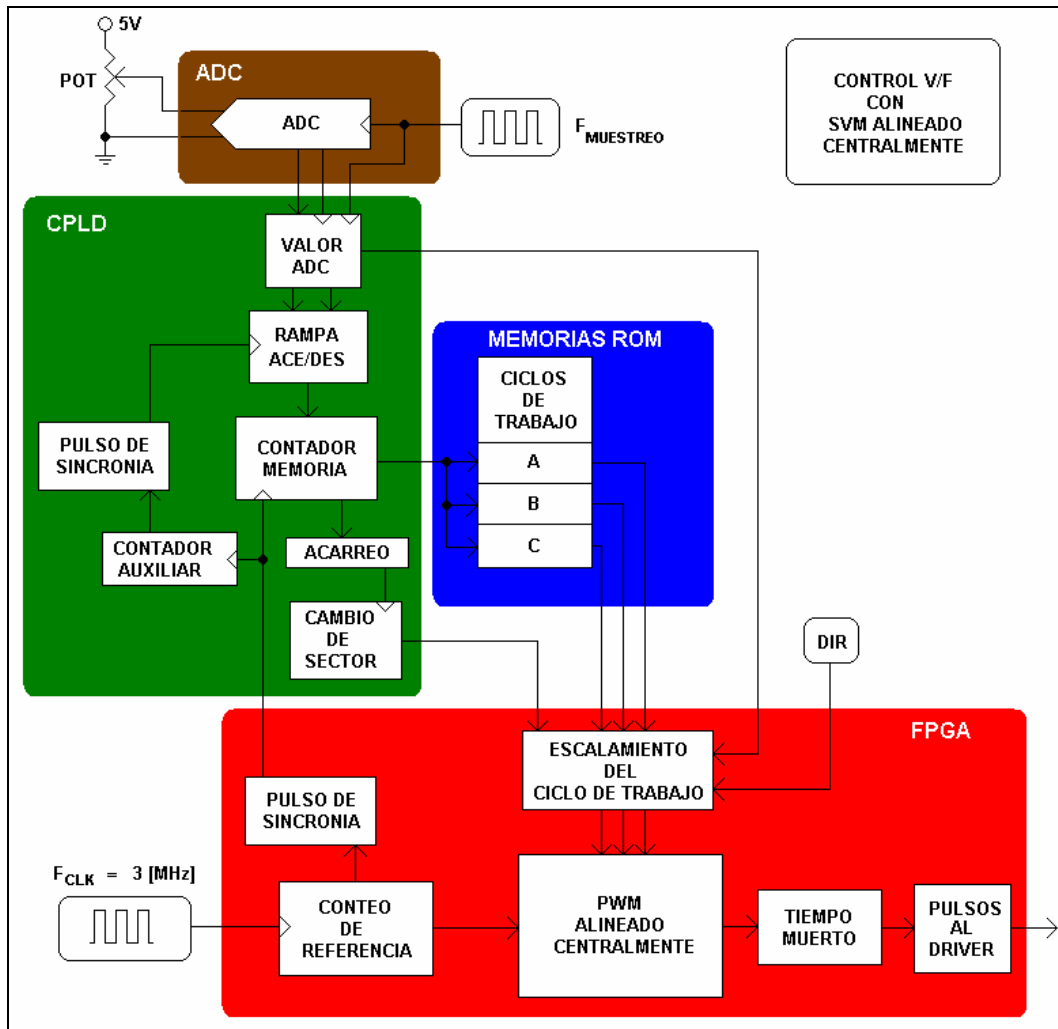


Figura 3.6. Sistema digital: bloques de subsistemas y dispositivos utilizados.

La descripción del sistema por bloque responde a los siguientes criterios:

- Las señales que involucren la multiplicación (control de la amplitud), serán incluidas en el FPGA, por razones de la capacidad requerida para este proceso.
- Para evitar los denominados “Glitch” (figura 3.7) del FPGA en puntos críticos, ya que algunas salidas (bits de una señal) pueden ser más rápidas que otras, el conteo de la memoria será implementado en el CPLD.
- La agrupación de los subsistemas (bloques), de acuerdo al tamaño y complejidad que involucre su descripción.

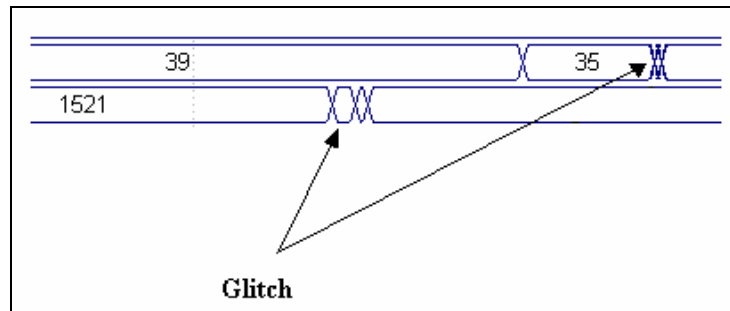


Figura 3.7. Ejemplo de falla de sincronía en dos señales de salida.

El caso principal que se refiere al problema de los “Glitch”, se trata de la señal que controla el direccionamiento de las memorias (contador memoria), que establece la frecuencia de la señal de salida y no debe tenerlos, ya que una lectura errónea de un dato o ciclo de trabajo almacenado en cualquiera de las memorias, provocaría deformación en las señales, causando que el inversor no opere adecuadamente. Esto deja la implementación del control de la frecuencia y el muestreo del ADC en el CPLD, y el control de la amplitud y demás componentes, como la modulación en el FPGA.

El sistema implementado responde también al ser una plataforma de pruebas para distintos tipos de algoritmos para controlar máquinas de inducción; esto es, normalmente los esquemas de control en lazo cerrado o sin sensores (control avanzado) no operan con el perfil V/F, pero sí controlan independientemente la amplitud (V) y la frecuencia (F) como parámetros fundamentales. La agrupación de los subsistemas por dispositivo antes mencionada es acorde con este requerimiento también, reservando ajustes de interfaz al diseño del circuito impreso.

Describir cada subsistema de la figura 3.6, corresponde al terreno del lenguaje VHDL, la descripción global de la operación del sistema es más importante:

La señal de reloj (3 MHz), es aplicada al FPGA activando el conteo de referencia o señal diente de sierra, el cual emite un pulso de sincronía (carga), indicando que un periodo de conmutación se ha realizado y puede leer el siguiente ciclo de trabajo. Esta señal mantiene además la sincronía con el CPLD, que recibe el valor de frecuencia del ADC y establece el conteo hacia las memorias con los ciclos de trabajo almacenados (figura 3.5).

Las memorias responden entregando el dato de cada una de las tres fases al FPGA, el cual lo escala a la amplitud acorde con la frecuencia y lo compara con la referencia inicialmente mencionada, para así obtener el ancho de pulso correspondiente (figura 3.8). En resumen, la retroalimentación de los datos se da a través del pulso de sincronía, que marca la frecuencia de conmutación (11.72 kHz).

Son necesarios además subsistemas como la rampa de aceleración y desaceleración, que evita que el cambio de velocidad en el motor sea de forma abrupta, como se describió en el capítulo anterior. Para conseguir esto, se pausa cada incremento o decremento de frecuencia a solo 90 ms cada uno, con lo que acelerar al motor de 0 a 60 Hz tarda aproximadamente 10 segundos. Este valor puede ser disminuido o incrementado, cambiando un solo dato en la programación del CPLD.

El cambio de sector es necesario para establecer el multiplexaje de las tres fases, junto con el cambio de dirección o de sentido de giro del rotor a través del intercambio de las señales de dos de las fases. El cambio de giro debe ser establecido con velocidad cero, para evitar transitorios de corriente por el cambio abrupto, al no estar sincronizado con el resto del sistema.

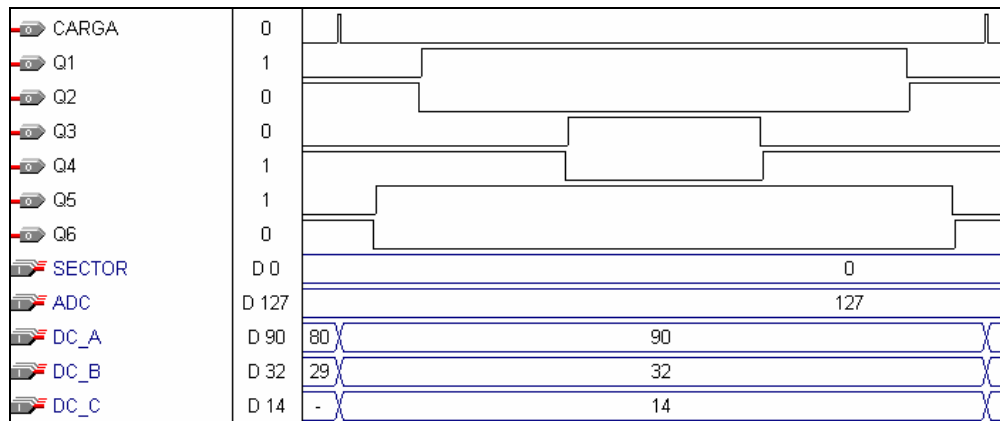


Figura 3.8. Simulación (MAX+PLUS II) del patrón SVM alineado central.

El Bloque de tiempo muerto se explicará a detalle en la implementación del inversor, ya que este proceso requiere de acotaciones relacionadas directamente al sistema de potencia.

Todo el sistema digital requiere de 5 V para su polarización, y tiene un consumo de corriente de 250 mA.

Las entidades de cada dispositivo CPLD (convertidor_adc) y FPGA (control_motor) se muestran en la figura 3.9. Las señales con nombres iguales son las que conectan a los dos dispositivos.

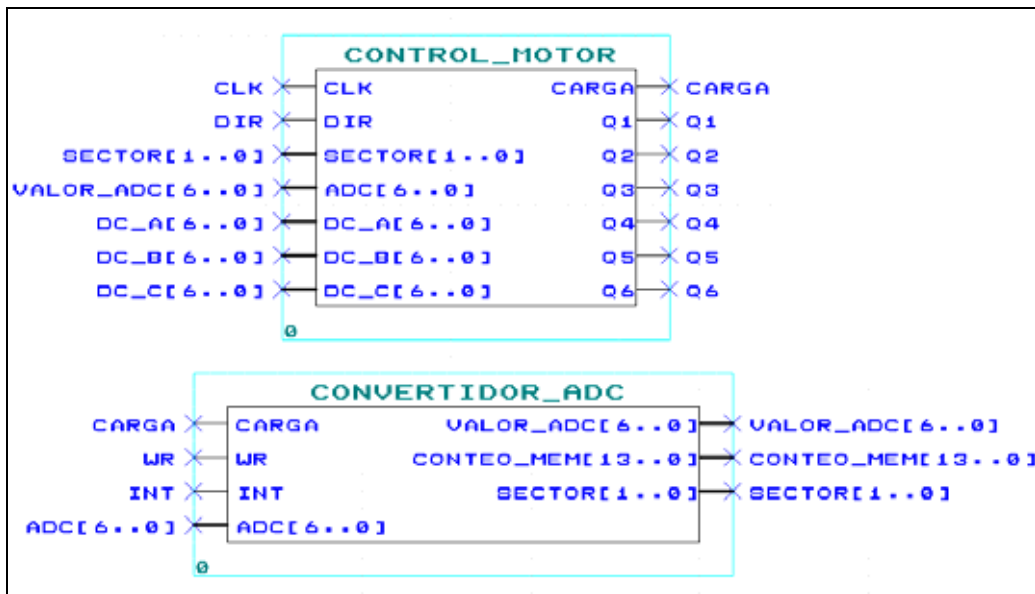


Figura 3.9. Entidades del FPGA y CPLD, descritas como parte del sistema digital. Entradas (izquierda) y salidas (derecha).

Las señales obtenidas del patrón SVM se muestran en la figura 3.10. La señal del canal 2 son los anchos de pulso que conforman la señal de PWM. El canal 1 corresponde a la misma señal del canal 2, pero esta procesada por un filtro “paso-bajas”. El filtro se usa por razones demostrativas con una frecuencia de corte de:

$$f_c = \frac{1}{2\pi RC} = \frac{1}{2\pi(8200\Omega)(0.1\mu F)} = 195\text{Hz}$$

La razón de aplicar el filtro es para poder observar los patrones SVM, al retirar las componentes de alta frecuencia, dejando únicamente las sinusoides con armónicos de baja frecuencia de 60 Hz y menores, el valor seleccionado de f_c es por la respuesta del filtro.

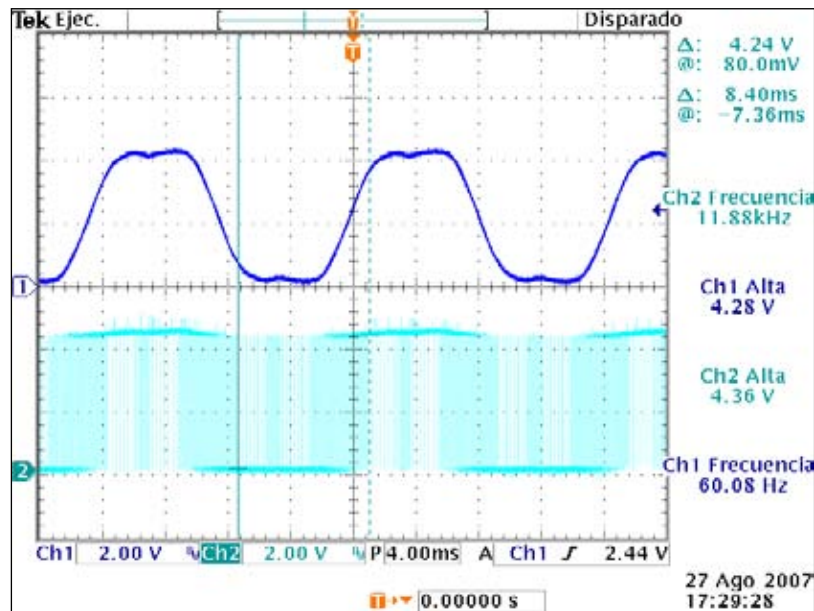


Figura 3.10. Oscilograma de la modulación SVM en una de las salidas (Q1) del FPGA.

3.1.3. Implementación del rectificador

Como se planteó anteriormente, el motor opera con un voltaje pico de 310 V, que es suministrado por un puente completo rectificador trifásico, constituyendo la fuente de alto voltaje del sistema de potencia que alimenta al inversor y estableciendo un control por voltaje. Se implementó con diodos, pudo emplearse también un rectificador activo con IGBT's, pero al utilizar diodos se torna más económico el sistema, dado que es unidireccional el flujo de la potencia, manteniendo menores pérdidas y menor contaminación armónica en altas frecuencias, comparado con uno activo [18]. El factor de potencia unitario es posible en ambas configuraciones, y en el caso del rectificador activo, las variaciones de voltaje son mayores conforme se regula el voltaje de C.D., en tanto que la configuración con diodos demanda más corriente de la red eléctrica trifásica [4].

Existen en el mercado arreglos o módulos trifásicos de diodos de potencia, el utilizado es el DF30AA120 de SANREX, con una capacidad de 1200 V y 30 A; si bien sus parámetros están por encima de los necesarios, su costo es bajo y equivalente a uno de menores capacidades, de fácil instalación al ser un módulo y no requerir circuito impreso adicional.

La simulación del puente completo se da a continuación, con el diagrama de la figura 3.11.

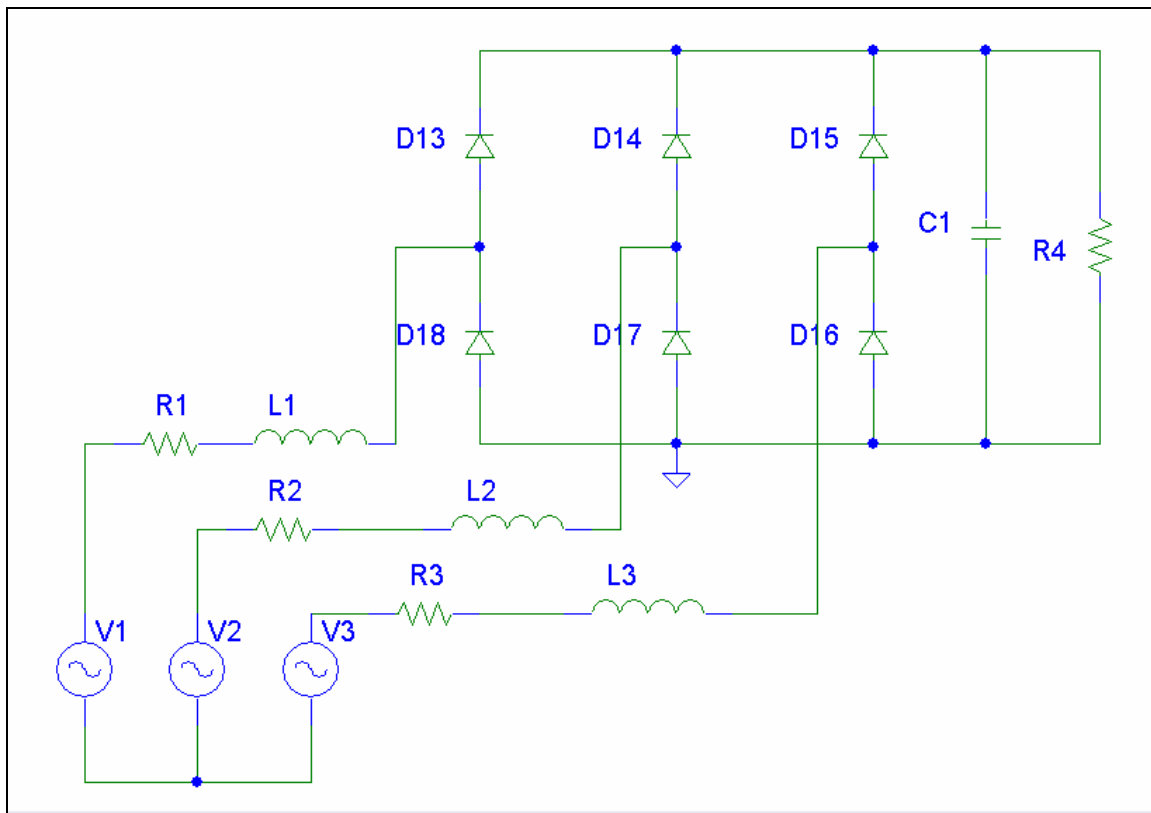


Figura 3.11. Circuito para la simulación del rectificador trifásico en PSPICE.

En la figura 3.11, R4 representa una impedancia de carga que consume 6 A en relación con el motor (aunque no pudo ser parametrizado por no contar con el equipo necesario), es el valor pico aproximado de la corriente de arranque que se tomó de los datos del fabricante.

La impedancia de la línea (R1, R2 y R3) se asume aproximada al tipo de cable que posee (0.1Ω por 25 m), y las inductancias (L1, L2 y L3) se acoplan a la línea para atenuar los transitorios de corriente sobre el bus de C.D. (capacitores) y sobre los diodos; los resultados se muestran en las figuras 3.12 y 3.13.

No se aplicó snubber alguno sobre los diodos, al estar operando por debajo de los límites máximos marcados por el fabricante y no observarse picos excesivos de corriente.

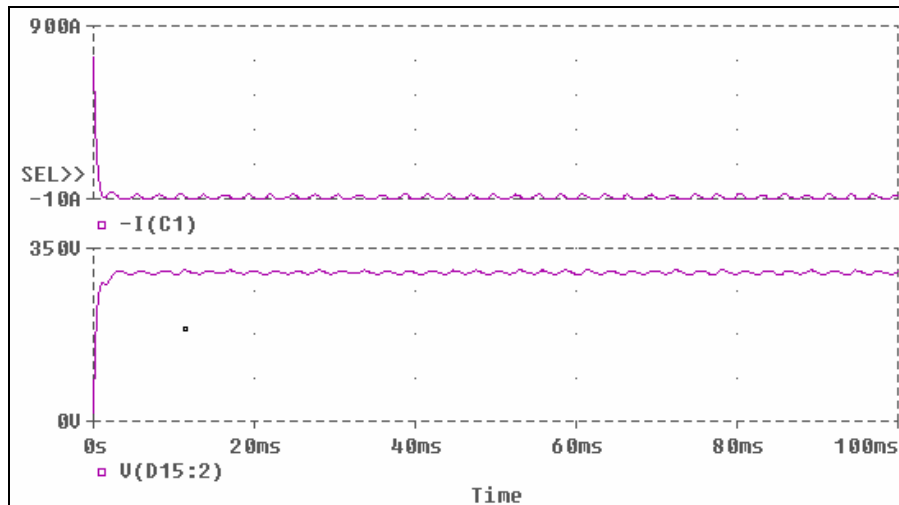


Figura 3.12. Corriente (arriba) y voltaje (abajo) a través del capacitor. Sin inductores de entrada en cada fase.

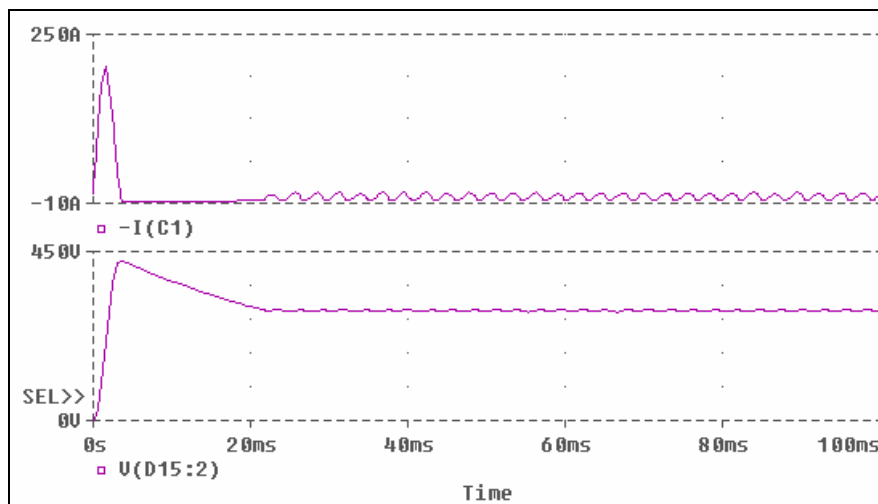


Figura 3.13. Corriente (arriba) y voltaje (abajo) a través del capacitor. Con inductores de entrada en cada fase.

El transitorio de corriente y de voltaje es provocado por ser un sistema no controlado (lazo abierto) y sin posibilidad de ajustar la conmutación en los diodos. En el primer caso, cuando no se emplean inductores, el transitorio de corriente puede dañar algunos componentes del sistema como los diodos (corriente máxima de recuperación en directa, $I_{FSM} = 270 \text{ A}$ [12]) y los IGBT's, además del propio bus de capacitores.

Por otra parte al agregar los inductores (1 mH), es posible reducir este transitorio de corriente, aumentando el voltaje (sobrevoltaje de la figura 3.13), el cual no puede sobrepasar los 450 V, que es el límite de los capacitores con que se cuenta. El tamaño de los capacitores es relativamente pequeño ($3 \times 330 \mu\text{F} = 990 \mu\text{F}$) para evitar crear más picos de corriente en la conmutación que experimentan los IGBT's. Este valor basta para tener un rizo de voltaje pequeño de hasta 8.4 V (ver anexo 1).

El resultado es que la corriente a través de los diodos se mantiene en un valor aceptable (figura 3.14).

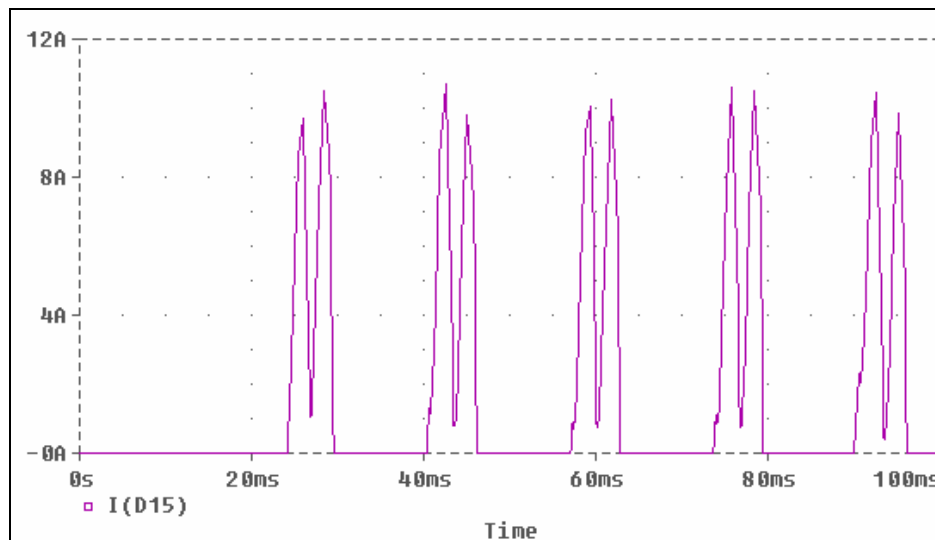


Figura 3.14. Corriente pulsante a través de uno de los diodos del puente.

Otro fenómeno que ocurre al agregar los inductores, es la existencia de una pequeña pérdida de voltaje de alrededor de 6 V, la cual impacta directamente en la magnetización del núcleo del motor. Este puede ser un problema si los inductores empleados son grandes (mayores a 3 mH), pues la disminución de voltaje es mayor.

Finalmente los oscilogramas de la respuesta de rectificador se muestran en el capítulo de pruebas, corroborando los planteamientos anteriores; en las simulaciones los valores de algunos transitorios resultan ser mayores, por haber considerado el peor caso, carga resistiva pura y corrientes pico de operación en el motor.

3.1.4. Implementación del inversor

Como se mencionó en capítulos anteriores las señales trifásicas que se rectifican entregan un voltaje pico de $310 V_{CD}$, en la práctica serán de alrededor de $300 V$, dado que el voltaje en la red eléctrica es de $208 V_{rms}$ solamente. Este voltaje basta para accionar el motor hasta su velocidad nominal, donde el inversor generará un nuevo patrón de ondas trifásicas senoidales desfasadas 120° (con la modulación SVM), independiente del sistema trifásico o red eléctrica que alimenta al rectificador.

Para poder implementar el sistema descrito utilizaremos tecnología IGBT, pues como se aclaró en la introducción es la más óptima para el diseño de convertidores de potencia media.

Un aspecto importante que nos proporcionan algunos fabricantes de semiconductores de potencia como son IR, POWERHEX, TOSHIBA, MITSUBISHI, MOTOROLA, entre otros, es que en los encapsulados de sus distintos modelos de IGBT's ya viene integrado el diodo antiparalelo, con lo que el diseño se torna más compacto, al tener solo seis dispositivos en la placa fenólica del circuito impreso, reduciendo su tamaño y minimizando el uso de líneas de ruteo, que pudieran en determinado momento provocar interferencias electromagnéticas a otros elementos del mismo sistema o a otro que interactúe con él.

Los IGBT's deben tolerar al menos $310 V_{CE}$ (voltaje del rectificador); los fabricantes han estandarizado voltajes de operación de sus dispositivos en distintas series que pueden ser de 600, 1200, 2000, etc.; y corrientes desde 10 A, hasta cientos de ellas.

El modelo que se eligió para este diseño es marca IR (Internacional Rectifier) con número de serie IRG4PC40UD, toleran hasta $600 V$ entre colector y emisor, y una corriente continua de colector (I_C a $25^\circ C$) de 40 A. El diodo que traen incorporado es del tipo "ultrafast-soft recovery", ambos en el encapsulado tipo TO-247AC, que es capaz de disipar $160 W$ a $25^\circ C$ [9].

Existen además módulos de IGBT's donde se agrupan dos, cuatro o los seis dispositivos, siendo reservados para valores de corriente superiores a los 50 A.

Su inconveniente es que si uno se quema o daña, el modulo debe ser desechado. A su favor se puede decir que no requieren de un circuito impreso para su colocación, como en el caso del puente rectificador de diodos, pero la distancia de los cables entre el driver y los módulos plantea otro problema en la transmisión de las señales de control del sistema digital.

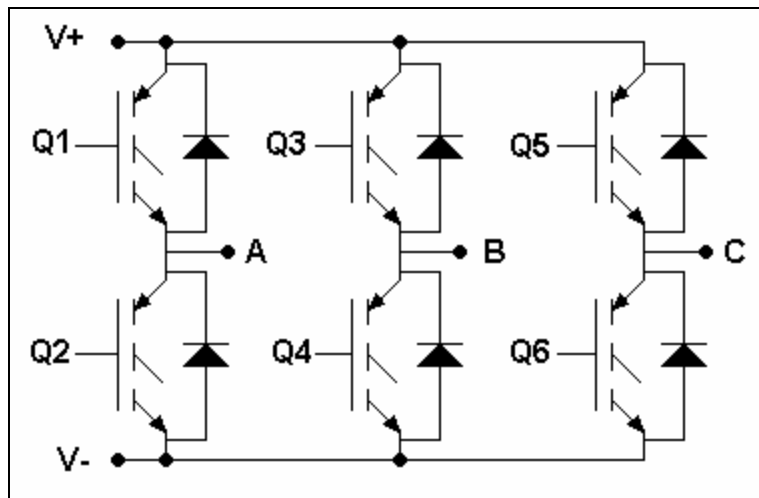


Figura 3.15. Puente completo trifásico para el inversor con IGBT's y diodos antiparalelos.

Si observamos nuevamente la figura 3.9, en la entidad control_motor (FPGA), podemos observar que existen seis salidas: Q1 a Q6, que corresponden a cada uno de los seis IGBT's del puente da la figura 3.15.

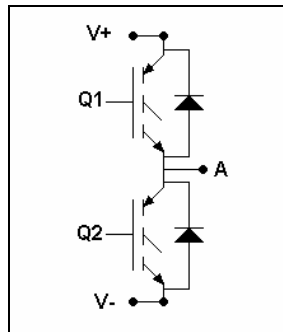
Cuando se establecieron las combinaciones válidas para un puente trifásico (SVM), se mencionó que solo son necesarias tres señales para cada una de las tres fases, que corresponden a los IGBT's de la parte superior del puente (Q1, Q3, Q5), los de la parte inferior (Q2, Q4, Q6) corresponden al complemento de los anteriores o comúnmente denominadas señales negadas. Se sabe que existen pérdidas por conmutación en el encendido y apagado de cada IGBT, y que ambos procesos no son ideales, es decir requieren de cierto tiempo para pasar del encendido al apagado y viceversa. En el IGBT que emplearemos sus valores son:

$$t_{ON} = 57ns$$

$$t_{OFF} = 200ns$$

Claramente el apagado es bastante más lento que el encendido, producto de la “corriente de cola” que presenta el IGBT, esta corriente tiene su origen en un capacitor parásito entre colector y gate, que evita que la descarga sea más rápida y es generado por la interacción del MOSFET y del BJT que constituyen la estructura del IGBT.

Para el análisis de las pérdidas por conmutación consideraremos medio puente únicamente:



La situación es la siguiente: el transistor Q1 está encendido y se apagará “idealmente” a la vez que el transistor Q2 se encenderá, ya que ambos no pueden conducir simultáneamente, pues generarían un corto circuito en el bus de C.D.

Para evitar dicho corto circuito, se emplea el denominado “tiempo muerto”, que consiste en aplicar un retardo en el encendido y luego corregirlo en el apagado de cada uno de los dos IGBT’s, simultáneamente. El diagrama de la temporización se muestra en la figura 3.16.

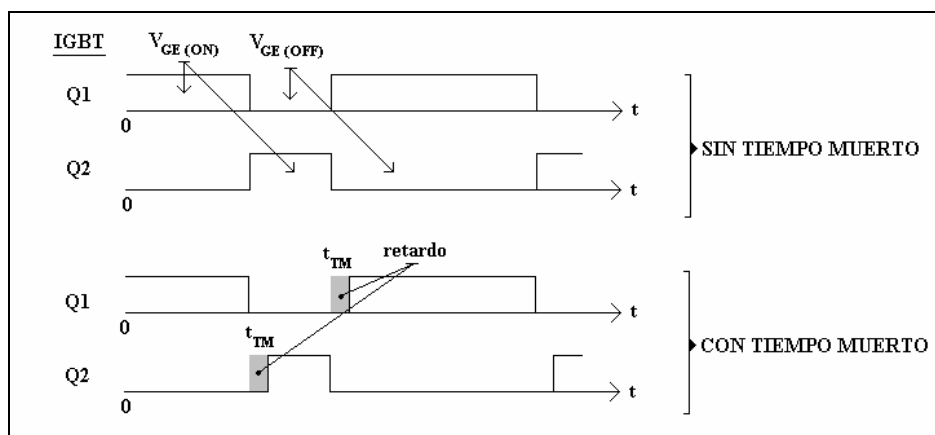


Figura 3.16. Aplicación del tiempo muerto [1].

El valor del tiempo muerto debe ser algo mayor a la suma del tiempo de encendido más el de apagado ($t_{\text{tot}} = 257 \text{ ns}$). En el FPGA el reloj empleado es de 3 MHz, con lo que el periodo de 333.33 ns, que es mayor al tiempo total, y es un valor razonablemente adecuado para emplear como tiempo muerto en una apropiada conmutación.

El sistema digital del tiempo muerto corresponde al de la figura 3.17 [17].

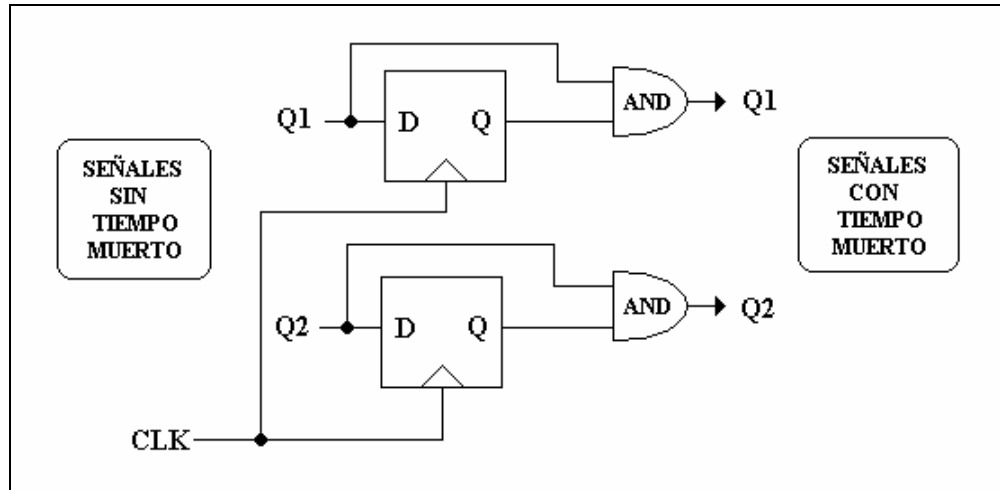


Figura 3.17. Subsistema digital que genera el tiempo muerto del PWM.

En la simulación del sistema de tiempo muerto generado (figura 3.18), éste tiene el valor de un pulso de reloj entre las salidas Q3 y Q4. La salida Q3 se mantiene en '0', mientras **CONT_REF** (diente de sierra) sea menor o igual que **DC_A** (tiempo en bajo).

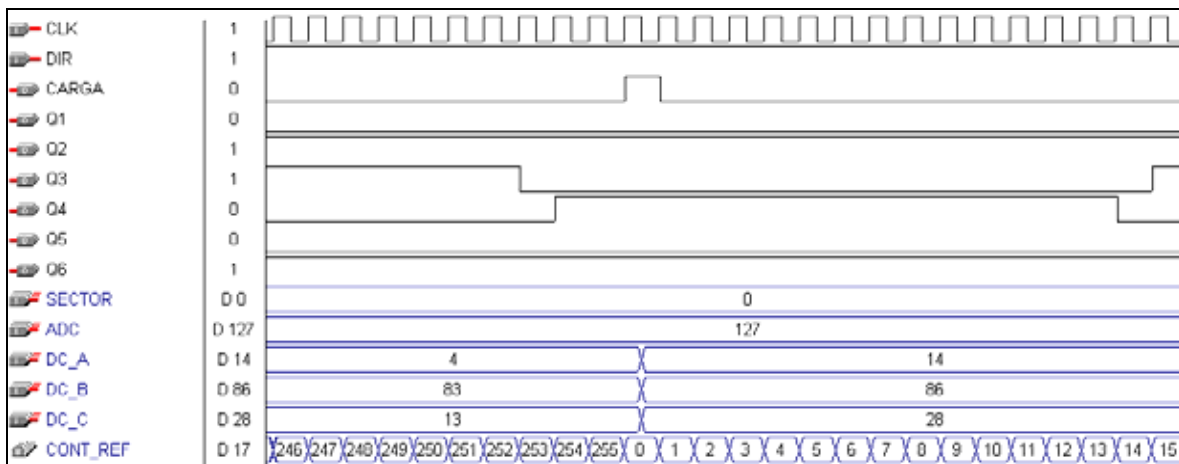


Figura 3.18. Tiempo muerto implementado en el FPGA (MAX+PLUS II).

Código en VHDL que representa el sistema de tiempo muerto antes descrito:

--TIEMPO MUERTO CON UN PULSO DE RELOJ DE 333 ns.

PROCESS(CLK)

BEGIN

IF CLK'EVENT AND CLK = '1' THEN

D1 <= PWM_1;

D2 <= NOT_PWM_1;

D3 <= PWM_2;

D4 <= NOT_PWM_2;

D5 <= PWM_3;

D6 <= NOT_PWM_3;

END IF;

END PROCESS;

--LA INCLUSIÓN DE ADC ES PARA MANTENER ESTABLE LA SALIDA CUANDO LA

--VELOCIDAD DE REFERENCIA ES CERO, ES AJENA AL SUBSISTEMA GENERADOR DE TIEMPO

--MUERTO.

PROCESS(VALOR_ADC)

BEGIN

IF VALOR_ADC = 0 THEN

Q1 <= '0';

Q2 <= '1';

Q3 <= '0';

Q4 <= '1';

Q5 <= '0';

Q6 <= '1';

ELSE

Q1 <= (PWM_1 AND D1);

Q2 <= (NOT_PWM_1 AND D2);

Q3 <= (PWM_2 AND D3);

Q4 <= (NOT_PWM_2 AND D4);

Q5 <= (PWM_3 AND D5);

Q6 <= (NOT_PWM_3 AND D6);

END IF;

END PROCESS;

El tiempo muerto no elimina las pérdidas por conmutación, aumentarlo no reduce las pérdidas, son constantes; pero es necesario para la conmutación adecuada de cada transistor del puente. Un aspecto negativo es que este tiempo, por pequeño que sea, provoca distorsión en las formas de onda, no apreciable en las señales moduladas a pulsos, pero sí en las señales de corriente de cada una de las fases. El efecto se incrementa cuanto mayor es el par de carga requerido. Las pérdidas por conmutación son inherentes al dispositivo semiconductor de potencia (IGBT en este caso), la simulación de éstas a través de PSPICE, se harán utilizando los tres tipos de diodos de potencia (Standard, Ultrfast y Soft recovery), como diodos antiparalelos del medio puente (Q1, Q2, D1, D2).

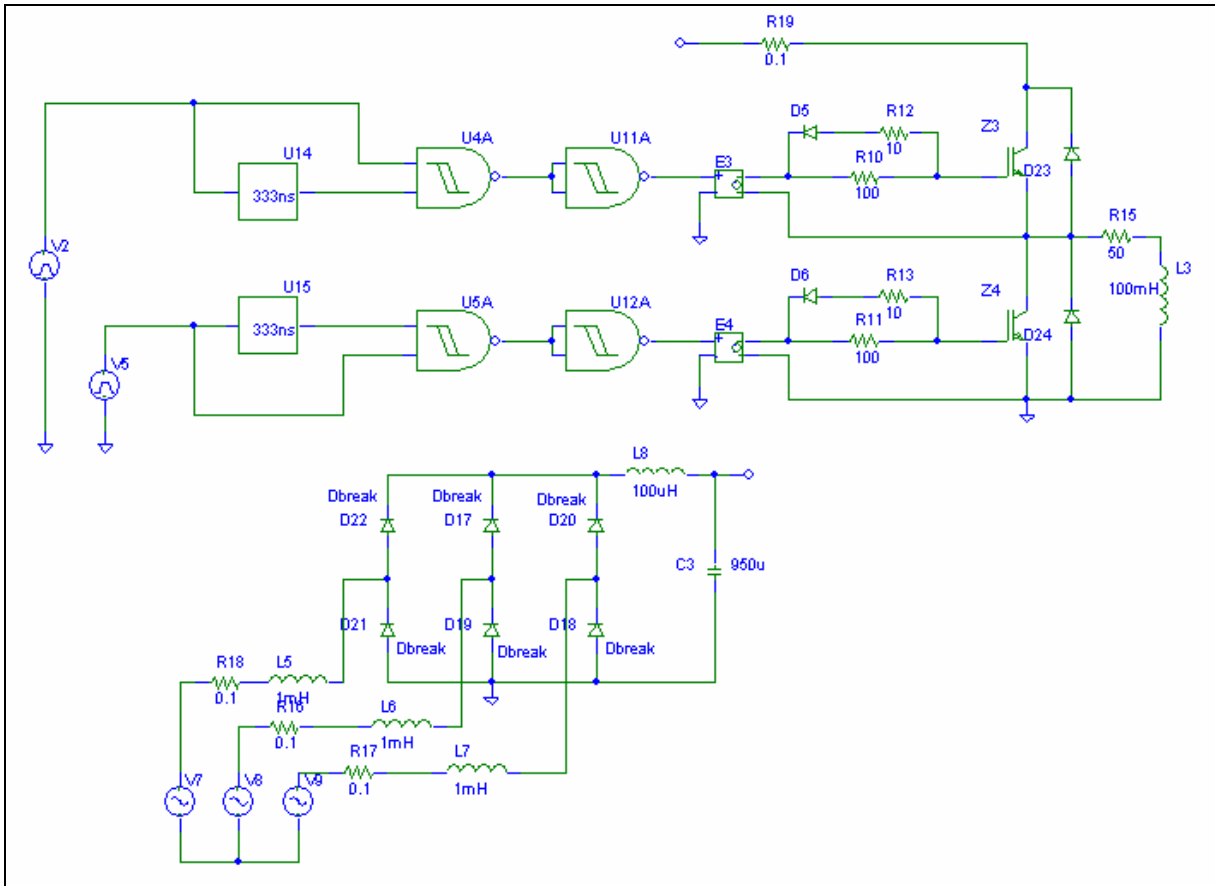


Figura 3.19. Esquema para la simulación de las pérdidas por conmutación utilizando medio puente y 333 ns de tiempo muerto.

Del diagrama de la figura 3.19, las acotaciones principales son: el caso del driver que será simulado con una fuente de voltaje controlada por voltaje y el tiempo muerto a través de un retardo. En el caso del arreglo de resistencias y diodos al gate de cada IGBT, corresponde a una configuración que permite controlar el encendido y el apagado: las resistencias que van directamente al gate (R10 y R11), son las denominadas de encendido, su valor es relativamente grande de 100Ω para poder tener un encendido lento y los diodos D5 y D6, se mantienen en inversa y se encuentran en circuito abierto; en tanto que en el apagado el flujo de corriente cambia del gate hacia la fuente a través de la resistencia de menor valor (R12 y R13), que es de 10Ω , haciendo que ambos diodos provean una muy baja impedancia, retornando la energía; este arreglo constituye parte del denominado driver. En la figura 3.20 se muestra este proceso.

Las impedancias de los cables de la fuente trifásica y del bus de C.D. se consideraron también de 0.1Ω , dado el calibre del cable # 10 AWG.

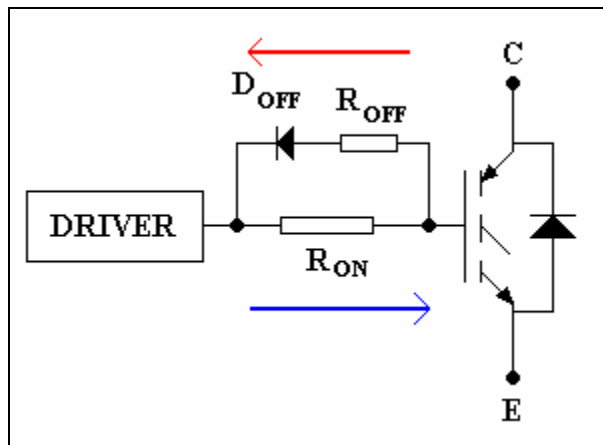


Figura 3.20. Arreglo de salida del driver para encendido y apagado óptimos en el IGBT.

Los resultados de las conmutaciones durante el encendido y apagado del medio puente se muestran en las figuras 3.21, 3.22 y 3.23, con un ciclo de trabajo del 73%. La carga esta aproximada a una de las fases del motor; nuevamente, aunque no se parametrizó el motor, el valor es extraído de las hojas de datos del fabricante (BALDOR en este caso).

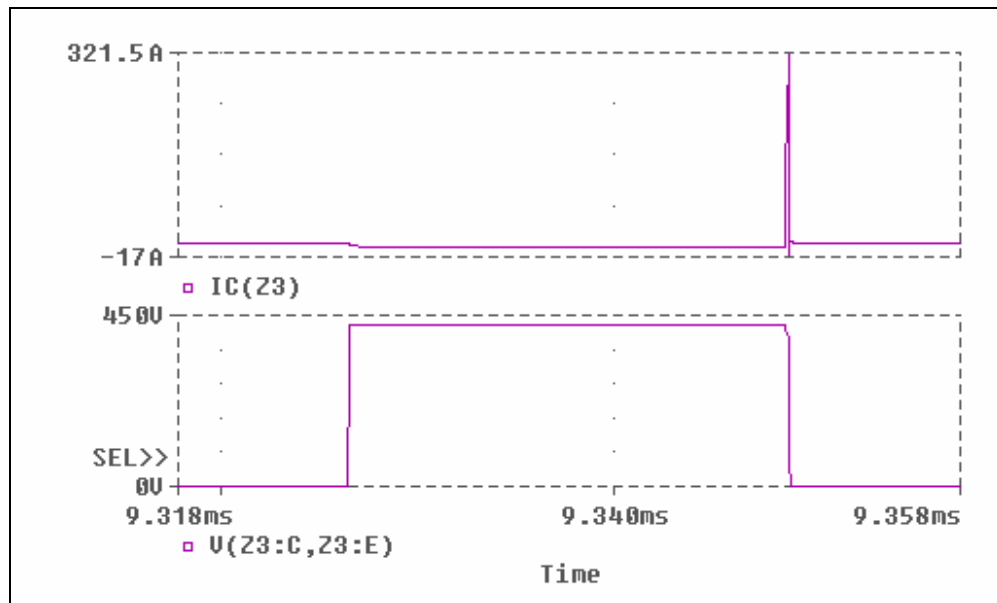


Figura 3.21. Respuesta utilizando diodos antiparalelos: Standard recovery (MR756). Corriente de colector (arriba) y voltaje colector emisor (abajo).

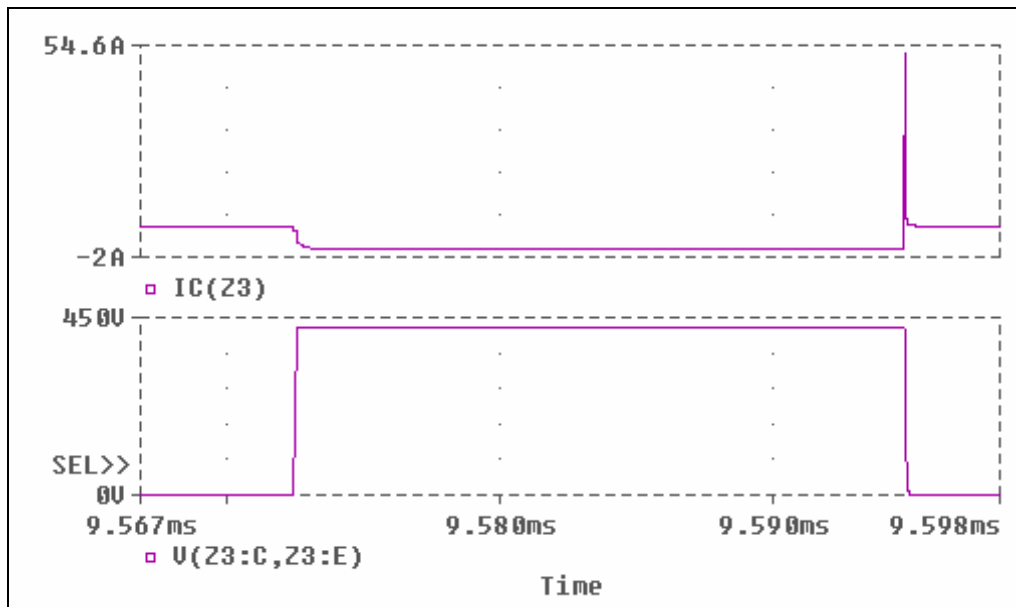


Figura 3.22. Simulación utilizando diodos antiparalelos: Ultrafast (MUR1560). Corriente de colector (arriba) y voltaje colector emisor (abajo).

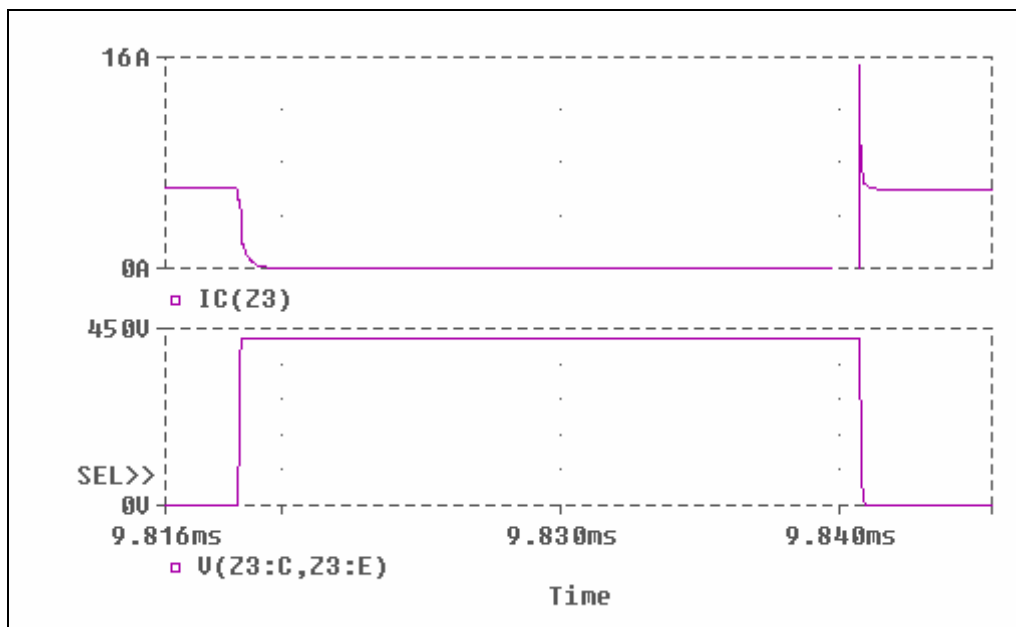


Figura 3.23. Resultado empleando diodos antiparalelos: Ultrafast-Soft recovery (HFA25TB60). Corriente de colector (arriba) y voltaje colector emisor (abajo).

El proceso de las simulaciones no es exactamente lo que ocurre en realidad, pero nos da una idea general de la conmutación del IGBT.

Las imágenes anteriores son referidas al IGBT de la parte alta (Z3) y su diodo antiparalelo (D23): de izquierda a derecha primero ocurre el apagado, presencia de voltaje entre las terminales del IGBT y ausencia de corriente, donde no se aprecia algún pico en la corriente, en forma de sobrepaso; éste suele durar mucho menos de 1 μ s.

En el caso del encendido (a la derecha de las imágenes), existe conducción de corriente y ausencia de voltaje, y sí existe sobrepaso muy abrupto por la recuperación standard del diodo (figura 3.21), porque la velocidad de apagado del diodo respecto de la frecuencia con que se está conmutando el IGBT, que es de 11.7 kHz (85.3 μ s); es mucho más lenta, provocando que la carga almacenada en el diodo se mantenga aun cuando el IGBT ya haya cambiado de estado. Transformándose en el pico de corriente y por consiguiente en energía disipada, que constituye una pérdida de potencia importante.

Esta pérdida por conmutación es la más importante en el caso del IGBT, la cual debe ser minimizada en cualquier caso.

Luego con el diodo ultrafast (figura 3.22), su repuesta es mucho más rápida y el transitorio es disminuido considerablemente, aunque sigue siendo perjudicial para el sistema por tener un valor superior a los límites marcados por el fabricante.

Finalmente el tercer caso con ultrafast-soft (figura 3.23), donde el pico de corriente es algo más del doble de la que entrega hacia la carga, pero es prácticamente tolerable para la condición límite de ambos dispositivos: IGBT y diodo antiparalelo.

Para complementar lo anterior las figuras 3.24, 3.25 y 3.26, representan la potencia instantánea y la potencia promedio, disipada por el IGBT; para cada uno de los tres tipos de diodos.

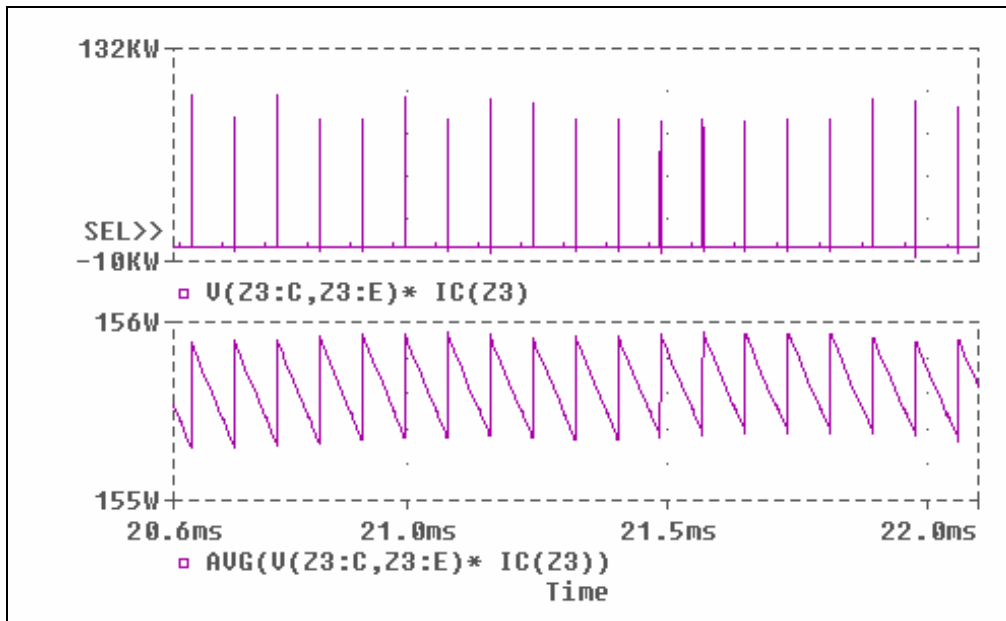


Figura 3.24. Potencia disipada por el IGBT (Z3), con diodo standard. Pico (arriba) y promedio (abajo).

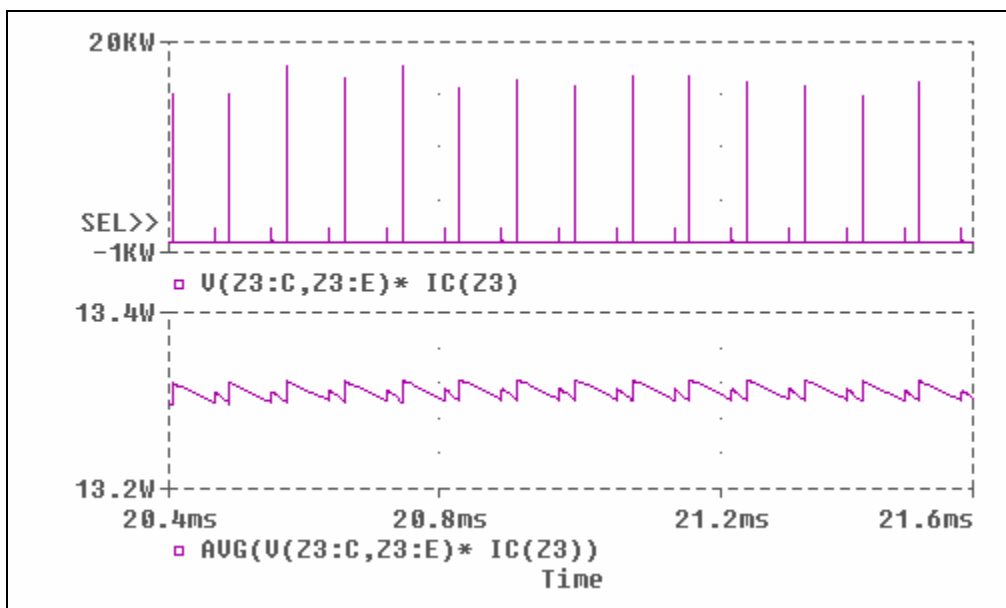


Figura 3.25. Potencia disipada por el IGBT (Z3), con diodo ultrafast. Pico (arriba) y promedio (abajo).

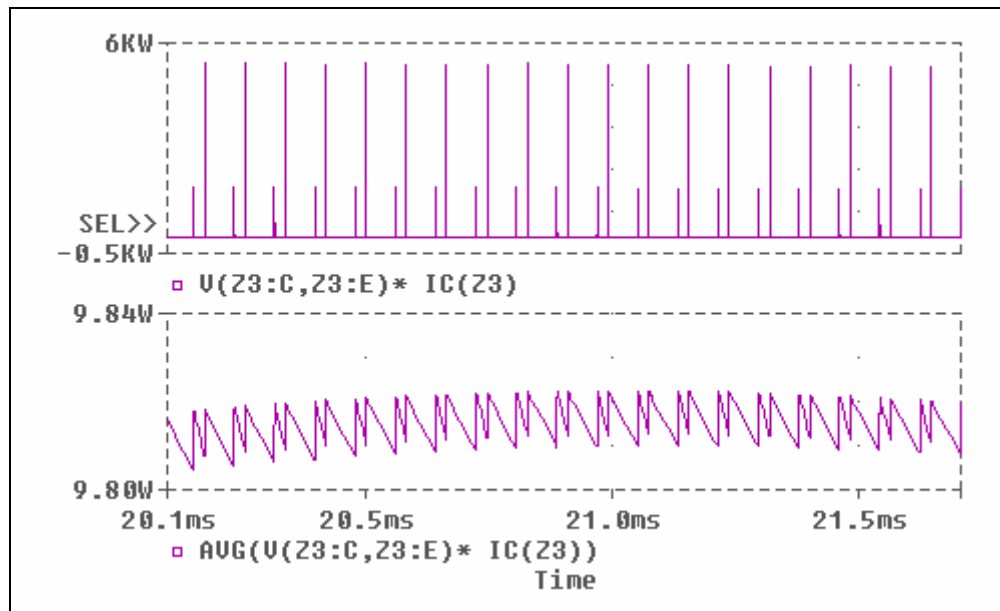


Figura 3.26. Potencia disipada por el IGBT (Z3), con diodo ultrafast-soft. Pico (arriba) y promedio (abajo).

Como es notable, la potencia disminuye considerablemente al tomar el promedio, su cálculo equivale al área que se forma al traslapar la corriente y el voltaje de las figuras 3.21, 3.22 y 3.23; en otras palabras: el producto punto a punto de ambas señales y entre el periodo de conmutación ($T_{PWM} = 1/F_{PWM}$).

Si bien cualquiera de las potencias anteriores puede ser tolerada por el IGBT, pues su potencia máxima de disipación en promedio es de 160 W (por el tipo de encapsulado); la mejor respuesta es sin duda el uso del diodo soft recovery, y muy cercana es también la del diodo ultrafast, con una potencia de pérdidas pequeña, que sin embargo mantiene un pico de corriente bastante importante (54 A), el cual tendría necesariamente que ser removido parcialmente por una red snubber. El uso de una red snubber tendría la ventaja de desviar parte de esta potencia, pero seguiría perdiéndose la energía al ser disipada en forma de calor a través de una resistencia, a menos que se empleara un snubber activo (no disipativo), proceso que anexaría más elementos al sistema, incluido el uso de un transformador y otros IGBT's o MOSFET's. La potencia promedio es de tan solo 10 W como máximo, si se usa el tipo ultasoft-soft recovery, es por ello que se eligieron los IGBT's IRG4PC40UD, por ser los que compensan mejor estas pérdidas.

Para establecer cuando un IGBT opera sin riesgo de sufrir daños cuando se apaga, existe la denominada SOA (Safe Operating Area), que consiste en la relación que guarda la corriente de colector con el voltaje colector-emisor aplicado. En la figura 3.27 se tiene una gráfica logarítmica de valores límite proporcionada por el fabricante, donde se marcó el punto en rojo, indicando el punto de operación de cada IGBT del inversor, y pertenece al área segura.

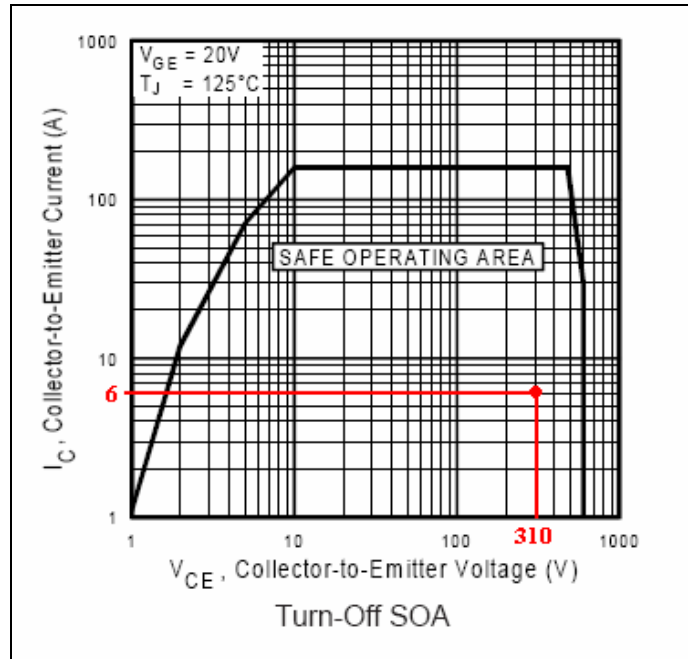


Figura 3.27. Región SOA que indica la operación segura de los IGBT's.

Una práctica aconsejable por distintos autores y diseñadores de sistemas de potencia [1], [2] y [5], es que a pesar de tener el capacitor del bus de C.D., es necesario colocar capacitores de "Bypass" (de desacople), acoplados cerca de cada medio puente del inversor (figura 3.28).

La necesidad de ellos es porque el bus de C.D donde están los capacitores de filtrado no suele estar en la misma tarjeta del inversor; la conexión de los cables provoca inductancias parásitas debido al alto voltaje y corriente proporcional, similar a lo que ocurre en una línea de transmisión, pero a muy pequeña escala (figura 3.29).

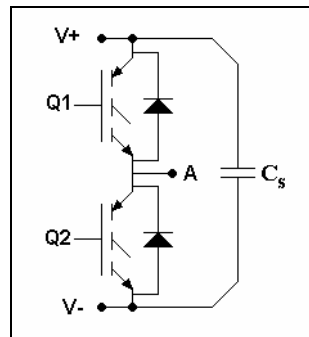


Figura 3.28. Capacitores de paso que se acoplan cerca de cada medio puente.

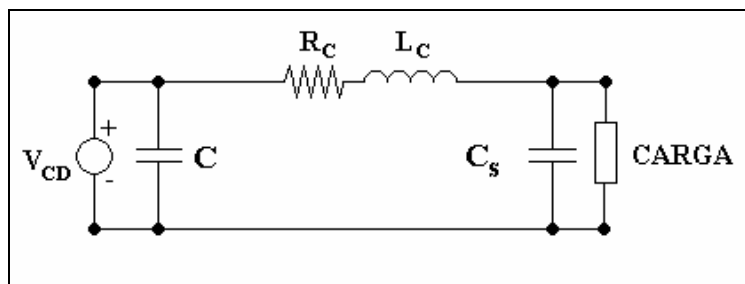


Figura 3.29. Esquema del efecto del cableado en el bus de C.D. hacia el inversor.

Estos capacitores de paso permiten atenuar los efectos mencionados, que se manifiestan como mayores picos de corriente a los mostrados en las simulaciones anteriores. El valor de dichos capacitores es menor a $1\mu\text{f}$ [2] y [18], y en el diseño se colocaron de $0.22\mu\text{F}$, dando buenos resultados; en general pueden ser considerados como un snubber muy simple.

Los capacitores de Bypass más apropiados son los de polipropileno metalizado como dieléctrico, este material soporta grandes corrientes además de tener un bajo coeficiente de pérdidas [1].

Por último para poder acondicionar las señales de PWM del FPGA al gate de cada IGBT, se requiere de un ya denominado driver, que será explicado a continuación.

3.1.5. Implementación del driver

Como se ha planteado anteriormente, las señales que entregan los circuitos digitales no son suficientes en magnitud de corriente ni de voltaje para conmutar un transistor de potencia (IGBT por ejemplo); usualmente un circuito digital entrega a lo sumo unas decenas de microampers, en tanto que para controlar un IGBT, es necesario de 25 a 200 mA a través de su compuerta por unos instantes de tiempo [9].

Además el voltaje típico entre gate y emisor debe ser de entre 10 y 18 V (usualmente se emplean 12 o 15 V, para una mejor respuesta), en tanto que los sistemas digitales modernos entregan solo valores como: 1.5, 3.3 ó 5 V.

De lo anterior es común encontrar en distintas fuentes: [1], [2] y [5], los requerimientos básicos que debe cumplir un driver:

- 1.- Amplitud de voltaje adecuada (10-18 V).
- 2.- Baja resistencia de la fuente, para una rápida carga (encendido) y descarga (apagado) de la capacitancia del gate (similar al MOSFET).
- 3.- Los IGBT's de la parte alta del puente operan de forma flotada para poder ser conmutados.
- 4.- Bajas pérdidas de potencia internas a frecuencias y offsets de voltaje altos.
- 5.- Aceptar como referencia la tierra digital para establecer las señales PWM digitales.
- 6.- Tener una función que inhiba la salida de pulsos hacia los IGBT's, en caso de existir un corto circuito o falla similar.
- 7.- Mantener estas mismas salidas en bajo, en caso de que las señales de entrada se pierdan o sean desconectadas.

Las últimas dos son referencia del fabricante IR, el cual desarrolló el IR2110 y algunos otros de la misma familia. La versatilidad de este sistema es que en un sólo circuito integrado es posible tener las funciones anteriores. La operación de este circuito podrá parecer compleja pero en esencia es simple, empleando bootstrap y bomba de corriente hacen que funcione, ambos métodos están en la tabla no. 2, así como otros que presentan ventajas y desventajas.

MÉTODO	VENTAJAS	DESVENTAJAS
Fuente flotada	1.- Control por periodos de tiempo indefinido. 2.- El cambiador de nivel debe conmutar rápido y tener bajos retardos de propagación, con baja disipación de potencia.	1.- Requiere de optoaisladores, los cuales poseen poco ancho de banda, sensibles a ruido y son algo costosos.
Transformador de pulso	1.- Es sencillo y tiene un costo medio.	1.- Operación a distintos ciclos de trabajo requiere de técnicas más complejas. 2.- El tamaño y las pérdidas en el transformador aumenta conforme la frecuencia es incrementada.
Bomba de corriente	1.- Puede generar un rango de voltajes, controlados por el cambiador de nivel.	1.- Los tiempos de encendido tienden a ser muy largos, lo que dificulta las conmutaciones. 2.- El gate no puede ser mantenido en estado de encendido por tiempo indefinido. 3.- Emplea un multiplicador de voltaje, que si no es eficiente requiere una bomba adicional (agregar otro estado).
Bootstrap	1.- Simple y barato, similar al uso del transformador de pulso	1.- Requieren de la recarga del capacitor de Bootstrap en cada pulso. 2.- Si el capacitor es cargado a través de un rango de voltaje grande, existe una importante disipación de potencia.
Por portadora	1.- Proporciona un control por periodos indefinidos de tiempo.	1.- Limites en el desempeño de la conmutación y alto costo.

Tabla no. 2. Información extraída de IR: AN-978. La tabla completa se incluye en el anexo 3.

Aspectos aclaratorios de términos son: “cambiador de nivel”, es aquel que establece los límites de voltaje acorde a como opera un circuito digital, por ejemplo se asume que voltajes menores 0.8 V son un “cero” lógico y voltajes mayores a 2 V son considerados “uno” lógico, para el caso de niveles TTL, en la entrada. Lo anterior se extrapola para un voltaje de 15 V típicamente.

El diagrama interno del IR2110 se muestra en la figura 3.30, y la configuración de los elementos externos conectados a los IGBT's de un medio puente se muestra más adelante en la figura 3.32.

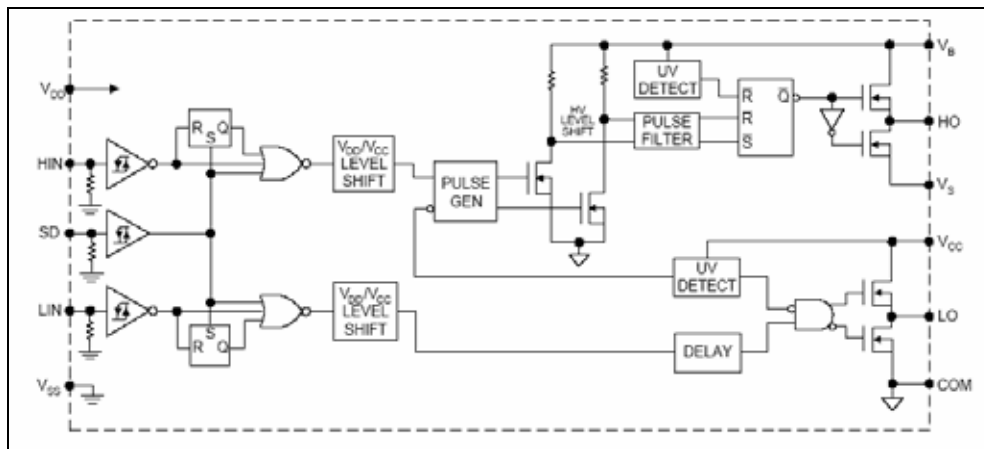


Figura 3.30. Bloque y componentes internos del driver IR2110.

Como acotación adicional, es importante indicar que se requiere de una fuente flotada, la cual su referencia de menor potencial es dinámica y depende de la configuración del circuito al que este conectado. En un medio puente, ocurre que los IGBT's de la parte superior no están referidos a tierra, pero las señales digitales que los controlan si. Para ello es necesario elaborar una configuración como la de la figura 3.31 o similar.

El proceso completo consiste en que inicialmente el diodo de bootstrap está en inversa y C_{BOOT} se encuentra descargado (figura 3.31 en rojo). Para cargar C_{BOOT} es necesario encender SW2, lo que provoca que el punto V_S (punto conexión de la fase A) se conecte a la referencia V- (tierra de potencia en este diseño), induciendo la conducción del diodo (figura 3.31 en verde). Luego el capacitor C_{BOOT} se carga (figura 3.31 en azul). Ahora puede comenzar la conmutación secuencial, es decir, se enciende SW1 (figura 3.31 en magenta) y mantiene la condición de carga en el gate en tanto C_{BOOT} se mantenga cargado; una vez que SW1 se apague regresamos al inicio del proceso descrito.

La operación anterior también es posible gracias a que los dos SW no conducen a la vez, lo que además provocaría el corto circuito en el bus de C.D.

Como se mencionó antes el sistema bootstrap opera a través de la bomba de corriente que debe mantener cargado a C_{BOOT} durante todo un periodo de conmutación; si esto no ocurre y se descarga, el(los) siguiente(s) pulso(s) se pierde(n).

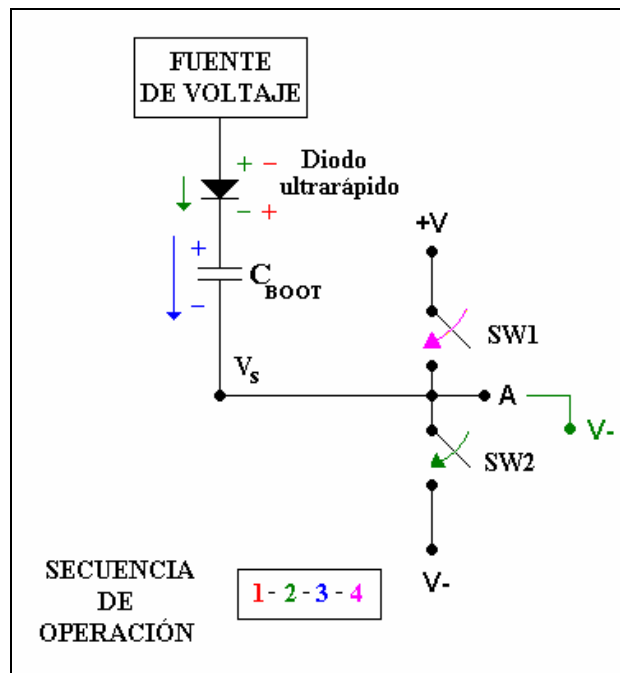


Figura 3.31. Circulación de corriente a través de la fuente flotada para conmutar los IGBT 's en un medio puente (modelados como interruptores).

Para el cálculo de los elementos externos del IR2110, se emplearon las fórmulas contenidas en las notas de aplicación del circuito integrado [9] y las hojas de datos del IRG4PC40UD, que proporciona el fabricante.

Al ser el IGBT un híbrido entre MOSFET y BJT, la parte de control de la compuerta corresponde al MOSFET y la parte del colector y emisor se relacionan más con el BJT; implicaría que sería necesario controlar la carga en la compuerta para encender y apagar el IGBT, similar a como se controla un MOSFET. Dicha carga sería en nuestro caso de un valor de Q_g (REQUERIDA) = 105 nC (hojas de datos IRG4PC40UD), empleando un voltaje gate emisor (V_{GE}) de 15 V.

Las condiciones y datos preliminares para los cálculos subsecuentes se dan a continuación, y entre paréntesis esta el rango entre el cual debe de operar cada parámetro, para un eficiente funcionamiento [9]:

$V_{CC} = 15 \text{ V}$, (-0.3 a 25 V, voltaje de la fuente flotada).

$V_{S0} = -1 \text{ V}$, (mínimo: mayor a 5 por debajo de V- (tierra) y máximo 313 V)

$V_F = 1.05 \approx 1 \text{ V}$, (hoja de datos del diodo de bootstrap: MUR160).

Se debe satisfacer que:

$$C_{BOOT} \gg \frac{2Q_g}{(V_{CC} - 10 - 1.5)}$$

Donde los 10 V corresponden al mínimo requerido para mantener la carga del capacitor y 1.5 V son caídas internas en la carga del circuito. Por tanto:

$$C_{BOOT} \gg \frac{2(105 \times 10^{-9})}{(15 - 10 - 1.5)} \gg 60nF$$

Un valor propuesto es por ejemplo: 0.1 μF , además el voltaje a través de C_{BOOT} es:

$$V_{C(BOOT)} = V_{CC} - V_{S0} - V_F$$

$$V_{C(BOOT)} = 15 - (-1.05) - 1 \approx 15V$$

Dado que deben mantenerse los 10 V de carga en C_{BOOT} , el cambio en el voltaje será:

$$\Delta V = V_{CC} - 10 = 15 - 10 = 5V$$

Siendo la carga disponible, durante este cambio:

$$C = \frac{Q_g}{\Delta V}$$

$$\therefore Q_{g(DISPONIBLE)} = C(\Delta V) = (0.1 \times 10^{-6})(5) = 500nC$$

Claramente, para conmutar el IGBT de la parte alta, la carga disponible es mayor que la requerida. Existe un remanente de carga a través del capacitor de bootstrap ($Q_{g(REMANENTE)} = 500 - 105 = 395 \text{ nC}$), el cual debe alcanzar para mantener un periodo de tiempo. Este periodo debe ser mayor al del encendido del IGBT y es dependiente de la frecuencia de conmutación, así como del ciclo de trabajo, con el fin de poder completar un ciclo de conmutación, a la vez que se mantienen los mismos 10 V para la operación.

Utilizando una interpolación lineal, la ecuación de la pendiente de una recta de magnitud 10 V es:

$$m = \frac{V_{MAX} - V_{CARGA}}{Q_{g(DISPONIBLE)} - Q_{g(REMANENTE)}}$$
$$\therefore V_{CARGA} = V_{MAX} - m(Q_{g(DISPONIBLE)} - Q_{g(REMANENTE)})$$
$$\Rightarrow V_{CARGA} = 15 - 10(0.5 - 0.395) = 13.95V$$

Este es el voltaje a partir del cual comienza a descargarse el capacitor hasta alcanzar los 10 V; es decir, el cambio en el voltaje ahora es de 3.95 V, con una corriente constante $I_{QBS} = 125 \mu\text{A}$ (hojas de datos del IR2110) y de la dinámica del capacitor:

$$I_C = C \frac{dV_C}{dt} \cong C \frac{\Delta V}{\Delta t}$$
$$\therefore \Delta t = \frac{C(\Delta V)}{I}$$
$$\Delta t = \frac{(0.1 \times 10^{-6})(3.95)}{125 \times 10^{-6}} = 3.16ms$$

Finalmente si se empleó un periodo de conmutación de 85 $\mu\text{s.}$, este valor de capacitancia es suficiente para alcanzar una correcta conmutación. En el análisis anterior se desprecia el efecto de tiempo de carga y descarga en el diodo de bootstrap, ya que se trata de un diodo ultrarrápido (50 ns. de tiempo de recuperación).

Acotaciones del fabricante a los cálculos establecidos, son que el circuito interno del IR2110, esta implementado con MOSFET's, los que provocan capacitancias y diodos parásitos en determinadas circunstancias de operación.

En la práctica IR recomienda no utilizar un capacitor de bootstrap menor a $0.47 \mu\text{F}$, debido a que si V_{S0} es reducido a un valor menor de 5 V por debajo de la referencia V- (tierra de potencia en nuestro caso), el capacitor se sobrecargará más allá de 20 V, que es el voltaje límite de operación de los circuitos internos del IR2110, provocando una falla de operación.

La recomendación es que se utilice un capacitor bootstrap de 10 veces el valor propuesto ($0.1 \mu\text{F}$ en este caso), siempre y cuando el valor supuesto cumpla con los requisitos del análisis antes elaborado. El valor a emplear corresponde a $1 \mu\text{F}$.

En el caso del capacitor C_B , también se establece que puede ser de igual valor o al menos 10 veces C_{BOOT} ; es decir, $10 \mu\text{F}$. Se recomienda esto, ya que pueden existir perturbaciones en la conmutación y por tanto C_B actúa como bypass para la fuente.

Como conclusión podemos establecer que el IR2110 operará como el diagrama de la figura 3.32. Los capacitores deben además tolerar el voltaje de 15 V de la fuente flotada y una buena opción es emplearlos de tantalio, los cuales tienen la propiedad de amortiguar perturbaciones que puedan surgir por la conmutación de los IGBT's, debido a su alta resistencia interna.

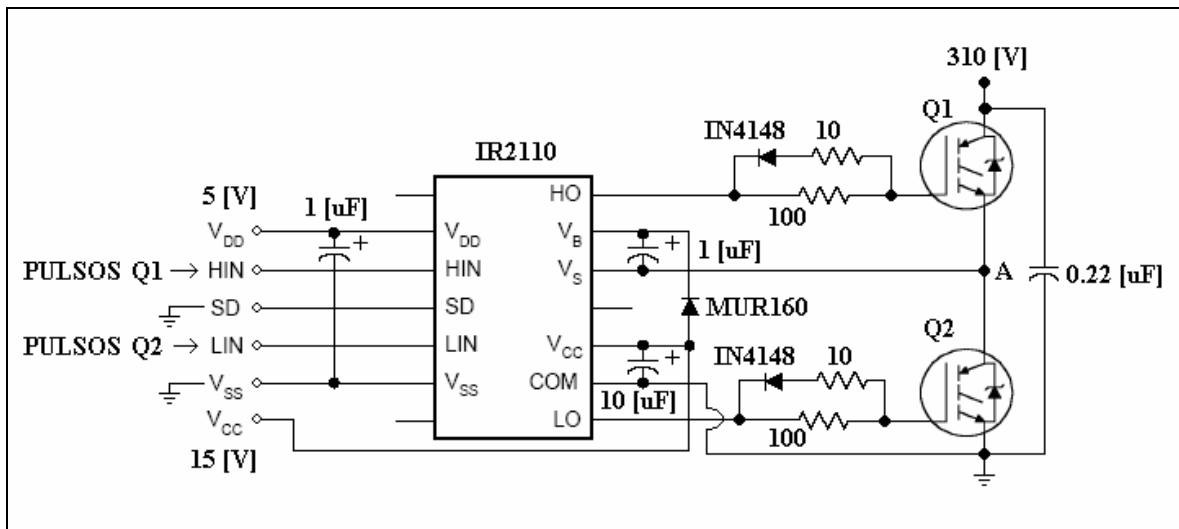


Figura 3.32. Esquema completo del IR2110 acoplado a un medio puente del inversor.

Nada tiene que ver el sistema de resistencias que controlan el gate del IGBT, para establecer los cálculos antes descritos, son componentes adicionales del driver como subsistema que interactúa con el IGBT.

Elaborar un driver con elementos separados sería laborioso, por ello es recomendable emplear este tipo de circuitos ya integrados, que también fabrican MOTOROLA, INTERSIL (ahora HARRIS), MITSUBISHI, NATIONAL SEMICONDUCTORS y MICROCHIP, entre otros. Aclaro que en la experiencia de mis asesores, los más robustos resultan ser los de IR, y en la mía, aún cuando se presenten cortos que incluso dañen al transistor (IGBT o MOSFET), el IR2110 continúa operando, debido a las protecciones internas que posee, que lo liberan de la falla en cuestión. El consumo de corriente de la fuente flotada es de 50 mA, lo cual es mínimo. Se puede concluir que se trata de circuitos muy confiables para aplicaciones en potencia media.

Como parte adicional es aconsejable colocar una barrera de aislamiento, entre la lógica y el driver (IR2110), esta barrera es un optoacoplador. Que tiene la ventaja de tener una respuesta más rápida, en contraparte no es posible emplear los optoacopladores convencionales (o de baja velocidad), es necesaria la operación a alta velocidad, debido a que las señales PWM son anchos de pulso consecutivos; cuando la velocidad de respuesta es menor, los pulsos más delgados (ciclos de trabajo muy pequeños) se pierden a la salida del optoacoplador, esto repercute directamente en la pérdida de la información y la señal que se ve deformada. Las velocidades idóneas deben ser equivalentes o al menos cercanas a las que opera el FPGA, por ejemplo.

Podemos aplicar un optoacoplador de alta velocidad como lo son el 6N137 y el 74OL6000, ambos con retardos de propagación de 50 ns. Se prefiere el 74OL6000 porque su salida es un buffer lógico (schmitt trigger TTL), compatible con la entrada del IR2110: en tanto que el 6N137 necesita un arreglo de resistencias adicionales para limitar la corriente, pues su salida es por transistor. El costo es mayor del 74OL6000, pero simplifica el diseño.

Con esto, está completa la descripción del sistema driver y el sistema de aislamiento que lo compone. Para terminar la implementación solo faltan las fuentes de alimentación que se describen a continuación.

3.1.6. Fuentes de alimentación

Los esquemas para generar las fuentes de alimentación siempre se orientan en dos tendencias:

- Fuentes reguladas lineales.
- Fuentes conmutadas.

El primero es el esquema ampliamente estudiado a lo largo de mi carrera, que consiste en la reducción del voltaje de la línea eléctrica (monofásica), con el empleo de un transformador reductor. Posteriormente el voltaje es rectificado con un puente de diodos (media u onda completa) para ser finalmente filtrado por un capacitor que genera un voltaje de C.D. no regulado.

Ahora el empleo de un regulador fijo o variable como los que existen en el mercado (serie 78XX y LM317, etc.), permite el suministro hacia la carga sin necesidad de ser implementado este sistema regulador.

El segundo tipo corresponde a fuentes del tipo “choppers”, los cuales no son lineales, pero pueden suministrar bastante corriente (varios amperes), en particular la topología que reduce voltaje puede ser implementada, siempre y cuando no se emplee un transformador y se cuente con un bus de C.D. (310 V en este caso) de mayor voltaje al requerido (dropout); se denominada topología “buck” (figura 3.33) y es más eficiente que las fuentes reguladas, pero involucra un costo mayor, así como los siguientes inconvenientes:

- 1.-La energía disipada es considerable, pues reducir de 310 V a 15 y 5 V necesarios, la diferencia es la cantidad de energía que debe ser absorbida por los elementos de la fuente.
- 2.-Al estar acoplada al bus de C.D., cualquier perturbación o falla del sistema de potencia afectaría al sistema digital, desperdiciando el uso del optoacoplador que lo aísla, como se mencionó en el capítulo anterior. Para solucionar esto, se requiere el empleo de un transformador adicional que retorne al caso de la fuente regulada, lo que encarece más a la fuente; o se implementa un sistema de protección mucho más complejo para evitar situaciones como la planteada.

- 3.-Otro aspecto es que el “buck” puede acoplarse por transformador y rectificador, similar a la fuente regulada, y en este caso el voltaje que reduce no es tan alto.
- 4.-Al emplear la conmutación también genera más ruido hacia el sistema en general, lo que debe de tomarse en cuenta.
- 5.-Otro aspecto y quizá el más importante, es que los valores requeridos por el sistema son de 250 mA y 50 mA, valores que puede entregar un regulador lineal convencional.

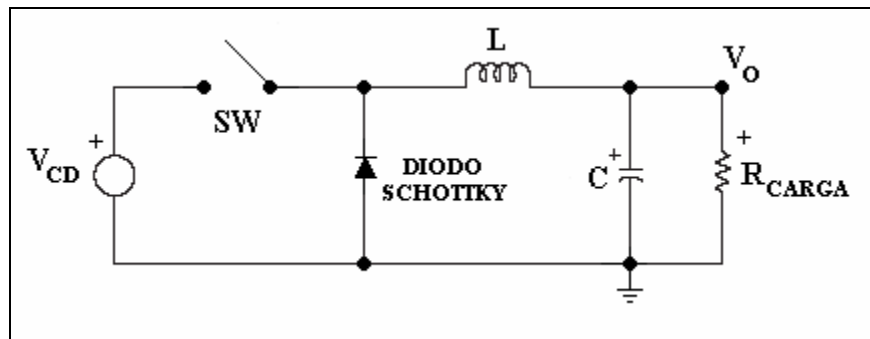


Figura 3.33. Topología tipo “buck”, que reduce voltaje de salida respecto de la entrada.

Concluyendo, se emplearán fuentes reguladas convencionales y los diseños de fuentes conmutadas podrán ser parte de implementaciones futuras, fuera del alcance de este trabajo.

CÁLCULOS DE LAS FUENTES

En total son necesarias tres fuentes de bajo voltaje:

- Fuente No. 1: 5 V y 250 mA para el sistema digital y la parte baja del optoacoplador.
- Fuente No. 2: 5 V y 50 mA para la parte alta del optoacoplador y la lógica del IR2110.
- Fuente No. 3: 15 V y 50 mA como fuente flotada del IR2110.

Las condiciones para su diseño son:

- Cada fuente empleará un rectificador de onda completa (mejor eficiencia).
- Un transformador reductor con tres devanados secundarios (“taps”), entregará el voltaje de C.A. al rectificador de cada fuente.
- Se utilizarán dos reguladores fijos de 5 V (LM7805) y uno de 15 V (LM7815) a 1 A, dejando un amplio margen de tolerancia en la corriente.

Los cálculos para los elementos de las fuentes son basados en la figura 3.34, que muestra el voltaje que entrega un rectificador de onda completa.

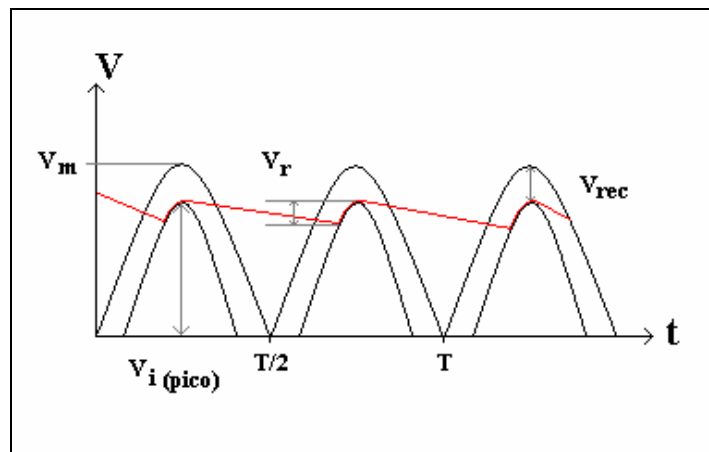


Figura 3.34. Voltajes para elaborar el análisis de la fuente: V_r (de rizo), V_m (pico), V_{rec} (de los diodos) y V_i (pico menos el de los diodos).

La corriente en el capacitor:

$$I_c = C \frac{dV_c}{dt} \cong C \frac{\Delta V_c}{\Delta t}$$

Podemos aproximar los parámetros de la ecuación anterior, con las siguientes expresiones:

$$\begin{aligned} I_c &\approx I_o \\ \Delta V_c &= V_r \\ \Delta t &= \frac{1}{\Delta f} \\ \Delta f &= 2f \end{aligned}$$

El cambio en la frecuencia es el doble, porque al rectificar el lóbulo negativo de la señal senoidal de C.A., se vuelve positivo, duplicando la frecuencia.

El valor del capacitor en función de variables conocidas o estimables es:

$$C = \frac{I_c}{2fV_r}$$

El otro valor importante, es el voltaje en el secundario del transformador que puede calcularse a partir de la siguiente expresión:

$$V_{rms} = \frac{V_o + V_{rec} + V_r + V_{dropout}}{\sqrt{2}}$$

Consideremos las hojas de datos de los reguladores a emplear (LM7805 y LM7805), en donde el voltaje de dropout ($V_{dropout}$) es de 2 V; el voltaje rectificado es de 1.4 V para un puente completo y de 0.7 V en medio puente, éste se deriva del número de diodos (de silicio en este caso: 1N4007 cuyo voltaje de encendido es 0.7 V) que conmutan en un ciclo de la señal de entrada.

El voltaje de rizo podemos proponerlo de 4 V, para tener un amplio margen en el sostenimiento del filtrado del voltaje de C.D. no regulado. Los valores obtenidos son similares para todas las fuentes:

Fuentes 1 y 2 (5 V a 1 A):

$C = 2083.3 \mu\text{F}$, valor comercial 2200 μF a 35 V.

$V_{rms} = 8.7 \text{ V}$.

Fuente 3 (15 V a 1 A):

$C = 2083.3 \mu\text{F}$, valor comercial 2200 μF a 35 V.

$V_{rms} = 15.86 \text{ V}$.

Finalmente ya que estas tres fuentes se colocarán en una placa fenólica separada del control digital y del driver; los fabricantes recomiendan colocar capacitores de tantalio a la entrada y salida del regulador de valores 1 μF en la entrada y de 0.1 μF en las salida, para mejorar la respuesta en el transitorio de encendido y el rizo en el voltaje no regulado.

3.1.7. Circuitos impresos

Los circuitos impresos se diseñaron con el programa EAGLE, que es ampliamente utilizado, por ser sencillo y bastante exacto en los denominados “footprints”, marcas o huellas de las librerías de componentes que posee. Existen otros programas algunos más sencillos como el TRAXMAKER y el PCBMAKER, o más sofisticados como el PROTEL.

La parte principal del diseño de un circuito impreso se basa en establecer las rutas más simples entre conexiones, a la vez que dichas rutas tengan el ancho adecuado a la cantidad de corriente que pasará por ellas. El acomodo de éstas para evitar interferencias electromagnéticas o la corrección de inductancias y capacitancias parásitas, agregando capacitores de paso e inductores reductores de EMI (acrónimo de Electromagnetic Interference).

El aumento de la frecuencia a niveles superiores a los megahertz, provocan que las interferencias y elementos parásitos se incrementen también. En el caso de un sistema de potencia (baja frecuencia), el efecto inductivo y capacitivo está también presente. En particular por que en el caso de sistemas con conmutación PWM están también presentes las señales de frecuencia media (varios kilohertz). La combinación de ambas provoca contaminación de ruido, interferencias electromagnéticas y fenómenos de mezclado de señales que deben ser minimizados.

Las prácticas recomendadas por autores [1] y [2], y fabricantes de semiconductores como IR, para elaborar un circuito impreso establecen:

- El bus de potencia (310 V), debe tener pistas anchas para soportar varios amperes de flujo.
- Las fuentes de bajo voltaje que tengan tierra común se acoplarán en un solo y único punto, para evitar que se contaminen con cargas residuales a las otras fuentes con quien estén conectadas.
- El uso de planos de tierra o de voltaje, permiten garantizar mayor estabilidad, pero pueden establecer interferencias si es que no se toman precauciones. En el caso de uso de placas fenólicas de doble cara, normalmente el plano superior debe ser de voltaje y el de la cara inferior debe ser tierra. Un plano de tierra o de voltaje no debe ser cerrado.

- Cada circuito integrado deberá contar con su(s) capacitor(es) de desacople.
- La distancia entre pistas para buses de potencia debe ser muy grande respecto a pistas de baja potencia, ya que en alto voltaje se pueden formar arcos eléctricos por la simple cercanía de dos conductores, los que destruirían al sistema y podrían ser peligrosos para las personas que operaran este sistema. Recordemos que los niveles de voltaje y corriente que se manejan en este proyecto son suficientes para provocar el deceso de una persona si se expone al contacto directo de líneas vivas.
- La colocación de puntos de encuentro común (nodos), donde dos o más pistas convergen, deben de estar acoplados con un ángulo diferente a 90° , así como el ruteo de pistas en curvas, deben tener un ángulo preferentemente de 45° ; con la finalidad de facilitar la conducción de corriente.
- La aplicación de las reglas anteriores al elaborar los circuitos impresos produjo resultados satisfactorios y los circuitos impresos de cada módulo se muestran a continuación (el tamaño mostrado no es el real):

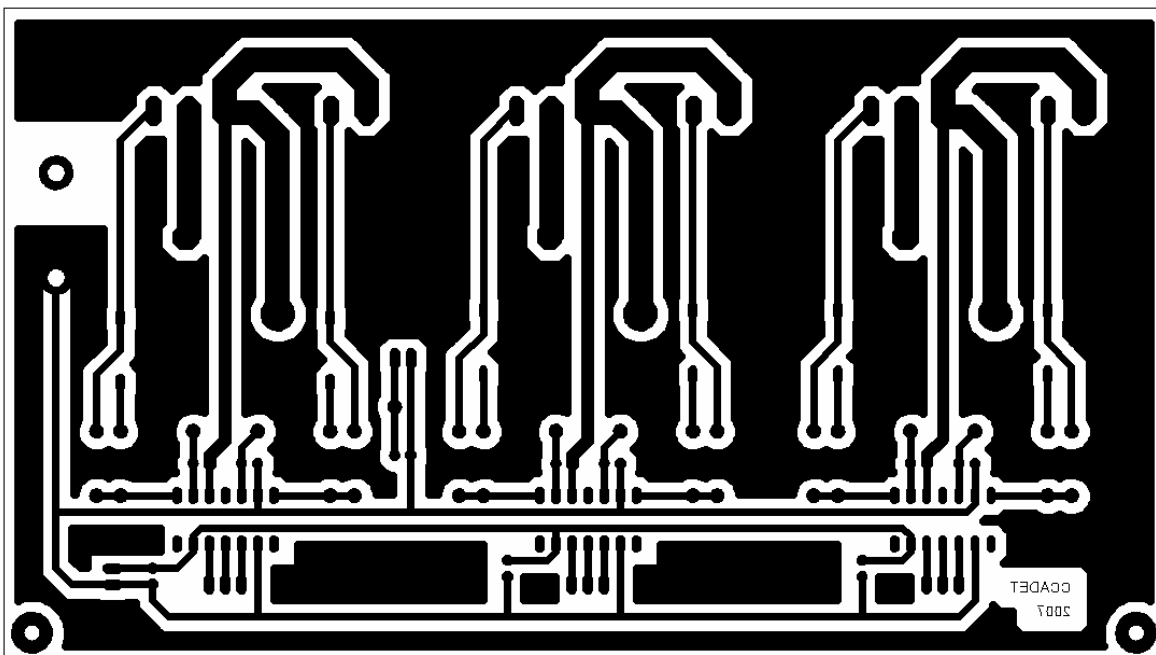


Figura 3.35. Placa del puente inversor trifásico (cara inferior), plano de tierra de potencia en sólido.

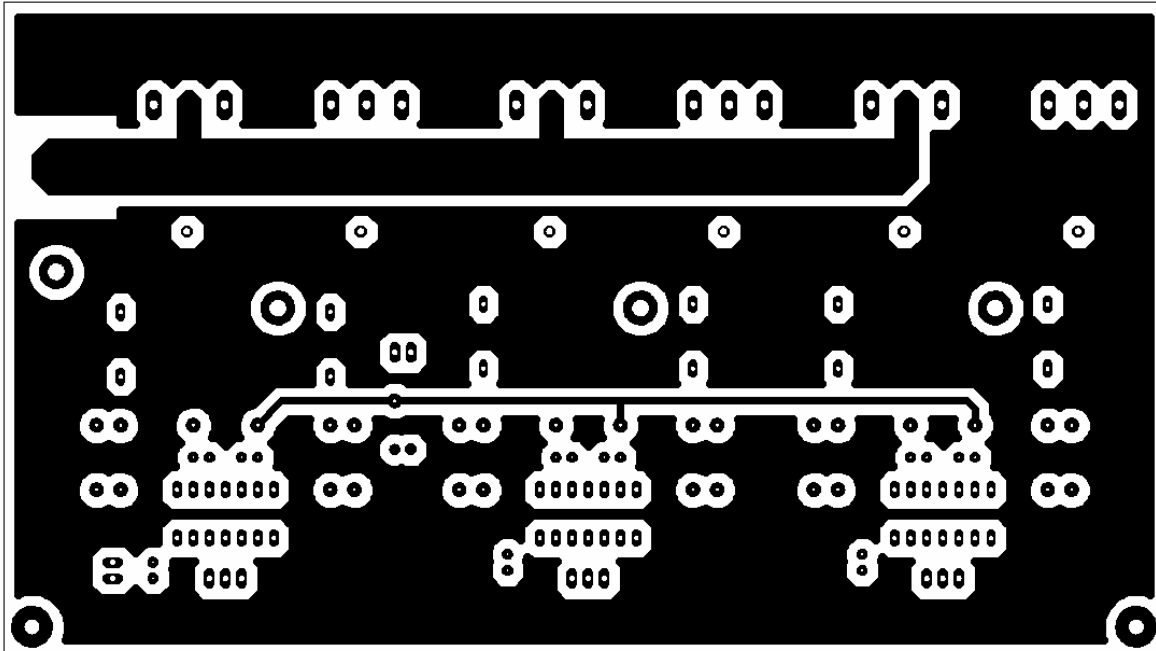


Figura 3.36. Placa del puente inversor trifásico (cara superior).

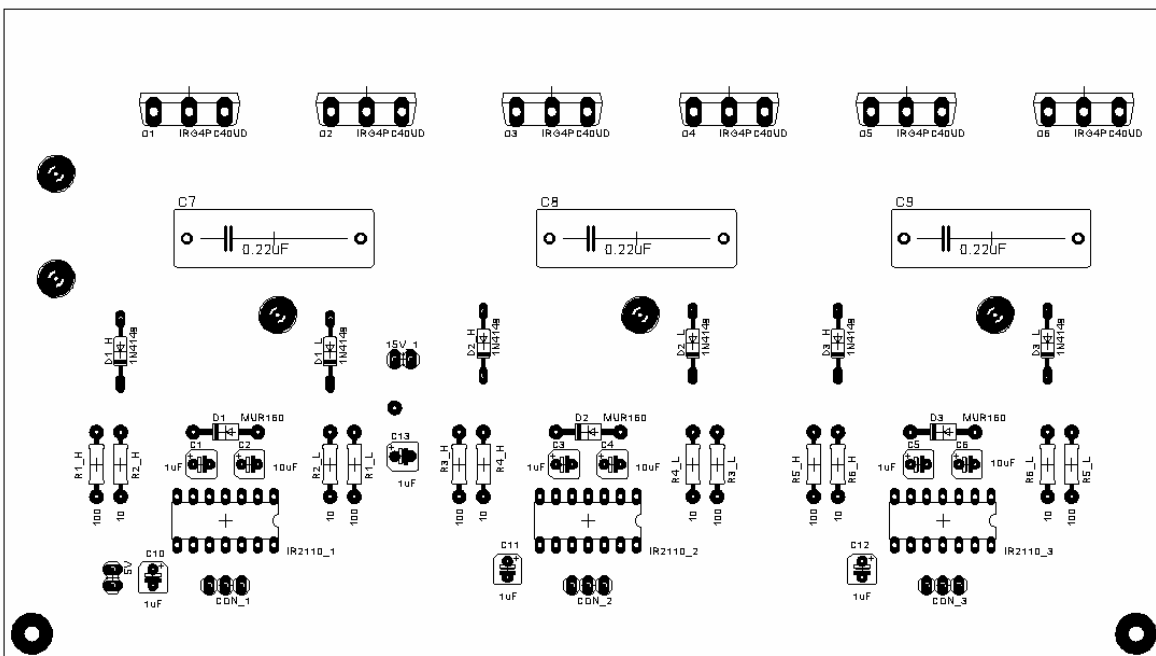


Figura 3.37. Vista de componentes de la placa del inversor.

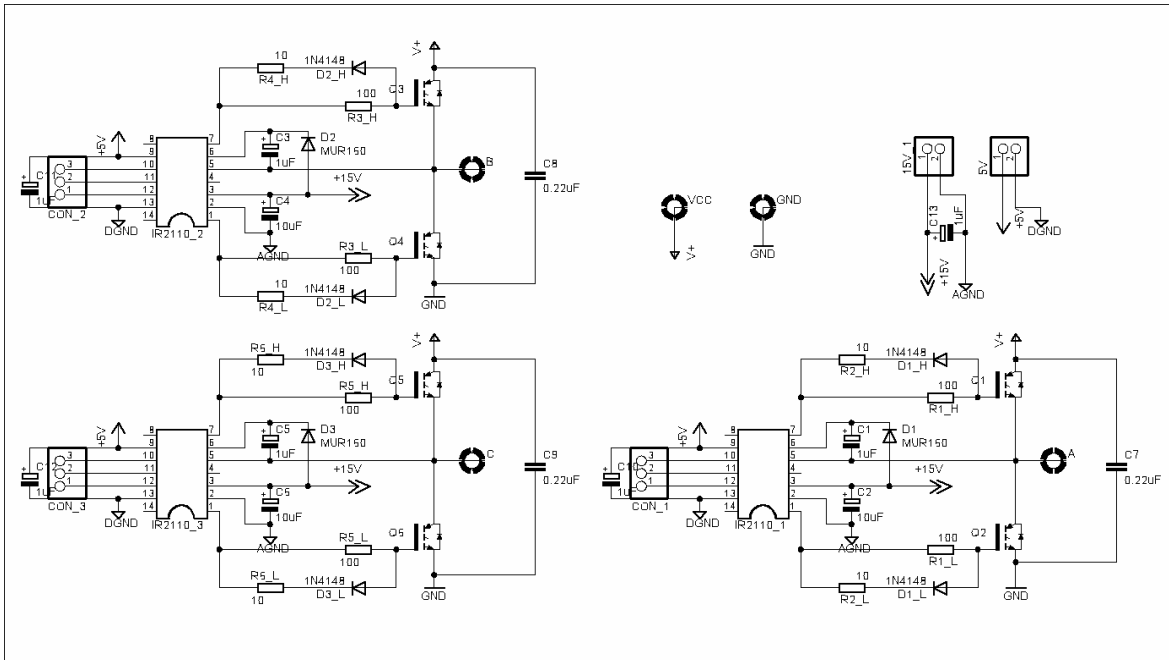


Figura 3.38. Esquemático de la placa del inversor (EAGLE).

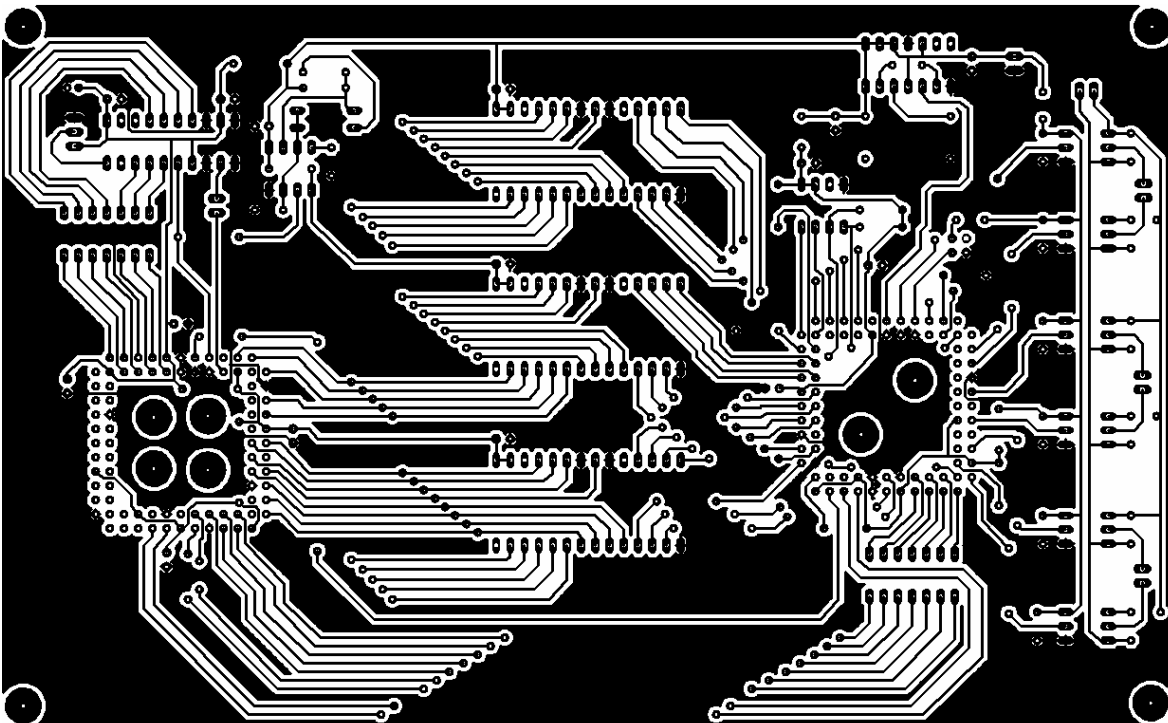


Figura 3.39. Placa del sistema de control digital (ADC, CPLD, memorias, FPGA, oscilador y optoacoplaadores), cara inferior (plano de tierra en sólido).

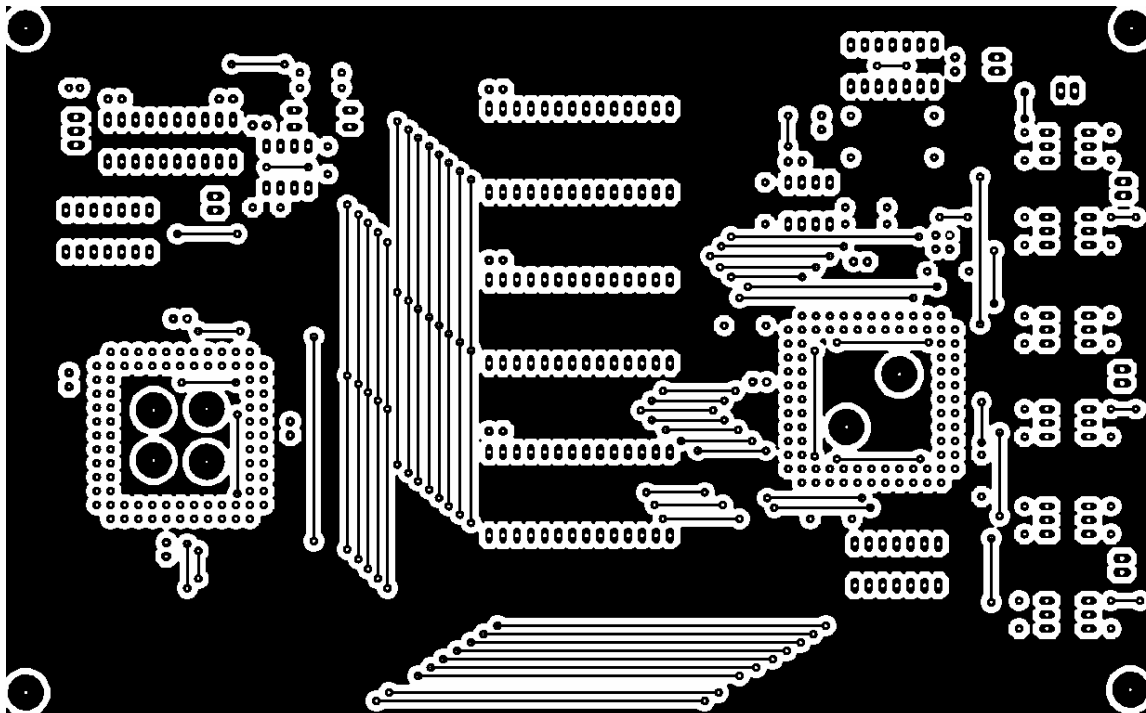


Figura 3.40. Placa del sistema digital (ADC, CPLD, memorias, FPGA, oscilador y optoacoplaadores), cara superior.

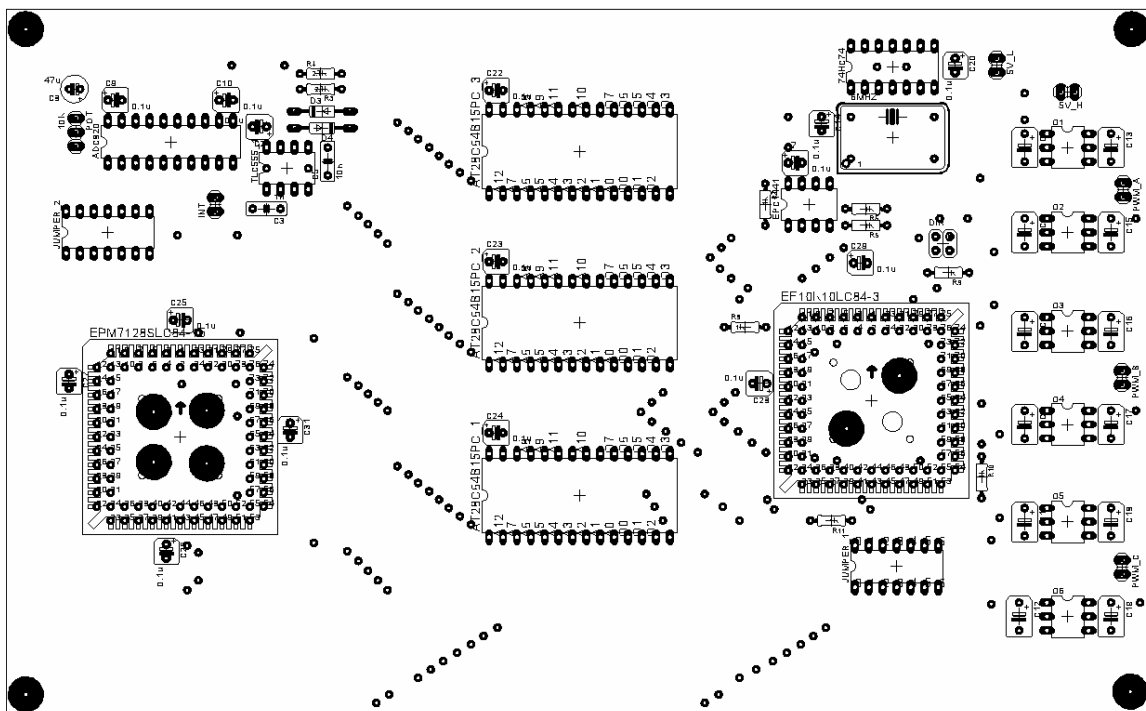


Figura 3.41. Vista de componentes del sistema digital (ADC, CPLD, memorias, FPGA, oscilador y optoacoplaadores).

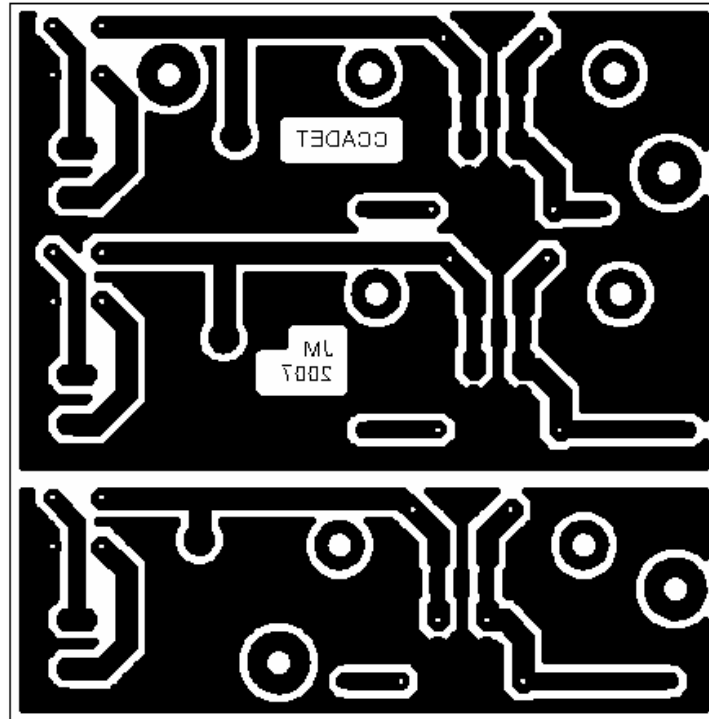


Figura 3.42. Placa de las fuentes de bajo voltaje (plano de tierra análogo y plano de tierra digital).

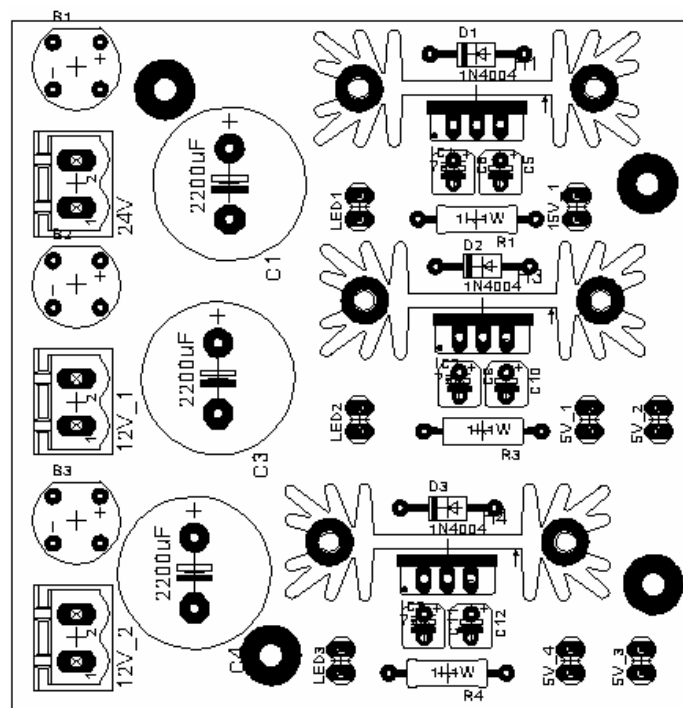


Figura 3.43. Vista de componentes de las fuentes de bajo voltaje.

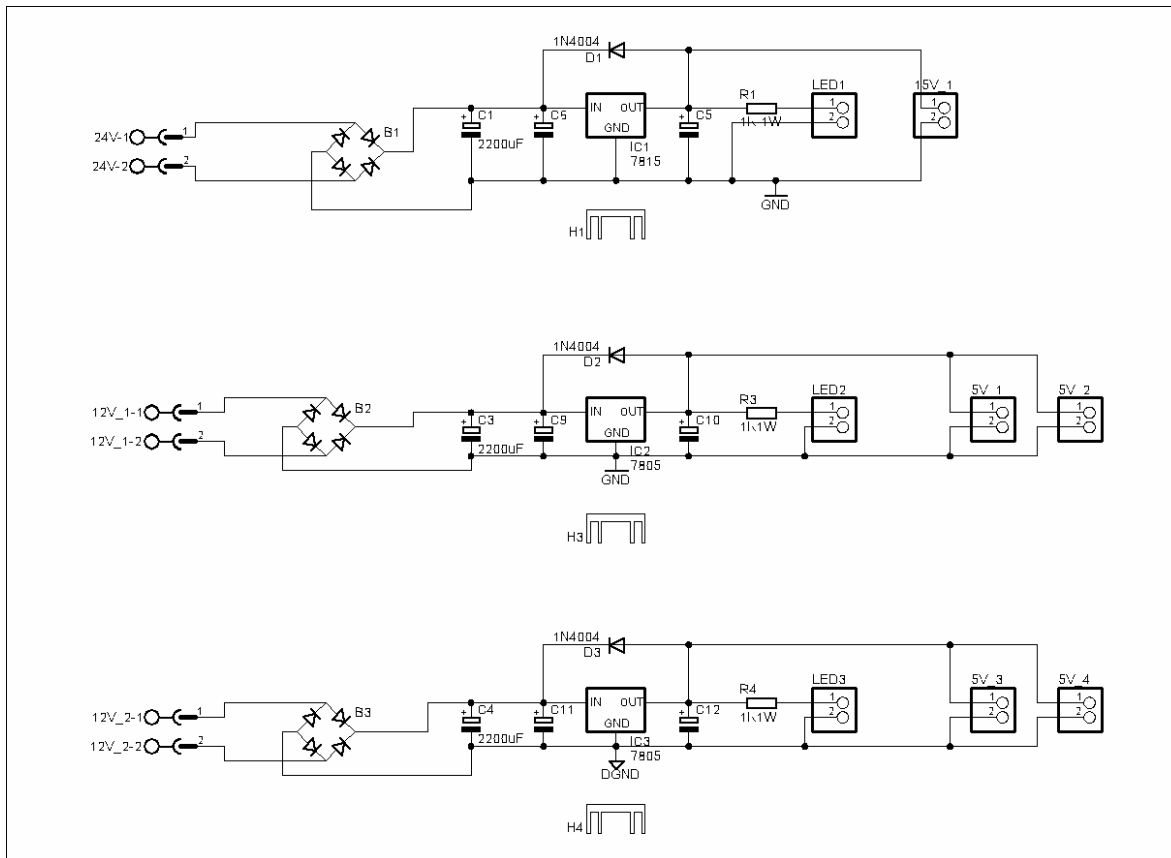


Figura 3.44. Esquemático de la placa de las fuentes de bajo voltaje (EAGLE).

Circuitos impresos adicionales son el de los inductores de entrada al rectificador y el del bus de C.D. Constituidos simplemente por pistas de entrada y salida, para conectarlos a las clemas de la alimentación trifásica y al inversor respectivamente, por medio de cables (#10 AWG); que a su vez acoplan al convertidor con la red eléctrica trifásica.

3.2. MÓDULO TERMINADO

El sistema completo se muestra en las siguientes imágenes, con sus módulos que lo componen, así como los elementos de conexión con el motor y la entrada trifásica de la red eléctrica.

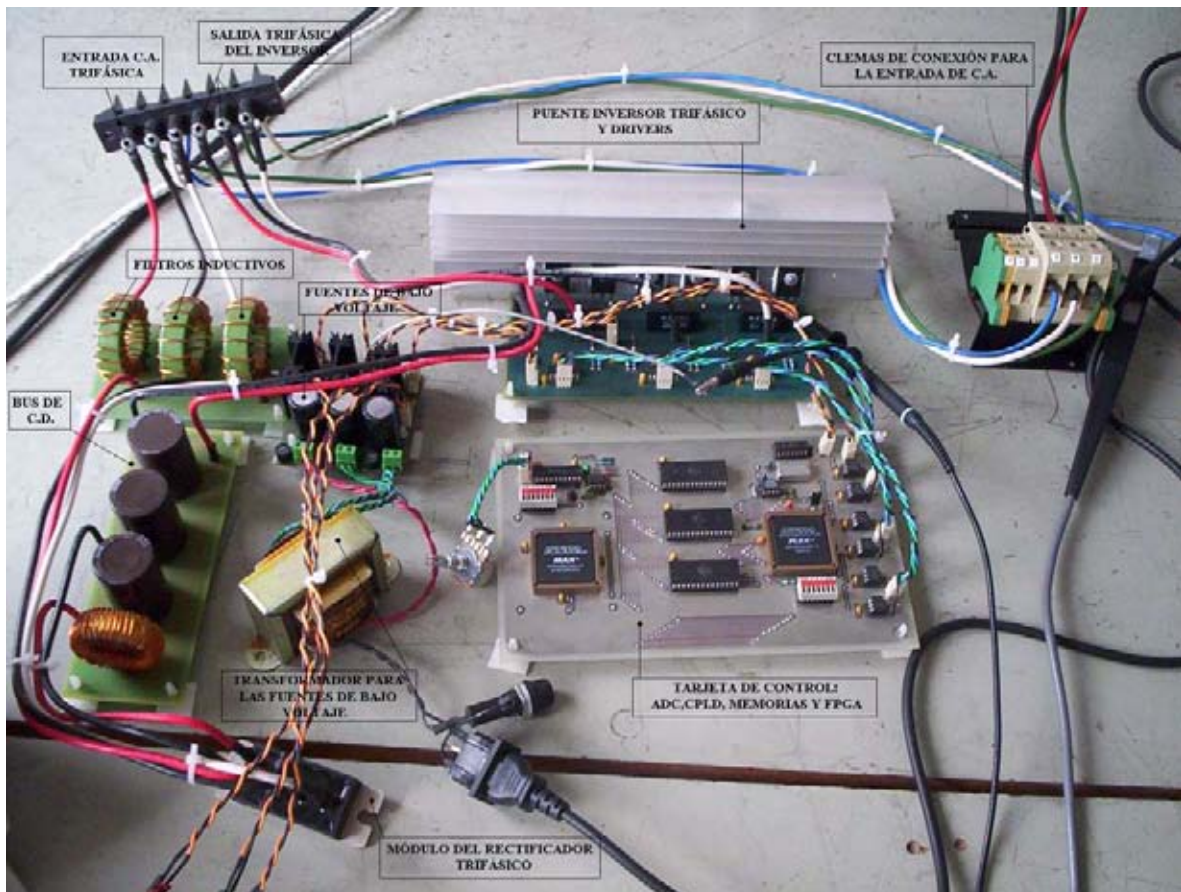


Figura 3.45. Sistema desarrollado, señalando sus componentes modulares y su disposición final, para su colocación en una caja que lo proteja.

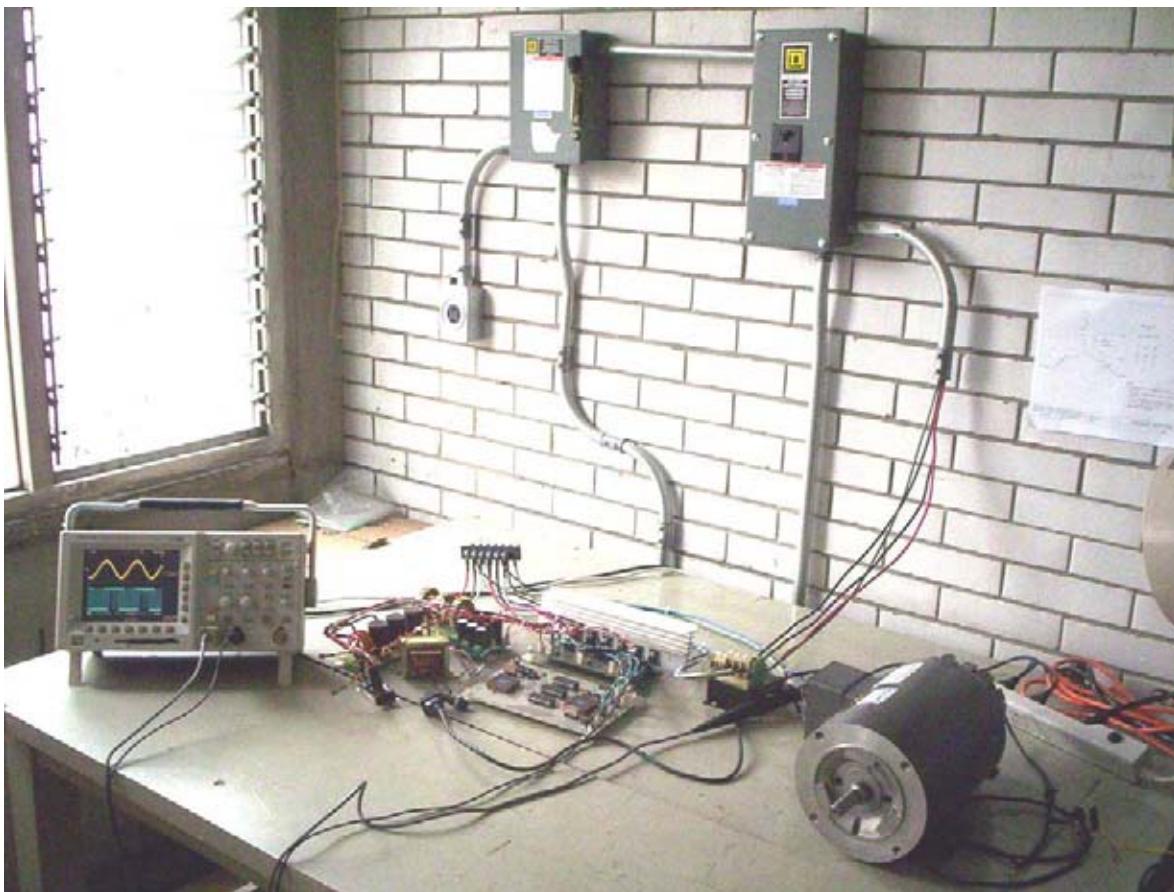


Figura 3.46. Vista del sistema completo (maqueta), con la operación del motor.



Figura 3.47. Motor trifásico de 1/2 Hp., empleado como carga para las pruebas realizadas sobre el sistema implementado.

3.2.1. Protecciones

Existen dos posibles zonas de fallas eléctricas, y son en la fuente de alimentación trifásica y en el motor. La primera puede ser un corto circuito (por fase o entre fases), o la desconexión abrupta de algún cable por movimientos incorrectos del equipo cuando esta operando; en la segunda posibilidad un corto en el motor o sobrecarga dañarían al sistema completo.

Para proteger el equipo de medición y al convertidor desarrollado, se colocaron en la instalación los interruptores termomagnéticos que energizan el rectificador con el bus de C.D.; en caso de una sobrecorriente el termomagnético operará, con lo que la entrada del sistema esta protegida.

El uso adicional del transformador de aislamiento y los fusibles, protegen la red eléctrica a la cual se conecta el sistema, más no son parte fundamental de él; ya que su propósito fue proveer una barrera de aislamiento, para hacer las pruebas de operación del convertidor sobre el motor y poder establecer mediciones de voltaje sin riesgo de provocar un corto circuito, al generar un lazo de tierra.

El uso de los inductores de entrada al rectificador, permiten que opere este sistema sobre la red eléctrica sin necesidad del transformador de aislamiento, el cual elevaría el costo y el tamaño del sistema considerablemente. Estos inductores regulan el flujo de corriente de entrada, evitando picos excesivos de corriente; a la vez que son filtros de armónicos para la conmutación de los diodos.

En el caso de la protección del lado de la carga (motor), es un poco más complicado; agregar elementos como relevadores o contactores al sistema reducen la eficiencia del mismo, pues estos sistemas electromecánicos tienen resistencias e inductancias que se tornan parásitas. La solución puede estar en un control electrónico, empleando sensores de efecto hall, con un comparador de voltaje el cual detecte una sobrecorriente y active la función SD (Shut Down) del IR2110, que manda todas las salidas PWM a cero volts, cuando ésta pasa a un nivel lógico alto.

El costo de los sensores de efecto hall es algo elevado y esta protección no se implementó por razones de presupuesto. De igual forma se pueden emplear los llamados “guardamotores”, pero como mencioné antes agregan ineficiencias al sistema.

Por último, para la protección de los sistemas de control digital y del driver, se tienen tanto los optoacopladores que aíslan de cortos en la etapa de potencia; como el transformador de las fuentes de bajo voltaje, que poseen además un fusible de 1 A, en caso de cortos circuitos en la lógica que son menos probables aunque no descartables.

PRUEBAS

A lo largo de estos últimos capítulos, se muestran los resultados y el desempeño del convertidor elaborado, operando con las condiciones indicadas en cada caso. La elección de cada prueba esta orientada a cubrir y determinar las cualidades o fallas que presenta el sistema y al equipo con que se cuenta en el laboratorio. En el caso de los espectros de frecuencia el valor mostrado es rms, caso contrario son las corrientes y voltajes que se muestran en valores pico.

4.1. OPERACIÓN DEL SISTEMA SIN CARGA

4.1.1. Señales trifásicas filtradas

Los siguientes oscilogramas se tomaron con un filtro trifásico de potencia RC tipo “paso-bajas”, acoplado como carga en las salidas del inversor, con las siguientes características y configuración de la figura 99:

$$f_c = \frac{1}{2\pi RC} = \frac{1}{2\pi(8200\Omega)(0.1\mu F)} = 195Hz$$

El filtro permite corroborar que el voltaje entre cualquiera de las fases (V_{AB} , V_{BC} , V_{CA}), es senoidal (figura 4.3). Además de ver los patrones de SVM por fase.

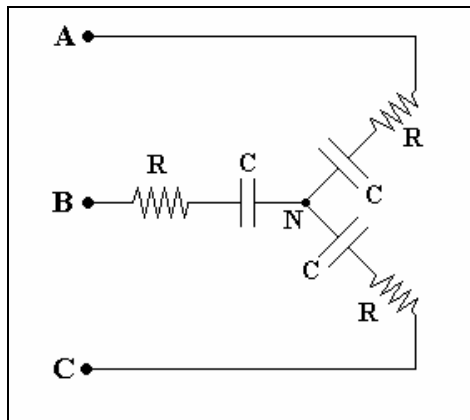


Figura 4.1. Esquema de conexión del filtro trifásico de potencia. La salida es el voltaje en el capacitor.

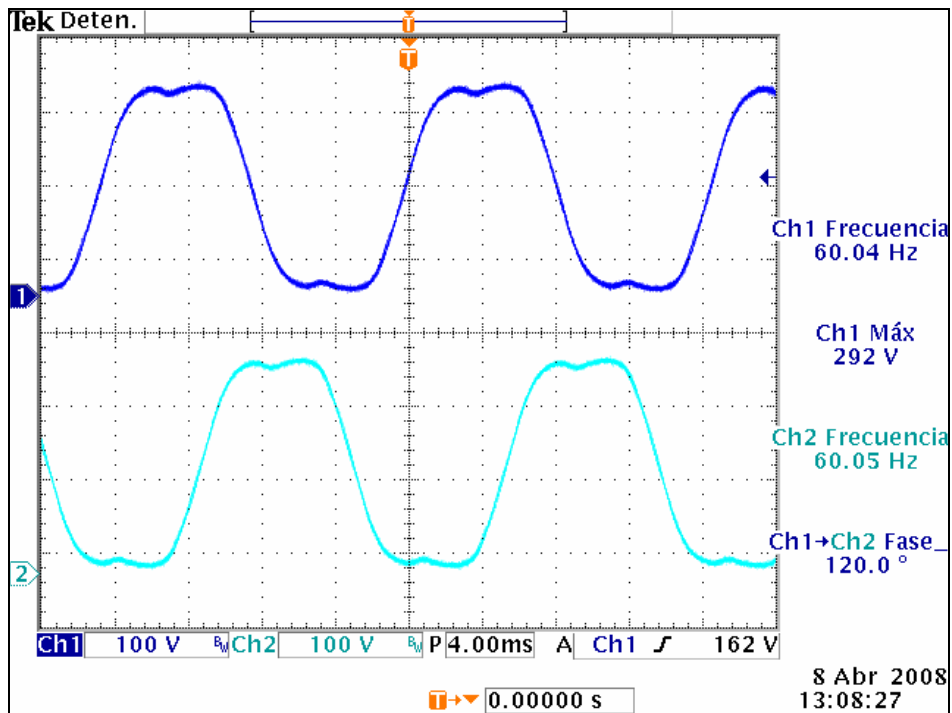


Figura 4.2. Voltaje filtrado de fase a neutro, en dos de las fases (V_{AN} y V_{BN}) del inversor. Neutro conectado a tierra del bus de C.D.

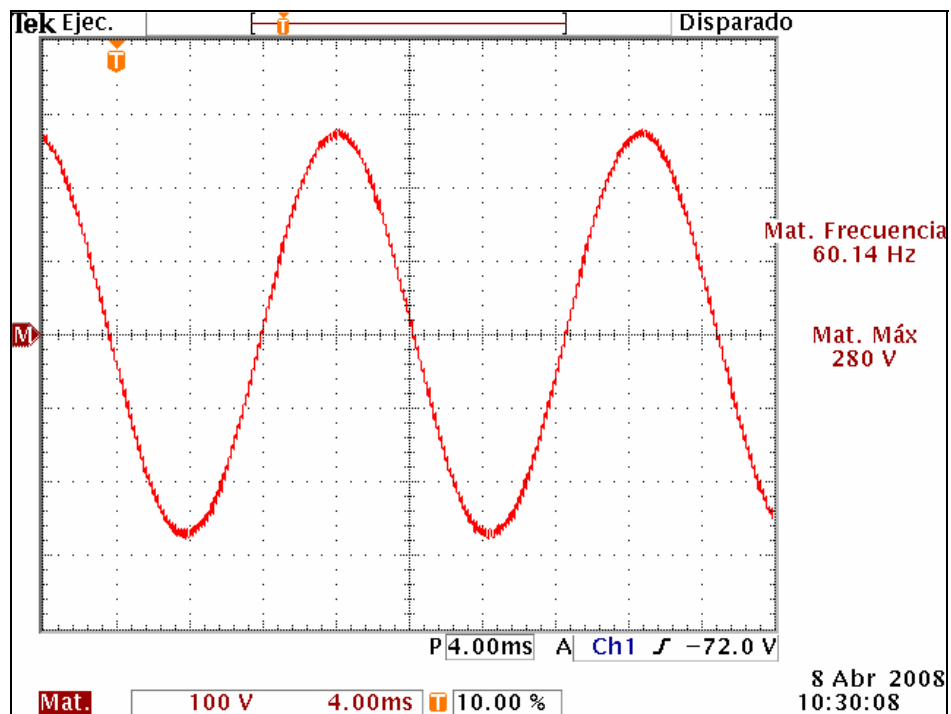


Figura 4.3. Voltaje entre fases (V_{AB}) del inversor, empleando neutro flotado.

4.2. RECTIFICADOR Y BUS DE C.D.

En los oscilogramas siguientes (empleando el motor de inducción trifásico como carga), se muestra primero la corriente en una de las fases del rectificador trifásico, donde se percibe que la conducción es de forma discontinua. Para que ocurra ésto, deben de cumplirse dos condiciones: el valor de la inductancia de entrada es alto, ya que incluye a los filtros inductivos de 1 mH. La segunda condición es que el inductor del bus de C.D. (200 μ H.), no es lo suficientemente grande para mantener la conducción de corriente de forma continua en cada una de las ramas del puente (figura 4.1).

En la figura 4.2, la corriente en el bus de C.D. es pulsante ya que están mezcladas todas las conmutaciones de los IGBT's de las tres ramas del inversor. La forma de onda es simétrica y con picos de corriente moderados.

Por último esta el oscilograma del espectro del bus de C.D., donde se aprecia que solo existe una espiga en la frecuencia fundamental que es cero hertz, con un muy bajo contenido armónico cercano a ésta (figura 4.3).

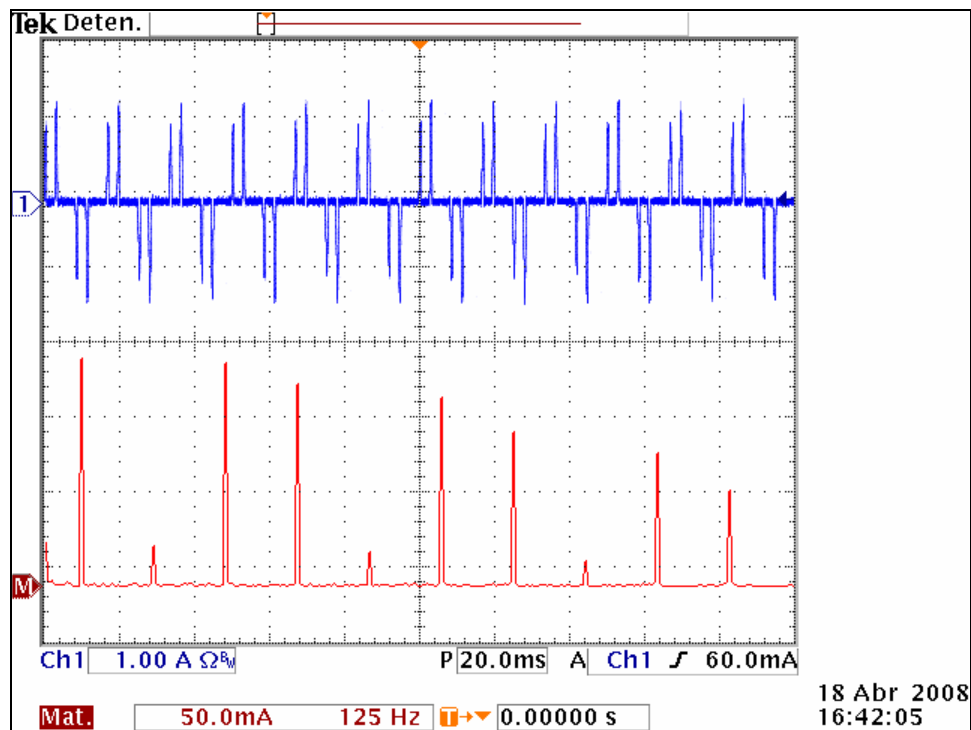


Figura 4.4. Corriente de entrada a una de las ramas del puente rectificador trifásico (corriente en la fase A) y su espectro de armónicos.

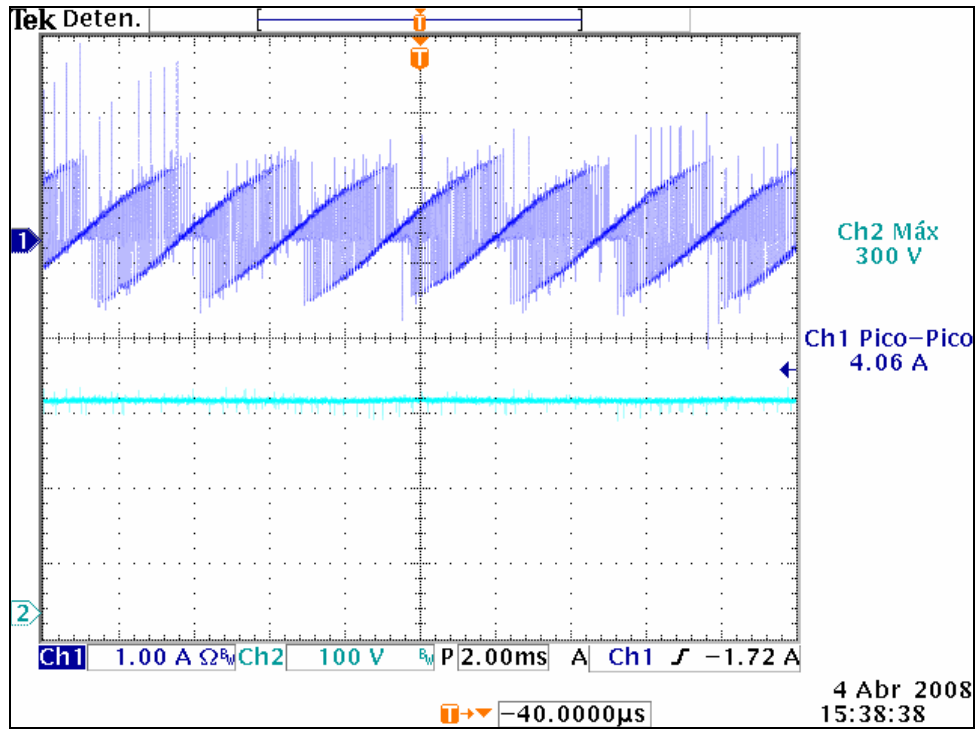
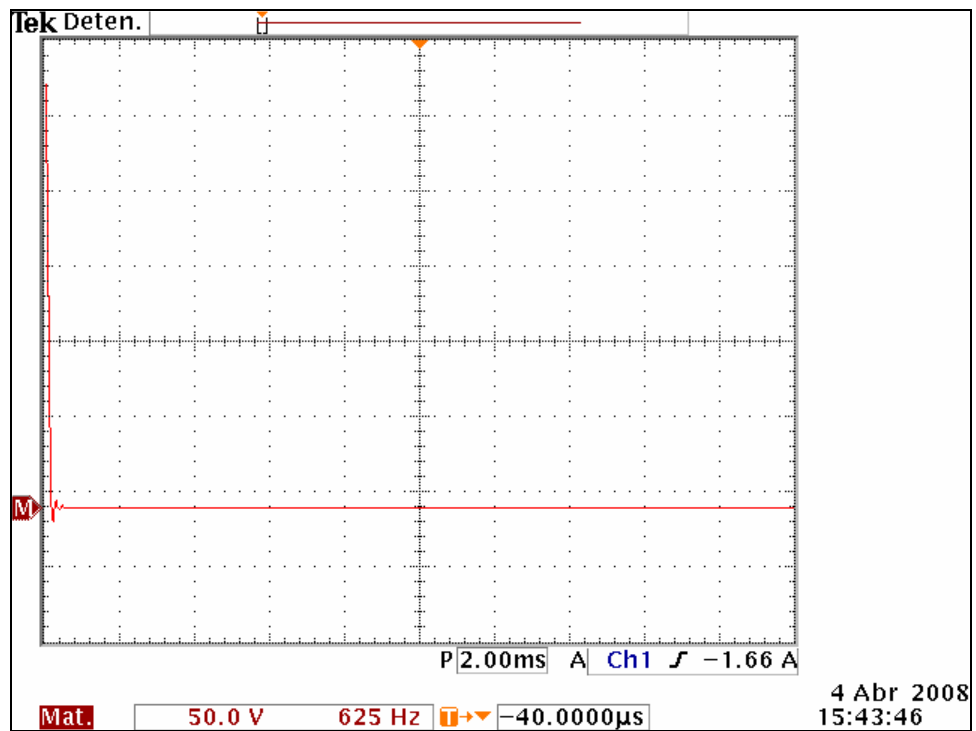


Figura 4.5. Corriente (arriba) y voltaje (abajo) en la salida del bus de C.D.



4.6. Espectro de armónicos en el voltaje del bus de C.D.

4.3. RESPUESTA DEL MOTOR DE INDUCCIÓN MONOFÁSICO

Para que el inversor trifásico opere como monofásico, se deben inhibir las Salidas de una de las ramas del puente (la fase C por ejemplo) y conectar las terminales del motor de inducción monofásico entre las otras dos fases (A y B).

El objetivo de esta prueba es demostrativo y permite verificar el comportamiento del sistema operando parcialmente.

El motor empleado en esta prueba es de 1/8 de Hp. Posee una bobina de arranque de 15 mH y tiene un consumo de corriente de 1.3 A pico.

La corriente mantiene características senoidales (figura 4.6), con baja distorsión y un voltaje de 160 V por fase, que proviene en este caso de un rectificador monofásico implementado también con diodos de potencia.

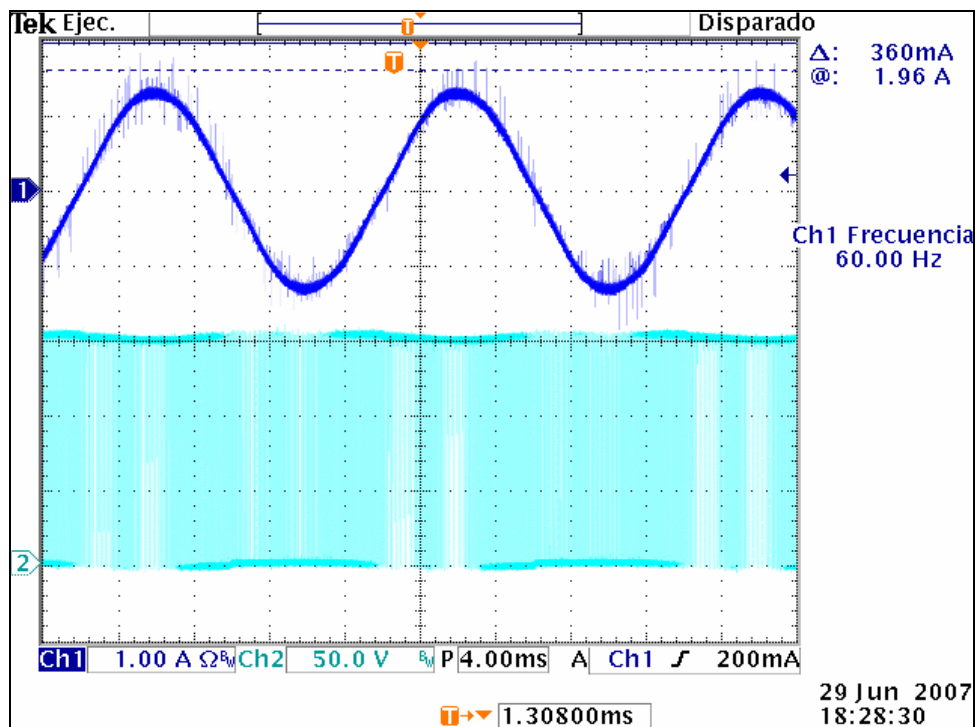


Figura 4.7. Corriente (arriba) y voltaje de fase a neutro (abajo) a 60 Hz.

4.4. RESPUESTA DEL MOTOR DE INDUCCIÓN TRIFÁSICO

Por último se presentan los resultados principales, con la operación del motor de inducción trifásico sin carga, ya que en el laboratorio no se cuenta por el momento con equipo de engranes, bandas transportadoras o masas inerciales para cuantificar el desempeño bajo carga. En el primer caso con la protección del transformador de aislamiento y en el segundo, con las bobinas o inductores de entrada de 1 mH.

4.4.1. Con transformador de aislamiento

El empleo del transformador permite establecer las mediciones libremente en cualquier parte del convertidor sin peligro de generar un lazo de tierra: unión del neutro trifásico con la tierra (V-) del inversor y del bus de C.D. Se produce al conectar el instrumento (osciloscopio en este caso) a la misma red eléctrica.

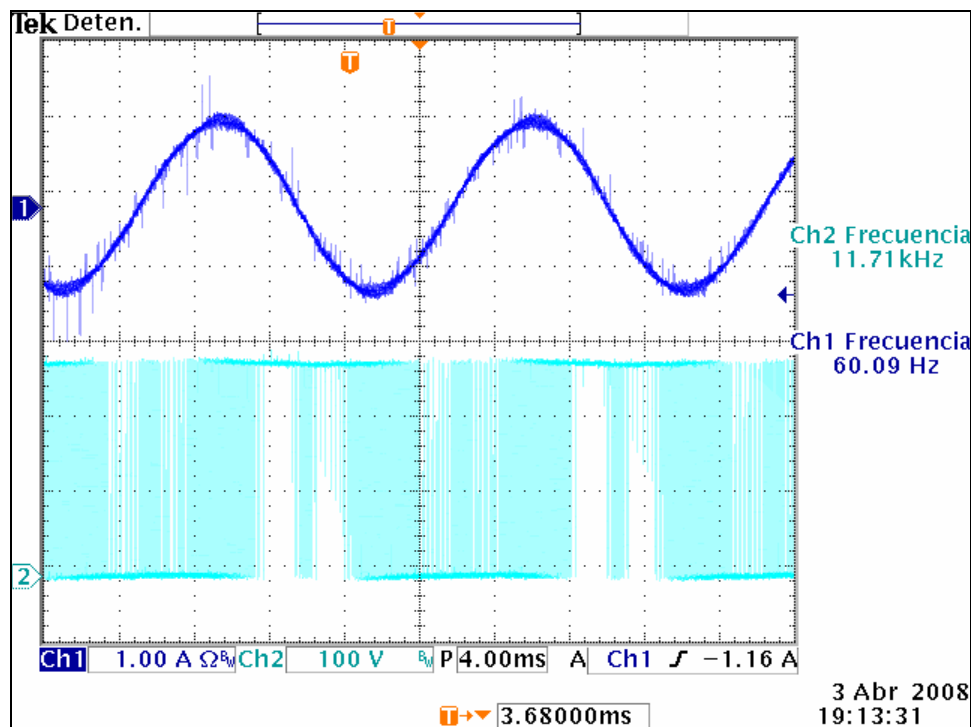


Figura 4.8. Corriente (arriba) y voltaje de fase a neutro (abajo) a 60 Hz.

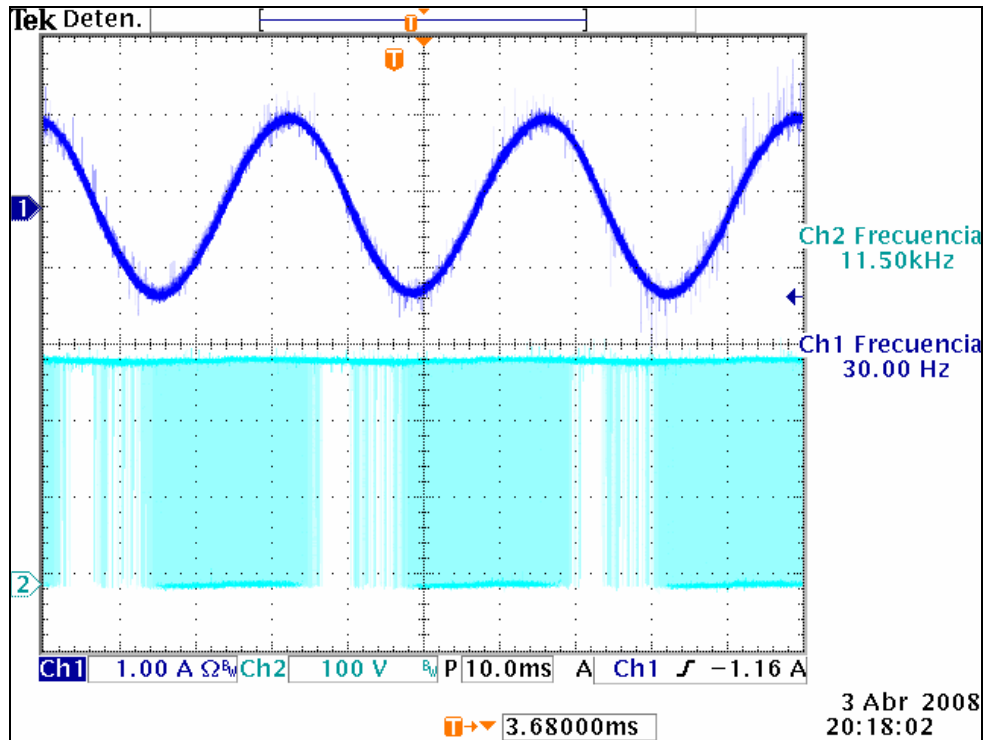


Figura 4.9. Corriente (arriba) y voltaje de fase a neutro (abajo) a 30 Hz.

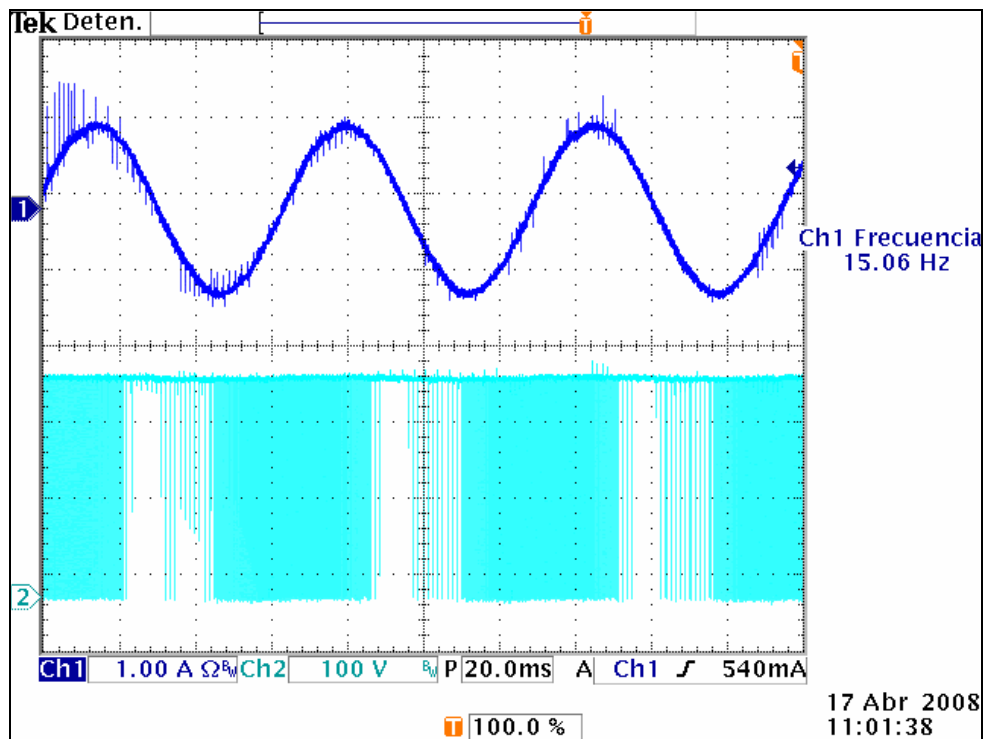


Figura 4.10. Corriente (arriba) y voltaje de fase a neutro (abajo) a 15 Hz.

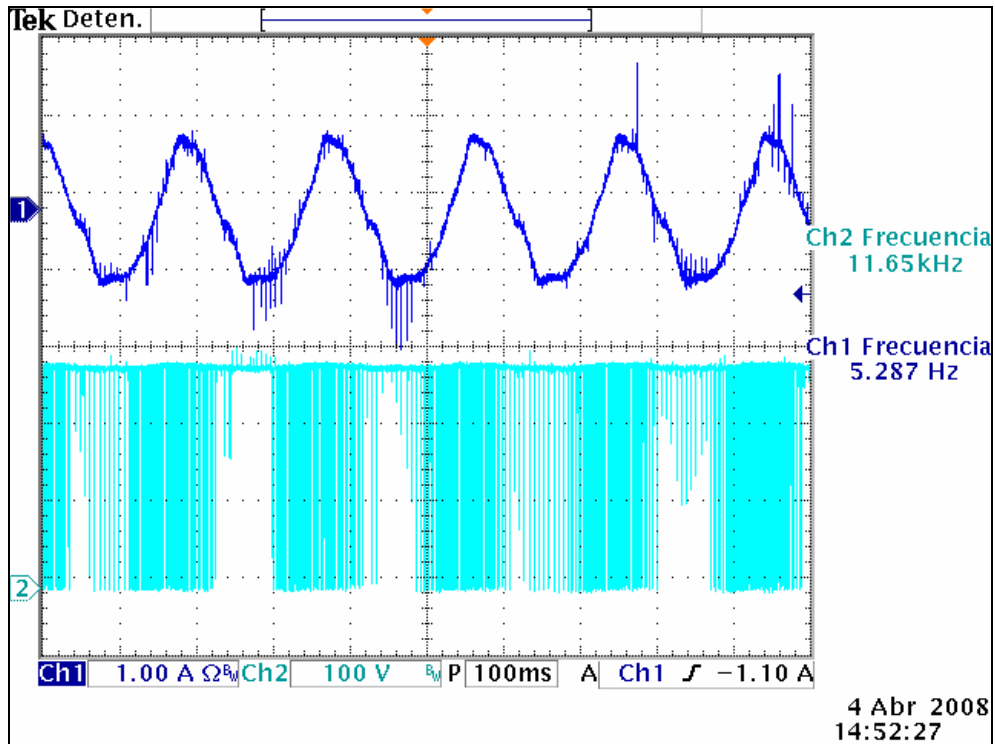


Figura 4.11. Corriente (arriba) y voltaje de fase a neutro (abajo) a 5 Hz.

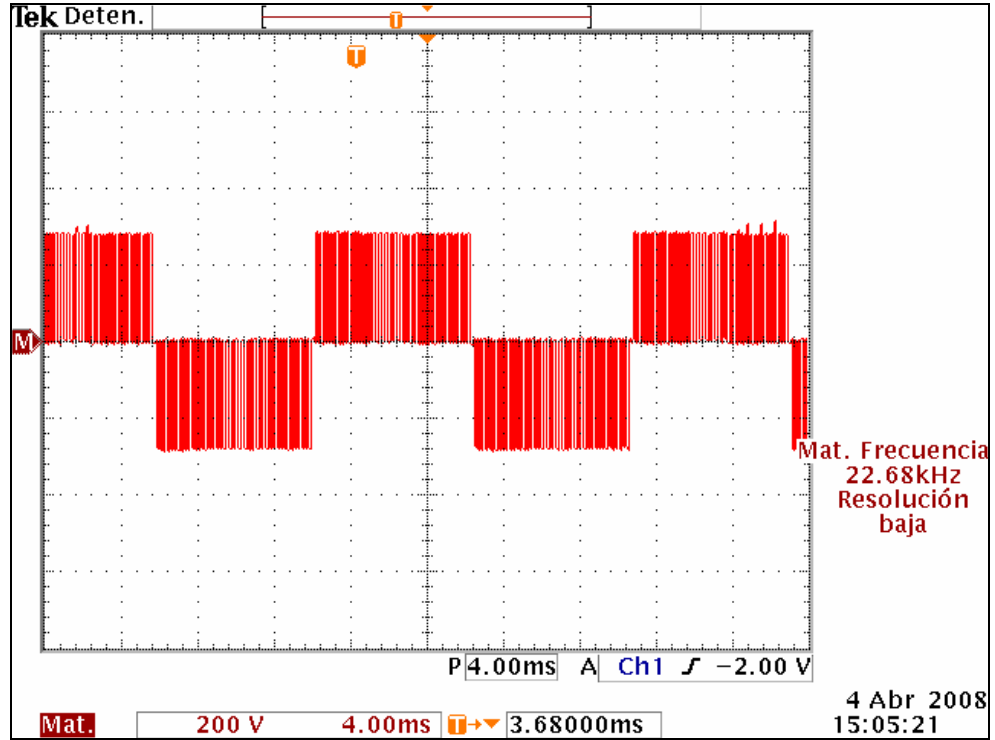


Figura 4.12. Voltaje entre fases, que muestra el SVM unipolar y la F_{PWM} .

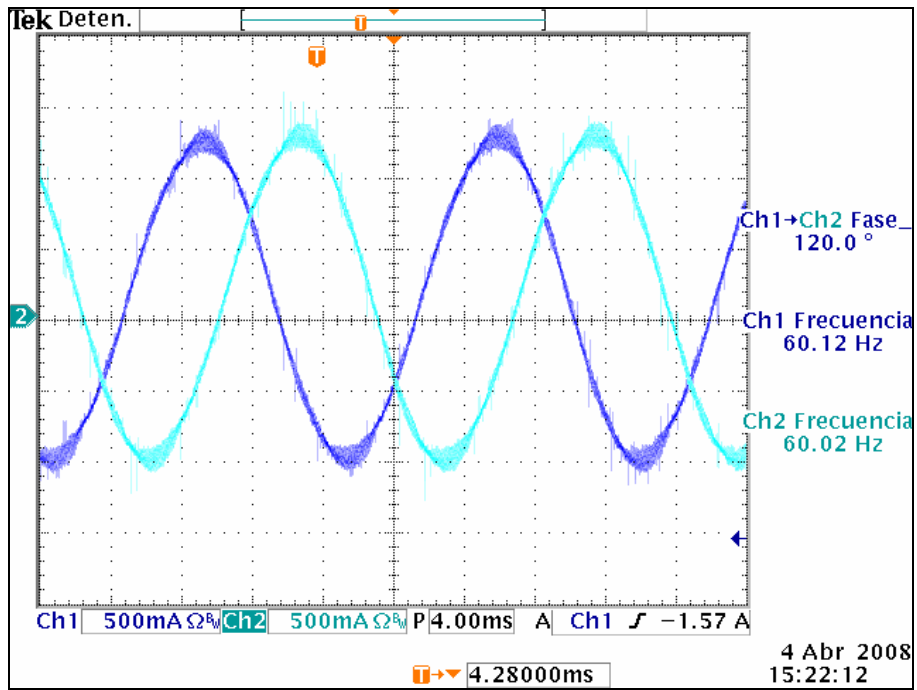


Figura 4.13. Corrientes de la fase B y C del motor a 60 Hz. Obsérvese el correcto defasamiento de 120°.

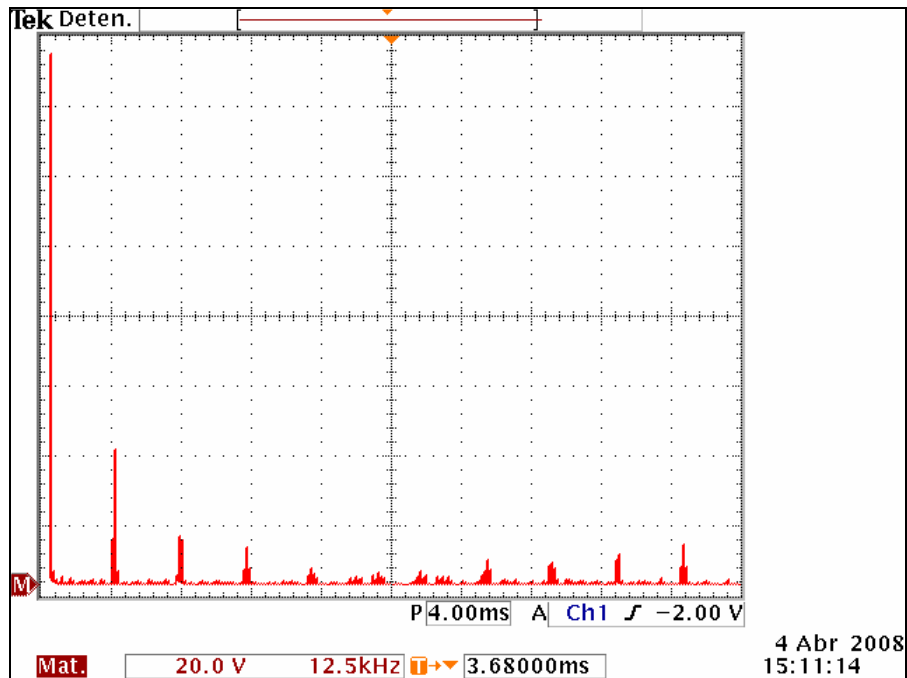


Figura 4.14. Espectro de armónicos del voltaje SVM modulado, en una de las fases (B) a 60 Hz.

4.4.2. Con inductores de entrada

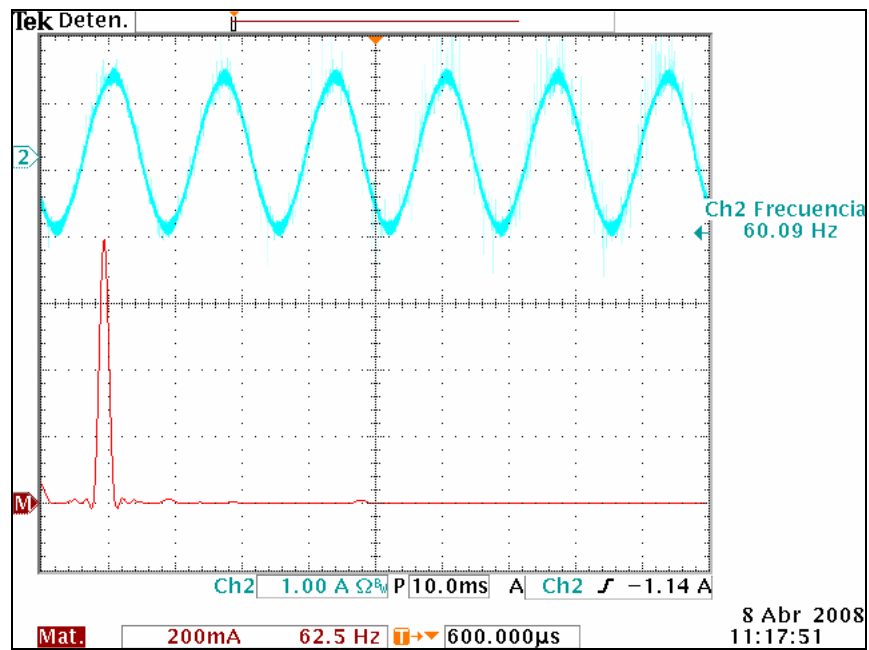


Figura 4.15. Corriente por fase (arriba) y su espectro de armónicos (abajo).

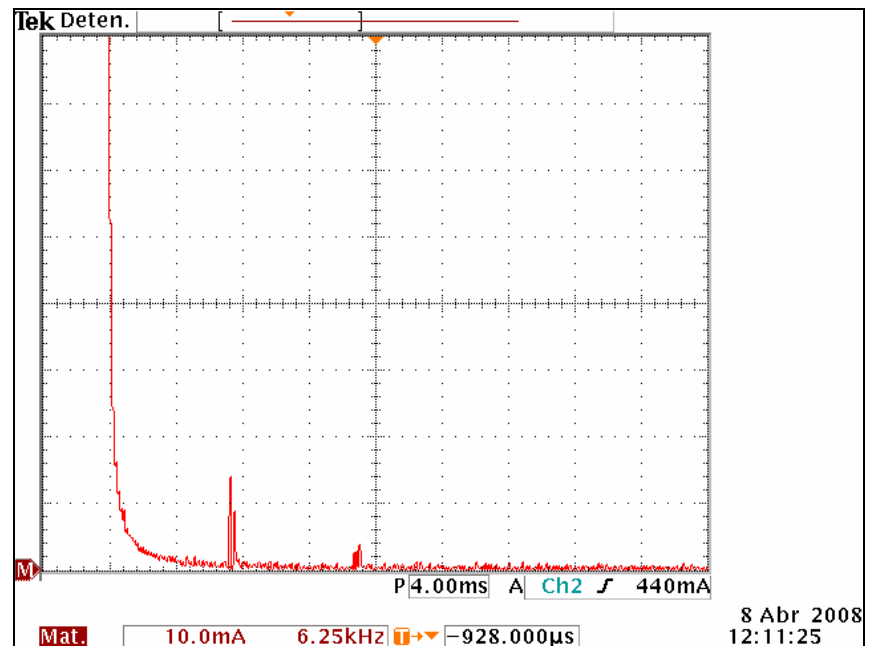


Figura 4.16. Ampliación del espectro de la corriente por fase en el motor a 60 Hz, la amplitud de las espigas correspondientes a las frecuencias de conmutación (11.7 kHz y 22.5 kHz) son menores a 20 mA.

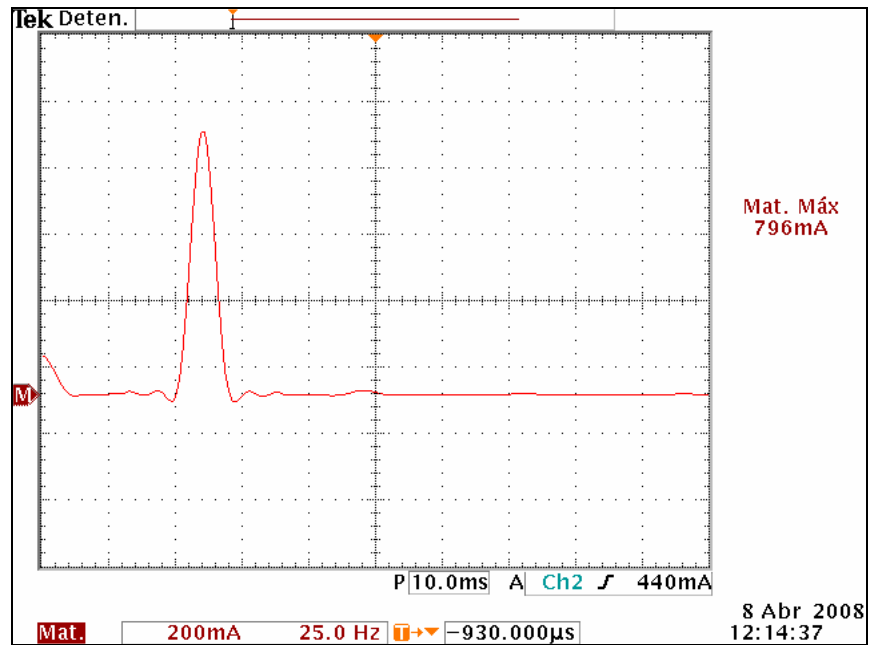


Figura 4.17. Segunda ampliación del espectro anterior, obsérvense la baja amplitud de los picos que acompañan lateralmente a la espiga fundamental.

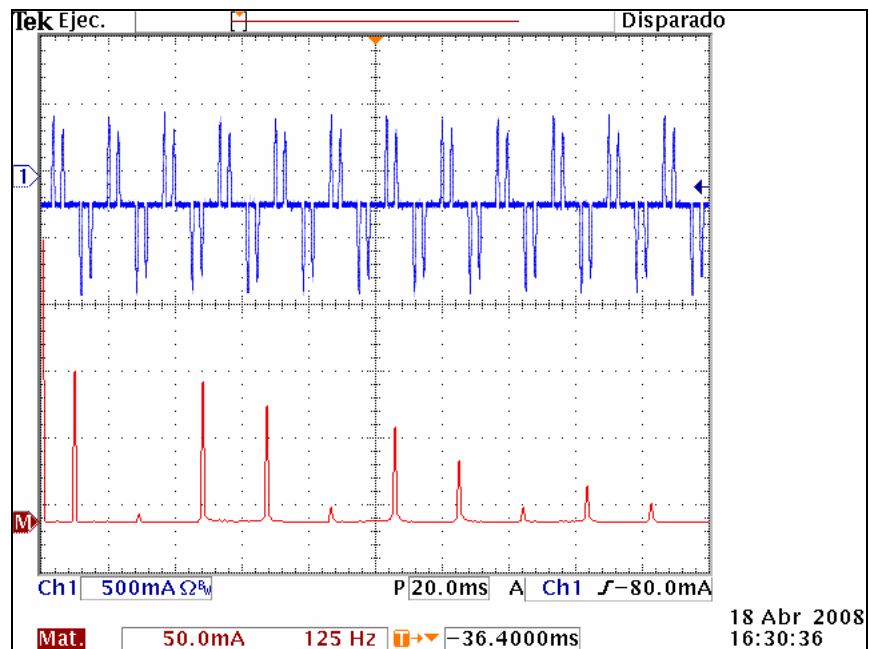


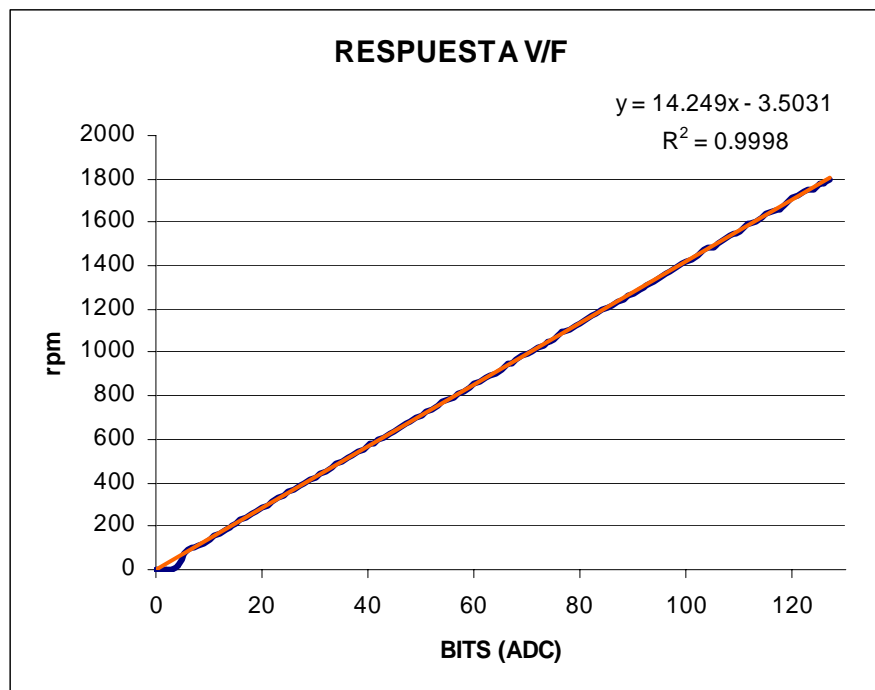
Figura 4.18. Corriente en una de las ramas del puente rectificador trifásico y espectro de armónicos. Los picos de corriente son reducidos gracias a los filtros inductivos, comparado con la figura 4.4.

4.4.3. Linealidad del control

Por último la figura 4.19 muestra la curva obtenida del valor del convertidor ADC (velocidad deseada en bits) contra la velocidad del motor (velocidad obtenida en rpm).

La medición de la velocidad de rotación se hizo mediante el encoder que tiene acoplado el motor, dicha velocidad puede estar afectada por el deslizamiento del motor (δ), más no ocurre esto, porque cuando el motor de inducción opera en vacío, es decir sin carga; el deslizamiento es casi imperceptible o despreciable.

Por lo anterior las mediciones son válidas, ya que al comparar cada cambio de frecuencia en el ADC, con los cambios de frecuencia en la corriente suministrada al estator, resultan ser los mismos. Manteniendo una linealidad alta.



4.19. Respuesta del sistema: Velocidad deseada contra velocidad obtenida.

Para terminar este trabajo el último aspecto que considero es la denominada distorsión armónica total (THD%), que permite establecer los niveles de contaminación y deformación de una señal.

Su cálculo se establece en función del armónico fundamental: 60 Hz o cualquier otro menor para el caso del inversor.

$$THD\% = \left(\frac{\sqrt{\sum_{h=2}^{\infty} (I_h)^2}}{I_1} \right) \times 100$$

La corriente I_h se asocia a la magnitud del armónico en particular, ya que algunos esquemas de PWM suprimen armónicos. Herramientas como el analizador de espectros del osciloscopio empleado (Tektronics: TDS-3012B), permiten observar la magnitud de estos armónicos, por ejemplo el valor obtenido a 60 Hz en la corriente de una de las fases del motor, con base en la figura 4.16, es de:

$$THD\% = \frac{\sqrt{(0.015)^2 + (0.004)^2}}{0.796} \times 100 = 1.95\%$$

En el caso de la THD% en la corriente que alimenta al rectificador trifásico, ésta es alta de alrededor de 120% (figura 4.18); debido a la conducción discontinua de la corriente a través de los diodos. Algunos autores [3], señalan que ésto no es un problema en sistemas de potencia media, caso contrario cuando el sistema es de alta potencia. En el caso de un rectificador fijo no se puede mejorar el desempeño, razón por la cual se prefiere actualmente la implementación de rectificadores activos, con sus correspondientes desventajas, como provocar distorsión armónica de alta frecuencia.

Como punto a favor, la utilización de los filtros inductivos permite mejorar el espectro de armónicos, suprimiendo aquellos cercanos a la fundamental y minimizando el valor de la tercera armónica. Contribuyen también a mejorar el factor de potencia; que es de 0.88 cuando el motor gira a 60 Hz.

RESULTADOS

Los resultados obtenidos son satisfactorios. Se obtuvo una corriente con una buena aproximación senoidal. Al no presentarse excesiva contaminación armónica ($< 2\%$) la señal presenta un espectro de armónicos aceptable. Las pérdidas por conmutación son reducidas sin necesidad del uso de redes “snubber”, gracias al los IGBT's con diodo “soft-recovery”. El movimiento del motor es bastante silencioso, con lo que se cumplen los objetivos planteados inicialmente en el diseño de un convertidor electrónico de potencia.

No existen picos de voltaje en las señales PWM en cada una de las tres fases de salida del inversor, con lo que se mantiene en las condiciones de prueba antes mencionadas, un mínimo calentamiento en los IGBT's. Ésto permite la reducción del tamaño del disipador.

Se mantuvo la operación del motor y el sistema por más de cinco horas continuas y las condiciones mostradas no variaron; es decir, el sistema opera correctamente y a lo largo de los últimos meses de pruebas su comportamiento es constante, acorde con los mecanismos de control implementados.

La modulación SV-PWM entrega todo el voltaje disponible en el bus de C.D. al motor, estableciendo un mejor aprovechamiento de la energía que suministra la red eléctrica. Mejor magnetización del estator de la máquina, al ser el voltaje nominal el que recibe el motor de aproximadamente 300 V.

El cambio de dirección a muy baja velocidad (menor a 5 Hz.), puede hacerse directamente sin detener completamente el motor. La distorsión armónica es clara a esta velocidad, y no es corregible con el esquema de control aplicado, pero la tendencia senoidal se mantiene. No se presentaron “glitches” en las salidas PWM, que entrega el FPGA, a la vez que la velocidad de los optoacopadores mantiene a las señales sin pérdida de información.

En el caso obligado de la comparación entre las simulaciones elaboradas con el fenómeno real, se obtuvieron resultados muy similares, con lo que podemos concluir que una correcta estimación de las características del sistema, pueden hacer que una simulación sea más confiable y se acerque más a la realidad, como ocurrió en este trabajo.

CONCLUSIONES

El trabajo elaborado para desarrollar e implementar este sistema electrónico de potencia, combinó el uso de los elementos teóricos matemáticos (SVM por ejemplo), con aspectos prácticos (estimaciones de capacitores y resistencias). Ambos contribuyen a facilitar partes del diseño, conjuntar elementos en los sistemas y a mantener la aplicación de la ingeniería práctica. Las simulaciones adicionalmente aportan un panorama supuesto de las condiciones de operación de los sistemas.

De forma preliminar la operación del sistema comparada con otros planteados en libros, artículos, productos comerciales, etc., está a un nivel competitivo, pues la resolución de las señales (7 bits) y la velocidad del proceso (333 ns) empleado, son suficientes para tener una corriente claramente senoidal, sin distorsión por tiempo muerto prolongado o con armónicos excesivos.

Aspectos generales mostrados en el trabajo son el cumplimiento de los objetivos. Con alcances adicionales, ya que el sistema no presenta calentamiento excesivo, ni en el motor, ni en los elementos electrónicos de potencia y control digital. El factor de potencia preliminar es alto también de 0.76 sin carga, en un motor sin inversor este valor cae por debajo de 0.5 la mayoría de las veces.

Elaborar este diseño me dió una clara perspectiva de las características de un proyecto de electrónica de potencia, así como aplicar distintos aspectos que en la carrera de ingeniería parecen estar dispersos, pero que se relacionan ampliamente, como: costos, tecnologías, seguridad, funcionalidad y eficiencia, por mencionar algunos.

Retos futuros pueden mejorar el sistema implementado, teniendo más protecciones; establecer un control bidireccional de potencia (rectificador activo); aplicar un control en lazo cerrado, aprovechando el encoder que posee el motor, etc. Todos estos elementos adicionales mejoran el desempeño del motor, pero encarecen el costo del sistema, sin embargo en el caso de la industria la solución más económica es la que se prefiere, y es una de las razones por las que el control V/F es el más empleado en inversores comerciales y también es el primer paso para controlar la velocidad de un motor de inducción.

ANEXOS

ANEXO No. 1

Para establecer el análisis del rectificador trifásico con diodos, primero se considerará que no existen inductancias en al entrada del puente y el flujo de corriente hacia la carga (R_L) es constante.

Nuevamente el apoyo será la simulación en PSPICE:

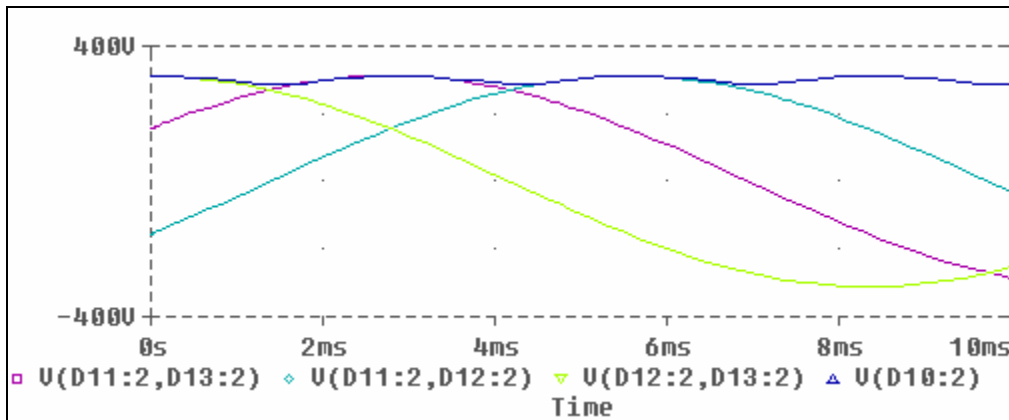


Figura A1. Señales trifásicas entre fases de entrada al rectificador y salida rectificada con rizo de voltaje $V(D10:2)$.

Consideremos que las señales que entran al puente rectificador son las siguientes:

$$\begin{aligned} V_{AB} &= V_m \cos(\omega t) \\ V_{BC} &= V_m \cos(\omega t - 120^\circ) \\ V_{CA} &= V_m \cos(\omega t - 240^\circ) \end{aligned}$$

Analicemos solo dos fases en relación con el voltaje rectificado de C.D.

$$V_{AB} = V_m \cos(\omega t)$$

$$V_{DC} = \sqrt{2} V_{AB} \cos(\omega t) \dots -\frac{\pi}{6} < \omega t < \frac{\pi}{6}$$

El área generada bajo este periodo ($\pi/3$) corresponde a:

$$A = \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} \sqrt{2}V_{AB} \cos(\omega t) d(\omega t) = \sqrt{2}V_{AB}$$

$$V_{DC(rec)} = \frac{A}{\left(\frac{\pi}{3}\right)} = \left(\frac{3\sqrt{2}}{\pi}\right)V_{AB} \approx (1.3505)V_{AB}$$

De la expresión anterior podemos obtener una aproximación del rizo de voltaje:

$$r = \left(\frac{\sqrt{2}V_{AB} - (1.35)V_{AB}}{\sqrt{2}V_{AB}} \right) 100 = \left(\frac{\sqrt{2} - 1.3505}{\sqrt{2}} \right) 100 = 4.5\%$$

Aunque no es tan exacto como el valor calculado en el anexo siguiente, corrobora que el rizo de voltaje es muy pequeño.

Finalmente en condiciones ideales el factor de potencia (FP) y el factor de desplazamiento (DFP), son casi unitarios. Al incluir las inductancias de entrada, el valor del factor de potencia varía de acuerdo a la cantidad de corriente demandada y a la distorsión armónica; pero es difícil que se reduzca más allá de 0.85, en las condiciones de diseño planteadas, manteniendo a la par un factor de desplazamiento equivalente.

Para complementar esta información se puede estimar el valor del rizo de voltaje en bus de C.D. en función del valor de capacitancia propuesto (990 μ F) y la ecuación empleada para el cálculo del capacitor en las fuentes de bajo voltaje:

$$V_r = \frac{I_o}{2fC} = \frac{6A}{2(360)(990\mu F)} = 8.41V$$

Si el rizo de voltaje es de $310 * 0.045 \approx 14$ V, el valor de rizo en la práctica es pequeño respecto del calculado, de aproximadamente 6 V.

ANEXO No. 2

Para calcular de manera formal el rizo (r) de un puente completo rectificador trifásico, estableceremos las siguientes condiciones basadas en [25]:

$$r = \left(\sqrt{\left(\frac{V_{rms}}{V_{DC}} \right)^2} - 1 \right) 100\%$$

$$V_{DC} = \frac{1}{T} \int_0^T V_o(t) dt$$

$$V_{rms} = \sqrt{\frac{1}{T} \int_0^T V_o^2(t) dt}$$

$$V_o = V_m \cos(\omega t) \dots -\frac{\pi}{6} < \omega t < \frac{\pi}{6}$$

Y el periodo de integración será:

$$T = \frac{\pi}{3}$$

Sustituyendo valores tenemos que:

$$V_{DC} = \frac{\omega}{\left(\frac{\pi}{3}\right)} \int_{-\frac{\pi}{6\omega}}^{\frac{\pi}{6\omega}} V_m \cos(\omega t) dt = \left(\frac{3}{\pi}\right) V_m$$

Ahora el voltaje eficaz:

$$V_{rms} = \sqrt{\frac{\omega}{\left(\frac{\pi}{3}\right)} \int_{-\frac{\pi}{6\omega}}^{\frac{\pi}{6\omega}} V_m^2 \cos^2(\omega t) dt} = V_m \sqrt{\frac{1}{2} + \frac{3\sqrt{3}}{4\pi}} = (0.9558)V_m$$

$$r = \left(\sqrt{\left(\frac{0.9558}{\frac{3}{\pi}} \right)^2} - 1 \right) 100\% = 4.2\%$$

ANEXO No. 3

TABLE 1		
METHOD	BASIC CIRCUIT	KEY FEATURES
FLOATING GATE DRIVE SUPPLY		<p>Full gate control for indefinite periods of time. Cost impact of isolated supply is significant (one required for each high side MOSFET). Level shifting a ground referenced signal can be tricky: Level shifter must sustain full voltage, switch fast with minimal propagation delays and low power consumption. Opto isolators tend to be relatively expensive, limited in bandwidth and noise sensitive.</p>
PULSE TRANSFORMER		<p>Simple and cost effective but limited in many respects. Operation over wide duty cycles requires complex techniques. Transformer size increases significantly as frequency decreases. Significant parasitics create less than ideal operation with fast switching waveforms.</p>
CHARGE PUMP		<p>Can be used to generate an "over-rail" voltage controlled by a level shifter or to "pump" the gate when MOSFET is turned on. In the first case the problems of a level shifter have to be tackled. In the second case turn on times tend to be too long for switching applications. In either case, gate can be kept on for an indefinite period of time. Inefficiencies in the voltage multiplication circuit may require more than two stages of pumping.</p>
BOOTSTRAP		<p>Simple and inexpensive with some of the limitations of the pulse transformer: duty cycle and on-time are both constrained by the need to refresh the bootstrap capacitor. If the capacitor is charged from a high voltage rail, power dissipation can be significant. Requires level shifter, with its associated difficulties.</p>
CARRIER DRIVE		<p>Gives full gate control for an indefinite period of time but is somewhat limited in switching performance. This can be improved with added complexity.</p>

Tabla con distintos esquemas para implementar un driver para MOSFET's o IGBT's [9].

ANEXO No. 4

Simulación de SVM de forma analógica a través de PSPICE, se observa que uno de los principios bajo el que opera la modulación, es agregar la componente rectificadora por los diodos (rizo de C.D. sin filtrar), en cada fase. Esto aumenta los armónicos y sobre todo también la cantidad de voltaje aprovechado del bus de C.D.

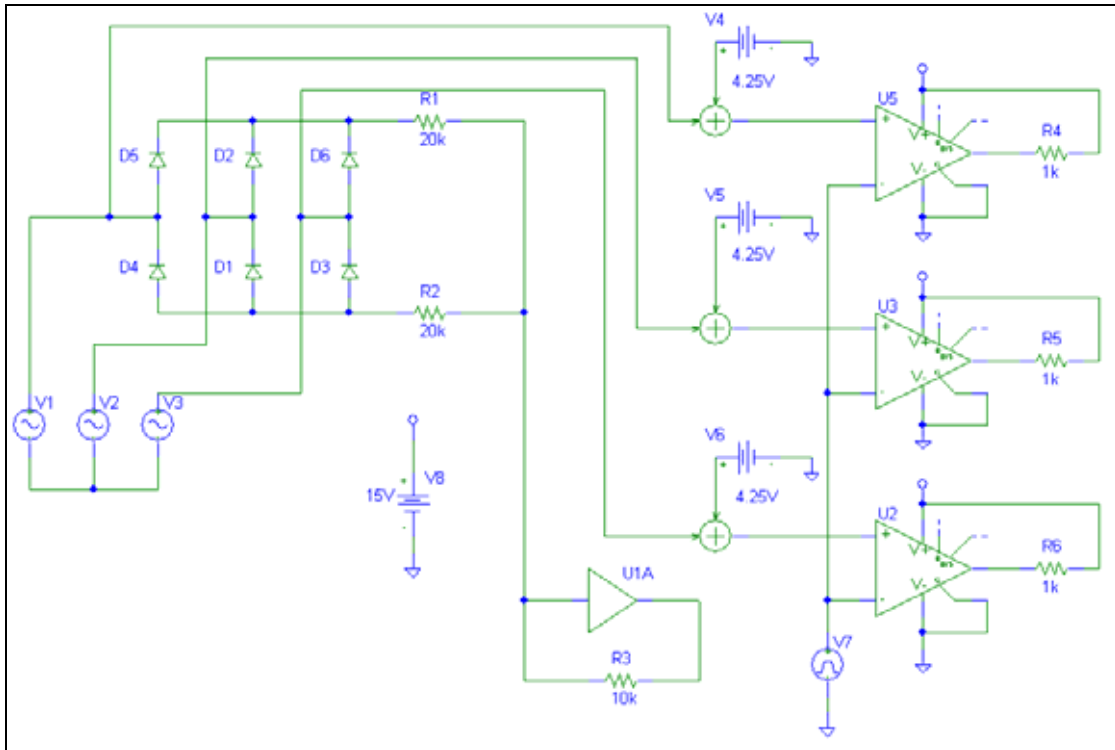


Figura A2. Esquema en PSPICE para la simulación de SVM.

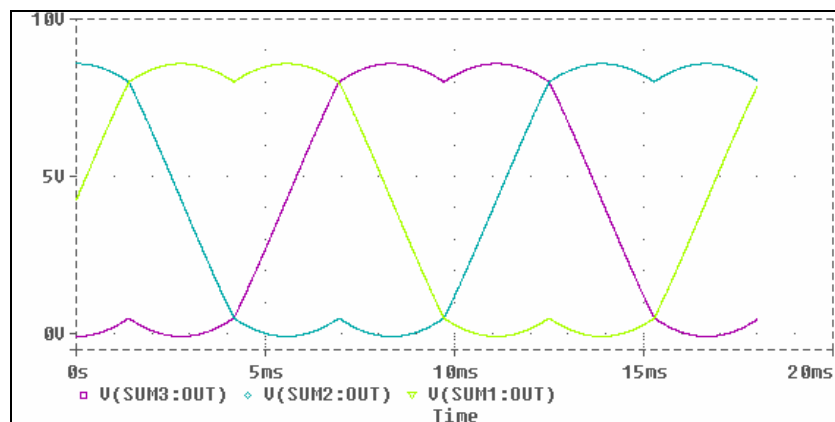


Figura A3. Gráficas obtenidas de las tres fases.

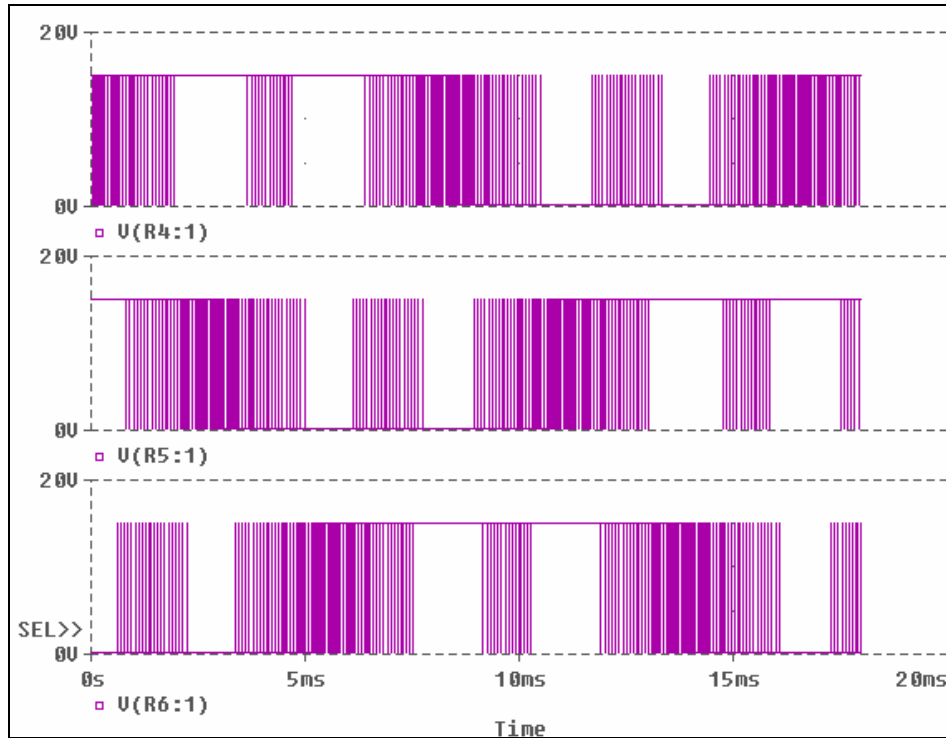


Figura A4. Señales de la figura A3, moduladas con portadora triangular de 11.7 kHz.

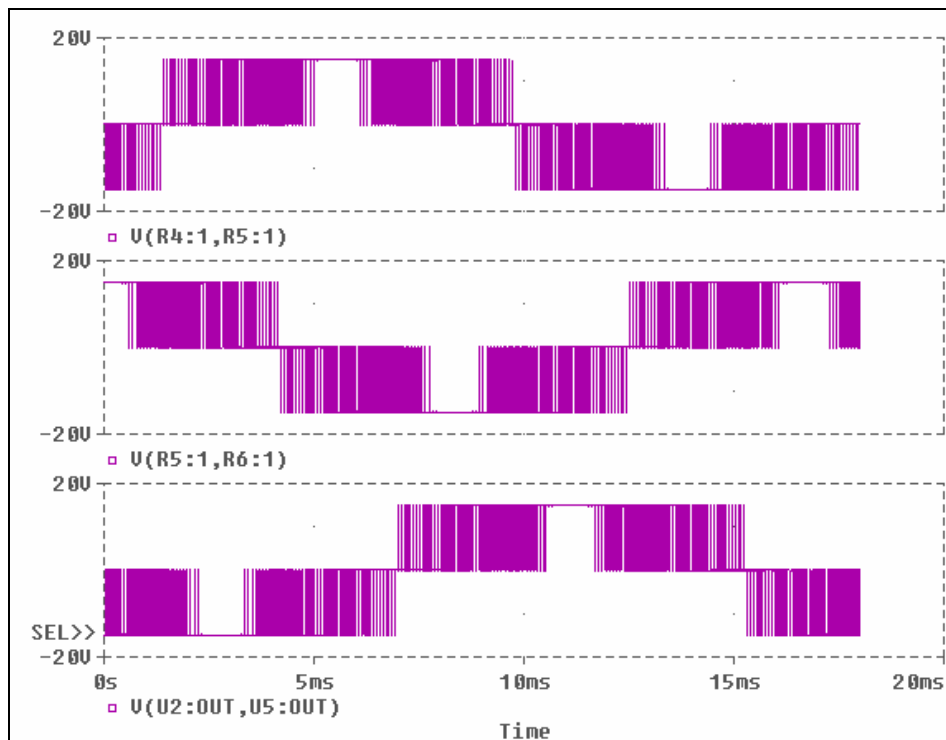


Figura A5. Señales entre fases, moduladas con F_{PWM} duplicada a 22.5 kHz.

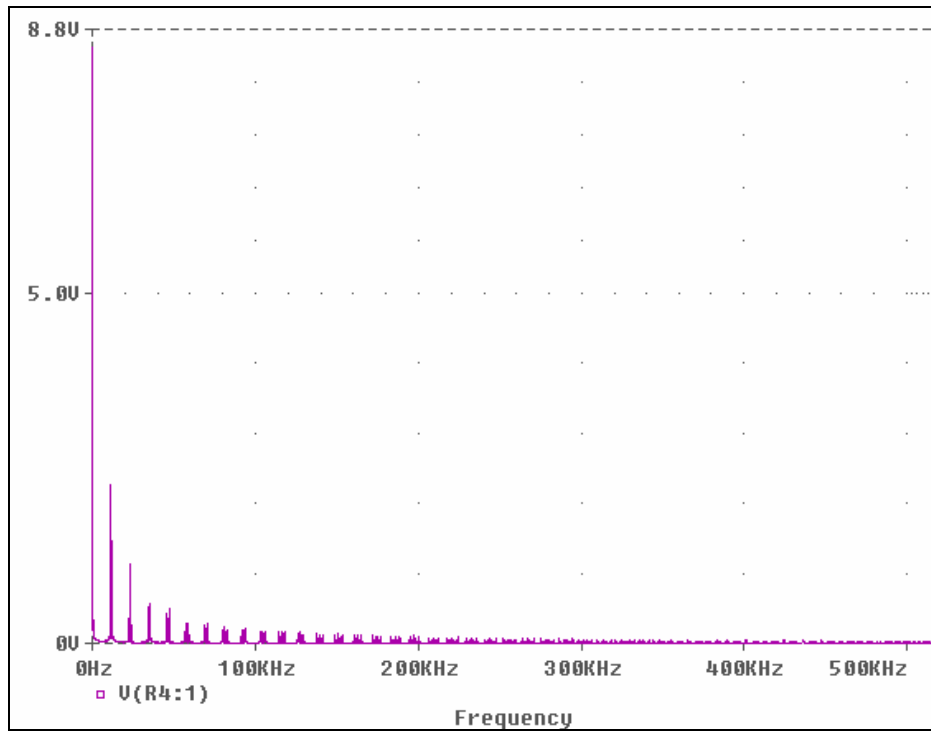


Figura A6. Espectro de frecuencias de una de las señales de la figura A4.

BIBLIOGRAFÍA

- [1] Ned Moham, Tore M. Undeland, William P. Robbins. Power Electronics, Converters, Applications and Desing. (Ed. John Wiley and Sons, Third edition, New York), 2003.
- [2] Richard Valentine. Motor Control Electronics Handbook. (Ed. McGraw Hill, New York), 1998.
- [3] Robert W. Ericsson and Dragan Maksimović. Fundamentals of Power Electronics. (Ed. Springer Science + Business Media, second edition, New York), 2001.
- [4] M. P. Kazmierkowski, R. Krishan, F. Blaabjerg. Control in Power Electronics. (Academic Press). 2002.
- [5] Joshep Vithayathil. Power Electronics, principles and applications. (Ed. McGraw-Hill, series in electrical and computer engineering, New York), 1995.
- [6] Altera: CF52005-2.2, Configuration Devices for SRAM-Based LUT devices data sheet.
- [7] Altera: CF52006-2.2, Device configuration options.
- [8] Altera: CF51006-2.1, Configuring Mercury, APEX 20K, ACEX 1K, & FLEX 10K devices.
- [9] International Rectifier: AN-985, AN-978, IR2110 data sheet, IRG4PC40UD data sheet, EE456_Notes_Pages_288a-302.
- [10] Microchip: AN-955.
- [11] National Instruments: ADC0820 data sheet.
- [12] SANREX: DF30AA120 data sheet.
- [13] ATMEL: AT28C64B data sheet.
- [14] Xilinx: XAPP-448: Logic-Based AC Induction Motor Controller.

- [15] Salvador Seguí Chilet, Francisco J. Gimeno Sales, Rafael Masot Peris y Salvador Orts Grau, "Control vectorial de inversores trifásicos 1 y 2", Control de Potencia, Dep. De Ingeniería Electrónica Universidad Politécnica de Valencia, 2003.
- [16] R. Erickson, S. Angkititrakul, O. Al-Naseem and G. Lujan, "Novel Power Electronics Systems for Wind Energy Applications: Final Report", University of Colorado Boulder, Colorado. 2004.
- [17] Rafael R. Ramos, Domingo Biel, Enric Fossas, and Francesc Guinjoan, "A Fixed-Frequency Quasi-Sliding Control Algorithm: Application to Power inverters design by means of FPGA implementation". IEEE transactions on power electronics, vol. 18, no. 1, january 2003.
- [18] Bo Feng, Dehong Xu, Wenqian Wang and Jun Xu, "A Novel Zero Voltage Switching SVM (ZVS-SVM) Controlled Three-phase Boost Rectifier". IEEE-2005.
- [19] Yen-Shin Lai and S. R. Bowes, "A Novel High Frequency Universal Space Vector Modulation Control Technique", IEEE-1997.
- [20] J. Doval-Gandoy, A. Iglesias, C. Castro and C. M. Peiialver, "Three alternatives for implementing space vector modulation with the DSP TMS320F240", IEEE-1999.
- [21] Sidney R. Bowes and Yen-Shin Lai, "The Relationship Between Space-Vector Modulation and Regular-Sampled PWM". IEEE transactions on industrial electronics, vol. 44, no. 5, october 1997.
- [22] Alexis Kwasinski, Philip T. Krein and Patrick L. Chapman, "Time Domain Comparison of Pulse-Width Modulation Schemes", IEEE power electronics letters, vol. 1, no. 3, september 2003.
- [23] T.A. Lipo and Karel Jezernik, "Chapter 15: AC Motor Speed Control", Draft Date: February 5, 2002.
- [24] BALDOR MOTORS and DRIVES: Connections and Dimensions data.
- [25] Stephen J. Chapman, Electric machinery Fundamentals. (McGraw Hill, New York, fourth edition), 2005.