

01129
30



UNIVERSIDAD NACIONAL AUTÓNOMA
DE MÉXICO

FACULTAD DE INGENIERÍA

TESIS CON
FALLA DE ORIGEN

ENSAMBLE, PRUEBAS OPERATIVAS Y PRUEBAS
DE CERTIFICACIÓN PARA LA COMPUTADORA
DE VUELO Y EL MÓDULO DE ELECTRÓNICA DE
SENSORES DE UN MICROSATÉLITE
EXPERIMENTAL

T E S I S
QUE PARA OBTENER EL TÍTULO DE:
INGENIERO ELÉCTRICO ELECTRÓNICO
P R E S E N T A:
JOSÉ LUIS GUTIÉRREZ GUTIÉRREZ

ASESOR:
M.I. ESAÚ VICENTE VIVAS

MÉXICO, D.F.

2003





Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**TESIS
CON
FALLA DE
ORIGEN**

PAGINACION DISCONTINUA

TESIS CON
FALLA DE ORIGEN

A MIS PADRES

*A MIS HERMANOS ALEJANDRO Y OMAR
A MI HERMANA VERÓNICA
Y A TODOS AQUELLOS QUE ME
AYUDARÓN A SER LO QUE HOY SOY*

TESIS CON
FALLA DE ORIGEN

Agradecimientos

A todos los profesores de la facultad de ingeniería por su dedicación y esfuerzo para con todos sus alumnos.

Quiero agradecer especialmente a mis padres Eusebio Gutiérrez García y Martha Gutiérrez Domínguez por todo el apoyo moral y económico brindado para lograr mis metas y objetivos.

A mi hermana Verónica y a mis hermanos Alejandro y Omar por haberme apoyado en todo momento para la realización de este trabajo.

A mi director de tesis Esaú Vicente por haberme brindado un poco de su tiempo, orientarme y apoyarme en la realización de esta tesis.

A mi primo Jaime Miranda por su apoyo incondicional.

A mis amigos Jacqueline D. , Daniel R. , Alfredo , y a todos aquellos que por el momento no recuerdo pero que compartieron conmigo muchos momentos dentro y fuera de la JJ.

A los familiares que siempre creyeron en mí.

ATTE

José Luis Gutiérrez G.

Índice

CAPÍTULO 1. INTRODUCCIÓN	4
1.1 ANTECEDENTES DEL PROYECTO	4
1.2 EL PROYECTO MICROSATELITAL SATEX	5
1.3 DESCRIPCIÓN GLOBAL DEL SATELITE	7
1.4 OBJETIVOS Y DELIMITACIONES DE LA PRESENTE TESIS	9
1.4.1 <i>Introducción</i>	9
1.4.2 <i>Objetivos</i>	10
CAPÍTULO 2. ASPECTOS GENERALES DE LA INSTRUMENTACIÓN DEL MICROSATELITE SATEX	11
2.1 INTRODUCCIÓN	11
2.2 COMPUTADORA DE VUELO	11
2.2.1 <i>Partes que integran a la CV</i>	12
2.2.2 <i>Sensores de efecto "Latch-up"</i>	13
2.2.3 <i>Datos técnicos de la computadora de vuelo</i>	13
2.3 MÓDULO ELECTRÓNICO DE ACONDICIONAMIENTO DE SENSORES DE LA COMPUTADORA DE VUELO	14
2.4 EXPERIMENTOS QUE REALIZARÁ EL MICROSATELITE	14
2.4.1 <i>Arquitectura de cómputo semivirtual</i>	14
2.4.2 <i>Comunicaciones ópticas espacio-Tierra</i>	15
2.4.3 <i>Cámara digital de percepción remota</i>	16
2.4.4 <i>Respaldo de comunicación por tonos</i>	16
2.4.5 <i>Estudio de propagación de señales en la banda Ka</i>	18
CAPÍTULO 3. ACTUALIZACIÓN DE LA TARJETA DE CONMUTACIÓN DE PROCESADORES (TCVCCTRL)	19
3.1 INTRODUCCIÓN	19
3.2 DESCRIPCIÓN FUNCIONAL DE LA TARJETA DE CONMUTACIÓN DE PROCESADORES. 19	19
3.2.1 <i>Encendido de Procesadores</i>	19
3.2.2 <i>Comunicaciones externas y multiplexaje de señales</i>	20
3.3 CAMBIOS REALIZADOS A LA ELECTRÓNICA DE LA TARJETA	20
3.3.1 <i>Identificación de las fallas</i>	21
3.4 DISEÑO Y FABRICACIÓN DEL CIRCUITO IMPRESO	23
3.4.1 <i>Captura del circuito esquemático</i>	24
3.4.2 <i>Verificación del diseño eléctrico de los esquemáticos</i>	26
3.4.3 <i>Generación de las listas de redes</i>	26
3.4.3 <i>Generación de la plataforma para las tarjetas impresas</i>	27
3.4.4 <i>Cargado de la red del esquemático a la plataforma de las tarjetas impresas</i>	27
3.4.5 <i>Posicionamiento de componentes en las tarjetas</i>	27
3.4.6 <i>Ruteo de las tarjetas impresas</i>	30
3.4.7 <i>Generación de archivos de salida para la manufactura de las tarjetas impresas</i>	33

3.5	ENSAMBLE Y PRUEBAS OPERATIVAS.....	33
3.5.1	<i>Limpieza y montaje de componentes.....</i>	33
3.5.2	<i>Pruebas Realizadas.....</i>	34
CAPÍTULO 4. CALIBRACIÓN DE LOS SENSORES DE EFECTO "LATCH-UP", ENSAMBLE DE TARJETAS DE PROCESADORES Y SOFTWARE ELABORADO PARA EL CONTROL DEL CIRCUITO EDAC		36
4.1	INTRODUCCIÓN	36
4.2	CALIBRACIÓN Y PRUEBAS DEL CIRCUITO DE SENSADO DE EFECTO "LATCH-UP"	37
4.2.1	<i>Calibración.....</i>	37
4.3	PRUEBAS APLICADAS A LAS TARJETAS DE PROCESAMIENTO	41
4.4	SOFTWARE DESARROLLADO PARA CONTROL DEL CIRCUITO EDAC.....	47
4.4.1	<i>Inicialización del circuito EDAC y escritura a memoria.....</i>	47
4.4.2	<i>Refresco de memoria.....</i>	47
4.4.3	<i>Lectura de memoria</i>	48
CAPÍTULO 5 PRUEBAS APLICADAS A LA COMPUTADORA DE VUELO		49
5.1	INTRODUCCIÓN	49
5.2	CARGA DE PROGRAMAS A LA CV	49
5.2.1	<i>Escenario para la prueba.....</i>	49
5.2.2	<i>Desarrollo de la prueba de carga de nuevos programas a la CV.....</i>	53
5.3	PRUEBA DE LA CV CON PROCESADOR PRINCIPAL	54
5.3.2	<i>Prueba de la electrónica para el modo BTL y carga de nuevo programa.....</i>	55
5.3.3	<i>Pruebas de la memoria expandida y EDAC.....</i>	55
5.3.4	<i>Prueba del Sensor de efecto "Latch up".....</i>	55
5.4	PRUEBA MANUAL DE CONSULTACIÓN DE PROCESADORES CON AYUDA DEL SIMULADOR DEL SATÉLITE.....	56
5.5	PRUEBAS DE LA CV CONECTADA AL SIMULADOR DE SATÉLITE Y EJECUTANDO EL SOFTWARE DE VUELO.....	57
5.5.1	<i>Esquema de simulación del Satélite.....</i>	57
5.5.2	<i>Desarrollo de la prueba de la CV conectada al SIMSAT y ejecutando el software de vuelo.....</i>	63
5.6	PRUEBA DE LA CV CON PROCESADOR REDUNDANTE.....	63
CAPÍTULO 6. DISEÑO DE CONTENEDORES E INSTALACIÓN DE TABLOIDES ELECTRÓNICOS PARA LA CV Y EL MÓDULO ACSELS.....		64
6.1	INTRODUCCIÓN	64
6.2	DISEÑO DEL CONTENEDOR DE LA CV	64
6.2.1	<i>Diseño del modelo de la CV.....</i>	64
6.2.2	<i>Dibujo en Autocad 2000.....</i>	65
6.2.3	<i>Impresión del diseño del recinto para la CV.....</i>	66
6.3	DISEÑO DEL CONTENEDOR DEL MÓDULO ACSELS	69
6.3.1	<i>Elección del diseño del recinto.....</i>	69
6.3.2	<i>Dibujo en Autocad 2000.....</i>	69
6.3.3	<i>Impresión del diseño correspondiente al recinto para el módulo ACSELS.....</i>	69
6.4	MANUFACTURA DE LOS CONTENEDORES DE ALUMINIO	70
6.5	ENSAMBLE DE LA CV CON SU CONTENEDOR DE VUELO	75

6.5.1	<i>Limpieza del contenedor</i>	75
6.5.2	<i>Realización de perforaciones en las charolas del recinto de la CV</i>	75
6.5.3	<i>Soldado de conectores militares de E/S para la CV</i>	75
6.5.4	<i>Montaje final de impresos en el recinto de la CV</i>	77
6.6	ENSAMBLE DEL MÓDULO ACSELS EN SU CONTENEDOR DE VUELO	81
6.6.1	<i>Limpieza del contenedor</i>	81
6.6.2	<i>Soldado de conectores militares para el módulo ACSELS</i>	81
6.6.3	<i>Montaje final del módulo ACSELS</i>	81
CAPÍTULO 7 PRUEBAS DE INTERCONEXIÓN ENTRE LA CV Y EL MÓDULO ACSELS, PRUEBAS OPERATIVAS EN COMBINACIÓN CON EL SOFTWARE DE OPERACIONES SATELITAL, EL SOFTWARE DE ESTACIÓN TERRENA Y EL SOFTWARE SOFDEVO		84
7.1	INTRODUCCIÓN	84
7.2	INTERCONEXIONES ELÉCTRICAS ENTRE LA CV Y EL MÓDULO ACSELS	84
7.3	EQUIPO UTILIZADO PARA LAS PRUEBAS DE VALIDACIÓN ENTRE LA CV Y EL MÓDULO ACSELS	85
7.3.1	<i>Software de emulación de cargas útiles</i>	85
7.3.2	<i>Software de estación terrena</i>	85
7.3.3	<i>Simulador de satélite</i>	86
7.4	SEGUIMIENTO DE LAS OPERACIONES DEL SOFTWARE DE LA CV POR MEDIO DE SOFDEVO	86
7.4.1	<i>Inicio de la supervisión de operaciones de la CV</i>	86
7.4.2	<i>Monitoreo de misiones enviadas a la CV</i>	89
7.4.3	<i>Programación y seguimiento de Fallas</i>	89
7.5	PRUEBAS REALIZADAS DE MANTENIMIENTO AUTOMÁTICO A LA CV CON PROPÓSITOS DE VALIDACIÓN	91
7.5.1	<i>Prueba de reconfiguración de la CV</i>	91
7.5.1.1	<i>Preparación de la prueba de reconfiguración de la CV</i>	91
7.5.1.2	<i>Desarrollo de la prueba reconfiguración de la CV</i>	95
7.5.2	<i>Simulación de fallas</i>	95
CAPÍTULO 8. CONCLUSIONES Y RECOMENDACIONES		99
8.1	CONCLUSIONES	99
8.2	RECOMENDACIONES	100
BIBLIOGRAFÍA		101
APÉNDICE A SOFTWARE PARA EL CONTROL DEL EDAC		104

<p>TESIS CON FALLA DE ORIGEN</p>

Capítulo 1. Introducción

TESIS CON
FALLA DE ORIGEN

1.1 Antecedentes del proyecto

La historia de los satélites se remonta hasta el año 1957 en que fue lanzado el SPUTNIK-1, de la hoy desaparecida Unión Soviética, que fue el primer satélite artificial en orbitar la tierra. Al inicio de esta nueva era espacial los satélites solo eran utilizados para proyectos militares y meteorológicos, sin embargo con el avance tecnológico de las últimas décadas los satélites se han revolucionado incrementando su utilización.

En la actualidad el interés por los satélites pequeños por parte de los gobiernos, universidades e instituciones privadas ha ido en aumento debido a los grandes avances en el campo de la microelectrónica, además de la reducción de costos y tiempos de producción de los mismos, lo cual convierte a los microsátélites en una alternativa viable para la realización, entre otros, de: experimentos, misiones militares, desarrollo y validación de nuevas tecnologías.

En México el desarrollo de tecnología espacial se inició a mediados de la década de los 60's, mediante el estudio de sistemas de comunicaciones y materiales, así como la experiencia con cohetes. Sin embargo, esta actividad tuvo una vida corta y se abandonó el trabajo durante la mayor parte de las décadas de los 70's y los 80's.

A partir de la adquisición de los satélites domésticos nacionales Morelos 1 y 2 en 1982, y su posterior lanzamiento en 1985, renació el interés por desarrollar tecnología espacial propia en México. Se incluyó la presencia de Rodolfo Neri Vela en el transbordador espacial durante el lanzamiento del satélite Morelos 2 cuyas labores consistieron en efectuar algunos experimentos y la fotografía de ciertas áreas del territorio nacional. Sin embargo debido al período de austeridad gubernamental durante 1985-90, fue hasta la definición de características de la segunda generación de satélites mexicanos Solidaridad que se buscó la participación de expertos mexicanos con la compañía fabricante de los satélites en la definición de algunos detalles relacionados con las aplicaciones y cobertura de los satélites Solidaridad 1 y 2.

Esta experiencia permitió buscar el desarrollo local de tecnología para la construcción de satélites y se reforzó como una más de las acciones derivadas del programa "1992, Año Internacional del Espacio". A partir de entonces se han creado varios grupos de estudio y desarrollo de tecnología espacial en México. Estos grupos se han formado principalmente en universidades, centros de investigación y organismos públicos con financiamiento casi total de entidades de gobierno federal y estatales. Prueba de esto han sido los 2 intentos realizados por la UNAM a través del Programa Universitario de Investigación y Desarrollo Espacial (PUIDE): El primero con el UNAMSAT-A, el cual fracasó debido a una falla en el cohete lanzador, y el segundo con el UNAMSAT-B, que logró ser puesto en órbita y que funcionó correctamente solo un par de meses. En la actualidad el PUIDE está extinto por lo que no se espera ningún avance por su parte.

TESIS CON
FALLA DE ORIGEN

Por otro lado, el ahora desaparecido Instituto Mexicano de Comunicaciones (IMC), impulsó un ambicioso proyecto que tenía como finalidad, el diseñar, construir y validar un microsatélite con tecnología espacial mexicana, siendo esta la primera experiencia a este nivel. Dicho proyecto recibió el nombre de SATEX.

1.2 El proyecto microsatelital Satex

En un principio el proyecto SATEX fue patrocinado por el IMC, después por Telecomunicaciones de México (TELECOM) y actualmente se encuentra buscando el patrocinio final para la etapa de pruebas finales de certificación y lanzamiento.

Debido al tamaño del proyecto, se invitó a participar a diversas instituciones educativas y/o de investigación de todo el país, dichas instituciones se mencionan a continuación:

- Centro de Investigación Científica y de Estudios Superiores de Ensenada, CICESE, en Baja California.
- Centro de Investigación en Matemáticas, CIMAF, en Guanajuato.
- Instituto Politécnico Nacional, IPN, por medio de la Escuela de Ingeniería Aeronáutica y la sección de graduados de la Escuela Superior de Ingeniería Mecánica y Eléctrica, ESIME.
- Instituto de Astrofísica Óptica y Electrónica, INAOE, ubicado en Puebla.
- Universidad Nacional Autónoma de México, a través del Instituto de Ingeniería y del Instituto de Geografía.
- Centro de Investigación en Tecnología Digital, CITEDI, de Tijuana, Baja California.
- Centro Nacional de Metrología (CENAM) de Querétaro.

Dentro del proyecto SATEX, cada una de las instituciones participantes es responsable de desarrollar alguno o algunos de los subsistemas del microsatélite, esta asignación se observa en la figura 1.1.

Dentro de los objetivos del proyecto SATEX, podemos mencionar los siguientes:

- Formación de recursos humanos en todas las instituciones participantes.
- Participación de estudiantes e investigadores jóvenes.
- Promoción de convenios de colaboración académica entre instituciones nacionales.
- Desarrollo de tecnología espacial mexicana aplicable a futuros proyectos.

TESIS CON FALLA DE ORIGEN

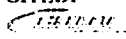





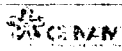
INSTITUCIONES	
 CITEDI	<ul style="list-style-type: none"> • Cámara digital (Cámara CCD) • Sistema de potencia (SP) • Celdas solares • Baterías
 IPN	<ul style="list-style-type: none"> • Coordinación general <p>ESIME:</p> <ul style="list-style-type: none"> • Bobinas de torque magnético (BTM) <p>ESIME Posgrado:</p> <ul style="list-style-type: none"> • Experimento en banda Ka (Ka). <p>Aeronáutica:</p> <ul style="list-style-type: none"> • Integración y pruebas
 CICESE	<ul style="list-style-type: none"> • Equipos de radio para comunicaciones en VHF (VHF1 y VHF2). • Experimento de comunicaciones mediante enlace óptico (CUO). • Decodificador de tonos (DT) o Procesador de Sobrevivencia. • Hardware de estación terrena.
 INAOE	<ul style="list-style-type: none"> • Recepción en banda Ka (estación terrena de Ka)
 CIMAT	<ul style="list-style-type: none"> • Modelado de la dinámica orbital del vehículo, de campo magnético terrestre y de estabilización en tres ejes. • Algoritmos de estabilización del satélite.
 UNAM	<p>Instituto de Ingeniería UNAM:</p> <ul style="list-style-type: none"> • Computadora de Vuelo (CV) • Hardware de acondicionamiento y multicanalización de sensores • Sensores de corriente, temperatura, voltaje y magnetometría • Protocolos y software de telemetría y comando • Protocolos de control distribuido • Software de vuelo • Software de estación terrena • Experimento de computación semivirtual <p>Instituto de Geografía:</p> <ul style="list-style-type: none"> • Mesa Suspensiva en Aire, para validación de algoritmos de estabilización • Sensores Finos de Sol (SFS)
 CICEAN	<ul style="list-style-type: none"> • Pruebas de certificación

Figura 1.1 Asignación de subsistemas a las instituciones participantes.

1.3 Descripción global del satélite

El microsátélite Satex es un cubo de 55 cm por lado, con cuatro de sus caras cubiertas por celdas solares para generar la energía eléctrica que se suministrará a sus subsistemas electrónicos.

Las características principales del microsátélite son las siguientes:

- Masa de 55 kg.
- Computadora de vuelo de doble redundancia.
- Estabilización: Gradiente gravitacional de 6 metros de longitud con masa terminal de 2,2 kg y seis bobinas de par magnético, dos en cada eje ortogonal del satélite.
- Dos magnetómetros triaxiales.
- Cuatro sensores finos de sol bidimensionales y un sensor burdo de sol.
- Cargas útiles:
 - Experimento de comunicaciones ópticas, receptor infrarrojo (CUO)
 - Experimento de comunicaciones en banda Ka, transmisor de 3.5GHz.
 - Cámara Digital en el espectro visible.
 - Comunicaciones de respaldo por tonos (sistema mínimo de sobrevivencia).
 - Mantenimiento automatizado a la computadora de vuelo.
- Órbita Baja (LEO).
- Altitud de 800 km aproximadamente, dependiendo del lanzamiento.

La figura 1.2 muestra un prototipo del microsátélite SATEX.



Figura 1.2 : Modelo del SATEX

El SATEX será puesto en una órbita polar, lo cual implica que se desplazará por todo el planeta, el tiempo estimado de una órbita es de 100 minutos, con tiempos de avistamiento variables con un tiempo máximo de 15 minutos.

El SATEX realizará varios experimentos, dentro de los más importantes se encuentra la carga de nuevos programas a la computadora de vuelo desde la estación terrena, el cual permitirá realizar actualizaciones del software de vuelo según se requieran. Otro experimento de gran importancia consiste en realizar el mantenimiento automatizado de la computadora de vuelo, con la finalidad de incrementar las posibilidades de éxito y tiempo de vida del satélite.

Una característica peculiar de este satélite es la administración de energía, es decir todas las cargas útiles permanecerán apagadas, solo se encenderán aquellas que sean requeridas para la realización de los diferentes experimentos y se apagaran al finalizar su uso.

Aunque no contará con un sistema de enfriamiento sofisticado como los utilizados en los grandes satélites. Se prevé la utilización de cochas térmicas las cuales tienen la capacidad de reflejar el calor recibido y evitar el sobrecalentamiento al interior del satélite, además el satélite no permanecerá estático, si no que se encontrará girando a una cierta velocidad.

Una parte fundamental para todo satélite es su estructura, la cual provee los soportes físicos para asegurar a todos los equipos del satélite, brindar integridad y rigidez al mismo, además de, absorber los esfuerzos mecánicos y térmicos producidos durante las pruebas de certificación e integración.

La estructura del SATEX se construyó con aluminio 7075-T6 con baño de Alodine, tiene una masa aproximada de 10.4 kg y ofrece un volumen disponible de 35 litros para carga útil aproximadamente, en tanto que sus datos de rigidez estructural están determinados por una frecuencia lateral fundamental de 50 Hz (mínimo) y una frecuencia longitudinal fundamental de 100 Hz (mínimo). La figura 1.3 muestra la estructura del SATEX.

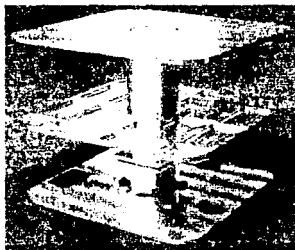


Figura 1.3 Estructura de Sates

1.4 *Objetivos y delimitaciones de la presente tesis*

1.4.1 **Introducción**

Cuando se diseñó el esqueleto de la presente tesis, se incluyeron las pruebas de certificación (vibración y termovació) para la computadora de vuelo (CV) y el módulo electrónico de acondicionamiento de sensores (ACSELS) como parte de éste trabajo. Sin embargo debido a retrasos en la terminación de los equipos a cargo de las otras instituciones, no fue posible realizar estas pruebas por lo cual serán abordadas en otro tema de tesis.

La validación consistió en verificar que toda la electrónica contenida en la CV y el módulo ACSELS se encuentre funcionando de manera óptima. Para esto se diseñaron, planearon y ejecutaron pruebas individuales para cada uno de los módulos que se encuentran integrados dentro de cada equipo y pruebas generales a cada equipo al ejecutar el software de vuelo y el mantenimiento automatizado de la CV. Los detalles de estas pruebas se describen en los capítulos cinco y siete de éste trabajo.

Cuando se comenzó el presente trabajo, únicamente se encontraban terminadas las tres primeras tarjetas de la CV (TCVLATCH-UP, MULTIPLEXAJE y TCVCRTL). Sin embargo, a un no se habían probado, por ello, se comenzó por realizarles las pruebas pertinentes. Al probar la tarjeta de control (TCVCTRL), ésta presentaba diversas fallas, las cuales son descritas en el capítulo tres de éste trabajo, por lo cual fue necesario actualizar y rediseñar ésta tarjeta ya que es de vital importancia para la operación del satélite pues realiza el control de encendido y apagado de las tres tarjetas de procesamiento que componen a la CV, lo cual permitirá realizar el mantenimiento automatizado de la misma, es decir la conmutación entre procesadores.

Otro punto pendiente en el proyecto era el diseño y fabricación de los contenedores para alojar a la CV y al módulo ACSELS, los cuales brindaran protección física a la electrónica de ambos equipos, además de permitir su fijación a la estructura del satélite, los detalles de estos recintos se describen en el capítulo seis de éste trabajo.

Una característica importante de la CV son los módulos de protección contra efecto "Latch-up y contra alteración de datos", ubicados en las tarjetas de procesamiento. El primero constituye un sensor de efecto "Latch-up" que tiene como finalidad apagar a la tarjeta de procesamiento en uso al presentarse este fenómeno. La segunda protección es un dispositivo para la detección y corrección de errores en memoria RAM. Los detalles de estos módulos se describen en el capítulo cuatro de éste trabajo.

1.4.2 Objetivos

El primer objetivo y el más importante de la presente tesis contempla los equipos CV y ACSELS.

El segundo objetivo es la actualización del circuito impreso que realiza la conmutación de procesadores de la CV debido a que durante las pruebas aplicadas al diseño anterior [Ortiz, 2003], se encontraron errores de interacción entre los subsistemas que componen a este circuito con el resto del satélite, se plantearon y realizaron los cambios pertinentes dentro del mismo. Todo esto con el propósito de terminar la versión final de la computadora de vuelo.

El tercer objetivo contempla el diseño y la fabricación de contenedores en aluminio espacial para la computadora de vuelo y el módulo ACSELS, los cuales proveerán protección física para los circuitos impresos, además de la sujeción a la estructura del satélite.

El cuarto objetivo contempla el proceso de armado y calibración de los sensores que conforman al módulo ACSELS, además de la calibración del sensor de efecto "Latch-up" para proteger al microcontrolador de cada unidad de procesamiento de la CV durante eventos de alto consumo de corriente por efectos de radiación espacial.

El último objetivo contempla el proceso de integración de la computadora de vuelo y del módulo ACSELS, el ensamble de los equipos dentro de sus recintos correspondientes, el ensamble de los equipos dentro de sus recintos correspondientes y la realización de las pruebas de validación.

Para lograr el éxito en estos objetivos se utilizaron herramientas de desarrollo asistido por computadora, cuyos nombres y características son expuestos mas adelante en los capítulos referentes a diseño y pruebas. De igual forma se describen los procesos de validación para la computadora de vuelo con el fin de cumplir con los requerimientos de funcionalidad.

Capítulo 2. Aspectos generales de la instrumentación del microsatélite Satex

2.1 Introducción

En este capítulo se dan las características globales del hardware y datos técnicos de la computadora de vuelo del microsatélite y de su instrumentación externa asociada. También se describen de manera general los experimentos propuestos para este satélite. Se de especial atención al experimento de la arquitectura de cómputo semivirtual, propuesto y desarrollado por la UNAM.

2.2 Computadora de vuelo

La computadora de vuelo es una de las piezas más importantes en el microsatélite ya que comandará todas sus operaciones. La CV cuenta con la electrónica correspondiente para tener acceso a la memoria RAM externa y expandida, destinadas principalmente para la carga de nuevos programas en su memoria aun después de ser orbitado.

La CV cuenta con tres tarjetas de procesamiento una principal (CP) y dos redundantes, para respaldo en frío (CR0 y CR1). Cada tarjeta de procesamiento contiene un sensor de efecto "Latch-up", para proteger a cada uno de los microprocesadores los cuales no son de tipo militar.

Cada uno de los módulos de la CV está ensamblado con componentes de tipo militar y de montaje superficial para incrementar las posibilidades de superar las pruebas de certificación, lanzamiento y operación orbital. Cabe mencionar que las pruebas de certificación solo cubren los aspectos mecánicos y térmicos, en cuanto a los equipos, estos quedarán certificados al momento de orbitarlos en el espacio en función del éxito o fracaso de la misión.

La CV contiene la electrónica correspondiente para dos redes locales de comunicación entre los equipos del satélite, esto incrementará sus posibilidades de éxito.

La CV cuenta con 64 Kb de memoria EPROM, donde se grabará una versión mínima del software de vuelo de tal forma que permita al satélite iniciar operaciones de captura de telemetría normal, realización de prueba en Kurou y comunicación con el software de estación terrena. Adicionalmente cuenta con 256 Kb de memoria RAM para el cargado de nuevos programas desde Tierra, así como 1 Mb de memoria RAM expandida para el almacenamiento de telemetría e imágenes. Toda la memoria RAM está protegida por un dispositivo EDAC (Error Detection and Correction Unit) para la detección y corrección de errores simples.

La tarjeta de control (TCVCTRL) permite seleccionar cual procesador estará en uso y por medio de esta se realizará el mantenimiento automatizado de la CV, el cual tiene como finalidad aumentar la vida del satélite, ya que se existe la posibilidad de que se registren fallas simples las cuales se presentan alternativamente por un corto periodo de tiempo y después desaparecen, con este experimento será posible eliminar este tipo de fallas.

Todos los conectores exteriores de la CV son de tipo militar, los cuales se encuentran sujetos al contenedor de la misma y conectados a la tarjeta de "Latch-up"(en donde residen los puertos E/S de la CV) por medio de cable flexible calibre 26.

Éste modelo de CV servirá de base para la construcción de un nanosatélite contemplado a mediano plazo por el líder del proyecto en la UNAM.

2.2.1 Partes que integran a la CV

La computadora de vuelo de Satex contiene:

- Tres tarjetas de procesamiento, cada una con microcontrolador tipo RISC de 16 bits, con una velocidad de procesamiento de 40Mhz, 1.280 Mb de memoria RAM y 64Kb de ROM. A su vez, la memoria RAM cuenta con protección EDAC y tiene electrónica de protección de efecto "latch-up" para el microprocesador, que es el único componente que no cumple con la norma militar MIL-STD-883.
- Un módulo de conmutación de estado sólido que permite transferir toda la instrumentación del satélite (sensores, actuadores, canales de comunicaciones y líneas de entrada/salida) hacia cualquiera de las tres tarjetas de procesamiento.
- Un módulo de multicanalización que permite adquirir hasta 48 señales eléctricas provenientes de sensores.
- Un módulo de filtrado y recorte para señales de sensores y la electrónica para la red de área local del satélite, tanto parte principal como parte redundante.
- Manejadores de línea para algunas de las señales digitales de entrada y de salida.
- Contenedor de aluminio espacial que permite el armado y desarmado de la computadora por capas.
- Adicionalmente, la computadora de vuelo se complementa con un módulo externo, en el cual se aloja la electrónica de acondicionamiento para señales

de sensores de temperatura, magnetómetros, corriente y voltajes consumidos por diversos equipos del satélite.

2.2.2 Sensores de efecto "Latch-up"

Estos sensores se encuentran colocados en cada una de las tarjetas de procesamiento, su objetivo consiste en medir de manera permanente la corriente consumida por el microcontrolador.

Cuando se presente el efecto "Latch-up", la corriente nominal se incrementa rápidamente, el sensor detectará este incremento y cuando la corriente sobrepase el valor de calibración, se generará a su salida un pulso alto (+5 volts). Este pulso accionará un circuito monoestable el cual generará un pulso alto de 14 segundos de duración. Este pulso en combinación con un circuito habilitador (compuesto por circuito OR), permitirá generar las señales correspondientes para el apagado de las tres tarjetas de procesamiento. Los detalles de funcionamiento, calibración y pruebas de estos sensores serán abordados en el capítulo cuatro de esta tesis.

2.2.3 Datos técnicos de la computadora de vuelo

La computadora de vuelo, tiene como cerebro a un microcontrolador RISC SAB80C166 de *Siemens* (<http://www.siemens.com>). Las características generales de este microcontrolador se describen a continuación:

- CPU de 16 bits de alto desempeño con cuatro etapas de Pipeline.
- Posibilidad para la expansión de memoria externa.
- Controlador de interrupciones con 16 niveles de prioridad.
- 8 canales para el registro PEC (*Peripheral Event Controller*).
- 76 líneas de entrada/salida (I/O), con direccionamiento individual.
- Rango de temperatura extendido (-40 a 85 °C)
- Proceso Siemens CMOS de 1.2 micras.
- Empaquetado plástico cuadrado de 100 pines.
- Soporte de desarrollo completo.
- Convertidor analógico de 10 bits

El rango de temperatura, para que la computadora de vuelo opere de forma óptima es de -40 a 85 °C.

La computadora de vuelo requiere de tres voltajes diferentes para su correcta operación, en la tabla 2.1 se muestra cada uno de los voltajes de operación, así como la corriente asociada a cada uno de ellos.

Voltaje Nominal (V)	Corriente Nominal (μ A)
+5 \pm 10 %	590
+12 \pm 10 %	220
-12 \pm 10 %	220

2.3 Módulo electrónico de acondicionamiento de sensores de la computadora de vuelo

El módulo de acondicionamiento de sensores de la computadora de vuelo (ACSELS), está dividido en dos secciones, una de ellas destinada a recabar las señales provenientes de termistores y acondicionarlas en un rango de 0 a +5 Volts para que puedan ser leídas por el convertidor analógico digital del microprocesador.

En esta sección también se encuentra la electrónica correspondiente encargada de dar permiso al detector de tonos, para reconfigurar a la CV dependiendo del estado lógico de cuatro señales provenientes de las cargas útiles.

Otra sección de ACSELS se destina a medir la corriente consumida por cada una de las cargas útiles y posteriormente efectuarles a estas señales el mismo procedimiento de acondicionamiento descrito anteriormente.

El módulo ACSELS está constituido por dos tarjetas colocadas dentro de su contenedor construido en aluminio espacial, los detalles del ensamble de los equipos dentro de sus recintos correspondientes se describen en el capítulo 6 del presente trabajo.

2.4 Experimentos que realizará el microsatélite

2.4.1 Arquitectura de computo semivirtual

Este experimento fue propuesto y desarrollado por la UNAM, el cual pretende realizar el mantenimiento automatizado de la computadora de vuelo. Se llama semivirtual porque contiene una parte física formada por la CV y una parte virtual formada por las computadoras de las cargas útiles, en ambas, se cuenta con procesadores redundantes.

Para la detección de fallas se desarrolló una técnica basada en el voto Bizantino [Torres, 2002], para aplicarla es necesario que exista la potencia suficiente en las baterías para mantener encendidas 4 computadoras durante la prueba.

Para realizar este experimento normalmente se utiliza a la CV, la carga útil óptica (CUO), el sistema de potencia (SP) y el detector de tonos (DT). En términos generales las cuatro computadoras que participan, intercambian resultados de diagnóstico, posteriormente intercambian tablas de diagnóstico y después elaboran un voto mayoritario. Al final del voto las tres cargas útiles envían sus resultados a la CV quien los almacenará en una matriz, para posteriormente enviarlos a la estación terrena durante el siguiente avistamiento con el satélite.

En caso de que los resultados arrojen una falla en la CV, el DT le dará mantenimiento automático, es decir conmutará el procesador en uso, para esto cada una de las computadoras de las cargas útiles previamente generará una señal de permiso dependiendo de los resultados arrojados por el votoo Bizantino con relación al DT. Estos permisos son entregados al modulo ACSELS, el cual contiene un circuito que controla el paso de las señales generadas por el DT para reconfigurar a la CV.

La figura 2.1 ilustra el proceso del votoo bizantino.

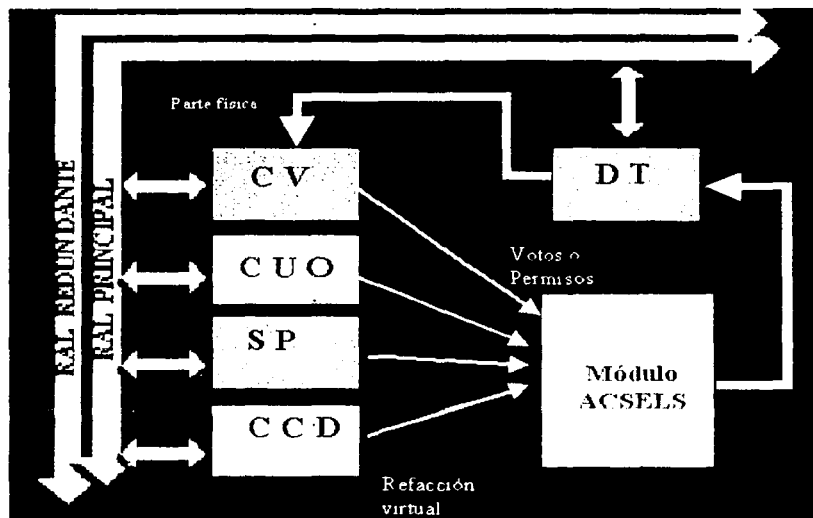


Figura 2.1 Votoo Bizantino

2.4.2 Comunicaciones ópticas espacio-Tierra

Este sistema está constituido por la carga útil óptica (CUO), el objetivo general es realizar comunicaciones ópticas en la dirección satélite-Tierra (en el cercano infrarrojo).

La CUO consta de un transmisor a bordo del satélite y una estación receptora en Tierra. El proceso de comunicación se da con base en una secuencia de tres pasos: adquisición, apuntamiento y seguimiento.

- **Adquisición.**- El sistema tiene que adquirir la señal del láser faro (beacon) en su campo de visión.
- **Apuntamiento.**- El sistema en el satélite alinea sus espejos con la línea de vista del receptor en Tierra. Este tiene que centrar el haz del láser en la superficie de detección.
- **Seguimiento.**- En esta etapa se comienza a enviar la información, manteniendo el sistema alineado. La antena transmisora se ajusta para mantener el haz centrado en el detector. La antena transmisora está manejada por un microcontrolador dedicado que convierte los datos del sistema de localización, el de orientación y del detector en señales manejables. Este microcontrolador interactuará con la computadora principal a bordo del satélite.

La figura 2.2 muestra el diagrama general del enlace óptico.

2.4.3 Cámara digital de percepción remota

Este experimento cuenta con una cámara digital con resolución de 1200 por 1200 píxeles, programable vía puerto serial. La cámara es comercial con adaptaciones para vuelo orbital, por lo cual permanece apagada la mayor parte del tiempo para evitar el efecto "latch-up" en sus componentes VLSI. Una vez que a la CV se le programa la captura de una imagen activará la cámara digital y la programará para la captura de píxeles, posteriormente desactivará la cámara.

2.4.4 Respaldo de comunicación por tonos

Con el objetivo de incrementar las posibilidades de éxito de la misión, el satélite cuenta con dos sistemas de comunicaciones digitales en las bandas de los 148 MHz (VHF, enlace ascendente) y 400 MHz (UHF, enlace descendente), es decir, cuenta con redundancia del 100% tanto en transmisores como en receptores del satélite [Mendieta, 1997]. Adicionalmente, cuenta con el respaldo de un sistema mínimo de comunicaciones que utiliza tonos de audio codificados (DTMF) con una secuencia prefijada para ordenar acciones básicas de control en el satélite (como el encendido y el apagado de transmisores, reconfiguración de la computadora de vuelo, etcétera). El sistema se basa en un microcontrolador militar de Intel programado en ensamblador, con interfaces para la activación de equipos, con dos puertos de comunicaciones y software para integrarse a la red de área local.

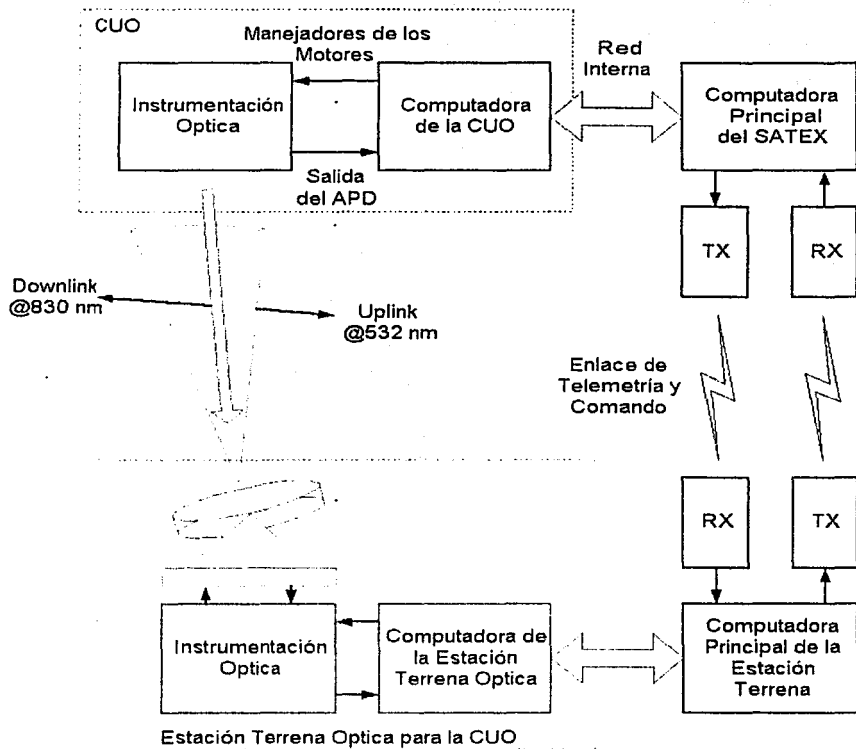


Figura 2.2: Diagrama general del enlace óptico

2.4.5 Estudio de propagación de señales en la banda Ka

El segmento satelital de este experimento fue adquirido por la Sección de Graduados de la ESIME-IPN, el experimento tiene considerado realizar mediciones de atenuación en la banda de los 23GHz mediante la transmisión en sentido Tierra-satélite de una señal modulada en dicha frecuencia. El receptor en el satélite adquiere la señal de Tierra realizando una conversión a radio frecuencia (400MHz) retransmitiendo esta señal de forma directa a Tierra a través de la parte de potencia del radio de telemetría. En la figura 2.3 se muestra un diagrama del experimento Por otro lado el segmento en Tierra lo está desarrollando el INAOE, el mismo consiste de la estación terrena transmisora en banda Ka a la frecuencia de 23GHz.

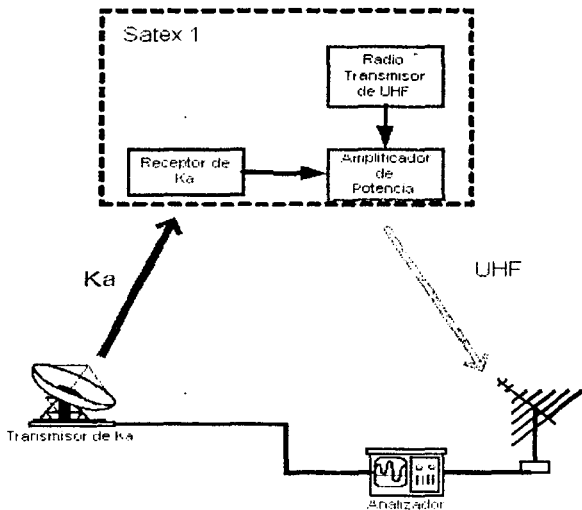


Figura 2.3 Experimento en banda Ka

Capítulo 3. Actualización de la tarjeta de conmutación de procesadores (TCVCTRL)

3.1 Introducción

La tarjeta de control efectúa la conmutación del bus de instrumentación del satélite hacia cada una de las tarjetas de procesadores logrando con ello la conexión de la instrumentación satelital con el módulo de procesamiento operativo en un momento dado. De igual forma, aloja la electrónica de encendido del o los módulos de procesamiento y del módulo de electrónica de sensores los cuales permiten obtener una mejor administración de la energía a bordo del satélite.

En este capítulo se describen las características de cada uno de los módulos que componen a la tarjeta de Control, se describe su funcionalidad y los problemas que presentaba el diseño anterior, se describe el proceso empleado para localizar y corregir fallas en dichos módulos, el proceso de actualización de la tarjeta de Control, la actualización y validación del diagrama esquemático, así como el diseño y manufactura del circuito impreso.

3.2 Descripción funcional de la tarjeta de conmutación de procesadores

La tarjeta de Conmutación de Procesadores, es una de las tarjetas más importantes en vista de que permite realizar el mantenimiento de la computadora de vuelo lo cual implica posibilidades de incrementar la vida del satélite, sus módulos son los siguientes:

- Encendido de Procesadores
- Comunicaciones Externas
- Multiplexaje de señales

3.2.1 Encendido de Procesadores

Este módulo es el encargado de energizar o desenergizar a cada una las tarjetas de microprocesadores según se le indique por medio de las líneas **ON/OFF CP**, **ON CR#**, **SEL CR0-1**, provenientes del Detector de Tonos. En términos generales lo realiza mediante un circuito "Line Driver", el cual realiza la función de interfaz entre las señales TTL mencionadas anteriormente y cuatro arreglos de HEXFET's que operan con pulsos de voltaje de ± 12 Volts. En la figura 3.1 se muestra este módulo.

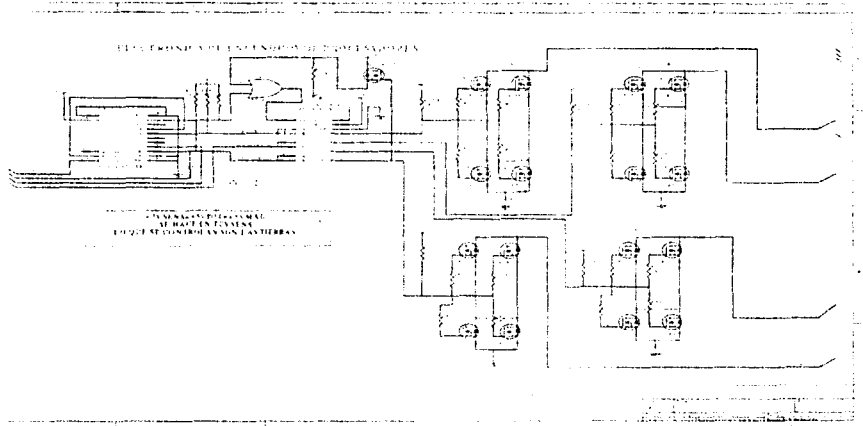


Figura 3.1: Módulo de encendido de procesadores

3.2.2 Comunicaciones externas y multiplexaje de señales

Este módulo proporciona el enlace entre los sistemas de comunicación del satélite con Tierra (VHF1 y VHF2) mediante dos canales de interfaz tipo RS232, uno principal y uno redundante totalmente independientes. Las señales recibidas desde Tierra se multiplexan y se envían al módulo de procesamiento requerido (CP, CR0 o CR1), con ayuda de la electrónica de selección de bus. Durante la transmisión de información a Tierra, la electrónica anterior, permite enlazar el módulo de procesamiento en uso con el bus de instrumentación.

Adicionalmente este módulo controla la conmutación de señales digitales que activan actuadores (bobinas de torque magnético) o que controlan circuitos de encendido para energizar módulos específicos de sensores.

3.3 Cambios Realizados a la Electrónica de la tarjeta.

El modelo anterior de la tarjeta TCVCTRL [Ortiz, 2003], presentaba problemas, en el multiplexaje de algunas señales internas y externas (comunicaciones, señales provenientes del simulador (RESET, DOWN LOAD), control de bobinas de torque magnético, etc.) entre las tarjetas de los Microprocesadores y el exterior, también

presentaba problemas el módulo de encendido de procesadores, siendo este último de gran importancia para extender la vida del microsatélite Satex.

3.3.1 Identificación de las fallas

Antes de realizar los cambios en la electrónica se detectó exactamente el módulo, componente (es) y señal (es) de entrada y salida en donde se encontraban cada una de las fallas. Posteriormente se realizaron los cambios físicos correspondientes en la tarjeta de control anterior con la finalidad de validar su funcionalidad. La figura 3.2 muestra la tarjeta TCVCTRL anterior y se marcan la mayoría de los cambios aplicados. En las subsecuentes secciones se describe de manera detallada cada una de las fallas encontradas y la manera en que se resolvieron.

3.3.1.1 Módulo de Comunicaciones externas

En este módulo las señales recibidas desde Tierra no eran multiplexadas, sino que se enviaban tal cual a cada uno de los módulos de procesamiento. Por otra parte el módulo de encendido de microprocesadores controlaba el encendido y apagado de los mismos por medio de la conexión o desconexión de la línea de tierra, esto es la línea de +5 Volts siempre permanecía fija en cada una de las tarjetas de procesamiento, por lo tanto al seleccionar como activa alguna de las tarjetas (CP, CR o CR1), las tarjetas restantes se desconectaban, ocasionando, que en todos los pines de entrada/salida del procesador de dichas tarjetas, se reflejaran +5 Volts medidos con respecto a GND.

Entonces cuando el software de estación terrena (ET) enviaba un comando para la inicialización del microprocesador por alguno de los dos canales VHF1 o VHF2, este era recibido por cada uno de los microprocesadores, no obstante solo el seleccionado como activo tiene la facultad para contestar el comando. Al recibir ET el comando de respuesta, puede saber si el microprocesador se encuentra listo para recibir el resto del programa o si existe alguna falla. Como existe un reflejo de +5 Volts en las líneas de recepción por parte del microprocesador inactivo, el microprocesador activo interpretaba +5 Volts como una ausencia del comando recibido y por lo tanto no contestaba de manera correcta, generándose un error en las comunicaciones de estación terrena (ET) a la CV.

Para solucionar este problema fue necesario multiplexar el canal de comunicaciones, de modo que cuando se seleccionase como activa a una tarjeta de procesamiento, se cortara el canal de comunicaciones con las otras tarjetas. Para lograr esto se enviaron las señales provenientes de tierra a dos canales de un multiplexor digital dos a uno, y posteriormente de este hacia cada una de las tarjetas de procesamiento. En tanto que las salidas del multiplexor son controladas por medio de las líneas ON/CR DT y SEL, CR0-1.

3.3.1.2 Módulo de Multiplexaje

El problema encontrado en este módulo fue el incorrecto multiplexaje de las señales que el microprocesador envía al exterior. Esto provocaba una serie de errores en el funcionamiento del programa de satélite, en particular en los controladores de las bobinas.

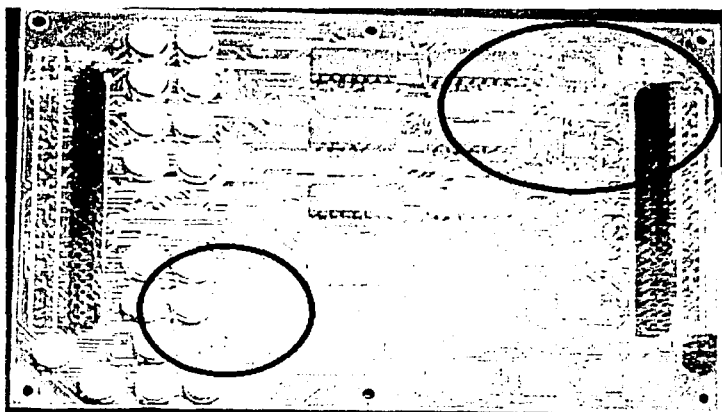


Figura 3.2: Tarjeta TCVCTRL, anterior con las correcciones respectivas

de torque magnético, los cuales se reflejaban en los indicadores visuales de estabilización situados en el simulador del satélite, así como en la transmisión de comandos hacia ET. Esto era debido a que las señales eran tomadas y enviadas por ambos buses (Principal o Redundante) al mismo tiempo, lo que ocasionaba pérdida y alteración de la información enviada y recibida por los módulos de procesamiento.

Este problema fue sumamente sencillo de corregir, solo fue necesario redireccionar hacia el bus correcto las líneas de salida y entrada de información, provenientes de los módulos de procesamiento.

Otra función de suma importancia de la tarjeta de control es la de no permitir el encendido de los microprocesadores CP y CRI simultáneamente, ya que la arquitectura del Hardware de la CV utiliza el mismo bus de salidas y entradas para ambos microprocesadores al mismo tiempo. Si llegasen a trabajar los dos al mismo tiempo, entonces se ocasionarían errores muy graves o incluso podrían ocasionar cortocircuitos que dañarían a ambas tarjetas de microprocesadores.

3.3.1.3 Módulo de encendido de Microprocesadores

Este módulo como se menciona al inicio de este capítulo es de suma importancia, ya que si por su falla se llega a desconectar permanentemente la alimentación de alguna de las tarjetas quedará completamente inutilizable.

El problema encontrado fue en los arreglos de los HEXFET's que controlan el encendido o apagado de cada uno de los microprocesadores. Al realizar pruebas de "switcheo" siguiendo la tabla de encendido 3.2 se encontraron varios HEXFET's dañados, probablemente debido a un cortocircuito por el incorrecto multiplexaje de las señales mencionadas anteriormente. Se realizaron pruebas aisladas en una tarjeta de prueba, se montaron arreglos idénticos a los utilizados y se descubrió que cuando alguno de los cuatro HEXFET's del arreglo se daña la corriente demandada por este, se incrementa de manera considerable y como estos arreglos son alimentados por un "line driver" este dispositivo no tiene la capacidad para suministrar la cantidad de corriente demandada. Esto ocasionaba una caída de potencial a la salida del "line driver", lo cual a su vez ocasionaba que el arreglo seleccionado no conmutara y no encendiese el microprocesador correspondiente.

Para solucionar este problema fue necesario estudiar a fondo el arreglo utilizado, así como la configuración de los HEXFET'S y su polarización. Se encontró que en este tipo de arreglo, con solo suministrar el voltaje adecuado con una corriente mínima, el arreglo conmuta de manera correcta. Esto permite limitar el paso de corriente, con lo cual evitamos que exista una caída de potencial a la salida del "line driver" manteniéndose en +12 o -12 Volts según se requiera encender o apagar un microprocesador en particular. Por lo tanto se colocaron resistencias limitadoras de corriente de 1M Ω a la entrada de cada uno de los cuatro HEXFET's que forman cada uno de los arreglos. Se realizaron pruebas con el nuevo diseño y simulando la avería de alguno de los cuatro HEXFET's del arreglo éste funcionó de manera correcta por lo tanto posteriormente se procedió a implementar la solución definitiva.

3.4 *Diseño y Fabricación del Circuito Impreso*

El nuevo diseño que incluye todos los cambios mencionadas anteriormente fue hecho en su totalidad con ayuda del Software "Protel 99 SE SP6" [PROTEL, 1999] de la compañía "Protel Technologies" [www.protel.com]. Entre las características principales con que cuenta este Software están:

- Aplicación totalmente integrada al entorno de los sistemas operativos Windows NT4.x/9x.
- Todas las herramientas de diseño se integran bajo un mismo ambiente (esquemáticos, PCB'S, simulaciones, etc.)
- Amplias bibliotecas de símbolos (más de 60.000) de componentes de diversos fabricantes para la captura de esquemáticos.
- Simulación integrada de modo mixto, analógico y o digital a partir del esquemático mediante el uso de SPICE 315.
- Diseño de tarjetas de circuito impreso PCB'S controlado por reglas de diseño.
- Ruteador automático, capaz de producir buenos resultados, aún en tarjetas complejas (más del 90% de ruteo)
- Ruteador interactivo, controlado por reglas de diseño.

- Analizador de integridad de señal en el PCB (Cross Talk, reflexiones, etc.).
- Amplia variedad de formatos de archivos de salida para la manufactura: Gerber, NC drill, PostScript, listas de materiales, reportes de verificación, etc.

El proceso de diseño y manufactura de un tabloide electrónico mediante el uso del software Protel, se puede describir de forma muy general como sigue:

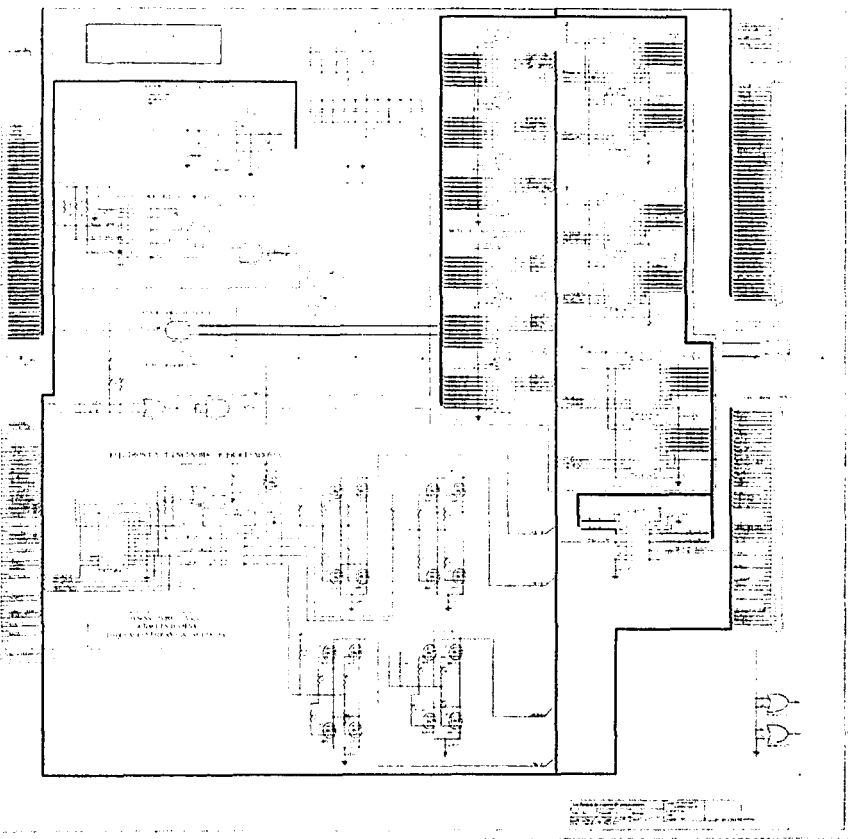
1. Captura del esquemático.
2. Verificación del diseño eléctrico del esquemático.
3. Generación de la lista de redes del circuito.
4. Generación de la plataforma de la tarjeta impresa.
5. Cargado de la red del esquemático a la plataforma de la tarjeta impresa.
6. Posicionamiento de componentes en la tarjeta.
7. Ruteo de redes.
8. Verificación final de las reglas de diseño e integridad de las señales de la tarjeta.
9. Generación de archivos de salida para la manufactura.

Es importante destacar que el proceso de diseño y manufactura de circuitos electrónicos comprende más etapas que las antes mencionadas, ya que debe tomar en cuenta diversos factores como: los costos de manufactura y componentes, disponibilidad de partes, el uso final del equipo, pruebas y reparaciones, actualizaciones, etc. [GINSBERG, 1991].

Con la finalidad de simplificar la descripción del proceso de diseño y manufactura del circuito de la tarjeta TCVCTRL, se adopta la forma general descrita anteriormente, en la cual se observa que los dos primeros incisos implican el trabajo con el diagrama esquemático, los tres siguientes conforman la interfaz entre el diagrama esquemático y la tarjeta impresa, y finalmente los puntos restantes implican el trabajo con la tarjeta impresa y la preparación para su manufactura.

3.4.1 Captura del circuito esquemático

Se utilizó el diseño anterior ya que la finalidad no es crear un nuevo diseño en su totalidad, sino mejorar el anterior. Todas las modificaciones propuestas en la presente tesis fueron incorporadas al efectuar el proceso de captura del esquemático con "Protel", este proceso se llevó a cabo mediante el cableado de los símbolos que comprenden el diseño. Los símbolos de componentes se cargan a partir de las bibliotecas incluidas, o dibujados mediante la herramienta de edición de símbolos. En la figura 3.3 se muestra el diagrama del esquemático de la tarjeta TCVCTRL.



TESIS CON
FALLA DE ORIGEN

Figura 3.3: Diagrama esquemático de la tarjeta TCVCTRL

3.4.2 Verificación del diseño eléctrico de los esquemáticos

El proceso de validación del diseño eléctrico del esquemático de las tarjetas, consiste en verificar la conexión correcta de los componentes que lo forman, así por ejemplo, dos pines de salida de dispositivos electrónicos no pueden estar conectados a un mismo punto, dos redes no pueden tener el mismo nombre ya que esto podría implicar un corto circuito, etc. En esta etapa, Protel ofrece una herramienta para efectuar la verificación de reglas eléctricas como las descritas, generando un reporte con los errores y advertencias basado en una matriz de reglas definidas por el usuario. En la figura 3.5 se muestra un ejemplo de la matriz de reglas de chequeo.

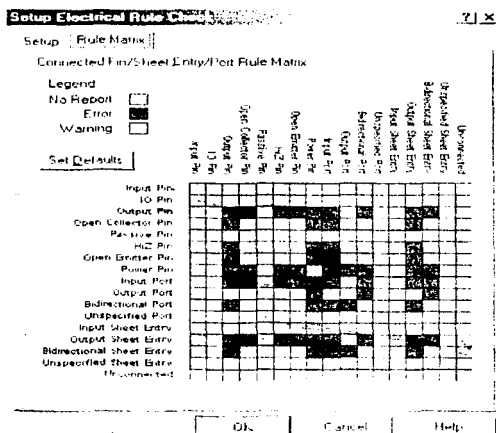


Figura 3.5: Matriz de reglas eléctricas.

3.4.3 Generación de las listas de redes

Esta etapa genera una lista de todos los componentes y sus conexiones eléctricas dentro del circuito, así como las huellas que representarán físicamente a los componentes en las tarjetas impresas.

3.4.3 Generación de la plataforma para las tarjetas impresas

En esta etapa se genera una plataforma en la cual, por un lado se especifican las dimensiones, el número de capas, orificios de fijación y estilo de componentes de la tarjeta impresa, y por otro se especifican las reglas de diseño que deberán seguirse durante el proceso de localización de componentes, ruteado y manufactura de la tarjeta. Durante esta fase se especifican por ejemplo: ancho de pistas, separación entre objetos (pistas, componentes, vías, etc.), capas de ruteo, longitud máxima de pistas, topología de ruteo, etc. Estas reglas pueden ser aplicadas a diferentes objetos dentro de la tarjeta como son: redes o conjuntos de redes, vías, componentes, áreas, grupos de redes, etc.

3.4.4 Cargado de la red del esquemático a la plataforma de las tarjetas impresas

Esta etapa consiste en ligar el listado de redes del esquemático con el diseño de la tarjeta impresa, al ejecutar este paso, el software automáticamente carga las huellas de los componentes tal y como fueron definidas en el esquemático y se genera la vista del nido de ratas ("RAT NEST") de la tarjeta impresa, esta vista muestra las conexiones de todos los componentes del circuito impreso mediante el uso de líneas rectas.

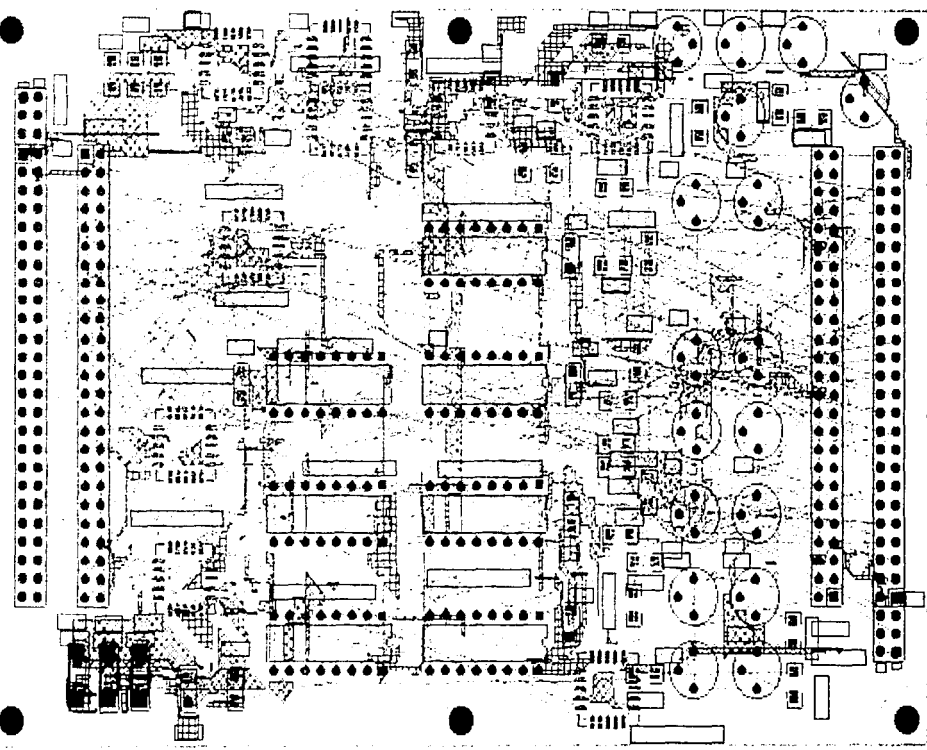
3.4.5 Posicionamiento de componentes en las tarjetas

Antes de comenzar a rutear el circuito impreso, es necesario efectuar el posicionamiento de los componentes en la tarjeta, ya que al efectuar el cargado de la red, los componentes son colocados de forma aleatoria. Para realizar un ruteado eficiente de la tarjeta, es muy importante la forma en que se colocan los componentes, una sugerencia para lograr lo anterior es colocar los componentes de tal forma que las líneas del nido de ratas se crucen lo menos posible. Además a lo anterior se recomienda seguir las siguientes pautas para la colocación de los componentes:

- Colocar los componentes lógicos que trabajen con señales de alta frecuencia, cerca del centro de la tarjeta.
- Reunir los componentes por bloques y módulos, de acuerdo a las funciones que realizan
- Colocar los componentes analógicos juntos y de ser posible en la periferia de la tarjeta
- Colocar los capacitores de desacoplo de polarización, lo más cercano posible a los circuitos integrados de mayor frecuencia.
- No colocar componentes de alta frecuencia muy cercanos a los bordes de la tarjeta impresa.

A continuación en la figura 3.6 y 3.7 se muestran las salidas del nido de ratas generado y listo para rutear la tarjeta TCVCTRL, en sus vistas superior (Top) e inferior (Bottom) respectivamente.

TESIS CON
FALLA DE ORIGEN



28

Figura 3.6: Nido de ratas vista superior de la tarjeta TCVCTRI.

TESIS CON
FALLA DE ORIGEN

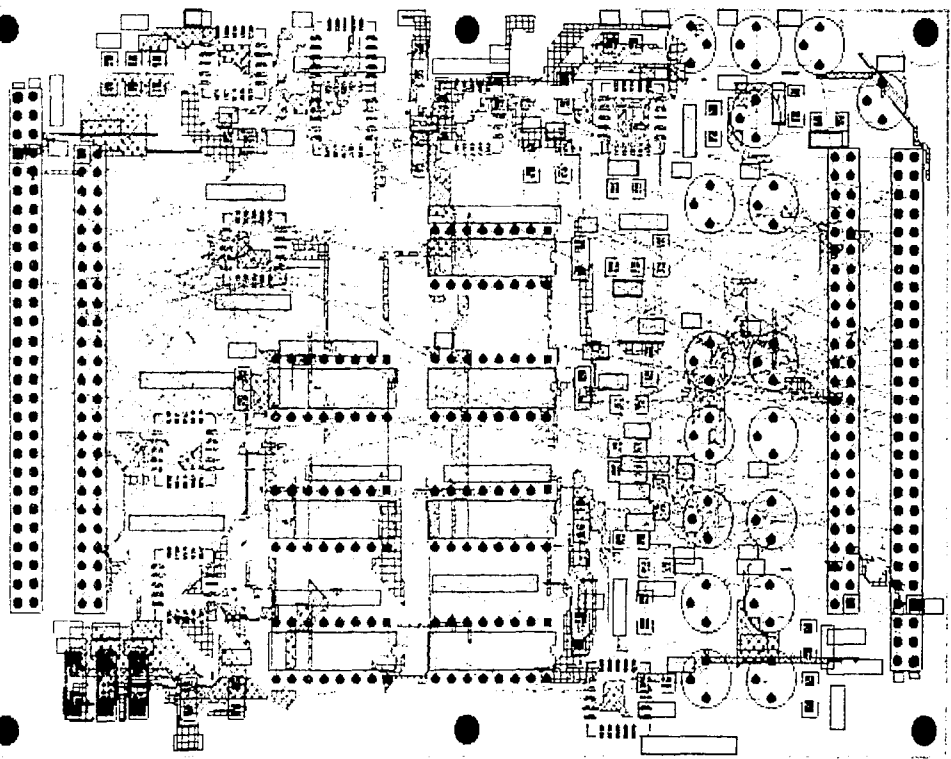


Figura 3.7: Nido de ratas vista inferior de la tarjeta TCVCTRI.

3.4.6 Ruteo de las tarjetas impresas

El ruteo consiste en trazar las conexiones físicas de los componentes dentro de la tarjeta mediante el uso de pistas y vías. Regularmente, esta etapa resulta muy complicada en función de la cantidad de componentes y de conexiones que contenga una tarjeta. Por tanto, esta etapa consume más tiempo en el diseño de las tarjetas impresas, sin embargo, Protel presenta una gran ayuda en este aspecto, ya que su herramienta de ruteo automático ofrece muy buenos resultados en cuanto a calidad y terminación del mismo.

En la tabla 3.1 se muestran las reglas de diseño más importantes aplicadas en el ruteo de la tarjeta TCVCTRL; al aplicar esta herramienta con las reglas de diseño anteriores, Protel ruteó el 95 % dejando algunas líneas sin rutear y con muchos errores, como son: demasiada cercanía entre líneas y vías. Por lo cual fue necesario realizar un chequeo de manera meticulosa y corregir los errores existentes de manera manual lo cual no fue sencillo ya que no había mucho espacio y hubo que reducir el tamaño de algunos Vías. En las figuras 3.8 y 3.9 se muestran las capas superior e inferior completamente ruteadas.

Tabla 3.1: Reglas de ruteo para TCVCTRL.

Regla	Aplicada a	Propiedades
Regla de ancho de pistas	Redes de polarización	Min. = 10, Max. = 20, Preferido = 20
	Todas las demás redes	Min. = 10, Max. = 12, Preferido = 12
Capas de ruteo	Toda la tarjeta	Top = Horiz., Bottom = Vert.
Separación entre objetos	Entre Pads de montaje superficial y Vías	30mils
	Entre polígonos de diferentes redes	30mils
	Toda la tarjeta	10mils
Topología de ruteo	Toda la tarjeta	Horizontal
Estilo de vías de ruteo	Toda la tarjeta	Ø interno = 20mil Ø externo = 40 mil

TESIS CON
FALLA DE ORIGEN

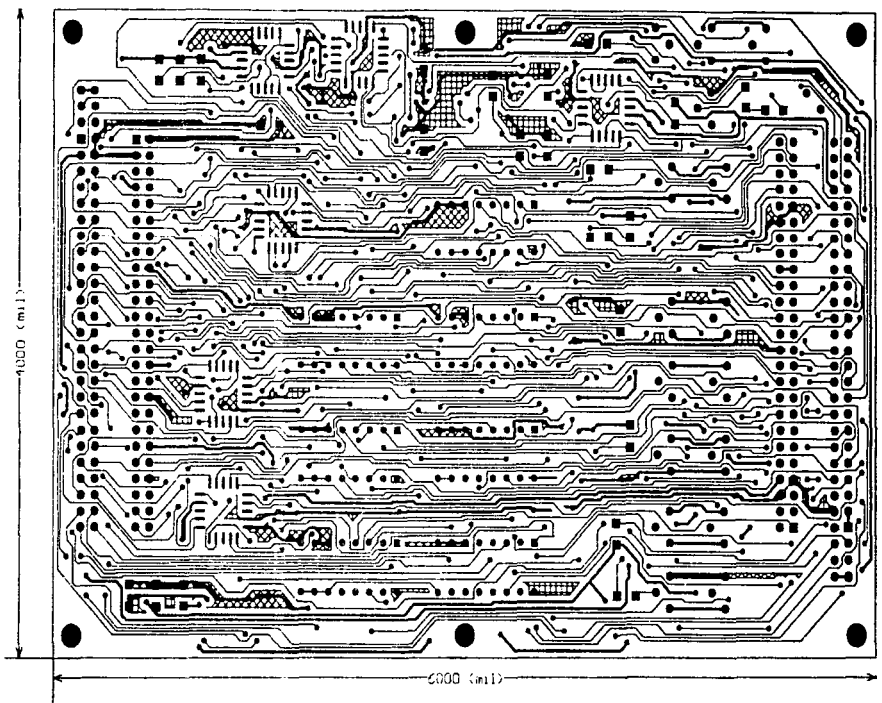
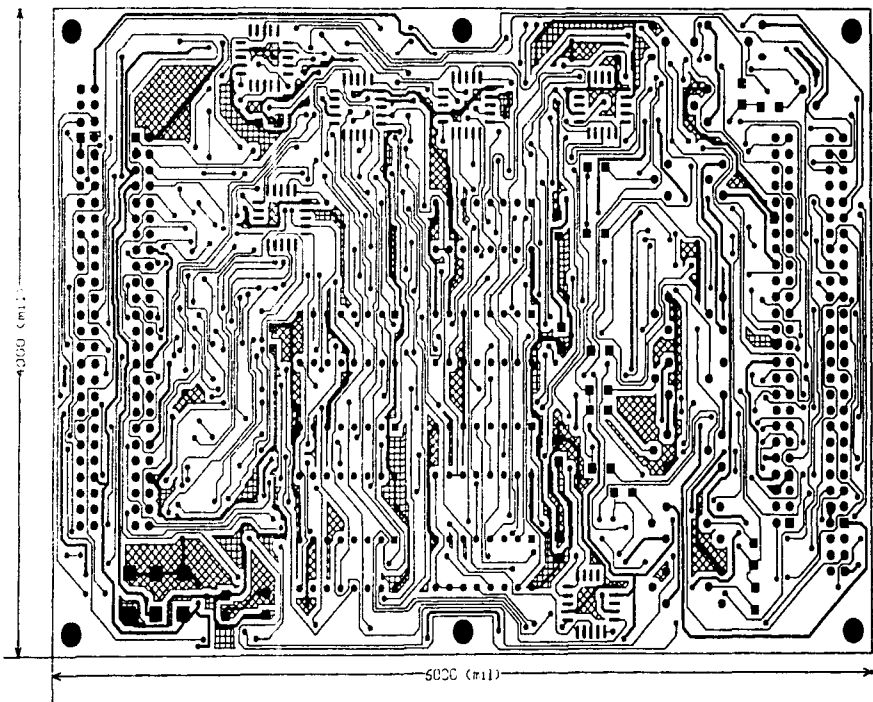


Figura 3.8: Capa superior completamente ruteada



TESIS COM
FALLA DE ORIGEN

Figura 3.9: Capa inferior completamente rutéada

3.4.7 Generación de archivos de salida para la manufactura de las tarjetas impresas

La generación de archivos de salida para la manufactura consiste en generar archivos con un cierto formato determinado por el fabricante de las tarjetas impresas. Estos archivos contienen la información suficiente para fabricar la tarjeta impresa. El formato elegido para la generación de archivos de salida, depende principalmente del método empleado en la fabricación de los circuitos impresos.

El proceso de manufactura empleado por el fabricante, es un proceso manual de fotolitografía, que requiere tener una impresión en negativo de las diferentes caras del circuito impreso, estas impresiones fueron obtenidas por el fabricante a partir de archivos tipo Acrobat generados por Protel. Las caras generadas para cada uno de los circuitos impresos fueron:

1. Cara superior de cobre (Top Layer).
2. Cara inferior de cobre (Bottom Layer).
3. Mascara de antisoldado superior (Top Solder Mask).
4. Mascara de antisoldado inferior (Bottom Solder Mask).
5. Película superior de seda (Top Silkscreen).
6. Película inferior de seda (Bottom Silkscreen).
7. Capa Mecánica (Mechanical Layer).
8. Localización de perforaciones (Drill Drawing).
9. Guía de tamaños de perforación (Drill Guide).

3.5 *Ensamble y Pruebas Operativas*

3.5.1 Limpieza y montaje de componentes

Cuando el circuito impreso se obtuvo de manufactura, se procedió a realizar una inspección visual con la finalidad de detectar defectos en el proceso de fabricación del mismo y de, manera previa al soldado de los componentes, se llevó a cabo una verificación de la continuidad entre las pistas de los impresos con la finalidad de detectar posibles cortocircuitos o fallas en el ruteo de las tarjetas.

Posteriormente se procedió al ensamble y montaje de los componentes correspondientes. Durante el proceso de ensamblado de las tarjetas, fue de suma importancia tomar ciertas precauciones y recomendaciones, entre las que podemos señalar:

- Utilizar una pulsera de aterrizamiento eléctrico, durante la manipulación de las tarjetas impresas y/o los componentes.
- Proteger las tarjetas impresas y los componentes del polvo.

- No aplicar calor excesivo durante el soldado de los componentes.
- Verificar la posición correcta de los componentes antes del soldado.
- Verificar con lupa o cuenta hilos la correcta soldadura de cada uno de los componentes.
- Utilizar en cantidades moderadas el líquido o pasta para soldar.
- Verificar constantemente el estado de la punta de cautín, ya que es una herramienta sumamente importante durante el proceso de soldado.

Posteriormente, se efectuó un proceso de limpieza profunda (con thinner y aire a presión) y además se revisó bajo un microscopio estereoscópico, con equipo e instalaciones prestadas por el Departamento de Ingeniería Ambiental de la División de Estudios de Postgrado de la Facultad de Ingeniería.

En la figura 3.9 se muestran la fotografía de la tarjeta TCVCRTL terminada.

3.5.2 Pruebas Realizadas

Una de las partes más importantes de la computadora de vuelo es el hardware de encendido de procesadores, ya que una falla en este podría ocasionar la falla total de la computadora de vuelo. En primer lugar se midió la continuidad entre +5Vpot, GND, +12Vpot y -12Vpot, con la finalidad de detectar posibles cortocircuitos, y luego se verificaron las líneas de alimentación principal, es decir que el voltaje en puntos estratégicos de la tarjeta fuera el mismo.

La validación operativa de este hardware se efectuó de manera conjunta con la validación del hardware de multiplexaje del bus de instrumentación, generando las líneas **ON_CR_DT#**, **ON#/OFF_CP** y **SELCR0-1** de acuerdo a la tabla 3.2 Para corroborar la polarización de cada una de las tarjetas de procesador mediante las líneas **GND_CP**, **GND_CR0** y **GND_CRI**, el hardware de multiplexaje del bus de instrumentación se corroboró aplicando una señal en las entradas de los multiplexores y verificando las salidas en el bus correcto. Un aspecto importante de la prueba del hardware de encendido fue el verificar que bajo ninguna circunstancia fuesen encendidas las tarjetas **CP** y **CRI** al mismo tiempo, ya que estas comparten el mismo conector del bus de instrumentación y podrían surgir cortocircuitos si ambas operan al mismo tiempo.

Una vez terminadas las pruebas individuales en la tarjeta de control, se sustituyó la tarjeta TCVCRTL anterior por la versión actualizada, se ensambló la computadora de vuelo y se procedió a la realización de las pruebas descritas en el capítulo cinco del presente trabajo. Cabe mencionar que estas pruebas fueron realizadas con ayuda del simulador de satélite y el software de estación terrena.

Tabla 3.2: Tabla para el sistema de encendido de procesadores y selección de bus.

Líneas de control			Procesadores encendidos			Bus de instrumentación conectado a
ON#/OFF_CP	ONCRDTL	SELCR0-1	CP	CR0	CR1	
0	0	0	ON	ON	OFF	CR0
0	0	1	ON	OFF	OFF	CP y CR1
0	1	0	ON	OFF	OFF	CP y CR1
0	1	1	ON	OFF	OFF	CP y CR1
1	0	0	OFF	ON	OFF	CR0
1	0	1	OFF	OFF	ON	CP y CR1
1	1	0	OFF	OFF	OFF	CP y CR1
1	1	1	OFF	OFF	OFF	CP y CR1

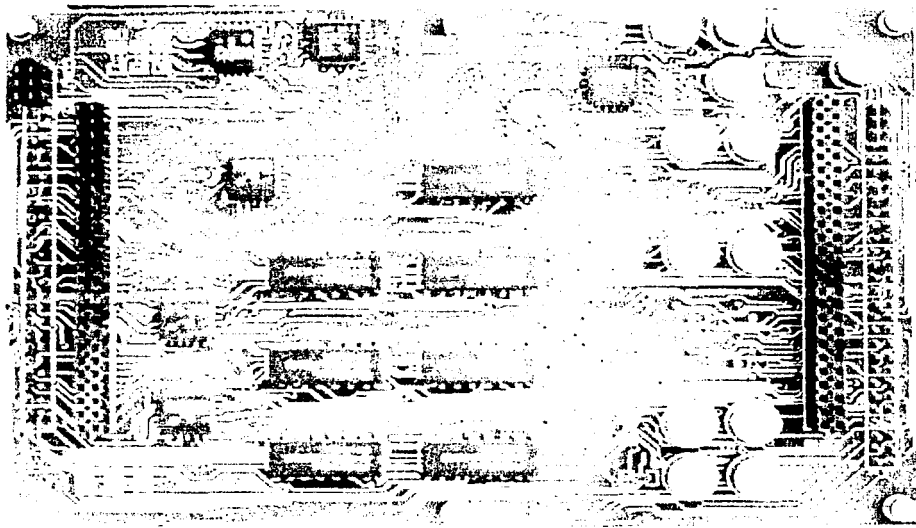


Figura 3.9: Tarjeta TCVCTRL terminada.

Capítulo 4. Calibración de los sensores de efecto "Latch-up", ensamble de tarjetas de procesadores y software elaborado para el control del circuito EDAC

4.1 Introducción

En los dispositivos de lógica CMOS puede ocurrir un fenómeno llamado efecto "Latch-up" cuando se les coloca en un ambiente radioactivo. Este fenómeno se caracteriza por la presencia de corrientes parásitas de suficiente magnitud en el dispositivo, que causan el flujo de altas corrientes provenientes de la fuente de polarización a través del dispositivo. Estas corrientes usualmente provocan la destrucción del dispositivo en pocos milisegundos. Si el flujo de corriente al dispositivo CMOS es interrumpido, o reducido por debajo de un cierto valor de extinción, la condición de "Latch-up" desaparece. Si la corriente de "Latch-up" no ha causado algún daño irreversible, el dispositivo entonces volverá a funcionar correctamente [Piscane, 1994].

Si el límite de corriente es lo suficientemente bajo, el efecto "Latch-up" no destruirá el componente y entonces podrá ser eliminado mediante el apagado del dispositivo afectado y su posterior encendido.

En este capítulo se expone el procedimiento utilizado para la calibración de los sensores de efecto "Latch-up" ubicados en las tarjetas de procesadores de la CV, los cuales se requieren para proteger a los microprocesadores, ya que estos no son de calificación militar o espacial. Cabe mencionar que estos sensores no miden la cantidad de partículas radioactivas depositadas o absorbidas por el componente, si no que miden la corriente consumida por el dispositivo que se está protegiendo y cuando esta corriente se incrementa por arriba de su valor nominal de operación, debido a la presencia de efecto "Latch-up", se activa una señal para el apagado automático del equipo.

También se describe el procedimiento utilizado para realizar el montaje de los componentes en las tarjetas de procesamiento, así como las pruebas realizadas a las tarjetas mencionadas anteriormente.

Una protección adicional para las tarjetas de procesamiento es la introducción de un dispositivo EDAC para la corrección de errores de un bit en la información almacenada en memoria.

En este capítulo también se describe el software diseñado para inicializar el dispositivo EDAC, el cual fuerza al dispositivo para realizar la detección y corrección de errores mediante el barrido de toda la memoria expandida.

4.2 Calibración y pruebas del circuito de sensado de efecto "Latch - Up "

4.2.1 Calibración

El sensor de efecto "Latch-Up" está formado por 2 etapas: la primera formada por amplificador de instrumentación, seguido por un amplificador diferencial y la segunda etapa está constituida por un circuito comparador "LM139". En la figura 4.1 se muestra el diagrama esquemático del circuito de "Latch-up" utilizado para proteger a las tarjetas de procesamiento.

El amplificador de instrumentación posee las siguientes características especiales [Pertence, 1991]:

- Resistencia de entrada extremadamente alta.
- Resistencia de salida menor que la de los amplificadores operacionales (AOP's) normales.
- CMRR (razón de rechazo al modo común) superior a 100dB.
- Ganancia de tensión en lazo abierto muy superior a la de los AOP's normales.
- Baja tensión OFFSET de entrada.

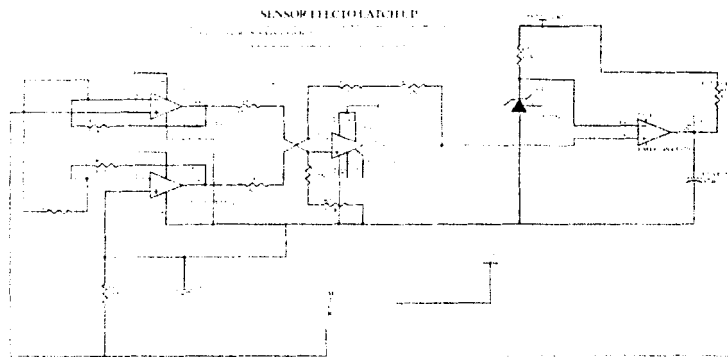


Figura 4.1: Sensor de "Latch-up"

Cabe mencionar, que cuando este sensor fue diseñado, no se encontró en el mercado un Amplificador de Instrumentación de tipo militar o espacial, por lo cual cada una de sus etapas fue diseñada a partir de AOP's normales de clasificación militar por otros compañeros testistas en años pasados. El presente trabajo solo se enfocó a la calibración y pruebas de los mismos.

El proceso de calibración de los sensores de efecto "Latch- Up", se puede describir de forma muy general como sigue:

10. Medición de la corriente nominal consumida por el Microprocesador.
11. Fijar el valor de la corriente de corte para el sensor.
12. Obtención de la ecuación de las etapas de amplificación.
13. Fijar una ganancia aleatoria (entre 1 y 5), para las dos primeras etapas.
14. Calcular los valores de las resistencias.
15. Armar y probar el circuito.

4.2.1.1 Medición de la corriente nominal del Microprocesador

Como primer paso antes de llevar a cabo la calibración de dichos sensores, es necesario medir la corriente consumida por el microprocesador, tanto en las fases de cargado de un nuevo programa como en la ejecución del programa, con la finalidad de conocer la corriente máxima (I_{max}) y la corriente mínima (I_{min}) consumida por dicho dispositivo cuando opera de manera normal.

Para registrar estas corrientes se retiró la resistencia R51, utilizada por el sensor para la misma tarea y en su lugar se colocó un amperímetro. Se tomaron lecturas durante intervalos de 15 minutos, para dos etapas diferentes.

1. CV ejecutando el software de vuelo de manera normal.
2. CV ejecutando la captura y descarga de telemetría.

Las lecturas obtenidas se muestran en la tabla 4.1

Después de un RESET		Captura y descarga de telemetría	
Tiempo (min.)	I (mA)	Tiempo (min.)	I (mA)
1	53	1	15.6
2	15.5	2	15.5
3	47	3	15.5
4	15.8	4	46.4
5	54.5	5	15.6
6	15.6	6	54.6
7	54.5	7	15.6
8	15.8	8	54.5

9	55	9	15.7
10	15.6	10	55
11	54.4	11	15.6
12	15.7	12	54.4
13	55.1	13	15.8
14	15.7	14	15.8
15	55	15	15.7

Tabla 4.1 Corriente nominal del microprocesador

En la tabla se puede observar que la I_{max} demandada por el microprocesador fue de 55 mA, mientras que la I_{min} fue de 15.5 mA.

4.2.1.2 Fijar el valor de la corriente de corte para el sensor

La corriente nominal máxima, soportada por el microprocesador de acuerdo con datos del fabricante es de 160 mA [Siemens, 1997]. Tomando en consideración este dato y los obtenidos en la medición anterior se decidió fijar en 80 mA la corriente máxima permitida, para el consumo del microprocesador antes de que se active la protección contra "Latch-up". Dando con esto al microprocesador un margen de 25 mA, suficiente para operar de manera normal, aun realizando rutinas que necesiten de cálculos elaborados, que le demanden accionar más cargas electrónicas dentro del mismo.

4.2.1.3 Obtención de la ecuación de las etapas de amplificación

La obtención de una ecuación que describa el comportamiento de las etapas de amplificación es de gran importancia, para fijar la ganancia de las dos primeras etapas y establecer el voltaje deseado a la salida. En particular, es muy sencillo obtener la ganancia necesaria en la etapa diferencial para cumplir con las especificaciones fijadas para el sensor y con esta ganancia posteriormente calcular el valor de las resistencias necesarias para obtener dicha ganancia.

Para realizar el análisis del circuito, se asignaron variables a los voltajes y resistencias involucrados en cada una de las etapas. La figura 4.2 muestra la asignación de estas variables dentro de la etapa de amplificación.

Como primer paso se designaron las tensiones de salida de A1 y A2 como V_x y V_y , respectivamente, y los potenciales en las entradas inversora de A1 y A2 como V_1 y V_2 . Debido a la propiedad de corto circuito virtual [Pertence, 1991], se tiene que:

$$\frac{V_x - V_1}{R_2} + \frac{V_2 - V_1}{R_g} = 0$$

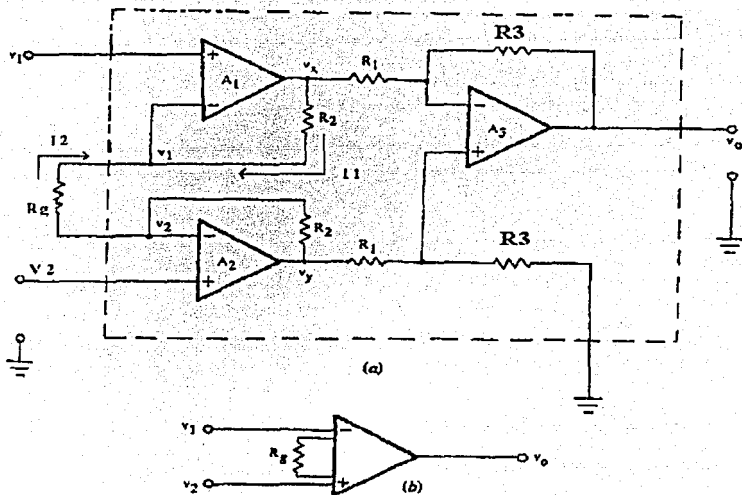


Figura 4.2: Etapa de amplificación del sensor de "Latch-up"

despejando Vx, se tiene que:

$$V_x = \frac{V_1 \cdot R_g + V_1 \cdot R_2 - V_2 \cdot R_2}{R_g} \dots\dots\dots(4-1)$$

Por otro lado

$$V_y \cdot \frac{-V_2}{R_2} + \frac{V_1 - V_2}{R_g} = 0$$

Despejando Vy, se tiene que:

$$V_y = \frac{V_2 \cdot R_2 + V_2 \cdot R_g - V_1 \cdot R_2}{R_g} \dots\dots\dots(4-2)$$

La última etapa es un amplificador diferencial, cuya ecuación de salida está dada por:

$$V_o = (V_y - V_x) \cdot A$$

Donde $A = (R_3/R_1)$ y representa la ganancia de la etapa diferencial.

Sustituyendo las ecuaciones 4-1 y 4-2 en la ecuación anterior y operando algebraicamente, tendremos

$$V_o = \left(1 + \frac{2R_2}{R_g}\right) (V_2 - V_1) A \dots\dots\dots(4-3)$$

4.2.1.4 Ensamble y validación del sensor de "Latch-up"

Una vez encontrada la ecuación (4-3) se fijaron las ganancias para las dos primeras etapas, tomando en consideración que el valor de estas ganancias no sea mayor de cinco con la finalidad de mantener el CMRR alto de aproximadamente 90 db y evitar con ello problemas de ruido. Para el caso de este sensor, se fijó una ganancia de 4.75. De la ecuación (4-3) se observa que R_g repercute directamente en la ganancia del circuito y a medida que su valor crece, la ganancia disminuye, por esta razón su valor se fijó en 150 Ω .

Posteriormente se propone un valor aleatorio para la ganancia en la etapa diferencial, recomendándose iniciar con una ganancia de 100 con la finalidad de que los cálculos sean sencillos de realizar y los valores de las resistencias obtenidos de dichos cálculos, sean valores comerciales existentes en el mercado y fáciles de conseguir. Una vez que son colocadas las resistencias con los valores calculados y que permiten obtener esta ganancia, dentro de cada una de las etapas de amplificación que conforman al circuito se procede a armar el escenario para la realización de la calibración del mismo circuito. La figura 4.3 muestra el diagrama de bloques del equipo necesario y la interconexión existente entre los mismos.

Cabe mencionar que las pruebas con el sensor de "Latch up", se realizaron en una tarjeta independiente, ya que si se realizan en las tarjetas donde se encuentran los microprocesadores estos podrían dañarse, debido al exceso de corriente que fluye a través de la resistencia de potencia, la cual es necesaria para realizar la calibración.

Utilizando el circuito mostrado en la figura 4.3 y con ayuda de una fuente de corriente, un amperímetro y voltímetro, se comienza a variar la resistencia hasta alcanzar en el amperímetro una lectura de 80 mA. Cuando esto sucede se toma la lectura del voltímetro y se sustituye su valor por V_o en la ecuación (4-3), y se calcula el voltaje diferencial ($V_2 - V_1$)

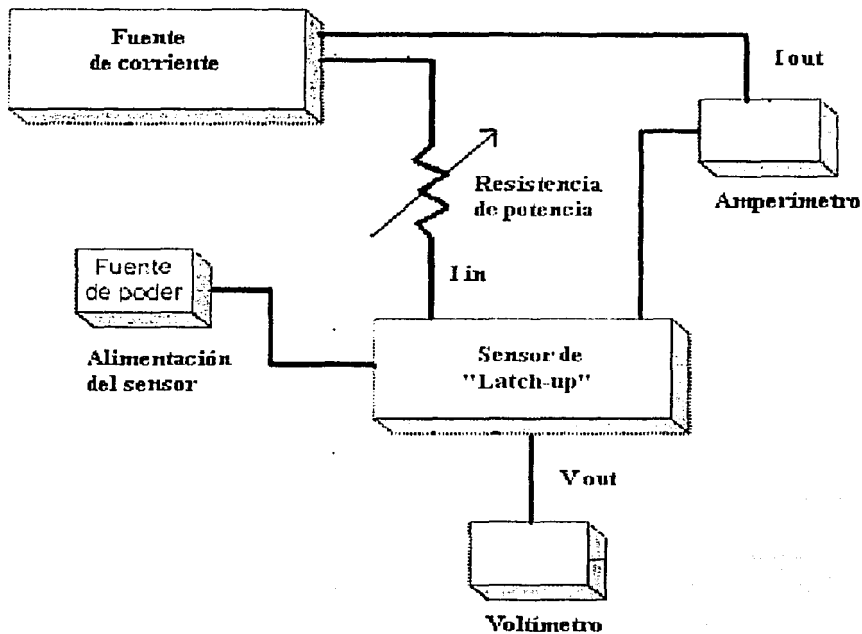


Figura 4.3: Equipo necesario para la calibración del sensor de "Latch-up"

Una vez obtenido este voltaje, se substituye en V_o el valor de 2.5 y utilizando el voltaje diferencial calculado, se despeja y calcula el valor de la ganancia en la etapa diferencial (A).

Este nuevo valor encontrado es la ganancia de la etapa diferencial, necesaria para calibrar el sensor, finalmente se calcula nuevamente el valor necesario de las resistencias para dicha ganancia, en caso no de existir en el mercado una resistencia con un valor igual al calculado se tomará el valor superior más cercano. Para el caso de este sensor el valor de la ganancia obtenido fue de 693.

La validación del sensor de detección de efecto "Latch-up" fue realizada de manera preva a su instalación en las tarjetas de procesamiento, esta se realizó colocando un amperímetro en serie con un reóstato entre las pistas de polarización del microcontrolador, variando su resistencia desde varios $k\Omega$ hasta menos de 10Ω , observando la corriente censada a través del amperímetro y al mismo tiempo midiendo el voltaje entregado por el amplificador de instrumentación al circuito comparador, el cual está en función de la corriente que circula a través de dicho sensor. El sensor debe de dispararse al detectar una corriente mayor a los 80mA, equivalente a un voltaje mayor a 2.5 Volts a la entrada del comparador. El disparo del sensor de efecto "Latch-up" se verifica a la salida del comparador, el cual entrega una señal de + 5 Volts cuando esto sucede. En la tabla 4.1 se observan los resultados de la prueba, mientras que la figura 4.4 muestra la gráfica de la calibración del sensor de "Latch-up".

Al finalizar la prueba del sensor de efecto "Latch-up" se procedió a montar en cada una de las tarjetas de procesamiento los componentes correspondientes para dicho sensor incluyendo las resistencias finales calculadas anteriormente, siguiendo las recomendaciones mencionadas en el capítulo 3.

Tabla 4.1: Resultados de la Calibración del sensor de latch-up

Corriente registrada por el sensor mA	Voltaje entregado al comparador Volts	Voltaje a la salida del comparador Volts
10	0.04	0
20	0.18	0
30	0.56	0
40	1.06	0
50	1.44	0
60	1.82	0
70	2.13	0
80	2.45	0
85	2.75	5

Calibración del sensor de Latch-up

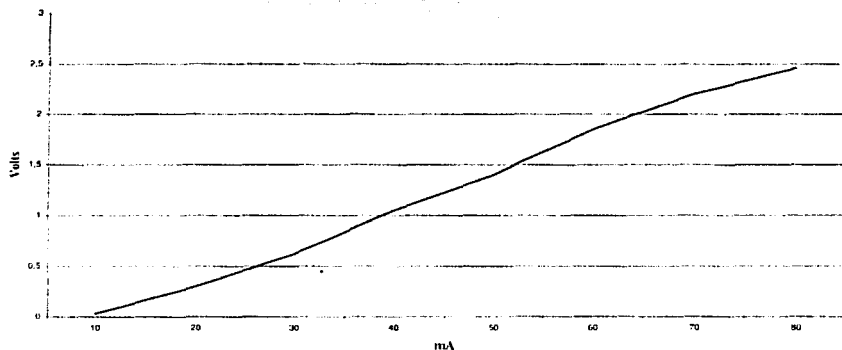


Figura 4.4: Gráfica de calibración del sensor de "Latch-up"

4.3 Pruebas aplicadas a las tarjetas de procesamiento

Estas tarjetas contienen a los microprocesadores, la memoria, el hardware de detección y corrección de errores, el sensor de detección de efecto "Latch-up", el hardware de activación para la memoria RAM expandida y de activación del modo **BOOTSTRAP LOADER (BTL)** [Siemens, 1997] y además del sensor de temperatura del microprocesador.

La primera prueba realizada a cada una de estas tarjetas consistió en la medición de continuidad entre las líneas de polarización, después de esto se polarizó la tarjeta y se verificó que los voltajes en las líneas de polarización de cada uno de los componentes fueran los adecuados.

Las pruebas de polarización se efectuaron para cada una de las tarjetas en cada una de sus configuraciones: como **CP**, como **CR0** y como **CR1**. Las configuraciones mencionadas se realizaron mediante la colocación de puentes (jumpers) en cada tarjeta. La tabla 4.2 muestra la posición, en que se deben de colocar estos puentes para cada configuración necesaria.

Tabla 4.2: Tabla de configuración de las tarjetas de TCV.

Colocación de puentes para configurar a las tarjetas de TCV							
Configuración	Puentes indicadores de modo para MCU			Puentes de señal de efecto "Latch-up"		Puentes de polarización	
	J10	J5	J4	JP9ONCP	JP9ONCR	J11A	J11B
CP	OFF	ON	OFF	ON	OFF	ON	OFF
CR0	ON	OFF	OFF	OFF	ON	ON	OFF
CR1	OFF	OFF	ON	OFF	ON	OFF	ON

Además de la configuración correcta de los pines, es importante notar que cada una de las tarjetas se polariza con diferentes líneas de tierra, quedando: **GND-CP** para las tarjetas **CP** y **CR0**, y **GND-CR1** para la tarjeta **CR1**.

Una vez probada la polarización se efectuó la prueba del sensor de temperatura del procesador, ajustando un termómetro digital al encapsulado del circuito LM135H de la tarjeta, midiendo con un voltímetro digital el voltaje de salida del sensor de la tarjeta en la línea **TERA_CP**. Con ayuda de la ecuación para la variación de voltaje/°C proporcionada por el fabricante del circuito LM135H, se calcula el voltaje para la temperatura registrada en el termómetro y se compara con el voltaje entregado por el sensor.

El siguiente paso en el proceso de pruebas para las tarjetas de procesamiento, fue realizado con la ayuda de una computadora personal conectada al puerto serial del microcontrolador, haciendo las veces de estación terrena, la prueba consistió en cargar un programa de validación realizado por un compañero tesista [Ortiz, 2003], que ejecutó rutinas de diagnóstico del procesador y sus periféricos. Con la ejecución de este programa se validó la operación de:

- Microcontrolador.
- Memoria Externa.
- Hardware de activación del modo BTI.

Para verificar el funcionamiento del sensor de efecto "Latch-up", solo se midió el voltaje a la salida del sensor, es decir, el voltaje de las líneas **ON/OFF_CV_CP** o **ON/OFF_CV_CR**, dependiendo si las tarjetas se encuentran configuradas como principal o como redundante, esto con la finalidad de verificar que estas líneas permanecieran en cero Volts, es decir, que no se disparara la protección durante la ejecución de programas. Se recuerda que la validación del sensor de cada tarjeta de procesamiento se realizó por separado durante el proceso de calibración, ver sección 4.2

Hasta este punto se tiene una validación completa de las tarjetas de procesamiento sin el dispositivo EDAC. Para el caso de la tarjeta que será fijada para trabajar como CR1, la cual por cuestiones de costo no contará con un dispositivo EDAC, las pruebas han terminado, esta podrá ser enviada como parte de la computadora de vuelo sin que se vea afectado el comportamiento electrónico de sus componentes. El único inconveniente de esta

tarjeta es que no contaría con la capacidad de detección y corrección de errores en memoria RAM.

Para la validación del hardware de detección y corrección de errores en RAM en las tarjetas restantes, es necesario inicializar el circuito EDAC en modo corrección y guardar un archivo en memoria expandida para posteriormente volverlo a recuperar. Para realizar esta prueba fue desarrollado el software PruebaMemExp que ejecuta de manera automática estas rutinas, dicho software será descrito en las siguientes secciones.

Durante la ejecución de este software se tomaron los tiempos en que se realiza el llenado y vaciado de la memoria, el tiempo que tarda dicho software en realizar el refresco de memoria y los errores corregidos por el EDAC. Los valores obtenidos se indican en la tabla 4.3.

Con la ejecución de este programa se validó la correcta operación de:

- Memoria expandida.
- Decodificación de memoria expandida.
- Funcionamiento del dispositivo EDAC.

Tabla 4.3: Resultados de la prueba a memoria expandida

Llenado de Memoria		Lectura de Memoria
Sección de la Memoria	Tiempo (min.)	Tiempo (min.)
1	1.26	1.07
2	1.29	1.07
3	1.30	1.07
4	1.30	1.07
5	1.30	1.07
6	1.30	1.07
7	1.29	1.06
8	1.30	1.06
9	1.29	1.07
10	1.30	1.07
11	1.30	1.07
12	1.30	1.07
13	1.29	1.07
14	1.30	1.07
15	1.29	1.07
16	1.30	1.07
Refresco de memoria ejecutado en 4.79 segundos		
Errores corregidos por el EDAC = 0		

4.4 Software desarrollado para control del circuito EDAC

Este software fue desarrollado con la finalidad de controlar y configurar el dispositivo EDAC, en los modos corrección o detección, así como también realizar el direccionamiento y refresco de la memoria expandida del microprocesador.

El software consta de las siguientes secciones:

- Inicialización del EDAC y escritura a memoria
- Refresco de Memoria
- Lectura de Memoria

4.4.1 Inicialización del circuito EDAC y escritura a memoria

En esta primera etapa se configuran los puertos a ser utilizados, se configura el puerto de comunicaciones, se inicializan variables y se inicializa el circuito EDAC en modo corrección, escribiendo un 1 por el BIT 10 del puerto 2 (ENEDAC).

Inmediatamente después el microprocesador ejecuta un "loop" de espera, hasta que se reciba un caracter por el puerto serie, cuando se recibe el primer caracter, se almacena en un registro temporal y nuevamente entrará en el "loop" de espera hasta recibir un segundo carácter. Cuando esto sucede se forma una palabra de 16 bits y se guarda en memoria expandida a través de un apuntador. Posteriormente se incrementa el contador de memoria y se repite el proceso hasta que el contador alcanza el valor de 65534. Cuando esto sucede el apuntador cambia al siguiente segmento, el contador es nuevamente inicializado a cero y se indica el cambio de segmento mediante el encendido o apagado de un led, este proceso se realiza hasta que se termina de llenar el último segmento de la memoria (segmento 16).

Cuando se guarda un dato en memoria el EDAC genera una palabra de síndrome que será almacenada en una memoria independiente.

El archivo utilizado para el llenado de la memoria, es un archivo tipo texto de aproximadamente 1,3 Mb y es enviado por el puerto serie de una PC, con ayuda del software PROCOMM.

4.4.2 Refresco de memoria

En esta etapa el microprocesador realiza la lectura de una localidad de la memoria, accediendo a ella por medio de un apuntador. Se verifica la bandera CERR del circuito EDAC, en caso de que existan errores ésta bandera será puesta en cero y se incrementará la variable que realiza el conteo de los mismos. Posteriormente se reescribe nuevamente el dato a memoria, se incrementa el contador de memoria y se repite el proceso hasta que el contador alcanza el valor de 65534. Cuando esto sucede el apuntador cambia al siguiente segmento, el contador nuevamente se inicializa a cero y se indica el cambio de segmento

mediante el encendido o apagado de un led, éste proceso se realiza hasta que se termina de refrescar el último segmento de la memoria (segmento16).

Cuando se realiza una lectura a memoria el EDAC genera nuevamente la palabra de síndrome y la compara con el síndrome almacenado anteriormente, en caso de que no sean iguales la bandera CERR cambia de estado (de 1 a 0).

4.4.3 Lectura de memoria

Para validar este proceso se desarrolló un pequeño programa que recibe vía puerto serie un archivo externo de suficiente tamaño para llenar toda la memoria expendida, posteriormente el programa transmite el contenido de RAM al exterior para que el usuario forme un archivo externo y después se comparan los archivos para verificar que la recuperación de los datos haya sido exitosa.

Cuando el refresco de los 16 segmentos de 64 KB ha terminado, el microprocesador inicializa el contador de memoria a cero y su apuntador al segmento 1, lee la primera localidad de 16 bits y envía los 8 bits menos significativos por el puerto serie, posteriormente envía la parte mas significativa del dato de 16 bits, incrementa el contador de memoria y repite el proceso anterior hasta que el contador alcanza el valor de 65534. Cuando esto sucede el apuntador cambia al siguiente segmento, el contador es nuevamente inicializado a cero y se indica el cambio de segmento mediante el encendido o apagado de un led, este proceso se realiza hasta que se termina de leer el último segmento de la memoria (segmento16).

Finalmente el programa envía por puerto serie la variable en donde se almacenó el número de errores corregidos por el EDAC.

La información enviada por el microprocesador es capturada por el puerto serie de una PC y almacenada en un archivo tipo texto definido por el usuario con ayuda del software PROCOMM.

El código del programa descrito anteriormente se encuentra en el apéndice A

TESIS CON
FALLA DE ORIGEN

Capítulo 5 Pruebas aplicadas a la computadora de vuelo

5.1 Introducción

Una vez terminado el ensamble y las pruebas de validación para la tarjeta de conmutación de procesadores y a la tarjetas de procesamiento, se procedió a efectuar el armado de la versión final de la computadora de vuelo.

La computadora de vuelo es la parte importante del microsátélite Satex, de su buen funcionamiento dependerá el éxito del mismo, por lo cual es indispensable realizar la validación de cada uno de los módulos que la integran. En este capítulo se trata el proceso de integración y pruebas del hardware de la misma, así también se expone el procedimiento para realizar las pruebas de conmutación de procesadores.

Las pruebas fueron divididas en dos partes, primero se probó la CV configurada para operar con el módulo de procesamiento principal y posteriormente con el módulo de procesamiento redundante, esta última no se explicará de manera detallada, ya que el procedimiento para la realización de la prueba es exactamente el mismo.

5.2 Carga de programas a la CV

En esta sección únicamente se explicará el procedimiento para la carga de un nuevo programa, mientras que en la sección 5.4 se plantearán las pruebas para la ejecución del software.

5.2.1 Escenario para la prueba

Para la realización de esta prueba es necesario conectar la computadora de vuelo con el software de "Estación Terrena" ET [Gutiérrez, 2003] y el simulador de satélite "SIMSAT".

El esquema de esta prueba se muestra en forma de diagrama de bloques en la figura 5.1 el cual muestra la interacción de los equipos; así mismo, en las figuras 5.2 y 5.3 se presentan las fotografías correspondientes al desarrollo de las pruebas en laboratorio.

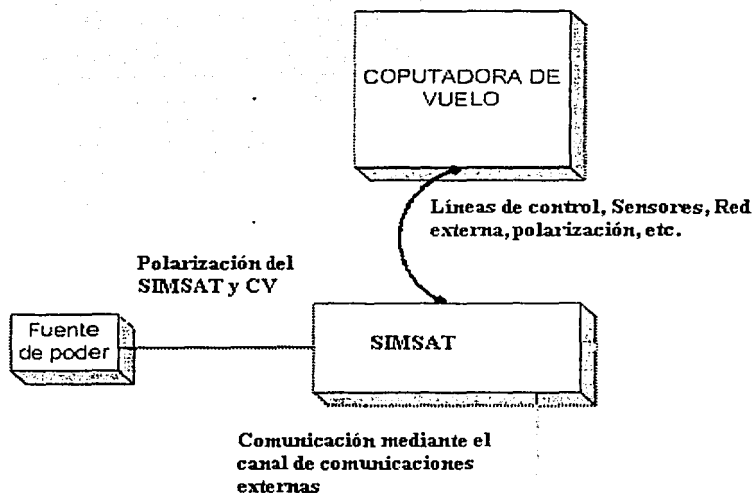


Figura 5.1: Esquema de equipos para realizar las pruebas de carga de nuevos programas a la CV.

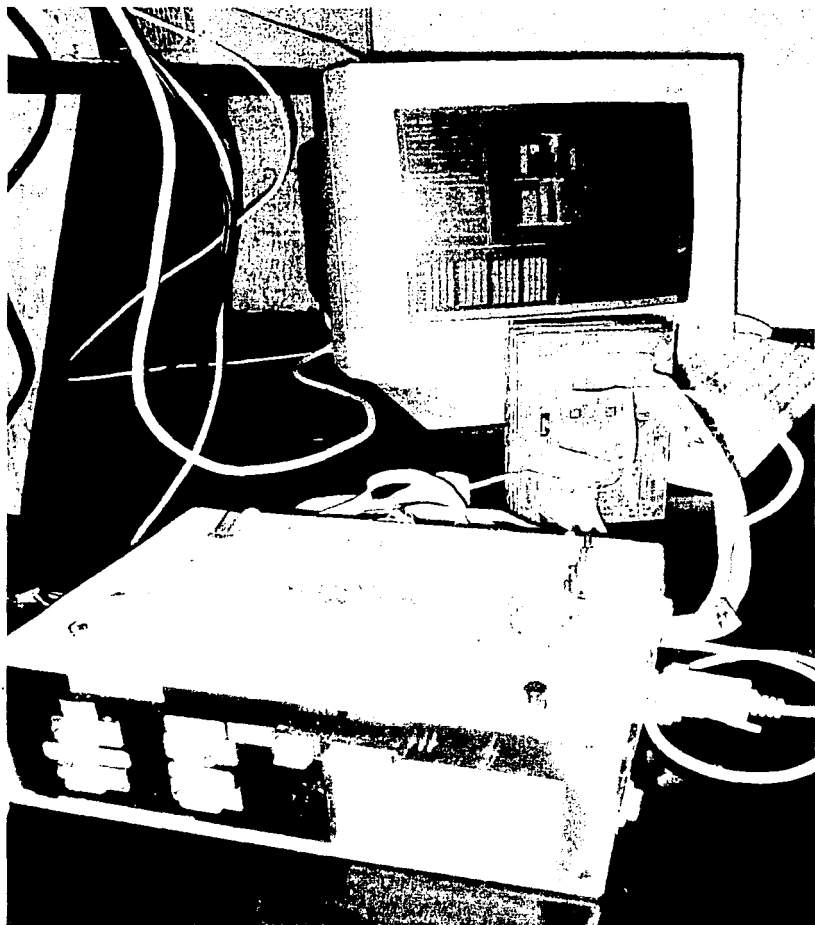


Figura 5.2: Equipo utilizado para validar la carga de nuevos programas a la CV.

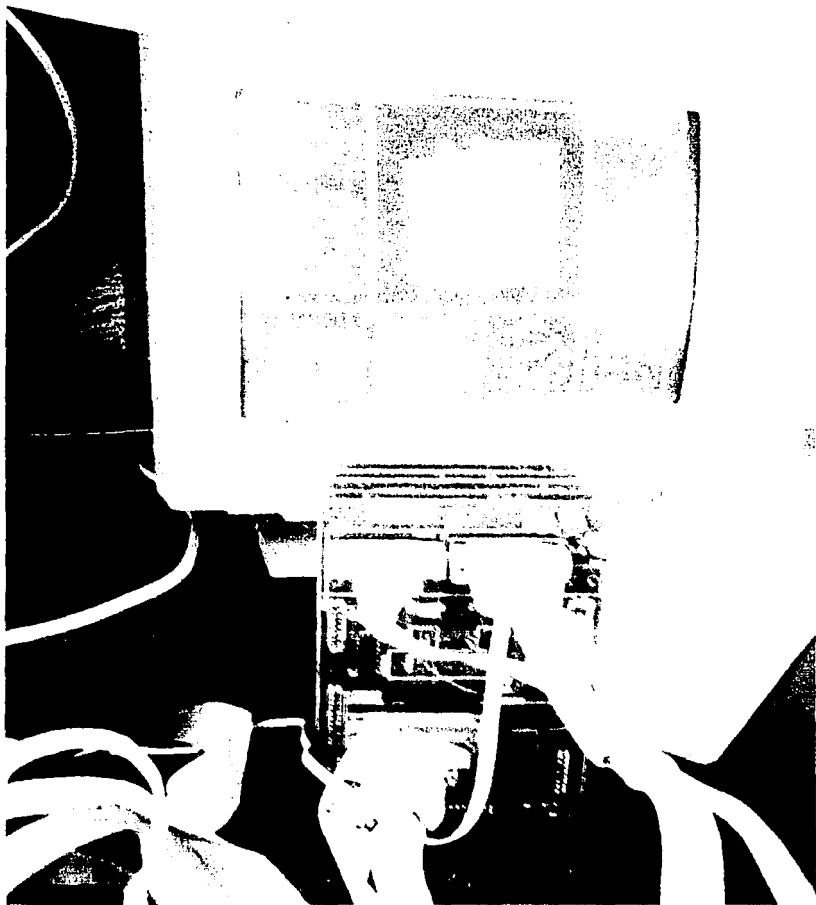


Figura 5.3: Software de estación terrena interconectado con la CV.

5.2.2 Desarrollo de la prueba de carga de nuevos programas a la CV

Una vez que se ha interconectado el equipo, se realiza el siguiente procedimiento:

1. Elegir de la tabla 3.2, alguna de las configuraciones de acuerdo con el módulo de procesamiento que se vaya a utilizar en la prueba y se fija en el SIMSAT, por medio de los interruptores respectivos.
2. Colocarse en la pantalla principal del software de Estación Terrena (ET) y a través de la barra de menús abrir la pantalla para la carga de nuevo programa.
3. Por medio del SIMSAT llevar a cero las señales **Reset**, **Download** y **Rom/Ram#**.
4. Inmediatamente después se conmuta a +5 Volts la señal de **Reset**.
5. Esperar aproximadamente cuatro segundos y conmutar a +5 Volts la señal **Download**.
6. Desde ET oprimir el botón de **Autoenvío** y esperar a que termine el proceso.
7. Para asegurar que se realizó correctamente el proceso de carga del precargador en el microprocesador, oprimir el botón "prueba de comunicaciones con monitor", si la prueba se realiza de manera exitosa pasar al siguiente punto, de lo contrario se deberán de repetir los pasos 1 a 7, asegurándose a partir del paso 3, de que la señal **Rom/Ram#** se quede fija en cero Volts.
8. Oprimir el botón **Manda IntelFlex** seleccionar la carpeta donde se encuentra el nuevo programa en **hexadecimal (.HEX)**, previamente compilado, seleccionarlo, oprimir enviar y esperar la terminación del proceso.
9. Una vez terminado el procedimiento explicado en el punto anterior, la CV se encuentra lista para comenzar con la ejecución del software cargado, para esto basta con aplicar un **Reset** a la CV. Esta acción se puede realizar de dos maneras diferentes, desde la misma pantalla de estación terrena a través del botón **Reset**, el cual envía un reset por software a la CV o de manera manual desde el SIMSAT llevando esta señal a cero Volts e inmediatamente después conmutarla a +5 Volts.

En la figura 5.4 se muestra la pantalla que utiliza el software de estación terrena para subir programa.

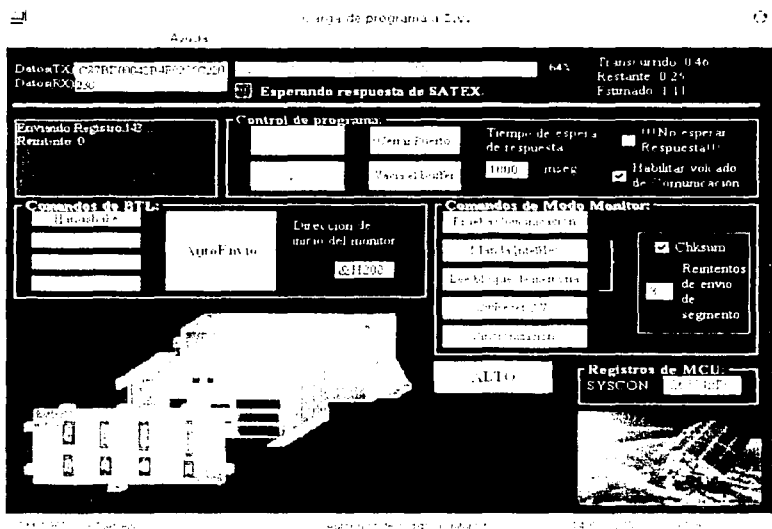


Figura 5.4: Pantalla del software de estación terrena utilizada para subir nuevos programas a la CV.

5.3 Prueba de la CV con procesador principal

Una vez ensamblada la CV con sólo la tarjeta de procesamiento principal, como primer paso se energiza ésta y se verifica que los voltajes en la tarjeta de procesamiento sean los correctos. Posteriormente se verificaron las siguientes partes.

- Electrónica para el modo BTL y carga de nuevo programa
- EDAC
- Memoria Expandida
- Sensor de efecto Latch-up

Estos procesos se explican en los párrafos siguientes:

5.3.2 Prueba de la electrónica para el modo BTL y carga de nuevo programa

Para realizar esta prueba es necesario que se encuentre conectado el cable NDT del simulador a la CV. Como primer paso se verificó el voltaje existente en las líneas **Reset**, **Download** y **Rom/Ram#** en la tarjeta de procesamiento. Estas líneas son proporcionadas por el simulador y son accionadas de manera manual por el usuario a través de tres interruptores, uno para cada una de las señales, los cuales permiten al usuario elegir entre fijar las señales a 0 o +5 Volts. Posteriormente se fijaron a 0 Volts estas señales y se midió cada una de ellas a su llegada a la tarjeta de procesamiento, posteriormente se conmutaron a +5 Volts y se midieron nuevamente. También se verificó el encendido y apagado de la tarjeta de procesamiento de manera manual, por medio del interruptor **ON#/OFF CP**.

Finalmente y siguiendo el procedimiento para la carga de nuevo programa descrito en la sección anterior, se procedió a la carga de nuevo programa y se verificó que el programa se ejecutaba exitosamente. Con estas pruebas quedó validada la electrónica para la carga de nuevo programa, el encendido y apagado de la tarjeta de procesamiento principal, las líneas que activan el modo BTL y que además son utilizadas para la carga de nuevo programa.

5.3.3 Pruebas de la memoria expandida y EDAC

La segunda prueba aplicada a la tarjeta de procesamiento principal consistió en realizar el llenado de su memoria expandida con el circuito EDAC funcionando. Para esto siguiendo el procedimiento descrito al inicio del capítulo, se carga el programa que realiza el barrido de la memoria expandida y la configuración del circuito EDAC en modo corrección, este programa fue descrito en el capítulo 4. Posteriormente se conectó el puerto serie de una PC a red interna por medio del simulador y utilizando el software Procomm se le envió un archivo tipo texto para el llenado de la memoria expandida.

Posteriormente la CV realiza el refresco de la memoria expandida y al final envía al puerto serie de la PC la información almacenada en su memoria extendida. Cuando finaliza la transferencia, se compara el archivo enviado y el recuperado, con la finalidad de verificar que ambos sean iguales en tamaño e información y que el circuito EDAC no hubiese necesitado corregir errores. Si los resultados anteriores son positivos tanto los circuitos de memorias RAM como el EDAC se encuentran funcionando de manera correcta en caso contrario los circuitos de memorias RAM podrían estar dañados.

Con resultados exitosos para las pruebas anteriores han quedado validados los circuitos de memoria RAM expandida y el circuito EDAC.

5.3.4 Prueba del Sensor de efecto "Latch-up"

Finalmente se probó el sensor de efecto "Latch-up", el cual ya se encontraba calibrado y energizado. Para realizar esta prueba se retiró el "jumper" que tiene como

etiqueta **ON/OFF CV CP** y se identificó el extremo que lleva esta señal a la tarjeta de "Latch-up". Posteriormente se aplicó un pulso alto (+5 Volts) en dicho extremo, simulando el disparo del sensor por la presencia de efecto "Latch-up". Se verificó que automáticamente después de aplicar el pulso, el circuito de protección genera un pulso alto de aproximadamente 14 segundos de duración. Posteriormente se verificó que este pulso alterara la señal **ON/OFF CP**, proveniente del detector de tonos provocando el apagado de la tarjeta de procesamiento principal, lo cual se puede comprobar observando un led provisional que indica el encendido en dicha tarjeta.

Esta prueba se realizó en 5 ocasiones consecutivas es decir después de que la tarjeta de procesamiento principal se energizaba nuevamente y el microprocesador se encontraba ejecutando nuevamente el programa cargado con anterioridad. En un instante de tiempo aleatorio se aplicaba nuevamente el pulso. También se aplicó el pulso inmediatamente después de que la tarjeta se energizaba nuevamente simulando que el efecto "Latch-up" estuviera presente por un periodo de tiempo prolongado y se verificó el apagado de la misma en reiteradas ocasiones.

Con estas pruebas quedo validado el circuito de protección de efecto "Latch-up" para el procesador principal.

5.4 Prueba manual de conmutación de procesadores con ayuda del simulador del satélite

Una característica sumamente importante de la instrumentación del satélite es la posibilidad de dar mantenimiento preventivo o correctivo a las tarjetas de procesamiento de la CV. En vista de que los procesadores que se utilizan son de calificación industrial, la radiación espacial puede dañarlos seriamente, por ello se les implantó un sensor de efecto "Latch-up" a fin de protegerlos. Antes de realizar la validación del proceso de mantenimiento automatizado a la computadora de vuelo, se realizaron pruebas manuales para corroborar que el hardware de la CV lo realiza sin problemas, en este caso desde los interruptores instalados en el SIMSAT.

Para garantizar la conmutación de procesadores de la CV es necesario realizar pruebas para validar la electronica que se encuentra involucrada. Para realizar estas pruebas se realizó el siguiente proceso:

1. Se ensambló la CV, solo con las tres primeras tarjetas, siguiendo el diagrama de ensamblado mostrado en la figura 6.13
2. Se fijó en el SIMSAT la configuración para encender el procesador principal, de acuerdo a la tabla 3.2
3. Se energizó la CV.
4. En la tarjeta TCVCTRI, se verifico la continuidad entre las líneas **GND** y **GND ON CP** a fin de comprobar el encendido de **CP**, mientras que entre **GND** y **GND ON CR** no existiera continuidad, es decir que **CR** estuviera apagado.

5. Manualmente se fijó la configuración para encender el Procesador redundante de acuerdo a la tabla 3.2
6. Se verificó la continuidad entre las líneas **GND** y **GND ON CR** a fin de comprobar el encendido de **CR**, mientras que entre **GND** y **GND ON CP** no existiera continuidad, es decir que **CP** estuviera apagado.

En la figura 5.5 se muestra el equipo utilizado durante la realización de la prueba. Con ella se validó la conmutación entre procesadores de manera manual. Sin embargo, posteriormente se deberá realizar esta prueba con el detector de tonos, el cual al detectar una falla en CV como resultado del voto democrático, deberá de conmutar al siguiente procesador de manera automática.

5.5 Pruebas de la CV conectada al simulador de satélite y ejecutando el software de Vuelo

5.5.1 Esquema de simulación del Satélite

Una de las pruebas más completas realizadas a la computadora de vuelo y en particular a la tarjeta de procesamiento, consiste en cargar y ejecutar el software de vuelo, ya que durante la ejecución del mismo entran en operación todas las partes que conforman el microprocesador, como son:

- La Unidad aritmética lógica ALU
- El Convertidor analógico Digital
- Los puertos serie
- El Bus de direccionamiento a memoria externa
- Los puertos E/S de propósito general

Para realizar esta prueba es necesario montar un esquema de simulación del satélite completo, por lo cual se utilizan las herramientas de simulación de los equipos del satélite: "SOFDEVO" [Reza, 2003], el software de estación terrena [Gutiérrez, 2003] y el simulador de satélite "SIMSAT".

El esquema de esta prueba se presenta en la figura 5.6 en forma de diagrama de bloques que muestra la interacción de los equipos, así mismo, en las figuras 5.7 a 5.9 se presentan las fotografías correspondientes al proceso de pruebas de la CV.

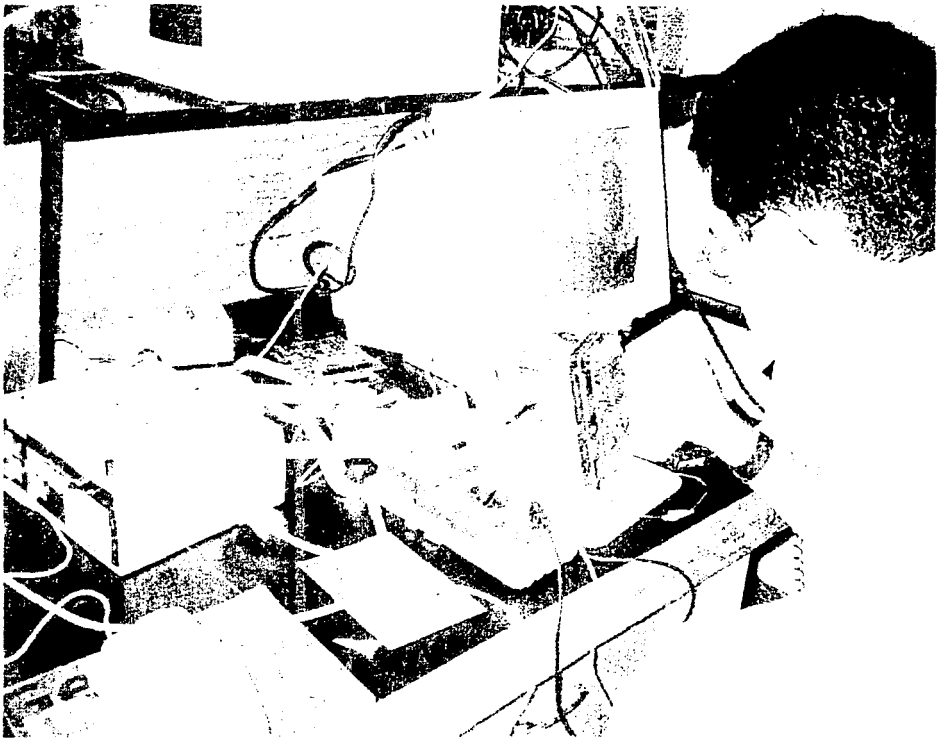


Figura 5.5: Realización de las pruebas de conmutación manual de procesadores.

TESIS CON
FALLA DE ORIGEN

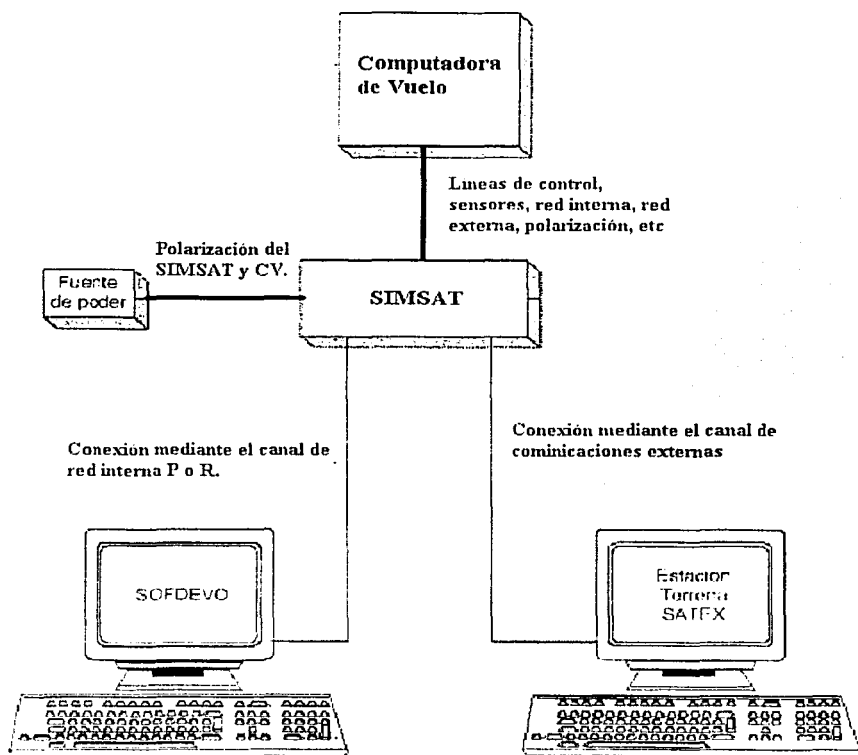


Figura 5.6: Esquema de simulación de satélite completo.

TESIS CON
FALLA DE CREEN

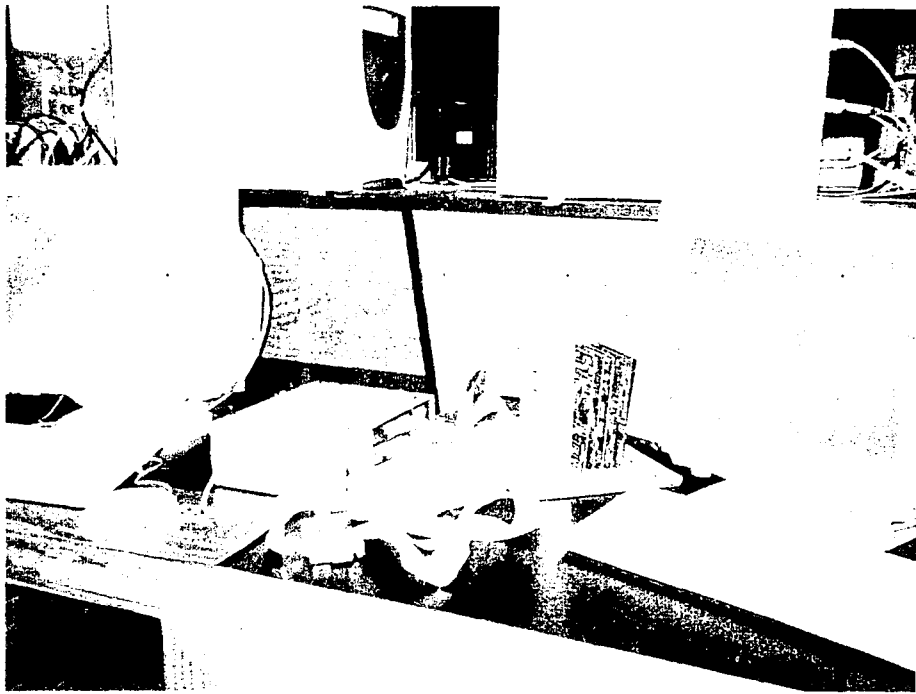


Figura 5.7: Esquema de simulación completa del satélite en laboratorio.

TESIS CON
FALLA DE ORIGEN

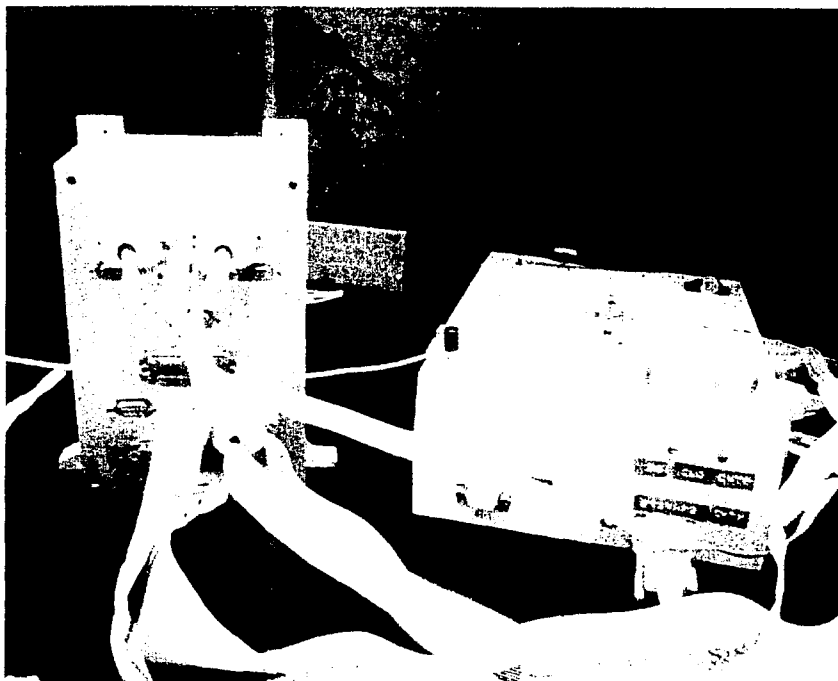


Figura 5.8: CV conectada al SMSA1.

TESIS CON
FALLA DE ORIGEN

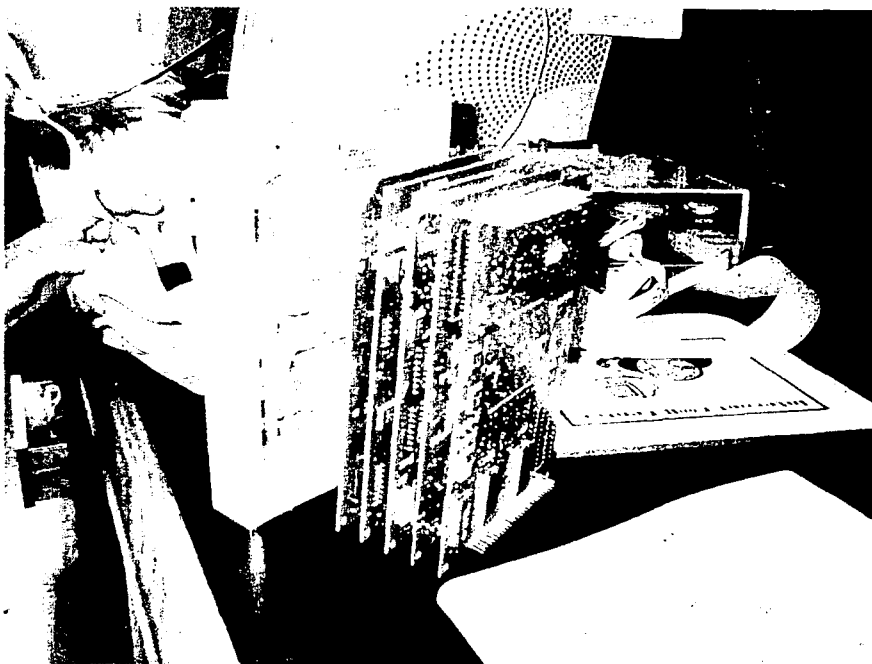


Figura 5.9: CV ensamblada para las pruebas de validación.

5.5.2 Desarrollo de la prueba de la CV conectada al SIMSAT y ejecutando el software de vuelo

Una vez que se ha montado el esquema mencionado anteriormente y cargado el software de vuelo en la CV, se realiza el siguiente procedimiento:

1. Aplicar un Reset por software o hardware a la CV.
2. Inmediatamente después se conecta SOFDEVO.
3. Esperar la liberación del satélite (SOFDEVO indica el momento en el que el satélite se ha liberado).
4. Por medio del software de estación terrena (SET) se busca y contacta al satélite (para una búsqueda rápida se recomienda realizarla al final de cualquier muestreo).
5. Desde el SET se programa y se envía una nueva misión para la captura de telemetría normal, telemetría especial y diagnóstico por voto.
6. Desde SOFDEVO se realiza el monitoreo de la red interna durante la prueba.
7. Una vez que el satélite ha terminado una órbita, se hace contacto nuevamente con el satélite por medio de SET.
8. Desde el SET se realiza el proceso de descarga de las telemetrías.
9. Se grafican y muestran en el SET los resultados de las telemetrías. Las cuales indican cual de los procesadores se encuentra trabajando y el estado de los sensores que le fueron solicitados durante la programación de misión.
10. Finalmente se envía desde el SET el comando en línea de Reset, con lo cual si el usuario lo desea puede repetir el procedimiento a partir del paso 3.

5.6 Prueba de la CV con procesador redundante

Una vez terminadas todas las pruebas con el procesador principal, se desmontó dicha tarjeta y ahora se ensambló la CV sólo con la tarjeta de procesamiento redundante y se procedió a realizar las pruebas mencionadas anteriormente, solo que ahora se utilizaron las líneas **ON CR DT** y **SEL CR 0-1** para el encendido de la tarjeta y pruebas con el circuito de protección de efecto "Latch-up", mientras que para las pruebas con el software de vuelo se sigue exactamente el mismo procedimiento descrito anteriormente.

Capítulo 6. Diseño de contenedores e instalación de tabloides electrónicos para la CV y el módulo ACSELS

6.1 Introducción

Los recintos para la CV y el módulo ACSELS fueron diseñados con la finalidad de proveer el soporte físico a la electrónica que compone a cada uno de los equipos, así como para absorber los esfuerzos mecánicos y térmicos producidos en las fases de certificación, pruebas de integración y lanzamiento.

Los recintos fueron construidos con aluminio espacial (20 24), su diseño se basa en prismas rectangulares, divididos en secciones que se acoplan perfectamente una sobre la otra. Sus dimensiones se ajustaron al tamaño de los tabloides de la electrónica y al espacio asignado para cada equipo dentro del cuerpo del satélite. El contenedor que alojará a la CV tiene una masa de 1.5 kg, mientras que el contenedor para el módulo ACSELS apenas alcanza los 500 gm.

En este capítulo se describe el proceso y las herramientas utilizadas para realizar el diseño de cada uno de los contenedores, así como el proceso utilizado para montar a cada uno de los equipos dentro de su contenedor correspondiente.

6.2 Diseño del contenedor de la CV

Los pasos generales para el diseño de los contenedores de la CV son:

- Elección del modelo y Material
- Diseño del Contenedor en AutoCAD 2000
- Impresión del Modelo en tamaño real

6.2.1 Diseño del modelo de la CV

Como primer paso para elaborar el contenedor donde se alojarán a las seis tarjetas de la CV, se debe elegir un modelo. Para la elección del mismo se consultaron algunas páginas en Internet que publicitan equipos de telecomunicaciones y equipo de uso espacial. Del análisis de varios de ellos se tomaron ideas para generar propuestas de recintos. Además el contenedor debe cumplir entre otros, con los siguientes requisitos:

- Ligero en cuanto a peso
- Resistente a la vibración y esfuerzos mecánicos

- Fácil montaje de tabloides electrónicos.
- Fácil manufactura
- De fácil ensamble y desensamble..

En un primer intento se diseñó un modelo el cual consistía de un prisma rectangular de 19 cm de largo por 8 cm de altura y 12 de profundidad con paredes de 3 mm y de su correspondiente tapa. Sin embargo no fue posible maquinar un contenedor con esas características, debido a que las herramientas existentes para la excavación del mismo no podían penetrar las dimensiones del cubo. Posteriormente se diseñó un nuevo modelo, con algunos parentescos a un modelo de recinto electrónico desarrollado por la compañía One Stop Satellite Solutions (OSSS) [[http:// www.oss.com](http://www.oss.com)]. Además el diseño contempló la intención del jefe de proyecto en el sentido de que se debía de proyectar un recinto que se pretende utilizar como estructura para un nanosatélite, el cual se planea desarrollar a mediano plazo.

El diseño consiste de seis partes o charolas una para cada tarjeta de la CV, de las cuales cada una tiene diseño diferente debido a los puntos de sujeción a la estructura del satélite. Además cada charola tiene por la parte frontal una conexión mecánica tipo macho y su correspondiente conexión tipo hembra por la parte posterior.

Por otra parte el diseño resulta más sencillo para su manufactura ya que las herramientas pueden excavar perfectamente cada una de las seis piezas, cabe mencionar que se conservó el grosor de 3mm en sus paredes.

6.2.2 Dibujo en Autocad 2000

Una vez fijado el diseño, las dimensiones y el material a utilizar para su fabricación, se eligió el software Autocad 2000 para realizar el dibujo en 3D. Se eligió este software por la facilidad que presenta para trabajar además que es un software totalmente amigable y de fácil manejo para el usuario.

Se eligió trabajar con sólidos en 3D, debido a la facilidad para: girar, elaborar los isométricos correspondientes, generar vistas de cualquiera de sus caras, obtener sus dimensiones, etc. además de que es sumamente rápido y sencillo de manejar.

Como primer paso, con ayuda de la barra de herramientas de vistas (**VIEW**), nos posicionamos en la vista Frontal y posteriormente con la barra de herramientas de sólidos se genera un cubo con las dimensiones externas de la charola correspondiente. Después se genera otro cubo dentro del anterior pero ahora con las dimensiones internas correspondientes, con ayuda de la barra de herramientas para la edición de sólidos (**Solids Editing**) y en especial con la función **Subtract**, se sustrae el cubo interno del externo con esto se obtuvo el contorno de la charola.

Luego, se elaboran las esquinas por separado, utilizando sólidos predefinidos (Cubos, Esferas, Cilindros, Prismas rectangulares) y las funciones anteriores. Con la

ayuda de la función **Union** se insertaron las esquinas en su correspondiente lugar, por último se genera un cilindro en el lugar correspondiente a los orificios para la sujeción de los impresos a las charolas y ensamble de las mismas y con ayuda de la función **Subtract** se generan las perforaciones correspondientes. La figura 6.1 muestra una de las charolas intermedias terminada.

Con ayuda de la barra de herramientas **VIEW** y la función **3D orbit** podemos posicionarnos en cada una de las caras de la charola correspondiente y verificar que todas sus dimensiones sean las correctas. De esta manera se elaboró el diseño para las cuatro charolas intermedias.

Para dibujar las tapas superior e inferior se siguió un procedimiento muy similar. La primera en dibujarse fue la tapa inferior, siguiendo los mismos pasos que el diseño anterior solo que ésta no se excavó en su totalidad, así que en el fondo quedó una pared de 3 mm, además por la parte posterior se realizó una extracción adicional para ocultar la correspondiente tuerca. La figura 6.2 muestra la tapa inferior terminada.

Basado en el diseño de la tapa anterior se dibujo la tapa superior solo que con una profundidad mayor y se insertaron las ventanas que alojaran a los conectores hembras correspondientes. La figura 6.3 muestra la tapa superior terminada.

Cuando el diseño de cada una de las charolas estuvo terminado se ensamblaron los diseños para verificar que estos embonaran correctamente uno sobre otro y se verificaron las dimensiones internas y externas.

Finalmente se analizaron las vistas en 3 Dimensiones del lugar asignado para la CV dentro de la estructura del satélite, con la finalidad de localizar los puntos ideales y la manera de sujetar el contenedor de la CV a dicha estructura de modo tal que no presente obstrucción al fijar otros equipos. Se analizaron las vigas del piso intermedio y superior, así como los orificios con los que ya cuenta la estructura del satélite.

Una vez que se obtuvieron los lugares para la sujeción del contenedor se procedió a diseñar los soportes correspondientes en el contenedor y colocarlos en las charolas correspondientes. Nuevamente se unieron todas las partes y se obtuvo el diseño final en el cual se verificaron las dimensiones, en especial las correspondientes a la ubicación de los soportes. La figura 6.4 muestra el contenedor totalmente terminado.

6.2.3 Impresión del diseño del recinto para la CV

Para validar el diseño y poder verificar físicamente en escala real las dimensiones del mismo (largo, ancho y la ubicación de las perforaciones correspondientes), se realizó la impresión de la vista superior y en escala real de cada una de las charolas, con la finalidad de sobreponer los impresos y verificar que estos se unieran de manera exacta, ya que el menor corrimiento en los orificios causaría serios problemas al momento de ensamblar.

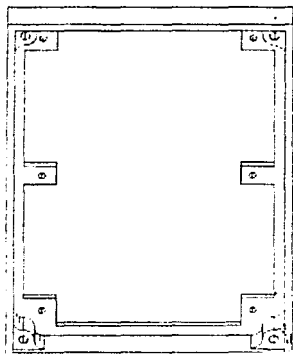


Figura 6.1: Diseño de la charola intermedia del recinto para la CV

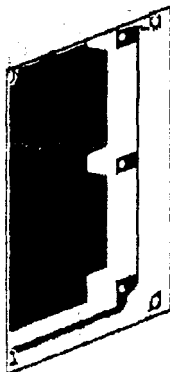


Figura 6.2: Diseño de la tapa inferior del recinto para la CV

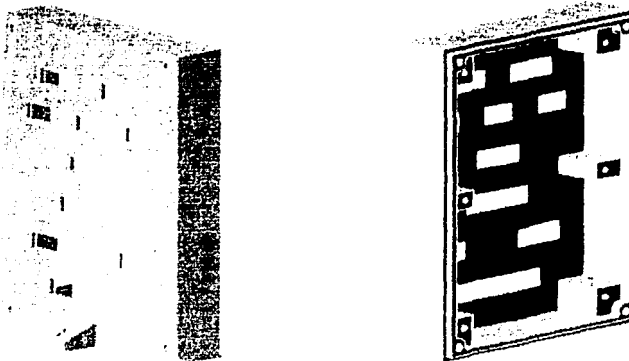


Figura 6.3: Diseño de la tapa superior del recinto para la CV.

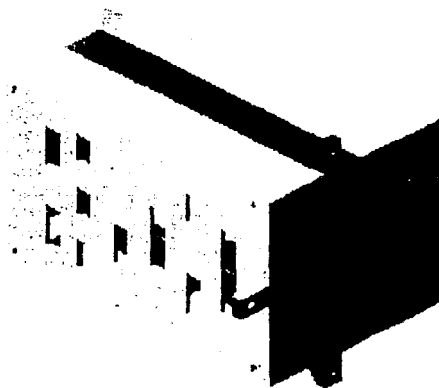


Figura 6.4: Diseño del contenedor de la CV.

Una vez validadas las dimensiones de cada una de las charolas y con ayuda de la función **Dimension**, se especificaron perfectamente todas las dimensiones correspondientes de cada una de ellas, finalmente se generaron las impresiones de los isométricos de cada una de las charolas que serían entregadas para el proceso de manufactura

6.3 Diseño del contenedor del módulo ACSELS

6.3.1 Elección del diseño del recinto

Para el diseño del contenedor que alojará al módulo de acondicionamiento de señales ACSELS, se utilizó el diseño del contenedor para la CV, solo que se eliminaron los soportes internos centrales, esto con la finalidad de ganar espacio y reducir el peso del mismo. Este nuevo contenedor consiste en un prisma rectangular constituido por dos charolas, una de ellas con terminación macho y la otra con su correspondiente terminación hembra para su correcto acoplamiento. Este contenedor cumple con los mismos requisitos estipulados para el contenedor de la CV.

6.3.2 Dibujo en Autocad 2000

El procedimiento seguido para la realización del diseño en 3D de este contenedor es el mismo que se aplicó para realizar el diseño del contenedor de la CV. En primer lugar se realizó el diseño de la tapa inferior, posteriormente basado en este se realizó la tapa superior con sus respectivas ventanas para alojar a los conectores hembras correspondientes.

En la figura 6.5, se muestra el diseño del contenedor para el módulo ACSELS totalmente terminado.

6.3.3 Impresión del diseño correspondiente al recinto para el módulo ACSELS

Para validar las dimensiones y ubicación de los orificios se realizaron impresiones de ambas charolas en escala 1:1, en sus vistas superior e inferior. Una vez verificadas todas sus dimensiones y siguiendo el procedimiento utilizado en el contenedor de la CV, se procedió a realizar el dimensionamiento de cada una de las charolas. Finalmente se imprimieron los isométricos de cada una de las charolas y después se procedió a enviarlos para su manufactura.



Figura 6.5: Diseño del contenedor del módulo ACSELS

6.4 Manufactura de los contenedores de aluminio

Una vez que estuvieron listos los diseños en AutoCAD se buscó un taller capacitado para realizar su manufactura, es decir que contase con todas las herramientas necesarias como son: (Torno, Fresadora, Cortadora, Taladros, etc.). Durante este proceso se realizaron varias visitas al taller para aclarar dudas con los mecánicos y supervisar el avance en el maquinado de las charolas.

Durante la primera visita al taller, debido al lento avance solo se verificaron las dimensiones externas y se aclararon con los mecánicos algunas dudas existentes en cuanto a la pestaña de ensamble entre las distintas charolas. En las figuras 6.6 a 6.8, se muestran fotografías del avance de las charolas durante la primera etapa del proceso de manufactura.

En una segunda visita ya se tenían excavadas las charolas por lo cual se logró verificar las dimensiones internas y las pestañas de ensamble en 5 de las charolas. En las figuras 6.9 y 6.10 se muestran fotografías del contenedor de la CV, totalmente excavado.

Cuando finalmente estuvo terminado el contenedor, se verificó el correcto ensamble entre todas las charolas y las dimensiones de las ventanas en la tapa superior donde se alojan los conectores también se verificaron los orificios para el atornillado de los contenedores. En las figuras 6.11 y 6.12, se muestran fotografías del contenedor de la CV totalmente terminado.

Cabe mencionar que quedaron algunos detalles pendientes en la mayoría de la charolas, como el lijado y limpieza de cada una de ellas para eliminar residuos grasos y de metal incorporados durante su manufactura. Así como también quedaron pendientes las perforaciones para sujetar los impresos a las mismas en cinco de las charolas, debido a que estas se realizaron al montar cada uno de los impresos con su charola correspondiente, lo cual se trata en la siguiente sección.

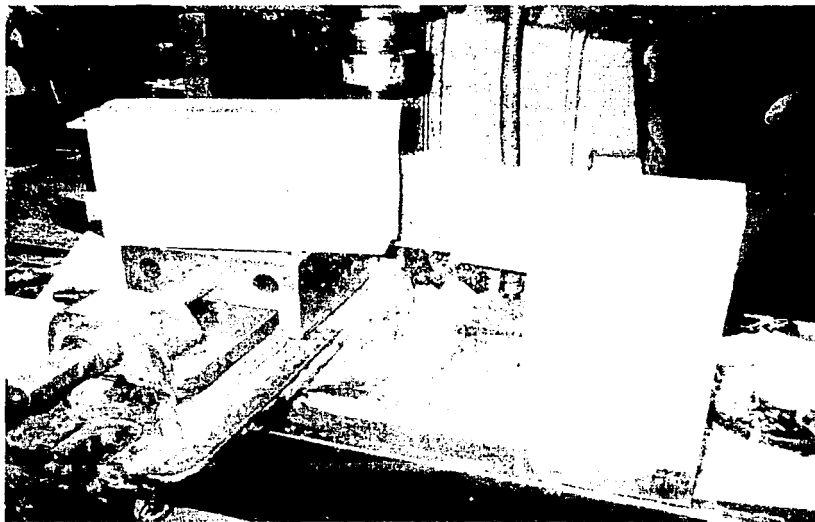


Figura 6.6: Fotografía del proceso de maquinado contenedor para el módulo ACSELS.

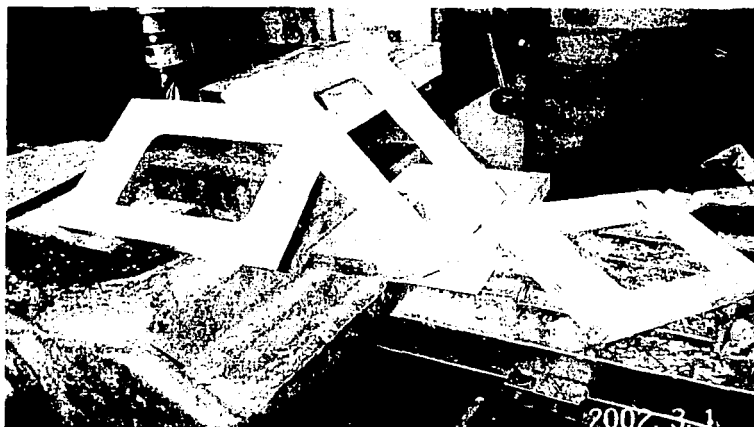


Figura 6.7: Fotografía de algunas de las charolas del contenedor de la CV durante su maquinado.



Figura 6.8: Contenedor de la CV durante la primera etapa del proceso de manufactura.

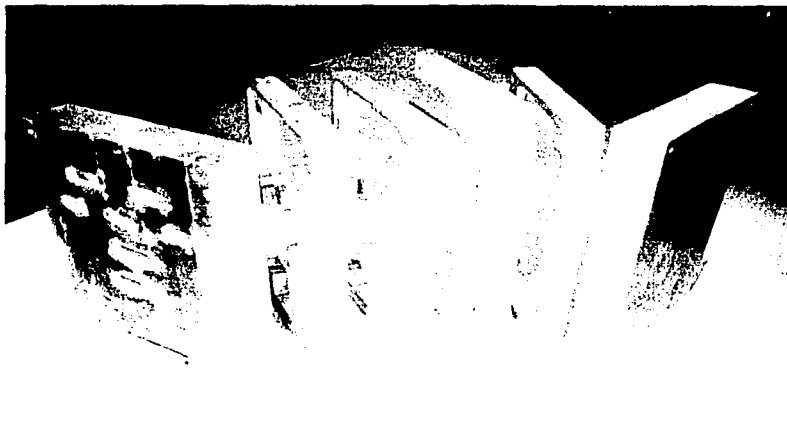


Figura 6.9: Vista frontal del contenedor para la CV totalmente excavado

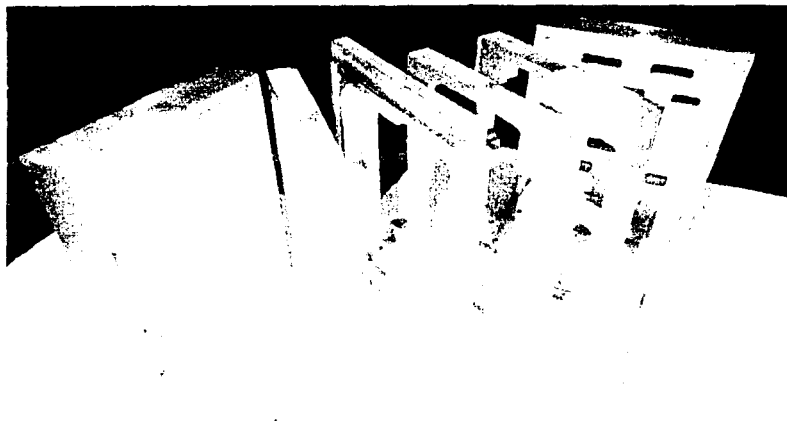


Figura 6.10: Vista posterior del contenedor para la CV totalmente excavado.

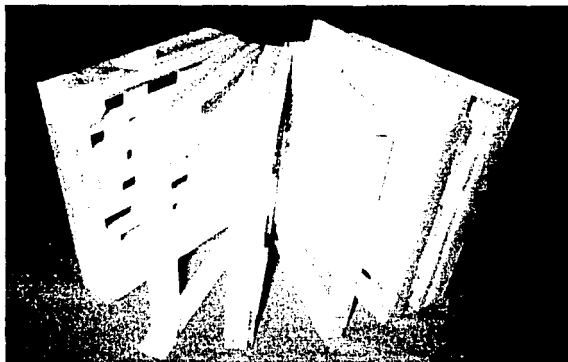


Figura 6.11: Charolas del contenedor de la CV totalmente terminadas.

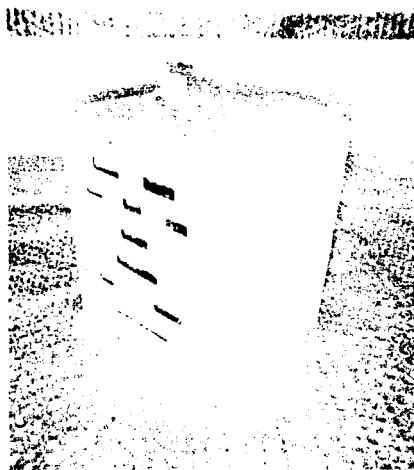


Figura 6.12: Contenedor de la CV completamente terminado.

6.5 Ensamble de la CV con su contenedor de vuelo

6.5.1 Limpieza del contenedor

Como primer paso se realizó una primera etapa de limpieza en cada una de las charolas, para ello se utilizó thinner y agua para eliminar los residuos grasos, metálicos y pintura de marcado, todos estos introducidos durante el proceso de manufactura.

Posteriormente se realizó un proceso de pulido, debido a que las charolas no presentaban una superficie uniforme sino que existían pequeños grumos y marcas de las herramientas en casi todas sus caras, para ello se utilizó lija de agua para asentar y agua.

6.5.2 Realización de perforaciones en las charolas del recinto de la CV

Para realizar este proceso fue necesario buscar un laboratorio que contara con un taladro fijo o de banco, para realizar las perforaciones ya que si son realizadas con un taladro manual estas puedan quedar ligeramente corridas o de lado. Así que acudimos al laboratorio de Instrumentación del Instituto de Ingeniería.

Como solo la tapa inferior se perforó y se le hizo la cuerda correspondiente en el proceso de manufactura, sobre ésta se fijó la última tarjeta de la CV que servirá de guía para las demás. Así que la tarjeta del procesador redundante uno fue la primera en ser montada y sujeta a la tapa inferior.

El siguiente paso fue sobreponer la siguiente tarjeta de la CV, (siguiendo el orden indicado en la figura 6.13) con su charola correspondiente sobre la tapa inferior, se verificó que tanto los impresos como las charolas, ensamblen de manera correcta, luego se marcan los orificios, posteriormente se desmontan tarjeta y charola para realizar la perforación de los orificios con ayuda del taladro fijo. Después se eliminan los residuos, se sujeta el impreso a la charola y finalmente se ensambla con la charola anterior para continuar con la siguiente. Estos pasos se repitieron para las cuatro charolas siguientes.

Cuando finalmente resta la tapa superior, se toma la charola que en posición es la anterior a la tapa y se superpone a esta, posteriormente utilizando como guía los orificios de la charola mencionada se taladró directamente la tapa superior, con una broca de menor diámetro que la utilizada en las perforaciones anteriores, se desmontó la charola y se limpiaron los residuos. Finalmente utilizando un machuelo 4-40 y de manera manual se procedió a realizar la cuerda en cada uno de los seis orificios de la tapa superior.

6.5.3 Soldado de conectores militares de E/S para la CV

Una vez terminadas las perforaciones únicamente queda pendiente soldar los conectores de vuelo a la tarjeta de Efecto "Latch-up". Estos conectores no fueron soldados

directamente a la tarjeta, debido a que en el momento de realizar las pruebas de

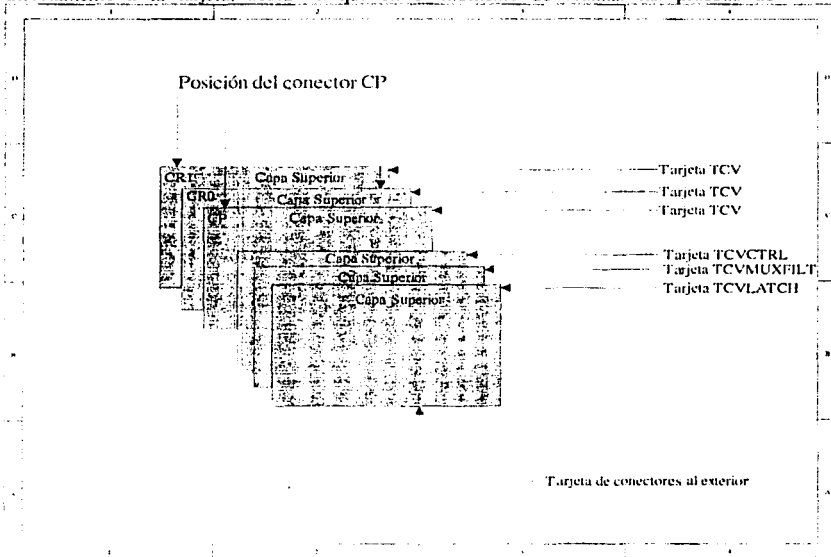


Figura 6.13: Orden de ensamblaje de las tarjetas de la CV.

certificación, en particular las relacionadas con vibración, estos conectores quedarían sujetos a esfuerzos importantes y por el peso que presentan los mismos, existen posibilidades de que se fracturen algunos de sus pines, la misma tarjeta o la soldadura de los mismos. Por esta razón se fabricaron unos pequeños impresos adicionales con pistas en ambos lados, los cuales permiten unir los conectores de clasificación militar con la tarjeta de efecto "Latch-up" por medio de cable. Es recomendable utilizar cables con recubrimiento de teflón en equipos espaciales, pero en el mercado no se encontró cable con estas características en calibre 26, por lo tanto se utilizó cable comercial antiflama de calibre 26.

Como los conectores están sujetos a la tapa superior es necesario cortar el cable con una tolerancia que permita la entrada de las herramientas necesarias para el atornillado de los mismos y a su vez también debe de permitir realizar todo tipo de corrección, desmontaje y montaje de cualquier componente de la tarjeta en caso de ser necesario sin la necesidad de

desmontar los conectores de la tapa superior. Esto implicara un ahorro de tiempo en el caso de que se presente alguna falla o modificación del diseño. Por estas razones se decidió que la medida de los cables fuera de 17 cm. Para el soldado de los mismos se siguieron las recomendaciones indicadas en el capítulo 3 y al final se verificó continuidad para cada señal de cada conector entre la tarjeta de la CV y los conectores militares.

6.5.4 Montaje final de impresos en el recinto de la CV

Como primer paso se montaron los conectores a la tapa superior, los cuales fueron sujetos a la misma con tornillos y tuercas de seguridad. Posteriormente se acomodaron las trenzas de los conectores dentro de la tapa y se sujetó la tarjeta de "Lach-up" utilizando rondanas de teflón entre el impreso y la tapa, con la finalidad de evitar posibles corto circuitos entre las distintas señales.

Posteriormente se procedió a montar el resto de las tarjetas con sus respectivas charolas, utilizando para cada una de ellas, rondanas de teflón entre impreso y charola, tornillos 4-40 con rondanas y tuercas de seguridad.

En las figuras 6.14 a 6.18 se muestran, las fotografías de cada una de las tarjetas ensambladas con su respectiva charola.

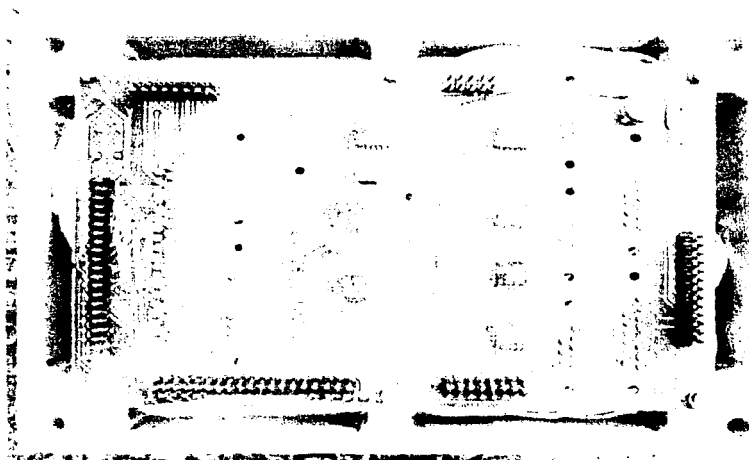


Figura 6.14. Fotografía de la tarjeta LACH-UP en su respectiva charola.

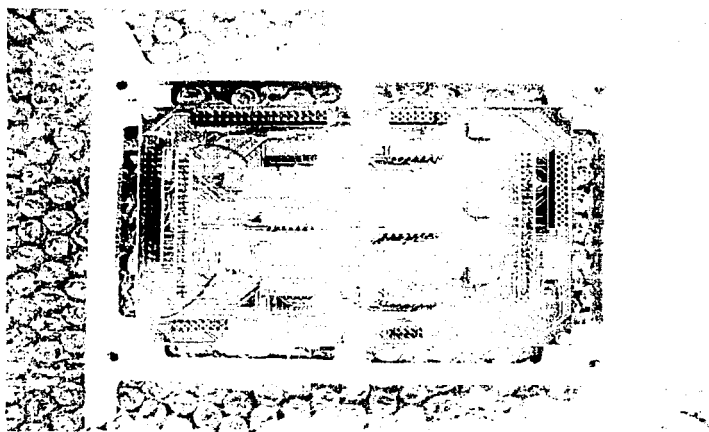


Figura 6.15: Fotografía de la tarjeta TCMI X con su respectiva charola.

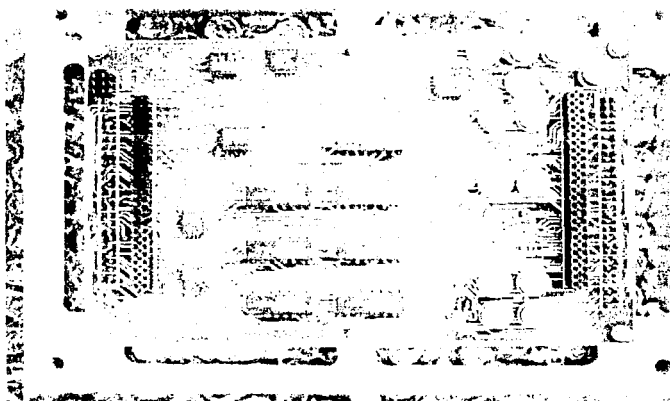


Figura 6.16: Fotografía de la tarjeta TCVC TRI con su respectiva charola.



Figura 6.17: Fotografías de la tarjeta de procesador principal con su respectiva charola

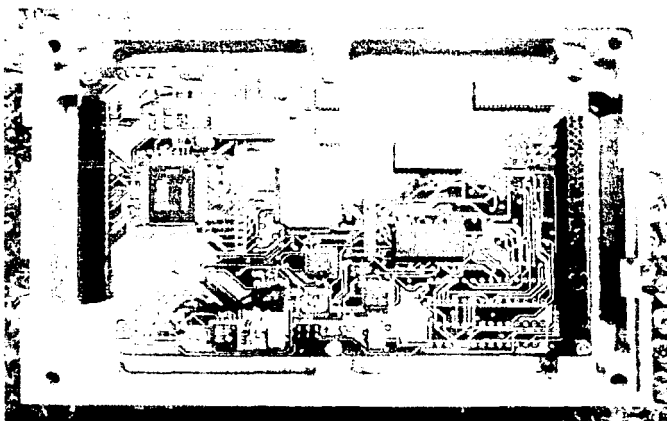


Figura 6.18: Fotografía de la tarjeta de procesador redundante con su respectiva charola

Una vez que ya se tuvieron sujetas todas las tarjetas en su correspondiente charola, se procedió a ensamblar una a una comenzando por la tapa inferior hasta llegar a la tapa superior. Cabe mencionar que en esta etapa se debe ser muy cuidadoso al momento de ensamblar las partes, ya que los pines por los cuales se comunican entre sí todas las tarjetas son sumamente débiles y si no se tiene cuidado pueden doblarse e incluso romperse, ocasionando fallas severas en el equipo. Finalmente se colocan los cuatro tornillos que sujetarán a todas la charolas para formar el contenedor de la CV, los cuales también llevan rondanas y tuercas de seguridad.

La figura 6.19 muestra, la fotografía del contenedor de la CV totalmente armado

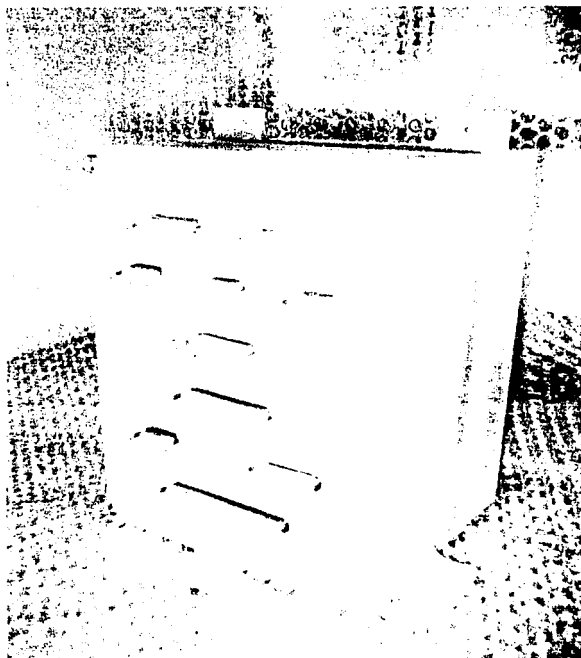


Figura 6.19: Fotografía de la CV dentro de su contenedor.

6.6 Ensamble del módulo ACSELS en su contenedor de vuelo

6.6.1 Limpieza del contenedor

Como primer paso se realizó la limpieza de ambas charolas, para ello se utilizó thinner y agua para eliminar los residuos grasos, metálicos y pintura de marcado, todos estos introducidos durante el proceso de manufactura.

A diferencia del contenedor de la CV, en este contenedor no fue necesario realizar un proceso de pulido, debido a que las charolas presentaban una superficie uniforme.

6.6.2 Soldado de conectores militares para el módulo ACSELS

Antes de realizar el armado de los conectores fue necesario verificar en el diagrama general de SateX, las conexiones del módulo ACSELS con el resto de los equipos. Ya que algunas de las conexiones procedentes del PCB correspondiente en el módulo ACSELS no correspondían de manera natural (es decir no eran conexiones 1 a 1).

Como el resto de los equipos no puede alterar sus líneas de salida, para solucionar este problema fue necesario redirigir las líneas de salida y conectores en el módulo ACSELS dando como resultado conectores que comparten destinos diferentes en el PCB.

Una vez verificadas las conexiones, para realizar el armado se siguió el procedimiento y material utilizado para la CV. La figura 6.20 muestra la fotografía, durante el soldado de los conectores.

6.6.3 Montaje final del módulo ACSELS

Una vez terminado el proceso de armado y verificación de los conectores, se montaron éstos en su lugar correspondiente dentro del contenedor, para ello se utilizaron tornillos y tuercas de seguridad. La figura 6.21 muestra la fotografía, durante el montaje de los conectores en la tapa superior.

Posteriormente utilizando tubo de aluminio, se cortaron 6 postes de 10mm, que sirven de separadores entre los PCB's, también se cortaron 2 postes de 23mm para mantener la separación entre los PCB's y el contenedor en la parte central para evitar que el PCB se flexione. Se debe de recordar que estos soportes fueron eliminados en este diseño.

Por último se realizó el acomodo de los cables y las tarjetas con la tapa superior del contenedor, para finalmente introducir los tornillos que sujetan a dichas tarjetas, para ello se utilizaron tornillos de 3/8 de diámetro por 2 pulgadas de largo, tuercas de seguridad, rondanas de teflón entre PCB y contenedor, así como entre postes y PCB's.

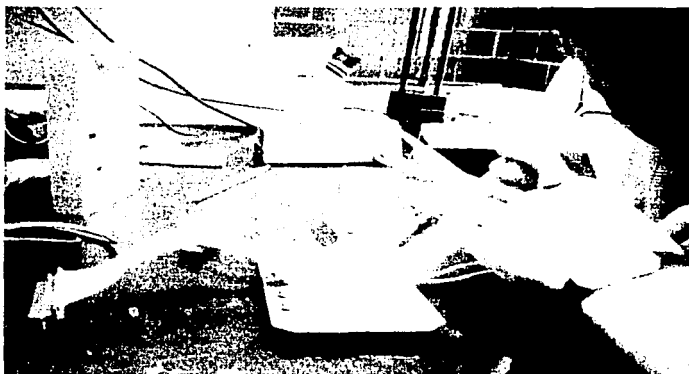


Figura 6.20: Soldado de conectores en las tarjetas del módulo ACSELS



Figura 6.21: Montaje de conectores en la tapa superior del módulo ACSELS.

Finalmente se colocó la tapa inferior y se introdujeron los cuatro tornillos con sus respectivas tuercas de seguridad para sujetar ambas charolas. En las figuras 6.22 y 6.23 se muestra el módulo ACSELS terminado.

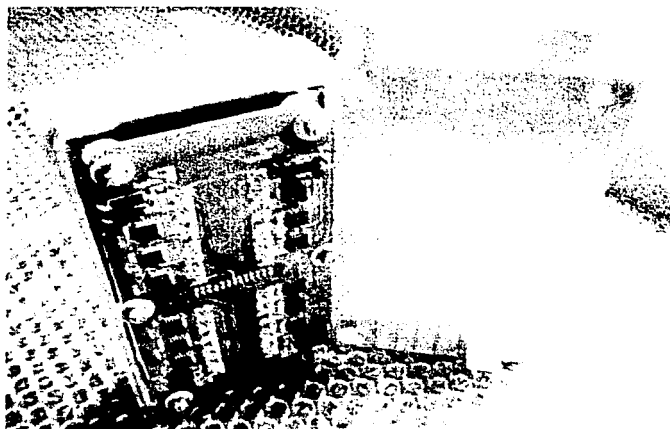


Figura 6.22: Módulo ACSELS parcialmente ensamblado.

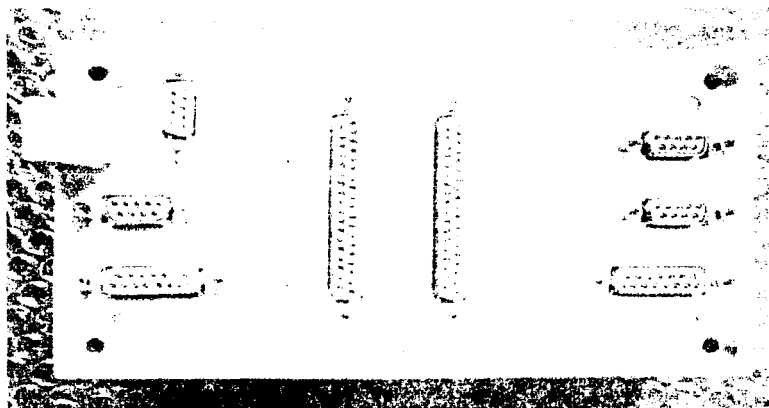


Figura 6.23: Módulo ACSELS totalmente ensamblado.

Capitulo 7 Pruebas de interconexión entre la CV y el módulo ACSELS, pruebas operativas en combinación con el software de operaciones satelital, el software de estación terrena y el software SOfDEVO

7.1 Introducción

El satélite dispone de dos subsistemas para realizar la adquisición de 62 señales de sensores, uno de ellos es el sistema de potencia, el cual recaba 14 señales de sensores distribuidos en los bancos de baterías, mientras que la CV recaba información de 48 señales de sensores distribuidos dentro del cuerpo del satélite, para realizar esta tarea la CV se apoya en el módulo ACSELS. La CV también se encarga de formar los paquetes de telemetría que serán enviados a Tierra.

El módulo ACSELS, está dividido en dos subsecciones, una de ellas se encarga de recibir las señales provenientes de los termistores y acondicionarlas para que puedan ser leídas por la CV; mientras que la otra subseccion se encarga de sensar y caracterizar la corriente consumida por los equipos de transmisión y cargas útiles.

En este capítulo se describen las conexiones existentes entre la CV y el módulo ACSELS, así como las pruebas y el procedimiento utilizado para la realización de las mismas.

7.2 Interconexiones eléctricas entre la CV y el módulo ACSELS

El módulo ACSELS y la CV se encuentran interconectados por 2 conectores, El primero de ellos es un bus de 33 pines, utilizado para transmitir las señales entregadas por la CV para el encendido de la electrónica de dicho módulo, este bus también es utilizado por la CV para capturar la información proveniente de 27 señales de sensores entregadas por el módulo ACSELS.

El siguiente canal es un bus de 3 pines utilizado, para transmitir las señales **ON#OFF CP, ON CR-DT y SEL CR0-1**, necesarias para el encendido y reconfiguración de procesadores, estas señales son entregadas al módulo ACSELS por el DT, a su vez estas señales son redireccionadas por una subseccion de dicho módulo y finalmente enviadas a la CV por el bus antes mencionado.

7.3 Equipo utilizado para las pruebas de validación entre la CV y el módulo ASCELS

Para la realización de estas pruebas fue necesario montar un esquema de simulación del satélite completo, incluyendo al módulo ACSFELS y utilizando SOFDEVO para simular las tareas efectuadas por el DT. Este esquema de simulación utiliza las herramientas de simulación de los equipos del satélite SOFDEVO, el software de Estación Terrena y el simulador de la red interna del satélite SIMSAT. A continuación se da una breve descripción de estos equipos.

7.3.1 Software de emulación de cargas útiles

El software de Validación Operativa SOFDEVO surgió en respuesta a la necesidad de una herramienta que permitiera validar a la CV, cuando el resto de los equipos que componen a Satex no estuvieran terminados. Las características principales de este software son:

- Soporte completo para los protocolos de cómputo tolerante a fallas a bordo de SATEX.
- Capacidad para emular a todas y cada una de las cargas útiles de abordaje en cuanto a su interacción por la red interna.
- Capacidad para monitorear el tráfico de la red interna y efectuar la presentación cualitativa de los sucesos ocurridos en la misma.
- Capacidad de emular diferentes fallas en los procesadores de abordaje.
- Interfaz gráfica de usuario sencilla e intuitiva, basada en "MS Windows".

En la Fig. 7.1 Se observa la ventana general de SOFDEVO

7.3.2 Software de estación terrena

Otra herramienta de gran utilidad es el software de Estación Terrena utilizado para realizar la supervisión y el control del satélite, las características principales de este software son:

- Admite el envío de nuevo software operativo para el satélite y también permite solicitar y capturar diversos tipos de telemetría (normal, especial, de magnetómetros, etc.).
- Permite visualizar los resultados del diagnóstico de equipos del satélite, alertando al usuario en casos de fallas con alarmas auditivas y visuales.
- Permite programar el tiempo de adquisición para capturar imágenes desde el satélite, así como su captura en la estación terrena.
- Capacidad para detectar automáticamente la presencia del satélite.

- Permite interactuar con las cargas útiles del satélite ya sea para transmitirles parámetros o bien, para capturar información (datos operativos, imágenes, etcétera).

En la Fig. 7.2 podemos observar la pantalla principal de ET.

7.3.3 Simulador de satélite

El simulador de satélite fue desarrollado para realizar pruebas del software de la CV tanto a nivel tarjeta de procesador, como a nivel de la computadora de vuelo. Para tal propósito cuenta con conectores para comunicarse ya sea con una tarjeta de procesador por medio de un conector de costilla de 50 contactos, o bien, para comunicarse con la computadora de vuelo por medio de 6 conectores militares tipo DB de diferentes capacidades. Por sus características, el SIMSAT, figura 7.3, se utilizó para depurar el hardware y el software de operaciones del satélite, sus características son las siguientes:

- Permite visualizar la operación de actuadores y equipos del satélite, entre ellos la liberación de satélite, equipos VHF de comunicaciones, despliegue de antenas, bobinas de torque magnético, gradiente gravitacional, etcétera.
- Realiza la simulación física de los 48 sensores asociados a la computadora de vuelo.
- Contiene el hardware de red, de tal forma que por medio de él se pueden interconectar hasta 4 computadoras personales cada una ejecutando el software SOFDEVO.

7.4 Seguimiento de las Operaciones del software de la CV por medio de SOFDEVO

7.4.1 Inicio de la supervisión de operaciones de la CV

Inmediatamente después de que se ha terminado el proceso para la carga de un nuevo programa, mencionado en el capítulo 5, se puede comenzar el monitoreo del software de vuelo a través de SOFDEVO, solo es necesario conectar el puerto serie de la PC en donde se encuentra alojado SOFDEVO a una de las cuatro salidas de la red interna en el SIMSAT. Posteriormente en la pantalla principal de SOFDEVO se oprime el botón conectar y listo.

La liberación del satélite es el primer mensaje enviado por este software, a partir de este momento SOFDEVO se convierte en la sombra del software de vuelo y nos indica en todo momento mediante el despliegue de mensajes en pantalla la (s) acción (es), que se encuentra realizando la CV en un instante de tiempo específico.

TESIS CON
FALTA DE ORIGEN

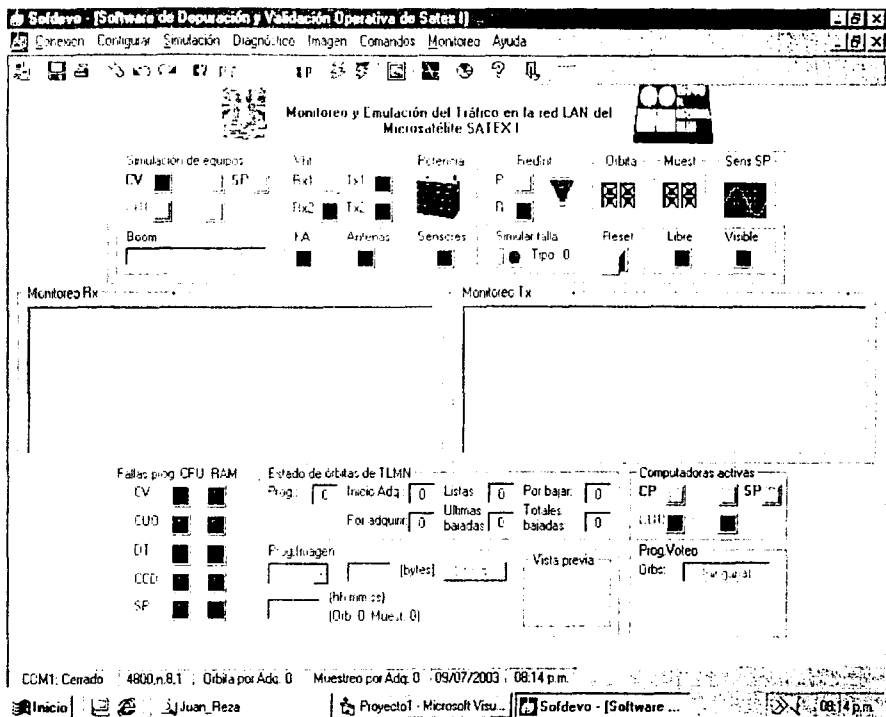


Figura 7.1: Pantalla principal de SOFDEVO.

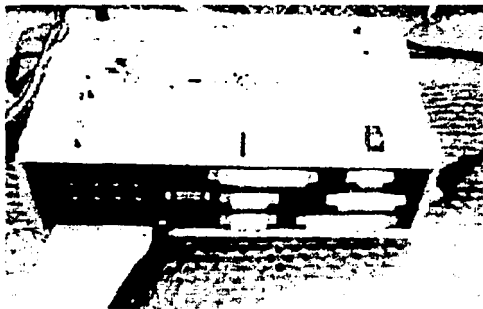


Figura 7.3: Simulador del satélite

7.4.2 Monitoreo de misiones enviadas a la CV

Cuando el software de vuelo comienza a realizar operaciones se le puede programar a través del software de ET una misión de telemetría normal, telemetría especial, prueba en Korou, etcétera. Si se monitorean las operaciones de la CV con SOFDEVO, éste despliega en pantalla la órbita y muestreo que ha realizado Satex desde el último Reset, esto es de gran ayuda ya que cuando se le quiere programar una misión se debe de especificar la órbita y el muestreo en el cual se realizara dicha misión, cabe mencionar que si se le programa misión en una órbita que el satélite ya realizó ocurrirán resultados erróneos.

Para programar misión, primero el software de ET debe de contactar a Satex, para este propósito SOFDEVO permite saber el momento en que se a hecho contacto con el satélite, ya que despliega un mensaje en pantalla, así también indica el comando y descripción de la misión que se le ha programado. Cuando se ordena la adquisición de telemetría no se despliega ningún mensaje extra, pero cuando se ha programado una prueba en Korou, SOFDEVO despliega mensajes durante toda la prueba, estos mensajes son de gran ayuda al usuario porque además de poder saber el momento en que se inicia y finaliza la prueba, permite realizar un seguimiento de la misma.

Finalmente cuando se descarga la información capturada durante la misión, SOFDEVO realiza también un seguimiento del proceso, desde el momento en el cual inicia la transferencia de información hasta el momento en que termina.

7.4.3 Programación y seguimiento de Fallas

Para la validación tanto del software como del hardware de la CV y del módulo ACSELS es necesario simular fallas en las computadoras del satélite, incluso es necesario simular fallas en la CV para realizar la prueba de mantenimiento a ésta última.

Para programar estas fallas con el apoyo de SOFDEVO se debe de realizar el siguiente procedimiento:

1. Con ayuda del ratón se seleccionan los equipos que se requiera simular.
2. Seleccionar en la ventana de programación de fallas el equipo que simulará la falla y el tipo de falla. Cabe mencionar que sólo se puede simular una falla a la vez, de lo contrario no se puede realizar el boteo Bizantino [Torres, 2002].

Después de programar la falla SOFDEVO carga un número diferente de cero en el síndrome de estatus de la computadora seleccionada hasta que la falla sea cancelada por el usuario. Por lo tanto cada vez que el software de vuelo ejecute el voto Bizantino, SOFDEVO entregará este resultado a la CV. Al finalizar el voto, SOFDEVO despliega los resultados en pantalla y se puede observar que el equipo al que se le simuló la falla aparece en mal estado. Finalmente estos datos son almacenados en memoria y en el siguiente avistamiento de Satex serán descargados a ET.

En general para realizar el seguimiento de operaciones, se deben de realizar los siguientes pasos:

- Cargar programa a la CV desde ET.
- Conectar SOFDEVO a la red interna del satélite, a través del SIMSAT.
- Esperar a que SOFDEVO indique a través de la ventana de recepción de mensajes de la red interna, que el satélite ya se ha liberado y a comenzado a realizar sus operaciones. Por programación siempre se toma la telemetría normal en la primera orbita.
- Posteriormente SOFDEVO indica cuándo ET establece contacto con el satélite y el tipo de comando que se le envió a sí como su descripción.
- En cada muestreo, SOFDEVO muestra los comandos provenientes de CV y las respuestas a dichos comandos como son, prueba del puerto serie, encendido o apagado de las computadoras, canal de comunicaciones que se está utilizando, el tipo de diagnóstico que la CV esta realizando, el resultado del voto, etc. Una vez que termina un muestreo los comandos se repiten.
- Cuando se le pide a CV que entregué los resultados de telemetría especial o normal de los sensores programados en una misión, SOFDEVO indica el momento de inicio y fin de la información enviada a ET.

De esta manera monitoreando la red interna podemos conocer las operaciones que se encuentra realizando el satélite.

7.5 Pruebas realizadas de mantenimiento automático a la CV con propósitos de validación

7.5.1 Prueba de reconfiguración de la CV

Dentro del módulo ACSELS se encuentra la electrónica que permitirá al detector de tonos realizar el mantenimiento de la CV. Para esto ACSELS recibe los votos emitidos por los equipos correspondientes y dependiendo del valor de estos, la electrónica correspondiente se encargará de asignar ó no el permiso para que el DT reconfigure a la CV.

7.5.1.1 Preparación de la prueba de reconfiguración de la CV

Para la realización de esta prueba se utilizó el equipo mencionado al principio de este capítulo, incluyendo a la CV y el módulo ACSELS. Cabe mencionar que para realizar esta prueba se le añadieron funciones adicionales al software SOFDEVO, para más información consultar la tesis [Reza, 2003]

El esquema de esta prueba se presenta en la figura 7.4, así mismo, en las figuras 7.5 y 7.6 se presentan las fotografías correspondientes al proceso de pruebas entre la CV y el módulo ACSELS.

TESIS CON
FALLA DE ORIGEN

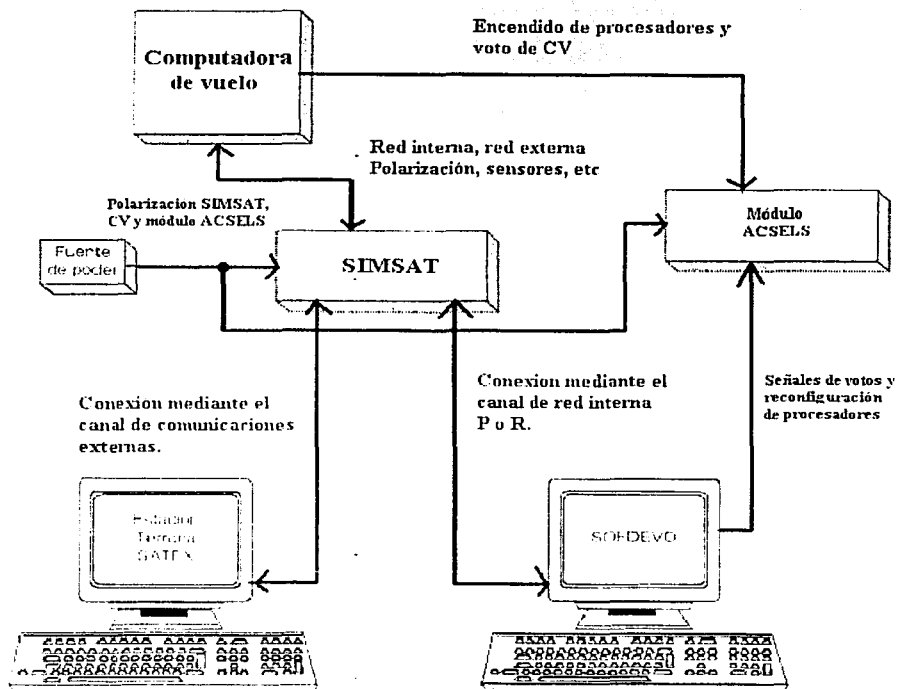


Figura 7-4: Esquema para realizar las pruebas entre CV y el módulo ACSELS.

TESIS CON
FALLA DE ORIGEN

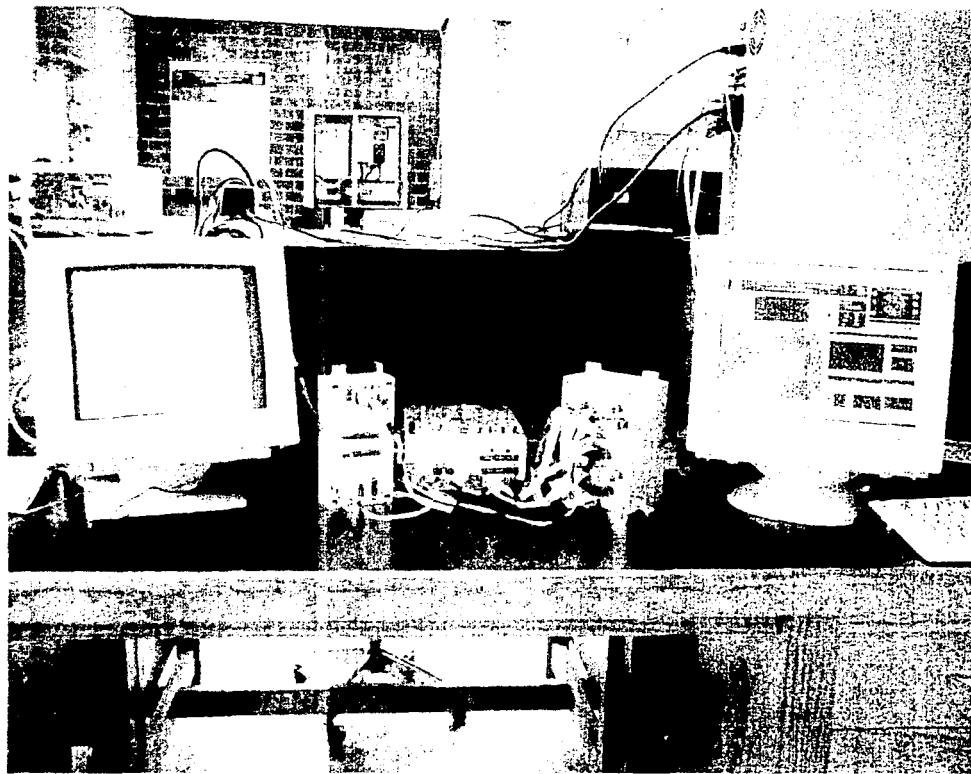


Figura 7.5: Desarrollo de pruebas entre CV y el módulo ACSELS

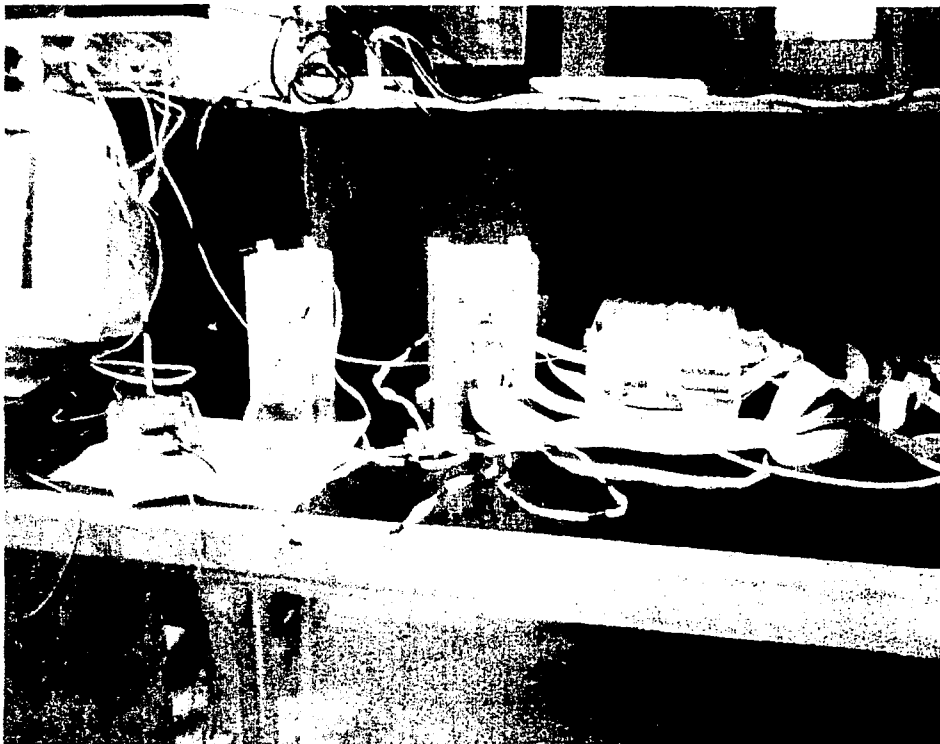


Figura 7.6: Módulo ACSELS y CV interconectados con SOFDEVO.

7.5.1.2 Desarrollo de la prueba reconfiguración de la CV

Una vez montado el equipo correspondiente, se realizaron los siguientes pasos:

1. Desde el software SOFDEVO, se establece el uso del procesador principal.
2. Desde el software de ET, se abre la pantalla correspondiente para subir nuevo programa a la CV y ejecuta la rutina mencionada en el capítulo 5 del presente trabajo.
3. Una vez que se ha comenzado a ejecutar el software de vuelo cargado en el paso anterior, se aplica un Reset a la CV desde SOFDEVO.
4. Desde SOFDEVO simular falla en CV.
5. Esperar a que se realice el diagnóstico por voto y realizar el seguimiento a través de SOFDEVO.
6. Verificar que al terminar el voto, de manera automática se realice la reconfiguración de la CV.
7. Repetir los pasos 2 al 6 para repetir la prueba.

7.5.2 Simulación de fallas

Para realizar la validación del software de vuelo y el hardware de la CV es necesario simular fallas en los equipos y realizar el seguimiento de la prueba misma, desde la programación de las fallas hasta su captura en ET.

Para esto fue necesario utilizar el equipo descrito al inicio de la sección 7.3 de este trabajo, posteriormente se carga y ejecuta en la CV el software de vuelo. Con ayuda de SOFDEVO se programaron fallas en la ALU y Timer 4 del procesador del DT, la figura 7.7 muestra este proceso.

Después se realizó el seguimiento del proceso de voto y cuando este finalizó, al desplegarse los resultados del mismo, se observó que el DT aparece en mal estado. La figura 7.8 muestra los resultados del voto.

Se continuó con el seguimiento de las actividades realizadas por la CV en cada muestreo hasta la terminación de una órbita completa. Inmediatamente después se realizó el contacto con Satex a través de ET y se le solicitó la información capturada, cuando este proceso terminó se desplegó el estado de equipos y se corroboró que el DT estuviera en mal estado. La figura 7.9 muestra estos estados de equipo desplegado por ET.

Finalmente se le pidió a ET el reporte de los procesadores y se corroboró de manera exitosa, que las fallas programadas en SOFDEVO, fueran idénticas a las obtenidas por la CV a través del diagnóstico por voto.

La figura 7.10 muestra el reporte de los procesadores obtenido en esta prueba.

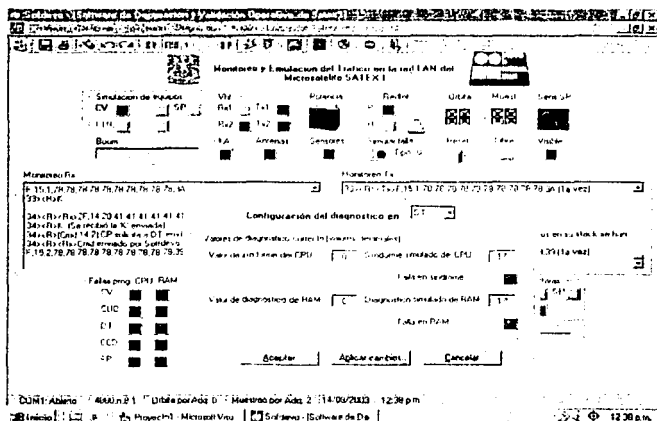


Figura 7.7: programación de fallas en DT.

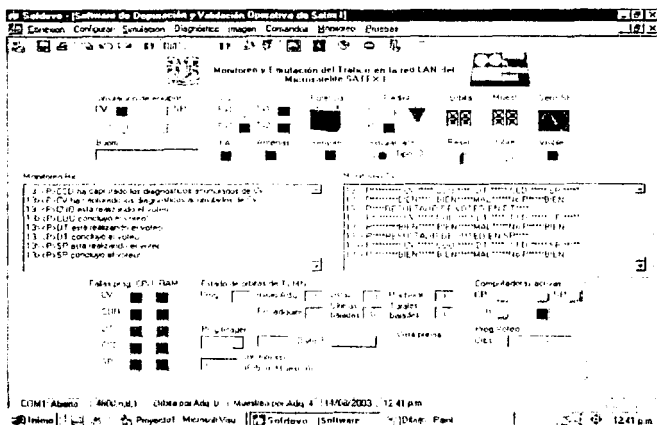


Figura 7.8: Resultados del voto.

**TESIS CON
FALLA DE ORIGEN**

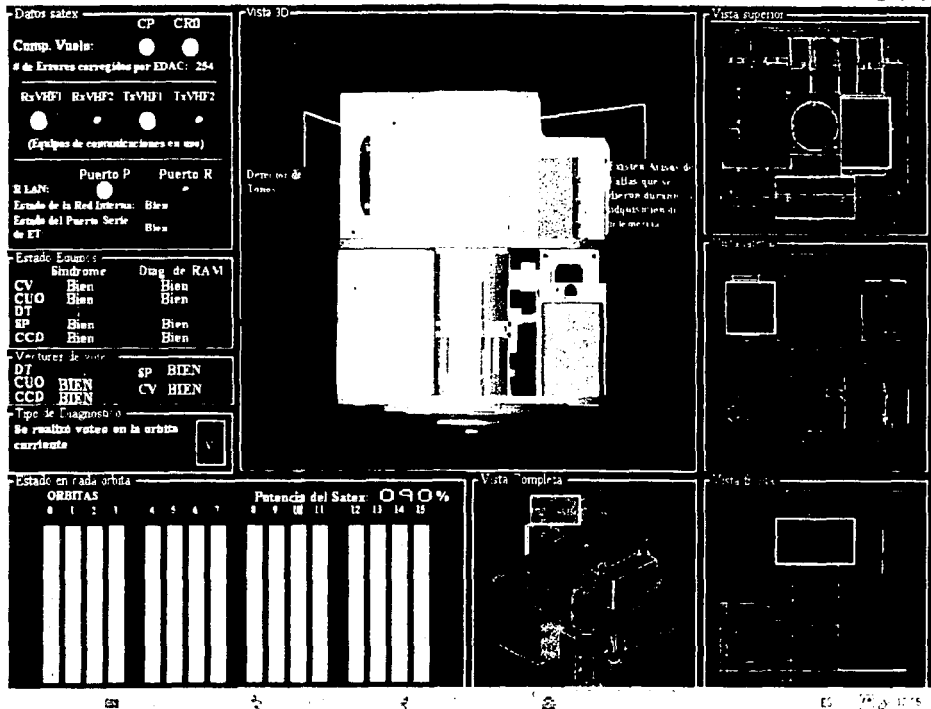


Figura 7.9: Estado de equipos ofrecido por el software de E1.

Reporte de los procesadores del SATEX I										
	ALU	Err. RAM	TIMER 0	TIMER 1	TIMER 2	TIMER 3	TIMER 4	TIMER 5	TIMER 6	WDT
CV	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN
CUO	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN
DT		BIEN	BIEN	BIEN	BIEN	BIEN		BIEN	BIEN	BIEN
CCD	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN
SP	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN	BIEN

TESIS CON
FALLA DE ORDEN

Figura 7.10: Reporte de procesadores ofrecido por el software de EI.

Capítulo 8. Conclusiones y recomendaciones

8.1 Conclusiones

Del trabajo expuesto se obtuvieron las siguientes conclusiones:

- Se efectuó la revisión y se rediseñó la tarjeta de conmutación y encendido de procesadores (TCVCTRL), mediante el cual se corrigieron los errores existentes en el diseño previo, dando como resultado una nueva versión de la computadora de vuelo más confiable y tolerante a fallas.
- Se realizó el diseño de contenedores para CV y ACSELS en 3 dimensiones y se supervisó el proceso de manufactura en aluminio espacial también se ensambló cada uno de estos equipos dentro de su contenedor correspondiente.
- Se efectuó la calibración, ensamble y validación de los sensores de protección de efecto "Latch-up" en cada una de las tarjetas de procesamiento, lo cual permitirá como resultado un incremento en la vida útil de la computadora de vuelo, lo que implicará a su vez un incremento en la vida útil del satélite.
- Se desarrolló el software para el control del dispositivo EDAC y acceso a memoria expandida, mediante el cual se realiza la detección y corrección de errores simples en la memoria RAM de los microprocesadores. Con ello se obtienen 1.3 MB de memoria protegida para el almacenamiento de nuevos programas, imagen y telemetría.
- Se efectuaron pruebas de validación para el hardware y software de la computadora de vuelo y el módulo ACSELS mediante las cuales se sentaron las bases para la ejecución de pruebas durante la integración del satélite y el proceso de calificación para vuelo espacial (pruebas de termovacío y vibración).
- Finalmente se cuenta con una versión final de la computadora de vuelo, validada, ensamblada y lista para las pruebas de integración con el resto de los equipos del satélite. En esta versión todos los componentes con excepción del microcontrolador, tienen especificaciones militares. El microprocesador es de tecnología CMOS, con un rango de temperatura industrial y se encuentra protegido contra el efecto "Latch-up".

TESIS CON
FALLA DE ORIGEN

8.2 Recomendaciones

Algunas de las recomendaciones para el uso o la mejora de la computadora de vuelo y de lo desarrollado en la presente tesis, son las siguientes:

Realizar el encendido y apagado de las tarjetas de procesamiento, mediante el manejo del polo positivo o de ser posible mediante el manejo de ambos polos. Con esto se ahorraría la necesidad de multiplexar el canal de comunicaciones externa (VHF), ahorrando espacio en la tarjeta de control y se solucionarían problemas encontrados al conectar la tercera tarjeta de procesamiento.

Multiplexar las líneas **Reset**, **Down load** y **Rom/Ram#** para el tercer microcontrolador. Con esto se tendría un mejor control sobre la tarjeta de procesamiento **CRI**, con lo cual se incrementarían las posibilidades de éxito del satélite.

Realizar el anodizado de los contenedores, diseñados en aluminio espacial para la computadora de vuelo y el módulo ACSELS, con esto se evitará que el aluminio se oxide y tenga una apariencia opaca mejorando su aspecto físico.

Realizar las pruebas de integración de la computadora de vuelo y el módulo ACSELS con el resto de los equipos antes de aplicar la resina en las tarjetas de estos equipos, ya que de encontrarse colocada la resina y si durante la etapa de integración surgiera la necesidad de modificar o cambiar algún componente dentro de estas tarjetas esto sería prácticamente imposible.

Al colocar la resina en las tarjetas de la computadora de vuelo, se sugiere no desatornillar los impresos de su respectiva charola de aluminio. Por el contrario se recomienda aplicar la resina directamente a los impresos fijos en su costilla correspondiente y cubrir con la misma los tornillos y puntos de apoyo de los impresos con las charolas. Esto dará una rigidez mayor a las tarjetas, mejorará la disipación térmica de las tarjetas hacia el contenedor y evitará que los tornillos se aflojen durante las pruebas de vibración, y puesta en órbita.

En vista de que en las tapas superior e inferior del contenedor de la CV no es posible aplicar la resina sin desatornillar los impresos, en estos casos se recomienda no aplicar resina en los puntos de apoyo con la charola, posteriormente atornillar el impreso y aplicar la resina en la cara externa del mismo.

TESIS CON
FALLA DE ORIGEN

BIBLIOGRAFÍA

- [Ginsberg, 1991] Gerald L. Ginsberg.
Printed Circuit Design.
McGraw-Hill, 1991.
- [Gutiérrez, 2003] Gutiérrez Medina Luis Ramón
Depuración, actualización y certificación operativa del software de recepción de telemetría y control de operaciones del microsátélite satex.
Tesis de licenciatura, Facultad de Ingeniería UNAM, 2003.
- [Mendieta, 1997] Mendieta Javier, Pacheco Enrique y Conte Roberto.
Carga útil óptica y subsistemas de comunicación para el satélite experimental Satex
Jornadas Euro-Latinoamericanas del Espacio México 1997.
- [Ortiz, 2003] Ortiz Hugo A.
Fundamentals of Space Systems
Tesis de licenciatura, Facultad de Ingeniería UNAM, 2003.
- [Pertence, 1991] Pertence Junior Antonio
Amplificadores Operacionales y Filtros Activos
Mc Graw-Hill, 1991.
- [Pisacane, 1994] Pisacane L. Vincent and C. Moore Robert
Fundamentals of Space Systems
Oxford University Press, 1994.
- [Protel, 1999] On-Line Manual And Documentation
Protel 99 User's Guide
Protel Technologies LTD, 1999.
- [Protel, 1999] Sánchez Manuel
Tutorial de protel 99
Octubre 2002

TESIS CON
FALLA DE ORIGEN

- [Reza, 2003] Reza Salgado Juan
Actualización del software de emulación depuración y validación de operaciones del microsatélite satex y sus experimentos.
Tesis de licenciatura, Facultad de Ingeniería UNAM, 2003.
- [Siemens, 1997] User's Manual Ver. 06.90/08.97
Microcomputer Componetns SAB 80C166/83C166 16-Bit Single Chip Microcontrollers For Embedded Applications
Siemens AG, 1997. - 1^ª Ed 1990.
- [Torres, 2002] Torres Fuentes Juan Ramón
Software de operaciones, de tolerancia a fallas y e telecomunicaciones para un microsatélite experimental.
Tesis de licenciatura, Facultad de Ingeniería UNAM, 1996.
- [Vicente, 1998] Vicente Vivas Esaú et. al.
Validación de la Instrumentación para el microsatélite SATEX.
Informe técnico del proyecto 6143, patrocinado por el IMC, Instituto de Ingeniería UNAM, Junio 1998.
- [Vicente, 1999] Vicente Vivas Esaú
CTF-3PRO Computadora tolerante a fallas con capacidad de multiprocesamiento para microsatélites.
SOMI XIV Congreso de Instrumentación, Puebla, México.
Septiembre 1999.
- [Vicente, 2000] Vicente Vivas Esaú
Distributed Fault Tolerant Instrumentation for an Experimental Microsatellite
IASTED, First International Symposium on Advanced Distributed Systems (ISADS 2000), March 2000, Guadalajara Jalisco, México
Marzo 2000.

TESIS CON
FALLA DE ORIGEN

[Vicente. 2001]

Vicente Vivas Isaú et. al.
**Instrumentación de vuelo espacial para
microsatélites.**
Informe técnico, Instituto de Ingeniería UNAM,
Octubre 2001.

REFERENCIAS WEB

Centro de Investigación Científica
de Estudios Superiores de Ensenada
(CICESE)

<http://www.cicese.mx>

Centro de Investigación
en Tecnología Digital
(CITEDI)

<http://www.citedi.mx>

Siemens

<http://www.siemens.com>

Página del Proyecto
Satex en la UNAM

<http://www.iingen.unam.mx>

Tutorial de Protel 99

<http://www.uhu.es/manuel.sanchez/docencia/tutoriales/protel99.html>

TESIS CON
FALLA DE ORIGEN


```
SXTIR1 = 1;
SXCON1 = SXCON_MOD1;
}

/***** Lee un Carácter por el puerto Serie *****/

int getch2( void )
{
    int c = EOF;

    if ( SXEIR1 )
    {
        SXPE1 = 0;
        SXFE1 = 0;
        SXEIR1 = 0;
        SXRIR1 = 0;
    }
    else if ( SXRIR1 )
    {
        c = SXRBUF1;
        SXRIR1 = 0;
    }
    return ( c );
}

/*
 * Regresa un 1 cuando existe un carácter en el puerto serie
 * de lo contrario regresa un 0
 */

int
kbhit2( void )
{
    if ( SXRIR1 )
        return ( 1 );
    return ( 0 );
}

/***** Escribe un Carácter al puerto Serie *****/

int
putch2( int c )
{
    while ( ! SXTIR1 )
    {
        _srvwdt();
    }
}
```

TESIS CON
FALLA DE ORIGEN

```

    };
    SXTIR1 = 0;
    SXTBUF1 = c;

    return ( c );
}

/**/ funciones retardo, prende y apaga 20veces*****/

```

```

void retar(void)
{
    int i,j,k;
    for(i=0;i<10;i++)
    {
        for(j=0;j<253;j++)
        {
            for(k=0;k<253;k++)
            {
                _srvwdt();
            }
        }
    }
}

```

```

void ledp20(void)
{
    int q;
    for (q=0;q<10;q++)
    {
        _putbit(1,P3,0);
        retar();
        _putbit(0,P3,0);
        retar();
    }
    retar();
    retar();
}

```

**TESIS CON
FALLA DE ORIGEN**

```

/*****
** rutinas de activación de mem expandida **
*****/
/* Variable global que indica el numero de segmento**
** expandido actual gSegExpAct **
*****/

```



```

int gSegExpAct;
int RefrescoMem(int Pagina);
void InitRamExp(void);
void ActivaRamExp(int NumSeg);
int RefrescoRamExp(int NumSeg);
/*****
** Inicializa los puertos de salida para las **
** direcciones de la memoria Expandida A18-A20 **
*****/

void InitRamExp(void)
{
    _putbit(1,DP3,15);
    _putbit(1,DP3,14);
    _putbit(1,DP3,7);
    _putbit(1,DP2,6);
    ActivaRamExp(0);
}

/* funcion que activa un segmento(64Kbytes) de la ram **
** expandid, el numero permitido es de 0 a 15, si es **
** 0 se accesa al segmento 03 de la memoria no exp **
*****/
void ActivaRamExp(int NumSeg)
{
    int A18,A19,A20,A21; /*variables de cada direccion*/
    A18=NumSeg&(0x01);
    A19=(NumSeg&(0x02))>>1;
    A20=(NumSeg&(0x04))>>2;
    A21=(NumSeg&(0x08))>>3;
    _putbit(A18,P3,15);
    _putbit(A19,P3,14);
    _putbit(A20,P3,7);
    _putbit(A21,P2,6);
    gSegExpAct=NumSeg;
}

/* funcion de refresco de memoria exp por paginas de 16 KB*/
int RefrescoRamExp(int NumSeg)
{
    int pagina;
    int SegExpAct;
    int NumErr=0;
    SegExpAct=gSegExpAct;

```

**TESIS CON
FALLA DE ORIGEN**

```

ActivaRamExp(NumSeg);
for(pagina=12;pagina<16;pagina++)  /*** el 12 permite acceder las paginas del
segmento de expansión (pags. 13,13,14 y 15 ) *****/
{
    NumErr=RefrescoMem(pagina)+NumErr;
}
ActivaRamExp(SegExpAct);
return(NumErr);

```

```

}

```

```

/* funcion de refresco de memoria por pagina **
** de 16kbytes, es independiente del control **
** de la ram expandida **
*****/

```

```

int RefrescoMem(int Pagina)

```

```

{

```

```

    #pragma combine nb=A64592 /* define localidad de la siguiente variable */
    int PaginaAsm;
    PaginaAsm=Pagina;

```

```

/* respaldo de los DPP's*/

```

```

/*en la siguiente rutina se efectua el refresco de la pag
la pagina es la 3, no se refresca la ram interna->sfr's.--Solo stack */
/*putch2('^');

```

```

putch2('R'); */

```

```

#pragma asm

```

```

#10XXXXXXXXXXbin

```

```

MOV R1,#8000h :Inicializa R1 la seleccion del dpp2

```

```

MOV R4,#0FC50H :R4=&PaginaAsm /* 64592=FC50*/

```

```

MOV R2,[R4] :R2=PaginaAsm

```

```

MOV R3,DPP2 :respalda el DPP2

```

```

MOV DPP2,R2 :coloca el num de pag en el DPP2

```

```

MOV [R4],ZEROS :PaginaAsm=0

```

```

RetRamIni:

```

```

MOV R2,[R1] :R2=*R1

```

```

MOV [R1],R2 :*R1=R2

```

```

CMP R2,[R1] :?*R1==R2

```

```

JMPR CC_NE,ERRAM

```

```

RetERRAM:

```

**TESIS CON
FALLA DE ORIGEN**

```

SRVWDT          ;servicio al wdt
CMP12           R1,#0BFFeH ;FIN DE PAGINA
JMPR            CC_NE,RefRamIni ;EJECUTA LOOP

HASTA QUE SE ALCANCE
JMPR            CC_UC,FINREFRAM ;SALTA AL FIN DE

REFRESCO RAM
ERRAM:
MOV R2,[R4]          ;R2=PaginaAsm
ADD R2,#01          ;R2++
MOV [R4],R2         ;PaginaAsm=R2=Numero de Err
JMPR CC_UC,RetERRAM ;Continua con ciclo

FINREFRAM:
MOV            DPP2,R3          ;RESTAURA EL
NUMERO DE PAG          .
NOP                          ; FIN DE
RUTINA
#pragma endasm

/*  putch2('o');
    putch2('k'); */

return(PaginaAsm);
}

/*****--funcion main--*****/

void main(void)
{
    int i,IndSegExp;
    int bandera;
    int CERR,EEDAC,ERR;

    unsigned int IndOffset;

    int ByteH,ByteB;
    int huge * hpMemExp;
    int huge * REF;
    WDTCON=0x001;
    _putbit(1,DP2,10);
    _putbit(0,DP2,15);

```

**TESIS CON
FALLA DE ORIGEN**

```

_putbit(1,DP3,0);      /* 1er led de aviso*/
_putbit(1,DP3,1);      /* 2o led de aviso*/
_putbit(1,DP3,4);      /* 1er led de aviso*/
_putbit(1,DP3,5);      /* 2o led de aviso*/

/*****
**/

ledp20();
init_serio2();        /*inicializa comunicacion serial*/
_srvwdt();
InitRamExp();         /*inicializa ram expandida */
putch2('R');
putch2('x');
for(i=0;i<16;i++)     /*refresca 16 segmentos RAM expand */
{
    putch2('0'+i);
    _srvwdt();
    RefrescoRamExp(i);
}
_srvwdt();

/*****
/* prueba unitaria de escritura en c/u de los segmentos de memoria expandida */

hpMemExp=_mkhp(0,03); /* forma el apuntador al segmento 03 */
putch2('R');
for(i=0;i<16;i++)     /* activa 16 segmentos de RAM expand.*/
{
    _srvwdt();
    putch2('e');
    ActivaRamExp(i);
    *hpMemExp=i;      /* escribe el numero de segmento exp dentro de
cada seg*/
    putch2('0'+i);
}
for(i=0;i<16;i++)
{
    _srvwdt();
    ActivaRamExp(i);
    putch2('L');
    putch2('0'+(*hpMemExp));
}

```

**TESIS CON
FALLA DE ORIGEN**

```

/*****/

_srvwdt();
_putbit(1,P2,10); /* EDAC EN MODO CORRECCION */

putch2('M');
putch2('E');
_srvwdt();
putch2('M');
putch2('E');
putch2('X');
_srvwdt();
putch2('P');
putch2(' ');
putch2('O');
_srvwdt();
putch2('K');
_srvwdt();

ledp20(); /* avisos con LEDs */
ledp20();
bandera=0;
/***** Recepción de 1 M datos por puerto serie (se llenaran 16 segmentos
de 64 Kb c/u) *****/

for(IndSegExp=0;IndSegExp<16;IndSegExp++)
{
    ActivaRamExp(IndSegExp);
    if (bandera==0) _putbit(0,P3,0); else _putbit(1,P3,0); /*Flash led*/
}

/*****se termino de llenar un segmento *****/

for(IndOffset=0;IndOffset<65534;IndOffset)
{
    hpMemExp=_mkhp(IndOffset,03);
    do
    {
        _srvwdt();
    }while(kbhit2()==0); /* mientras no llegue nada por P.Serie */
    ByteB=getch2(); /* lee caracter P.Serie */
    IndOffset++;
    do
    {
        _srvwdt();
    }while(kbhit2()==0 );
    _srvwdt();
    ByteH=getch2();
}

```

**TESIS CON
FALLA DE ORIGEN**

```

IndOffset++;
*hpMemExp= ((ByteI<<8)&0xFF00)+(ByteB&0x0FF);
_srvwdt();
}

bandera++;
if (bandera >=2) bandera=0;

/*
_putbit(1,P3,0);    flash led */
} /* Accesa Nuevo segmento*/

ledp20();
ledp20();
ledp20();
_srvwdt();
bandera=0;
EEDAC=0;

```

**TESIS CON
FALLA DE ORIGEN**

```

/*****Se hará refresco de los 16 segmentos *****/
for(IndSegExp=0;IndSegExp<16;IndSegExp++)
{
ActivaRamExp(IndSegExp);
if (bandera==0) _putbit(0,P3,4); else _putbit(1,P3,4); /*Flash led*/
for(IndOffset=0;IndOffset<65534;IndOffset)
{
hpMemExp=_mkhp(IndOffset,03);
_srvwdt();
REF=hpMemExp;
ERR=P2;
CERR=ERR&0x8000;
if(CERR==0) EEDAC=EEDAC+1;
hpMemExp=REF;
IndOffset=IndOffset+2;
_srvwdt();
}

bandera++;
if (bandera >=2) bandera=0;
}

ledp20();
ledp20();
_srvwdt();
ledp20();
ledp20();
_srvwdt();
bandera=0;

```

```
/******Se leerán 16 segmentos *****/
```

```
for(IndSegExp=0;IndSegExp<16;IndSegExp++)
{
    ActivaRamExp(IndSegExp);
    if (bandera==0) _putbit(0,P3,0); else _putbit(1,P3,0); /*Flash led*/
    for(IndOffset=0;IndOffset<65534;IndOffset)
    {
        hpMemExp=_mkhp(IndOffset,03);
        putch2(*hpMemExp);
        putch2((*hpMemExp>>8)&0x1F);
        IndOffset=IndOffset+2;
        _srvwdt();
    }
    bandera++;
    if (bandera >=2) bandera=0;
}

ledp20();
ledp20();
_srvwdt();
ledp20();
ledp20();
_srvwdt();
putch2('E');
putch2('R');
_srvwdt();
putch2('E');
putch2('D');
_srvwdt();
putch2('A');
putch2('=');
_srvwdt();
putch2('0'+ EEDAC);
ledp20();
ledp20();
}
```

TESIS CON
FALLA DE ORIGEN