



01170  
UNIVERSIDAD NACIONAL AUTONOMA 10  
DE MEXICO

POSGRADO DE INGENIERIA

DISEÑO A NIVEL TRANSISTOR,  
DE UNA NEURONA  
CON RETARDO AXONICO

T E S I S  
QUE PARA OBTENER EL GRADO DE:  
MAESTRO EN INGENIERIA ELECTRICA  
P R E S E N T A :  
EDGAR MATEOS SANTILLAN

DIRECTOR DE TESIS M. EN C. JOSE LUIS PEREZ SILVA

TESIS CON  
FALLA DE ORIGEN

Autorizo a la Dirección General de Bibliotecas de la UNAM a difundir en formato electrónico e impreso el contenido de mi trabajo recepcional.

NOMBRE: Mateos Santillan

Edgar

FECHA: 9 Mayo / 2003

FIRMA: [Signature]

MEXICO, D. F.,

2003



Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

*A mis padres:*

*Por el gran apoyo que siempre me han brindado*

*A Edgar y a Viky:*

*Por su paciencia y consideración*

*A mi maestro José Luis P. S.:*

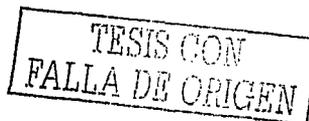
*Por sus valiosas enseñanzas*

TESIS CON  
FALLA DE ORIGEN

**TESIS CON  
FALLA DE ORIGEN**

## Indice

<b>Introducción</b>	<b>7</b>
<b>Capitulo Primero La Neurona</b>	<b>13</b>
<b>1. Introducción.</b>	<b>13</b>
<b>2. La Neurona. (operación de confluencia y activación)</b>	<b>14</b>
A) Modelo matemático de una Neurona: Operaciones sináptica y somática.	14
B) Función de Activación No lineal Somática	15
<b>3. Diseño de una neurona con retardo</b>	<b>17</b>
A) Diseño de la operación de confluencia	17
a) Etapa sináptica	18
b) Etapa de agregación	18
c) Etapa axónica	18
B) Diseño de la operación de activación	18
<b>3. Modelo completo de la neurona propuesta.</b>	<b>19</b>
<b>Capitulo Segundo Diseño del amplificador operacional de transconductancia</b>	<b>21</b>
<b>1. El amplificador operacional de transconductancia.</b>	<b>21</b>
A) Tipos de amplificadores operacionales de transconductancia	22
B) Características de los operacionales de transconductancia	22
<b>2. Partes del amplificador de transconductancia</b>	<b>23</b>
A) Espejos de corriente.	23
a) Espejos de corriente sencillos.	24
b) Otros espejos de corriente MOSFET.	25
c) Implantación del espejo de corriente sencillo	28
B) Fuentes de corriente	30
C) Par diferencial[20]	32
a) Implantación del par diferencial	33
<b>3. Diseño de un Amplificador operacional de transconductancia.</b>	<b>35</b>
A) Diagramas de ganancia (Bode)	42
B) Diagramas de fase.	45
<b>4. Comparación entre el amplificador de transconductancia propuesto y algunos OTAS comerciales.</b>	<b>46</b>
<b>Capítulo Tercero Operaciones básicas usando amplificadores operacionales de transconductancia</b>	<b>47</b>
<b>1. Seguidor de voltaje</b>	<b>47</b>
<b>2. Sumador</b>	<b>49</b>
<b>3. Resta.</b>	<b>49</b>



<b>4. Multiplicación por una constante</b>	<b>50</b>
<b>5. Integrador.</b>	<b>51</b>
<b>Capítulo Cuarto Los circuitos de retardo.</b>	<b>55</b>
<b>1. El circuito de retardo ideal</b>	<b>55</b>
<b>2. Diferentes circuitos de retardo</b>	<b>55</b>
<b>3. Diseño de un circuito de retardo</b>	<b>57</b>
A) Inversor	57
B) Compuerta NAND	60
C) Compuerta NOR	61
D) Flip flop RS	62
E) Comparador de voltaje	64
F) Circuitos RC	67
G) Monostable	70
H) Reloj 3 fases	73
I) Detector de flanco de bajada	74
J) Circuito Secuencial	76
<b>4. Circuito de retardo propuesto</b>	<b>79</b>
<b>Capítulo Quinto Implantación de la neurona con retardo</b>	<b>83</b>
<b>1. Implantación de la operación de confluencia</b>	<b>83</b>
A) Implantación de la etapa sináptica	83
B) Implantación de la etapa de agregación	84
C) Implantación de la etapa axónica	85
<b>2. Implantación de la operación de activación</b>	<b>85</b>
<b>3. Implantación de la neurona propuesta.</b>	<b>85</b>
<b>Capítulo Sexto Resultados y conclusiones.</b>	<b>87</b>
<b>1. Conclusiones.</b>	<b>93</b>
<b>Referencias Bibliográficas.</b>	<b>95</b>
<b>Apéndices.</b>	<b>98</b>

## Introducción

En el campo de la ingeniería cada día se presentan nuevos retos, ellos demandan de los estudiosos de la materia un mayor esfuerzo para resolver satisfactoriamente los diferentes problemas que se presentan.

En ocasiones, las respuestas a diversos problemas de ingeniería se han encontrado en el campo de las ciencias naturales. En particular, el cerebro y sus neuronas, han sido fuente de inspiración y el punto de partida para un área del conocimiento que se le ha llamado Redes Neuronales.

En esta área se pueden mencionar un gran número de científicos e investigadores que han realizado innumerables aportaciones entre los que destacan Warren McCulloch, Walter Pitts, Donald Hebb, Frank Rosenblatt, Bernard Widrow, Marcial Hoff, Stephen Grossberg, Marvin Minsky, Seymour Papert y John Jopfield, por sólo mencionar algunos ellos.[1]

Como bien dicen Dugar y Berruest, “en la última década el interés en el estudio de los sistemas retardados en el tiempo continuo ha crecido enormemente”[2] y el campo de las redes neuronales no ha estado ajeno a esta tendencia, de tal suerte que a la fecha se han realizado un importante número de estudios relacionados con los retardos y sus efectos en la dinámica de las redes neuronales.

Baldí y Atilya en su artículo titulado “How Delays Affect Neural Dynamics and Learnig” señalan que, “La introducción de retardos en los modelos de redes neuronales tienen una gran influencia en las propiedades de estabilidad de las redes tal como fue señalado por Marcus y Westervelt (1989) En particular muchas redes convergentes incluyendo simétricas y asimétricas pueden convertirse en oscilatorias como resultado de las interacciones de los retardos... Dentro de las arquitecturas oscilatorias, los efectos de los retardos son vistos principalmente de manera cuantitativa, así como corrimientos en los puntos de bifurcación El efecto más notorio es un decrecimiento en la frecuencia de oscilación junto con un ensanchamiento de su espectro y posiblemente un alargamiento de sus transitorios”.[3]

También hacen mención de algo que es muy importante, ellos consideran que “Los retardos son un mecanismo adicional a través del cual las redes pueden alcanzar un mayor intervalo de trayectorias dinámicas”. [3]

Por su parte Duro y Reyes han enunciado algunas de las dificultades que implica el hecho de introducir características temporales a las redes neuronales: “En la mayoría de las aplicaciones que involucran procesos dinámicos, el tipo de redes neuronales artificiales que se han empleado son estáticas. De esta suerte, la dinámica de los procesos involucrados es

usualmente simplificada para presentar como entradas ciertas proyecciones de eventos variantes en el tiempo. Obviamente, este no es el mejor método para describir o procesar fenómenos dependientes del tiempo a menos de que se elija una transformación apropiada con la cual no se pierda información y permita ser implementada mediante una red neuronal... En el caso del procesamiento de señales no es fácil elegir una transformación adecuada para pasar una señal en el dominio del tiempo a un dominio espacial que pueda ser usada en una red estática con un número finito de entradas ya que esto significa discretizar la señal en ciertas “ventanas” que se pueden usare como entradas para una red neuronal... Hay básicamente dos enfoques al problema de agregarles a las redes neuronales capacidades de aprendizaje temporal una forma que ha sido probada es el tomar en cuenta la información anterior de la red usando lazos de realimentación. El problema con este tipo de redes recurrentes es que son muy difíciles de entrenar y su escalamiento para crecer en tamaño o disminuir es muy limitado. Otro enfoque es el de considerar redes que contengan elementos de retardo los cuales de manera explícita involucraran una representación temporal.”[4]

Ello nos lleva a retomar las palabras de los maestros Pérez Silva y Herrera Becerra en el sentido de que es necesario un mejor estudio de las características dinámicas de las redes neuronales, ellos han señalado que “el creciente uso de redes neuronales recurrentes continuas en el tiempo tanto en el campo teórico como el aplicado han implicado una creciente necesidad por conocer y entender las propiedades dinámicas de las redes neuronales en general. Por ejemplo, es importante entender que tipo de comportamientos dinámicos puede presentar una red o en que medida el comportamiento dinámico de la red depende de sus parámetros... Aún las respuestas parciales a estos y otras preguntas podrían contribuir significativamente a entender las redes neuronales existentes y nos podrían guiar en la construcción de redes neuronales para resolver problemas en particular.[5]

En el mismo sentido han señalado la importancia de estudiar no sólo la dinámica de las grandes redes, sino también de bajar a analizar el comportamiento de algunas neuronas, “recientemente ha resurgido el interés en aislar para su estudio la dinámica no lineal de una o unas cuantas neuronas... En particular ha sido mostrado que algunos modelos simples de neurona pueden presentar complicados comportamientos de bifurcación incluyendo caos... Similarmente pero desde un punto de vista computacional, se cree que algunas propiedades de las grandes redes pueden ser deducidas de la dinámica de redes simples[3]

Ahora bien, si consideramos que “Los retardos por si mismos pueden ser parte de los parámetros ajustables de un sistema neuronal así como incrementar el rango de sus capacidades dinámicas.”[3] podemos inferir la importancia de estudiar una neurona que presente retardos.

Uno de los tipos de retardo que se presentan en las neuronas naturales es el llamado retardo axónico[6]. El retardo axónico se produce entre el momento en que el soma de la neurona responde y el tiempo en que las dendritas de la siguiente neurona reciben dicha respuesta, en otras palabras es el tiempo que tarda una señal neuronal el viajar a través del axón.

Al día de hoy se han realizado varias investigaciones tendientes a estudiar los efectos del retardo axónico y se ha encontrado que las neuronas artificiales con este tipo de retardo

TESIS CON  
FALLA DE ORIGEN

presentan ciertos fenómenos deseables los cuales no se ven en otros tipos, lo cual las hace atractivas para ser analizadas con más detalle<sup>[5]</sup>.

En este sentido Baldi y Atilya han mostrado un panorama que se abre al considerar estos tipos de retardo. Ellos han señalado que la introducción de retardos en las redes neuronales "abren un gran espectro para el desarrollo de futuras investigaciones, como son el incorporar un mayor realismo a los modelos neuronales o el estudio de los modelos de corteza visual... Otra posibilidad es para el estudio del Caos, esto debido a que en múltiples ocasiones se ha mencionado que la actividad neuronal tiene una componente esencialmente caótica... El punto es como los retardos pueden jugar un papel útil en la operación neuronal. Por ejemplo, con la ayuda de retardos uno puede construir un banco de osciladores similares, pero con diferentes frecuencias dentro de un relativamente amplio espectro. Los cuales podrían ser usados para el análisis de funciones o trayectorias usando un tipo de descomposición de Fourier. En otro orden de ideas, los retardos pueden variar en un organismo de una manera muy paulatina, como por ejemplo durante el crecimiento. Similar a los pesos sinápticos uno desearía que existieran mecanismos más rápidos para el ajuste de los retardos en una escala de tiempo dentro de dinámica de la misma neurona. Los retardos rápidamente ajustables son requeridos en algunas teorías recientes sobre visión y atención"<sup>[3]</sup>.

En palabras de Arik Sabri, "Las redes neuronales han encontrado importantes aplicaciones en varias áreas, tales como el procesamiento de imágenes y solución de ecuaciones algebraicas no lineales. Por otro lado, las redes neuronales retardadas también han demostrado tener importantes aplicaciones prácticas especialmente en aplicaciones relacionadas con el movimiento tales como procesamiento de imágenes en movimiento, detección de la velocidad de objetos móviles y clasificación de patrones."<sup>[7]</sup>

Tal es el caso de Christian Wöhler y Joachim K. Anlauf, quienes desarrollaron un algoritmo para el análisis de secuencias de imágenes basado en una arquitectura de red neuronal con retardo en el tiempo el cual les permitiera clasificar objetos en una secuencia de imágenes todas ellas en escala de grises y estimar el comportamiento de su movimiento<sup>[8]</sup>. Otras aplicaciones de este tipo de redes neuronales han sido en la Bolsa de Valores<sup>[9]</sup>, y en el reconocimiento de fonemas consonantes, con excelentes resultados<sup>[10]</sup>.

Es importante señalar que prácticamente todos los estudios que se han realizado referentes a neuronas artificiales con retardos, se han hecho usando simulaciones en computadoras binarias, lo cual si bien ha ayudado a revelar algunas de las propiedades de este tipo de neuronas, también significa que pueden llegar a ser muy lentos cuando se trata de neuronas con retardos en el tiempo continuo.

Aunado a esto debemos considerar las palabras de Hou Chunhai en el sentido de que "los retardos en la velocidad de transmisión introducen cierto grado de inestabilidad en los circuitos. Es por ello que en la práctica las redes neuronales deben responder rápidamente"<sup>[11]</sup>.

Una forma de poder acelerar la velocidad de procesamiento de este tipo de neuronas y facilitar su estudio es el construirlas electrónicamente incluyendo su etapa de retardo de la

cual podemos decir que si bien es cierto que “los retardos son frecuentemente considerados como molestos o fastidios por los diseñadores de circuitos, en verdad los retardos deben ser considerados como un medio adicional a través del cual se pueden obtener ciertos efectos dinámicos”[3].

Xiaofeng y Jeubang bien hacen notar que “En todos los modelos electrónicos de redes neuronales se presentan retardos en el tiempo debido a la velocidad finita de conmutación de los amplificadores que son los elementos centrales en la implantación de las neuronas artificiales. De igual forma en la conexión entre neuronas se presentan también ciertos retardos los cuales afectan la estabilidad de la red creando en la salida fenómenos oscilatorios o de inestabilidad”[12], lo cual se puede considerar como una ventaja adicional del hecho de implantar de manera electrónica las neuronas artificiales, visto a la luz de las palabras de Jinde y Lin quienes dicen que “en muchas aplicaciones la propiedad de oscilaciones periódicas y estabilidad exponencial global son de gran interés. Por ejemplo, el cerebro humano presenta oscilaciones periódicas o estados de caos. De aquí que sea de suma importancia el estudio de las oscilaciones periódicas la estabilidad exponencial global y el fenómeno del caos en las redes neuronales.”[13]

Ahora bien, desde el punto de vista electrónico, el implantar una neurona en principio no significaría mayor problema, excepto por la implantación de la etapa de retardo. Ello se debe a la problemática que implica el retardar una señal analógica, que a pesar de no ser un problema nuevo, sólo ha sido resuelto usando un circuito llamado “línea de retardo[14]”, mismo que consiste en una serie de circuitos los cuales retardan, cada uno, mínimamente la señal de entrada, de tal forma que para cambiar el tiempo de retardo total se debe aumentar o disminuir el número de elementos en dicha cadena.

Esta forma de retardo presenta el inconveniente de que al incrementar el tiempo de retardo, en la salida aumenta la distorsión respecto de la señal de entrada y el número de circuitos crece de manera significativa. Además nos limita a retardos muy breves, por lo que consideramos que es necesario plantear otro tipo de solución para este problema de retardar una señal.

**Con los antecedentes hasta aquí expuestos podemos decir que el principal objetivo de este trabajo es diseñar a nivel de transistores, una neurona artificial del tipo integrador con fugas con retardo axónico, donde el tiempo de retardo nosotros lo podemos fijar, dependiendo de nuestras necesidades. La idea es sentar las bases para que en un futuro se puedan implantar uno o varios circuitos similares en un circuito integrado VLSI y así contar con una herramienta que ayude a la investigación en el campo de las redes neuronales y los sistemas retardados en el tiempo.**

Para lograr nuestro objetivo, en el primer capítulo se describe el modelo conceptual y matemático de una neurona. En el se describen las operaciones que se realizan al interior de una neurona artificial.

En el capítulo segundo, se describen las características de las diferentes etapas de la neurona que se pretende implantar, definiendo el tipo de circuitos electrónicos que será necesario desarrollar para cada etapa.

El tercer capítulo se refiere al amplificador operacional de transconductancia (OTA), en el se explican algunas de las características de estos amplificadores, de como están formados; se propone un OTA implantado a nivel transistor, utilizando FETs y MOSFETs. Se muestra de manera comparativa la respuesta del OTA propuesto respecto de otro circuito comercial.

El capítulo cuarto esta muy ligado a su predecesor, en el se presentan algunas configuraciones para realizar ciertas operaciones matemáticas que serán usadas en los diferentes etapas de la neurona neuronales.

En el capítulo quinto, se revisa la línea de retardo propuesta por Carver Mead en 1989 en su libro Analog VLSI and neural systems. Ahí proponemos un circuito que nos permite retardar una señal analógica de tipo cuadrada el tiempo que nosotros necesitemos, dándose todos los detalles para su implantación. También se muestra el comportamiento de dicho circuito de retardo. En este capítulo se describe, como utilizando únicamente transistores MOSFET, se pueden construir, inversores, compuertas NAND y, NOR, Flip Flops RS, comparadores de voltaje, circuitos monostables, y circuitos secuenciales asíncronos entre otros de los circuitos que se describen en dicho capítulo.

En el sexto capítulo se describe la forma en la que se implanta la neurona propuesta usando únicamente transistores, resistencias y capacitores con la idea de poderlos implantar en un microcircuito.

En el capítulo de resultados y conclusiones, podemos ver, en detalle, la forma en que el circuito de la neurona responde dependiendo de las entradas que se le presentan y en función de los cambios de temperatura. También se enuncian algunas conclusiones relativas a este trabajo.

Posteriormente se presenta la bibliografía empleada. Por último en el anexo I se incluyen las hojas de especificaciones de los transistores propuestos para la implantación de los diferentes circuitos.

Cabe señalar que los diferentes circuitos básicos que se describen a lo largo de este trabajo, fueron construidos utilizando componentes discretos para corroborar los resultados y las gráficas producidas por el simulador PSPICE. Es importante precisar que para la presentación de este informe se le dio preferencia a las gráficas generadas con el simulador respecto de los oscilogramas obtenidos físicamente, debido a que con las graficas de PSPICE se podían explicar con mayor claridad los diferentes circuitos aquí descritos.

TESIS CON  
FALLA DE ORIGEN

**TESIS CON  
FALLA DE ORIGEN**

## **Capitulo Primero**

### **La Neurona**

#### **1. Introducción.**

Uno de los deseos más antiguos de la humanidad, es el poder disponer de entes, con cierto grado de inteligencia, capaces de realizar las tareas que se les encomienden. En este afán, muchos ingenieros están empeñados en construir máquinas a las cuales se les pueda dotar de cierto grado de autonomía o inteligencia, que les permita realizar tareas específicas, aún cuando su medio ambiente y las condiciones de operación puedan cambiar significativamente.

Ello implicaría que al contar con máquinas con un alto grado de autonomía (inteligencia), ellas podrían aprender tareas complejas y podrían, a cada instante, adaptarse para ser más eficientes.

Este tipo de máquinas podrían llegar a ser muy útiles en ambientes donde la intervención del hombre pudiera ser peligrosa, aburrida, o imposible. Por dar un ejemplo, en la lucha contra incendios, el manejo de materiales radioactivos o tóxicos, o la misma exploración del espacio, donde el tiempo que transcurre entre mandar una orden y que un mecanismo responda es mayor del tiempo de que se dispone.

Es por ello que los sistemas biológicos y la forma en que diferentes seres aprenden a realizar algunas tareas han sido tomados en cuenta como referencia para desarrollar ciertas técnicas que podemos considerar alternativas respecto de las tradicionales técnicas de control.

Una de estas técnicas, que está basada en el estudio de las neuronas y sus interconexiones, tiene la tarea de estudiar sus principios de funcionamiento y copiar aquellas características que puedan llegar a ser útiles para el desarrollo de estos mecanismos llamados inteligentes o autónomos, nos referimos a campo de las Redes Neuronales Artificiales.

Al igual que su contra parte natural, una red neuronal artificial está formada por varias unidades elementales de procesamiento llamadas neuronas. A continuación describiremos el funcionamiento de una neurona y su modelo matemático.

TESIS CON  
FALLA DE ORIGEN

## 2. La Neurona. (operación de confluencia y activación)

### A) Modelo matemático de una Neurona: Operaciones sináptica y somática.[15]

Una neurona biológica consta de sinapsis (puntos de unión) y soma (el cuerpo principal de la neurona). Las numerosas sinapsis que rodean una neurona, reciben entradas neuronales desde otras neuronas y transmiten versiones modificadas (ponderadas) de esas señales al soma vía las dendritas. Cada soma recibe, en promedio 10 000 entradas dendríticas. El papel del soma es llevar a cabo una ponderación y agregación espacio temporal de todas esas entradas. Si la agregación de los pesos es mayor que un umbral intrínseco, entonces la señal ponderada es convertida en un potencial de acción produciendo una salida de la neurona. Esos potenciales de acción son transmitidos a través del axón hacia las otras neuronas para futuros procesamientos.

Desde el punto de vista del procesamiento de señales, las neuronas biológicas tienen dos elementos básicos, - la sinapsis y el soma - ellas son responsables de llevar a cabo tareas computacionales tales como aprendizaje, adquisición de conocimientos (almacenamiento o memorización de experiencias pasadas) y reconocimiento de patrones. Cada sinapsis es un elemento de almacenamiento que contiene algunos atributos de experiencias pasadas. Las sinapsis aprenden continuamente, adaptando estas fuerzas (o pesos) para las nuevas entradas neuronales. El soma combina el peso de las entradas, de forma tal que si estas exceden un cierto umbral entonces la neurona será disparada. Esta señal axonal (señal de salida) sufre una transformación no lineal en el soma, previa a dejar el "montículo axonal". Matemáticamente, la sinapsis y las etapas previas del soma proporcionan una operación de confluencia entre la nueva entrada neuronal y el conocimiento almacenado (experiencias pasadas). La última parte del soma, la operación de activación no lineal proporciona un mapeo no lineal para la agregación de las señales.

De manera simple, una neurona puede ser representada como un elemento procesador de señales, la cual recibe un vector de entradas de dimensión  $n$ .

$$\mathbf{X}(t) = [x_1(t), x_2(t), \dots, x_i(t), \dots, x_n(t)]^T \in \mathfrak{R}^n \quad (1)$$

y produce una salida neuronal escalar  $y(t) \in \mathfrak{R}^1$ . El vector de entrada  $\mathbf{X}(t) \in \mathfrak{R}^n$  representa las señales transmitidas desde las neuronas vecinas.

Matemáticamente, la capacidad de procesar información de una neurona puede ser representada como una operación de mapeo no lineal  $N_e$ , de el vector de entradas  $\mathbf{X}(t) \in \mathfrak{R}^n$  al escalar de salida  $y(t) \in \mathfrak{R}^1$  que es,

$$N_e: \mathbf{X}(t) \in \mathfrak{R}^n \rightarrow y(t) \in \mathfrak{R}^1 \quad (2)$$

El operador de mapeo no lineal ( $N_e$ ), del espacio de entradas de dimensión  $n$  al espacio de salida unidimensional, se ve de la siguiente manera:

TESIS CON  
FALLA DE ORIGEN

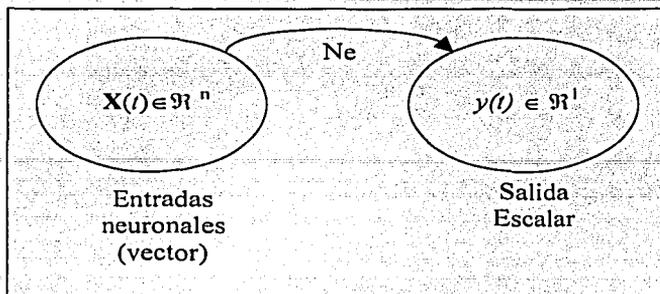


Figura 1: Mapeo no lineal de una neurona[15]

y lo podemos reescribir como:

$$y(t) = Ne [ X(t) \in \mathbb{R}^n ] \in \mathbb{R}^1 \quad (3)$$

En la literatura sobre redes neuronales las neuronas son llamadas procesadores elementales neuronales, nodos, o unidades lógicas de umbral .

Matemáticamente, la función neuronal de mapeo no lineal  $Ne$ , puede ser dividida en dos partes: (1) operación de confluencia (sináptica) y (2) operación de activación no lineal (somática). La operación de confluencia proporciona las operaciones de ponderación, agregación y la de umbral a las entradas de la neurona. En orden para explicar la operación de umbral, debemos definir el vector de entradas aumentado y el vector de pesos sinápticos como sigue.

$$\mathbf{X}_n(t) = [x_0(t), x_1(t), x_2(t), \dots, x_i(t), \dots, x_n(t)]^T \in \mathbb{R}^{n+1} \quad (4)$$

$$x_0(t) = 1 \quad (5)$$

$$\mathbf{W}_n(t) = [w_0(t), w_1(t), \dots, w_i(t), \dots, w_n(t)]^T \in \mathbb{R}^{n+1} \quad (6),$$

donde  $w_0(t)$  introduce un término de umbral (bias) en la operación de confluencia  $\odot$ . La operación de confluencia esencialmente proporciona una medida de similitud entre el vector de entrada aumentado  $\mathbf{X}_n(t)$  (nueva información) y el vector de pesos aumentado  $\mathbf{W}_n(t)$  (base de conocimiento acumulado). La operación de activación no lineal entonces realiza un mapeo no lineal en la medida de similitud. Estas dos operaciones matemáticas, básicas en las neuronas computacionales serán descritas con mayor detalle.

### B) Función de Activación No lineal Somática

La función de activación no lineal  $\Psi[\bullet]$  mapea el valor de la función de confluencia

$$u(t) \in [-\infty, \infty] \quad (7)$$

a una salida neuronal limitada ( $y(t)$ ). En general las salidas de las neuronas están en el intervalo de  $[0,1]$  para señales unipolares y  $[-1,1]$  para señales bipolares.

$$y(t) = \Psi[u(t)] \quad (8)$$

$$y(t) = \Psi[ \mathbf{W}_a(t) \odot \mathbf{X}_a(t) ] \in \mathcal{R}^1 \quad (9)$$

Muchas funciones matemáticas de diferentes formas pueden ser usadas para modelar la función de activación no lineal. Algunas de las posibles formas geométricas son:

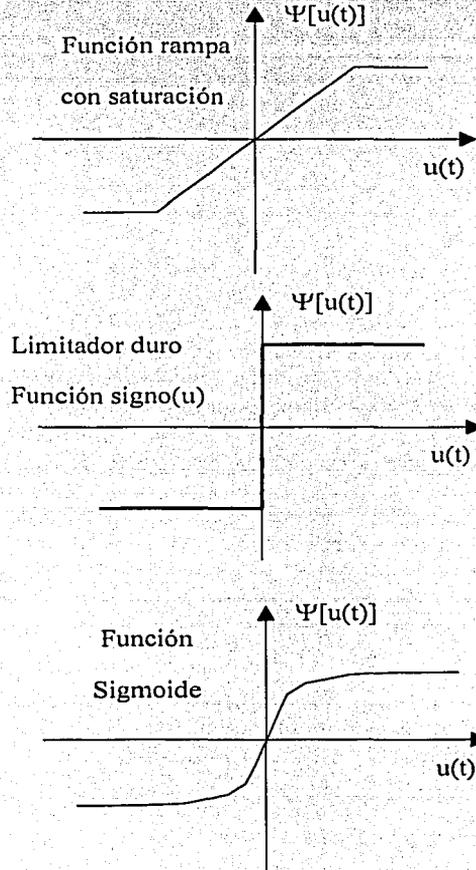


Figura 2: Algunas funciones de activación no lineales comunmente usadas.[15]

Ahora bien, cuando hablamos de una neurona cuya respuesta es retardada [16] la podemos expresar como:

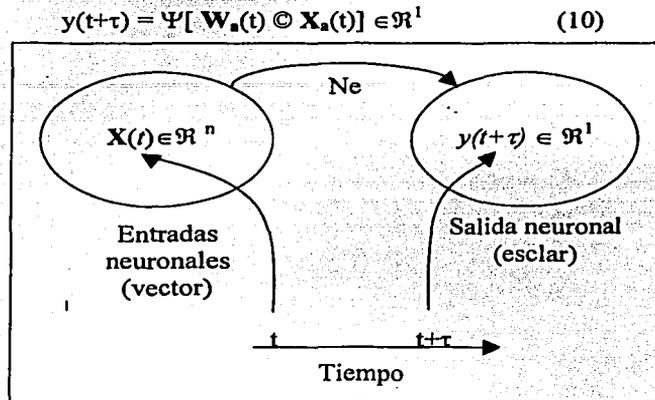


Figura 3: Mapeo no lineal de una neurona considerando un retardo

### 3. Diseño de una neurona con retardo

Una vez que hemos revisado el modelo matemático de una neurona artificial, veamos que es lo que se requiere para realizar el diseño electrónico de la neurona que proponemos. Nosotros sabemos que la neurona está formada por dos elementos, uno en el que se realiza la operación de confluencia y otro en el que se realiza la operación de activación, por ello nuestro modelo electrónico debe de contener ambas partes.

#### A) Diseño de la operación de confluencia

El modelo matemático de una neurona indica que la operación de confluencia, consta de tres etapas, una primera etapa sináptica, otra etapa somática y por último una de umbral. En la siguiente figura se pueden ver como esta conformada la operación de confluencia.

TESIS CON  
FALLA DE ORIGEN

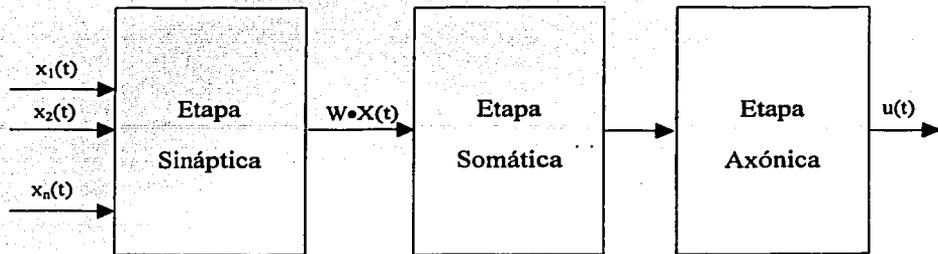


Figura 4: Diagrama de bloques de la operación de confluencia

### a) Etapa sináptica

En esta etapa la magnitud de cada una de las señales de entrada es ponderada con un valor determinado, de tal forma, que tenemos las mismas formas de las señales sólo que escaladas en su magnitud. Posteriormente estas señales se suman aritméticamente.

Para implementar esta etapa de manera electrónica se necesitará uso de varios circuitos conectados en configuración de multiplicadores por una constante seguidos de un sumador

### b) Etapa de agregación

En el caso particular de la neurona que se presenta, esta etapa consta de un integrador, que produce la integración en el tiempo de la señal de entrada por lo que se necesitará otro circuito que realice esta operación.

### c) Etapa axónica

La etapa axónica, es la parte de la neurona en la que se establece a partir del cual valor la neurona responderá, o seguirá en reposo. Para ello se necesitará un circuito comparador que determine cuando la neurona disparará y cuando estará en reposo.

## B) Diseño de la operación de activación

Una de las características de la operación de activación es la de ser una función del tipo no lineal. En el caso de la neurona que se está presentando, se ha optado por una función de activación tipo escalón. Aunado a esto, la respuesta de la neurona es retardada 1mS.

Para realizar esta operación se propone utilizar un comparador de voltaje seguido por una unidad de retardo. De esta forma la operación de activación estaría formada de la siguiente manera.

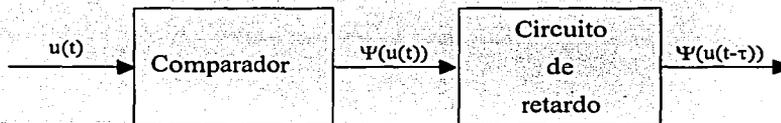


Figura 5: Diagrama de bloques de la operación de activación

### 3. Modelo completo de la neurona propuesta.

A lo largo de este trabajo se explicará la forma de implantar las diferentes partes de la neurona que estamos presentando, por lo que consideramos de suma importancia el presentar, manera integra, el diagrama de bloques de la neurona que se está estudiando.

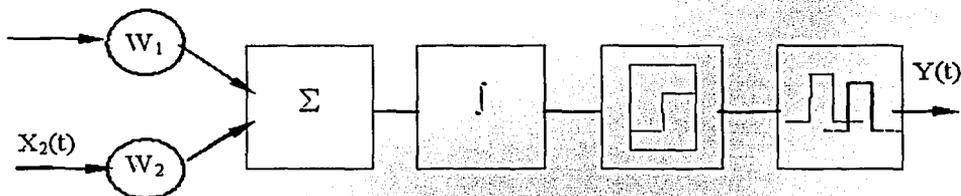


Figura 6: Diagrama de bloques de la neurona.

En la figura 6, se pueden apreciar las diferentes etapas que en su conjunto, producen el comportamiento de la neurona en comento. Si embargo, no sólo se trata de conectar un conjunto de circuitos discretos que realicen estas operaciones. Debemos recordar que el objetivo de este trabajo es el diseñar una neurona que posteriormente sea posible implantarse en VLSI, por lo que es esencial desarrollar a nivel de transistor todos y cada uno de los circuitos necesarios para la implantación de esta neurona. En este contexto uno de los circuitos de mayor importancia y el cual es una pieza fundamental para la implantación de las diferentes operaciones que se necesitan es el Amplificador Operacional de Transconductancia.

TESIS CON  
FALLA DE ORIGEN

TESIS CON  
FALLA DE ORIGEN

## Capítulo Segundo

### Diseño del amplificador operacional de transconductancia

#### 1. El amplificador operacional de transconductancia.

El término “Amplificador Operacional” fue aparentemente inventado por John R. Ragazzini y colegas en el artículo publicado en mayo de 1947, “Analysis of Problems in Dynamics by Electronic Circuits”. El artículo describía las propiedades básicas de tal amplificador cuando era realimentado de manera lineal y no lineal y se basó en un trabajo desarrollado para The National Defense Research Councilmen en los años de 1943 y 1944.[17]

“No fue sino hasta 1962, cuando Burr-Brown Research Corporation y G.A. Philbrick Researches, Inc., Introdujeron los amplificadores operacionales de estado sólido que el concepto comenzó a ser claro”.[17]

El Amplificador cuya entrada es un voltaje  $v_{in}$  y cuya salida es una corriente  $i_{out}$  “es llamado amplificador de transconductancia porque su ganancia es en amperes por volt” [18].

“El convertidor de voltaje a corriente (convertidor V/I), también llamado fuente de corriente controlada por voltaje. Acepta una entrada de voltaje  $v_{in}$  y produce una corriente de salida  $i_{out}$  tal que  $i_{out} = v_{in} / R$ , donde la ganancia  $1/R$  es ahora expresada en dimensiones de Siemens S o  $\Omega^{-1}$ , que son las dimensiones de conductancia, por esta razón los convertidores V/I también son llamados amplificadores de transconductancia.”[18]

Puesto que la salida del circuito es una corriente, éste necesita una carga para trabajar apropiadamente. Dejar la salida abierta podría causar un mal funcionamiento del circuito ya que la corriente no tendría camino para fluir.[18]

La mayoría de los operacionales son básicamente lo mismo. Se componen de una etapa de entrada con amplificador diferencial seguida por una o más etapas de amplificadores de alta ganancia, que a su vez excitan alguna forma de etapa de salida.[19] En las figuras 7(a) y 7(b) se puede apreciar el diagrama de bloques y el símbolo utilizado para referirse al amplificador operacional de transconductancia (OTA).

TESIS CON  
FALLA DE ORIGEN

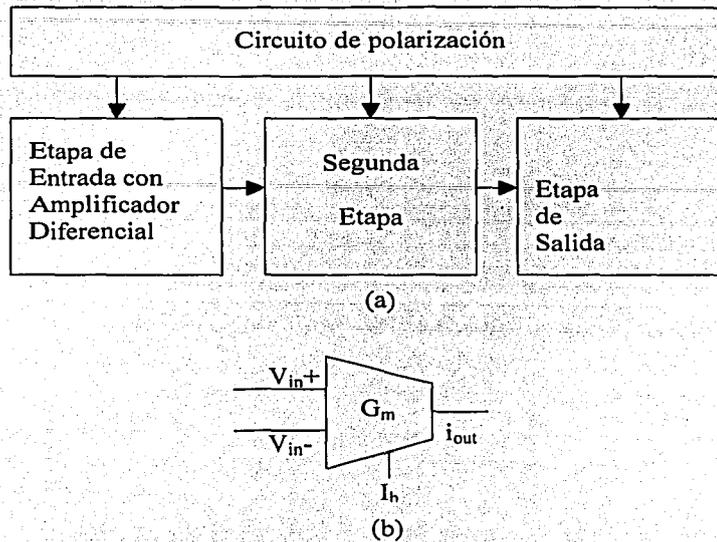


Figura 7: (a) Diagrama de bloques (b) Símbolo del Amplificador Operacional de Transconductancia [19]

En la figura 7 (b),  $V_{in+}$  se refiere a la entrada no inversora,  $V_{in-}$  se refiere a la entrada inversora,  $I_b$  es la corriente de bias e  $i_{out}$  es la corriente de salida.

La importancia del amplificador diferencial estriba en el hecho de que las salidas son proporcionales a la diferencia entre las dos señales de entrada[19]

En las aplicaciones usuales del amplificador diferencial, la entrada de modo diferencial es la señal deseada que se amplifica mientras que la entrada de modo común debe ser suprimida o rechazada, y por tanto, no es amplificada[19]

### A) Tipos de amplificadores operacionales de transconductancia

Podemos hablar de diferentes tipos de amplificadores operacionales de transconductancia, dependiendo de la tecnología con que son construidos. Estos pueden ser con TBJ, FET, MOSFETS etcétera.

### B) Características de los operacionales de transconductancia

El amplificador de transconductancia es un dispositivo que genera como salida una corriente que es función de la diferencia entre dos voltajes de entrada  $V_1$  y  $V_2$ . Esta diferencia es llamada entrada de voltaje diferencial. Una conductancia ordinaria convierte una diferencia de voltajes entre sus dos terminales en una corriente a través de las mismas terminales. Un transistor cambia una diferencia de voltajes en una corriente en algún

otro lugar. En el amplificador de transconductancia una diferencia de voltaje entre dos entradas produce como salida una corriente.[14]

## 2. Partes del amplificador de transconductancia

Para implementar las diferentes etapas del amplificador de transconductancia se deben considerar 3 circuitos básicos como son los espejos de corriente, las fuentes de corriente y el par diferencial, mismos que a continuación se describen.

### A) Espejos de corriente.[20]

El Espejo de corriente está representado de manera ideal en la siguiente figura, también se muestra la implantación más simple.

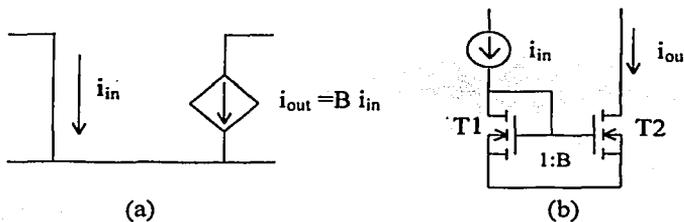


Figura 8: (a) Principio del espejo de corriente (b) Espejo de corriente simple usando MOSFET[20]

Este espejo de corriente, consiste en dos transistores con idéntico  $v_{GS}$ . Uno está conectado como diodo y conduce una corriente  $i_{in}$ . El otro transistor produce una corriente de salida  $i_{out}$  con un alto nivel de impedancia. Dado que los voltajes  $v_{GS}$  son los mismos, la relación de sus corrientes está dada por:

$$\frac{i_{OUT}}{i_{IN}} = B = \frac{(W/L)_2}{(W/L)_1} \quad (11)$$

Eligiendo esta relación, la corriente de salida puede ser fijada en cualquier valor arbitrario con una alta precisión. Usualmente la longitud del canal L se mantiene igual para ambos transistores para lograr una buena pareja. Entonces la razón B es fijada por el ancho del transistor W, aunque ocurren algunos errores que causan desviaciones del comportamiento ideal. Los requisitos de un espejo de corriente ideal son los siguientes:

Que la razón de corriente B sea fijada precisamente por la razón (W/L), independientemente de la temperatura.

TESIS CON  
FALLA DE ORIGEN

Que la impedancia de salida sea muy alta, por ejemplo, grande  $R_{OUT}$  y baja  $C_{OUT}$ . Como resultado la corriente de salida es independiente de el voltaje de salida DC y AC.

Que la resistencia de entrada sea muy pequeña.

El mínimo voltaje de salida  $V_{OUTc}$ , para el cual la salida actúa como una fuente de corriente, es bajo.

### a) **Espejos de corriente sencillos.[20]**

La característica más importante de un espejo de corriente es su razón de corriente. La razón de corriente está dada por la siguiente ecuación:

$$\frac{\Delta i_{OUT}}{i_{OUT}} = \lambda(v_{DS2} - v_{DS1}) = \frac{v_{DS2} - v_{DS1}}{V_{En}L_2} \quad (12)$$

Ocurre un error debido a que está presente en ambos transistores una resistencia de salida finita. El transistor  $T_1$  opera con  $V_{DS1} = V_{GS}$  mientras que  $T_2$  opera con otro  $v_{OUT} = v_{DS2}$  el cual es probablemente mucho mayor. Este valor está determinado por la carga, la cual puede ser una resistencia, una etapa diferencial, etc. Así se da un error en la corriente  $\Delta i_{OUT}$ , como se muestra en la figura 9:

Se puede reducir el error usando valores grandes para la longitud del transistor  $L_2$  pero especialmente esforzándose en igualar los valores de  $v_{DS}$  en ambos transistores. Esto se logra sumando más transistores.

TESIS CON  
FALLA DE ORIGEN

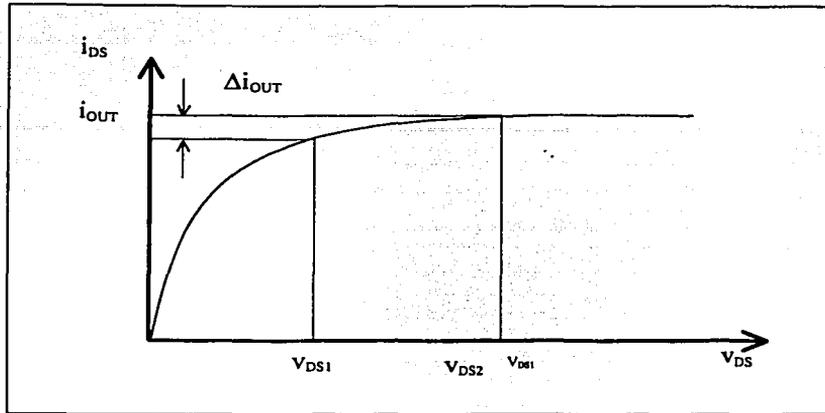


Figura 9: Error de corriente debido a diferencias en  $V_{DS}$ [20]

### b) Otros espejos de corriente MOSFET.[20]

Para corregir  $\Delta i_{OUT}$  y para incrementar la resistencia de salida, se requieren más transistores MOS. Algunas configuraciones están dadas en la figura 10.

En la figura 10 (a) dos espejos de corriente se han puesto en configuración cascodo. Los transistores T1 y T2, los cuales determinan la razón de corriente, están diseñados para tener el mismo valor de  $v_{DS}$ . Así se reduce considerablemente el error  $\Delta i_{OUT}$ . Ahora este error es sólo resultado de diferencias entre ellos.

Se ha incrementado la resistencia de salida del espejo de corriente de la figura 10 (a). En realidad T4 actúa como un transistor cascodo. Su resistencia de salida  $r_{o4}$  así multiplicada por  $g_{m4}r_{o2}$ . La capacitancia de salida se ha reducido porque  $C_{DS2}$  ve una alta resistencia dada por T2 así que esta se reduce por el mismo factor  $g_{m4}r_{o2}$ .

Una configuración alternativa está dada en la figura 10 (b). Ahora T2 está conectado como un diodo más que como un transistor. Nuevamente se hace igual el valor  $v_{DS}$  de ambos transistores T1 y T2, con lo que se reduce  $\Delta i_{OUT}$  al mínimo. También se incrementa la resistencia de salida debido al efecto negativo de la realimentación. Esta ganancia de lazo es  $g_{m1}r_{o1}$ . Como resultado se incrementa la resistencia  $r_{o4}$  y se decrementa la capacitancia de salida en la misma cantidad  $g_{m1}r_{o1}$ .

TESIS CON  
FALLA DE ORIGEN

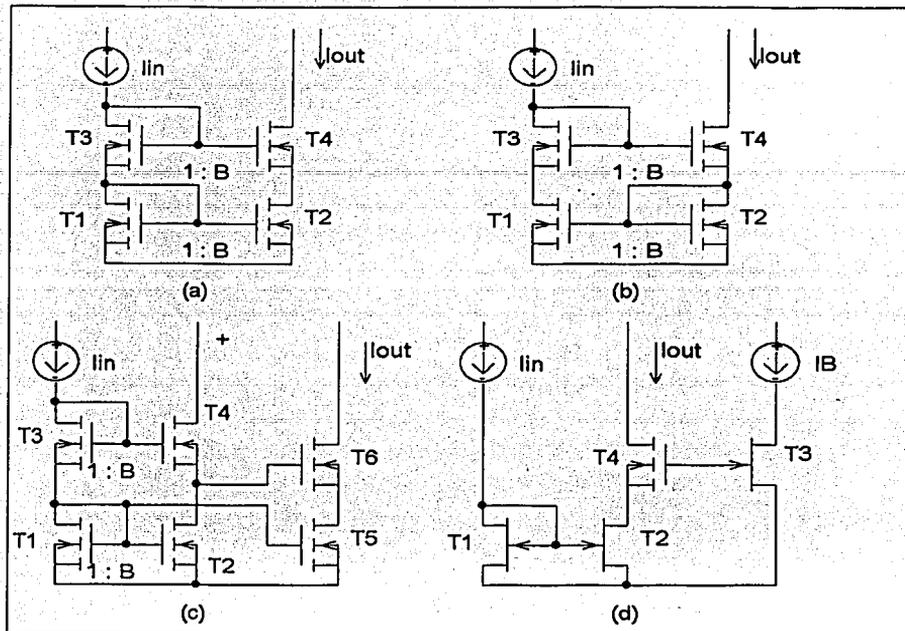
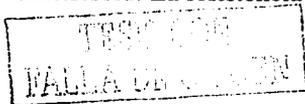


Figura 10: (a) Espejo de corriente cascodo; (b) Espejo de corriente realimentado; (c) Espejo de corriente con bajo voltaje de salida (d) Espejo de corriente con bajo voltaje de salida y fuente de corriente  $I_b$  extra. [20]

Normalmente los espejos de corriente se manejan por fuentes de corriente con valores  $I_{IN}$ . Ellas también pueden ser manejadas por fuentes de voltaje. La expresión de la corriente de salida entonces contiene  $g_m$  en lugar de una razón de tamaños de transistores como en la ecuación 11. Sin embargo, el último espejo de corriente siempre debe ser manejado por una fuente de corriente. Independientemente de sí el espejo de corriente es manejado por una fuente de voltaje, o una fuente de corriente con una capacitancia de salida grande, se decreta la ganancia de lazo y se disminuye la resistencia de salida del espejo de corriente. Este decremento es una desventaja especialmente cuando lo comparamos con el espejo de corriente de la figura 10 a.

La principal desventaja de los circuitos a y b de la figura 10, es su alto voltaje  $V_{OUTc}$ . Ambos transistores T2 y T4 deben mantenerse en saturación. Así el mínimo voltaje de salida es  $v_{GS2} + v_{DSsat4}$ , el cual es siempre mayor que  $V_T$ , por esta razón, se prefiere la siguiente configuración.

El espejo de corriente de la figura 10 (c) tiene propiedades similares a las del de la figura 10(a). El error de la razón de corriente  $\Delta i_{OUT}$  es despreciable, excepto por las diferencias de los transistores. La resistencia de salida es alta debido al transistor cascodo T6. Además, el



voltaje  $V_{OUTc}$  es sólo  $v_{DSSa15} + v_{DSSa16}$  el cual puede reducirse si los transistores operan cerca de una débil inversión o si son usados transistores grandes.

No es obvio como se determina el tamaño de los transistores. Sin embargo, debido a que los transistores T2, T5, y T6 deben mantenerse en saturación, en la práctica es difícil hacer  $v_{DSS} = v_{DS1}$ , lo cual resulta en algún error de  $\Delta i_{OUT}$ . También la salida del transistor T6 está dada usualmente por una alta razón de  $W/L$ .

En la figura 10 (d). se presenta una configuración más simple con un menor voltaje  $V_{OUT}$ , que es más fácil de diseñar que la anterior.

Los transistores bipolares (TBJ) también pueden ser usados para construir espejos de corriente. Ellos tienen una configuración similar a la de los MOSFET; Sin embargo, los TBJ presentan una corriente de base que es otra importante causa de error. En la figura 11 se muestran algunas configuraciones.

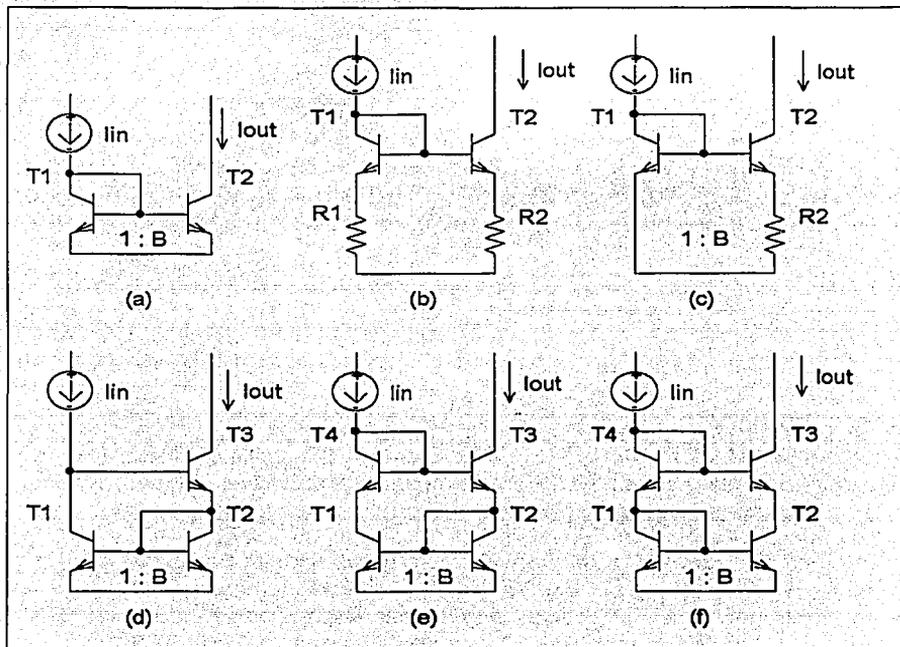


Figura 11: Espejos de corriente TBJ. (c) Widlar; (d) Wilson. [20]

### c) **Implantación del espejo de corriente sencillo**

Es conveniente mencionar que el desempeño de cada uno de los diferentes tipos de espejos de corriente está supeditado a la tecnología con la cual se implanta, por lo que a continuación se presentan algunas gráficas en las que se muestran dichos comportamientos.

Veamos el comportamiento del espejo de corriente sencillo implantado con tecnologías, TBJ, FET, y MOSFET, en el cual la corriente de entrada varía linealmente entre 0 y 10 mA.

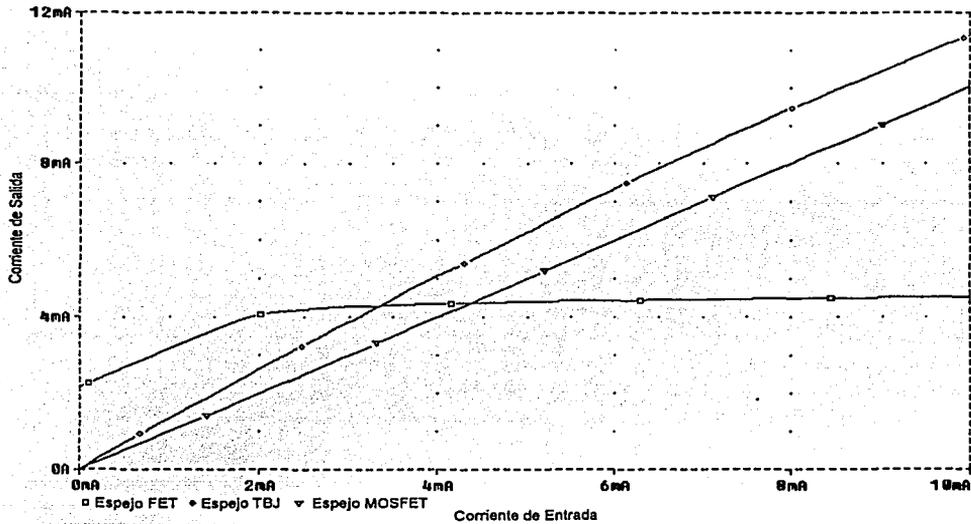


Figura 12: Comportamiento de varias tecnologías en la implementación de espejos de corriente.

La gráfica anterior se obtuvo utilizando dispositivos tipo N. Para mostrar el comportamiento del FET se empleó el transistor 2N5457, para el TBJ se usó el transistor BC547C mientras que para el MOSFET utilizamos el transistor 2N7000, que son los más cercanos en características a los empleados en nuestro diseño.

Podemos observar que en el caso del MOSFET, la corriente de salida es casi idéntica a la corriente de entrada. La salida del FET por el contrario, tiene un offset de casi 2 mA (2.1543) y su linealidad es buena aproximadamente hasta 2mA (1.7333). El TBJ aparentemente tiene una buena linealidad, pero con una pendiente ligeramente mayor a 1 que es la deseada. Sin embargo, si comparamos la salida del TBJ con la corriente de entrada con una pendiente similar a la de la salida del espejo, (Figura 13) podemos ver que la salida del TBJ no es lineal en el intervalo de valores que se está analizando.



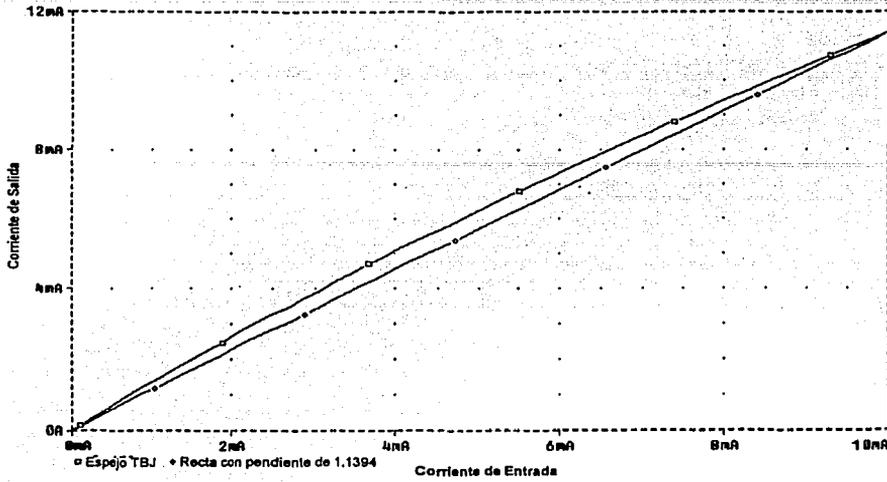


Figura 13: Salida del espejo de corriente sencillo usando TBJs.

Dado que a primera vista la salida del espejo de corriente implantado con MOSFETs era idéntica a la corriente de entrada, veamos de cerca el comportamiento de este espejo.

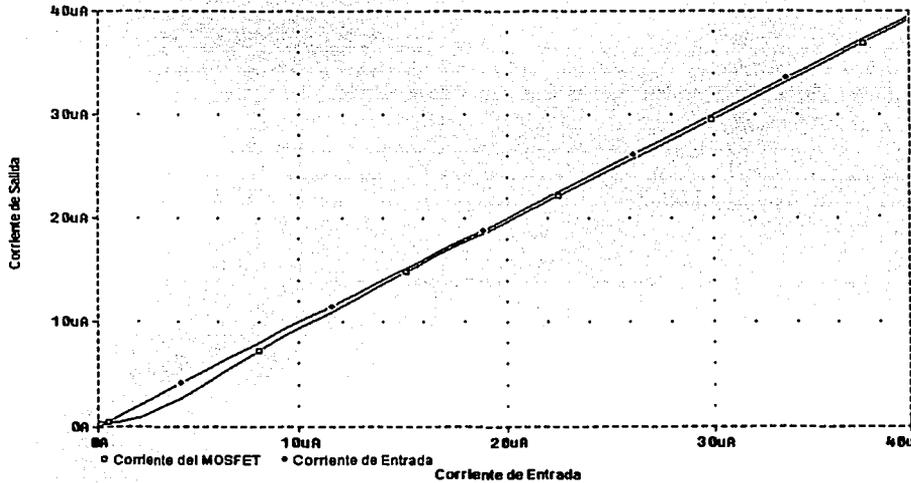


Figura 14: Detalle de la respuesta de un espejo de corriente MOSFET

En la figura 14 podemos ver que para valores de corriente menores a 8 microamperes la respuesta del espejo MOSFET no es tan buena como lo es para valores mayores de 20 microamperes, de tal forma que en la figura 15 podemos observar que la salida del MOSFET es en promedio 0.169 microamperes menor que la corriente de entrada, diferencia, que para fines prácticos, es despreciable.

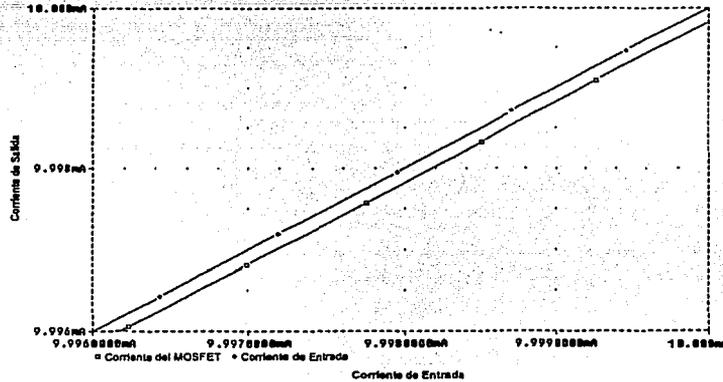


Figura 15: Acercamiento de la corriente de un espejo MOSFET

## B) Fuentes de corriente

Para la implantar una fuente de corriente es conveniente aprovechar la propiedad del espejo de corriente que refleja en su salida una corriente que se aplica en su entrada. De esta forma conectando en serie una fuente de voltaje y una resistencia se puede producir una corriente que se aplique a la entrada del espejo. Como resultado en la salida tendremos una corriente prácticamente del mismo valor que la corriente de entrada.

Veamos el circuito genérico de una fuente de corriente:

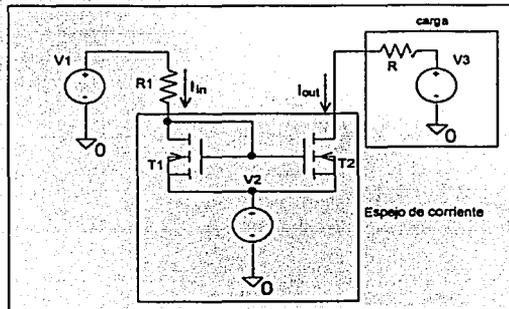


Figura 16: Fuente de corriente usando MOSFET's.

Analicemos ahora el comportamiento de esta fuente de corriente. Como un primer caso, consideremos que  $V_1$  varía de  $-10\text{ V}$  a  $10\text{ V}$ ,  $V_2 = 0\text{ V}$ ,  $V_3 = 5\text{ V}$ ,  $R_1 = 1\text{ K}\Omega$ , y  $R = 100\ \Omega$ . Bajo estas condiciones veamos cual es la respuesta del circuito.

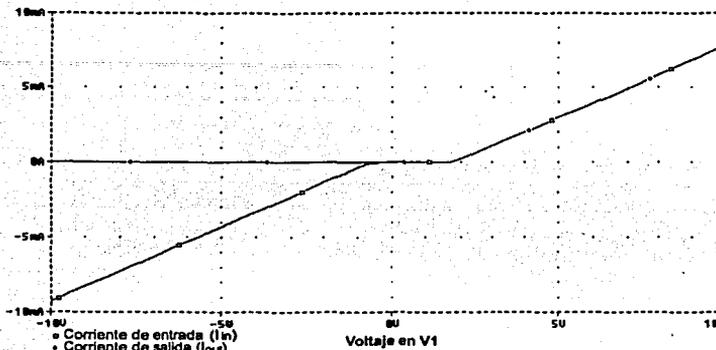


Figura 17: Respuesta de una fuente de corriente al variar la corriente de entrada.

En la figura anterior se puede observar que al variar el voltaje de  $V_1$ , se modifica el valor de la corriente de entrada. Ahora bien, cuando el valor de la corriente de entrada es positivo, en la salida se obtiene una corriente  $I_{out}$  prácticamente idéntica a la corriente de entrada  $I_{in}$ . Cabe señalar que para obtener una corriente de salida, es necesario que el voltaje de la fuente  $V_1$  sea mayor a 1.7 volts que es voltaje de umbral en el gate (Gate Threshold Voltage) para que el MOSFET conduzca.

Para continuar con el análisis del comportamiento de la fuente de corriente veamos la respuesta de dicho circuito cuando mantenemos constante la corriente de entrada en aproximadamente 20 mA,  $V_2 = 0\text{ Volts}$ , y el voltaje de la fuente  $V_3$  (extremo de la carga) lo hacemos variar de  $-10$  a  $10\text{ Volts}$ .

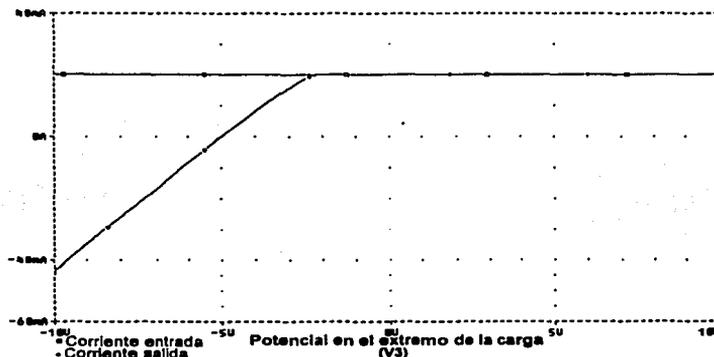


Figura 18: Respuesta de la fuente de corriente cuando se varía la fuente de voltaje  $V_3$  que se encuentra en el extremo de la carga

En la figura anterior se puede observar que para que la fuente de corriente responda como esperaríamos, con una corriente de salida de 20 mA, se necesita que el valor de la fuente de voltaje  $V_3$  sea superior a  $-2$  Volts.

### C) Par diferencial[20]

La más importante de las estructuras analógicas es sin lugar a duda el par diferencial, que constituye la etapa de entrada de un amplificador operacional y de la mayoría de los filtros integrados.

El par diferencial está formado principalmente por dos transistores iguales y una fuente de corriente  $I_{bias}$ , la cual produce en cada uno de los transistores T1 y T2 una corriente cuyo valor es de  $I_{bias}/2$ . Dando como resultado que queden disponibles dos terminales de entrada y dos terminales de salida. Para facilitar el análisis se definirán dos voltajes de entrada y dos de salida.

El voltaje de entrada en modo diferencial y el promedio o voltaje de entrada en modo común se derivan de los voltajes de entrada aplicados  $v_{I1}$  y  $v_{I2}$  y están definidos por:

$$v_{Id} = v_{I1} - v_{I2} \quad (13)$$

$$v_{Ic} = \frac{v_{I1} + v_{I2}}{2} \quad (14)$$

de manera similar en la salida se tiene

$$v_{Od} = v_{O1} - v_{O2} \quad (15)$$

$$v_{Oc} = \frac{v_{O1} + v_{O2}}{2} \quad (16)$$

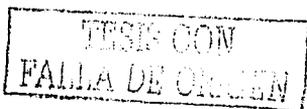
La primera meta de la etapa diferencial es amplificar sólo la componente diferencial  $v_{Id}$ . Se debe rechazar la componente de modo común  $v_{Ic}$ . Por ejemplo si son inducidas en ambas entradas perturbaciones como ruido de la fuente de alimentación y radio frecuencias, el diferencial genera una señal  $v_{Ic}$ . Esta señal no debe de ser amplificada por la etapa diferencial, sino debe ser rechazada. Para describir formalmente este rechazo de la señal de modo común  $v_{Ic}$ , primero se deben definir todas las ganancias

Los cuatro voltajes definidos por las ecuaciones 3,4,5 y 6, nos permiten definir cuatro ganancias dadas por

$$v_{Od} = A_{dd} v_{Id} + A_{dc} v_{Ic} \quad (17)$$

$$v_{Oc} = A_{cd} v_{Id} + A_{cc} v_{Ic} \quad (18)$$

Sólo es de interés la salida de voltaje diferencial  $v_{Od}$ .



Obviamente la ganancia  $A_{dd}$  es la ganancia diferencial real (también llamada ganancia en modo diferencial) la cual es el principal propósito de esta etapa. Sin embargo  $v_{Od}$  también se puede generar por una señal de entrada de modo común  $v_{Ic}$ . El voltaje  $v_{Od}$  sólo se puede generar por  $v_{Ic}$  si está presente una asimetría en el transistor de entrada, o si la carga es resistiva.

La medida de  $A_{dc}$  (ganancia en modo común) con respecto a  $A_{dd}$ , es la razón de rechazo en modo común (Common Mode Rejection Ratio, CMRR), la cual comúnmente se expresa en dB.

$$CMRR = 20 \log_{10} \left| \frac{A_{dd}}{A_{dc}} \right| \quad (19)$$

Esto también refleja la medida en que el voltaje de entrada de modo común es amplificado o en otras palabras la asimetría en los dispositivos de entrada y carga resistiva. Los típicos valores de CMRR son de 80 dB para etapas diferenciales con transistores TBJs y de 60 dB para MOSFETs.

#### a) Implantación del par diferencial

Veamos cual es el comportamiento del par diferencial que se muestra en la figura 19. Se utilizan para ello transistores FET y MOSFET.

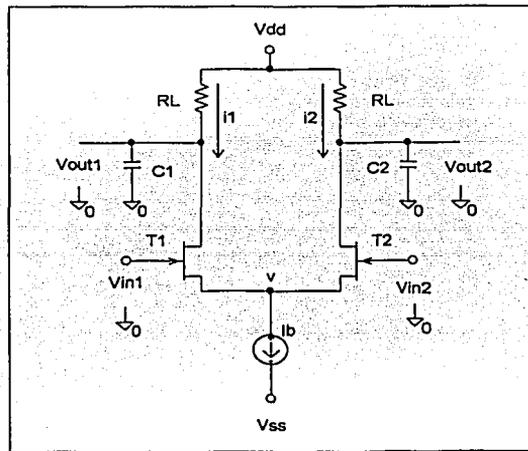


Figura 19: Par diferencial FET.[20]

En la Figura 20 se pueden ver los voltajes de salida del par diferencial. Es conveniente señalar que para los 3 tipos de transistores, el voltaje de salida  $v_{out1}$  es el complemento o inverso de  $v_{out2}$  sólo que con un offset de aproximadamente 8 volts. También podemos decir que en cada caso las curvas no se cruzan en el valor de cero volts, sino en aproximadamente 24 mV.

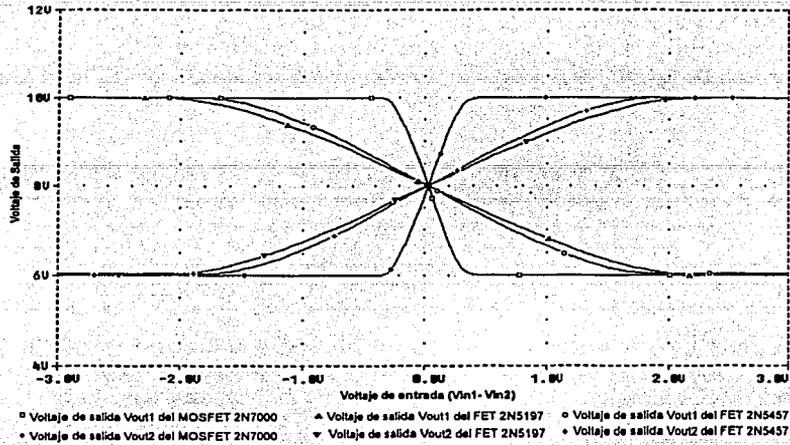


Figura 20: Voltajes de salida del par diferencial usando transistores FET y MOSFET.

Es importante resaltar que para el transistor MOSFET 2N7000 el intervalo en el cual se puede considerar su salida como lineal es de casi 300mV mientras que para los transistores FET este intervalo se amplía hasta casi 1.8 Volts. Dado que el transistor 2N5197 tiene un margen de linealidad ligeramente mayor que el del 2N5457, revisemos con detenimiento la respuesta del FET 2N5197.

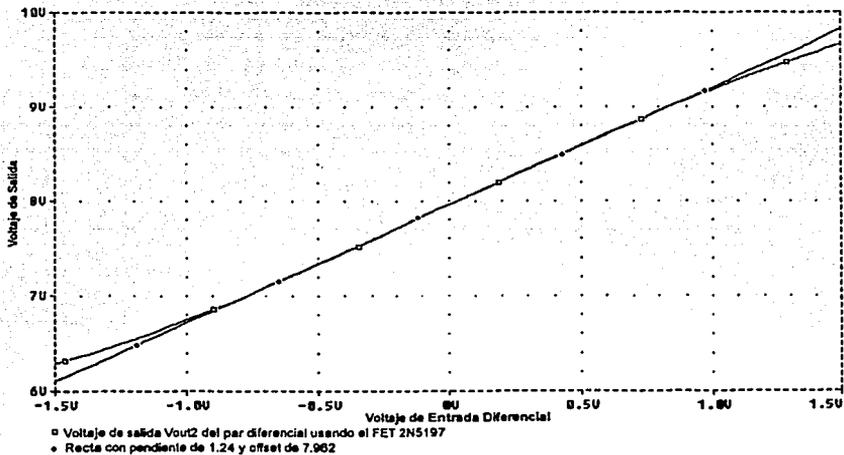


Figura 21: Voltaje de salida del par diferencial usando FETs 2N5197.

TESIS CON  
FALLA DE ORIGEN

n la figura 21 se puede ver que el voltaje de salida  $v_{o2}$  del par diferencial, se asemeja mucho a una recta entre  $-0.9$  y  $0.9$  Volts. La recta con la que estamos comparando es una recta con una pendiente de  $1.24$  y un offset de  $7.962$  V.

### 3. Diseño de un Amplificador operacional de transconductancia.

Una vez que se han revisado las características del espejo de corriente y del par diferencial estamos en condición de presentar el más simple amplificador de transconductancia:

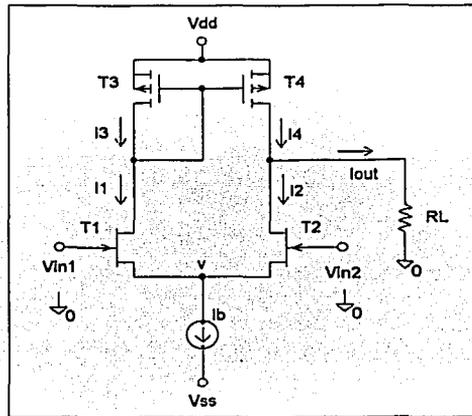


Figura 22: Amplificador operacional de transconductancia sencillo.[14]

En la parte superior del circuito de la figura 19 se puede ver un espejo de corriente formado por los transistores T3 y T4, el cual proporciona una corriente  $I_4$  de la misma magnitud que  $I_1$ . Analizando el circuito podemos decir:

$$i_1 = i_4 \quad (20)$$

$$i_{out} = i_4 - i_2 \quad (21)$$

Sustituyendo 20 en 21 tenemos:

$$i_{out} = i_1 - i_2 \quad (22)$$

También podemos ver que la corriente de bias es:

$$i_{bias} = i_1 + i_2 \quad (23)$$

En la figura podemos ver que:

TESIS CON  
FALLA DE ORIGEN

$$v = v_{s1} = v_{s2} \quad (24)$$

Ahora bien, la ecuación que describe el comportamiento de un transistor de efecto de campo es:

$$i = I_0 e^{kv_s} (e^{-v_s} - e^{-v_d}) \quad (25)$$

así entonces decimos que:

$$i_1 = I_0 e^{kv_{s1}} (e^{-v_{s1}} - e^{-v_{d1}}) \quad (26)$$

$$i_2 = I_0 e^{kv_{s2}} (e^{-v_{s2}} - e^{-v_{d2}}) \quad (27)$$

Sustituyendo 26 y 27 en 23

$$i_{bias} = I_0 e^{kv_{s1}} (e^{-v} - e^{-v_{d1}}) + I_0 e^{kv_{s2}} (e^{-v} - e^{-v_{d2}}) \quad (28)$$

$$i_{bias} = I_0 e^{kv_{s1}} e^{-v} - I_0 e^{kv_{s1}} e^{-v_{d1}} + I_0 e^{kv_{s2}} e^{-v} - I_0 e^{kv_{s2}} e^{-v_{d2}} \quad (29)$$

$$i_{bias} = I_0 e^{-v} (e^{kv_{s1}} + e^{kv_{s2}}) - I_0 (e^{kv_{s1}} e^{-v_{d1}} + e^{kv_{s2}} e^{-v_{d2}}) \quad (30)$$

$$i_{bias} + I_0 (e^{kv_{s1}} e^{-v_{d1}} + I_0 e^{kv_{s2}} e^{-v_{d2}}) = I_0 e^{-v} (e^{kv_{s1}} + e^{kv_{s2}}) \quad (31)$$

$$i_{bias} + I_0 (e^{kv_{s1}} e^{-v_{d1}} + I_0 e^{kv_{s2}} e^{-v_{d2}}) = I_0 e^{-v} (e^{kv_{s1}} + e^{kv_{s2}}) \quad (32)$$

$$e^{-v} = \frac{i_{bias} + I_0 (e^{kv_{s1}} e^{-v_{d1}} + e^{kv_{s2}} e^{-v_{d2}})}{I_0 (e^{kv_{s1}} + e^{kv_{s2}})} \quad (33)$$

Si ahora sustituimos 26 y 27 en 22 tendremos:

$$i_{out} = I_0 e^{kv_{s1}} (e^{-v} - e^{-v_{d1}}) - I_0 e^{kv_{s2}} (e^{-v} - e^{-v_{d2}}) \quad (34)$$

$$i_{out} = I_0 e^{kv_{s1}} e^{-v} - I_0 e^{kv_{s1}} e^{-v_{d1}} - I_0 e^{kv_{s2}} e^{-v} + I_0 e^{kv_{s2}} e^{-v_{d2}} \quad (35)$$

$$i_{out} = I_0 e^{-v} (e^{kv_{s1}} - e^{kv_{s2}}) - I_0 e^{kv_{s1}} e^{-v_{d1}} + I_0 e^{kv_{s2}} e^{-v_{d2}} \quad (36)$$

sustituyendo 33 en 36

TESIS CON  
FALLA DE ORIGEN

$$i_{out} = I_0 \left( \frac{i_{bias} + I_0 (e^{kv_{g1} - v_{d1}} + e^{kv_{g2} - v_{d2}})}{I_0 (e^{kv_{g1}} + I_0 e^{kv_{g2}})} \right) (e^{kv_{g1}} - e^{kv_{g2}}) - I_0 e^{kv_{g1} - v_{d1}} + I_0 e^{kv_{g2} - v_{d2}} \quad (37)$$

$$i_{out} = (i_{bias} + I_0 e^{kv_{g1} - v_{d1}} + I_0 e^{kv_{g2} - v_{d2}}) \frac{(e^{kv_{g1}} - e^{kv_{g2}})}{(e^{kv_{g1}} + e^{kv_{g2}})} - I_0 e^{kv_{g1} - v_{d1}} + I_0 e^{kv_{g2} - v_{d2}} \quad (38)$$

$$i_{out} = i_{bias} \frac{(e^{kv_{g1}} - e^{kv_{g2}})}{(e^{kv_{g1}} + e^{kv_{g2}})} + I_0 e^{kv_{g1} - v_{d1}} \frac{(e^{kv_{g1}} - e^{kv_{g2}})}{(e^{kv_{g1}} + e^{kv_{g2}})} + I_0 e^{kv_{g2} - v_{d2}} \frac{(e^{kv_{g1}} - e^{kv_{g2}})}{(e^{kv_{g1}} + e^{kv_{g2}})} - I_0 e^{kv_{g1} - v_{d1}} + I_0 e^{kv_{g2} - v_{d2}} \quad (39)$$

multiplicando 39 por:

$$\frac{e^{-k \left( \frac{v_{g1}}{2} + \frac{v_{g2}}{2} \right)}}{e^{-k \left( \frac{v_{g1}}{2} + \frac{v_{g2}}{2} \right)}}$$

obtenemos:

$$i_{out} = i_{bias} \frac{e^{k \left( \frac{v_{g1} - v_{g2}}{2} \right)} - e^{-k \left( \frac{v_{g1} - v_{g2}}{2} \right)}}{e^{k \left( \frac{v_{g1} - v_{g2}}{2} \right)} + e^{-k \left( \frac{v_{g1} - v_{g2}}{2} \right)}} + I_0 e^{kv_{g1} - v_{d1}} \frac{e^{k \left( \frac{v_{g1} - v_{g2}}{2} \right)} - e^{-k \left( \frac{v_{g1} - v_{g2}}{2} \right)}}{e^{k \left( \frac{v_{g1} - v_{g2}}{2} \right)} + e^{-k \left( \frac{v_{g1} - v_{g2}}{2} \right)}} + I_0 e^{kv_{g2} - v_{d2}} \frac{e^{k \left( \frac{v_{g1} - v_{g2}}{2} \right)} - e^{-k \left( \frac{v_{g1} - v_{g2}}{2} \right)}}{e^{k \left( \frac{v_{g1} - v_{g2}}{2} \right)} + e^{-k \left( \frac{v_{g1} - v_{g2}}{2} \right)}} - I_0 e^{kv_{g1} - v_{d1}} + I_0 e^{kv_{g2} - v_{d2}} \quad (40)$$

Por otro lado sabemos que:

$$\frac{e^t - e^{-t}}{e^t + e^{-t}} = \tanh(t) \quad (41)$$

de tal forma que la ecuación 40 se puede expresar como:

$$i_{out} = i_{bias} \tanh \left( \frac{k(v_{g1} - v_{g2})}{2} \right) + I_0 e^{kv_{g1} - v_{d1}} \tanh \left( \frac{k(v_{g1} - v_{g2})}{2} \right) + I_0 e^{kv_{g2} - v_{d2}} \tanh \left( \frac{k(v_{g1} - v_{g2})}{2} \right) - I_0 e^{kv_{g1} - v_{d1}} + I_0 e^{kv_{g2} - v_{d2}} \quad (42)$$

$$i_{out} = i_{bias} \tanh\left(\frac{k(v_{g1} - v_{g2})}{2}\right) + I_0 e^{k v_{d1} - v_{d1}} \left( \tanh\left(\frac{k(v_{g1} - v_{g2})}{2}\right) - 1 \right) + I_0 e^{k v_{d2} - v_{d2}} \left( \tanh\left(\frac{k(v_{g1} - v_{g2})}{2}\right) + 1 \right) \quad (43)$$

Para ilustrar cual es la aportación de cada uno de los términos de la ecuación 43, graficaremos cada sumando. Para ello consideraremos que  $I_{bias}=4$  mA,  $I_0=3$ mA,  $k=0.7$ ,  $v_{d1}=8$  V,  $v_{d2}=8$  V,  $v_{g2}=0$  V y que  $v_{g1}$  es una rampa que va de  $-10$  a  $10$  V. De esta forma al graficar la expresión 44 se obtiene la curva que se muestra en la figura 23.

$$I_{out} = I_0 e^{k v_{d1} - v_{d1}} \left( \tanh\left(\frac{k(v_{g1} - v_{g2})}{2}\right) - 1 \right) \quad (44)$$

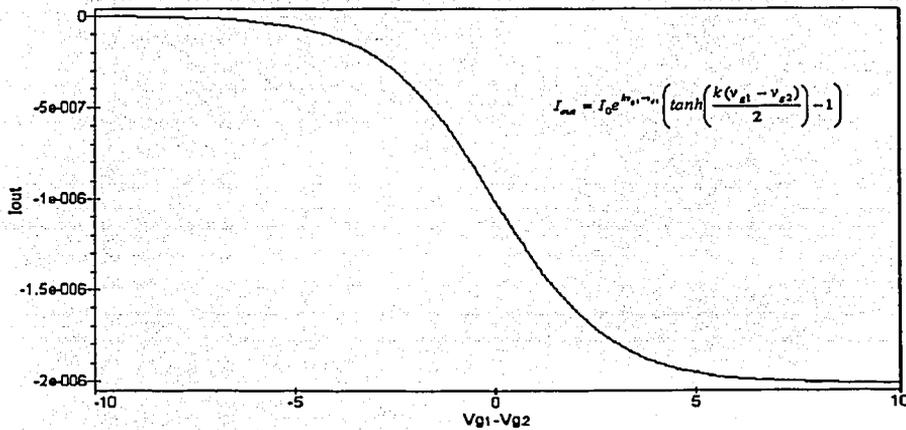


Figura 23: Respuesta de uno de los términos que conforman la corriente de salida.

Por su parte, al graficar la expresión 45 se obtiene la curva de la figura 24.

$$I_{out} = I_0 e^{k v_{d1} - v_{d1}} \left( \tanh\left(\frac{k(v_{g1} - v_{g2})}{2}\right) + 1 \right) \quad (45)$$

TESIS CON  
FALLA DE ORIGEN

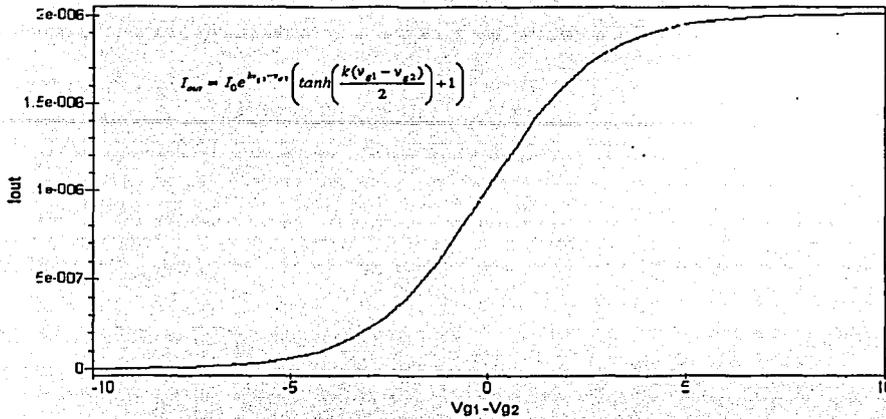


Figura 24: Respuesta de uno de los términos que conforman la corriente de salida

El comportamiento de la corriente aportada por la expresión 46 se muestra en la figura 24.

$$i_{out} = i_{bias} \tanh\left(\frac{k(v_{g1} - v_{g2})}{2}\right) \tag{46}$$

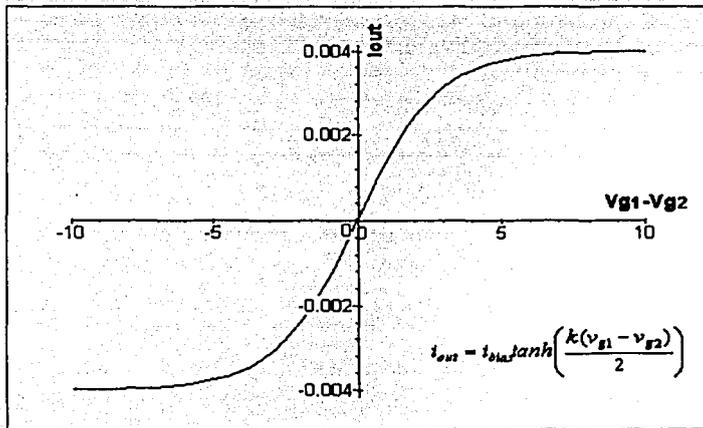


Figura 25: Respuesta del término principal que conforma la corriente de salida

Al comparar las figuras 23 y 24 se puede observar que ambas curvas tienen casi el mismo comportamiento con la evidente diferencia de que una es positiva y otra es negativa por lo que al estar sumando en la ecuación 43 prácticamente se anulan. Más aún, la corriente que las expresiones 44 o 45 podrían aportar en un caso extremo, es menor al 0.05% lo cual es prácticamente despreciable. Esto lo podemos ver en la figura 26, en la cual graficamos la diferencia entre la respuesta completa (ecuación 43) y la expresión 46.

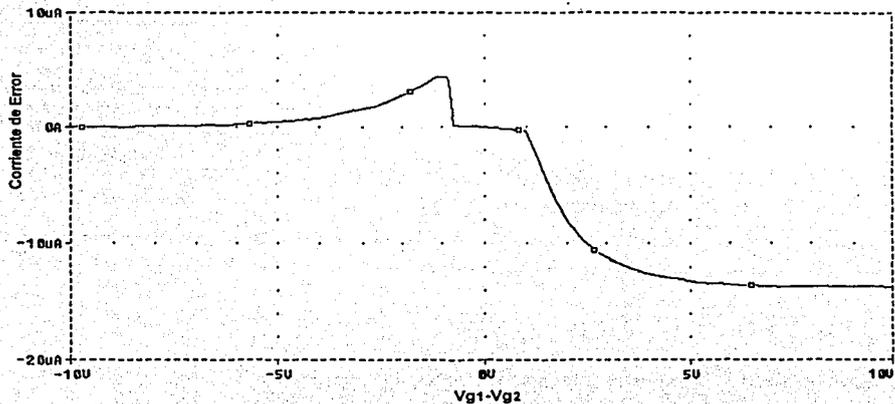


Figura 26: Error resultado de restar la respuesta simplificada de la respuesta completa.

Entonces podemos decir que la corriente de salida de un transconductor está dada por la ecuación 46 misma que podemos expresar como:

$$i_{out} = G_m(v_{in1} - v_{in2}) \quad (47)$$

Donde la transconductancia  $G_m$  del amplificador es sólo la pendiente, en el origen, de la tangente hiperbólica en la ecuación 46[14].

Dado que el OTA sencillo que acabamos de analizar tiene algunas limitaciones respecto del intervalo de voltajes de entrada, analicemos otro circuito llamado OTA simétrico.

En el circuito de la figura 27 es llamado OTA simétrico, en él podemos ver que los transistores T9 y T10 forman una espejo de corriente de tal forma que la corriente  $i_b$  se ve reflejada en  $i_b'$ . De manera similar los transistores T3 y T4, constituyen otro espejo de corriente el cual refleja la corriente  $i_1$ , en el  $i_1'$ . A su vez los transistores T5 y T6, que configuran otro espejo de corriente, reflejarán  $i_1'$  en  $i_1''$ . Así resulta que la corriente  $i_1'' = i_1$ .

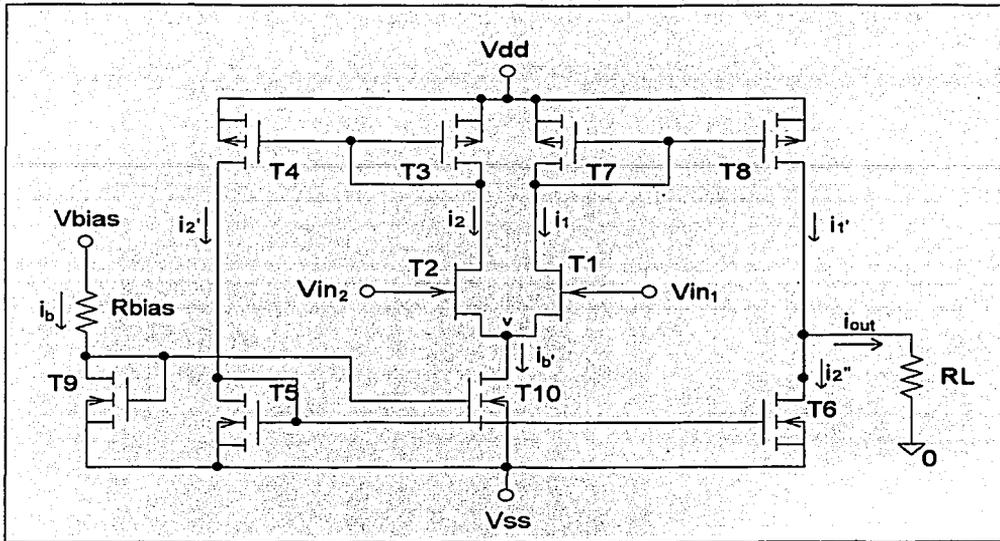


Figura 27: Amplificador operacional de transconductancia simétrico.

Por otro lado, los transistores T7 y T8 actúan como un espejo de corriente que refleja la corriente  $i_2$  en  $i_2'$ . Entonces podemos decir que la corriente de salida es igual a:

$$i_{out} = i_1 - i_2 \quad (48)$$

Donde  $i_1$  e  $i_2$  son las corrientes de los FETs T1 y T2, de tal forma que el análisis realizado para el caso del OTA más simple es aplicable a este OTA simétrico, por lo tanto, la corriente de salida será:

$$i_{out} = i_b \tanh \frac{k(v_{in1} - v_{in2})}{2} \quad (49)$$

o

$$i_{out} = G_m (v_{in1} - v_{in2}) \quad (50)$$

En vista de que la corriente de salida es función de la tangente hiperbólica de la diferencia de los voltajes de entrada, podemos considerar, dentro de un cierto intervalo de valores, la salida  $i_{out}$  como una función lineal[22].

Si implementamos el circuito OTA simétrico mostrado en la figura 27, usando para T1 y T2 el FET 2N5197; para T3, T4, T7 y T8 el MOSFET IRFD9110; en el caso de los transistores T5, T6, T9 y T10, el MOSFET 2N7000 que son en características los más parecidos a los empleados en nuestro diseño;  $V_{bias}=5V$ ,  $V_{dd}=10V$  y  $V_{ss}=10V$ . Por principio de cuentas

tendremos una corriente  $i_{bias}=6.412 \text{ mA}$ . La respuesta de este circuito se presenta en la figura 28.

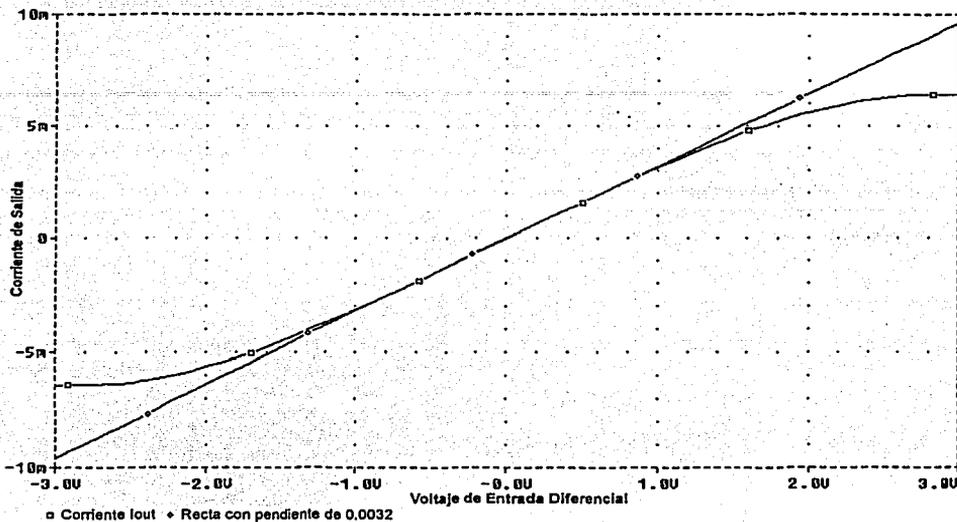


Figura 28: Corriente de salida del OTA simétrico.

En la gráfica anterior podemos ver que la corriente de salida del OTA asemeja una tangente hiperbólica, la cual comparada con una recta de pendiente 0.0032 es casi lineal entre los valores de  $-1$  y  $1$  Volts. Si recordamos que la transconductancia  $G_m$  es la pendiente de la  $\tanh$  de la ecuación 48, podemos decir que para estas condiciones la transconductancia  $G_m$  es del orden de  $3.2 \text{ mS}$ .

### A) Diagramas de ganancia (Bode)

Para conocer cual es la ganancia del circuito en modo diferencial, podemos configurar el OTA simétrico como un circuito seguidor de voltaje, y lo excitamos con una señal senoidal de amplitud fija que varíe su frecuencia entre los  $10 \text{ Hz}$  y los  $100 \text{ kHz}$ . De esta forma la ganancia de voltaje para cada frecuencia será el resultado de dividir la amplitud de la señal de salida entre el valor de la señal de entrada. Veamos en la figura 29 cual es la ganancia del circuito en el intervalo de frecuencias de  $10 \text{ Hz}$  a  $1 \text{ MHz}$

FALLA DE ORIGEN

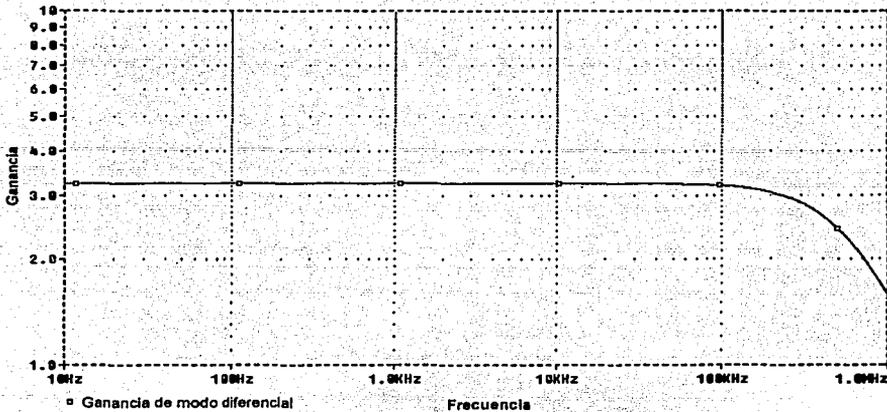


Figura 29: Diagrama de Bode para la ganancia en modo diferencial.

En la gráfica anterior podemos ver que al aplicar al circuito una señal senoidal de 1 kHz y usando una resistencia de carga de  $1k\Omega$  tenemos una ganancia de 3.207963. Recordemos que la corriente de salida del OTA esta dada por

$$i_{out} = G_m (v_{in}^+ - v_{in}^-)$$

Dado que  $V_{in}^-$  esta conectada a tierra. Y  $V_{in}^+$  esta conectado a  $V_{in}$  resulta que:

$$i_{out} = G_m v_{in} \quad (51)$$

También sabemos que:

$$i_{out} = \frac{V_{out}}{R} \quad (52)$$

Sustituyendo 52 en 51 tenemos:

$$\frac{V_{out}}{R} = G_m v_{in} \quad (53)$$

$$\frac{v_{out}}{v_{in}} = R G_m \quad (54)$$

Esta ecuación expresa la función de transferencia para este seguidor. Si sustituimos los valores de ganancia y el de la resistencia R en la ecuación 44 encontraremos  $G_m=3.207963$  mS, lo cual concuerda con el valor de  $G_m$  obtenido anteriormente cuando se midió la pendiente de la tanh.

TESIS CON  
FALLA DE ORIGEN

Para medir la ganancia del circuito en modo común, el procedimiento es muy parecido al anteriormente descrito para el cálculo de la ganancia en modo diferencial con la salvedad de que ambas terminales de entrada  $V_{in}^+$  y  $V_{in}^-$  son excitadas con la misma señal senoidal.

En la figura 30 se puede observar el comportamiento de la ganancia en modo común.

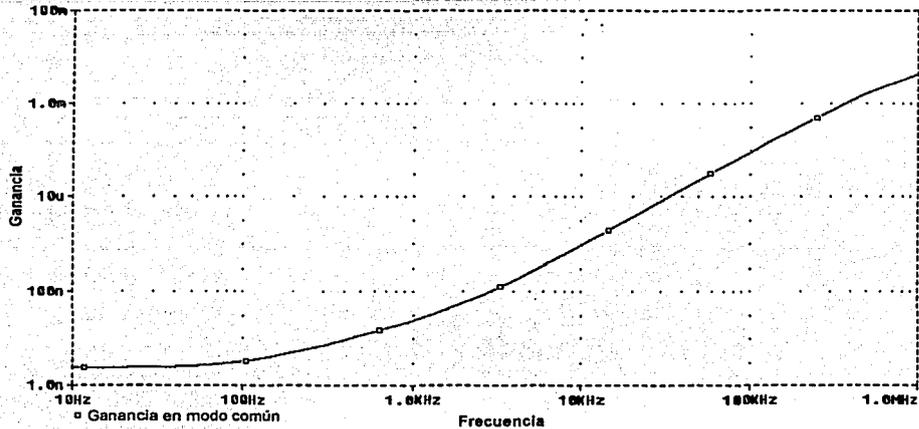


Figura 30: Diagrama de Bode de la ganancia en modo común.

En la ecuación 19 se expresó la manera en que se calcula la razón de rechazo en modo común (CMRR). Retomando este concepto, en la figura 29 podemos apreciar que para la frecuencia de 1kHz tenemos una ganancia en modo diferencial de 3.202. Por su parte en la figura 30 se puede ver que la ganancia en modo diferencial es de  $24.109 \times 10^{-9}$ . Sustituyendo estos valores en la ecuación 19, tenemos que el CMRR es de 162.46 dB

Como consecuencia de que ambas ganancias (en modo diferencial y en modo común) varían dependiendo de la frecuencia de la señal de entrada, debemos de considerar que el CMRR también variará. En la figura 31 se puede observar el comportamiento del CMRR en diferentes frecuencias.

TESIS CON  
FALLA DE ORIGEN

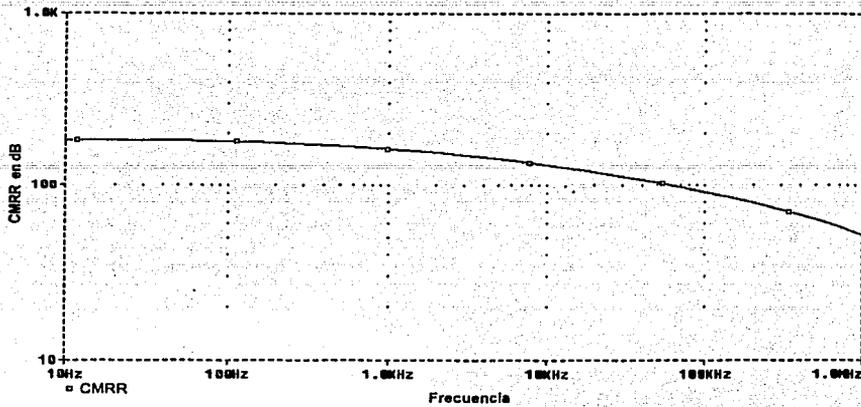


Figura 31: Razón de rechazo en modo común (CMRR) a diferentes frecuencias.

## B) Diagramas de fase.

Otra característica importante cuando se analiza un OTA es su diagrama de fase. A continuación se presenta el diagrama de fase del OTA simétrico que hemos venido analizando.

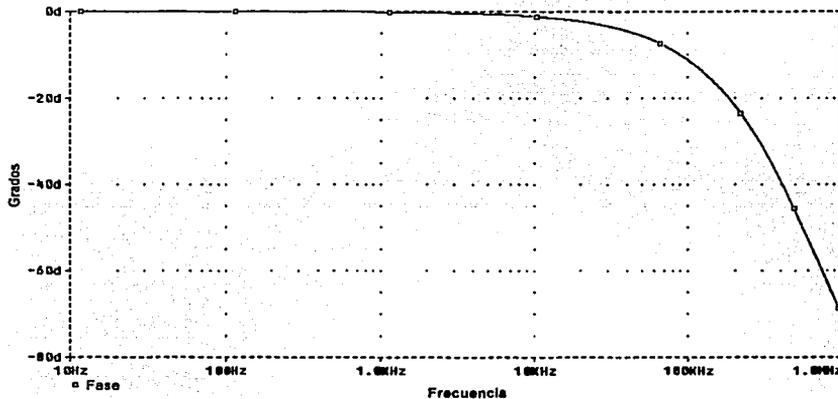


Figura 32: Diagrama de Fase del OTA simétrico.

#### 4. Comparación entre el amplificador de transconductancia propuesto y algunos OTAS comerciales.

Una vez que hemos revisado algunas de las características del OTA propuesto, es conveniente comparar su desempeño con el de algún circuito comercial. Para ello escogimos el amplificador operacional de transconductancia LM13600.

Para comparar la respuesta de ambos circuitos, en las entradas no inversoras se aplicará una señal de tipo rampa de amplitud que va de  $-5$  a  $5$  Volts, con una frecuencia de  $1$  Khz, mientras que en las entradas inversoras la amplitud variará de  $5$  a  $-5$  V. Con la misma frecuencia y fase. En ambos circuitos se fijara una corriente de bias de  $4$  mA, y los voltajes de polarización serán  $V_{dd} = 10$  V y  $V_{ss} = -10$ . La carga será una resistencia de  $100 \Omega$ . Veamos en la figura 33 La respuesta de cada circuito

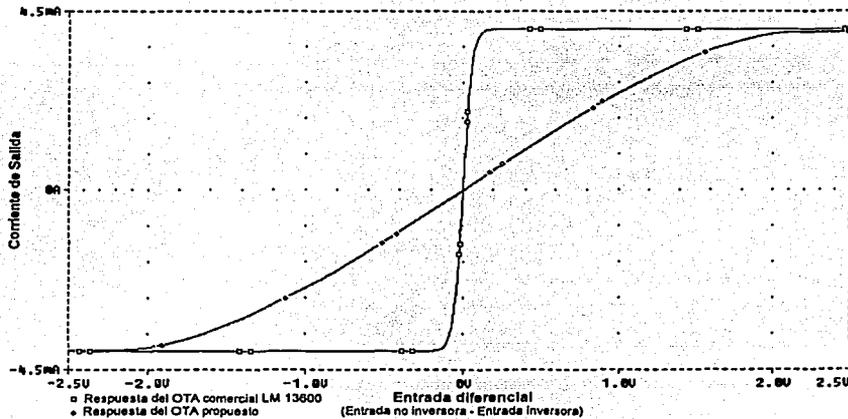


Figura 33 Comparación entre la respuesta del OTA comercial y el propuesto.

En la figura 33, claramente se puede apreciar que el intervalo de linealidad en el OTA propuesto es mayor respecto del OTA comercial. Pero veamos en detalle cual es la respuesta de OTA comercial

TESIS CON  
FALLA DE ORIGEN

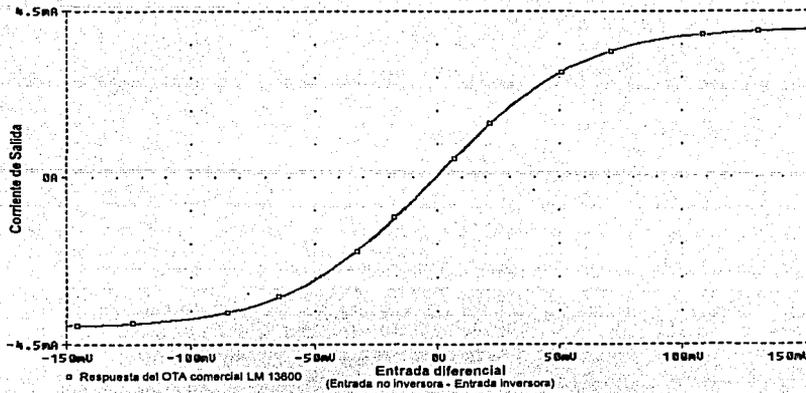


Figura 34: Detalle de la respuesta del OTA comercial.

En la figura 34 se puede apreciar que el intervalo de valores en que la respuesta se puede considerar lineal, es menor de  $-50$  a  $50$  mV.

TESIS CON  
FALLA DE ORIGEN

**YESSE COME**  
**FALLA DE ORIGEN**

## Capítulo Tercero

### Operaciones básicas usando amplificadores operacionales de transconductancia

Debido al tipo de neurona que se pretende implantar en este trabajo, es necesario el poder realizar ciertas operaciones matemáticas. Es por ello que a continuación se describe como usando algunos OTAS se pueden realizar, seguidores de voltaje, sumadores, restas, multiplicaciones de una señal por una constante e integradores.

#### 1. Seguidor de voltaje

El circuito que se presenta a continuación es llamado seguidor de voltaje.

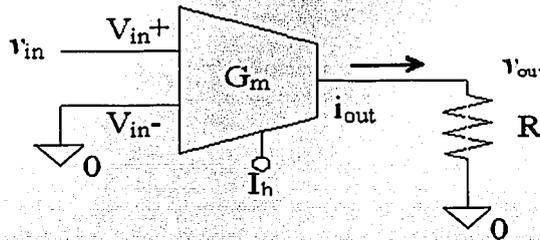


Figura 35: OTA configurado como seguidor de voltaje

Se llama así porque tiene la característica que el voltaje de la señal que se aplica en la terminal de entrada  $V_{in+}$  (no inversora) es directamente proporcional al voltaje en la resistencia de salida. Si recordamos que la corriente del transconductor está dada por:

$$i_{out} = G(V_{in}^+ - V_{in}^-) \quad (55)$$

En la figura 35 podemos ver que:

$$V_{in}^- = 0 \quad (56)$$

$$V_{in}^+ = v_{in} \quad (57)$$

Sustituyendo 56 y 57 en 55, tenemos:

TESIS CON  
FALLA DE ORIGEN

$$i_{out} = G v_{in} \quad (58)$$

De la figura 35 también se puede apreciar que:

$$i_R = \frac{v_{out}}{R} \quad (59)$$

$$i_R = i_{out} \quad (60)$$

Sustituyendo 58 y 59 en 60 obtenemos:

$$\frac{v_{out}}{R} = G v_{in} \quad (61)$$

$$v_{out} = GR v_{in} \quad (62)$$

Así en la ecuación 62 se puede ver que el voltaje en la resistencia de salida será directamente proporcional al voltaje de entrada.

## 2. Sumador

Aprovechando la característica de que los amplificadores operacionales de transconductancia proporcionan una corriente de salida proporcional al voltaje de entrada  $i_{out}=G(v_{in}^+-v_{in}^-)$ , lo que se requiere para realizar la suma de dos o más señales, es conectarlas en un nodo, ya que la ley de conservación de la carga (ley de corrientes de kirchoff) dice que las corrientes que salen de un nodo serán iguales a la suma de las corrientes que entran a él.

## 3. Resta.

Para realizar la resta de dos señales se puede utilizar la característica de los OTAs que la salida será una corriente proporcional a la diferencia de los voltajes en sus entradas.

$$i_{out} = G (v_{in}^+ - v_{in}^-) \quad (63)$$

## 4. Multiplicación por una constante

La salida de un OTA configurado como seguidor, generará una corriente directamente proporcional al voltaje de entrada. Esta corriente será independiente de la carga que se le conecte (dentro de cierto intervalo). Es por ello que la configuración que se usa para el circuito seguidor de voltaje se puede utilizar para realizar la operación de multiplicación por una constante. Así pues, sabemos que el voltaje de salida es del seguidor de voltaje esta dado por:

$$v_{out} = GRv_{in} \quad (64)$$

De la ecuación se observa que al variar el valor de la resistencia se multiplica el voltaje de entrada.  $V_{IN}$  por un factor  $R$  dado que la corriente  $I_{OTA}$  depende únicamente del valor  $V_{IN}$ .

## 5. Integrador.

Un circuito para integrar una señal utilizando amplificadores operacionales de transconductancia es el siguiente:

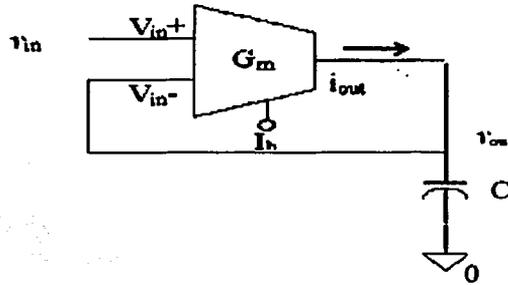


Figura 36: Integrador con realimentación negativa[14]

Del circuito anterior podemos decir que:

$$i_c = C \frac{dv_{out}}{dt} \quad (65)$$

$$i_{out} = G(V_{in}^+ - V_{in}^-) \quad (66)$$

$$V_{in}^+ = v_{in} \quad (67)$$

$$V_{in}^- = v_{out} \quad (68)$$

Sustituyendo 67 y 68 en 66

$$i_{out} = G(v_{in} - v_{out}) \quad (69)$$

$$i_c = i_{out} \quad (70)$$

$$C \frac{dv_{out}}{dt} = G(v_{in} - v_{out}) \quad (71)$$

$$\frac{dv_{out}}{dt} + \frac{G}{C} v_{out} - \frac{G}{C} v_{in} = 0 \quad (72)$$

Sustituyendo 65 y 69 en 70

Resolviendo la ecuación diferencial 72

$$v_{out} = \frac{G}{C} e^{-\frac{G}{C}t} \int e^{\frac{G}{C}u} v_{in}(u) du \quad (73)$$

TESIS CON  
FALLA DE ORIGEN

De la ecuación anterior podemos ver que el voltaje de salida es función de la integral del voltaje de entrada. En particular si consideramos  $v_{in}$  como una señal escalón tenemos que:

$$v_{out} = v_{in} \left( 1 - e^{-\frac{G}{C}t} \right) \quad (74)$$

En la figura 37 se muestra el comportamiento del  $v_{out}$  cuando el circuito se excita con una señal de tipo escalón.

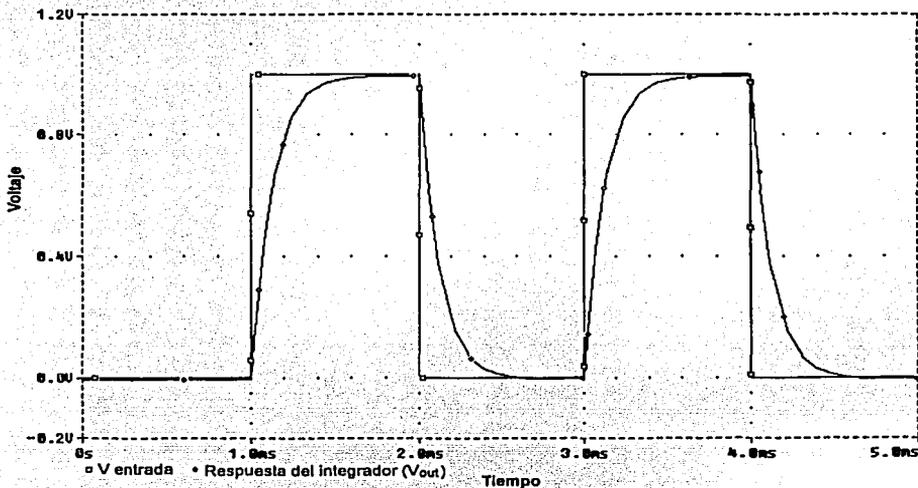


Figura 37: Respuesta del integrador a un tren de pulsos

Ahora si consideramos  $G/C=1$  y  $v_{in} = \text{sen}(t)$ ; tenemos que la respuesta del integrador será:

$$v_{out} = -\frac{1}{2} \cos(t) + \frac{1}{2} \text{sen}(t) + \frac{1}{2} e^{-t} \quad (75)$$

En la figura 38 se puede ver la respuesta de este circuito.

TESIS CON  
FALLA DE ORIGEN

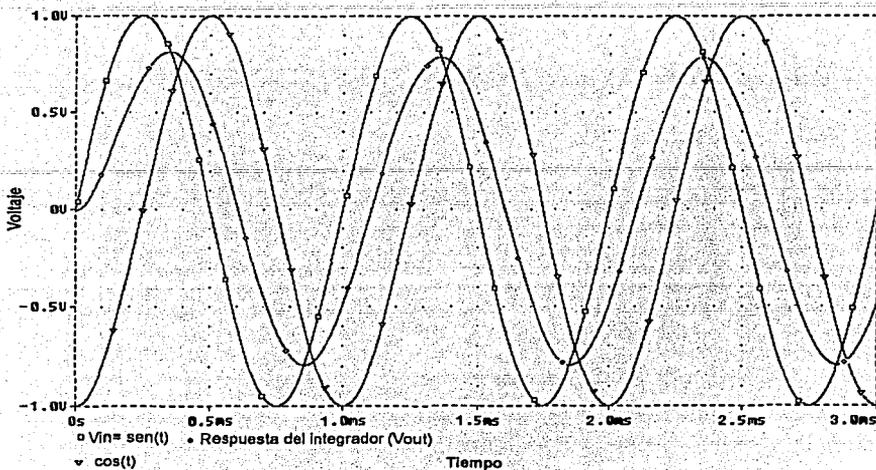


Figura 38: Respuesta del integrador a una señal senoidal

TESIS CON  
FALLA DE ORIGEN

TESIS CON  
FALLA DE ORIGEN

## **Capítulo Cuarto**

### **Los circuitos de retardo.**

El tipo de neurona que se pretende implantar requiere de un retardo del tipo axónico, para ello es necesaria la implantación de un circuito que permita retardar una señal de entrada, mismo que se describirá en este capítulo.

#### **1. El circuito de retardo ideal**

El diccionario de la lengua española define retardo como "Demora, tardanza, detención"[23] mientras que otros diccionarios lo definen como "el tiempo que transcurre desde que se modifica una señal de entrada en un automatismo o en un sistema cibernético hasta que se manifiesta una respuesta en la señal de salida"[24]

Ahora bien, desde un punto de vista electrónico nosotros decimos que sería ideal que un circuito de retardo tuviera la capacidad de reproducir exactamente una señal de entrada cierto tiempo después de que esta ha ocurrido. Además que el tiempo de retardo pudiera ser fijado a nuestra voluntad y ser tan breve o extenso como se requiriera, sin que por ello se perdiera detalle alguno de la señal. Sin embargo, esto no es posible en el mundo real y debemos conformarnos con una buena aproximación.

Cabe señalar que cuando nos referimos a retardar una señal no hablamos de almacenar dicha información en algún medio para posteriormente reproducirla como puede ser el caso de una grabadora o cinta magnética que almacena un mensaje hablado y en cualquier momento se puede reproducir no importando el lapso de tiempo, llegando a ser días, meses, o incluso años. Siguiendo con este ejemplo de la voz, cuando decimos un retardo, nos referimos al tiempo que transcurre entre que nosotros emitimos un mensaje, este viaja en un medio, por decir algo en el aire, rebota en alguna superficie, y finalmente causa un efecto que puede ser que lo escuchamos nuevamente en una especie de eco.

#### **2. Diferentes circuitos de retardo**

El primer circuito de retardo que revisaremos, es la llamada línea de retardo[14], Esta consiste en varios integradores conectados en serie de tal forma que la salida del primer integrador corresponde a la entrada del segundo y así sucesivamente. En la figura 39 se muestra este circuito.

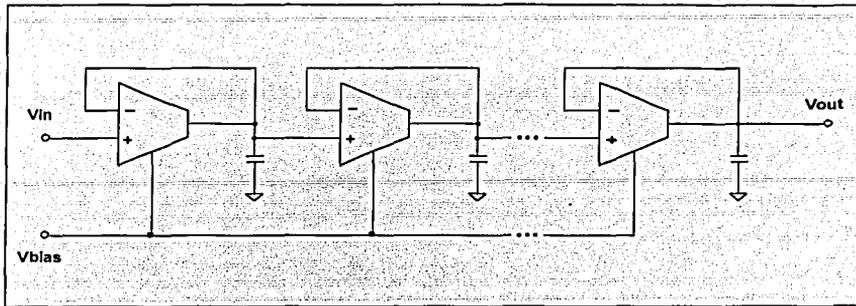


Figura 39: Línea de retardo utilizando varios integradores con realimentación negativa.[14]

Al utilizar integradores seguidores en línea de retardo se tiene la característica de que cada sección se puede considerar como un módulo independiente. En la figura 40 se muestra la respuesta de las primeras nueve etapas de la línea de retardo[14], la separación entre cada dos curvas es el retardo que produce cada sección. Las variaciones en los retardos se le atribuyen a las diferencias intrínsecas de los transistores con los que se construye cada OTA.

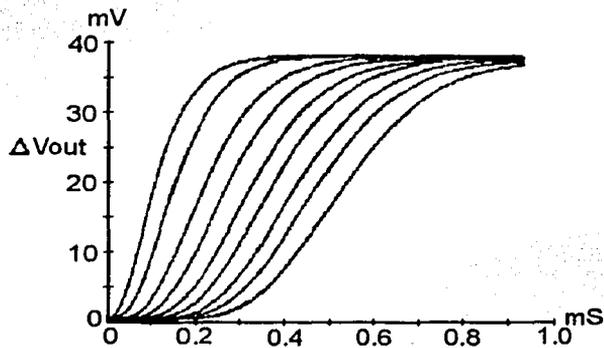


Figura 40: Respuesta de las primeras nueve etapas de la línea de retardo[14]

Otro circuito utilizado para generar retardos de señales digitales es el circuito TTL 74LS31, el cual está diseñado para proporcionar retardos bien definidos con independencia de la temperatura y del voltaje de polarización. Este encapsulado cuenta con 6 circuitos que proporcionan diferentes tiempos de retardo. Ello nos permite ajustar el tiempo de retardo deseado conectando en serie la salida de uno con la entrada de otro para aproximar el tiempo de retardo a nuestras expectativas. En la figura 41 se muestra el símbolo de este circuito de retardo.

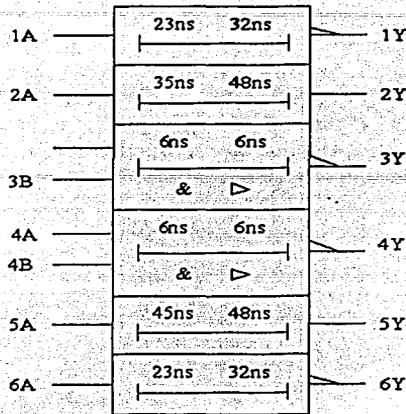


Figura 41: Símbolo lógico del circuito TTL 74LS31[25]

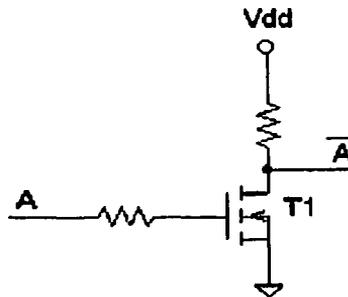
La limitante del 74LS31 es que el tiempo de retardo que nos proporciona cada una de sus salidas es menor a los 50 nanosegundos lo cual para algunas aplicaciones se puede considerar como un tiempo muy breve.

### 3. Diseño de un circuito de retardo

Antes de ver el circuito de retardo propuesto analizaremos algunos sub-circuitos que consideramos necesario revisar, como son el circuito inversor, las compuertas NAND, NOR, el flip flop RS, el comparador de voltaje y el circuito monostable entre otros.

#### A) Inversor

Para la construcción de un inversor existen diferentes alternativas una de ellas es utilizar un transistor y dos resistencias conectadas como se muestra en la figura 42.



TESIS CON  
FALLA DE ORIGEN

Figura 42: Circuito inversor.

El circuito de la figura 42 trabaja de la siguiente manera, cuando se tiene un nivel bajo en la resistencia del gate, el transistor se encuentra en la región de corte por lo que no conduce, ello implica que la salida será un nivel alto. Por otra parte, cuando la entrada es un nivel alto, el transistor T1 se satura, con lo cual el nivel de la salida será bajo. En este caso se debe señalar que al hacer circular una corriente por la resistencia del drain el circuito disipa una cierta cantidad de energía, misma que se puede reducir al utilizar otro circuito formado por dos transistores uno de tipo P y otro del tipo N.

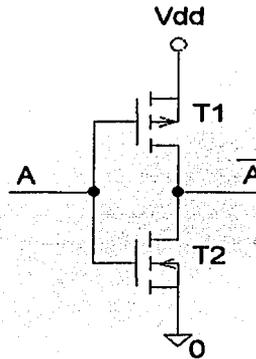


Figura 43: Circuito inversor de 2 transistores.[26]

El circuito de la figura 43 trabaja de la siguiente manera. Cuando tenemos un nivel bajo en la entrada (cero volts) el transistor T1 conduce puesto que es del tipo P y el transistor T2 se apaga, como resultado la salida es Vdd. Sin embargo, cuando el voltaje en la entrada es un nivel alto (Vdd), es ahora el transistor T2 quien conduce y el transistor T1 está apagado por lo que en la salida tendremos un voltaje cercano a GND. Veamos en la figura 44 el comportamiento de este circuito inversor

TESIS CON  
FALLA DE ORIGEN

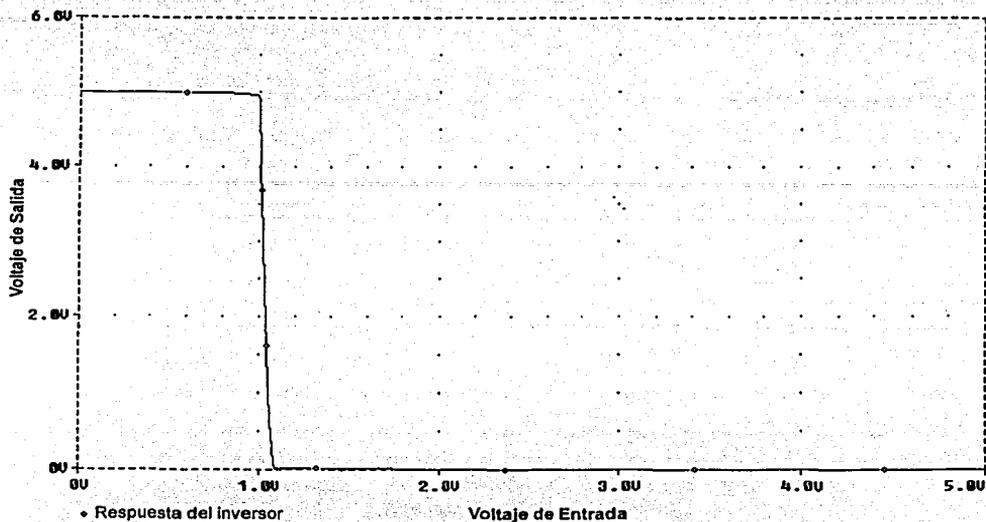


Figura 44: Respuesta del inversor de 2 transistores.

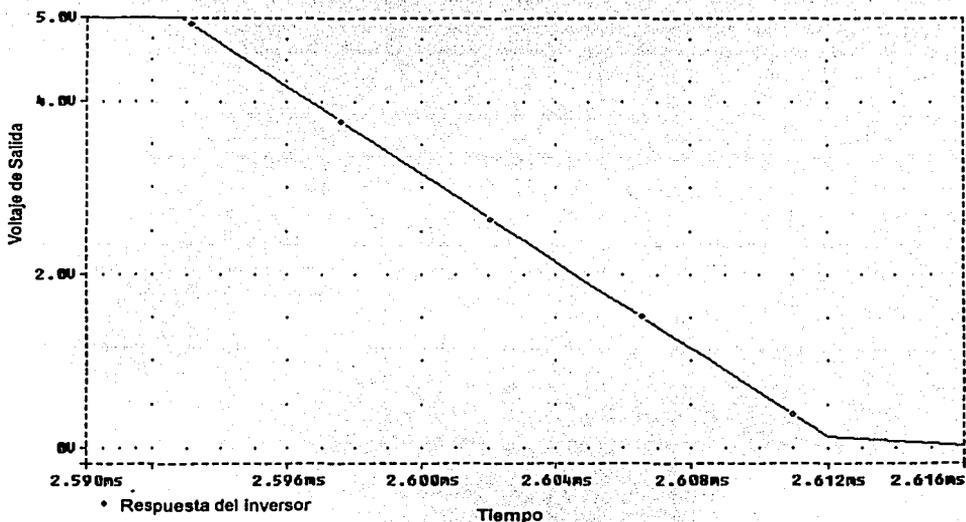


Figura 45: Velocidad de respuesta del inversor propuesto.

Como se puede ver en la figura 45 el tiempo de conmutación de este inversor es de 19.1 microsegundos.

### B) Compuerta NAND

Como vimos en el caso del inversor, la compuerta NAND consta también de dos bloques de transistores uno P y otro N.

TESIS CON  
FALLA DE ORIGEN

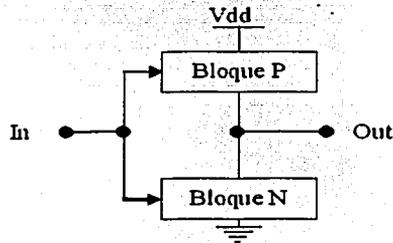


Figura 46: Diagrama de bloques de un circuito combinacional usando transistores del tipo p y del tipo N [26]

Cada bloque opera de manera complementaria así que sólo un bloque conduce a la vez, dependiendo del estado de la señal de entrada. Si el bloque N esta conduciendo la salida deberá ser descargada a tierra, y si el bloque P esta conduciendo, la salida se cargará hacia Vdd. Dado que los voltajes de salida son Vdd y tierra, la inmunidad al ruido es alta y la potencia en 'standby' es cero[26]

En la figura 47 se muestra el circuito de la compuerta NAND.

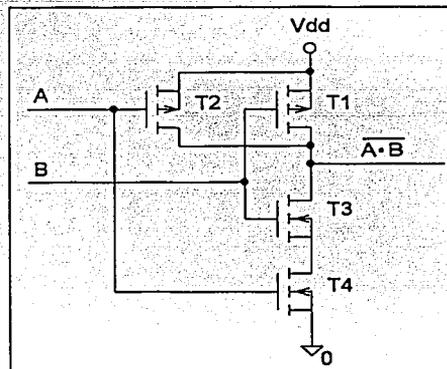


Figura 47: Circuito combinacional de la compuerta NAND.

El circuito trabaja de la siguiente manera. Cuando la entrada A es un nivel bajo el transistor T2 se satura y T4 se corta por lo que la salida es un nivel alto. Cuando la entrada B es un

nivel bajo El transistor T1 se satura y el transistor T3 se corta por lo que el resultado es una salida alta. Cuando ambas entradas son un nivel alto, los transistores T1 y T2 se cortan y los transistores T3 y T4 se saturan, lo que produce nivel bajo en la salida.

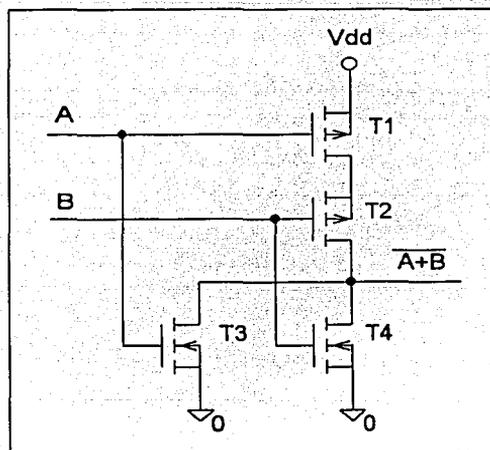
En la tabla 1, se muestra la tabla de verdad de la compuerta NAND.

A	B	$A \cdot B$
0	0	1
0	1	1
1	0	1
1	1	0

Tabla 1: Tabla de verdad de la compuerta NAND

### C) Compuerta NOR

La compuerta NOR propuesta, también consta de dos bloques, uno N y otro P. El circuito asociado a esta compuerta se presenta en la figura 48.



TESIS CON  
FALLA DE ORIGEN

Figura 48: Circuito electrónico de la compuerta NOR.

El circuito de la figura 48 funciona de la siguiente manera. Cuando la entrada A es alta, el transistor T1 se corta y el transistor T3 se satura lo cual por si solo produce una salida con nivel bajo. Algo similar ocurre cuando la entrada B presenta un nivel alto, sólo que en este caso quien se corta es el transistor T2 y el transistor T4 se satura con lo que la salida será baja. Cuando ambas entradas A y B son bajas, los transistores T1 y T2 se saturan y los transistores T3 y T4 se cortan con lo cual se produce un nivel alto en la salida. En la tabla 2 se muestra la tabla de verdad de esta compuerta.

A	B	A+B
0	0	1
0	1	0
1	0	0
1	1	0

Tabla 2: Tabla de verdad de la compuerta NOR

#### D) Flip flop RS

El flip flop es un circuito secuencial asíncrono que mantiene su salida sin cambio, en tanto no se presente una entrada capaz de modificar su estado. Es decir, no basta con que haya una variación en los valores de la entrada para que cambie la salida. Es quizá esta característica de almacenar un valor binario la que los convierte en elementos de memoria.

En la figura 49 se presenta el diagrama lógico de el flip flop RS, debemos recordar que la salida de las compuertas NOR son 1, sólo cuando sus entradas son 0.

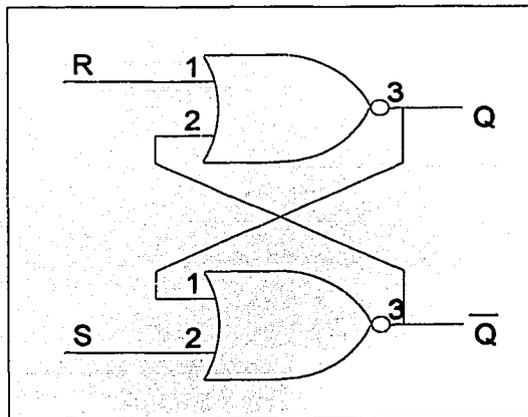


Figura: 49 Diagrama lógico del flip flop RS. [27]

En general los flip flops tienen dos salidas  $Q$  y  $Q'$ , y sus estados correspondientes están determinados por la secuencia en que se presentan los valores de entrada. En el caso del flip flop RS, el cual toma su nombre de las iniciales de sus entradas Reset y Set, cuando la entrada set es 1 y reset es 0 la salida  $Q$  es 1. Cuando la entrada set regresa a 0 la salida se mantiene sin cambio. Si ahora la entrada reset es 1 la salida  $Q$  cambia a 0. Cuando la entrada reset regresa a 0 la salida  $Q$  permanece en 0.

Es importante señalar que se considera una entrada no válida el que las entradas set y reset ambas sean 1, esto se debe a que cuando las dos entradas son un nivel alto, se produce una salida  $Q = Q' = 0$ , lo cual no tiene sentido ya que por definición  $Q$  y  $Q'$  deben de ser una el inverso de la otra.

En la tabla 3 se muestra con mayor claridad el comportamiento de ambas salidas dependiendo de su entrada.

S	R	Q	Q'	
1	0	1	0	
0	0	1	0	Después que S=1, R=0
0	1	0	1	
0	0	0	1	Después que S=0, R=1
1	1	0	0	

Tabla 3: Tabla de verdad del flip flop RS.

En la figura 49 se presenta el circuito con transistores correspondiente al flip flop RS.

TESIS CON  
FALLA DE ORIGEN

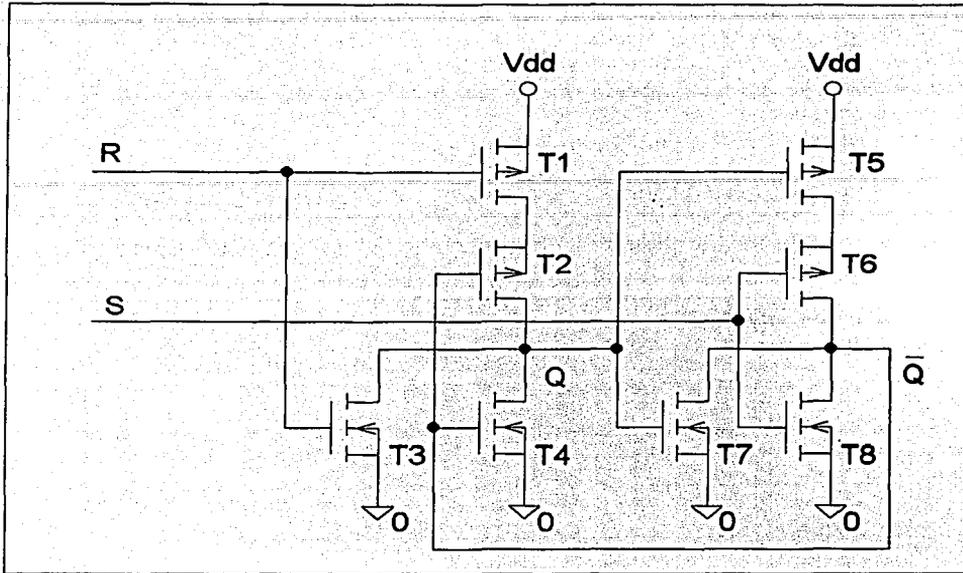


Figura 50: Circuito del flip flop RS.

### E) Comparador de voltaje

Un comparador de voltaje es un circuito electrónico que consta de dos entradas, una llamada voltaje de referencia y otra que es la señal a comparar o  $V_{in}$ . La salida o respuesta del circuito, depende de la magnitud, en cada instante, del voltaje de entrada y el voltaje de referencia, de tal suerte que cuando el voltaje de entrada es menor que la referencia, la salida será un nivel bajo. Sin embargo, cuando el voltaje de entrada es mayor que el voltaje de referencia, la salida tendrá un nivel alto.

Para realizar un comparador de voltaje se puede aprovechar la característica del OTA de que la corriente de salida es función de la diferencia de sus voltajes de entrada. Recordemos que cuando la magnitud del voltaje aplicado a la entrada  $V_{in+}$  es mayor que el voltaje en  $V_{in-}$  tendremos una corriente que emana del OTA, misma que al circular por una resistencia, generará un voltaje positivo. Por el contrario, cuando el voltaje en la entrada  $V_{in+}$  es menor que el voltaje de referencia  $V_{in-}$  lo que tenemos en la salida es una corriente que entra al OTA lo que significará que el voltaje será negativo.

Como es sabido, la respuesta del OTA tiene la forma de una sigmoide; Sin embargo, lo que se espera de un comparador es una señal escalón. Para adecuar la señal se pueden utilizar un par de inversores en cascada. En la figura 51 se muestra este sencillo comparador.

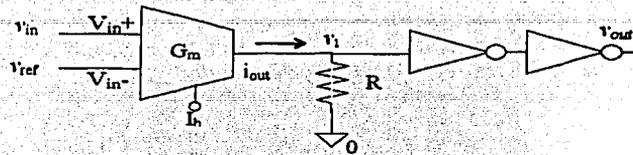


Figura 51: Comparador sencillo utilizando un OTA.

Consideramos importante recordar que al utilizar transistores MOSFETs en la implantación del par diferencial del OTA, estos se saturan más fácilmente que los FETs, lo que se ve reflejado en que la pendiente de la sigmoide sea mayor. Esta característica los hace candidatos ideales para ser utilizados en el diseño de nuestro comparador.

Un punto a tomar en cuenta en el diseño del comparador es que en la resistencia de salida del OTA tenemos un voltaje positivo cuando el voltaje entrada es mayor que el voltaje de referencia y que es negativo en el caso de que sea menor. Cuando el circuito inversor esta polarizado con 5 volts y tierra, el umbral para que cambie de nivel está alrededor de 1 volt, por ello, para tratar de bajar el umbral a cero volts, se propone que el primer inversor se polarice con  $\pm 5$  volts en lugar de +5 volts y tierra como en el caso del segundo inversor.

No obstante este ajuste en la polarización del primer inversor, el umbral de disparo se encuentra alrededor de los 135 mV. Esta diferencia se puede corregir colocando una fuente de corriente que suministre una corriente de tal magnitud, que sea capaz de producir un voltaje de 135 volts en la resistencia de salida, cuando la corriente en el OTA sea igual a cero. De esta manera, cuando el voltaje de entrada sea mayor que el voltaje de referencia, en la salida habrá una corriente que sumada a la de la fuente de corriente producirá en el inversor un cambio del nivel bajo al alto (dada la polarización de  $\pm 5$  volts la transición será de  $-5$  a  $+5$  volts).

En la figura 52 se muestra el comparador sencillo de un OTA con esta fuente de corriente.

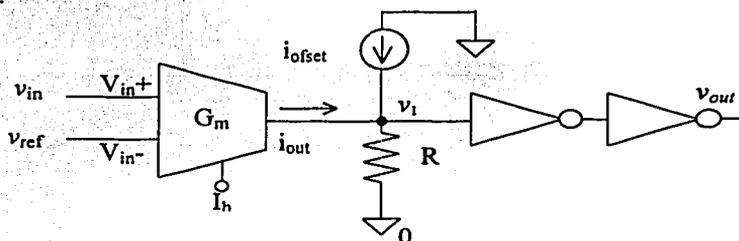


Figura 52: Comparador sencillo con fuente de corriente para corregir el umbral de disparo.

A pesar del uso de transistores MOSFET, cuando los valores del voltaje de referencia y el voltaje de entrada están muy cerca el uno del otro, la respuesta de nuestro comparador es

poco sensible a pequeñas variaciones, ello nos conduce a agregar un segundo OTA, conectado a la salida del primero, para así mejorar el desempeño del comparador. En la figura 53 se muestra el diagrama del nuevo comparador.

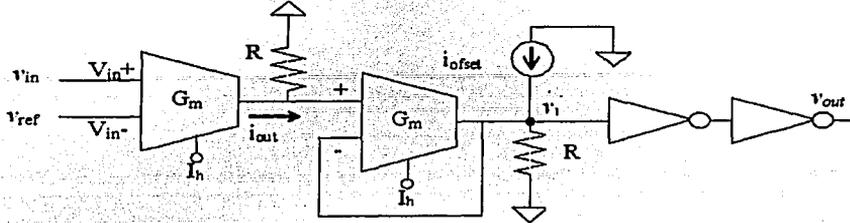


Figura 53: Diagrama esquemático de un comparador utilizando 2 OTAs

El la figura 54 se muestra la respuesta del circuito comparador cuando se emplean 1 y 2 circuitos OTA en su implantación.

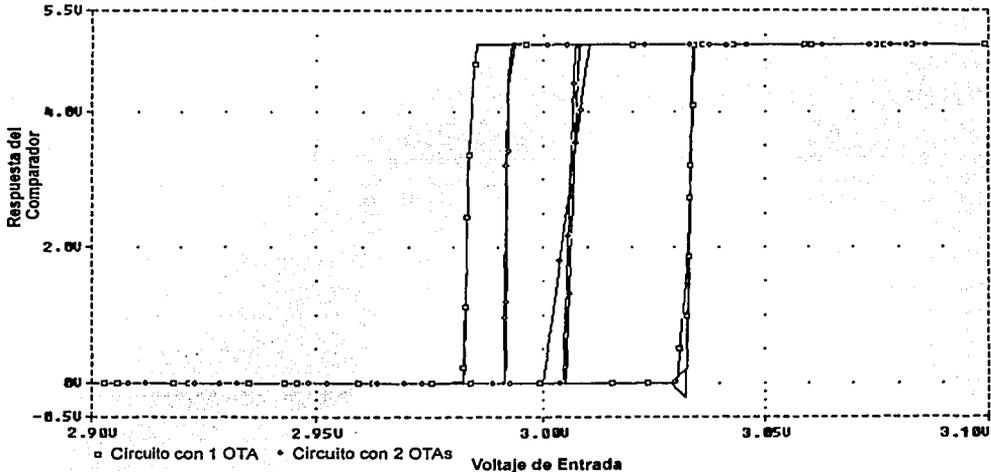


Figura 54: Respuesta de un comparador que utiliza 1 OTA y otro que emplea 2, cuando se tiene un voltaje de referencia de 3 volts.

Como se puede apreciar en la figura 54 al añadir un segundo circuito OTA el error en la respuesta del comparador disminuye. En la figura 55 se presenta el diagrama electrónico del circuito comparador propuesto el cual se implementa con dos OTAs.

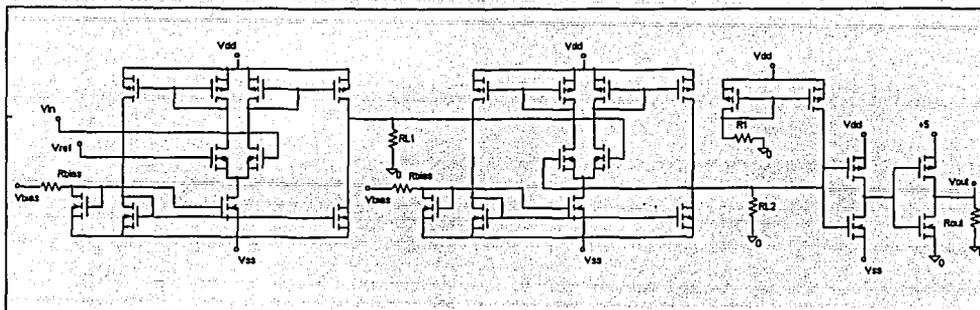


Figura 55: Diagrama del comparador de voltaje utilizando transistores MOSFET.

### F) Circuitos RC

Uno de los circuitos más estudiados en ingeniería es el circuito formado por una fuente de voltaje, una resistencia y un capacitor conectados en serie, este circuito también llamado RC, es de nuestro interés porque será utilizado más adelante cuando examinemos el circuito monostable.

En la figura 56 se muestra el circuito RC.

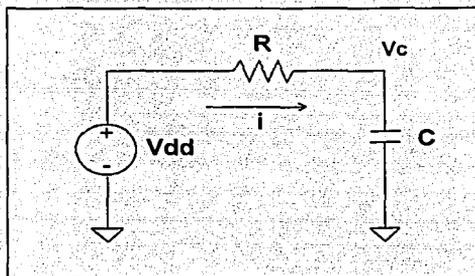


Figura 56: circuito RC simple.

En el circuito de la figura 56 si consideramos que la fuente de voltaje V1 nos proporciona un pulso cuadrado de amplitud Vdd, podemos decir que:

$$V_{dd} - V_R - V_C = 0 \quad (76)$$

Sabemos también que el voltaje en la resistencia esta definido por:

$$V_R = R i \quad (77)$$

Dado que es la misma corriente que circula por la resistencia la que circula por el capacitor tenemos que:

$$i_C = i_R \quad (78)$$

También conocemos que la corriente que circula en un capacitor esta definida por:

$$i_c = C \frac{dV_C}{dt} \quad (79)$$

Sustituyendo la ecuación 79 en 78 y esta en 77, tenemos:

$$V_R = RC \frac{dV_C}{dt} \quad (80)$$

Si ahora sustituimos 80 en 76

$$V_{dd} - RC \frac{dV_C}{dt} - V_C = 0 \quad (81)$$

$$\frac{dV_C}{dt} + \frac{1}{RC} V_C - \frac{V_{dd}}{RC} = 0 \quad (82)$$

Resolviendo la ecuación diferencial 82 bajo la condición inicial de que  $V_C(0)=0$  obtenemos:

$$V_C = V_{dd} \left( 1 - e^{-\frac{t}{RC}} \right) \quad (83)$$

Otra variante del circuito RC es la que se presenta en la figura 57

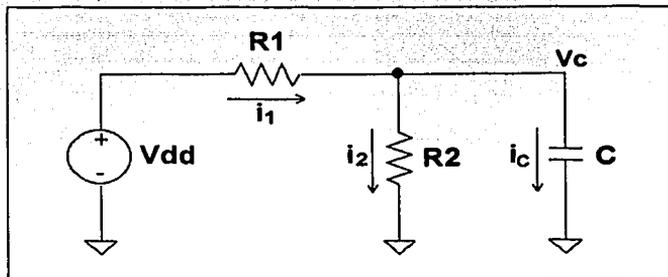


Figura 57: Circuito RC con una resistencia en paralelo al capacitor

A partir de la figura 57 podemos decir que:

$$V_{dd} - V_{R1} - V_C = 0 \quad (84)$$

TESIS CON  
FALLA DE ORIGEN

El voltaje en la resistencia R1 esta dado por:

$$V_{R1} = R_1 i_1 \quad (85)$$

La corriente en el nodo Vc es:

$$i_1 = i_c + i_2 \quad (86)$$

La corriente  $i_2$  esta definida por:

$$i_2 = \frac{V_c}{R_2} \quad (87)$$

A su vez la corriente en el capacitor es:

$$i_c = C \frac{dV_c}{dt} \quad (88)$$

Sustituyendo las ecuaciones 88 y 87 en 86 tenemos:

$$i_1 = C \frac{dV_c}{dt} + \frac{V_c}{R_2} \quad (89)$$

Sustituyendo en 89 en 85 resulta:

$$V_{R1} = R_1 C \frac{dV_c}{dt} + \frac{R_1}{R_2} V_c \quad (90)$$

Si ahora sustituimos 90 en 84 obtenemos:

$$V_{dd} - R_1 C \frac{dV_c}{dt} - \frac{R_1}{R_2} V_c - V_c = 0 \quad (91)$$

$$- R_1 C \frac{dV_c}{dt} - \left( \frac{R_1}{R_2} + 1 \right) V_c + V_{dd} = 0 \quad (92)$$

$$\frac{dV_c}{dt} + \frac{1}{C} \left( \frac{R_1 + R_2}{R_1 R_2} \right) V_c - \frac{1}{R_1 C} V_{dd} = 0 \quad (93)$$

Resolviendo la ecuación diferencial 93 con la condición inicial de que  $V_c(0)=0$ , llegamos a:

$$V_c = \frac{R_2}{R_1 + R_2} V_{dd} \left( 1 + e^{\left( -\frac{R_1 + R_2}{R_1 R_2} \frac{1}{C} t \right)} \left( -\frac{R_1}{R_1 + R_2} - \frac{R_2}{R_1 + R_2} \right) \right) \quad (94)$$

TESTIS CON  
FALLA DE ORIGEN

$$V_C = \frac{R_2}{R_1 + R_2} V_{dd} \left( 1 - e^{-\left( \frac{1}{(R_1 \parallel R_2) C} \right)} \right) \quad (95)$$

### G) Monostable

Un circuito monostable es aquel circuito que cuando su entrada es excitada o perturbada con un pulso o nivel de voltaje, que supera un umbral interno para ser considerado como nivel alto, sin importar la duración de dicha entrada, el monostable responde con un pulso cuadrado de duración constante  $\tau$ .

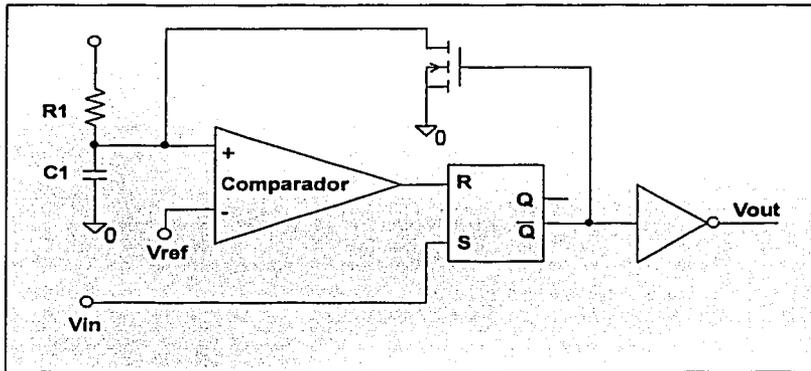


Figura 58: Diagrama de bloques de un circuito monostable.

En la figura 58 se presenta un diagrama que describe la configuración de un circuito monostable. A continuación se describe la manera en que trabaja este circuito.

Partimos de la condición inicial de que la entrada  $V_{in}$  y la salida  $V_{out}$  están en nivel bajo. Ello implica que el transistor de descarga está saturado y el capacitor  $C1$  está descargado.

Cuando llega un pulso que es considerado alto por la entrada Set (S) del flip flop, El estado del flip flop cambiará dado que en la entrada se tiene  $R=0$  y  $S=1$ , y si recordamos la tabla de verdad del flip flop RS veremos que cuando esto sucede en la salida  $Q=1$  y  $Q'=0$ . Ahora bien, dado que  $Q'$  está conectada al gate del transistor de descarga, el transistor se cortará permitiendo que el capacitor  $C1$  comience a cargarse.

La velocidad con la que el transistor se carga es función de la capacitancia  $C1$  y de la resistencia  $R1$ . Cuando el voltaje en el capacitor es mayor que el voltaje de referencia  $V_{ref}$ , el comparador se disparará presentando un nivel alto en la entrada R del flip flop. Si consideramos que para este momento la entrada S del flip flop ha regresado a cero, tenemos que  $R=1$  y  $S=0$ , lo que implica que  $Q$  regresará a cero,  $Q'=1$  y  $V_{out}=1$ . Esto significa que en el gate del transistor habrá un nivel alto y por lo tanto conducirá. En consecuencia, el capacitor  $C1$  se descargará, de tal forma que cuando el voltaje en  $C1$  sea menor que  $V_{ref}$ , el

comparador regresará a un nivel bajo lo cual no cambio alguno en el Flip flop, y de esta manera regresamos al estado en que iniciamos este análisis.

En este análisis se puede ver, que es necesario que la señal de entrada al circuito monostable sea un pulso delgado, de duración menor a el tiempo de carga del capacitor C1, es por ello que añadimos en la entrada del monostable, un circuito capaz de producir un pulso muy delgado cuando es excitado con un pulso de duración incluso mayor que la del tiempo de carga de C1. Este circuito se muestra en la figura 59.

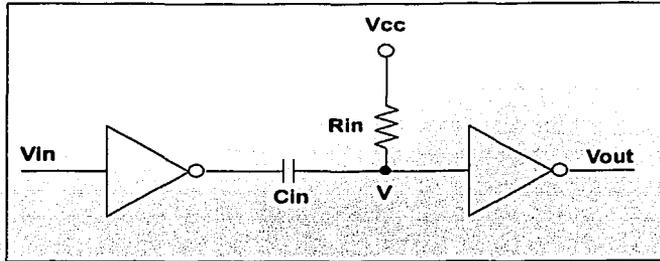


Figura 59: Módulo de entrada para el circuito monostable.

En la figura 60 se muestra el comportamiento del circuito anterior, cuando  $C_{in}=0.001\mu F$ ,  $R_{in}=33\text{ k}\Omega$ ,  $V_{cc}=5V$ , y en la salida colocamos una carga resistiva de  $1\text{ k}\Omega$ .

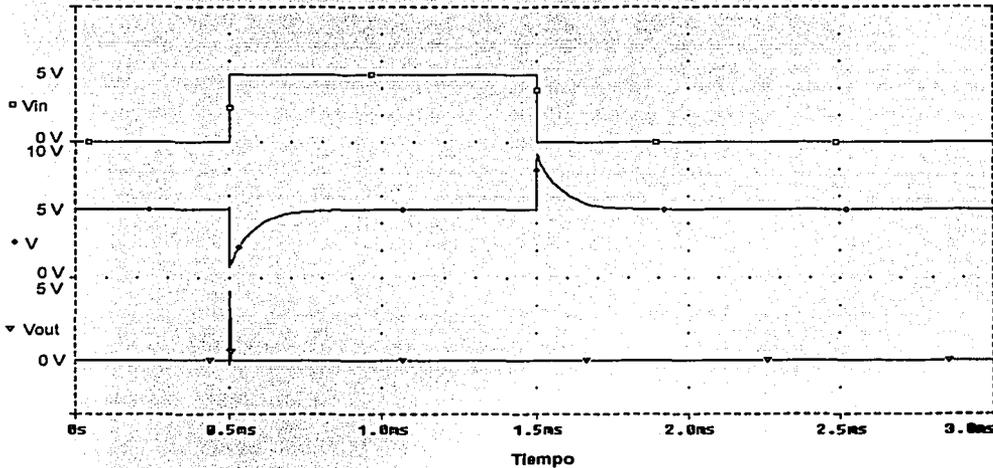


Figura 60: Comportamiento del módulo de entrada al monostable cuando es excitado con un pulso cuadrado.

En la figura 60 se puede ver que cuando el circuito es excitado con un pulso cuadrado de 1 milisegundo ( $V_{in}$ ), se obtiene en la salida ( $V_{out}$ ) una espiga de menos de 5 microsegundos. Esto se debe a que cuando se presenta el pulso de entrada, la salida del primer inversor cambia de un nivel alto a uno bajo, el capacitor  $C_{in}$ , comienza a cargarse. Sin embargo, mientras el capacitor llega a un voltaje que sea considerado por el segundo inversor como un nivel alto, en la salida  $V_{out}$  se tendrá un nivel alto. Tan pronto como  $C_{in}$  alcanza un valor considerado como alto, el segundo inversor regresa a un nivel bajo.

Cuando el pulso de entrada baja, el primer inversor cambia a un nivel alto, provocando que el voltaje en el nodo  $V$  sea de casi dos veces  $V_{cc}$ , esto es el valor del nivel alto, más el voltaje en el capacitor  $C_{in}$  que para ese entonces es casi  $V_{cc}$ . No obstante este aumento por arriba de  $V_{cc}$  en el nodo  $V$ , la salida  $V_{out}$  permanece sin cambios ya que el segundo inversor considerará como nivel alto todo valor mayor de  $1.1 V$ .

En la figura 61 se muestra el circuito monostable propuesto incluyendo su modulo de entrada, implementado con transistores MOSFET.

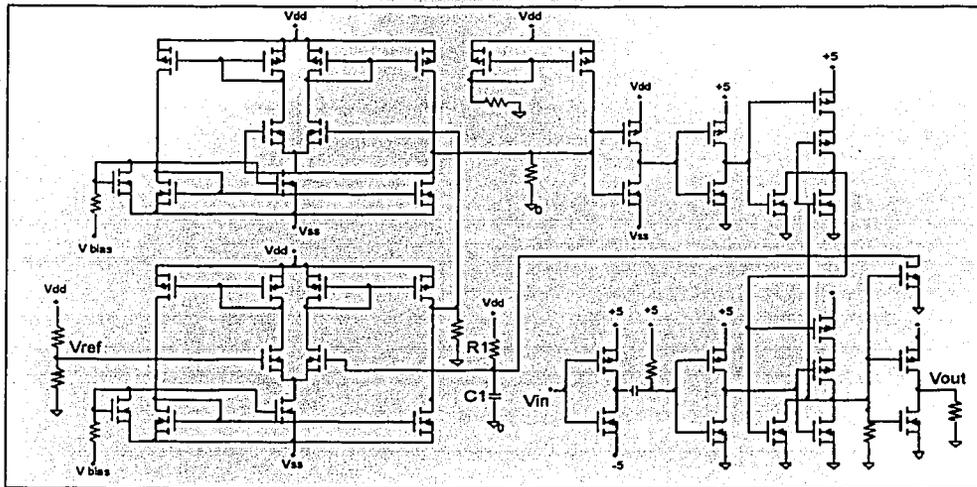


Figura 61: Diagrama del circuito monostable usando MOSFETs.

TESIS CON  
FALLA DE ORIGEN

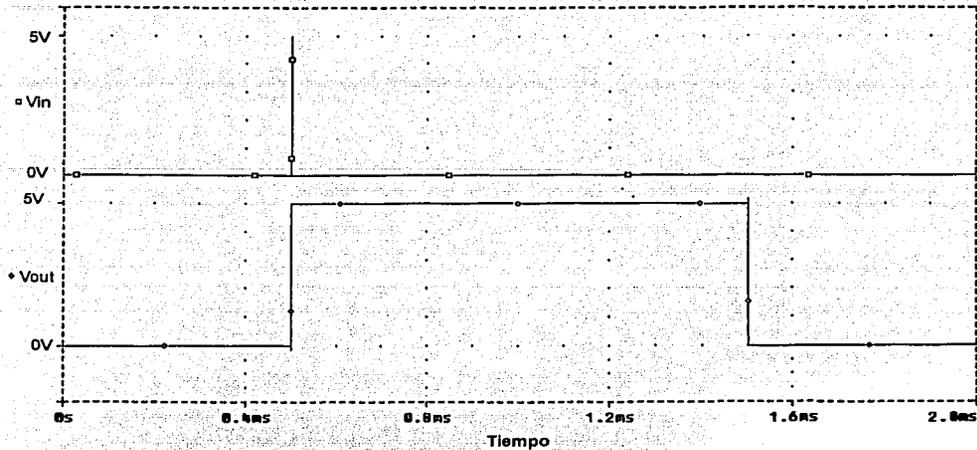


Figura 62: Respuesta del circuito monostable cuando es excitado con un pulso de 500 nanosegundos.

En la figura 62 se puede ver que cuando el circuito monostable es perturbado con un pulso en este caso de 500 nanosegundos, el circuito responderá con un pulso de 1 milisegundo, inmediatamente después de que se detecto el cambio de un nivel bajo a uno alto.

### H) Reloj 3 fases

El reloj de 3 fases es un circuito que utiliza 3 monostables, los cuales están conectados de tal manera que la salida del primer monostable sirve también de entrada para el segundo, esto es cuando se presenta el flanco de bajada del monostable el segundo se dispara. De manera similar, la salida del segundo es la entrada del tercero.

En la figura 63 se muestra el diagrama de bloques de este circuito.

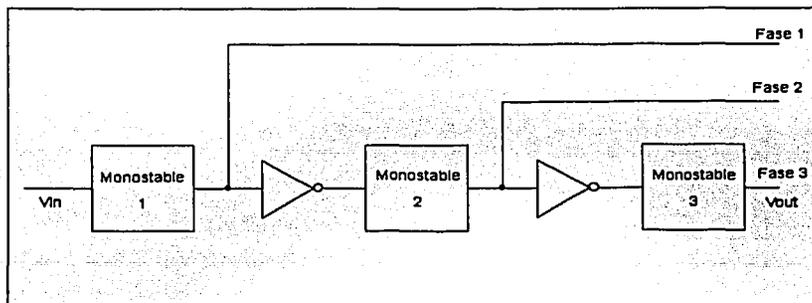


Figura 63: Diagrama de bloques del reloj de 3 fases.

En la figura 64 se muestra el comportamiento de este reloj, cuando los circuitos monostables se ajustan para producir un pulso de 1/3 de milisegundo.

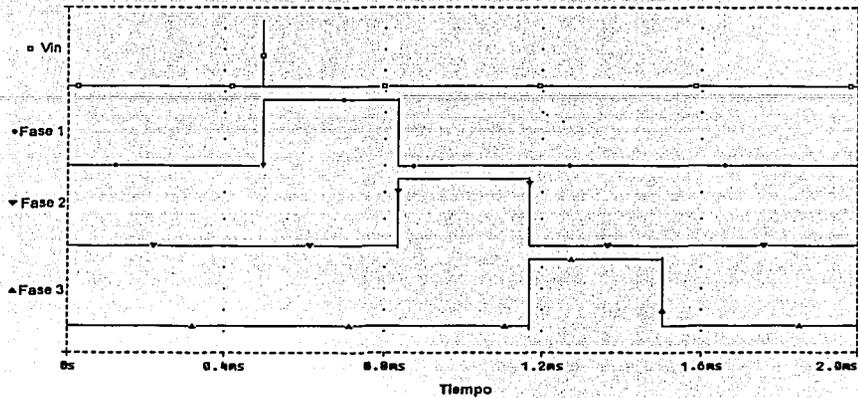


Figura 64: Respuesta del reloj de 3 fases

### I) Detector de flanco de bajada

El circuito detector de un flanco de bajada es un circuito que producirá un pulso cada vez que detecte un cambio de nivel alto a bajo en su entrada.

Para producir esta respuesta se propone utilizar el circuito que se muestra en la figura 65.

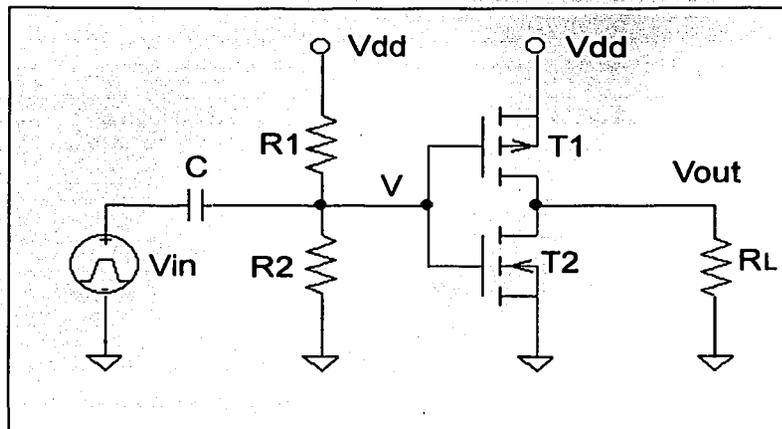


Figura 65: Productor de un pulso cuando se presenta un flanco de bajada

El circuito de la figura 65 trabaja de la siguiente manera, cuando la entrada es un nivel bajo, el nodo V tiene un voltaje equivalente a:

$$V = \frac{R_1}{R_1 + R_2} V_{dd} \quad (96)$$

Si consideramos que  $V_{dd}=5$  V,  $R_1=10k$ ,  $R_2=20k$ , y  $C=10$  nF, entonces decimos que  $V=3.3$  Volts, voltaje que es considerado como un nivel alto por el inversor formado por los transistores T1 y T2, lo cual implica que la salida  $V_{out}$  será un nivel bajo.

Cuando se presenta un pulso,  $V_{in}$  cambia a un nivel alto (5 V), este cambio provoca que el potencial en V se incremente hasta 8.3 V, dado que el capacitor C tenía en sus terminales un potencial de 3.3 V. Este voltaje disminuirá de forma exponencial, hasta alcanzar nuevamente el nivel de 3.3 V. En consecuencia la salida  $V_{out}$  se mantendrá sin cambio, ya que si bien el cierto que el voltaje en V sufrió variaciones, este nunca disminuyó por debajo de 1 volt como para producir un cambio en la salida.

Por último, cuando el voltaje de entrada regresa a un nivel bajo, el potencial en V cambia a casi -1.7 V, valor que inmediatamente es visto por el inversor como un nivel bajo y produce un cambio en la salida  $V_{out}$  a un nivel alto. Sin embargo, el capacitor C se comenzará a cargar hasta alcanzar nuevamente un nivel de 3.3 V. En este transcurso, el potencial en V alcanzará un nivel superior a 1 volt y el inversor formado por los transistores T1 y T2, conmutará nuevamente la salida  $V_{out}$  a un nivel bajo. En la figura 66 se puede apreciar el comportamiento del circuito.

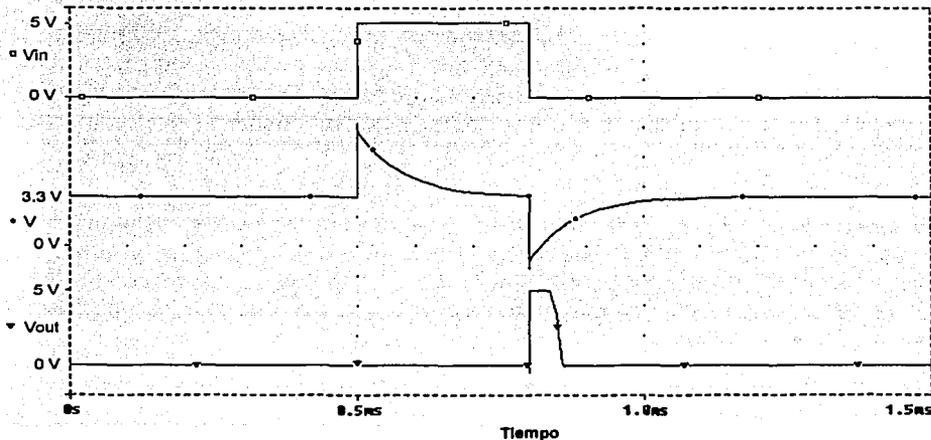


Figura 66: Respuesta del circuito que produce un pulso ante un flanco de bajada.

En la figura 66 se puede apreciar que cuando se presenta un flanco de bajada, el circuito produce un pulso de aproximadamente 850 microsegundos.

### J) Circuito Secuencial

En este punto lo que se desea diseñar, es un circuito que tenga la capacidad de producir un pulso de salida a partir de dos pulsos de entrada los cuales indicarán el inicio y el final del pulso de salida. En la figura 67 se ilustra el funcionamiento esperado por este circuito.

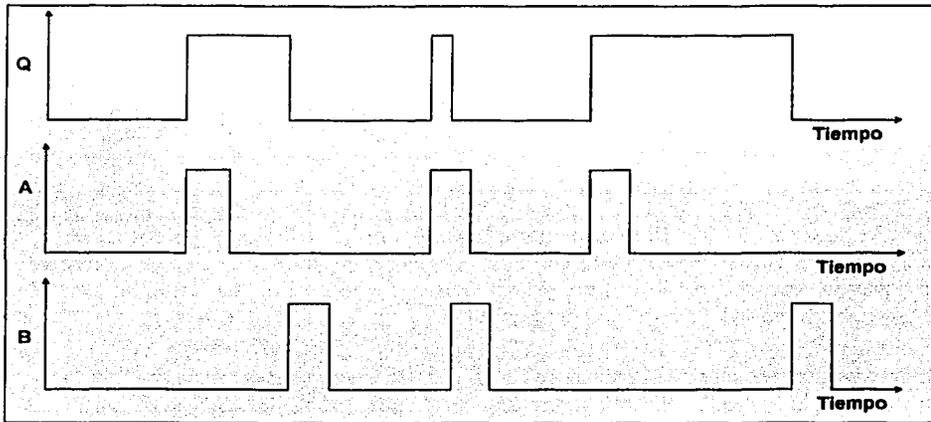


Figura 67: Comportamiento esperado del circuito secuencial.

Debemos recordar que debido a que se trata de un circuito secuencial, el valor de la salida, depende tanto de las entradas como del valor presente en la salida. Por tal motivo nos referiremos a  $Q_t$  como la salida actual o salida presente, y a  $Q_{t+1}$ , como el valor que tomará, o valor futuro de la salida[27]. A continuación describiremos cual es el comportamiento de este circuito secuencial.

En la figura 68 se puede ver que cuando las entradas A y B así como la salida tienen un nivel bajo, no se espera que el valor de la salida cambie. Ahora bien cuando en la entrada A se produce un cambio de bajo, se espera que en el siguiente instante la salida cambie a un nivel alto. La salida permanecerá en nivel alto, hasta que llegue un pulso a la entrada B. Cuando esto ocurre la salida conmutará a nivel bajo, en espera de que en la entrada A se presente un nuevo pulso.

En la tabla 4, se muestra el valor que tomará la salida  $Q_{t+1}$  ante la presencia de cada uno de los 8 posibles valores que de las entradas A y B y la salida  $Q_t$ .

TESE NON  
FALLA DE ORCEN

A	B	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Tabla 4: Tabla de estados del circuito secuencial

Con la tabla 4 construimos el mapa de Karnaugh de la figura 68.

$Q_t \backslash AB$	00	01	11	10
0	0	0	0	1
1	1	0	0	1

Figura 68: Mapa de Karnaugh.

Del mapa de Karnaugh de la figura 68 se puede deducir que la función que relaciona las entradas y el estado presente con la salida  $Q_{t+1}$  es:

$$Q_{t+1} = A\bar{B} + \bar{B}Q_t \quad (97)$$

En la figura 69 se presenta la implantación de esta función usando compuertas lógicas.

TESIS CON  
FALLA DE ORIGEN

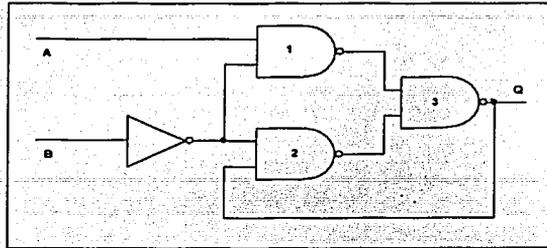


Figura 69: Diagrama lógico del circuito secuencial propuesto.

El diagrama de la figura 70 satisface sin ninguna duda la función expresada por la ecuación 97. Sin embargo, en este circuito, no tenemos control sobre las condiciones iniciales del mismo, lo cual nos genera incertidumbre sobre si la respuesta del primer pulso es en realidad un pulso que deseamos producir o si se trata del ajuste del circuito a las condiciones iniciales. Por esta razón debemos de complementar el circuito de la figura 70 con otro que nos permita controlar las condiciones iniciales y en consecuencia tener certeza, en todo momento, respecto de la salida.

Para poder ajustar las condiciones iniciales, se requiere que la entrada de la NAND número 2, que está conectada con la salida Q, inicialmente tenga un nivel bajo y posteriormente se ajuste al valor de la salida Q. Para ello se propone añadir una compuerta AND, donde una estará conectada con la señal de salida Q y la otra está conectada a un circuito RC el cual inicialmente tendrá un valor bajo y posteriormente cuando el capacitor se cargue cambiara a un nivel alto, de esta forma el valor de la salida Q se refleja en la entrada de la NAND 2. En la figura 70 se muestra el nuevo circuito

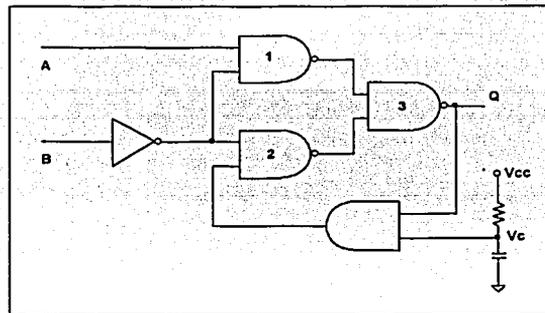


Figura 70: Diagrama lógico del circuito secuencial fijando condiciones iniciales.

En la práctica, para implementar estas modificaciones, se emplearán dos inversores conectados en serie para conectar el capacitor con la compuerta AND. Así mismo, esta compuerta será implementada usando una NAND seguida de un inversor.

En la figura 71 se muestra el diagrama de esta etapa del circuito secuencial utilizando transistores MOSFET.

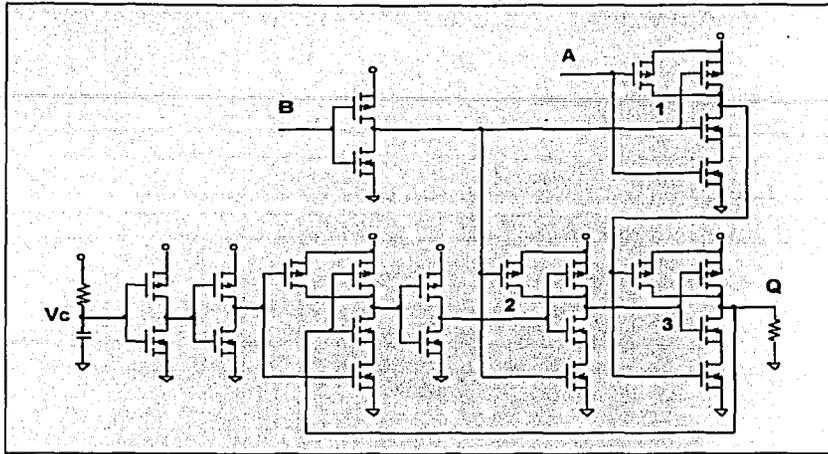


Figura 71: Diagrama con transistores del circuito secuencial propuesto.

TESIS CON  
FALLA DE ORIGEN

#### 4. Circuito de retardo propuesto

Una vez que se han revisado la mayoría de los circuitos que se utilizarán en el diseño de nuestro circuito de retardo, estamos en condiciones de describir el funcionamiento del circuito que proponemos.

No sobra recordar, que el objetivo de nuestro circuito es el retardar una señal binaria asíncrona, por lo que se propone aprovechar la característica de los circuitos monostables de que al presentarse un cambio de nivel bajo a alto, generan un pulso de una duración constante  $\tau$ .

De esta forma, si nosotros contamos con dos grupos de  $N$  monostables conectados en serie con la misma constante de tiempo  $\tau$ , y los conectamos a la señal de entrada de tal suerte que el primer monostable de un grupo dispare cuando la señal conmuta de bajo a alto mientras que en el otro grupo esto ocurra cuando la señal cambia de alto a bajo, lo que tendremos en la salida de los monostables, serán dos pulsos desfasados un tiempo  $t$  igual al ancho del pulso de entrada.

Ahora bien, si conectamos a la salida del cada grupo de monostables un circuito detector de flancos de bajada, y posteriormente el circuito secuencial descrito en la sección anterior, estaremos en posibilidad de construir un pulso de duración  $t$  a partir de los pulsos

provenientes de los monostables. De esta forma el resultado será un pulso de duración  $t$ , desfasado  $N$  veces  $\tau$  respecto del pulso de entrada, lo que significa que hemos conseguido nuestro objetivo, esto es retardar el pulso inicial sin modificar sus características. En la figura 72 se muestra el diagrama esquemático de este circuito.

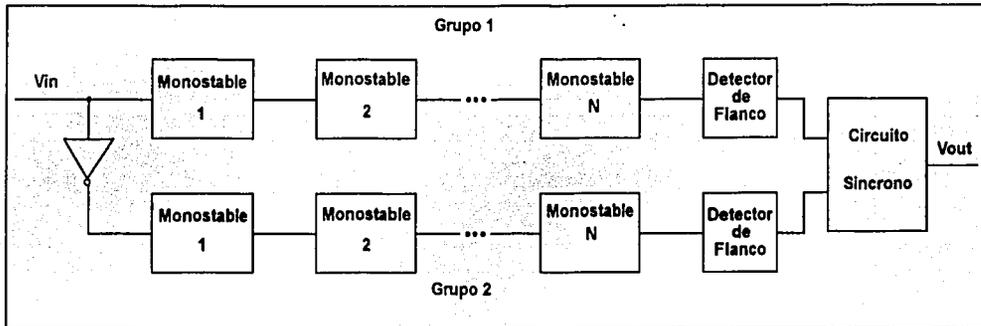


Figura 72: Diagrama de bloques del circuito de retardo utilizando  $N$  monostables.

En la práctica consideraremos  $N=3$ , y  $\tau=1/3$  milisegundo de tal suerte que el pulso de salida estará desfasado 1 milisegundo del pulso de entrada. El diagrama de bloques de este circuito se ve de la siguiente forma:

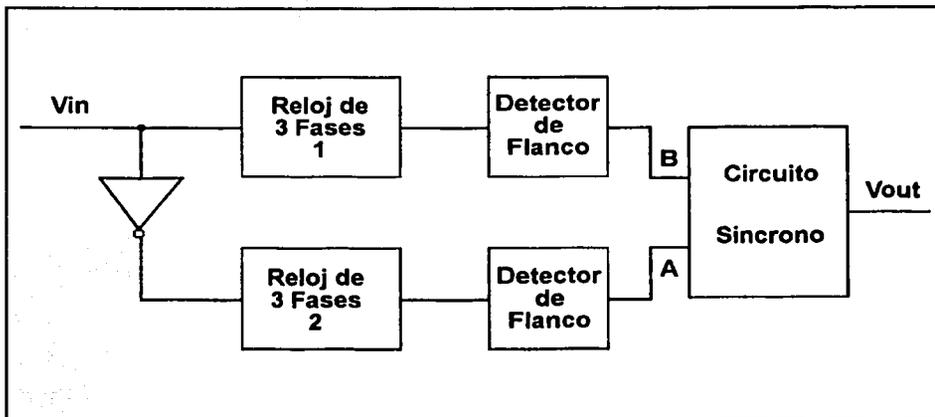


Figura 73: Diagrama de bloques del circuito de retardo propuesto.

En la figura 74 se muestra el diagrama del circuito de retardo completo, utilizando transistores.

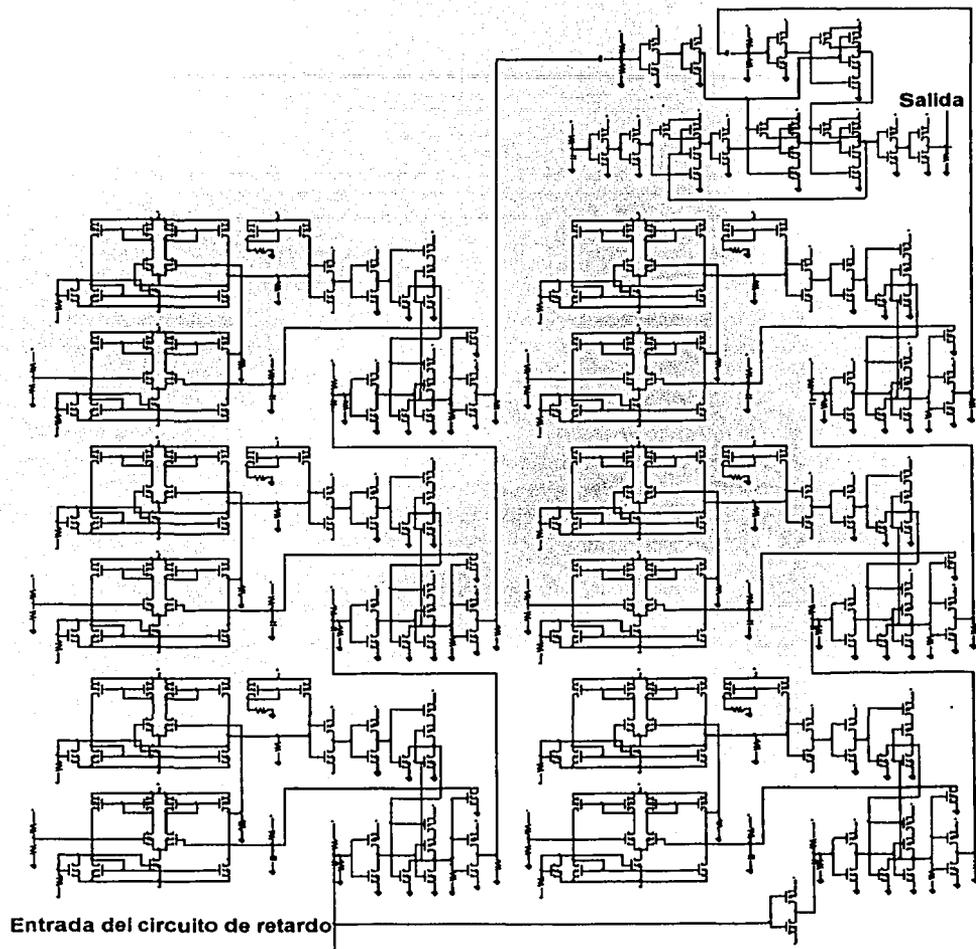


Figura 74: Circuito de retardo propuesto usando transistores

En la figura 75 se muestra el comportamiento del circuito de retardo. Se puede apreciar que la salida  $V_{out}$  está retardada 1 milisegundo respecto de  $V_{in}$ .

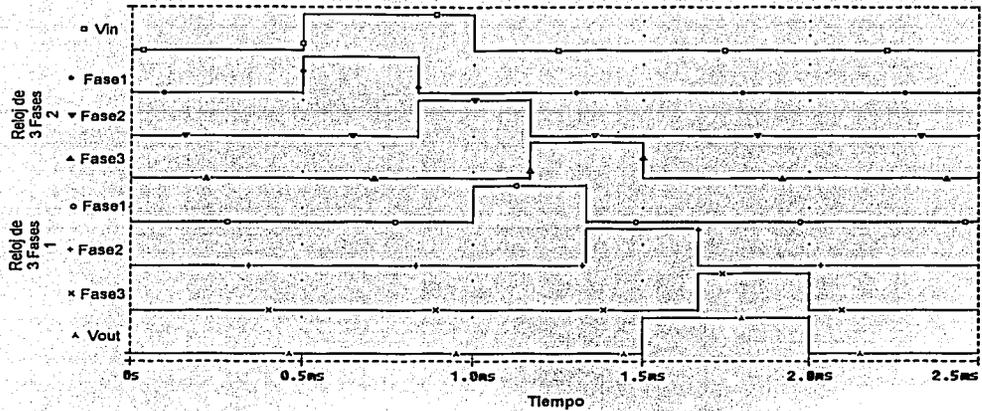


Figura 75: Respuesta del circuito de retardo.

Con este circuito se pueden realizar retardos de 40 microsegundos en adelante, donde el tiempo máximo de retardo dependerá específicamente de la aplicación, debido a que cuando el circuito responde, ignora aquellos cambios que se presentan en un intervalo equivalente a un tercio del retardo total.

TESIS CON  
FALLA DE ORIGEN

## **Capitulo Quinto**

### **Implantación de la neurona con retardo**

Después de haber desarrollado los diferentes circuitos elementales que conforman nuestra neurona, describiremos la forma en la que ellos se integran al diseño de la neurona que estamos trabajando para formar el circuito completo de la neurona, para ello se mostrará la implantación de las dos operaciones que realiza la neurona.

#### ***1. Implantación de la operación de confluencia***

Como mencionamos en el capítulo 3 la operación de confluencia, consta de tres etapas, una etapa sináptica, otra etapa somática y por último una de umbral, por ello a continuación se describe la manera de implantar cada etapa.

#### **A) Implantación de la etapa sináptica**

Para implementar esta etapa de manera electrónica se usaran varios amplificadores operacionales de transconductancia conectados en configuración de multiplicadores por una constante seguidos de un sumador.

Dado que la neurona que se propone sólo cuenta con dos entradas, una excitadora y otra inhibitoria, en esta etapa se emplearán tres amplificadores de transconductancia, dos conectados en configuración de multiplicadores por una constante seguidos de otro en el que se realizara la resta de estas señales.

En la figura 76 se puede ver el diagrama electrónico de esta etapa.

TESIS CON  
FALLA DE ORIGEN

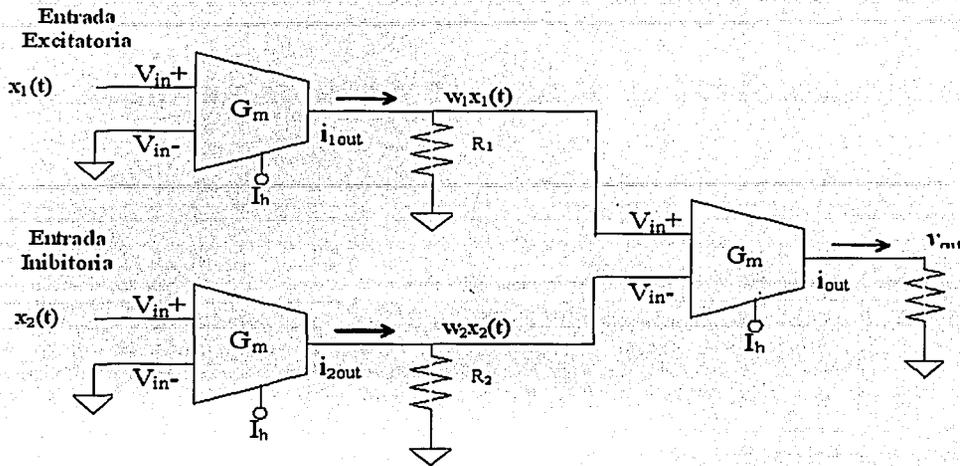


Figura 76: Diagrama electrónico de la etapa de ponderación.

## B) Implantación de la etapa de agregación

En el caso particular de la neurona que se presenta, esta etapa consta de un integrador, que produce la integración en el tiempo de la señal de entrada.

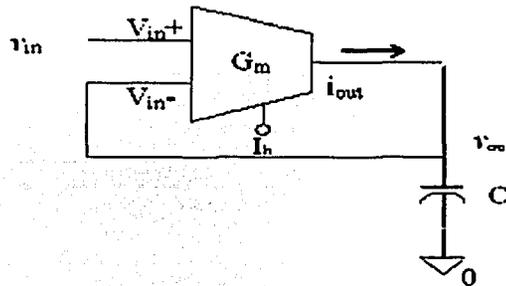


Figura 77: Diagrama electrónico de la etapa de agregación.

TESIS CON  
FALLA DE ORIGEN

### **C) Implantación de la etapa axónica**

La etapa axónica, es la parte de la neurona en la que se establece a partir del cual valor la neurona responderá, o seguirá en reposo.

En particular, para la neurona que estamos trabajando, esta etapa consiste en un valor de referencia el cual es proporcionado por una fuente de voltaje, la cual puede ser sustituida por un divisor de voltaje. En particular el valor de umbral que se utiliza para este modelo es de 0.4 V

### **2. Implantación de la operación de activación**

Para realizar esta operación se utilizará el comparador de voltaje desarrollado con amplificadores operacionales de transconductancia, seguido del circuito de retardo propuesto en un capítulo anterior.

### **3. Implantación de la neurona propuesta.**

En el capítulo 2 se presentó el diagrama de bloques de la neurona que se está diseñando. Ahora, al integrar los diferentes circuitos que se han desarrollado a lo largo de este trabajo en su correspondiente lugar, se obtiene el diagrama electrónico de la neurona, mismo que se muestra en la figura 78.

TESIS CON  
FALLA DE ORIGEN

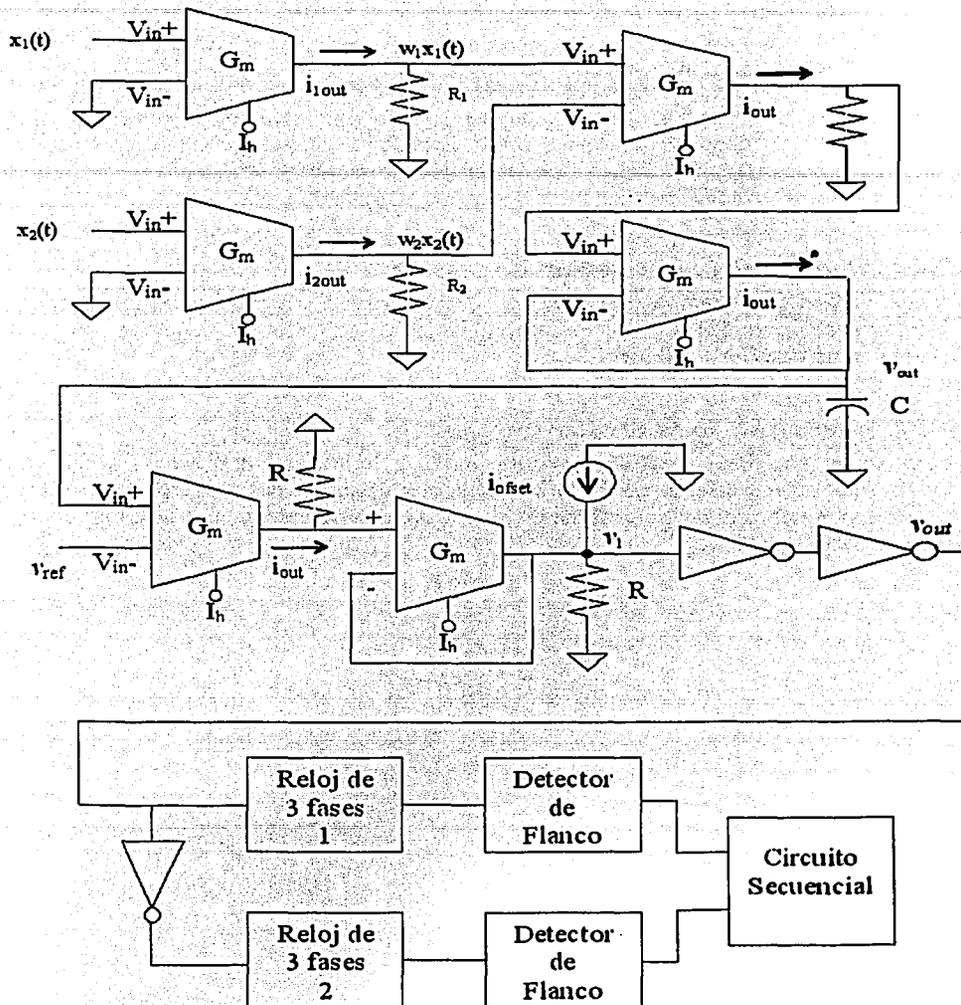


Figura 78: Diagrama electrónico de la neurona.

TESIS CON  
FALLA DE ORIGEN

## Capítulo Sexto

### Resultados y conclusiones.

En este punto es conveniente señalar que los diferentes circuitos básicos que se describen en este trabajo, fueron construidos utilizando componentes discretos, para corroborar los resultados y las gráficas producidas por el simulador PSPICE. Es importante precisar que para la presentación de este informe se le dio preferencia a las gráficas producidas por el simulador respecto de los oscilogramas obtenidos físicamente, debido a que con las gráficas se podían explicar, con mayor claridad los diferentes circuitos aquí descritos.

Una vez que se han estudiado todas las partes que conforman la neurona, revisaremos el comportamiento de la neurona propuesta en su conjunto. En la figura 79 se muestra un oscilograma en el que aparecen las dos entradas así como la respuesta de algunos circuitos que la conforman.

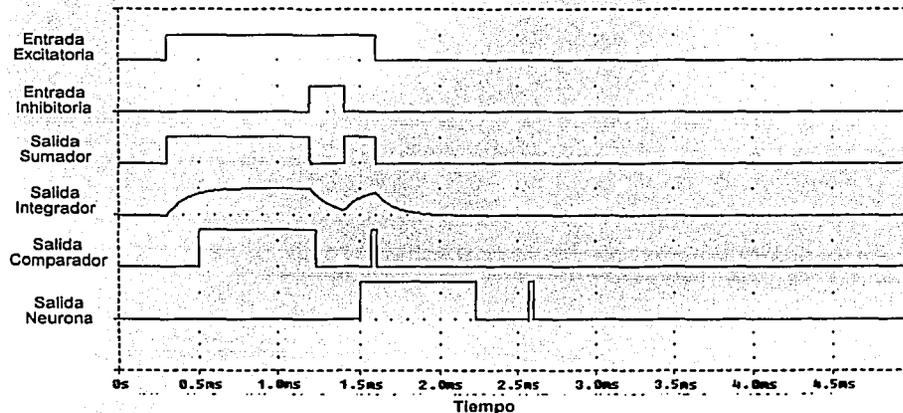


Figura 79: Respuesta de la neurona y algunas de sus partes.

En la figura 79 se puede apreciar que en la salida del sumador se obtiene la resta de las señales excitatorias menos las inhibitorias. Esta señal cuando es integrada en el tiempo modifica su forma de tal manera que cuando es comparada con un nivel de voltaje de .4V produce dos pulsos cuadrados de la misma amplitud pero diferente duración. Posteriormente estos pulsos son retardados un milisegundo para producir la respuesta de la neurona.

Cabe señalar que la neurona es capaz de retardar pulsos de prácticamente cualquier duración sin distorsionarlos. La única limitante del circuito para producir retardos idénticos, radica en que la separación mínima entre dos flancos de subida o dos flancos de bajada estén distanciados más allá de  $1/3$  de milisegundo. En la figura 80 se muestra un oscilograma, en el que aparece la salida del comparador seguido de la respuesta de la neurona, la cual es un poco diferente. Esta diferencia se debe a que el primer circuito monostable de la parte que procesa el flanco de subida en la etapa de retardo, se encuentra en un nivel alto cuando se presenta otro flanco de subida. Por lo tanto, el resultado es que ese monostable simplemente ignora esa entrada, dando como resultado que este nuevo pulso pase desapercibido por la respuesta neuronal.

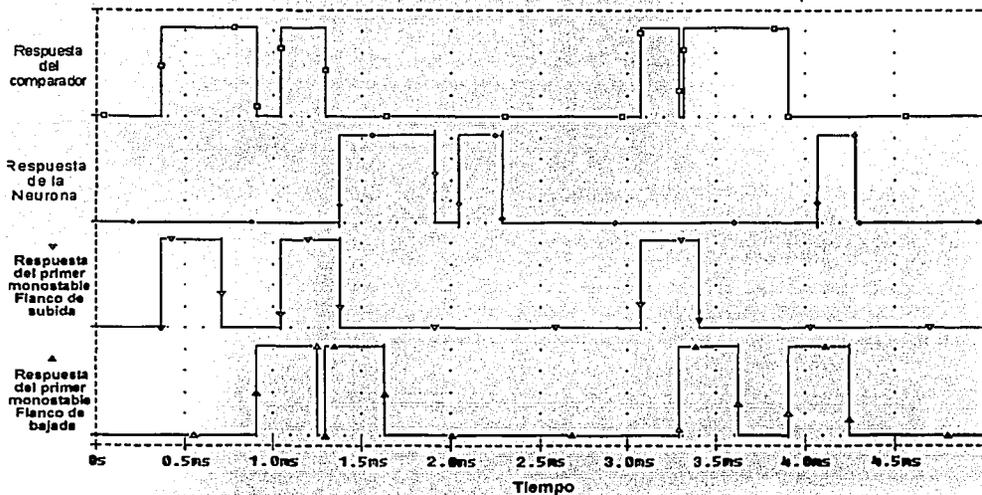


Figura 80: Respuesta de la neurona cuando se presentan en la salida del comparador dos flancos de subida en un intervalo menor a  $1/3$  de milisegundo

Otra situación que puede llegar a ocurrir es cuando, en la salida del comparador, se presentan dos flancos de bajada en un intervalo menor a  $1/3$  de milisegundo. Esta situación se ilustra en la figura 81. Aquí podemos ver que al presentarse dos flancos de bajada en un intervalo menor a  $1/3$  de milisegundo, el resultado es que la respuesta de la neurona permanecerá en un nivel alto hasta que se presente otro pulso y se detecte otro flanco de bajada.

IMPRESIONADO  
FALLA DE ORIGEN

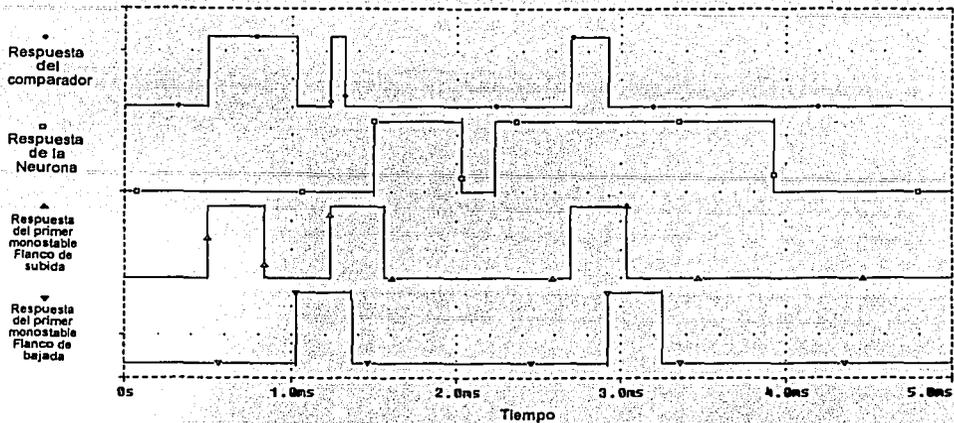


Figura 81: Respuesta de la neurona cuando se presentan en la salida del comparador dos flancos de bajada en un intervalo menor a  $1/3$  de milisegundo

Otro factor que se debe tomar en cuenta al revisar el comportamiento de nuestra neurona es la temperatura. Ello se debe a que al cambiar la temperatura del circuito, dentro de cierto intervalo de valores, las respuestas que se obtienen pueden variar ligeramente. En las figuras 82, 83, y 84 se muestra la secuencia de cómo se comporta el mismo circuito con las mismas entrada a temperaturas de  $1^{\circ}\text{C}$ ,  $35^{\circ}\text{C}$  y  $60^{\circ}\text{C}$ .

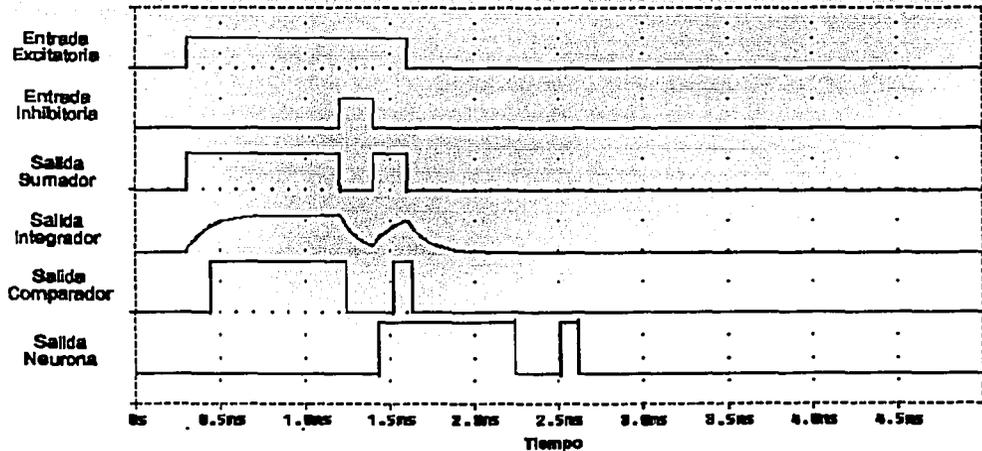


Figura 82: Respuesta de la neurona y algunos otros componentes a temperatura de  $1^{\circ}\text{C}$ .

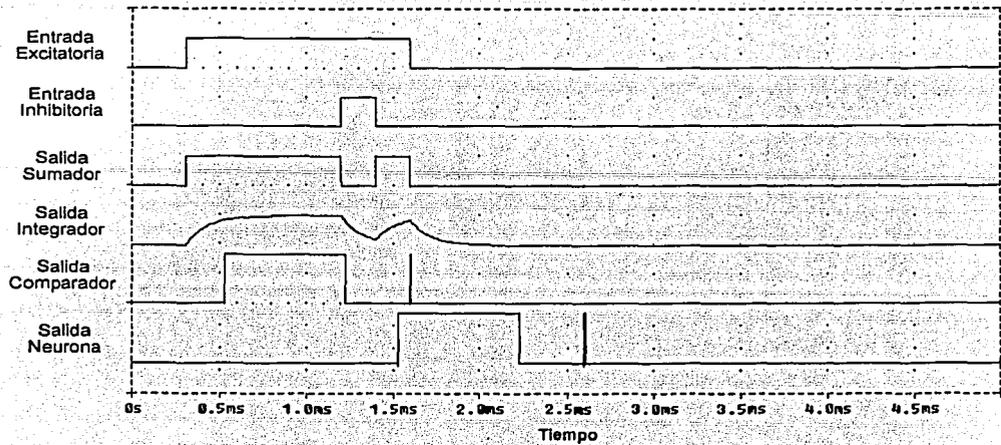


Figura 83: Respuesta de la neurona y algunos otros componentes a temperatura de 35°C.

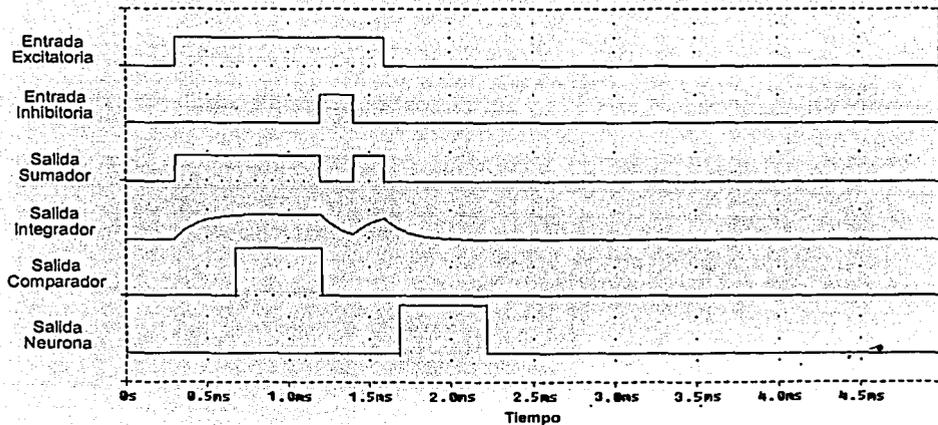


Figura 84: Respuesta de la neurona y algunos otros componentes a temperatura de 60°C.

En las figuras 82, 83 y 84 se puede observar que el la temperatura principalmente afecta la etapa de integración, ya que ante las mismas entradas se obtienen salidas distintas, que al ser comparadas con un nivel de umbral fijo de 0.4 V produce una salida que se aprecia

diferente en cada una de estas salidas. Otra característica que se puede destacar de esta secuencia de figuras, es que el intervalo de retardo entre la respuesta del comparador y la salida de la neurona, aparentemente no se ve afectado por efectos de temperatura.

En la figura 85 se muestra el ciclo de histéresis generado como efecto de la memoria a corto plazo de la neurona para las señales de la figura 82.

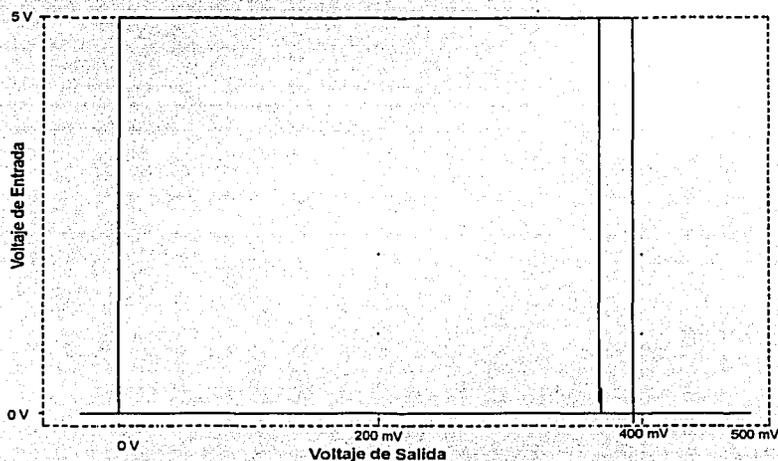


Figura 85. Ciclo de histéresis para las señales de la figura 82.

En la gráfica de la figura 86 se presenta el espacio fase del integrador para las señales de las figuras anteriores.

TESIS CON  
FALLA DE ORIGEN

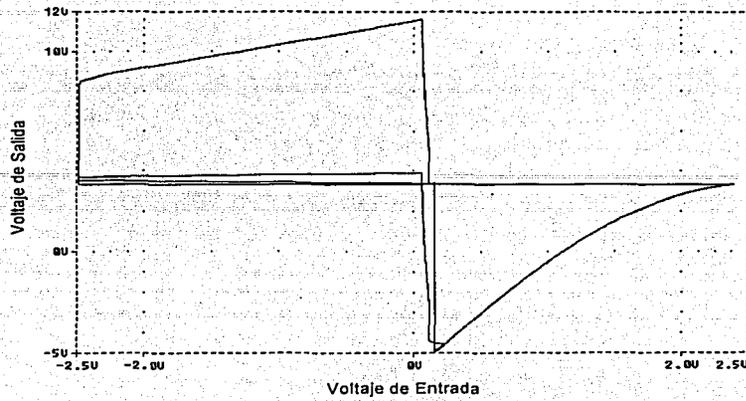


Figura 86. Espacio fase del integrador.

En la figura 87 se presenta otro efecto de memoria a corto plazo de la neurona.

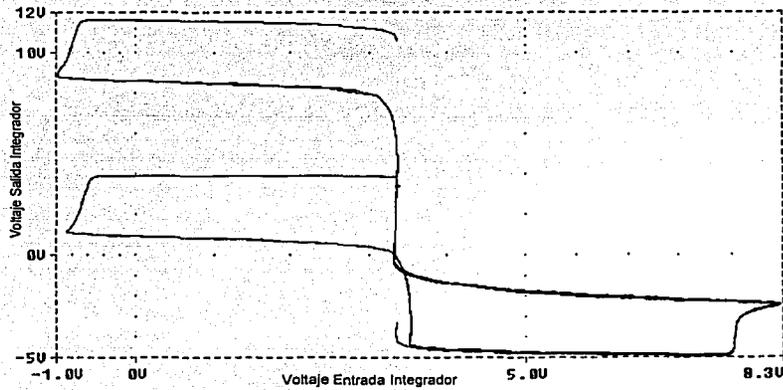


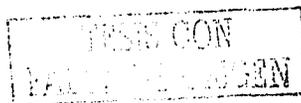
Figura 87. Efecto de memoria a corto plazo

TESIS CON  
FALLA DE ORIGEN

## **1. Conclusiones.**

Una vez que se han descrito la construcción y el funcionamiento de todas y cada una de las partes que conforman la neurona que presentamos y después de haber mostrado la forma en que la neurona responde estamos en condiciones de enunciar las siguientes conclusiones:

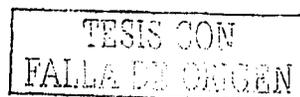
1. Podemos afirmar que el comportamiento de la neurona electrónica que se diseñó cumple los requerimientos planteados al inicio de esta investigación, como son el desarrollar una neurona electrónica cuya respuesta es continua en el tiempo y además dicha respuesta presenta un retardo del tipo axónico.
2. Debemos señalar que el amplificador operacional de transconductancia que se diseñó, presenta un mayor intervalo de linealidad comparado con uno de los circuitos OTA comerciales más utilizados. Esta característica cobra relevancia cuando consideramos que en la mayoría de las aplicaciones los circuitos OTA sólo son utilizados dentro de su rango de linealidad.
3. El circuito de retardo que se diseñó, presenta ciertas ventajas respecto de la línea de retardo o los circuitos TTL, una de ellas es que para modificar el tiempo de retardo no es necesario el agregar o quitar circuitos. En nuestro diseño sólo basta con variar la magnitud de 6 resistencias o modificar un voltaje de referencia para cambiar el tiempo de retardo. Otra ventaja es que el circuito de retardo que proponemos nos permite realizar con gran precisión retardos que pueden ser considerablemente largos y prácticamente imposibles de igualar con alguno de los otros circuitos de retardo.
4. El circuito de retardo propuesto se comporta de manera satisfactoria ya que incluso al variar la temperatura entre  $1^{\circ}\text{C}$  y  $65^{\circ}\text{C}$ , el retardo de la respuesta difiere solamente 0.007 milisegundos, lo que representa apenas el 0.7% del tiempo de retardo esperado.
5. Una gran ventaja que se obtuvo al desarrollar todos los circuitos a nivel transistor, es que estamos a un paso de poder implantar la neurona descrita en un circuito integrado.
6. Como resultado de esta investigación ahora contamos con una amplia librería de circuitos electrónicos todos ellos de gran valor como son los amplificadores operacionales de transconductancia, los inversores, las compuertas lógicas NAND, NOR, los Flip Flops RS, los comparadores de voltaje, los circuitos monostables, los circuitos de retardo para una señal cuadrada, los detectores de flancos de subida o bajada. Además, al estar todos ellos implantados a nivel transistor, nos permite usarlos en el desarrollo de futuros diseños, no sólo de neuronas, sino de otros circuitos electrónicos en general.
7. Como resultado del modelo de neurona del tipo integrador con fugas y retardo axónico, es menester destacar que en nuestra neurona se presentan importantes efectos de memoria a corto plazo.



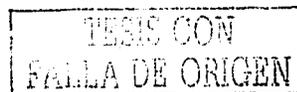
8.- El siguiente paso de esta investigación, podría ser el crear el layout del circuito aquí desarrollado para implantarlo en un circuito integrado, lo cual no se hace en el presente trabajo por no ser el objetivo de esta tesis.

## Referencias Bibliográficas.

- [1] HILERA GONZÁLEZ, José ramón Y MARTÍNEZ HERNANDO, Victor José, *Redes Neuronales Artificiales, Fundamentos y aplicaciones*. Editorial Alfaomega-Ra-Ma, Mexico 2000.
- [2] DUGARD, Luc y VERRUEST I. Erik, *Stability and control of time'delay systems*, editorial springer, Gran Bretaña, 1998.
- [3] BALDI, P.; ATIYA, A.F. "How delays affect neural dynamics and learning", *Transactions on Neural Networks*, IEEE, Volumen 5, Issue 4, Julio, 1994, pp. 612-621.
- [4] DURO, R.J.; REYES, J.S. "Discrete-time backpropagation for training synaptic delay-based artificial neural networks", *Transactions on Neural Networks*, IEEE, Volumen 10, Issue 4, Julio, 1999, pp. 779-789.
- [5] HERRERA B., A.A.; PEREZ S., J.L.; PRIETO M., R y PADRON G., A., "Short Term Memory Phenomena in an Autosynaptic Neuron", *IEEE-INNS-ENNS International Joint Conference on Neural Netsorks (IJCNN'00)* Volumen 3 del 24 al 27 de julio de 2000, Como, Italia, p. 3201.
- [6] AGMON-Snir, H y SEGEV, I. "Signal delay and input synchronization in passive dendrite structures", *Journal of Neurophysiology*, volumen 70, Noviembre, 1993, pp. 2066-2085.
- [7] ARIK, S. "An analysis of global asymptotic stability of delayed cellular neural networks", *Transactions on Neural Networks*, IEEE, Volumen 13, Issue 5, 2002, pp. 1239-1242,
- [8] WOHLER, C.; ANLAUF, J.K. "An adaptable time-delay neural-network algorithm for image sequence analysis" *Transactions on Neural Networks*, IEEE, Volumen 10, Issue 6, Noviembre, 1999, pp. 1531-1536.
- [9] SAAD, E.W.; PROKHOROV, D.V.; WUNSCH, D.C., II. "Comparative study of stock trend prediction using time delay, recurrent and probabilistic neural networks", *Transactions on Neural Networks*, IEEE, Volumen 9, Issue 6, Noviembre, 1998, pp. 1456-1470.
- [10] HAMPSHIRE, J.B., II; WAIBEL, A.H. "A novel objective function for improved phoneme recognition using time-delay neural networks", *Transactions on Neural Networks*, IEEE, Volumen 1, Issue 2 , Junio, 1990, pp. 216-228.



- [11] HOU CHUNHAI; QIAN JIXIN,; "Stability analysis for neural dynamics with time-varying delays", *Transactions on Neural Networks*, IEEE, Volumen 9, Issue 1, Enero, 1998, pp. 221-223.
- [12] XIAOFENG LIAO; JEUBANG YU. "Robust stability for interval Hopfield neural networks with time delay", *Transactions on Neural Networks*, IEEE, Volumen 9, Issue 5, Septiembre, 1998, pp. 1042-1045.
- [13] JINDE CAO; LIN WANG. "Exponential stability and periodic oscillatory solution in BAM networks with delays", *Transactions on Neural Networks*, IEEE, Volumen 13, Issue 2, Marzo, 2002, pp. 457-463.
- [14] CARVER, Mead, *Analog VLSI and neural systems*, Addison Wesley Publishing Company, Estados Unidos de América, 1989
- [15] MADAN M. Gupta, DANDINA H.Rao, "Neuro-Control Systems: A Tutorial", *Neuro-Control Systems*, IEEE Press.
- [16] HERRERA, A; PÉREZ S. J. L; QUINTANA, S; PRIETO, R; "Analysis of a Short Term Memory Phenomenon in a Single Neuron", *Instrumentation and Development*, Vol 3 Nr 9-1998, Mexican society of instrumentation.
- [17] TOBEY, G. E. GRAME J.G. y HUELESMAN L.P., *Operational amplifiers, Design and applications*, McGraw-Hill , 21ª reimpresion, New york, 1989.
- [18] FRANCO, Sergio, *Desing with operational amplifiers and analog integrated circuits*, Mc Graw Hill, New York, 1998.
- [19] SCHILLING, Donald L y BELOVE, Charles, *Circuitos electrónicos discretos e integrados*, Ediciones Alfaomega, S.A. de C.V. México D.F. 1991.
- [20] KENNETH R. Laker y WILLY M.C. Sansen, "Current mirrors" *Design of analog integrated circuits and systems*, McGraw Hill, Estados Unidos de America, 1994.
- [21] Motorola, *Small-Signal, transistors, FETs and Diodes Device Data*, Estados Unidos de América., 1994.
- [22] APOSTOL M. Tom, *Calculus*, Volumen 2, Editorial Reverté S.A., Segunda edición, México 1993.
- [23] *Diccionario de la Lengua Española*, vigésima primera Edición, Madrid, 1992.
- [24] *Diccionario actual de la lengua española*, Editorial Planeta DeAgostini, S.A. 1998.
- [25] Texas Instruments, *TTL Logic, Standard TTL, Schottky, Low Power Schottky, Data Book*, Estados Unidos de América, 1988.
- [26] SHERIF H. K. Embabi, "Low-Power CMOS Digital Circuits", en SÁNCHEZ-SILENCIO Edgar y ANDREOU Andreas G., (compilador), *Low-Voltage / Low-Power Integrated Circuits and Systems*, IEEE Press, Series on Microelectronic Systems, New York, 1999.
- [27] MANO M.Morris, *Diseño Digital*, Prentice Hall, México 1987.



## Apéndices.

### FET TIPO N

AF=1

ALPHA=764.70E-6

BETA=812.90E-6

BETATCE=-.5

CGD=3.2800E-12

CGS=1.6400E-12

FC=.5

IS=24.550E-15

ISR=240.10E-15

KF=3.6640E-18

LAMBDA=5.0000E-3

M=.5

N=1

NR=2

PB=1

RD=1

RS=1

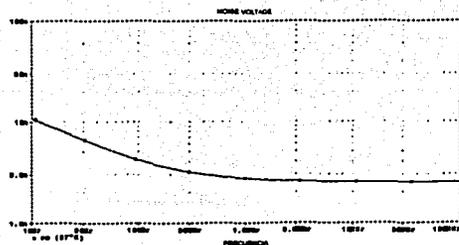
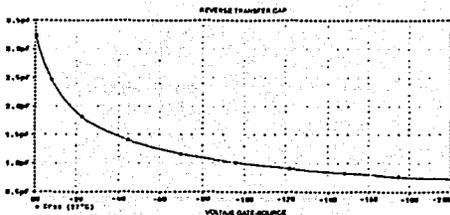
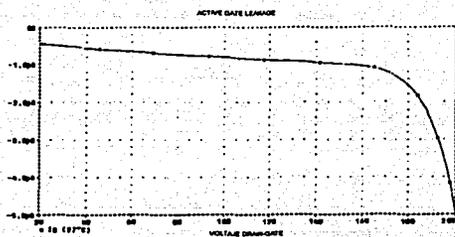
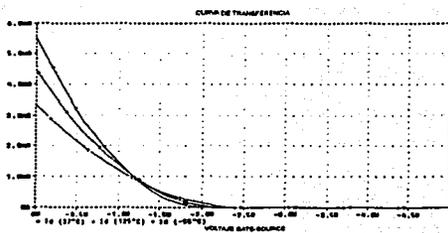
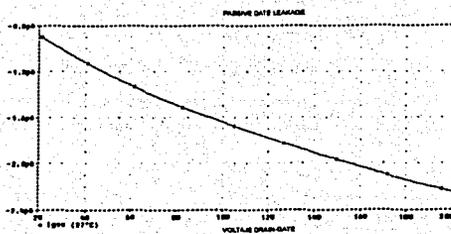
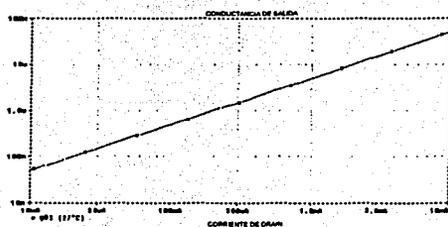
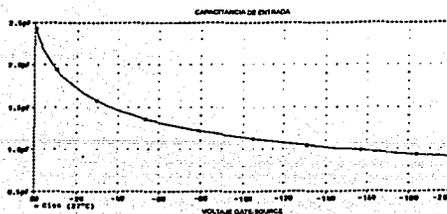
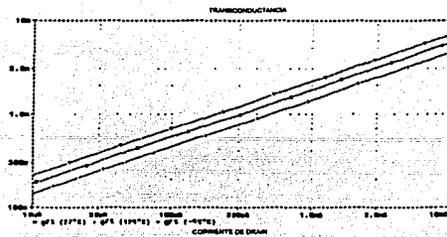
VK=267.70

VTO=-2.2570

VTOTC=-2.5000E-3

XTI=3

TESIS CON  
FALLA DE ORIGEN



TESIS CON FALLA DE ORIGEN

## MOSFET TIPO N

LEVEL=3

CBD=74.460E-12

CGDO=6.4870E-12

CGSO=73.610E-12

DELTA=0

ETA=0

FC=.5

GAMMA=0

IS=10.000E-15

KAPPA=.2

KP=1.0730E-6

L=2.0000E-6

LEVEL=3

MJ=.5

N=1

PB=.8

PHI=.6

RB=1.0000E6

RD=.5489

RDS=48.000E6

RG=546.20

RS=20.000E-3

THETA=0

TOX=2.0000E-6

UO=600

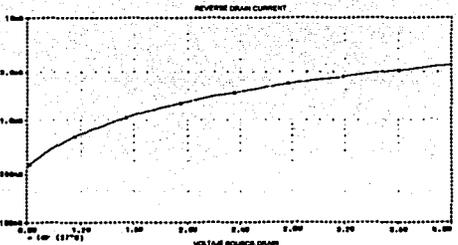
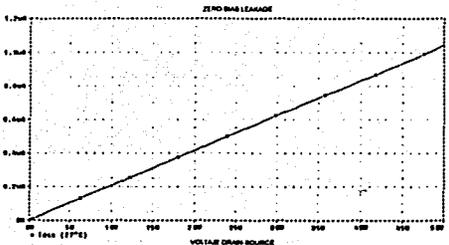
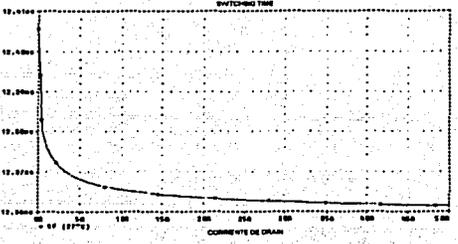
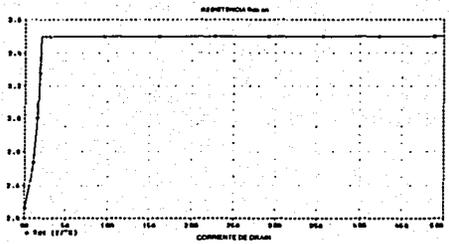
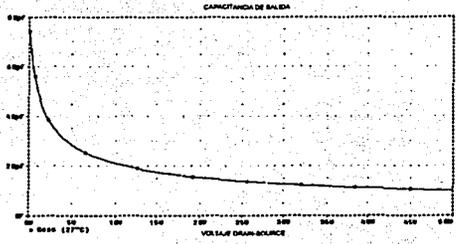
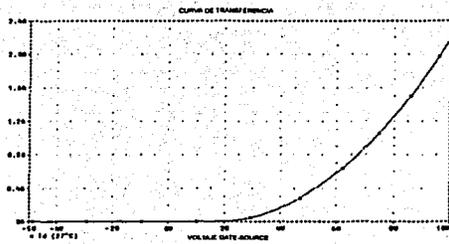
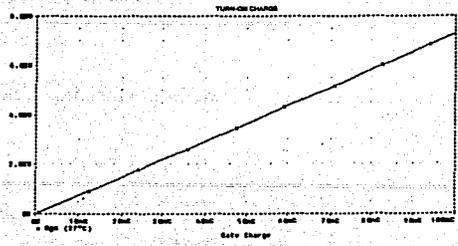
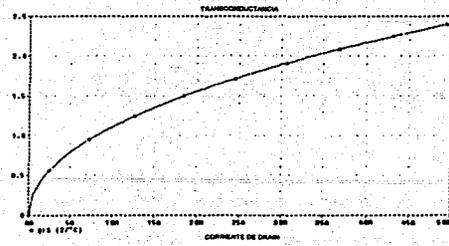
VMAX=0

VTO=1.7300

W=.12

XJ=0

TESIS CON  
FALLA DE ORIGEN



TESIS CON FALLA DE ORIGEN

**MOSFET TIPO P**

CBD=309.50E-12

CGDO=284.30E-12

CGSO=3.9750E-9

DELTA=0

ETA=0

FC=.5

GAMMA=0

IS=6.5670E-15

KAPPA=.2

KP=10.290E-6

L=2.0000E-6

LEVEL=3

MJ=.5

N=4

PB=.8

PHI=.6

RB=1.0000E-3

RD=.34

RDS=444.40E3

RG=3.1710

RS=.5286

THETA=0

TOX=100.00E-9

UO=300

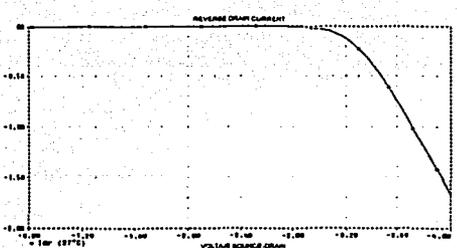
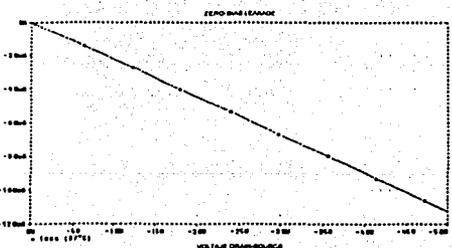
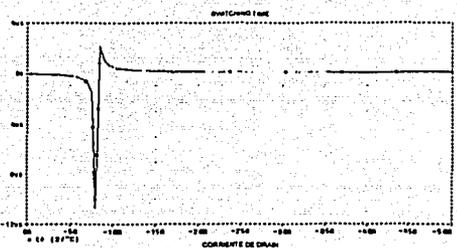
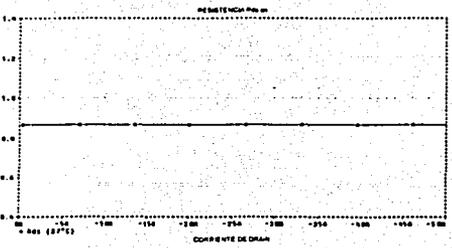
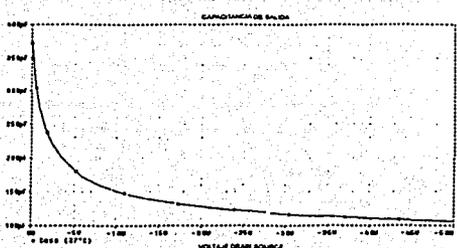
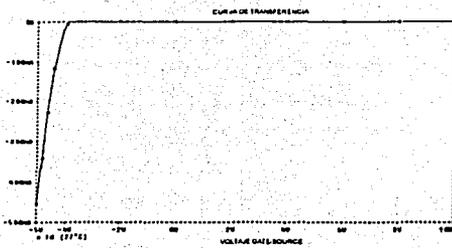
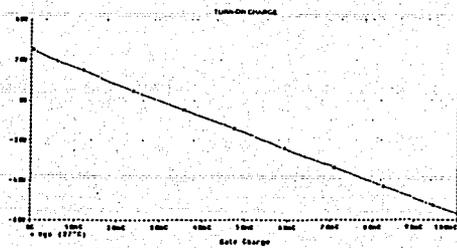
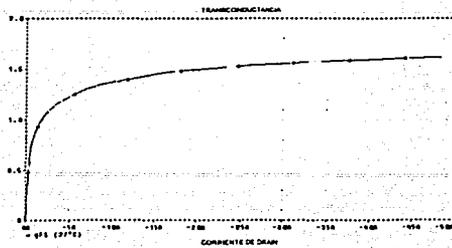
VMAX=0

VTO=-3.9090

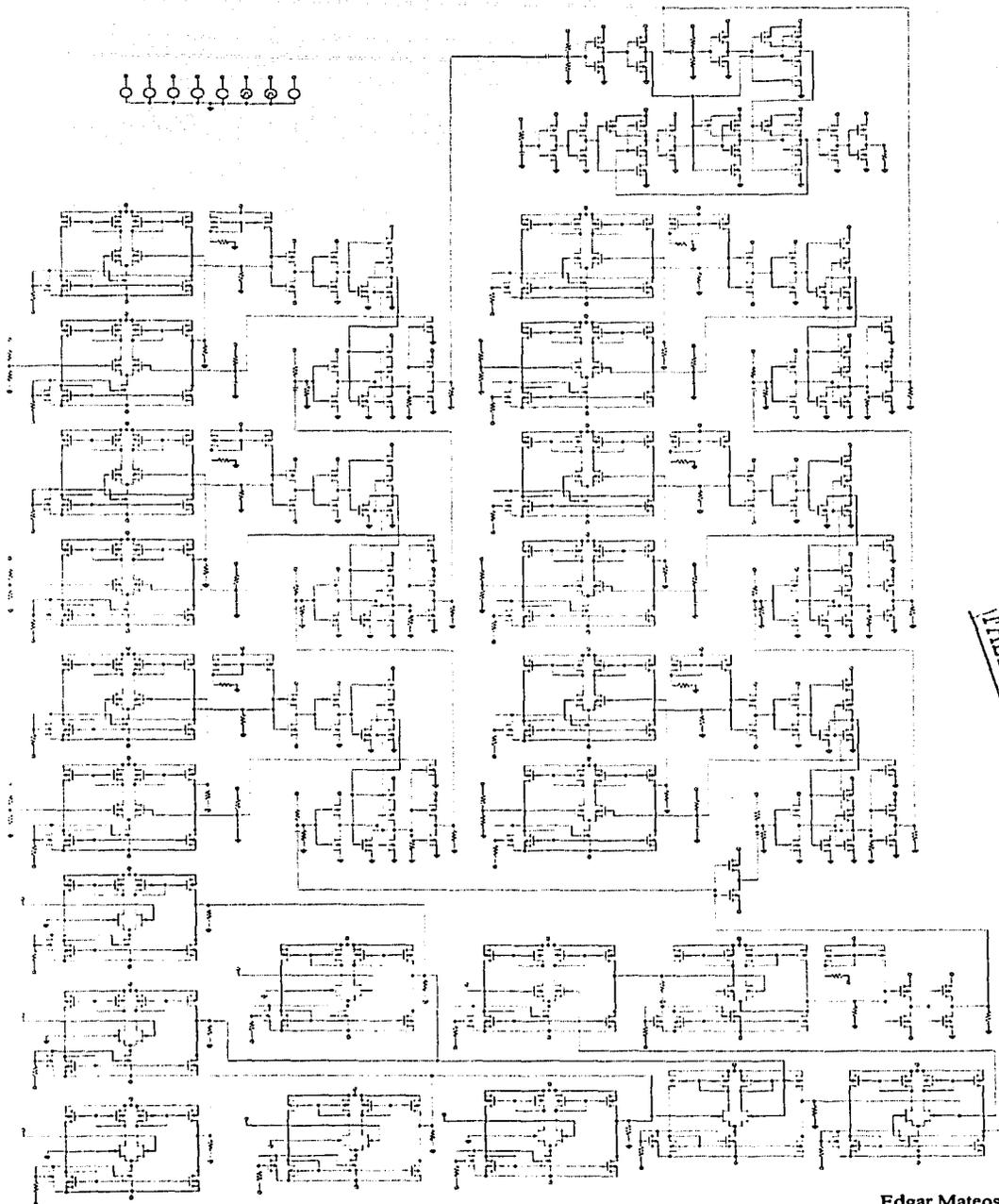
W=.25

XJ=0

TESIS CON  
FALLA DE ORIGEN



TESIS CON FALLA DE ORIGEN



TESIS CON  
FALLA DE ORGAN

Edgar Mateos Santillán.  
Diseño a nivel transistor, de una neurona con retardo axónico.  
México, 2003.