

41126  
47



**UNIVERSIDAD NACIONAL AUTÓNOMA  
DE MÉXICO**

**ESCUELA NACIONAL DE ESTUDIOS PROFESIONALES  
ARAGÓN**

**"ANÁLISIS DE FALLAS EN CIRCUITOS INTEGRADOS  
DIGITALES"**

**T E S I S**

QUE PARA OBTENER EL TÍTULO DE :  
**INGENIERO MECÁNICO ELECTRICISTA**

ÁREA: **MECÁNICA ELECTRONICA**

P R E S E N T A :

**FEDERICO GÓMEZ MORALES**

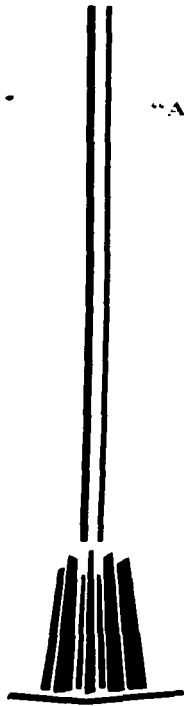
DIRECTOR DE TESIS:  
ING. NARCISO ACEVEDO HERNÁNDEZ

1

MÉXICO

TESIS CON  
FALLA DE ORIGEN

2003





Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**ANÁLISIS DE FALLAS EN CIRCUITOS  
INTEGRADOS DIGITALES**

TESIS CON  
FALLA DE ORIGEN

2

A mis padres:

Que con su esfuerzo y dedicación me apoyaron desde niño,  
para tener el tesoro más invaluable de la existencia humana.  
"El conocimiento".

A mi esposa:

Que con su apoyo incondicional, paciencia y tolerancia  
supo darme la tranquilidad y motivación, para concluir  
este trabajo.

Al Ing. Mihail Nicolaidis:

Que por su simposio "LES LIMITES TECHNOLOGIQUES  
DU SILICIUM ET TOLERANCE AUX FAUTES", del Institut  
National Polytechnique de Grenoble, me aportó una gran cantidad  
de conocimientos y observaciones.

A mis tíodos:

Por su apoyo, en particular al Ing. Rafael Antonio  
Márquez Ramírez, por sus observaciones y correcciones  
para este trabajo

1

TESIS CON  
FALLA DE ORIGEN

## **CONTENIDO :**

**ÍNDICE.**

**OBJETIVO.**

**JUSTIFICACIÓN.**

**INTRODUCCIÓN.**

**CAPITULO I :TECNOLOGÍA DE CIRCUITOS INTEGRADOS DIGITALES.**

**CAPITULO II :CLASIFICACIÓN DE CIRCUITOS INTEGRADOS DIGITALES.**

**CAPITULO III :TIPOS DE FALLAS EN CIRCUITOS INTEGRADOS DIGITALES.**

**CAPITULO IV: MÉTODOS DE ANALISIS DE FALLAS EN CIRCUITOS INTEGRADOS DIGITALES.**

**CAPITULO V :PLANEACIÓN DE UN MODELO DE PRUEBA PARA CIRCUITOS INTEGRADOS DIGITALES.**

**CONCLUSIONES.**

**GLOSARIO.**

**BIBLIOGRAFÍA.**

**SITIOS WEB**

**TESIS CON  
FALLA DE ORIGEN**

# ÍNDICE

<b>I OBJETIVO.....</b>	<b>7</b>
<b>II JUSTIFICACIÓN.....</b>	<b>7</b>
<b>III INTRODUCCIÓN.....</b>	<b>8</b>
<b>CAPITULO I : TECNOLOGÍA DE CIRCUITOS INTEGRADOS DIGITALES.....</b>	<b>10</b>
I.1 Introducción.....	11
I.2 Definición de Circuito Integrado Digital.....	12
I.3 Evolución tecnológica de circuitos integrados digitales.....	13
I.4 Los retos de las tecnologías de circuitos integrados digitales.....	13
I.5 Tecnologías de familias de circuitos integrados.....	18
I.5.1 Características principales de las familias lógicas de circuitos integrados.....	18
I.5.2 Clasificación de las familias lógicas de circuitos integrados.....	20
I.5.3 Comparación de tecnologías de familias lógicas de circuitos integrados.....	24
I.6 Niveles de integración de los circuitos integrados.....	26
<b>CAPITULO II: CLASIFICACIÓN DE CIRCUITOS INTEGRADOS DIGITALES.....</b>	<b>28</b>
II.1 Introducción.....	29

TESIS CON  
FALLA DE ORIGEN

II.2 Circuitos combinacionales.....	29
II.2.1 Estructuras básicas.....	29
II.2.2 Principales circuitos combinacionales.....	32
II.3 Circuitos secuenciales.....	34
II.3.1 Estructuras básicas.....	34
II.3.2 Principales circuitos secuenciales.....	37
II.4 Retardo de propagación en los circuitos secuenciales y combinacionales.....	37

**CAPITULO III: TIPOS DE FALLAS EN CIRCUITOS INTEGRADOS DIGITALES.....39**

III.1 Introducción.....	40
III.2 Fallas de persistencia lógica.....	40
III.3 Fallas de puente.....	44
III.4 Fallas Intermitentes.....	47
III.5 Fallas de memoria.....	49
III.6 Fallas de firmware.....	52
III.7 Fallas dinámicas.....	55
III.7.1 Fallas de alta impedancia.....	56
III.7.2 Fallas de refresco.....	58
III.7.3 Fallas de retardo.....	59
III.8 Los problemas de las tecnologías submicrónicas de circuitos integrados digitales.....	61
III.9 Los efectos de las tecnologías submicrónicas en las interconexiones del circuito Integrado.....	62
III.9.1 Los fenómenos RC.....	62
III.9.2 La integridad de la señal.....	64

TESIS CON  
 FALLA DE ORIGEN

III.10 El ambiente radiactivo y sus consecuencias en los circuitos integrados digitales nanométricos.....	66
III.10.1 Los efectos de la radiación en los circuitos integrados digitales.....	67

**CAPÍTULO IV: MÉTODOS DE ANÁLISIS DE FALLAS EN CIRCUITOS INTEGRADOS DIGITALES.....69**

IV.1 Introducción.....	70
IV.2 Prueba de circuitos integrados.....	71
IV.3 Métodos de prueba funcionales.....	74
IV.3.1 Modelo de falla persistencia lógica simple (SSF).....	75
IV.3.2 El algoritmo D.....	77
IV.3.3 Medidas de controlabilidad y observabilidad.....	81
IV.3.4 PODEM y FAN.....	83
IV.4 Métodos de prueba paramétrica.....	85
IV.4.1 La prueba de $I_{DDQ}$ .....	85
IV.4.2 La prueba de la falla de retardo.....	88
IV.5 Equipo Automático de Prueba (ATE).....	89
IV.6 Métodos de prueba estructural.....	91
IV.6.1 Implementación de las técnicas DFT.....	91
IV.6.2 Metodologías DFT.....	95
IV.6.3 Los Métodos Ad Hoc.....	95
IV.6.4 Diseño de barrido.....	98
IV.6.5 Autoprueba integrada (BIST).....	101
IV.7 Confiabilidad de circuitos integrados.....	103

TESIS CON  
 FALLA DE ORIGEN



<b>CAPITULO V: PLANEACIÓN DE UN MODELO DE PRUEBA PARA CIRCUITOS INTEGRADOS.....</b>	<b>105</b>
V.1 Introducción.....	106
V.2 Principios básicos.....	108
V.3 Prueba de oscilación digital.....	109
V.3.1 Técnica de Prueba.....	109
V.3.2 Ejemplo ilustrativo.....	111
V.4 Implementación.....	113
V.5 Estrategia de prueba.....	114
V.5.1 Algoritmo de generación de prueba.....	115
V.6 Resultados y análisis.....	119
V.6.1 Resultados del banco de pruebas.....	119
V.7 Resultado de implementación práctica.....	124
<b>CONCLUSIONES.....</b>	<b>126</b>
<b>GLOSARIO.....</b>	<b>127</b>
<b>BIBLIOGRAFÍA.....</b>	<b>131</b>
<b>SITIOS WEB.....</b>	<b>134</b>

<p style="text-align: center;">TESIS CON FALLA DE ORIGEN</p>
--

## **OBJETIVO.**

La realización del presente trabajo tiene como objetivo describir y analizar las fallas más comunes que se presentan durante el proceso de fabricación de los circuitos integrados digitales, así como describir las principales técnicas y metodologías de análisis de fallas de estos dispositivos, con el fin de mejorar y optimizar el proceso de fabricación y de reducir el tiempo con el cual se efectúan las pruebas dentro de este proceso de fabricación.

## **JUSTIFICACIÓN.**

En este trabajo se hace una descripción y un análisis de los principales mecanismos de falla, sus efectos y los métodos con los cuales se pueden localizar estas fallas y con esta información retroalimentar a la etapa de fabricación, por lo cual este trabajo está estructurado de la siguiente manera:

En el capítulo I se describen las principales tecnologías que se utilizan actualmente en la fabricación de circuitos integrados digitales, las cuales tienen una estrecha relación con el funcionamiento de los mismos.

En el capítulo II se describe la clasificación de los circuitos integrados digitales según su operación lógica, la cual tiene como utilidad elegir un adecuado vector de prueba durante el proceso de prueba.

En el capítulo III se describen los principales mecanismos de falla, sus causas y sus posibles consecuencias.

En el capítulo IV se describen las principales técnicas de prueba utilizadas en la actualidad en el entorno de fabricación de C.I. digitales.

En el capítulo V se propone un método de prueba para analizar las fallas de un C.I. dentro de un entorno de fabricación, con el fin de mejorar la calidad del dispositivo y de reducir el costo de prueba.

TFESIS CON  
FALLA DE ORIGEN

## INTRODUCCIÓN:

La introducción de las tecnologías de circuitos integrados ha desencadenado un mejoramiento sustancial en la funcionalidad de los sistemas electrónicos, en comparación con las tecnologías que utilizaban componentes discretos (diodos, transistores discretos, etc.). Sin embargo estos últimos años, la complejidad de los circuitos integrados ha crecido de forma espectacular. Esta tendencia se ha acompañado de una reducción de los márgenes de ruido. Por consiguiente, los circuitos y los sistemas electrónicos modernos se encuentran cada vez más expuestos a fallas.

En el pasado, se podía asegurar un nivel de confiabilidad de los circuitos integrados, suficiente para una mayor cantidad de aplicaciones por medio de extremos pruebas después de su fabricación.

La generación de vectores de prueba para los circuitos integrados ha tenido varias fases, en una primera fase, correspondía a circuitos integrados muy complejos y se les aplicaba una prueba exhaustiva debido a la complejidad de los componentes; en una segunda fase, se han generado los vectores de prueba manualmente, utilizando una aproximación funcional. Cuando esta aproximación se volvió obsoleta debido a la mayor complejidad de los componentes del circuito integrado, la aproximación estructurada se convirtió en la más utilizada.

De hecho las tecnologías del silicio se aproximan cada vez más a sus límites físicos en términos de la reducción del tamaño de los transistores, la reducción del voltaje de alimentación, del voltaje de umbral, del aumento de la velocidad de funcionamiento y del incremento del número de dispositivos integrados en el chip; al aproximarse a estos límites, los circuitos se vuelven más sensibles a toda fuente de ruido: fenómenos de acoplamiento capacitivo, influencia electromagnética, ruido en las terminales de alimentación, así como a los fenómenos radiactivos (partículas alfa y neutrones atmosféricos) que, durante mucho tiempo no representaban un problema significativo para los circuitos integrados que se encuentran situados en los ambientes más severos (básicamente el dominio espacial o nuclear). Hoy el fenómeno de los fallas suaves producidas por la interacción de la radiación con los circuitos integrados tiende a ampliarse en las altitudes de los vuelos comerciales y

TESIS CON  
FALLA DE ORIGEN

pronto lo será también cuando se encuentren sobre la tierra.

Las grandes compañías de sistemas informáticos se preocupan ahora por todos estos aspectos. Según Intel, los errores transitorios provocados por las partículas cósmicas son el segundo gran problema después de las corrientes de fuga en el dominio submicrónico, de este modo la mayor parte de las compañías observan un aumento importante de errores suaves a partir de la tecnología de 0.25 $\mu$ m.

La simple razón del aumento de la sensibilidad de los circuitos integrados a los ruidos, se debe básicamente a la reducción del voltaje de alimentación y al tamaño del transistor, disminución que provoca una reducción de la capacidad de los nodos del circuito, así la carga eléctrica almacenada en un nodo es considerablemente menor, lo que provoca que la carga depositada por una partícula cósmica que se impacta en el silicio, pueda fácilmente invertir el valor lógico asociado al nodo.

Así la estrategia para seleccionar vectores de prueba es compleja y depende de muchos factores, incluyendo la complejidad del circuito, elementos secuenciales presentes, método de aplicación de prueba y límites prácticos de costo y tiempo.

TESIS CON  
FALLA DE ORIGEN

## **CAPITULO I**

### **TECNOLOGÍA DE CIRCUITOS INTEGRADOS DIGITALES.**

TESIS CON  
FALLA DE ORIGEN

## 1.1 INTRODUCCIÓN.

La ciencia de la electrónica comenzó en 1895 cuando Lorentz postuló la existencia de cargas llamadas electrones. Para 1897 Braun había construido la primera válvula de electrones que era un simple tubo de rayos catódicos. Después a principios del siglo XX Fleming inventó un diodo al que llamó válvula. Este dispositivo utilizaba una placa cilíndrica en un vacío, una placa cargada positivamente provocaba que una corriente fluyera, pero cuando se cargaba negativamente ninguna corriente fluía.

En 1907, Lee De Forest construyó un triodo agregando una rejilla para que un pequeño voltaje de control pudiera controlar una corriente grande, su principal ventaja era que podía utilizarse para amplificar señales eléctricas. Para 1940 varios científicos en los Laboratorios Bell investigaron materiales llamados semiconductores.

Estas sustancias, como lo son el silicio y el germanio, conducen electricidad moderadamente, pero cuando se encuentran mezcladas con otras sustancias su resistencia cambia, de estas sustancias, fabricaron un elemento que se llamó diodo el cual era muy pequeño de tamaño, funcionaba muy bien a la temperatura ambiente, requería muy poca corriente y no tenía excesivo calentamiento, con esto se dió inicio a la microelectrónica.

En 1948, William Shockley en los Laboratorios Bell, produjo un transistor que podía funcionar como amplificador, éste era de un cristal de germanio con una delgada sección tipo P, que se encontraba situada en medio de otras dos secciones pero de tipo N, y podía funcionar como un triodo, Shockley recibió el premio Nobel en 1956 por este trabajo.

Para 1953, los transistores eran muy pequeños y ya operaban a altas frecuencias y a grandes intervalos de temperatura, eventualmente se fueron fabricando aún más pequeños y muchos fueron colocados en pequeñas superficies de silicio, lo que originó el nacimiento de la industria de la microelectrónica.

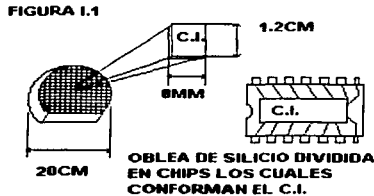
Para 1960 varios transistores ya eran colocados en un circuito integrado (CI). Este primer tipo de dispositivo fue definido como pequeña escala de integración (SSI), Esta definición se encuentra limitada a menos de 100 transistores en un circuito integrado. Para 1966, la tecnología había evolucionado a la media escala de integración (MSI), la cual era de más 100 transistores, pero menos de 1000 transistores en cada circuito integrado, pero el desarrollo de

la gran escala de integración (LSI) durante principios de los años 70's hizo posible integrar miles de transistores y otros componentes en un solo chip de silicio. La tecnología dio un gran impulso a la fabricación de dispositivos como el microprocesador, un circuito que contiene toda la estructura lógica, aritmética y de control que es necesaria para que una computadora digital efectúe sus funciones. La muy alta escala de integración (VLSI) se desarrolló durante los años 80's, había incrementado de manera significativa la densidad de los C.I. en los microprocesadores y circuitos de memoria. La tecnología ha producido microprocesadores que contienen más de 10,000,000 transistores en un chip de menos de 2cm cuadrados, esta evolución a su vez ha traído consigo el nacimiento de diversas tecnologías de C.I. que van evolucionando con los diferentes estándares de calidad y funcionalidad que se requiere en los diversos campos de aplicación.

## 1.2 DEFINICIÓN DE CIRCUITO INTEGRADO DIGITAL.

Porción de material semiconductor (chip) que contiene un gran número de componentes electrónicos y sus interconexiones, capaz de efectuar operaciones binarias lógicas.

La figura 1.1 muestra la unidad fundamental de fabricación de un C.I., esta oblea de silicio tiene un diámetro de 20 cm.



TESIS CON  
FALLA DE ORIGEN

### **1.3 EVOLUCIÓN TECNOLÓGICA DE LOS CIRCUITOS INTEGRADOS DIGITALES.**

La evolución principal que caracteriza al dominio de la microelectrónica es la reducción de las dimensiones de los dispositivos integrados. El tamaño de los transistores elementales disminuye constantemente, permitiendo aumentar la velocidad y disminuir el consumo de potencia. La medida de referencia es la longitud mínima del canal del transistor que compone al circuito integrado digital, esta longitud ha pasado de 2  $\mu\text{m}$  en el año de 1980 a 0.18  $\mu\text{m}$  en el año 2001, correspondiendo a una ganancia en velocidad superior al 500%, el paso a la longitud del canal del transistor de 1.0  $\mu\text{m}$  ha inaugurado la era de la **microelectrónica submicrónica**, el paso a la longitud de 0.5  $\mu\text{m}$  ha dado paso a la era de la **microelectrónica submicrónica profunda**, a partir del año 2003 se perfila el paso del límite de la longitud de 0.10  $\mu\text{m}$ , lo cual dará origen a la era de la **microelectrónica ultrasubmicrónica**.

Los efectos de la reducción de las dimensiones no se limitan a un simple factor de escala: aparecen los efectos secundarios de las limitaciones físicas de la tecnología misma, a nivel de dispositivo aparecen nuevos problemas como la fragilidad de la capa de óxido y la aceleración muy fuerte de los electrones del canal, que pueden crear fenómenos parásitos de ionización y a nivel de las interconexiones aparecen efectos como la electroemigración, el efecto de la línea de retardo, el acoplamiento diafónico y el efecto antena.

### **1.4 LOS RETOS DE LAS TECNOLOGÍAS DE CIRCUITOS INTEGRADOS.**

En los circuitos integrados que son fabricados en tecnologías submicrónicas, el 80% o más de sus tiempos de propagación críticos dependen directamente de los tiempos de propagación de las interconexiones. En la actualidad, las interconexiones y su impacto en la velocidad de funcionamiento del circuito forman parte hoy de los fenómenos capaces de detener la continuación de la ley de Moore; entre estos efectos capaces de detener el progreso tecnológico, se pueden mencionar varios factores como: el aumento de las corrientes de fuga, el aumento de los retardos de propagación en las uniones metálicas de tipo resistencia-



capacidad, el aumento de los ruidos provenientes del acoplamiento capacitivo, la reducción de la fiabilidad de los circuitos submicrónicos debido al aumento de la densidad de corriente y del campo eléctrico en el óxido (electroemigración) y el aumento del consumo de potencia.

En la tabla I.1 se muestra la evolución previsible de los semiconductores, con los datos concernientes al futuro del progreso tecnológico en el dominio nanométrico y la predicción del progreso en la fabricación de los circuitos secuenciales y combinacionales.

Como se muestra en la tabla I.1, se trata ante todo de reducir el consumo de potencia a determinados límites. El consumo de potencia dinámica de un circuito se define por  $P = Y C V_{DD}^2 f$ , donde  $Y$  representa la actividad eléctrica del circuito,  $C$  es la capacidad de conmutación, y  $f$  es la frecuencia de funcionamiento. Debido a la dependencia de la potencia dinámica con  $V_{DD}^2$ , la forma más adecuada de reducir el consumo de potencia pasa por la reducción de la tensión de alimentación  $V_{DD}$ , tendencia que se ve claramente en la tabla I.1, cuando se pasa de una generación tecnológica a otra.

A fin de asegurar una fiabilidad aceptable para la capa de óxido, es necesario mantener un campo eléctrico muy pequeño de 5 a 6 MV/cm, pero si el grosor del óxido es inferior a 2nm, se ve un aumento importante de las corrientes de fuga debido a un fenómeno de corriente de túnel directo a través de la capa de óxido, a causa del incremento de la corriente de túnel directa, el grosor de la capa de óxido se limitará probablemente alrededor de 2 nm, con un límite de margen de 1.5nm para las tecnologías más pequeñas.

Las tensiones de umbral ( $V_T$ ) son estimadas alrededor del valor de  $V_{DD}/4$ , pero para una tecnología menor de 0.1 micras, la tensión de umbral decrecerá mucho, lo que genera de nuevo en corrientes de fuga más elevadas, este efecto es uno de los principales problemas durante una miniaturización muy forzada, sin embargo la disminución del grosor de las terminales metálicas no tiene el mismo factor de miniaturización que la de los transistores: este factor es más moderado.

Respecto a las memorias, la asociación de la industria de semiconductores (SEMA '98) prevé que en el año 2010 se producirán memorias DRAM de 64 Gbits concebidas en tecnologías de 70nm. Según (SEMA '98), la dimensión de una celda DRAM será de 10% solamente de la superficie actual. Como lo muestra la figura I.2.

Los microprocesadores continúan por supuesto con una evolución constante; actualmente los

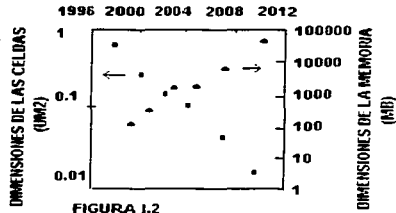
TESIS CON  
FALLA DE ORIGEN

microprocesadores se encuentran a 40M de transistores por chip o lo que es lo mismo 10 M de transistores por  $\text{cm}^2$ , los microprocesadores se encontrarán en el año 2010 a 5020 M de transistores por chip el equivalente de 84M transistores por  $\text{cm}^2$ . La velocidad del ciclo de reloj será del orden de 6 GHz para una duración de tiempo de propagación promedio por compuerta de 4 ps., como lo muestra la figura 1.3.

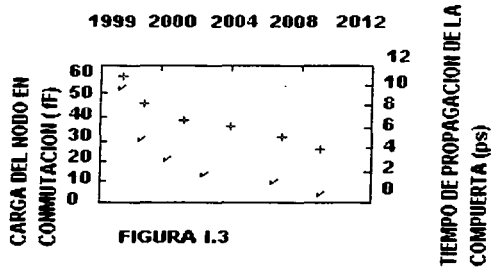
Tabla 1.1 Principales características del avance tecnológico en la fabricación de circuitos integrados.

Año	1997	1999	2001	2003	2006
Tecnología	250nm	180nm	150nm	130nm	100nm
<b>PROGRESO TECNOLÓGICO</b>					
VDD	1.8-2.5	1.5-1.8	1.2-1.5	1.2-1.5	0.6-0.9
V <sub>T</sub>	0.625	0.450	0.375	0.375	0.225
Longitud del Oxido (nm)	4-5	3-4	2-3	2-3	1.5-2
Campo eléctrico max. (Mv/cm)	4-5	5	5	5	>5
Espesor de la línea metálica (µm)	0.5	0.45	0.34	0.34	0.26
<b>DRAMs</b>					
Dimensiones (bits)	64M	256M	1G	1G	4G
Dimensiones de celda por (µm al cuadrado)	0.56	0.22	0.14	0.09	0.036
Bits por centimetro cuadrado.	96M	270M	380M	770M	6100M
<b>Circuitos Combinacionales</b>					
Microprocesador (transistores por chip)	11M	21M	40M	76M	200M
Circuitos Combinacionales (transistores por chip)	3.7M	6.2 M	10M	18M	39M
Velocidad de reloj (MHz)	750	1250	1500	2100	3500
Tiempo de propagación de las compuertas (ps).	16-17	12-13	10-12	9-10	7

TESIS CON  
 FALLA DE ORIGEN



**FIGURA I.2**  
 Figura I.2. Evolución de las memorias en C.I.



**FIGURA I.3**  
 Figura I.3. Evolución de las características dinámicas del C.I.

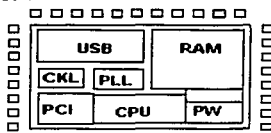
En consecuencia, la carga del nodo de un circuito en conmutación será llevada a los alrededores del chip a un valor de 0 fF.

Otro aspecto importante es la discontinuidad significativa en la funcionalidad de un C.I. con transistores de longitud de canal de 0.5 micras. Esta discontinuidad se debe al cambio en la constitución física de las estructuras submicrónicas. Para ilustrar esta afirmación, se menciona

TESIS CON  
 FALLA DE ORIGEN

el ejemplo de un sistema integrado típico que contiene varios bloques como se muestra en la figura 1.4.

FIGURA 1.4



ARQUITECTURA DE UN SISTEMA EN CHIP (SOC).

Varios problemas pueden aparecer respecto a la función de cada uno de estos bloques, por ejemplo, la estructura del procesador necesita de buses de datos de mayor velocidad y se utiliza muy a menudo la lógica dinámica a fin de asegurar una velocidad de funcionamiento óptimo.

Las memorias RAM contienen un número impresionante de transistores, y son diseñadas para que utilicen el menor número posible de transistores, los bloques que contienen la lógica aleatoria necesitan de celdas complejas y se implementan con conexiones metálicas, donde los retardos de propagación son de naturaleza compleja. Los bloques analógicos y los PLL's se conciben en base al comportamiento analógico del transistor.

Para cada uno de estos ejemplos, los verdaderos problemas aparecen cuando las herramientas de diseño no toman en cuenta los retardos de propagación de las interconexiones; en efecto, en diseños de 0.5 micras, el modelo preciso de la conmutación del transistor, así como el consumo de potencia y la relación entre los tiempos de propagación de una compuerta y sus interconexiones se vuelven más complejos, aún los diseñadores de circuitos integrados encuentran hoy, diferencias del 70% entre los tiempos de propagación que se obtienen por simulación y aquellos que se obtienen a través de mediciones.

## I.5 TECNOLOGÍAS DE FAMILIAS DE CIRCUITOS INTEGRADOS.

### I.5.1 Características principales de las familias lógicas de circuitos integrados.

Los siguientes parámetros se utilizan para distinguir la operación y funcionalidad de una familia lógica.

**Retardo de Propagación.** Es el tiempo de retardo de transición promedio para que la señal se propague de la entrada a la salida, cuando las señales cambian de valor lógico. El retardo de un operador lógico de un C.I., no es el mismo que el tiempo de elevación o tiempo de caída de un transistor individual, para propagarse a través de un C.I., una señal debe de pasar a través de varios transistores dependiendo del tipo de entrada de la cual se esté originando.

Una pequeña cantidad de retardo en la transmisión de la señales es inevitable debido a la velocidad finita de la luz, la cual viaja 2.54 cm por nanosegundo (las señales se mueven en el conductor casi a la velocidad de la luz), pero gran parte del retardo de propagación en los C.I.'s digitales se debe al tiempo que toma la carga almacenada que se encuentra en un punto determinado del circuito en moverse de un lugar a otro dentro del mismo, los principales retardos de un C.I. se muestran en la figura I.4

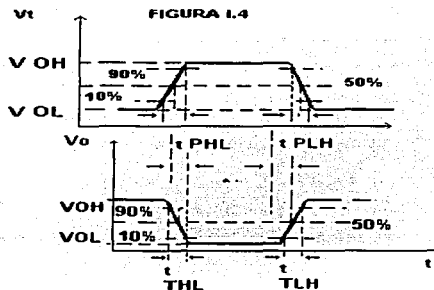


Figura I.4. Retardos de propagación de la salida con respecto de la entrada de una compuerta lógica en un C.I.

Existen también los **retardos de línea**, que están asociados con los conductores y otros medios de interconexión dentro de los C.I.'s. Los retardos de línea tienden a ser mucho más pequeños que los retardos de las compuertas.

**Disipación de Potencia.** Es la potencia consumida por el circuito integrado. En los C.I.'s digitales existen dos tipos de disipación de potencia: estática y dinámica.

La disipación de potencia estática es aquella potencia que disipa una compuerta de un C.I. cuando se encuentra sin conmutar o sin cambio.

La disipación de potencia dinámica es aquella potencia disipada cuando la salida de una compuerta de un C.I. conmuta de un estado a otro a una determinada frecuencia.

**Margen de ruido.** Es el máximo voltaje extraño que puede ocasionar un cambio en el estado de una compuerta del C.I., la funcionalidad de una familia lógica esta determinada por su habilidad para rechazar el ruido y así para los márgenes de ruido se tiene:

Margen de ruido en estado alto ( $NM_H$ ):

$$NM_H = V_{OH} - V_{IH}$$

Margen de ruido en estado bajo ( $NM_L$ ):

$$NM_L = V_{IL} - V_{OL}$$

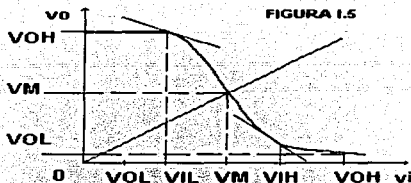


Figura 1.5 Márgenes de ruido en estado bajo y estado alto de una compuerta lógica en un C.I.

**Fan-in.** Es el número de entradas de una compuerta.

**Fan-out.** Es el número máximo de unidades de carga que pueden conectarse a la salida de una compuerta en un CI sin afectar la correcta operación del circuito.

TESIS CON  
FALLA DE ORIGEN

## 1.5.2 Clasificación de familias de circuitos integrados digitales.

Existen dos tipos principales de semiconductores utilizados en la fabricación de circuitos integrados: silicio (Si) y arseniuro de galio (GaAs). Las dos principales clases de transistores son bipolares y unipolares. Los dispositivos bipolares se utilizan normalmente en aplicaciones donde se requiere mucha velocidad y bajo ruido, el principal tipo de dispositivo unipolar es el dispositivo MOS (semiconductor de metal óxido), el cual se utiliza en aplicaciones donde se requiere baja disipación de potencia y a la vez esta tecnología permite una muy alta densidad de integración en el CI.

La figura 1.6 muestra las tecnologías de fabricación y las principales familias lógicas de circuitos integrados digitales.

En la parte superior del diagrama de la figura 1.6 se muestra la división de las tecnologías en cuanto al tipo de material que actualmente se utiliza en la fabricación de circuitos integrados es decir: silicio (Si) y arseniuro de galio (GaAs). La tecnología GaAs se ha expandido lentamente de sus mercados históricos (aplicaciones militares y espaciales) a mercados más comerciales, ésta tecnología tiene más ventajas que la tecnología del silicio, debido principalmente a su mayor movilidad de portadores; esto es los electrones viajan cuatro veces más rápido a través del material GaAs que en el material de silicio. lo cual significa que la lógica GaAs opera a frecuencias de reloj mucho mayores, además de que se requieren menores campos eléctricos para lograr la máxima movilidad en comparación con la tecnología CMOS, por lo que al reducirse los voltajes de operación esta ventaja de funcionalidad se vuelve mucho

FIGURA 1.6

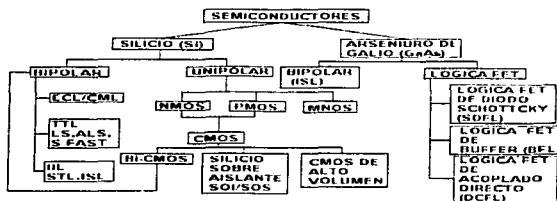


Figura 1.6. Principales materiales de fabricación y tecnologías de familias lógicas de circuitos integrados digitales.

mayor. Aunque ha habido un progreso significativo para resolver los problemas históricos relacionados con las características del material GaAs, aún tiene algunas desventajas fundamentales comparado con la tecnología de silicio, por ejemplo, a diferencia del silicio, el material GaAs no tiene óxido que actúa como aislante en las tecnologías MOS, también los agujeros en el material GaAs se mueven mas lentamente que en el material de silicio, como se muestra en la parte derecha de la figura 1.6. la tecnología GaAs tiene muchas topologías de circuito y muchos dispositivos, las tecnologías GaAs más comerciales son la lógica FET de acoplamiento directo(DCFL) y la lógica FET de fuente acoplada (SCFL).

La tecnología DCFL es similar en diseño a la tecnología bipolar ECL con un 60% de reducción en disipación de potencia, la tecnología SCFL tiene significativamente mayor velocidad que la tecnología DCFL, pero con una mayor disipación de potencia .

Otras tecnologías comunes GaAs incluyen la lógica FET de buffer (BFL) y la lógica bipolar integrada Shottky (BSL).

En la parte izquierda del diagrama anterior se ilustra la división de la tecnología de silicio en dos principales categorías: bipolar e unipolar. Se hace esta distinción porque en los dispositivos bipolares, los portadores de mayoría y minoría participan en la operación del transistor. Los procesos bipolares fueron dominantes durante los años 60's y 70's y ofrecen un enorme potencial debido a su elevada velocidad de operación al utilizar transistores de juntura bipolar (BJTs), sin embargo la disipación de potencia en los circuitos bipolares es muy alta y la densidad de integración del dispositivo no es tan grande, las familias lógicas TTL (lógica de transistor transistor), ECL (lógica de emisor acoplado) y IIL (la lógica de inyección integrada), se encuentran en esta categoría de procesos bipolares; un factor importante de la familia TTL es que sus niveles de voltaje de entrada-salida aún constituyen una norma de facto en la cual se basan otras familias lógicas.

La clase más importante de dispositivos unipolares para C.I.'s, son los dispositivos MOS (semiconductor de metal óxido), que se utilizan en los procesos PMOS, NMOS y CMOS, mientras que otras tecnologías unipolares existen, como lo es la MNOS (semiconductor de óxido de metal-nitrído), que se utiliza en la fabricación de memorias no volátiles, pero no representan una parte significativa del mercado de C.I.'s, aunque todavía se utiliza

TESIS CON  
FALLA DE ORIGEN



universalmente el término MOS, éste es obsoleto; sus siglas M (metal) se refiere a la capa de la compuerta, O (óxido) se refiere al aislante de dióxido de silicio, y S (semiconductor) al canal que está controlando la compuerta, los procesos MOS hoy en día hacen uso exclusivamente de polisilicio más que de metal para construir la compuerta.

Los transistores de efecto de campo (MOSFETs) son de dos tipos: MOSFETs de canal P y MOSFETs de canal N. El término PMOS se refiere a un proceso MOS, el cual exclusivamente utiliza transistores MOSFETs de canal P; de forma similar; el término NMOS se refiere a un proceso MOS en el cual se utilizan sólo transistores de canal N. Aunque se utilizó de forma muy extensa en los primeros diseños MOS, la tecnología PMOS no se utiliza hoy debido a las pobres características eléctricas de los transistores de canal P. Esto se debe principalmente a que la movilidad de los agujeros (portadores de mayoría en la tecnología PMOS) es mucho menor que la movilidad de electrones (portador de mayoría en la tecnología NMOS). El diseño de la tecnología NMOS tiene una excelente densidad y una razonable funcionalidad, pero se utiliza muy poco en la actualidad debido principalmente a que disipa mucha potencia estática; sin embargo algunos diseños de memorias dinámicas de acceso aleatorio (DRAMs) utilizan diseños basados en la tecnología NMOS en la mayor parte su estructura. El término CMOS se refiere a un proceso MOS donde simultáneamente se utilizan transistores de canal P y de canal N, aunque el costo de fabricación de la tecnología CMOS se ha incrementado, su incremento en densidad de integración y su característica potencial de poca disipación de potencia estática la convierten en la tecnología más utilizada en las aplicaciones de alta funcionalidad.

La tecnología BiCMOS es una tecnología relativamente reciente que incorpora a dispositivos CMOS y bipolares en un mismo chip, normalmente la mayor parte de la lógica en una tecnología BiCMOS es de tipo CMOS, mientras que los dispositivos bipolares se utilizan sólo para aumentar la capacidad de carga de la tecnología BiCMOS; comparada con la tecnología CMOS, la tecnología BiCMOS es mucho más rápida pero su costo por C.I. es tres veces mayor.

En la tabla 1.2 se hace una pequeña descripción de las características de estas tecnologías.

Tabla 1.2. Características principales de las familias lógicas de C.I.'s digitales.

TERMINO	DESCRIPCIÓN	CARACTERÍSTICAS
ECL	Lógica de Emisor Acoplado	Dificultad para conectarse con otras familias lógicas debido a sus niveles de voltaje, pero son los dispositivos hipolares con mayor velocidad.
TTL	Lógica de Transistor-Transistor	Dispositivos lógicos estándares, más utilizados por su excelente velocidad y su facilidad para conectarse con otras familias lógicas.
HL	Lógica de Inyección Integrada	Dificultad para conectarse con otras tecnologías, pero permite altas densidades de integración con bajos requerimientos de consumo de potencia y buena velocidad.
HMOS	MOS de alta densidad	Costoso, pero permite altas densidades y bajo consumo de potencia.
NMOS	MOS tipo N	Utiliza dispositivos MOS de canal N que permiten muy elevadas densidades y diseños escalables, tiene muy alta disipación de potencia comparada con la tecnología CMOS y se utiliza en memorias, procesadores etc.
PMOS	MOS tipo P	Utiliza dispositivos MOS de canal P, el cual representa una gran dificultad para conectarse con otros componentes debido a su voltaje de alimentación negativo.
CMOS	MOS complementario	Se fabrica con ambos canales de transistores P y N, tiene muy baja disipación de potencia, altas densidades de integración y muy baja velocidad de conmutación.
GaAs	Arseniuro de Galio	Tiene muy bajas velocidades de conmutación con dispositivos de reloj arriba de los 1.5 GHz. En la actualidad, es difícil de fabricar con grandes densidades de transistor.

TESIS CON  
FALLA DE ORIGEN

TERMINO	DESCRIPCIÓN	CARACTERÍSTICAS
DCL	Lógica de Acoplado Directo	Dispositivo GaAs, el cual es difícil de fabricarse porque utiliza dos tipos de transistores, pero tiene muy baja disipación de potencia comparada con otras tecnologías GaAs.
BFL	Lógica de Buffer FET	Dispositivo GaAs el cual es más fácil de fabricarse que el DCL, pero tiene menor disipación de potencia.
SDFL	Lógica de Diodo Shottky	Dispositivo GaAs el cual, su fabricación es menos complicada en comparación con la familia DCL y su disipación de potencia es menor en comparación con la familia BFL.

Cont. Tabla I.1.

### I.5.3 Comparación de tecnologías de familias lógicas.

Es práctica común en la industria de la electrónica que cada nueva generación de C.I.'s, deba ser de tamaño más reducido, poco peso, alta velocidad y mucho mayor confiabilidad que al tecnología anterior; históricamente el silicio reemplazó al germanio, NMOS reemplazó a PMOS, CMOS reemplazó a NMOS y también a una gran parte de la tecnología bipolar. La tecnología GaAs es actualmente muy fuerte para el mercado de alta funcionalidad, pero todavía no ha logrado una posición dominante en el mercado en cuanto a elevada velocidad se refiere, característica que domina la tecnología ECL: una desventaja de las tecnologías GaAs y ECL es que utilizan voltajes de alimentación no estándares y su subsecuente dificultad para poder conectarse con otras tecnologías. La selección de cualquier tecnología se relaciona con tres características fundamentales: velocidad de operación, área del circuito y disipación de potencia; mientras que la tecnología CMOS tiene como sus principales ventajas una elevada densidad, y una menor disipación de potencia en comparación con las otras tecnologías, todavía no es la tecnología con mayor velocidad de conmutación. La tecnología GaAs tiene grandes características de alta velocidad, pero a costa de una elevada disipación de

TECNOLOGÍA  
FALLA DE ORIGEN

potencia; mientras que la tecnología CMOS tiene como sus principales ventajas una elevada densidad, y una menor disipación de potencia en comparación con las otras tecnologías, todavía no es la tecnología con mayor velocidad de conmutación. La tecnología GaAs tiene grandes características de alta velocidad, pero a costa de una elevada disipación de potencia. En general, la velocidad y la disipación de potencia son los dos factores determinantes para definir los límites de funcionalidad y aplicación para cada tecnología. La figura 1.7 muestra las principales características de disipación de potencia y velocidad de conmutación para las tecnologías GaAs y las tecnologías de Silicio.

Otra característica de interés a analizar es la frecuencia de reloj en los C.I.'s. En los circuitos

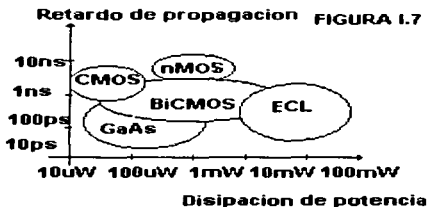


Tabla 1.7. Características de retardo de propagación-disipación de potencia de las familias lógicas.

CMOS, la disipación de potencia se incrementa de manera lineal con la frecuencia de operación del dispositivo de acuerdo con la siguiente relación  $CxV_{dd}^2 \times f$  (donde C es la capacitancia y  $V_{dd}$  es el voltaje de alimentación del chip).

La disipación de potencia en los circuitos GaAs también se incrementa con la frecuencia, pero en una proporción mucho menor.

En la figura 1.8 se muestra la ventaja de la tecnología CMOS particularmente en frecuencias de operación debajo de 100-150 Mhz.

Sin embargo, cuando la frecuencia de operación excede esta cantidad en la tecnología CMOS aumenta la disipación de potencia, lo cual no ocurre con los circuitos de la tecnología GaAs como se aprecia en la figura 1.8.

Esta característica es la que hace importante a la tecnología GaAs, particularmente en

aplicaciones de bajo voltaje.

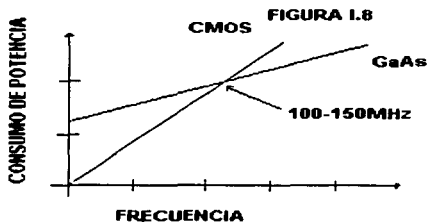


Figura 1.8. Características de consumo de potencia vs frecuencia de los C.I.'s de tecnologías CMOS y GaAs.

## 1.6 NIVELES DE INTEGRACION EN LOS C.I.

El diseño del C.I. digital ha evolucionado de simples transistores a SSI y VLSI (integración a muy alta escala). Un circuito integrado puede clasificarse normalmente por el número de transistores que contiene. La siguiente tabla 1.3, muestra las típicas aplicaciones para las diferentes clasificaciones: integración a pequeña escala (SSI), integración a mediana escala (MSI), integración a gran escala (LSI), alta escala de integración (VLSI), muy alta escala de integración (ULSI) y ultra alta escala de integración (GSI).

TESIS CON  
FALLA DE ORIGEN

Tipo	No. de transistores	Aplicación típica
SSI	1-100	Compuertas lógicas
MSI	100-1000	Registros, sumadores, multiplexores, demultiplexores, codificadores, decodificadores, comparadores.
LSI	1000-100 000	Microprocesadores de 8 bits, hasta ROMs de 64 kbits y RAMs .
VLSI	100 000-500 000	Microprocesadores de 16/32 bits, hasta ROMs/RAMs de 256 kbits.
ULSI	> 500 000	Microprocesadores de 64 bits, RAMs de 8 Mbits
GSI	> 10 000 000	RAMs DE 64 Mbits . SOC 's sistemas en chip.

Tabla 1.3. Niveles de integración y aplicaciones típicas de circuitos integrados digitales.

TESIS CON  
FALLA DE ORIGEN

## **CAPITULO II**

### **CLASIFICACIÓN DE CIRCUITOS INTEGRADOS DIGITALES.**

TESIS CON  
FALLA DE ORIGEN

## II.1 INTRODUCCIÓN:

Los circuitos integrados digitales se pueden clasificar en dos categorías: **combinacionales** y **secuenciales**. Un circuito integrado digital cuyos valores de salida dependen únicamente de sus valores instantáneos de entrada se clasifica como **circuito integrado combinacional**; su operación está completamente descrita por una tabla de verdad la cual enlista todas las combinaciones de los valores de salida generados por cada combinación de entrada.

Un circuito integrado digital, cuyas salidas dependen de valores instantáneos de entrada y de una secuencia de valores de entrada anteriores se clasifica como **secuencial**. El comportamiento de un circuito secuencial se describe por una tabla de estados que especifica su salida y su estado futuro en función de sus valores de entrada y de sus estados presentes.

Un circuito combinacional puede tener un número determinado de compuertas lógicas e inversores pero sin lazos de retroalimentación; un lazo de retroalimentación es un camino que permite que la salida de una compuerta se propague de regreso a la entrada de dicha compuerta, tal lazo crea el comportamiento de un circuito secuencial.

En el análisis de un circuito combinacional se comienza con un diagrama lógico y se continúa con una descripción formal de la función efectuada por el circuito, utilizando una tabla de verdad.

## II. 2 CIRCUITOS COMBINACIONALES.

### II.2.1 Estructuras básicas.

Una función combinacional  $z(x_1, x_2, \dots, x_n)$  se define también como una función lógica o una función Booleana, que representa las  $2^n$  combinaciones de las  $n$  variables de entrada  $x_1, x_2, \dots, x_n$  a la variable binaria de salida  $z$ . El término combinacional significa que la salida cambia instantáneamente en respuesta a un cambio en las entradas, en otras palabras el circuito no tiene memoria. Aunque las compuertas físicas y sus interconexiones tienen siempre alguna característica de memoria en la forma de retardos de propagación, tales retardos son muy pequeños. Estos retardos se factorizan en el diseño lógico combinacional para determinar la velocidad de operación del circuito.

TESIS CON  
FALLA DE ORIGEN



Los circuitos combinacionales generalmente se construyen de compuertas, estas compuertas se conectan entre sí, según ciertas reglas que definen a los circuitos combinacionales, las cuales son:

- 1.-Un circuito combinacional es una línea de señal o una compuerta con señales de entrada variables o constantes.
  - 2.-Un circuito combinacional se forma por la yuxtaposición de dos circuitos combinacionales  $C_1$  y  $C_2$  separados, de tal forma que al colocarse juntos estos circuitos conforman a todo el circuito combinacional.
  - 3.-Sean  $C_1$  y  $C_2$  dos circuitos combinacionales separados, se puede obtener un circuito combinacional al conectar una línea de salida de  $C_1$  con una línea de entrada de  $C_2$ .
  - 4.-Si  $C$  es un circuito combinacional, se puede obtener un circuito combinacional al conectar dos entradas primarias de  $C$  para formar una sola entrada primaria.
- La figura II.1 muestra en forma clara las reglas antes mencionadas.

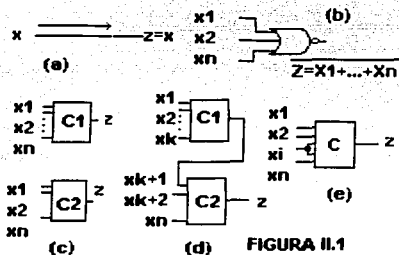


Figura II.1 Estructuras de un circuito combinacional.

Cualquier circuito combinacional se puede obtener por la repetida aplicación de las reglas mencionadas. Cualquier circuito que reúna la definición de un circuito combinacional está

TECIS CON  
FALLA DE ORIGEN

libre de contradicciones lógicas y se define como un circuito combinacional lógicamente estructurado. Un circuito combinacional representativo se muestra en la figura II.2.

Este circuito tiene cuatro entradas primarias a, b, c, d y tres salidas primarias z<sub>1</sub>, z<sub>2</sub>, z<sub>3</sub>. Las funciones que este circuito realiza pueden deducirse de las definiciones de las compuertas que componen a este circuito. El hecho de que el circuito es combinacional según las reglas mencionadas puede mostrarse en la figura II.3.

La compuerta OR-EXCLUSIVA, la compuerta OR y las líneas de alimentación z<sub>1</sub>, z<sub>2</sub>, y z<sub>3</sub> respectivamente forman los tres circuitos combinacionales individuales por definición de la regla 1. El circuito de la figura II.3 se obtiene por la yuxtaposición de estos tres circuitos según la regla 2. Al aplicar la regla 4 dos veces se produce el circuito combinacional que se muestra en la figura II.3 (b). la compuerta AND se puede conectar con este circuito según la regla 3, como lo muestra la figura II.3 (c).

**FIGURA II.2**

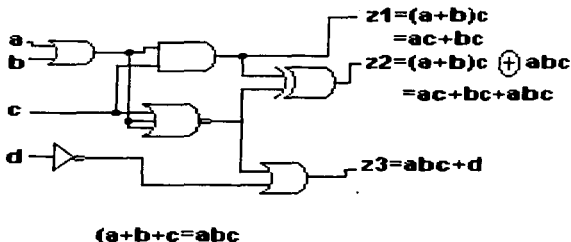


Figura II.2. Un circuito combinacional y las funciones que realiza.

Continuando de esta forma se puede construir todo el circuito según las reglas de los circuitos combinacionales.

TESIS CON  
FALLA DE ORIGEN

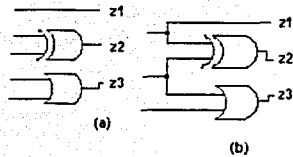


Figura 11.3 Diferentes formas de formar un circuito combinacional

## 11.2.2 Principales circuitos combinatoriales.

**Comparador.-** Es un circuito combinacional que compara dos palabras binarias e indica si son iguales.

**Circuitos Aritméticos.-** Es un circuito combinacional capaz de efectuar operaciones aritméticas como sumar, restar, multiplicar.

**Comparador.-** Es un circuito combinacional que compara dos palabras binarias e indica si son iguales.

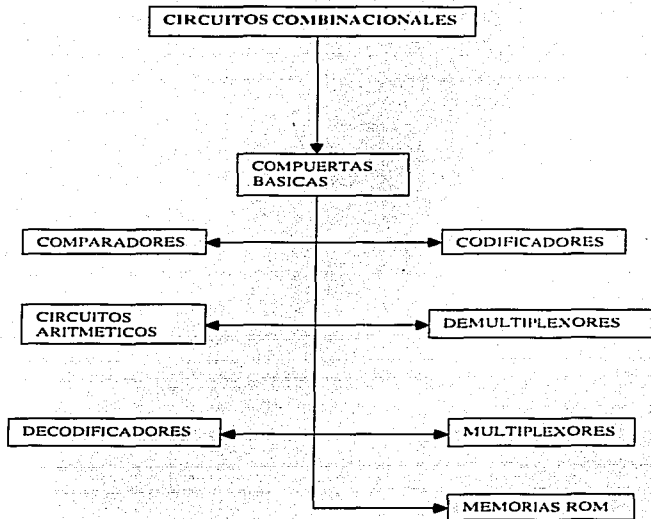
**Circuitos Aritméticos.-** Es un circuito combinacional capaz de efectuar operaciones aritméticas como sumar, restar, multiplicar

**Decodificador.-** Es un circuito combinacional que convierte la información binaria de  $n$  líneas de entrada a un máximo de  $2^n$  líneas de salida únicas.

**Demultiplexor.-** Es un circuito que recibe información por una sola línea y transmite esta información en una de las  $2^n$  líneas posibles de salida.

**Codificador.-** Es un circuito combinacional que realiza la operación inversa de un decodificador.

TESIS CON  
FALLA DE ORIGEN



**Multiplexor.-** Es un circuito combinacional que selecciona información binaria de una de muchas líneas de entrada para dirigirla a una sola línea de salida.

**Memorias ROM.-** Es un circuito combinacional que almacena información binaria dependiendo de la combinación de entrada.

TESIS CON  
FALLA DE ORIGEN

## 11.3 CIRCUITOS SECUENCIALES.

### 11.3.1 Estructuras básicas.

Un circuito secuencial es aquel cuyas salidas no sólo dependen de sus entradas actuales, sino también de una secuencia de entradas anteriores, que tal vez sea arbitrariamente grande. Los circuitos secuenciales básicamente consisten de circuitos combinatoriales a los que se les conecta elementos de memoria para forman un camino de retroalimentación.

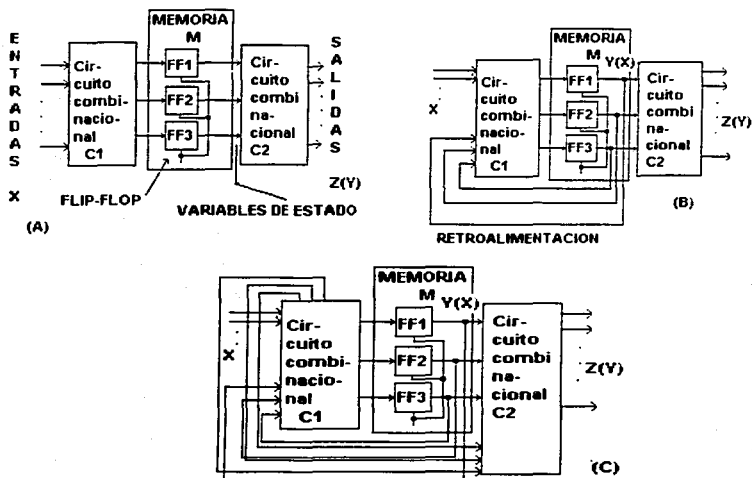


Figura 11.3 Configuraciones básicas de circuitos secuenciales

La figura II.3 muestra algunos tipos de circuitos secuenciales en donde se muestran las posibles conexiones entre el circuito combinacional  $C_1$  y un elemento de memoria  $M$ .

En la figura II.1(a) se muestra que no existe ninguna retroalimentación global, lo que limita el comportamiento de este circuito para casos en los que un estado futuro es independiente del estado actual. El estado futuro  $Y$  es sólo una función de las entradas primarias  $X$ , y está determinado por la entrada lógica  $C_1$ . Las salidas primarias  $Z$  dependen sólo de  $Y$  y están determinadas por la lógica de salida  $C_2$ . No existe retroalimentación en este circuito; los circuitos secuenciales de este tipo están completamente limitados en su comportamiento, y en muchos casos se utilizan latches para su construcción en lugar de flip-flops.

Una estructura del circuito más general se muestra en la figura (b), en el cual existe una retroalimentación global de la memoria  $M$  con el subcircuito de entrada  $C_1$ , el cual permite que el estado futuro sea una función tanto de  $X$  como de  $Y$ .

Sin embargo,  $Z$  depende únicamente de  $Y$ . El caso más general se muestra en la figura (c), aquí tanto  $Z$  como  $Y^*$ , son funciones tanto de  $X$  como de  $Y$ . El modelo de circuito secuencial que se muestra en esta figura se llama modelo de Mealy, este contrasta con el modelo mostrado en la figura (b), en el cual la salida del circuito  $C_2$  recibe sus entradas únicamente de  $M$ ; y; esta estructura del circuito es conocida como modelo de Moore.

Los elementos de memoria son capaces de almacenar información binaria dentro de ellos. La información binaria almacenada en los elementos de memoria en un tiempo dado, define el estado del circuito secuencial. El circuito secuencial recibe la información binaria de las entradas externas, estas entradas, conjuntamente con el estado presente de los elementos de memoria, determinan el valor binario de las terminales de salida, también determinan la condición de cambio de estado en los elementos de memoria. En un circuito secuencial las salidas externas son una función no solamente de las entradas externas sino del estado presente de los elementos de memoria. El siguiente estado de los elementos de memoria es también una función de las entradas externas y del estado presente. Así, un circuito secuencial se especifica por medio de una secuencia del tiempo de las entradas, salidas y estados internos.

Hay dos tipos de circuitos secuenciales, su clasificación depende del tiempo de sus señales. Un circuito secuencial sincrónico es un sistema cuyo comportamiento puede definirse a partir del conocimiento de sus señales en instantes discretos de tiempo. El comportamiento de un

circuito asincrónico depende del orden en que cambian las señales de entrada y puedan estar afectadas en un instante de tiempo. Los elementos de memoria comúnmente utilizados en los circuitos secuenciales asincrónicos son mecanismos retardadores de tiempo. La capacidad de memoria de los mecanismos retardadores de tiempo se debe al hecho de que la señal emplea un tiempo finito para propagarse a través del dispositivo. en la práctica, el retardo de propagación interna de las compuertas lógicas es de una duración suficiente como para producir el retardo necesario, de tal manera que las unidades físicas de retardo de tiempo pueden ser despreciables. Así, un circuito secuencial asincrónico puede tomarse como un circuito combinacional con retroalimentación, debido a la retroalimentación entre las compuertas lógicas, un circuito secuencial asincrónico puede volverse a veces inestable. Por tanto, su uso no es tan común como en los sistemas sincrónicos.

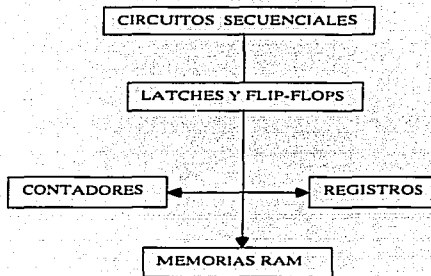
Un sistema lógico secuencial sincrónico, por definición puede utilizar señales que afecten los elementos de memoria solamente en instantes de tiempo discreto. Una forma de lograr este propósito es utilizando pulsos de duración limitada a través del sistema de tal manera que la amplitud de un pulso represente la lógica 1 y otra amplitud de pulso (o la ausencia de un pulso) represente la lógica 0, la dificultad con un sistema de pulsos es que cualquier par de pulsos que lleguen de fuentes separadas independientes de las entradas de la misma compuerta mostrarán retardos no predecibles, de tal manera que se separarán los pulsos ligeramente, resultando una operación no confiable.

Los sistemas lógicos secuenciales sincrónicos prácticos utilizan amplitudes fijas tales como niveles de voltaje para las señales binarias. La sincronización se logra con un dispositivo de tiempo llamado generador maestro de tiempo el cual genera un tren periódico de pulsos de reloj que se distribuyen a través del sistema de tal manera que los elementos de memoria son afectados solamente con la llegada del pulso de sincronización, en la práctica, el pulso de reloj se aplica a las compuertas AND conjuntamente con las señales que especifican los cambios requeridos en los elementos de memoria. Las salidas de la compuerta AND pueden transmitir señales solamente en los instantes que coinciden con la llegada de los pulsos de reloj. Los circuitos secuenciales sincrónicos que utilizan pulsos de reloj en las entradas de los elementos de memoria se llaman circuitos secuenciales temporizados. Los elementos de memoria utilizados para construir circuitos secuenciales se llaman flip-flops, estos circuitos son celdas

TESIS CON  
FALLA DE ORIGEN

binarias capaces de almacenar un bit de información. Un circuito flip-flop tiene dos salidas, una para el valor normal y otra para el valor complemento del bit almacenado en él, la información binaria puede entrar a un flip-flop en una variedad de formas, hecho que determina los diferentes tipos de flip-flops que existen.

### 11.3.2 Principales circuitos secuenciales.



**Contador.-** Es el circuito secuencial que pasa por una secuencia preestablecida de estados después de la aplicación de un pulso de entrada.

**Registro.-** Es el circuito secuencial que almacena información binaria.

**Memoria RAM.-** Es un circuito secuencial capaz de almacenar información, a demás de transferirla hacia la salida del circuito (lectura), así como también es capaz de recibir nueva información para el almacenamiento (escritura).

### 11.4 RETARDO DE PROPAGACIÓN EN LOS CIRCUITOS SECUENCIALES Y COMBINACIONALES.

La figura 11.4 ilustra los retardos de tiempo relacionados con un circuito secuencial; los datos de entrada de todos los flip-flops de M se mantienen fijos por un tiempo de inicio  $t_{su}$  antes de



que el flanco de disparo de la señal de reloj CLK se aplique a cada flip-flop. Este tiempo de inicio permite que el flip-flop lea su terminal de entrada de datos, para poder hacer un reconocimiento adecuado del cambio de estado; una vez que se efectuó el disparo, el flip-flop procede a cambiar sus señales de salida de datos Q y Q\* , un proceso que lleva una cantidad de tiempo en efectuarse, el cual se define como retardo de propagación del flip-flop  $t_{ff}$ , de la figura 11.4 (b) se puede notar que  $t_{ff} > t_h$ , pero en la práctica frecuentemente se encuentra que  $t_h \approx 0$ . Las nuevas señales de salida Y de los flip-flops se aplican al circuito combinacional C y generan unas nuevas señales secundarias de salida Y\* que regresan a la entrada de los flip-flops después de un retardo  $t_c$ , el cual se define como retardo de propagación combinacional.

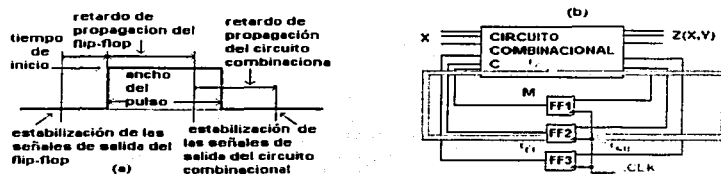


Figura 11.4 (a) Retardos relacionados con un pulso de reloj; (b) Fuentes de retardo

### **CAPITULO III**

### **TIPOS DE FALLAS EN CIRCUITOS INTEGRADOS DIGITALES.**

TESIS CON  
FALLA DE ORIGEN

### III.1 INTRODUCCIÓN:

La naturaleza de las fallas en los C.I.'s tiene una gran influencia en el diseño de las pruebas, por lo tanto es apropiado analizar la variedad de fallas que ocurren con mayor frecuencia en los circuitos digitales antes de describir los métodos de prueba para detectar y corregir estas fallas.

Una falla ordinariamente se describe como la incorrecta función de salida esperada. Esta definición es apropiada en el entorno de los circuitos digitales ya que la función de salida es respuesta de una condición de entrada. Una falla es una imperfección física o intelectual, más precisamente, en electrónica digital una falla es un defecto tal como un circuito abierto, un corto circuito con una tierra en el circuito, con un componente o con una línea. Si las fallas se generan en un C.I. durante su proceso de fabricación o se introducen en el campo de aplicación debido al estrés del medio ambiente, provocan a menudo cortos circuitos o circuitos abiertos en el C.I. Así una unión fracturada dentro del C.I. o un pin conector contaminado, crean circuitos abiertos. La falta de un buen aislamiento dentro del C.I. o la electroemigración en el mismo crean cortos. Es una práctica común en la electrónica digital clasificar las fallas por su efecto en los valores lógicos del circuito, más que clasificarlas por sus causas, esta técnica de organización será utilizada en este capítulo. Una explicación de las causas acompañará a cada categoría de falla descrita, así como los síntomas y la propagación de sus efectos completará cada discusión.

Comenzando con los tipos de fallas más simples y comunes hasta concluir con las fallas más complejas como lo son las fallas provocadas por el ruido y por los efectos de la radiación.

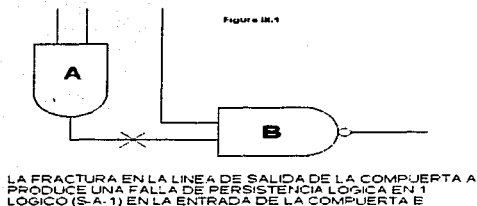
### III.2 FALLAS DE PERSISTENCIA LÓGICA.

Como su nombre lo indica, una falla de persistencia lógica provoca que un nodo y sólo un nodo de un C.I. digital se mantenga en un valor lógico ya sea 1 o 0. La falla de persistencia lógica en un 1 lógico (s-a-1), impide a un nodo determinado cambiar a 0, mientras que la falla de persistencia lógica en un 0 lógico (s-a-0), impide a un nodo determinado cambiar a 1. En un circuito de tres estados una falla de persistencia lógica de alta impedancia (s-a-z) se define como la falla que impide a una señal lógica de ser puesta en estado de alta impedancia y evita

que esta señal lógica pueda conectarse a un bus. La figura III.1 muestra el efecto de una típica falla (s-a-1) provocada por la fractura en la conexión de dos compuertas dentro de un C.I. MSI.

Varios factores alternos ocurrieran lo cual resultaría en la misma falla lógica. Una metalización fracturada del C.I. resultaría en un circuito abierto en la salida de la compuerta A o en la entrada de la compuerta B. Este fenómeno produciría una falla (s-a-1) para la tecnología TTL.

Para un análisis más detallado de la relación causa-falla se tiene la figura III.2, donde se muestra una compuerta NAND de dos entradas.



Si cualquier entrada se encuentra desconectada, el nodo respectivo de entrada formado por un emisor de Q1 y un diodo, se cargan hasta  $V_{cc}$  a una velocidad determinada por el valor de R1 (4 k $\Omega$  para la compuerta NAND) y una capacitancia combinada del diodo en inversa y el conductor interno del C.I., por lo que la salida de la compuerta depende solo de la restante entrada. Si esta entrada tiene aplicado un 1 lógico, la unión base-colector de Q1 conducirá, poniendo en estado activo al transistor Q2 resultando en un 0 lógico en la salida. El voltaje en la entrada no conectada se establecerá en casi 1.2V en este caso entonces el voltaje de base del transistor de entrada es fijado por las caídas de voltaje de Q2 y Q4 y del voltaje  $V_{bc}$  de Q1. Los cortos internos provocados por las metalizaciones sueltas, la contaminación o las anomalías de la estructura del cristal en Q3 pueden provocar que en la salida de la compuerta A se encuentre una falla s-a-1. Estas anomalías en la estructura del cristal ocurren cuando los iones dopantes penetran en exceso las capas epitaxiales del cristal.

TESIS CON  
FALLA DE ORIGEN

Las impurezas en la preparación del cristal de sustrato provocan que el crecimiento epitaxial ocurra en diferentes planos, esto resulta en una trayectoria fortuita para la penetración de

Figura III.2

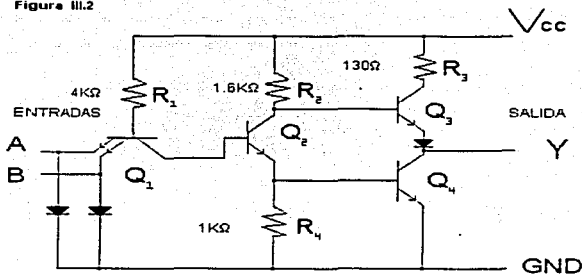


DIAGRAMA A NIVEL DE TRANSISTOR DE UNA COMPUERTA NAND DE DOS ENTRADAS PARA DESCRIBIR LA RELACION DE DEFECTOS FISICOS CON LAS FALLAS LÓGICAS.

iones, así como la característica forma triangular de la región donde ocurre la falla de persistencia lógica. Como una región provoca un corto en otra región, Q3 se deshabilita, y en toda la red se origina la falla de persistencia lógica s-a-1. Un corto similar en el resistor de polarización de 1.6 K $\Omega$  también provocará una salida s-a-1. Los circuitos abiertos provocados por las **fallas de paso** en Q3 o Q4 resultan en fallas lógicas de s-a-1. Las **fallas de paso** ocurren cuando la metalización no sigue la línea vertical de una capa de silicio con otra. Una forma similar de análisis conduce a una lista de fallas que provocan fallas de s-a-0.

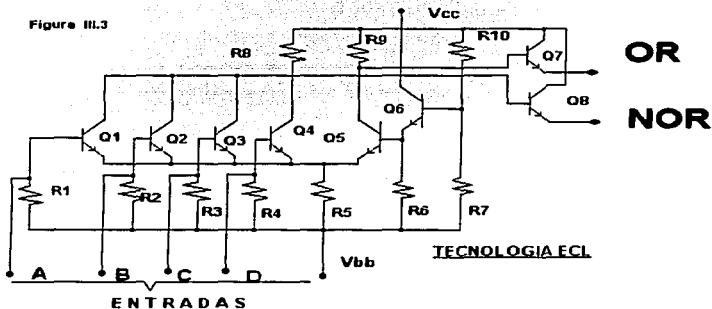
La correspondencia entre defectos físicos y fallas lógicas a veces no es tan directa, por ejemplo si el resistor de polarización de 4 K $\Omega$  del circuito de entrada estuviera abierto, entonces se provocaría una falla s-a-1, pero un corto en el mismo resistor no resultaría en una falla de persistencia lógica definida. Bajo esta condición el umbral efectivo de entrada aumentará, y cualquier compuerta conectada a esta compuerta NAND puede o no reunir la nueva condición lógica de nivel lógico alto. Si la compuerta llegara a tener una o entradas

TESIS CON  
FALLA DE ORIGEN

varias entradas con fallas s-a-0, no se podrían determinar las características de este tipo de fallas sin tomar en cuenta la compuerta a la cual está conectada. Tal vez el defecto más indeterminado en la lógica común es el bus de la lógica de tres estados, en una salida de este tipo de lógica, el estado de alta impedancia puede crearse por un corto en la línea de habilitación sin que se este seleccionado este estado en la combinación lógica, aún este caso se reduce a una falla de persistencia lógica en 1 lógico (s-a-1), si en el bus de salida se conectara un resistor de carga o si existiera tiempo suficiente para que el circuito cambiara a un 1 lógico como resultado de las corrientes de fuga de las compuertas que se encuentran conectadas a la salida de esta compuerta de tres estados.

Cuando la línea de habilitación se encuentra abierta la falla se vuelve más compleja ya que la compuerta que se encuentra conectada a la salida se mantendrá activa cuando debería estar desactivada del bus triestado. La falla resultante es un "choque" de corrientes en el bus, la cual se convierte en una interacción de dos compuertas y no se admite como falla de persistencia lógica.

La correlación entre simples defectos y fallas lógicas como lo es un circuito abierto y una falla de persistencia lógica (s-a-1) dependen del tipo de circuito lógico. En la lógica de emisor acoplado (ECL) como lo muestra la figura III.3.



LA IMPLEMENTACIÓN DE FUNCIONES LÓGICAS EN DIFERENTES TECNOLOGÍAS PRODUCE UNA NUEVA RELACIÓN DE CAUSAS FÍSICAS Y FALLAS LÓGICAS.

TESIS CON  
FALLA DE ORIGEN

En este tipo de tecnología un circuito abierto dejaría desconectada la base del transistor de entrada en donde caería su voltaje hasta  $-5.2V$  (un 0 en la lógica positiva) poniendo al transistor en estado de corte. Como en el caso de la tecnología TTL para una entrada en circuito abierto la compuerta reacciona como si su entrada tuviera un nivel lógico aplicado, forzando a un 0 lógico permanente en su salida. Un corto a tierra en un circuito ECL provoca una falla s-a-1. Muchos otros defectos pueden concebirse como simples fallas de persistencia lógica, los efectos precisos de un defecto dependen de la implementación lógica y en algunos casos de los circuitos circundantes del circuito lógico dentro del mismo C.I. El conjunto de fallas de persistencia lógica para los circuitos binarios ordinarios, contienen únicamente dos tipos de fallas s-a-1 y s-a-0. El caso de las fallas de persistencia lógica de alta impedancia (s-a-Z) es un concepto significativo sólo en la periferia del circuito donde las características de voltaje y corriente pueden medirse, internamente la condición de s-a-Z se traslada en una falla compleja que depende del circuito de carga, de dispositivos excitadores alternos y de circuitos de tiempo.

### III. 3 FALLAS DE PUENTE.

En los circuitos lógicos, los cortos intercircuito, a menudo son las fallas más recurrentes: los circuitos de memoria que presentan fallas, como son las fallas provocadas por las perturbaciones en el material con el cual son fabricadas, el excesivo calentamiento de los enlaces internos que conforman la estructura de programación de las memorias ROM. Con el uso predominante de lógica programada en forma de arreglos de compuertas, las fallas debidas a las funciones que definen los arreglos de compuertas son cada día más comunes, en el caso de la tecnología MOS, esta contiene algunas fallas suaves debido a su propia estructura física compuesta de transistores.

Las fallas de puente pueden ser provocadas por alguna terminal de algún componente mal colocado en el interior del C.I., el cual tiene contacto con otro a la vez, como el tiempo, la temperatura, y los campos eléctricos son parámetros que trabajan en los metales de los C.I.'s, la migración iónica puede crear extrañas estructuras las cuales salen fuera de la superficie metálica donde se forman y tienen contacto con otras regiones metálicas o regiones del silicio del C.I., como lo muestra la figura III.4.

TESIS CON  
FALLA DE ORIGEN



Figura III.4. La migración metálica originada por los campos eléctricos u elevadas temperaturas crean estructuras que provocan cortos circuitos en los C.I.'s.

La migración metálica originada por campos eléctricos que se encuentran elevadas temperaturas, crea extrañas estructuras dentro del circuito integrado que provocan cortos circuitos dentro del mismo, el efecto en los circuitos involucrados depende de la tecnología con la cual se realizó su implementación lógica. Por ejemplo se crea una compuerta AND alambrada debido a un corto intercircuito. Esta situación puede apreciarse en la figura III.5. En el caso de la tecnología ECL la compuerta OR alambrada, se crea cuando el efecto conduce a un 1 lógico en toda la red, en cualquier caso el resultado es una función de ambos circuitos y una prueba efectiva no puede llevarse a cabo con mucha precisión sino que se consideran ambas redes simultáneamente.

Tal vez la parte más difícil de derivar pruebas para cortos intercircuito es decidir cuales circuitos son probablemente los que se van a poner en corto. Ya que el número de posibles cortos intercircuito es proporcional a  $n$ , revisar todos no es práctico.

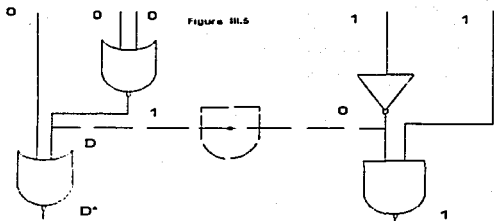
Una forma de decidir es revisar todos los circuitos que se conectan en forma adyacente al C.I. tanto en sus entradas como en sus salidas. Cuando el puente conecta la salida de un circuito con sus entradas, se establece entonces un puente de retroalimentación, como lo indica la figura III.6.

El circuito equivalente resultado del corto entra la salida y la entrada es un circuito latch

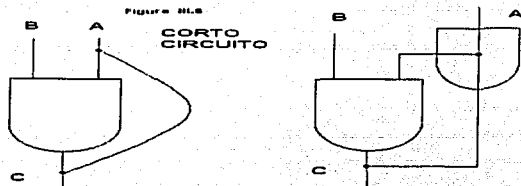
TESIS CON  
FALLA DE ORIGEN



secuencial. Así si en la entrada A se le aplica un 0 lógico, la compuerta permanecerá en 0 lógico no importando el valor lógico que se le aplique a B.



Los cortos intercircuitos crean una AND alambrada en los CI de la tecnología TTL.



Los cortos circuitos entre entradas y salidas crean una compuerta AND alambrada con efectos de retroalimentación.

En la presencia del puente de retroalimentación la salida forzara a la entrada B a permanecer en un 0 lógico después de que en la entrada A se ha introducido un 1 lógico.

No solo el valor de la entrada A ha sido guardado, sino que ya no puede ser borrado. Una prueba para esta falla primero establecería una condición para forzar a la entrada A a un 0 lógico y después regresarlo a un 1 lógico. Antes de verificar su trayectoria hacia la salida. Por supuesto, muchas situaciones de retroalimentación complejas pueden ocurrir lo cual lleva a

TESIS CON  
FALLA DE ORIGEN

efectuar pruebas más complejas para analizarlo.

### III.4 FALLAS INTERMITENTES.

En los C.I. digitales, los mecanismos que provocan las fallas intermitentes son de naturaleza ambiental, es difícil concebir una falla intermitente por simple análisis de su diagrama lógico. Generalmente, cualquier falla que ocurre y desaparece en un intervalo de tiempo no determinado se clasifica como falla intermitente; fenómenos como la vibración y el estrés térmico afectan la operación del C.I. digital que se encuentra en una aplicación específica.

**Vibración.** La vibración es una primera causa de las fallas intermitentes, debido a la vibración del lugar donde se encuentra el C.I. operando, los conductores oscilan y entran en contacto, se fracturan y las interconexiones se desprenden. En cualquier situación de operación, la vibración puede originarse de maquinaria, aviones o vehículos, los cuales pueden tener C.I.'s digitales o bien estos vehículos pueden estar próximos a equipos que contengan C.I.'s. Las vibraciones de baja frecuencia de naturaleza regular, se experimentan en barcos debido a los movimientos de la propele y a la acción de las ondas del casco. Los flujos de aire subsónicos y supersónicos sobre el fuselaje de una avión crean una vibración aleatoria con un amplio espectro de energía. Los efectos resonantes de una tarjeta de circuito impreso (donde se encuentran montados los C.I.'s), su montaje y otros componentes del mismo sistema acentúan algunas frecuencias.

Las pruebas para subsensibles electrónicos con C.I. digitales, que van a operar bajo fuertes condiciones de vibración, son realizadas bajo condiciones ambientales simuladas, para lo cual se emplean excitadores mecánicos y electromecánicos. La dificultad de efectuar pruebas para fallas intermitentes se debe a que la ocurrencia de las fallas mecánicas a veces no coincide con la ocurrencia de las fallas electrónicas. Un muy simple ejemplo de este tipo de fallas es el siguiente evento en una tarjeta de circuito impreso que contiene C.I.'s digitales, en la cual existe una flexión de los conductores que interconectan los C.I.'s que es originada por una vibración mecánica senoidal, debido a esta vibración uno de los conductores se puede colapsar y puede provocar un circuito abierto en el pico de la onda senoidal, por lo que puede estar en circuito abierto para cada 10% del ciclo de la senoide. Si la frecuencia de vibración se encuentra en la región superior sónica, entonces la falla estará presente para cada 10 $\mu$ s y

TESIS CON  
FALLA DE ORIGEN

estará ausente para cada 90µs. Una secuencia de prueba razonable puede durar varios segundos, pero las condiciones particulares necesarias para detectar la ocurrencia de un circuito abierto son sólo de unos cuantos microsegundos de duración. Toda la secuencia de prueba tendrá que ser repetida cientos de veces para asegurar una adecuada detección de la falla. Debido a que las vibraciones son rara vez regulares (debido a las distorsiones resonantes), el circuito puede no estar abierto en cada ciclo, llevando a la necesidad de aún más repeticiones en las pruebas.

**Estrés Térmico.** El estrés térmico provoca fallas intermitentes también, pero el periodo de tiempo de la intermitencia es mucho mayor; muchos problemas térmicos son provocados por las diferencias en las velocidades de expansión entre los materiales utilizados para la fabricación de los C.I.'s Digitales, por ejemplo el conductor de cobre de una pista de circuito impreso se expande a una velocidad de  $17 \times 10^{-6}/^{\circ}\text{C}$ , mientras que el cristal utilizado en la fibra de vidrio y en el sustrato se expande a una velocidad de  $9 \times 10^{-6}/^{\circ}\text{C}$ . En el proceso de calentamiento a una temperatura de operación de  $100^{\circ}\text{C}$  una sección de cobre de 1 cm crecería a sólo 1.00675 cm. Actualmente, cada material crea estrés en el material contiguo, el cual resulta en un agotamiento y crecimiento del metal. Tal agotamiento puede crear fisuras y otros efectos, los cuales resultan en fallas eléctricas. Así si la temperatura del ensamble donde esta integrado el C.I., se reduce, las fisuras pueden unirse corrigiendo temporalmente la falla. En este caso un simple paso en la secuencia de prueba tiene una buena probabilidad de detectar las fallas si se ha llegado a la temperatura de la ocurrencia de la falla. El parámetro de importancia va a ser el periodo de tiempo requerido para estabilizar el ensamble a una determinada temperatura. Aún cuando el ensamble puede ser inmerso en un medio recalentado (o preenfriado), la inercia térmica de una tableta de circuito impreso y la limitada conductividad del calor de sus capas exteriores se combinan para crear una temperatura en su interior que puede requerir de minutos a horas para estabilizarse. Así el ensamble debe ser "remojado" en cada intervalo de temperatura de la ejecución de la prueba por minutos para asegurar una razonable oportunidad para la ocurrencia y la detección de las fallas intermitentes, una simple prueba requeriría de horas si se utilizaran tres temperaturas (frío, ambiente, y calor). En el otro extremo de las fallas intermitentes en los C.I., se encuentran las llamadas **fallas suaves**; provocadas por la interferencia electromagnética, los glitches del

TESIS CON  
FALLA DE ORIGEN

voltaje de alimentación y la radiación cósmica. que pueden crear transitorios de corta duración (nanosegundos), estas fallas son casi imposibles de aislar. Afortunadamente estas fallas ocurren con muy poca frecuencia y su efecto es de tipo temporal. En estos casos es de suma importancia identificar y analizar la falla, más que aislarla y repararla. Una descripción con mayor profundidad de este tipo de fallas se dará a continuación.

### III.5 FALLAS DE MEMORIA.

Probablemente el grupo más buscado de fallas complejas consiste de las **fallas de memoria**. La presión por la extrema miniaturización de los circuitos de memoria ha traído consigo la susceptibilidad de varios efectos de interdependencia, estos efectos provocan lo que comúnmente se llaman "**fallas de vecindad**" y la tendencia hacia una particular falla depende del arreglo físico de las conexiones y los elementos de almacenamiento dentro del C.I. Además de las características térmicas, del voltaje de alimentación y de otros factores ambientales, el tiempo es un factor crítico en las memorias RAM dinámicas y estáticas.

Las memorias magnéticas como lo son las de núcleo y bobinas pueden tener límites en el número de veces que pueden ser leídas sin ser reescritas. Por ejemplo la colocación de 64K, 256K, o en el futuro la colocación de aún más celdas de memoria en una sola oblea de silicio (chip), requiere de un diseño de celdas que deja un mínimo espacio entre todos los elementos. De hecho el espaciamiento es una característica del grabado, crecimiento del cristal y de los procesos de deposición de impurezas durante el proceso de fabricación del C.I. Si un proceso con una mayor resolución se encuentra disponible, las dimensiones se reducirán para tomar ventaja de él para nuevos diseños. Con un espaciamiento de ( $5 \times 10^{-7}$ ), efectos como la migración de cargas y los efectos debidos a los campos eléctricos se vuelven críticos durante la operación del C.I.

En las memorias RAM dinámicas, el mecanismo de almacenamiento es un capacitor que consiste del material sustrato (la placa conectada a tierra), una capa de dióxido de silicio aislante y una segunda capa de silicio colocada en la parte superior del modelo la cual forma la placa superior. El silicio también forma un camino para cargar o detectar capacitores individuales, el cuello que conecta al capacitor con la línea de carga se convierte en un transistor (MOS) cubriéndose con una delgada capa aisladora de dióxido de silicio seguida

TESIS CON  
FALLA DE ORIGEN

por una compuerta de metal depositada. Todas las compuertas en una línea horizontal se conectan para formar una línea de palabra para acceder a un conjunto de capacitores simultáneamente, mientras que cada línea del bit de silicio conecta un bit de cada palabra a un amplificador de carga y a un amplificador de detección.

Desafortunadamente, la implementación interna de un C.I. de memoria es con frecuencia un dato confidencial del fabricante, así que una prueba que depende de la estructura del C.I. a veces no resulta efectiva.

Por ejemplo si un vendedor A fuera a vender una memoria de 64 bits implementada como líneas de dos bits y líneas de 32 palabras, el vendedor B puede utilizar 8 líneas de bits y 8 líneas de palabras, pero como ambos vendedores habrían multiplexado las líneas de bits en una línea de bit y en una línea de datos, los chips serían intercambiables.

Una prueba diseñada para detectar la sensibilidad de un bit en los campos generados por la carga y descarga de los bits adyacentes en la misma columna no sería efectiva en todos los bits de una distribución alterna, ya que los supuestos bits pueden no ser adyacentes.

Pruebas exhaustivas que permiten verificar, la interferencia entre dos bits cualesquiera del arreglo de memoria eliminan la dependencia de la distribución, pero a expensas de efectuar una prueba más compleja y costosa.

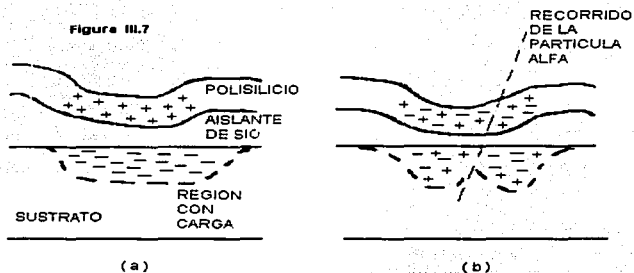
La secuencia de prueba para este tipo de memorias a menudo consiste de conjuntos estructurados de señales de entrada, las cuales muestran primero las principales fallas. Un simple modelo de direcciones consiste en escribir cada dirección de la fila y sus datos y después verificarlos con una serie de lecturas, este procedimiento fue muy popular para localizar líneas de direcciones abiertas o en corto unas con otras cuando muchas memorias se construyan con muchas líneas de datos en comparación con las líneas de dirección, por ejemplo una memoria de  $256 \times 8$  puede probarse de esta forma. Ahora que las memorias son muy verticales en forma ( $16K \times 1 \text{ BIT}$ ,  $64K \times 1 \text{ BIT}$ , etc.) se aplica una técnica diferente.

Las fallas de hardware, como son las líneas de dirección o las líneas de datos con persistencia lógica o cortos entre ambas líneas son estudiadas como **fallas de entrada, salida o de puente** en la lógica ordinaria, fallas sensibles al diseño como lo son las perturbaciones de las celdas adyacentes requieren de mucho tiempo para detectarse, pero aparecen repetidamente bajo las propias secuencias de entrada.

TESIS CON  
FALLA DE ORIGEN

Las fallas de memoria más elusivas son las **fallas suaves**. Las **fallas suaves** provocan un error de lectura, pero no se repiten después de volver a escribir en la celda.

Mientras el tamaño de la celda disminuye, las **fallas suaves** provocadas por la radiación cósmica se vuelven estadísticamente más notables. La figura III.7 muestra este inusual mecanismo.



SECCION TRANSVERSAL DE LA CELDA DE UNA MEMORIA DINAMICA ANTES Y DESPUES DE SER AFECTADA POR UNA PARTICULA COSMICA ALFA. (a) CELDA ESCRITA. (b) DESCARGA DE LA PARTICULA ALFA.

Cuando se escribe un 1 lógico en una celda, la placa de metal del capacitor se conecta a una fuente de corriente y se forma una carga entre la placa y el material de sustrato del C.I. El transistor de la compuerta se encuentra en corte antes de que la fuente de corriente sea removida, de tal forma que la carga es atrapada en el capacitor de la celda. La máxima cantidad de carga depositada depende del voltaje de la fuente de corriente y del valor del capacitor.

El cambio en una región del semiconductor es algo compleja, pero esta puede ser aproximadamente de  $q=Cv$  donde  $v$  es el voltaje a través de las placas del capacitor. En este caso, se supone que el voltaje del capacitor tuvo el suficiente tiempo para alcanzar al voltaje

de la fuente de corriente.

Las últimas memorias han sido diseñadas, para la conveniencia del usuario, para operar al mismo voltaje de la lógica circundante (5 V). La capacitancia para placas paralelas es  $C = \epsilon A/d$ , donde A es el área de las placas y d es la separación. La constante  $\epsilon$  tiene un valor de casi  $3.4 \times 10^{-11}$  C / N-m. En las celdas de memoria el grosor de la capa aisladora de óxido puede ser de 0.2  $\mu$ m y la de las placas puede ser de 5  $\mu$ m en un lado. La solución a la ecuación resulta en una capacitancia de  $4.3 \times 10^{-14}$ F o 0.043 pf. La carga de un capacitor de este tamaño a 5V es de  $2.15 \times 10^{-13}$  C, o solo 1,341,600 electrones.

El efecto ionizante de una partícula energética cósmica pesada como lo es una partícula alfa esta dentro del rango de la carga en una celda de almacenamiento en las memorias. Como una partícula alfa cósmica pasa a través de la celda, esta descarga electrones del átomo en el óxido y en el sustrato. Estos electrones se encuentran temporalmente libres y emigrarán para neutralizar a la carga del capacitor debido a su campo potencial. Aunque la celda no será probablemente descargada, su carga puede caer debajo del rango necesario de carga para disparar al amplificador de detección durante la operación de lectura. Así la información se perderá por lo que ocurrirá una falla. El daño provocado por las partículas cósmicas alfa es menor, por lo que una vez que la carga de la celda se restaura durante una operación de escritura, la memoria funcionará normalmente. Las fallas suaves como lo son las perturbaciones de las partículas alfa son estadísticamente poco ocurrentes, y su dificultad de detección es mayor.

### III.6 FALLAS DE FIRMWARE.

Muchas fallas complejas y de función cambiante ocurren dentro de los dispositivos programables como lo son memorias de solo lectura (ROMs y PROMs) y arreglos lógicos programables (PLAs).

Las PROM pueden representarse como un arreglo de compuertas OR habilitadas por un decodificador de direcciones. Cada combinación de direcciones resulta en la activación de una simple línea de palabra como lo muestra la figura III.8.

En la Figura III.8, la microfotografía de una PROM programada muestra riesgos de cortos circuitos, los cuales no se aprecian en su diagrama lógico equivalente.

TESIS CON  
FALLA DE ORIGEN

En el chip sin programar, todas las compuertas OR tienen una conexión con todas las líneas de palabra, por lo que todas las líneas se activarán. Durante la programación las conexiones entre las líneas de palabra seleccionadas y las compuertas OR se abren para crear la función lógica deseada.



Figura III.8 (a).Estructura física de una PROM, donde se aprecian algunos cortos circuitos

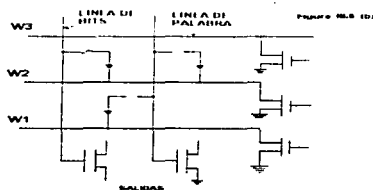


Figura III.8 (b).Diagrama lógico equivalente de la PROM

En efecto, el decodificador de direcciones es una hilera de funciones AND con cada línea de palabra como una salida, mientras que el arreglo lógico programable de las funciones OR completa una realización clásica de funciones Booleanas entre entradas y salidas. Cada dirección distinta es un término compuesto de direcciones de bit variables. Cada salida puede incluir o excluir cada término de su ecuación.

TESIS CON  
FALLA DE ORIGEN



Las fallas de persistencia lógica se presentan en las líneas de dirección y en las líneas de salida de la PROM, pero la representación interna de la falla no será muy clara y puede representarse como una falla suscitada al conectar o desconectar un término de la ecuación. Una prueba adecuada consistiría en revisar cada salida para la activación cuando sus términos conectados se han habilitado y después asegurar que su salida no este activada cuando otros términos sean habilitados. Ya que las PROMs a menudo tienen grandes campos de dirección y pequeños campos de datos, las direcciones con frecuencia están secuenciadas a través de todas las combinaciones mientras que el campo de datos se verifica para comprobar el funcionamiento correcto de la memoria.

Las PLAs también presentan un tipo de falla la cual se caracteriza por la conexión ó la falta de conexión de los términos que representan la ecuación Boleana. Un PLA popular está arreglado internamente de ocho compuertas OR cada una se encuentra activada por siete compuertas AND. Cada compuerta AND tiene entradas afirmadas y negadas de las 16 entradas del chip. La programación se lleva a cabo desconectando la entrada opuesta al término deseado para influenciar la ecuación de salida. Ya que la función AND de una variable y su complemento es igual a 0, todos los términos que no están programados permanecerán en 0. En la tecnología bipolar de C.I.'s, las conexiones se efectúan como uniones de fusibles similares a las que se efectúan en las PROMs. En las tecnologías MOS las conexiones son transistores, la arquitectura de un PLA difiere de arquitectura de la PROM en que existen únicamente 56 términos potenciales de su ecuación Boleana en comparación con las 64K direcciones de entrada utilizadas en la ecuación Boleana de la arquitectura de la PROM. Una prueba que considera la lógica en términos de esta ecuación será más corta que aquella prueba que haga una manipulación exhaustiva de las entradas. Considerando la siguiente ecuación :  $F5=(A3*.A6*.A7)+(A1*.A2*.A3*.A6)$  donde F5 es la función de salida , A#s son las variables de entrada, la # indica la negación de la variable precedente y se utiliza por la función lógica AND, y + designa a la función lógica OR, si la función fuera construida de simples compuertas la prueba sería como lo indica la siguiente tabla:

TFSIS CON  
FALLA DE ORIGEN

A1	A2	A3	A6	A7	AND1	AND2	F5
0	0	0	1	0	1	0	1
1	1	1	0	1	0	1	1
0	0	1	1	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0
0	1	1	0	1	0	0	0
1	0	1	0	1	0	0	0
1	1	0	0	1	0	0	0
1	1	1	1	1	0	0	0

Modelo de prueba para la realización de una función PLA en compuertas básicas.  $F5 = (A3 \cdot A5 \cdot A7) + (A1 \cdot A2 \cdot A3 \cdot A6)$ .

### III.7 FALLAS DINÁMICAS.

Las fallas intermitentes son dependientes del tiempo en algún sentido, pero su dependencia es algunas veces errática y muy a menudo se encuentra relacionada con un fenómeno físico más que con uno electrónico.

Existen varios tipos de fallas lógicas, las cuales tienen una predecible dependencia del tiempo. Las tecnologías lógicas de alta impedancia como lo son las tecnologías MOS muestran fallas de este tipo cuando en las compuertas se suceden fallas de persistencia lógica en circuito abierto o en corto circuito. Las memorias dinámicas, que dependen de una carga de almacenamiento, pueden tener fallas de refresco, que dependen del ciclo del tiempo de la operación de refresco. Algunas estructuras lógicas que dependen de técnicas como lo son la precarga entre los accesos de tiempo y por lo tanto están sujetas a fallas de recuperación si existe un tiempo inadecuado entre los ciclos de tiempo. Ya que todos los elementos lógicos y los conductores entre estos presentan retardos entre la señal de entrada y la señal de salida, estos retardos pueden causar transitorios cuando las señales que provienen de diferentes trayectorias dentro del CI interactúan.

TESIS CON  
FALLA DE ORIGEN

### III.7.1 Fallas de alta impedancia.

En los circuitos digitales lógicos existe la necesidad de tener un estado lógico, además de los estados alto y bajo, este estado es el estado de alta impedancia en el cual los transistores no se encuentran activos pero proveen de una habilitación al operador lógico al que están controlando. Este estado de alta impedancia (Z) desconecta un operador lógico cualquiera del bus para permitir que otro operador alimente de una señal a este mismo operador sin ninguna interacción. En la tecnología TTL esta técnica es llamada lógica de tres estados. En la tecnología MOS un efecto similar se logra con la compuerta de transmisión o compuerta T. El tipo de fallas creadas por este estado lógico se llama **fallas de persistencia lógica de alta impedancia**.

El efecto de estas fallas se muestra en el siguiente ejemplo, como lo muestra la figura III.9. Sean las entradas  $InA=0$ ,  $EnA=1$  (esta señal habilita al operador lógico A),  $InB=1$ ,  $EnB=0$  (el operador lógico B se deshabilita). El nodo N se mantiene en un 0 lógico debido al operador A. Si las entradas cambian a (0,0,1,1) entonces el nodo N cambia a un 1 lógico, pero ahora aplicado por el operador lógico B. La forma de onda de este proceso se muestra en la parte superior de la figura (B). El operador lógico triestado invierte la corriente que viene de la entrada de la compuerta C (Lógica TTL) y abastece de suficiente corriente que vence la corriente de fuga por lo que el voltaje se eleva arriba del umbral de un 1 lógico. Sin embargo, si la línea  $EnB$  tuviera una falla s-a-0, externamente o internamente, ningún operador lógico se encontraría activo y el nodo N flotaría, como lo muestra la imagen inferior (B). Entonces la corriente IOL de la entrada del operador C cargaría eventualmente a la capacitancia de línea y elevaría el voltaje a un 1 lógico, pero mucho más lentamente. Además el voltaje no excedería el umbral ya que en ese punto la juntura de entrada de operador lógico C se polariza en inversa y la corriente cae muy lentamente. Si no hubiesen resistores de pull-up en ese nodo, el voltaje permanecería en casi 1.7V.

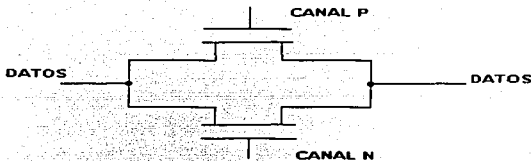
El lento tiempo de elevación de la señal en el nodo N agrava la dependencia del tiempo en el circuito. Se supone que en cualquier caso, debe de permitirse una cantidad finita de tiempo antes de que la salida pueda ser muestreada vía la compuerta C, pero con la presencia de la falla s-a-Z en la compuerta B el tiempo es de una magnitud mayor. Si la muestra se toma en nanosegundos después del cambio en la entrada, la salida probablemente será correcta, pero si

se toma en centésimas de nanosegundos después del cambio de entrada, es muy probable que esta sea incorrecta. Modelar este tipo de fallas requiere un conocimiento del método de prueba así como de las características del C.I.

La tecnología MOS con su inherente alta impedancia agrava las fallas s-a-Z, resultando en un almacenamiento en el nodo de la capacitancia del valor anterior en milisegundos. Si la secuencia de prueba se diseña para verificar la condición de un nodo, invirtiendo las condiciones e inmediatamente verificando su valor en pasos secuenciales, las fallas s-a-Z pueden detectarse. Las complicaciones aumentan cuando intervienen compuertas T-MOS, esta compuerta consiste de un interruptor bidireccional constituido por dos transistores CMOS en paralelo, como se muestra en la figura III.10.

Ambos transistores conmutan juntos para crear un camino de baja impedancia que es

Figura III.10



En la tecnología MOS, dos transistores complementarios se agrupan en paralelo para formar una compuerta de transmisión

insensible a la línea de datos o a una alta impedancia. Si uno de los transistores se encuentra en corto, el camino no se desconectará y la señal mezclada creará resultados complejos que dependerán de los datos de la compuerta y operadores lógicos conectadas a esta. Pero si alguno de los transistores se encontrara abierto, el camino de alta impedancia en la condición de saturación se vuelve sensible al potencial de voltaje del camino de datos.

En el caso de los dispositivos con el canal N inoperante, un 0 lógico pasará sin obstáculos.

TESIS CON  
FALLA DE ORIGEN

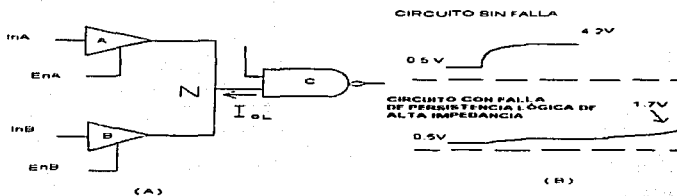


Figura III. Un bus con dos compuertas puede presentar un lento tiempo de elevación bajo la influencia de una falla de persistencia lógica de alta impedancia. a) Un bus simple de tres estados. b) Formas de onda en el nodo N.

pero un 1 lógico reducirá el potencial de la compuerta al potencial de drenaje, incrementando la resistencia del canal, por lo que resultará en un 1 lógico débil.

Si el 1 lógico débil se puede o no detectar depende de la estructura del circuito al cual esta conectado la compuerta y del tiempo de la prueba, el voltaje del 1 lógico débil se aproximará a un 1 lógico normal, pero sus capacidades de corriente serán mucho menores. Si una señal débil se encuentra conectada con una señal normal en forma de AND alamburada, los resultados pueden ser diferentes a aquellos en que ambas señales siendo normales se encuentren conectadas de esta misma forma.

### III.7.2 Fallas de refresco.

Las memorias dinámicas y los dispositivos de carga acoplada son estructuras cuya función depende del almacenamiento capacitivo de carga, similar al que se encuentra en las condiciones de falla de alta impedancia. Estas celdas de almacenamiento son regiones del chip dispuestas para proveer de un capacitor al cual tienen acceso los transistores de disparo. Los transistores crean una conexión de baja impedancia con una línea de dígitos a través de la cual pasa una corriente para cargar al capacitor. Entonces el transistor se va a estado de corte para aislar al capacitor hasta que la celda sea leída. Bajo condiciones ideales la información permanecerá indefinidamente, pero en situaciones reales algunos dispositivos almacenan la carga por años. En muchos arreglos de memoria de acceso rápido, sin embargo, el tiempo de

almacenamiento esta en el rango de milisegundos, mientras que la corriente de fuga del sustrato circundante se lleva la carga.

Para retener la información cada celda se lee y se escribe periódicamente durante un ciclo llamado de "refresco". Un tiempo adecuado entre los ciclos de refresco (el cual refresca una hilera del arreglo a un determinado intervalo de tiempo) depende de la estructura y composición del dispositivo. La fuga excesiva en una región del dispositivo puede provocar que las celdas liberen la carga mucho más rápido del intervalo especificado, resultando en una falla de refresco. Ya que la fuga y la cantidad de carga originalmente depositadas en una celda durante un proceso de escritura dependen del voltaje de alimentación y de la temperatura de operación, una prueba de refresco debe de efectuarse bajo la peor combinación de estos parámetros para asegurar la operación bajo todo el rango permitido.

Las fallas de refresco de memoria no son el único tipo de fallas de refresco. Algunos circuitos MOS tienen celdas de almacenamiento o grupos de celdas incorporadas como latches, registros de desplazamiento, o FIFOs.

### **III.7.3 Fallas de retardo.**

Todos los elementos lógicos presentan retardo. Una cantidad finita de tiempo debe de pasar después del cambio de entrada y antes de que se produzca el respectivo cambio en la salida. El retardo consiste de los tiempos de carga capacitivos e inductivos y del tiempo de movimiento de los electrones. La tecnología utilizada para implementar el elemento lógico es de suma importancia, así como los conductores que interconectan los elementos y la topología del circuito que a su vez también afectan los retardos significativamente. En muchos ejemplos las señales de las entradas del circuito en cuestión no llegan simultáneamente, resultando en un desvío de la señal, por lo tanto la posibilidad de falla en un circuito debido al inherente retardo de sus elementos existe. Pueden existir fallas en los componentes del C.I. que resulten en un cambio de los retardos, aunque la ocurrencia de estas fallas es rara.

Un ejemplo consiste de un operador lógico TTL de colector abierto el cual está dispuesto de un resistor de pull-up, si este resistor se omite durante la fabricación o se abre con el estrés ambiental, el tiempo de elevación de la salida se alargara considerablemente. En efecto, el tiempo de propagación para una señal que provoca en la salida una transición de un 0 lógico a

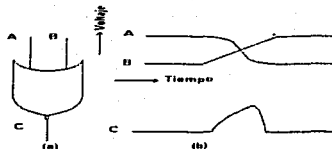
TESIS CON  
FALLA DE ORIGEN

un 1 lógico será mucho mayor de lo normal, mientras que el tiempo para una propagación de un 0 lógico a un 1 lógico será normal. La figura III.11 muestra el ejemplo de un glitch o transitorio.

En los circuitos TTL ordinarios tales transitorios son de únicamente 1 nanosegundo de duración y rara vez alcanzan a llegar al 1 lógico de altura. Un defecto como el que se muestra en los ejemplos anteriores puede producir un pulso de décimas de centésimas de nanosegundos con energía suficiente para producir un pulso de reloj erróneo para cualquier circuito secuencial. Dentro de un circuito, el fan-out puede adicionar señales a los elementos lógicos con retardos diferentes, el desvío de la señal de pulso de reloj es un problema muy frecuente.

Si las entradas de una compuerta cambian simultáneamente se puede generar un transitorio, este puede ser inhibido manteniendo fija una de las entradas hasta que las demás se hayan estabilizado. Por ejemplo si una de las entradas de una compuerta NAND de 4 entradas se mantiene en un estado lógico bajo hasta que las demás entradas se hayan estabilizado, se evitará que se forme un glitch cuando a esta entrada se le aplique un estado lógico alto. Este es el principio del disparo del pulso de reloj y se utiliza durante muchas pruebas para inhibir

FIGURA III.11



LAS DIFERENCIAS EN LOS TIEMPOS DE CAÍDA Y ELEVACIÓN CONTRIBUYEN A LA GENERACIÓN DE GLITCHES EN LOS CIRCUITOS LÓGICOS.

falsos transitorios, la señal de reloj no debe de ser tan ancha sino podría ocultar los lentos transitorios de elevación de tiempo, por lo que estas fallas no podrían ser detectadas.

Las entradas completamente asncronas de un circuito (como lo son las entradas de un equipo de comunicación) se sincronizan con un flip-flop que a su vez se activa con el la frecuencia de reloj de muestreo del sistema. Esto no elimina completamente la posibilidad de coincidencia de los cambios de los datos y de la señal de reloj. Una pequeña posibilidad finita existe de que

TESIS CON  
FALLA DE ORIGEN

esta coincidencia de señales ocurra, y en muchos flip-flops el resultado es una oscilación que puede o no estabilizarse. Este comportamiento es conocido como metaestable. Aunque dichas fallas pueden ocurrir, estas no pueden clasificarse como tal ya que son el resultado de una ocurrencia estadística la cual no es anormal y no se genera de un defecto del circuito.

### **III.8 LOS PROBLEMAS DE LAS TECNOLOGÍAS SUBMICRÓNICAS DE CIRCUITOS INTEGRADOS DIGITALES.**

El comportamiento de los circuitos integrados digitales en general, será cada vez más complejo en el futuro a medida que se reducen los componentes. se reduce su nivel de voltaje de alimentación, y aumenta su velocidad de operación y su complejidad. Los retardos de las interconexiones son mucho más importantes que los retardos de propagación de las mismas compuertas, y los transistores no funcionan de la misma forma al disminuir su tamaño. Así, mientras que el tamaño de los transistores disminuye cada vez más, los transistores operan a velocidades cada vez más elevadas, pero la longitud de las interconexiones permanece invariable. Estas tendencias modifican en forma drástica la repartición de los retardos en los circuitos, los retardos en las interconexiones se vuelven cada vez más importantes que los retardos de las partes activas. Los acoplamientos capacitivos entre las interconexiones se convierten en un problema principal (aumento de las capacidades laterales entre las interconexiones y el sustrato), mientras que el acoplamiento inductivo entre las interconexiones no puede tampoco despreciarse a causa del aumento significativo de la velocidad de funcionamiento.

Por lo tanto los efectos de segundo orden comienzan a ser mas importantes y no se les puede seguir ignorando como en el pasado. Se tiene entonces un incremento de la sensibilidad al ruido a causa de la reducción del voltaje de alimentación, de la reducción de las capacidades de los nodos de salida de la compuerta lógica, pero de igual forma a causa del aumento de la velocidad de funcionamiento. El ruido en las líneas de alimentación aparece también como un problema crítico. La sensibilidad a las partículas ( radiación cósmica y partículas alfa) se vuelve más crítica. La tecnología actual (0.18 micras) es muy vulnerable en las aplicaciones de satélites y en el campo de la aeronáutica. Pero con la llegada de las tecnologías nanométricas(100nm), el número de errores, provenientes de partículas atmosféricas serán

TESIS CON  
FALLA DE ORIGEN



inaceptables de igual forma que al nivel terrestre.

### **III.9 LOS EFECTOS DE LAS TECNOLOGÍAS SUBMICRÓNICAS EN LAS INTERCONEXIONES DEL CIRCUITO INTEGRADO.**

#### **III.9.1 Los fenómenos RC.**

Para las tecnologías de 0.25 micras, los retardos de propagación tienen un impacto en la velocidad de funcionamiento no solamente significativo sino a menudo dominante. La figura III.12 muestra un camino de propagación típico en un circuito integrado donde las interconexiones se modelan por los acoplamientos resistencia-capacidad (RC).

El problema que se tiene en la actualidad, es el aumento cada vez mayor de los tiempos de propagación en las interconexiones, fenómenos un poco contradictorios a primera vista con la reducción de las dimensiones. Por ejemplo, el retardo de tipo RC de 1nm de metal en tecnología de 0.5 $\mu\text{m}$  era de 15ps. Para una tecnología de 0.1 $\mu\text{m}$ , este retardo aumentó en forma significativa, pasando a 340ps. La principal razón del aumento del retardo, se debe principalmente al aumento de la resistencia del conductor.

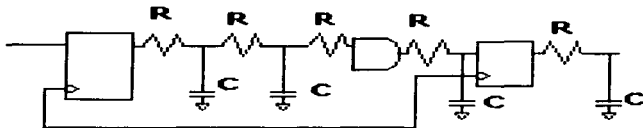
A fin de conservar la resistencia del conductor en valores aceptables, se debe de evitar reducir las dimensiones del conductor al mismo tiempo que se reduce el tamaño del transistor. Pero, para poder aumentar la densidad de integración (que es el objetivo de la miniaturización), se reduce la longitud del conductor. Por lo que solo puede modificarse el espesor del mismo. Esto conduce a un incremento de la relación altura/longitud que a su vez conduce a un aumento de la relación entre la capacidad lateral y la capacidad total.

Además, como el espacio entre los conductores disminuye progresivamente para una mayor densidad de integración, la capacidad lateral se incrementa notablemente.

Para concluir, la capacidad de acoplamiento entre los conductores aumenta a causa de dos factores: el aumento de la relación altura/longitud permite conservar la resistencia de los conductores en valores convenientes, y la tendencia natural de disminución del espacio entre los conductores.

TESIS CON  
FALLA DE ORIGEN

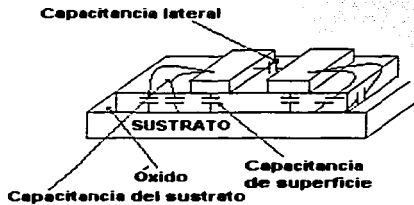
**Figura III.12**



**EJEMPLO DE UN CAMINO DE PROPAGACIÓN TÍPICO EN UN CIRCUITO INTEGRADO.**

Por otro lado, el aumento de la relación altura/longitud es también necesaria a fin de mantener la densidad de corriente en ciertos límites y evitar una degradación importante de la confiabilidad, provocada por el fenómeno de electroemigración.

Actualmente, se fabrican tecnologías que incorporan 5 o 6 capas de metal, el cálculo de la capacidad equivalente de un nodo del circuito se vuelve complejo. La figura III.13 muestra una estructura del circuito implementado en el silicio con la distribución de las capacidades de acoplamiento entre sus diferentes partes.



**Figura III.13.** Distribución de capacitancias en las tecnologías submicrónicas.

Otra manera de reducir la resistencia del conductor es la utilización de nuevos materiales que tienen una conductividad más elevada que la que tiene el aluminio. Por lo que muchos circuitos integrados se fabrican con este tipo de material. Pero, a medida que se reducen los

TESIS CON  
FALLA DE ORIGEN

conductores de aluminio, presentan una sensibilidad relativamente elevada a otro fenómeno: la electroemigración. La electroemigración esta asociada con fuertes densidades de corriente y se manifiesta cuando se produce un transporte de átomos de metal a través de los conductores bajo el efecto de una diferencia de potencial eléctrica local. Los conductores de metal se deterioran, por lo que aparecen agujeros y se forman zonas de acumulación de metal (que pueden dar lugar a cortos circuitos en conductores adyacentes) teniendo como consecuencia la creación de defectos físicos y el incremento de la potencia disipada. Estos dos factores tienen un impacto muy importante en la confiabilidad de los circuitos integrados. Recientemente, las empresas IBM Corp., Motorola Inc. y Schaumburg han propuesto reemplazar al aluminio por el cobre. Estas empresas han desarrollado igualmente soluciones tecnológicas a fin de evitar los problemas eventuales generados al utilizar el cobre, entre otras ventajas el cobre tiene una resistividad de 40 a 455 menor que la del aluminio, las capacidades de acoplamiento se reducen pues las dimensiones de los conductores pueden reducirse sin riesgo y su confiabilidad es mejor gracias a que los efectos de la electroemigración son menos evidentes. Sin embargo, esta solución es temporal. Las dimensiones de las líneas metálicas pueden ser reducidas con la misma relación con la que se reduce el transistor, por lo que un futuro se tendrán que encontrar los límites de densidad de corriente en el cobre y se estará obligado a aplicar las mismas restricciones que se aplicaron para el aluminio, a fin de continuar con la miniaturización.

### **III.9.2 La integridad de la señal.**

El termino integridad de señal se refiere a la calidad de las señales generadas en un circuito y que pueden eventualmente ser alteradas por las interferencias que se derivan de los otros elementos del circuito. Se puede también entender esta noción para tomar en cuenta toda la interferencia y entender a aquellas que provienen de la radiación cósmica. Todos los esfuerzos se concentran hoy en prevenir las diferentes interferencias en los circuitos integrados.

En el pasado, la integridad de la señal en los circuitos integrados era una preocupación para las aplicaciones de circuitos que funcionaban en radiofrecuencias (RF). Hoy, a causa de una integración cada vez más basada en las nanotecnologías, mantener la integridad de la señal se convierte en un reto cada vez más difícil de lograr. Por ejemplo, en una tecnología de 0.5µm,

TESIS CON  
FALLA DE ORIGEN

la integridad de la señal es más que un reto, debido a que los tiempos de elevación de la señal son muy cortos y de la misma reducción de la estructura de los circuitos.

A partir de la tecnología de  $0.25\mu\text{m}$ , el ruido del voltaje de alimentación se incrementa considerablemente a causa de que los tiempos de elevación son muy cortos y también a causa de los elementos parásitos de la estructura del circuito. Por lo que el problema que se tiene que enfrentar hoy: es localizar y eventualmente reducir todas las interferencias posibles dentro del circuito integrado.

Las principales fuentes que agravan la integridad de la señal ya se identificaron desde hace algunos años. Se trata de interferencias entre señales vecinas durante su fase de actividad y de las perturbaciones inducidas en los elementos activos del circuito por el ruido de las líneas del voltaje de alimentación o del sustrato. El problema de las interferencias entre las líneas vecinas tiene relación con el incremento de las velocidades de funcionamiento. Ya que un conductor puede verse como una resistencia para frecuencias bajas, como una capacidad para frecuencias medias, como una inductancia para altas frecuencias, y como una antena para frecuencias super elevadas. El cambio de los parámetros geométricos juega también un papel preponderante. La modificación de la relación altura/longitud (las líneas de las interconexiones más voluminosas que largas) y el acercamiento de los conductores aumentan sustancialmente el efecto de la capacidad lateral y refuerzan el acoplamiento capacitivo de las líneas vecinas. El acercamiento de las líneas y el aumento de las velocidades de funcionamiento refuerzan el acoplamiento inductivo. Este fenómeno se une al acoplamiento capacitivo y se vuelve muy significativo en las tecnologías de  $0.18\mu\text{m}$ .

**El acoplamiento del sustrato.** El sustrato y las capas internas que conforman el circuito integrado tienen una resistencia finita, toda corriente que los atraviesa induce una caída de tensión. Esta caída de tensión modifica el umbral del transistor que se encuentra debajo de la región del sustrato o de la capa atravesada por la corriente. Este problema se agrava con la miniaturización pues la reducción de la dimensión vertical incrementa la resistencia del sustrato y de las capas del transistor.

**El ruido del voltaje de alimentación.** El ruido en las líneas de alimentación que se induce por la conmutación simultánea de un gran número de elementos puede provocar problemas de integridad de señal. El número creciente de elementos activos integrados en los circuitos

TESIS CON  
FALLA DE ORIGEN

contribuyen al aumento de las corrientes. Debido a las elevadas velocidades de funcionamiento, el tiempo en que las capacidades del circuito se cargan o se descargan disminuye, incrementando así la intensidad de las corrientes transitorias. La reducción de los niveles de alimentación reduce las cargas almacenadas en las capacidades, teniendo entonces un efecto benéfico en la intensidad de corriente, pero al mismo tiempo, tiende a reducir el umbral de los transistores y los márgenes de ruido, por lo que da como resultado global una degradación de la integridad de la señal.

### III.10 EL AMBIENTE RADIACTIVO Y SUS CONSECUENCIAS EN LOS CIRCUITOS INTEGRADOS DIGITALES NANOMÉTRICOS.

Las partículas que interactúan con los circuitos integrados son esencialmente partículas ligeras, como los fotones, los neutrones, los electrones los protones, así como los iones pesados. Las principales fuentes de emisión de estas radiaciones son el sol, las zonas de la magnetósfera y los rayos cósmicos.

La influencia del sol sobre la tierra se ejerce por una actividad continua, del viento solar y de una forma más intensa por las erupciones solares. El flujo de estas partículas ligeras se incrementa alrededor del 50% durante los periodos de actividad solar. Normalmente, el campo magnético terrestre desvía las trayectorias de las partículas cargadas en movimiento, protegiendo a la atmósfera terrestre de las erupciones solares y del flujo cósmico.

**Las interacciones con los fotones** se manifiestan en tres formas: el efecto fotoeléctrico, el efecto Compton y la materialización. Las diferencias entre estas interacciones resultan del valor de la energía incidente de los fotones que interactúan con los materiales.

**Las interacciones con las partículas cargadas.** Se trata de los protones, de las partículas alfa y de los iones. Además las partículas tienen una masa y una energía importante, que puede provocar muchos daños.

Los protones se caracterizan por tener un poder ionizante insuficiente para provocar efectos directos pero pueden producir interacciones nucleares y fusionarse con los núcleos que encuentren a su paso. Las partículas cargadas (iones y partículas alfa) son las más peligrosas. Estas partículas son las responsables de efectos como los son los latch-ups y contribuyen igualmente al efecto de dosis acumulada. Sin embargo, en las nuevas tecnologías

TESIS CON  
FALLA DE ORIGEN

submicrónicas utilizadas en las aplicaciones espaciales, se encuentra cada vez más que varios de estos efectos se producen por los protones.

**Las interacciones con los neutrones.** Los neutrones no producen de forma directa los efectos de dosis acumulada pues son eléctricamente neutros. Sin embargo, estos tiene efectos indirectos importantes. El neutrón es una partícula que tiene una masa, pero no tiene carga eléctrica, por lo que no puede disminuirse su velocidad o ser puesto en reposo total, más que cuando éste tiene una colisión con un núcleo. Durante la colisión, pueden ocurrir dos fenómenos diferentes: fenómenos que tienen por consecuencia la deformación de la estructura del material con los átomos que dejan la estructura cristalina; emisiones secundarias de rayos  $\gamma$  o de partículas alfa según la energía incidente del electrón. En 1984, se hicieron diversas predicciones en las que se afirmaba que los neutrones atmosféricos iban a crear diversos efectos en los circuitos integrados. Pero fue hasta 1992 que se apreciaron los primeros efectos de los neutrones atmosféricos, y estos se pudieron apreciar en las memorias SRAM's a bordo de aviones civiles y militares. Desde que diversos efectos originados por estas partículas se han registrado en diversas aplicaciones, y los acontecimientos inducidos por los neutrones comienzan a convertirse en un problema principal para los circuitos integrados.

### **III.10.1 LOS EFECTOS DE LA RADIACIÓN EN LOS CIRCUITOS INTEGRADOS.**

El número de partículas que llegan por unidad de superficie y de tiempo se define como el flujo, el cual esta dado en partículas/cm<sup>2</sup>/s. Una partícula que interactua con la materia le transmite toda o parte de su energía. La cantidad de energía depositada por la partícula por unidad de longitud de trayectoria se llama poder de detención o LET. El LET depende de la naturaleza del ion incidente, de la materia difusante y de la energía de la partícula. Dos parámetros se utilizan para cuantificar de forma empírica a la sensibilidad de los circuitos integrados a estas partículas. Se trata de la sección eficaz y del umbral de sensibilidad . El umbral de sensibilidad esta relacionado con la carga mínima depositada por una partícula necesaria para perturbar el funcionamiento de un circuito. El umbral de sensibilidad se define como el umbral mínimo que debe de inducir una partícula para perturbar el funcionamiento de

TESIS CON  
FALLA DE ORIGEN

un circuito. La sección eficaz  $\sigma$  esta dada por la relación entre el número de perturbaciones y la fluencia rescatada.

La carga eléctrica es un parámetro del circuito que depende de la capacidad y de la resistencia del nodo afectado por la partícula energética. En efecto, la carga crítica es la cantidad mínima de carga recolectada por un nodo sensible necesario para la producción de un efecto parásito. Esta carga disminuye progresivamente con la miniaturización y con la reducción de los voltajes de alimentación.

La evolución tecnológica en materia de niveles de integración en los circuitos y la disminución del tamaño de los transistores a traído una disminución de la carga crítica. De algunos picocoulombs, la carga crítica disminuye en la actualidad hasta 10 femtocoulombs.

TESIS CON  
FALLA DE ORIGEN

## CAPITULO IV

### MÉTODOS DE ANÁLISIS DE FALLAS EN CIRCUITOS INTEGRADOS DIGITALES.

TESIS CON  
FALLA DE ORIGEN



## IV.1 INTRODUCCIÓN:

Una parte importante en el diseño de los circuitos integrados es la **etapa de prueba**. En un ambiente de fabricación de C.I., la prueba se efectúa por dos principales razones: descubrir y localizar errores de diseño y descubrir errores en la fabricación.

En el primer caso no se sabe si el circuito se diseño correctamente, por lo que a la prueba en esta etapa se le conoce como prueba de diagnóstico y se efectúa durante el grabado del C.I.

En el segundo caso, si se sabe que el diseño del circuito es correcto, entonces se tiene que averiguar si existen errores de fabricación. A la prueba en esta etapa se le llama prueba de producción y se efectúa normalmente en una producción en masa de chips.

En vista de que existen cada vez más circuitos digitales más complejos, los métodos de prueba que se utilizan (especialmente la prueba de producción) constituyen una gran fracción del costo final del producto.

El problema obvio al efectuar pruebas con C.I. es que tienen una gran complejidad, y en muchos casos presentan una observabilidad muy limitada, ya que normalmente disponen de unas cuantas terminales de conexión. Como ejemplo se tiene un circuito de 15 entradas, para probar este circuito exhaustivamente, se deben de aplicar  $2^{15}$  diferentes vectores de prueba y observar las salidas correspondientes. Y si se supone que el circuito tiene 50 elementos de memoria internos (ya sean latches, celdas de memoria o nodos dinámicos), el circuito debe de ser estimulado por 2 diferentes vectores de prueba para cada combinación de cada memoria interna, o sea se necesitan efectuar  $2^{15+50}=2^{65}$  diferentes pruebas para probar exhaustivamente el circuito. Si se supone que se va a aplicar cada vector de prueba durante un microsegundo entonces la prueba exhaustiva requeriría de un millón de años para efectuarse, y por si fuera poco esta prueba debe de efectuarse para cada C.I. fabricado. Por lo que los métodos de prueba deben de ser bastante rápidos para que se puedan aplicar a una gran parte de los C.I. durante el proceso de producción, debido a estas consideraciones y a la constante evolución tecnológica de los C.I. se han creado diversas técnicas para analizar las fallas con el fin de lograr un alto nivel en el control de calidad del dispositivo y mejorar su funcionalidad para las aplicaciones diversas que tiene el C.I.

Para aplicar una determinada prueba se toman en cuenta características como tipo de

TESIS CON  
FALLA DE ORIGEN

tecnología con la que se fabrica el circuito integrado así como el tipo de elementos lógicos (combinacionales o secuenciales) que contiene el circuito integrado. por lo que para los circuitos combinacionales se aplican técnicas como: PODEN y FAN, con estas técnicas se analizan básicamente las entradas y salidas externas del C.I. fabricado, por lo que son básicamente métodos de prueba funcionales y se aplican a nivel de compuerta. Otras técnicas se utilizan para analizar los principales parámetros del C.I., como lo es la técnica  $I_{ddq}$  que consiste en analizar la magnitud de la corriente del C.I. cuando este se encuentra en estado estático o inactivo, pero debido a las características que tiene esta técnica, solo puede aplicarse a los C.I.'s de la tecnología CMOS, la cual es una de las más utilizadas en la actualidad. Pero debido a la creación de C.I.'s cada vez más complejos y al elevado costo del hardware y software de apoyo para la aplicación de la prueba, los métodos funcionales y paramétricos se vuelven cada vez más insuficientes para cubrir un gran porcentaje de la cobertura de fallas, por lo que algunos métodos de prueba se han incluido en el diseño de la misma estructura del C.I., estos métodos son los llamados métodos de prueba estructurales y que se basan en el concepto de DFT (Diseño con capacidad de prueba), el cual realiza las características de controlabilidad y observabilidad de los puntos de prueba del C.I.

Pero debido al constante avance tecnológico todas estas técnicas a veces se tienen que combinar durante el proceso de prueba del C.I. con el fin de optimizar aún más el costo de producción.

## **IV.2 PRUEBA DE CIRCUITOS INTEGRADOS.**

La prueba de producción de circuitos integrados consiste en efectuar pruebas a cada unidad producida para asegurar su correcta función, antes de que sea utilizado en su aplicación final. Para alcanzar un alto nivel de calidad, los circuitos deben de pasar todo un conjunto de pruebas. Una típica prueba de producción de un C.I. digital consiste de los siguientes pasos: prueba funcional, prueba de velocidad interna, prueba de velocidad externa y finalmente efectuar una prueba a los niveles de señal de I/O. En los C.I.'s con señal mezclada deben de efectuarse pruebas analógicas. Todas estas pruebas deben de efectuarse con suficientes márgenes de efectividad, para tomar en cuenta la precisión del equipo de prueba utilizado y el medio ambiente en el cual el circuito va a funcionar. Para producciones de gran escala el

TESIS CON  
FALLA DE ORIGEN

tiempo necesario para efectuar la prueba en cada circuito debe de ser mínimo para mantener un adecuado costo de producción. Los C.I. digitales pueden someterse a pruebas en diferentes niveles, nivel de oblea, nivel de dado o ya empaquetado. La prueba de funcionamiento a nivel de oblea no puede sustituir a la prueba a nivel de empaquetado ya que nuevos mecanismos de falla se pueden introducir durante el ensamble y empaquetamiento del chip.

El desarrollo de eficientes pruebas de producción puede ser una parte significativa del presupuesto total de la fabricación del chip. El costo de probar cada componente puede ser hasta el 50% del costo final del circuito, en el caso de circuitos más complejos. La prueba de producción tiene como objetivo asegurar que el dispositivo físico, fabricado del diseño sintetizado, no tenga defectos de fabricación, además son importantes estas características que están relacionadas con la prueba de producción:

- 1.- La fracción de C.I.'s que se rechazan durante la aplicación de la prueba se conoce como pérdida de producción.
- 2.- La fracción de C.I.'s defectuosos que escapan a la prueba se llama nivel de defectos.

En la siguiente tabla IV.1 se aprecia la importancia de la etapa de prueba desde la concepción del C.I.

En los primeros años de surgimiento de las tecnologías de circuitos integrados, una prueba exhaustiva o completamente funcional se utilizaba para los C.I.'s de pequeña escala de integración (SSI) ya que la complejidad del circuito estaba limitada a simples compuertas.

Los nodos internos eran fácilmente accesibles a través de sus pines de conexión por lo que la generación del conjunto de prueba para el circuito era muy sencillo. Sin embargo el método sólo se aplicaba a pequeños circuitos ya que el tamaño de la prueba estaba exponencialmente relacionada con el número de entradas.

En la siguiente figura IV.1 se muestra la cantidad de vectores de prueba que se necesitarían al aplicar una prueba exhaustiva al C.I. dependiendo del tipo de estructura lógica que contenga.

Para un circuito combinatorial con  $n$  entradas, un conjunto de prueba exhaustiva consistiría de  $2^n$  vectores de entradas de prueba. Para un circuito secuencial con  $m$  registros de 1 bit (elementos de memoria) y una relación de entrada-salida en la cual las salidas dependen tanto de los valores de entrada instantáneos y de sus registros de almacenamiento, un conjunto de pruebas exhaustivos consistirían de  $2^{(n+m)}$  vectores de prueba.

TESIS CON  
FALLA DE ORIGEN

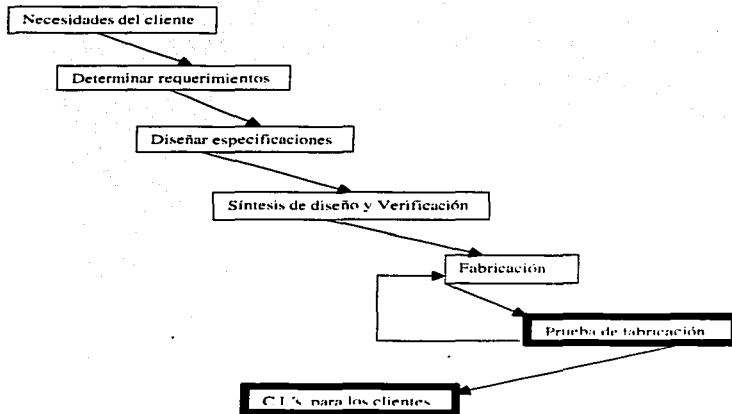


Tabla IV.1 Etapas de la producción de un Circuito Integrado.

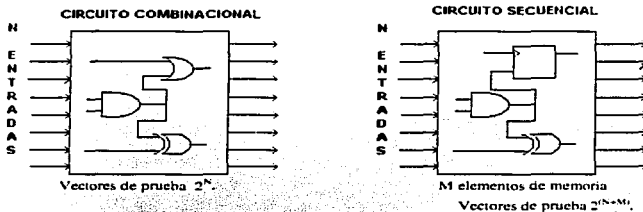


Figura IV.1 Cantidad de vectores de prueba y tiempo aproximado de la prueba exhaustiva de un circuito combinacional y un circuito secuencial.

Por lo tanto, para una frecuencia de prueba de 100Mhz:

$N=32$ ; tiempo de prueba=40 segundos.

TESIS CON  
FALLA DE ORIGEN

$N=64$ ; tiempo de prueba=6.000 años.

Los principios básicos de la generación de vectores de prueba han sido investigados exhaustivamente en los últimos treinta años. Las siguientes secciones examinan la evolución de los métodos de prueba para circuitos integrados digitales.

### IV.3 MÉTODOS DE PRUEBA FUNCIONALES.

Al evolucionar los niveles de integración de SSI y MSI a LSI y VLSI, las pruebas de tipo funcional se volvieron obsoletas debido a que se incrementó el costo de aplicación de las mismas. Un conjunto de prueba cuyo tamaño es lineal con el número de nodos del circuito tendría una clara ventaja en la prueba funcional; además de que el costo. Además el costo de prueba se puede reducir, si éste se determina desde el momento mismo del diseño, y así se pueden evitar costos excesivos cuando estos circuitos integrados se introducen en tarjetas de circuito impreso. Consecuentemente, el problema de probar un circuito integrado VLSI fue reformulado como una tarea computacional cuyo objetivo es determinar el número mínimo de vectores de prueba necesarios para efectuar una verificación estructural del CI. Un examen de este problema de cálculo establecerá su clase de complejidad.

Un circuito lógico combinatorial consiste de  $n$  entradas y  $p$  nodos un nodo se define en este contexto como el elemento de circuito de nivel más pequeño que puede asumir un distinto valor lógico. Las fallas se introducen a una  $o$  a un determinado intervalo de tiempo en cada uno de los nodos  $p$  del circuito. El objetivo es encontrar un conjunto de vectores de prueba  $p$  cada uno de los cuales provoca que la expresión de la falla introducida aparezca en el correspondiente vector de salida.

Roth presenta un método simple para derivar un conjunto de prueba que reúna este objetivo, en este método, se construye una tabla de verdad para el circuito sin falla y también para cada uno de los circuitos con falla. Un proceso iterativo compara la tabla de verdad correcta con las tablas de verdad de los circuitos con fallas. Cuando se localiza alguna discrepancia entre los valores de salida de las tablas de verdad de los circuitos con falla y sin falla, se registra el vector de entrada. Cada tabla de verdad de circuitos con falla se procesa de esta forma hasta que se encuentre al vector de entrada correspondiente. Los resultantes conjuntos de vectores

TESIS CON  
FALLA DE ORIGEN

de prueba representan el conjunto de prueba del C.I. para estas fallas.

El problema obvio con esta técnica es su tiempo exponencial y relación de espacio con el número de entradas. Cada tabla de verdad contiene  $2^n$  líneas. Si el circuito contiene  $p$  nodos, entonces  $p+1$  tablas de verdad se requerirán para efectuar el análisis. Claramente, este tipo de aproximación no se puede utilizar en circuitos más complejos. Las investigaciones de los métodos alternativos fueron ampliamente considerados en los años sesenta.

Todas estas aproximaciones para probar C.I.'s estaban basadas en el modelo (SSF) falla de persistencia lógica simple. Este modelo define una muy simple relación entre los defectos y el comportamiento esperado de la falla.

#### **IV.3.1 Modelo de fallas de persistencia lógica simple (SSF).**

El modelo SSF extiende la implementación y detalla la tecnología de la representación de un circuito, colocando la ocurrencia de falla directamente en la representación del nivel de compuerta del circuito. EL modelo SSF asume que un nodo con defecto se comporta como un nodo permanentemente conectado a uno de los voltajes de alimentación, ya sea  $V_{DD}$  o GND ( $V_{SS}$ ). En este modelo, SA0 (persistencia en 0) y SA1 (persistencia en 1) se utilizan para describir un nodo que presenta una falla.

En el nivel de compuerta, el número de fallas que pueden ocurrir en una compuerta combinacional de  $n$  entradas y una salida es  $2+n$ . Cada uno de los nodos de entrada  $n$  pueden ser SA0 o SA1. Esto mismo es cierto para el nodo de salida. Sin embargo, las compuertas que poseen un valor de entrada de control, como lo son las compuertas AND, NAND, OR y NOR,  $n$  de las fallas posibles en las líneas de entrada son indistinguibles de una de las dos fallas posibles del nodo de salida.

La apariencia del valor dominante 0 en cualquier línea de entrada de una compuerta NAND únicamente determina el valor de salida (1 para la compuerta NAND) independiente de los valores de las otras líneas de entrada de la compuerta. El valor de entrada que no es dominante para la compuerta NAND es 1 mientras que su valor de salida que no es dominante es 0. Esta propiedad es muy utilizada en los algoritmos de generación de prueba que están basados en el modelo SSF.

Habiendo establecido el efecto de dominancia, el número de pruebas requeridas para

TESIS CON  
FALLA DE ORIGEN

diagnosticar completamente una compuerta con el modelo SSF puede definirse. Un conjunto de pruebas para una compuerta puede construirse colocando el valor de la entrada dominante definido por la compuerta en cada una de las líneas de entrada mientras se mantienen las otras líneas de entrada en el valor no dominante. Esto permitirá que cada una de las líneas de entrada se pruebe con el modelo de falla de persistencia lógica no dominante. Para la compuerta NAND de dos entradas, la falla SA1 para la línea A requiere que  $ABC=(011)$ . Si C es 1, entonces dos fallas de persistencia lógica habrán sido eliminadas, la falla SA1 en la línea A y la falla SA0 en la línea C. Para propósitos de diagnóstico, si la línea de salida no es 1, no puede concluirse que una falla SA1 exista en esa línea ya que también es posible que la línea de salida contenga una falla SA0. Sin embargo se pueden distinguir entre estos casos usando más pruebas. Si es cierto que esta línea de entrada es SA1 y la línea de salida no es SA0, entonces una prueba SA1 para cualquier otra línea de entrada pondrá a la línea de salida en 1, confirmando este hecho y eliminando la posibilidad de que la línea de salida sea SA0.

Entonces se deduce que las pruebas para una falla SA0 y SA1 en el nodo de salida de una compuerta se construyen colocando todos los valores de entrada que son dominantes y los que no son dominantes en las entradas, respectivamente. Para la compuerta NAND, la prueba para la falla de salida SA0 se efectúa colocando todos los ceros en las líneas de entrada. Sin embargo las pruebas de diagnóstico para las fallas dominantes de las líneas de entrada no existen. Para el caso de la compuerta NAND, si la línea A o la línea B es SA0, la salida siempre será 1 independientemente del valor de la otra línea. Sin embargo, este es también el comportamiento observado cuando una falla SA1 existe en la línea de salida. Así, una falla SA1 en la línea de salida es indistinguible de una probable falla SA0 en una de las líneas de entrada de la compuerta NAND.

Por lo tanto, en muchos casos,  $n-2$  pruebas se requieren para diagnosticar completamente cualquier compuerta lógica bajo las suposiciones del modelo SSF.

Ya que las compuertas están en cascada, las salidas de las compuertas internas forman las entradas para sus sucesoras. De esta forma, todas las líneas internas y líneas de salida primarias (POs) (líneas de salida externamente observables) requieren de una prueba para SA1 y SA0 mientras que las entradas primarias (Pis) (líneas de entrada externamente observables) requieren de pruebas para sus fallas no dominantes.

TESIS CON  
FALLA DE ORIGEN

La observación clave concerniente al modelo SSF es su simplicidad y que no es restrictiva. Los defectos siempre provocan un comportamiento de falla 1/0 en el nodo defectivo y no se imponen restricciones en el orden de las pruebas. A pesar de su simplicidad, la generación de vectores de prueba para algunos nodos es más difícil que para otros casos. El algoritmo D es una generación de prueba determinista basada en el modelo SSF.

#### IV.3.2 El algoritmo D.

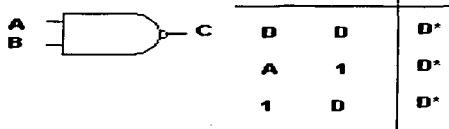
Un algoritmo desarrollado en 1966 por Roth llamado el algoritmo D o DALG, fue el primero en ser un verdadero algoritmo completo. Un algoritmo completo puede garantizar la generación de un vector de prueba para una falla si la falla es detectable. DALG es un algoritmo de espacio polinomial que requiere de espacio  $O(p)$  donde  $p$  es el número de compuertas del circuito. Sin embargo DALG ha mostrado que toma  $O(2^n)$  de tiempo, donde  $n$  es el número de entradas primarias para generar pruebas para determinadas topologías del circuito.

DALG opera en un circuito combinacional donde cada compuerta lógica se describe por un conjunto de cubos D primitivos. Un cubo D es una expresión de un valor algebraico de 5,  $(1,0,D,D^*,X)$ . Las variables D pueden asumir exactamente uno de los valores, 0 o 1, en una expresión de cubo D. Las variables  $D^*$  son asignadas al complemento del valor asignado a las variables D de la expresión. Las variables X pueden asumir ya sea un valor lógico independiente uno del otro.

Tres expresiones del cubo D de una compuerta NAND se muestran en la figura IV.2. Por ejemplo, la expresión del cubo D  $(D \ 1 \ D^*)$  representa dos estados booleanos de la compuerta NAND:  $(0 \ 1 \ 1)$  y  $(1 \ 1 \ 0)$ . En este caso, la variable que aparece en la línea C de la compuerta NAND implica que la compuerta libre de falla tendrá un 1(0) en este nodo mientras que una compuerta tendrá un 0(1) cuando  $AB=01(11)$ . La presencia de los valores de entrada no dominantes en las otras líneas de la compuerta (1 para la compuerta NAND) permitirá que las entradas D controlen el estado de salida de la compuerta. Por lo tanto, una especificación de cubo D enumera las formas de construir un camino de orientación a través de la compuerta.



**FIGURA IV.2**



**UN CONJUNTO DE CUBOS D PARA UNA COMPUERTA NAND DE DOS ENTRADAS.**

El objetivo del DALG es simple. Dado un nodo donde se efectúe una prueba para la falla SA0 o SA1, el algoritmo generará el vector de entrada apropiado que se aplicará a las entradas primarias (PIs) para que el valor en el nodo de prueba se transmita a lo largo de los caminos orientados a por lo menos a una salida primaria (PO). Si ninguna combinación de PIs existe para la prueba (ninguna prueba existe para el nodo), entonces DALG reportara esta situación. DALG utiliza un estrategia de generación de vectores de prueba. La fase de propagación D es responsable para orientar una trayectoria del nodo al que se efectúo la prueba a un PO. Las alternativas para crear la trayectoria orientada se encuentran frecuentemente en cada paso del procedimiento.

DALG ahorra estas alternativas desde que el monitoreo es necesario para completar la generación de la prueba.

Se vuelve imposible convertir el algoritmo D en PO debido a las asignaciones de las entradas conflictivas, el algoritmo debe de monitorear y hacer la elección.

Una vez que una trayectoria orientada (camino D) se establece como un PO, se efectúa la operación de consistencia. Este procedimiento determina si los valores de entrada no dominantes asignados a las compuertas a lo largo del camino D pueden ser justificadas para algunas asignaciones de los PIs. Si una asignación conflictiva ocurre, un paso de monitoreo y una compuerta alternativa, deben de efectuarse antes de que la fase de propagación D sea seleccionada. Sólo después de que todos los posibles caminos sean analizados la búsqueda se

concluye.

La figura IV.3 ilustra el proceso de generación de prueba que DALG puede realizar para una falla en la línea x:

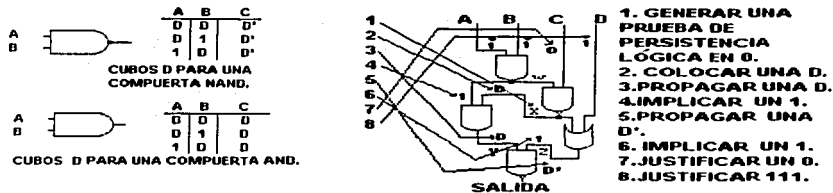


Figura IV.3 Proceso de una generación de prueba DALG para circuitos combinacionales.

Un conjunto de cubos D para las compuertas se muestra en el lado derecho de la figura IV.3. Este circuito posee fan-out y su reconvergencia, una característica que puede hacer que la generación de vector de prueba sea un tanto difícil. El nodo w y x identifican los puntos del fan-out mientras que los nodos y y z identifican los puntos de reconvergencia de este fan-out. El algoritmo comienza colocando una D en la línea de entrada de prueba (línea B en este caso). Por ejemplo, la línea x en la figura conecta a una compuerta AND y OR. Los tres pasos indican que la compuerta AND se elige para el paso de la propagación utilizando el cubo D (1 D D\*). En este caso, la compuerta OR se toma como alternativa. El cubo D seleccionado implica un 1 en la línea w como se indica en el paso cuatro de la figura. El paso cinco muestra que la propagación de D en la línea y a través de la compuerta NAND a la línea OUT vía el cubo D (D 1 D\*). El paso seis indica que el cubo D seleccionado implica un 1 en la línea z. En este punto, la fase de propagación es exitosamente completada ya que una D se ha propagado a la salida de PO.

La operación de consistencia comienza al examinar la compuerta que controla la línea de prueba x, las entradas de la compuerta NAND que activan la línea x deben de generar un 1 en esa línea. Ya que la línea w ha sido puesta en 1 a través de la implicación del paso tres, el PI de C se debe de poner a 0 como lo indica el paso siete de la figura. Los ocho pasos muestran

que deben de realizarse las otras justificaciones de la línea P1. Dadas las elecciones realizadas en la fase de propagación, únicamente un conjunto de valores es posible para que P1, A, B y E complementen la generación de la prueba.

Un ejemplo donde DALG rechazará la generación del vector de prueba se muestra en la figura IV. Este circuito es un duplicado del circuito mostrado en la figura anterior, con la compuerta OR reemplazada por una compuerta NOR. Si se aplica la misma secuencia de pasos, DALG no determina ninguna línea de justificación existe para P1 E. DALG entonces intenta orientar una trayectoria a través de la compuerta NOR y determina la línea y y z para obtener una  $\bar{D}$  y una  $D^*$  o un 0 y una  $D^*$ , respectivamente. En este punto, DALG elimina el proceso de generación del vector de prueba ya que se han intentado todas las alternativas.

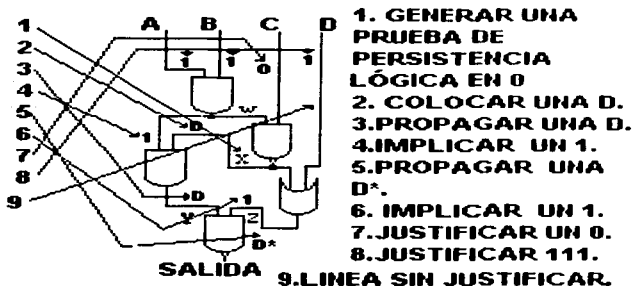


Figura IV.4 Rechazo de DALG para la generación de un vector de prueba

DALG repite el proceso de generación del vector de prueba hasta que se haya efectuado una deseada cobertura de falla. Esto no requiere aplicar el algoritmo para cada nodo del circuito, sin embargo todos los nodos de una trayectoria orientada se revisan implícitamente por las fallas. Un algoritmo que determina todas las fallas detectadas por una prueba dada lo describió Roth junto con una descripción de algunas mejoras efectuadas al algoritmo original. Una estrategia de prueba es adecuada también, cuando se sugiere que se apliquen estos dos algoritmos en iteración hasta que se haya lograda una cobertura de falla específica.

El proceso de generar un simple vector de prueba puede, en el peor caso, ser un problema exponencial cuando la reconvergencia y el fan-out están presentes. Como resultado, las mejoras a la selección heurística de DALG han sido extensamente investigadas. La debilidad computacional de DALG es que no utiliza cualquier información para guiar su proceso de toma de decisión. La identificación y la eliminación de las secciones inválidas del espacio de investigación era el objetivo del desarrollo de algoritmos sucesores como PODEM y FAN. Estos algoritmos consideran los valores de controlabilidad y observabilidad de las compuertas cuando se toman decisiones en los puntos donde existen las alternativas.

#### **IV.3.3 MEDIDAS DE CONTROLABILIDAD Y OBSERVABILIDAD**

La fase de propagación D y la justificación de línea que ocurre durante la fase de consistencia puede requerir de la selección de una compuerta y una línea, respectivamente, de un conjunto de alternativas. Las medidas de prueba (TMs), son comúnmente utilizadas como mecanismos de guía heurísticos en la generación de patrones automáticos de prueba (ATPGs). Goldstein define a los TMs como medidas cuantitativas que definen la dificultad de lograr el conjunto completo de justificaciones de líneas requeridas para controlar o observar un nodo específico del circuito. Estas medidas se derivan típicamente de la topología del circuito y consecuentemente, definen la inherente prueba de los nodos del circuito.

Los TMs que se calculan solo una vez antes de los ATPG se llaman medidas de prueba estática. Además de servir de guía para los ATPGs, los STMs pueden utilizarse para evaluar el nivel de prueba de un diseño y permiten modificaciones estructurales que se realizan en el diseño del CI antes de que los ATPGs sean utilizados para generar los vectores de prueba. Desafortunadamente, el cálculo exacto de STM es NP completo para los circuitos que poseen fan-out y reconvergencia, los algoritmos que calculan estos valores a menudo generan un discordancia entre la exactitud y el costo computacional.

La controlabilidad se puede formular en varias formas. El método de Goldstein define una función que relaciona una controlabilidad del nodo 0/1 con el número mínimo de asignaciones del nodo del circuito para justificar un 0 o un 1, respectivamente. El rango de valores de 0 (directamente controlable) a infinito (no controlable). Otro método descrito por Sethal, define la controlabilidad de un nodo como la probabilidad de que el nodo adquiera un 1

cuando el vector de entrada sea elegido aleatoriamente y se aplique al circuito. La controlabilidad 0 del nodo es 1 menos su controlabilidad 1. Ya que estas medidas de controlabilidad son probabilísticas, el rango de valores entre 0 (no controlable) a 1 (directamente controlable).

El cálculo de la controlabilidad procede de PIs a Pos en una forma de nivel por nivel. El cálculo de la controlabilidad de la salida de una compuerta no es posible hasta que todas sus entradas controlables sean calculadas. Por ejemplo, la controlabilidad 1 de la salida de una compuerta AND es la suma de todas las controlabilidades 1 de sus entradas ya que la salida es 1 si solo todas las entradas son 1. También las controlabilidades del fan-out de toda la red son iguales a la controlabilidad de los fan-out individuales. El problema con el cálculo de la controlabilidad ocurre cuando las entradas de una compuerta son reconvergentes. En otras palabras, las entradas comparten por lo menos un punto común.

La observabilidad puede formularse también de diversas formas. Goldstein relaciona la observabilidad de un nodo con el número de compuertas entre el nodo dado y el PO.

En cualquiera de los dos casos, las controlabilidades de entrada deben de estar disponibles para calcular las observabilidades de una compuerta. También, el cálculo de las observabilidades procede de los POs a los PIs. Por ejemplo, para observar un valor en una línea de entrada de una compuerta AND en la salida de la compuerta, la línea de entrada debe de ser la entrada de control de la compuerta. Esto implica que las otras líneas de entrada de la compuerta deben de estar puestas a la variable de entrada no dominante (1 para la compuerta AND). Así la observancia depende de controlar las otras líneas de la compuerta al valor apropiado. Además, la observancia de la entrada de la compuerta también depende de la observabilidad de la salida de la compuerta con respecto de las POs del circuito. Ya que el cálculo de las observabilidades del nodo proceden hacia atrás, este valor esta disponible cuando las observabilidades de la línea de entrada se calculan. El cálculo de la complejidad de la observabilidad también sufre de reconvergencia y de fan-out.

Es muy común el caso en que los diversos fan-outs de los elementos conectados en una red, tengan diferentes valores de observabilidades. Por lo que de igual forma la heurística es aplicada para llegar a un valor para el fan-out del elemento que altera la complejidad computacional y la exactitud de la prueba del C.I.

Cuando los (TMs) se utilizan en los ATPGs como mecanismos de guía heurísticos, la posibilidad de adaptar dinámicamente los valores, entonces se convierte en una alternativa viable. Ivanov definió las medidas de prueba dinámica (DTMs) como las TMs que toman en cuenta las restricciones PI de un circuito aplicadas por el algoritmo ATPG durante el proceso de búsqueda de un patrón de prueba. Mientras las compuertas se eligen de la derivación de un camino orientado. (propagación D), las justificaciones de línea se efectúan para que puedan cambiar los TMs de otras compuertas que son candidatos potenciales para extender el camino orientado a un PO. Ya que los TMs se utilizan para seleccionar la siguiente compuerta, puede ser benéfico que estos valores reflejen el estado dinámico en lugar del estado inicial del circuito. Ivanov mostró que los DTMs pueden permitir que se generen pruebas, que requieran menos asignaciones para PI. Los patrones de prueba con mas PIs no asignados tienen la probabilidad de que se ajusten con otros patrones de prueba. También es cierto que las pruebas requieren de menores asignaciones PI, las cuales son generadas más rápidamente.

A pesar de los problemas de exactitud asociados con el cálculo de TMs en la presencia de fan-outs y de reconvergencia, estos se han convertido en los mecanismos primarios de guía heurísticos. Utilizados por los nuevos ATPGs para determinar la mejor opción de un conjunto de alternativas. Su uso en dos DALG como ATPGs se discute en la siguiente sección.

#### **IV.3.4 PODEM y FAN.**

Tanto PODEM (decisión del camino orientado), como DALG, operan en una representación esquemática del circuito y utiliza un esquema lógico de 5 valores (0, 1, D, D\* y X). El algoritmo utiliza una técnica llamada enumeración implícita para generar el vector de prueba para una falla. La enumeración implícita, como la definió Goel, se refiere a un subconjunto de los algoritmos diseñados específicamente para la búsqueda de un espacio de estados 0-1.

La búsqueda de la prueba comienza con la asignación de X a todos los PIs. Para esto se construye un árbol de decisión binario y las PIs se seleccionan para la asignación. Las dos ramas de un nodo en el árbol representan una asignación de 0 o 1 para el PI. El orden en el cual se realizan las asignaciones se refleja en la estructura del árbol donde los PIs más cercanos a la raíz corresponden a las decisiones tomadas desde el principio del proceso.

Se marcan los nodos cuando un falla un alternativa y se reducen cuando ambas alternativas

conducen a una inconsistencia. La falla de ambas posibilidades, resalta el espacio buscado ya que todas las permutaciones de los PIs no asignados no se han considerado para esta particular secuencia de asignaciones. El proceso de determinar el próximo heurístico ilustra como los TMs pueden ayudar a acelerar los programas ATPG para derivar una solución de una prueba cuando tal prueba existe. La compuerta de prueba se define como la compuerta elegida en la fase de propagación D. Si el valor de salida requerido por la compuerta de prueba es el estado de salida dominante de la compuerta, entonces este es el más adecuado para controlar la entrada de esta compuerta y se coloca en el valor de entrada dominante y el procedimiento se repite de nuevo hasta el PI. Si en la compuerta de prueba se requiere que su salida tenga un valor no dominante, entonces se elige un valor más complicado para controlar su entrada. En este caso, todas las entradas de la compuerta de prueba requerirán eventualmente de asignación y verificación ya que al poner la salida de una compuerta en su estado no dominante requiere de la asignación de valores no dominantes para todas sus entradas. Al elegir primero el valor más complicado para controlar su entrada, es mayor la oportunidad de lograr una asignación exitosa de las demás entradas de la compuerta. En otras palabras, la forma más fácil de lograr una asignación exitosa, es cuando se considera primero la entrada más dificultosa.

Se logran mejoras sustanciales en PODEM implementadas en FAN (algoritmo de generación de prueba orientado a fan-out). PODEM conduce a una implicación de vuelta a un simple PI sin considerar los efectos de las justificaciones de línea en las otras líneas de entrada de la compuerta reconvergente. La justificación paralela puede reducir la cantidad de monitoreos cuando las dependencias restringen las consistencias de línea de los puntos del fan-out. La segunda mejora involucra la modificación de la heurística utilizada en la fase de propagación D. FAN utiliza las medidas de observabilidad para guiar la selección de la futura compuerta en el algoritmo D. PODEM simplemente selecciona la compuerta más cercana a PO.

El uso de TMs ha mejorado la eficiencia del ATPG de nivel de compuerta revisando el monitoreo y el tiempo de rutina de estos algoritmos. Para los dispositivos con millones de transistores en el sustrato de silicio, estas mejoras en el tiempo rutina son un factor crítico cuando se generan conjuntos de pruebas con aceptables coberturas de falla.

Desafortunadamente, la relación entre cobertura de falla y cobertura de defecto esta en función de la tecnología.

TESIS CON  
FALLA DE ORIGEN

## IV.4 METODOS DE PRUEBA PARAMÉTRICA.

La principal debilidad del modelo SSF es que aplica una prueba digital para identificar básicamente lo que es un defecto analógico. Los mecanismos de defecto de algunas tecnologías como lo es la CMOS incluyen defectos GOS, defectos de puente, defectos de circuito abierto, defectos de intermitencia de saturación del transistor, defectos parásitos del dispositivo, defectos de fuga de la unión p-n y defectos excesivos de resistencia de contacto que no se manifiestan en forma de fallas lógicas. Las fallas paramétricas resultan de los defectos que provocan un cambio en un parámetro continuo del circuito. La prueba de falla de retardo y los métodos de prueba IDDQ surgieron como estrategias de prueba paramétrica para analizar los problemas asociados con los métodos asociados con la lógica del CI. Por ejemplo, casi todas las fallas de los CI's de la tecnología CMOS se modelan como fallas paramétricas.

### IV.4.1 La prueba de IDDQ.

La corriente  $I_{DDQ}$  es aquella que circula en un C.I. de la tecnología CMOS cuando todos los nodos se encuentran en reposo. Debido a la naturaleza complementaria de los C.I.'s CMOS, una corriente muy pequeña debe de circular debido al voltaje de alimentación durante la aplicación de los vectores de prueba. Una elevación de la corriente de alimentación de estado de reposo, durante este periodo de tiempo es una indicación de que puede existir un defecto en el C.I. La corriente  $I_{DDQ}$  es útil para detectar defectos de fugas en el C.I. como lo son cortos en el óxido y la compuerta, puentes ente el metal y el polisilicio bajos voltajes de umbral del transistor, fugas en la union p-n, contaminación iónica, fallas de persistencia lógica, cortos internos en las capas del óxido y cualquier defecto que provoque el fenómeno conocido como el efecto tiristor. Generalmente, cualquier defecto que pueda provocar un camino conductor entre  $V_{DD}$  y GND origina un problema de confiabilidad.

La prueba  $I_{DDQ}$  se efectúa aplicando un conjunto de patrones de prueba mientras se monitorean las líneas del voltaje de alimentación para detectar posibles desviaciones en la magnitud de la esperada corriente de estado fijo.

El objetivo de la generación de los patrones de prueba es conducir a los nodos en los que se



pueda efectuar una prueba para polaridades opuestas, por este medio se tiene la oportunidad de crear defectos de corto circuito que incrementen el valor de la corriente de estado fijo. La generación de patrones de prueba para la corriente  $I_{DDQ}$  se efectúa de una manera adecuada en el modelo de nivel de conmutación del circuito para que tanto defectos de corto intracompuerta e intercircuito puedan considerarse. La distribución física de las capas que conforman al C.I. se utiliza para limitar el número de pares de nodo que se encuentran en corto circuito ya que es impráctico considerar todas las posible  $n^2$  combinaciones.

Los programas de generación de prueba  $I_{DDQ}$  no se utilizan para generar caminos orientados a POs para analizar el comportamiento de la falla. En lugar de eso, la observancia de la falla se realiza monitoreando todos los caminos externamente accesibles a las terminales de alimentación del circuito. Por lo tanto, la generación del vector de prueba de la corriente  $I_{DDQ}$  es menos costosa que la generación de pruebas SSF y se utilizan menor cantidad de vectores de prueba. El número de vectores de prueba  $I_{DDQ}$  que se requieren para lograr una cobertura del 100% de fallas, se puede reducir hasta en factores de 100% o más comparados con los conjuntos de prueba convencionales SSF utilizados para el mismo fin. La prueba de corriente  $I_{DDQ}$  también se aplica a aquellos circuitos que poseen nodos redundantes cuyos estados lógicos no se pueden propagar a un punto observable. De igual forma, la prueba de  $I_{DD}$  no se invalida por la presencia de fallas múltiples ya que un vector de prueba generado para detectar un defecto entre cualquiera de dos nodos, también detectara cualquier defecto de nodos múltiples que contengan a esos dos nodos.

Sin embargo, ya que la prueba de  $I_{DDQ}$  mide la corriente de estado fijo diferencian de una manera muy rápida, las mediciones de corriente no se pueden efectuar sino hasta que se extingan los transitorios de conmutación. Además, el circuito debe de estar diseñado para tener baja corriente de  $I_{DDQ}$ . Esto limita el tipo de circuitos a los cuales se les puede aplicar este tipo de prueba. Otras limitaciones incluyen la limitada capacidad de medir corrientes externas al chip y las limitaciones de velocidad impuestas por muchos equipos de prueba de C.I.'s, los cuales no miden con la exactitud correcta los excesivos niveles de corriente. Las estrategias de particionamiento del circuito se vuelven necesarias cuando se tienen muy grandes C.I.'s debido a que puede existir un traslape del flujo de corriente entre la regiones con falla y aquellas regiones en donde no se presenta ninguna falla.

La prueba de corriente  $I_{DDQ}$  se utiliza para detectar fallas de circuito abierto cuando la ruptura ocurre en la compuerta lógica y el estado de la compuerta flotante permite corrientes arriba del umbral las cuales circulan a través del par complementario de transistores. Sin embargo la corriente elevada de  $I_{DDQ}$  debido al estado del nodo de alta impedancia sólo ocurre a muy bajas velocidades lo cual a veces complica el monitoreo de esta corriente. También una buena resolución de la corriente es crítica para detectar circuitos abiertos ya que muchos no causan muchas variaciones en el comportamiento normal de la corriente. Además, los efectos de las fugas debidas a los defectos de los GOS, de los polifilamentos, de la unión p-n y de la contaminación de la capa de oxido provocan la detección de las fallas dependientes del tiempo en estado de circuito abierto. Si las fugas son bastantes severas, la condición de voltaje intermedio en la compuerta flotante puede desaparecer antes de que se efectúe la muestra de prueba.

La corriente  $I_{DDQ}$  puede utilizarse para detectar defectos de circuito abierto en las compuertas de transmisión si el voltaje de salida que activa los transistores de canal p y de canal n de compuertas que se encuentran conectadas en cascada permiten que ambos tipos de transistores permanezcan en la misma parte de su estado de saturación. Sin embargo, las elevaciones detectadas en la corriente de estado fijo son mucho más pequeñas para estos tipos de defectos en comparación con aquellas elevaciones detectadas para fallas de puente y fallas GOS.

La herramienta BIC (detector de corriente interna) utiliza la relación logarítmica entre el voltaje y la corriente en un transistor bipolar para convertir bajos niveles de corriente anormal en niveles de voltaje. El voltaje resultante se compara con un nivel aceptable vía un amplificador diferencial analógico. El monitoreo parcial de BIC resuelve las limitaciones de ancho de banda y los problemas de resolución de la prueba de corriente que circula al exterior del chip. La prueba de  $I_{DDQ}$  ha demostrado ser una técnica de diagnóstico efectivo para defectos de corto circuito en la tecnología CMOS. Las principales ventajas de la prueba  $I_{DDQ}$  es la eliminación de los problemas de observabilidad y la facilidad con la cual se pueden efectuar los diagnósticos. Las principales desventajas del método incluyen la lenta aplicación del vector de prueba, la resolución limitada que se logra en grandes C.I.'s y la restricción en la aplicabilidad de la prueba, a sólo circuitos de la tecnología CMOS.

Por lo tanto, la prueba  $I_{DDQ}$  es más apropiada como método complementario más que como un método alternativo para las pruebas en C.I. digitales.

TESIS CON  
FALLA DE ORIGEN

#### IV.4.2 La prueba de falla de retardo de propagación.

Los defectos que provocan el retardo de propagación en una o más trayectorias pueden ser mayores al intervalo de reloj con el cual opera el sistema por lo que pueden resultar tanto en una incorrecta presentación de valores lógicos de los registros internos como en la tardía llegada de los valores funcionales del circuito a los POs. La prueba de retardo es un método de prueba paramétrica que utiliza el tiempo de respuesta de salida como una herramienta de detección de defecto del C.I. con respecto de las transiciones de entrada.

Muchos defectos de fabricación incluyen defectos locales o variaciones aleatorias del proceso que provocan que la lógica CMOS conmute a menores velocidades de lo normal pero su comportamiento funcional no se ve afectado. Por ejemplo, los defectos GOS pueden incrementar el retardo de propagación de nodos con defectos y provocar la correspondiente falla en el C.I., en un ambiente de sincronización de reloj. También los defectos que reducen la longitud del canal de los transistores pueden debilitar los voltajes lógicos y conducen a degradaciones en la temporización del C.I. Las fugas parásitas del transistor, junturas p-n defectuosas y voltajes de umbral incorrectos pueden resultar en retardos incrementados de propagación. Adicionalmente, las fallas de retardo pueden resultar de ciertos tipos de defectos de circuito abierto. El circuito abierto de una compuerta de transmisión no se puede detectar utilizando la prueba lógica sino que es detectado con otro tipo de pruebas como una falla de retardo. Además, las fallas de retardo pueden ocurrir como fallas intermitentes que son responsables de muchas fallas de los equipos digitales en el campo de aplicación.

La verificación de la temporización en los C.I.'s es un proceso más complicado que el proceso de verificación lógica.

Aún cuando la prueba tradicional de DC y la prueba de falla de retardo comparten algunas características en su implementación, la prueba de falla de retardo adicionalmente requiere tanto de la exacta temporización de una secuencia de dos vectores así como de un camino orientado que se extienda de PI a PO. La especificación de una prueba de retardo se define de la siguiente manera: a un tiempo  $t_1$ , el primer vector de prueba llamado de inicialización  $V_1$ , se aplican a los PIs para estabilizar al circuito. A un  $t_2$  el segundo vector de prueba, se aplica a un  $t_3$ , y se efectúa una medición del valor lógico (muestra) en los POs. Sea  $T_C = (t_3 - t_2)$  representen el intervalo de tiempo entre la aplicación del vector  $V_2$  en los PIs y el evento de muestreo en

los POs. Los vectores del conjunto de prueba de retardo  $V_1$  y  $V_2$  pueden orientar a uno o más caminos,  $p_i$ . Sea el retardo de propagación nominal de cada uno de estos caminos que se definen por  $pd_i$ . La falta de cada camino se define como  $sd_i = T_C - pd_i$ , el cual es la diferencia entre el retardo de propagación de cada uno de los caminos orientados en el circuito normal y en el intervalo de prueba. La detección de un defecto que introduce un retardo adicional,  $ad_i$  en uno de estos caminos orientados depende al satisfacer la siguiente ecuación:  $ad_i$  mayor que  $sd_i$  o  $pd_i + ad_i$  mayor que  $T_C$ . Por lo tanto, la efectividad de la prueba de retardo depende tanto del tamaño de defectos así como del retardo de propagación del camino en donde se efectúa la prueba.

#### **IV.5 EQUIPO AUTOMÁTICO DE PRUEBA (ATE).**

Tanto las pruebas de tipo funcional y de tipo paramétrico se llevan a cabo físicamente a través de equipo de hardware y software que se conoce en la industria de la microelectrónica como equipo de Prueba Automático (ATE).

El término ATE se refiere al hardware de prueba y a su propio sistema operativo (software). La parte central de un ATE es la computadora la cual se utiliza para controlar instrumentos complejos de prueba como lo son voltímetros, analizadores de forma de onda, generadores de señal y ensambles de conmutación. Este equipo opera bajo control de un software de prueba, por medio del cual se aplican los vectores de prueba a un C.I. en particular, y después mide la respuesta de varios pines del C.I., puertos o conexiones para determinar que el circuito funcione de acuerdo a sus especificaciones, en la figura IV.5 se muestran equipos ATE, para pruebas digitales.



Figura IV.5 (a). Equipo ATE para efectuar pruebas paramétricas en C.I.'s



Figura IV.5(b). Equipo ATE para efectuar pruebas funcionales en C.I.'s

El ATE tiene su propio sistema operativo, el cual efectúa operaciones como autoprueba, autocalibración y almacena manuales técnicos digitales. ATE es típicamente muy flexible por su habilidad para efectuar pruebas a diferentes tipos de C.I. Puede configurarse para efectuar pruebas tanto simples chips como a subensambles de tarjeta de circuito impreso.

Un programa de prueba ATE consiste de:

- 1.- Software del programa de prueba.
- 2.- Accesorios para efectuar la prueba del C.I., como lo son cables, e interfaces.
- 3.- Documentación técnica del ATE.

La computadora del ATE ejecuta el software de prueba, el cual se encuentra escrito en un lenguaje estándar de alto nivel como ATLAS, C o Ada. El conjunto de vectores de prueba y los instrumentos de medición del ATE tienen la habilidad de responder directamente a la

orden de la computadora. De modo que la computadora envía señales y toma mediciones a los puntos necesarios del C.I. y el software de prueba analiza los resultados de las mediciones y determina la causa probable de la falla.

## **IV.6 MÉTODOS DE PRUEBA ESTRUCTURAL.**

Los patrones de prueba en los métodos estructurales se generan automáticamente durante el diseño físico del C.I., en la actualidad estos métodos se basan básicamente en la implementación de las técnicas DFT (Diseño con capacidad de prueba).

### **IV.6.1 Implementación de las técnicas DFT.**

El costo de desarrollar y aplicar pruebas a C.I. se ha incrementado notablemente que casi sobrepasa el costo de producción en muchos casos. Lo que ha llevado a desarrollar nuevos procesos de prueba para chips como lo es el diseño con capacidad de prueba (DFT). DFT es un proceso que incorpora reglas y técnicas de prueba en el diseño de un C.I. lo que hace que la prueba sobre este sea mucho más fácil. El diseño estructurado para prueba es una metodología de sistema más que una colección de técnicas discretas. Esta metodología impacta todas las fases de la vida de un producto, desde el diseño del dispositivo hasta el servicio de campo. El diseño para prueba se utiliza para minimizar la complejidad, minimizar el tiempo de desarrollo y reducir los costos de fabricación .

La prueba tiene dos principales aspectos: **control** y **observación** . Para realizar una prueba a un C.I. sobre todo si este tiene elementos de memoria, es necesario poner el nodo del C.I. al que se le efectúa la prueba a un estado conocido, introducir los datos de prueba y observar que el C.I. funcione según el esquema de diseño y los parámetros de fabricación. Si no se pueden efectuar el control o la observación del C.I. bajo prueba, no existe forma de saber empíricamente si el C.I. funciona de manera correcta.

Los fabricantes de circuitos integrados cada vez más enfrentan un conjunto de problemas derivados de la mayor complejidad de éstos: como son la moderna densidad del C.I., la alta velocidad del dispositivo el tipo de empaquetamiento del C.I., etc.. estos factores pueden afectar adversamente la habilidad de verificar el diseño correcto y la operación del C.I. Al

TESIS CON  
FALLA DE ORIGEN

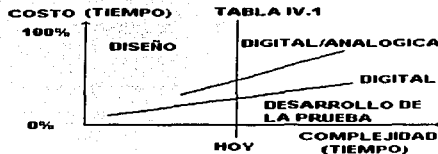
incrementarse la complejidad y carecer de acceso físico a la estructura del C.I., se incrementa considerablemente el tiempo de prueba y por lo tanto el costo de la misma al emplear los métodos de prueba tradicionales.

Reaccionando a esta complejidad, los fabricantes pueden optar por efectuar pruebas menos rigurosas.

Aquellos fabricantes que eligen las pruebas menos rigurosas como una alternativa para aminorar el excesivo gasto de una prueba más completa, pueden enfrentar las circunstancias de esta elección, la cuales se reflejan en la pérdida de competitividad y de credibilidad en el mercado de la industria electrónica. El costo de detectar e identificar fallas al utilizar los métodos tradicionales de prueba se incrementa con un orden de magnitud proporcional al incremento de la complejidad del circuito. Estos costos reducen los márgenes de utilidades de una empresa y retrasan la introducción del producto en el mercado. Muchas compañías han mejorado simultáneamente la calidad del producto y los márgenes de productividad adoptando métodos de diseño estructurales. Las compañías que adoptan estos métodos de prueba en sus procesos incrementan el tiempo de diseño y los costos, mientras que reducen los costos de validación de diseño y prueba de fabricación.

La fase de diseño de un producto representa solo el 15% del costo total del ciclo de vida de un producto. Sin embargo, la fase de diseño tiene un impacto de un 70% en la operación de un producto. La mayoría de las fallas que se encuentran en las tarjetas de circuito impreso, como lo son secciones de pistas fracturadas, componentes mal orientados, mal grabado de las pistas y fallas en los conectores componen mas del 95% de las fallas localizadas. Una técnica de DFT fácilmente permite detectar estos problemas. Los tiempos del ciclo de diseño se han acortado a través de los años mientras que el tiempo para el desarrollo de los programas de prueba se ha incrementado, lo que ha llevado a que muchas compañías adopten metodologías de prueba estructuradas.

La tabla IV.1 muestra el incremento del tiempo en el desarrollo de una prueba al incrementarse la complejidad del C.I.



La introducción de un DFT en un circuito afecta al hardware de algún modo, ya que se agregará lógica adicional al C.I. esta lógica adicional incrementa la cantidad de material semiconductor requerido para implementar el diseño del C.I. La simulación de falla es una parte importante del DFT. Esta técnica permite evaluar los patrones de prueba para determinar si estos patrones de prueba detectarían las fallas. Las fallas pueden ocurrir durante la fase de diseño o durante la fase de fabricación del C.I. Se utiliza un simulador de falla para determinar si estos patrones de prueba detectan fallas. Las fallas pueden ocurrir durante la fase de diseño o durante la fase de fabricación del C.I. Un simulador de falla utiliza modelos de falla como lo son los modelos de falla de persistencia lógica en 1 y en 0, y los compara con la respuesta de un circuito que no presenta ninguna falla. Si la respuesta del circuito sin falla es diferente de la respuesta de un circuito con falla, entonces los patrones de prueba han detectado la falla. Al simular todo el circuito, este simulador de falla produce la cobertura de falla del patrón de prueba del C.I. A mayor cobertura de falla, mayor es el conjunto de patrones de prueba que separan al circuito con falla del circuito que no presenta ninguna falla. Después de determinar las fallas que no se han detectado por los patrones de prueba, se generan patrones adicionales para detectar las fallas que faltaron de detectarse.

El DFT puede omitirse cuando existen diseños de sólo unos cuantos miles de compuertas. Al incrementar la complejidad del diseño se volvió indispensable el uso de DFT en los C.I.'s. Exitosos diseños de C.I.'s requieren que estos sean construidos con características de prueba desde su etapa de diseño.

TESIS CON  
FALLA DE ORIGEN



Algunos sondeos indican que el 40 % del tiempo del ciclo de desarrollo para un C.I. se requiere para la inserción de una característica de prueba y la generación de la misma. Esta cifra se espera que se incremente al incrementarse la complejidad del circuito. El objetivo de

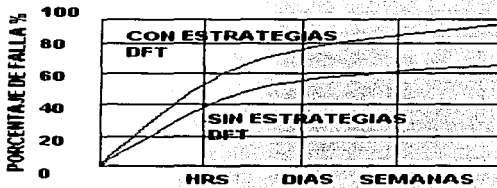


Figura IV.6 Porcentajes característicos de cobertura de falla-tiempo en la realización de pruebas a C.I.'s al utilizar DFT's y al no utilizarlos.

una estrategia de DFT es lograr programas de prueba que detecten el mayor número de fallas en un menor tiempo posible. Como lo muestra la figura IV.6.

Las siguientes estrategias delinean el proceso para implementar un DFT.

1.- Seleccionar una tecnología y asegurarse que exista un amplio margen de funcionalidades en la estructura del C.I. para implementar un DFT.

2.- Seleccionar una técnica de DFT basada en la densidad de compuertas.

- a) Diseños con menos de 10K de compuertas. Estos diseños no son generalmente complejos para requerir este tipo de técnicas de prueba, el impacto en costo es a menudo demasiado alto para justificar su introducción en el diseño del C.I.
- b) Diseños con más de 10K de compuertas, pero con menos de 20K de compuertas. Las técnicas DFT deben de considerarse para diseños con esta densidad, pero diseños sin DFT pueden ser útiles también, aunque el C.I. tenga una elevada complejidad combinatorial pero sin elementos de memoria, las técnicas DFT deben de considerarse si aumenta la complejidad del C.I. por la adición de circuitos secuenciales, circuitos de retroalimentación y elementos de memoria.
- c) Diseños con más de 20K compuertas. La complejidad de los circuitos de esta densidad a menudo requiere de la introducción de técnicas DFT para lograr

elevados niveles de cobertura de falla. A esta densidad es muy difícil controlar y observar con claridad los nodos principales del circuito.

#### **IV.6.2 Metodologías DFT.**

La detección de fallas en circuitos secuenciales es muy lenta y muy compleja debido a los elementos de memoria que componen a la mayoría C.I.'s en la actualidad.

Por lo que se tienen que integrar al diseño mismo del C.I., características de prueba que permitan observar el efecto de las fallas al verificar los pines del C.I., estas características se definen en tres categorías:

- 1.- Métodos Ad Hoc.
- 2.- Diseño estructurado con capacidad de prueba.
- 3.-Autopruera integrada (BIST).

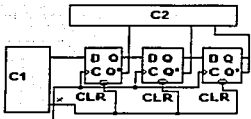
#### **IV.6.3 Los Métodos Ad Hoc.**

Los métodos Ad Hoc generalmente consisten de técnicas que están basadas en el particionamiento y la inserción del punto de prueba, algunas de las reglas principales para poder utilizar estos métodos ad hoc y también poder resaltar la característica de prueba del C.I. son las siguientes:

- 1.-Abastecer de por lo menos de una línea de entrada de control para que se pueda inicializar el circuito a un estado inicial conocido.
- 2.-Introducir puntos de prueba para incrementar la controlabilidad y/o la observabilidad de los lugares seleccionados del circuito.
- 3.-Particionar en subcircuitos los circuitos grandes en los que se tiene dificultad de efectuar la prueba.
- 4.-Evitar la redundancia en el C.I. que introduce fallas que muchas veces no pueden detectarse correctamente.
- 5.-Permitir caminos de retroalimentación que se abran y se cierren durante la aplicación de la prueba.

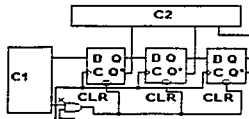
6.-Permitir que los circuitos internos de reloj se deshabiliten durante la aplicación de la prueba.

FIGURA IV.7 (a)



(a) CIRCUITO SECUENCIAL SIN LOGICA DE INICIALIZACIÓN.

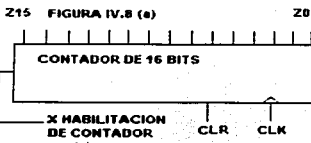
FIGURA IV.7 (b)



(b) CIRCUITO SECUENCIAL CON LOGICA DE INICIALIZACIÓN.

La aplicación de algunas de estas reglas se muestran en la figura IV.7.

En la figura IV.7 la lógica de inicialización puede forzar a una señal  $x$  a 0, independientemente de su valor normal, esto incrementa la controlabilidad de la señal  $x$  cuando se esta aplicando una prueba; se puede generalizar esta idea para hacer a una línea  $x$  controlable con respecto a 0 o a 1. Muchos circuitos tienen determinadas características lógicas que incrementan su

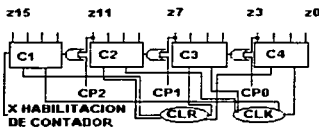


CONTADOR NORMAL SIN PARTICIONAMIENTO

dificultad cuando se les aplican pruebas, un ejemplo de esta situación se muestra en la figura IV.8:

En la figura IV.8 (a) para aplicar la prueba de falla de persistencia lógica en 0 al bit de salida más significativo  $z_{15}$ , se debe de aplicar un 1 en la entrada de datos  $x$  del circuito por medio de una secuencia de prueba. Después de inicializar el contador al estado 00...0, es necesario aplicar  $2^{15}=32.768$  1's a  $x$  para producir el primer estado 10...0 que va a establecer a  $z_{15}$  a 1. Si el contador se encuentra integrado dentro de un circuito más grande, entonces se incrementa el problema de aplicar la prueba a la línea  $z_{15}$ , así como a las otras líneas del contador. Para

FIGURA IV.8 (b)



(b) CONTADOR PARTICIONADO PARA FACILITAR LA APLICACION DE LA PRUEBA.

TESIS CON  
FALLA DE ORIGEN

reducir la dificultad de aplicar la prueba a este contador se particiona el contador en cuatro contadores como lo muestra la figura IV.8 (b), estos pequeños contadores de 4 bits se encuentran separados por puntos de prueba, así el circuito opera como un contador de 16 bits cuando cada  $CP_1=0$ , cuando  $CP_1=1$  el contador se incrementa independiente del valor que tenga la entrada x, por lo que al aplicar únicamente  $2^8 = 1's$  a  $CP_2$ , se obtiene en  $Z_{15}$  un 1 lógico en el circuito particionado.

Tal vez el requerimiento más básico para poder aplicar los métodos de Ad Hoc es poder inicializar al circuito secuencial en un estado conocido antes y durante la aplicación de la prueba, pero estas técnicas varían de diseño a diseño, y no existe una metodología común para aplicar estas técnicas que realcen la capacidad de prueba.

Sin embargo, las técnicas estructuradas como lo son el diseño de barrido a nivel de exploración (LSSD), la exploración de trayectoria, la exploración de acceso aleatorio y la lógica de puesta/exploración están destinadas a resolver el problema de prueba general al emplear una metodología de diseño específico. El uso de una disciplina de prueba estructurada elimina o aminora muchos problemas de prueba. La exploración de frontera y la norma IEEE 1149.1 reducen el nivel de prueba del C.I., la supresión de errores a nivel de software (debug), reduce también los diagnósticos para dar acceso serial a las entradas y salidas primarias del C.I. El barrido interno resuelve el problema del desarrollo de prueba en horas en lugar de semanas, y puede reducir el tiempo de corrección automática al 50%. Ambas técnicas, así como el uso de la técnica de autoprueba integrada (BIST) mejoran el diagnóstico de los C.I.

El costo de la prueba estructurada es menor al valor presupuestado. El barrido interno puede abarcar el 15% del área del silicio. Sin embargo, más del 50% de los diseños actuales tienen un número limitado de entradas y salidas. En un diseño típico de C.I., el costo del silicio es típicamente del 20 al 30% del costo de fabricación total. El costo de las pruebas y el costo del empaquetamiento del C.I. fácilmente exceden el costo para producir el silicio. Más significativamente, el uso de una disciplina de prueba estructurada puede resultar en una reducción en el tiempo de producción de tres a seis meses.

#### **IV.6.4 Diseño de barrido.**

El método de barrido se basa en el concepto de que cualquier red secuencial puede representarse por: 1) una red lógico combinacional con entradas primarias y salidas primarias, y 2) los elementos de memoria cuyas entradas se conectan con la lógica combinacional y cuyas salidas se retroalimentan en la lógica combinacional. La clave para el éxito de esta técnica es encontrar un medio eficiente para controlar y observar los latches (elementos de memoria). El método más común es incorporar un registro de corrimiento (modo de barrido) en todos los elementos de memoria que permita que los datos de entrada de prueba se desplacen en los elementos de memoria y los resultados de la prueba y los resultados de la prueba se sincronizan. Esta técnica de barrido tiene muchos nombres: NEC lo llama barrido de trayectoria, Sperry Computer Systems lo llama lógica de puesta/barrido, Honeywell Inc. lo llama diseño de exploración sincrónico (SDD), y IBM lo llama diseño a nivel de barrido a nivel de exploración (LSSD). Estas técnicas de barrido se utilizan frecuentemente junto con una interfaz de bus de prueba estandarizada como lo es la norma de barrido de frontera IEEE 1149.2, y varía algo con respecto a la implementación del nivel de compuerta, esquema de sincronización y área general del circuito. Como ejemplo se va a describir la técnica de LSSD. Un subsistema lógico se dice que es de nivel de exploración cuando la respuesta de estado firme para cualquier cambio del estado de entrada es independiente del circuito y de los retardos de las interconexiones dentro del subsistema.

También, si un cambio de estado de entrada involucra el cambio de más de una señal de entrada, entonces la respuesta debe de ser independiente del orden del cual las señales cambian. La respuesta de estado fijo es el valor final de todas las salidas de la compuerta lógica después de que el cambio de actividad ha terminado. El diseño de barrido se refiere al requerimiento de que toda la memoria del subsistema se encuentra en los latches. Estos latches se interconectan para formar un registro de corrimiento, y los datos se introducen o salen del registro de corrimiento para controlar y/o observar el estado del subsistema.

El bloque básico del registro de corrimiento es un latch del registro de corrimiento (SRL) como se muestra en la figura IV.9:

TESIS CON  
FALLA DE ORIGEN

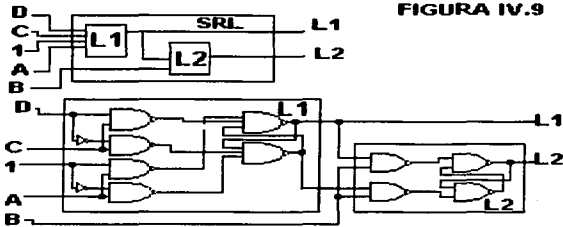


Figura IV.9 Estructura básica de un diseño de barrido.

El SRL utiliza tres relojes: C (el reloj del sistema); A (un reloj de corrimiento) y B (otro reloj de corrimiento). Los datos del subsistema se presentan en D entrada de datos, y los datos de la prueba de barrido se presentan en la entrada (barrido). Durante la operación normal del sistema el reloj C del sistema se utiliza para sincronizar los datos en la etapa L1, el reloj B transfiere los datos de L1 a L2, y el reloj A está inactivo. El reloj A se utiliza junto con el reloj B durante el modo de prueba. Los datos de entrada de barrido (1) de la salida L2 de otro SRL (o de una entrada primaria) se conecta a L1 a través de reloj A. Completando un ciclo los relojes A y B, los datos son serialmente desplazados a través del camino de barrido de la terminal barrido de entrada a la terminal barrido de salida.

La figura IV.10 ilustra la estructura general de un circuito secuencial que utiliza el método de barrido, en donde se puede apreciar que durante el modo normal de operación del circuito secuencial la señal de control TEST=0 y cuando TEST=1, entonces el circuito secuencial pasa al modo de prueba, por lo que los flip-flops se reorganizan en una cadena de barrido como lo indican las líneas gruesas de la figura (b), se tiene acceso a esta cadena de barrido por medio de dos entradas extra, llamadas SCAN IN y SCAN OUT, las cuales son las líneas de control y los puntos de observación del bloque de memoria M.

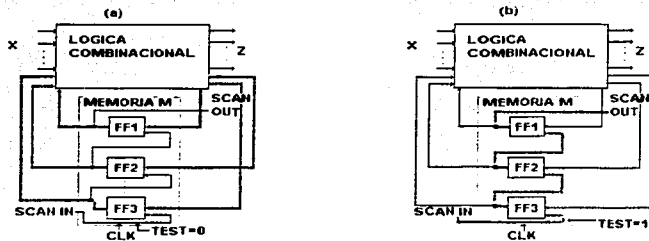


Figura IV.10 Circuito secuencial que utiliza diseño de barrido (a) Modo de operación normal. (b) Modo de barrido para prueba.

El diseño de barrido puede en principio aplicarse a cualquier señal de un circuito lógico, pero es particularmente útil en el caso de las señales de "frontera", que son las señales primarias de entrada y salida del C.I., a estas señales es casi imposible aplicarles pruebas directamente, sin embargo si las señales de frontera se incorporan en una cadena de barrido, estas pueden desplazarse serialmente a un punto de prueba más accesible, esta técnica es conocida como barrido de frontera. La idea clave de esta técnica es agregar una celda especial de barrido de frontera a cada señal de frontera X; esta celda contiene un latch para almacenar X y asociar las señales lógicas de control SCAN IN y SCAN OUT; las señales SCAN IN/OUT se juntan para formar una cadena de barrido o registro de desplazamiento, haciendo que las señales

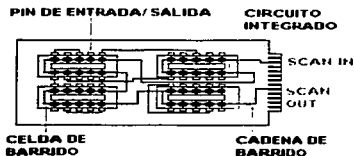


Figura IV.11 Tarjeta de circuito impreso con C.I.'s que incorpora el barrido de frontera.

TESIS CON  
FALLA DE ORIGEN

que se exploran y los circuitos internos se conecten juntos para que puedan ser controlables y observables como lo muestra la figura IV.11.

Las ventajas de la técnica de barrido de frontera son las siguientes:

- 1.-No existe la necesidad de utilizar equipo de prueba complejo.
- 2.-Se reduce el tiempo para generar la prueba y aplicarla.
- 3.-Se incrementa de manera significativa la cobertura de falla de C.I.

Esta técnica esta agrupada por la norma IEEE P1149.90, la cual especifica el diseño de celdas de barrido de frontera y describe como incorporar la instrucción de barrido y los registros de datos en el modelo de barrido de frontera para permitir que los vectores de prueba de los circuitos internos puedan introducirse y extraerse sus respuestas vía las celdas de barrido de frontera; esta norma ha sido adoptada por muchos fabricantes de circuitos integrados y fue definida por el comité JTAG (Grupo de Acción para la realización de Pruebas Conjuntas), que se formó en 1986 y fue aceptada por la IEEE en 1990.

#### **IV.6.5 Autoprueba Integrada (BIST).**

**BIST.** Esta técnica de DFT se refiere a la lógica incluida dentro de un diseño que puede aplicar señales de prueba y comparar los resultados para determinar si el circuito está funcionando correctamente.

Características principales de una técnica BIST :

- 1.-BIST es una prueba de fabricación, no es una prueba funcional.
- 2.-Su propósito es distinguir los defectos de fabricación. Esto significa que se utiliza para verificar la integridad física del dispositivo.
- 3.-A diferencia de los métodos de prueba externos, BIST permite una excelente observación de la operación de los chips más complejos. Debido a que BIST es una parte integral del chip, contiene "un canal dedicado" que reúne la información de diagnostico de la lógica interna del circuito y de sus elementos de memoria.
- 4.-No existe límite en el número de los vectores de prueba de la técnica BIST, ya que estos son generados en la misma estructura de control del BIST.
- 5.-Los circuitos a los cuales se les aplica una prueba por medio de una técnica BIST tienen un mucho mayor porcentaje de cobertura de falla, que cuando se utiliza ATPG y su



correspondiente medio de prueba externo. Esto es porque al efectuar la prueba a una determinada velocidad con una combinación adecuada de patrones de prueba se hacen evidentes muchos defectos que no se definen claramente en el modelo de falla de persistencia lógica y esto es precisamente porque BIST es tan poderoso para verificar la integridad física del dispositivo.

Diferentes esquemas de la técnica BIST.

La figura IV.12 muestra diferentes esquemas de implementación de la técnica BIST.

Figura IV.12 (b) BIST que

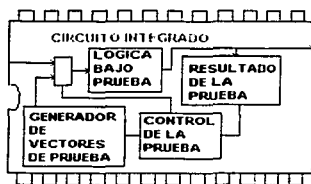


Figura IV.12 (a) BIST que incluye generador de pruebas y su respuesta en el mismo C.I.

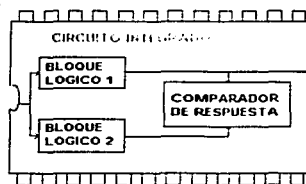


Figura IV.12 (b) BIST que efectúa un autodiagnostico durante la operación del C.I. al duplicar todas sus funciones.

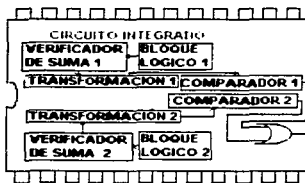


Figura IV.12 (c) BIST que genera verificadores de suma locales y compara ambos verificadores para presentar el resultado de la prueba.

## IV.7 CONFIABILIDAD DE CIRCUITOS INTEGRADOS.

La confiabilidad de los circuitos integrados es una preocupación especial para las aplicaciones en donde las reparaciones son difíciles de efectuar. Es conocido que los circuitos integrados tienen un mayor porcentaje de falla durante sus primeros meses hasta su primer año de vida. Después de este periodo se ha encontrado que los C.I.'s tienen muy bajos porcentajes de fallas por decenas de años. Los circuitos que fallan durante su intervalo de tiempo de vida inicial se clasifican como mortalidades infantiles y pueden en algunos casos estar en el orden de uno a unos cuantos porcentajes. A continuación se muestra en la tabla IV.2 las características de este porcentaje.

En la tabla IV.2 se pueden apreciar tres regiones; en la región 1 los defectos se llaman

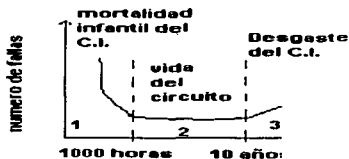


TABLA IV.2

mortalidades infantiles, y se atribuyen a la pobre calidad como resultado de las variaciones que se generan durante el proceso de producción del C.I., la región 2 representa la vida útil del C.I., las fallas en esta región se consideran que ocurren aleatoriamente y finalmente en la región la región representa el desgaste natural del C.I. debido al uso. La confiabilidad de los circuitos puede en ciertos casos reducirse considerablemente, los componentes mal diseñados pueden tener problemas con la electroemigración si la distribución del voltaje de alimentación en toda la red no ha sido adecuadamente determinada. Los circuitos que trabajan a elevadas temperaturas debido a un bajo nivel de enfriamiento pueden tener tiempos de vida reducidos, los problemas de contaminación derivados de indebidos empaquetamientos pueden ser un problema en ciertos ambientes de trabajo, el manejo sin precaución de circuitos CMOS provoca daños de ESD que a veces no se aprecian de inmediato, así como el montaje de los dados de C.I.s en un sustrato mecánico puede introducir fallas de estrés que ocurren si los

TE. CON  
FALLA DE ORIGEN

coeficientes de expansión térmica del C.I. y del sustrato son incompatibles. Las fallas de este estrés mecánico son un problema específico para el montaje directo del chip, los efectos de la radiación son una de las principales preocupaciones, porque afectan en buena medida la vida útil del circuito y por lo tanto su confiabilidad.

TESIS CON  
FALLA DE ORIGEN

## **CAPITULO V**

### **PLANEACION DE UN MODELO DE PRUEBA PARA CIRCUITOS INTEGRADOS DIGITALES.**

TESIS CON  
FALLA DE ORIGEN

## V.1 INTRODUCCION:

La prueba para fallas de retardo se vuelve cada vez más compleja en los nuevos circuitos digitales a nivel de submicrón. En este capítulo se propone una nueva técnica para las pruebas de fallas de retardo y de persistencia lógica en circuitos integrados digitales. La técnica propuesta consiste en orientar una trayectoria en el circuito digital bajo prueba y después incorporarlo a un oscilador de anillo para efectuar la prueba para fallas de retardo y de persistencia lógica en esa trayectoria. Este procedimiento se efectúa para todas o por lo menos en las trayectorias más críticas del circuito. Para establecer las oscilaciones, se debe asegurar que exista un número impar de inversores en la malla del circuito. Esta técnica se utiliza junto con las técnicas de barrido o se implementa como una técnica de autoprueba integrada. Los resultados de un banco de pruebas confirman la eficiencia de la técnica propuesta. La técnica se ha implementado en la práctica para un sumador digital de ocho bits en un dispositivo de campo programable.

A los circuitos digitales se les efectúan pruebas para verificar el funcionamiento correcto de el estado fijo en la lógica que está basada en el modelo estándar de falla, la falla de persistencia lógica en 0 lógico o en 1 lógico. Este modelo de falla describe con gran precisión una buena parte del mal funcionamiento de la lógica del circuito cuando éste se encuentra en estado fijo. Sin embargo, como la estructura de los circuitos lógicos se ha vuelto cada vez más compleja, las fallas de temporización del sistema se han vuelto más recurrentes. Debido a que el circuito integrado debe de operar a muy elevadas velocidades con mucho mayor complejidad del circuito, la resolución de las fallas de temporización influye en el funcionamiento correcto del circuito. Las fallas de temporización pueden ser provocadas por retardos de compuerta aislados o problemas relacionados con el proceso de temporización que se acumulan en las trayectorias del circuito e impiden al circuito funcionar a su velocidad normal. Las fallas de retardo se vuelven más críticas en las tecnologías submicrónicas en donde los retardos de las interconexiones superan a los retardos de la misma lógica del circuito. El retardo de las interconexiones varía en función del lugar y de la eficiencia de ruta, así como de las variaciones del proceso, por lo que estas características no son muy predecibles en las simulaciones a nivel de compuerta. La adopción de las tecnologías submicrónicas obliga a

utilizar métodos adicionales de prueba para detectar fallas relacionados con las fallas de temporización.

En un intento por identificar los defectos relacionados con la temporización, los vectores de prueba funcionales se aplican algunas veces a gran velocidad para identificar los defectos relacionados con la temporización. Aunque esta práctica puede mejorar la calidad de prueba, esta sufre de dos problemas potenciales. El primer problema es la disponibilidad del equipo de prueba capaz de operar a mayores velocidades, característica común de muchos circuitos de la actualidad. Este tipo de equipo de prueba es muy costoso y a veces casi imposible de fabricarse. También, las características de las conexiones de entrada y salida limitan la velocidad de los externos vectores de prueba funcionales. El segundo problema es que los vectores de prueba funcionales que se aplican a una velocidad muy elevada pueden omitir trayectorias críticas si el patrón de prueba no está completo, ni tampoco es exhaustivo.

Los problemas relacionados con la temporización, se encuentran definidos por el concepto de fallas de retardo, las cuales se encuentran relacionadas con las trayectorias críticas del circuito. Las técnicas convencionales para las pruebas de retardo requieren de dos diferentes vectores de entrada primarios que provocan una señal de transición en el sitio de la falla y que propague el efecto de la falla de retardo a una salida primaria. En la literatura de electrónica, los defectos relacionados con la temporización se han modelado ampliamente como fallas de retardo o como fallas de retardo de trayectoria. El modelo de falla de retardo de compuerta supone que el comportamiento incorrecto de la temporización del circuito se debe a excesivos retardos en uno o más componentes de una determinada trayectoria. Los generadores del vector de prueba que se basan en el modelo de retardo de compuerta manejan una falla a un determinado intervalo de tiempo e intentan encontrar una prueba, la cual oriente a alguna trayectoria a través del lugar de la falla tal que esa transición en la salida sea afectada por esa falla. El modelo de falla de retardo de trayectoria considera el retardo de propagación a través de una o más trayectorias que exceden la restricción de temporización. Por lo tanto, en este modelo no se efectúa ninguna suposición sobre los retardos de los componentes individuales. Para que sea confiable, por lo menos deben de efectuarse todas las trayectorias críticas del circuito.

En este capítulo se propone un nuevo método para efectuar pruebas para localizar fallas de

retardo y fallas de persistencia lógica. El método propuesto es una extensión del método de prueba de oscilación ya propuesto para circuitos analógicos y circuitos de señal mezclada.

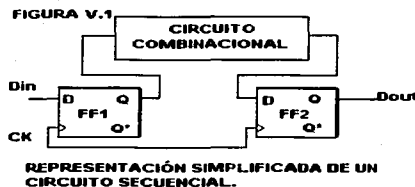
## V.2 PRINCIPIOS BÁSICOS.

En un circuito combinacional la trayectoria que tiene el mayor tiempo de propagación de una entrada primaria a una salida primaria, es llamada trayectoria crítica, la cual determina la velocidad de operación del circuito.

Otras trayectorias pueden tener mucho menores tiempos de propagación y por lo tanto una variación paramétrica en su valor de retardo puede no afectar la velocidad de operación del circuito a menos que los cambios hagan que su tiempo de propagación sea más largo que el retardo de la trayectoria crítica.

Sin embargo, aún un muy pequeño incremento en el retardo de la trayectoria crítica reducirá la velocidad de operación del circuito. También en los circuitos secuenciales, el sistema está libre de fallas de temporización si cada trayectoria combinacional entre dos elementos de memoria propaga su señal en menos tiempo que el intervalo de reloj del sistema operativo del circuito.

En otras palabras, la señal de entrada de cada elemento de memoria del circuito debe tener una señal estable antes de la llegada del borde activo de la señal de reloj. Un ejemplo simplificado de un circuito secuencial se muestra en la figura V.1:



Para asegurar que el circuito se encuentre libre de falla, el periodo de reloj debe de ser mayor que la suma del retardo de propagación del flip-flop de la entrada FF1 ( $t_{PD FF1}$ ), el retardo de

propagación del circuito combinacional ( $t_{PD\ CC}$ ), y el tiempo de puesta de salida del flip-flop ( $t_{SU\ FF_0}$ ).

$$T_{CK} > (t_{PD\ FF_1} + t_{PD\ CC} + t_{SU\ FF_1})$$

La relación anterior se puede escribir también así:

$$T_{PD\ CC} < (T_{CK} - t_{PD\ FF_1} - t_{SU\ FF_0})$$

Por lo tanto un incremento de retardo en una trayectoria puede resultar en un funcionamiento erróneo del circuito pero, el mismo retardo incrementado en otra trayectoria no afecta la funcionalidad del circuito. Si el único objetivo de la prueba es el retardo de propagación sin considerar la funcionalidad del circuito, una falla de retardo de propagación en una trayectoria que no afecta la funcionalidad del circuito resultará en el rechazo del circuito, lo cual es funcionalmente bueno. Este puede conducir a un número mayor de falsos rechazos de circuitos sin falla resultando en una significativa pérdida de producción.

## V.3 PRUEBA DE OSCILACIÓN DIGITAL.

### V.3.1 TÉCNICA DE PRUEBA.

Antes de introducir el método de prueba propuesto para circuitos digitales, se resume la metodología de prueba de oscilación para circuitos analógicos y de señal mezclada. El método de prueba de oscilación para circuitos analógicos y de señal mezclada consiste de particionar los circuitos complejos analógicos en bloques funcionales como lo son: amplificador, op-amp, comparador, filtro y convertidor de datos y después convertir cada bloque del circuito en un circuito de oscilación. La frecuencia de oscilación  $f_{osc}$  se puede expresar tanto como una función de los componentes del circuito o como una función de sus especificaciones importantes. Las fallas en los componentes iniciales relacionados (especificaciones) que están involucrados en la estructura del oscilador se manifiestan así mismo como una desviación de la frecuencia de oscilación. Por lo tanto, la pérdida de la desviación de la frecuencia de oscilación de su valor nominal que puede utilizarse para efectuar la prueba en su circuito inicial. Este método de prueba es muy eficiente en términos de cobertura de falla del circuito



en general. En este capítulo se extiende la misma metodología de prueba para los circuitos digitales. Sin embargo, existe una diferencia significativa entre la aplicación de la prueba de oscilación para circuitos analógicos y para circuitos digitales, debido a la diferente naturaleza de estos circuitos.

Para introducir el concepto de prueba para circuitos digitales primero considerare un oscilador de anillo digital en el cual las oscilaciones ocurren cuando existe un número impar de inversores en el anillo. La frecuencia de oscilación esta determinada por la suma de los retardos de propagación de 0 a 1 y de 1 a 0 del circuito total. Por lo tanto, el retardo de propagación a través de la cadena de inversores que forman el oscilador puede obtenerse midiendo la frecuencia de oscilación. Obviamente cualquier falla que afecta el retardo de propagación varia la frecuencia de oscilación. Además, cualquier falla de persistencia lógica en 0 o en 1 del circuito detendrá las oscilaciones y por lo tanto puede detectarse observando la frecuencia de oscilación. Si el circuito bajo prueba fuera una cadena de inversores, se puede efectuar la prueba para todas las fallas de persistencia lógica y de retardo de trayectoria del circuito, simplemente conectando su salida a su entrada y observando la frecuencia de oscilación.

Considerando este caso especial se introduce esta metodología de prueba llamada prueba de oscilación digital la cual consiste de orientar primero una trayectoria del circuito digital bajo prueba y después incorporarlo a un oscilador de anillo para efectuar la prueba de las fallas de persistencia lógica y las fallas de retardo. Así la frecuencia de oscilación que esta determinada por el retardo de propagación a través de la trayectoria del circuito, puede utilizarse para medir el retardo de propagación de la trayectoria. Las fallas de persistencia lógica del circuito que pueden detener las oscilaciones del circuito, pueden detectarse observando la frecuencia de oscilación del circuito. Este procedimiento debe de efectuarse para todas o por lo menos para las trayectorias más críticas del circuito. Si la trayectoria elegida se invierte, se establece entonces una retroalimentación no inversora de su salida a su entrada para convertirla a un oscilador. Para una trayectoria no inversora, se establece una retroalimentación no inversora conectando su salida a su entrada vía un inversor. En otras palabras, se asegurara que exista un número impar de inversores en el circuito que garanticen oscilaciones. Para orientar una trayectoria en el circuito, las entradas sin trayectoria de todas las compuertas directamente

implicadas en la trayectoria se establecen a valores no controlables, al establecer las entradas primarias.

### V.3.2 EJEMPLO ILUSTRATIVO.

Para visualizar este método de prueba se considera un muy simple circuito combinacional, como lo muestra la figura V.2:

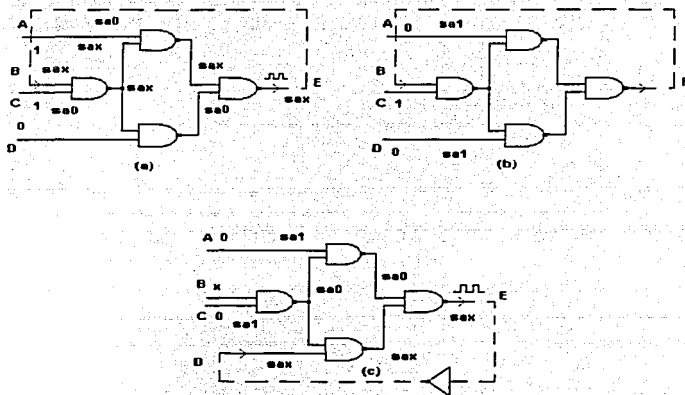


Figura V.2 Un circuito combinacional con a) la trayectoria B-G1-G2-G4-E transformada en un oscilador para detectar una falla de persistencia lógica en las entradas A y D, b) un vector de entrada para detectar una falla de persistencia lógica en las entradas A y D, y c) la trayectoria D-G3-G4-E transformada en un oscilador con una retroalimentación invertida.

Esta figura muestra el caso donde la trayectoria B-G1-G2-G4 se orienta y se convierte en un oscilador aplicando el vector de prueba ABCD=(1E10) lo que significa que la salida E se conecta a la entrada B. Midiendo la frecuencia de oscilación, se puede medir la falla de retardo de trayectoria orientada y también las fallas de retardo de las compuertas 1, 2 y 4.

Además, las fallas de persistencia lógica en 0 y en 1 (X) de todos los nodos que están directamente involucrados en la trayectoria se pueden detectar cuando detengan las oscilaciones. También pueden detectarse algunas fallas de persistencia lógica relacionadas con los nodos que orientan la trayectoria como las fallas de persistencia lógica en 0 en los nodos A y C. En aplicaciones prácticas, muchas trayectorias pueden existir entre una entrada primaria y una salida primaria. Por ejemplo, el vector de prueba  $ABCD=(0E11)$  puede aplicarse al circuito mostrado en la figura V.2 (a) para orientar la trayectoria alternativa B-G1-G3-G4-E la cual existe entre la entrada B y una salida E. Como resultado otro retardo de trayectoria del circuito puede medirse y algunas fallas de persistencia lógica adicionales pueden cubrirse. A las únicas fallas de persistencia lógica que todavía no se les aplica la prueba son las fallas de persistencia lógica en 1 en las entradas primarias A, C y D.

Los vectores de prueba  $ABCD=(0E10)$  y  $ABCD=(1E00)$  que se aplican al circuito para activar estas fallas se muestran en la figura V.2 (b). Estos vectores de prueba detienen las oscilaciones a menos que existan fallas de persistencia lógica en 1 en los nodos A, C y D. Por lo tanto al conectar el nodo E al nodo B y aplicarle únicamente cuatro vectores de prueba, se pueden medir dos retardos de trayectoria críticos y se pueden detectar todas las fallas de persistencia lógica. La figura (c) muestra el vector  $ABCD=(0X0^*E)$  que orienta y convierte la trayectoria no inversora D-G3-G4-E en un oscilador conectando la salida E a la salida D vía un inversor. La siguiente tabla V.1 representa la lista de los vectores de prueba que son necesarios para lograr el 100% de la cobertura de fallas en el circuito:

Trayectoria	Vector	Trayectoria	Vector
A-G2-G4-E	E*X00	C-G1-G2-G4-E	11E0
B-G1-G2-G4-E	1E10	C-G1-G3-G4-E	01E1
B-G1-G3-G4-E	0E11	D-G3-G4-E	0X0E*

Tabla V.1. Vectores de prueba para lograr una cobertura de falla del 100%.

Esta incluye seis vectores de prueba porque existen 6 diferentes trayectorias en el circuito a las cuales deben de efectuarse pruebas para obtener el 100% de la cobertura de las fallas de retardo de trayectoria. Como expliqué antes, únicamente cuatro vectores de prueba se

requieren para que se apliquen si los objetivos de la prueba son cubrir todas las fallas de persistencia lógica y todas las fallas de retardo en la compuerta pero un nivel razonable de fallas de retardo de trayectoria incluyen las trayectorias críticas del circuito.

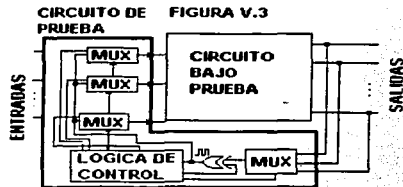
Comparado con los métodos convencionales de prueba de retardo, la técnica propuesta requiere de menos vectores al orientar cada trayectoria y efectuar la prueba utilizando únicamente un solo vector de prueba en lugar de dos vectores de prueba. Además, aunque las técnicas convencionales para prueba de retardo efectivamente orientan la trayectoria del circuito, es muy difícil medir el valor actual del retardo para cada trayectoria del chip.

Al utilizar el método de prueba, el valor del retardo puede deducirse simplemente al medir la frecuencia de oscilación utilizando un contador en el chip. Por lo tanto, la prueba de oscilación digital también puede utilizarse para determinar la máxima frecuencia de operación del circuito bajo prueba.

#### **V.4 IMPLEMENTACIÓN.**

El multiplexor (MUX) se utiliza para seleccionar la salida y establecer la malla de retroalimentación. Los multiplexores de entrada MUXis se requieren para desconectar las entradas del circuito alimentador y aplicar el patrón requerido para orientar la trayectoria elegida o conectar una salida a una entrada para construir una malla. La compuerta XOR se utiliza para establecer tanto una malla de retroalimentación inversora o no inversora. Cuando la entrada sin trayectoria de la compuerta XOR es puesta a 0, éste actúa como un buffer entre su entrada con trayectoria y su salida y cuando su entrada sin trayectoria es puesta a 1 éste actúa como un inversor entre su entrada con trayectoria y su salida. Finalmente, la lógica de control dirige toda la operación. Ésta controla los MUXis y el MUXo, genera el patrón de entrada requerido y mide y/o observa la frecuencia de oscilaciónbuffer entre su entrada con trayectoria y su salida y cuando su entrada sin trayectoria es puesta a 1 éste actúa como un inversor entre su entrada con trayectoria y su salida. Finalmente, la lógica de control dirige toda la operación.

TESIS CON  
FALLA DE ORIGEN



La figura V.3 ilustra un diagrama a bloques de la típica implementación del método propuesto para un circuito bajo prueba.

Ésta controla los MUXis y el MUXo, genera el patrón de entrada requerido y mide y/o observa la frecuencia de oscilación. Debe de hacerse notar que esta implementación supone que existe únicamente una trayectoria orientada y transformada en oscilador en un intervalo de tiempo determinado. Si se permite la orientación de trayectoria múltiple, los MUXis y el MUXo deben de modificarse para que se permita que se formen múltiples retroalimentaciones. El método de prueba de oscilación digital se puede utilizar tanto como una técnica completamente sólo para el circuito o en conjunción con un ATE para mejorar la calidad de prueba.

## V.5 ESTRATEGIA DE PRUEBA.

El principal objetivo de esta técnica de prueba consiste en cubrir el mayor número posible de fallas de retardo de trayectoria del circuito bajo prueba y garantizar una elevada cobertura de fallas de persistencia lógica. Desafortunadamente, efectuar la prueba en todas las trayectorias posibles puede ser muy costoso dependiendo de la complejidad del circuito. En la sección anterior se ha demostrado que todas las fallas de persistencia lógica son detectables en las líneas involucradas en la trayectoria orientada. Entonces parecería interesante tratar de obtener una elevada cobertura de falla mientras se busca cubrir todas las fallas de retardo de

trayectoria críticas.

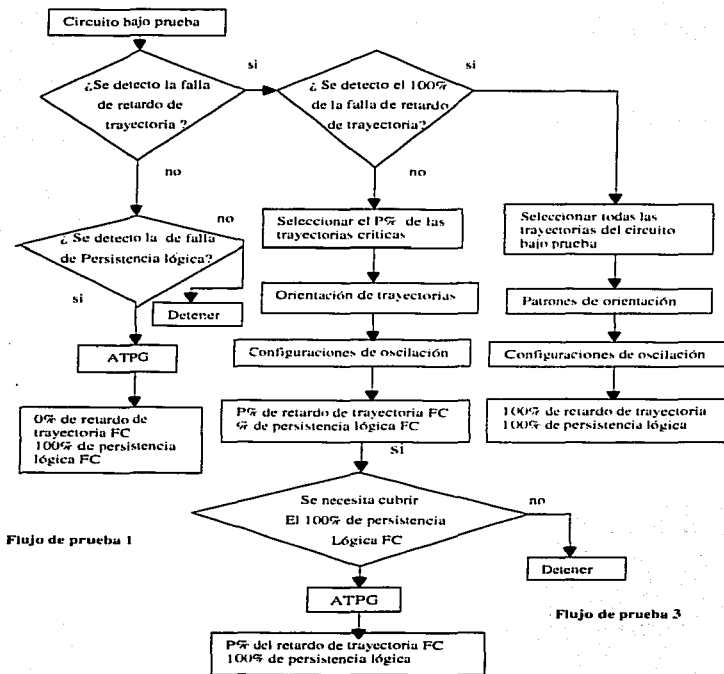
El número de trayectorias críticas depende de la estructura del circuito y del umbral de retardo considerado como crítico. Ésta estrategia de prueba consiste en primero efectuar la prueba a un porcentaje dado de trayectorias críticas ordenadas del más crítico al menos crítico y después completar la cobertura de las fallas de persistencia lógica con alguna prueba convencional, esto con patrones de prueba no oscilatorios.

### **V.5.1 ALGORITMO DE GENERACIÓN DE PRUEBA.**

Para que el método de prueba de oscilación digital sea práctico, la prueba de retardo de trayectoria debe de estar limitada a trayectorias críticas para preservar una adecuada cobertura de falla para las fallas de persistencia lógica. Como se ilustra en la figura V.4: Esta solución mezclada cumple el requisito en algún punto del flujo intermedio entre un método de prueba para fallas de persistencias lógica llamado flujo de prueba 1 y un detección exhaustiva de falla de retardo de trayectoria (flujo de prueba 3). Con el flujo de prueba convencional para fallas de persistencia lógica, casi se detectan todas las fallas de persistencia lógica utilizando patrones deterministas que se generan al utilizar herramientas ATPG. Por un lado, el flujo de prueba garantiza una amplia cobertura de fallas de persistencia al utilizar un número pequeño de vectores de prueba pero sin cubrir ninguna especificación relacionada con la temporización del circuito. Por otro lado, el flujo de prueba 3 cubre casi todos las fallas de persistencia lógica, así como las fallas de retardo de compuerta y las fallas de retardo de trayectoria al utilizar la prueba de oscilación digital pero desafortunadamente el número de vectores de prueba es mayor. El flujo de prueba 2 ofrece una relación entre el número de patrones de prueba que se van a aplicar y la cobertura de falla de retardo crítico que mantiene la cobertura de fallas de persistencia lógica casi perfecta. Continuando con el flujo de prueba 2, se debe primero aplicar patrones de prueba a un porcentaje determinado de las trayectorias más críticas. El P% determinado por la misma prueba se aplica a las trayectorias más críticas de las fallas de retardo y después se aplican vectores de pruebas convencionales para cubrir el resto de las fallas de persistencia lógica del circuito. La estrategia completa de prueba es por lo tanto una óptima combinación de los patrones de prueba para fallas de persistencia lógica y de la prueba de oscilación.

TESIS CON  
FALLA DE ORIGEN

Figura V.4 Tres diferentes flujos de prueba.



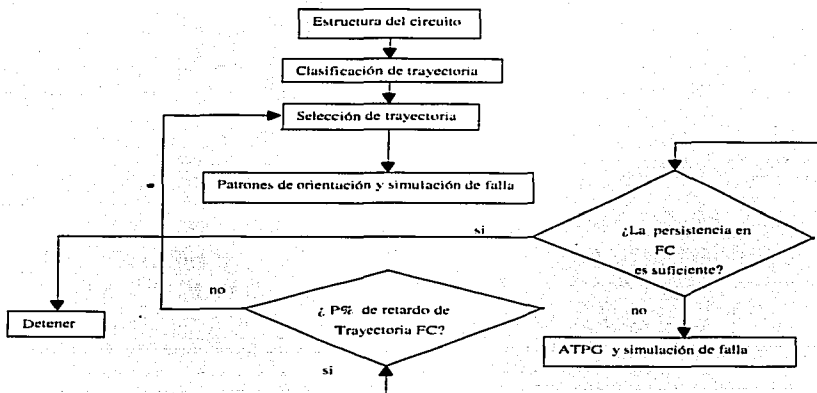
Flujo de prueba 1

Flujo de prueba 3

Flujo de prueba 2

TESIS CON FALLA DE ORIGEN

La figura V.5 ilustra en detalle el algoritmo de prueba propuesto.



Este comienza con las características del circuito que dependen de la precisión del modelo de representación del retardo de trayectoria del circuito, el cual puede ser modelado a un nivel de compuerta, o a un nivel Spice. Se utiliza una herramienta llamada RIC para clasificar automáticamente todas las trayectorias del circuito según con sus retardos de propagación de la trayectoria más crítica a la trayectoria menos crítica. Después, se obtiene un gráfico de dos dimensiones que da el número de trayectorias en función del retardo de propagación, para cada circuito el cual permite identificar las trayectorias críticas. Como un ejemplo, la figura V.6 muestra un gráfico para algunas figuras de los circuitos ISCAS85.

Una curva casi lisa, como la del c1908, significa que las trayectorias más críticas serán más fáciles de identificar, mientras que una curva más alta y pronunciada, como la del c1335, significa que todas las trayectorias se encuentran muy juntas y que será muy difícil identificar las trayectorias más críticas.



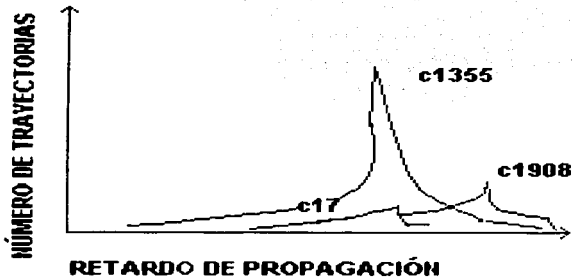


Figura V.6. Gráfica característica de respuesta de las pruebas efectuadas a los C.I.'s ISCAS85.

Es obvio que estas curvas son muy sensibles a la tecnología, a los tamaños del transistor y a otros parámetros físicos y eléctricos. Se utilizó otra herramienta llamada MOSAIC para generar los vectores de orientación de trayectorias. Comenzando con la trayectoria más crítica, MOSAIC efectúa la simulación para cada trayectoria orientada. Al final de cada iteración, las fallas detectadas se quitan de la lista de fallas. Debe de recordarse que únicamente las fallas de persistencia lógica en las líneas involucradas en el cono formado por la salida de la trayectoria y por todas las entradas primarias, son detectables. El proceso de orientación de trayectoria y simulación de falla se repiten hasta que el porcentaje de cobertura de fallas de retardo de trayectoria sea cubierto. Si se requiere de una mayor cobertura de falla, el resto de los patrones de prueba se puede calcular con MOSAIC.

Con este método, no se ha considerado la orientación de trayectoria múltiple, al utilizar únicamente vectores. Por lo que esto resultaría en una significativa disminución en el número de patrones de prueba y aún garantiza una elevada cobertura de fallas de persistencia lógica así como una satisfactoria cobertura de fallas de retardo de trayectoria crítica. Esto se obtiene por

TESIS CON  
FALLA DE ORIGEN

un procesamiento adicional de los vectores actuales para hacer la secuencia más compacta.

## V.6 RESULTADOS Y ANÁLISIS.

### V.6.1 Resultados del banco de prueba.

En esta sección se reportan los resultados experimentales que se obtuvieron con los flujos previos de prueba para dos bancos de prueba ISCAS85 e ISCAS89. Para el banco de prueba ISCAS89, se consideraron las versiones combinatoriales de los circuitos.

CIRCUITO	#DE ENTRADAS Y SALIDAS	#DE COMPUERTAS	#DE TRAYECTORIAS	FLUJO DE PRUEBA#1	
				VECTORES	STUCK-AT FC
C17	5-2	6	11	12	100
C432	36-7	249	291826	161	99.15
C499	41-42	700	397888	138	100
C880	60-26	529	8642	379	100
C1355	41-32	628	4173216	153	100
C1908	33-25	1075	729057	178	99.78
C2670	157-64	1822	679884	626	99.65
C3540	50-64	2313	28676671	733	99.48
C5315	178-123	3249	1341305	1517	99.99
C6288	32-32	2672	10	145	99.90
C7552	207-108	4556	746493	1150	99.99
S27	7-4	13	20	15	100
S208	19-10	117	145	97	100
S298	17-20	166	231	131	100
S344	24-26	213	344	116	100
S349	24-26	215	354	99	100
S382	24-27	193	400	132	100
S386	13-13	277	207	122	100
S400	24-27	200	449	127	100
S420	35-18	233	369	190	100
S444	24-27	208	535	145	100
S510	25-13	274	369	137	100
S526	24-27	277	410	214	100
S641	54-42	482	1722	238	100
S713	54-42	504	21812	234	100
S820	23-24	425	492	252	100
S832	23-24	429	506	259	100
S838	67-34	464	1009	371	100

Tabla V.2 Resultados del flujo de prueba 1.

TESIS CON  
FALLA DE ORIGEN

La tabla V. 2 muestra el número de entradas primarias y de salidas primarias así como el número total de las trayectorias posibles para todos los circuitos ISCAS85 y un subconjunto de los circuitos del banco ISCAS89

Los números de trayectorias se obtuvieron con la herramienta RIC. Las últimas dos columnas de esta tabla proporcionan datos para el flujo de prueba 1. Únicamente para las fallas de persistencia lógica, el número de patrones de prueba deterministas calculados con MOSAIC son proporcionados con su correspondiente cobertura de falla. La cobertura de falla menor al 100% se debe a la dificultad para detectar las fallas que no fueron cubiertas por la herramienta de prueba MOSAIC cuando todas las trayectorias se consideraron para la prueba de oscilación digital.

CIRCUITO	FLUJO DE PRUEBA 3 - 100% DE TRAYECTORIAS						
	PRUEBA SIN OSCILACION DIGITAL			PRUEBA CON OSCILACION DIGITAL			
	# DE TRAYECTORIAS	# DE TRAYECTORIAS REALES	# DE STUCK-AT-FC	# DE PATRONES DE OSCILACION	# DE STUCK-AT-FC	# DE PATRONES ATPG	# DE STUCK-AT-FC FINAL
C17	11	11	6.11	22	100	0	100
S27	20	18	91.45	36	100	0	100
S208	145	145	82.83	290	100	0	100
S298	231	191	83.81	382	97.05	5	100
S344	344	329	93.08	658	98.13	8	100
S349	354	335	92.53	670	97.51	8	100
S382	400	359	86.33	718	100	0	100
S386	207	207	88.68	414	100	0	100
S400	449	397	85.2	794	98.65	0	100
S420	369	369	93.56	793	100	0	100
S444	535	484	86.12	968	98.04	0	100
S510	369	369	93.82	738	100	0	100
S526	410	368	86.72	736	98.26	5	100
S641	1722	1505	96.64	3010	99.20	3	100
S713	21812	14948	91.87	29896	95.23	3	100
S820	492	492	86.12	984	99.05	14	100
S832	506	504	84.81	1008	98.02	15	100
S838	1009	1009	94.87	2018	100	0	100

Ya que el número total de trayectorias es enorme para los circuitos ISCAS85, este flujo de

TESIS CON  
FALLA DE ORIGEN

prueba se experimentó únicamente para un subconjunto de circuitos ISCAS89 que tienen un número menor de trayectorias. De izquierda a derecha, la columna 2 proporciona el número de trayectorias mientras que la columna 3 proporciona el número total de las trayectorias verdaderas. Una trayectoria se considera como verdadera cuando existe un patrón de orientación que propaga una transición de nivel lógico de la entrada de la trayectoria a su salida. Por ejemplo, el circuito s298 contiene 231 trayectorias posibles pero únicamente 191 de ellas son verdaderas, 40 trayectorias son por lo tanto falsas. Por lo tanto, cada trayectoria verdadera se asocia con un patrón de orientación que se obtiene con la herramienta MOSAIC. La columna 4 reporta la cobertura de las fallas de persistencia lógica que se obtienen si estos patrones de orientación hubieran sido considerados como patrones de prueba deterministas; estos es sin ninguna configuración de oscilación.

Las columnas 5 a 8 proporcionan datos para la prueba de oscilación digital. La columna 5 representa los números de patrones de prueba que simulan la prueba de oscilación. En la práctica, las retroalimentaciones para las oscilaciones se efectúan con conexiones físicas de salidas a entradas. Entonces, los circuitos combinatoriales se transforman en circuitos secuenciales asíncronos, los cuales son difíciles de analizar con los simuladores de falla o las herramientas ATPG. Una solución para superar este problema es duplicar los patrones de orientación para cada trayectoria y cambiar el nivel lógico de la entrada de trayectoria. Consecuentemente, la técnica de oscilación es simulada para cada trayectoria por dos patrones de prueba y por lo tanto los valores de la columna 5 son exactamente dos veces los valores de la columna 3 como se muestra en la tabla 3.

La cobertura de las fallas de persistencia lógica con configuraciones de oscilaciones presenta en la tabla 6. Ya que las falsas trayectorias contienen fallas potenciales de persistencia lógica, las columnas 7 y 8 reportan el número adicional de patrones de prueba deterministas necesarios para obtener una efectiva cobertura de fallas de persistencia lógica al 100%. La cobertura de las fallas de retardo de trayectoria puede considerarse al 100% ya que a todas las trayectorias se les efectuaron las pruebas. Esto mismo se aplica para la cobertura de las fallas de retardo de compuerta.

Ahora, se considera el caso para el flujo de prueba 2. Ya que el número de trayectorias totales difiere para los circuitos ISCAS85 e ISCAS89, se consideran dos valores diferentes para el

TESIS CON  
FALLA DE ORIGEN

porcentaje P% de las trayectorias que se examinarán. Para la experimentación con los circuitos ISCAS85, se considera alrededor del menos P=1% para todos los circuitos. En la práctica, depende del circuito bajo prueba y de la forma de la curva de trayectoria/retardo. Por ejemplo, el P=1% de las trayectorias totales varía de 86 a 286766 trayectorias para los circuitos ISCAS85, como se aprecia en la tabla V.4.

La tabla V.4 Resultados del flujo de prueba 2 cuando P=1%.

CIRCUITO	FLUJO DE PRUEBA 2 - P= 1% DE TRAYECTORIAS						
	PRUEBA SIN OSCILACION DIGITAL			PRUEBA CON OSCILACION DIGITAL			
	# TRAYECTORIAS	# TRAYECTORIAS REALES	STUCK-A FC	# DE PATRONES DE OSCILACION	STUCK-A FC	# DE PATRONES ATPG	STUCK-A FC FINAL
C432	2918	601	75.70	1202	79.93	65	99.15
C499	3978	1755	88.18	3510	90.99	52	100
C880	86	86	30.24	172	36.54	323	100
C1355	41732	15898	94.93	31796	99.32	36	100
C1908	7290	713	66.71	1426	67.49	128	99.78
C2670	6798	1820	0.71	3640	1.46	613	99.65
C3540	286766	37568	59.24	75136	63.26	518	99.48
C5315	13413	13295	35.64	26790	36.82	1372	99.99
C7552	7265	7235	38.99	14470	46.57	904	99.99

Esta tabla para el flujo de prueba 2 reporta el mismo tipo de datos del flujo de prueba3. Por ejemplo, la prueba del 1% de las trayectorias críticas para el circuito c880 corresponde a 86 patrones de orientación, o 86 configuraciones de oscilación. La cobertura de fallas de persistencia lógica para estas 86 trayectorias es sólo el 36.54% y se completa con 323 patrones de prueba deterministas para fallas de persistencia lógica para obtener el 100% de la cobertura de falla. Se nota que en este caso la prioridad es efectuar la prueba al 1% de las trayectorias más críticas. Basados en estos datos, es claro que el flujo de prueba 2 es una solución intermedia entre el flujo de prueba 1, el cual requiere de únicamente 379 patrones de prueba

pero sin efectuar ninguna prueba para las fallas de trayectoria de retardo y el flujo de prueba 3, el cual ofrece una alta calidad de prueba con 86-42 patrones de prueba.

En la tabla V.5 se reporta una experimentación similar para los circuitos ISCAS89 con  $P=10\%$ .

CIRCUITO	FLUJO DE PRUEBA 2 - $P=10\%$ DE TRAYECTORIAS						
	PRUEBA SIN OSCILACION DIGITAL			PRUEBA CON OSCILACION DIGITAL			
	# TRAYECTORIAS	# TRAYECTORIAS REALES	STUCK-A FC	# DE PATRONES DE OSCILACION	STUCK-A FC	# DE PATRONES ATPG	STUCK-A FC FINAL
S27	2	2	10.29	4	17.65	14	100
S208	14	14	43.42	28	55.76	63	100
S298	23	18	32.82	36	39.06	103	100
S344	34	31	49.63	62	52.62	78	100
S349	35	32	49.63	64	51.94	73	100
S382	40	40	19.29	80	27.15	113	100
S386	20	20	58.09	40	70.75	88	100
S400	44	44	18.77	88	25.63	118	100
S420	36	36	40.51	72	43.89	138	100
S444	53	53	20.27	106	27.94	120	100
S510	36	36	66.95	72	83.25	81	100
S526	41	36	42.93	72	58.56	158	100
S641	172	139	62.94	278	66.81	154	100
S713	2181	1583	53.86	3166	57.21	176	100
S820	49	49	47.23	98	65.78	197	100
S832	50	50	45.04	100	62.13	195	100
S838	100	100	41.51	200	44.08	289	100

La solución intermedia, el flujo de prueba 2, detecta el 1% de las fallas más críticas de retardo de trayectoria, por lo menos el mismo número de las fallas de retardo de compuerta, 100% de las de fallas de persistencia lógica y necesita de  $86+323=409$  patrones de prueba.

De este segundo experimento se extraen las mismas conclusiones aún si el número de trayectorias son más pequeñas que para los circuitos ISCAS85. Una posible mejora de estos resultados se hará para considerar la orientación múltiple de trayectorias utilizando simples

TESIS CON  
FALLA DE ORIGEN

vectores de prueba. lo que significa que se establecerán varias mallas de oscilación para cada patrón de prueba.

### V.7 RESULTADOS DE IMPLEMENTACIÓN PRÁCTICA.

Para demostrar lo práctico que es el método de prueba de oscilación, se considera un sumador digital de ocho bits. Los objetivos de la prueba fueron efectuar pruebas para todas las fallas de persistencia lógica, efectuar la prueba en 10 trayectorias críticas, y medir su retardo de trayectoria crítica para determinar su máxima velocidad de operación. Como se muestra en la figura V.7 para un sumador digital de 4 bits.

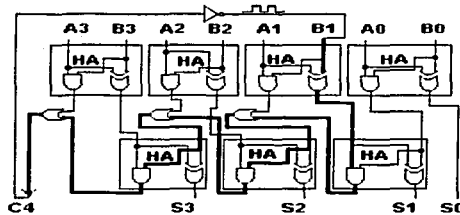


Figura V.7 Diagrama de un sumador de 4 bits con su trayectoria crítica seleccionada y transformada en oscilador al emplear una retroalimentación inversa.

La trayectoria crítica que determina la velocidad de operación del circuito es la trayectoria entre la entrada B1 y la salida C4 a través de las compuertas 1, 2, 3, 4, 5, 6, y 7.

El vector de prueba de entrada A3-0 (0001) y B3-0 (11C41) orienta a esta trayectoria crítica. La trayectoria orientada es no inversora y por lo tanto para establecer un oscilador, la salida C4 debe de ser conectada con la entrada B1 a través de un inversor adicional. El circuito con su prueba asociada se implemento utilizando una XC7372 EPDL de Xilinx, el cual es un dispositivo lógico programable. Los dispositivos lógicos programables se han escogido como vehículos de prueba debido a la flexibilidad y a la rapidez que ellos ofrecen para implementar

el circuito bajo prueba e inyectar fallas de retardo y fallas de persistencia lógica. El área cubierta con este tipo de prueba es de casi el 20% . La lógica de control es común para todos los circuitos combinacionales bajo prueba. Varias muestras del sumador se han implementado al utilizar diferentes tipos de macroceldas y diferentes técnicas de ruta y de lugar en el mismo dispositivo para construir sumadores con diferentes características de velocidad. Los resultados prácticos mostraron que dependiendo del lugar y de las técnicas de ruta y del tipo de macroceldas utilizadas para implementar el sumador, las características de operación pueden variar hasta un 25% de un sumador a otro. También varias muestras se han efectuado con fallas de persistencia lógica inyectadas, las cuales fueron completamente detectadas por la técnica de prueba implementada. Los resultados de las mediciones prácticas confirmaron que el método de prueba de oscilación es capaz de medir el retardo de la trayectoria crítica y de encontrar todas las fallas de retardo y de persistencia lógica inyectadas.

TESIS CON  
FALLA DE ORIGEN



## CONCLUSIONES

En este trabajo se describieron las principales factores que pueden afectar la funcionalidad de un circuito integrado digital desde su diseño hasta su fabricación. Desde luego, muchos de estos factores están relacionados en la actualidad con el avance de la tecnología, por lo que los diferentes tipos de prueba mencionados en este trabajo también se encuentran relacionados con el avance tecnológico de la microelectrónica digital. Por lo que el material recopilado y el método de prueba propuesto en este trabajo, contempla el concepto de prueba digital desde dos dimensiones: avance tecnológico y tipo de función lógica del circuito. Porque son los factores que más se toman en cuenta en la actualidad para efectuar un adecuado modelo de falla del circuito y efectuar la posterior prueba al menor costo posible. Por lo que deseo que este trabajo sea un medio de referencia para los profesionales que se dedican a elaborar pruebas de control de calidad a los circuitos integrados digitales después de su fabricación; ya que en la actualidad con el vertiginoso avance tecnológico de la microelectrónica se requiere de una constante actualización de conocimientos para entender a las nuevas tecnologías y por lo tanto crear el modelo adecuado de falla para cada tecnología en particular, así como también tomar en cuenta factores que a veces no son comunes para todas las tecnologías. En el caso muy particular de nuestro país y debido a la situación que vive la industria de dispositivos electrónicos en la actualidad, este trabajo tiene como objetivo, retroalimentar con la información resultante de estas pruebas a las compañías que fabrican y diseñan los circuitos integrados digitales, las cuales en su mayoría se encuentran en el extranjero actualmente.

TESIS CON  
FALLA DE ORIGEN

## GLOSARIO.

**Activación de falla.** El proceso de lograr un estado lógico opuesto a la condición de falla de un nodo determinado del circuito.

**ATPG (Generación automática de patrones de prueba).** Una generación funcional de patrones de prueba que se efectúa algorítmicamente a través de una computadora.

**BIST (Autoprueba integrada).** Lógica incluida dentro de un diseño que puede aplicar señales de prueba y comparar los resultados para determinar si el diseño está funcionando correctamente.

**C.I.** Circuito integrado es una combinación de elementos interconectados en un sustrato.

**Circuito combinacional.** Un circuito cuyas salidas únicamente dependen de sus entradas actuales.

**Circuito Secuencial.** Circuito que contiene elementos de almacenamiento, cuyo estado puede depender de entradas anteriores así como de un estímulo de entradas presentes.

**Controlabilidad.** La facilidad con la cual el valor lógico de un nodo puede manipularse de sus entradas primarias.

**DALG.** Algoritmo D es un método de generación de pruebas que utiliza el valor D, el cual es 1 lógico si un circuito no tiene falla y 0 lógico si el circuito la tiene.

**DFT (Diseño con capacidad de prueba).** Un método que incorpora reglas y técnicas en el proceso de diseño para provocar que la prueba sea más fácil.

**Diseño de barrido.** Una metodología DFT donde un grupo de elementos de almacenamiento se conectan serialmente para facilitar la prueba de un circuito secuencial dentro de un C.I.

**DTMs.** Son medidas de prueba dinámica que toman en cuenta las restricciones aplicadas cuando se le aplica el algoritmo D.

**Electroemigración.** Un mecanismo de falla que ocurre en los conductores de aluminio que forman parte del C.I., en donde la corriente de electrones provoca que la estructura del metal se erosione.

**Falla.** Un defecto en un circuito, el cual puede provocar un mal funcionamiento del mismo.

**Fallas suaves.** Una condición de error la cual resulta de una causa intermitente o temporal y que una vez corregida no vuelve a ocurrir inmediatamente.

TESIS CON  
FALLA DE ORIGEN

**FAN.** Algoritmo de prueba orientado a fan-out es el que utiliza las medidas de observabilidad para seleccionar la compuerta que se va a utilizar en el algoritmo D.

**Fan-in.** Es el número máximo de entradas de un circuito lógico.

**Fan-out.** Es el número máximo de entradas que se pueden conectar a la salida de un circuito lógico.

**Glitch.** Un cambio pequeño del valor de la señal, el cual es aleatorio.

**ISCAS.** Banco de prueba el cual contiene circuitos integrados digitales con características especiales para efectuar pruebas de calidad.

**Inicialización.** El proceso de forzar al nodo de un circuito a establecerse en un estado conocido.

**Latchup.** Una condición de falla característica de la familia CMOS, en la cual sus SRC's producen una baja resistencia en las terminales del voltaje de alimentación.

**LSSD.** Diseño de barrido a nivel de exploración, una metodología que se utiliza para diseñar un circuito que utilice registros de barrido en lugar de elementos secuenciales, con el propósito de poder efectuar pruebas.

**Modelo.** Una representación de un circuito en software, el cual contiene la respuesta del circuito a un estímulo.

**MOSAIC.** Software que se utiliza para simular el comportamiento eléctrico y lógico de un circuito integrado.

**Observabilidad.** La capacidad de observar el efecto del valor de un nodo en una terminal de salida.

**Orientación de trayectoria.** El proceso de determinar los estímulos de entrada que van a permitir que se propaguen los efectos de una falla en las salidas primarias del circuito.

**Patrón de prueba.** Un conjunto de valores de estímulos de entrada que se aplican al principio de un periodo de tiempo y un conjunto de valores de observación de salida realizados al final de un periodo de tiempo. Los cuales se representan por un conjunto de valores.

**PI's.** Entradas primarias de un circuito lógico, las cuales permiten introducir estímulos para conocer la distribución de la señal a través del mismo.

**PO's.** Salidas primarias de un circuito lógico, las cuales permiten conocer la respuesta a un estímulo aplicado a sus entradas.

TESIS CON  
FALLA DE ORIGEN

**PODEM.** Un método que se utiliza para determinar que entradas primarias deben de controlarse para activar una falla y propagar sus efectos.

**Propagación.** La respuesta de una salida de una compuerta o red con su entrada.

**Prueba de  $I_{ddq}$ .** Prueba en la cual se mide la corriente de alimentación, cuando el circuito no se encuentra en estado de conmutación.

**Prueba determinística.** Prueba intencionalmente calculada o estructurada hacia un objetivo.

**Prueba estructural.** Es la prueba que se incluye en el diseño del circuito integrado.

**Prueba exhaustiva.** Prueba que se aplica en todas las posibles combinaciones de entrada de un circuito.

**Prueba funcional.** Un procedimiento para determinar la operabilidad de un circuito integrado al utilizar únicamente las conexiones diseñadas para el funcionamiento del circuito.

**Prueba paramétrica.** Es una prueba que verifica el voltaje, corriente y especificaciones dinámicas de un diseño.

**Pseudoaleatorio.** Una secuencia repetible en la cual no existe una aparente repetición entre un número y el siguiente.

**s-a-0.** Notación para una condición de falla en donde el nodo de un circuito permanece en un valor lógico de 0.

**s-a-1.** Notación para una condición de falla en donde el nodo de un circuito permanece en un valor lógico de 1.

**s-a-Z.** Notación para una condición de falla en donde el nodo de un circuito permanece en el estado de alta impedancia.

**s-a-abierto.** Notación para una condición de falla en donde un elemento de conmutación permanece en el estado de no conducción.

**STMs.** Son medidas de prueba estáticas que permiten evaluar el nivel de prueba de un diseño y permiten modificaciones estructurales.

**TMs.** Medidas de prueba son medidas cuantitativas de prueba que definen la dificultad de lograr el conjunto completo de justificaciones de líneas requeridas para controlar u observar un nodo específico del circuito.

**Umbral.** Nivel de voltaje que separa dos niveles lógicos.

**Vector de prueba.** Un conjunto de valores lógicos que se aplican a un circuito para analizar

TESIS CON  
FALLA DE ORIGEN

su respuesta de salida.

**XC7372 EPDL.** Dispositivo lógico programable utilizado para simular las trayectorias críticas de los circuitos integrados de los bancos de prueba ISCAS, para poder aplicar el algoritmo de prueba correspondiente.

TESIS CON  
FALLA DE ORIGEN

## BIBLIOGRAFIA.

1. J. Markus, Electronics Dictionary, McGraw Hill, New York.
2. The TTL DataBook, Vol. 2, Texas Instruments, Dallas, TX, 1985, pags. 3-4.
3. F. Barson, "Emitter Collector Shorts in Bipolar Devices, IEEE J. Solid-State.S-11(4), pags. 505-510.
4. The semiconductor Library, Vol. IV, MECL Integrated Circuits, Motorola Phoenix, AZ.
5. J. P. Roth, "Diagnosis of Automated Failures: A Calculus a Method", IBM J. Res. Dev., 10, pags 278-291, (Julio 1996).
6. M. Breuer y A. D. Friedman, Diagnosis and Design of Digital Systems, Computer Science, Woodland Hills, CA , 1994.
7. R. Resnick and D. Halliday, Physics, Wiley, New York, 1986.
8. C. W. Cha, "A Testing Strategy for PLAs", in Proc. 15<sup>th</sup> Des. Automat. Conf., IEEE, 1998, pags. 326-334.
9. R. L. Wadsack "Technology Dependent Logic Faults", in Proc. COMPCON'98 IEEE 1998, pags. 124-129.
10. Y. K. Malaiyu and R. Narayanaswamy, "Modeling and Testing for Timing Faults in Synchronous Sequential Circuits", IEEE Des. Test: 1(4), pags. 62-74.
11. Bipolar, BiCMOS, and GaAs Digital ASICS- Array Based , Vendor Guide 1995 Supplement, ASIC & EDA- Technologies for System Design ,December /January 1995, pag.80.
12. H. Vendrick , J. Kernhof , and b. Hoefflinger, "The CMOS Gate Forest, an Efficient and Flexible High-Performance ASIC Design Environment", IEEE JSSC, vol.25, no.5 October, 1990, pags. 1153-1157.
13. L. Waller , "A Tale of Two ASICs -CMOS Cell-Based Products, Integrated Systems Design , February 1995, pags.35-51.
14. B. Johnson , "Overview of Chip Level Packing", Electronic Materials Handbook:Volume 1 Packaging, ASM International, Materials Park, OH, 1989, PAGES. 398-407.
15. H.Bakoglu, Circuits, Interconnections and Packaging, ASM International , Materials Park OH, 1990.

TESIS CON  
FALLA DE ORIGEN

16. R. Heitmann. "Ultra-Fine Pitch Technology: Assembly Challenges and Considerations". Electronic Packaging and Production, December 1993, pages 34-47.
17. A. Bindra. "BGAs Making Micro Move". Electronic Engineering Times, 1994 Special Report, October 24, 1994, pages 32, 56, 82.
18. S. Devadas, A. Ghosh, and K. Keutzer. Logic Synthesis. McGraw Hill, Inc., New York, NY 1994.
19. G. De Micheli. Synthesis and Optimiztion of Digital Circuits, McGraw Hill, Inc New York NY, 1994.
20. S. Schulz. "Behavioral Synthesis ; Concept to Silicon", ASIC & EDA. Technologies for System Design. May 1994. Pags. 13-26.
21. L. Vereen. "HDL Momentum Grows", ASIC & EDA Technologies for System Design. June 1994. Pags. 50-70.
22. N. JHa. "Detecting Multiple Faults in CMOS Circuits". Proceedings of the 1988 International Test Conference, pages 514-519.
23. T. W. Williams. "VLSI Testing". Computer, Volume 17, October 1984 pages. 126-136.
24. T. Gheewala. "Structured Test is Free". ASIC & EDA. Technologies for System Design, July 1994, pag. 71.
25. L. Schramm. Evaluation of VHSIC Chip Level Test Architectures" Master's Thesis, University of South Florida, April 1992.
26. E. B. Eichelberger and T. W. Williams "A Logic Design Structure for LSI Testability" Proceedings of the 14<sup>th</sup> Design Automation Conference, New Orleans, June 1977, pages. 462-468.
27. ANSI/IEE Estándar Test Access Port and Boundary-Scan Architecture. IEEE Std 1149.1 1990.
28. B.Arnold. "Finding Success with Mixed -Signal ASICs", ASIC & EDA Technologies for System Design, January 1994, pages.36-38.
29. R. Pate & J. Rogers. "Putting together a test strategy for analog and mixed -signal ASICs. Computer Design ASIC Design Supplement, February 1994. Pags. A29-A34.
30. Roger T. Howe, Charles G. Sodini. "Microelectronics: An Integrated Approach". Prentice Hall. Electronics and VLSI Series.

TESIS CON  
FALLA DE ORIGEN

31. R.G. Bennetts. "Design of Testable Logic Circuits". Addison Wesley- Publishing Company.
32. J. Max Corner. "Digital Test Engineering". A Wiley-Interscience Publication.
33. G. I. Smith. "Model for Delay Faults Based Upon Paths". Proc. Of the International Test Conf., Washington D.C., Nov. 1985.
34. V.S. Lyengar et al. "On Computing the sizes of Detected Delay Faults". IEEE Transactions on CAD, Vol. 9 No. 3.

TESIS CON  
FALLA DE ORIGEN



## SITIOS WEB.

- 1.- [www.eefic.uk/pcheung/teaching/ee4\\_asic/notes/testing](http://www.eefic.uk/pcheung/teaching/ee4_asic/notes/testing).
- 2.- [www.iit.demokritos.gr/hardware/itcslides/sld0003.htm](http://www.iit.demokritos.gr/hardware/itcslides/sld0003.htm).
- 3.- [www.mix-sig.com](http://www.mix-sig.com)
- 4.- [www.xs4all.nl/~ganswijk/chipdir/ttl.htm](http://www.xs4all.nl/~ganswijk/chipdir/ttl.htm)
- 5.- [www.hobby-electronics.com/logicfamilies.htm](http://www.hobby-electronics.com/logicfamilies.htm)
- 6.- [www.cad.eecs.berkeley.edu/~brayton/micro-final-1996/node21.htm](http://www.cad.eecs.berkeley.edu/~brayton/micro-final-1996/node21.htm)
- 7.- [www.sc.chu.es/acwamurc/li-itl.html](http://www.sc.chu.es/acwamurc/li-itl.html)
- 8.- [www.engin.brown.edu/faculty/daniels/DDZO/speed.html](http://www.engin.brown.edu/faculty/daniels/DDZO/speed.html)
- 9.- [www.chipcenter.com](http://www.chipcenter.com)
- 10.- [www.decafe.com/book](http://www.decafe.com/book)
- 11.- [www.intec.rug.ac.be/oiic/](http://www.intec.rug.ac.be/oiic/)
- 12.- [www.phy.hw.ac.uk/resrev/SPOEC](http://www.phy.hw.ac.uk/resrev/SPOEC)

TESIS CON  
FALLA DE ORIGEN