

01179 11
0077

U.N.A.M.

DIVISION DE ESTUDIOS DE POSTGRADO DE LA FACULTAD DE INGENIERIA

"UN SISTEMA DE ADQUISICION DE DATOS"

TRABAJO QUE PRESENTA EL ALUMNO:
ALCANTERA GOMEZ PINEDA JORGE LUIS
PARA OBTENER EL GRADO DE MAESTRO
EN INGENIERIA.

294524

**TESIS CON
FALLA DE ORIGEN**

Cd. Universitaria, Mayo de 1960.



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

TESIS CON FALLA DE ORIGEN

INDICE

1.- INTRODUCCION. _____	1
1.1.- Necesidad de un sistema de adquisición de datos. _____	1
1.2.- Elementos típicos que componen un SAD. _____	2
2.- ELECCION DE UN SAD. _____	17
2.1.- Introducción. _____	17
2.2.- Diferentes alternativas en la arquitectura del sistema. _____	17
2.3.- Transferencia de datos entre la microcomputadora y periféricos. _____	20
2.3.- Arreglos de entrada-salida para el Microprocesador INTEL 8080. _____	25
2.5.- Análisis del error en valor digital de la palabra in- troducida al microprocesador. _____	29
2.6.- Estudio del error máximo cometido en el tiempo de muestreo. _____	33
3.- DISEÑO DEL SISTEMA. _____	36
3.1.- Introducción. _____	36
3.2.- Proceso en la selección de las componentes. _____	36
3.3.- Justificación y arquitectura del sistema. _____	39
3.4.- Diseño de la unidad de control. _____	44
3.5.- Cálculo del error. _____	56
APENDICES _____	62
A.- Definición de especificaciones en sistemas de Adquisición de datos. _____	62
B.- Interrupciones en el microprocesador INTEL 8080. _____	68
C.- DMA en el microprocesador INTEL 8080. _____	72
D.- Puerto de entrada-salida INTEL 8255. _____	75
E.- Hojas de datos de los elementos usados en el diseño del Sistema de Adquisición de Datos. _____	82
BIBLIOGRAFIA. _____	87

1.- INTRODUCCION

1.1.-NECESIDAD DE UN SISTEM. DE ADQUISICION DE DATOS.

En el mundo que nos rodea la mayoría de los eventos que suceden son de carácter analógico, es decir, son procesos que varían con el tiempo de una manera continua. Si deseamos obtener información de alguno de estos procesos, por ejemplo, la variación de la temperatura en un "Horno" en el proceso de fundición, y de alguna forma esta información se obtiene como una señal eléctrica, esta señal será de carácter analógico. Cuando sea necesario realizar operaciones complejas con esta información, el circuito analógico resultante será complejo, además, este circuito introduciría un error considerable en los resultados de las operaciones.

Debido al gran avance tecnológico en la fabricación de circuitos electrónicos miniaturizados (LSI), es posible tener elementos de proceso digital (Microprocesadores) y circuitos de soporte para estos (Memorias, puertos de entrada/salida, etc.) en un espacio muy reducido.

¿Cuál es la relación entre los párrafos anteriores?. Pues bien, si pudiéramos convertir la señal analógica en un código digital, podríamos utilizar un Microprocesador (Mp) para realizar operaciones complejas sobre esta información con un costo reducido y con un error menor al que se obtendría si solo se utilizaran circuitos analógicos. Al circuito que realiza la adaptación entre la señal analógica y el Mp lo denominaremos Sistema de Adquisición de Datos (SAD).

En el desarrollo de este trabajo se tratarán brevemente los elementos típicos que componen un SAD, se mostrarán diferentes formas de conectar dichos elementos, las formas de transferir datos hacia y desde el Mp, las estructuras de entrada/salida (E/S) del Mp, se hará un análisis del máximo error introducido a la palabra digital que será almacenada en la memoria del Mp, así como, el máximo error en tiempo de

muestreo, además, se sugiere una mecánica para la elección de los elementos que conforman al SAD. Después de cubrir los temas anteriores se procederá a diseñar un SAD con las siguientes restricciones:

- a) Rango dinámico de la señal de entrada: de 200 mV a 5 V.
- b) Rango de frecuencia de la señal de entrada: de DC a 1 KHz. .
- c) Seis canales de entrada muestreados simultáneamente.
- d) Máximo error admitido en la palabra digital introducida a la memoria del Mp, 2% .
- e) Error máximo en tiempo de muestreo, 2μ seg. .
- f) La palabra digital sera introducida a la memoria de un Mp INTEL 8080.

1.2.- ELEMENTOS TÍPICOS QUE COMPONEN UN SAD.

Un SAD se compone, dependiendo de las necesidades que se tengan, de los siguientes elementos:

a) Módulo de acondicionamiento de la señal analógica.- Se requiere cuando se alimentan señales de entrada diferentes en amplitud para mantenerlas dentro del rango de operación de los elementos subsecuentes. Puede estar compuesto por: amplificadores (de instrumentación, aislamiento y/o logarítmicos), filtros, limitadores, etc..

b) Sample and Hold (SH).- Es un dispositivo que nos permite tomar (muestrear) y almacenar el valor de una señal en un instante determinado. Se recomienda en adquisición de señales cuya amplitud varíe muy rapido.

c) Multiplexor analógico.- Se utiliza en SAD's donde se requiere "convertir" señales que se alimentan por diferentes canales. La selección de uno de los canales se hace por medio de un código digital (dirección).

d) Convertidor analógico digital (CAD).- Es el elemento que nos permite realizar la conversión de la señal analógica en un código digital. Es la componente fundamental del sistema y en simple CAD podría ser

un SAD.

En la fig. 1.1 se muestra un diagrama de bloques típico de un SAD, la computadora no forma parte del SAD pero en la mayoría de los casos, el SAD es conectado a esta.

A continuación describiremos la operación y estructura básica de los elementos que componen al sistema de adquisición excluyendo al módulo de acondicionamiento de señal.

El multiplexor analógico nos permite seleccionar una señal analógica de entre varias de las que se conectan a sus entradas por medio de un código digital. El número de canales puede variar entre dos y cientos.

Se compone básicamente de una lógica de decodificación y una serie de switches, cada uno seleccionado por la lógica. En la fig. 1.2 se muestra un esquema básico de un multiplexor analógico de dos entradas.

Los dispositivos usados como switches pueden ser: mecánicos y de estado sólido (transistores: TBJ, JFET o MOSFET). En multiplexores de estado sólido son más usados los JFET y CMOS, debido a que el TBJ tiene problemas de voltaje de offset (es el voltaje que existe entre colector

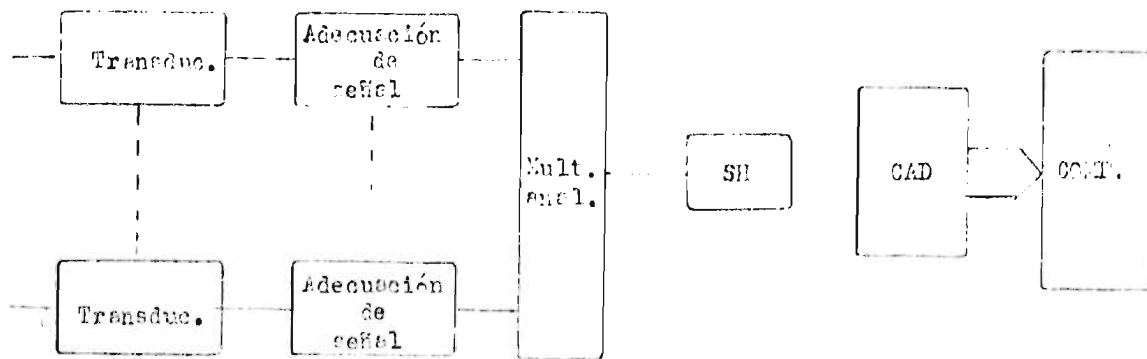


Fig. 1.1 .-- Diagrama de bloques de un SAD típico.

y emisor cuando el transistor es encendido por una corriente aplicada a la base y la corriente entre colector y emisor es nula), además son preferidos por su excelente aislación de DC del circuito que maneja al switch y la trayectoria de la señal, baja corriente de fuga y alta impedancia en su estado de OFF(apagado).

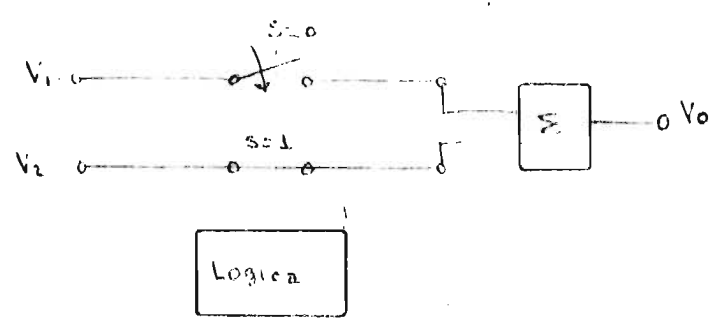
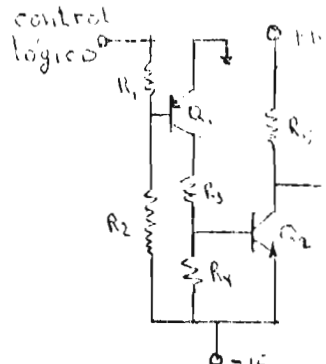
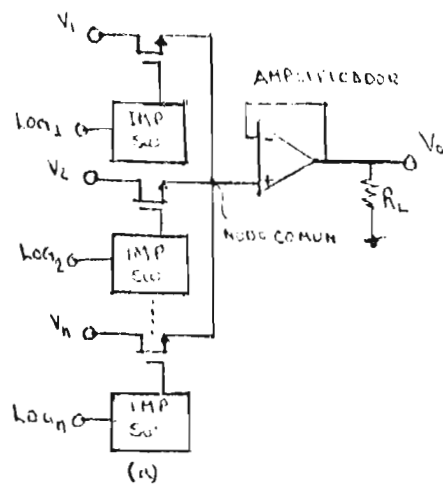
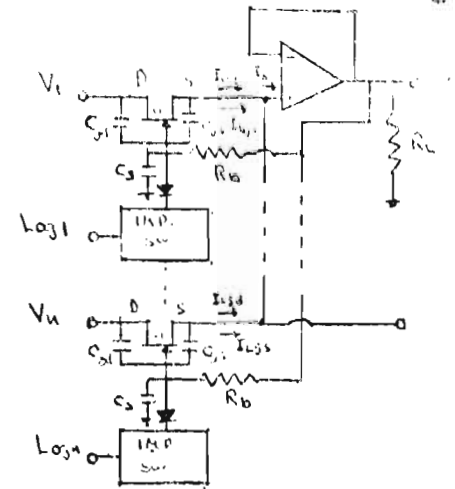


Fig. 1.2.- Multiplexor de dos entradas.

En la fig. 1.3 se muestra parte de un multiplexor con switches MOSFET (canal N modo empobrecimiento). La salida de cada switch es conectada a un nodo común que es la salida del multiplexor, cada circuito impulsor de switcheo aplica un voltaje al gate (compuerta) con lo que controla su estado, un nivel de -15 V lo apaga (OFF) y uno de +15 V lo enciende(ON). Si el voltaje analógico de entrada es de ± 10 V , el MOSFET deberá tener un voltaje gate-source(compuerta -fuente) de corte de -5 V como máximo. El nodo de salida del multiplexor debe ser conectado a una carga de alta impedancia para prevenir la caída de voltaje en la resistencia de encendido del MOSFET (R_{on}) . El amplificador de la fig. 1.3 debe proporcionar alta exactitud en su ganancia. A la entrada del amplificador se produce una señal de DC con incertidumbre causada por el voltaje de off-set inherente al amplificador y la corriente de polarización del amplificador a través de la R_{on} y la resistencia de la fuente desde donde es alimentada la señal. El tiempo requerido para que el amplificador fije la señal de salida con un porcentaje de error



(b) Impulsor del switch.



(c) Multiplexor con JFET.

Fig. 1.3.- (a) Parte de un multiplexor con salida única. (b) Circuito para manejo del switch. (c) Multiplexor con JFET

con respecto a la señal de entrada (por ejen. 0.013) después de la aplicación de esta, determinará la máxima velocidad de muestreo del multiplexor. Al tiempo mencionado se le denomina tiempo de adquisición del multiplexor (t_M).

Con algunos cambios, el circuito de la fig. 1.3.a puede ser modificado para usar dispositivos JFET canal N como elementos de switcheo. El voltaje entre compuerta y fuente debe ser cero cuando el dispositivo esté encendido, para que esto suceda, la compuerta debe de alguna manera seguir al voltaje de entrada. Para conservar la señal analógica aislada de la señal de switcheo, la compuerta es conectada mediante R_b desde la salida del amplificador (fig. 1.3.c). Cuando los transistores Q1 y Q2 del impulsor son encendidos, la salida del amplificador debe suministrar la corriente de carga más $(N-1)25/R_b$ mA a través de las N-1 resistencias R_b hacia la fuente de -15 V (a través de Q2) cuando la entrada del canal encendido esté a +10 V. Cuando Q1 y Q2 están apagados, el diodo D_1 es polarizado en reversa y el JFET se enciende. El voltaje de corte compuerta-fuente (voltaje de estrangulamiento del canal) del JFET debe ser -5 V como máximo (para entradas de ± 10 V). El impulsor mostrado en la fig. 1.3.b lleva rápidamente al estado de OFF al JFET (fig. 1.3.c), sin embargo, el tiempo de almacenamiento y las constantes

tes de tiempo asociados a Q1 y Q2 causan que el impulsor del switch sea lento cuando enciende al JFET.

Las capacitancias entre electrodos (capacitancia compuerta-fuente y capacitancia drenaje-compuerta) y la capacitancia parasita de alambrado (capacitancia stray wiring, entre la compuerta y tierra) del JFET son responsables de la alimentación de señales de entrada desde los N-1 canales apagados, a través de ellos, hacia la salida (Crosstalk). El Crosstalk es directamente proporcional a la frecuencia y amplitud de las señales de entrada aplicadas a los canales apagados y a la impedancia de la fuente de señal del canal encendido.

Las corrientes de fuga que fluyen en cualquier canal de entrada de un multiplexor, cuando el canal está encendido, difieren de las corrientes que fluyen cuando el canal está apagado. La corriente de fuga de un canal encendido está compuesta de las fugas compuerta-fuente (I_{qp}) y compuerta-drenaje (I_{qd}) de los N-1 canales apagados y la corriente de polarización de la entrada positiva del amplificador. La corriente de fuga de cada canal apagado está compuesta por sus fugas I_{qp} y I_{qd} de ese canal. (fig. 1.3.c)

La capacitancia de entrada de un multiplexor es generalmente pequeña (30pf), tal que, no degrada significativamente los tiempos de subida, bajada y el tiempo de asentamiento para una señal escalón provista por una fuente de baja impedancia. En un circuito RC, toma alrededor de 9 constantes de tiempo para que la salida se fije al 0.01% de la señal de entrada, si esta es un escalón.

La respuesta a la frecuencia depende fuertemente de la impedancia de la fuente de señal de entrada (R_s) y la capacitancia de entrada. La amplitud de la señal de salida estará 0.1% abajo del valor de la señal de entrada aproximadamente a $f_{3db}/30$ y a 0.01% a $f_{3db}/100$, donde

$$f_{3db} = \frac{1}{2\pi R_s C_i}$$

La fig. 1.4 muestra el circuito equivalente de un canal para un multiplexor con switches MOSFET (fig. 1.3.a), donde se muestra: la resistencia de compuerta, la R_{on} , la corriente de fuga (sin tomar en cuenta la corriente de polarización del amplificador), la capacitancia de compuerta

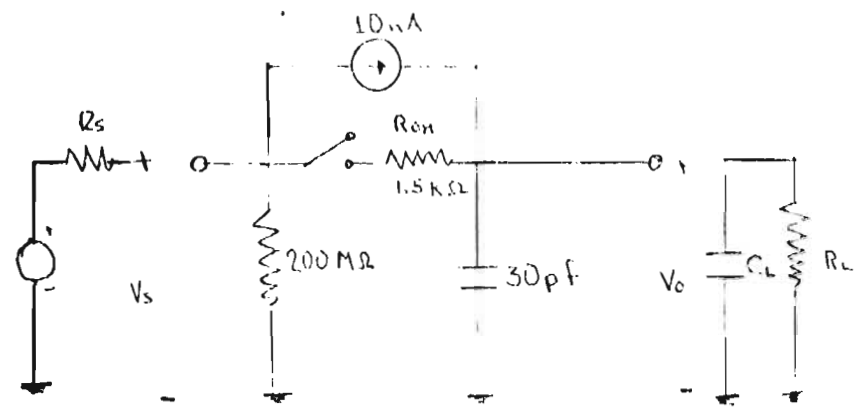


FIG. 1.4 CIRCUITO EQUIVALENTE PARA EL ANÁLISIS DEL ERROR PRODUCIDO POR LA FUERZA MOTRIZ DE CARGA.

-- y la resistencia de carga (se supone el amplificador operacional como elemento ideal).

Como ejemplo calculemos el voltaje de error producido por la corriente de fuga de los canales apagados y el tiempo que tarda la señal para fijarse al 0.01%. Supongamos que se tiene un multiplexor de 16 canales con una corriente de fuga de canal de 10 nA y una Ron de 2 kΩ, además, se tiene una capacitancia por canal de 30 pf. Si estuviese un solo canal encendido, el error de voltaje producido por las corrientes de fuga en conjunto con la resistencia Ron será de 300 μV lo que representa un error del 0.006% a una escala completa (FS) de 5 V. Los 15 canales apagados contribuyen con una capacitancia total de 450 pf, lo que resulta en una constante de tiempo de 90 nseg., por lo que la señal se fijará al 0.01% de su valor en un tiempo aproximado de 0.81 μseg.

Para que el error producido por la caída de voltaje en la resistencia de fuente y de encendido no afecte, se elige una resistencia de carga (Rin) en función del error que pueda soportarse y esto, está dado por:

$$R_{in} = \left(1 - \frac{V_{out}}{V_{in}} \right) \frac{V_{in}}{I_{leakage}}$$

por ejemplo: Si $R_{on} = 1.5 \Omega$, $R_{off} = 1 \Omega$, $\Delta R_{on} = 0.0 \Omega$ y si se permite un error del 0.01% entonces:

$$R_{in} = 15.51 \Omega$$

El "sample and hold" (SH) es un dispositivo usado cuando se trata de realizar conversiones de señales muy rápidas, para almacenar un valor de la señal en un instante dado. Se puede pensar que el SH es un dispositivo de memoria que recuerda el valor de una señal en un instante dado, o como un convertidor de una señal que varía a una señal de nivel. Generalmente tiene ganancia unitaria y es no inversor.

En la fig. 1.5 se muestra la estructura básica de un SH. Al tiempo que transcurre desde que se le ordena, mediante una señal de control lógico, al switch SH_1 que se abra hasta que esto ocurre realmente, se le denomina tiempo de apertura, (fig. 1.6),

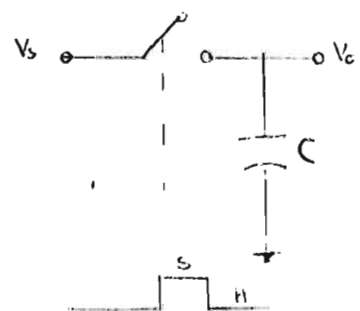


Fig.1.5.- Estructura básica de un SH.

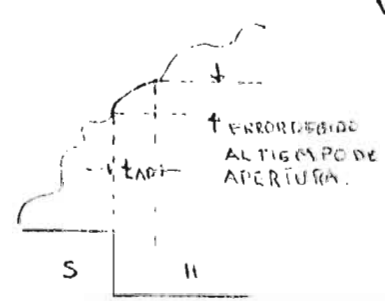


Fig.1.6.- Error debido al tiempo de apertura.

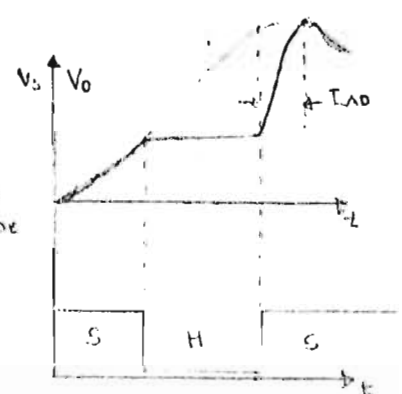


Fig.1.7.- Tiempo de adquisición de un SH.

dependencia del switch usado, se lo usa diferentes velocidades: Con 100 y 200 pueden obtenerse tiempos menores a los 100 ns.

En sistemas de señal variable con el tiempo, la señal de entrada a un A/D cambia mientras el A/D está tomando un valor y así, al tiempo requerido para que el A/D adquiere el nuevo valor de la señal de entrada (dentro de un valor de exactitud), el A/D es switchado de estado de hold a sample, es importante y se lo denomina "tiempo de adquisición". Esto se muestra gráficamente en la figura 1.7. El peor caso ocurre cuando se parte del mínimo valor de la señal y se mueve al máximo. Si un circuito como el de la fig. 1.5 es usado, el tiempo de adquisición (t_{ad}) depende de la fuente impulsora y del corriente de carga disponible $C dv / dt < I_{max}$ que es la corriente disponible de la fuente de señal. Si se tiene una impedancia de salida R_s entonces V_0 cambia exponencialmente con la constante de tiempo $\tau = R_s C$. Para que V_0 sea igual a 0.01 V_s se requieren 9 constantes de tiempo. Si V_s es la salida de un amplificador operacional, el tiempo de adquisición (T_{ad}) será determinado por la capacidad de corriente de salida, el slew rate y el tiempo de asentamiento (fig 1.8) del amplificador operacional. En un A/D es una combinación de circuitos de switcheo y circuitos analógicos ocurrirán picos de corriente. Cuando el A/D switchea a hold, una pequeña cantidad de carga es transferida desde el capacitor a causa de la capacitancia entre electrodos. El cambio asociado con este efecto de carga es conocido como el error de offset del A/D. Durante el hold una pequeña porción de la señal de entrada se alimenta a través de la capacitancia del switch hacia la salida (feedthrough), esta alimentación se incrementa con la frecuencia de la señal de entrada pero el efecto puede ser diferente dependiendo el convertidor usado. Cuando el A/D es un convertidor corriente se debe considerar que el A/D puede estar tomando un valor de error:

$$\frac{\Delta V}{\Delta t} = \frac{I_{max}}{C} \left(\frac{V_{in}}{V_{ref}} \right) \quad (1.9)$$

estas corrientes pueden ser: la corriente de polarización del amplificador operacional de salida (fig. 1.2), la corriente de fuga del switch apagado o la corriente de fuga interna del capacitor, a este fenómeno se le denomina velocidad de caída de voltaje (Droop rate). Si el amplificador operacional tiene entrada por JFET y el switch también es JFET, la corriente de fuga se doblará cada 10 °C. En la fig. 1.3 se muestra un SH con dos amplificadores operacionales.

La decisión de usar un SH antes de un CAD depende de la velocidad con la que cambia la amplitud de la señal de entrada (Slew rate V/seg). Si no se usara un SH el CAD solo podría convertir señales que tuvieran un slew rate máximo dado por (tracking rate):

$$\text{tracking rate} = \frac{2^n FS}{T} \quad \dots\dots\dots 1.2.3$$

donde;

n=numero de bits del convertidor.

FS=voltaje máximo a la entrada del convertidor(voltaje full scale).

T=tiempo de conversión del CAD.

Si se tiene un SH antes del convertidor, el tracking rate será:

$$\text{tracking rate} = \frac{2^n FS}{t_{ap}} \quad \dots\dots\dots 1.2.4$$

donde t_{ap} es el tiempo de apertura del SH.

Por ejem., si se tiene un convertidor de 6 bits cuyo tiempo de conversión es de 0.1 seg y un SH con un tiempo de apertura de 100 nseg., además se tiene una FS de 10V.

sin SH, tracking rate = 1.56 V/seg. .

con SH, tracking rate = 1.56 V/μseg.

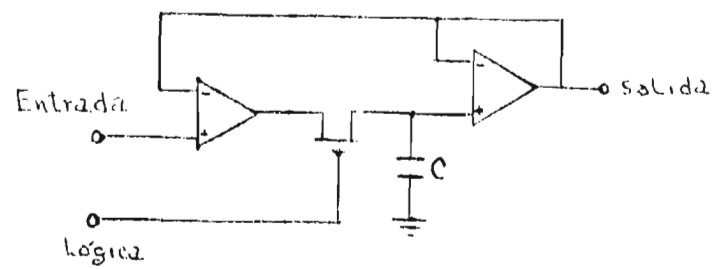


Fig. 1.3.- Sample and hold con dos amplificadores operacionales.

El convertidor Analógico Digital (C.A.D.) es el elemento que permite realizar la transformación de la señal, del dominio analógico al dominio digital. Es decir, a una señal analógica le asigna un valor digital, con cierto error, dependiendo de la capacidad de cuantización del C.A.D. La cuantización está en función del número de bits que componen el código de la palabra digital de salida del C.A.D. En la tabla 1.1 se muestra la resolución para un convertidor de "n" bits y escala completa (P.A.) de 1 volt.

Bits, n	Niveles, 2^n	Resolución de bits, 2^{-n}
0	1	1.0
1	2	0.5
2	4	0.25
3	8	0.125
4	16	0.0625
5	32	0.03125
6	64	0.015625
7	128	0.0078125
8	256	0.00390625
9	512	0.00195312
10	1024	0.00097656
11	2048	0.00048828
12	4096	0.00024414
13	8192	0.00012207
14	16384	0.00006103
15	32768	0.00003051
16	65536	0.00001525

Tabla 1.1. Equivalencia decimal de 2^{-n} para P.A. = 1 volt.

Un gran número de métodos son usados comúnmente para convertir señales analógicas en digitales. La tabla 1.2 lista los métodos que prevalecen y sus características. Los 5 primeros en la lista son los tipos de convertidores más usados y se pueden encontrar fácilmente en el mercado.

Los elementos de conversión Analógico-Digital pueden ser divididos en : aquellos que requieren un convertidor digital analógico en su funcionamiento y los que no lo requieren. Los que lo requieren son generalmente más caros, pero no necesariamente superiores. Por ejemplo, el convertidor de aproximaciones sucesivas utiliza un CAD y el de rampa dual no y ambos tienen características que son ventajosas en algunas aplicaciones. Otra forma de clasificar a los CAD's sería : los integrantes y los no integrantes. Los CAD's integrantes proporcionan rechazo de ruido a la señal de entrada, esto resulta en una mejor relación señal a ruido. Instrumentos de medición baratos generalmente usan CAD's de una pendiente con un periodo de integración de 10 ms.

TIPO	RESOLUCIÓN DE LA CONVERSIÓN	VELOCIDAD DE MUESTREO	CARACTERÍSTICAS
Aproximaciones sucesivas	10 bits 1 KHz	10 16	Iterativo, velocidad constante.
Pendiente Dual	10 bits	10	Integrante, auto calibrado.
Voltaje a frecuencia	40 bits	0	Integrante, elimina ruido.
Contador de rampa	40 bits	0	Separador, elimina ruido.
Paralelo	50 MHz	0	Muy alta velocidad.
Híbrido	20 MHz	0	Baja resolución.
Pendiente de rampa balanceada	1 MHz	10	Integrante, co-eficiente.
Integrante	20 KHz	10	0.4 de resolución por bit, co-eficiente de ruido de ruido.

El convertidor de tipo Σ requiere de un Σ de unido -
código de alta resolución y velocidad. Este se genera la sig-
nificativa con la resolución de un C.A.D. interno y se Σ -
debits, un bit a la vez, hasta que ambas señales se Σ -
la. Por lo tanto, generadores de tiempo son necesarios para Σ -
debits una salida de n-bits, tales generadores por Σ -
debits de conversión es constante. La estructura y la manera Σ -
de realizar la conversión se ilustran en la Figura 1.5. La Σ -
debits de la conversión depende de la estabilidad de la referen-
cia del C.A.D., la red resistiva y el comparador. El C.A.D. de aproxi-
mación sucesiva se usa típicamente en sistemas de adquisición
de datos de varios canales, acoplado a una computadora donde la
velocidad de conversión es alta.

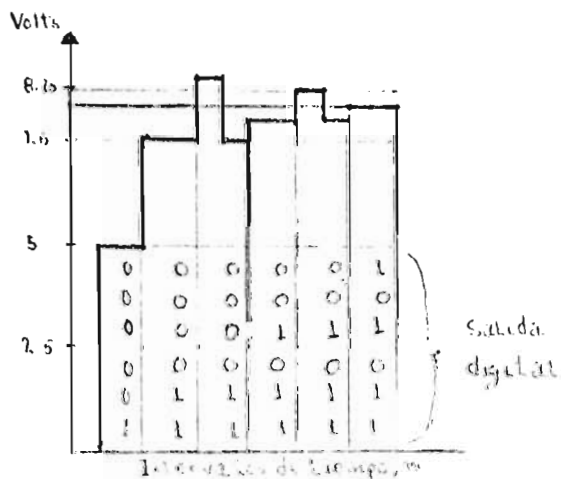
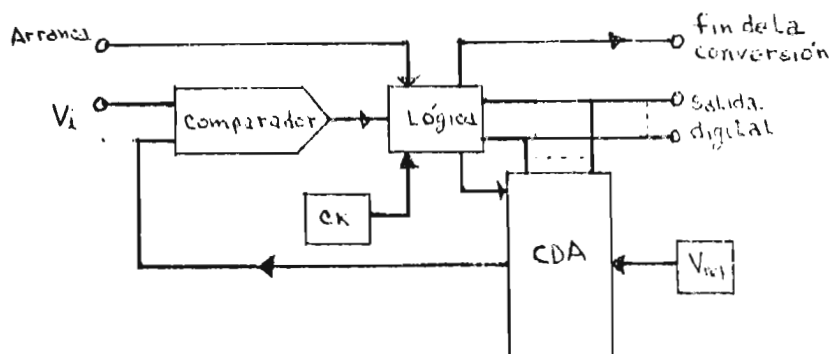
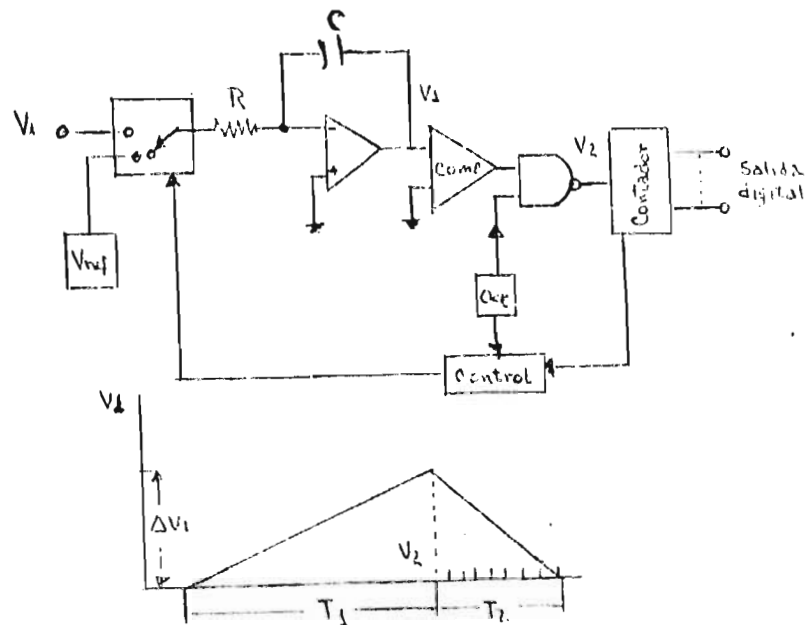


Fig. 1. Convertidor de tipo Σ de aproximación sucesiva.

Los CAD's integrantes operan convirtiendo un voltaje a un periodo de tiempo el que es registrado por un contador. Las variaciones de este principio son: convertidores de pendiente única y convertidores de pendiente dual. El más popular es el de pendiente dual que se muestra en la fig. 1.10. Su operación consiste de los siguientes pasos; primero, la señal de entrada es integrada por un periodo de tiempo fijo (T_1), después, el voltaje de referencia es integrado hacia cero arrancando el reloj al iniciarse esta operación, el reloj excita al contador el cual se incrementara hasta que se llega a cero en el tiempo T_2 con lo que se tiene el registro del número de pulsos, con esta acción termina la conversión. En la figura 1.10 se muestran las relaciones que rigen la conversión.



$$\Delta V_1 = \frac{1}{RC} V_i T_{1 \text{ const.}} = \frac{1}{RC} V_{ref} T_{2 \text{ variable.}}$$

$$V_i = V_{ref} \frac{T_2}{T_1}$$

Fig. 1.10 Convertidor de pendiente dual.

un convertidor de n bits puede ser construido con una instrumentación de precisión (voltímetros digitales). Su desventaja es que la velocidad de conversión es del orden de miles segundos y su velocidad se restringe a señales que cambian lentamente.

El CDA de ranas únicas, también conocido como rastreador (tracking), puede utilizarse en sistemas de conversión A/D de bajo costo por que rastrea la señal de entrada sin requerir un $H -$ (Fig. 1.11). Su tiempo de conversión es variable y depende

de la señal de entrada a una velocidad arriba de 2^{-n} por la frecuencia del contador para un convertidor de n -bits. Por ejemplo, un CDA de 8 bits con un reloj interno de 10 kHz puede responder una señal de entrada arriba de 2^{-8} a 10 Hz o 40 kHz de velocidad, es 256 counts por conversión. Una variación de este convertidor es usar un contador U/D , este tiene la ventaja de seguir pequeños cambios de la señal lo que le permite rastrear señales más rápido que el que tiene contador U/P solamente.

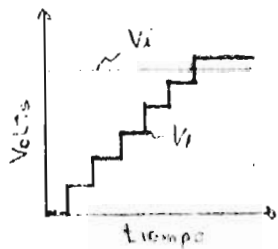
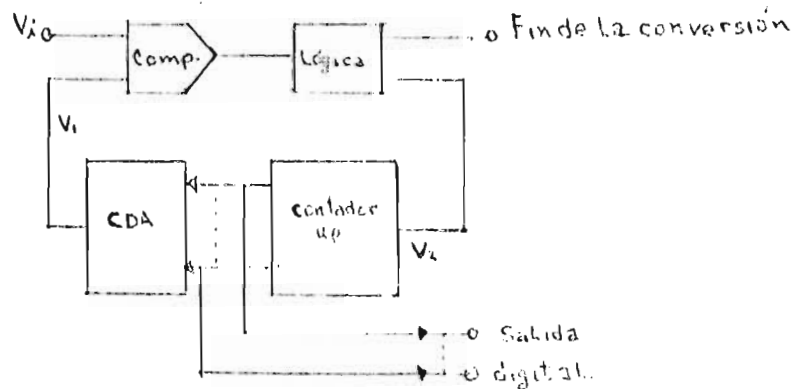


Fig. 1.11 Convertidor de n bits.

El método de conversión paralelo, también conocido como simultáneo o de lógica rápida, es un tipo de conversión a 50 MHz de conversión (Fig. 1.12). Este método es el más costoso debido a la entrada completa de $2^n - 1$ comparadores potencia con consultas de un BSB por un voltage de referencia. El proceso de conversión es realizado en el tiempo de subida de los comparadores. Es necesario un decodificador a la salida de los comparadores para obtener el código de inversa.

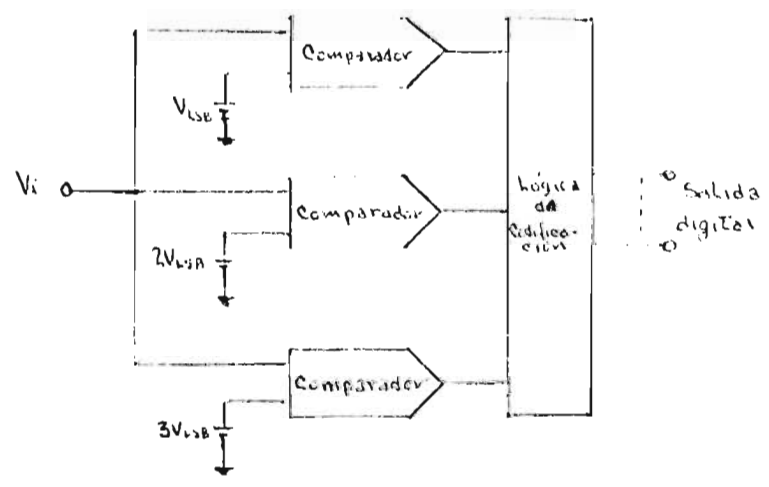


Fig. 1.12 Convertidor Paralelo.

Solo ahí explicando través de la estructura y funcionamiento de los convertidores más populares.

2.7.1. Introducción

En el presente capítulo se describen los diferentes tipos de sistemas de adquisición de datos, analógicos y digitales, y se describe el funcionamiento de los mismos. Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos. Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos.

Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos. Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos.

2.7.2. SISTEMAS DE ADQUISICIÓN DE DATOS ANALÓGICOS

En la Figura 2.1 se describe el funcionamiento de un sistema de adquisición de datos, analógico y de magnitud variable. Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos. Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos.

En la Figura 2.2 se describe el funcionamiento de un sistema de adquisición de datos, analógico y de magnitud variable. Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos. Se describe el funcionamiento de los sistemas de adquisición de datos analógicos y digitales, y se describe el funcionamiento de los mismos.

error producido por la Ron del multiplexor). Su funcionamiento es adecuado para señales de alto nivel (mayores de un volt).

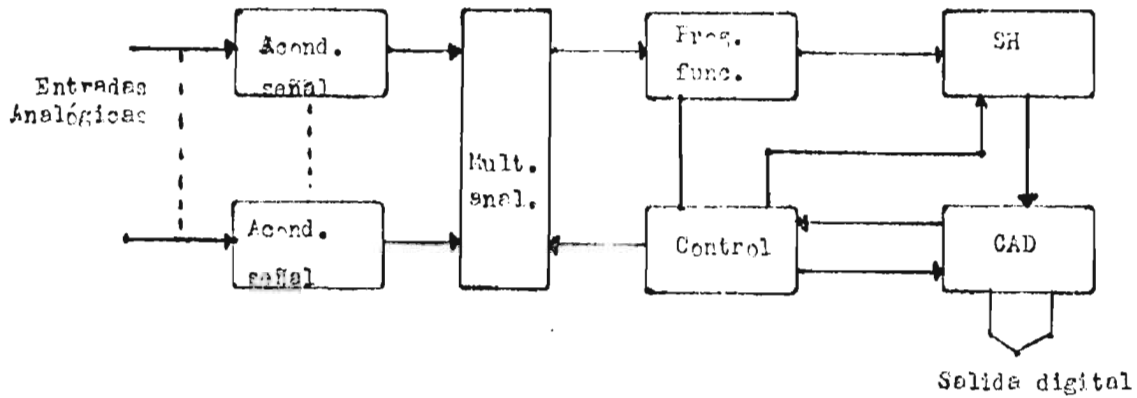


FIG. 2.1 Salidas acondicionadas para el Multiplexor.

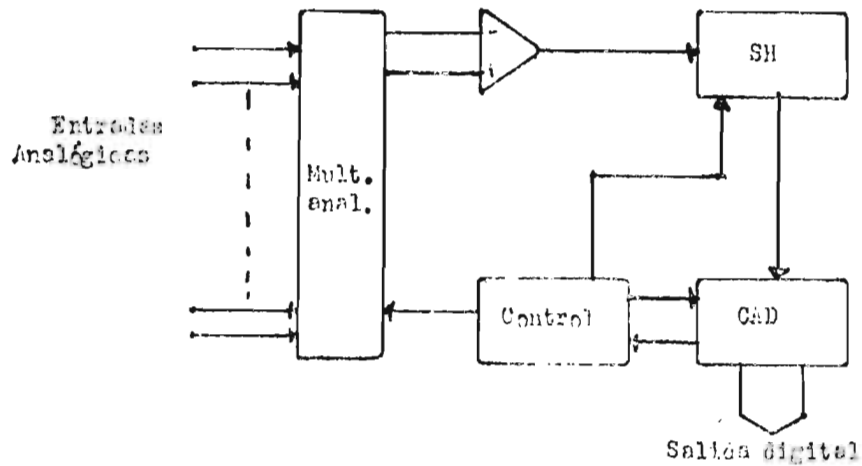


FIG. 2.2 Entradas de alto nivel Multiplexadas.

Colocando el multiplexor delante del SH resulta en una configuración de mayor costo (fig. 2.3), por la adición de SH. Este esquema es útil para capturar varias señales de un evento al mismo tiempo por los distintos canales. Si el convertidor tiene una baja impedancia de entrada será necesario añadir un dispositivo a la salida del multiplexor el cual tenga una alta impedancia de entrada y una muy baja impedancia de salida para evitar errores producidos por la división de voltaje entre la impedancia de salida del multiplexor y la impedancia de entrada del convertidor.

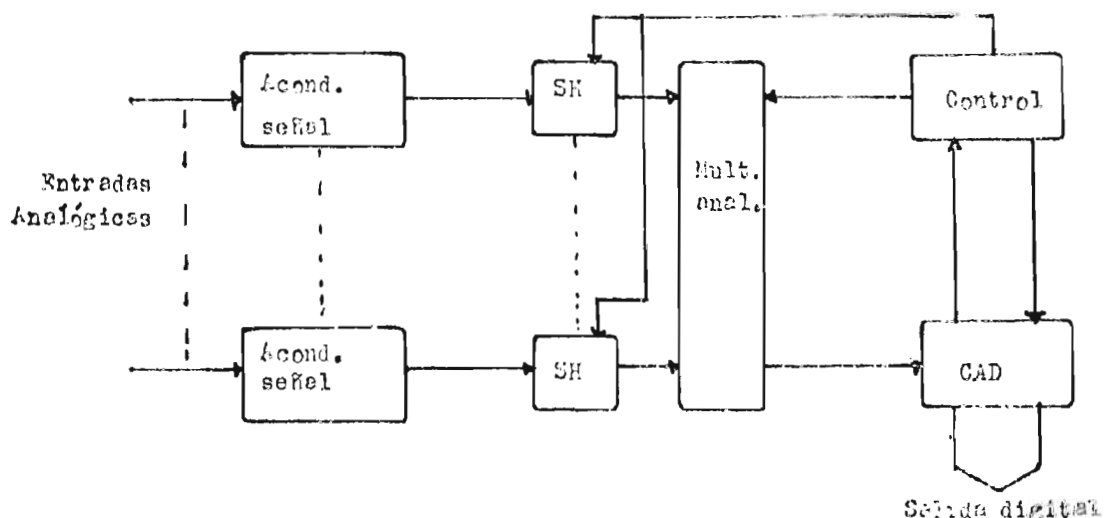


FIG. 2.3 Multiplexando salidas de SH.

Una cuarta estructura se muestra en la figura 2.4. En ella la conversión se hace antes de llegar al multiplexor (tipodigital para esta estructura) y se muestra la señal ya convertida a la entrada de este.

Se utiliza un convertidor por cada canal. Esta estructura permite eliminar el multiplexor analógico y en algunos casos el SH, que permite eliminar los errores analógicos que introducen y que constituyen la mayoría del conjunto de errores del sistema.

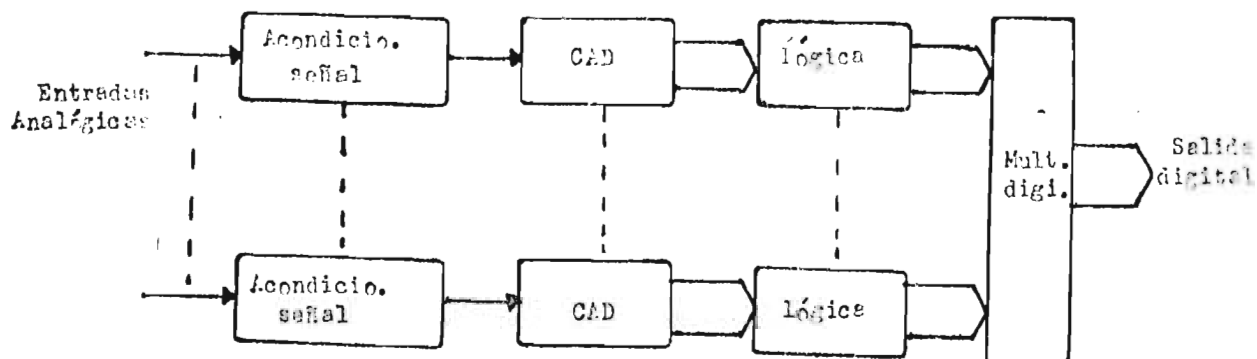


FIG. 2.4 Salidas del convertidor Multiplexadas.

2.3 TRANSFERENCIA DE DATOS ENTRE LA MICROCOMPUTADORA Y PERIFERICOS.

Si ya contamos con el código de una muestra tomada por el sistema a la salida del CAD, es necesario realizar la transferencia de este dato a la microcomputadora.

Desde el punto de vista del funcionamiento de la microcomputadora la transferencia de información puede ser:

- Tipos de Transferencias de Información.
- (a) Transferencias programadas (Un programa ejecuta la transferencia).
 - (b) Transferencias no programadas ó de Acceso directo a memoria (DMA). (No. se ejecuta ninguna instrucción).
 - (a). Incondicionales
 - (b) Condicionales
 - (c) Por interrupción.

En transferencias incondicionales el procesador toma la

información del periférico simplemente . . . La transferencia se hace rápidamente pero no se tiene control sobre el periférico y la información no es confiable. Para que la información fuese confiable, sobre todo en un sistema de adquisición de datos la velocidad con que el Hardware externo realiza la conversión y el momento en que el procesador toma la información deben ser perfectamente compatibles para que el procesador, no tome el mismo dato más de una vez ó el periférico cambie más de una vez el código entre lectura y lectura, lo que sería muy difícil de lograr. Si esto se lograra, la velocidad de conversión estaría dada por el Hardware externo a la microcomputadora.

Si el Hardware exterior es lento y se calculase el tiempo en que se realiza la conversión se podría regular la transferencia de información haciendo que el procesador perdiese tiempo entre toma de datos como lo muestra la figura 2.5

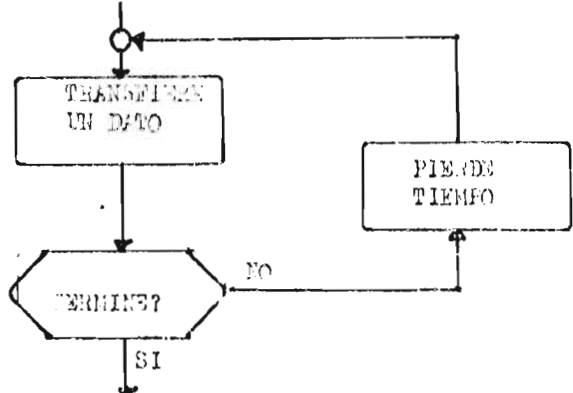


FIG. 2.5 Transferencia Incondicional

El sistema no es recomendable por la dificultad en hacer compatibles los tiempos.

En transferencias condicionales el procesador "pregunta" al periférico si este tiene un nuevo dato, si no lo tiene espera, si lo tiene lo toma lo procesa y si necesita tomar más datos, pregunta nuevamente y así hasta terminar. Este esquema es mejor por que siempre se tomará el dato adecuado al ritmo que el periférico lo tiene listo ó al ritmo en que el procesador lo toma y procesa. Con este metodo se puede utilizar el

modo de control denominado "Handshaking" con lo que se tiene un absoluto control de las transferencias. El dispositivo periférico debe ser capaz de obedecer órdenes dadas por el procesador y proporcionar a este la información de su estado, que sería, listo para transferir u ocupado. En la figura 2.6 se muestra un diagrama de flujo que ilustra este tipo de transferencia. La velocidad de conversión estará dada por el programa que procese el dato, si el Hardware externo es más rápido que la ejecución de este. Si el Hardware externo es lento entonces la velocidad de conversión estará dada por él mismo.

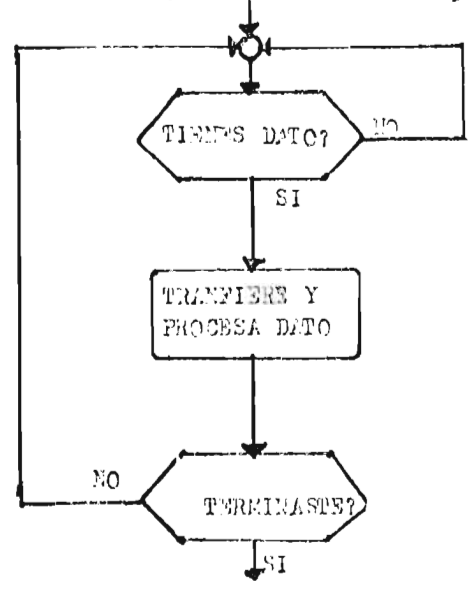


FIG. 2.6 Transferencias Condicionales.

En las dos maneras de transferir datos mostrados anteriormente si el Hardware externo es lento, el procesador pierde tiempo el cual puede ser aprovechado para realizar otras tareas.

Esta pérdida de tiempo se soluciona realizando una transferencia por interrupción. Interrumpir al procesador consiste en pedirle que suspenda la tarea que esté realizando para atender el dispositivo que ha solicitado la interrupción y ejecutar un programa denominado "Handler"

que maneja la situación, al terminar de ejecutarse este programa se devuelve el control al programa que se estaba ejecutando antes de que la interrupción se produjera. En este caso la velocidad de conversión estará dada por el Hardware externo . Si la velocidad del hardware externo es alta y la conversión se realiza en un tiempo menor a la ejecución del "Handler" y la atención a la interrupción. La velocidad de conversión estará dada por la ejecución del " Handler " y el tiempo de atención a la interrupción. En la figura 2.7 se muestra un diagrama de flujo que ilustra este tipo de transferencia.

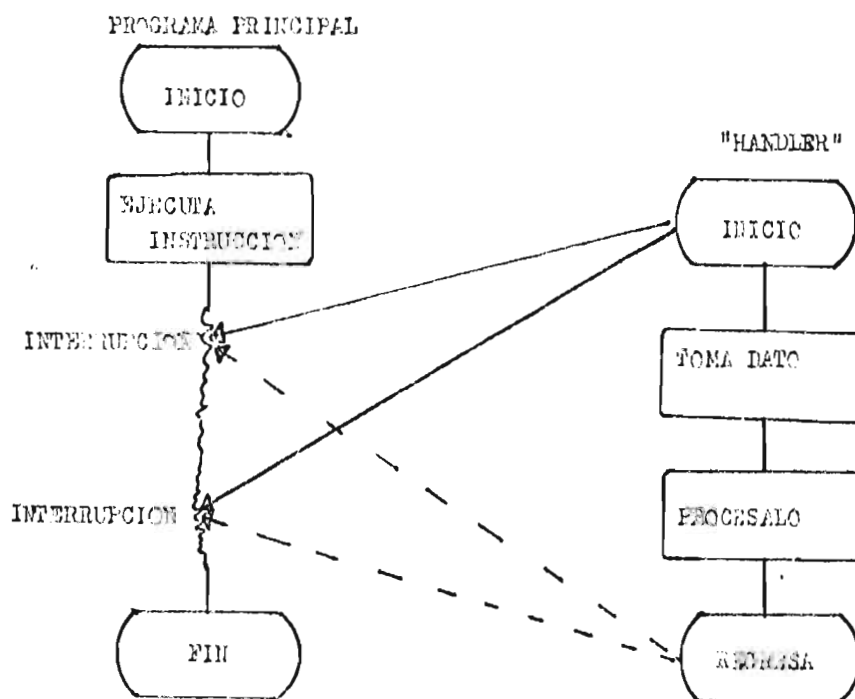


FIG. 2.7 Transferencia por Interrupción

El programa de atención a la interrupciones (Handler) es similar a cualquier otro programa que se ejecuta en la microcomputadora, pero hay que tomar en cuenta las diferencias siguientes :

- a) El programa se ejecuta a petición del dispositivo que interrumpe.

- b) El procesador no sabrá cuando será interrumpido y si se está corriendo un programa.
- c) Entonces, el " Handler " no debe destruir ninguna información que utilizará el programa que ha sido interrumpido. Por lo tanto es necesario " salvar " (guardar) : el contador de programa (PC actualizado), el estado que tenía antes de la interrupción (PSW) y todos los registros y localidades de memoria que compartan ambos programas. (El programa interrumpido y el " Handler ")
- d) Cuando se ha terminado de ejecutar el Handler, es necesario restituir la información " salvada " para que el programa que fue interrumpido continúe su ejecución normalmente.

En el apéndice B se describe el mecanismo de aceptación de la interrupción y las instrucciones relacionadas a él.

En todas las formas expuestas de transferencia de información entre el Microprocesador y un periférico, es necesaria la ejecución de un programa, por ende si el Hardware externo es más rápido, es decir tiene un dato listo en menos tiempo del que tarda en ejecutarse el programa, habrá " pérdida " de tiempo, esto no sucede cuando el dispositivo externo puede tomar el control de los buses (Datos y direcciones) y almacenar directamente datos en la memoria del Mp.

A este mecanismo se le denomina Acceso Directo a Memoria (DMA). Es obvio que el procesador no puede usar la memoria simultáneamente con el periférico pero el tiempo " perdido " será el mínimo posible, típicamente un ciclo de memoria más el tiempo que el procesador tarda para atender la petición de DMA, y el tiempo que tarda en deshabilitarla. En la figura 2.8 se ilustra mediante un diagrama este proceso.

En el apéndice C se resume el mecanismo de DMA para el Mp. INTEL 8080.

Todas las transferencias de datos que se han mostrado se pueden realizar en ambas direcciones: de periférico a Mp

y de Ep a periférico.

PROGRAMA EN EJECUCION

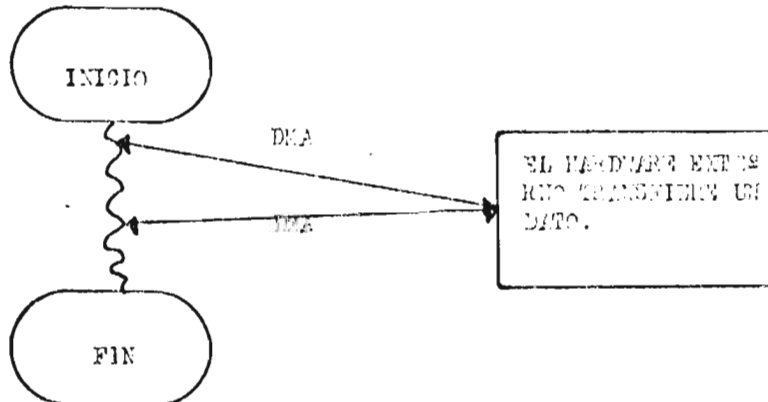


FIG. 2.8 Accesodirecto a Memoria (DMA)

2.4 ARREGLOS DE ENTRADA SALIDA PARA EL CHIP INTEL 8080

En cualquier sistema basado en una computadora esta debe ser capaz de comunicarse con dispositivos o sistemas que no sean su propio arreglo de memoria, tales como: Keyboards Displays, impresores, sistemas de adquisición de datos, discos etc., para alimentar datos y/o programas y obtener resultados de estos.

Probablemente la característica más importante del sistema de microcomputo 8080 es la flexibilidad y poder de su estructura de entrada-salida y los dispositivos que esta soporta.

La operación básica de una estructura de E-S puede observarse mejor, como un arreglo de un solo byte que puede ser leído ó escrito desde el Map. El CPU 8080 tiene instrucciones especiales dedicadas a esa tarea (IN, OUT) Estas intrucciones generalmente aíslan la memoria de los dispositivos de Y/S de tal manera que el espacio de direcciones de memoria no es afectado por la estructura de E/S.

La transferencia se realiza entre el acumulador y el punto seleccionado. Otro metodo de la arquitectura de E/S es tratarla como parte de la memoria, esto se denomina generalmente " Mapeo de memoria de E/S " y proporciona mayor poder ya que todas las instrucciones para manejar memoria estan disponibles para manipular dispositivos de E/S. En la figura 2.9 se muestra la diferencia entre ambas estructuras.

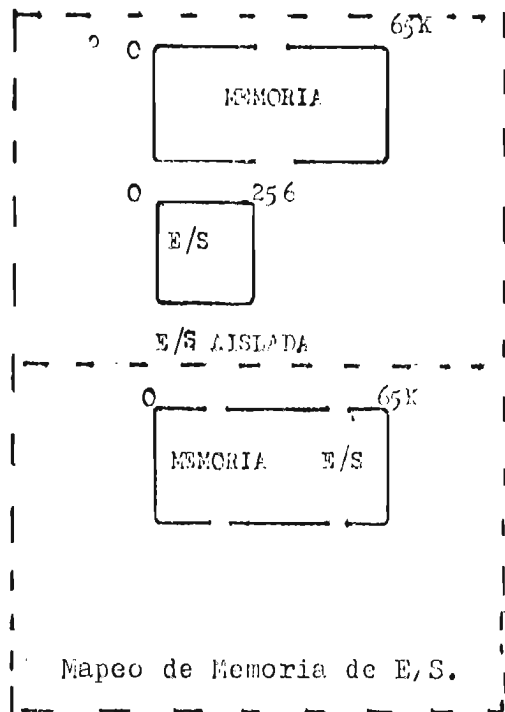


FIG. 2.9 Diferencia entre estructuras de E/S.

También se aíslan la memoria y los dispositivos E/S permaneciendo completo el espacio de 65 K localidades de memoria. A este se le denomina E/S aislada.

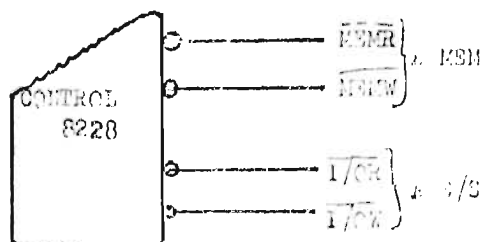


FIG. 2.10 E/S Aislada

En la fig. 2.10 se muestran las señales de control que edita el procesador y envía a la memoria y a los dispositivos de E/S. Este tipo de arquitectura de E/S separa el espacio de direcciones de memoria y el espacio de direcciones E/S y une el concepto de transferencia única de o hacia el acumulador.

Esta técnica es facil de comprender por que la comunicación solo se hace con el acumulador usando solo las instrucciones IN y OUT.

Asignando una arca de direcciones a dispositivos de E/S, se puede desarrollar una potente arquitectura ya que la E/S puede manipularse usando las mismas instrucciones que se usan para locali

dades de memoria.

En la figura 2.11 se generan nuevas señales de control, generadas por la condición de A_{15} (línea más significativa en el bus de direcciones) con \overline{MEMR} (lee memoria) y \overline{MEMW} (escribe en memoria). Las nuevas señales de control se conectan de la misma manera a los dispositivos de E/S que en E/S aislado, con lo que no se afecta la característica del bus del sistema.

Asignando A_{15} como bandera de E/S, un método simple para control de E/S se mantiene:

Si A_{15} en "cero" se activa la memoria.

Si A_{15} en "uno" se activa E/S.

Otros bits del bus de direcciones se pueden usar, pero se eligió A_{15} para tener 32 K de memoria disponible.

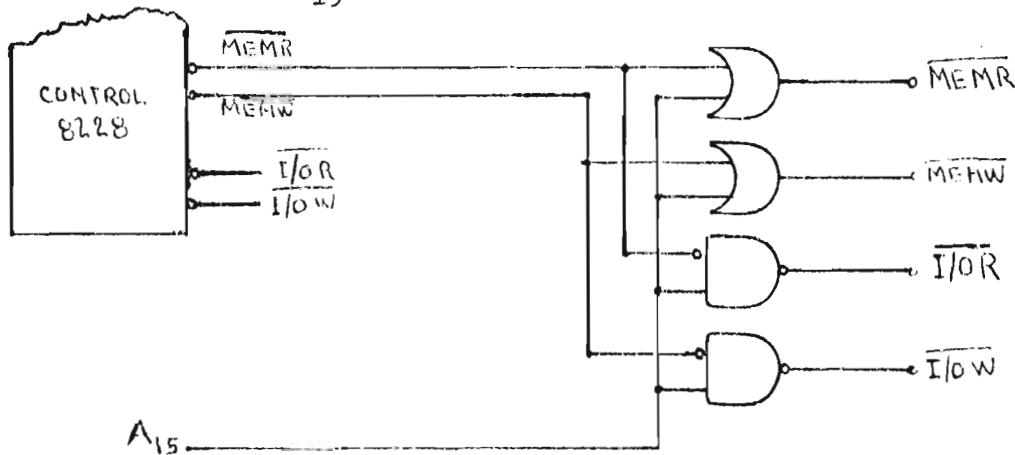


FIG. 2.11 Mapeo de Memoria E/S.

Los dispositivos de E/S son puertos direccionables pero en lugar de tener al acumulador como único medio de transferencia, cualquiera de los registros puede ser usado. Todas las instrucciones que se usan para operar con localidades de memoria son disponibles en E/S.

En ambas estructuras el direccionamiento de cada dispositivo puede ser configurado de diferentes formas para aumentar eficiencia y/o reducir componentes. Uno de los métodos más comunes es decodificar el bus de direcciones en Chip-selects exclusivos, los que habilitan un dispositivo

de E/S.

En otro método denominado " linear select" (selector lineal) no se decodifica el bus de direcciones, un solo bit del bus es usado como chip-select para habilitar un único dispositivo de E/S.

Este método limita el número de dispositivos de E/S que pueden ser direccionados, pero elimina la necesidad de decodificadores.

Mostraremos dos ejemplos del método explicado anteriormente para ambas estructuras de E/S.

Utilizando el dispositivo 8255 (Adaptador de periféricos programables) de intel (en el apéndice D, se explica brevemente el funcionamiento y la estructura de este dispositivo). En la figura 2.12 se muestra un arreglo para E/S aislada, solo se disponen de ocho líneas en el bus de direcciones, de esta se utiliza A_1 y A_0 para seleccionar uno de los registros del 8255 y las 6 restantes para seleccionar uno de seis 8255s.

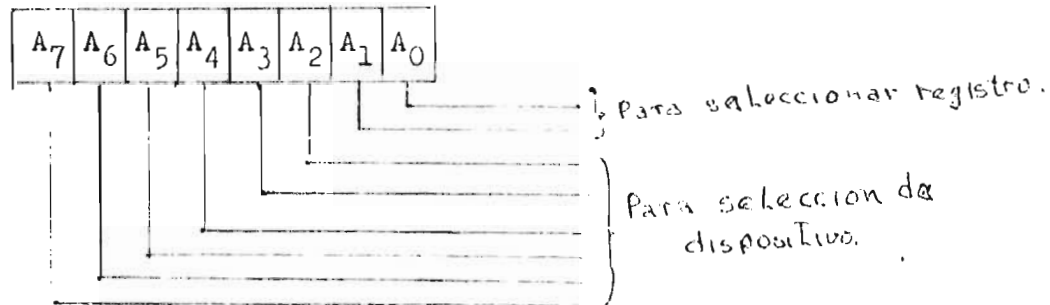


FIG. 2.12 Ejemplo 1, 6 puertos de E/S

Para Mapeo de Memoria de E/S se utilizan nuevamente A_7 y A_0 para seleccionar el registro, A_{15} es la bandera para E/S y los 13 restantes bit se utilizan para seleccionar uno de trece dispositivos de E/S. (figura 2.13).

En el primer ejemplo se tiene n = 64 K de memoria direccionable y en el segundo solo 32 K de memoria, esto podría ser un obstáculo cuando es necesario almacenar gran cantidad de información en la memoria.

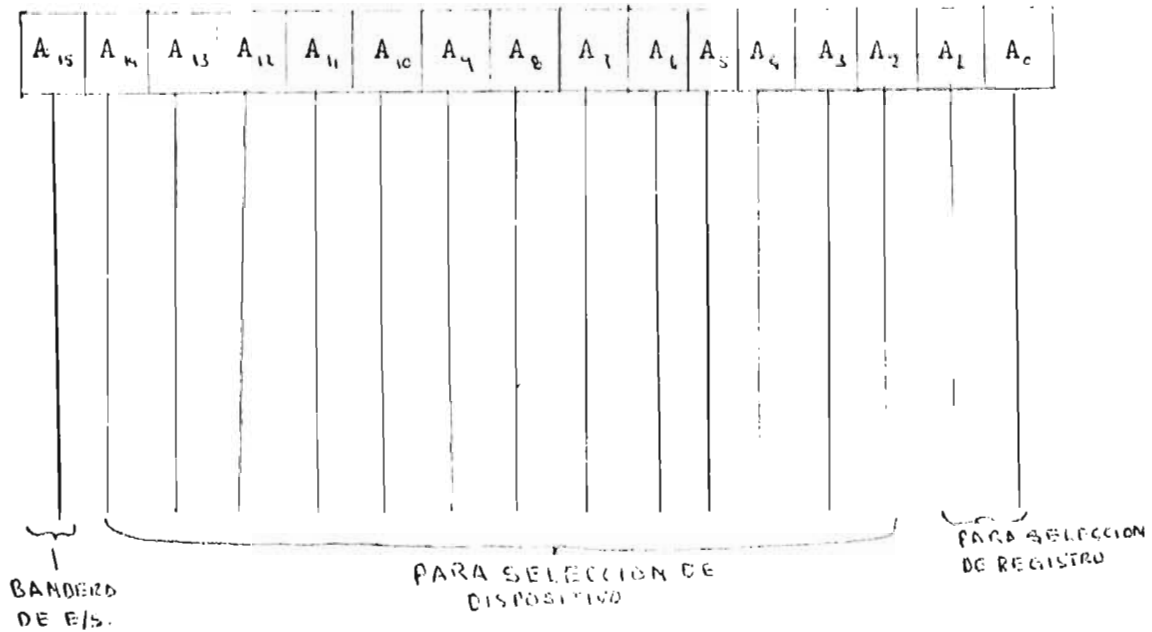


FIG. 2.13 Ejemplo para Mapeo de Memoria de E/S.

2.5 ANALISIS DEL ERROR EN VALOR DIGITAL DE LA PALABRA INTRODUCIDA AL MICROPROCESADOR.

El error en sistemas de adquisición de datos puede ser dividido en 2 componentes básicos: El error de cuantización debido al CAD y los errores del equipo electrónico adicional (que es la suma de la contribución de errores de la circuitería electrónica, a través de la cual pasa la señal analógica, antes y durante la conversión). Por ende el error será la suma algebraica de los errores individuales de los elementos del sistema:

Amplificadores, filtros, multiplexores, Sample and Holds, voltajes de referencia, convertidor A/D etc., y el error de cuantización que depende de la resolución finita de la palabra digital. Este error es una función inversa del número de bits de la palabra digital y su valor típico es $\pm 1/2$ LSB y puede calcularse con :

$$\% E_c = \frac{1/2 \text{ LSB}}{FS} \times 100 = \frac{0.5}{2^n - 1} \times 100 \quad \dots 2.4.1$$

Debido a su naturaleza los errores tambien se pueden clasificarse como errores sistemáticos y errores aleatorios. Algunos errores sistemáticos pueden ser eliminados a traves de cuidadosos ajustes, otros, tales como: Errores dependientes de la temperatura y la regulación finita de la fuente de poder deben ser tomados en cuenta. Esto debe hacerse en el rango de temperatura al que opera el sistema y sobre la máxima variación de la fuente de poder. Los errores aleatorios son debidos a una distribución estadística de los valores de los componentes tales como: redes resistivas, resistencias de switcheo, estabilidad de la ganancia etc. Se debe notar que los componentes nombrados tienen errores sistemáticos que deben tomarse en cuenta.

El primero y uno de los más importantes pasos en el diseño de un sistema, es la división del error total permitido entre los elementos del equipo; a esto se le denomina una asignación de errores. La primera consideración en la determinación de la proporción del error total que debe ser permitido a cada uno de los elementos es relativamente fácil. Una primera regla que ayuda a realizar la asignación es asignar individualmente a cada elemento una exactitud que puede ser proporcionada por circuitos simples usando partes electrónicas estandar ó circuitos integrados.

En el análisis de la asignación de errores se puede usar uno de dos métodos: Dados los requerimientos del sistema, los errores pueden ser asignados a los varios elementos, tal que la suma algebraica de sus errores máximos posibles (Peor caso) en la misma dirección es igual o menor que el error permitido al sistema. Para muchos diseños con tolerancias ajustadas es imposible cumplir con el mínimo error usando el método del peor caso; un procedimiento más razonable es el cálculo y asignación del error estadístico.

Un procedimiento comunmente usado es separar los errores dentro de grupos de errores: sistemáticos y aleatorios. Los errores sistemáticos siguen alguna funcion definida de alguna de las condiciones de operación del sistema tales como: temperatura, valor de la fuente de poder, vida operativa etc. Los errores aleatorios siguen típicamente una distribución normal (fig. 2.14). Los errores aleatorios

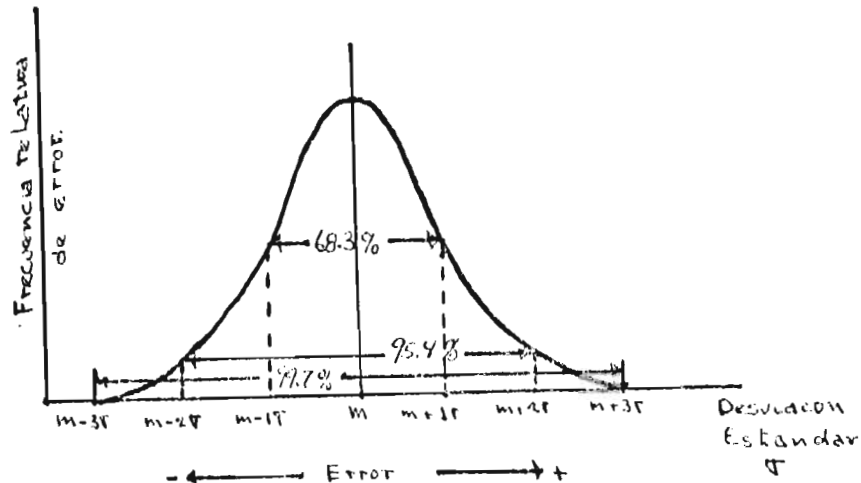


FIG. 2.14 Distribución normal de errores aleatorios alrededor de un valor nominal.

cambiarán como resultado de la variación de las condiciones de operación, tal error, puede ir en cualquier dirección y la probabilidad de que este adquiera un valor seguirá la distribución de la curva normal.

Después de que los errores son identificados como sistemáticos o aleatorios, el error total (E_t) del sistema es calculado de la siguiente manera. Los errores sistemáticos son colocados en grupos separados de acuerdo a la causa que los produce y cada grupo es sumado algebraicamente para obtener el error sistemático total debido a una causa particular. Como pueden existir varias causas de error sistemático y estos errores siguen la curva de distribución normal alrededor de su valor promedio (media), entonces, los cuadrados de los errores sistemáticos totales pueden ser su-

mados a los cuadrados de los errores aleatorios, obtenerse la raíz cuadrada de esta suma y sumarla a la suma de errores promedio. errores que adquieren un valor fijo que puede ser determinado y además siguen una misma dirección (por ejem. error de offset producido por la R_{on} del multiplexor, error producido por la corriente de polarización del amplificador, etc. .), por lo que:

$$E_t = E_{m1} + E_{m2} + \dots + E_{mn} + [(E_{r1}^2 + E_{r2}^2 + \dots + E_{rm}^2) + (E_{st1}^2 + E_{st2}^2 + \dots + E_{stp}^2)]^{1/2} \dots 2.4.2$$

Donde:

E_{m1} = Media o promedio debido a la causa 1.

E_{mn} = " " " " " " " n.

E_{r1} = Error aleatorio 1.

E_{rm} = " " " m.

E_{st1} = Error sistemático total debido a la causa 1.

E_{stp} = " " " " " " " p.

Si el valor del error introducido en esta ecuación para cada término de error de los parentesis cuadrados es un valor límite 3 σ y el error se asumió distribuido como una curva normal, entonces el 99.7% de veces que el error total del sistema se mida, estará dentro del valor calculado por E_t .

A menudo la distribución de errores para varios términos de error no se conoce y en muchos casos la distribución de errores no sigue la forma de una curva normal, para este caso, el teorema del límite central, uno de los teoremas más importante en la teoría de probabilidades, establece que cualquier vez que un gran número de variables aleatorias independientes son sumadas juntas la distribución resultante se aproxima a la curva normal. típicamente en el análisis de error de un sistema de Adquisición de datos, los errores aleatorios de muchos elementos son sumados juntos para obtener el error total del sistema. en consecuencia, los errores máximos pueden ser introducidos como terminos de error aleatorio en la

ecuación 2.4.2 junto con los errores σ . Entonces, ninguno de los términos no normales predominan (término no normal, es aquel cuya función de distribución no sigue la forma de la curva normal) y el 90.7% de las veces que se mide el error real del sistema estará dentro del valor calculado por E_t .

La declaración anterior es falsa si uno o más de los términos no normales predominan en la determinación de E_t . Por ejem., considere que un error tiene una distribución uniforme y su valor es tan grande que determina la forma resultante de la curva probabilística, específicamente, considere el error total de un C/D de 7 bits con error aleatorio σ de $\pm 0.3\%$, el error de cuantización será de $\pm 0.4\%$ y tiene una distribución uniforme (fig. 2.15). Tomando la suma de cuadrados del error aleatorio de $\pm 0.3\%$ con el error de cuantización de $\pm 0.4\%$, da un error total de $\pm 0.5\%$. Este error no es el valor σ de la distribución normal, ya que, al combinar la curva uniforme del error de cuantización con la curva normal del error aleatorio la curva resultante no tiene la forma de la curva normal, debido a que la curva de distribución uniforme no es pequeña. En una situación como esta hay dos alternativas: combinar las dos curvas adecuadamente y obtener la distribución de probabilidad verdadera del error total o utilizar la suma del error de peor caso y el error de cuantización.

Resumiendo, cuando el error de cuantización sea mayor que el error obtenido al realizar la raíz de la suma de cuadrados de los otros errores, se deberá usar el método del peor caso.

2.6 ESTUDIO DEL ERROR MÁXIMO COMETIDO EN EL TIEMPO DE MUESTREO.

En SAD's donde es necesario muestrear más de una señal y se requiere de un muestreo simultáneo, existirá una diferencia en tiempo, desde el instante en que se toma la muestra de una señal en uno de los canales hasta el instante que se toma una muestra de otra señal en cual-

quier otro canal, a esta diferencia le llamamos "error en caso de muestreo".

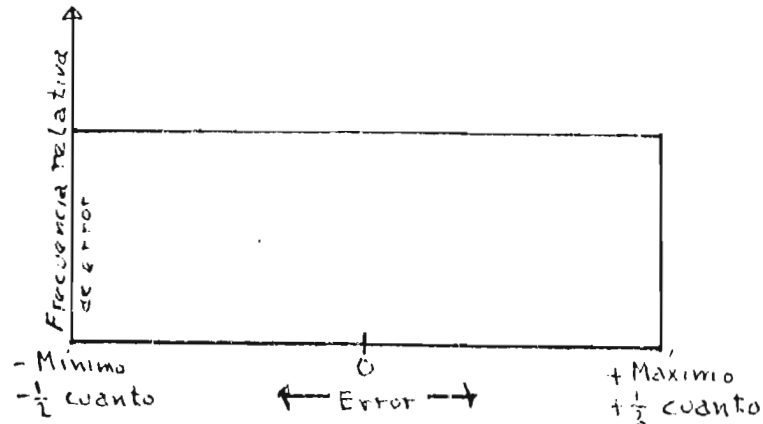


FIG. 2.15 Distribución uniforme del error aleatorio de cuantización.

El elemento típico se usa para realizar el muestreo en un SAD es el SH. En la fig. 2.16, se muestran dos señales que se muestrean simultáneamente. Como se observa, el instante donde se toma la muestra sucede cuando se switchea de sample (S) a hold (H). Por lo expuesto en el capítulo uno, debe transcurrir el tiempo de apertura (con su incertidumbre) para que se lleve a cabo el muestreo.

Si los SH son distintos, el tiempo de apertura será distinto para cada uno y el error máximo en tiempo de muestreo será:

$$T_{ea} = Tap_1 + \Delta Tap_1 + Tap_2 + \Delta Tap_2 \quad \dots 2.6.1$$

donde:

T_{ea} = Error máximo en tiempo de muestreo.

Tap_1 = tiempo de apertura del SH₁.

Tap_2 = " " " " SH₂.

ΔT_{ap1} = Incertidumbre del tiempo de apertura del SH₁.

ΔT_{ap2} = " " " " " " SH₂.

Si los SH son iguales, el error máximo en tiempo de muestreo estará dado por:

$$T_{em} = \Delta T_{ap1} + \Delta T_{ap2} \quad \dots\dots 2.6.2$$

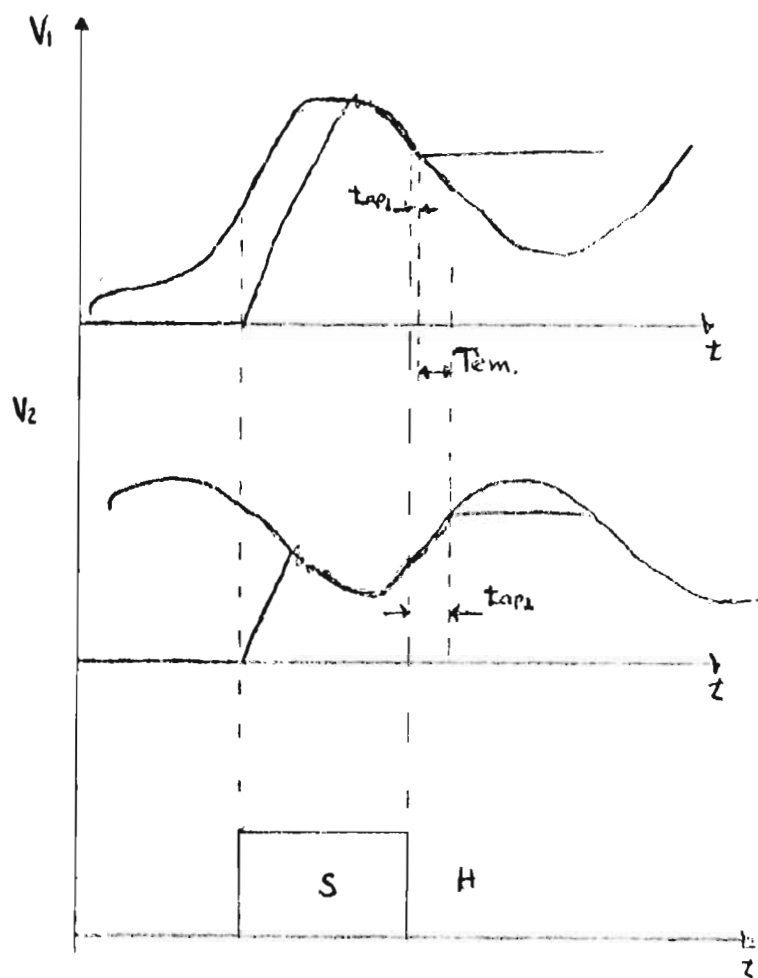


Fig 2.16.- Momento en que se toma una muestra en dos canales.

III DISEÑO DEL SISTEMA.

3.1 INTRODUCCION.

En el presente capítulo, atendiendo a las alternativas mostradas en el capítulo anterior se elegirá la estructura del sistema de adquisición de datos, la forma en que se realizará la transferencia de datos y la interface entre el Microprocesador y el sistema de adquisición de datos.

Se proporcionará una guía tentativa para la elección de las componentes del sistema de acuerdo a las necesidades.

Se diseñará la unidad de control desde el punto de vista de un diseño sistemático, se proporcionará el diagrama general del circuito y se hará una caracterización de él. En esta última parte se hará el cálculo del error con el método del peor caso para el valor de la palabra introducida al Mp y para el tiempo de muestro.

3.2 PROCESO EN LA SELECCION DE LAS COMPONENTES.

Existen en el mercado un gran número de componentes para ser utilizados en un sistema de adquisición de datos. La selección de los componentes adecuados para un problema específico puede resultar una experiencia abrumadora. La interpretación de las especificaciones se suma a esta dificultad, ya que existe una virtual ausencia de estandarización en la definición de especificaciones entre los fabricantes.

Existen dos factores claves para seleccionar el dispositivo correcto:

- a) Una definición completa de los objetivos del diseño: factores tales como niveles de señal, exactitud requerida, velocidad de proceso de datos analógicos, el tiempo transcurrido entre la toma de la señal y la

entrega del código digital(Throughput rate), un conocimiento detallado de la señal y la interface de control, condiciones ambientales y muchas otras deben de ser bien definidas y comprendidas antes de realizar la selección.

- b) Un conocimiento firme de lo que significa el conjunto de especificaciones dadas por el fabricante No debe asumirse que cuando dos fabricantes publican un conjunto de especificaciones con los mismos nombres, signifiquen lo mismo cuando definen un parametro. En muchos casos los fabricantes proporcionan información exacta acerca de sus productos, esa información debe ser interpretada en terminos del significado de los requerimientos del usuario y esto requiere un conocimiento de como esos términos fueron definidos.

El diseñador generalmente requiere información específica, antes de proceder al proceso de selección, en las siguientes características:

- a) Descripción exacta de la entrada/salida:
 - 1.- Rango dinámico de la señal analógica y resistencia de fuente.
 - 2.- Código digital necesitado.- Binario, BCD, 2¹ S. etc.
 - 3.- Niveles lógicos.- DTL, TTL, CMOS. etc.
- b) ¿Cuál es la velocidad de proceso de datos analógicos requerida?
- c) ¿Cuáles son los detalles de la interface de control?
- d) ¿Cuál es el error permitido, en la asignación de errores, para el convertidor?
- e) ¿Cuáles son las condiciones ambientales-rango de temperatura, tiempo, variación de la fuente de poder- en las que debe operar el sistema con una exactitud deseada?

El proceso de selección de el convertidor analógico digital se hace bajo las siguientes consideraciones:

- a) ¿Cuál es el rango del voltaje analógico de entrada y cual es la resolución necesaria en el convertidor para que el error de cuantización no " pese " demasiado en el error total del sistema?
- b) ¿Cuál es el requisito para error de la linealidad (exactitud de error relativo)?
- c) ¿Cuál es el alcance para minimizar las fuentes de error, tales como cambios de temperatura ambiente?
- d) ¿Cuánto tiempo puede ser permitido al sistema para que este realice una conversión?.
- e) ¿Qué tan estable es la fuente de poder? ¿Qué errores resultaran de la variación de la fuente de poder?
- f) La monotonicidad es importante en la aplicación ó puede tolerar el sistema pérdida de códigos.
- g) ¿Cuál es el carácter de la señal de entrada? ¿ es ruidosa, muestreada, filtrada, de variación rápida, de variación lenta? ¿ Que clase de acondicionamiento debe hacerse a la señal y si esto alterará la elección del convertidor?

Cuando se tiene un sistema de varios canales y las señales son rápidas o se deben muestrear, es necesario el uso de SH y multiplexores. Es importante conocer el efecto que causan en el funcionamiento del sistema.

Para multiplexores tendremos:

- a) ¿ Cuántos canales de entrada son necesarios?
- b) ¿ Cada canal es diferencial o de una entrada?
- c) ¿ Que clase de código de selección de canal es usado?
- d) Cuando se switchea de un canal a otro ¿cuál es el tiempo necesario para fijar la señal a una exactitud deseada ?.
- e) ¿Cuál es el error producido por la corriente de fuga a través de la resistencia de fuente ?
- f) ¿ Si las señales son de AC, ¿cuánto es el error producido por el crosstalk entre canales?
- g) ¿ Existe peligro de dañar fuentes de señal activa cuando la energía es quitada ? Los dispositivos

Mosfet son seguros mientras los switches estan abiertos. Los dispositivos JFET generalmente se cierran cuando la energía es quitada, haciendo posible la interconexión y en consecuencia el daño de fuentes activas de señal.

- h) ¿Cuál es el rango dinámico de las señales aplicadas a la entrada del mutiplexor?
- i) ¿Cuál es el error de transferencia del mutiplexor (error producido por la resistencia de encendido del canal en uso por la resistencia de entrada del dispositivo que le sigue).

Las condiciones para el SH serán:

- a) ¿Cuál es la no linealidad ?
- b) Considerando la velocidad de cambio en amplitud de la señal o la velocidad de switcheo de canal deseada, si hay un multiplexor antes, ¿cuánto tiempo se tiene para adquirir la señal en el SH?
- c) ¿Cuál es el error producido por la corriente de polarización en la resistencia de fuente?
- d) ¿Cuál es la desviación en el error de offset (el coeficiente de temperatura de offset multiplicado por una desviación anticipada de temperatura).
- e) ¿Cuál es el error de offset debido a la variación de la fuente de poder?.

Si además de estos elementos son necesarios otros, como amplificadores, tambien debe tomarse en cuenta los errores introducidos por estos.

III.3 JUSTIFICACION Y ARQUITECTURA DEL SISTEMA.

Recordaremos cuales son las necesidades de nuestro sistema:

- a) Rango dinámico 200 mV. a 5 V.
- b) Frecuencia desde CC a 1MHz.
- c) Número de canales: 6.
- d) Los instantes de muestreo de todas las señales deben ser los mismos.

- e) El error máximo posible de la señal ya digitalizada debe ser $\pm 1/2$ de plena escala (1 bit).
- f) La diferencia mínima entre los niveles debe ser menor de $2 \mu\text{seg.}$

Observando los requerimientos del sistema y recordando lo expuesto en capítulos anteriores:

- a) Los incisos e, d, y f definen las características de entrada al circuito por lo que cada señal con muestreo por Δt , el cual debe ser mínimo (tiempo de apertura menor de $2 \mu\text{seg.}$) y que cada señal sea de un rango dinámico de cero a 5 voltios.
- b) Por tener un sistema de varios canales es necesario un multiplexor.

c) Con respecto a la frecuencia: el teorema del muestreo propone que la frecuencia con que se deben tomar las muestras debe ser el doble de la señal de máxima frecuencia ($f_{\text{máx}}$ muestra por ciclo). Para reconstruir la señal aplicando el teorema del muestreo, es necesario pasar la señal por un filtro paso bajas ideal, con frecuencia de corte $f_{\text{máx}}$, lo que prácticamente es muy difícil de realizar. Esto se soluciona tomando un número mayor de muestras por ciclo (referencia bibli. 15). Se debe recordar que se están muestreando simultáneamente los canales y la transferencia entre el sistema y el microprocesador (16) es de un solo dato a la vez. Como se trata de un sistema de 6 canales el tiempo requerido para almacenar los datos debe ser tomado en cuenta para calcular la velocidad de muestreo y correlacionarla con el tiempo en que el sistema tiene una muestra lista a la salida del convertidor, para decidir cual marcará la velocidad de conversión.

d) Por lo señalado en el inciso anterior es necesario que la circuitería que compone el sistema sea lo suficientemente rápida.

e) Observando el error y definiendo n como el número de bits de cuantización, con el fin de que sea posible determinar una distribución normal y la velocidad con la que se debe convertir los datos, se puede ver que de 8 bits, el error de un error de cuantización es $(0.5/2^{n-1})$ para $n=8$ bits, el error es 0.0078125 .

una de error de 0.0078125 para $n=8$ bits, el error es 0.0078125 .

con el nivel de referencia en el nivel de los niveles cuando se
en una relación de 1:1. El convertidor debe ser preciso.

f) El rango dinámico a tener en cuenta es el rango de salida cubra de 0 a 5 V.

Tomado en consideración lo expuesto en los párrafos anteriores, en la figura 3.1 se muestra la estructura de un sistema de adquisición de datos, donde el multimedidor es parte de un canal de entrada. Además, el CMB es de características sucesivas con el nivel de salida del canal de código binario y se incluye un amplificador para reducir las impedancias de salida del multimedidor y entrada del convertidor, ya que genera altas impedancias. Por consiguiente, lo que resultará en un mayor error. Esto indica que el amplificador debe tener un alta impedancia de entrada y una baja impedancia de salida, además, ganancia unitaria y ancho de banda.

El multimedidor, el CMB y el CMB se eligen para que la conversión se realice en un tiempo menor al tiempo que tarda en ejecutarse un programa que transfiera un dato del convertidor a la memoria del MC, con el fin de usar el método de transferencia programada en modo "read-bus" que permite tener un severo control del funcionamiento del sistema completo.

En la Fig. 3.1 se muestran los niveles de control y cómo se hace entre sistema de adquisición de datos y se hace a través del circuito INTEL 8255, que se programa en modo P con el puerto A como entrada y la parte superior del puerto C (bits 4 a 7) como salida de control. El chip 8255 se programa el funcionamiento de este circuito, así como su estructura.

La estructura de salida de salida es del tipo 8/8 bit, que permite tener 256 de salida binaria.

La salida de control para datos se hace en la siguiente sección: donde se muestra la presencia de un nivel de control, que permite determinar el nivel de control y el tiempo de muestreo.

Se eligió este tipo de transferencia (transferencia programada condicional) ya que al compararse con DMA, resulta menor el "hardware" utilizado porque la unidad de control resultaría más compleja por la necesidad de proporcionar las señales: "petición de DMA" y la de "escribe" en la memoria, esta última mediante un dispositivo "tres estados", y recibir la señal de "reconocimiento de DMA" para realizar la secuencia recomendada en este caso. Se debe proporcionar la dirección de memoria donde se almacenará el dato, esto se puede lograr con un contador cuyas salidas sean "tres estados". Por lo anterior elegir DMA sería más caro.

Comparada con la transferencia por interrupción, la transferencia condicional resulta más rápida si el "hardware" externo (sistema de adquisición) realiza una conversión en un tiempo menor al que le lleva a la microcomputadora tomar el dato del puerto y almacenarlo. Aun sería más rápida si es necesario "salvar" información del programa que se estaba ejecutando cuando se realiza la interrupción (contenido de los registros). Por las razones expuestas la toma de muestras sería más rápida por medio de la transferencia condicional.

Respecto a transferencias condicionales, no se tendría un control adecuado en el proceso.

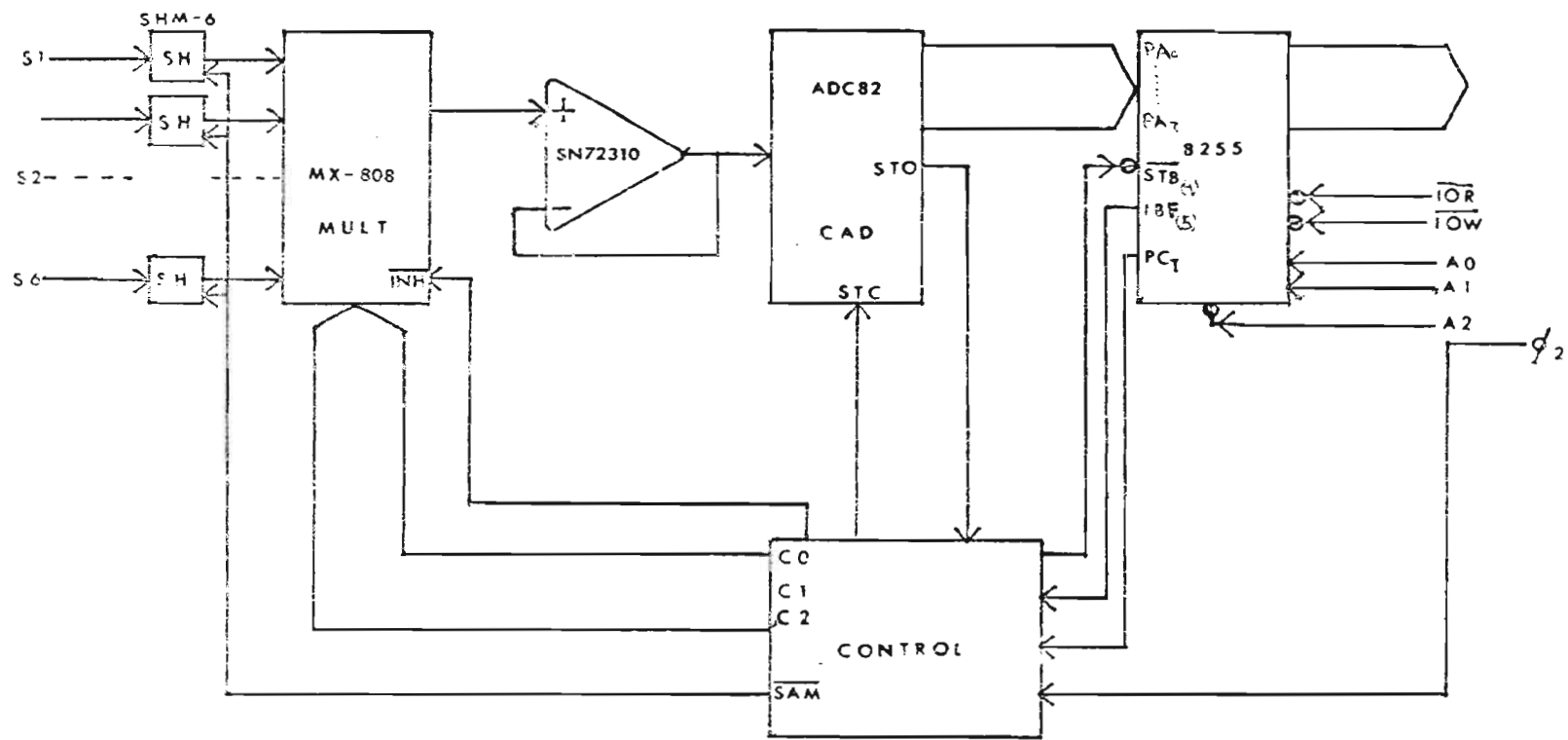


Fig.3.1.- Estructura del sistema de adquisición de datos.

3.4 DISEÑO DE LA UNIDAD DE CONTROL.

Para diseñar la unidad de control se debe tomar en cuenta la secuencia que deberá seguir el sistema desde el muestreo de la señal hasta el almacenamiento del dato en la memoria. Esta secuencia estará regida por señales que vienen del I.C., ya que se ha elegido una transferencia condicional. Se debe poner especial cuidado en el tiempo que marcará el paso de la unidad de control, esto se hará en función de la velocidad de los elementos que componen al sistema.

A continuación se muestra una lista de las características de cada elemento involucradas en el diseño de la unidad de control; estas se obtienen de las hojas de datos que vienen dadas en el apéndice E.

a) Para SH

- 1.- Tiempos de adquisición para un escalón de 10 V al 0.01%, $1 \mu\text{seg max}$
- 2.- Retraso de tiempo de apertura. 20 n seg
- 3.- Incertidumbre del tiempo de apertura 2 n seg
- 4.- Velocidad de cambio de amplitud. 40 V/ μseg

De estas características se deduce que el ancho mínimo del pulso de muestreo debe ser de 1 μseg .

B) Para el multiplexor:

- 1.- Tiempo de asentamiento, escalón 20 V al 0.01% 3 $\mu\text{seg max}$
- 2.- tiempo de encendido 500 n seg
- 3.- Tiempo de apagado 300 n seg
- 4.- Retraso entre "abre antes de hacer" 80 n seg
- 5.- Retraso Inhibe/Habilita. 300 n seg.

El pulso para habilitar al multiplexor debe ser lo suficientemente ancho para tener un error mínimo. Se debe tomar en cuenta el tiempo de asentamiento y el tiempo de retraso de Inhibe/Habilita. Los tiempos de Switches no se toman en cuenta porque la selección de canal será hecha con demoración anterioridad. El pulso mínimo será -

De 3.3 μ seg.

c) Para el convertidor:

- 1.- Velocidad de conversión 2.8 μ seg max.
- 2.- Ancho de pulso de comando de conversión . . 50 n seg min.

El pulso de arrancar la conversión debe ser como mínimo de 50 n seg. de ancho. Es la única señal de control externa que debe ser proporcionada al convertidor ya que tiene un reloj interno, que proporciona el funcionamiento adecuado para realizar la conversión en 2.8 μ seg.

Analizando las señales de control que proporcionan los circuitos incluidos en el disco y las señales que provienen del 8255 se propone el siguiente algoritmo:

- 1.- El procesador enviara una señal para arrancar el proceso de conversión (PC), bit 7 puerto C del 8255.
- 2.- Después de recibir esta señal, la unidad de control enviará un pulso para que las señales sean muestreadas simultáneamente (SAM).
- 3.- Se enviará un pulso para disparar un nivel que será la señal de habilitación (\overline{INH}) para el multiplexor. El canal estará seleccionado anticipadamente. (Las direcciones serán provistas por un contador modulo-6 cuyos 3 bits (C0,C1,C2) serán de ayuda para tomar decisiones posteriormente.
- 4.- Se enviará el pulso de arranque de conversión (STC). Como se puede ver en las hojas de datos del convertidor (ANEXOS 3) con el flanco de caída del pulso de arranque, se levanta la bandera que indica el estado del convertidor (STC), al finalizar la conversión la bandera bajará, este bajó hará que se incremente el contador y -

\overline{INH} caiga, con lo que se desactiva el multiplexor.

5.- Se generará un pulso para bajar el nivel que indica al 8255 que tome el dato (\overline{STB}) como puede observarse en el diagrama de tiempos del 8255 (APENDICE D), se \overline{STB} que con la caída de \overline{STB} , \overline{IBF} se levanta, \overline{IBF} bajará -- hasta que el puerto sea leído por el μP (Levantamiento de read), hasta que \overline{IBF} baje se realizará otra -- conversión dependiendo del valor del contador; si $C0, C1, C2$ son todas nulas, se realizará otro muestreo, si no, se \overline{STB} otra conversión.

El programa que comanda al sistema, fijará el número de conversiones que deberán hacerse y la dirección -- donde serán almacenados los datos de las muestras.

El algoritmo expuesto se puede resumir mediante un diagrama de flujo (fig. 3.2) y para el procedimiento de diseño se usará el lenguaje AHPL (Consultar bibliografía No. 5).

A continuación se lista el programa AHPL, con los respectivos comentarios.

PROGRAMA AHPL QUE EJECUTA EL ALGORITMO DE CONTROL.

- 1.- $\rightarrow (Pc \times 3) + (Pc \times 2)$; SI $Pc=1$ salta a 3 sino a 2
- 2.- $\rightarrow (1)$; Salta a 1
- 3.- $SH \leftarrow$ entrada ; Genera un pulso mayor a 1μ seg.
- 4.- $INH \leftarrow 1$; habilita el multiplexor.
- 5.- $CND \leftarrow$ mult, espera ; arranca la conversión, cuando termine incrementa contador.
- 6.- $\overline{STB} \leftarrow 0$, espera ; manda pulso de \overline{STB} y espera a que $\overline{IBF} = 0$
- 7.- $\rightarrow (C_0, C_1, C_2 \times 3) + (C_0, C_1, C_2 \times 4)$; si el contador es cero va a 3 sino a 4.

Esperar significa que el próximo pulso será generado

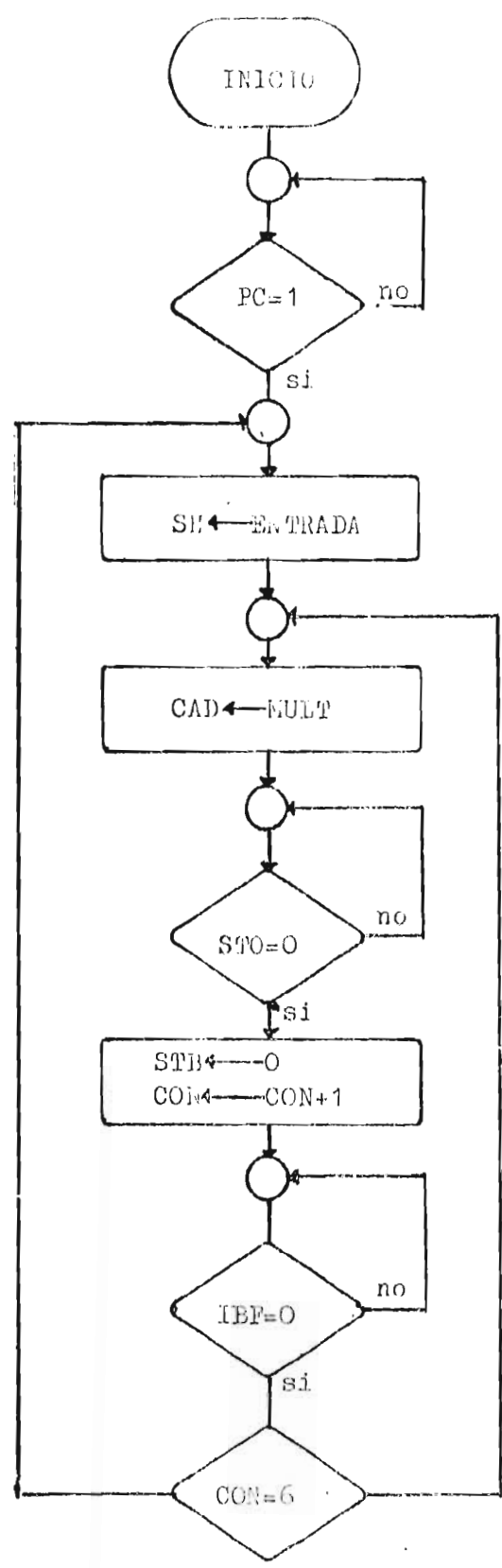


Fig. 3.2.- Diagrama de flujo del algoritmo de control.

do hasta que le sea el de carácter síncrono se presata.

Se debe preparar en que el circuito que resulta solo generará pulsos y si es necesario obtener niveles, estos deberán ser generados.

Debido a la característica asíncrona del algoritmo de control, esto es, su funcionamiento depende de las señales de control que se generan asíncronicamente (entre ellas la más importante IBF), el circuito será una combinación de un circuito síncrono con las señales asíncronas. Para proporcionar la sincronía y que el proceso se lleve a cabo rápidamente, se elige un reloj de dos fases, cuyo reloj maestro se obtiene "doblado" la fase 2 ($\neq 2$) del reloj del Microprocesador.

En la figura 3.3 se muestra el circuito del reloj y el diagrama de tiempos, se usan FLIP-FLOPs JK 7473 cuya hoja de datos se encuentra en el apéndice E.

En la figura 3.4 se muestra el circuito que realiza el algoritmo de la unidad de control, el contador será un módulo-6 y se elige en ripple por que no hay preocupación de tiempo, los niveles son generados con one-shot que se dispara con el flanco de subida únicamente y se puede controlar el ancho del pulso. Los FLIP-FLOP tipo D se disparan con el flanco de subida y los JK son disparados con flanco de bajada. Cada elemento tiene el número de modelo y las hojas de datos se muestran en el apéndice E. La figura 3.5 se muestra el diagrama de tiempos de toda la unidad de control con referencia al reloj maestro (CKA).

Es importante cuantificar el tiempo que transcurre entre la toma de una muestra y cuando la palabra está lista a la entrada del puerto, en decir, el tiempo transcurrido entre el pu

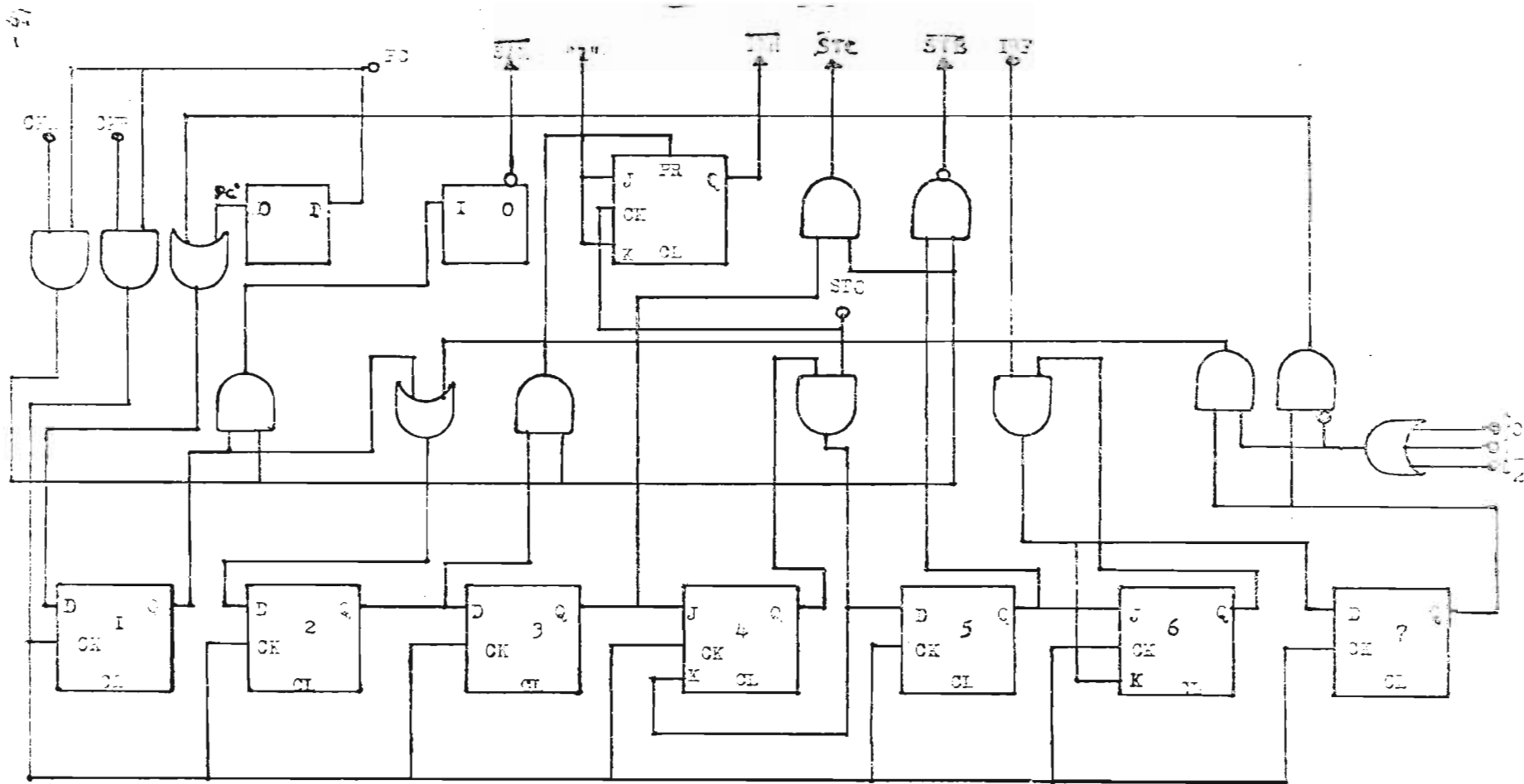


Fig. 3.4 .- CIRCUITO QUE REALIZA EL ALGORITMO DE CONTROL.

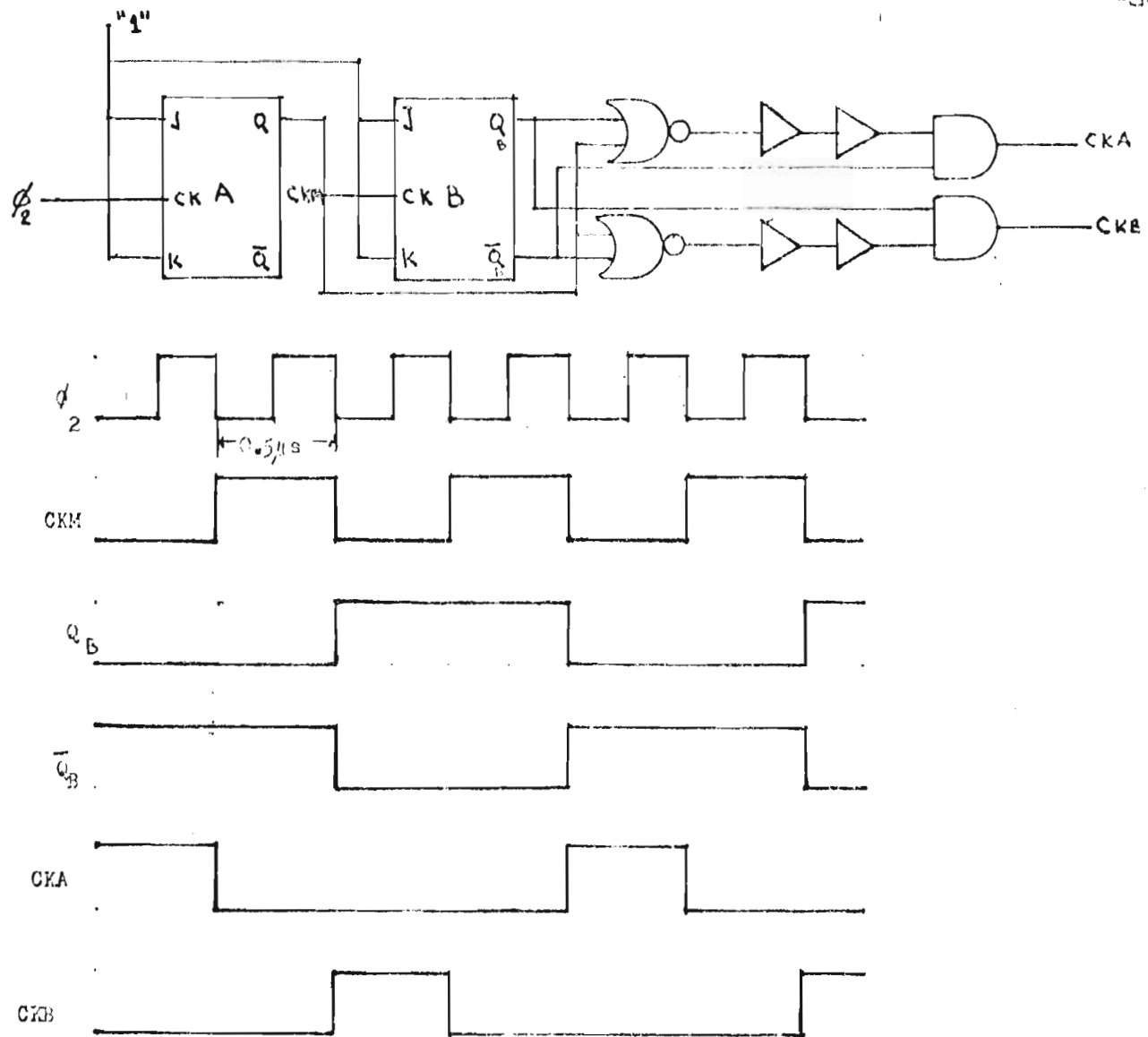
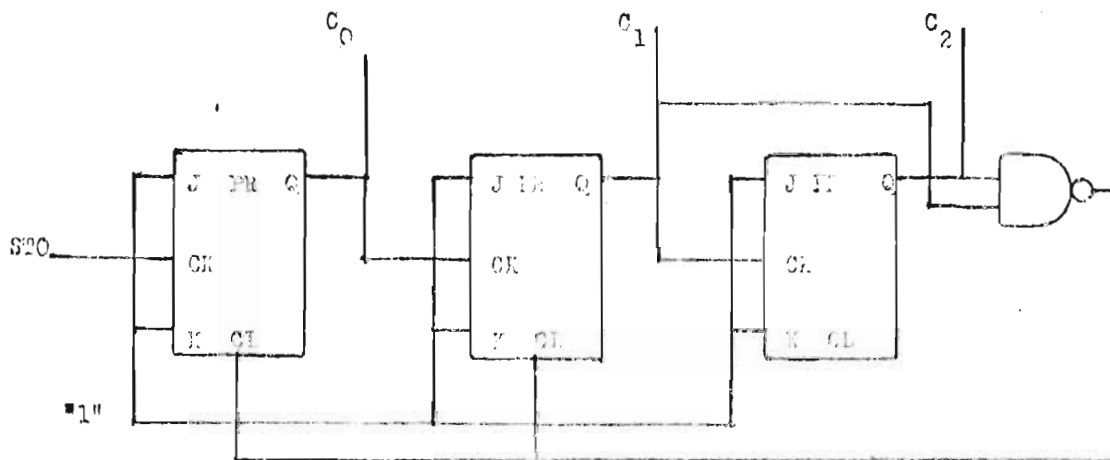


Fig. 3.3 .- Circuito para el reloj de dos fases, diagrama de tiempos del circuito y contador mod-6 .



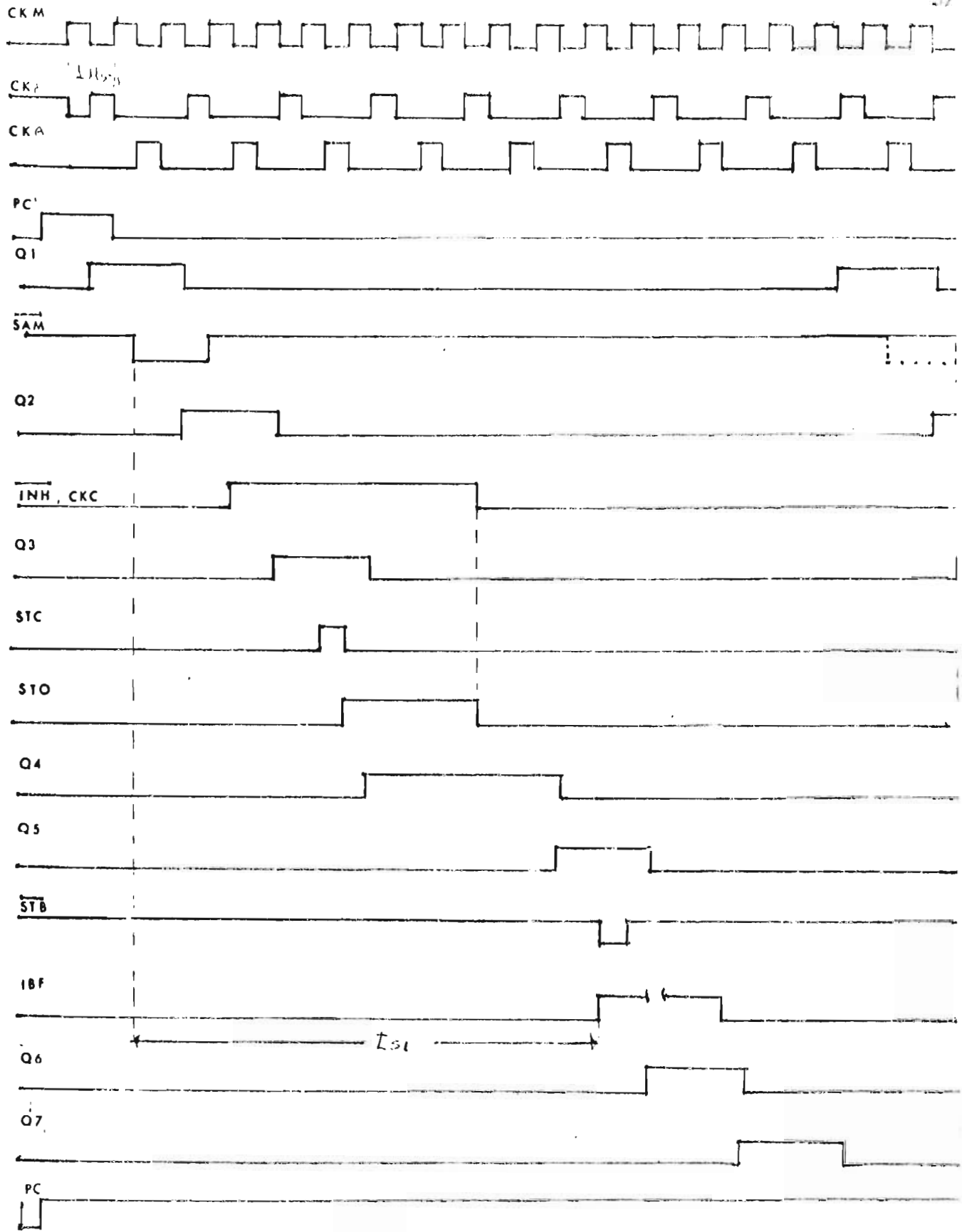


FIG. 3.5 DIAGRAMA DE TIEMPOS DEL CIRCUITO DE LA FIG. 3.4

so 511 y cuando se levanta IBF, a esta le denotará resq
Tri. Este tiempo se puede cuantificar de la fig. 3.5, por lo que
T_{ai}=10 μseg. Este tiempo debe ser menor que el que le lle
va al programa tomar el dato y guardarlo.

Se proporcionará una línea para que el circuito pue
da ser reseteado antes de iniciar una serie de conversio-
nes. El programa que "correrá" en el Mp está pensado para
tomar un número especificado de muestras y como dispusi-
mos antes, se hará por medio de transferencias programa-
das condicionales.

Antes de mostrar el diagrama de flujo y el listado,
refiriendonos a la figura 3.1 y al modo de operar del --
8255 (APENDICE D) definiremos los siguientes términos:

INPUT = Dirección del puerto A del 8255. = 777 H

CONEX = " " " C " " = 776 H

CONIN = " " " De control del 8255 = 777 H

MEMDI = " Donde se inicia el almacenamiento de -
muestras.

CONCO = Palabra de control para programar al 8255 en
modo 1, puerto A=entradas y puerto C=control
= B8 H.

NUMVE = Número de muestras que se desean tomar.

CONMU = Contador de muestras tomadas = registros 0, 1 del Mp

CONDA = " " 6 transferencias = Registro B

APMVE = apuntador de dirección para almacenar muestras =
registros H y L

CPC1 = palabra para poner un "1" en el bit 7 (PC₇) del -
puerto C del 8255 = 87 H

CPC1/ = palabra para poner un "0" en el bit 7 (PC₇) del -
puerto C del 8255 = 77 H

PRUIB = palabra par "indicar" con el dato del puerto C, pa
ra probar si IBF está en "1" = 20H

A = Registro acumulador

M = Localidad de memoria a la que apunta "yl".

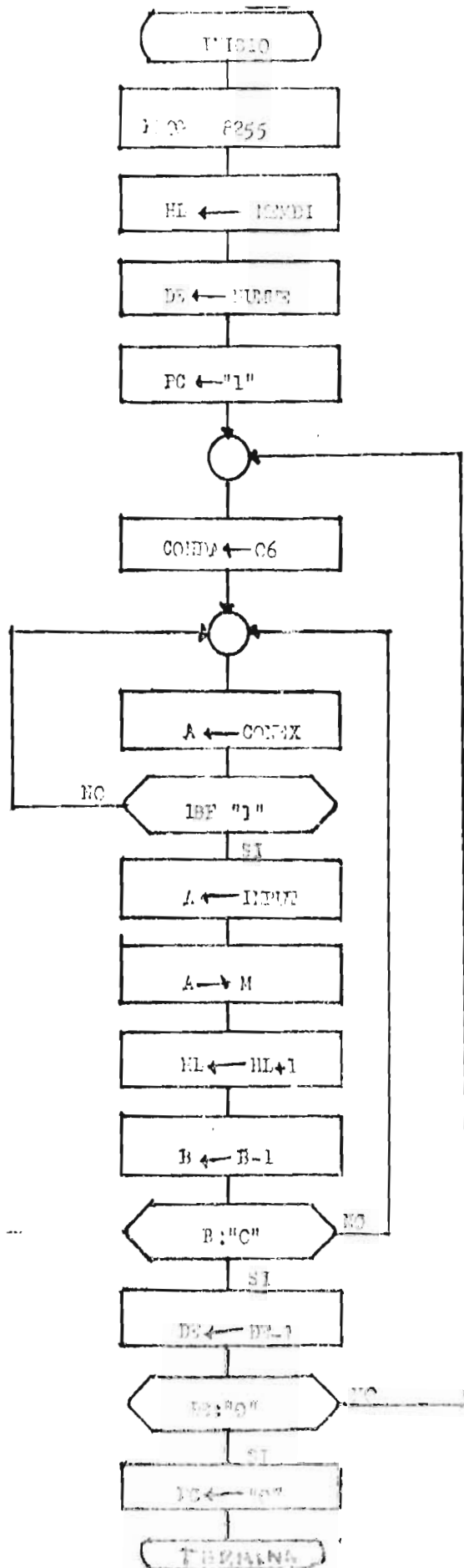


Fig. 3.6 .- Diagrama de flujo del programa para el Mp.

El diagrama de flujo se muestra en la figura 3.6 en el listado del programa se incluye el tiempo que tardó en ejecutarse cada instrucción y se comenta brevemente lo que sucede a cada paso.

PROGRAMA:

Etiqueta:	mnemonic	tiempo	comentarios
		#Eds.-tiempo	
INICIO :	LVI A, CONCO	;7-3.5	;carga palabra para programar
	OUT CONIN	;10 - 5	;Programa 8255
	IXI HL, MEMDI	;10 - 5	;carga dirección para la muestra
	IXI DE, NUMUE	;10 - 5	;carga cuantas muestras se tomarán
	MVI A, CPCPI	;7 - 3.5	;carga palabra para enviar nivel
	OUT CONEX	;10 - 5	;enviar nivel PC
	NOP	;4 - 2	;pierde tiempo para asegurar que
	NOI	;4 - 2	;IBF esta en " 1 "
* MALLA 1 :	LVI B, 06H	;7 - 3.5	;contador para transferir 6 datos
**MALLA 2.:	IN CONEX	;10 - 5	;preparate para probar IBF
	ANI TRUIB	;7 - 3.5	;hay dato en el puerto (IBF=1)
	JZ MALLA 2	;10 - 5	;sino lo hay vuelve a probar
	IN INPUT	;10 - 5	;hay dato tómlolo
	MOV H, A	;7 - 3.5	;almacena un dato en memoria
	INX HL	;5 - 2.5	;actualiza apuntador de memoria
	DCR B	;5 - 2.5	;es el dato de el último canal
**JNZ MALLA 2	;10 - 5		;si no los toma dato de otro
	DCX DE	;5 - 2.5	;si los es preparate a tomar otra ((muestras
	MOV A, D	;5 - 2.5	;preparate para probar si se han
			tomado todas la muestras.
* ORI 00H	;7 - 3.5		;¿se han tomado?
	JNZ MALLA 1	;10 - 5	; no, toma más.
	MOV A, E	;5 - 2.5	;
	ORI 00H	;7 - 3.5	;¿se han tomado?
	JNZ MALLA 1	;10 - 5	; no, toma más.
	MVI A, CPCPI	;7 - 3.5	;ya se tomaron, todas las muestras

```

      OUT CONEX      ;10 - 5      ;don en caso a PC
FIN:    JMP FIN      ;          ;termina

```

El tiempo de muestreo se calcula basandonos en este programa ya que la circuiteria externa solo le toma 10 μ seg. en tener un dato listo. Por cada muestra el programa que esta entre un asterisco se ejecuta solo una vez y se trata del peor caso cuando se estan tomando las ultimas 256 muestras. El programa que esta entre doble asterisco se ejecuta 5 veces para tomar una muestra, por lo que el tiempo para tomar una muestra sera:

$$T_M = t^* + 5t^{**} \dots 3.4.1$$

Si calculamos estos tiempos utilizando la tercera columna del programa tendremos que $t^* = 60 \mu$ seg. y $t^{**} = 32 \mu$ seg.

$$\text{Por lo tanto } T_M = 220 \mu\text{seg.} \dots 3.4.2$$

Por el teorema del muestreo se tiene que el tiempo de muestreo mínimo es:

$$T_{Mm} = 1/2 f_{max} \dots 3.4.3$$

$$\text{De lo que resulta: } T_{Mm} = 500 \mu\text{seg.} \dots 3.4.4$$

Se concluye que el número de muestras tomada por ciclo de la señal de la frecuencia máxima será:

$$N_{Mc} = T_c / T_M \dots 3.4.5$$

Donde T_c = Periodo de la señal de frecuencia máxima.
Por lo tanto:

$$N_{Mc} = 4.55 \text{ muestras por ciclo de la frecuencia máxima.}$$

lo que sería el peor caso.

3.5 CALCULO DEL ERROR.

Para calcular el error, de la palabra digital introducida al microprocesador de alguna de las señales tomadas, se hará una lista de errores para cada elemento y se calculará el error para el peor caso.

Se supondrá una variación de temperatura de $\pm 30^{\circ}\text{C}$ y una variación en las fuentes de poder del 10%. Los datos serán tomados de la hojas de especificaciones (APENDICE E). Se debe recordar que la circuitaria de control y el 8255 no intervendrán en este calculo. Todos los errores serán referidos a escala completa.

a) Para el SH.

- 1.- El error producido por la resistencia de la fuente - (supongamos $1\text{K}\Omega$) debido a la corriente de polarización será:

$$R_s \times I_{bias} = 1\text{K} \times 10\text{na} = 1 \times 10^{-6}\text{V} \text{ que es } 0.00002\% \text{ FS}$$

- 2.- El error por la caída de voltaje en la resistencia de fuente será:

$$\frac{R_s}{R_s + R_{INSH}} = 1 \times 10^3 / (10^8 + 1 \times 10^3) = 1 \times 10^{-5} \text{ que es } 0.001\% \text{ FS}$$

- 3.- Error debido al feedthrough 0.01% FS
- 4.- Error de ganancia 0.01% FS
- 5.- Error de no linealidad 0.01% FS
- 6.- Razón de rechazo de modo común 0.01% FS

- 7.- El error debido a la caída de voltaje en el Hold = para el peor caso estará dado por el tiempo en que se toma una muestra, será:

$$220 \mu\text{seg.} \times 10 \mu\text{V}/\mu\text{seg.} = 2.2 \text{ mV que es } 0.004\% \text{ FS}$$

Voltaje de Off set $\pm 2\text{mV}$ y esto es : $\pm 0.004\% \text{ FS}$

- 8.- Error debido al tiempo de apertura. Como no se especifica el slew rate de la señal de entrada se supondrá que esta va de un máximo a un mínimo en medio ciclo, es decir:

$$\text{Slew rate} = 5\text{V}/5\mu\text{seg.} = 0.01 \text{ V}/\mu\text{seg.}, \text{ en } 22\text{ns} \text{ tendremos } 0.22 \text{ mV lo que Resultará en } 0.0044\% \text{ FS.}$$

- 9.- Voltaje de Off-set $\pm 2\text{mV}$ y esto es : $\pm 0.004\% \text{ FS}$

- 10.- La desviación del voltaje de offset term° ; $\pm 100 \mu\text{V}/^{\circ}\text{C} \times (\pm 30^{\circ}\text{C})$
 $= \pm 3\text{mV}$ lo que resulta en $\pm 0.006\% \text{ FS}$

- 11.- Error debido a la

$$0.004\%/\% \times \pm 10\% = \pm 0.04\% \text{ lo que resulta } \pm 0.04\% \text{ FS}$$

- El error total de peor caso para el SH será del $0.2594\% \text{ FS.}$

- b).- Los errores introducidos por el multiplexor son:

- 1.- Error de crosstalk $0.005\% \text{ FS}$

- 2.- Error debido a la corriente de fuga a través de la resistencia de fuente (que estará dado por la resistencia de salida del SH multiplicada por la corriente de fuga del canal encendido) estará dado por:

$$0.1 \times 10^7 \times 0.1 = 0.01 \times 10^9 \text{ V que puede considerarse despreciable.}$$

- 3.- El error de offset debido a la corriente de fuga, más

la corriente de polarización del amp. por R_{on} es: $I_{polarización} = 2K \times 8 \times 10^{-7} = 1.6 \times 10^{-4}$ A, que es 0.0032 % FS.

4.- El error de transiencencia dado por la división de voltaje entre R_{on} y la resistencia de entrada del amplificador será:

$2.0 \times 10^3 / (2 \times 10^3 + 10^{10}) \approx 2 \times 10^{-7}$ que es despreciable y su valor 0.00002 % FS.

5.- Error de ganancia debido al tiempo de asentamiento es 0.01% FS.

El error total de peor caso que introduce el multiplexor sera: 0.0182 % FS.

c).- Los errores introducidos por el amplificador son:

1.- Error de ganancia. 0.0015% FS

2.- El error debido a la corriente polarización y la resistencia de salida del multiplexor, que es R_{on} ; será: $7 \times 10^9 \times 2 \times 10^3 = 14 \mu V$ que es: 0.00028% FS.

3.- El error producido por el voltaje de offset es $\pm 7.5mV$ que es: $\pm 0.15\%$ FS.

4.- El error producido por la desviación de voltaje de offset para la variación de temperatura sera: $10 \mu V / ^\circ C \times \pm 30^\circ C = 0.3mV$, que es $\pm 0.006\%$ FS.

5.- El rechazo a la variación de la fuente de poder es de 75 db, por lo que, el error producido por la variación de la fuente de poder se encuentra aplicando este rechazo a la variación de fuente supuesta. Este error resulta de un 0.017% a FS.

El error total introducido por el amplificador para el peor caso es: 0.1743% FS.

d).- Los errores introducidos por el convertidor A/D seran:

1.- Error de cuantización, de peor caso $\pm 0.1953\%$ FS

2.- Error de linealidad $\pm 0.1953\%$ FS

3.- Error de offset $\pm 0.05\%$ FS

4.- Error de ganancia $\pm 0.1\%$ FS

- 5.- Error de linealidad diferencial. . . . $\pm 0.1053\%$ FS.
- 6.- Error debido a la variación de las fuentes $\pm 0.2\%$ FS.
- Errores debidos a la desviación por temperatura:
- 7.- De off-set $\pm 40\text{ppm}/^\circ\text{C} \times (\pm 30^\circ\text{C}) = \pm 0.12\%$ FS
- 8.- De ganancia $\pm 20\text{ppm}/^\circ\text{C} \times (\pm 30^\circ\text{C}) = \pm 0.06\%$ FS
- 9.- De linealidad $\pm 20\text{ppm}/^\circ\text{C} \times (\pm 30^\circ\text{C}) = \pm 0.06\%$ FS

El error total de peor caso para el convertidor A/D es: 1.236% FS.

El error total para el peor caso en la palabra introducida al procesador sera: $E_t = 1.688\%$ que esta dentro del limite especificado del 2%

Debido a que los SH usados son iguales, el máximo error en tiempo de muestreo estará determinado por la incertidumbre del tiempo de apertura, De las hojas de datos de los SH (apendice B) se encuentra que este error será: 4 nseg. como máximo.

En la fig. 3.6 se muestra un plano general del sistema de adquisición de datos con las componentes utilizadas. Los capacitores y resistencias de los one-shot's se calcularon para proporcionar los anchos de pulso adecuados para las señales PC ($1.7\mu\text{seg.}$) y $\overline{\text{SAM}}$ ($1.5\mu\text{seg.}$). Los one-shot 's usados son del tipo 9602 cuyas hojas de datos se hallan en el apendice E. La relación para calcular los elementos externos: capacitor C_x y resistencia R_x , cuando C_x es mayor o igual que 10^3 pf. , entonces:

$$t = 0.31 R_x C_x (1 + 1/R_x) \quad 3.5.1$$

de la que se obtiene:

- Para $C_x = 4.7\text{ nf}$ y $t = 1.5\mu\text{seg.}$, $R_x = 970\Omega$ ($5\text{N}\Omega$)
- " " " $t = 1.7\mu\text{seg.}$, $R_x = 830\Omega$ ($8\text{N}\Omega$)

En la tabla 3.1 se resumen las características mas importantes del sistema de adquisición de datos.

VALORES MÁXIMOS		
voltaje de polarización	V_{cc}	+15.5V
" " "	V_{ss}	-15.5V
" " "	V_E	+5.25V
Voltaje analógico de ent.	V_i	$\pm V_{cc}$
" digital de ent.	ϕ_2	+5.25V
ENTRADAS		
Analógica		0-5 V
Digital		Reloj ϕ_2 TTL, 20MHz.
Salida digital		TTL, 8 bits 2's
Tiempo de muestreo		220nseg.
ERRORES		
Palabra digital		1.68% de FS max.
Tiempo de muestreo		4 nseg.
POLARIZACION		
V_{cc}	+15V $\pm 3.33\%$	79.5ma
V_{ss}	-15V $\pm 3.33\%$	84.5ma
V_E	+5V $\pm 5\%$	522.2ma
Potencia máxima		5.07 watt
Rango de temperatura		0°C a 70°C

TABLA 3.1.- Características mas importantes del módulo de adquisición de datos.

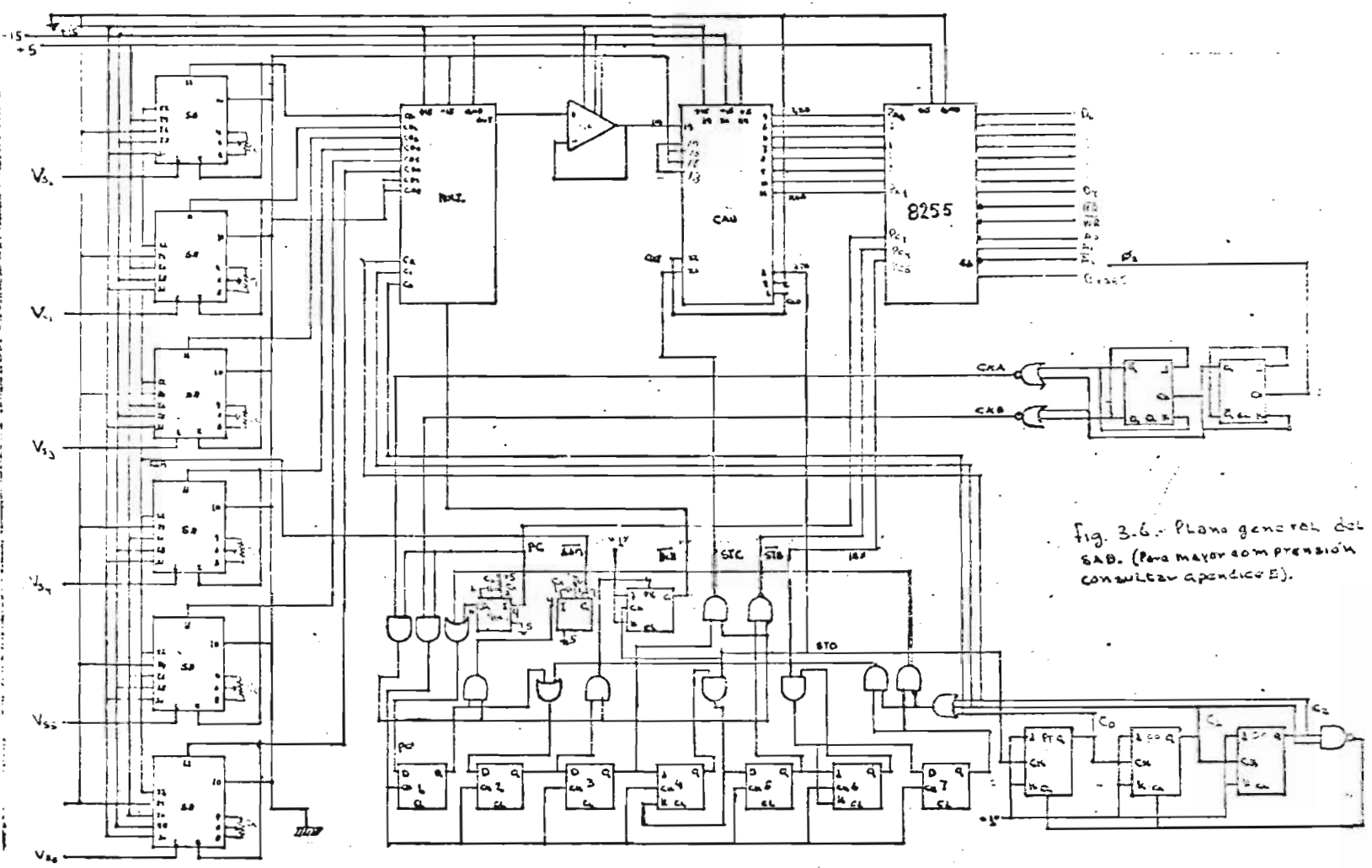


Fig. 3.6. Plano general del SAB. (Para mayor comprensión consultar apéndice E).

1. DEFINICIONES

DEFINICIÓN DE ESPECIFICACIONES DE SISTEMAS DE ADQUISICIÓN DE DATOS.

Accuracy (Exactitud)

En un convertidor analógico digital (CAD), describe la diferencia entre el voltaje efectivo de entrada y el equivalente de peso a escala completa (FS) de un código binario de salida. Se incluyen el error de cuantización y todos los otros. Si un CAD de 12 bits es fijado a $\pm 1 LSB$ de exactitud, es equivalente a tener dos veces el mínimo error de cuantización.

Acquisition Time (tiempo de adquisición).- Es el tiempo que se toma para adquirir la señal de entrada a una exactitud dada (para sample and hold (SH) y para multiplexores).

Aperture time (tiempo de apertura).- Es el tiempo que toma un circuito SH, para que el switch se abra después de que se ha dado el comando de control.

Conversion rate (Velocidad de conversión).- Es la velocidad a la cual CAD y convertidores Digital-Analógico (CDA) puede hacer conversiones repetitivas de datos. Es especificada como mínimo de conversiones por segundo ó como el tiempo para efectuar una conversión.

Crosstalk (señales de fuga entre circuitos ó canales):- En dispositivos o sistemas de varios canales tales como multiplexores. El Crosstalk está generalmente determinado por la impedancia de un circuito, y su valor efectivo depende de la frecuencia.

Differential Linearity (Linealidad Diferencial).- Es la medida de linealidad entre un estado digital y el próximo. Se aplica tanto a CPMs como a QPMs. Si la linealidad diferencial se especifica como $\pm 1/2$ dB, el tamaño del ancho de un estado al otro puede variar de $1/2$ a $3/2$ de un paso ideal de 1 bit.

Drop-rate (Velocidad de Caída).- Cuando un bit usa un capacitor como memoria para el estado, el drop-rate es la velocidad a la cual el voltaje de salida disminuye derivándose pérdidas de información.

End of Conversion (Señal de Conversión).- Es una señal digital enviada por una D/A que informa al sistema externo que un dato digital a su salida es válido.

Feedthrough.- Este término se refiere a la característica de un dispositivo o un circuito manifestada por señales indeseables generadas por switches u otros dispositivos que se supone están apagados ó proporcionan aislamiento.

Gain-error (Error de ganancia).- (Ver error de escalado).

Input Impedance (Impedancia de entrada).- Describe la carga que presenta un elemento al que le precede.

Linearity (Linealidad).- Es la divergencia entre la curva de transferencia y una línea recta. El error de línea lineal incluye los errores de ganancia, con lo que una especificación de la linealidad de $\pm 1/2$ dB implica un error máximo del de ganancia ó resistencia de $\pm 1/2$ dB. En el caso de la ganancia, el error de línea lineal es el error de ganancia. Al aplicar un error de línea lineal, el error de linealidad puede ser un error de línea lineal de $\pm 1/2$ dB, o un error de línea lineal de $\pm 1/2$ dB.

Cualquier error de linealidad introduce una no linealidad diferencial. Una especificación de linealidad $\pm 1/2$ LSB garantiza monotonicidad.

Long-term drift.- Se debe principalmente a resistencias y semiconductores envejecidos, puede afectar todas las características que un cambio en la temperatura afecta. Las características que más comúnmente afecta son: linealidad, monotonicidad, escala y offset.

Monotonicity.- (Monotonicidad).- Una curva monótona no tiene cambios en el signo de su pendiente. Así todos los incrementos de una curva monótona incremental serán positivos o cero. La fig. A14 muestra una curva no monótona para un CDA, para que una curva sea no monótona el error de linealidad debe exceder de $\pm 1/2$ LSB.

Offset-error (Error de offset).- Es el valor medio requerido de voltaje a la entrada de una CAD para que la salida sea un código cero. (VEA fig. A1, b). En amplificadores es el voltaje diferencial aplicado a la entrada para que la salida sea cero y se puede expresar en %FS.

Quantizing Error (Error de cuantización).- Es la máxima desviación de una línea recta de la función de transferencia de un CAD ideal. Es natural que un CAD cuantifique la entrada analógica dentro de un número finito de códigos de salida, solo una infinita resolución exhibiría cero error de cuantización.

Un CAD perfecto solo exhibirá $\pm 1/2$ LSB de error que estará dado por el error de cuantización. (ver fig. A1a).

Resolution (Resolución).- En un CAD describe el mínimo cambio de voltaje requerido a la entrada para incrementar la salida entre un código y el próximo. Un convertidor de 8 bits puede resolver una parte en 2^8 (una parte en 256) ó el 0.39% a escala completa (ver fig. A1a).

Scale error (Erro de escala).- Es la diferencia del voltaje efectivo a la entrada de una CAD de un voltaje de entrada fijado en el diseño para proporcionar una código de salida a FS.

Seetling time (Tiempo de Asentamiento).- Es el retraso de tiempo entre un cambio en la señal de entrada y el cambio efectuado en la señal de salida. Generalmente es expresado en términos de cuanto toma la salida en arriivar y permanecer, dentro de cierto error, alrededor del valor final.

Slew rate (Velocidad de cambio en amplitud).- En un amplificador es el límite de velocidad de cambio en el voltaje de salida. Sus unidades son voltaje sobre tiempo.

Start conversion (Arranca la conversión).- Pulso que debe ser suministrado a un CAD externamente para iniciar una conversión.

Supply rejection (Rechazo a la fuente).- Relaciona la habilidad de un circuito para mantenerse funcionando adecuadamente para una variación de la fuente de poder.

El rechazo a la fuente generalmente se expresa en un porcentaje de FS del cambio de FS a 25c.

Temperature coefficient (Coeficiente de temperatura)
Es el valor de cambio expresado generalmente en partes por millón por grado centígrado de una variable para cambios de temperatura. Un cambio de temperatura puede afectar: Voltaje de offset, ganancia, linealidad etc.
ON Resistance (Resistencia de encendido).- Cuando un FET es usado como switch ofrece una resistencia entre drenaje y fuente cuando está encendido . A esta se le denomina resistencia de encendido (R_{on}).

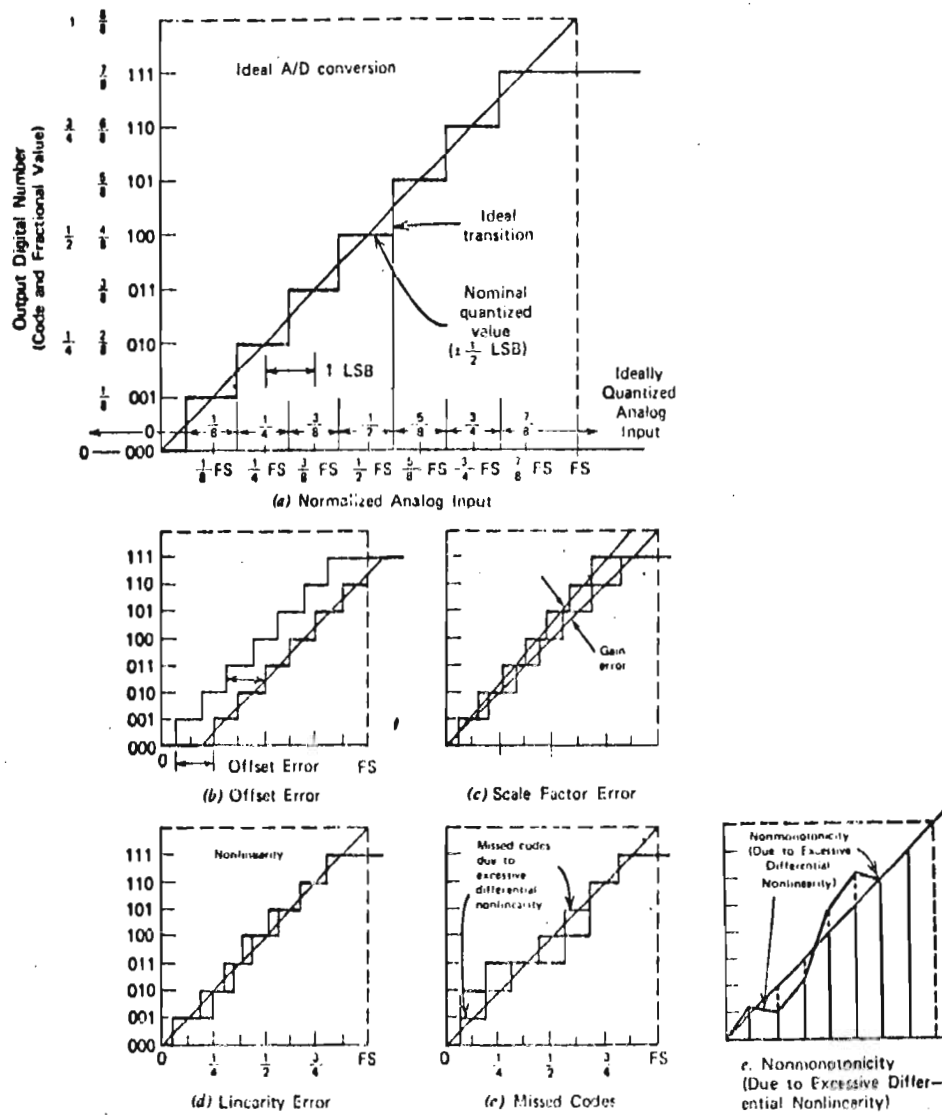


Fig. A.1 .- Relaciones de conversión en un CAD de 3 bits;
 (a) Relación ideal. (b,c,d,e,f) Fuentes de error típicas.

APENDICE B

INTERRUPCIONES EN EL MICROPROCESSADOR INTEL 8030

B.1. Mecanismos de aceptación y ejecución:

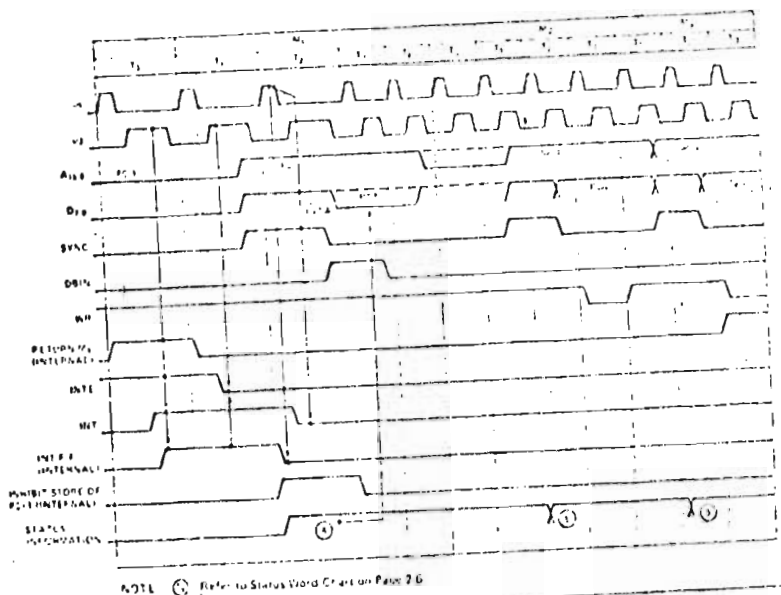
El microprocesador solo dispone una línea de interrupción (INT) y la interrupción es de tipo enmascarable. Un dispositivo puede interrumpir simplemente levantando esa línea.

El dispositivo que interrumpe proporcionará una instrucción que es un salto a una dirección, este mecanismo facilita el manejo de interrupciones ya que el dispositivo que interrumpe se identifica por sí solo.

La entrada de la interrupción es asíncrona por lo que la solicitud puede generarse en cualquier instante. Como se muestra en la fig. B1, una solicitud de interrupción está en "1" (INTE) y actúa en coincidencia con ϕ_2 para encender el Flip Flop interno de interrupción. Este evento toma lugar durante el último estado del ciclo de instrucción en el cual la solicitud ocurre. Esto asegura que cualquier instrucción que se este ejecutando se complete antes de que la interrupción pueda ser procesada. El ciclo de máquina de interrupción (M₁) que sigue al arribo de una solicitud de interrupción habilitada es

a un ciclo ordinario de fetch en la mayoría de los aspectos. El bit de estado M₁ (DS=1) es transmitido como es usual durante el intervalo de sincronía (SYNC), pero va acompañado del bit de estado INPA (DS=1) que es la señal de reconocimiento de la solicitud (Sale del Mp.)

El contenido del contador de programa se pone sobre el Bus de direcciones del CPU durante T₁, pero el contador de programa no es incrementado durante el ciclo de interrupción (M₁), lo que sí sucedería en un ciclo Fetch. De este modo el estado del contador de programa se conserva. El ciclo de interrupción de todas formas es indistinguible de un ciclo de máquina común de Fetch. Después del estado T₂, el procesador no toma acción



Instructions for the ROM require from one to four machine cycles for complete execution. The ROM sends out a 16-bit status information on the data bus at the beginning of each machine cycle during a cycle time. The following table defines the status information.

STATUS INFORMATION DEFINITION		
Symbol	Data Bus	Definition
INTA*	D0	Acknowledge signal for INTERRUPT request. Signal should be sent to the interrupter when the data bus is active with D0H is active.
WD	D1	Indicates that the operation of the current machine cycle will be a MEMORY READ or OUTPUT (MEMORY READ, STACK READ, or R/W) operation. If a MEMORY READ or R/W operation will be executed.
STACK	D2	Indicates that the address bus is in the position to address it from the Stack Pointer.
HLTA	D3	Acknowledge signal for HALT instruction. Indicates that the address bus contains the address of an interrupt device and the data bus will contain the output data of the I/O device.
V1	D5	Provides a signal to indicate that the CPU is in the fetch cycle for the first byte of an instruction.
INP*	D8	Indicates that the address bus contains the address of an input device and the output data should be placed on the data bus when D0H is active.
MEMR*	D7	Indicates that the data bus will be used for memory read data.

*These three status bits can be used to control the flow of data into the 8-bit data bus.

Figure 2.8. Interrupt Timing

Fig. B.1

2-11

Fig. B.1. Diagrama de tiempos de una Interrupción

STATE	ASSOCIATED ACTIVITIES
T1	A memory address or I/O device number is placed on the Address Bus (A15), status information is placed on Data Bus (D7-D0).
T2	The CPU samples the READY and HOLD inputs and checks for hold time violation.
TW (optional)	Processor enters wait state if READY is low or if HALT instruction has been executed.
T3	An instruction byte (FETCH machine cycle), data byte (MEMORY READ, STACK READ) or interrupt instruction (INTERRUPT machine cycle) is input to the CPU from the Data Bus, or a data byte (MEMORY WRITE, STACK WRITE or OUTPUT machine cycle) is output onto the data bus.
T4 T5 (optional)	States T4 and T5 are available if the execution of a particular instruction requires them; if not, the CPU may skip one or both of them. T4 and T5 are only used for internal processor operations.

Table 2.2. State Definitions

STATUS WORD CHART

DATA BUS BIT	STATUS INFORMATION	TYPE OF MACHINE CYCLE										
		INTERRUPT	MEMORY READ	MEMORY WRITE	STACK READ	STACK WRITE	INPUT READ	OUTPUT WRITE	INTERRUPT ACKNOWLEDGE	INTERRUPT ACKNOWLEDGE	INTERRUPT ACKNOWLEDGE	
D0	INTA	0	0	0	0	0	0	0	0	1	0	1
D1	WD	1	1	0	1	0	1	0	1	1	1	1
D2	STACK	0	0	0	1	1	0	0	0	0	0	0
D3	HLTA	0	0	0	0	0	0	0	0	1	1	1
D4	OUT	0	0	0	0	0	0	1	0	0	0	0
D5	V1	1	0	0	0	0	0	0	0	0	0	0
D8	INP*	0	0	0	0	0	0	1	0	0	0	0
D7	MEMR*	1	1	0	1	0	0	0	0	1	0	0

2-1. 8080 Status Bit Definitions

por sí mismo, es responsabilidad de la lógica del periférico ver que una instrucción de 8 bits sea introducida en el bus de entrada de datos del μp durante el estado T_3 (instrucción de restart RST). En un caso típico, esto significa que el bus de entrada de datos desde memoria debe ser desconectado temporalmente del bus de datos del μp de tal forma que el dispositivo que interrumpe pueda comandar el bus de datos sin interferencia (con INTA se puede desactivar la memoria, desactivando su Chip Select para que su salida de datos se ponga en alta impedancia).

La instrucción proporcionada por el periférico RST, instrucción de un byte, hace que el procesador almacene en el Stack el contenido del contador de programa(PC) y después salte a una de ocho localidades fijas de memoria, dependiendo de un valor dado por tres bits que están contenidos en la instrucción. Esto indica que se pueden tener ocho rutinas de servicio para interrupciones.

B.2 Instrucciones para el manejo de interrupciones.

El 8080 cuenta con 4 instrucciones para el manejo de interrupciones:

a) RST n

$$\begin{aligned} ((SP)-1) &\leftarrow (PCH) \\ ((SP)-2) &\leftarrow (PCL) \\ (SP) &\leftarrow (SP)-2 \\ (PC) &\leftarrow 8x(NNN) \end{aligned}$$

Los 8 bits más significativos del PC son almacenados en la localidad de memoria apuntada por el contenido del SP - 1, los 8 menos significativos se almacenaran en el SP - 2 y el contenido del SP sera decrementado por dos. El PC será cargado con: $8_{10} \times NNN_2$. Esta instrucción se ejecuta en 5.5 seg. .

b) EI (Enable Interrup).

El sistema de interrupción se habilita después de la ejecución de esta instrucción. (IEIE =1 y IF=0).

Esta instrucción puede ir en cualquier parte de un programa, lo que permite anidamiento de interrupciones .

c): DI (Disable Interrupt)

El sistema de interrupción se deshabilita después de la ejecución de esta instrucción.

(INTE = 0 F-F=0).

d): RET (Return)

(PCL) ← (SP)

(PCH) ← ((SP)+1)

(SP) ← ((SP)+2)

El contenido de la localidad apuntada por el SP se carga en Byte menos significativo del PC, el contenido de la dirección apuntada por (SP)+1 se carga en el Byte más significativo del PC, el contenido de la dirección apuntada por (SP)+1 se carga en el byte más significativo del PC y el contenido del SP es incrementado por 2.

APENDICE C

DMA EN EL MICROPROCESADOR INTEL 8080

C.1 Mecanismo de aceptación y ejecución.

En el mecanismo de aceptación y ejecución de una DMA el CPU suspende sus operaciones y el dispositivo externo es el encargado de hacer la transferencia.

El 8080 tiene solo una línea para solicitud de DMA (HOLD) de un Byte de o hacia memoria. cuando esta línea se pone en alto se fuerza a que el CPU complete la operación en proceso e inmediatamente después ponga sus salidas de datos y direcciones en alta impedancia y responde con una señal de reconocimiento de DMA ($\overline{HOLDA}=1$) esto indica que dichas salidas están en alta impedancia. En este momento el sistema externo puede tomar el control de los Buses.

Los dispositivos externos deben sincronizarse de tal forma que no intenten utilizar los Buses de direcciones y datos hasta que reciban la señal de $\overline{HOLDA}=1$ proporcionada por el CPU. La señal HOLD debe ser generada por los dispositivos externos. Si el sistema 8080 usa buffers externos al CPU. (8212) entre los buses externos es necesario que estos también se pongan en alta impedancia.

El dispositivo externo debe proporcionar la dirección de memoria que se desea "accesar". Los dispositivos que proporcionen esta dirección deben ser tres estados, también deben controlar la transferencia, es decir proporcionar las señales de lectura o escritura a la memoria.

C.2 Diagrama de Tiempos

En las figuras C.1 y C.2 se muestran los diagramas de tiempo para transferencias DMA modo lectura y modo escritura.

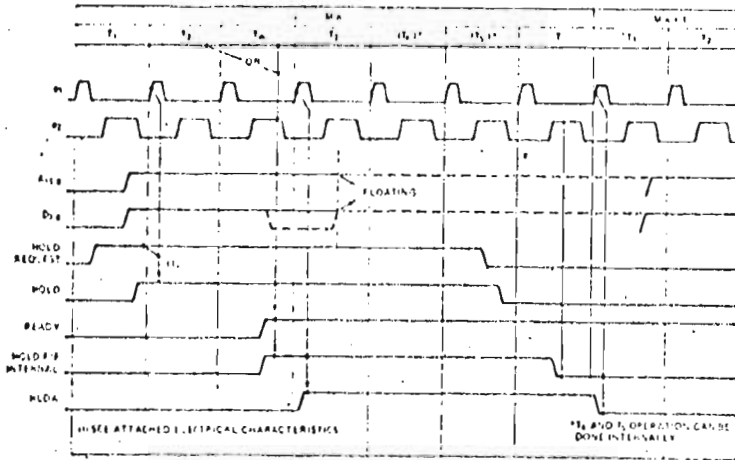


Figure 2-9. HOLD Operation (Read Mode)

Fig. C.4 Ciclo DMA-Modo Lectura

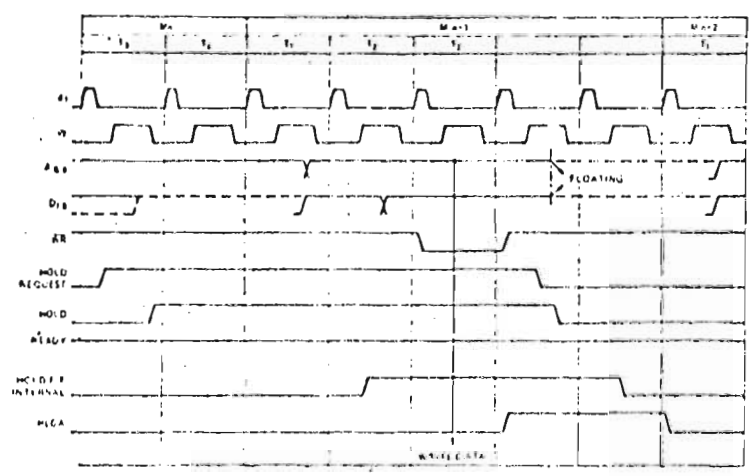


Figure 2-10. HOLD Operation (Write Mode)

Fig. C.5 Ciclo DMA-Modo escritura

Como la interrupción, la entrada HOLD es sincronizada internamente.

Una señal HOLD debe estar estable antes del intervalo " Hold set up" (t_{hs}), que precede a la pendiente positiva de ϕ_1 .

Las figuras C.4 y C.5 ilustran los diagramas de tiempo involucrado en operaciones Hold. Se observa que se tiene un atraso entre el Hold Request asíncrono y el Hold sincronizado. Como se muestra en el diagrama, una coincidencia del Ready, y el Hold y el Clock ϕ_2 pone el latch de hold interno. El set de este latch permite que en la siguiente pendiente positiva del pulso del clock ϕ_1 se dispare la salida HDA.

El reconocimiento del Hold Request precede ligeramente a la flotación real de las líneas de datos y direcciones del procesador. El procesador reconoce un HOLD al inicio de T3, si un read o un ciclo de máquina de lectura o entrada está en progreso (fig. C.1). De otro modo, el reconocimiento es diferido hasta el empleo del siguiente estado T3 (Fig C.2).

En ambos casos, sin embargo, la HDA viene alta dentro de un atraso específico (t_{de}) de la pendiente positiva del pulso de clock seleccionado ϕ_1 . Las líneas de datos y direcciones se flotan dentro de un breve atraso después de la pendiente positiva del pulso de clock ϕ_2 siguiente.

Esta relación se muestra también en los diagramas. Apparently desde un punto de vista externo una vez que el CPU pone sus salidas de bus de datos y bus de direcciones en alta impedancia suspende sus operaciones, sin embargo, internamente ciertas funciones pueden continuar. Si un Hold Request es reconocido en T3, y si el procesador está en la mitad de un ciclo de máquina el cual requiere 4 o mas estados para terminar el CPU procede a realizar T4 y T5 antes de descansar, esto es, hasta el extremo del ciclo de máquina las actividades de procesamiento cesarán. Internamente se permite que el procesamiento traslape con una transferencia DMA externa, lo que mejora la eficiencia y velocidad del sistema entero.

El procesador termina con el estado Hold a través de una secuencia similar a la forma en que entró. Un Hold Request es terminado asincrónicamente cuando el dispositivo externo ha completado su transferencia de datos. La salida H₁DA regresa a su nivel bajo siguiendo el flanco positivo del próximo pulso de clock ϕ_1 . El procesamiento normal se reanuda con el ciclo de máquina que sigue al último ciclo que fue ejecutado.

APENDICE D

PUERTO DE E/S INTEL 8255

D.1 Descripción funcional del 8255

En la figura D.1 se muestra el diagrama de bloques del 8255 así como su configuración interna.

El 8255 es una interface para periféricos programable (PPI) diseñada para usarse con el sistema de microproceso 8080. Su misión es proporcionar una interface general entre dispositivos de E/S y los buses del sistema. El funcionamiento es programado por el Software del sistema.

A continuación describiremos los bloques funcionales y las señales.

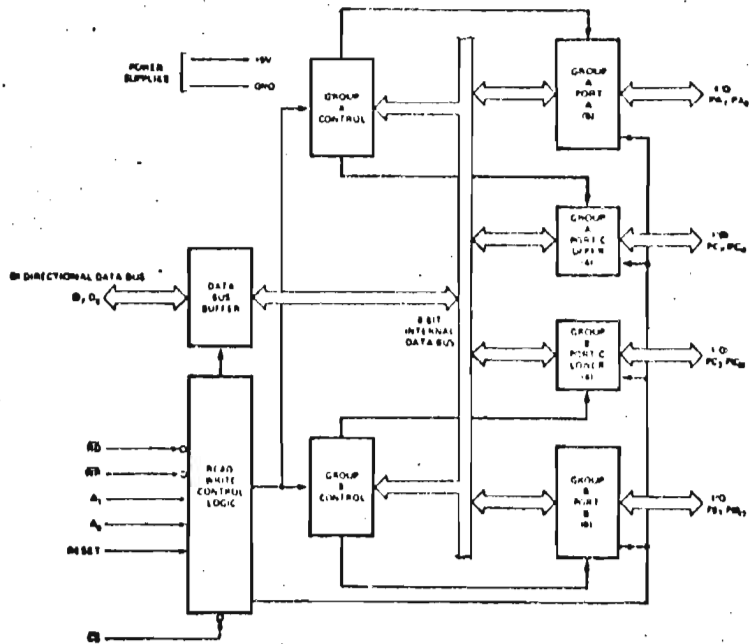
Buffer de Datos.- Este Buffer bidireccional, de 8 Bits y 3 estados es usado para interfaccar al 8255 con el Bus de datos del sistema 8080. Palabras de control, datos, e información son transferidos a través de él.

Read/write y Lógica del Control.- La función de este bloque es manejar todas las transferencias externas e internas, palabras de datos, control o estado. Acepta entradas del Bus de direcciones y del Bus de control del CPU del 8080 y edita comandos para control interno.

(\overline{CS}) Chip Select.- Un "bajo" en esta entrada habilita la comunicación entre el 8255 y el CPU 8080.

(\overline{RD}) Read.- Un bajo en esta entrada habilita el 8255 para enviar datos o información de estado hacia el CPU 8080 por el Bus de datos. En esencia permite al CPU leer del 8255.

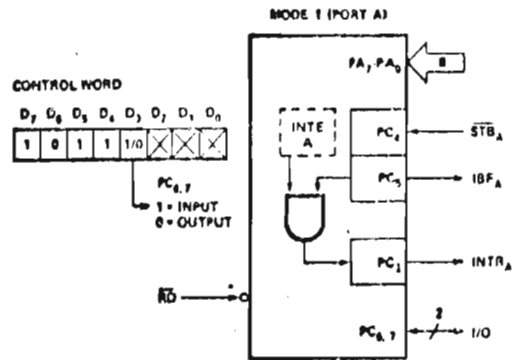
(\overline{WR}) Write.- Un bajo en esta línea habilita al CPU 8080 para escribir datos o palabras de control en el 8255.



8255 BASIC OPERATION

A ₁	A ₀	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
i	1	0	1	0	ILLEGAL CONDITION

Fig. D.1 -- Configuracin interna del 8255



Mode 1 Input

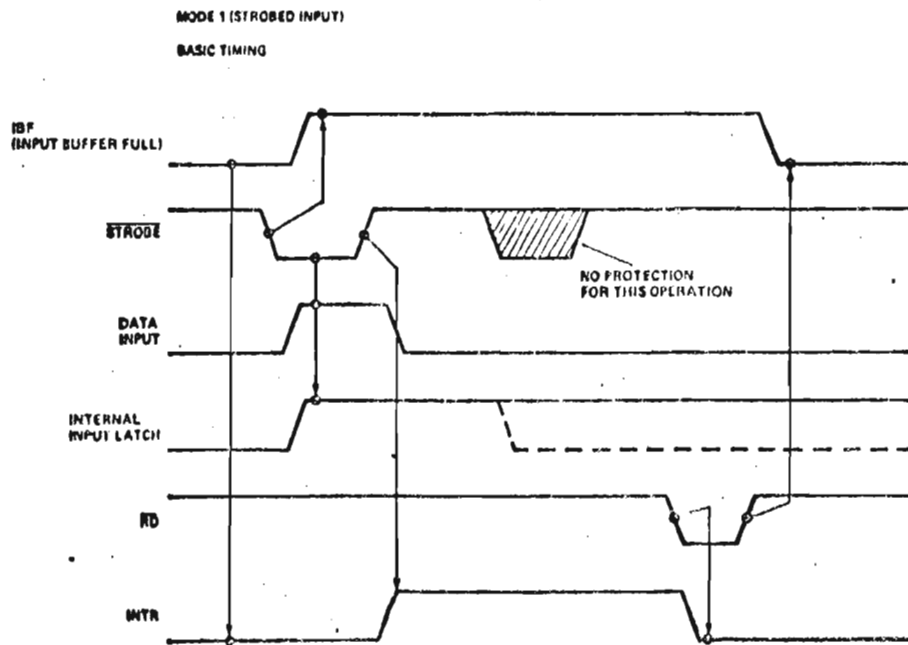


Fig. D.2 .- Palabra de control y diagrama de tiempos del 8255 en modo 1.

(A_0 y A_1).- Estas señales en conjunción con RD y WR controlan la selección de uno de los 3 puertos o el registro de control. Normalmente se conectan a los dos bits menos significativos del Bus de direcciones.

(RESET).- Un alto en esta entrada limpia todos los registros internos y todos los puertos (A, B, y C) son habilitados como entradas.

Control de Grupo A y Control del Grupo B

La configuración funcional de cada puerto es programada por el Software del Sistema. Es decir el 8080 pone una palabra de control que contiene información tal como "modo", " bit set ", " bit reset", etc. que inicializa la configuración funcional del 8255.

Control del grupo A.- Puerto A y parte superior del puerto C ($C_7 - C_4$)

Control del grupo B.- Puerto B y parte inferior del puerto C ($C_3 - C_0$)

La palabra de control de registro solo puede escribirse.

Puertos A, B y C.- El 8255 tiene 3 puertos de 8 bits (A, B y C) todos pueden ser configurados con una variedad funcional muy amplia en sus características por el software del sistema pero cada uno tiene su propia personalidad lo que hace poderosamente flexible al 8255.

En la figura D.1 se muestra la operación básica de las líneas A_1 , A_0 , RD, WR y CS.

El 8255 tiene 3 modos de operación y de estos sólo mostraremos el modo que usamos (modo 1 entrada "estrobada")

Modo de operación 1 (entrada / salida "estrobada").- Este modo de operación proporciona un medio de transferir datos de E/S a un puerto o desde el, acompañado de señales de control ó " hand shaking ". En este modo se utiliza el puerto C para generar o aceptar esas señales.

\overline{STB} (Entrada de Strobe).- Un " bajo " en esta señal de entrada carga los datos de entrada en el Latch.

IBF .- Un alto en esta salida indica que los datos han sido cargados en el latch de entrada. Baja con el flanco de caída de la señal \overline{RD} .

INTR.- Un alto en esta salida puede ser usado para interrumpir al CPU cuando un dispositivo lo requiere. En la figura D.2 se muestra el diagrama de tiempos de este modo así como su palabra de control.

En las figuras D.4 y D.5 se dan las características eléctricas y de tiempo del 8255

D.C. CHARACTERISTICS $T_A = 0^\circ\text{C}$ to 70°C ; $V_{CC} = +5\text{V} \pm 5\%$; $V_{SS} = 0\text{V}$

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage			.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			.4	V	$I_{OL} = 1.6\text{mA}$
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -50\mu\text{A}$ (-100 μA for D.B. Port)
$I_{OH}^{(1)}$	Darlington Drive Current		2.0		mA	$V_{OH} = 1.5\text{V}$, $R_{EXT} = 390\Omega$
I_{CC}	Power Supply Current		40		mA	

NOTE:

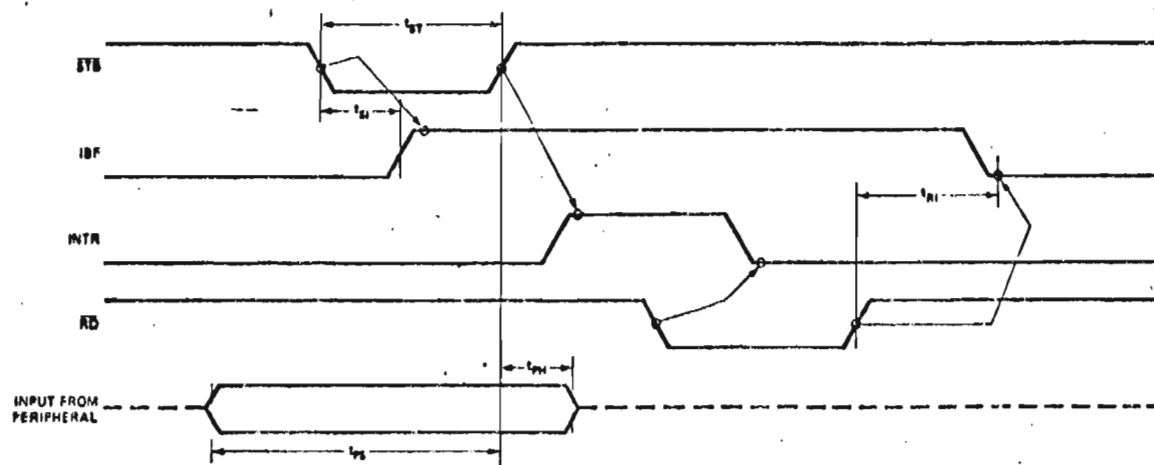
1. Available on 8 pins only.

A.C. CHARACTERISTICS $T_A = 0^\circ\text{C}$ to 70°C ; $V_{CC} = +5\text{V} \pm 5\%$; $V_{SS} = 0\text{V}$

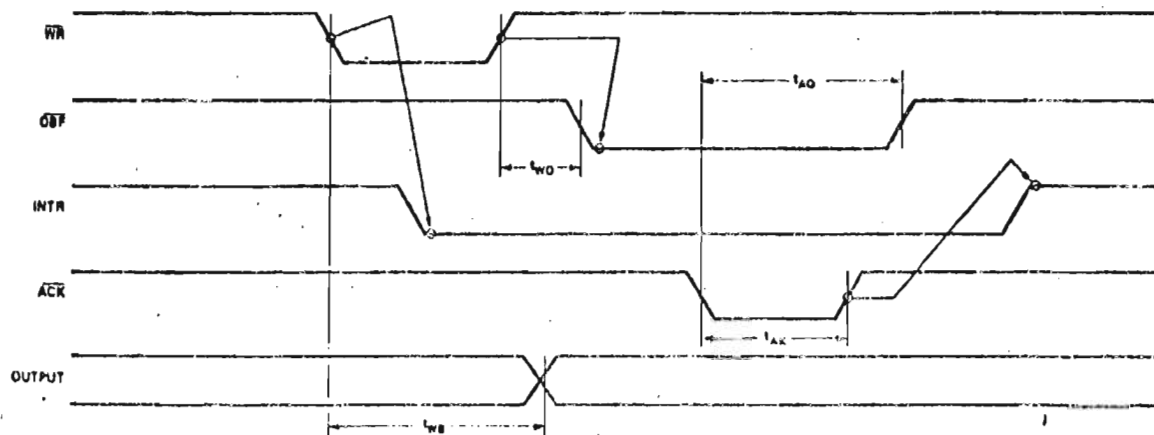
Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
t_{WP}	Pulse Width of \overline{WR}			430	ns	
t_{DW}	Time D.B. Stable Before \overline{WR}	10			ns	
t_{WD}	Time D.B. Stable After \overline{WR}	65			ns	
t_{AW}	Time Address Stable Before \overline{WR}	20			ns	
t_{WA}	Time Address Stable After \overline{WR}	35			ns	
t_{CW}	Time CS Stable Before \overline{WR}	20			ns	
t_{WC}	Time CS Stable After \overline{WR}	35			ns	
t_{WB}	Delay From \overline{WR} To Output			500	ns	
t_{RP}	Pulse Width of \overline{RD}	430			ns	
t_{IR}	\overline{RD} Set-Up Time	50			ns	
t_{HR}	Input Hold Time	50			ns	
t_{RD}	Delay From $\overline{RD} = 0$ To System Bus	350			ns	
t_{OD}	Delay From $\overline{RD} = 1$ To System Bus	150			ns	
t_{AR}	Time Address Stable Before \overline{RD}	50			ns	
t_{CR}	Time \overline{CS} Stable Before \overline{RD}	50			ns	
t_{AK}	Width Of \overline{ACK} Pulse	500			ns	
t_{ST}	Width Of \overline{STB} Pulse	350			ns	
t_{PS}	Set-Up Time For Peripheral	150			ns	
t_{PH}	Hold Time For Peripheral	150			ns	
t_{RA}	Hold Time for A_1, A_0 After $\overline{RD} = 1$	379			ns	
t_{RC}	Hold Time For CS After $\overline{RD} = 1$	5			ns	
t_{AD}	Time From $\overline{ACK} = 0$ To Output (Mode 2)			500	ns	
t_{KD}	Time From $\overline{ACK} = 1$ To Output Floating			300	ns	
t_{WO}	Time From $\overline{WR} = 1$ To $\overline{OBF} = 0$			300	ns	
t_{AO}	Time From $\overline{ACK} = 0$ To $\overline{OBF} = 1$			500	ns	
t_{SI}	Time From $\overline{STB} = 0$ To IBF			600	ns	
t_{RI}	Time From $\overline{RD} = 1$ To IBF = 0			300	ns	

Fig. D.4 -- Características de AC y DC del 8255.

SILICON GATE MOS 8255



Mode 1 (Strobed Input)



Mode 1 (Strobed Output) Fig. D.5.- Diagrama de tiempos para el modo 1.

APENDICE E

HOJAS DE DATOS DE LOS ELEMENTOS USADOS EN EL MODULO DE ADQUISICION DE DATOS.

En las siguientes hojas se muestran las hojas de datos de los dispositivos usados en la construcción del módulo de adquisición de datos. Solamente se incluye la información más importante. Para mayor información consultar los manuales de los fabricantes.

**0.01%, 1.0 μ SEC.
MICROELECTRONIC SAMPLE-HOLD**

MODEL SHM-6

FEATURES

- ▶ 0.01% Accuracy
- ▶ 1.0 μ s Acquisition Time
- ▶ 2 nsec Aperture Uncertainty
- ▶ 5 MHz Bandwidth
- ▶ 50mA Output Current
- ▶ Gain Programmable From ± 1 to ± 10

GENERAL DESCRIPTION

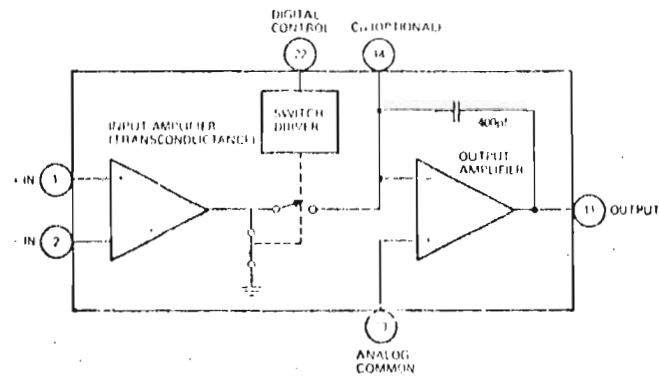
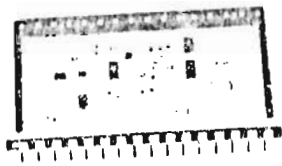
The SHM-6 is a high speed, high accuracy sample-hold circuit manufactured with thin film hybrid technology. This design offers the speed and performance of modular sample-holds with the compactness and integrity of advanced hybrid techniques. The unit's excellent high speed characteristics include a guaranteed acquisition time of 800 nsec to 0.1% accuracy and 1.0 μ sec to 0.01% for a 10 volt change.

The SHM-6 is a complete sample-hold containing a precision MOS holding capacitor. The input amplifier is an open loop transconductance amplifier which can be externally connected for closed loop gains from ± 1 to ± 10 . In addition to its speed, accuracy and selectable gain, the SHM-6 has an output capability of 50 mA. These features allow this unit to offer an unusual degree of adaptability.

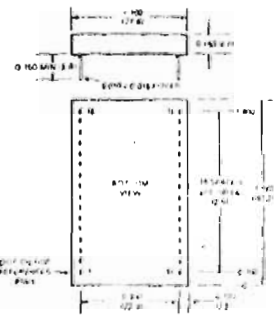
The most frequently utilized configuration of the SHM-6 is a unity gain, noninverting sample-hold. In this mode, the device has a ± 10 V input and output range with $10^6\Omega$ input resistance. Full power bandwidth is 500 KHz, and small signal tracking capability is 5 MHz. The input offset voltage and sample-to-hold error can be adjusted to zero with the use of two external trim pots.

The SHM-6 is a key component in fast data acquisition systems. A 110 KHz throughput rate can be accomplished using the SHM-6 in conjunction with Datel Systems ADC-12 12 bit A/D converter (which offers 8 μ sec maximum conversion time).

The sample hold is housed in a 32-pin ceramic package. Models are available in three operating temperature ranges: 0 to $+70$, -25 to $+85$, and -55 to $+100$ degrees centigrade. High reliability versions of each model are available under Datel Systems' "S" program and MIL-STD-883 level B. For further information on these, contact the factory.



**MECHANICAL DIMENSIONS
INCHES (MM)**



INPUT/OUTPUT CONNECTIONS

PIN	FUNCTION	PIN	FUNCTION
1	IN ₁	17	5 + STEP ADJUST
2	IN ₂	18	5 - STEP ADJUST
3	NC	19	NC
4	OFFSET ADJUST	20	NC
5	IN	21	NC
6	OFFSET ADJ. (W/EN)	22	DIGITAL CONTROL
7	NC	23	NC
8	OFFSET ADJUST	24	+VCC
9	NC	25	NC
10	ANALOG COMMON	26	0V GROUND
11	OUTPUT	27	NC
12	NC	28	+5VCC
13	NC	29	NC
14	OPTIONAL	30	NC
15	NC	31	+5VCC
16	OFFSET ADJUST (W/EN)	32	NC

NOTE: THIS CASE IS COMPLIANT WITH MIL-STD-883C

MAXIMUM RATINGS	
Positive Supply	+18V
Negative Supply	-18V
Logic Supply	+5.0V
Digital Input Voltage	+5.5V
Analog Input Voltage	V _S
Differential Input Voltage	+30V

INPUT AMPLIFIER SPECIFICATIONS	
Offset Voltage	±2 mV
Offset Voltage Tempco	±100 μV/°C
Offset Current	1 nA max
Offset Current vs. Temp.	Doubles every 10°C
Bias Current	10 nA max
Input Resistance	10 ⁹ Ω
Common Mode Voltage Range	±10V min
Common Mode Rejection Ratio	74 dB/min
Open Loop Gain	10 ⁶ V/V
Gain Bandwidth Product	5MHz
Power Supply Rejection Ratio	0.004%/V _S Supply

DIGITAL INPUT CHARACTERISTICS	
Digital Control Logic	DTL TTL
Input Logic Level, Sample Mode	0V to +6.8V @ -3.2 mA
Input Logic Level, Hold Mode	+2.0V to +5.0V @ +80 μA

ANALOG OUTPUT CHARACTERISTICS	
Output Voltage Range	±10V min
Output Current	±50 mA max
Output Resistance	0.1Ω max

SAMPLE HOLD CHARACTERISTICS (Noninverting unity gain)	
Acquisition Time, 10V Step to 0.1%	800 nsec max
Acquisition Time, 10V Step to 0.01%	1 μsec max
Aperture Delay Time	20 nsec
Aperture Uncertainty Time	2 nsec
Sample to Hold Error	Adjustable to Zero
Hold Mode Voltage Droop	10 μV/μsec max
Hold Mode Feedthrough	0.01% max
Offset	Adjustable to Zero
Gain	±1 to ±10
Gain Error	0.01% max
Nonlinearity, V _{OUT} = 10V	0.01% max
Full Power Bandwidth, V _{OUT} = 10V	500 KHz
Slew Rate	40V/μsec

POWER REQUIREMENTS	
Positive Supply	+15 VDC ±0.5V @ 55 mA
Negative Supply	-15 VDC ±0.5V @ 60 mA
Logic Supply	+5 VDC ±0.5V @ 30 mA

PHYSICAL-ENVIRONMENTAL	
Operating Temperature Ranges	
SHM-6GC, MC	0°C to +70°C
SHM-6MR	-25°C to +85°C
SHM-6MM	55°C to +100°C
Storage Temperature Range	-65°C to +175°C
Package Type	32 Pin Ceramic
Pins	Kovar (010 & 018)
Weight	05 Oz (14g)

1. The electrical malfunctions +15V, -15V and +5V supplies, pins 28, 31 and 24 respectively, each be bypassed to ground with 0.1 μF ceramic capacitors connected as close to the pins as possible.
2. Digital Control pins 28 and Analog Control pins 10 are not connected to either internally therefore they must be connected externally as directed. It is strongly recommended that a tie-off plane be run under the circuit board between the connections Analog ground and +15V power ground should be run to pin 14, digital ground and -15V power ground should be run to pin 26.
3. An external holding capacitor can be added to decrease hold mode voltage droop but with consequently longer acquisition time. For temperatures up to +85°C, polystyrene capacitors are recommended, for higher temperatures, polypropylene or teflon capacitors should be used.
4. In the inverting unity gain operating mode, the feedback and input resistors should be carefully matched or trimmed to yield the desired gain of one. In general, the operating parameters are the same as in the noninverting unity gain configuration, except that the sampling bandwidth is reduced by a factor of two. For applications of the SHM-6 with gain greater than one, sampling bandwidth is inversely proportional to gain.
5. Capacitive loads on the output should be limited to 100 pF to maximize acquisition time. The SHM-6 has a ±50 mA current drive capability.
6. This device dissipates approximately 2 watts of power due to the transconductance amplifier. The case to ambient thermal resistance is approximately 25°C per watt. For ambient temperatures above +90°C, care should be taken to maintain air circulation in the vicinity of the case.
7. The adjustment procedures for the SHM-6 are as follows: Ground the input pin and connect the output to a DVM, operate the offset adjustment potentiometer to yield an output of zero as read on the DVM. The sample-hold step adjustment is performed with the input pin grounded and the output connected to an oscilloscope set to 1 mV/cm sensitivity. The digital input pin is driven with a compatible square wave at approximately 250 KHz and the sample-hold step adjustment potentiometer is operated to produce a flat-line output on the oscilloscope.

ORDERING INFORMATION			
MODEL	OPERATING TEMP. RANGE	SEAL	PRICE
SHM-6GC	0°C to +70°C	Epoxy	\$142.00
SHM-6MC	0°C to +70°C	Hermetic	\$153.00
SHM-6MR	25°C to +85°C	Hermetic	\$197.00
SHM-6MM	55°C to +100°C	Hermetic	\$230.00
Trimming Potentiometers TP2K (2 Required Per SHM-6)			\$3.00 ea.
DIL-S-2 Mating Socket (2 Required Per Sample Hold)			\$5.00/Pair

For High Reliability versions of the SHM-6 (air frame and screened to MIL-STD-883 Level B) contact the factory.

THESE SAMPLE-HOLDS ARE COVERED BY GSA CONTRACT.

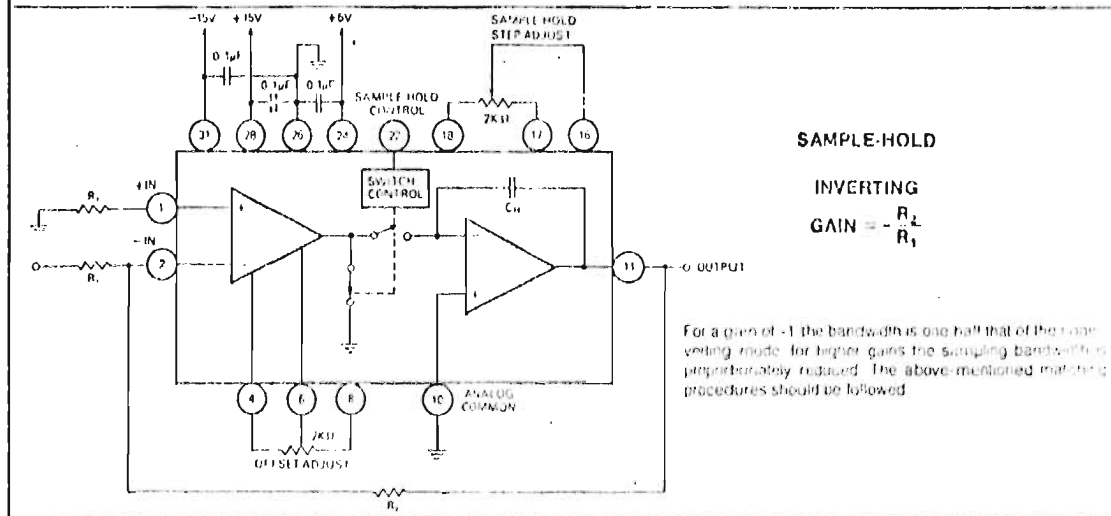
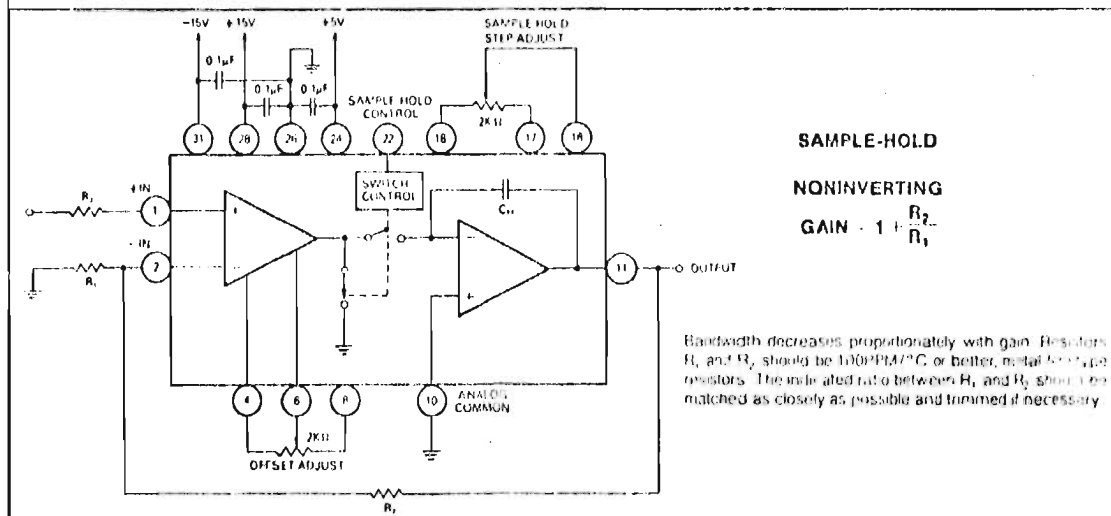
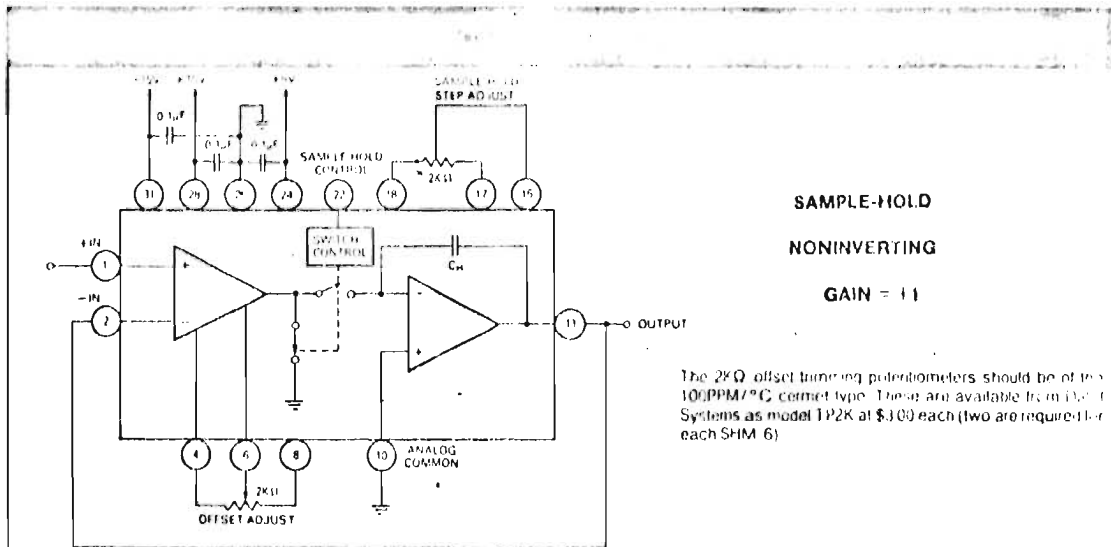
10

10

IN
PULSE
MODE

THROU

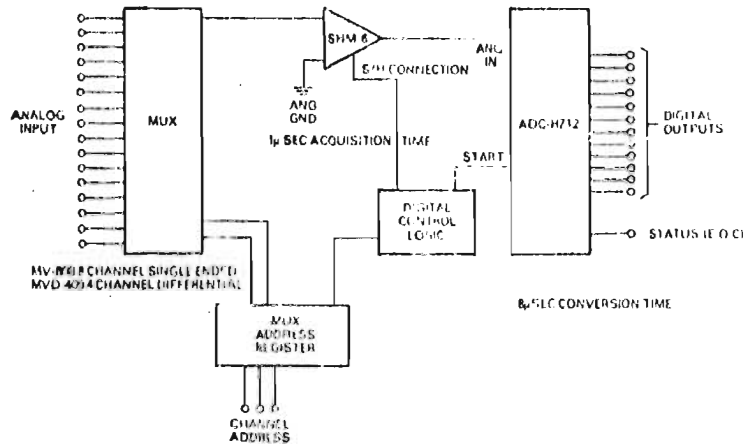
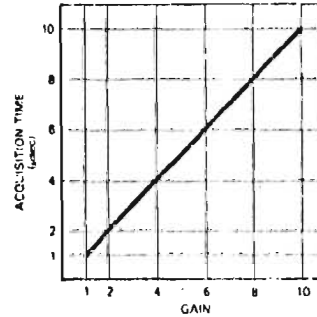
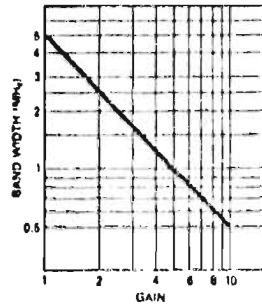
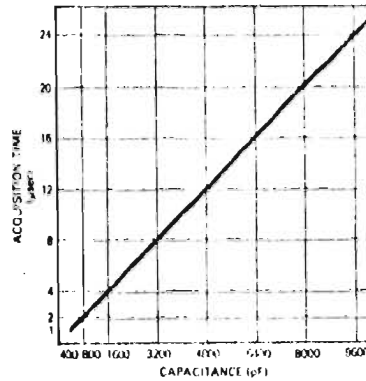
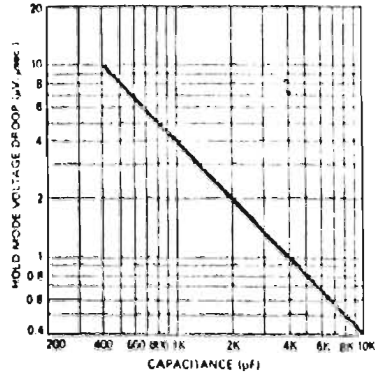
UND.



se of the
an Datal
quired for

Resistors
of this type
should be
necessary

the non-
width is
matching



A high speed data acquisition system employing the SHM-6. The system is capable of a 110 KHz throughput rate with 12 bit resolution. In this system the SHM-6 is used with Datal System ADC-H12, a high speed hybrid 12 bit A/D converter, and Datal's MV-800, a low cost modular analog multiplexer. Use of a low resistance MUX is recommended so that the time constant formed by MUX on-resistance and bus capacitance does not limit the acquisition performance of the SHM-6.

D DATAL

11 CAROL BOULEVARD, MANFELD, MA 01941
 TEL: (617) 708-0500 / (617) 702-4441 / TWX: 210 746 1932 / FAX: 953 1400

PRICES AND SPECIFICATIONS SUBJECT TO CHANGE WITHOUT NOTICE

FEATURES

- ▶ Dielectrically Isolated CMOS
- ▶ Break-Before-Make Switching
- ▶ Single-Ended and Differential
- ▶ Overvoltage Protection
- ▶ DTL/TTL/CMOS Compatible
- ▶ 7.5 mW Standby Power

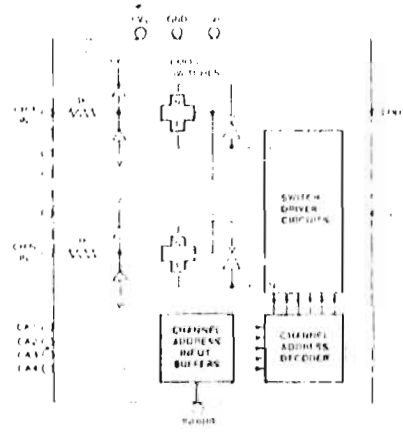
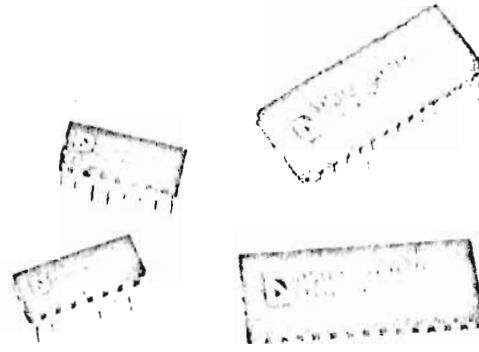
GENERAL DESCRIPTION

The MX series analog multiplexers are 4, 8, and 16 channel monolithic devices manufactured with a dielectrically isolated complementary MOS process. The circuits incorporate analog and digital input protection which protects the units from both overvoltage and loss of power. The digital inputs are DTL/TTL/CMOS compatible and address the proper channel by means of a 2, 3, or 4 bit binary code. An inhibit input enables or disables the entire device and thus permits expansion of the number of channels by using several devices together. Another important feature of these multiplexers is the use of break-before-make switching to insure that no two channels are ever momentarily shorted together.

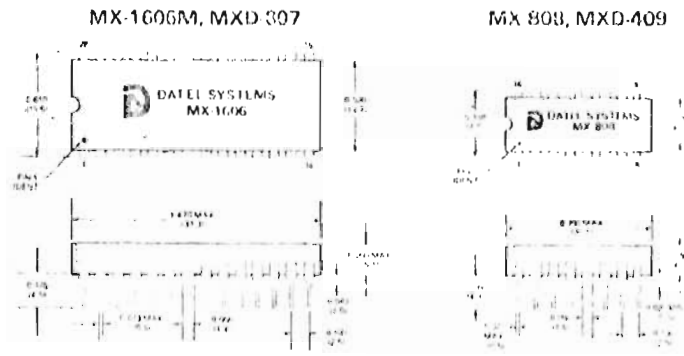
Transfer accuracies of 0.1% can be achieved at channel sampling rates up to 200 kHz and over $\pm 10V$ signal ranges. These multiplexers are ideal for multi-channel data acquisition systems where the multiplexer operates into a high impedance load such as a sample-and-hold, buffer amplifier, or instrumentation amplifier. Channel ON resistance is typically 1.5K at 25°C and is less than 2K over the operating temperature range.

Power consumption is only 7.5 mW at standby and 15 mW at 100 kHz switching rate. Power supply range is $\pm 5V$ to $\pm 20V$. The devices are packaged in 16 pin or 28 pin DIP's and operate over the 0°C to 70°C temperature range.

CAUTION: These are CMOS devices and may be damaged by static discharge. Standard anti-static precautions should be taken to prevent possible damage.



MECHANICAL DIMENSIONS — INCHES (MM)



	MX-808 MX-808M	MX-1606 MX-1606M	MXD-409 MXD-409M	MXD-807 MXD-807M
MAXIMUM RATINGS				
Voltage Between Supply Pins	40V	40V	40V	40V
V _{int} to Ground, V _o to Ground	+20V	+20V	+20V	+20V
Digital Input Overvoltage	+1V to +4V	+1V to +4V	+1V to +4V	+1V to +4V
Analog Input Overvoltage	+1V to +20V	+1V to +20V	+1V to +20V	+1V to +20V
Package Dissipation, max	725 mW	1200 mW	725 mW	1200 mW
ANALOG INPUTS				
Number/Type of Channels	8 Single-end	16 Single-end	4 Differential	8 Differential
Input Voltage Range	+15V	+15V	+15V	+15V
Channel ON Resistance	15 K Ω	15 K Ω	15 K Ω	15 K Ω
Channel ON Resistance, Over Temp	20 K Ω max	20 K Ω max	20 K Ω max	20 K Ω max
Channel OFF Input Leakage	30 pA	30 pA	30 pA	30 pA
Channel OFF Output Leakage	10 nA	10 nA	10 nA	10 nA
Channel ON Leakage	100 pA	100 pA	100 pA	100 pA
Channel OFF Input Capacitance	5 pF	5 pF	5 pF	5 pF
Channel OFF Output Capacitance	25 pF	50 pF	12 pF	25 pF
DIGITAL INPUTS¹				
Logic "0" Threshold	+0.8V, max	+0.8V, max	+0.8V, max	+0.8V, max
Logic "1" Threshold, (TTL) ²	+4.0V, min	+4.0V, min	+4.0V, min	+4.0V, min
Logic "1" Threshold, (CMOS) ³	+6.0V, min	+6.0V, min	—	—
Input Current, High or Low	5 μ A, max	5 μ A, max	5 μ A, max	5 μ A, max
Channel Address Coding	3 Bits	4 Bits	2 Bits	3 Bits
Channel Inhibit, All Channels OFF	Logic 0	Logic 0	Logic 0	Logic 0
PERFORMANCE				
Transfer Error, max	0.1%	0.1%	0.1%	0.1%
Crosstalk, 1 KHz	0.05%	0.05%	0.05%	0.05%
Common Mode Rejection	—	—	120 dB	120 dB
Settling Time ⁴ , 20V step to 0.1%	2 μ sec	2 μ sec	2 μ sec	2 μ sec
Settling Time ⁴ , 20V Step to 0.01%	3 μ sec	3 μ sec	3 μ sec	3 μ sec
Turn ON Time	500 nsec	500 nsec	500 nsec	500 nsec
Turn OFF Time	300 nsec	300 nsec	300 nsec	300 nsec
Break Before Make Delay	80 nsec	80 nsec	80 nsec	80 nsec
Inhibit/Enable Delay	300 nsec	300 nsec	300 nsec	300 nsec
POWER REQUIREMENT				
Rated Power Supply Voltage	+15 VDC	+15 VDC	+15 VDC	+15 VDC
Power Supply Voltage Range	+5V to +20V	+5V to +20V	+5V to +20V	+5V to +20V
Quiescent Current, max	+5.2 mA	+5.2 mA	+5.2 mA	+5.2 mA
Power Consumption, 10 KHz Sampling	7.5 mW	7.5 mW	7.5 mW	7.5 mW
PHYSICAL ENVIRONMENTAL				
Operating Temp. Range, Standard Models	0°C to +70°C	0°C to +70°C	0°C to +70°C	0°C to +70°C
Operating Temp. Range, M Suffix Models	-55°C to +125°C	-55°C to +125°C	-55°C to +125°C	-55°C to +125°C
Storage Temp. Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Package	16 Pin DIP	28 Pin DIP	16 Pin DIP	28 Pin DIP
Price (1-24) 0°C to +70°C Models				
	\$19.00	\$34.00	\$19.00	\$34.00
-55°C to +125°C Models (M suffix)				
	\$57.00	\$78.50	\$57.00	\$78.50
NOTES:				
1 The digital inputs are the channel address inputs and the inhibit input.				
2 To drive both TTL/TTL circuits, 1K pull-up resistors to +5V are recommended. With models MX-1606 and MXD-807, pin 13 should be left open.				
3 For a +6.0V threshold with models MX-1606 and MXD-807, pin 13 is connected to +10V.				
4 With a load impedance of ≥ 100 megohms in parallel with 2 pF.				

PIN CONNECTIONS

MX-808

CA1	1	CA2
INHI	2	IN
1	3	14
CA1	4	11
CA2	5	1
CA3	6	11
CA4	7	11
CA5	8	9

MX-1606

1	1	2	13
2	2	2	14
3	3	3	15
4	4	4	16
5	5	5	17
6	6	6	18
7	7	7	19
8	8	8	20
9	9	9	21
10	10	10	22
11	11	11	23
12	12	12	24
13	13	13	25
14	14	14	26
15	15	15	27
16	16	16	28
17	17	17	29
18	18	18	30
19	19	19	31
20	20	20	32
21	21	21	33
22	22	22	34
23	23	23	35
24	24	24	36
25	25	25	37
26	26	26	38
27	27	27	39
28	28	28	40
29	29	29	41
30	30	30	42
31	31	31	43
32	32	32	44

MXD-409

CA1	1	CA2
INHI	2	IN
1	3	14
CA1	4	11
CA2	5	1
CA3	6	11
CA4	7	11
CA5	8	9

MXD-807

1	1	2	13	CA1
2	2	2	14	V _{BI}
3	3	3	15	INHI
4	4	4	16	CA2
5	5	5	17	CA3
6	6	6	18	CA4
7	7	7	19	CA5
8	8	8	20	CA6
9	9	9	21	CA7
10	10	10	22	CA8
11	11	11	23	CA9
12	12	12	24	CA10
13	13	13	25	CA11
14	14	14	26	CA12
15	15	15	27	CA13
16	16	16	28	CA14
17	17	17	29	CA15
18	18	18	30	CA16
19	19	19	31	CA17
20	20	20	32	CA18
21	21	21	33	CA19
22	22	22	34	CA20
23	23	23	35	CA21
24	24	24	36	CA22
25	25	25	37	CA23
26	26	26	38	CA24
27	27	27	39	CA25
28	28	28	40	CA26
29	29	29	41	CA27
30	30	30	42	CA28
31	31	31	43	CA29
32	32	32	44	CA30

NOTES:

- CA - CHANNEL ADDRESS
- V_{BI} - BUFFER INPUT
- INHI - INHIBIT INPUT
- IN - INPUT
- CA1 - CHANNEL ADDRESS
- CA2 - CHANNEL ADDRESS
- CA3 - CHANNEL ADDRESS
- CA4 - CHANNEL ADDRESS
- CA5 - CHANNEL ADDRESS
- CA6 - CHANNEL ADDRESS
- CA7 - CHANNEL ADDRESS
- CA8 - CHANNEL ADDRESS
- CA9 - CHANNEL ADDRESS
- CA10 - CHANNEL ADDRESS
- CA11 - CHANNEL ADDRESS
- CA12 - CHANNEL ADDRESS
- CA13 - CHANNEL ADDRESS
- CA14 - CHANNEL ADDRESS
- CA15 - CHANNEL ADDRESS
- CA16 - CHANNEL ADDRESS
- CA17 - CHANNEL ADDRESS
- CA18 - CHANNEL ADDRESS
- CA19 - CHANNEL ADDRESS
- CA20 - CHANNEL ADDRESS
- CA21 - CHANNEL ADDRESS
- CA22 - CHANNEL ADDRESS
- CA23 - CHANNEL ADDRESS
- CA24 - CHANNEL ADDRESS
- CA25 - CHANNEL ADDRESS
- CA26 - CHANNEL ADDRESS
- CA27 - CHANNEL ADDRESS
- CA28 - CHANNEL ADDRESS
- CA29 - CHANNEL ADDRESS
- CA30 - CHANNEL ADDRESS

CHANNEL ADDRESSING

MX-1606

8	4	2	1	INHIB.	ON CHANNEL
X	X	X	X	0	NONE
0	0	0	0	1	1
0	0	0	1	1	2
0	0	1	0	1	3
0	0	1	1	1	4
0	1	0	0	1	5
0	1	0	1	1	6
0	1	1	0	1	7
0	1	1	1	1	8
1	0	0	0	1	9
1	0	0	1	1	10
1	0	1	0	1	11
1	0	1	1	1	12
1	1	0	0	1	13
1	1	0	1	1	14
1	1	1	0	1	15
1	1	1	1	1	16

MX 808, MXD-807

4	2	1	INHIB.	ON CHANNEL
X	X	X	0	NONE
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

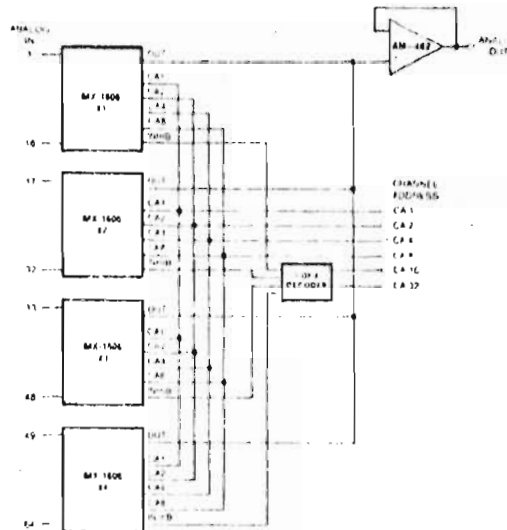
MXD 409

2	1	INHIB.	ON CHANNEL
X	X	0	NONE
0	0	1	1
0	1	1	2
1	0	1	3
1	1	1	4

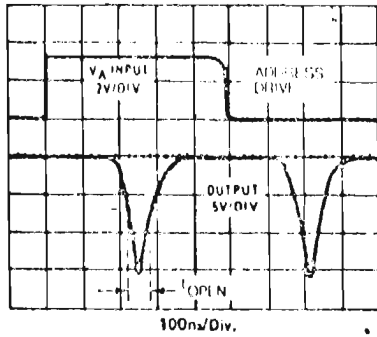
TECHNICAL NOTES

- The transfer accuracy of these multiplexers depends on both the source resistance and the load resistance. With zero source resistance, and assuming 2K ohms max. channel ON resistance, the load impedance should be at least 20 meg ohms to achieve .01% accuracy. In practice it is recommended that a load impedance of at least 100 megohms be used to minimize errors. This can be done by using a good high gain, high CMR operational amplifier as a buffer (such as Datel's AM 462). Source resistance should be kept as low as possible so that accuracy is not affected; less than 1K ohms is recommended. Higher source resistance, in addition to affecting accuracy, will degrade the settling time of the multiplexer.
- For differential operation two buffer amplifiers or a good quality instrumentation amplifier (such as Datel's AM-201) should be used. To maintain high CMR, source impedance unbalance should be kept to a minimum, the highest possible load impedance should be used, and an amplifier with high CMR should be chosen.
- The maximum analog input overvoltage for these models is ±1Vs (+20V). Maximum logic input overvoltage is ±1Vs (+4V).
- Channel expansion is accomplished by use of the inhibit input of the multiplexer. A logic "0" on this input disables the multiplexer. The expansion technique shown in the diagram to the right applies to all of the multiplexer models.
- The reference terminal (V_{BI}) sets the noise immunity level of the input logic for models MX-1606 and MXD-807. In most cases this terminal is left open (TTL inputs). For higher level inputs (+6V min.) this terminal should be connected to +10V. When addressing from DTL/TTL logic it is recommended that 1K ohm pull-up resistors to the +5V supply be used.

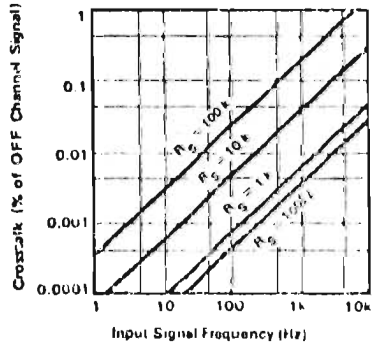
EXPANSION TO 64 CHANNELS



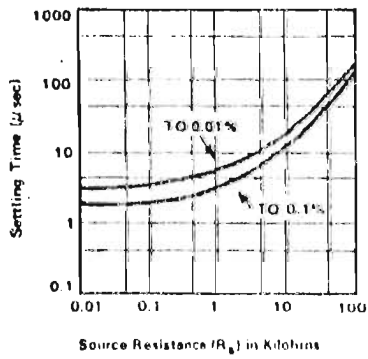
**BREAK-BEFORE MAKE DELAY
(t OPEN)**



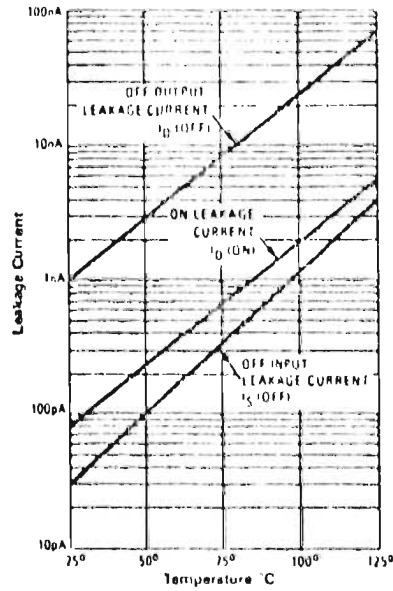
**CROSSTALK VS. FREQUENCY
OF INPUT SIGNAL**



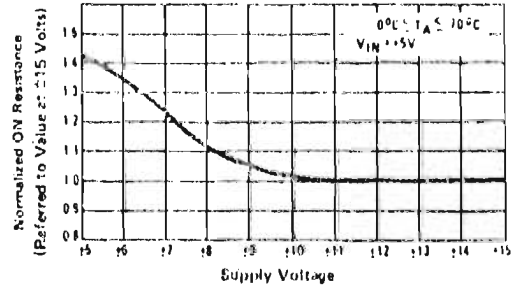
**SETTLING TIME VS. SOURCE
RESISTANCE (20V STEP)**



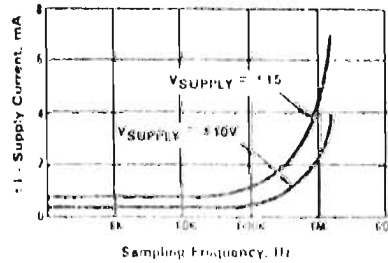
LEAKAGE CURRENT VS. TEMP.



**NORMALIZED ON RESISTANCE
VS. SUPPLY VOLTAGE**



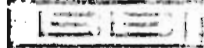
**SUPPLY CURRENT VS.
SAMPLING FREQUENCY**



DATEL

11 CABOT BOULEVARD, MANFIELD, MA 02848
 TEL: (617) 828-8000 / (617) 834-8347 / TWX: 710 340-1113 / FAX: 851-340
 PRICES AND SPECIFICATIONS SUBJECT TO CHANGE WITHOUT NOTICE

BURR-BROWN



ADC82

IC ANALOG-TO-DIGITAL CONVERTERS

FEATURES

- **FAST CONVERSION SPEED** - 2.8µsec. max
Throughput sampling rates of over 300kHz
Faster conversion speeds obtainable with optional external clock
- **COMPLETELY SELF-CONTAINED** - Internal clock, comparator, and reference
- **ABSOLUTE ACCURACY** - No external gain or offset adjustments are required for 0 to +10V or ±10V signal ranges
- **PRECISION** - ±1/2LSB maximum nonlinearity error
- **COMPACT DESIGN** - 24-pin ceramic or metal dual-in-line package
- **LOW COST** - Ceramic packaged ADC82AG

DESCRIPTION

The model ADC82AG and ADC82AM are high-speed, 8-bit successive-approximation A/D converters designed for applications requiring system throughput sampling rates of over 300kHz. They utilize state-of-the-art IC and laser-trimmed thin-film components, and are packaged in a 24-pin ceramic (ADC82AG) or metal (ADC82AM) package.

Thin-film internal scaling resistors are provided for the selection of analog input signal ranges of ±2.5V, ±5V, ±10V, 0 to +5V, 0 to +10V, or 0 to +20V.

No external adjustments are required to obtain initial absolute accuracies of better than ±1LSB for the 0 to +10V or ±10V signal ranges. Gain and offset errors may be externally trimmed to zero, to obtain even greater accuracy.

Data is available in parallel and serial forms with corresponding clock and status signals. All digital input and output signals are TTL-compatible. Power supply voltages are ±15V DC and +5V DC.

International Airport Industrial Park • P.O. Box 11490 • Tucson, Arizona 85724 • Tel. (602) 796-1231 • Fax (602) 622-1331 • Cable BURROB • Telex 854699

© Burr-Brown Instruments Corporation 1979

DS9-101B

Printed in the U.S.A. July 1979

DISCUSSION OF PERFORMANCE

The accuracy of a successive approximation A/D converter is determined by the transfer function shown in Figure 1. All successive approximation A/D converters have an inherent QUANTIZATION ERROR of $\pm 1/2$ LSB. The remaining errors in the A/D converter are combinations of analog errors due to the linear circuitry, matching and tracking properties of the ladder and scaling networks, power supply rejection, and reference errors. In summary, these errors consist of initial errors, including GAIN, OFFSET, LINEARITY, DIFFERENTIAL LINEARITY and POWER SUPPLY SENSITIVITY. Initial GAIN and OFFSET errors may be adjusted to zero. GAIN drift over temperature rotates the line (Figure 1) about the zero or minus full scale point (all bits OFF) and OFFSET drift shifts the line left or right over the operating temperature range. LINEARITY error is unadjustable and is the most meaningful indicator of A/D converter accuracy. LINEARITY error is the deviation of an actual bit transition from the ideal transition value at any level over the range of the A/D converter. A DIFFERENTIAL LINEARITY error of $\pm 1/2$ LSB means that the width of each bit step over the range of the A/D converter is $1 \text{ LSB} \pm 1/2 \text{ LSB}$.

The ADC82 is also MONOTONIC, assuring that the output digital code either increases or remains the same for increasing analog input signals. A monotonic converter can have missing codes; therefore, Burr Brown specifies no missing codes over a temperature range.

TIMING CONSIDERATIONS

The timing diagram of the ADC82 (Figure 2) assumes an analog input such that the positive true digital word 10011101 exists. The output will be complementary as shown in Figure 2 (01100111 is the digital output).

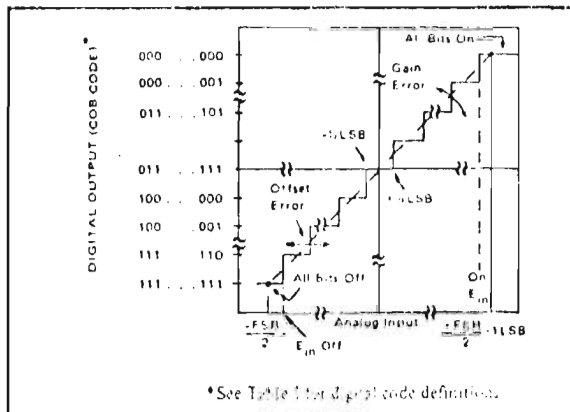


FIGURE 1. Input vs Output For An 8-Bit Successive Approximation A/D Converter.

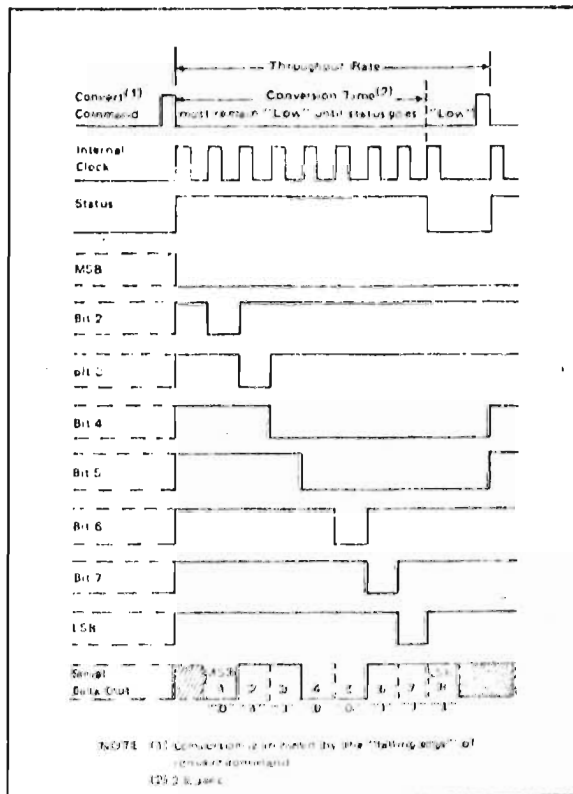


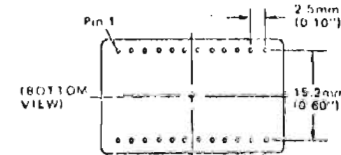
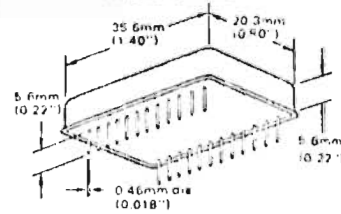
FIGURE 2. ADC82 Timing Diagram.

SPECIFICATIONS

Fig. 11-24. 24V regulated power supply unit with error signal.

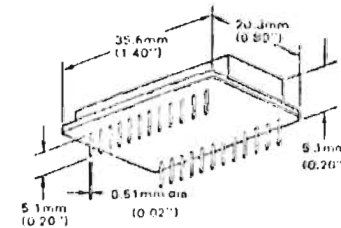
ELECTRICAL			
MODEL	ADC82AG	ADC82AM	UNITS
RESOLUTION	8		bits
INPUT			
ANALOG INPUTS			
Voltage ranges	+2.5, ±5, ±10		V
Input type	0 to +5, 0 to +10, 0 to +20		V
Impedance (Direct Inputs)			
0 to +5V, ±2.5V	3.125		kΩ
0 to +10V, ±5V	6.25		kΩ
0 to +20V, ±10V	12.50		kΩ
DIGITAL INPUTS(1)			
Convert Command	Positive; pulse 50ns wide (min) trailing edge ("1" to "0") initiates conversion		
Logic Loading	1		TTL Load
External Clock	1		TTL Load
TRANSFER CHARACTERISTICS			
ERROR			
Total Accuracy Error (max)(2)	±1		LSB
Gain Error(3)	±0.1		%
Offset Error(3)			
Unipolar	±0.65		% of ISR(2)
Bipolar	±0.05		% of ISR
Linearity Error (max)(4)	±0.2		% of ISR
Inherent Quantization Error	±½		LSB
Differential Linearity Error	±½		LSB
No Missing Codes Temp. Range	0 to 70		°C
Power Supply Sensitivity			
+15V	±0.02		% of ISR/2V
+5V and -15V	±0.006		% of ISR/1V
DRIFT			
Specification Temp. Range	-25 to +85		°C
Gain (max)	±40		ppm/°C
Offset			
Unipolar	±20		ppm of ISR/°C
Bipolar, (max)	±15		ppm of ISR/°C
Linearity (max)	±20		ppm of ISR/°C
Monotonicity	Guaranteed		
CONVERSION SPEED (max)(5)			
2.8			
OUTPUT			
DIGITAL DATA (All codes complementary)			
Parallel			
Output Codes(6)			
Unipolar	CSB, COB, C1C		TTL Loads
Bipolar	5		TTL Loads
Output Drive	CSB, COB		TTL Loads
Serial Data Codes (NRZ)	5		TTL Loads
Output Drive	Logic "1" during conversion		TTL Loads
Status	5		TTL Loads
Status Output Drive	5		TTL Loads
Internal Clock	4		TTL Loads
Clock Output Drive	2.85		MHz
Frequency(7)			
POWER REQUIREMENTS			
Rated Substages	±15, +5		V
Range for Rated Accuracy (8)	+4.75 to +5.25, +14.5 to +15.5		V
Supply Current	±15V		mA
	-15V		mA
	+5V		nA
	-5V		nA
TEMPERATURE RANGE			
Specification	-25 to +85		°C
Operating (rated specs)	-55 to +100		°C
Storage	-55 to +125		°C

MECHANICAL ADC82AM



CASE: Kovar, Gold Plated
 Mating Connector: 24SAC
 PIN: Pin material and plating composition conform to method 2003 (solderability) of Mil Std 883 (except paragraph 3.2)
 WEIGHT: 8 grams (0.28 oz.)

ADC82AG



CASE: Black Ceramic
 Mating Connector: 24SAC
 PIN: Pin material and plating composition conform to method 2003 (solderability) of Mil Std 883 (except paragraph 3.2)
 WEIGHT: 7 grams (0.25 oz.)

1) TTL compatible (i.e., Logic "0" = 0.1V max, Logic "1" = 2.0V min).
 2) For 24V supply, full scale range - for example, unit converted for +10V range has 20V FS.
 3) K₁ and K₂ are ratio with external temp.
 4) Error shown is the same as 1% LSB max. For resolution of A/D converter.
 5) Conversion time with internal clock.

6) See Table I
 CSB - Complementary Binary
 COB - Complementary Offset Binary
 C1C - Complementary Two's Complement
 7) For conversion speed, see pin 4
 8) ±14.0V to ±16.0V for ±0.2% digital accuracy error.

TYPICAL PERFORMANCE CURVES

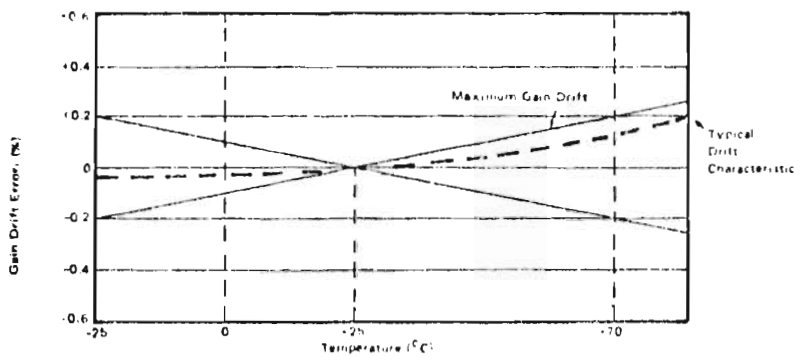


FIGURE 3 Gain Drift Error (%) vs. Temperature.

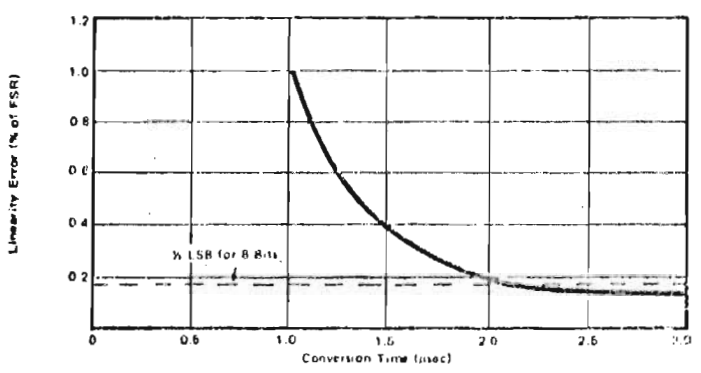


FIGURE 4 Linearity Error vs. Conversion Time.

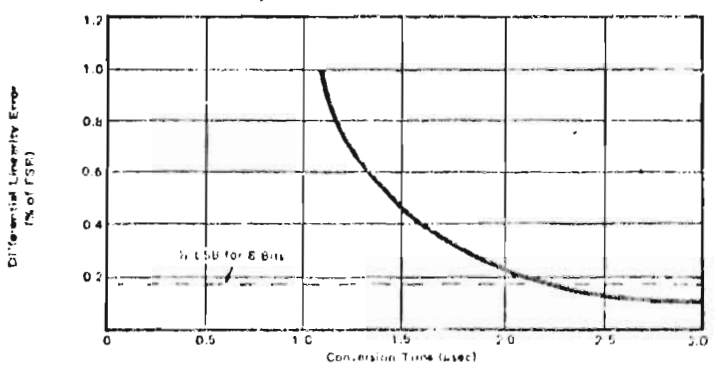
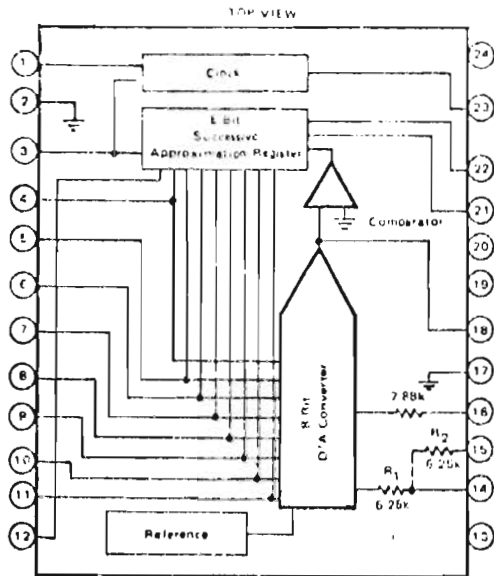


FIGURE 5 Differential Linearity Error vs. Conversion Time



Pin Connections

1. Clock Out	24. +5V
2. Digital Common*	23. Convert Command
3. Status	22. Clock In
4. 8-bit B (LSB)	21. Serial Out
5. 5-bit B	20. -15V
6. 6-bit B	19. +15V
7. 7-bit B	18. Comparator Input
8. 8-bit B	17. Analog Common
9. 9-bit B	16. Bipolar Offset
10. 10-bit B	15. R ₂ (20V Range)
11. Bit 1 (MSB)	14. R ₁ (10V Range)
12. Bit 1 (MSB)	13. Gain Adjust

* Internally connected to case on ADC82AM

DEFINITION OF DIGITAL CODES

PARALLEL DATA

Three binary codes are available on the ADC82 parallel output; they are complementary (logic "0" is true) straight binary (CSB) for unipolar input signal ranges and complementary two's complement (CTC) and complementary offset binary (COB) for bipolar input signal ranges.

Table I describes the LSB, transition values and code definitions for each possible ADC82 analog input signal range.

SERIAL DATA

Two straight binary (complementary) codes are available on the serial output line of the ADC82; they are CSB and COB. The serial data is available only during conversion and appears with the most significant bit (MSB) occurring first. The serial data is synchronous with the internal clock as shown in the timing diagram of Figure 2. The LSB and transition values shown in Table I also apply to the serial data output except for the CTC code.

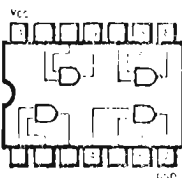
Binary (BIN) Output	INPUT VOLTAGE RANGE AND LSB VALUES						
Analog Input Voltage Ranges	Defined As	±15V	±5V	±2.5V	0 to +10V	0 to +5V	0 to +20V
Code Designation		COB or CTC*	COB or CTC*	COB or CTC*	CSB**	CSB**	CSB**
One Least Significant Bit (LSB)	FSR / 2 ⁿ n = 8	20V / 2 ⁸ 781.3mV	10V / 2 ⁸ 390.6mV	5V / 2 ⁸ 195.3mV	10V / 2 ⁸ 390.6mV	5V / 2 ⁸ 195.3mV	20V / 2 ⁸ 781.3mV
Transition Values							
MSB	LSB						
000 ... 000***	Full Scale	-10V - 3/2LSB	+5V - 3/2LSB	-2.5V - 3/2LSB	-10V - 3/2LSB	+5V - 3/2LSB	+20V - 3/2LSB
011 ... 111	Mid Scale	0	0	0	+5V	+2.5V	+10V
111 ... 110	Full Scale	-10V + 3/2LSB	+5V + 3/2LSB	+2.5V + 3/2LSB	0 + 3/2LSB	0 + 3/2LSB	0 + 3/2LSB
* COB = Complementary Offset Binary; ** CSB = Complementary Straight Binary; *** Bit the Transition Bit							*** Bit the Transition Bit
* CTC = Complementary Two's complement; complement of the most significant bit (MSB). COB is available on pin 12.							*** Voltages given are the nominal value for ranges shown on the corresponding pin.

TABLE I. Input Voltages, Transition Values, LSB Values, and Code Definitions.

QUAD 2-INPUT NAND GATE

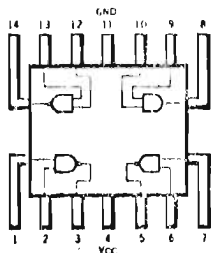
LOGIC AND CONNECTION DIAGRAM

DIP (TOP VIEW)

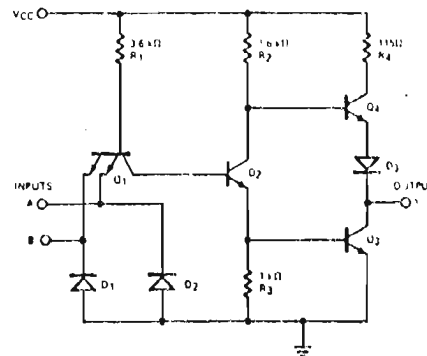


Positive logic: $Y = \overline{AB}$

FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM (EACH GATE)



Component values shown are typical

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N00XM/5400XM			9N00XC/7400XC			UNIT
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}C$
Normalized Fan-Out from Each Output, N			10			10	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage	1
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage	2
V_{OH}	Output HIGH Voltage	2.4	3.3		Volts	$V_{CC} = \text{MIN.}, I_{OH} = 0.4 \text{ mA}, V_{IN} = 0.5 \text{ V}$	2
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IN} = 2.0 \text{ V}$	1
I_{IH}	Input HIGH Current			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	Each Input 4
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
I_{IL}	Input LOW Current			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$, Each Input	3
I_{OS}	Output Short Circuit Current (Note 3)	-20		-55	mA	$V_{CC} = \text{MAX.}$	5
		-18		-55	mA		
I_{CCH}	Supply Current HIGH		4.0	8.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$	6
I_{CCL}	Supply Current LOW		12	22	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.0 \text{ V}$	6

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}C$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
t_{PLH}	Turn Off Delay Input to Output		11	22	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 16 \text{ pF}$ $R_L = 400 \Omega$	4
t_{PHL}	Turn On Delay Input to Output		7.0	15	ns		

NOTES:

(1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.

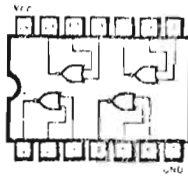
(2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}C$.

(3) Note more than one output should be shorted at a time.

QUAD 2-INPUT NOR GATE

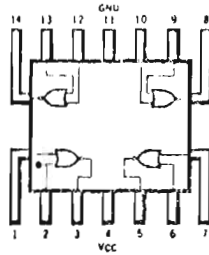
LOGIC AND CONNECTION DIAGRAM

DIP (TOP VIEW)

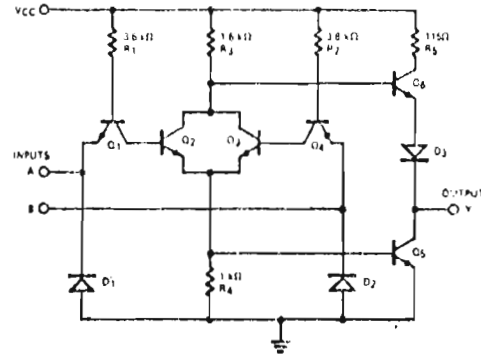


Positive logic: $Y = \overline{A+B}$

FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM (EACH GATE)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N02XM/5402XM			9N02XC/7402XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}C$
Normalized Fan-Out from Each Output, N			10			10	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage	9
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage	9
V_{OH}	Output HIGH Voltage	2.4	3.3		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.4 \text{ mA}, V_{IN} = 0.8 \text{ V}$	9
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IN} = 2.0 \text{ V}$	10
I_{IH}	Input HIGH Current			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	Each Input 12
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
I_{IL}	Input LOW Current			-1.5	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$, Each Input	11
I_{OS}	Output Short Circuit Current (Note 3)	-20		-55	mA	$V_{CC} = \text{MAX.}$	13
		18		-65	mA		
I_{CCH}	Supply Current HIGH		8.0	16	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$	14
I_{CC1}	Supply Current LOW		14	27	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.0 \text{ V}$	14

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}C$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
t_{PLH}	Turn Off Delay Input to Output		12	22	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ $R_L = 490 \Omega$	A
t_{PHL}	Turn On Delay Input to Output		8.0	15	ns		

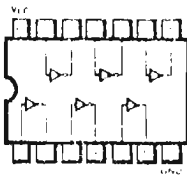
NOTES:

- (1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the specific device type.
- (2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}C$.
- (3) Not more than one output should be shorted (i.e. limit).

HEX INVERTER

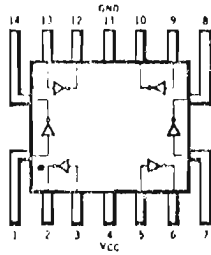
LOGIC AND CONNECTION DIAGRAM

DIP (TOP VIEW)

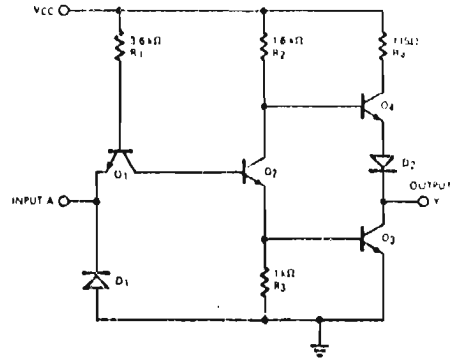


Positive logic: $Y = \bar{A}$

FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM (EACH INVERTER)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N04XM/5404XM			9N04XC/7404XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}C$
Normalized Fan Out from Each Output, N			10			10	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage	15
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage	16
V_{OH}	Output HIGH Voltage	2.4	3.3		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.4 \text{ mA}, V_{IN} = 0.8 \text{ V}$	18
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IN} = 2.0 \text{ V}$	15
I_{IH}	Input HIGH Current			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	18
I_{IL}	Input LOW Current			1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
I_{IL}	Input LOW Current			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	18
I_{OS}	Output Short Circuit Current (Note 3)	-20		-55	mA	$V_{CC} = \text{MAX.}$	19
		-18		-55	mA		
I_{CCH}	Supply Current HIGH		6.0	12	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$	20
I_{CCL}	Supply Current LOW		18	33	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.0 \text{ V}$	20

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}C$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
t_{PLH}	Turn Off Delay Input to Output		12	22	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ $R_L = 400\Omega$	A
t_{PHL}	Turn On Delay Input to Output		8.0	15	ns		

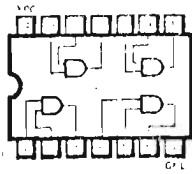
NOTES:

- (1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- (2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}C$.
- (3) Not more than one output should be shorted at a time.

QUAD 2-INPUT AND GATE

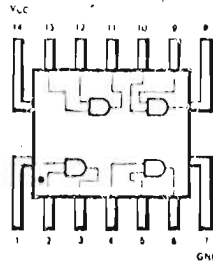
LOGIC AND CONNECTION DIAGRAM

DIP (TOP VIEW)

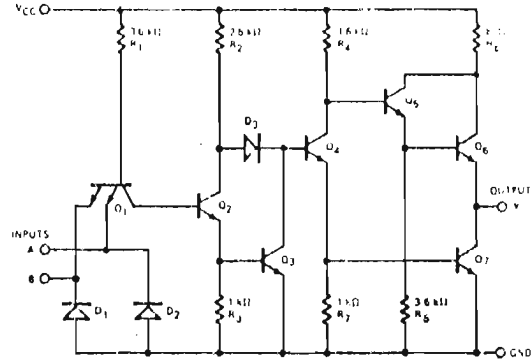


Positive logic: $Y = AB$

FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM (EACH GATE)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N08XM/5408XM			9N08XC/7408XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}C$
Normalized Fan Out from Each Output, N			10			10	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage	75
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage	77
V_{OH}	Output HIGH Voltage	2.4			Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.8 \text{ mA}, V_{IH} = 2.0 \text{ V}$	75
V_{OL}	Output LOW Voltage			0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IL} = 0.8 \text{ V}$	77
I_{IH}	Input HIGH Current			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	Each Input 78
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
I_{iL}	Input LOW Current			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	Each Input 79
I_{OS}	Output Short Circuit Current (Note 3)	-40		-100	mA	$V_{CC} = \text{MAX.}$	80
I_{CCH}	Supply Current HIGH			20	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5 \text{ V}$	81
I_{CCL}	Supply Current LOW			32	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$	81

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}C$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
t_{PLH}	Turn Off Delay Input to Output		17.5	40	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ $R_L = 400 \Omega$	L
t_{PHL}	Turn On Delay Input to Output		12	25	ns		

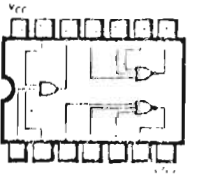
NOTES:

- (1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- (2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}C$.
- (3) Not more than one output should be shorted at a time.

TRIPLE 3-INPUT NOR GATE

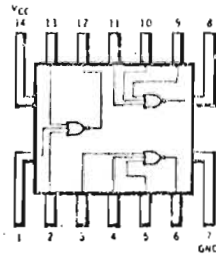
LOGIC AND CONNECTION DIAGRAM

DIP (TOP VIEW)

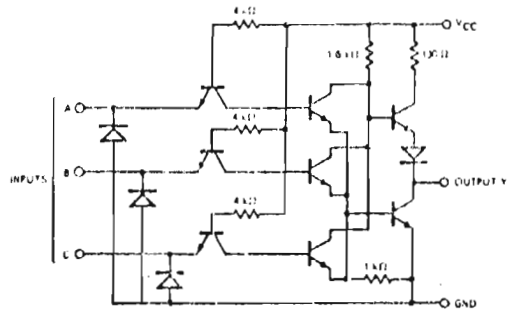


Positive logic. $Y = \overline{A+B+C}$

FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM (EACH GATE)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N27XM/5427XM			9N27XC/7427XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free Air Temperature Range	-55	25	125	0	25	70	$^{\circ}C$
Normalized Fan Out from Each Output, N	HIGH Level		20			20	U.L.
	LOW Level		10			10	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN.	TYP. (Note 2)	MAX.		
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage
V_{CD}	Input Clamp Diode Voltage			-1.5	Volts	$V_{CC} = \text{MIN.}, I_I = -12 \text{ mA}$
V_{OH}	Output HIGH Voltage	2.4	3.3		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.8 \text{ mA}, V_{IL} = 0.8 \text{ V}$
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IH} = 2.0 \text{ V}$
I_I	Input Current at Max. Input Vol.			1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$
I_{IH}	Input HIGH Current			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$
I_{IL}	Input LOW Current			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$
I_{OS}	Output Short Circuit Current (Note 3)	-20		-25	mA	$V_{CC} = \text{MAX.}$
		-18		-55	mA	
I_{CCH}	Supply Current HIGH		10	16	mA	$V_{CC} = \text{MAX.},$ (Note 4)
I_{CCL}	Supply Current LOW		16	26	mA	$V_{CC} = \text{MAX.},$ (Note 5)

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}C$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN.	TYP.	MAX.		
t_{PLH}	Turn Off Delay Input to Output		10	15	ns	$V_{CC} = 5.0 \text{ V}$
t_{PHL}	Turn On Delay Input to Output		7.0	11	ns	$C_L = 15 \text{ pF}$ $R_L = 400 \Omega$

NOTES:

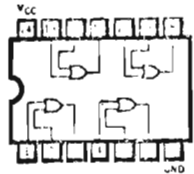
- (1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- (2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}C$.
- (3) Not more than one output should be shorted at a time.
- (4) Measured with all inputs grounded, and outputs open.
- (5) Measured with one input of each gate at 4.5 V, all remaining inputs grounded, and outputs open.

FAIRCHILD TTL/SSI • 9N32/5432, 7432

QUAD 2-INPUT OR GATE

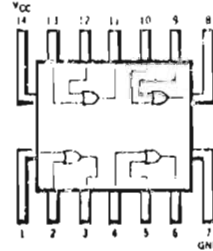
LOGIC AND CONNECTION DIAGRAM

DIP (TOP VIEW)

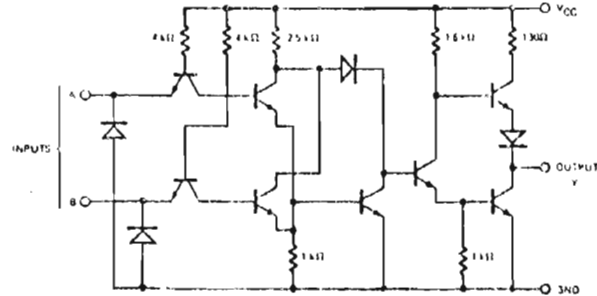


Positive logic: $Y = A + B$

FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM
(EACH GATE)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N32XM/5432XM			9N32XC/7432XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	°C
Normalized Fan Out from Each Output, N	HIGH Level		20			20	U.L.
	LOW Level		10			10	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN.	TYP. (Note 2)	MAX.		
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage
V_{CD}	Input Clamp Diode Voltage			-1.5	Volts	$V_{CC} = \text{MAX.}, I_I = -12 \text{ mA}$
V_{OH}	Output HIGH Voltage	2.4	5.5		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.8 \text{ mA}, V_{IH} = 2.0 \text{ V}$
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IL} = 0.8 \text{ V}$
I_I	Input Current at Maximum Input Voltage			1.0	mA	$V_{CC} = \text{MAX.}, V_{IH} = 5.5 \text{ V}$
I_{IH}	Input HIGH Current			40	μA	$V_{CC} = \text{MAX.}, V_{IH} = 2.5 \text{ V}$
I_{IL}	Input LOW Current			-16	μA	$V_{CC} = \text{MAX.}, V_{IL} = 0.4 \text{ V}$
I_{OS}	Output Short Circuit Current (Note 3)	-20		-55	mA	$V_{CC} = \text{MAX.}$
		-18		-55	mA	
I_{CCH}	Supply Current HIGH		15	22	mA	$V_{CC} = \text{MAX.},$ (Note 4)
I_{CCL}	Supply Current LOW		23	36	mA	$V_{CC} = \text{MAX.},$ (Note 5)

SWITCHING CHARACTERISTICS ($I_A = 25^\circ\text{C}$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN.	TYP.	MAX.		
t_{PLH}	Turn Off Delay Input to Output		10	15	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
t_{PHL}	Turn On Delay Input to Output		14	22	ns	$R_L = 100\Omega$

NOTES:

1) For conditions shown as MIN. or MAX., use the appropriate value specified under "Recommended Operating Conditions" for the applicable device type.

2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^\circ\text{C}$.

3) Input and output waveforms should be square waves.

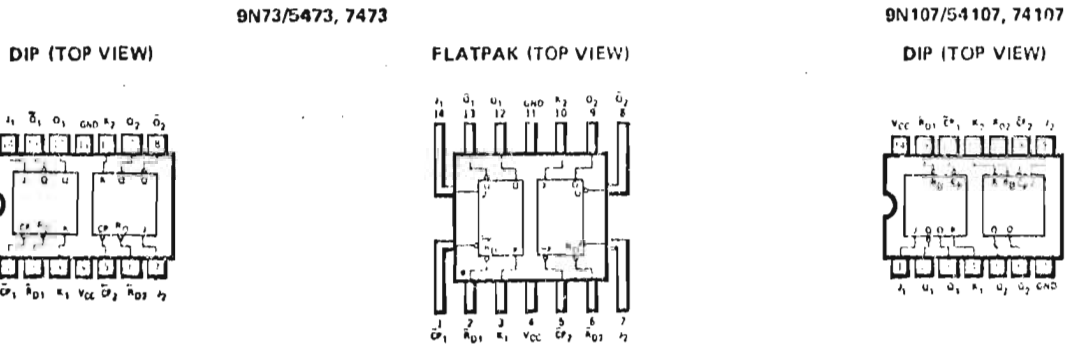
4) Measured with one input at each of the 0, 1, 5, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100.

5) Measured with both inputs at all valid logic levels.

DUAL JK MASTER/SLAVE FLIP-FLOP WITH SEPARATE CLEARS AND CLOCKS

DESCRIPTION — The TTL/SSI 9N73/5473, 7473 and 9N107/54107, 74107 are Dual JK Master/Slave flip flops with a separate clear and a separate clock for each flip-flop. Inputs to the master section are controlled by the clock pulse. The clock pulse also regulates the state of the coupling transistors which connect the master and slave sections. The sequence of operation is as follows: 1) Isolate slave from master. 2) Enter information from J and K inputs to master. 3) Disable J and K inputs. 4) Transfer information from master to slave.

LOGIC AND CONNECTION DIAGRAM

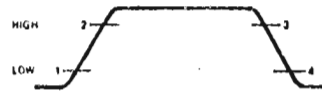


Positive logic:
 LOW input to clear sets Q to LOW level
 Clear is independent of clock

TRUTH TABLE

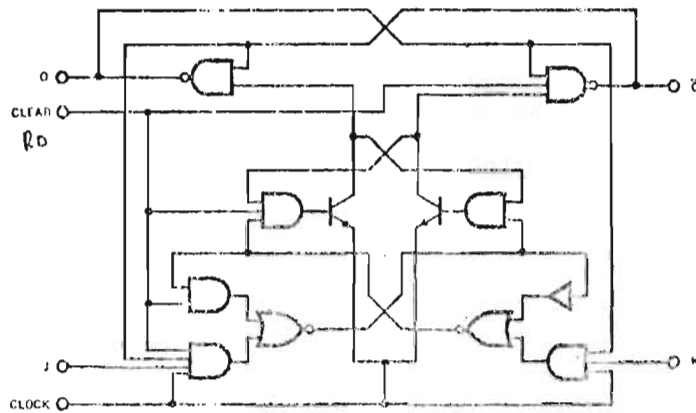
t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

CLOCK WAVEFORM



NOTES:
 t_n = Bit time before clock pulse.
 t_{n+1} = Bit time after clock pulse.

LOGIC DIAGRAM
 (EACH FLIP-FLOP)



FAIRCHILD TTL/SSI • 9N73/5473, 7473 • 9N107/54107, 74107

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N73XM/5473XM 9N107XM/54107XM			9N73XC/7473XC 9N107XC/74107XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}$ C
Normalized Fan Out from Each Output, N			10			10	U.L.
Width of Clock Pulse, $t_p(\text{clock})$ (See Fig. E)	20			20			ns
Width of Clear Pulse, $t_p(\text{clear})$ (See Fig. F)	25			25			ns
Input Setup Time, t_{setup} (See Fig. E)	$> t_p(\text{clock})$			$> t_p(\text{clock})$			
Input Hold Time, t_{hold}	0			0			

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH	46 & 47
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW	46 & 47
V_{OH}	Output HIGH Voltage	2.4	3.5		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.4 \text{ mA}$	46
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}$	47
I_{IH}	Input HIGH Current at J or K			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	49
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
	Input HIGH Current at Clock or Clear			80	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	49
			1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$		
I_{IL}	Input LOW Current at J or K			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	48
	Input LOW Current at Clear or Clock			-3.2	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	48
I_{OS}	Output Short Circuit Current (Note 3)	-20		-67	mA	9N73/5473; 9N107/54107 $V_{CC} = \text{MAX.}$	60
		-18		-67	mA	9N73/7473; 9N107/74107 $V_{IN} = 0 \text{ V}$	
I_{CC}	Supply Current		20	40	mA	$V_{CC} = \text{MAX.}$	49

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}\text{C}$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
f_{max}	Maximum Clock Frequency	15	20		MHz	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ $R_L = 400\Omega$	E
t_{PLH}	Turn Off Delay Clear to Output		16	25	ns		F
t_{PHL}	Turn On Delay Clear to Output		25	40	ns		F
t_{PLH}	Turn Off Delay Clock to Output	10	16	25	ns		E
t_{PHL}	Turn On Delay Clock to Output	10	25	40	ns		E

NOTES:

- (1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- (2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}\text{C}$.
- (3) Not more than one output should be started at a time.

DUAL D TYPE EDGE TRIGGERED FLIP-FLOP

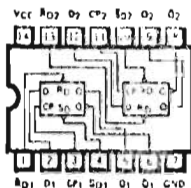
DESCRIPTION – The 9N74/5474, 7474 are edge triggered dual D type flip-flops with direct clear and preset inputs and both Q and \bar{Q} outputs. Information at the input is transferred to the outputs on the positive edge of the clock pulse. They are designed for use in medium to high speed applications.

Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive going pulse. After the clock input threshold voltage has been passed, the data input (D) is locked out and information present will not be transferred to the output.

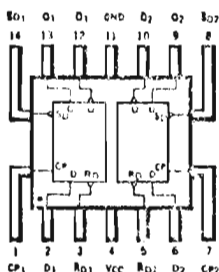
The 9N74/5474, 7474 have the same clocking characteristics as the 9N70/5470, 7470 gated (edge triggered) flip-flop circuits. They can result in a significant saving in system power dissipation and package count in applications where input gating is not required.

LOGIC AND CONNECTION DIAGRAM

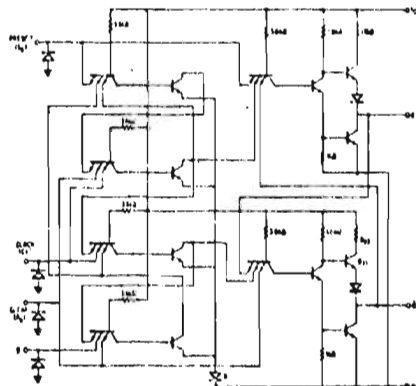
DIP (TOP VIEW)



FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM (EACH FLIP-FLOP)



Component values shown are typical.

Positive logic:

- LOW input to preset sets Q to HIGH level
- LOW input to clear gets Q to LOW level
- Preset and clear are independent of clock

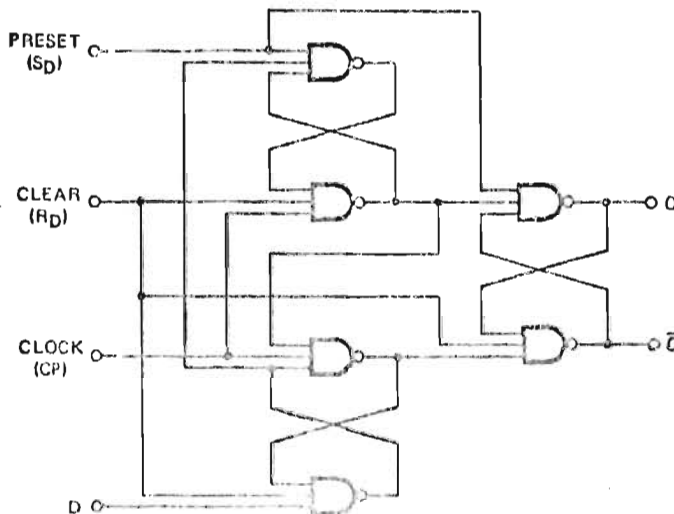
TRUTH TABLE (Each Flip-Flop)

t_n	t_{n+1}	
INPUT	OUTPUT	OUTPUT
D	Q	\bar{Q}
L	L	H
H	H	L

NOTES:

- t_n = bit time before clock pulse.
- t_{n+1} = bit time after clock pulse.

LOGIC DIAGRAM (EACH FLIP-FLOP)



FAIRCHILD TTL/SSI • 9N74/5474, 7474

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N74XM/5474XM			9N74XC/7474XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}C$
Normalized Fan Out from Each Output, N			10			10	U.L.
Width of Clock Pulse, $t_p(\text{clock})$ (See Fig. G)	30			30			ns
Width of Preset Pulse, $t_p(\text{preset})$ (See Fig. C)	30			30			ns
Width of Clear Pulse, $t_p(\text{clear})$ (See Fig. C)	30			30			ns

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH	52 & 53
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW	52 & 53
V_{OH}	Output HIGH Voltage	2.4	3.5		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.4 \text{ mA}$	52
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}$	53
I_{IH}	Input HIGH Current at D			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	55
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
	Input HIGH Current at Preset or Clock			80	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	55
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
I_{IL}	Input LOW Current at Preset or D			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	54
				-3.2	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	
I_{OS}	Output Short Circuit Current (Note 3)	-20		-57	mA	9N74/5474 $V_{CC} = \text{MAX.}$	56
		-18		-57	mA	9N74/7474 $V_{IN} = 0 \text{ V}$	
I_{CC}	Supply Current		17	30	mA	$V_{CC} = \text{MAX.}$	55

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}C$)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
f_{max}	Maximum Clock Frequency	15	25		MHz	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ $R_L = 400\Omega$	G
t_{setup}	Maximum Input Setup Time		15	20	ns		G
t_{hold}	Maximum Input Hold Time		2.0	5.0	ns		G
t_{PLH}	Turn Off Delay Clear or Preset to Output			25	ns		C
t_{PHL}	Turn On Delay Clear or Preset to Output			40	ns		C
t_{PLH}	Turn Off Delay Clock to Output	10	14	25	ns		G
t_{PHL}	Turn On Delay Clock to Output	10	20	40	ns		G

NOTES:

- 1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- 2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}C$.
- 3) Not more than one output should be shorted at a time.

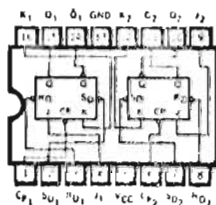
DUAL JK MASTER/SLAVE FLIP-FLOP WITH SEPARATE PRESETS, CLEARS AND CLOCKS

DESCRIPTION— The TTL/SSI 9N76/5476, 7476 is a Dual JK Master/Slave flip-flop with separate presets, separate clears and separate clocks. Inputs to the master section are controlled by the clock pulse. The clock pulse also regulates the state of the coupling transistors which connect the master and slave sections. The sequence of operation is as follows: 1) Isolate slave from master. 2) Enter information from J and K inputs to master. 3) Disable J and K inputs. 4) Transfer information from master to slave.

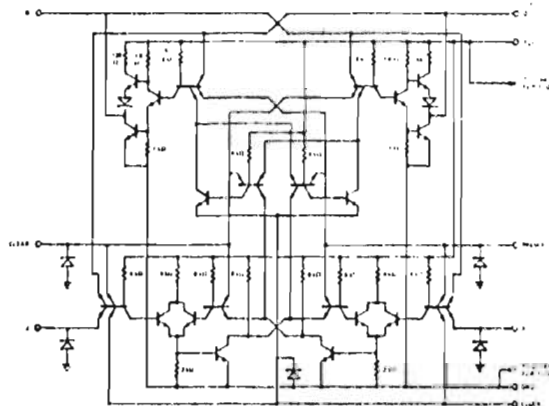
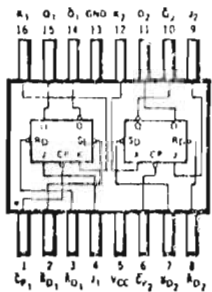
LOGIC AND CONNECTION DIAGRAM

SCHEMATIC DIAGRAM (EACH FLIP-FLOP)

DIP (TOP VIEW)



FLATPAK (TOP VIEW)



Positive logic:
 LOW input to preset sets Q to HIGH level
 LOW input to clear sets Q to LOW level
 Clear and preset are independent of clock

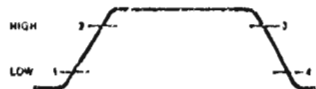
Component values shown are typical.

TRUTH TABLE

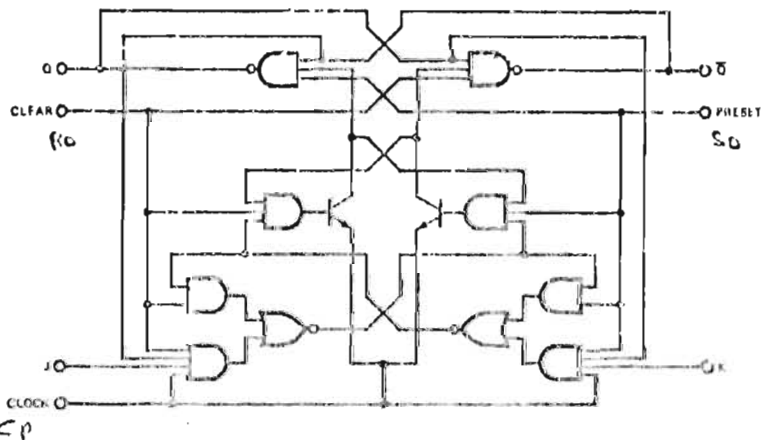
t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

NOTES:
 t_n = Bit time before clock pulse.
 t_{n+1} = Bit time after clock pulse.

CLOCK WAVEFORM



LOGIC DIAGRAM (EACH FLIP-FLOP)



RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N76XM/5476XM			9N76XC/7476XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}$ C
Normalized Fan Out from Each Output, N			10			10	U.L.
Width of Clock Pulse, $t_p(\text{clock})$ (See Fig. E)	20			20			ns
Width of Preset Pulse, $t_p(\text{preset})$ (See Fig. F)	25			25			ns
Width of Clear Pulse, $t_p(\text{clear})$ (See Fig. F)	25			25			ns
Input Setup Time, t_{setup} (See Fig. E)	$\geq t_p(\text{clock})$			$\geq t_p(\text{clock})$			
Input Hold Time, t_{hold}	0			0			

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
V_{IH}	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH	46 & 47
V_{IL}	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW	46 & 47
V_{OH}	Output HIGH Voltage	2.4	3.5		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.4 \text{ mA}$	46
V_{OL}	Output LOW Voltage		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}$	47
I_{IH}	Input HIGH Current at J or K			40	μ A	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	49
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
I_{IL}	Input LOW Current at Clear, Preset, or Clock			80	μ A	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	49
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
I_{IL}	Input LOW Current at J or K			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	48
				-3.2	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	
I_{OS}	Output Short Circuit Current (Note 3)	-20		-57	mA	9N76/5476 $V_{CC} = \text{MAX.}$	51
		-18		-57	mA	9N76/7476 $V_{IN} = 0 \text{ V}$	
I_{CC}	Supply Current		20	40	mA	$V_{CC} = \text{MAX.}$	49

SWITCHING CHARACTERISTICS ($T_A = 25^{\circ}$ C)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
f_{max}	Maximum Clock Frequency	15	20		MHz	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ $R_L = 400\Omega$	E
t_{PLH}	Turn Off Delay Clear or Preset to Output		16	25	ns		F
t_{PHL}	Turn On Delay Clear or Preset to Output		25	40	ns		F
t_{PLH}	Turn Off Delay Clock to Output	10	16	25	ns		E
t_{PHL}	Turn On Delay Clock to Output	10	25	40	ns		E

NOTES:

(1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.

(2) Typical limits are at $V_{CC} = 5.0 \text{ V}, 25^{\circ}$ C.

(3) Note more than one output should be shorted at a time.

TTL/MONOSTABLE 9602

DUAL RETRIGGERABLE RESETTABLE MONOSTABLE MULTIVIBRATOR

DESCRIPTION — The TTL/Monostable 9602 Dual Retriggerable, Resettable Monostable Multivibrator provides an output pulse whose duration and accuracy is a function of external timing components. The 9602 has excellent immunity to noise on the V_{CC} and ground lines. The 9602 uses TTL inputs and outputs for high speed and high fanout capability and is compatible with all members of the standard TTL family.

- 2 ns TO ∞ OUTPUT WIDTH RANGE
- RETRIGGERABLE 0 TO 100% DUTY CYCLE
- TTL INPUT GATING — LEADING OR TRAILING EDGE TRIGGERING
- COMPLEMENTARY TTL OUTPUTS
- OPTIONAL RETRIGGER LOCK-OUT CAPABILITY
- PULSE WIDTH COMPENSATED FOR V_{CC} AND TEMPERATURE VARIATIONS
- RESETTABLE

ABSOLUTE MAXIMUM RATINGS (above which the useful life may be impaired)

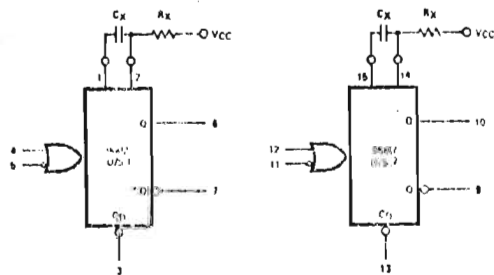
Storage Temperature	-65°C to +150°C
Temperature (Ambient) Under Bias	-55°C to +125°C
V_{CC} Pin Potential to Ground (See Note 1)	-0.5 V to +8.0 V
Input Voltage (dc) (See Note 2)	-0.5 V to +5.5 V
Input Current (See Note 2)	-30 mA to +5.0 mA
Voltage Applied to Output When Output is HIGH	-0.5 V to + V_{CC} value
Current into Output When Output is LOW	50 mA

NOTES:

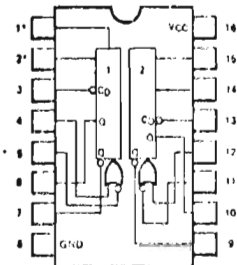
The maximum V_{CC} value of 8.0 volts is not the primary factor in determining the maximum V_{CC} which may be applied to a number of interconnected devices. The voltage at a HIGH output is approximately 1 V_{CC} below the V_{CC} voltage, so the primary limit on the V_{CC} is that the voltage at any input may not go above 5.5 V unless the current is limited. This effectively limits the system V_{CC} to approximately 7.0 volts.

Because of the input clamp diodes, excess current can be drawn out of the inputs if the dc input voltage is more negative than -0.5 V. The diode is designed to clamp off large negative ac swings associated with fast fall times and long lines. This maximum rating is intended only to limit the steady state input voltage and current.

LOGIC DIAGRAM

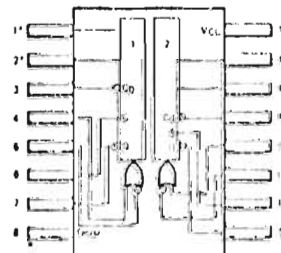


**CONNECTION DIAGRAMS
DIP (TOP VIEW)**



*Pins for external timing.

FLATPAK (TOP VIEW)



*Pins for external timing.

FAIRCHILD TTL/MONOSTABLE • 9602

TABLE I - ELECTRICAL CHARACTERISTICS ($T_A = -55^{\circ}\text{C}$ to 125°C , $V_{CC} = 5\text{ V} \pm 10\%$) (Part No. 9602XM)*

IOL	PARAMETER	LIMITS						UNITS	CONDITIONS (Note 1)	
		-55°C		$+25^{\circ}\text{C}$			$+125^{\circ}\text{C}$			
		MIN.	MAX.	MIN.	TYP.	MAX.	MIN.			MAX.
	Output HIGH Voltage	2.4		2.4	3.3		2.4	Volts	$V_{CC} = 4.5\text{ V}$, $I_{OH} = -0.95\text{ mA}$ (Note 2)	
	Output LOW Voltage		0.4		0.2	0.4		Volts	$V_{CC} = 4.5\text{ V}$, $I_{OL} = 9.92\text{ mA}$ (Note 2) $V_{CC} = 5.5\text{ V}$, $I_{OL} = 12.8\text{ mA}$	
	Input HIGH Voltage	2.0		1.7			1.5	Volts	Guaranteed Input HIGH Threshold Voltage	
	Input LOW Voltage		0.85				0.85	Volts	Guaranteed Input LOW Threshold Voltage	
	Input LOW Current		-1.6		-1.1	-1.6		-1.6	mA	$V_{CC} = 5.5\text{ V}$, $V_{IN} = 0.4\text{ V}$
				-1.24		-0.97	-1.24		-1.24	mA
	Input HIGH Current				10	60		60	μA	$V_{CC} = 5.5\text{ V}$, $V_{IN} = 4.5\text{ V}$
	Short Circuit Current								mA	$V_{CC} = 5.5\text{ V}$, $V_{OUT} = 1.0\text{ V}$ (Note 2)
	Quiescent Power Supply Drain		45		39	45		45	mA	$V_{CC} = 5.0\text{ V}$
F	Negative Trigger Input to True Output				26	35			ns	$V_{CC} = 5.0\text{ V}$ $R_X = 5.0\text{ k}\Omega$ $C_X = 0$, $C_L = 15\text{ pF}$
L	Negative Trigger Input to Complement Output				29	43			ns	$V_{CC} = 5.0\text{ V}$ $R_X = 5.0\text{ k}\Omega$ $C_X = 0$, $C_L = 15\text{ pF}$
n)	Minimum True Output Pulse Width				72	90			ns	$V_{CC} = 5.0\text{ V}$ $R_X = 5.0\text{ k}\Omega$
	Minimum Complement Output Pulse Width				78	100			ns	$C_X = 0$, $C_L = 15\text{ pF}$
	Pulse Width			3.08	3.42	3.76			μs	$V_{CC} = 5.0\text{ V}$, $R_X = 10\text{ k}\Omega$, $C_X = 1000\text{ pF}$
TRAY	Maximum Allowable Wiring Cap. (Pins 2 and 14)		50			50		50	pF	Pins 2 and 14 to Ground
	Timing Resistor	5.0	25	5.0		25	5.0	25	$\text{k}\Omega$	

TABLE II - ELECTRICAL CHARACTERISTICS ($T_A = 0^{\circ}\text{C}$ to 75°C , $V_{CC} = 5\text{ V} \pm 5\%$) (Part No. 0602XC)*

MBOL	PARAMETER	LIMITS						UNITS	CONDITIONS (Note 1)	
		0°C		$+25^{\circ}\text{C}$			$+75^{\circ}\text{C}$			
		MIN.	MAX.	MIN.	TYP.	MAX.	MIN.			MAX.
H	Output HIGH Voltage	2.4		2.4	3.4		2.4	Volts	$V_{CC} = 4.75\text{ V}$, $I_{OH} = -0.95\text{ mA}$ (Note 2)	
L	Output LOW Voltage		0.45		0.2	0.45		0.45	Volts	$V_{CC} = 4.75\text{ V}$, $I_{OL} = 11.3\text{ mA}$ (Note 2) $V_{CC} = 6.75\text{ V}$, $I_{OL} = 12.8\text{ mA}$
H	Input HIGH Voltage	1.9		1.8			1.65	Volts	Guaranteed Input HIGH Threshold Voltage	
L	Input LOW Voltage		0.85		0.75		0.85	Volts	Guaranteed Input LOW Threshold Voltage	
L	Input LOW Current		-1.6		-1.0	-1.6		-1.6	mA	$V_{CC} = 5.25\text{ V}$, $V_{IN} = 0.45\text{ V}$
			-1.41		1.41		-1.41		-1.41	mA
H	Input HIGH Current				10	60		60	μA	$V_{CC} = 5.25\text{ V}$, $V_{IN} = 4.5\text{ V}$
C	Short Circuit Current								mA	$V_{CC} = 5.25\text{ V}$, $V_{OUT} = 1.0\text{ V}$ (Notes 2)
D	Quiescent Power Supply Drain		52		39	50		52	mA	$V_{CC} = 5.0\text{ V}$, Ground Pins 1 and 2
LH	Negative Trigger Input to True Output				25	40			ns	$V_{CC} = 5.0\text{ V}$ $R_X = 5.0\text{ k}\Omega$ $C_X = 0$, $C_L = 15\text{ pF}$
HL	Negative Trigger Input to Complement Output				29	48			ns	$V_{CC} = 5.0\text{ V}$ $R_X = 5.0\text{ k}\Omega$ $C_X = 0$, $C_L = 15\text{ pF}$
(min)	Minimum True Output Pulse Width				72	100			ns	$V_{CC} = 5.0\text{ V}$ $R_X = 5.0\text{ k}\Omega$
	Minimum Complement Output Pulse Width				78	110			ns	$C_X = 0$, $C_L = 15\text{ pF}$
	Pulse Width			3.08	3.42	3.76			μs	$V_{CC} = 5.0\text{ V}$, $R_X = 10\text{ k}\Omega$, $C_X = 1000\text{ pF}$
STRAY	Maximum Allowable Wiring Cap. (Pins 2 and 14)		50			50		50	pF	Pins 2 and 14 to Ground
R_X	Timing Resistor	5.0	50	5.0		50	5.0	50	$\text{k}\Omega$	

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

NOTES:

1. Unless otherwise noted, 10 $\text{k}\Omega$ resistor placed between Pin 2 (14) and V_{CC} for all tests (P₂).
2. Ground Pin 1 (15) for V_{OL} on Pin 7 (9), or for V_{OH} on Pin 6 (10), or for I_{CC} on Pin 5 (10); also, apply momentary ground to Pin 4 (12). Open Pin 1 (15) for V_{OL} on Pin 6 (10), or for V_{OH} on Pin 7 (9), or for I_{CC} on Pin 5 (9).

LINEAR INTEGRATED CIRCUITS

TYPES SN52110, SN72310 WIDE-BAND VOLTAGE-FOLLOWER OPERATIONAL AMPLIFIERS

BULLETIN NO. DLS 7311773, SEPTEMBER 1973

- Maximum Input Bias Current Over Temperature Range . . . 10 nA
- Small-Signal Bandwidth . . . 20 MHz Typ
- Slow Rate . . . 30 V/ μ s Typ

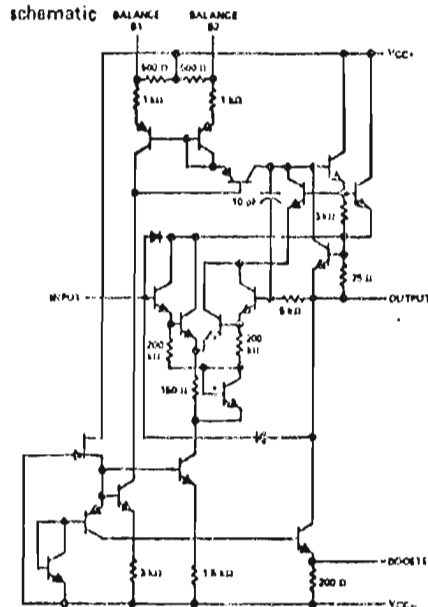
- Supply Voltage Range . . . ± 15 V to ± 18 V
- Internally Compensated
- Designed to be Interchangeable with National Semiconductor LM110 and LM310 and to Replace LM102 and LM302

description

The SN52110 and SN72310 are monolithic bipolar operational amplifiers internally connected in a unity-gain non-inverting configuration. A darlington input stage, using very-high-beta transistors, provides extremely low input current without sacrificing speed. The devices have internal frequency compensation and offset-balancing capabilities. The booster terminal can be used to increase output voltage swing under load by connecting an external resistor between the booster terminal and VCC.

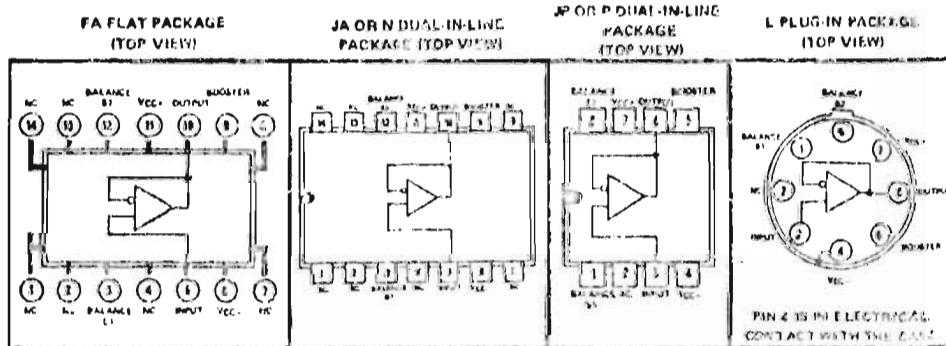
The SN52110 and SN72310 are direct replacements for other operational amplifiers, such as the SN52101, SN52709, and SN52741, in voltage follower applications and provide greater stability and faster slew rates. Applications include fast sample and hold circuits, active filters, and general purpose buffers.

The SN52110 is characterized for operation over the full military temperature range of -55°C to 125°C ; the SN72310 is characterized for operation from 0°C to 70°C .



Component values shown are nominal.

terminal assignments



NC - No Internal Connection

absolute m

Supply Voltage
Supply Voltage
Input Voltage
Output Voltage
Operating Temperature
Storage Temperature
Lead Temperature
Lead Temperature

NOTES: 1. A
2. B
3. C
4. D

voltage spec

Through within VCC

electrical ch

V _{IO}
R _{VIO}
I _{IB}
V _{OM}
A _v
A _v (V _{IO} /V _{IN})
V _{CC}

TYPES SN52110, SN72310
WIDE-BAND VOLTAGE-FOLLOWER OPERATIONAL AMPLIFIERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	SN52110	SN72310	UNIT	
Supply voltage V_{CC+} (See Note 1)	18	18	V	
Supply voltage V_{CC-} (See Note 1)	-18	-18	V	
Input voltage (See Notes 1 and 2)	± 18	± 18	V	
Duration of output short-circuit (See Note 3)	unlimited	unlimited		
Continuous total dissipation at (or below) 25°C free-air temperature (See Note 4)	500	500	mW	
Operating free-air temperature range	-55 to 125	0 to 70	°C	
Storage temperature range	-65 to 150	-65 to 150	°C	
Lead temperature 1/16 inch from case for 60 seconds	FA or L package	300	300	°C
Lead temperature 1/16 inch from case for 10 seconds	N or P package	260	200	°C

- NOTES: 1. All voltage values, unless otherwise noted, are with respect to the zero-reference level (ground) of the supply voltages where this zero-reference level is the midpoint between V_{CC+} and V_{CC-} . If the zero-reference level of the system is not the midpoint of the supply voltages, all voltage values must be changed accordingly.
2. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
3. The output may be shorted to any voltage between V_{CC+} and V_{CC-} . For the SN52110 only, the unlimited duration of a short-circuit applies at (or below) 125°C case temperature or 75°C free-air temperature. It is necessary to insert a resistor having a value greater than 2 k Ω in series with the input when the amplifier is driven from low impedance sources to prevent damage when the output is shorted.
4. For operation above 55°C free air temperature, refer to Dissipation Derating Curve, Figure 14.

voltages specified

Throughout this data sheet, supply voltages are specified either as a range or as a specific value. A positive voltage within the specified range (or of the specified value) is applied to V_{CC+} , and an equal negative voltage is applied to V_{CC-} .

electrical characteristics at specified free-air temperature, $V_{CC\pm} = \pm 5$ V to ± 18 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN52110		SN72310		UNIT		
		MIN	TYP‡	MAX	MIN		TYP‡	MAX
V_{IO}	Input offset voltage			1.5	4	2.5	7.5	mV
	Average temperature coefficient of input offset voltage						10	μ V/°C
αV_{IO}				6				
I_{IB}	Input bias current			1	3	2	7	nA
V_{OM}	Maximum peak output voltage swing (See Note 5)	$V_{CC+} = \pm 15$ V, $R_L = 10$ k Ω	Full range	± 10		± 10		V
A_V	Large-signal voltage amplification	$V_{CC+} = \pm 15$ V, $V_O = \pm 10$ V, $R_L = 8$ k Ω	25°C	0.999	0.9999	0.999	0.9999	
		$V_{CC+} = \pm 15$ V, $V_O = \pm 10$ V, $R_L = 10$ k Ω	Full range	0.993		0.999		
r_i	Input resistance	$V_O = \pm 10$ V	25°C	10^{10}	10^{12}	10^{10}	10^{12}	Ω
r_o	Output resistance		25°C	0.75	2.5	0.75	2.5	Ω
C_i	Input capacitance		25°C	1.5		1.5		pF
$\Delta V_{CC}/\Delta V_{VO}$	Supply voltage rejection ratio	$R_S = 10$ k Ω	Full range	70	75	70	76	dB
I_{CC}	Supply current	No load, No signal	25°C	3.5	5.5	3.5	5.5	mA
			175°C	3	4			

† All typical values are at $V_{CC\pm} = \pm 15$ V.

‡ Full range for SN52110 is -55°C to 125°C and for SN72310 is 0°C to 70°C.

NOTE 5: Increased output swing under load can be obtained by connecting an external resistor between the booster terminal and V_{CC-} . See Figure 9.

BIBLIOGRAFIA

- 1.- Hoeschele, "Analog-to-Digital/Digital-to-Analog Conversion Techniques", Jhon Wiley, 1968.
- 2.- Hnatek, "A User's Handbook of D/A and A/D Converters", Jhon Wiley, 1976.
- 3.- Analog Devices, "Integrated Circuits Converters an Data Acquisition Systems", Analog Devices Inc. , 1977.
- 4.- Garret, "Analog Systems for Microprocessor and Minicomputers", Reston, 1978.
- 5.- Hill and Peterson, "Digital Systems: Hardware Organization and Desing", Jhon Wiley, 1973.
- 6.- Tobey-Gray-Huelsmen, "Operational Amplifiers: Desing and Applicatins", McGraw-Hill, 1971.
- 7.- Taub/Schilling, "Digital Integrated Electronics", McGraw-Hill, 1977.
- 8.- Texas Instruments Inc., "Desing with TTL Integrated Circuits", McGraw-Hill, 1971.
- 9.- "8080 Microcomputer Systems User's Manual", Intel Corp. , 1975.
- 10.- "Engineering Product Handbook", Datel Intersil 1979, Datel Systems.
- 11.- "1979 General Catalog", Burr-Brown.
- 12.- "Analog Devices Product Guide", Analog Devices, 1975.
- 13.- "TTL Data Book", Farchild, 1972.
- 14.- "The Linear and Interface Data Book for Desing Engineers", Texas Instruments Inc., 1973
- 15.- Taub-schilling, "Principles of Communication Systems", McGraw-Hill, 1971.