

71
24



UNIVERSIDAD NACIONAL AUTÓNOMA
DE MÉXICO

FACULTAD DE INGENIERÍA

INTERFAZ GENERAL PARA LA
ADQUISICIÓN Y PROCESAMIENTO DE LAS
SEÑALES PROCEDENTES DE UN DETECTOR
INFRARROJO DE ESTADO SÓLIDO

T E S I S

QUE PARA OBTENER EL TÍTULO DE :
INGENIERO MECÁNICO ELECTRICISTA
ÁREA ELÉCTRICA ELECTRÓNICA

P R E S E N T A :

MANUEL PÉREZ LÓPEZ.



DIRECTOR DE TESIS: DR. ELFEGO RUIZ SCHNEIDER

CIUDAD UNIVERSITARIA
1999

TESIS CON
FALLA DE ORIGEN

273555



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

AGRADECIMIENTOS

A Dios, por darme más de lo que merezco y ayudarme siempre que lo necesito.

A mi mamá, que gracias a su esfuerzo, apoyo, cariño y regaños que siempre tiene para mis hermanos y para mí, ha logrado que haya llegado a hasta este punto.

A Paty, por haberme enseñado los sentimientos más grandes y extremos del ser humano y porque después de todo, me ayudó a ser mejor.

A mis hermanas Sil y Claus, por todo ese tiempo que me dedicaron cuando niño y por lo mucho que las quiero.

A mis hermanos Fer y Miguel, por creer en mi durante tanto tiempo. Espero nunca defraudarlos.

A mis pequeños sobrinos, que con su llanto, risas y abrazos me han hecho sentir muy orgulloso y me han impulsado a seguir adelante.

A mis viejos hermanos de la prepa Jav y Mis, espero que algún día podamos entendernos y seamos nuevamente los tres amigos que fuimos.

A mis amigos de la carrera, en especial a Lidia, Toño, Daniel, Roberto, Erick y César por lo mucho que me enseñaron, por toda la paciencia que me tienen, y por apoyarme en los momentos más difíciles.

A Elfego ya que gracias a su apoyo he podido llegar a la culminación de este trabajo.

A mis compañeros del laboratorio Erika, Dona, Mac, Gerár, Sergio, Raúl y en especial a Fer y Abel.

Al apoyo y financiamiento brindado por el Instituto de Astronomía y el proyecto IN-501694, DGAPA, UNAM.

Esta es una muy pequeña forma de agradecerles a todos por la gran paciencia que me han tenido. Gracias

ÍNDICE

OBJETIVOS	v
CAPÍTULO 1 ANTECEDENTES.	
1.1 Ingeniería y Astronomía.	1
1.2 El Espectro Electromagnético	2
1.3 El Infrarrojo.	4
1.4 Los Fotodetectores	6
CAPÍTULO 2 EL PROYECTO NICMOS 5 ("TEQUILA").	
2.1 Introducción	17
2.2 El Detector.	18
2.3 El Secuenciador.	22
2.4 La Cadena de Lectura y Borrado	23
2.5 La Interfaz.	23
+)Características de la Interfaz	23
CAPÍTULO 3 COMPONENTES DE LA INTERFAZ.	
3.1 Introducción.	27
3.2 El Procesador Digital de Señales.	27
3.2.1 La Arquitectura del TMS320C3X.	28
3.2.2 El CPU del DSP.	29
3.2.3 Registros del CPU del DSP.	31
3.2.4 Memoria del DSP.	32
3.2.5 Las interrupciones del DSP	35
3.2.6 Los Relojes/Contadores de eventos.	39
3.2.7 El Puerto Serie.	40
3.2.8 El controlador de Acceso Directo a Memoria	43
3.3 La Computadora Personal	45
3.3.1 El DMA en la PC.	45
3.3.2 Las Interrupciones en la PC.	59
3.3.3 Ampliación de Memoria.	67
CAPÍTULO 4 PROPUESTA DE SOLUCIÓN.	
4.1 Solución Seleccionada	80
4.2 La programación del DSP	81
4.3 La programación de la PC.	93
CAPÍTULO 5 RESULTADOS Y CONCLUSIONES.	
5.1 Pruebas y Resultados de la Interfaz	105
5.2 Análisis de los resultados.	110
5.3 Conclusiones.	112
5.4 Planes Futuros.	113
BIBLIOGRAFÍA.	115

ÍNDICE DE FIGURAS.

Figura 1.1	El Espectro Electromagnético.	3
Figura 1.2	Bandas de Energía	10
Figura 1.3	Bandas de Energía para semiconductores extrínsecos	12
Figura 1.4	Diagrama de un CCD.	14
Figura 2.5	Diagrama a bloques del Sistema Cámara Espectrógrafo I.R. "Tequila".	18
Figura 2.6	Diagrama de los pixeles del detector Nicmos5.	20
Figura 2.7	Detector HAWAII	21
Figura 3.8	Diagrama a Bloques del DSP TMS320C31.	28
Figura 3.9	Diagrama a bloques de la Unidad Central de Procesos.	30
Figura 3.10	Diagrama de Organización de la memoria del DSP 'C31.	33
Figura 3.11	Mapa de Memoria del TMS320C31.	34
Figura 3.12	Diagrama lógico funcional de las interrupciones.	35
Figura 3.13	Diagrama del Proceso de Interrupción para el DSP	38
Figura 3.14	Diagrama a bloques de los contadores de eventos o timers	40
Figura 3.15	Diagrama a bloques del Puerto Serie del DSP .	41
Figura 3.16	Forma del manejo de memoria mediante el controlador de DMA.	49
Figura 3.17	Conexión de los controladores DMA	50
Figura 3.18	Registro de Estado.	53
Figura 3.19	Registro de comando del DMA	54
Figura 3.20	Registro de petición de transferencia de DMA.	54
Figura 3.21	Registro de enmascaramiento 1	55
Figura 3.22	Registro de enmascaramiento 2	55
Figura 3.23	Registro de Modo.	57
Figura 3.24	Ejecución de una interrupción	59
Figura 3.25	El Controlador de Interrupciones.	60
Figura 3.26	Configuración de la palabra ICW1.	62
Figura 3.29	Configuración de la palabra ICW4.	64
Figura 3.30	Configuración de la palabra OCW1.	64
Figura 3.31	Configuración de la palabra OCW3.	65
Figura 3.32	Configuración de la palabra OCW2.	65
Figura 4.33	Diagrama esquemático de la Interfaz	80
Figura.4.34	Diagrama del multiplexor de datos provenientes de los 4 ADC	80
Figura.4.35	Diagrama de los circuitos requeridos para puerto serie Rx.	81
Figura 4.36-A	Diagrama de flujo programa principal del DSP	84
Figura 4.36-B	Diagrama de flujo programa principal del DSP.	85

Figura 4.37	Diagrama de flujo de la rutina de interrupción del puerto serie Rx del DSP. . .	86
Figura 4.38	Diagrama de flujo de la rutina de interrupción del timer 0 del DSP.	87
Figura 4.39	Diagrama de flujo de la rutina de interrupción del timer 1 del DSP.	89
Figura 4.40	Circuito utilizado para generar un disparo de interrupción del DSP	90
Figura 4.41	Diagrama de flujo de la rutina de interrupción 1 del DSP.	91
Figura 4.42	Diagrama de flujo de la rutina de interrupción del controlador de DMA del DSP .	92
Figura 4.43	Diagrama de flujo del programa ver.exe de la PC	95
Figura 4.44	Diagrama de flujo del programa doble.exe. . .	98
Figura 4.45	Diagrama de flujo del programa mínimos.exe de la PC.	101-102
Figura 5.46	Diagrama de los circuitos eléctricos requeridos para la interfaz	106
Figura 5.47	Diagrama de tiempo de una transferencia típica de DMA	107
Figura 5.48	Diagrama de tiempo que presenta la duración de los datos en forma serie	107
Figura 5.49	Diagrama de tiempo que presenta el retardo durante una escritura	108
Figura 5.50	Diagrama de tiempo que presenta el cambio ente canales de transmisión DMA	108
Figura 5.51	Diagrama que muestra el tiempo de actividad de cada canal de DMA.	109
Figura 5.52	Análisis obtenido para una señal.	111

ÍNDICE DE TABLAS.

Tabla 1.1	Detectores Térmicos	7
Tabla 1.2	Clasificación de los Detectores de Estado Sólido.	9
Tabla 2.3	Características del detector infrarrojo Hawaii.	19
Tabla 3.4	Secuencia de interrupción según el modo de trabajo	36
Tabla 3.5	Secuencia de las prioridades de interrupción. .	36
Tabla 3.6	Los registros internos del controlador DMA. . .	48
Tabla 3.7	Registros DMA en PC/XT y AT a través de los cuales se puede programar al controlador DMA. .	52
Tabla 3.8	Registros DMA en PC/XT y AT para configuración y consulta de los canales DMA	52
Tabla 3.9	Dirección de los registros paginadores de DMA para la adquisición de los bit 16 a 23 del ámbito de la transferencia	58
Tabla 3.10	Las interrupciones del hardware en un AT. . . .	61
Tabla 3.11	La estructura de la memoria RAM del PC.	68
Tabla 3.12	Número de funciones del XMS y la tarea que realizan.	73
Tabla 3.13	Estructura de "Extended Memory Move Structure".	75
Tabla 5.14	Descripción de las Señales presentadas en las figuras 5.46-50	110

OBJETIVOS.

Debido al gran éxito obtenido, por la Cámara espectrógrafo infrarrojo "Camila", el Instituto de Astronomía (I.A.) vislumbró la posibilidad de fabricar una cámara basada en nuevo detector, fue así como nació el proyecto "TEQUILA" basado en el detector Nicmos 5 de 1024X1024 pixeles. Debido a la gran magnitud del proyecto, éste se dividió y una de las partes del proyecto es la interfaz de adquisición de datos provenientes del detector, parte en la cual se basa esta tesis.

Por lo anterior es posible indicar dos objetivos:

1.-El proyecto "Tequila" tiene como objetivo el de diseñar, construir e instalar una cámara espectrógrafo infrarrojo en el observatorio Nacional de San Pedro Mártir, B.C. Méx.

2.-El objetivo del presente trabajo es:

- Diseñar, construir y probar la interfaz de adquisición de los datos provenientes del detector, una vez que son digitalizados por la cadena de lectura.
- Realizar diversos programas que sean capaces de realizar un pequeño procesamiento, como mínimos cuadrados, doble muestreo, etc.
- Investigar y obtener los fundamentos para la realización de nuevos instrumentos en un futuro.

Antecedentes

1

1.1 INGENIERÍA Y ASTRONOMÍA.

La ingeniería, como una actividad encauzada a la solución de problemas con base en el conocimiento de las leyes físicas, es utilizada ampliamente por ciencias como la Astronomía, donde los problemas a resolver son muy complejos, por ejemplo:

- Se requiere diseñar y construir edificios especiales para alojar a los grandes y pesados telescopios, así como a todo el equipo necesario para la observación.
- Diseñar y construir estructuras mecánicas basadas en materiales rígidos, ligeros y con poca variación a la temperatura, para poder soportar a los espejos de los telescopios.
- Diseñar y construir sistemas de control para manejar los telescopios, etc.
- Diseñar y construir cámaras, dispositivos electrónicos, etc. capaces de medir la radiación en prácticamente todo el espectro electromagnético.

Debido a lo anterior es posible observar que prácticamente todas las áreas de la ingeniería son utilizadas para resolver los diversos problemas que aquejan a la Astronomía. En el caso específico del diseño y construcción de las cámaras de observación, el avance tecnológico y científico han logrado la generación de dispositivos muy sensibles, complejos y con propósitos muy específicos. Por lo que ahora la ingeniería electrónica es una parte indispensable para el manejo de toda esta nueva tecnología, debido a que los detectores son realizados con dispositivos electrónicos y requieren de otros elementos eléctricos para su correcto funcionamiento, entre los cuales podemos mencionar: microcontroladores, bancos de memoria, microcontroladores, PC's, etc.

Para poder estudiar los fenómenos que ocurren en el Universo, y los cuales no podemos repetir o modificar, es necesario observarlos y determinar la mayor información posible. Debido a que prácticamente todos estos fenómenos emiten ondas o radiación electromagnética, ésta es la fuente más estudiada y utilizada por los astrónomos.

1.2 EL ESPECTRO ELECTROMAGNÉTICO.

El espectro electromagnético esta formado por el conjunto de ondas o radiaciones electromagnéticas que se encuentran en un intervalo infinito de frecuencias, en otras palabras, es el conjunto de todas las distintas oscilaciones del campo eléctrico y magnético como se muestra en la figura 1-1. Para poder entender un poco acerca del Espectro electromagnético y su importancia con la astronomía, es necesario hablar de la luz.

Desde la antigüedad el hombre se preguntó que es la luz, Así podemos mencionar que Galileo Galilei sabía que un rayo de luz se propaga en línea recta y que si su velocidad era finita, debería ser muy grande. A mediados del siglo XVII se conocían otros fenómenos relacionados con la luz, como son la reflexión y la refracción.

- La reflexión ocurre cuando un rayo de luz llega a una superficie pulida y regresa, un ejemplo muy común de este fenómeno se presenta en un espejo.
- La refracción ocurre cuando un rayo de luz pasa de un medio a otro, por ejemplo cuando pasa entre el aire y el agua.

Isaac Newton propuso un modelo para explicar el comportamiento de la luz, supuso que la luz estaba formada por diminutos corpúsculos, debido al gran prestigio con el que contó Newton, hizo que los científicos de su época aceptaran el modelo corpuscular de la luz.

No fue sino hasta el siglo XIX que Thomas Young inició un trabajo de análisis y experimentación con rayos de luz y llegó a la conclusión de que todos los fenómenos luminosos se podían explicar basándose en la idea de que la luz estaba formada por ondas, sin embargo fue incapaz de explicar el porque la luz viajaba en el vacío.

Esta interrogante pudo ser respondida cuando Maxwell publicó su "Tratado de Electricidad y Magnetismo", donde entre otras cosas predijo:

-)Para el campo magnético y eléctrico, no puede existir un campo que varíe en el tiempo sin la existencia del otro.

-)Determinó que ambos campos, eléctricos y magnéticos deben satisfacer una ecuación que tiene la misma forma matemática que la ecuación de onda.

Además fue capaz de predecir la velocidad de propagación del campo electromagnético, la cual resultó ser igual a la

velocidad de la luz, por lo que concluyó "Esta velocidad es tan similar a la de la luz que parece que tenemos fuertes razones para concluir que la luz es una perturbación electromagnética".

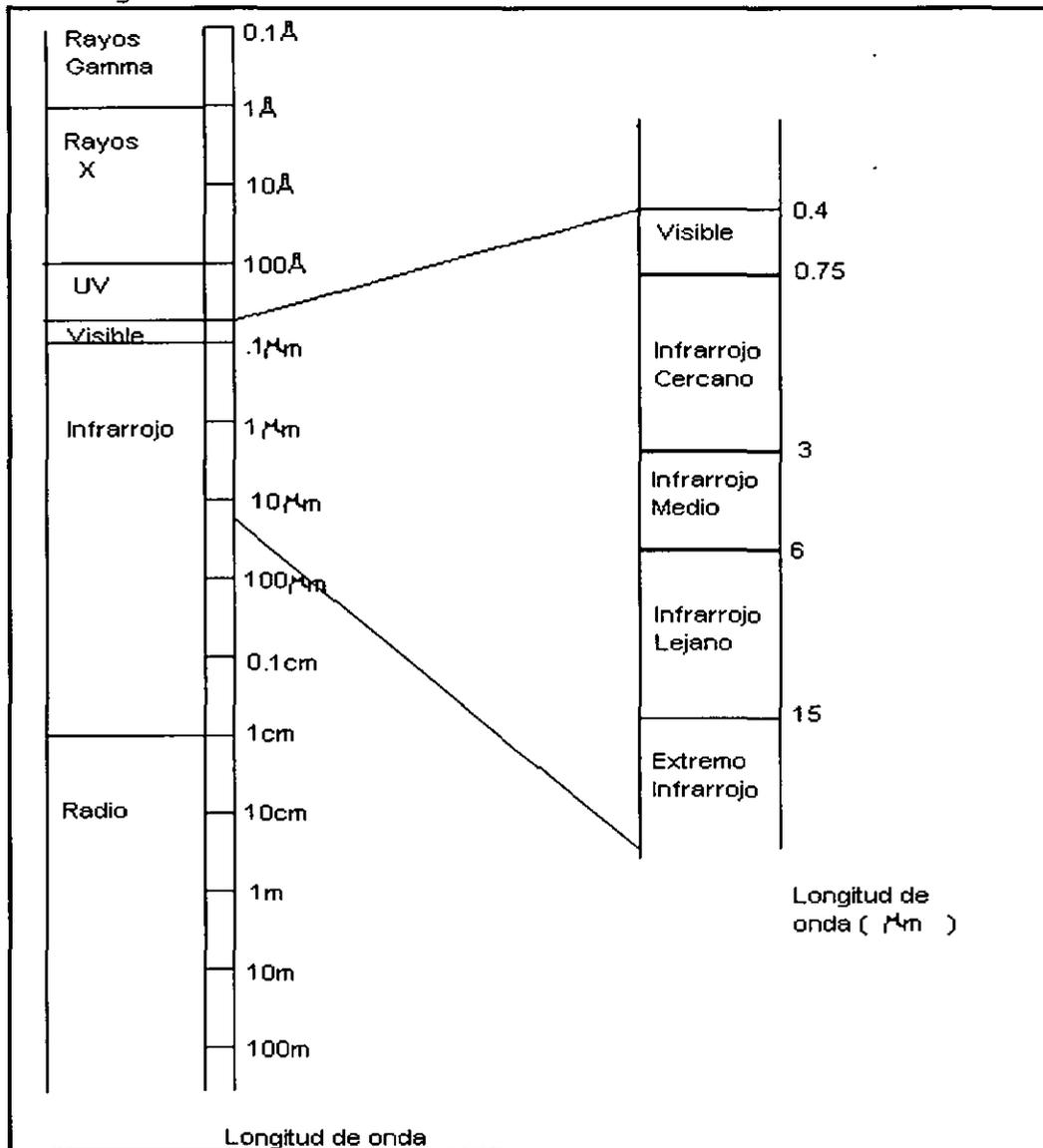


Figura 1-1. El Espectro Electromagnético.

Fue Hertz el primero en comprobar las teorías de Maxwell y pudo medir la velocidad, según

$$v = f\lambda \quad (1.1)$$

Donde:

v = velocidad de la onda.

f = frecuencia de la onda.

λ = longitud de la onda.

Debido a que es posible generar ondas con diferentes frecuencias, a todo el intervalo de frecuencias posibles (o

longitudes de onda) se le denominó "Espectro Electromagnético".

El espectro electromagnético es dividido en rayos gamma, rayos X, rayos ultravioleta, visible infrarrojo y radio. Cabe mencionar que la región comprendida entre las longitudes de onda de 4×10^{-5} cm hasta 7×10^{-5} cm constituye la luz visible, donde la retina es sensible a la radiación electromagnética.

1.3 EL INFRARROJO.

Hacia 1800, William Heschel realizó un experimento, Hizo pasar un haz de luz solar a través de un prisma y mantuvo un termómetro junto al extremo rojo del espectro y observó que la columna de mercurio ascendió. Por lo que pudo concluir que existía una radiación invisible que se hallaba por debajo del espectro visible, a él se le da el crédito del descubrimiento del infrarrojo y a sus termómetros el de ser los primeros detectores infrarrojos.

Actualmente es usual colocar el límite inferior del espectro infrarrojo a una longitud de onda de 1mm, por lo que la radiación infrarroja se extiende desde 0.75 a $1000 \mu\text{m}$, debido a que abarca un intervalo de más de tres décadas, es conveniente subdividir este intervalo en partes más pequeñas. Esta subdivisión ha sido determinada principalmente por las técnicas utilizadas para determinar y medir esta radiación, y como esto ha variado con el tiempo, la división no ha sido siempre la misma. La división mas ampliamente utilizada es:

- Infrarrojo Cercano: considerado de $0.75 \mu\text{m}$ a $1.5 \mu\text{m}$
- Infrarrojo Medio: considerado desde $1.5-15 \mu\text{m}$
- Infrarrojo lejano: comprendido desde $15-100 \mu\text{m}$
- Infrarrojo muy lejano(o submilimétrico): comprendido desde $100-1000 \mu\text{m}$.

La radiación del cercano infrarrojo tiene la propiedad de producir la mayoría de los fenómenos físicos producidos por la luz visible, por lo que los métodos de detección y medición son muy parecidos a los utilizados para la luz.

Para el lejano y muy lejano infrarrojo, hasta recientemente los únicos efectos físicos observados por esta radiación fue el calor y todos los métodos de detección que se basan en este principio.

USOS DE LA RADIACIÓN INFRARROJA.

Actualmente es posible encontrar sistemas infrarrojos de toda clase, desde aquellos muy simples hasta los complejos, entre este intervalo podemos mencionar:

SISTEMAS DE VIGILANCIA. Pueden detectar el lanzamiento de un misil, de un ataque aéreo, terrestre o marítimo, así como la detección de rayos láser utilizados por algunas armas en su sistema de guiado.

- SEGUIMIENTO. Aquí un sistema sigue a un emisor o reflector de radiación infrarroja, como por ejemplo: un misil puede ser seguido debido a la flama que existe detrás de él.
- COMUNICACIÓN ENTRE SATÉLITES. Así un sistema de comunicación de un satélite mantiene la alineación entre dos satélites.
- IMÁGENES Y MAPAS. Un sistema de imágenes y mapas adquiere la información de un área en base a sus características infrarrojas, así imágenes infrarrojas muestran información de objetos físicos como son: edificios, gente, o condiciones atmosféricas, contaminación del aire, etc.
- ESPECTROSCOPIA. La estructura de los átomos ha sido ampliamente determinada por espectroscopia visible, rayos UV, etc. y de igual la espectroscopia infrarroja ha determinado las estructuras de muchas moléculas, ya que cuando existe un cambio en el estado de rotación o vibración de una molécula, generan un incremento en la radiación infrarroja.

Recordando que el termómetro fue considerado como el primer detector de radiación infrarroja de un trío, hasta antes de la primera guerra mundial, siendo los otros dos dispositivos la termopila y el bolómetro.

LA TERMOPILA.

Dicho dispositivo funciona igual que el termopar por el fenómeno termoeléctrico descubierto por Seebeck en 1821 y aplicado por primera vez en un dispositivo llamado termopar. Un termopar consiste de una de juntura entre dos metales diferentes, así si una de las terminales es calentada se establece una fuerza electromotriz, por lo que fluirá una corriente eléctrica en un circuito externo. Así en 1829, Nobili construyó la primer termopila, conectando un cierto número de termopares en serie, pero no fue sino hasta 1833 que ayudado por Melloni construyó una pila para medir radiación, los materiales utilizados en la unión eran bismuto y antimonio, posteriormente Melloni caracterizó este instrumento y observó que tenía 40 veces más sensibilidad que cualquier termómetro disponible en esa época.

EL BOLÓMETRO

El bolómetro apareció en 1880, y su creador fue Langley, quien deseaba poder medir una pequeña sección del espectro electromagnético, pero al tratar de utilizar una termopila, observó que debido a su gran tamaño era irradiada por una

gran zona del espectro electromagnético además la sensibilidad que presentaba era muy baja. Por lo anterior decidió utilizar elementos que cambiaran su resistencia eléctrica al variar su temperatura, dicho fenómeno es el principio de operación del bolómetro. Langley utilizó dos cintas delgadas conectadas para formar dos brazos de un puente Wheatson, así la radiación alteró la resistencia de las cintas, las cuales tenían dimensiones de aproximadamente 1mm por 10 mm. Dicho dispositivo logró tener 15 veces más sensibilidad que la mejor termopila, además mediante uno de estos dispositivos fue capaz de determinar que en la atmósfera existen bandas de absorción y reconoció algunas regiones transparentes (ventanas de transmisión), en las cuales era posible captar gran cantidad de radiación, dichas ventanas se encuentran en los intervalos de 2 a 2.5 μm y de 3 a 5 μm .

1.4 LOS FOTODETECTORES

A los detectores de radiación electromagnética capaces de ver en el intervalo de 0.01 μm a 1000 μm se les llama fotodetectores y son transductores que a partir de una radiación electromagnética pueden generar una respuesta eléctrica, mecánica o química como en una placa fotográfica.

Algunas de las características más importantes de los detectores son:

- 1.- Eficiencia Cuántica.- Fracción de fotones que llega y es convertida en señal.
- 2.- Ruido.- Incertidumbre en la señal de salida. Idealmente, consiste únicamente de fluctuaciones estáticas debidas al número finito de fotones que producen la señal.
- 3.- Linealidad.- Proporcionalidad de la señal de salida al número de fotones que fueron recibidos para producir la señal.
- 4.- Intervalo Dinámico.- Máxima variación en la señal sobre la cual la salida del detector representa el flujo de fotones sin pérdida significativa de información.
- 5.- Número y Tamaño de pixeles.- Número de elementos de la imagen que el detector puede registrar simultáneamente y su tamaño físico sobre el detector.
- 6.- Tiempo de Respuesta.- Intervalo mínimo de tiempo sobre el cual el detector puede distinguir cambios en la velocidad de arribo del fotón
- 7.- Respuesta Espectral.- Longitud de onda total o intervalo de frecuencia sobre la cual los fotones pueden ser detectados con eficiencia razonable.

- 8.- Ancho de banda espectral.- Longitud de onda o intervalo de frecuencia sobre el cual los fotones son detectados a cualquier tiempo.
- 9.- Responsividad (S).- Cociente entre las señales de salida y de entrada de un detector.
- 10.- Potencia de ruido equivalente (NEP).- Conocida como la mínima señal detectable. Produce una salida de magnitud igual al ruido intrínseco del detector.
- 11.- Detectividad.- Su magnitud es el inverso del NEP, para evitar asociar el más pequeño NEP con el mejor detector.

En función de estos parámetros podemos decir que el mejor detector es aquel que presenta una mayor detectividad y responsividad. Otra definición importante para la caracterización de un detector es la *movilidad del electrón* definida como la medida de la viscosidad del cristal a través del movimiento de los portadores de carga.

Los detectores se clasifican de acuerdo al mecanismo de conversión que emplean para cubrir la función y son de tres tipos: Fotodetectores de Estado Sólido, Detectores Fotoemisivos y Detectores Térmicos.

LOS DETECTORES TÉRMICOS.

Estos detectores son fabricados de un material con propiedades altamente dependientes de la temperatura, las cuales serán modificadas por la radiación absorbida y por el cambio medio de la cantidad de energía absorbida, por lo que es posible medir cambios en la conductividad eléctrica o la expansión de un gas. Entre estos dispositivos tenemos:

DETECTORES TÉRMICOS	
DETECTORES	MÉTODO DE OPERACIÓN
Termopila	Generación de voltaje, causado por el cambio de temperatura de la unión de dos materiales distintos.
Bolómetros	Cambio en conductividad eléctrica.
Celda Golay	Expansión térmica de un gas.
Sistemas Piroeléctricos y piromagnéticos	Cambios en propiedades magnéticas y eléctricas.
Evapógrafos	La velocidad de condensación de vapor en una membrana delgada.
Emisión termoiónica	Velocidad de emisión desde un cátodo revestido de óxido.
Convertidor de Absorción de Borde	Transmisión óptica de un semiconductor.
Sistemas de cristal líquido	Cambios de propiedades ópticas.

Tabla 1-1 Detectores Térmicos.

Además estos detectores tienen un amplio intervalo de respuesta espectral, pero su tiempo de respuesta es alto (del orden de los milisegundos), lo cual limita su uso en ciertas aplicaciones,

DETECTORES FOTOEMISIVOS.

En estos detectores los fotones incidentes causan una excitación en los electrones del material del detector, los cuales son emitidos desde un electrodo hacia el medio que lo rodea, el cual puede ser un gas o vacío. Dichos detectores están basados en el fenómeno de Fotoemisión, del cual se tiene conocimiento desde 1887 cuando Hertz descubre que una partícula cargada negativamente era emitida desde un conductor si éste era irradiado con luz ultravioleta, quedando demostrado el fenómeno de fotoemisión. La explicación a este fenómeno fue propuesta por Einstein en 1905, con su Teoría de Fotoemisión. Podemos decir que la fotoemisión es el proceso físico en el cual un fotón después de ser absorbido por el material, le desprende un electrón, por lo que si el electrón puede ser capturado, es posible generar un detector de fotones. Algunas características de estos detectores son:

- Generalmente utilizan campos eléctricos y/o magnéticos para acelerar el desprendimiento de los electrones hacia un amplificador.
- Proveen de una excelente resolución espacial del patrón de luz de entrada sobre las pantallas de salida.
- La eficiencia cuántica es moderada (10% - 30%).
- Presentan una gran rapidez, alta ganancia y bajo ruido en comparación con los detectores de estado sólido.

FOTODETECTORES DE ESTADO SÓLIDO.

En estos detectores los fotones incidentes no causan la emisión de un electrón de la superficie del material, como sucede en los detectores Fotoemisivos, sino que el portador excitado permanece dentro del material, por lo cual los fotones detectados provocan un cambio en la distribución de energía eléctrica del material, el cual se encarga de generar una señal al exterior.

El Principio de operación de estos dispositivos es el siguiente: La radiación incidente causa la excitación de los portadores fijos del material hacia estados móviles, esta transición puede ser monitoreada como una señal eléctrica. Aunque existen muchos métodos mediante los cuales estos cambios pueden ser observados, dependiendo principalmente de la estructura del dispositivo, los métodos más utilizados miden los cambios en la resistencia del elemento fotoconductor, o el voltaje generado a través de una

juntura. Algunos de los dispositivos más comunes así como su clasificación se muestra en la tabla 1-2. Podemos decir que los fotoconductores de estado sólido se pueden dividir en tres grandes categorías: Extrínsecos, Intrínsecos y dispositivos de portadores fijos. La característica principal de estos detectores es que en todos ellos se mide un cambio en la conductividad y su diferencia principal es el estado en el cual la carga fija es excitada.

CATEGORÍA	SUBCATEGORÍA	EJEMPLOS
FOTOCONDUCTORES	a) Intrínsecos b) Extrínsecos c) Portadores libres	Cadmio-Mercurio-Teluro Sales de Plomo Germanio dopado, Silicio Antimoniuro de Indio
DISPOSITIVOS DE JUNTURA	a) Homojunturas b) Heterojunturas c) Barrera Schottky d) Avalancha	Antimoniuro de Indio Plomo-Estaño-Teluro Telururo de Plomo Arseniuro de Galio Platino, Silicio Silicio, germanio
DISPOSITIVOS MIS (METAL-AISLANTE-SEMICONDUCTOR)	a) CCD.-Dispositivos Acoplados por Carga b) CID.- Detector de Inyección de Carga.	Antimoniuro de Indio

Tabla 1-2. Clasificación de los Detectores de Estado Sólido

La mayoría de los detectores electrónicos usados en la Astronomía Moderna tienen como elemento detector a un fotocátodo de material semiconductor.

Para poder entender el funcionamiento de estos dispositivos es necesario revisar el proceso de Fotoconductividad, el cual se refiere al comportamiento eléctrico de los sólidos bajo la influencia de radiaciones electromagnéticas, calor, etc. Y es representado mediante un diagrama de bandas de energía, la separación de estos niveles de energéticos ocurre según el principio de exclusión de Pauli, el cual dice que "en los átomos no se permite que dos electrones se encuentren en dos estados cuánticos iguales". Así por ejemplo: si un material se encuentra a 0 K, su conductividad eléctrica deberá ser nula y la conducción ocurre cuando los electrones son llevados a otros niveles de energía.

La banda más baja es llamada de valencia y la banda más alta o superior es la de conducción y contiene a los electrones libres (se pueden mover a través del sólido). Además los electrones de valencia pueden ser excitados y enviados a la banda de conducción, ver figura 1-2.

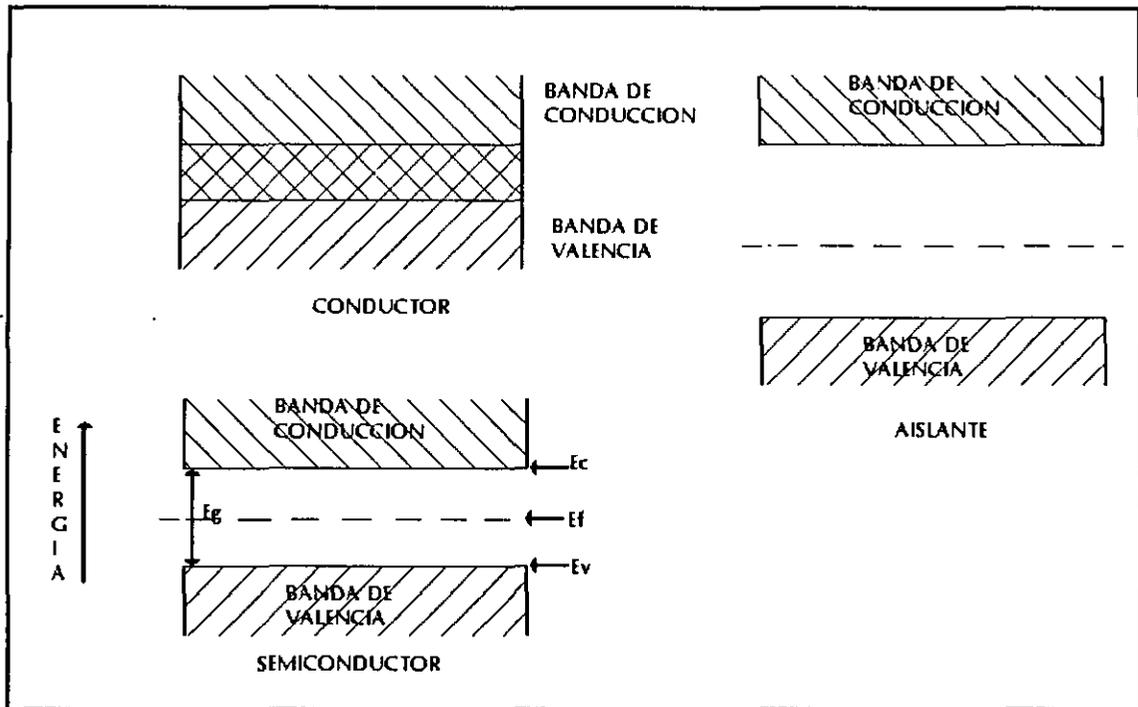


Figura 1-2 Bandas de Energía.

FOTOCONDUCTORES INTRÍNSECOS.

En base a las figuras anteriores podemos diferenciar a un semiconductor puro (intrínseco) que presentan una separación entre bandas menor que un aislante.

Las propiedades eléctricas de un semiconductor son alteradas cuando se absorbe un fotón, así la operación de estos detectores depende de la energía de los fotones, esto es, el fotón incidente debe tener una energía $h\nu$ mayor que la energía entre la banda de valencia y la de conducción con lo que el límite de la longitud de onda del fotón para que sea capaz de producir un par electrón-hueco es

$$\lambda = hc/E_g \quad (1.2)$$

donde : λ = longitud de onda del fotón.

h = constante de Planck

c = velocidad de la luz

Los dispositivos basados en este material tienen un coeficiente de absorción óptico relativamente alto, pueden operar a temperaturas mayores que los realizados con materiales extrínsecos pero la detección a longitudes de onda es menor de $8\mu\text{m}$.

FOTOCONDUCTORES EXTRÍNSECOS.

Un método para ampliar el rango de longitud de onda de detección es el uso de fotodetectores extrínsecos, los cuales se forman al agregar impurezas en los semiconductores.

Supongamos que en el semiconductor Germanio se sustituye uno de los átomos por otro que tenga cinco electrones en la banda de valencia, por ejemplo un átomo de Fósforo, en este caso cuatro de los electrones de su capa superior se ocuparan de formar ligaduras con los átomos de Germanio vecinos, mientras que el quinto electrón, por así decirlo, queda libre, el cual puede servir para conducir electricidad. En consecuencia, se puede mejorar la capacidad de conducir electricidad en un semiconductor introduciéndole impurezas o "dopandolo", a un semiconductor contaminado de esta forma se le conoce como tipo N.

Ahora supongamos que en el semiconductor se sustituye uno de los átomos por otro que tenga tres electrones en la banda de valencia, por ejemplo un átomo de Boro, en este caso los tres electrones del Boro sirven de ligaduras con sus átomos vecinos, quedando la cuarta de sus ligaduras vacía, entonces uno de los electrones de un átomo vecino pasa a ocupar el lugar faltante, pero al hacerlo deja un hueco en el átomo que ocupaba originalmente. En seguida, un electrón de otro átomo pasa a ocupar el lugar faltante, dejando a su vez un hueco y así sucesivamente. Nos damos cuenta de que el hueco se ha ido propagando. Estos huecos tienen la misma carga que el electrón, pero debido a que efectivamente es una ausencia de electrón, o sea de carga negativa, se puede considerar que el hueco tiene una carga positiva. Por tanto este semiconductor con impurezas de Boro da lugar a una corriente eléctrica de huecos positivos que tienen sentido opuesto a la corriente de electrones. A este tipo de semiconductores se les llama tipo P. En cualquiera de estos dos casos, la conductividad eléctrica del semiconductor se aumenta substancialmente. Así en un semiconductor tipo N o P un fotón incidente causa la excitación de un portador desde un estado fijo de impureza colocado en una zona prohibida a un estado de conducción, como se observa en la figura 1-3, por lo cual puede ser un donador colocado en un nivel próximo a la banda de conducción, o un receptor cercano a una banda de valencia, por lo que el límite de la longitud de onda estará dado por la nueva energía E_i .

$$\lambda = hc/E_i \quad (1.3)$$

donde : λ = longitud de onda del fotón.

h = constante de Planck

c = velocidad de la luz

Con lo anterior es posible realizar detectores que operan en longitudes de onda de muchos cientos de micrómetros pero presentan la desventaja de que su temperatura de operación está muy por debajo de la temperatura de los detectores intrínsecos, en algunos casos es de 4K a 30K.

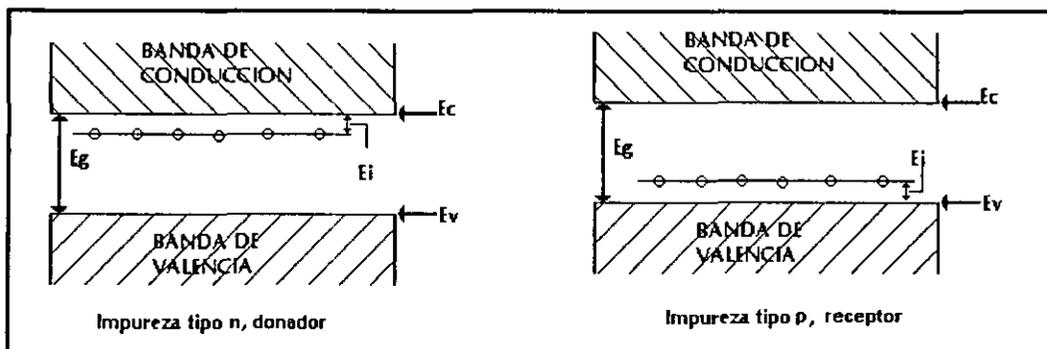


Figura 1-3 Bandas de Energía para semiconductores extrínsecos

FOTODETECTORES DE CONDUCCIÓN DE PORTADORES LIBRES.

Para lograr detecciones en una longitud de onda de $300\mu\text{m}$ aproximadamente, es utilizado el mecanismo de los conductores de portadores libres. Estos detectores son fabricados de semiconductores con alta movilidad de portadores, como el Antimoniuro de Indio. Su funcionamiento es el siguiente: la radiación incidente causa transiciones de los electrones dentro de la misma banda de conducción cambiando la movilidad de los electrones y por lo tanto la resistencia del material. Debido a lo anterior es necesario enfriar a estos dispositivos a temperaturas de Helio líquido para lograr un correcto funcionamiento.

Estos dispositivos son utilizados principalmente para medir longitudes de onda donde la absorción de los portadores libres es alta (de $1000\mu\text{m}$ a $2000\mu\text{m}$).

DETECTORES DE JUNTURA.

Estos detectores también son llamados fotovoltaicos y están formados por dos regiones de material con una barrera de potencial interna que produce una capa de agotamiento, resultando una corriente con propiedades rectificadas.

Las características comunes en todos los detectores de juntura son:

- Los fotones son absorbidos en el material y crean un par electrón-hueco y
- los portadores minoritarios son difundidos a la juntura donde son intercambiados a través de la región de reducción (agotamiento) y por tanto polarizando en directa a la juntura para producir un circuito de voltaje abierto o un corto circuito de corriente

Por lo anterior, la característica de V-I de estos dispositivos no es lineal (como en los fotoconductores), sino que presentan propiedades de rectificador. Cabe mencionar que

sin radiación incidente existe una corriente inversa de polarización (Corriente Oscura), pero una vez que el detector es iluminado con la longitud de onda correcta, las características de V-I serán desplazadas y la señal de corriente i puede ser medida con la ecuación:

$$\Delta i = -\eta q A \phi \quad (1.4)$$

donde: A = el área detectora.

ϕ = el flujo de fotones incidentes.

η = la eficiencia cuántica.

q = la carga del electrón.

Cabe mencionar que η es igual al número de portadores generados ópticamente que cruzan la juntura por cada fotón incidente.

DETECTORES DE HOMOJUNTURA Y HETEROJUNTURA.

Estos detectores son fabricados con una región N y otra P, en el caso de homojuntura, las regiones se forman sobre un mismo sustrato de material semiconductor, mientras que en los de heterojuntura pueden ser dos tipos de materiales semiconductor. A menudo se utiliza un crecimiento epitaxial para producir estos dispositivos con un material de amplio espacio energético entre bandas de conducción y de valencia, siendo éste utilizado como ventana frontal, con lo cual permite a la radiación ser absorbida en el sustrato no en la superficie del dispositivo.

DETECTORES DE BARRERA SCHOTTKY.

Estos dispositivos están generalmente formados por una delgada capa de metal que es depositada sobre un material semiconductor, y presentan características muy semejantes a las de los detectores de homojuntura, además el dispositivo puede ser iluminado a través de esta capa (si es semitransparente al rango de λ requerido). Alternativamente los detectores son iluminados por atrás, es decir, a través de un delgado semiconductor.

DETECTORES SEMICONDUCTOR - AISLANTE - METAL.

Las modernas cámaras de video, utilizan dispositivos acoplados por carga, también llamados CCD, los cuales operan dentro de la región visible y son un tipo característico de los detectores Semiconductor - Aislante - Metal. Un tipo semejante a estos dispositivos ha sido creado para la

detección de radiación infrarroja, en la forma de CCD o de detector de inyección de carga (CID).

LOS DISPOSITIVOS CCD.

Para poder medir la carga eléctrica producida por un fotón incidente, es necesario un dispositivo capaz de recolectar esta carga. Así una delgada capa de dióxido de silicio se hace crecer sobre una sección de silicio y una terminal transparente es colocada sobre el óxido. Debido a que al aplicar un potencial positivo en la terminal es posible crear una zona de bajo potencial donde puede ser almacenada la carga generada por los fotones incidentes. El hueco de potencial continuará acumulando toda la carga disponible hasta que se llene. Las capacidades típicas de los pozos de potencial alcanza un millón de electrones, en un rango de profundidad que va desde los 6 hasta los 30 micrómetros. Comúnmente los detectores son producidos en barras de 10X20 cm y 500 μ m de espesor. A continuación se muestra una figura típica de un CCD.

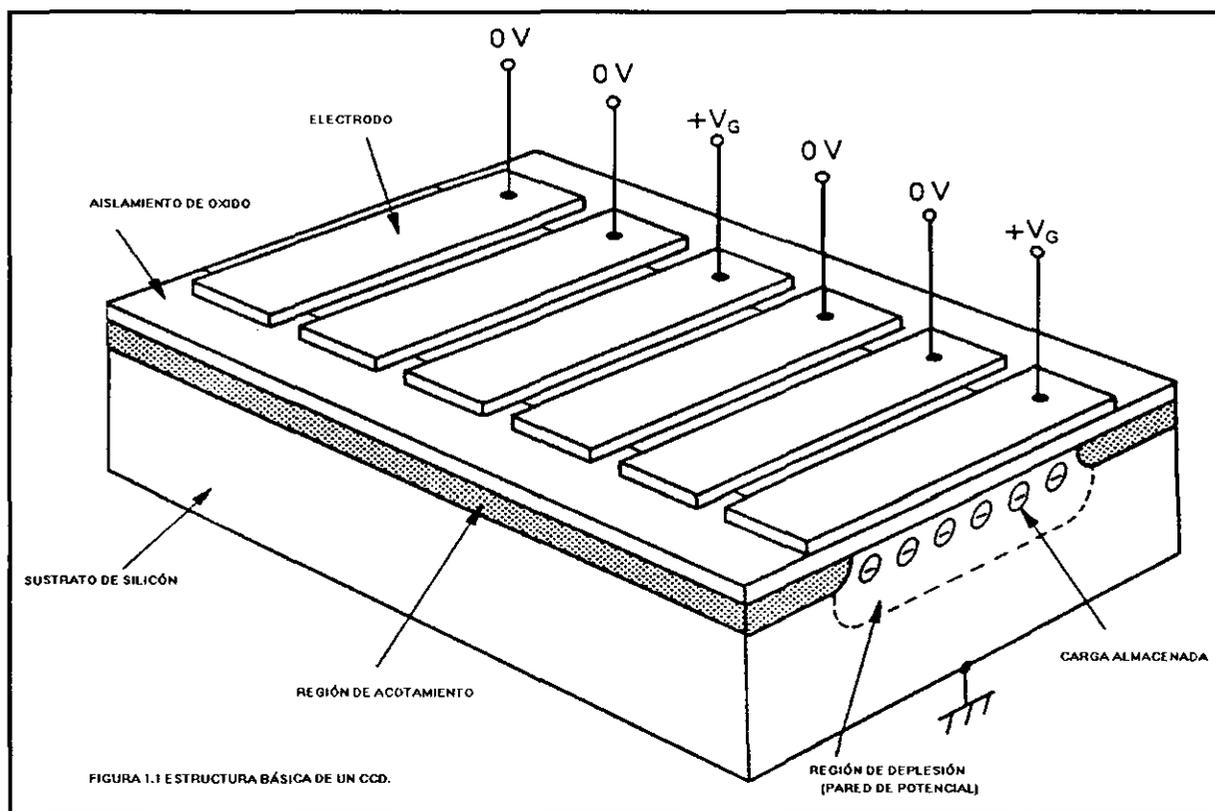


Figura 1-4. Diagrama de un CCD.

Un arreglo matricial de óxido y terminales puede ser producido, con lo cual muchos miles de pozos de potencial son establecidos a lo largo del área de silicio, estas terminales son conectadas a múltiples fases, así los pozos de potencial pueden ser propagados a través del silicio. La aplicación de la correcta secuencia de voltaje puede propagar los pozos de potencial hacia la salida del detector.

LOS DISPOSITIVOS CID.

El concepto CID (*Charge Injection Detector*) fue creado por científicos de la compañía de General Electric, que trabajaban en la invención de una nueva memoria, utilizando la característica fotosensible del silicio desarrollaron un arreglo sencillo X Y con capacitores fotosensibles como elementos y así pudieron crear la primera cámara en 1972.

Cada pixel del arreglo CID puede ser seleccionado individualmente por medio de un conjunto de electrodos conectados en columnas y renglones, a diferencia de los detectores CCD que transfieren la carga almacenada en el pixel durante la lectura (y por lo tanto borran la imagen almacenada en el pixel), en los dispositivos CID la carga no es transferida de un lugar a otro, en lugar de esto, un desplazamiento de corriente proporcional a la carga es leído cuando los paquetes de carga son desplazados entre capacitores dentro del pixel seleccionado. La corriente leída es amplificada, convertida a voltaje y enviada al exterior. La lectura es no destructiva ya que la carga permanece intacta en el pixel después que el nivel de la señal ha sido determinada.

Para poder limpiar el detector y realizar un nuevo cuadro de exposición, los electrodos de las columnas y renglones en cada pixel son momentáneamente conectados a tierra y descargados, o "Inyectando la carga al substrato".

El Proyecto NICMOS 5 "Tequila"

2

2.1 Introducción

En este capítulo se describe las partes principales del sistema Tequila, el cual es el resultado del avance tecnológico tanto en detectores como en dispositivos electrónicos.

Así podemos mencionar que el primer instrumento para realizar detecciones infrarrojas realizado en el Instituto de Astronomía y basado en un detector NICMOS fue el Sistema CAMILA, el cual consta de un detector infrarrojo de clase científica y de tercera generación, en forma de un arreglo matricial de 256 X 256 pixeles, sensible en un intervalo espectral de 0.85 μm a 2.5 μm

Actualmente el sistema CAMILA se encuentra instalado en el telescopio de 2.1m del Observatorio Astronómico Nacional en San Pedro Mártir, B.C. (OAN de SPM).

Posteriormente se diseñó la electrónica para poder controlar y leer el detector NICMOS 3 de clase de Ingeniería, dicho sistema presenta algunas mejoras respecto al sistema Camila 1, por lo cual el nuevo sistema Camila 2 permitió comprender y valorar diferentes técnicas de control y lectura para posteriores detectores como el NICMOS 5.

El sistema basado en el detector NICMOS 5 fue llamado "TEQUILA", éste es un sistema de detección que podrá ser utilizado como cámara espectrógrafo, él cual permitirá realizar observaciones directas, de espectroscopía (de resolución baja y/o media), y polarimetría. El sistema esta formado por varias partes, como se muestra en el siguiente diagrama, de las cuales podemos mencionar al detector, el

sub-sistema mecánico y óptico, los sistemas electrónicos de lectura, control, etc.

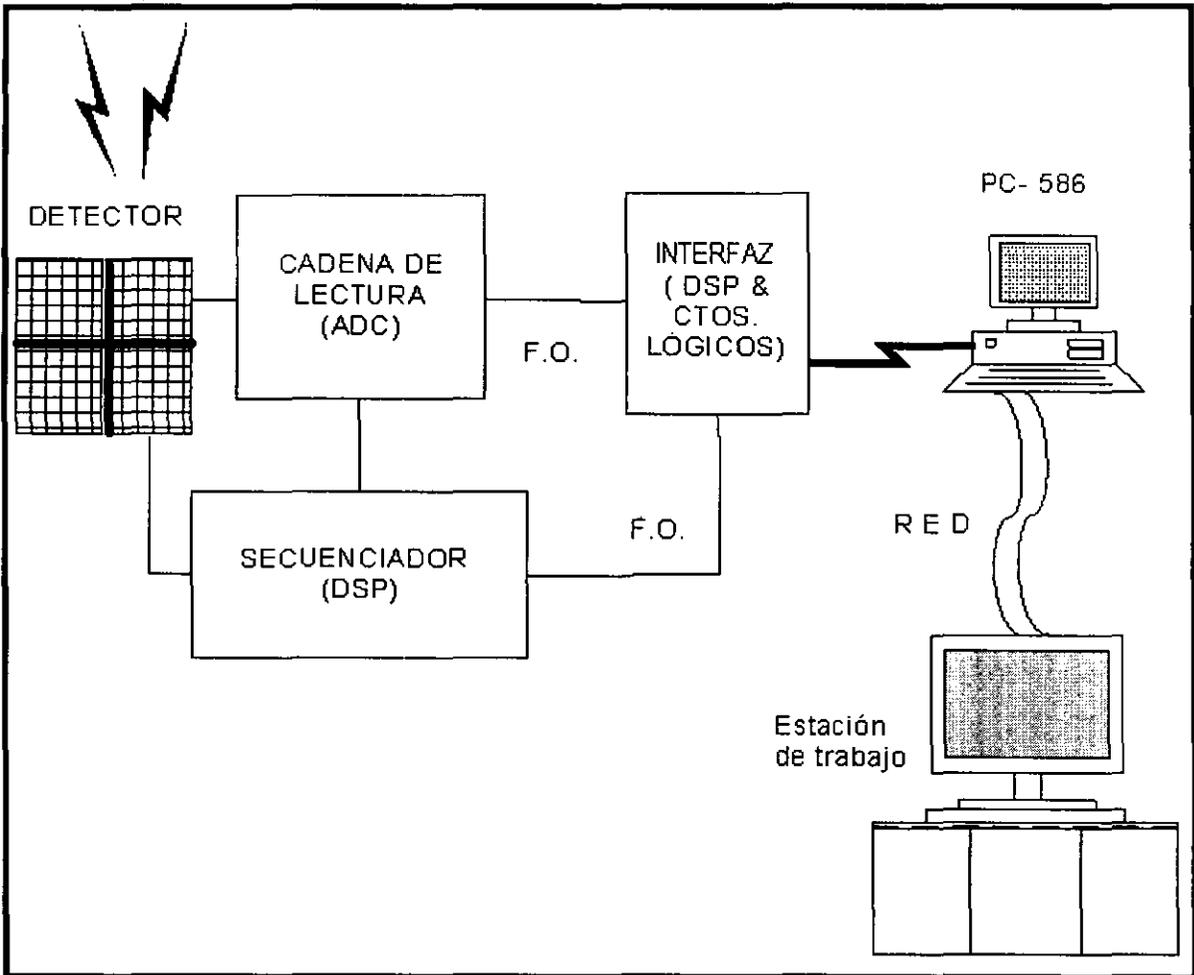


Figura 2-5. Diagrama a bloques del Sistema Cámara /Espectrógrafo I.R. "Tequila".

2.2 EL Detector

Considerado como el elemento principal de todo instrumento infrarrojo, ya que el diseño completo del instrumento tendrá que estar basado en las características del detector (voltajes de polarización, temperatura de operación, tiempo de lectura, etc.)

El detector infrarrojo de la familia NICMOS (Near Infrared Camera & Multi-Objects Spectrograph) de quinta

generación fabricado por la empresa Rockwell y utilizado en el proyecto Tequila presenta las siguientes características:

PARÁMETRO	VALORES ESPERADOS
Respuesta Espectral	0.85-2.5 μm
Formato	1024X1024 pixeles (4 cuadrantes)
Tamaño de pixel	18.5 μm
Eficiencia Cuántica	> 50% @ de 0.8 a 2.5 μm
Tipo de Detector	Fotovoltaico de HgCdTe
Temperatura de Operación	80-120 K
Capacidad Máxima de Carga	$6.25 \times 10^4 \text{ e}^- @ 0.5 \text{ V}$
Linealidad	> 98%
Corriente Oscura	< $0.1 \text{ e}^-/\text{s}$ a 77 K
Capacitancia de Salida	0.047 pF
Ganancia de FETs Internos	0.968
Frecuencia máx. De Lectura	200 KHz

TABLA 2.3 CARACTERÍSTICAS DEL DETECTOR INFRARROJO HAWAII.

Este detector es híbrido, ya que consiste en un arreglo fotovoltaico de Hg:Cd:Te unido con gotas de In a un circuito de lectura de tecnología CMOS, esta parte es conocida como "El Multiplexor".

El arreglo del detector está compuesto por un substrato de Zafiro, al cual se le deposita una capa de CdTe que permite una buena unión entre el substrato y la parte detectora de Hg:Cd:Te además mediante la temperatura de operación o el espesor y composición de cada capa se puede variar la longitud de onda de corte (como se muestra en la Figura 2.6), que en nuestro detector es de 2.5 μm .

Las juntas se obtienen con la implantación de iones B+, y posteriormente se conectan a una celda unitaria del multiplexor mediante una gota de Indio, esto es posible ya que su coeficiente de expansión térmico es muy parecido al del Silicio (que es la base en el cual se realizó el multiplexor), con lo que es posible construir arreglos tan grandes como 1024X1024 pixeles.

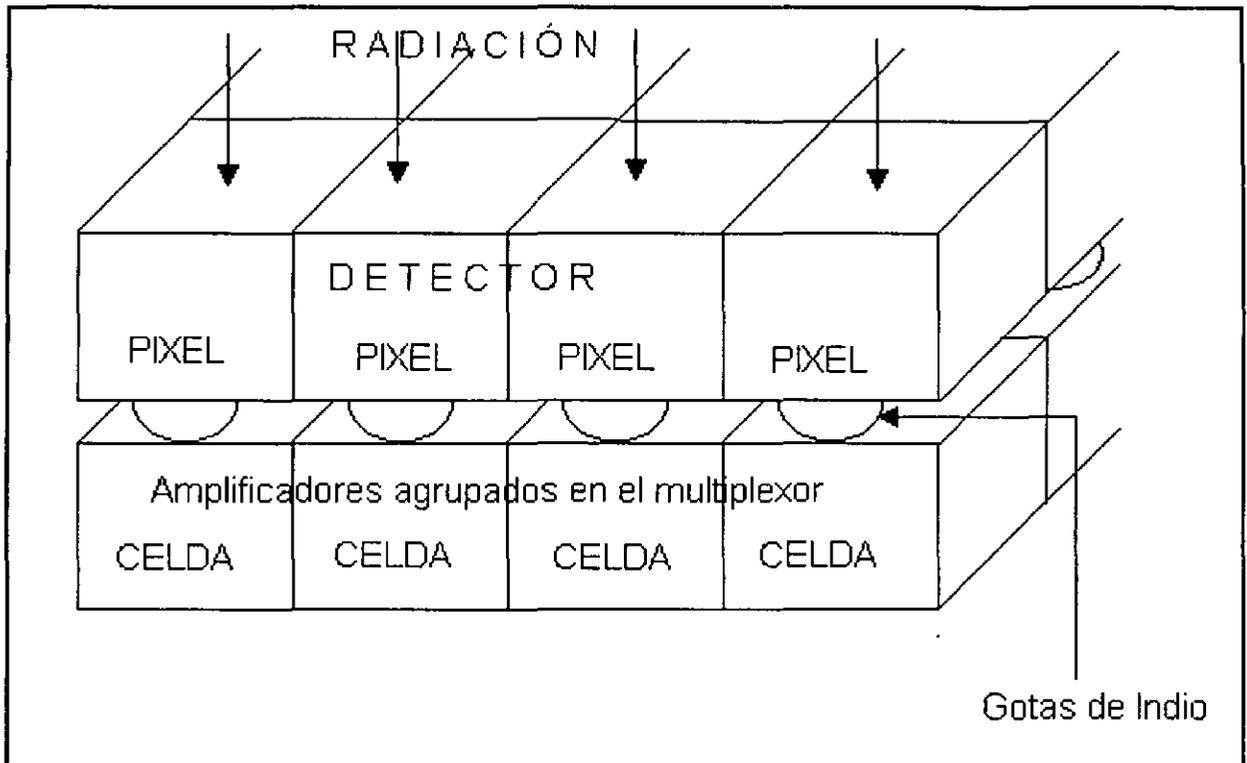


Figura 2.6 Diagrama de los pixeles del detector Nicmos5

Debido a este difícil proceso de manufactura es posible que después de producir un lote de 100 detectores, del 80% al 90% de éstos tengan una gran cantidad de pixeles mal conectados o que el multiplexor produzca mucho ruido, por este motivo se tienen diferentes clases de detectores como son: científica (tienen muy alta calidad), de ingeniería (aquellos que tienen una gran cantidad de pixeles dañados, etc.) y es posible adquirir el multiplexor sin la placa detectora para poder realizar las primeras pruebas eléctricas del sistema.

Cabe mencionar que el detector está dividido en cuadrantes como se muestran en la figura 2.7.

1024 X 1024

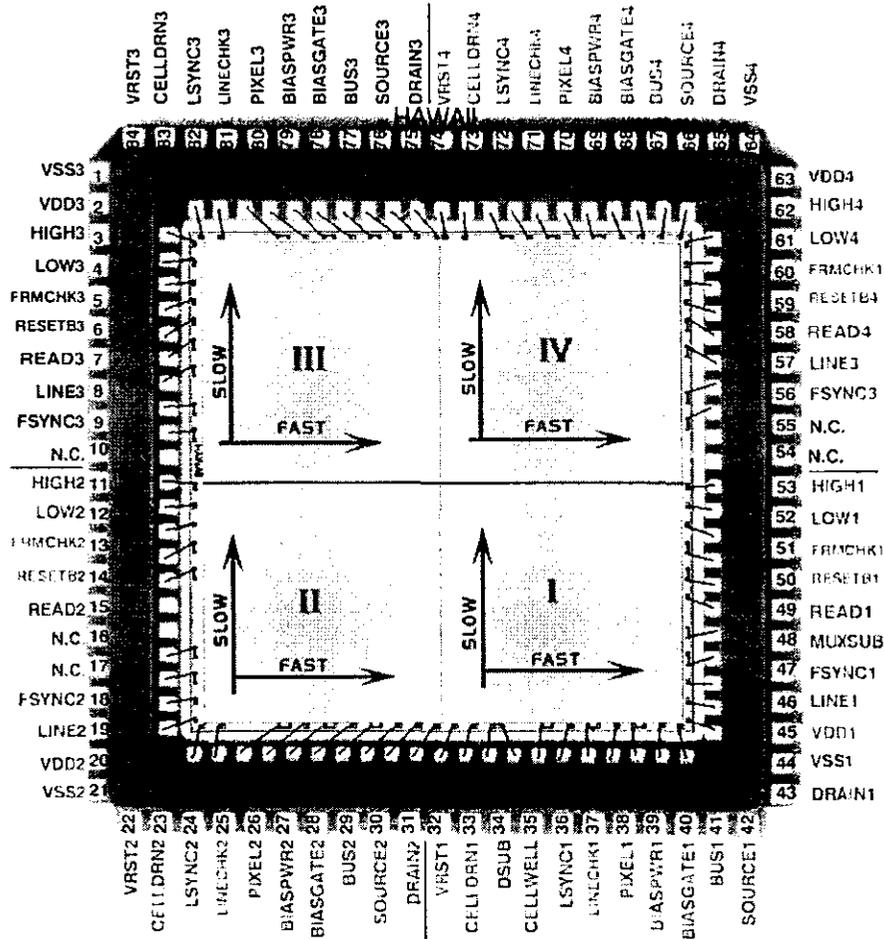


Figura 2.7 Detector HAWAII.

El multiplexor es la parte del detector que se encarga de realizar la transferencia de la carga almacenada en cada pixel hacia un amplificador de salida del circuito. El arreglo del multiplexor esta formado por dos registros de corrimiento (vertical y horizontal) mediante los cuales es posible seleccionar un pixel dentro de todo el cuadrante para poder leerlo. Además la lectura de cada cuadrante se realiza de izquierda a derecha y de arriba hacia abajo.

Este detector así como un conjunto de 24 filtros se encontrarán contenidos en un crióstato a una temperatura de Nitrógeno líquido (≈ 60 K).

El sub-sistema Mecánico y Óptico permitirá el correcto manejo del detector para poder instalar un interferómetro Fabry-Perot, un equipo de corrección de óptica adaptiva, etc.

El conjunto de sistemas Electrónicos basados principalmente en DSP's permitirán controlar manejar y procesar la señal obtenida del detector. Dentro de las partes principales de este sub-sistema podemos mencionar:

- Generador de señales de control y secuenciador
- Cadena electrónica de lectura y borrado
- Interfaz general para la adquisición y procesamiento de las señales provenientes del detector.

Cabe mencionar que el Sistema Tequila será colocado en sustitución del detector Camila, en el telescopio de 2.1 en el OAN de SPM en B.C.

2.3 El Secuenciador

Debido a que el detector tiene una forma matricial, es necesario generar señales de temporización que permitan seleccionar un pixel dentro de todo el arreglo y así poder leerlo o borrarlo.

El secuenciador es el dispositivo encargado de la tarea mencionada anteriormente, ya que permite generar un conjunto de señales capaces de realizar diferentes tipos de funcionamiento del detector, como son: Lectura, borrado, borrado - lectura, lectura - borrado - lectura por renglón y borrado rápido por cuadrante, así como sus combinaciones por lo que permiten cualquier tipo de muestreo requerido y poder reducir el ruido del sistema, de entre los métodos más utilizados se encuentran:

- Método de mínimos cuadrados, (utilizado cuando se realizan múltiples lecturas)
- Doble muestreo correlacionado, (utilizado cuando se tienen solo 2 muestras)

Además el secuenciador se encarga de suministrar las señales requeridas para:

- La transmisión de datos desde la cadena de lectura hasta la interfaz (reloj de 8MHz y un submúltiplo de 2MHz).
- Controlar la cadena de lectura en la cual se indica el tiempo de exposición, de conversión, etc.

Cabe mencionar que el secuenciador fue realizado con un DSP de la compañía Texas Instruments, que tiene las siguientes características:

- Ciclo de máquina de 50ns.
- Realiza operaciones de punto fijo (resolución de 16 bits).
- Decodificador de 16 puertos.
- Un puerto serie (Tx y Rx).

2.4 Cadena de Lectura y Borrado.

Debido a que el detector entrega una señal muy débil es necesario acondicionarla (amplificarla, integrarla, filtrarla, convertirla de Analógico a Digital) para su posterior manejo en una PC. Y es la Cadena de Lectura la encargada de realizar esta labor.

La cadena de lectura esta basada en cuatro cadenas de lectura idénticas entre si, y cada una al igual que los sistemas Camila y Camila 2 contienen un circuito integrador (con el cual es posible reducir el ruido de lectura), un convertidor Analógico-Digital de 16 bits de resolución, un filtro pasobajas, etc. Debido a que los cuatro canales funcionan en paralelo, las salidas son enviadas a un registro de corrimiento que funciona como multiplexor ya que intercala los bits de cada cuadrante para su posterior transmisión en forma serie hacia la interfaz.

2.5 Interfaz

Una vez que son generados los datos de cualquier instrumento, es necesario almacenarlos para su posterior análisis y procesamiento, pero para poder almacenar dichos datos, es necesario un dispositivo que sea capaz de dar formato a los datos generados por el instrumento y así el sistema receptor no tenga conflictos para poder almacenarlos.

La interfaz para la adquisición y procesamiento se encarga de esta tarea, así ésta recibe la información generada por los cuatro canales de lectura en forma serial, misma que separa y ordena para reconstruir los valores de los 4 pixeles enviados originalmente. Además la interfaz debe de ser capaz de almacenar los datos para su posterior transmisión rumbo al sistema de almacenamiento en donde serán procesados con métodos que permitan reducir el ruido de la señal detectada.

Esta tesis tiene por objeto realizar la parte llamada interfaz del proyecto Tequila. Y en los próximos capítulos se presentará en una forma más detallada el diseño, pruebas, y desempeño de este subsistema.

CARACTERÍSTICAS DE LA INTERFAZ.

Podemos decir que algunas de las características más importantes con las que deberá contar la interfaz son:

- Debido a que el tiempo mínimo requerido para poder convertir de analógico a digital a un pixel es de $10\mu s$, con una resolución de 16 bits (dos bytes), es posible calcular la velocidad a la cual se deben transferir los datos en forma serie para un solo canal.

$$\frac{16bits}{8\mu} = 2.0 \frac{bits}{\mu} = 2.0 \frac{Mbits}{s} = 0.25 \frac{MBytes}{s}$$

Pero como se mencionó anteriormente, el detector cuenta con cuatro cuadrantes y la cadena de lectura esta formada por cuatro cadenas que trabajan en paralelo, entonces es necesario cuadruplicar la velocidad obtenida para un solo canal si se requiere una sola línea de conexión entre la cadena de lectura y la interfaz.

$$\frac{16bits*4}{8\mu} = 8 \frac{bits}{\mu} = 8 \frac{Mbits}{s} = 1.0 \frac{Mbyte}{s}$$

- De acuerdo con el número de pixeles del detector (1024×1024) 1'048,576 y que cada pixel es manejado en 2 bytes, se tiene que cada imagen del detector ocupa en memoria:

$$(1048,576 \text{ pixeles}) \cdot (2 \text{ bytes}) = 2097,152 \text{ bytes} \approx 2 \text{ MB}$$

Por lo que el requerimiento mínimo de memoria es de 2 MBytes, para almacenar una sola imagen.

Además se debe tener en cuenta que para poder utilizar los métodos de reducción de ruido, en el más simple de los casos (método de doble muestreo correlacionado), se deben de tener dos imágenes almacenadas para poder realizar el procesamiento. Aún peor, si se pretende realizar el método de reducción de error por mínimos cuadrados, el espacio requerido de memoria crece de manera exorbitante, ya que si recordamos la fórmula para poder obtener mínimos cuadrados:

$$m = \frac{n(\sum x_i y_i) - (\sum x_i)(\sum y_i)}{n(\sum x_i^2) - (\sum x)^2} \quad (2.1)$$

$$b = \frac{(\sum y_i) - m(\sum x_i)}{n} \quad (2.2)$$

Para nuestro caso tenemos que:

n = Número de lectura del pixel

x_i = Tiempo transcurrido entre diferentes lecturas (tiempo de integración).

Y_i = Valor generado por el detector en el tiempo i .
 m = Flujo de fotones que llegan al detector.
 b = Desplazamiento de la línea base del detector.

De las ecuaciones anteriores podemos observar que se necesitan almacenar los valores $\sum x, \sum y, \sum xy$ y $\sum x^2$ para cada pixel, donde $\sum y, \sum xy, \sum x^2, m$ y b deben ser representados en cuatro bytes (punto flotante), y $\sum x$ podría ser representado en dos bytes además se requiere una zona de memoria en la cual se pueda guardar el dato que esta llegando por lo que el espacio total de memoria requerido es:

$$\begin{aligned} \text{Imagen} + \sum x + \sum y + \sum xy + \sum x^2 + m + b &= \text{Memoria} \\ 2\text{MB} + 2\text{MB} + 4\text{MB} + 4\text{MB} + 4\text{MB} + 4\text{MB} + 4\text{MB} &= 24\text{MBytes} \end{aligned}$$

Es posible utilizar menos memoria si :

- Se calcula hasta el final de la adquisición los valores "m" y "b", con lo que el requisito de memoria total sería de 11 MBytes
- Se utiliza un pequeño bloque de memoria ("buffer") para la imagen que se esta recibiendo y se cambian los 2 MBytes de "Imagen" por aproximadamente 150 KBytes (.15 MB).

Realizando ambas reducciones es posible manejar el método de mínimos cuadrados en:

$$\begin{aligned} \text{Bloque} + \sum x + \sum y + \sum xy + \sum x^2 &= \text{Memoria requerida} \\ 0.15\text{MB} + 2\text{MB} + 4\text{MB} + 4\text{MB} + 4\text{MB} &= 14.15 \text{ MBytes} \end{aligned}$$

Resumiendo, la cantidad de memoria requerida para almacenar y/o procesar las imágenes dependen del tipo de muestreo realizado, así para:

- Una sola imagen sin procesamiento
 - * 2 MBytes.
- Doble muestreo correlacionado $\sum x$
 - * 4 MBytes (dos imágenes) o,
 - * 2 MBytes + bloque que recibe la 2ª imagen, para ser procesada y almacenada donde estaba la primera.
- Mínimos Cuadrados
 - * 24 MBytes (conservando la última imagen, pendiente y la ordenada al origen).
 - * 14.5 MBytes.

Componentes de la Interfaz

3

3.1 INTRODUCCIÓN.

Una interfaz tiene la tarea de acoplar dos o más componentes de un sistema, para formar una unidad operacional completa.

Lo anterior es algo complejo y muy común en cualquier sistema, en especial en los sistemas computacionales donde es necesario unir dispositivos de muy diversa naturaleza. En nuestro caso, como se mencionó en el capítulo anterior, la interfaz tiene como objetivo acoplar a un detector de señales I.R. y un sistema de almacenamiento y pre-procesamiento, así los datos generados por el detector podrán ser procesados, almacenados y mostrados en un formato convencional.

Para poder entender la forma en que se diseñó y seleccionaron los dispositivos de la interfaz, es necesario describir algunas de las características y el funcionamiento de sus componentes.

3.2 EL DSP.

Debido a que las señales que nos rodean son principalmente analógicas (temperatura, presión, sonido, etc.), cuando deseamos manipular estas señales en un dispositivo digital, es necesario realizar una serie de procesos:

- Convertir las señales que nos rodean (presión, temperatura, radiación, etc.) a señales eléctricas.
- Digitalizar las señales (mediante un convertidor Analógico Digital).

Ahora que la señal esta en forma digital, es posible manipularla con muchos dispositivos, como son Microcontroladores, Procesadores Digitales de Señales, Microprocesadores, etc.

Pero debido a que el DSP es procesador especializado para trabajar con señales, esto le da una ligera ventaja sobre los Microcontroladores y procesadores normales.

La familia del TMS320 consiste de 7 generaciones con dispositivos de punto flotante y fijo. Existen 3 generaciones de punto fijo (TMS320C1X, TMS320C2X, TMS320C5X), cuyo desempeño varia desde 5 MIPS hasta los 28.5 MIPS, y 4 generaciones de punto flotante TMS320C3X, TMS320C4X, TMS320C6X y TMS320C8X, este último esta compuesto por cuatro 'C4X y cuyo desempeño alcanza los 3 GFLOPS.

3.2.1 LA ARQUITECTURA DEL TMS320C3X

- La arquitectura de los DSP's de tercera generación responde a demandas de sistemas basados en algoritmos sofisticados con énfasis en la solución de problemas tanto de hardware y software.

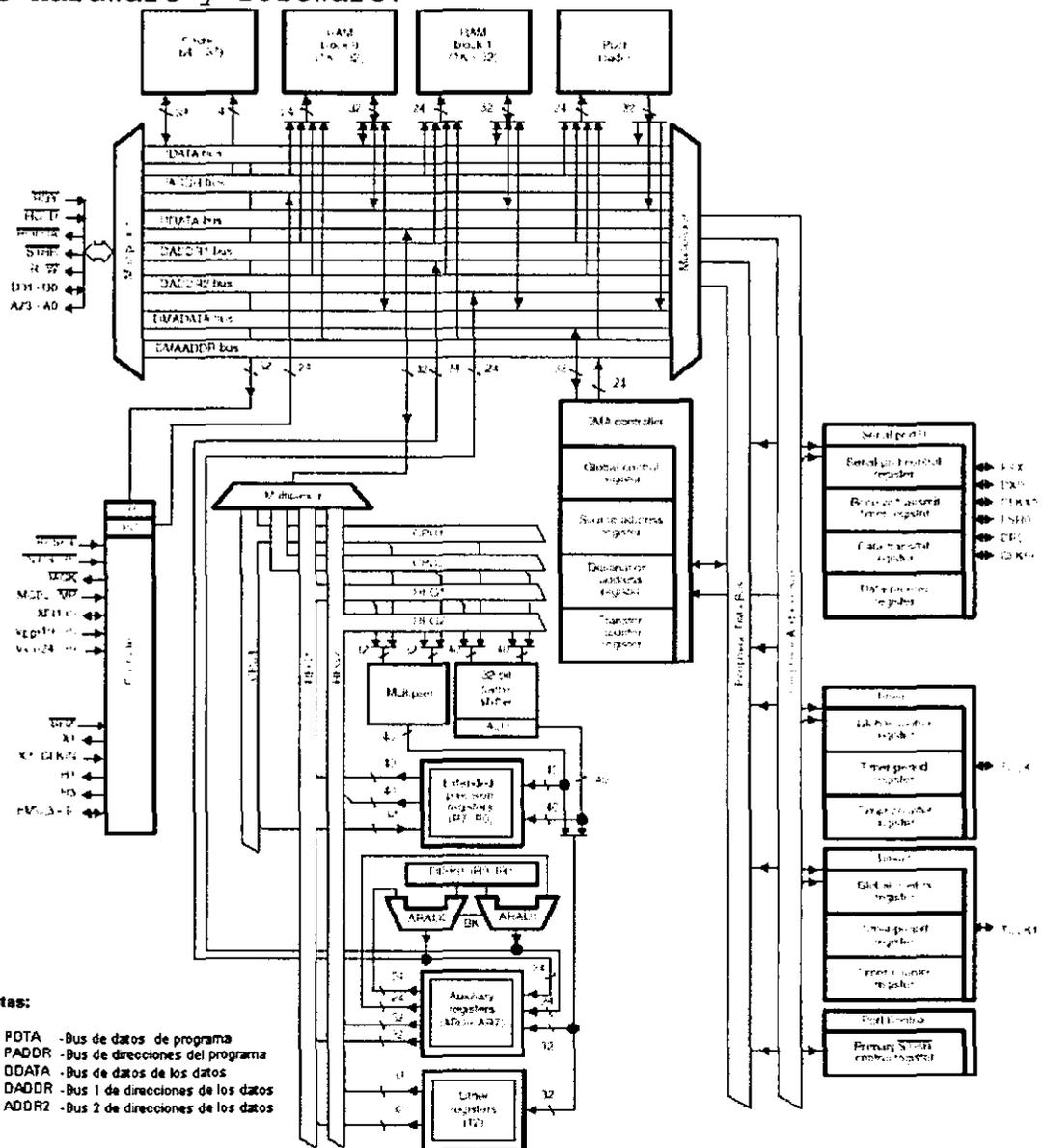


Figura 3.8 . Diagrama a Bloques del DSP TMS320C31

Esto se logra, como se puede observar en la figura 3.8, gracias a la precisión y amplio intervalo dinámico de la unidad de punto flotante, gran memoria interna, al alto grado de paralelismo, el controlador de DMA, etc. Para el TMS320C31 podemos mencionar como características particulares.

- Operaciones de datos enteros o en punto flotante
- Un Canal de Acceso Directo a Memoria (DMA) concurrente a I/O con el cual es posible comunicarse con dispositivos mas lentos sin detener al CPU.
- Tiempo de ciclo de instrucción de 40ns.
- El CPU es capaz de realizar:
 - 50 MFLOPS (millones de operaciones en punto flotante por segundo).
 - 25 MIPS (millones de instrucciones por segundo).
- Gran espacio de memoria direccionable.
- Una interfaz externa del bus de datos y direcciones.
- Un puerto serie.
- Estructura de múltiples interrupciones.

3.2.2 El CPU DEL DSP.

El C3x tiene un CPU basado en una arquitectura de registros, y compuesto por los siguientes elementos:

- Un multiplicador

Es capaz de multiplicar enteros de 24 bits (con resultado expresado en 32 bits) y valores de punto flotante de 32 bits (con resultado expresado en 40 bits).
- Una Unidad Aritmética Lógica (ALU)

Capaz de realizar operaciones aritméticas sobre enteros de 32 bits, datos de punto flotante en 40 bits, y lógicas en datos de 32 bits.
- Un cambiador de barril de 32 bits

Utilizado para corrimientos de hasta 32 bits hacia la izquierda o derecha en un solo ciclo.
- Buses internos

Capaces de manipular 2 operandos desde la memoria (CPU1/CPU2) y 2 operandos desde el archivo de registros (REG1/REG2).
- Unidades Aritméticas de Registros Auxiliares (ARAUs)

Pueden generar 2 direcciones en un solo ciclo
- Un archivo de registros de CPU.

A continuación se muestra en la figura 3.9 un diagrama de bloques del CPU.

3.2.3 REGISTROS DEL CPU DEL DSP.

A continuación, para evitar confusión en los siguientes temas, se realiza una descripción de los diferentes registros del CPU .

- LOS REGISTROS DE PRECISIÓN EXTENDIDA (R0 - R11)

Son capaces de almacenar y realizar operaciones de números enteros de 32 bits y de punto flotante de 40 bits. cualquier instrucción que suponga que los operandos son números de punto flotante usa los bits de 39 a 0. Si los operandos son enteros con ó sin signo, solo son usados los bits de 31 a 0 y los restantes permanecen sin cambio.

- LOS REGISTROS AUXILIARES DE 32 BITS (AR0 - AR7)

Pueden ser accesados por el CPU y modificados por las dos ARAUs. La función principal de los registros auxiliares es la generación de direcciones de 24 bits. Aunque también pueden ser usados como contadores de ciclo o como registros de propósito general de 32 bits que pueden ser modificados por la ALU y el multiplicador.

- EL APUNTADOR DE PÁGINA DE DATOS (DATA-PAGE POINTER, DP)

Es un registro de 32 bits, cargado por la instrucción LDP. Los 8 bits menos significativos del apuntador de página de datos son usados por el modo de direccionamiento directo como un apuntador a la página de datos que esta siendo direccionada. Las páginas de datos tienen una longitud de 64K palabras (Words), para dar un total de 256 páginas.

- LOS REGISTROS ÍNDICE DE 32 BITS (IR0, IR1)

Contienen el valor usado por el ARAU para calcular una dirección indexada.

- REGISTRO DE TAMAÑO DE BLOQUE (BK)

Registro den 32 bits, que es utilizado por el ARAU en direccionamiento circular para especificar el tamaño del bloque de datos.

- PUNTERO DE LA PILA DEL SISTEMA (SP)

Es un registro de 32 bits que contiene la dirección más alta de la pila del sistema. El SP siempre apunta al último elemento guardado en la pila. Las instrucciones PUSH y POP incrementan y decrementan el SP.

- REGISTRO DE ESTADO (ST)

Contiene información global relativa al estado del CPU, usualmente las operaciones activan las banderas de condición de este registro según sea el resultado cero, negativo, etc.

Además existen otras banderas como la de Habilitación Global de Interrupción, de Modo de Repetición, etc.

- **REGISTRO DE HABILITACIÓN DE INTERRUPTCIÓN AL CPU/DMA (IE)**
Es un registro de 32 bits, mediante el cual es posible habilitar o inhabilitar las interrupciones tanto del CPU como del DMA.

- **REGISTRO DE BANDERAS DE INTERRUPTCIÓN DEL CPU (IF)**
Registro de 32 bits, mediante el cual se indica que interrupción fue activada, por lo cual es posible generar cualquier interrupción con solo escribir un 1 en el bit de la interrupción correspondiente.

- **REGISTRO DE BANDERAS DE ENTRADA/SALIDA (IOF)**
Mediante este registro es posible manejar las conexiones externas XF0 y XF1, las cuales pueden ser configuradas como entradas o salidas.

- **REGISTRO DE CUENTA DE REPETICIÓN (RC)**
Registro utilizado para especificar el número de veces que un bloque de código será repetido, cuando se realiza repetición de bloque, si RC contiene N, el ciclo se ejecuta N+1 veces.

- **REGISTROS DE REPETICIÓN DE BLOQUE (RS,RE)**
El Registro de inicio de dirección de repetición (RS) contiene la dirección de memoria que indica el inicio del bloque de programa que será repetido cuando el CPU esta en modo de repetición. Mientras que el Registro de fin de dirección de repetición (RE) contiene la dirección de memoria que indica el final del bloque del programa que será repetido.

- **CONTADOR DE PROGRAMA (PC)**
Registro de 32 bits que contiene la dirección de la próxima instrucción a ser traída para su posterior decodificación y ejecución.

3.2.4. MEMORIA DEL DSP.

EL DSP TMS320C31 es capaz de direccionar una memoria de hasta 16 millones de localidades de un Word(32bits) de longitud, la cual puede contener programas, datos, espacios de Entrada/Salida, etc. Cuentan con 2 bloques de memoria RAM dentro del chip, cada una de 1K x 32 bits, las cuales son

capaces de soportar dos accesos del CPU en un solo ciclo, y gracias a la separación de buses de programa y de DMA, permiten traer programas en forma paralela para su posterior decodificación. Existe un bloque de 64×32 bits de memoria cache para almacenar instrucciones o secciones de código que se repitan, con lo cual se evitan los accesos a memoria externa. A continuación se muestra el diagrama a bloques de la Memoria interna del DSP.

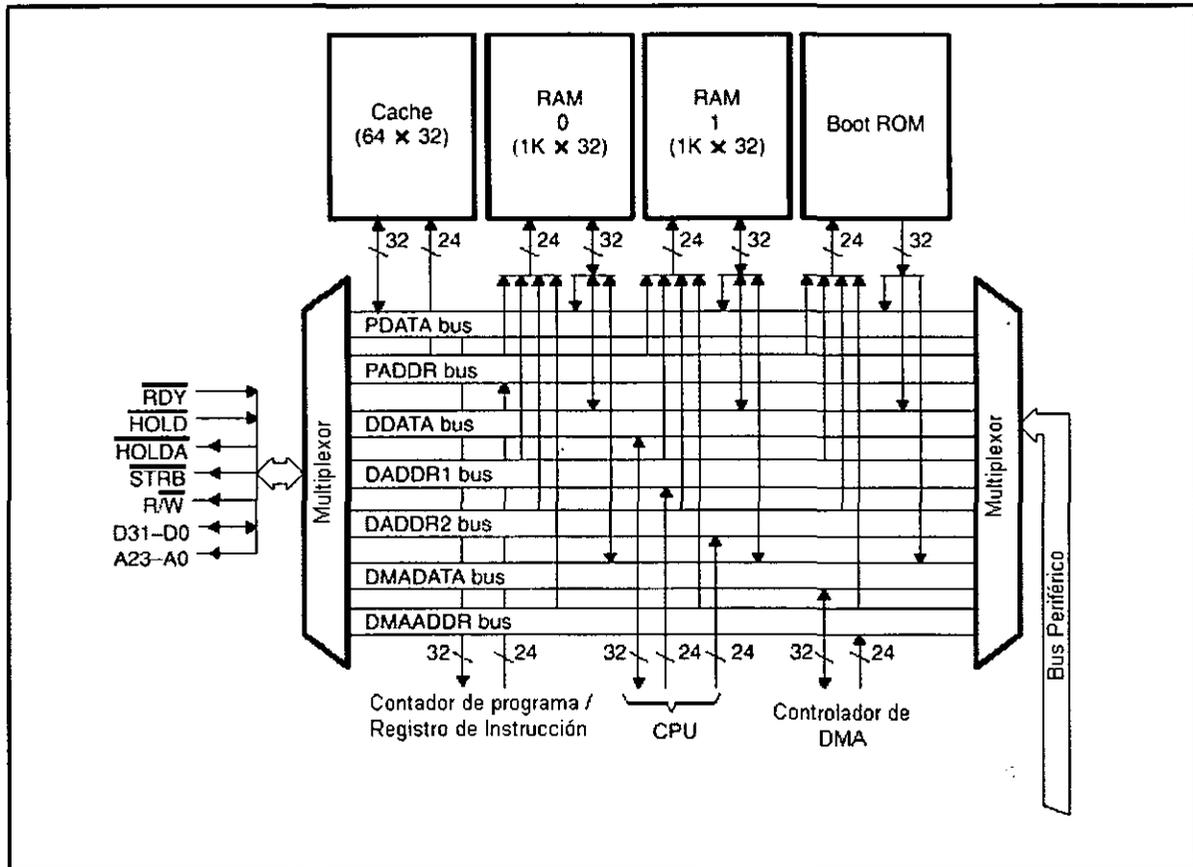


Figura 3.10 Diagrama de Organización de la memoria del DSP 'C31

MAPA DE MEMORIA DEL DSP.

El mapa de memoria depende según el modo en que esta trabajando el procesador, los modos de operación se eligen mediante una señal en la entrada MC/MP*, por lo que se tiene modo de microprocesador (MC/MP*=0) o modo de microcomputadora (MC/MP* =1). En modo microprocesador la zona del cargador de programa boot no esta definido en el mapa de memoria, las localidades de 0h a 03Fh (accesadas con STRB) forman la tabla de vectores de interrupción, de trampa, y localidades reservadas. Las localidades 040h a 7FFFFh se refieren memoria externa y son manejadas mediante la señal STRB*.

A continuación se muestran los mapas de memoria dependiendo del tipo de modo en el cual trabaja el DSP.

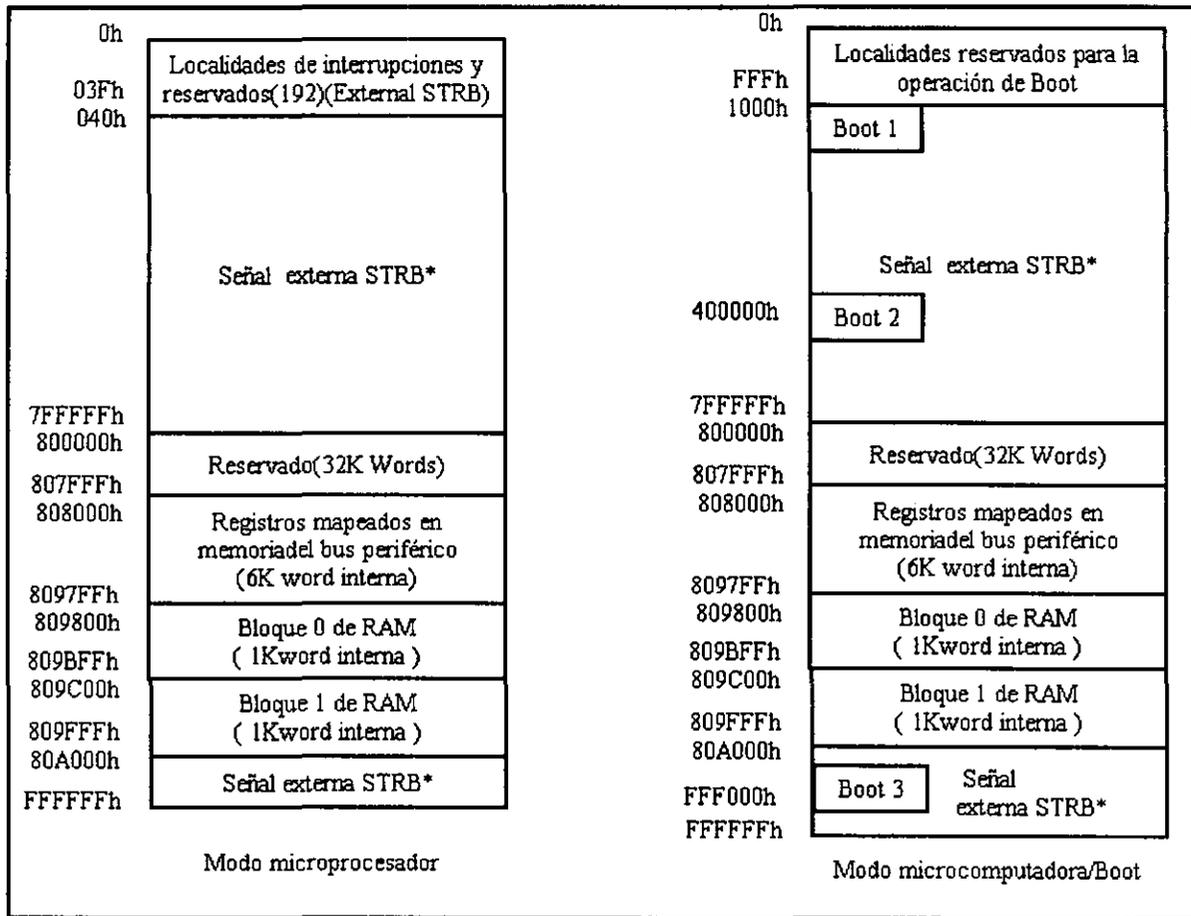


Figura 3.11 Mapa de Memoria del TMS320C31.

En modo microcomputadora la zona de memoria del cargador del boot se define dentro de las localidades 0h a FFFh, existen 192 localidades dentro de este bloque, reservadas para vectores de interrupción, de trampa y espacio reservado. Las localidades 1000h-7FFFFFFh son accedidas con la señal STRB. 7FFFFFFh y 80A000h - FFFFFFFh también son accedidas con STRB.

3.2.5 LAS INTERRUPCIONES DEL DSP.

Nuestro DSP 'C31 permite múltiples interrupciones, tanto externas como internas.

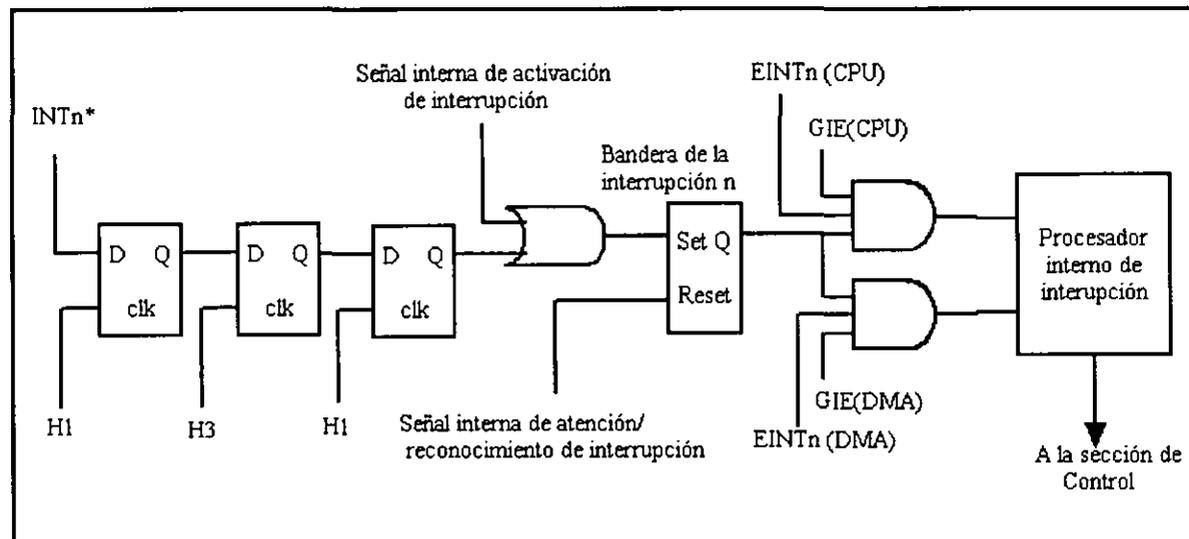


Figura 3.12 Diagrama lógico funcional de las interrupciones.

Las interrupciones externas están sincronizadas internamente, como se muestra en la figura 3.12, con tres flip-flops cuyos relojes son H1 y H3. Una vez sincronizados, la entrada de interrupción activará la bandera correspondiente en el registro IF. Cabe mencionar que cada interrupción debe ser activada por un tiempo no menor de un ciclo de H1/H3 (de lo contrario no será detectada) y no mayor a 2 flancos de bajada de H1 (se interpretará como múltiples interrupciones).

TABLA DE VECTORES DE INTERRUPCIÓN.

Debido a que el mapa de memoria depende del modo de trabajo del procesador, la ubicación de la tabla de vectores también depende del modo en que trabaja el procesador. Para el modo microprocesador, la tabla inicia en la localidad 00h y los vectores de interrupción contienen las direcciones de las rutinas de servicio de interrupción, las cuales se ejecutan cuando ocurre una interrupción. Para el modo microcomputadora la tabla de vectores inicia en la dirección 809FC1 y los vectores de interrupción contienen una instrucción de brinco al inicio de la rutina de servicio de interrupción. La secuencia de las interrupciones se muestra a continuación en la tabla 3.4.

Modo microprocesador		Modo Microcomputadora	
Dirección	Rutina	Dirección	Rutina
00h	Reset	809FC1h	INT0
01h	INT0	809FC2h	INT1
02h	INT1	809FC3h	INT2
03h	INT2	809FC4h	INT3
04h	INT3	809FC5h	XINT0
05h	XINT0	809FC6h	RINT0
06h	RINT0	809FC7h	Reservado
07h	Reservado	809FC8h	Reservado
08h	Reservado	809FC9h	TINT0
09h	TINT0	809FCAh	TINT1
0Ah	TINT1	809FCBh	DINT
0Bh	DINT	809FCCh a DF	Reservado
0Ch a 1FCh	Reservado	809FE0h	TRAP0
20h	TRAP0	.	.
.	.	809FFBh	TRAP27
3Eh	TRAP30	809FFCh a FFF	Reservado
3Fh	TRAP31		

Tabla 3.4 Secuencia de interrupción según el modo de trabajo.

PRIORIDADES DE LAS INTERRUPCIONES.

Cuando dos interrupciones ocurren en el mismo ciclo de reloj o cuando dos interrupciones previamente recibidas están esperando ser atendidas, una interrupción será atendida antes que otra. El CPU atiende a la interrupción con menor prioridad, según la siguiente tabla.

RESET O INTERRUPCIÓN	VECTOR DE LOCALIZACIÓN	PRIORIDAD	FUNCIÓN
RESET	0h	0	Señal externa de Reset
INT0	1h	1	Señal externa de int0
INT1	2h	2	Señal externa de int1
INT2	3h	3	Señal externa de int2
INT3	4h	4	Señal externa de int3
XINT0	5h	5	Señal de pto. serie Tx
RINT0	6h	6	Señal de pto. serie Rx
TINT0	9h	7	Señal generada por timer0
TINT1	Ah	8	Señal generada por timer1
DINT	Bh	9	Señal generada por DMA

Tabla 3.5 Secuencia de las prioridades de interrupción.

BITS DE CONTROL DE INTERRUPCIÓN.

Cuatro registros del CPU contienen bits utilizados para controlar la operación de las interrupciones.

- Registro de Estado (ST). El bit de habilitación global de interrupción al CPU controla todas las interrupciones habilitadas del CPU. Si este bit es 1 el CPU responde a las interrupciones habilitadas.
- Registro de habilitación de interrupción al CPU/DMA (IE) Este registro puede habilitar o inhabilitar de manera individual las interrupciones (externas, serial, de timers, etc.) que van al CPU o DMA.
- Registro de Banderas de interrupción del CPU (IF). Este registro contiene bits de bandera que indican si la correspondiente interrupción esta activada.
- Registro de control global de interrupción del DMA. Las interrupciones al DMA son controladas por medio de los bits de sincronización (SYNC) de este registro, las interrupciones del DMA son independientes al bit GIE del registro ST.

DESEMPEÑO DEL REGISTRO DE BANDERAS DE INTERRUPCIÓN.

Cuando ocurre una interrupción externa o interna, el bit correspondiente del registro IF es puesto a 1. Cuando el CPU o el controlador de DMA procesan esta interrupción, el bit de bandera de interrupción es desactivado (puesto a 0) por la señal interna de reconocimiento de interrupción, cabe mencionar que si la interrupción externa INT_n permanece activada después de la señal de reconocimiento, se generará otra nueva interrupción INT_n. Si se escribe un 1 en un bit del registro IF, se activará la interrupción correspondiente.

PROCESO DE INTERRUPCIÓN.

El DSP 'C3X permite al CPU y al controlador de DMA responder y procesar interrupciones en paralelo, la siguiente figura muestra en un diagrama de bloques la secuencia del proceso de interrupción.

En el ciclo de proceso de Interrupción del CPU (izquierda) se puede resumir en:

- La bandera de interrupción correspondiente en el registro IF es desactivada y las interrupciones son globalmente inhabilitadas (GIE = 0).

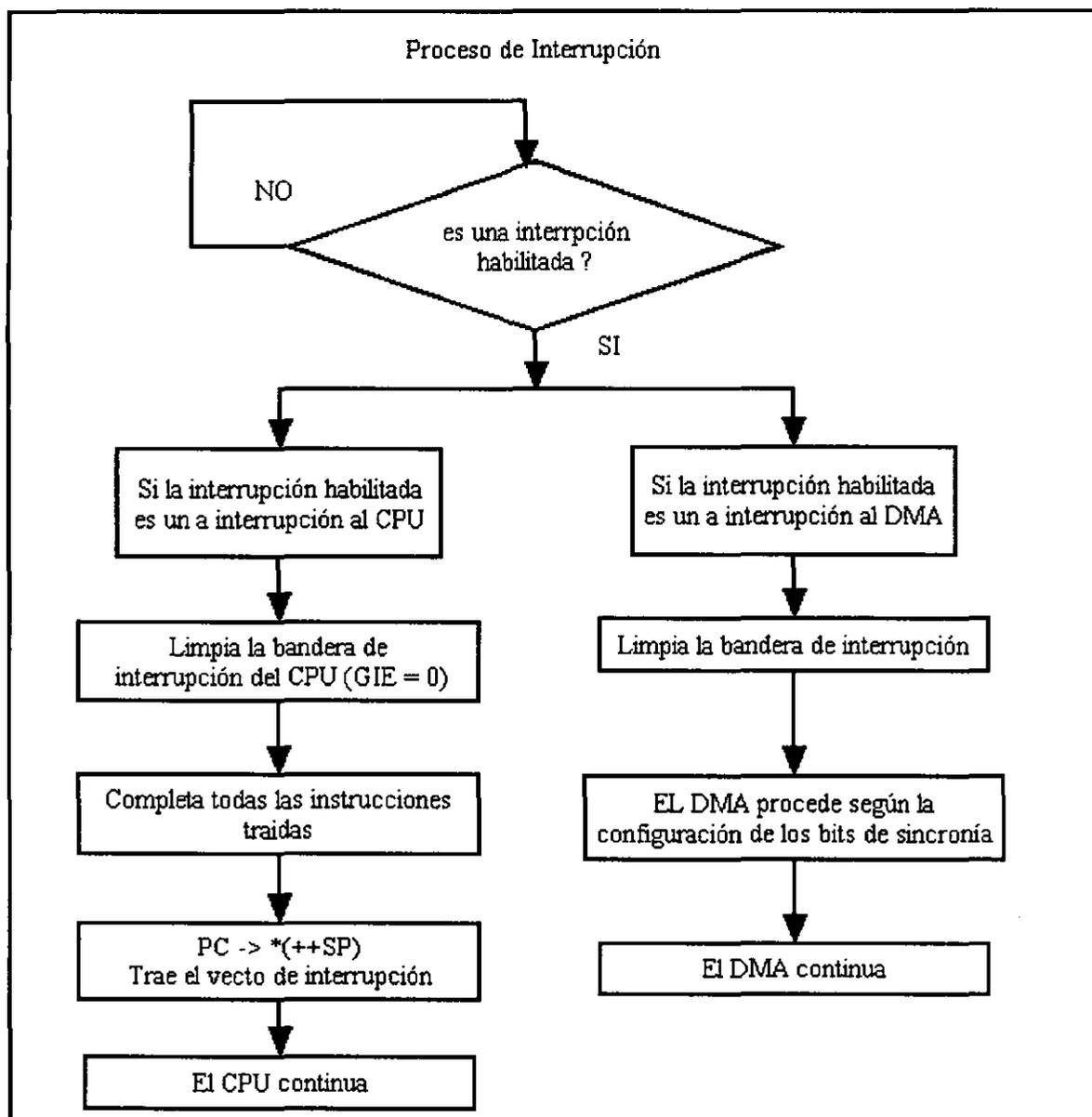


Figura 3.13 Diagrama del Proceso de Interrupción para el DSP.

- El CPU completa todas las instrucciones traídas previamente de la memoria
- El valor actual del PC es almacenado en la pila.
- El vector de interrupción es traído de memoria y cargado en el PC.
- El CPU comienza a ejecutar la primera instrucción de la Rutina de Servicio de Interrupción (ISR). Si se desea hacer esta rutina interrumpible, se debe de activar el bit GIE después de entrar al ISR.

El proceso de ciclo de interrupción del DMA (derecha) es

similar al del CPU. Después que la correspondiente bandera de interrupción se desactiva, el controlador de DMA procede de acuerdo a los bits de sincronía(SYNC) del registro global de control del DMA. Cabe mencionar que las interrupciones son inhabilitadas durante las instrucciones de repetición y brinco con retardo (hasta que se ejecuta la tercer instrucción posterior al brinco).

PERIFÉRICOS DEL DSP.

El DSP 'C31 posee dos contadores de eventos/relojes, un puerto serie(Tx y Rx) y un controlador de DMA. Todos estos módulos son controlados a través de registros mapeados en memoria.

3.2.6 LOS TIMERS O RELOJES/CONTADORES DE EVENTOS.

Los módulos de timer del 'C3X son de propósito general, de 32 bits, ambos, timers y contadores de eventos, tiene dos modos de señales de reloj: interno o externo. Además se pueden utilizar los módulos de timers para señalar al DSP o al mundo exterior intervalos específicos o contar eventos.

Con un reloj interno, se puede utilizar al timer para señalar a un convertidor A/D el inicio de una conversión o puede interrumpir al controlador de DMA para empezar una transferencia de datos. Las interrupciones del timer son reconocidas como interrupciones internas.

Con un reloj externo, el timer puede contar eventos e interrumpir al CPU después de un número específico de eventos, cada timer tiene una terminal de E/S que puede ser usada como reloj de Entrada al timer, señal de reloj de salida o como terminal de E/S de propósito general. La siguiente figura muestra un diagrama de bloques del timer.

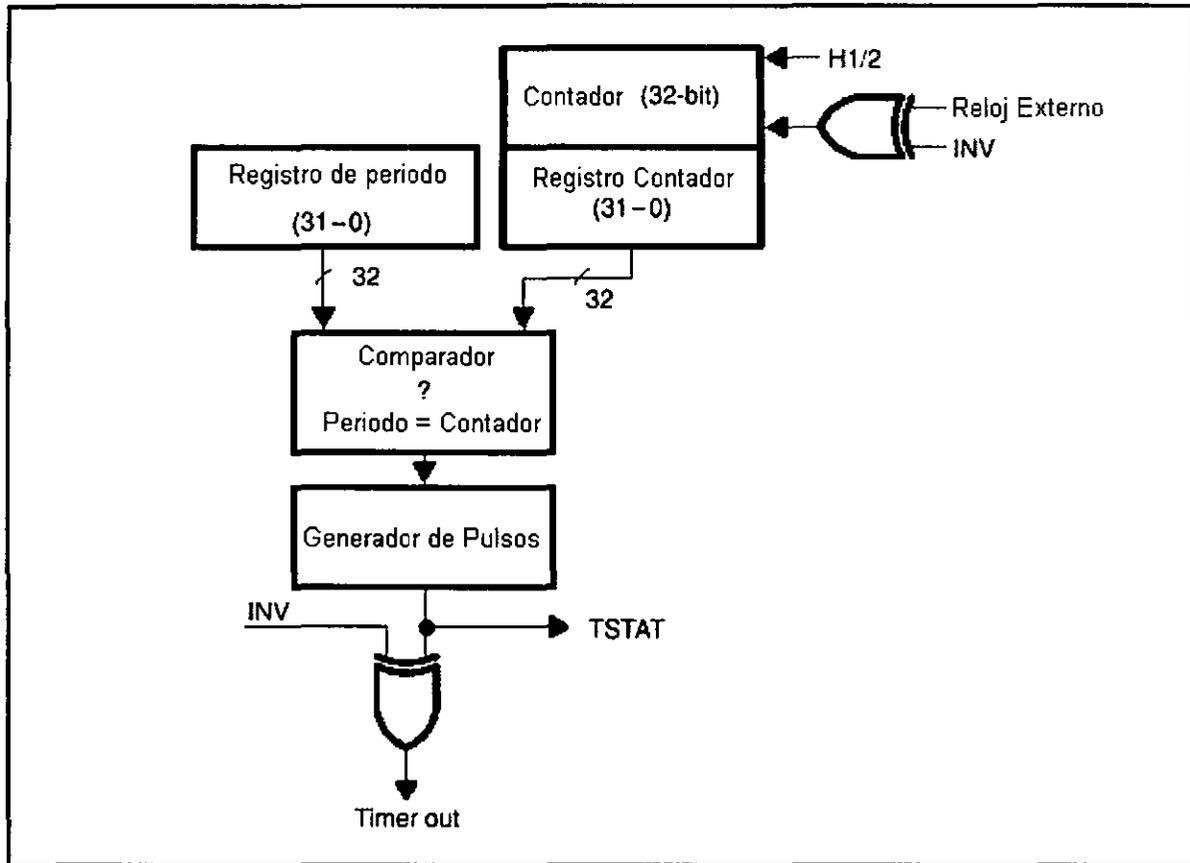


Figura. 3.14 Diagrama a bloques de los contadores de eventos o timers.

El generador de pulsos genera 2 tipos de señales de reloj externas: Pulso o reloj (con ciclo de trabajo de 50%).

3.2.7 EL PUERTO SERIE.

El 'C31 cuenta con un puerto serie bidireccional, que puede ser configurado para la transferencia de palabras de 8, 16, 24 o 32 bits en ambas direcciones. El reloj para cada puerto serie puede ser generado internamente vía los registros de período y el reloj de puerto serie, o externamente vía el suministro de un reloj. Un reloj generado internamente se obtiene de la división del reloj del CPU.

Se tiene disponible un modo de transferencia continua, la cual permite al puerto serie transmitir y recibir cualquier número de palabras sin una nueva señal de sincronización. La siguiente figura muestra un diagrama de bloques de los puertos serie transmisor y receptor.

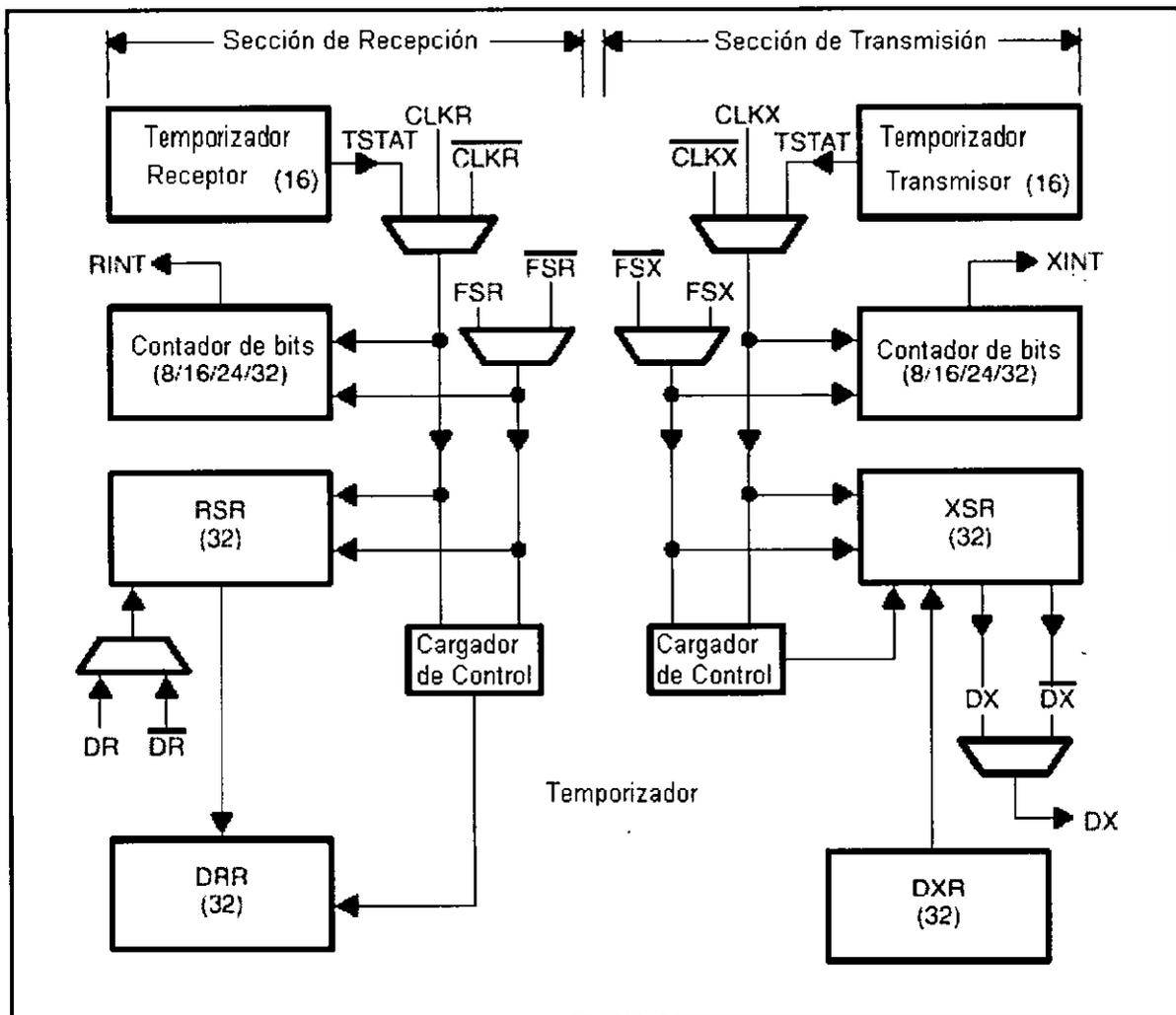


Figura 3.15 Diagrama a bloques del Puerto Serie del DSP.

El puerto serie provee 8 registros mapeados a memoria, con los cuales es posible configurarlo y utilizarlo:

- Registro de Control Global: Controla las funciones globales y determina el modo de operación del puerto serie.
- Registros de Control de Puerto FSX/DX/CLKX y FSR/DR/CLKR : Estos registros de 32 bits controlan la función de las terminales del puerto serie FS*, D* y CLK*.
- Registro de Control de Reloj de Recepción/Transmisión : Contiene los bits de control para el módulo del reloj, la función del reloj de puerto serie de recepción/transmisión es similar a la operación del módulo de timers.
- Registro Contador del Reloj de Recepción/Transmisión: Registro de 32 bits, donde los bits de 0 a 15 forman el contador del reloj de transmisión y los bits de 16 a 31 forman el contador del reloj de recepción. Cada contador es iniciado a 0 cuando alcanza el valor del registro de período.

- Registro de Período del Timer de Transmisión/Recepción: Este registro de 32 bits, donde los bits de 0 a 15 representan el período del reloj de transmisión y los bits de 16 a 31 forman el registro de período de recepción.
- Registro Transmisor de Datos: Cuando el registro de datos de transmisión (DXR) es cargado, el transmisor carga la palabra en el registro de corrimiento de transmisión (XSR) y los bits son desplazados hacia afuera. El dato no es cargado en el registro de corrimiento hasta que está vacío. Cuando DXR es cargado en XSR se activa el bit XRDY del registro de control, indicando que el buffer está disponible para otra palabra. El corrimiento se realiza hacia la izquierda (de LSB a MSB).
- Registro Receptor de Datos: Cuando el dato serial es una entrada, el receptor desplaza los bits dentro del registro de corrimiento de recepción (RSR), cuando el número especificado de bits es desplazado, el registro receptor de datos (DDR) es cargado con el valor de RSR y se activa el bit RRDY. Si el registro DRR no ha sido leído y el RSR está lleno, el receptor es congelado, así los nuevos datos que llegan a la terminal DR son ignorados. Cabe mencionar que el corrimiento es hacia la izquierda (de LSB a MSB).

OPERACIÓN FUNCIONAL DEL PUERTO SERIE.

De todas las configuraciones de operación del puerto serie, es posible realizar una amplia clasificación, de la cual resultan dos categorías:

- Velocidad de datos fijos.
- Velocidad de datos variable.

Transferencia en modo de velocidad de datos fijos.

Las transferencias de puerto serie en modo de velocidad de datos fijos puede ocurrir en dos formas: Modo "burst" y continuo. Una característica importante del modo de velocidad fija es que el primer bit de una nueva palabra es transferida en el siguiente pulso de reloj (CLKX/R) después de presentarse la señal FSX/R.

En el Modo Burst la transferencia de palabras están separadas por periodos de inactividad del puerto.

En el Modo Continuo no hay espacios entre palabras transferidas sucesivamente.

Transferencia en modo de velocidad de datos variables.

El modo de velocidad de datos variable también soporta operaciones en modo continuo y burst (con señal de transferencia).

La operación en modo burst y velocidad de datos variable, es similar al modo burst y velocidad de datos fija, pero la señal FSX/R y el reloj de datos difieren un poco al inicio de la transferencia, las principales diferencias son:

- Los pulsos FSX/R típicamente duran todo el intervalo de transferencia, aunque las señales externas FSR y FSX son ignoradas después del primer bit transferido, mientras que en modo de velocidad de datos fijos los pulsos FSX/R duran solo un ciclo de reloj CLKX/R.
- La transferencia de datos inicia durante el ciclo de reloj CLKX/R en el cual ocurre FSX/R, en lugar del ciclo de reloj posterior a FSX/R como en el caso de velocidad de datos fija.
- Las señales de referencia de sincronía son ignoradas hasta el final del último bit transferido, en lugar del inicio del último bit transferido como en el caso de velocidad fija.

3.2.8 EL CONTROLADOR DE ACCESO DIRECTO A MEMORIA.

El 'C3X tiene dentro del circuito integrado un controlador de acceso directo a memoria(DMA) que reduce la necesidad del CPU para realizar funciones de Entrada/Salida. El controlador de DMA puede realizar operaciones de E/S sin interferir con el CPU por lo cual es posible conectar al 'C3X a memorias y periféricos (convertidores, puertos serie, etc.)mas lentos sin reducir el desempeño del CPU.

La operación del DMA es controlada por medio de cuatro registros mapeados en memoria:

- Registro de Control Global de DMA. Controla el estado en el cual el controlador de DMA opera, también indica el estado del DMA, si la dirección fuente y destino pueden ser incrementadas, decrementadas o sincronizadas, etc.
- Registro de Direcciones fuente y destino: Estos registros son de 24 bits de longitud, con lo cual el controlador de DMA puede leer y escribir en cualquier parte de la memoria, contiene la dirección destino(escribe el dato)y fuente(lee el dato). De acuerdo a lo especificado por los bits DECSRC,INCSRC,DECDST e INCDST del registro de control global, estos registros son incrementados o decrementados al final del correspondiente acceso a memoria.
- Registro Contador de transferencia: Es un registro de 24 bits, controlado por un contador a cero de la misma longitud, el contador se decrementa al inicio de una escritura a memoria realizada por el DMA, de esta forma puede controlar el tamaño del bloque de datos transferidos.
- Registro de habilitación de interrupciones al CPU/DMA (IE) Ver interrupciones o introducción.

OPERACIÓN DE TRANSFERENCIA DE DMA.

Cada transferencia de DMA consiste en dos partes:

- Leer un dato desde la dirección especificada en el registro fuente.
- Escribir un dato que ha sido leído a la dirección especificada por el registro destino.

Una transferencia se completa solo cuando la lectura y escritura se completa. Al final de una lectura de DMA la dirección fuente es modificada (incremento, decremento o fijo) y la dirección destino es modificada (incremento, decremento o fijo) al final de la escritura a memoria, al igual que el contador es decrementado en ese momento.

SINCRONIZACIÓN DEL CANAL DE DMA.

Es posible sincronizar la actividad del DMA con las interrupciones, según sea el valor escrito en los bits de sincronía (SYNC) del registro global, los tipos de sincronización son:

- Sin Sincronización: El controlador de DMA realiza una lectura/escritura cuando no exista ningún conflicto con el CPU (todas las interrupciones son ignoradas).
- Sincronización de origen: No se realiza una lectura hasta que una interrupción es recibida por el DMA.
- Sincronización de Destino: El controlador de DMA esta sincronizado con el destino, primero todas las interrupciones son ignoradas hasta que la lectura es finalizada y no se escribirá en memoria hasta que es recibida una interrupción habilitada al DMA.
- Sincronización de Fuente y Destino: El controlador de DMA es sincronizado en ambas actividades (leer y escribir), así una lectura/escritura será realizada hasta que se reciba una interrupción en el DMA.

3.3 LA COMPUTADORA PERSONAL (PC).

La PC es un dispositivo capaz de realizar operaciones aritméticas y lógicas que debido a su gran versatilidad en cuanto a las aplicaciones se refiere y el bajo costo que tienen, han incrementado su uso en todas las áreas de la ciencia e investigación en las últimas décadas.

La implementación de la Interfaz no fue la excepción en lo que se refiere al uso de la PC. Pero sería prácticamente imposible el poder describir y comentar todas las características y elementos de la PC que fueron utilizados para el nuestro diseño, y mucha de la información es accesible mediante casi cualquier libro de Computación.

Sin embargo, tratando de documentar las partes más importantes utilizadas y que tienen menor difusión en los libros de computación, se presenta a continuación tres partes fundamentales de la Interfaz diseñada:

- El Acceso Directo a Memoria (DMA).
- Las Interrupciones en la PC.
- El manejo de memoria.

3.3.1 EL DMA EN LA PC.

INTRODUCCIÓN

Los Métodos de transferencias programadas, aún con un mecanismo de interrupción, presentan algunos problemas como son:

- Se puede penalizar en forma excesiva el tiempo dedicado a tareas de proceso, en especial cuando las transferencias son muy frecuentes.
- La máxima velocidad de transferencia no es suficiente para las necesidades requeridas por algunos periféricos

La técnica de Acceso Directo a Memoria (D.M.A. siglas del inglés Direct Acces to Memory), es un método que permite transferir datos sin la intervención del CPU y su funcionamiento consiste en desconectar temporalmente al microprocesador de los buses de datos, direcciones y líneas de control, para que un dispositivo llamado Controlador de DMA sea el encargado de manejar las direcciones de memoria con las cuales se realiza la transferencia de datos, así como las respectivas señales de control.

EL CONTROLADOR DE DMA.

Desde la aparición del primer IBM PC, el sistema de DMA ha estado basado en el controlador de DMA 8235A, el cual suministra a la memoria y al dispositivo de entrada/salida las señales de control, información y direccionamiento durante toda la transferencia de DMA. El controlador de DMA 8235A, es en realidad un microprocesador de propósito específico, cuya labor es la transferencia de datos a alta velocidad, cabe mencionar que este dispositivo a quedado rezagado en comparación con la velocidad de trabajo de los CPU's, que con un reloj de 4.77 MHz para el 8088, pasó a cerca de los 300 MHz para los más recientes microprocesadores, mientras que el controlador de DMA no ha pasado de una velocidad de 8MHz.

El controlador 8235A tiene cuatro canales de DMA que pueden ser programados de manera independiente y activados en cualquier momento, aunque solo pueda atender a uno a la vez, debido a su estructura de prioridades, donde el canal 0 tiene la prioridad más alta y el canal 3 la mas baja.

Originalmente el controlador 8235A era un chip de 40 terminales (pines), pero actualmente gracias al avance de la tecnología, se encuentra alojado junto con otros controladores dentro de nuevos chips, pero la función sigue siendo la misma.

Entre algunas de las terminales más importantes del controlador se encuentran:

- *IOR (IO-Read)*. Durante una transferencia DMA, esta línea se activa tan pronto como el controlador lee los datos de un periférico, para transferirlos a la memoria.
- *IOW (IO-Write)*. Esta señal trabaja análogamente a IOR, pero en lo que hace referencia a procesos de escritura. Durante una transferencia DMA, el controlador DMA activa esta señal cuando quiere transferir datos a un periférico.
- *MEMR (Memory Read)*. La activa el controlador DMA cuando se han de leer datos de la memoria principal.
- *MEMW (Memory Write)*. La activa el controlador DMA cuando se han de escribir datos en la memoria principal.
- *READY* Esta señal ofrece a los periféricos y módulos de memoria lentos la posibilidad de alargar los accesos de lectura o escritura del controlador DMA cuando no pueden recibir los tan de prisa. Con esto se pueden provocar una especie de estados de espera o «Wait States».
- *HLDA (Hold Acknowledge)*. El controlador DMA recibe esta señal de la CPU o de otro bus maestro cuando éstos han dejado libre el bus de la PC, de modo que el controlador DMA puede asumir el control de dicho bus para llevar a cabo la transferencia deseada.

- **ADSTB (Address Strobe)**. El controlador DMA utiliza esta señal para cargar el Byte más significativo de una dirección de transferencia en el registro externo Latch de la DMA.
- **AEN (Address Enable)**. Activando esta señal durante una transferencia DMA, el controlador DMA provoca que el registro externo Latch de la DMA envíe su contenido a las líneas A8-A15 del bus de direcciones como parte de una dirección de memoria.
- **HRQ (Hold Request)**. A través de esta línea el controlador DMA pide el control sobre el bus de la CPU o un bus maestro.
- **CS (Chip Select)**. Activando esta línea la CPU muestra al controlador DMA que pretende efectuar un acceso de lectura o escritura a sus registros internos.
- **CLK (Clock)**. A través de este terminal recibe el controlador DMA la señal de tiempo.
- **RESET**. Cuando el controlador DMA recibe una señal a través de esta línea, vuelve por sí mismo a su estado original.
- **DACK0-3 (DMA-Acknowledge 0-3)** El controlador DMA indica al correspondiente dispositivo a través de esta línea que está preparado para llevar a cabo una transferencia DMA.
- **DREQ0- DREQ3 (DMA Request 0-3)**. Si un dispositivo quiere iniciar una transferencia DMA, activa su línea DREQ y pone en conocimiento del controlador DMA su intención de llevar a cabo dicha transferencia.
- **DB0- DB7 (Data Bus 0-7)** Estas líneas constituyen el bus bidireccional a través del cual la CPU accede a los registros del controlador DMA.
- **A0-A7 (Direcciones 0-7)**. Durante una transferencia DMA, el controlador DMA utiliza estos registros para enviar los siete bits menos significativos de la dirección de memoria (bit 0 a 7) al bus.
- **EOP (End of Process)**. A través de esta línea el controlador DMA indica a un dispositivo el final de la transferencia actual tan pronto como el contador interno alcanza el valor 0FFFFh (Terminal Count).

REGISTROS INTERNOS.

El controlador 8235A cuenta con 27 registros internos, mediante los cuales es posible programarlo y conocer su estado, los cuales se muestran a continuación en la tabla 3.6

Registro	Número	Tamaño/Bit
Dirección de inicio	4	16
Contador	4	16
Dirección actual	4	16
Contador actual	4	16
Dirección temporal	1	16
Contador temporal	1	16
Estado (Status)	1	8
Comando	1	8
Memoria intermedia	1	8
Modo	4	8
Enmascaramiento	1	8
Request	1	8

Tabla 3.6 Los registros internos del controlador DMA.

REGISTROS DE PÁGINA.

Debido a que el registro contador es de 16 bits, el controlador solo puede realizar transferencias de hasta 64KB (contador con valor FFFFh) y una mínima transferencia de un elemento (contador con valor 0h), debido que el contador termina de contar cuando pasa del valor 0h a FFFFh.

Como el registro de dirección base es de 16 bits, el controlador de DMA se vería imposibilitado para poder manejar una zona de memoria superior a los 64 KB sino fuera por la existencia de los registros de página externos, los cuales proporcionan los bits de direcciones desde A16 hasta A19 en los PC/XT y de A16 hasta A23 en el PC/AT.

Por si esto no fuera ya suficientemente complejo, el controlador solo puede manejar por si mismo las líneas de direcciones de A0 hasta A7, ya que solo cuenta con 8 terminales de direcciones, por lo que las líneas de direcciones de A8 hasta A15 los maneja un "latch", el cual es llamado latch de direcciones DMA, el cual esta conectado al controlador a través de sus líneas de datos D0 a D7 y ADSTB, en la siguiente figura es posible resumir la generación de direcciones de memoria durante la transferencia de DMA.

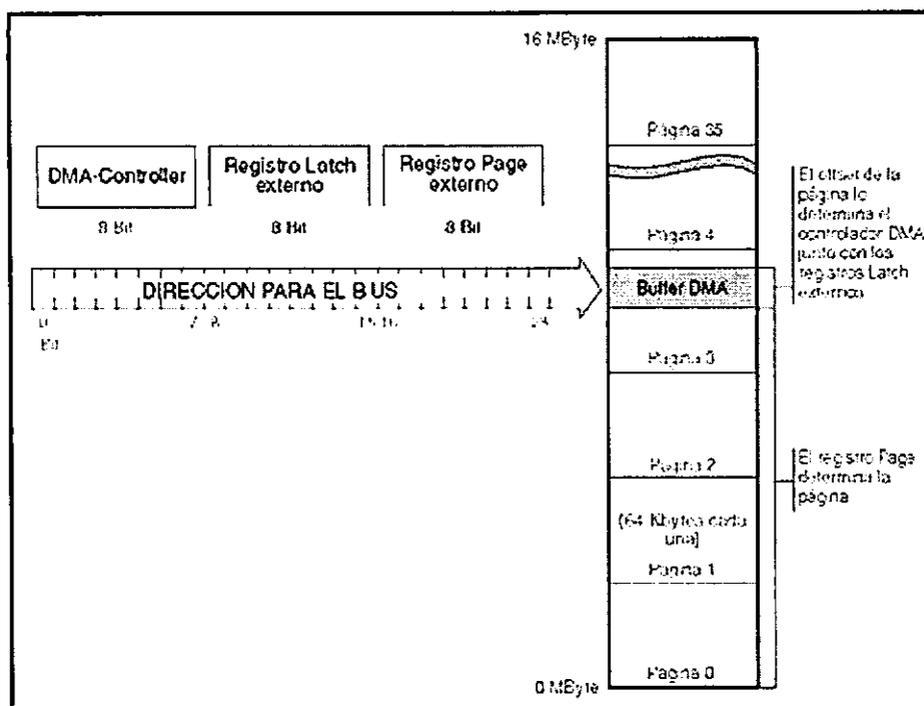


Figura 3.16 Forma del manejo de memoria mediante el controlador de DMA.

DESBORDAMIENTO DE SEGMENTOS DEL DMA.

El desbordamiento de segmento de DMA, se refiere a la mala generación de direcciones, lo cual genera una incorrecta lectura o escritura en memoria. Esto ocurre debido a que la formación de una dirección por medio del controlador de DMA, se tiene separada en tres registros de 8 bits cada uno. Donde el registro, correspondiente al bloque de direcciones más significativo, no cambia durante la transferencia y que se realice una mala selección de la dirección de memoria donde se almacenan los datos (de A0 a A15). Por ejemplo: Si deseo almacenar un bloque de datos cuya longitud es de 40 KB y la dirección de la zona de memoria en la que se guardan los datos se localiza en la mitad de la página 0, dirección de memoria 32KB o en forma de Offset y Segmento 0000:8000 en forma de los tres registros del controlador de página (líneas A16-A23), de parte alta (líneas A8-A15), de parte baja (líneas A0-A7) 0H, 80H, 0H. Entonces ocurrirá un desbordamiento cuando después de escribir/leer los primeros 32KB, dentro de la página 0, los registros que manejan las líneas de A0 a A15 cambien de FFFFh a 0000h y el registro "paginador" (líneas de A16 a A23) sigan indicando dirección la misma página (0), con lo cual los datos restantes serán leídos/escritos en el inicio de la página 0 (0000:0000) no al inicio de la página 1 (1000:0000).

DISPOSICIÓN DEL CONTROLADOR DE DMA EN LA PC.

La disposición del controlador depende del modelo de PC, así en la PC/XT solo se dispone de un controlador, mientras que en la PC/AT se tienen 2 controladores conectados en cascada como se muestra en la siguiente figura.

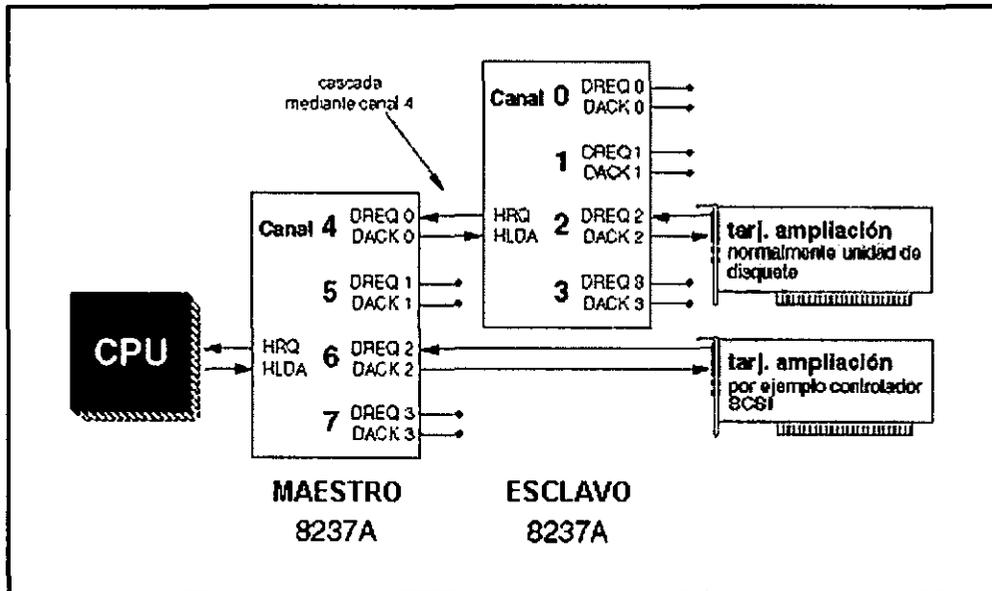


Figura 3.17 Conexión de los controladores DMA.

La configuración en cascada consiste en conectar un controlador (llamado esclavo) como si fuera un periférico, a otro controlador (llamado maestro). En la PC el esclavo está conectado en la terminal de más alta prioridad, por lo cual todas las peticiones de DMA del esclavo (DMA0 a DMA3) tienen mayor prioridad que las terminales del maestro (DMA5 a DMA7), debido a lo anterior, el canal DMA4 está ocupado como línea de conexión entre ambos controladores.

TRANSFERENCIAS DE 16 BITS.

Para la PC/AT se dimensionó al controlador maestro para realizar transferencias de 16 bits y al esclavo para transferencias de 8 bits (como en la PC/XT). A pesar de que los controladores fueron diseñados para transferencias de 8 bits, ya que:

- los registros de direcciones solo cambian de uno en uno, con lo que se apunta a la dirección de un byte en un byte.
- Los registros de manejo de datos, utilizados en la transferencia de memoria a memoria, tienen una longitud de 8 bits.

Pero a pesar de lo anterior, es posible realizar transferencias de 16 bits en las PC/AT debido a que:

- Durante una transferencia de DMA, el dato que se mueve de una localidad de memoria a un dispositivo de entrada/salida o viceversa, no pasa a través ni es cargado en el controlador de DMA, con esto el controlador no sabe si transfiere un Byte o un Word, por lo que es suficiente con ampliar el bus de datos, a través del cual se conecta el periférico y la memoria, de 8 bits (en la PC/XT) a 16 bits (PC/AT) para transferir un Word.
- Existe un corrimiento en las líneas de direcciones del controlador maestro, mediante el cual cada incremento en 1, de la dirección indicada por el controlador, equivale a un incremento en dos localidades de memoria (cada una de un Byte). El corrimiento de las líneas de dirección consiste en que la línea A0 del controlador esta conectada a la línea A1 de la memoria, la A1 del controlador a la A2 y así sucesivamente, lo cual equivale a una multiplicación por dos de la dirección manejada por el controlador. Debido a esto es necesario dividir entre dos el valor de la dirección en la cual se desea iniciar la transferencia y gracias al corrimiento de las líneas se obtiene la dirección original.

PROGRAMACIÓN DEL DMA

La programación de las transferencias de DMA, se realizan por canal, y al inicio de cada programación siempre se debe de inhabilitar (poner la mascara) al canal que se esta programando, con esto se evita que antes de terminar de programar el canal, se realice una petición inesperada de DMA lo que podría causar una caída del sistema.

Una vez inhabilitado el canal, se debe especificar la dirección de la transferencia (de memoria a periférico o de periférico a memoria), modo de operación de DMA que será utilizado (sencillo, bloque, demanda, cascada, etc.) y finalmente la longitud y dirección donde se almacenaran los datos, lo cual se realiza mediante el almacenamiento de valores específicos en los registros del controlador y de pagina. Después de la configuración del canal, se puede habilitar el canal de DMA para que responda cuando se active la correspondiente señal DREQ. En las siguientes tablas se muestran los registros de configuración, así como la dirección que ocupan en la memoria de la PC/AT.

Registro	Puerto*	Puerto**	Lectura	Escritura
Estado	08h	0D0h	X	
Comando	08h	0D0h		X
Request	09h	0D2h		X
Enmascaramiento 1	0Ah	0D4h		X
Modo	0Bh	0D6h		X
Byte-Word FlipFlop	0Ch	0D8h		X
Memoria intermedia	0Dh	0DAh	X	
Reset	0Dh	0DAh		X
Reset del Enmascaramiento	0Eh	0DCh		X
Enmascaramiento 2	0Fh	0DEh		X

Tabla 3.7 Registros DMA en PC/XT y AT a través de los cuales se puede programar al controlador DMA.

* Esclavo en AT / DMA única en PC/XT

** Maestro en AT / no disponible en PC/XT

Canal	Registro	Puerto*	Puerto**	lectura	Escritura
0	Dirección de inicio	00h	0C0h		X
0	Dirección actual	00h	C0h	X	
0	Longitud de transferencia 1	01h	0C2h		X
0	Longitud permanente 1	01h	0C2h	X	
1	Dirección de inicio	02h	0C4h		X
1	Dirección actual	02h	0C4h	X	
1	Longitud de transferencia 1	03h	0C6h		X
1	Longitud permanente 1	03h	0C6h	X	
2	Dirección de inicio	04h	0C8h		X
2	Dirección actual	04h	0C8h	X	
2	Longitud de transferencia 1	05h	0CAh		X
2	Longitud permanente 1	05h	0CAh	X	
3	Dirección de inicio	06h	0CCh		X
3	Dirección actual	06h	0CCh	X	
3	Longitud de transferencia 1	07h	0CEh		X
3	Longitud permanente 1	07h	0CEh	X	

Tabla 3.8 Registros DMA en PC/XT y AT para configuración y consulta de los canales DMA.

* Esclavo en AT / DMA única en PC/XT

** Maestro en AT / no disponible en PC/XT

Mediante el registro de estado (figura 3.18) es posible saber si en alguno de los canales hay una solicitud de hardware (con DREQ X) o un final de transferencia (TC).

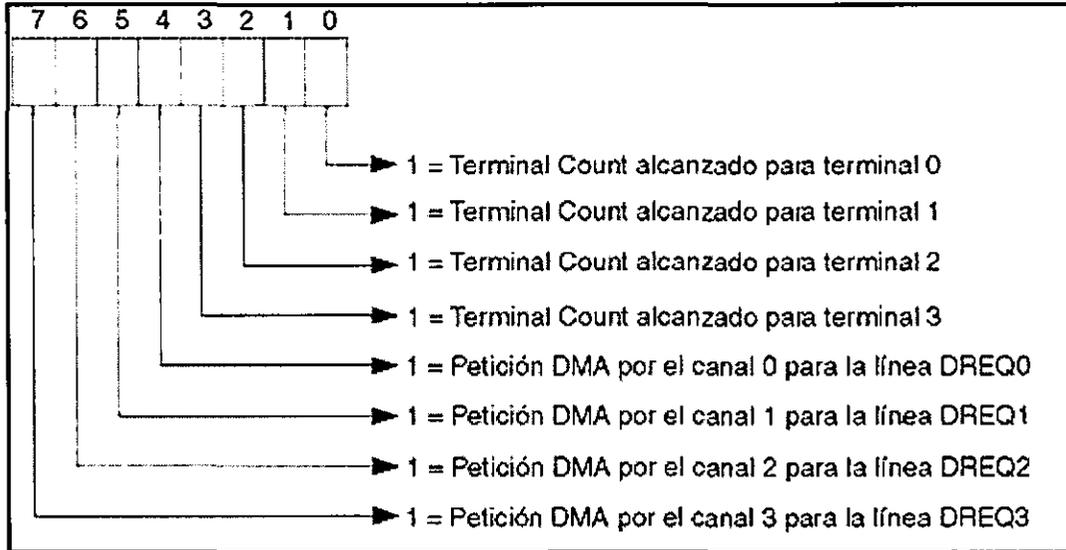


Figura 3.18 Registro de Estado.

En la misma dirección de memoria que el registro de estado, se encuentra el registro de comando (figura 3.19), mediante el cual es posible hacer numerosas configuraciones del controlador de DMA, como son: polaridad de líneas DACKX y DREQX, tipo de prioridades, etc. Es importante mencionar que la PC tiene una configuración típica cuyo valor es 0x00 y que el controlador de DMA es capaz de realizar transferencias de memoria a memoria, pero esta posibilidad no se tiene configurada en la tarjeta madre.

El registro de solicitud (Request) permite realizar una transferencia de DMA por software, la configuración de este registro se muestra en la figura 3.20.

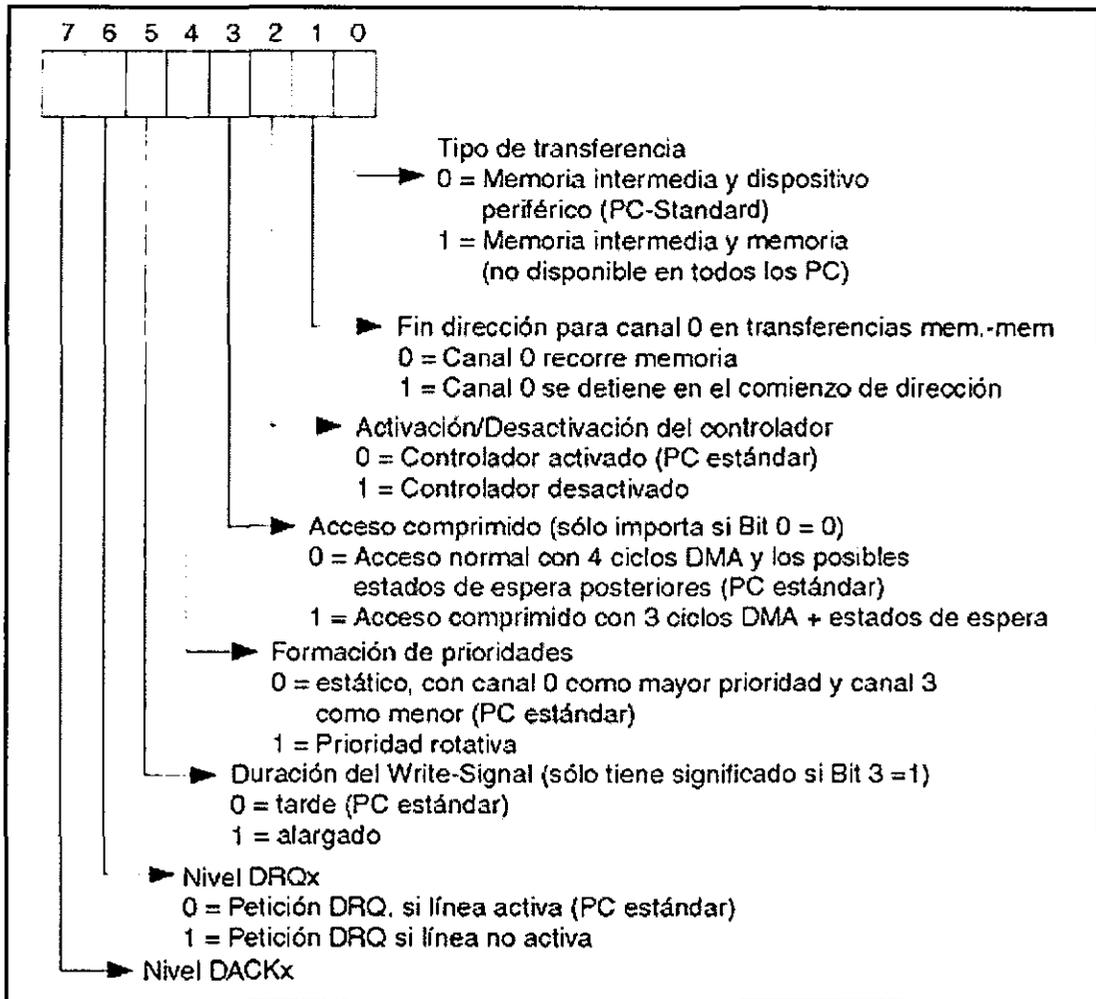


Figura 3.19 Registro de comando del DMA.

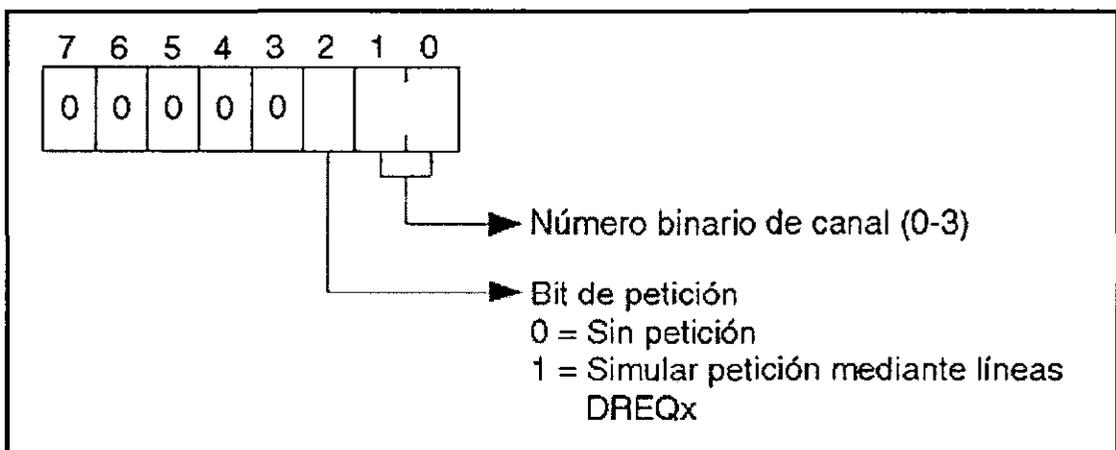


Figura 3.20 Registro de petición de transferencia de DMA.

Con el registro de enmascaramiento 1 es posible habilitar o deshabilitar solo un canal a la vez, con lo cual es posible desactivar un canal para su correcta programación sin afectar el resto de los canales, la configuración de este registro se muestra en la figura 3.21.

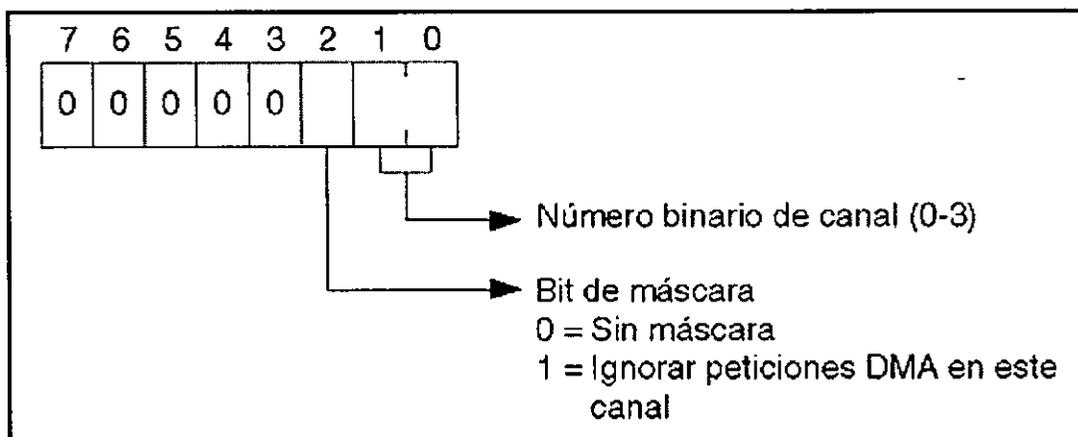


Figura 3.21 Registro de enmascaramiento 1.

El registro de enmascaramiento 2 permite activar y/o desactivar varios canales simultáneamente, lo cual solo es

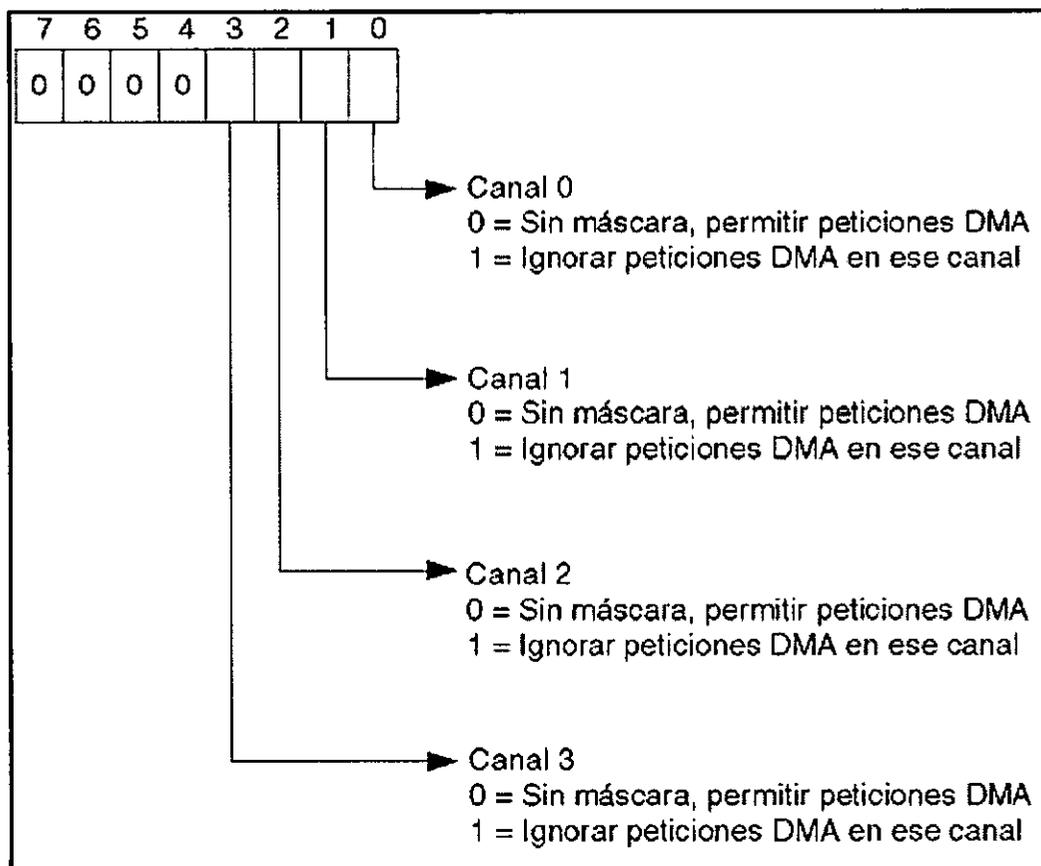


Figura 3.22 Registro de enmascaramiento 2.

conveniente cuando se inicializa el controlador, la configuración de este registro se muestra en la figura 3.22.

El Registro de Modo, cuya configuración se muestra en la figura 3.23 permite configurar el modo de funcionamiento de un canal, como es:

- Decremento o incremento de la dirección de memoria
- Inicialización automática del canal cuando se registre una señal de fin de proceso (EOP) o final de cuenta (TC).

- Modo de transferencia, en los que podemos mencionar:
 - Escritura: la cual es una transferencia desde un periférico de Entrada/Salida hacia la Memoria.
 - Lectura: la cual es una transferencia desde memoria hacia un periférico de Entrada/Salida.
- Tipo de transferencia, en los que encontramos:
 - Transferencia por bloques
Una vez que se activa la señal DREQX se inicia una transferencia de DMA que no termina hasta que se activa la señal TC (la cual se activa cuando el contador pasa de 0000h a FFFFh) o se registra una señal EOP proveniente del periférico que inicio la transferencia.

 - Transferencia Aislada
En este tipo de transferencia solo se transmite un Byte (o word), lo cual es útil cuando el periférico no tiene una memoria para poder almacenar los datos, o cuando no se puede disponer de los datos inmediatamente.

 - Transferencia por Demanda
Es similar a la transferencia de bloque, pero mientras que en ésta solo se requería una breve señal en la terminal DREQ X para iniciar la transmisión, en la transferencia por demanda la línea DREQ X debe permanecer activa durante toda la transferencia y cuando esta señal se desactiva, se detiene la transmisión, la cual reinicia en el mismo punto que se detuvo cuando se activa nuevamente la línea DREQ X.
Este tipo de transferencia toma gran importancia debido a que en el BUS ISA no se tiene la terminal EOP por lo cual no se puede tener un buen control para detener una transferencia.

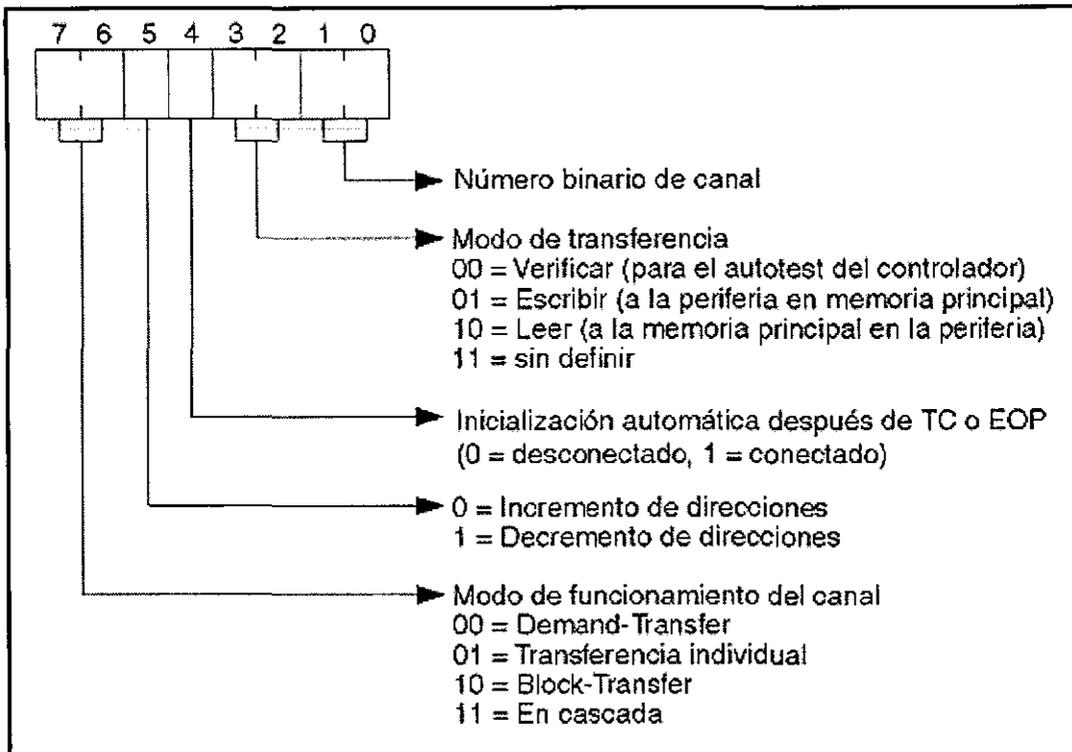


Figura 3.23 Registro de Modo.

El registro de reset de enmascaramiento permite habilitar (quitar la máscara) a todos los canales del controlador y esto se realiza mediante la escritura de cualquier valor en la dirección correspondiente de este registro (0Eh).

El registro de reset puede restablecer todo el controlador, lo cual se realiza mediante la escritura de cualquier valor en la dirección correspondiente (0Dh).

El Registro es necesario para poder manejar direcciones de inicio y longitudes de transferencia en 16 bits.

Los registros de dirección de inicio y longitud de transferencia tienen una longitud de un byte, por lo cual es necesario manejar la dirección y la longitud de transferencia, cuya longitud es de 2 bytes, en dos partes separadas, cada una de 8bits. Debido a esto, si se quiere definir la longitud y/o dirección de transferencia se deben seguir los siguientes pasos:

- Realizar una escritura en el puerto correspondiente al registro flip-flop.
- Enviar el byte de datos menos significativo al puerto del canal correspondiente

- Enviar el byte de datos mas significativo al puerto del canal correspondiente

Cabe mencionar que para la definición de dirección de inicio de transmisión, es necesario configurar el registro de página, las direcciones de los diferentes registros de página se muestran a continuación.

Canal	Puerto
0	87h
1	83h
2	82h
3	81h
4	8Fh
5	8Bh
6	89h
7	8Ah

Tabla 3.9 Dirección de los registros paginadores de DMA para la adquisición de los bit 16 a 23 del ámbito de la transferencia.

3.3.2 INTERRUPTOS EN LA PC.

INTRODUCCIÓN.

Las interrupciones son de particular utilidad cuando se conectan dispositivos de Entrada/Salida que manejan datos a velocidades mas o menos bajas y al contrario de las técnicas de encuesta ("polling"), mediante el procesamiento de interrupciones permiten al microprocesador ejecutar otro programa (figura 3.24) hasta el momento que se genera la interrupción, y es entonces que el microprocesador detiene el programa que estaba ejecutando para poder ejecutar uno de los llamados "administradores de interrupción" y una vez finalizado, el microprocesador continua con la ejecución del programa interrumpido como si no hubiera sucedido nada.

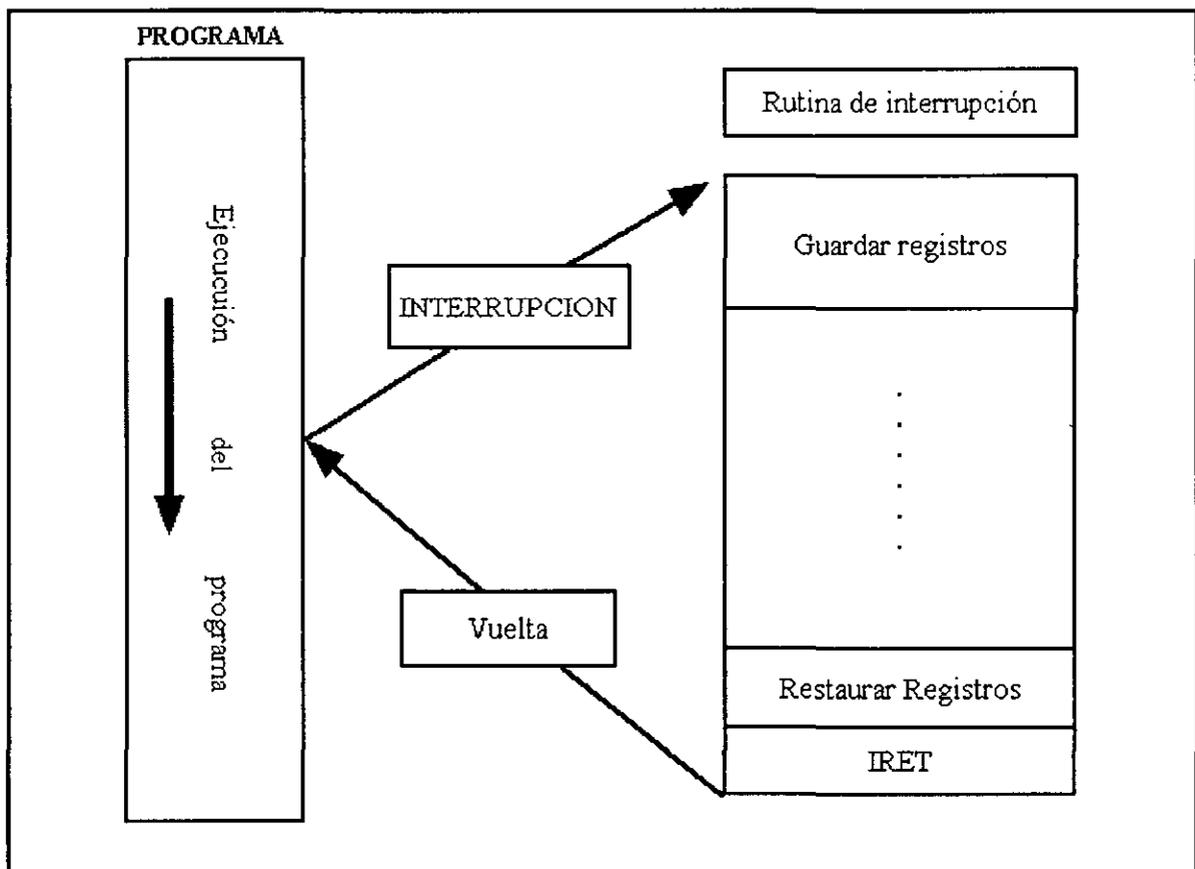


Figura 3.24 Ejecución de una interrupción.

El CPU llamará al controlador de interrupción con la ayuda de la tabla de interrupción, de la cual obtendrá la dirección de la función deseada.

La tabla de interrupciones ocupa los primeros 1024 bytes de la memoria de las PC, y cada una de las entradas a esta tabla utiliza dos Word (4 bytes) seguidos, ya que indican la dirección del administrador de interrupción en forma de segmento y offset, como se muestra en la figura 3.25. La dirección en la cual se encuentra el vector de interrupción se calcula con la multiplicación del número de interrupción por 4 (que es el número de bytes que utiliza cada dirección).

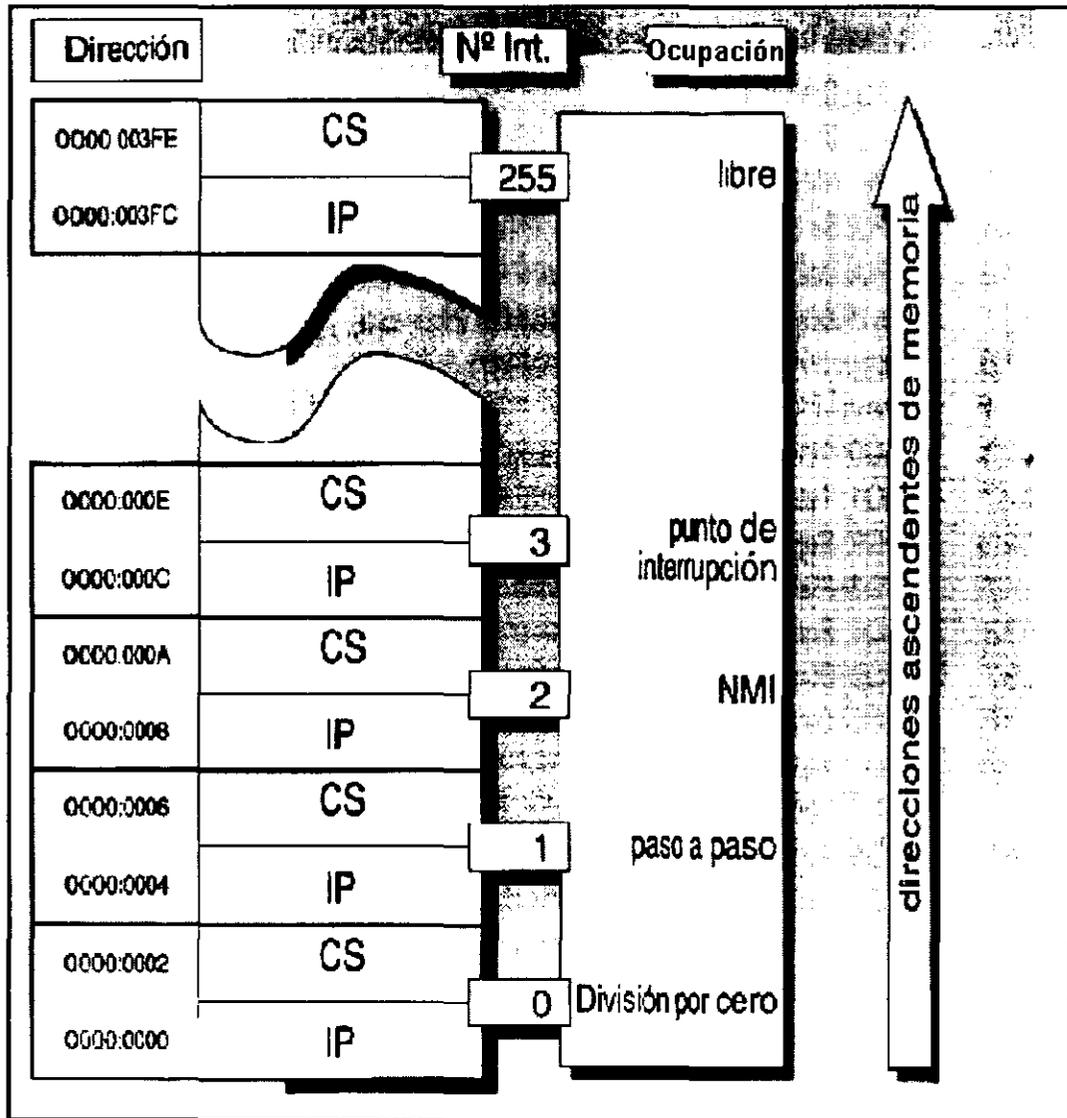


Figura 3.25 El Controlador de Interrupciones.

El circuito integrado PIC-8259A (Programable Interrupt Controller) se encarga de conectar las interrupciones de hardware entre los periféricos y el CPU, por lo que debe poner en fila las llamadas a las diferentes interrupciones, para poder enviarlas de uno en uno al CPU. El controlador de interrupciones puede manejar hasta 8 interrupciones, numeradas de 0 a 7 y normalmente la interrupción 0 tiene la mayor prioridad y la interrupción 7 la menor, además el PIC puede disponerse en cascada con otros PIC's cuando se requieran mas de 8 interrupciones de hardware. En la PC/AT se tienen 2 PIC's uno como maestro y otro como esclavo, conectados en cascada, y el uso típico de las interrupciones es el que muestra la tabla 3.10.

PRIORIDAD	MAESTRO	ESCLAVO	DISPOSITIVO	DISPOSITIVO
0 (Mayor)	IRQ0			Reloj
1	IRQ1			Teclado
2		IRQ0	Reloj en tiempo real	
3		IRQ1	Libre	
4		IRQ2	Libre	
5		IRQ3	Libre (ejemplo SoundBlaster)	
6		IRQ4	Libre	
7		IRQ5	Coprocesador matemático	
8		IRQ6	Disco duro	
9		IRQ7	Libre	
10	IRQ2			Reloj en tiempo real
11	IRQ3			Segundo puerto serie
12	IRQ4			Primer puerto serie
13	IRQ5			Segundo puerto paralelo
14	IRQ6			Unidad de disquetes
15 (menor)	IRQ7			Primer puerto paralelo

Tabla 3.10. Las interrupciones del hardware en un AT.

INICIALIZACIÓN DEL P.I.C. POR SOFTWARE.

Los comandos para poder inicializar el PIC se dividen en dos categorías:

- ICW (Initialization Command Words). Sirven para configurar el PIC, con la característica de que deben ser enviadas en un orden concreto ya que dependen unos de otros.
- OCW (Operational Command Words). Permiten consultar y controlar al PIC, y a diferencia de las ICW el orden en que se envían no importa.

La transmisión de estas palabras se realiza a través de los puertos 20h y 21h para el maestro, mientras que se utiliza los puertos A0h y A1h para el PIC esclavo. Comúnmente el BIOS realiza la inicialización del PIC y solo en situaciones muy excepcionales se debe de modificar la configuración realizada por el BIOS.

La inicialización comienza con el envío de las palabras ICW como se indica a continuación:

La palabra ICW1 indica si se requiere ICW4, el tipo de disparo de interrupción y si existe uno o varios PIC's, el valor que el BIOS asigna es 11h, la configuración de ICW1 se muestra a continuación.

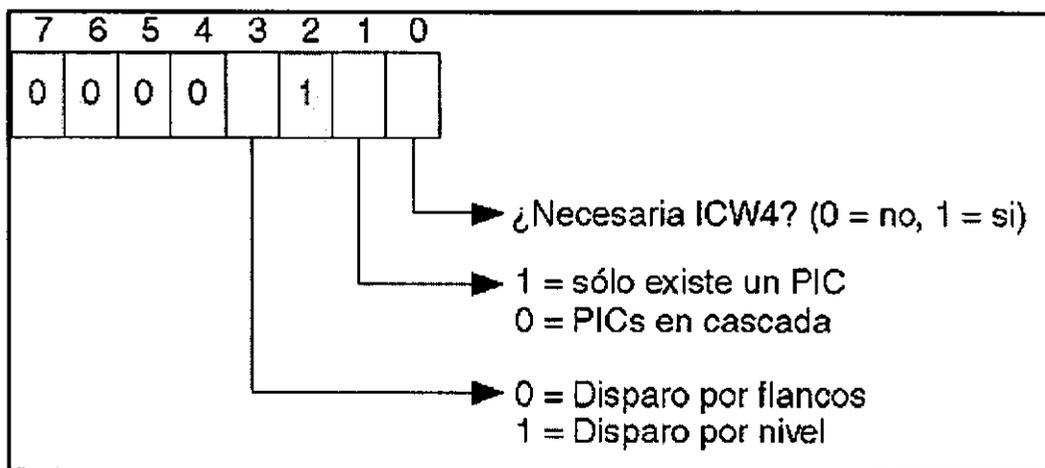


Figura 3.26 Configuración de la palabra ICW1.

La palabra ICW2 indica la dirección de base para la interrupción IRQ0, mientras que la interrupción IRQ1 ejecutara la interrupción base + 1, la IRQ2 ejecuta la interrupción base + 2, etc. El BIOS utiliza la dirección base 08h para el PIC maestro y 70h para el esclavo, por lo cual las interrupciones de hardware ocupan las localidades de 08h-0Fh y 70h-77h en la zona de memoria correspondiente a los

vectores de interrupción. Además las palabras ICW2,3 y 4 se envían por el segundo puerto del PIC, es decir 21h o A1h. El diagrama de esta palabra se muestra a continuación.

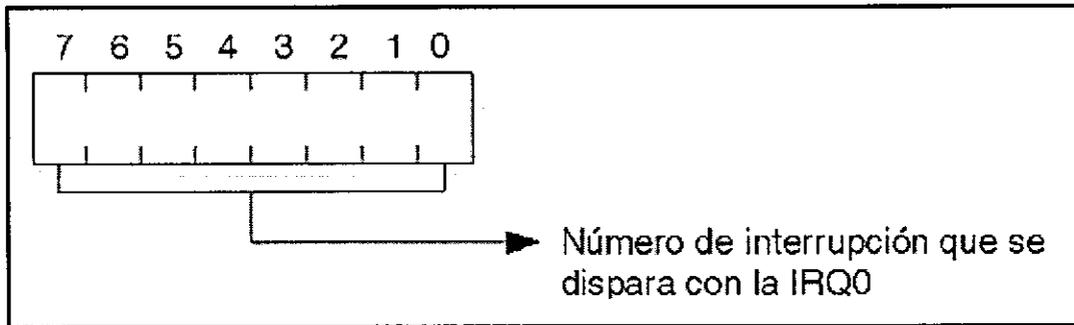


Figura 3.27. Configuración de la palabra ICW2.

La palabra ICW3 significa:

- Para el PIC maestro, en cual de sus líneas están conectados los PIC's esclavos, el BIOS escribe el valor 04H.
- Para el PIC esclavo, indica con que línea se conecta al PIC maestro (figura 3.28), el BIOS indica el valor 02H.

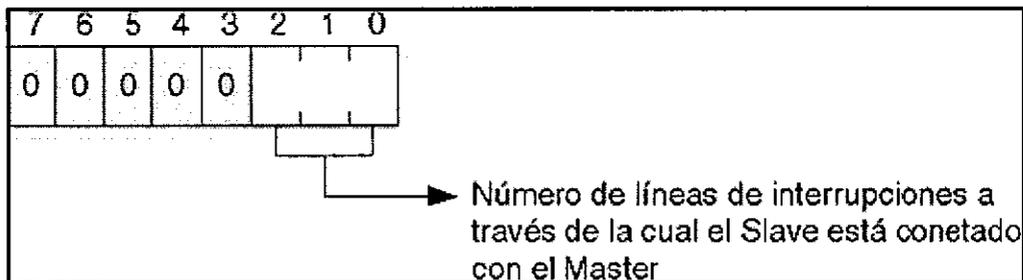


Figura 3.28 Configuración de la palabra ICW3.

La palabra ICW4 indica si el PIC esta trabajando en un entorno INTEL y si debe registrarse automáticamente el final de interrupción o si requiere ayuda de software. El BIOS selecciona el valor 02h, por lo que indica un entorno INTEL y fin de interrupción en forma manual, la configuración de esta palabra se indica en la figura 3.29.

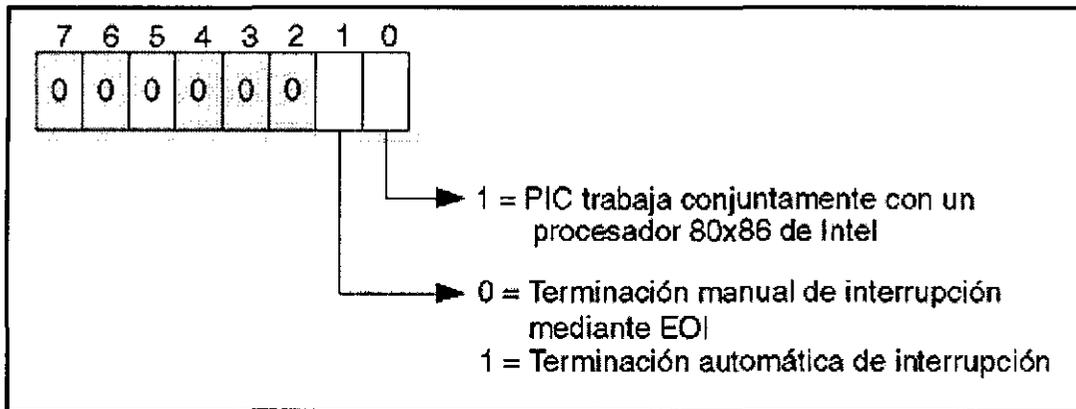


Figura 3.29 Configuración de la palabra ICW4.

El OCW1 permite suprimir o liberar las interrupciones y se escribe por el segundo puerto de comunicación (21h o A1h). Normalmente estos registros tienen valor 0, ya que un uno suprimiría las 8 interrupciones, la configuración se muestra en la figura 3.30.

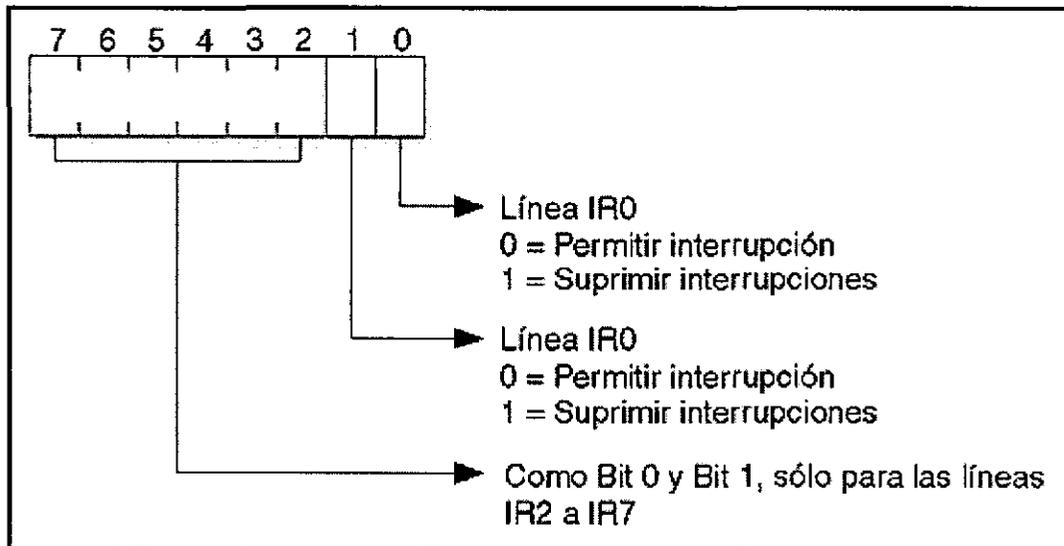


Figura 3.30 Configuración de la palabra OCW1.

El OCW3 permite leer los registros internos del PIC, el comando se debe enviar por el primer puerto (20h o A0h) la estructura del OCW3 se muestra en la figura 3.31

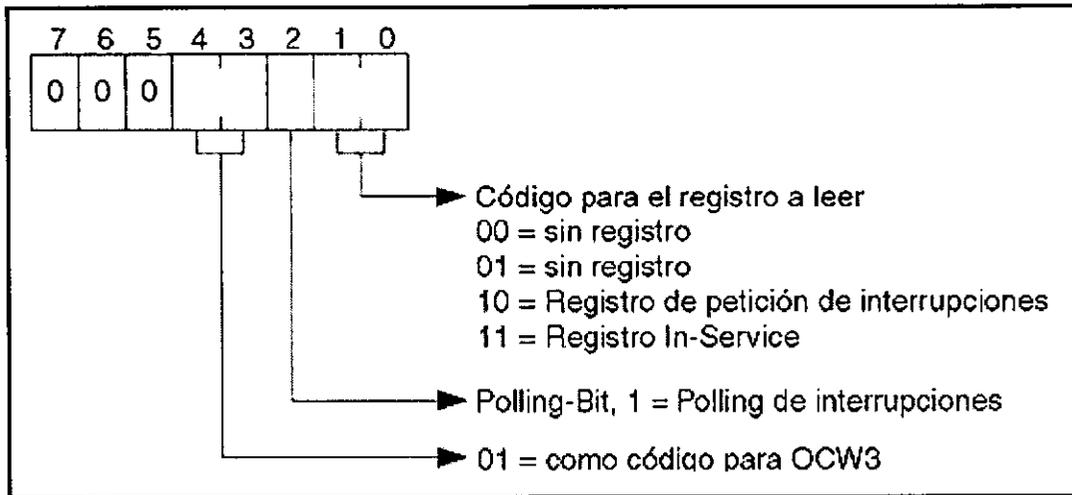


Figura 3.31. Configuración de la palabra OCW3.

El OCW2 se utiliza sobre todo para indicar el final de interrupción, pero además se puede utilizar para configurar las prioridades, el fin de interrupción automático, etc. El código que generalmente se utiliza es 001 (base 2) que es el fin de interrupción y se escribe en el primer puerto (20h o A0h), la configuración de esta palabra se muestra en la figura 3.32

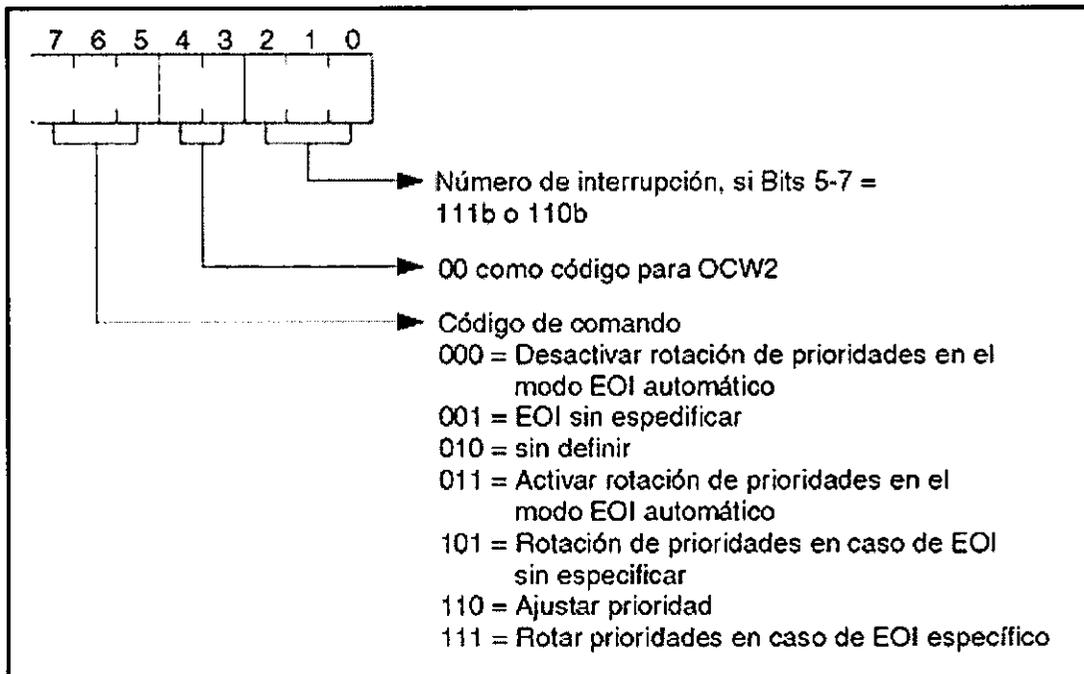


Figura 3.32 Configuración de la palabra OCW2.

El comando OCW2 presenta gran importancia ya que es la única forma mediante la cual el CPU le indica al PIC que a concluido la ejecución de una interrupción, por esto, todo administrador de interrupción de hardware debe informarle al PIC justo antes de la instrucción IRET(retorno de interrupción)que ha concluido, y esto se logra mediante el comando OCW2, siendo 20h el valor para el maestro y esclavo, además si se trata de una interrupción del PIC esclavo, también hay que notificar al maestro del fin de interrupción.

3.3.3 AMPLIACIÓN DE MEMORIA

INTRODUCCIÓN.

Cuando la primera de todas las PC vio la luz en los laboratorios de IBM durante el año de 1980, sus posibilidades estaban muy adelantadas a las de sus congéneres. Esto también se aplicaba a su memoria, que con un máximo de 640 KBytes era tan grande, que nadie sabía exactamente qué hacer con ella. Pero, debido a la velocidad de desarrollo de los microprocesadores, memoria y de programas más potentes que devoran cada vez más y más memoria, de la cual no se puede disponer simplemente, ya nos hemos acostumbrado a términos como "barrera de 640 KBytes", que no quiere decir nada bueno, pero ¿Dónde está el problema?

La respuesta es la compatibilidad, así para que todos los programas se puedan ejecutar sin problemas en equipos que van desde el XT más sencillo hasta el 586 super rápido, no sólo han de ser compatibles los procesadores, sino que se han de cumplir ciertas reglas, y esto también incluye la estructura de la memoria. cuyos límites los define el estándar que surgió en el año 1980.

MEMORIA CONVENCIONAL.

Recibe el nombre de memoria convencional todo el intervalo de memoria que se extiende desde la localidad cero hasta el límite de 1MByte.

Debido a que las empresas diseñadoras de los primeros procesadores y sistemas de computo deseaban poder mantener la compatibilidad con otros sistemas más antiguos, específicamente aquellos que constaban de 64 KBytes de memoria, decidieron poder manejar el bloque de 1 MByte de memoria en 16 pequeñas partes, con lo cual aquellos programas diseñados para los viejos procesadores podían funcionar en estos nuevos sistemas sin sufrir cambios. El precio que se pagó por esta compatibilidad fue la forma de direccionar la memoria, la cual se basa en el manejo de dos registros con una longitud de 2 bytes, llamados segmento y offset (representado como Segmento : Offset). Así una dirección se genera con la suma del valor de offset y la multiplicación por 16 del segmento, dicho de otra manera, el Megabyte de memoria se divide en 16 bloques de 64 KBytes y cada bloque se direcciona con el segmento, mientras que la posición dentro de este bloque la genera el offset.

A continuación se presenta una tabla del esquema de la memoria convencional, así como su contenido.

BLOQUE	DIRECCIÓN	CONTENIDO
15	F000:0000 - F000:FFFF	ROM BIOS
14	E000:0000 - E000:FFFF	libre para cartuchos ROM
13	D000:0000 - D000:FFFF	libre para cartuchos ROM
12	C000:0000 - C000:FFFF	ROM BIOS adicional
11	B000:0000 - B000:FFFF	RAM de vídeo
10	A000:0000 - A000:FFFF	Video-RAM adicional (EGA/VGA)
9	9000:0000 - 9000:FFFF	RAM desde 576 KB hasta 640 KB
8	8000:0000 - 8000:FFFF	RAM desde 512 KB hasta 576 KB
7	7000:0000 - 7000:FFFF	RAM desde 448 KB hasta 512 KB
6	6000:0000 - 6000:FFFF	RAM desde 384 KB hasta 448 KB
4	5000:0000 - 5000:FFFF	RAM desde 320 KB hasta 384 KB
5	4000:0000 - 4000:FFFF	RAM desde 256 KB hasta 320 KB
3	3000:0000 - 3000:FFFF	RAM desde 192 KB hasta 256 KB
2	2000:0000 - 2000:FFFF	RAM desde 128 KB hasta 192 KB
1	1000:0000 - 1000:FFFF	RAM desde 64 KB hasta 128 KB
0	0000:0000 - 0000:FFFF	RAM desde 0 KB hasta 64 KB

Tabla 3.11 La estructura de la memoria RAM del PC.

Esta estructura de memoria es llamada memoria convencional muestra que sólo los primeros 640 KBytes se pueden utilizar para memoria RAM, es decir para poder ejecutar nuestros programas. Todo lo que sigue después, está reservado para la RAM de vídeo, ampliaciones de hardware y el BIOS.

A pesar de que la memoria se puede ampliar fácilmente por encima de un MByte, así las PC's de hoy en día se suministran normalmente con 16,32 ó más MBytes de memoria, la cual no se puede direccionar bajo DOS, ya que DOS trabaja en el llamado modo real (real mode) del microprocesador, que no permite acceder a memoria por encima de 1 MByte. Una salida puede ser el sistema operativo OS/2 (el cual es muy poco empleado). Otras soluciones a este problema de la crisis de la RAM es la ampliación de memoria con la llamada Memoria Expandida y Extendida (Expanded y Extended Memory), con su ayuda, la memoria se puede aumentar en muchos Megas, pero sólo se puede utilizar adecuadamente cuando el software está preparado para su utilización, algunas aplicaciones que hacen uso de esto son: Lotus 1-2-3 o Windows 3.1

ACCESO A LA HMA DESDE EL MODO REAL.

Como Área Alta de Memoria (High-Memory-Area), abreviado HMA, se denomina los primeros 64 KBytes de la Extended Memory. Se han merecido su nombre propio, por que representan la única parte de la Extended Memory, que se puede

direccionar desde el modo real con un truco, sin tener que conmutar al modo protegido.

El descubrimiento de este truco va a cuenta de la compañía Microsoft, que utilizó el HMA por primera vez en la versión 2.1 de Windows, estos 64 KBytes para el modo real son realmente un descubrimiento, que tiene que ver con la forma en que el 80286 y sus sucesores forman direcciones físicas en el modo real, en base a una dirección de segmento y de offset, las cuales simplemente se suman, donde la dirección de segmento primero se multiplicó por 16. Si se indica como dirección de segmento el último segmento de la zona de direcciones del PC, el segmento FFFFh, a partir de la dirección de offset 000Fh ya se está en direcciones físicas que están más allá de la barrera de 1 MByte. Es decir, que uno ya se encuentra en el Extended Memory, a pesar de que procesador sigue trabajando en el modo real, y se pueda seguir direccionando toda la memoria por debajo de 1 MByte sin problemas.

Antes del acceso al HMA, se debe de activar la conmutación de la línea de direcciones A20, ya que esta línea normalmente está bloqueada, Al igual que en la conmutación del procesador del modo protegido, el controlador de teclado tiene aquí un papel primordial, liberando la línea de direcciones A20. Lo cual se logra mediante la escritura en el bit 1 del puerto de salida de dicho controlador, lo cual es un poco más complicado de lo que aquí se menciona. Además es necesario contar con un conjunto de programas para el correcto uso del HMA

- Una rutina para determinar la existencia de al menos 64 KBytes de Extended Memory,
- Una rutina para conmutar la línea de direcciones A20, y
- Una rutina para comprobar la línea de direcciones A20 mediante comparación de memoria.

Cabe mencionar que para el acceso a el HMA en programas profesionales se debería echar mano del controlador XMS.

MEMORIA EXPANDIDA SEGÚN EL ESTÁNDAR EMS.

Las empresas Lotus (Lotus 1-2-3), Intel (fabricante de los procesadores de PC) y Microsoft (MS-DOS y OS/2), recurrieron a un antiguo truco, cuando crearon el estándar LIM: el Bank-Switching. El cual consiste simplemente en crear una pequeña ventana, a través de la cual se puede acceder desde el espacio de direcciones del procesador a

una pequeña parte de la zona de memoria, que se extiende en su totalidad a lo largo de varios MBytes. El software es el que tiene la responsabilidad en conjunto con el hardware, de que esta ventana siempre se desplace de forma que se pueda acceder a la parte necesitada de la memoria. El resto de la memoria permanece oculto, y es «invisible» para el programa.

La memoria instalada de esta forma se llama «expanded memory» (EMS), y la ventana se llama Celda o enmarque de página (page frame). Como no toda la memoria que hay entre el final de la memoria RAM y el límite de 1 MByte está asignada a la RAM de vídeo y otras extensiones del sistema. Siempre se pueden encontrar 64 KBytes que no estén repartidos, y que por ello se puede utilizar como ventana para la memoria EMS. Habitualmente, esta ventana se encuentra en la dirección de segmento D000:E000, así que como esta ventana se encuentra por debajo de la zona de memoria de 1 MByte, se puede acceder a esta memoria como se aplica a la RAM de vídeo, que también se encuentra detrás del final de la memoria RAM.

Aparte del hardware también pertenece una interfaz de software al EMS, que debe realizar las tareas de gestión y la programación de los registros EMS de hardware por usted. Lleva el nombre de EMM (Expanded-Memory-Manager) y representa una interfaz estándar, con cuya ayuda el programador queda aislado del hardware de la tarjeta. Con ello, el programa puede trabajar con los múltiples emuladores EMS sin problemas, y con las diferentes tarjetas EMS de los distintos representantes de este género, QEMM-386 y Windows 3.1, que también pone a disposición de sus aplicaciones del modo extendido la Expanded Memory, detrás de la cual en realidad se esconde Extended Memory. Los productos mencionados se basan en un modo especial de funcionamiento del 80386, el llamado Virtual-86-Mode.

La interfaz de software entre EMM y un programa se parece a muchos otras interfaces, tal y como se encuentran en el ámbito del PC, sólo por que las diferentes funciones EMM se han de llamar a través de una interrupción de software.

MEMORIA EXTENDIDA (EXTENDED MEMORY).

Mientras que un programa ha de tomarse la "Expanded Memory" (EMS) por bocados (páginas), se puede acceder a la "Extended Memory" completa, una vez que se está en el modo protegido (protected mode). En el modo real la "Extended Memory" no funciona, ya que está, inalcanzable para el procesador, detrás de la barrera de 1 MByte. Con ello queda claro, quien no puede utilizar la Extended Memory, y eso son los equipos XT, ya que su procesador sólo conoce el modo

real, y por ello no está en condiciones de conmutar al modo protegido.

En realidad no es difícil llegar al modo protegido, ya que para ello sólo se ha de activar un bit determinado en el llamado registro de banderas del procesador. Una vez que esto haya ocurrido, el programa tiene a sus pies hasta 16 MBytes (para el 286) ó 4 GBytes (para 386 o superiores) de Extended Memory, de la que se puede aprovechar muy poco, ya que el ordenador se "colgará" justo un instante después. Culpa de ello lo tiene el mecanismo con el cual el 80286 y sus sucesores direccionan la memoria en el modo protegido, ya que este se diferencia totalmente de todo a lo que se está acostumbrado en modo real.

El procesador ya no trabaja con direcciones de segmento y offset, sino con los llamados descriptores de segmento globales, locales y además en este modo ya no se puede esperar soporte del DOS. Así que si no se crean las listas de descriptores correspondientes antes de la conmutación al modo protegido, y se inicializan rápidamente, se pueden tener grandes problemas. Lamentablemente esta tarea necesita gran experiencia en la programación en ensamblador y conocimientos profundos sobre el modo de trabajo del procesador en el modo protegido (además dicha información no está ampliamente documentada).

Por otro lado se puede encontrar ayuda para el acceso a la "Extended Memory" en las diferentes funciones del BIOS, y los llamados controladores XMS, comparándolos con las funciones del BIOS, los controladores XMS ofrecen un mecanismo de acceso mejorado a la Extended memory, ya que están preparados para que no exista un sólo programa que utilice la "Extended Memory" para él, sino varios programas que se la repartan entre sí.

ACCESO A LA "EXTENDED MEMORY" CON EL BIOS.

Este método es muy complicado y su funcionamiento principal se basa en el uso de la interrupción 15H (interfaz de la unidad de casete) y diversas funciones de algunos dispositivos que han dejado de ser utilizados, por ejemplo:

- función 88h (devuelve la cantidad de memoria extendida)
- función 87 (movimiento de doble bytes en la memoria, con un máximo de 64 KBytes).etc.

Además es necesario inicializar las tablas de descriptores, los códigos de acceso los cuales indican si son bloques de datos o programas, prioridades, protección contra escritura, etc. sin contar con el hecho de que otros programas podrían escribir en alguna zona de memoria extendida ya utilizada, así como el regreso al modo real una vez que se accede a la memoria extendida, todo esto hace sumamente complicado el uso del BIOS para manejar la memoria extendida.

ACCESO A LA MEMORIA EXTENDIDA CON VDISK.

En la literatura profesional un método se ha inmortalizado como VDISK, ya que se utilizaba en el controlador de dispositivos VDISK. Se trata de un disco RAM, que puede utilizar la "Extended Memory" para depositar archivos, lamentablemente VDISK no se toma la molestia de limitarse de los demás programas con ayuda de un redireccionamiento de la interrupción 15h, sino que deposita los datos del disco RAM directamente a partir de la barrera de 1 MByte en la Extended Memory.

A pesar de que con VDISK no se sobre escribe la memoria que han protegido anteriormente los programas ejecutados con ayuda del método INT 15, los programas llamados después de instalar el VDISK pisarán sin remedio al disco RAM, ya que no descubren su existencia. Cabe mencionar que es posible investigar su existencia con un método de comprobación trabajoso, que se basa en conocimientos profundos sobre la estructura de un medio de almacenamiento bajo DOS, ya que la cabecera de uno de estos discos RAM tiene una cierta estructura, que es propia de todos los almacenamientos masivos que se pueden hacer servir bajo DOS. De ella se puede calcular el tamaño de un medio de almacenamiento, y en el caso de un VDISK, también la longitud de un disco RAM en la Extended Memory, pero además existe el riesgo de que existan varios discos RAM en la memoria, uno detrás de otro, y que por ello se han de recorrer varios discos RAM, para llegar al final del "Extended Memory" libre.

Pero esto es bastante pesado, y además no funciona con todos los tipos de discos RAM que existen para la Extended Memory, así que se recomendamos para el acceso a la "Extended Memory" el trabajo con un controlador XMS, que elimina todos estos problemas.

EL ESTÁNDAR XMS.

El estándar XMS define una interfaz de software, que les permite simultáneamente a varios programas acceder a la "Extended Memory" y otras zonas de memoria. Con lo que se soportan los siguientes objetos de memoria:

- El HMA, que ocupa los primeros 64 KBytes de la Extended Memory, y que va desde la dirección 1024 KBytes hasta 1088 KBytes.
- Los "Extended Memory Blocks" (EMB), que se encuentran en la "Extended Memory" a partir de la dirección 1088 KBytes, y que por ello no colisionan con el HMA y

- Los "Upper Memory Blocks" (UMB) que aún se encuentran en la zona convencional de memoria entre 640 KBytes y 1024 KBytes.

El controlador de XMS más conocido es el controlador HIMEM.SYS de Microsoft, que se suministra con las diferentes versiones del DOS y Windows. Se incluye en el sistema mediante el archivo CONFIG.SYS, y por ello está disponible inmediatamente después del arranque del sistema. Además de éste se pueden encontrar otros controladores de XMS en programas que se dedican a la gestión de memoria y que aparte de la interfaz XMS también soportan el estándar LIM. Entre los cuales podemos mencionar a: el 386-To-The-Max de Qualitas, QEMM y EMM386.EXE de DOS 6.0.

Antes de acceder a las funciones XMS se debe determinar la disponibilidad de un controlador XMS lo cual se logra con ayuda de la interrupción 2Fh, ya que el controlador XMS se engancha durante su instalación en esta interrupción, y puede ser direccionado a través de ella, pero a diferencia de las interfaces de software del estándar LIM, las funciones del XMS no se llaman a través de una interrupción, sino a través de un comando FAR CALL (después de saber la dirección del controlador XMS).

Durante la llamada de las diferentes funciones XMS el número de función se pasa normalmente en el registro AH (ver tabla 3.12)

FUNCIÓN	TAREA
4300h	Obtener número de versión XMS
4301h	Obtener posesión del High-Memory-Area (HMA)
4302h	Liberar HMA
4303h	Activación global de la línea de direcciones A20
4304h	Cierre global de la línea de direcciones A20
4305h	Liberación local de la línea de direcciones A20
4306h	Bloqueo local de la línea de direcciones A20
4307h	Obtener estado de la línea de direcciones A20
4308h	Obtener tamaño de la "Extended Memory" libre
4309h	Aloja un Extended-Memory-Block (EMB)
430Ah	Liberación de un Extended-Memory-Blocks alojado
430Bh	Copia Memoria
430Ch	Bloquea un EMB contra su desplazamiento
430Dh	Desbloquea de nuevo un Extended-Memory-Block (EMB)
430Eh	Obtener informaciones sobre EMB
430Fh	Aumentar o reducir Extended-Memory-Block) alojado
4310h	Alojar Upper Memory Block (UMB)
4311h	Liberar de nuevo un Upper Memory Block (UMB) alojado

Tabla 3.12 Número de funciones del XMS y la tarea que realizan.

A parte puede haber otra información en los diferentes registros del procesador, pero esto varía de función a

función y casi todas las funciones devuelven un código de estado en el registro AX, que informa sobre el éxito (valor 0001h) o un error (valor 0000h) de la operación correspondiente. En el caso de error se puede encontrar en el registro BL un código de error que indica claramente la causa del fallo.

ACCESO A LA MEMORIA EXTENDIDA CON LOS BLOQUES DE MEMORIA EXTENDIDA (EMB).

El manejo de memoria extendida por medio de EMB esta basado en el hecho de que es posible conmutar el procesador al modo protegido, almacenar información en cualquier parte de la memoria y regresar al modo real del procesador, con lo cual se podrá continuar con la ejecución de cualquier programa diseñado para el sistema DOS.

Cabe mencionar que una vez que se obtiene la dirección del controlador XMS, que también se llama "Extended Memory Manager" (XMM), la llamada a las funciones se realizan por medio de una llamada lejana (FAR CALL).

Además los EMB se identifican y trabajan por medio de "Manejadores" (handles) y debido a que el número de estos "manejadores" es limitado, puede ocurrir el caso de que quede "Extended Memory" libre, pero que se hayan acabado los "manejadores", ya que se han alojado muchos EMB pequeños. Para evitar esto, debería pedir EMB lo más grandes posibles, y dividirlos en diferentes zonas de memoria, que se utilicen de distinta forma. El hecho de utilizar "manejadores" en lugar de las direcciones de los bloques de memoria se basa en la gestión de memoria del XMM, ya que está diseñada de forma que evite la fragmentación de la Extended Memory. Por esta razón, el XMM tiende a desplazar los diferentes EMB en la "Extended Memory" de un lado para otro, para que de los EMB pequeños liberados se vuelva a formar una zona grande. Con este método se desplazan también las direcciones de EMB ya alojados, y por ello tiene sentido el pasarle a los diferentes invocadores un handle y no la dirección física de un EMB.

Si quiere utilizar "Extended Memory" en su programa en forma de EMB, se deben de seguir ciertos pasos para no producir errores:

- Determinar la existencia de un manejador de memoria extendida (XMS)
- Obtener el tamaño de la memoria extendida libre.
- Pedir un bloque de memoria extendida.
- Copiar información en el bloque de memoria reservado.
- Por último liberar el bloque de memoria reservado.

Los pasos anteriores se realizan por medio de las funciones 8 - F del controlador XMS, y de acuerdo con las características de cada una de esas funciones.

Ya que los datos en el "Extended Memory" sólo se pueden guardar, pero no manipular, es necesario pasar partes o EMB completos a la memoria convencional, y de allí a la Extended Memory. Con la función 0Bh el estándar XMS realiza esta tarea. Se ha de pasar en la pareja de registros DS:SI el puntero a la llamada *Estructura de movimiento para la Memoria Extendida* ("Extended Memory Move Structure"), que contiene la información sobre la zona fuente y destino, así como el número de Bytes a copiar y el orden de esta estructura así como la forma que debe tener se muestran a continuación:

DIRECCIÓN	CONTENIDO	TIPO
00h	Longitud del bloque en Bytes (debe de ser un número par)	1 DWORD (4 Bytes)
04h	Handle del bloque fuente.	1 WORD (2 Bytes)
06h	Offset en el bloque fuente a partir del cual se copia	1 DWORD (4 Bytes)
0Ah	Handle del bloque destino	1 WORD (2 Bytes)
0Ch	Offset en el bloque destino a partir del cual se copia	1 DWORD (4 Bytes)

Tabla 3.13 Estructura de la "Extended-Memory-Move-Structure"
Longitud = 18 Bytes.

Las informaciones sobre el handle y la dirección de offset de la dos zonas se han de utilizar de distintas formas, según si se trata de una zona de la Extended Memory, o de la memoria convencional RAM. Si se quiere direccionar un EMB, se ha de pasar el handle. La dirección de offset representa al offset relativo al inicio del bloque. Si de lo contrario se direcciona una zona en la RAM convencional, el handle ha de tener el valor 0, y como offset se ha de indicar la dirección de segmento y offset del inicio del bloque en el formato acostumbrado (primero la dirección de offset, después de segmento). En cuanto a lo que se refiere a la velocidad del proceso de copia, no es posible evitar la conmutación del modo protegido pero cabe mencionar que una PC 386 puede conmutar 14 000 veces por segundo.

SELECCIÓN DEL CONTROLADOR DE MEMORIA EXTENDIDA.

Cuando se ejecuta un disco RAM, o un programa caché u otras utilidades que pueden utilizar la Extended Memory, aparecen problemas con frecuencia. Las principales razones se encuentran en las peleas por la Extended Memory, en las que los programas se pisan unos a otros. El problema se encuentra en la falta de una instancia de control, que podría obligar a los diferentes programas a una coexistencia pacífica en la Extended Memory.

Así por ejemplo la culpa del BIOS, es que no prevé posibilidades para el alojamiento de bloques de memoria individuales, sino que al contrario, da la sensación de como si dispusiera de toda la Extended Memory. En este aspecto, el estándar XMS ha desarrollado dos procedimientos distintos alrededor del estándar EMS, con cuya ayuda se pueden evitar colisiones en la Extended Memory, aunque no siempre funciona. El primer y más efectivo método consiste en una intromisión en el funcionamiento de la interrupción 15h, modificando el vector de esta interrupción de la tabla de vectores de interrupción con un programa, de modo que ya no apunte al controlador de interrupciones original en el ROM BIOS, sino a un controlador propio. A este procedimiento, el método le debe su nombre, ya que habitualmente se denomina como «método INT 15». Si todos los programas procedieran de la misma forma, en vistas a la utilización común de la "Extended Memory" no deberían generarse problemas. Pero sin embargo existe un segundo método, el del disco RAM o VDISK que se emplea frecuentemente, y que complica realmente las cosas, lo cual se explica en el apartado "Acceso a la Memoria extendida con VDISK" .

Respecto al uso de EMS es posible mencionar que no se puede copiar, en una sola llamada a la función, grandes bloques de datos entre la memoria convencional y extendida, mientras que con el uso del controlador XMS es posible copiar grandes bloques de datos y disponer de toda la memoria extendida en un solo paso.

Debido a todas las desventajas presentadas por los métodos BIOS, VDISK, EMS para el manejo de memoria extendida, se decidió utilizar el controlador HIMEM.SYS

Para lograr un buen desempeño de la interfaz, debido a que el manejo de grandes bloques de datos así como la rapidez de acceso son puntos claves, según las ventajas que ofrece el controlador HIMEM.SYS se decidió hacer uso éste en la forma de Bloques de Memoria Expandida (EMB), entre las principales ventajas podemos mencionar:

- Es posible mover bloques de memoria tan grandes como se desee y no está restringido por bloques máximos de 64 KBytes como en el BIOS, o pequeños bloques de datos como el EMS.

- Se pueden correr otros programas que sean compatibles a los controladores XMS.
- Debido al uso del Acceso Directo a Memoria, se podría aumentar la velocidad de adquisición de la interfaz almacenando directamente los datos en memoria extendida, con lo cual sería necesario conocer la dirección física de los bloques reservados de memoria, esto se puede lograr con el uso de la función 430C del controlador HIMEM.SYS.

$$\begin{aligned} & \left(\frac{1}{2} \right)^2 \leq \frac{1}{2} \\ & \left(\frac{1}{3} \right)^2 \leq \frac{1}{3} \\ & \vdots \\ & \left(\frac{1}{n} \right)^2 \leq \frac{1}{n} \end{aligned}$$

...
...



Capitolo

Doble

Propuesta de Solución

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

4

Recordando las características principales que debe de tener la interfaz:

- Velocidad de recepción de datos de 1 MBytes/seg
- Requiere de tiempo de procesamiento durante la recepción de datos
- Manejo rápido de memoria.
- Bloque de memoria mínimo de 2 MBytes, 2.15 MBytes y 19.15 MBytes dependiendo del tipo de muestreo deseado.

Existen diversos tipos de soluciones a estos requisitos, entre los que podemos mencionar

- 1.Sistema basado en una estación de trabajo.
- 2.Sistema basado en una Computadora personal.
- 3.Sistema basado en un DSP.

Al evaluarse las 2 primeras opciones se encontró que la máxima velocidad de E/S por un puerto en ambos sistemas era menor de 0.5 MBytes/s, a pesar de estar empleando prácticamente todo el tiempo de la computadora. Mientras que la tercera opción requiere de muchos dispositivos electrónicos para poder manejar grandes cantidades de memoria y posiblemente sería incapaz de realizar todo el manejo de datos por si solo.

Se propusieron otros tipos de soluciones:

- 4.Sistema basado en una estación de trabajo y un DSP.
- 5.Sistema basado en una Computadora Personal y un DSP.

Debido a que la información de la estructura interna de los buses y controladores de las estaciones de trabajo es nula y los niveles de procesamiento y manejo de memoria en las actuales PC's se ha incrementado enormemente, se decidió por la opción basada en una PC y un DSP.

4.1 SOLUCIÓN SELECCIONADA.

Como ya se mencionó la opción seleccionada fue el sistema de una PC y un DSP, el esquema del sistema completo se muestra a continuación.

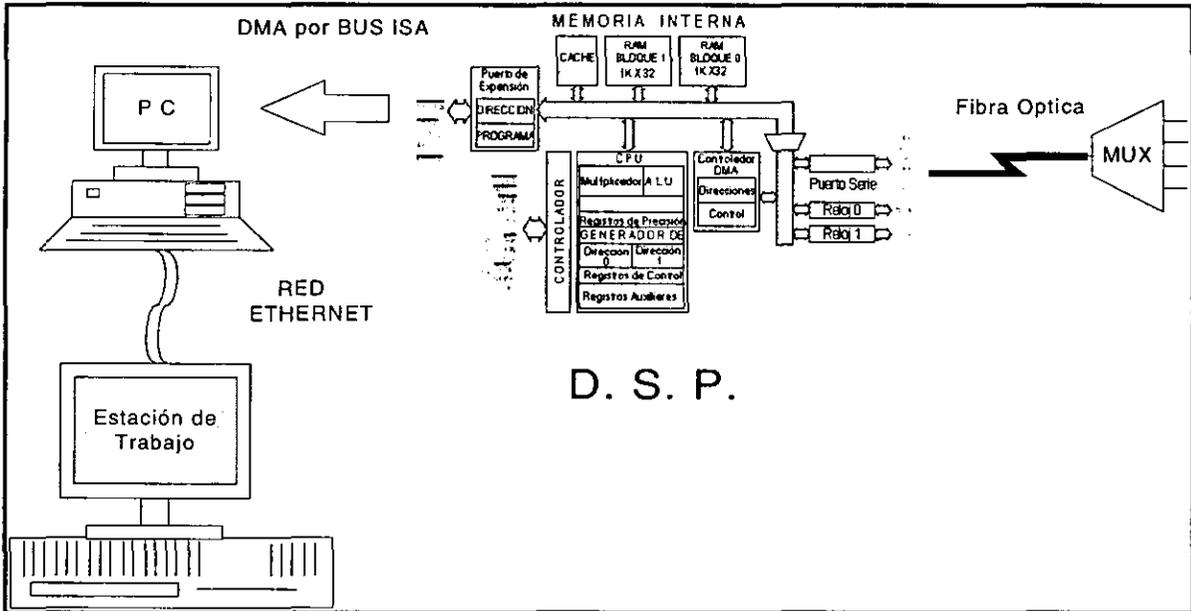


Figura 4.33 Diagrama esquemático de la Interfaz.

El funcionamiento del sistema se describe a continuación:

1.-Las cuatro señales provenientes de cada cuadrante del detector pasan a la cadena de lectura donde son convertidas de un voltaje analógico a digital; debido a que el convertidor entrega las señales en forma serie (donde el primer bit indica la parte más significativa), es posible mezclar los bits de los cuatro convertidores entre sí mediante un registro de corrimiento, como se muestra en la fig.4.34 por lo que la velocidad de transmisión serie se incrementa de 2MHz a 8 Mhz.

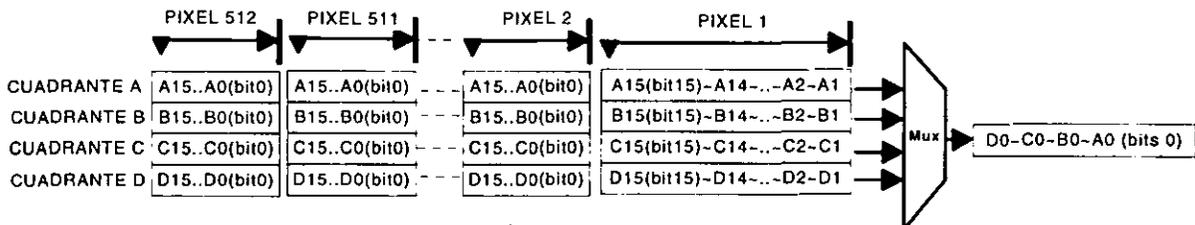


Figura.4.34 Diagrama del multiplexor de datos provenientes de los 4 ADC.

- Puerto Serie
- Contador de Eventos o timers.
- Controlador de DMA.
- Características del bus de salida.
- Almacenar los vectores y rutinas de interrupción
- Almacenar el programa principal en memoria interna del DSP.

PROGRAMA PRINCIPAL

-)Después se activan las interrupciones y el DSP queda en un ciclo de espera hasta que se genera una interrupción por la llegada de datos al puerto serie.

-)Una vez atendida dicha interrupción, el programa principal realiza los corrimientos necesarios para ordenar el dato recibido y si es una recepción par la que ocurrió en el puerto serie, se almacenan las cuatro palabras en su memoria interna. En otro caso regresa al ciclo hasta que reciba la siguiente interrupción del puerto serie.

-)Una vez que se llenó la memoria interna del DSP (1024 localidades), los datos son almacenados en las primeras localidades de memoria, donde se encontraba las primeras palabras almacenadas y que para este momento ya fueron almacenadas en la memoria de la PC vía los controladores DMA, tanto de la PC como del DSP. Una vez que se generan 64 almacenamientos (64K datos), el DSP envía una señal a través de su puerto serie que indica a la PC que se ha llenado un bloque máximo para su controlador de DMA (una página completa).

-) El proceso anterior se repite en un ciclo infinito.

El diagrama de flujo del programa principal del DSP, debido a su longitud, se muestra a continuación en las figuras 4.36-A y B.

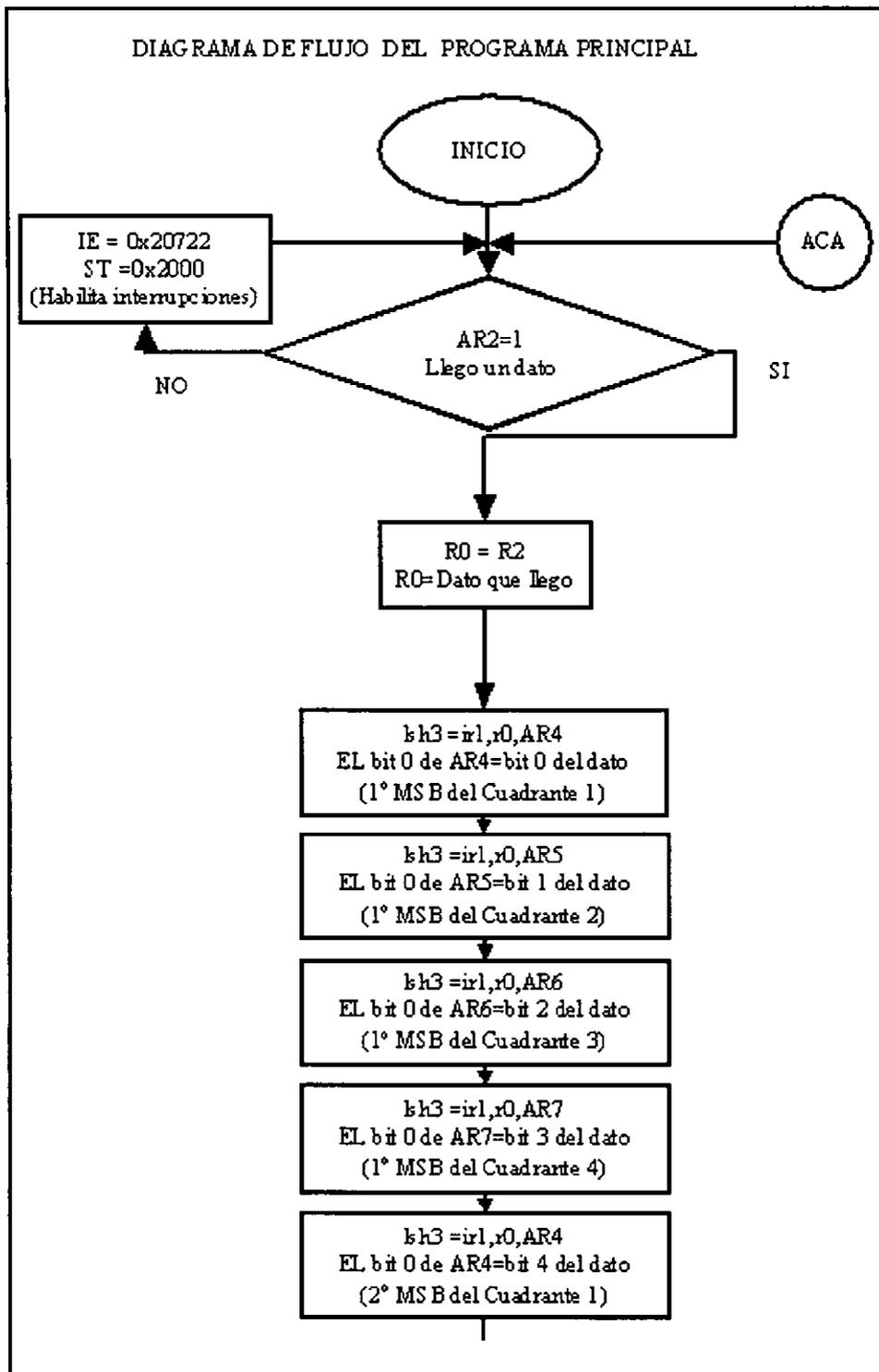


Figura 4.36-A Diagrama de flujo programa principal del DSP.

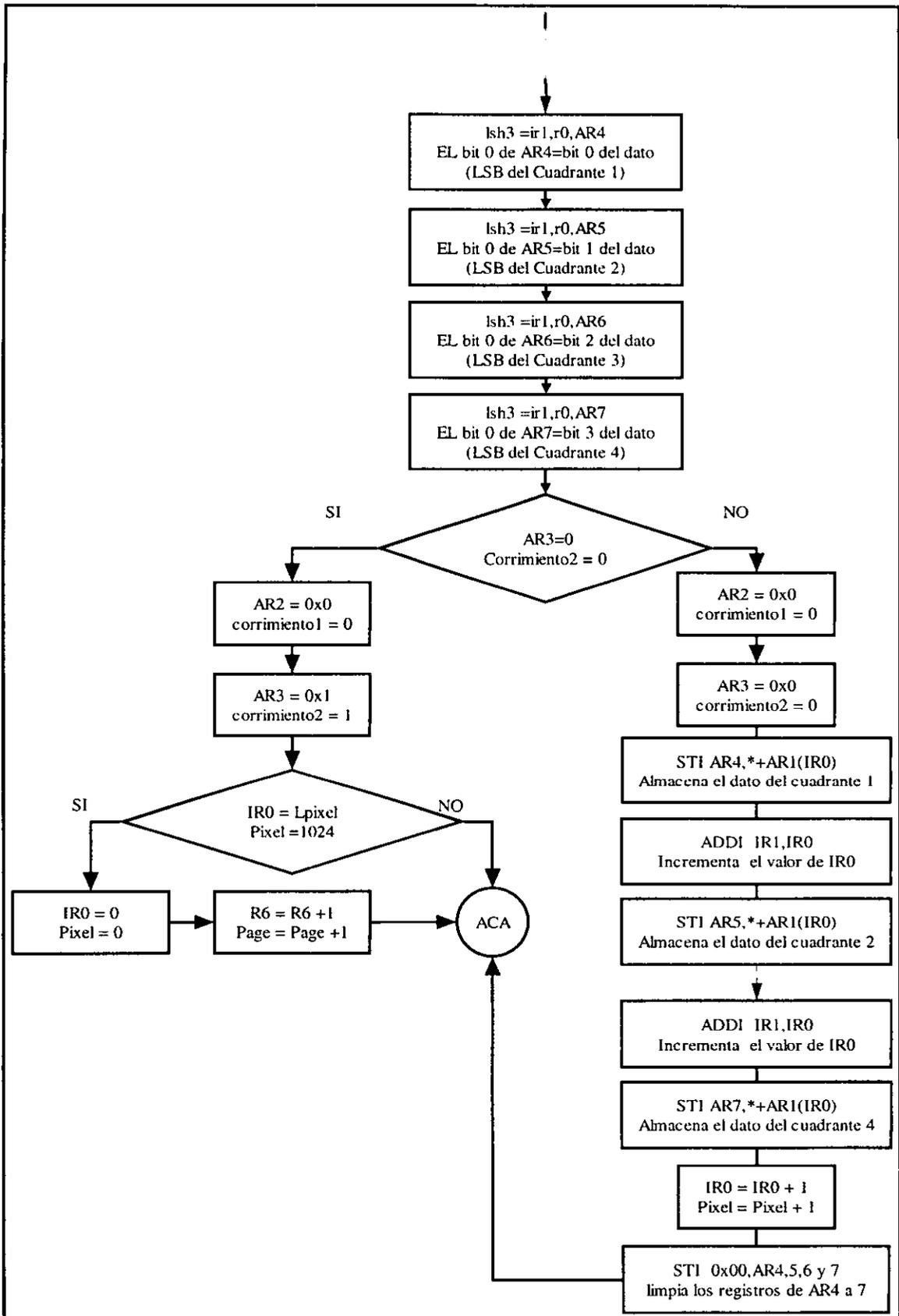


Figura 4.36-B Diagrama de flujo programa principal del DSP.

A continuación se describe el funcionamiento del programa principal, según el diagrama de flujo antes mostrado.

El DSP pregunta si no ha llegado un bloque de 32 bits al puerto serie

Sí, no ha llegado un bloque de 32 bits.

- Habilita las interrupciones.
- Regresa al inicio del programa, donde se pregunta si no ha llegado un nuevo dato por el puerto serie.

No, ya llegó un bloque de 32 bits.

- el dato recibido lo almacena en un registro del CPU
- Limpia el indicador de llegada de datos al puerto serie.
- Realiza los corrimientos para poder ordenar por los datos cuadrante.
- El DSP pregunta si el bloque recibido es impar

Sí, el bloque recibido es impar

- ◆ El DSP pregunta si el No. de datos recibidos es igual al No. de datos que almacena en una página.

Sí, el No. de datos ha llenado una página.

* El indicador de datos recibidos es puesto a cero.

* Incrementa el No. de páginas recibidas

* Regresa al inicio del programa, donde se pregunta si no ha llegado un nuevo dato por el puerto serie.

No, el No. de datos recibidos no ha llenado una página.

* Regresa al inicio del programa, donde se pregunta si no ha llegado un nuevo dato por el puerto serie.

No, el bloque recibido es par

- ◆ Almacena los datos recibidos y ordenados en la memoria del DSP

- ◆ Incrementa en 4 el indicador del número de datos recibidos.

- ◆ Limpia los registros donde se almacenan los datos cuando se están organizando.

- ◆ Regresa al inicio del programa, donde se pregunta si ha no llegado un nuevo dato por el puerto serie.

RUTINAS DE INTERRUPCIÓN DEL DSP.

Rutina del Puerto Serie Recepción

Esta rutina simplemente lee el dato recibido por el puerto serie y lo almacena en un registro (R2). Su funcionamiento es:

- 1.-Lee el dato que llego y lo almacena en un registro del CPU(R2).
 - 2.-Incrementa un registro del CPU que indica si es una recepción par o impar.
 - 3.-Regresa al programa principal.
- A continuación se muestra su diagrama de flujo.

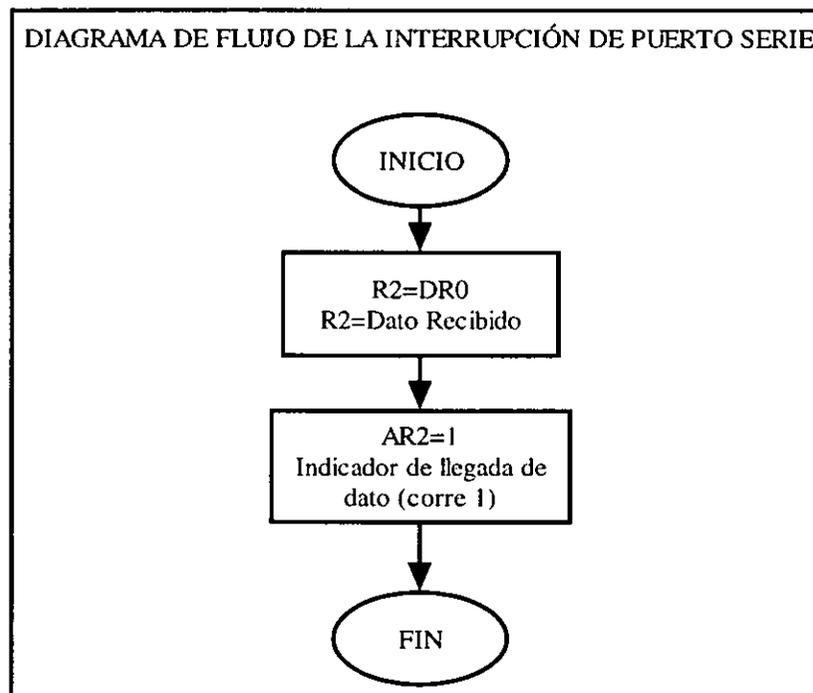


Figura 4.37 Diagrama de flujo de la rutina de interrupción del puerto serie Rx del DSP.

Rutina de interrupción del timer 0.

Esta línea de control del DSP esta conectada a un circuito monoestable que inicia un ciclo de $8\mu\text{s}$ cuando inicia la señal de REFRESH (refresco de memoria) de la PC, la cual ocurre cada $15.4\mu\text{s}$. y sirve para cargar los dispositivos, con los cuales están formadas las memorias RAM y evitar la perdida de la información almacenada. La rutina de interrupción del timer 0 del DSP tiene la función de:

1.-Apagar la señal de petición de DMA a la PC después de haber transcurrido 8 μ s de transferencia. Con lo cual se asegura que:

- Existirá un periodo de tiempo en el cual la PC podrá procesar los datos y
- No se perderá el siguiente refresco de la PC

2.-Regreso al programa principal.

A continuación se muestra el diagrama de flujo de la rutina de interrupción del timer 0.

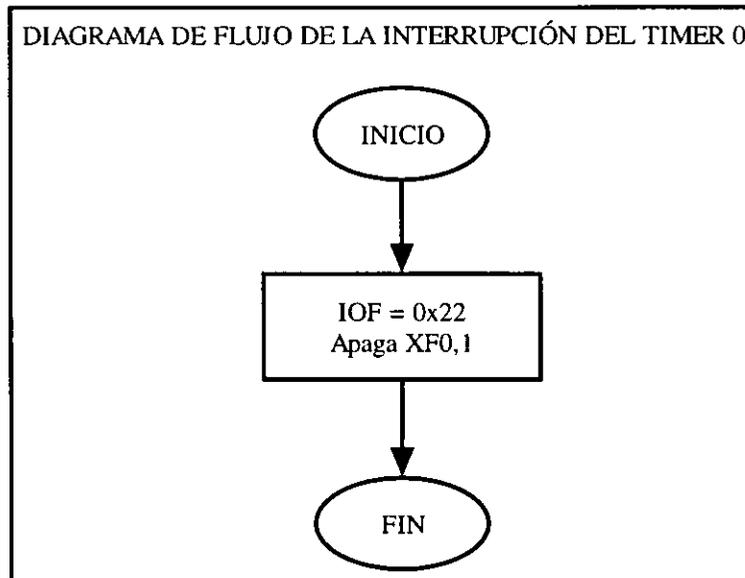


Figura 4.38 Diagrama de flujo de la rutina de interrupción del timer 0 del DSP.

Cabe mencionar que debido a que se almacenan los datos en la memoria del DSP como si fuera una memoria FIFO (First Input-First Output) de 1024 localidades, es posible sobre escribir los datos, así que se tienen cuatro variables, que son :

-)página :(2 variables) indican el número de bloques de 1024 datos que se han almacenado(por el CPU) y/o transferido a la PC(por el controlador de DMA).

-)pixel:(2 variables) indican el número de datos que se han almacenado o transferido de la última página.

A continuación se ejemplifica con un diagrama el manejo de memoria dentro del DSP, así como las diferentes posibilidades que se tienen en los valores de estas variables.

- a) Que el número de páginas de datos almacenados y transmitidos sean iguales:
- Que el No. de pixel o datos recibidos sea mayor que el No. de datos transmitidos
 - Permite la transmisión de datos por DMA.
 - Que el No. de pixel o datos recibidos sea menor o igual que el No. de datos transmitidos
 - No permite transmisión de datos por DMA
- b) Que el No. de páginas de datos almacenados sea mayor que el No. de páginas de datos transmitidos:
- Permite la transmisión de datos.
- c) Que el No. de páginas de datos almacenados sea menor que el No. de páginas de datos transmitidos:
- Si el No. de páginas transmitidas es 0.
 - Permite la transmisión de datos por DMA.
 - Si el No. de páginas transmitidas es diferente de 0.
 - Se detiene la transferencia de datos a la PC por el DMA y se regresa el No. de páginas de datos al valor de No. de páginas recibidas.

Rutina de interrupción del Timer 1.

Esta línea de control esta conectada a la señal de REFRESH de la PC y su función principal es la de determinar si se iniciará una transferencia de DMA y por cuál canal se efectuará. Su funcionamiento se describe a continuación.

Pregunta si la última página en que se almacenan los datos es igual a la última página que se esta transfiriendo por el controlador de DMA del DSP, y :

Sí, el número de páginas es el mismo

- Pregunta si el número de datos recibidos es mayor que el de datos transferidos.

Sí

- * Determina cual canal de DMA se estaba pidiendo con ayuda de la variable REQ y cambia este valor para poder pedir el canal contrario, y regresa al programa principal.

No

- * Apaga la señal de petición de DMA a la PC y regresa al programa principal.

No, el número de páginas es distinto

- Pregunta si la página de datos recibidos es mayor a la página transferida.
 Sí,
 * Si REQ = 0, prende la señal XF0 (pide DMA por el canal 5 en la PC).
 * Si REQ = 1, prende la señal XF1 (pide DMA por el canal 6 en la PC).
 Regresa al programa principal
 No,
 * Apaga las señales XF0,1 de petición de DMA a la PC y regresa al programa principal

A continuación se presenta el diagrama de flujo de la rutina de interrupción del Timer 1.

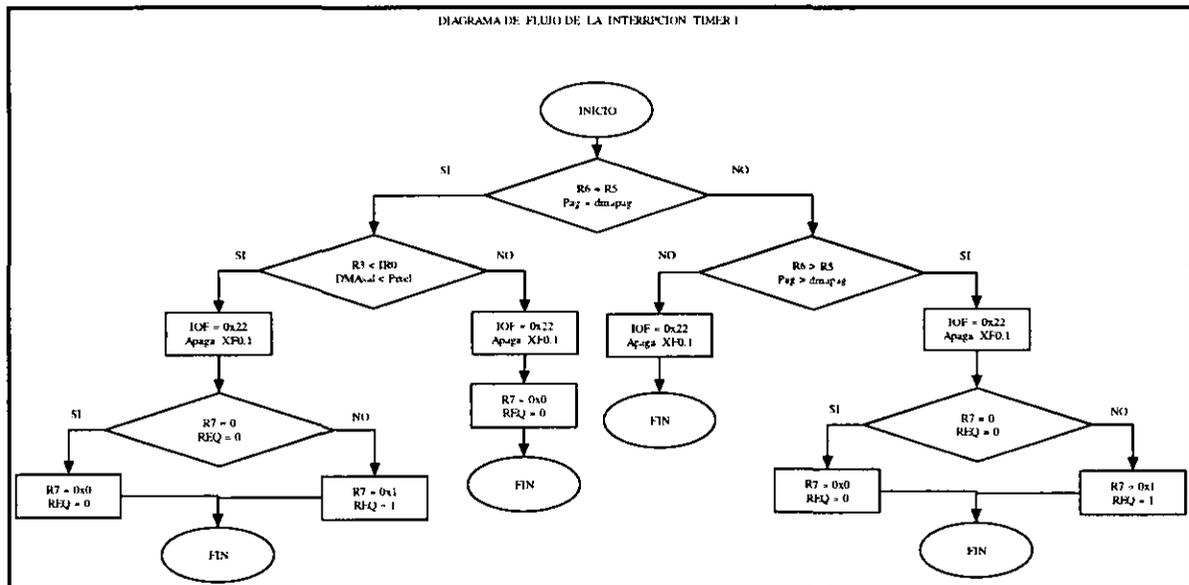


Figura 4.39 Diagrama de flujo de la rutina de interrupción del timer 1 del DSP.

Rutina de interrupción 1.

Esta señal es activada mediante un circuito, el cual se dispara por el flanco de bajada de la señal IOR de la PC, el circuito que se presenta a continuación, es necesario debido a que la duración de esta señal debe estar entre 20ns y 40ns para su correcta detección.

La finalidad de esta interrupción es la de poder permitir la transferencia de datos por medio del DMA del DSP (permitir la escritura) y poder calcular si es posible realizar una nueva transferencia a la PC. Su funcionamiento se describe a continuación:

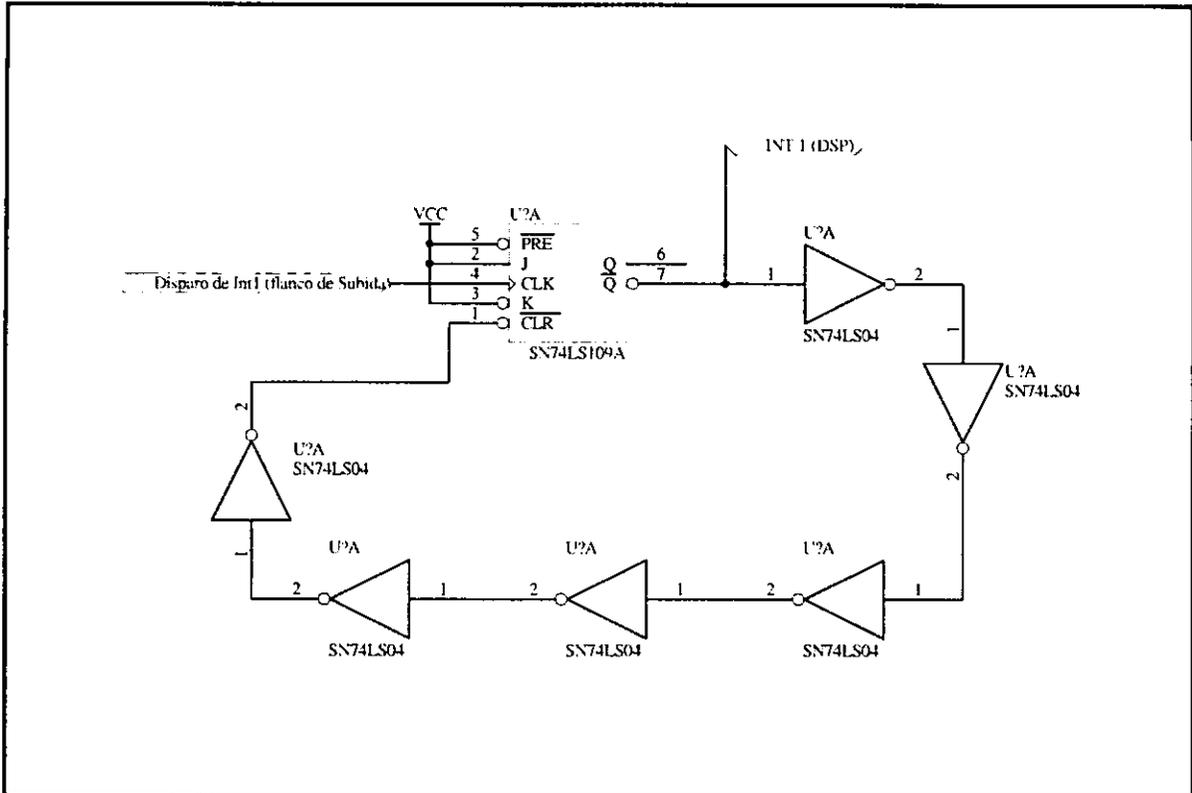


Figura 4.40 Circuito utilizado para generar un disparo de interrupción del DSP.

El DSP pregunta si la página de datos transferidos es igual a la página de datos recibidos:

Sí, las páginas son iguales:

- El DSP pregunta si el número de datos transferidos es mayor o igual al número de datos almacenados
Sí, el número de datos transferidos es mayor.

* Apaga las señales XF0 y XF1; (Termina la transferencia de DMA con la PC.) y regresa al programa principal.

No, el número de datos transferidos es menor

* Regresa al programa principal.

No, el número de páginas es diferente:

- El DSP pregunta si el número de página transferida es mayor que el número de página recibidas.

Sí, el número de páginas transferidas es mayor.

* Apaga las señales XF0 y XF1; (Termina la transferencia de DMA con la PC.) y regresa al programa principal.

No, el número de páginas transferidas no es mayor que el No. de páginas recibidas.

* Regresa al programa principal.

A continuación se muestra el diagrama de flujo de la rutina de interrupción 1.

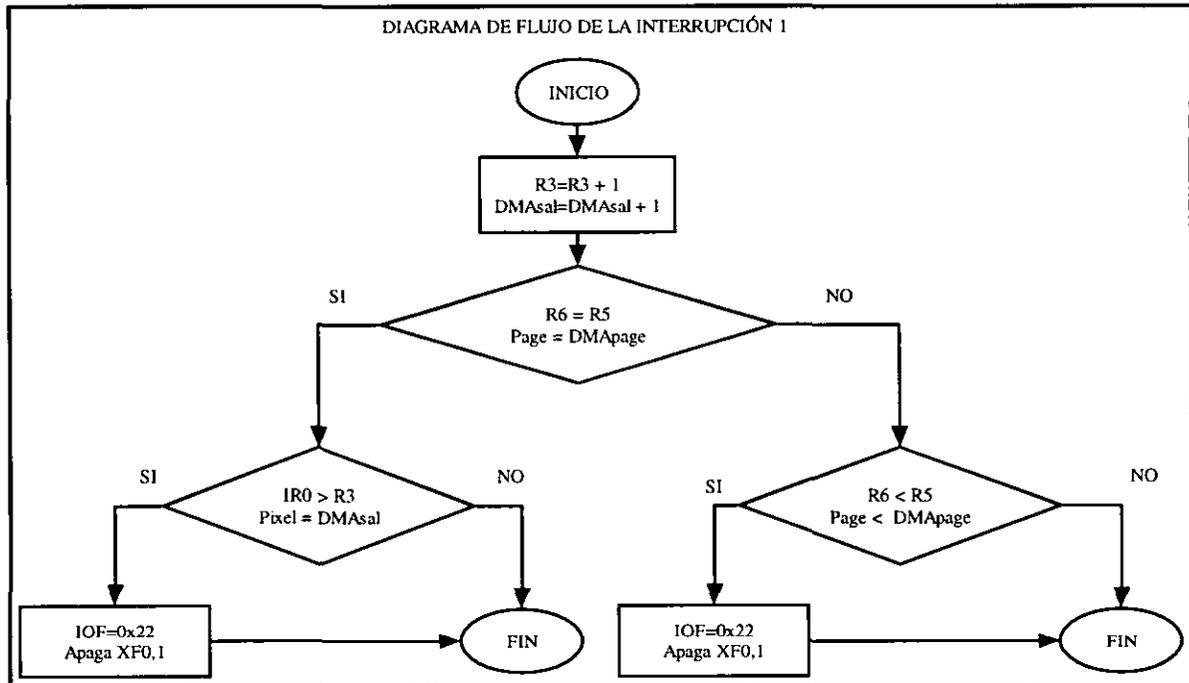


Figura 4.41 Diagrama de flujo de la rutina de interrupción 1 del DSP.

Rutina de interrupción del Controlador de DMA del DSP

Esta interrupción es generada cuando el contador del controlador de DMA cruza por cero, e indica que este dispositivo requiere de una nueva programación y que ha transmitido una página completa. Su funcionamiento se describe a continuación.

El DSP limpia el contador de datos transmitidos y pregunta si el No. de páginas transmitidas es igual al número máximo de páginas transmitidas (64):

Sí, el No. de páginas es el mismo:

- El contador de páginas transmitidas cambia la zona de memoria en la cual se almacenan los datos.
- El DSP invierte a la variable REQ.
- El Controlador de DMA del DSP es programado, cargando los registros de destino, control, contador, etc.
- Regresa al programa principal.

No, El No. de páginas es diferente.

- Incrementa el número de páginas transmitidas.

- El Controlador de DMA del DSP es programado, cargando los registros de destino, control, contador, etc.
- Regresa al programa principal.

A continuación se muestra el diagrama de flujo de la rutina de interrupción del controlador de DMA.

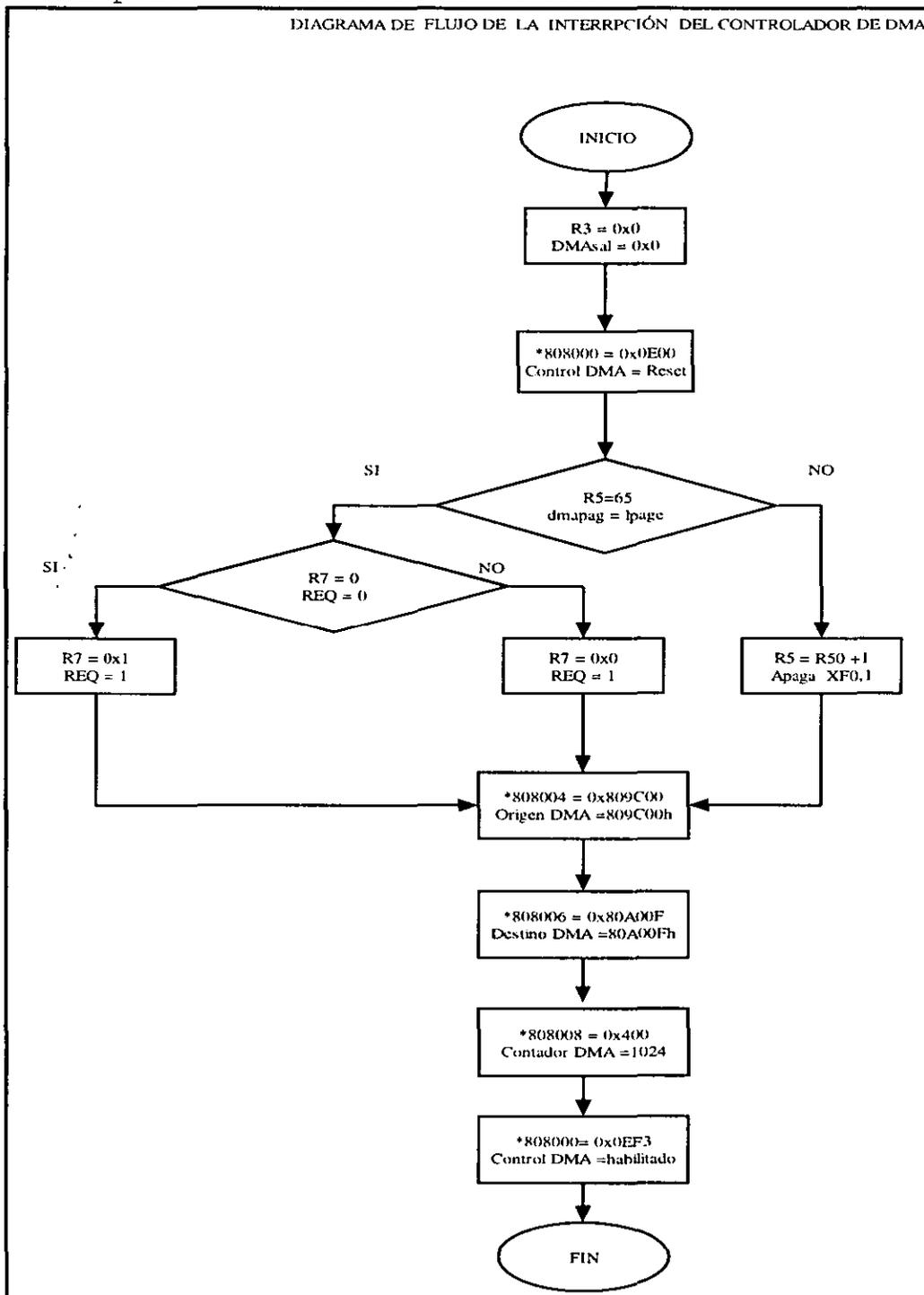


Figura 4.42 Diagrama de flujo de la rutina de interrupción del controlador de DMA del DSP.

4.3 PROGRAMACIÓN DE LA PC.

Mientras que el DSP requiere de una programación en lenguaje de bajo nivel (Ensamblador), a la PC se le puede programar por medio de un lenguaje de nivel medio o alto.

Debido a que nuestro sistema requiere de un manejo continuo de las localidades de memoria, registros internos de la PC, programación del controlador de DMA, interrupciones, etc. Se decidió realizar el programa en un lenguaje de medio nivel como es "LENGUAJE C", así podemos manejar:

- Localidades de memoria con ayuda de punteros.
- Registros internos como AX_, BX_, etc.
- Programación de controladores y salidas de puerto con OUT(), IN().
- Instalación de programas TSR.
- Selección de longitud de nuestras variables (1,2,3 ó 4 bytes).
- Comandos para ciclos de programación y cálculos.

Debido a los requerimientos de algunos controladores como el XMS, se tienen distintos programas, los cuales se seleccionan dependiendo del tipo de muestreo que se requiere, Así tenemos los siguientes programas:

- Ver.exe
- Doble.exe
- Mínimos.exe

VER.EXE

Debido a que al principio de cada observación a través de un telescopio es necesario ajustar algunos parámetros, se requiere poder observar una primera imagen, la cual no necesariamente debe tener una gran calidad ni largo tiempo de exposición. Debido a lo anterior se realizó un programa que permite la presentación de la imagen en la misma computadora en la cual se almacenan los datos, así es posible ajustar y corregir la posición, tiempo de exposición, etc. para posteriores observaciones sin tardar el tiempo requerido por el procesamiento de las imágenes.

El programa ver.exe tiene como función principal la de resolver el problema antes mencionado, así la imagen que llega a la PC no es almacenada en la memoria para su posterior análisis, si no que un conjunto de datos continuos son promediados y su valor es mostrado en la pantalla en

forma de un solo pixel. El funcionamiento del programa es el siguiente

- El programa ver.exe busca la existencia de un archivo que contenga la dirección del contador utilizado por el programa MAN.exe.
 - Si existe el archivo, lee la dirección y la asigna a un puntero.
 - Si no existe dicho archivo(lo cual ocurre en la 1ª lectura), se genera una interrupción para que el programa MAN.exe escriba la dirección del contador en un puerto utilizado por el canal 1 del DMA, después de generar la interrupción, ver.exe lee el puerto y obtiene la dirección del contador, posteriormente genera un archivo con dicha dirección.
- Se realiza una petición de un bloque de memoria, el cual debe de contener cuando menos 4 páginas del DMA, en las cuales se almacenaran los datos recibidos por el canal 5 y 6 del DMA.
- Se determina la menor página de memoria dentro del bloque de memoria reservado, en la cual se almacenará los datos recibidos por el canal DMA5 y 2 páginas arriba se encontrará la página donde llegarán los datos del canal DMA6.
- Se realiza la programación del controlador de DMA.
- Se inicializa el modo gráfico.
- Mientras no se presione alguna tecla se realiza:
 - El contador del programa de man.exe es inicializado en cero junto con un contador(old_llego) del programa ver.exe
 - Durante 16 veces realiza:
 - Mientras no se haya incrementado el contador del programa man.exe realiza:
 - Retraso
 - Calcula el promedio de los N datos continuos y los imprime en el monitor en forma de un pixel.
 - Genera un tono que indica la recepción la imagen completa.
- Libera la memoria reservada y termina el programa.

A continuación se muestra un el diagrama de flujo del Programa ver.exe

Diagrama de Flujo del Programa VER.exe

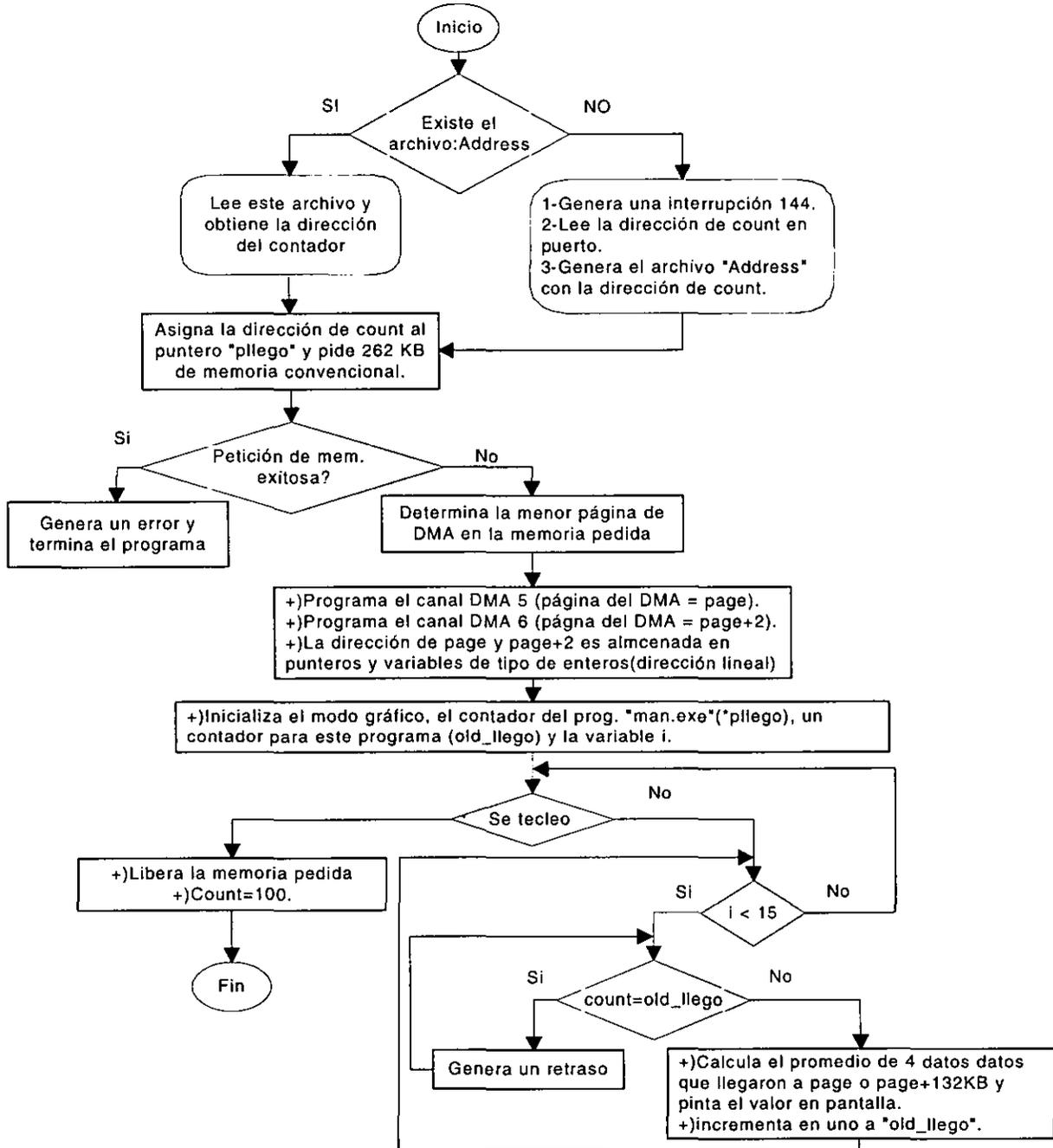


Figura 4.43 Diagrama de flujo del programa ver.exe de la PC.

DOBLE.EXE

Uno de los tipos de lectura más utilizado en los detectores es el llamado doble muestreo correlacionado, el cual consiste

en tomar dos muestras, la primera lectura es tomada una vez que los pixeles del detector son inicializados (con la señal RESET) y la otra después de un intervalo de tiempo, llamado tiempo de exposición, el cual tiene una duración mínima de 3.14 s (ya que $12\mu\text{s} \times 512^2 = 3.14 \text{ s}$) y se puede extender a varios minutos.

Para la realización de este tipo de lectura se elaboró el programa llamado doble.exe, cuyo funcionamiento es:

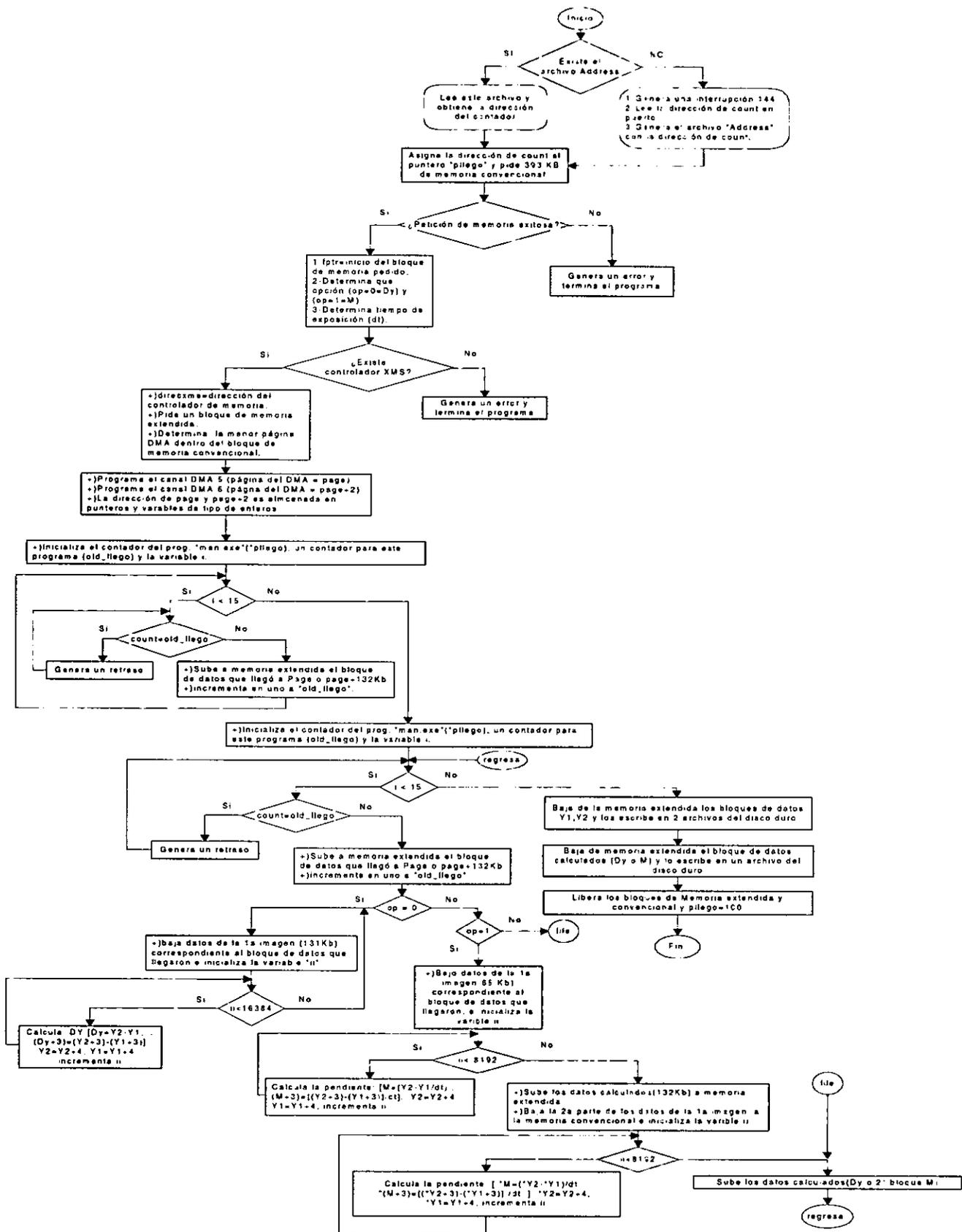
- Se corre el programa MAN.exe (el cual es un programa TSR).
- El programa doble.exe busca la existencia de un archivo que contenga la dirección del contador utilizado por el programa MAN.exe.
 - Si existe el archivo, lee la dirección y la asigna a un puntero.
 - Si no existe dicho archivo (lo cual ocurre en la 1ª lectura), se genera una interrupción para que el programa MAN.exe escriba la dirección del contador en un puerto utilizado por el canal 1 del DMA, después de generar la interrupción, doble.exe lee el puerto y obtiene la dirección del contador, posteriormente genera un archivo con dicha dirección.
- El Programa Doble.exe pide un bloque de memoria, en los cuales se puedan almacenar los datos recibidos por el DMA (dicho bloque de memoria debe contener al menos 4 páginas completas del DMA).
- Se detecta si existe el controlador XMS
 - Si no existe se produce un error y termina el programa.
 - Si existe se determina su dirección de inicio.
- Se pide un bloque de memoria (Máximo posible $\approx 8 \text{ Mbytes}$) en el que se almacenará los términos utilizados en el cálculo de la opción requerida.
- Se determina la menor página de memoria dentro del bloque de memoria reservado, en la cual se almacenará los datos recibidos por el canal DMA5 y 2 páginas arriba se encontrará la página donde llegarán los datos del canal DMA6.
- Se realiza la programación del controlador de DMA.
- Determina que opción realiza (0= ΔY y 1=M).
- El contador del programa de man.exe es inicializado en cero junto con un contador (old_llego) del programa ver.exe
- Durante 16 veces realiza:
 - Mientras no se haya incrementado el contador del programa man.exe realiza un retraso
 - Sube el bloque de datos a la memoria extendida.
 - incrementa el contador old_llego.

Se almacenó el primer cuadro o imagen.

- El contador del programa de man.exe es inicializado en cero junto con un contador(old_llego) del programa ver.exe
- Durante 16 veces realiza:
 - Mientras no se haya incrementado el contador del programa man.exe realiza un Retraso
 - Sube el bloque de datos recibidos a la memoria extendida.
 - Si la opción seleccionada es 0 (calcula ΔY):
 - Baja el bloque de datos de la primera imagen que corresponde con los datos recién almacenados.
 - Con ambos bloques de datos(de la 1ª y 2ª imagen) calcula $\Delta Y = Y2 - Y1$.
 - Si la opción seleccionada es 1 (calcula M):
 - Baja el bloque de datos de la primera imagen que corresponde con los datos recién almacenados.
 - Con ambos bloques de datos(de la 1ª y 2ª imagen) y dt, calcula $M = (Y2 - Y1) / dt$
 - Sube el bloque de datos determinado (ya sea ΔY o M)
 - Incrementa el contador del programa doble.exe
- Baja de la memoria extendida el bloque de datos de la 1ª imagen.
- Almacena la primera imagen recibida en un archivo llamado Y1.
- Baja de la memoria extendida el bloque de datos de la 2ª imagen.
- Almacena la segunda imagen recibida en un archivo llamado Y2.
- Si opción es cero
 - Baja de la memoria extendida el bloque de datos ΔY .
 - Almacena los datos calculados en un archivo llamado ΔY .
- Si opción es uno realiza:
 - Baja de la memoria extendida el bloque de datos M.
 - Almacena los datos calculados en un archivo.
- Libera la memoria extendida y la memoria convencional que fue reservada.
- Fin del programa.

A continuación se muestra la **Figura 4.44** con el diagrama de flujo del programa doble.exe

Diagrama de Flujo del Programa "Ejercicio"



MÍNIMOS.EXE

Cuando se observan zonas del espacio o estrellas que presentan muy baja emisión energética, es necesario prolongar el tiempo de exposición para poder acumular la mayor cantidad de energía emitida, además de que en algunos casos se requiere poder determinar la variación de energía captada. Debido a lo anterior se requiere hacer un conjunto de lecturas y poder determinar cual es el mejor tiempo requerido para el funcionamiento del detector.

Para poder lograr el objetivo antes mencionado, se creó el programa Mínimos.exe, el cual mientras toma un conjunto de lecturas, va realizando las sumas necesarias para posteriormente obtener los mínimos cuadrados de cada uno de los pixeles. El funcionamiento de este programa se explica a continuación.

- Se corre el programa MAN.exe (el cual es un programa TSR).
- El programa doble.exe busca la existencia del archivo "address" que contenga la dirección del contador utilizado por el programa MAN.exe.
 - Si existe el archivo, lee la dirección y la asigna a un puntero.
 - Si no existe dicho archivo (lo cual ocurre en la 1ª lectura), se genera una interrupción para que el programa MAN.exe escriba la dirección del contador en un puerto utilizado por el canal 1 del DMA, después de generar la interrupción, mínimos.exe lee el puerto y obtiene la dirección del contador, posteriormente genera un archivo con dicha dirección.
- El Programa mínimos.exe pide un bloque de memoria, en los cuales se puedan almacenar los datos recibidos por el DMA (dicho bloque de memoria debe contener al menos 6 páginas completas del DMA).
- Se detecta si existe el controlador XMS
 - Si no existe se produce un error y termina el programa.
 - Si existe se determina su dirección de inicio.
- Se pide un bloque de memoria (14.15 MBytes) en el que se almacenará los términos utilizados en el cálculo de los mínimos cuadrados.
- Se determina la menor página de memoria del DMA dentro del bloque de memoria reservado, en la cual se almacenará los datos recibidos por el canal DMA5 y 2 páginas arriba se encontrará la página donde llegaran los datos del canal DMA6.

- Se realiza la programación del controlador de DMA.
- Pregunta por el número de lecturas a realizar (Lec) y el tiempo de exposición(dt).
- Mientras el No. de lecturas realizadas sea menor que el No. de lecturas requeridas($cua \leq lec$), realiza:
 - Se determinan los elementos para calcular los mínimos cuadrados: $Sx = Sx + dt$ y $Sxx = Sxx + dt^2$
 - Durante 16 veces realiza:
 - Mientras no se haya incrementado el contador del programa man.exe realiza:
 - Retraso
 - Si es la primera imagen($cua = 1$):
 - Sube el bloque de datos recibidos a la memoria extendida (Sy y Sxy).
 - Si no es la 1ª imagen ($cua \neq 1$):
 - Baja los datos de la memoria extendida correspondiente a los datos que llegaron y calcula los elementos Sy y Sxy .
 - Los nuevos datos calculados son almacenados en la memoria extendida.
 - Incrementa el contador del programa Mínimos ($old_llego = old_llego + 1$).
 - incrementa el contador que indica el No. de imágenes o cuadros procesados($cua = cua + 1$).

Una vez que no se reciben más datos y se calcularon los Sx , Sxx , Sxy y Sy es posible calcular los valores de M

- Baja los bloques de datos Sxy y Sy desde la memoria extendida y calcula los correspondientes M .
 - Los datos de la pendiente calculados son escritos al disco duro en un archivo llamado M .
 - Libera la memoria extendida y convencional que se reservó.
- Finaliza el programa.

A continuación se muestra el diagrama de flujo del programa mínimos.exe, el cual debido a su longitud se dividió en dos.

Diagrama de Flujo del Programa Mínimos.exe

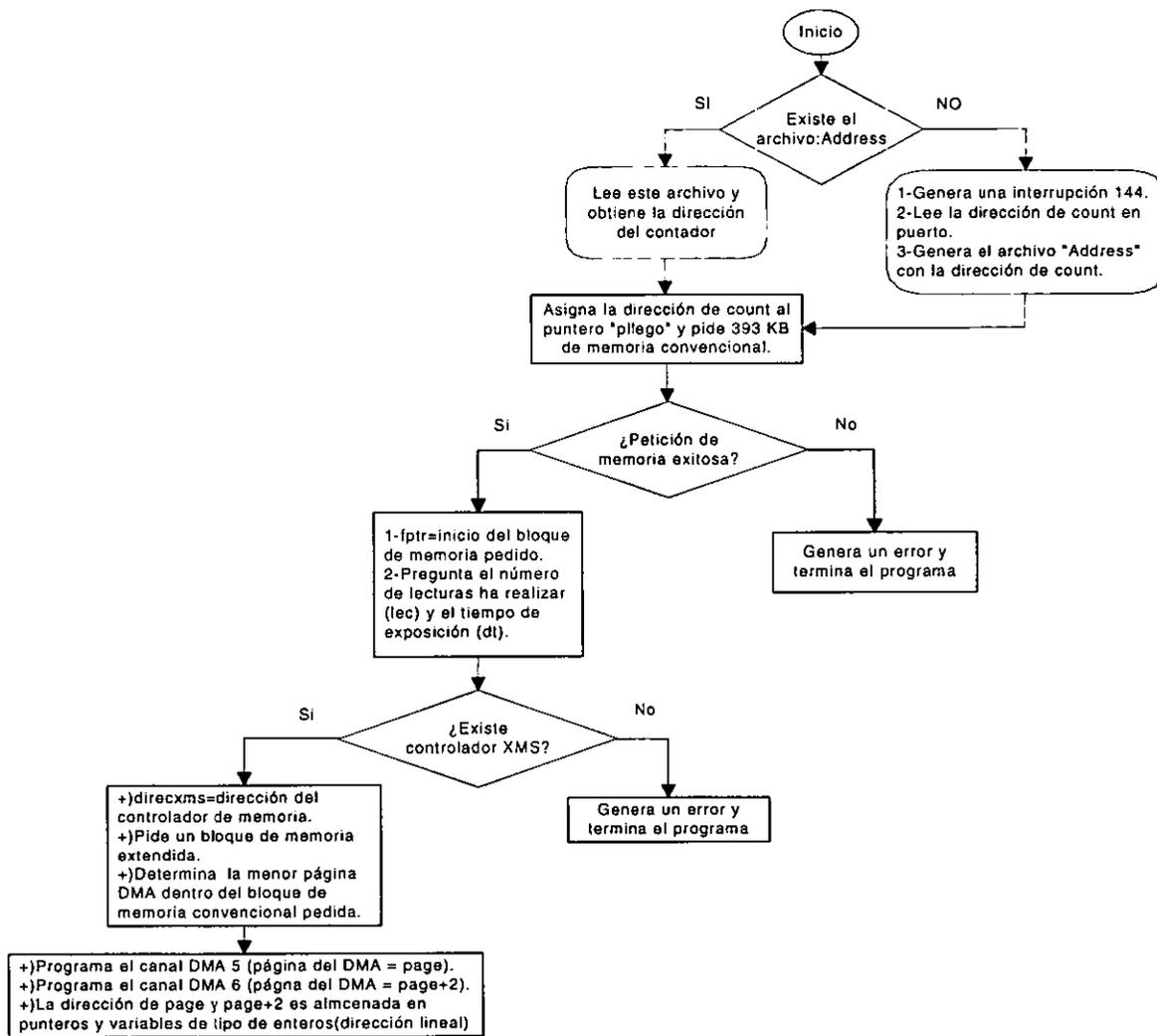


Figura 4.45 Diagrama de flujo del programa mínimos.exe de la PC.

Programa MAN.exe

Debido a que el controlador de DMA no puede interrumpir la ejecución de un programa para indicarle que se terminó de almacenar el bloque de datos máximo capaz de ser direccionado por direccionable se requiere un programa que sea capaz de responder de manera casi inmediata a una señal

La solución a este problema es un programa residente en memoria "TSR" (Terminal & Stay Resident), que es utilizado como programa controlador de interrupción. Este programa puede ser visto como dos programas en uno, debido a las principales tareas que realiza:

1. Al ejecutarse el programa "MAN.EXE" se programa el "PIC" (Programmable Interrupt Controller) y asigna la dirección del programa controlador de interrupción al vector de interrupciones correspondiente a la interrupción 10 de hardware, y termina el programa.
2. El programa que maneja la interrupción es llamado cada que ocurre una interrupción y mediante un contador que se incrementa se indica el número de bloques de 131 KBytes que han sido almacenados en memoria, lo cual equivale a un bloque máximo que puede manejar un canal del controlador de DMA en una sola programación, por lo que si el contador es par indica que se acaba de almacenar un bloque de datos por medio del canal 6 y en otro caso por medio del canal 5. Cabe mencionar que la manera en la cual se pasa la dirección al programa principal ("ver.exe, Doble.exe o Mínimos.exe") es poco convencional, ya que el programa controlador de interrupción la escribe en 2 registros de un canal del DMA, siempre y cuando el contador tenga un valor mayor que 100, lo cual ocurre solo durante la primera interrupción.

Doble

Capitulo

Resultados y Conclusiones.

5

5.1 PRUEBAS Y RESULTADOS DE LA INTERFAZ.

Como pruebas realizadas a la interfaz se llevaron a cabo algunas transferencias de datos, esto se logró con la ayuda de diversos circuitos integrados que realizaban las veces de datos y señales de transmisión en forma serial al DSP. A continuación se muestran algunas de las señales de control generadas durante diversas transferencias.

Cabe mencionar que entre los circuitos necesarios para el funcionamiento de la interfaz se encuentran compuertas lógicas, contadores, "buffers", etc. El diagrama completo de conexiones y los componentes se muestran a continuación en la figura 5.46. Como se puede observar son solo unos pocos circuitos los que forman todo el hardware necesario para la realización de la interfaz, lo cual representa una ventaja por el pequeño número componentes que se deben conectar.

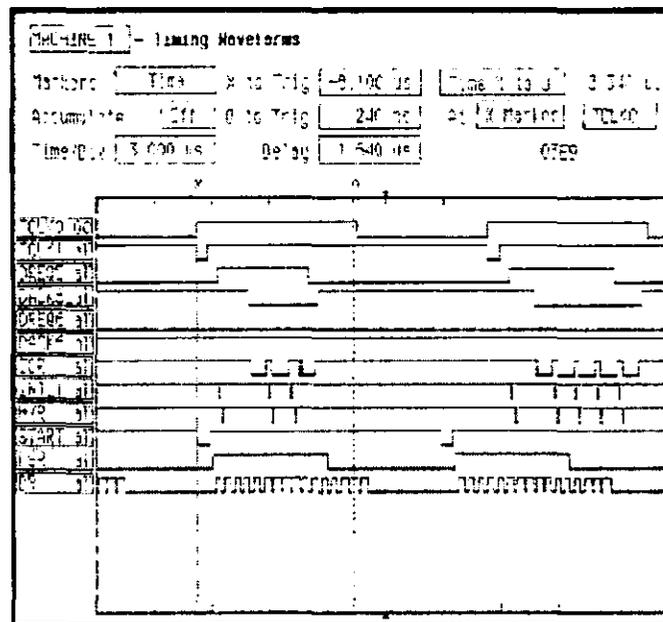


Figura 5.47 Diagrama de tiempo de una transferencia típica de DMA.

La siguiente figura muestra una transferencia de DMA, en la cual es posible medir la duración de transferencia de datos en forma serie (8.04 μ seg), dicha medición inicia con el flanco de subida de la señal FSR y termina con el último dato transmitido (DR).

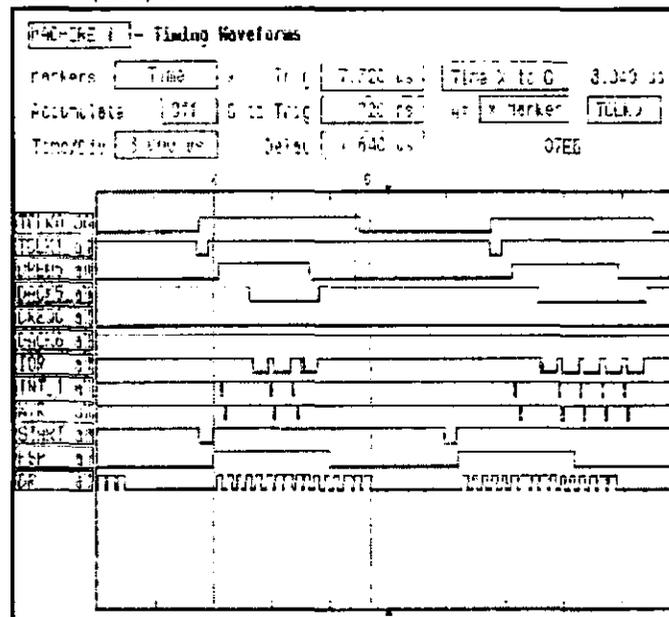


Figura 5.48 Diagrama de tiempo que presenta la duración de los datos en forma serie.

La siguiente figura muestra una transferencia de DMA, en la cual es posible medir el tiempo que tarda el controlador de DMA del DSP en escribir una palabra, a partir de la señal de

permiso de escritura (INT 1), dicho retardo es de aproximadamente 190 nsseg

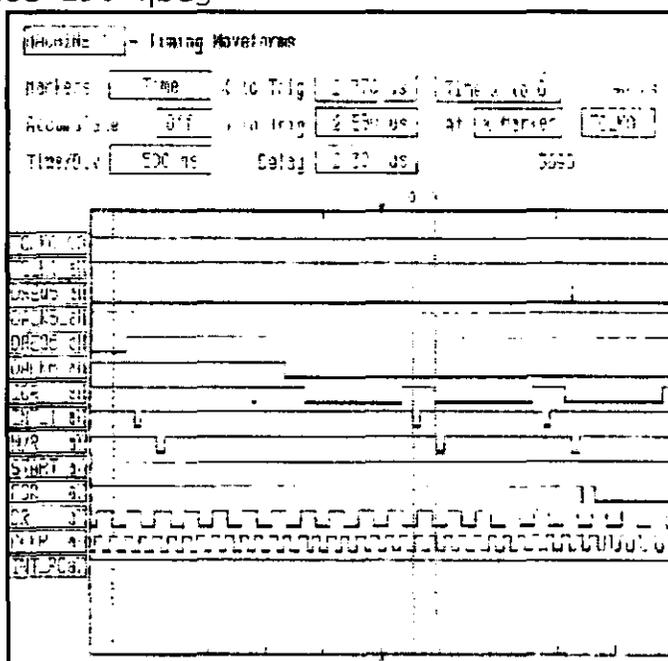


Figura 5.49 Diagrama de tiempo que presenta el retardo durante una escritura.

En la siguiente figura es posible apreciar cuando ocurre un cambio de una transferencia por el canal 5 al 6 del DMA (DREQ5 - DREQ6), así como la señal de interrupción 10 de la PC (INT PC).

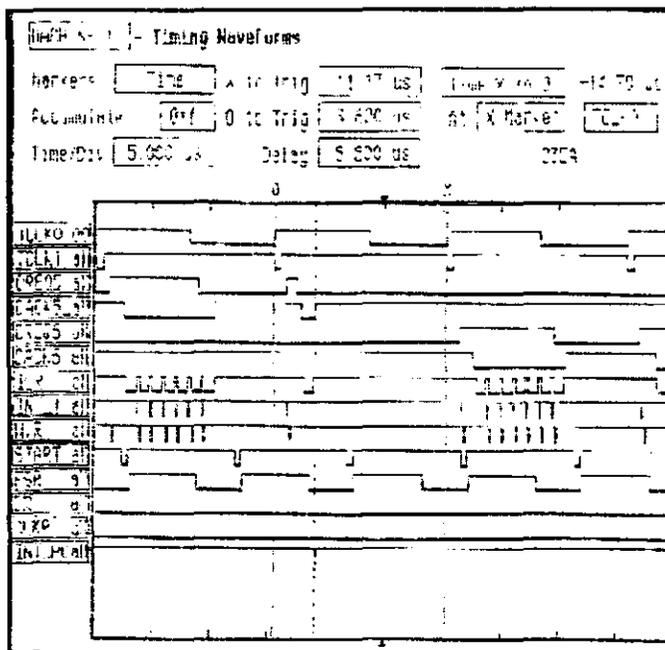


Figura 5.50 Diagrama de tiempo que presenta el cambio entre canales de transmisión DMA.

La transmisión de datos no se ve alterada por la necesidad de una nueva programación del canal de DMA o el movimiento de bloques de datos dentro de la PC. Ya que en el diseño se contempló este problema y se resolvió utilizando dos canales de DMA, así mientras se programa uno de los canales de DMA, el otro esta recibiendo datos.

La siguiente figura permite medir la duración de una transferencia completa por un canal de DMA, gracias a la señal de interrupción a la PC (INT PC), es posible observar que esta señal tiene una duración de 200 mseg.

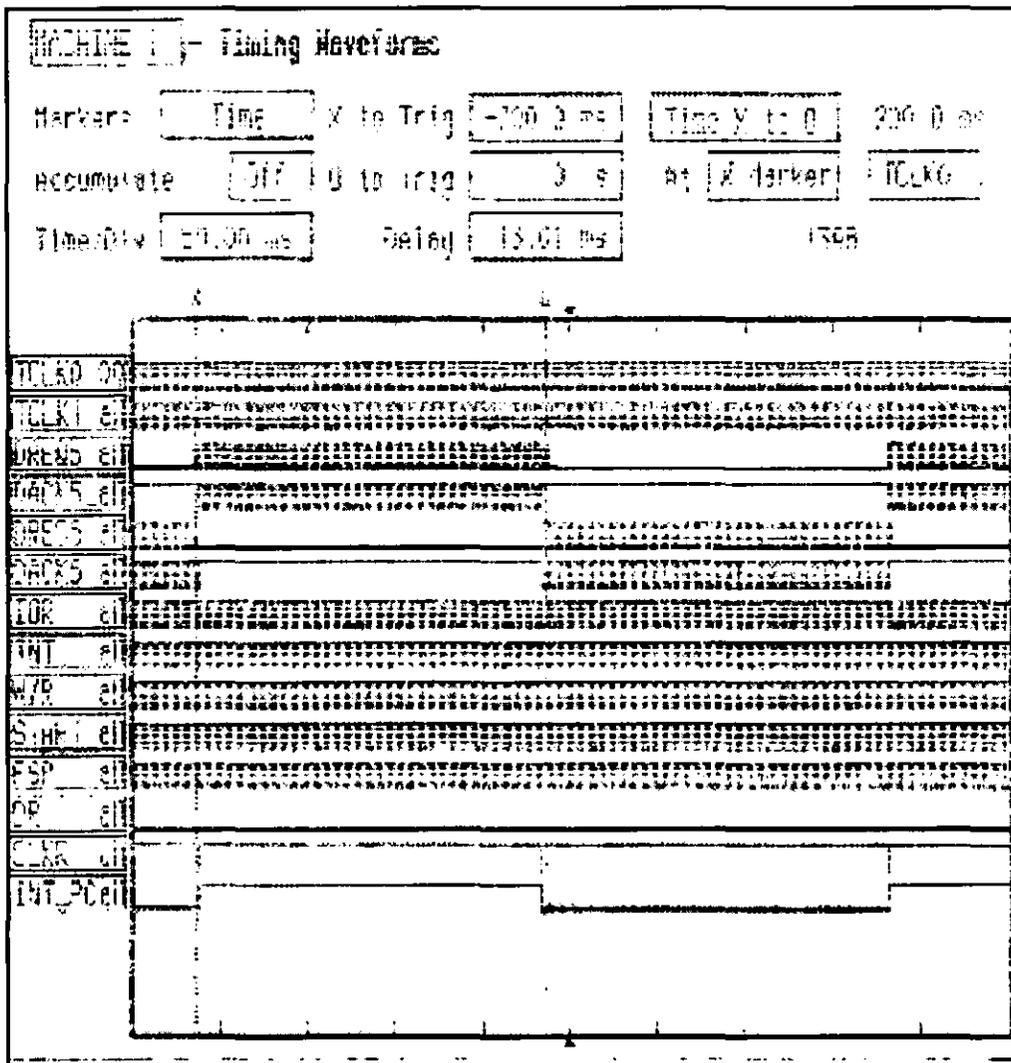


Figura 5.51 Diagrama que muestra el tiempo de actividad de cada canal de DMA

Mediante la tabla 5.14 se describe cada una de las señales mostradas en las figuras(4.45-48)

SEÑAL	GENERADA POR	RECIBIDA	FUNCIÓN (µseg)
TCLK0	Monoestable 1	DSP	Fin de Transmisión DMA (0.65)
TCLK1	Refresh de la PC	DSP	Posible Transmisión de DMA (8)
DREQ5	Pin XFO del DSP	DREQ5 (PC)	Petición de Transmisión DMA(0-12)
DACK5	DACK5 (PC)	Circuito Buffer	Respuesta de Petición DMA (0-12)
DREQ6	Pin XF1 del DSP	DREQ5 (PC)	Petición de Transmisión DMA(0-12)
DACK6	DACK6 (PC)	Circuito Buffer	Respuesta de Petición DMA (0-12)
IOR	PC	Buffer-Enable	Indicador de lectura de dato (.9)
INT 1	Flip Flop	Pin INT1 (DSP)	Habilita escritura de DMA del DSP
W/R	DSP	Buffer-CLK	indica escritura DMA del DSP(.04)
START	Generador	Monoestable 1	Inicia transferencia Serie (8 - X)
FSR	Monoestable 2	FSR (DSP)	Inicio de Recepción Serie (4.2 - 7.8)
DR	Registro de Corrimiento	Pin DR(DSP)	Dato de Transmisión Serie (.125 - 8)
INT PC	Flip Flop T	Int.10 (PC)	Fin de Transmisión por Canal 5/6

Tabla 5.14 Descripción de las Señales presentadas en las figuras 5.46-50

Dentro de los resultados obtenidos podemos mencionar que las diversas transferencias de datos se realizaron mediante la ayuda de un contador que simulaba una señal proveniente de los convertidores A/D, por lo que dichos datos fueron recibidos en la PC y generaron diversos archivos.

Es importante mencionar que el contador, el cual simulaba al detector, es activado por el mismo reloj que el del multiplexor. Por lo que las señales generadas varían en el tiempo (conforme llega el reloj al contador), pero siempre representan la misma secuencia ante el multiplexor, por estar en sincronía con el reloj del multiplexor.

5.2 ANÁLISIS DE LOS RESULTADOS.

A continuación se presenta la gráfica en 3-D y el histograma de algunos bloques de una imagen generada por medio de los archivos obtenidos mediante la interfaz y la PC.

Para cada uno de estos bloques de imágenes de 128X128 pixeles, se tiene un intervalo dinámico de 16 bits (65536 diferentes valores) para su representación.

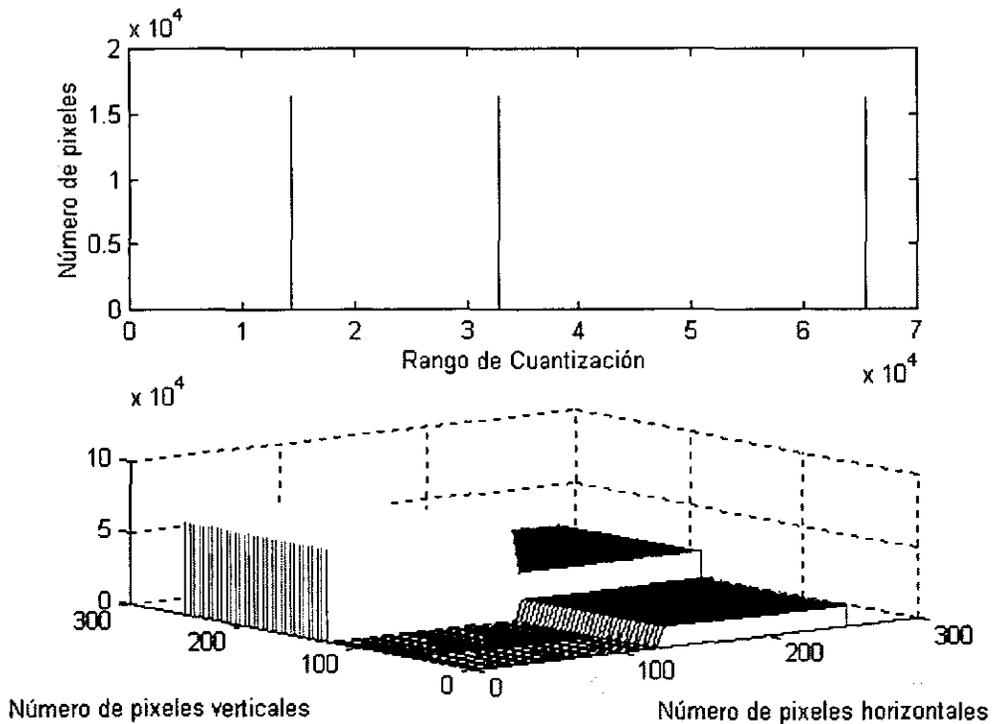


Figura 5.52 Análisis obtenido para una señal $\gg 29000$.

Es fácil observar que en la imagen anterior se tienen 4 grandes bloques de datos, que representan a los cuadrantes del detector formando planos de valores constantes, además se muestra el histograma de la imagen, donde se puede ver claramente el correcto funcionamiento de la interfaz, ya que las 4 grandes líneas representan la cantidad de datos (eje vertical) que tienen el mismo valor, y dicho valor se puede ver en el eje de las abscisas.

5.3 CONCLUSIONES

En primer lugar mencionaré que se logró alcanzar el objetivo especificado al inicio del trabajo, esto es, se realizó la interfaz capaz de cubrir con las especificaciones establecidas por el sistema, como son:

- Alta velocidad de recepción de datos (8Mbits/seg).
- Gran capacidad de almacenamiento.
- Bajo costo.

Además gracias a los resultados presentados es posible decir que el sistema es capaz de manejar los datos provenientes del detector y presentar un funcionamiento satisfactorio.

Por otro lado es posible decir que la opción para el almacenamiento de datos en las PC's por medio de DMA es muy buena y presenta diversas ventajas cuando se requiera alta velocidad, bajo costo, un diseño simple en cuanto a componentes eléctricos, etc. Cabe mencionar que también existen ciertos inconvenientes como es el manejo de memoria, la forma de programación del controlador, etc.

El empleo de las interrupciones en la PC permite el manejo de varios programas y rutinas aún bajo sistemas operativos como DOS, así como la posibilidad de asignar un nivel de prioridades a los programas con los que se está trabajando.

En lo concerniente al manejo de Memoria Extendida, presenta diversas ventajas, como son:

- Manejo de la memoria superior de la computadora, según lo requiera nuestro programa, lo que a su vez significa alta velocidad de procesamiento.
- Muy bajo costo para el uso de este recurso.
- Una gran cantidad de memoria disponible (un máximo de 64 Mbytes).

Por otro lado, el uso de memoria extendida también implica algunas desventajas, como son:

- Que desde un sistema operativo como dos, no es posible realizar operaciones en esta zona de memoria, por lo que solo es utilizada como memoria de almacenamiento.

- Los programas que utilizan este recurso deben de cumplir con ciertas características de diseño, en especial con el manejo de registros de direccionamiento.

El uso de un DSP como dispositivo receptor serie, capaz de ordenar los datos, almacenar información, controlador de las señales de transferencia, etc. Presenta las siguientes ventajas:

- Una gran versatilidad en cuanto al intervalo de velocidades del receptor serie y del transmisor en forma paralelo.
- Fácil programación del sistema.
- Uso de un procesador de alta velocidad, bajo costo, gran paralelismo y alta integración de componentes, como son: puertos serie, sistemas contadores de eventos, bloque de memoria interna de alta velocidad, controlador de DMA, etc.

Es importante mencionar que gracias al presente trabajo nos fue posible, tanto el Instituto de Astronomía como a mí, obtener grandes conocimientos, así como desarrollar:

- Experiencia en áreas y conceptos en los cuales se había desarrollado poca investigación, como es el uso de DSP, DMA, Manejo de Memoria extendida, programación de interrupciones, programas TSR etc.
- Amplio conocimiento en lenguaje de programación en C.
- Sensibilización en los problemas de manejo de circuitos cuando se operan en altas velocidades.

5.4 PLANES FUTUROS.

Debido a que la parte electrónica del proyecto "Tequila" fue dividida en tres principales subsistemas, el Secuenciador, la Cadena de Lectura y la interfaz, por lo que todas las partes fueron diseñadas y elaboradas al mismo tiempo, algunas señales de entrada y salida de los subsistemas, las cuales habían sido establecidas al inicio del proyecto, fueron modificadas por el diseño. Por lo anterior existe la necesidad de modificar ligeramente los diseños originales, con la finalidad de lograr un mejor funcionamiento.

Entre algunos cambios que podemos mencionar se encuentran:

- Generar un nuevo programa que permita un tiempo de exposición de menos de 1 segundo, lo cual se basa en el hecho de que se puede borrar y leer el detector por línea.

- Generar un código de comunicación entre el secuenciador y la interfaz, para poder medir diferentes variables del crióstato (Presión, Posición de los filtros, etc.).

FIBRAS ÓPTICAS.

Las pruebas realizadas a la interfaz estaban basadas en la generación de datos por medio de interruptores y la conexión al DSP es mediante un alambre, lo cual se piensa sustituir por una Fibra Óptica, por lo que se tendrán las siguientes ventajas:

- Gran inmunidad al ruido electromagnético, durante toda la transmisión.
- Sistemas con tierras independientes.
- Muy baja atenuación de la señal.
- Alta velocidad de comunicación, etc.

La fibra óptica seleccionada es de la marca H.P. Modelo HFBR-0400 la cual fue adquirida junto con el transmisor y el receptor y presentan las siguientes características:

- Ancho de Banda de 125 MHz.
- Transmisor HFBR-1414.
- Receptor. HFBR-2416T

INTEGRACIÓN DEL SISTEMA

Uno de los objetivos futuros será la integración y entrega formal del equipo completo, lo cual requiere de:

- Establecer las comunicaciones entre los diversos equipos como son: el secuenciador, la cadena de lectura, la interfaz, los motores que controlan los filtros dentro del crióstato, etc.
- Pruebas y calibración del equipo, tanto a nivel del laboratorio como en el Observatorio donde se utilizará

BIBLIOGRAFÍA

1. "PHOTODETECTORS: An introduction to current Technology". Dennis, P.N.J: Plenum Press. 1986
 2. "Infrared System Engineering" Hudson, Richard. Jhon Wiley & Sons, EUA.1969
 3. "PC interno 2". Tisher, Michel. MARCOMBO, MEX. 1993
 4. "TMS320C3x User's Guide " Texas Instrument, EUA.1997
 5. "TMS320C3x DSP Starter Kit User's Guide" Texas Instrument, EUA.1997.
 6. "Cadena electrónica de lectura y borrado para un sistema de detección IR para observaciones astronómicas" Párraga, Antonio. Tesis de Licenciatura, F.I. U.N.A.M. MEX.1998.
 7. "AT BUS DESIGN Compatible with IEEE P996 8 and 16 bit ISA, E-ISA & EISA DESIGN" Solari Edward. Annaboks, EUA. 1990
 8. "PROGRAMACIÓN EN DOS, Manual de Referencia" Jamsa, Jim. Mc. Graw-Hill. ESPAÑA. 1994
 9. "Borland C++. Library Reference" Borland International. EUA. 1992.
 10. "Los microprocesadores INTEL. Arquitectura, Programación e interfaces". Brey B., Barry. Prentice Hall. MEX. 1995.
- "Tarjeta Interfaz-PC para la Cámara IR 'CAMILA" F. Barbosa, P. Sotelo, L. Salas, A. Iriarte, J. Palomares, B.Sánchez. Reporte Técnico 94-04. I.A. U.N.A.M. MEX. 1994.
12. "Sistema para la Detección de imágenes Infrarrojas Astronómicas". SOHN, Erika. Tesis de licenciatura. Universidad Iberoamericana. MEX. 1996.
 13. "Generador de Señales de Control para un Sistema de Detección Infrarrojo para Aplicaciones Astronómicas". TORRES,R. Tesis de licenciatura. U.N.A.M. F.I. MEX. 1998.