

84
2ej.



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

**DISEÑO E IMPLANTACION DE UNA RED
DE DATOS PAQUETIZADOS**

T E S I S

**QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA
(AREA ELECTRICA ELECTRONICA)**

P R E S E N T A:

IRVING HOCHSTEIN GLAZMAN

DIRECTOR:

DR. LUIS ANDRES BUZO DE LA PEÑA



MEXICO, D. F.

1998

**TESIS CON
FALLA DE ORIGEN**

259229



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

A mis padres: Mary y Simón.

A mis hermanas, cuñados y sobrinos: Heidy, Mónica, Eduardo Jaime, Gabriel y
Marina.

A mi bobo: Mina.

A mis profesores.

A mis amigos y compañeros.

PREFACIO.

El objetivo de este trabajo es presentar un equipo de comunicación de datos llamado Kb/NET, desarrollado por Kb/TEL Telecomunicaciones S.A. de C.V. Este equipo permite transferencia inalámbrica de información en una configuración punto-multipunto, con lo cual podemos formar redes celulares. Su utilización es, principalmente en redes privadas con tráfico transaccional. A manera de introducción, estos equipos se utilizan principalmente en interconexiones de bancos con sus cajeros automáticos, en loterías entre el punto de expedición de boletos y las centrales, para terminales de reservación y en terminales punto de venta. Es un equipo que soporta una gran variedad de protocolos de comunicación. A lo largo de este trabajo se explicaré todos estos conceptos como las diferentes configuraciones de redes, redes privadas, tráfico transaccional y protocolos.

Mi colaboración en el equipo de desarrollo dentro de esta compañía me permitió participar activamente en la parte de diseño electrónico de este equipo. La plataforma de proceso utilizada es una tarjeta madre de computadora personal, con una serie de tarjetas que permiten las diferentes configuraciones de este equipo. Explotar esta arquitectura fue crucial para el desarrollo del proyecto, se trata de la arquitectura más ampliamente difundida y sobre la cual se tiene la mayor cantidad y calidad de información. La estandarización del bus de las computadoras personales (utilicé el bus ISA), permite que el hardware desarrollado para generaciones anteriores, funcione en las nuevas generaciones de computadoras. Esto último garantizado al menos por un par de años más.

Si bien el concepto de redes de comunicación no es necesariamente novedoso, las tecnologías para implementarlas si lo son. El tener redes al alcance de la gente, está permitiendo un alcance sin precedentes dentro de las comunicaciones entre seres humanos. Las redes están entrando a un periodo de transición o por decirlo de algún otro modo de maduración. Con la inminente necesidad de cambiar el concepto de las redes telefónicas por tecnologías digitales con un desempeño mejor, estamos viviendo un periodo de la historia de las telecomunicaciones sumamente interesante.

En el capítulo 1, presento una cronología de hechos históricos que permitieron el desarrollo de redes de comunicación, a su vez presento la necesidad de estas redes. Hablo de redes públicas y presento las ventajas y las desventajas de redes inalámbricas sobre redes alámbricas. Introduzco el concepto de redes privadas como herramientas de negocios, para terminar el capítulo con una visión de lo que son las necesidades para redes en un futuro inmediato.

Para el capítulo 2 hablo de conceptos básicos de redes, de la necesidad de estandarizar los productos y aquí menciono las características de los sistemas de interconexión abierta (OSI). Luego explico el concepto de redes de área local (LAN) con sus diferentes tipos de topología, así como de redes de área metropolitana (MAN) y de los componentes y equipos que conforman una red de área amplia (WAN), para finalizar con una explicación sobre las redes de datos paquetizados, incluyendo una breve comparación entre redes X.25 y redes Frame-Relay.

La introducción propiamente del equipo Kb/NET, la hago en el capítulo 3. Aquí defino el concepto de una célula básica Kb/NET, con una descripción del protocolo de radio que utiliza este equipo. Menciono los componentes que están contenidos dentro de los equipos y los protocolos que se pueden manejar.

El capítulo 4 está dedicado a la plataforma de las computadoras personales. Comienzo con una síntesis histórica, en la cual se menciona los hechos que motivaron a hacer de esta plataforma la más utilizada a nivel mundial. Presento la evolución de la cual se han visto beneficiados los microprocesadores de la familia 80x86. Continuo la explicación con los elementos básicos que forman una tarjeta madre o *motherboard* y como se puede intercambiar información con una computadora personal, haciendo un análisis de los ciclos que se utilizan para este intercambio de información. Hablo de las señales que maneja la tarjeta madre y explico los diferentes tipos de memoria que manejan las computadoras personales.

En capítulo 5 hablo de las unidades de almacenamiento de memoria. Aquí se presentan también los diferentes tipos de memoria haciendo comparaciones entre diferentes tecnologías, para seguir con una explicación del funcionamiento y constitución de las memorias flash. Como la finalidad de este capítulo es presentar una tarjeta de memoria flash para computadora personal que se llama PC-MEM, hablo de la memoria que utilicé para esta tarjeta y explico como funciona. Además de la explicación general de todas las funciones de este circuito.

En el capítulo 6 presento la tarjeta que permite a una computadora personal tener capacidad de comunicaciones síncronas (o bien asíncronas). Esta tarjeta se llama PC-SYNC e introduzco esta tableta con un análisis de la recomendación RS-232. Luego presento las diferentes opciones que existen dentro de la gama de los controladores de comunicación y hablo en específico del SCC 80C30 (controlador de comunicaciones serie). Este capítulo finaliza con una explicación funcional de la tarjeta PC-SYNC.

En el capítulo 7 doy una explicación sobre protocolos de comunicación, sobre cuál es su función y que tipos de protocolos existen. Doy como ejemplo una explicación del protocolo SDLC de IBM, en la que se incluyen sus formatos,

sus comandos y sus respuestas así como la forma de establecer una comunicación en este protocolo. Un análisis más profundo de los protocolos de comunicación queda fuera del alcance de este trabajo.

AGRADECIMIENTOS.

En primer lugar quisiera agradecer a mi asesor de tesis, Dr. Andrés Buzo por su infinita paciencia en este interminable trabajo. También quisiera agradecer al Dr. Horacio Martínez por la confianza depositada en mí.

A todas las personas de Kb/TEL que contribuyeron a hacer de este proyecto una realidad.

A la UNAM por lo mucho que me enseñó.

ÍNDICE.

CAPÍTULO 1. INTRODUCCIÓN.

1.1 Antecedentes históricos de las redes de comunicación.....	1
1.2 Redes públicas.....	2
1.3 Redes privadas.....	5
1.4 Redes para la nueva generación.....	8

CAPÍTULO 2. CONCEPTOS BÁSICOS DE REDES.

2.1 Estandarización de conceptos.....	9
2.2 Sistemas de interconexión abierta (OSI).....	9
2.3 Redes de área local, LAN.....	13
2.3.1 Ethernet.....	14
2.3.2 Token-Ring.....	14
2.3.3 Estrella.....	15
2.4 Redes de área metropolitana, MAN.....	16
2.5 Redes de área amplia, WAN.....	17
2.6 Redes de datos paquetizados.....	19

CAPÍTULO 3. Kb/NET, EQUIPO MULTIPROCOLO DE ACCESO A REDES INALÁMBRICAS PARA APLICACIONES TRANSACCIONALES.

3.1 Presentación.....	22
3.2 Descripción general.....	26
3.3 Controlador Kb/NET.....	27
3.4 Radio-módem.....	27
3.5 Fuente de poder.....	28

CAPÍTULO 4. LA FAMILIA DE COMPUTADORAS PC.

4.1 Síntesis histórica.....	29
4.2 Elementos principales que constituyen una PC.....	34
4.3 Principales formas de intercambio de información en una PC.....	36
4.4 PC, Sistemas XT y arquitectura de bus.....	38
4.5 Descripción de las señales del bus XT.....	44
4.6 La memoria en la computadora PC.....	49

CAPÍTULO 5. LA TARJETA DE MEMORIA: PC-MEM.

5.1 Unidades de almacenamiento.....	52
5.2 Tipos de memorias.....	54
5.3 La memoria flash 28F001BX-T.....	59
5.4 Operación del bus.....	61

5.4.1 Definición de comandos.....	62
5.4.2 Algoritmos de programación y borrado.....	64
5.4.3 Algoritmo de programación.....	64
5.4.4 Algoritmo de borrado de un bloque.....	65
5.5 Tarjeta de memoria PC-MEM.....	67
CAPÍTULO 6. LA TARJETA DE COMUNICACIONES PC-SYNC.	
6.1 Interfases.....	75
6.2 Características de las señales eléctricas.....	76
6.3 Características mecánicas de la interfase.....	76
6.4 Descripción funcional de los circuitos de intercambio.....	77
6.5 Especificaciones para la tarjeta de comunicaciones PCSYNC....	80
6.6 SCC 85C30.....	82
6.7 Tarjeta de comunicaciones PC-SYNC.....	85
CAPÍTULO 7. PROTOCOLOS.	
7.1 Función de los protocolos.....	92
7.2 Tipos de protocolos.....	93
7.3 SDLC.....	94
7.3.1 Estableciendo un enlace SDLC.....	98
7.3.2 Intercambio de información con SDLC.....	99
7.4 SDLC en el Kb/NET.....	99
7.5 Otros protocolos que maneja el Kb/NET.....	100
CONCLUSIONES.....	101
BIBLIOGRAFÍA.....	104

CAPÍTULO 1: INTRODUCCIÓN.

1.1 Antecedentes históricos de las redes de comunicación.

Los sistemas de comunicaciones tienen su inicio con el descubrimiento de varios fenómenos en el campo de la electricidad, el magnetismo y la electrostática descubiertos antes del siglo XX. Comenzando con la invención del telégrafo por parte de Samuel Morse en 1837. El desarrollo del teléfono se dio gracias a Alexander Graham Bell en 1876. El primer sistema de comunicaciones totalmente inalámbrico fue creado por Guillermo Marconi en 1894. Fue hasta 1908, que Lee DeForest inventa el triodo dentro de un bulbo, que se tiene en primer amplificador electrónico y fué quien realmente abrió las puertas para las comunicaciones inalámbricas. La verdadera expansión de las comunicaciones se dió durante la segunda guerra mundial cuando aparecieron los primeros radares y la televisión. Otro gran descubrimiento en la historia de la electrónica se dió con el desarrollo del transistor por parte de Shockley, Brattain y Bardeen.

Los pasados 50 años han sido especialmente fructíferos en lo que a desarrollo electrónico se refiere, pero únicamente en la última década hemos visto un adelanto significativo en tecnología de redes. Durante la década de los 80's el desarrollo del procesamiento, almacenamiento y tecnologías de transmisión junto con las regulaciones en comunicación crearon una explosión en el desarrollo de redes. Descubrimientos recientes en el área de circuitos integrados, circuitos de alta escala de integración y computadoras completas en circuitos integrados han aportado las bases para desarrollar sistemas de comunicación.

Estos sistemas permiten enlaces a través de todo el planeta, la gente tiene la necesidad y el deseo de comunicarse rápidamente entre puntos distantes, lo cuál ha traído como consecuencia el rápido desarrollo de la tecnología para lograr esta meta. El campo del desarrollo de las comunicaciones es dinámico, con el descubrimiento de nuevas tecnologías se producen nuevos equipos que sustituyen a otros equipos por viejos u obsoletos, los equipos tienen cada vez un periodo de vida más corto o dicho de otra forma los equipos se vuelven obsoletos cada vez más rápido. Es necesario entonces desarrollar, producir y poner al alcance de la gente sistemas de comunicaciones que mejoren las características de equipos a los que se sustituirá. Las primeras redes telefónicas tenían una esperanza de vida y periodos de depreciación que podían ser medidos en años. Sin embargo cada nueva tecnología está viviendo una vida más corta antes de ser eclipsada por una nueva tecnología.

No solo se transforman las tendencias tecnológicas, más importante aun las tendencias políticas y económicas son transformadas, con esto se estimula toda actividad en la que esté relacionado el ser humano, cambiando de manera

profunda a la sociedad. Por su espectacular alcance a todos los niveles de actividad humana podemos decir que vivimos en la era de las comunicaciones.

De manera recíproca, los diseñadores de nuevos equipos de comunicaciones deben entender la dinámica de los mercados para determinar cuál y cuando una tecnología de redes será exitosa.

A un nivel mundial, a medida que la población aumenta, que los recursos naturales se ven agotados, que la biosfera se deteriora y que perdemos la destreza para maniobrar en un mundo cada vez más lleno de información, hay menos tolerancia al error, aun pequeños errores, un tardanza en una respuesta o un malentendido, puede traer consecuencias desastrosas. Hoy en día cualquier catástrofe concierne a la mayoría en lugar de la minoría. Por ejemplo: La tecnología de satélite nos ha advertido sobre la fragilidad de la biosfera y ha hecho conciencia en la necesidad de cuidarla. Las redes mundiales de comunicación seguramente no resolverán el problema ambiental por nosotros, pero estas redes pueden mantener una ventana abierta de oportunidad para que el ser humano pueda responder de manera apropiada y rápidamente para prevenir e incluso remediar estos desastrosos problemas.

En un nivel más mundano, las redes de telecomunicación han demostrado su valor ampliamente en los ámbitos de negocios, gubernamentales y sociales. El efecto de la radio, la televisión y el teléfono nos hacen darnos cuenta que pertenecemos a una comunidad global, con individuos que comparten las mismas necesidades y aspiraciones. Para un número cada vez mayor de compañías, las redes de comunicación son la infraestructura sobre la cuál toda la compañía está apoyada. Si quitáramos momentáneamente este bloque, el negocio se detendría. Si quitáramos este bloque el tiempo suficiente, la estructura del negocio se colapsaría.

1.2 Redes públicas

La función principal de un sistema de comunicaciones es la de transferir información de un punto (transmisor) a otro punto (receptor) a través de un medio de comunicación. El primer tipo de información que se transmitió fué la voz humana en forma de código (por ejemplo el código Morse). En un contexto genérico nos referimos a información para denotar los siguientes tipos de intercambio:

- Voz, audio y vídeo (en movimiento o fijo, en color o blanco y negro)
- Texto y datos computarizados en general.

La transmisión se basa en el principio de propagación de ondas, esta propagación se puede dar dentro de los siguientes medios:

- Enlace alámbrico tradicional,
- por fibra óptica o
- inalámbrico.

Además de contar con los medios para establecer una comunicación se necesita de todo el soporte físico que nos permita mover señales eléctricas o información de un punto transmisor a un receptor. Como mencioné anteriormente, los tres elementos principales de cualquier equipo de comunicaciones moderno debe contar con los siguientes elementos básicos: una unidad central de proceso, una unidad encargada del almacenamiento de esta información y por último una tecnología de transmisión es decir una tecnología que permita a la unidad de procesamiento adaptarse al medio de transmisión. Como ejemplos de este soporte físico podemos mencionar: ruteadores, centros de switcheo, las propias líneas de comunicación, etc. Existen diferentes compañías que se dedican a proveer estos y otros servicios, entre los ejemplos más comunes tenemos:

- compañías de telefonía local,
- compañías telefónicas de larga distancia,
- portadoras de satélite,
- operadores de redes de valor agregado,
- revendedores de portadora,
- portadoras de radio,

que cuentan con la infraestructura para que el usuario utilice sus servicios. Estas compañías han tenido una evolución espectacular desde el nacimiento de la telefonía y se les conoce como proveedores de servicio de telecomunicaciones.

En el agresivo mundo de negocios, la comunicación de datos es un arma estratégica. Conocer los equipos que conforman la red no es suficiente, el control de costos de los sistemas es básico. La habilidad para controlar los costos comienza con la selección de los equipos apropiados a nuestras necesidades. El control de costos no termina con la compra del equipo y sus servicios, continúa con el proceso de instalación, integración, mantenimiento y administración de la red. Construir o expandir una red sin tomar en cuenta los estándares industriales puede dar como resultado la rápida obsolescencia de la tecnología adquirida, por lo tanto pérdida del capital invertido. Como los gastos de inversión tienen que ser recuperados de alguna forma con el tiempo, se cargarán a los gastos que el usuario deberá pagar por el producto o los servicios. Los proveedores de servicios con altos costos tendrán dificultades al competir con proveedores que hallan logrado menores costos. Esto quiere decir de otra manera, que el proveedor de servicios que haya tenido las mejores decisiones técnicas, podrá mantener su negocio en un buen nivel de competencia.

Los proveedores de servicio se enfrentan a una difícil decisión cuando se trata de determinar en que tipo de tecnología para telecomunicaciones van a invertir su capital , en un mercado donde hoy en día existen únicamente 600 millones de teléfonos para una población mundial de 5,600 millones de personas. La elección es crítica porque afecta directamente la calidad del servicio, el capital invertido, gastos de operación, enfin el éxito o fracaso del servicio.

Hasta fechas recientes la tecnología dominante era la de redes alámbricas, tanto para redes existentes como para redes en etapa de planeación. Sin embargo avances tecnológicos han logrado que la tecnología inalámbrica sea económicamente competitiva en aquellos lugares donde las redes alámbricas son insuficientes o no existentes.

Tradicionalmente una red alámbrica está definida por un par de cables de cobre que conectan al usuario con la oficina central formando un lazo, sistemas más modernos utilizan concentradores para reducir el numero de pares utilizados pero la arquitectura básica sigue siendo la misma utilizada por Alexander Graham Bell.

Las comunicaciones inalámbricas permiten a los proveedores de servicios utilizar equipo de radio en lugar de alambre, así se tienen sistemas celulares, de microondas o satelitales. Todos los equipos de comunicación inalámbrica se basan en el mismo principio en cuanto a equipo se refiere: se tiene un equipo de radio (cualquiera que sea su tipo VHF, UHF, Microondas, Satélite, Spread Spectrum etc..) conectado a un controlador de comunicaciones que está conectado a su vez los otros elementos de la red.

Las diferencias tecnológicas y de arquitectura dan como resultado ventajas de los sistemas inalámbricos sobre los sistemas alámbricos como crecimiento más rápido, mejor y más flexibilidad en coberturas, menores gastos de operación y en algunos casos menores gastos de inversión.

La capacidad de expansión es importante para los proveedores de servicio porque el tiempo en el que puedan entrar al mercado y el tiempo en el que se recupere la inversión son factores críticos en cuanto a requerimiento financieros. Las redes alámbricas tardan más en expandirse con respecto a las redes inalámbricas porque se necesita pedir al gobierno permiso para romper las calles y meter el cableado de la red. El proceso de cablear pares a cada domicilio individualmente consume más tiempo que colocar estaciones inalámbricas que son compartidas por varios usuarios. Con redes inalámbricas los proveedores de servicio pueden ajustar sus coberturas y capacidades para satisfacer la demanda del usuario en forma inmediata, mientras que las redes

alámbricas deben ser planeadas y construidas con mucha anticipación y por lo tanto son menos flexibles.

Los gastos de operación en redes inalámbricas son menores por el hecho de tener los equipos centralizados: existen menos puntos potenciales de falla y es más sencillo componer cualquier problema. A diferencia de los sistemas alámbricos que necesitan tener equipos disgregados sobre zonas geográficamente extensas como: cajas de interconexión, registros, líneas bajo las vías públicas o líneas aéreas sujetas a deterioro natural o a actos de vandalismo o sabotaje, las redes inalámbricas concentran sus recursos en un solo lugar, permitiendo que acciones como mantenimiento sean más sencillas y económicas a realizar en lugar de tener cuadrilla haciendo trabajos delicados en la calle. Para evaluar y comparar eficientemente diferentes tecnologías de redes es necesario entender como los puntos fuertes y los puntos débiles de cada tecnología pueden contribuir o afectar al costo y rendimiento total de una red.

Económicamente hablando, las redes alámbricas son sensibles a la distancia que separa la central de los usuarios o a los usuarios entre ellos mismos, porque se requiere una mayor cantidad de cobre para llegar a hacer conexión. En una relación costo-beneficio, es recomendable utilizar redes alámbricas en zonas urbanas donde la densidad de población es alta y las distancias pueden no ser muy grandes. Se tiene un muy buen desempeño a un costo relativamente bajo (en comparación con una contra parte inalámbrica). Es en zonas rurales y suburbanas, donde las redes inalámbricas pueden competir en un mercado bajo circunstancias más balanceadas.

Las telecomunicaciones y otras tecnologías de informática son esenciales para aumentar la productividad y mejorar las condiciones de vida de la gente, por lo que redes deben tener la posibilidad de crecer según la necesidad del usuario. Las redes inalámbricas pueden satisfacer esta necesidad de manera eficiente.

1.3 Redes privadas

Una red privada apoya el intercambio de información en una comunidad de interés, por ejemplo: una corporación, universidades, comunidades científicas o plantas productivas. Con sus propios medios de transmisión, multiplexaje, switcheo, formando una infraestructura de comunicaciones administrada por la misma comunidad de interés. Estas redes tienen un ambiente de operación con objetivos y costos predecibles. Además las redes privadas son generalmente diseñadas, instaladas y mantenidas por los usuarios mismos. Redes virtuales, utilizan la infraestructura de los proveedores de servicio como portadores de información. Este tipo de redes virtuales están ganando popularidad en el mundo.

Las redes en sí, no representan la principal entrada de capitales para la mayoría de las compañías (con excepción únicamente de los proveedores de servicio y empresas de telecomunicaciones). Entonces ¿Qué fuerzas impulsan el desarrollo de redes de comunicación?. Podríamos mencionar que es la tecnología, pero caeríamos en un error. Las fuerzas que impulsan el desarrollo de las redes son las que generan ganancias. Son las propias aplicaciones de una red las principales generadoras de ganancia. Por lo que a la pregunta anterior la respuesta está en las aplicaciones que se le pueda dar a una red de comunicaciones.

Las redes se vuelven una herramienta de negocios que permite a las compañías disminuir costos. Cualquier compañía que dependa del intercambio de información entre varios empleados, departamentos, clientes o proveedores es una candidata a una red privada. Los diseñadores de redes privadas deben optimizar las ecuaciones de costo-beneficio para el movimiento de información. Para poder hacer un estudio es necesario comprender el tipo de información que normalmente se da dentro de la compañía, así como los cambios que ha sufrido el tipo de información a través del tiempo. A continuación, en la figura #1, vamos a ver las gráficas de un estudio realizado para ver como ha ido evolucionando el tráfico de datos (digital) con respecto al tráfico de voz (analógico) en redes privadas.

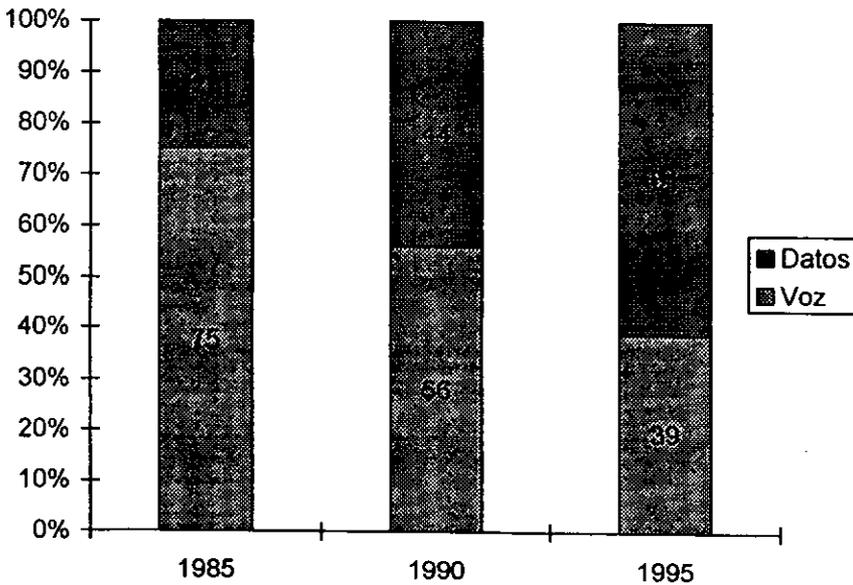


Fig 1: Relación de tráfico de voz contra tráfico de datos.

La primera consideración que se debe tener para que una compañía tenga una red privada es el volumen de tráfico. Líneas dedicadas se justifican o se considera una alternativa económica, cuando el costo del servicio medido o del servicio conmutado es superior al de una conexión dedicada entre dos puntos. Instalando equipo de transmisión dedicado y negociando precios fijos con los proveedores de servicio, una compañía puede tener un presupuesto de lo que serán sus costos de comunicación. Si el costo de diseño, instalación y operación de una red privada es inferior que el costo de una línea conmutada equivalente, que da un proveedor de servicio, la decisión por tener una red privada es obvia.

Si bien la principal preocupación de un diseñador de redes tiene que ser el control de costos, tiene que tomar en cuenta la siguiente lista de puntos que deberá optimizar: Eficiencia de la transmisión, seguridad, control de recursos propios, administración de recursos, control de accesos y características específicas de su red.

Se acostumbra utilizar redes netamente privadas cuando las distancias entre los puntos a comunicar son pequeñas (de algunos kilómetros únicamente). Cuando las distancias son más grandes, existe la opción de tener redes virtuales (privadas que utilizan servicios de portadores). Hasta 1983 el usuario estaba limitado por compañías proveedoras a un ancho de banda o a una velocidad de transmisión de hasta 64 Kb/s para transmisiones digitales. Las posibilidades hoy en día son de hasta 45 Mb/s (utilizando como velocidades estándar 1.544 Mb/s (T-1) o bien 2.048 Mb/s (E-1) y fraccionales de estas velocidades).

Las compañías portadoras proveen al usuario de la interfase y la inteligencia necesaria para mover tráfico a través de su infraestructura. También hacen las adaptaciones y conversión de voz o datos en formatos compatibles con su infraestructura de red. Se provee con las funciones de switcheo y multiplexaje utilizando ya sea TDM (Time Division Multiplex, Multiplexaje por división de tiempo) o técnicas de switcheo por paquetes. Los TDM utilizan ranuras fijas de tiempo que garantizan el ancho de banda del canal. La conmutación por paquetes combina la información del usuario con un encabezado que contiene información del canal que se está utilizando, el numero de bytes o bits de la información del usuario, información para el control de errores o *checksum* y la prioridad del canal. Todo esto genera una envolvente de información o "paquete" que puede ser multiplexada y conmutada. Es preferible utilizar redes conmutadas por paquetes cuando el flujo de información no es constante como el caso de consultas a bases de datos o autorización de tarjetas de crédito.

Entre más compleja sea una red, los costos de operación se incrementan y puede traer como consecuencia el incremento en el tiempo de compostura en caso de algún problema. Las redes deben estar disponibles un 100% del tiempo, si bien esto es imposible, los diseñadores de redes pueden utilizar combinaciones de componentes redundantes y topología que permitan llegar a un mismo punto de la red a través de diferentes trayectorias.

1.4 Redes para la nueva generación

Si bien la digitalización de la información revolucionó el uso de redes privadas, el paso se acelera a medida que se tienen medios de transmisión con mayores anchos de banda (hasta 45 Mb/s). La tecnología digital de bajo costo ha producido un número importante de nuevas aplicaciones de entre las cuales el cambio más dramático se ha dado con el procesamiento de imágenes o gráficos. El viejo proverbio que dice "Una imagen vale más que mil palabras", puede ser reemplazada hoy en día como "Una imagen vale más de dos megabytes". El transporte de imágenes o vídeo y su consumo de memoria son cada vez más altos, por lo que para transportar este tipo de información se necesitan medio de comunicación con mayores anchos de banda. Y aun más complicado cuando se transmite simultáneamente vídeo y texto, el texto puede procesarse a gran velocidad y su ancho de banda es reducido, mientras que el vídeo requiere de un ancho de banda mucho mayor. Los equipos deben tener la capacidad de adecuar automáticamente el uso del ancho de banda según las necesidades. Si no fuera así, en el caso anterior en el que el vídeo necesita un gran ancho de banda, si utilizamos estos equipos para transportar únicamente texto, se desperdiciaría ancho de banda con su correspondiente desperdicio de dinero. El ancho de banda de una red debe tener un control dinámico automático para adaptarse a las necesidades del usuario.

La economía es quien toma la decisión sobre el uso de redes públicas o redes privadas o una mezcla de ambas. Para todos los casos es necesario que el uso de protocolos de comunicación propietarios sean utilizados únicamente para aplicaciones muy específicas, prefiriendo el uso de protocolos comunes en el mercado y así el usuario de alguna aplicación no tiene riesgos de ser incompatible con el resto de una red. De aquí que terceras personas puedan desarrollar aplicaciones que pueden servir en diferentes redes, así eliminando la personalización y el complicado proceso de instalación para adaptarse a la red no estándar del usuario.

Es difícil predecir qué nos depara la próxima década en cuanto a redes de comunicación se trata. Solo podemos estar seguros de la velocidad en los cambios que hemos visto en los últimos diez años, por lo que puedo asegurar que el futuro en redes se ve muy interesante.

CAPÍTULO 2: CONCEPTOS BÁSICOS DE REDES.

2.1 Estandarización de conceptos.

Una de las áreas que más ha evolucionado a lo largo de los últimos 15 años , es la estandarización de conceptos en redes de comunicación. Desde los esquemas propietarios utilizados en los 1970's hasta los estándares y recomendaciones para redes de los 1980's, estamos en el proceso de lograr una red mundial de comunicaciones de datos en los 1990's. El objetivo principal es permitir que cualquier dispositivo se comunique con cualquier otro dispositivo, sin importar la ubicación de los mismos, de su red y aún más importante del fabricante del mismo. Los fabricantes crean esquemas propietarios, conocidos únicamente por ellos mismos por miedo a perder el mercado, era un mismo fabricante el que vendía toda la infraestructura de una red. Hoy en día estas prácticas ya no son viables y los equipos de los fabricantes deben poder comunicarse con equipos de la competencia, en caso de no hacerlo están predestinados al fracaso.

2.2 Sistemas de interconexión abierta (OSI).

Los sistemas de interconexión abierta (OSI-Open Systems Interconnect) se refieren a una especificación que describe siete niveles de interfase que fue desarrollada por la International Standard Organization a partir de la necesidad de interconectar productos y servicios de diferentes fabricantes. La finalidad del modelo OSI es proveer un conjunto de estándares que, si son tomados en cuenta por los diferentes fabricantes, logra una metodología para comunicar el ambiente utilizado por el usuario a todos los niveles. OSI es conocido como un protocolo en capas, donde cada capa tiene una función específica que realizar, cada capa tiene una interfase estándar con su capa superior e inferior así debe poderse comunicar cada capa con dispositivos de diferentes fabricantes. En la figura #2 se muestra en forma simplificada las 7 capas de los sistemas de interconexión abierta y cómo se conectan con diferentes sistemas:

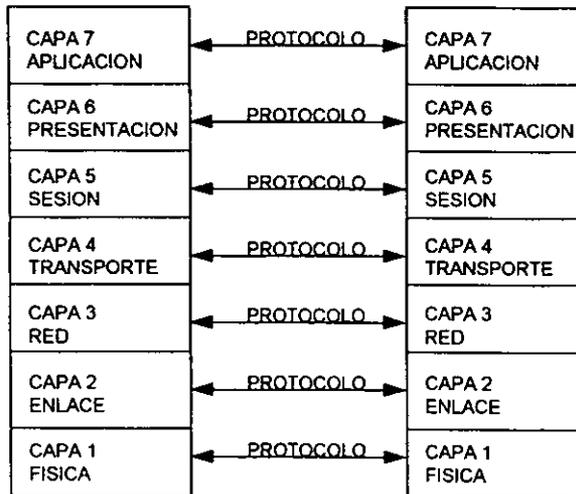


Fig 2. Capas del sistema de interconexión abierta.

Capa uno o capa física: Incluye las funciones requeridas para activar, mantener y desactivar la conexión física del equipo. Es la capa responsable de entregar los bits de información desde el medio físico o hasta el medio físico. Aquí se incluye las especificaciones eléctricas, de cables y características de interconexión y la descripción funcional del flujo de datos y control desde la interfase hasta el medio.

Capa dos o capa de enlace: Incorpora los mecanismos para sincronizar la información a través del enlace. También se le conoce como capa HDLC (High level Data Link Control). A un nivel práctico es el mecanismo por el cual la información es transmitida entre dos localidades adyacentes. Esta capa incluye los controles orientados a conexiones (son los controles encargados de que la conexión haya sido establecida entre dos puntos antes de iniciar la comunicación), no conexiones y transmisiones de paquetes únicos. En caso de no confirmar la recepción del paquete, este debe retransmitirse.

Capa tres o capa de red: Esta capa provee las funciones necesarias de switcheo y ruteo que son requeridas para establecer, mantener y terminar una conexión entre dos localidades. Se encarga de desensamblar, reensamblar y corregir errores de paquetes a través de la red de datos paquetizados. Determina cuál será la ruta a seguir por paquetes tomando en cuenta todos los nodos de la misma.

Capa cuatro o capa de transporte: Se encarga del control del intercambio de información entre punto terminal de la red. Se encarga del control de flujo, corrección de errores y reconocimiento de llegada de información entre puntos

terminales de la red. Esta capa valida que los datos no hayan sido modificados, duplicados o se hayan perdido así como una verificación de errores entre los puntos de interconexión.

Capa cinco o capa de sesión: Provee la interfase necesaria para mantener un dialogo entre dos localidades diferentes. Es como poner en marcha una aplicación específica. La sesión se terminara cuando el usuario desee comunicarse con una aplicación diferente, tendrá que salirse de la aplicación existente e iniciar una aplicación nueva.

Capa seis o capa de presentación: Asegura que el equipo receptor pueda entender la información que se le manda, dicho de otra forma que la sintaxis y la representación física de los datos sean compatibles para el receptor. En esta capa se incluyen el formato para pantallas, encriptación, compresión y todo tipo de formas de manipulación de bits.

Capa siete o capa de aplicación: Se trata de la aplicación final de usuario. El significado de información para esta capa no es la de bits, sino archivos, información gráfica y documentos que son necesarios únicamente en el entorno del usuario.

Si bien OSI es un estándar para lograr la compatibilidad de equipos de comunicaciones no es el único estándar. Cada nuevo estándar es diferente. Para darnos una idea de cómo se ven otras arquitecturas disponibles en el mercado tenemos la figura #3:

ISO	IBM SNA	DEC DNA	DATA GENARL XODIAC	HP LAN3000	WANG OFFICE	TANDEM EXPAND
-----	------------	------------	--------------------------	---------------	----------------	------------------

APLICACION	APLICACION DE USUARIO	USUARIO	APLICACION	NS-3000	WANG OFFICE	SISTEMA DE PROCESAMIENTO
PRESENTACION	SERVICIO DE PRESENTACION	ADMN. DE RED				
SESION	CONTROL DE FLUJO	SESION	XODIAC	LAN3000 TRANSPORTE	SERVICIOS DE RED	SISTEMA DE ARCHIVO GUARDIAN
TRANSPORTE	CONTROL DE TRANSMISION	COMUNICACION				
RED	CONTROL DE PATH	RUTEO	X.25	802.2 X.25	SUB-SISTEMA DE TRANSPORTE	RUTEO X.25
ENLACE	CONTROL DE ENLACE	ENLACE	HDLC			
FISICA	CONTROL FISICO	FISICA	RS232	802.3	SNA WAGNET	RS232-449 V.35

Fig 3. Relación entre las diferentes capas de sistemas de redes.

Cada día surgen nuevos conceptos en redes y estas a su vez se vuelven más complejas. Cuando apenas asimilamos una tecnología es que esta ya es obsoleta y una nueva tecnología viene a sustituirla. Muchos nuevos términos surgen como LAN, WAN, MAN etc. Una LAN o red de área local es la forma más antigua que existe de una red y esto no necesariamente significa que sea una forma obsoleta. Este tipo de redes LAN se han convertido en la base para las redes de área amplia o WAN y para las redes metropolitanas o MAN.

2.3 Redes de área local, LAN.

El crecimiento en el flujo de información ha contribuido al crecimiento de redes, principalmente de redes de área local o LAN. A lo largo de los años, centenas de millares de redes de área local Ethernet o Token-Ring han sido instaladas. Estas redes se han convertido en la manera preferida de interconectar terminales, pequeñas computadoras y grandes computadoras, permitiéndoles comunicarse para compartir recursos e información. Todo esto bajo el mismo esquema (y recursos) de administración.

En términos simples una LAN (Local Area Network, red de área local), es un interruptor, que permite distribuir recursos (espacio, ancho de banda o tiempo) a las personas o maquinas que utilizan esos recursos en distancias limitadas. Una LAN soporta una tasa de transmisión de 1 a 100 Mb/s (últimamente hasta 1 Gb/s), en distancias relativamente cortas. A diferencia de una WAN (Wide Area Network, red de área amplia) que utiliza por lo general una conmutación o switcheo por paquetes que puede tener distancias de transmisión muy superiores, con tasas 100 veces inferiores.

Punto aparte de las diferencias entre LAN y WAN existen varias similitudes. Por ejemplo, la información que se transmite por ambas topologías están empaquetada. Adicionalmente a la información de usuario propiamente, cada paquete contiene información para la administración y protocolos que permiten comunicarse a dispositivos dentro de la red.

Las redes de área local facilitan el intercambio de información entre usuarios, sin importar el tipo de equipo que se utilice, los protocolos utilizados o los medios de transmisión. Hoy en día los promotores de este tipo de tecnología han unido sus esfuerzos alrededor de un grupo de estándares definidos por el Instituto de ingeniero eléctricos y electrónicas (IEEE). Estos estándares (IEEE 802) definen las características de los tipos de LAN más populares: Ethernet, Token-Ring y Star-LAN.

Una LAN puede visualizarse como un conductor o un conjunto de conductores que conectan a varias computadoras. El conductor puede consistir de un simple cable que sale de cada dispositivo de la red. Para redes de área amplia esta conexión se logra por medio de la red telefónica: con líneas conmutadas o dedicadas; o bien por algún medio inalámbrico como: radio, satélite o con medios ópticos. Cada topología de una LAN puede variar en métodos de acceso, sistemas operativos, protocolos. Estas diferencias afectan la instalación, crecimiento y costos de operación.

Las tres topologías más utilizadas son Bus, Token-Ring, y Estrella (La topología llamada de árbol es principalmente igual a la topología de Bus). Estas tres topologías principales son netamente planas que caracterizan a las LAN.

Cada una de las topologías antes mencionadas presentan ventajas y debilidades.

2.3.1 Ethernet:

Desarrollada por Xerox a mediados de los años 1970's. Se convirtió en un estándar bajo el auspicio de computadoras DEC e Intel. Ethernet es uno de los mejores ejemplos de un LAN basada en la topología de Bus (como se muestra es la figura #4), que trabaja a una velocidad de 10 Mb/s (esta velocidad ha ido aumentando con los años hasta llegar a 1 Gb/s) previniendo la contención. Aquí cada terminal escucha a la red para ver si está siendo requerida. Una vez que no escucha tráfico en la red, la terminal es libre para transmitir. A este método se le conoce como acceso múltiple por detección de portadora (CSMA, Carrier Sense Multiple Access). Este tipo de red con topología de Bus es recomendable para distancias inferiores a 2.5 Km, esto debido a la posibilidad de colisión de paquetes. Las redes con topología de Bus son por lo general, más económicas de implementar que cualquier otro tipo de red. Como cada dispositivo en la red es una unidad independiente, la falla en un dispositivo no afecta el funcionamiento total de la red, a menos que el dispositivo descompuesto quede en modo de transmisión.

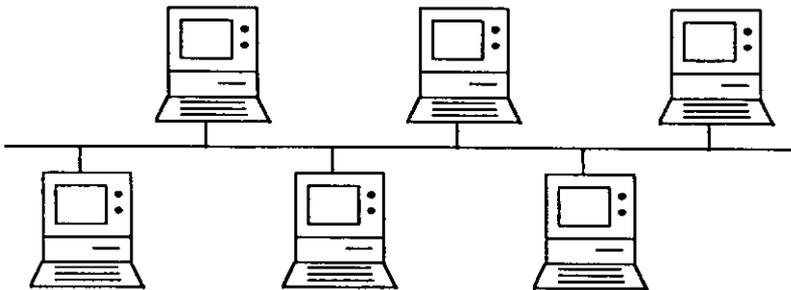


Fig 4. Topología de bus (ethernet).

2.3.2 Token-Ring:

Es la red favorita de IBM, funciona a velocidades fijas de 4, 16 o 20 Mb/s. El anillo (Ring) es esencialmente un lazo cerrado, mientras que el turno (token) es un byte que circula por el anillo, dando a cada terminal en el anillo una oportunidad de enviar información por la red, como se muestra en la figura #5. Con este método de turnos se garantiza que cada terminal tenga el mismo tiempo para acceder la red. Como cada nodo actúa como un repetidor (los paquetes de datos y los turnos son regenerados en cada terminal) estas redes no están limitadas por distancia o velocidad, siempre que se tengan terminales correctamente espaciadas. Solo la terminal direccionada retiene el mensaje y solo la terminal que introdujo el mensaje puede deshacerse del mismo. Se necesita de un dispositivo que actúe como estación de control, porque se encarga de "limpiar" la red de paquetes no atendidos.

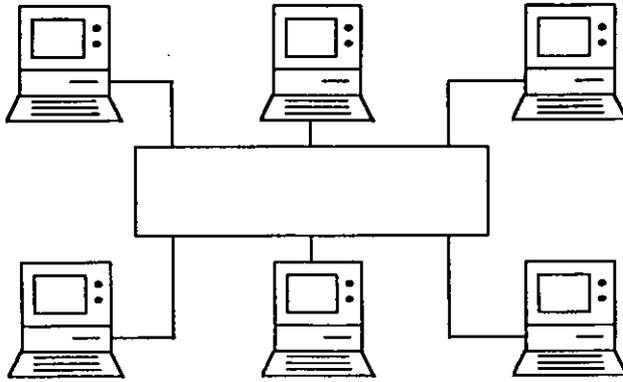


Fig 5. Topología de anillo (token-ring).

2.3.3 Estrella:

La topología de estrella consiste en un nodo central, al cual se conectan todos los dispositivos de la red, como se muestra en la figura #5. Un ejemplo de una LAN con topología de estrella es DataKit, desarrollado por AT&T. En este caso todas las unidades de interfase y medios de interconexión están contenidos en el interior de una caja a la cual las estaciones individuales o terminales se conectan por medio de un par trenzado. El sistema se parece a un sistema personal de conmutador de teléfono. Otro ejemplo desarrollado por AT&T es el LANStar opera a una velocidad de 1 a 10 Mb/s. Fué desarrollada originalmente para ser una red de bajo costo, fácil de instalar que ofreciera mayor flexibilidad para configuración que un Token-Ring. A diferencia de Ethernet o Token-Ring, donde la inteligencia se distribuye a lo largo de la red, las redes de estrella concentran la inteligencia de la red en un punto central, evita contenciones de manera más eficiente. La falla en una terminal no afecta el funcionamiento total de la red.

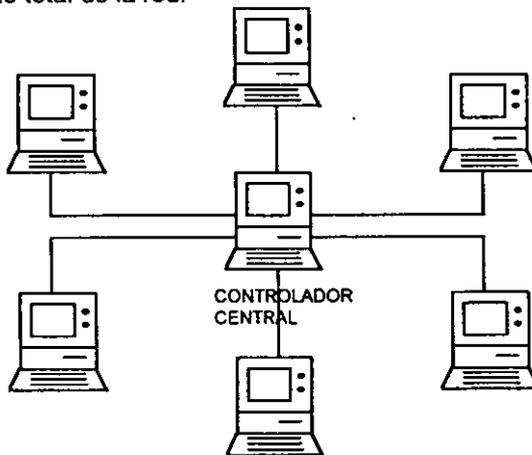


Fig 6. Topología de estrella.

Cuando las redes de área local aparecieron en el mercado, los usuarios tenían que adquirir todos los componentes de la red de una misma marca, la cual proveía de todos los elementos, desde cables hasta sistemas operativos, pasando por tarjetas de redes. Aún cuando eran muy confiables y robustas, no eran muy flexibles. Los usuarios eran orillados a comprar de esta manera porque no existían otras posibilidades. El hecho de combinar productos de diferentes marcas simplemente no era posible.

Como las LANs están constituidas por islas de computadoras interconectadas existe una necesidad creciente de conectar redes entre sí y así manejar mayores cantidades y más eficientemente la información. Este desarrollo ha obligado a separar los productos de las LANs en dos grandes familias: Intra-LAN e Inter-LAN. Intra-LAN se refiere a los productos tales como servidores de aplicaciones y varios tipos de adaptadores para enlaces a Ethernet, Token-Ring o estrella. Mientras Inter-LAN se refiere a productos utilizados para conectar islas de LAN entre sí como ruteadores (routers, puentes (bridges) y gate-ways.

Reduciendo el número de terminales en cada sección se tiene una menor probabilidad de colisión y consecuentemente menor rezago debido a retransmisiones.

2.4 Redes de área metropolitana, MAN.

Un concepto muy novedoso es el de una red de área metropolitana o MAN. Se trata esencialmente de una gran LAN que cubre una zona geográfica como una ciudad. Típicamente una MAN aprovecha las velocidades de transmisión que se pueden obtener utilizando fibras ópticas, pero no es el único medio de lograr una red de área metropolitana. La única limitante que tiene una red de área metropolitana es el ancho de banda del canal que se está utilizando.

Para salvaguardar la integridad de los datos, una MAN emplea mecanismos de autocorrección de errores para asegurar el más alto desempeño de la red. El desarrollo de este tipo de redes se ha visto incrementado por la necesidad de tener una mayor número de terminales en una red y/o tener terminales remotas a distancias significativas. Este tipo de tecnología puede ser utilizada por cualquier compañía que necesite mover información a grandes distancias, como proveedores de servicios, bancos, vendedores de lotería, terminales de consulta, los principales usuarios deben ser las compañías telefónicas.

Las compañías telefónicas están consientes que la futura necesidad de sus abonados y la preferencia de estos girará en torno a su habilidad de

incorporar este tipo de infraestructura. El usuario prefiere tener procesos distribuidos y redes de alta velocidad, sin que la posición geográfica represente ninguna limitante. Esta demanda del usuario puede ser satisfecha con redes de área metropolitana.

Las redes de área metropolitana difieren con las redes de telecomunicaciones en que estas últimas se caracterizan por conexiones punto-a-punto, redes multi-punto y sistemas multiplexados (en tiempo o frecuencia) para obtener beneficios en velocidad y/o distancia de cobertura. Una LAN tiene un funcionamiento óptimo en distancias de algunos kilómetros únicamente y no trabajan con la misma confiabilidad en distancias mayores. Además de esta limitante existe otra muy importante y es que es susceptible al tipo de tráfico que manejan; funcionan de manera adecuada para el tráfico de información computacional, donde el tráfico es intermitente y puede tener pequeños retrasos. Por lo que una LAN no es el medio óptimo para transmitir voz o vídeo, este tipo de tráfico no tolera retrasos.

Decenas de miles de dispositivos pueden ser conectados a una red de área metropolitana, los medios y protocolos utilizados normalmente en una LAN no tienen la capacidad de manejar una red de este tamaño por su complejidad sin que decrezca la eficiencia. Las redes de área metropolitana tienen que ser capaces de trabajar bajo estas demandantes condiciones.

2.5 Redes de área amplia, WAN.

Las redes de área amplia o WAN (Wide Area Network), se originan de la necesidad de comunicarse entre puntos localizados a grandes distancias. Una WAN es una red de equipos de cómputo que traspasa los límites geográficos que comprendía originalmente, de esta forma los equipos pueden estar distribuidos en diferentes ciudades, países o continentes. Se utilizan para interconectar diferentes ciudades. El reto para este tipo de redes es lograr uniformizar protocolos, topologías y sistemas operativos, para poder tener una compatibilidad en las comunicaciones.

Los elementos que integran una WAN son los siguientes:

Repetidores:

Sabemos que una señal se degrada o atenúa al viajar a través de cualquier medio proporcionalmente a la distancia. Un repetidor es el encargado de amplificar la señal recibida para volverla a transmitir, es un equipo sin inteligencia que no modifica el contenido de la información. Se utiliza para interconectar diferentes LANs siempre y cuando estas utilicen el mismo protocolo a nivel físico. Los repetidores no resuelven problemas de colisión dentro de una LAN.

Puentes:

Proporcionan un servicio de interconexión. Cada paquete de información cuenta en su encabezado con el destino del propio paquete. El puente se encarga de separar los paquetes que van destinados de al propio segmento de la red. Los paquetes que no van destinados al propio segmento de la red son retransmitidos a otro segmento. La utilización óptima para los puentes es en redes donde no se requiere conversión de protocolos entre los segmentos, la seguridad es mínima y se requiere únicamente métodos rudimentarios de ruteo. Existen puentes llamado "sin inteligencia" y puentes "con inteligencia": La diferencia entre ambos es que el llamado "sin inteligencia" es necesario configurarlo con las direcciones de las terminales de su propio sector, para así poder hacer el filtrado de los paquetes que le corresponden, mientras que los puentes inteligentes pueden configurar ellos mismos las direcciones de las terminales conectadas a su segmento. Como se garantiza que el tráfico dentro del segmento es únicamente el del propio segmento y no el del resto de la red, utilizando puentes se disminuye la cantidad de colisiones dentro una red.

Ruteadores:

Con la necesidad de conectar mayor número de terminales y servidores en una red el papel de los ruteadores es vital. El principio es el mismo que el de un puente, que permite conectar transparentemente al protocolo de la red, con los ruteadores se logra un nivel de conexión más inteligente y eficiente para redes más grandes y tienen más capacidad de control de tráfico y administración que lo puentes. Son capaces de leer las direcciones de los paquetes y pueden tomar decisiones sobre la ruta que deberá seguir dicho paquete a lo largo de la WAN. Los ruteadores ofrecen el más alto nivel de redundancia para garantizar que los paquetes lleguen a su destino sin errores. Un ruteador traduce el protocolo de la LAN a un protocolo paquetizado de WAN e inversamente en la locación remota. Se utilizan para interconectar redes con tráfico intra-red muy pesado.

La decisión de utilizar un puente o un ruteador es en relación del costo en función del volumen de información contra el desempeño de los mismos.

Gateways o interfase de comunicación entre redes:

En grandes compañías es muy común encontrar que los diferentes departamentos han optado por diferentes tecnologías y protocolos de LAN. Un dispositivo que permite la traducción de protocolos y permite intercambiar información entre dos tipos diferentes de red se llama Gateway y permite la interconexiones entre redes totalmente distintas. Los gateways funcionan como el conducto por el cual las computadoras se comunican, así como intérprete entre las 7 capas de protocolo. Si bien un Gateway garantiza que la información de una LAN será comprendida por una LAN totalmente diferente, la función de traducir las 7 capas de protocolo es una acción relativamente lenta y las

velocidades de transmisión no pueden ser muy altas (solo de algunos cientos de paquetes por segundo), consecuentemente un Gateway puede constituir un cuello de botella cuando se le utiliza con mucha frecuencia. En un ambiente WAN los gateways descartan paquetes inservibles y encuentran la ruta más económica para que viaje un paquete. Se trata de un equipo de comunicación de alto costo.

2.6 Redes de datos paquetizados.

Básicamente una transmisión de paquetes se refiere a un mensaje el cual es dividido en bloques de longitud definida. Cada bloque o paquete es enviados individualmente por una red a través de múltiples caminos. Como existen diferentes caminos por los cuales los paquetes pueden ser transmitidos, pueden llegar al destino fuera de secuencia. De aquí la necesidad de que cada paquete contenga la información para identificar que parte de que mensaje se trata. El mensaje es reacomodado a su forma original en el punto de destino antes de ser entregado al usuario en un formato que es compatible con su equipo . Al haber recibido toda la información en forma ordenada, el equipo de usuario de destino, responde al nodo que originó el mensaje informándole que el mensaje completo ha llegado al nodo final. Por tener la capacidad de mandar los paquetes por diferentes caminos, una red de datos paquetizados puede ser vista como una red con rutas adaptativas, donde la falla en una sola líneas no causa la pérdida del mensaje.

A finales de los años 1960's, el departamento de defensa de los Estados Unidos pone en operación la primera red de datos paquetizados denominada ARPANET. La idea de este proyecto evolucionó. Nuevos y más potentes equipos de switcheo por paquetes fueron desarrollados, hasta formar una red paquetizada con alcances en todo el planeta. Una vez que ARPANET mostró su utilidad fué cuestión de tiempo antes que compañías comerciales siguieran sus pasos. La primera compañía privada en contar con una red de datos paquetizados fué TELENET (de GTE) y luego vino TYMNET (de McDonnell-Douglas), ambas compañía acaparan más del 50% del mercado de transmisión por paquetes en los Estados Unidos. Otras compañías que ofrecen estos servicios desde hace más de una década son CompuServe e IBM Networks. Si bien el desarrollo comenzó en Estados Unidos, son los países de Europa del Oeste los que más han desarrollado esta tecnología.

El principal beneficio de los servicios paquetizados es la capacidad de transmitir grandes volúmenes de datos con costo fijos, sin importar la distancia a la que se encuentra el destinatario. Los costos se basan en la cantidad de paquetes y no en la distancia o en el tiempo que se consume. El único costo adicional para el usuario es el costo de interconexión en cada localidad.

La principal diferencia entre una red paquetizada y una red telefónica convencional, es que en la red telefónica convencional, los switches conectan a los usuarios de puntos finales con líneas dedicadas todos el tiempo que dure la comunicación entre ambos puntos, hasta que la comunicación termina los switches y las líneas pueden ser utilizados por otros usuarios. Esto depende del tiempo, por lo que los cargos se hacen generalmente por el tiempo de utilización del servicio, se mande o no información, como se muestra en la figura #7:

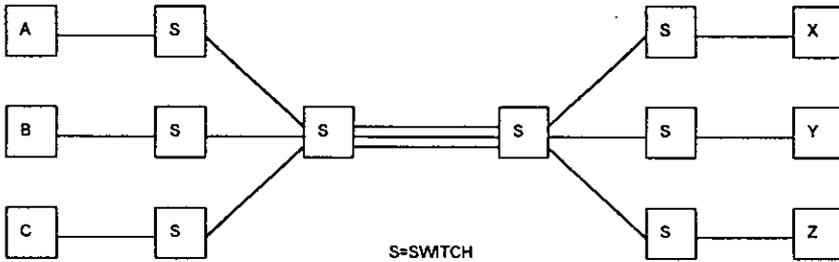


Fig 7. Red telefónica convencional.

Mientras que en una red paquetizada la conexión entre puntos se hace a través de nodos que son utilizados únicamente cuando el usuario tiene información para comunicar, como se ve en la figura #8. La comunicación entre nodos está físicamente conectada todo el tiempo. Así varios usuarios pueden mandar paquetes a través de estas líneas de comunicación entre nodos. Estas líneas de comunicación entre nodos generalmente son propiedad de un proveedor de servicios. El proveedor de servicio tiene las líneas de conexión entre nodos conectadas todo el tiempo por lo que cobra por el volumen de paquetes que transmite y no por la distancia o el tiempo.

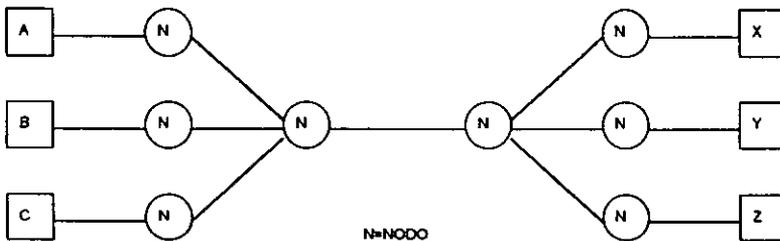


Fig 8. Red de datos paquetizados.

Una red de datos paquetizados está constituida por una serie de nodos, en todas las áreas que el proveedor desee dar sus servicios. Los nodos se comunican con otros nodos por medio de interfaces, generalmente variaciones del protocolo X.25. Si bien las topologías pueden ser tan variadas como se quiera, por lo general cada nodo se comunica únicamente con uno o dos nodos más. Cada nodo contiene los equipos necesarios para enrutar paquetes hacia y

desde cualquier nodo adyacente. La interfase entre el usuario y el nodo se hace a través de PADs (Packet Assembler/Disassembler, ensamblador y desensamblador de paquetes), estos existen en una gran cantidad de formas y pueden convertir el medio de comunicación del usuario con el medio estándar que hay a lo largo del resto de la red. Por lo que el usuario puede utilizar cualquier tipo de plataforma o protocolo y luego paquetizar su información con ayuda de un PAD y viajar a través de la red de datos paquetizado.

También nuevas tecnologías en transmisión de paquetes están siendo desarrolladas para obtener mejores desempeños o velocidades de transmisión. Si bien protocolos como X.25 son ampliamente utilizados, existe otros protocolos como Frame Relay sustentados por las CCITT, ANSI y ECSA como el estándar para comunicaciones mundiales. Frame Relay y X.25 son los dos estándares de comunicación de redes paquetizadas mayormente utilizados. La diferencia principal radica en que el tamaño de paquete en X.25 es fijo mientras que en Frame Relay puede ser variable, aprovechando mejor el ancho de banda del canal. La gran ventaja que ofrece Frame Relay es la estandarización del protocolo, mientras que X.25 es un protocolo el cual ha tenido múltiples cambios, es decir existen varias versiones no compatibles de este mismo protocolo. La detección de errores para ambos protocolos es una función muy simple por lo que paquetes con errores son generalmente desechados, es el usuario el responsable de corregir esta pérdida de paquetes por errores, generalmente se hace por medio de retransmisión de paquetes.

Los switches para paquetes empleados en los años 1970's, utilizaban microcontroladores de 8-bits y la velocidad de transmisión estaba limitada a 100 paquetes/segundo. Los paquetes por segundo son medidos con paquetes de 128 Bytes. En los años 1980's, con la introducción al mercado de microprocesadores de 16-bits y 32-bits, la velocidad pudo elevarse entre 300 y 500 paquetes/segundo. Para los años 1990's, con diseño de múltiples microprocesadores trabajando en paralelo se pueden procesar paquetes a una velocidades de entre 1000 y 5000 paquetes por segundo.

La velocidad de transmisión real de un switch equipado con un microprocesador Intel 80386 puede manejar 100 paquetes/segundo utilizando X.25 convencional y puede ser de hasta 500 paquetes/segundo utilizando Frame Relay. Con esto vemos que se gana velocidad real de transmisión sin la necesidad de aumentar la capacidad del procesador.

En nuestros días voz, datos y video son transportados a través de redes públicas y privadas que utilizan tecnología de paquetes. Estas tecnologías están siendo instaladas en áreas metropolitanas donde el volumen de tráfico es más grande y el mercado es más promisorio. Para un futuro inmediato, Frame Relay representa una propuesta más promisorio para el transporte de datos a alta velocidad.

CAPÍTULO 3: Kb/NET, EQUIPO MULTIPROCOLO DE ACCESO A REDES INALÁMBRICAS PARA APLICACIONES TRANSACCIONALES.

3.1 Presentación.

Kb/NET es un equipo de telecomunicaciones inteligente, altamente eficiente, que soporta una gran variedad de protocolos de comunicación. Permite el acceso inalámbrico a redes de datos, principalmente para operaciones transaccionales.

Los sistemas de telecomunicaciones basados en microprocesadores utilizan técnicas de almacenaje, procesamiento y envío de información. En la gran mayoría de los casos no se cuenta con periféricos que tengan grandes capacidades de almacenamiento de datos. Se trata de pequeños buffers de memoria que se llenan y se van vaciando a la medida que el equipo pueda procesarlos y enviarlos a través de la red. La capacidad de estos buffers es limitada y no se puede tener un flujo continuo de información. Esta tecnología es conocida como procesamiento transaccional y el tipo de datos que son procesados por esta tecnología es tráfico transaccional. La información debe llegar en ráfagas y no de manera continua.

El Kb/NET permite que equipos terminales de datos (DTE), distribuidos geográficamente en un área metropolitana o suburbana, se comuniquen con una o varias computadoras centrales (Host). Esta comunicación se logra de manera eficiente y económica. Reemplazando a las líneas telefónicas convencionales. Soporta una gran cantidad de protocolos y aplicaciones del usuario, haciendo uso óptimo de recursos limitados del canal de radio frecuencia. El sistema transporta información de redes de área amplia (WANs) compatible en velocidad, eficiencia y seguridad que no logra ningún otro equipo en el mercado.

Se utiliza principalmente en: Cajeros automáticos (ATM), Terminales punto de venta (POS), conexión a sucursales bancarias, loterías electrónicas, sistemas de reservación de boletos, acceso a base de datos, transferencia de archivos y en general cualquier tipo de transmisión de datos. Se utiliza un protocolo altamente eficiente para el enlace del canal de radio frecuencia. Estas características hacen del Kb/NET una solución ideal para una gran variedad de aplicaciones de redes inalámbricas de datos.

La configuración inalámbrica básica se muestra en la figura #9:

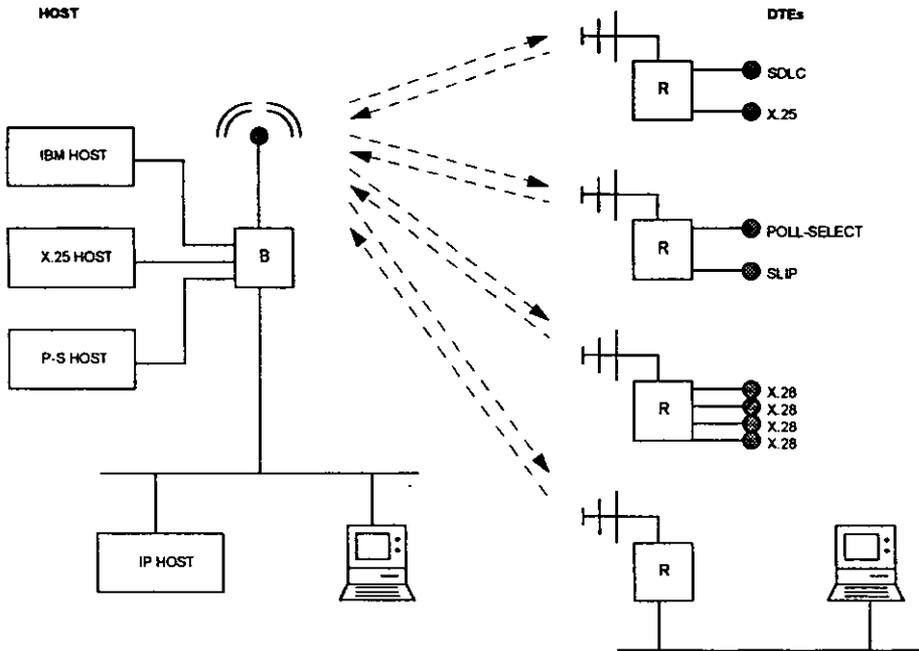


Fig 9. Configuración de célula Kb/NET básica.

El sistema Kb/NET es una red de radio celular que consiste de dos elementos fundamentales: La estación base y las estaciones remotas. A esta configuración se le conoce como célula Kb/NET y utiliza un canal único de radio. Dependiendo de la topografía del terreno y de las condiciones metropolitanas (es decir la cantidad de obstáculos como edificios) una célula puede tener una cobertura de 40 Km. de radio. Bajo excelentes condiciones de línea de vista esta distancia puede incrementarse.

El usuario conecta sus equipos DTE (equipo terminal de datos, como ATMs, POSs, LANs, etc...) a los puertos de las estaciones remotas. Mientras que la base se conecta a la computadora central o Host. También la base puede estar conectada a otra WAN y traducir o empaquetar la información a varios protocolos en X.25, Frame Relay o IP para ser eficientemente transmitidos y ruteados a través de la WAN. En el punto de destino de la WAN se coloca otro Kb/NET que regresa el protocolo a su estado original para que sea utilizado por el Host o alguna otra aplicación DTE. Puede haber varias estaciones base en el mismo sitio geográfico, cada una comunicándose con sus correspondientes estaciones remotas. Esto se logra porque cada célula utiliza una canal de radiofrecuencia diferente. Así se puede tener esquemas donde las células se traslapen.

El canal de radio está compartido en tiempo, por todas las estaciones remotas asignadas a una misma célula, por medio de un protocolo de enlace inalámbrico, propietario de Kb/TEL Telecomunicaciones S.A. de C.V. conocido como CRAR (Controlled Random Access with Reservations). El protocolo CRAR permite la utilización eficiente del espectro de radio frecuencia. Fue diseñado para manejar de manera transparente todos los protocolos que soporta el Kb/NET. La estación base se comporta como el controlador en un esquema maestro-esclavo con respecto a las estaciones remotas, es decir, que es la estación base la que controla el canal de radio frecuencia así como permite sincronizarse con las estaciones remotas.

Este protocolo de radio se basa en una combinación de acceso aleatorio (ALOHA con ranuras) y un sistema de reservación, que se utiliza cuando se tiene un tráfico de información pesado o bien la longitud de los mensajes excede el tamaño de la ranura del protocolo ALOHA tradicional. El protocolo ALOHA ranurado es un método de acceso por TDMA (Time Division Multiplex Access- acceso múltiple por división de tiempo). Se recomienda el protocolo ALOHA para mensajes en ráfagas, donde se requiere un tiempo de respuesta rápido en aplicaciones como terminales punto de venta y cajeros automáticos. Esta técnica de contención permite a las estaciones remotas transmitir en cualquier tiempo y seguir la transmisión hasta recibir una confirmación de que no hay otra estación remota transmitiendo. La estación base manda dos tipos de mensaje: un paquete de acceso aleatorio y otro paquete para acceso por reservación.

Un paquete de acceso aleatorio es transmitido a todos los remotos con el número de ranuras disponibles para acceso múltiple según el esquema de ranuras del protocolo ALOHA. En este sistema de acceso por múltiples los remotos pueden enviar información o hacer una solicitud de reservación.

Con el sistema de paquete de acceso por reservación la estación base reserva una ranura de tiempo para una estación remota en particular para la transmisión de un número predefinido de paquetes. Esto se hace para eficientar la comunicación y mejorar el manejo de ancho de banda en caso de tener longitudes largas de mensajes.

Para diagnóstico, todas las estaciones remotas son seleccionadas en intervalos regulares, aún cuando estas no tengan ninguna información para transmitir. Los parámetros propios de este protocolo propietario, como la duración de las ranuras, la frecuencia de acceso aleatorio, el número de ranuras para acceso aleatorio, asignación de prioridades, pueden ser configurados de diversas formas, permitiendo que el usuario pueda adaptar estos parámetros para optimizar el desempeño del equipo bajo diferentes condiciones de tráfico. Si bien este protocolo de aire inserta un retraso en la señal a ser transmitida, este retraso es mínimo. En la gráfica #10 podemos

apreciar un ejemplo del retraso, que es dependiente del número de terminales que maneje una estación base.

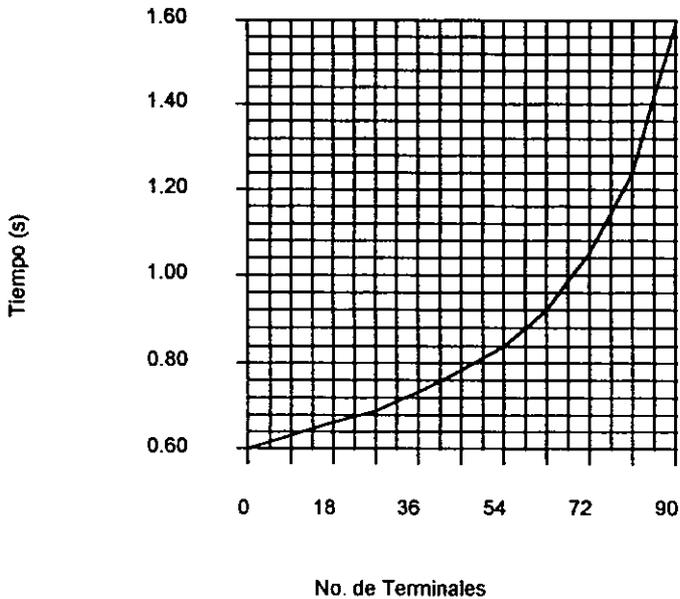


Fig 10. Gráfica de retraso contra número de terminales.

Datos de la gráfica: Terminal a host: mensaje/min = 2
longitud = 60
Host a terminal mensaje/min=2
longitud = 120

A continuación se hace una lista de los protocolos que puede manejar el Kb/NET:

- SDLC
- X.25 (SVCs y PVCs)
- X.28 (PAD asíncrono)
- Poll/Select
- ALC
- Asíncrono
- Servicio de línea bancaria
- Kb/FTP
- BSC
- TCP/IP
- SLIP
- PPP

- VISA
- Frame Relay.

En el último capítulo hará un análisis del protocolo SDLC.

3.2 Descripción general.

Existen dos equipos Kb/NET principalmente: La estación Base y la estación remota. La diferencia entre las estaciones está en el número de puertos de usuario que tiene cada una. Mientras la estación base tiene cuatro puertos de usuario (tres DCE y un DTE), las estaciones remotas tienen únicamente dos puertos de usuario (DCE ambos puertos). Otra diferencia radica en el software de estos equipos, mientras que todas las estaciones remotas utilizan el mismo software, para la base de la célula el software es diferente. Cada uno de estos equipos está conformado por los siguiente elementos:

- Controlador Kb/NET
- Radio-Módem
- Fuente de poder

A continuación, la figura #11, muestra como es físicamente el equipo:

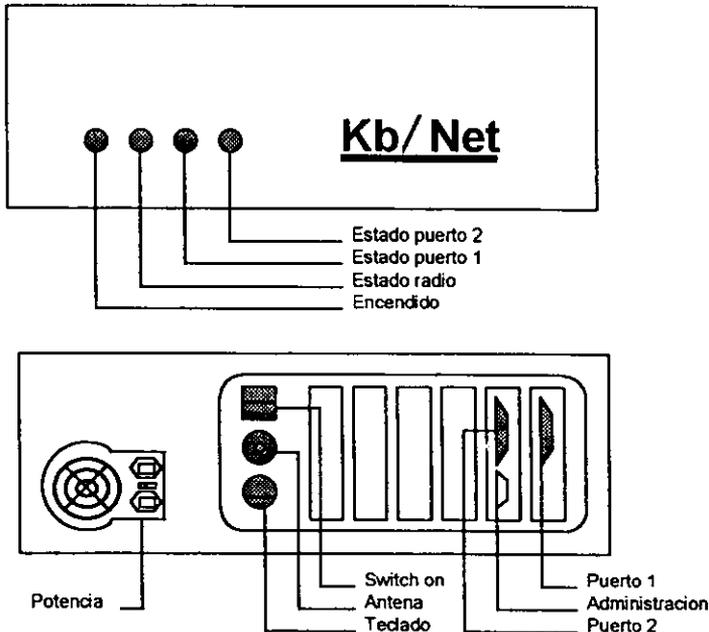


Fig 11. Aspecto físico del equipo Kb/NET.

3.3 Controlador Kb/NET.

El controlador Kb/NET, está constituido como cualquier otro equipo de comunicaciones, de tres partes fundamentales: Unidad de proceso, unidad de almacenamiento y unidad de transmisión.

Para la unidad de proceso se utiliza una tarjeta madre o mother-board 80386 o 80486 compatible con el estándar PC, el siguiente capítulo explica ampliamente el porque se utiliza esta plataforma y como es que funciona.

La unidad de almacenamiento podemos dividirla en dos componentes que conforman el equipo, el primer componente es la memoria RAM propiamente de la tarjeta madre en forma de SIMMs que son utilizados como buffers para guardar la información que está siendo procesada. La otra unidad de almacenamiento es una tarjeta de memoria que se inserta en una de las ranuras de la tarjeta madre, esta tarjeta se llama PC-MEM y es la encargada de guardar el programa o software que va a utilizar la tarjeta madre, además de guardar información como configuración del equipo etc. La información detallada de esta tarjeta se presenta en el capítulo 5.

La unidad de transmisión es otra tarjeta llamada PC-SYNC y contiene cuatro puertos seriales, tres de ellos síncronos y uno asíncrono. Cada puerto puede comunicarse a través del estándar RS-232. Toda la información relacionada con el funcionamiento de esta tarjeta se presentara en el capítulo #6.

3.4 Radio-módem.

El controlador Kb/NET puede manejar cualquier Radio-módem, que pueda ser controlado a través de una interfase RS-232. Un Radio-módem se refiere a un equipo de radio que es capaz de enviar datos binarios. El radio-módem que mayormente se utiliza en el Kb/Net es el modelo MDS 4310 de Microwave Data System.

Se trata de un radio sintetizable digitalmente a diferentes frecuencias dentro de los siguientes rangos: 350-370 MHz, 370-390 MHz, 390-406 MHz, 406-430 MHz, 430-450 MHz, 450-470 MHz, 470-490 MHz y 490-512 MHz. Estas frecuencias son frecuencias autorizadas por la Secretaria de Comunicaciones y Transportes, para ser utilizadas en la transmisión de datos dentro de la República Mexicana. Los radios son programables dentro de estos rangos de frecuencia en canales espaciados a 6.25 KHz y ocupan un ancho de banda de 12.5 KHz. El ancho de banda autorizado por la SCT para este tipo de transmisiones sin interferencia a canales adyacentes es de 25 KHz.

Los radios MDS 4310 utilizan una modulación FSK (Frequency Shift Keying) y transmiten a una velocidad de 9600 bits por segundo. Para un BER (Bit Error Rate) de 1×10^{-6} el nivel de recepción debe ser de 108 dBm.

3.5 Fuente de poder.

Se utiliza una fuente estándar para PC, que genera todos los voltajes necesarios para el Kb/NET. Se requiere +12V de corriente continua para el manejo del radio-módem y +5V, +12V y -12V para el manejo de la tarjeta madre y tarjetas de periféricos. Se utiliza una fuente de poder conmutada común del mercado. Si bien este tipo de fuentes son más complejas que las fuentes lineales, son también más eficientes y económicas. Se trata de fuentes más eficientes porque convierten menor cantidad de energía en calor y más económicas porque los embobinados de los transformadores que utilizan tienden a ser de menor tamaño, porque utilizan frecuencias de operación elevadas. El Kb/NET utiliza una fuente de 200 Watts.

Como el Kb/NET es un producto de exportación es necesario que la fuente de poder pueda desempeñar su función en diferentes países, es por esto que se requiere de fuentes que ya sea automáticamente o manualmente soporten una entrada de alimentación de 127V o 220V.

CAPÍTULO 4: LA FAMILIA DE COMPUTADORAS PC.

4.1 Síntesis histórica.

Desde la introducción de la computadora personal de IBM en 1981, la industria de la información a crecido enormemente. Esta plataforma es la más conocida en la actualidad y es difícil referirse a una computadora sin visualizar en primera instancia una microcomputadora de este tipo. La popularidad de esta computadora ha creado un fenómeno de globalización sin precedentes, permitiendo entre muchas otras cosas la disminución de precios, directos o indirectos de esta tecnología. Esta plataforma no se encuentra únicamente en microcomputadoras que permiten utilizar hojas de cálculo y procesadores de palabras, también forman parte de una gran variedad de equipo entre el que podemos mencionar: en telecomunicaciones, en medicina, en seguridad, en puntos de venta o controles de almacenes e inventarios, en maquinaria mecánica de control numérico, en sistemas de control eléctrico, en fin, una enorme cantidad de aplicaciones donde aparece una arquitectura de computadora personal sin que podamos visualizar en primer plano una computadora como la conocemos. A continuación se describirá brevemente la evolución que ha sufrido esta arquitectura, relatando o explicando los cambios más característicos de cada etapa, sin tratar de hacer la titánica labor de explicar todos y cada uno de los avances y retrocesos que ha sufrido esta plataforma.

La parte más importante en una computadora es el microprocesador, es este en la mayoría de los casos, el dispositivo más inteligente que podemos encontrar en un circuito. Intel introduce el primer microprocesador en 1971, se trata del 4004, un microprocesador de 4-bits que realiza 45 instrucciones. Su utilización se limitó a juegos de vídeo y sistemas de control muy simples. Más adelante en el mismo 1971, Intel lanza al mercado el 8008, el primer microprocesador de 8-bits capaz de realizar 48 instrucciones, y una memoria de 16 Kbytes. La demanda de más memoria y mayor número de instrucciones obligaron a Intel en 1973 a diseñar el primer microprocesador moderno, el 8080. Es hasta este momento que otras compañías dedicadas al diseño de componentes comienzan a introducir en el mercado sus productos, por ejemplo: Motorola el 68000, National Semiconductor el IMP-8 y MOS technology el 6502.

El microprocesador 8080 tenía un conjunto de instrucciones superior, un área de memoria mayor, y podía realizar operaciones con mayor velocidad, además de ser compatible con los estándares TTL. En 1977 se diseñó el nuevo 8085 con una modificación en cuanto a la velocidad para realizar operaciones. Otras compañías como NEC, Toshiba, AMD e Hitachi comenzaron a producir este microprocesador bajo licencia de Intel, convirtiéndolo en uno de los más populares.

En 1978, Intel introduce al mercado el 8086, y un año después el 8088, ambos de 16-bits, capaces de ejecutar operaciones a mucho mayor velocidad que sus predecesores, y capaces de direccionar memoria hasta 1 Mbyte. Ambos podían realizar operaciones de multiplicación y división que no eran muy eficientes en microprocesadores que existían en esa época. La evolución de estos dispositivos no terminó aquí, Intel introdujo una versión superior del 8086, el 80186 que no se utiliza en computadoras personales, pero si en sistemas de control. El ultimo procesador de Intel de esta familia de 16-bits es el 80286, capaz de direccionar y administrar hasta 16 Mbytes de memoria.

Los microprocesadores 80386, 80486 y 80586 (conocido como Pentium) son todos de 32-bits. El 80486 es básicamente un 80386 con una memoria caché dedicada a realizar operaciones en uno o dos ciclos de reloj y en la versión DX contiene un coprocesador matemático integrado. Las figuras #12 y #13, nos muestra una comparacion entre capacidad del microprocesador contra su costo. Los precios que aquí aparecen corresponden a precio de menudeo de microprocesadores de Intel aparecidos en el catalogo de JDR microdevices (1995). Podemos apreciar como al introducir nuevas tecnologías al mercado los costos de los antiguo microprocesadores cae.

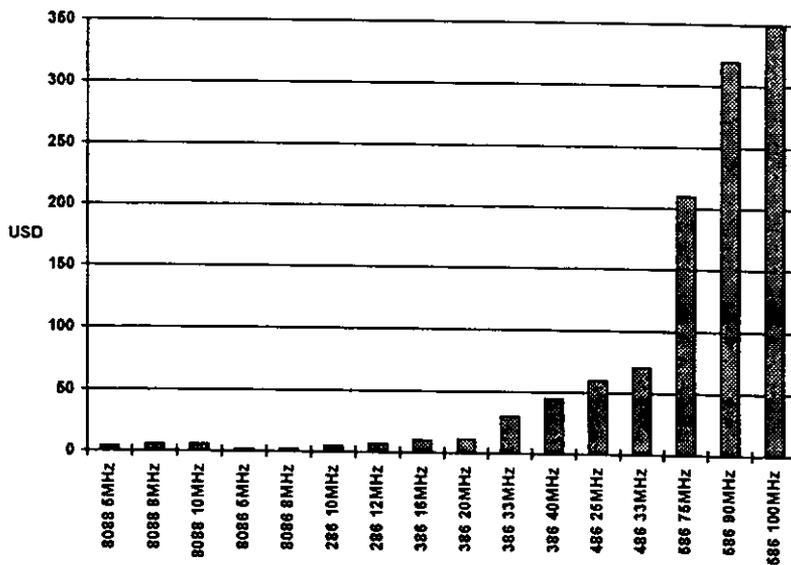


Fig 12. Precio de los microprocesadores de la familia 80x86.

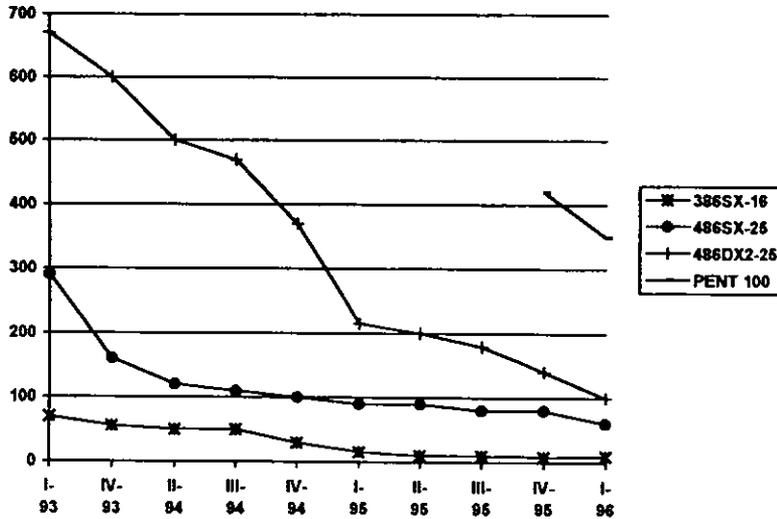


Fig 13. Evolucion del costo de microprocesadores de la familia 80x86.

La PC original de IBM apareció en 1981 y estaba disponible en dos configuraciones: La primera era un sistema modesto con lenguaje BASIC incluido en ROM, 16 Kbytes en RAM y un sistema de almacenamiento externo en cassette. La segunda configuración basada en un lector de disco flexible y 32 Kbytes de memoria, con la posibilidad de poner dos unidades de disco de 160 Kbytes de manera externa, poco después se logró tener un total de 64 Kbytes en memoria interna. Esta computadora funcionaba con el microprocesador Intel 8088 a una velocidad de 4.77 MHz. Si bien ninguna de estas dos configuraciones suenan muy impresionantes hoy en día, sentó precedentes importantes en su tiempo; tenía una arquitectura abierta muy bien documentada sobre su bus de expansión, y utilizaba un microprocesador de 16 bits (aunque solo 8-bits de acceso a memoria) que competía contra los procesadores 8080, Z80 y 6502 todos estos de 8 bits.

Después del éxito de esta modesta computadora, fué necesario ampliar su capacidad de memoria RAM para satisfacer las necesidades de los programadores. Esto dió como consecuencia la introducción del la PC XT, que permitió el uso de disco duro, un puerto serie y otro paralelo, la capacidad de memoria RAM subió a 256 Kbytes, y la unidad de disco flexible creció también en capacidad a 360 Kbytes. Esta computadora no incrementó las capacidades del procesador que siguió siendo un 8088 a 4.77 MHz. Como la plataforma original de IBM fué diseñada utilizando dispositivos electrónicos comunes en el mercado y de bajo costo, otros productores comenzaron a copiarla y después

desarrollaron sus propias tarjetas. Esta competencia logro aumentar la velocidad de proceso a 8 MHz y más tarde a 10 MHz.

El procesador 8086 soporta únicamente el modo real de acceso a memoria es decir puede direccionar un máximo de 1024 Kbyte de memoria. Cuando IBM diseñó estas maquinas decidió reservar los primeros 640 Kbytes de direcciones para el sistema operativo y aplicaciones, mientras las restantes 384 Kbytes de espacio fueron reservados para subsistemas de hardware como controladores de vídeo etc., no podemos decir que esta área superior fuera muy extensa puesto que las 64 Kbytes direcciones más altas están reservadas para el BIOS (Basic Input Output System) que es un conjunto de rutinas que permiten inicializar los componentes básicos de una PC como vídeo, teclado, y controladores de disco.

La introducción de microprocesador de Intel 80286, marcó el inicio de las computadoras PC AT. La gran diferencia de este microprocesador es que podía acomodar 16 bits en el bus externo de datos y 24 bits de direcciones para la memoria. La capacidad de direccionamiento de memoria creció de 1 Mbyte a 16 Mbytes, la compatibilidad con el bus XT continuó y se utilizó un segundo bus para poder explotar las nuevas ventajas de este microprocesador. Originalmente estas maquinas trabajaban a 6 MHz. La competencia logró mejorar la velocidad a 10, 12, 16, 20 y por último a 25 MHz. Esta nueva máquina podía funcionar en dos modos: real y protegido. En pocas palabras el modo real emula el funcionamiento de una maquina 8088/8086 limitando las direcciones a 1 Mbyte, y completa compatibilidad de software con estas maquinas.

El modo protegido permite direccionar hasta 16 Mbytes de memoria y permite que una máquina realice múltiples funciones (multitask) a la vez. Fueron necesarios cuatro años a partir de la aparición del 80286, para que se pudieran comenzar a ver avances en la utilización del modo protegido. Incluso hoy en día, el sistema operativo más común, el DOS de Microsoft trabaja únicamente en modo real, por lo que es necesario utilizar una serie de "subsistema operativos" como Windows para poder acceder a la memoria extendida. UNIX o bien OS/2 sí trabajan con la memoria extendida de manera transparente.

Una vez más IBM se quedó atrás en la competencia, pues no utilizó circuitos propios en sus maquinas, estas fueron copiadas rápidamente y mejoradas en funcionalidad, pero sobre todo en tamaño y precio.

El siguiente gran paso fué la introducción del 80386 de Intel. Un nuevo procesador de 32-bits. Es hasta este momento cuando IBM deja el liderato en el diseño de computadoras personales, cometiéndolo que para muchos ha sido el error más grande por parte de esta compañía y fué la introducción de la maquina 386 PS/2, que funcionalmente es idéntica a cualquier computadora

386, pero utiliza un nuevo bus con arquitectura de micro canal que no es compatible con el bus AT.

Los demás productores de computadoras siguieron por el camino que ya conocían. Las primeras 386 AT se construyeron simplemente reemplazando el microprocesador 286 por el nuevo 386. Hoy en día se fabrican circuitos especialmente diseñados para trabajar con el 386. Además de manejar un bus interno de 32-bits, es completamente compatible con el bus AT y XT. Soporta el modo real, el modo protegido y un modo ya utilizado en las XT llamado modo extendido. Funcionando a una velocidad máxima de 40 MHz.

Los avances continuaron con el desarrollo del procesador de Intel 80486, que permite velocidades superiores a 80 MHz en sus más recientes modelos. Este nuevo dispositivo funciona de manera muy similar a su predecesor el 386, podemos decir que se trata únicamente de un procesador 386 mejorado. Las computadoras que utilizan el 486, cuentan con un nuevo bus llamado VESA, que permite tener una velocidad de transferencia de datos mayor a las de un bus AT, es decir, el acceso a disco duro o el despliegue de vídeo son a mayor velocidad.

Últimamente el desarrollo por parte de Intel del procesador 586 mejor conocido como Pentium, no ha tenido el exitoso debut que se le esperaba. Con una serie de complicaciones aparentemente ya arregladas con respecto a un error en las operaciones con punto flotante. Este microprocesador en sus primeras versiones no podía ser utilizado en maquinas portátiles tipo notebook, por su alto consumo de corriente y la necesidad de colocar un gran disipador. Las versiones más nuevas cuentan con bajo consumo de corriente y es el primer microprocesador de producción masiva en romper la barrera de los 100 MHz llegando en una de sus versiones la P6 a 125 MHz. Entre los adelantos más importantes está la posibilidad de realizar más de una operación a la vez, por su alto grado de interconexion interna.

En esta evolución, mucha gente se vió involucrada. La forma de desarrollar nuevos productos para esta plataforma es cada vez más rápida y eficiente. Se tiene de más en más información, además que la programación se hace de manera más sencilla y con mejores herramientas. El tiempo de desarrollo disminuye, permitiendo una competencia leal entre diferentes productores. Se forman retos que impulsan a ir más allá de los límites establecidos en documentos y normas, como el caso de tarjetas de comunicación serie con tasas de transmisión cada vez mayores. Es por esto que esta plataforma se ha convertido en la plataforma más popular en el mundo hoy en día.

Al trabajar con la plataforma más popular, se tiene la gran ventaja de conseguir todo tipo de herramientas para su desarrollo, así como buena

documentación de todas y cada una de sus partes, pero sobre todo la parte más interesante es la económica, estamos hablando de una de las plataformas electrónicas-computacionales más económicas del mundo. En la actualidad, se producen miles de motherboard o tarjetas madre en una gran cantidad de países orientales, llevando los costos de producción a los extremos inferiores, esta reducción de costos se ve reflejada directamente en el precio final de la misma. Obligando de esta manera a la gente a utilizar estos productos, haciendo así un ciclo económicamente muy atractivo.

4.2 Elementos principales que constituyen una PC.

Cada computadora personal, puede tener una configuración diferente, algunas cuentan con un tipo de almacenamiento de memoria, como unidades de disco, lectores de disco compacto o de tarjetas de memoria PCMCIA, también cuentan algunas con teclado, monitor de cualquier tipo, otras cuentan con impresora, y demás instrumentos que dependen de las necesidades y las facilidades económicas para adquirirlo. El único elemento común a todas las computadoras personales es la tarjeta madre o motherboard, es por esto que esta sección se limitará a explicar los elementos que constituyen a un motherboard en forma muy breve.

El motherboard es una tarjeta de circuito impreso el cual contiene al microprocesador y varios circuitos auxiliares que ayudan en tareas paralelas al microprocesador, cuenta además con conectores para potencia, conectores o slots para trabajar con tarjetas adicionales y conectores para la memoria del sistema.

El microprocesador es el cerebro de la computadora, y es probablemente el dispositivo más inteligente que podemos encontrar en estos sistemas. Sin embargo, este dispositivo no puede encargarse por si solo de todas las funciones que realiza una computadora. Es necesario contar con un conjunto de circuitos de soporte que realizan funciones alternas, dejando que el microprocesador realice una función primordial: ejecutar programas en ensamblador.

La tarea principal de un sistema operativo es la de programar de manera adecuada, toda esta serie de circuitos que rodean al microprocesador, y administrar de manera eficiente los recursos. A continuación se detalla cada una de las funciones de los circuito adicionales:

Controlador de DMA 8237-5.- DMA significa Direct Memory Access o bien acceso directo a memoria. Es el encargado de leer o escribir directamente datos de la RAM. En algunas aplicaciones donde la velocidad es un factor importante, es necesario hacer transferencia de datos directamente a memoria sin pasar por el microprocesador, es el caso de los lectores de disco, el microprocesador no

podría realizar ninguna otra operación durante la transferencia de datos de o hacia un disco. Este dispositivo está conectado al bus de sistema del microprocesador, deshabilitando del bus al microprocesador durante la transferencia de datos, permitiéndole realizar en este intervalo otras instrucciones que no involucren al bus externo. La PC tiene 4 canales de DMA siendo el canal 0 el de mayor prioridad y al 3 el de menor prioridad. El canal 0 se utiliza para refrescar la memoria dinámica, y el canal 2 se utiliza para hacer transferencia de disquete. Los 2 canales restantes están disponibles para cualquier uso.

Controlador de interrupciones 8259A .- Las interrupciones son señales procedentes de dispositivos externos, que sirven para llamar la atención del microprocesador y que este realice cierta función específica. Muchas interrupciones pueden ocurrir a la vez y es este controlador el que se encarga de enviarlas al microprocesador según su nivel de prioridad. Se tiene para los sistemas XT 8 líneas de interrupción mientras que para los sistemas AT se tienen 15 líneas de interrupción, siendo la interrupción 0 la de mayor prioridad. La utilización de las interrupciones en una PC se muestra a en la siguiente tabla:

IRQ0	Reloj del sistema
IRQ1	Teclado
IRQ2	Entrada del controlador de interrupciones del bus AT
IRQ3	COM2 (puerto serie 2)
IRQ4	COM1 (puerto serie 1)
IRQ5	LPT2 (puerto paralelo 2)
IRQ6	Controlador de Disquete
IRQ7	LPT1 (puerto paralelo 1)

Interfase programable de periféricos .- Este circuito provee el enlace entre el CPU y los periféricos, como el teclado y la bocina, se trata únicamente de un dispositivo capaz de transmitir cierto tipo de señales. No se puede comunicar directamente el microprocesador y periféricos sin pasar por este circuito.

Reloj.- Si continuamos con la analogía que dice que el microprocesador es el cerebro de la computadora, el reloj podría considerarse como el corazón de la misma, que palpita varios millones de veces por segundo. Se encarga de poner al mismo ritmo a todos los otros dispositivos.

Además de esta serie de circuitos, se tiene en algunos casos un espacio reservado para un coprocesador matemático, una base para memoria EPROM direccionada en (F0000)h para el BIOS con una capacidad de 64 Kbytes, una memoria RAM respaldada con batería para guardar la configuración del BIOS, además de algún tipo de base para colocar la memoria del sistema y por último se tiene 1, 6 u 8 slots de expansión los cuales se explicaran más adelante.

4.3 Principales formas de intercambio de información en una PC.

De poco sirve un microprocesador si este no tiene intercambio de información con el exterior, no recibe datos, no despliega resultados, no comunica información o no almacena datos en memoria etcétera. El intercambio de información se hace generalmente a través de dispositivos o periféricos conectados generalmente a los slots de expansión de la computadora. En un ambiente PC existen tres formas principales de hacer este intercambio de información entre un dispositivo y la computadora, depende de la frecuencia con que este intercambio de información se realice, el método que debe utilizar. Estos métodos de intercambio de información son: El poleo, la interrupción y el acceso directo a memoria.

El poleo.- Es el método mayormente utilizado para intercambio de información en la PC. Es el microprocesador y no el dispositivo el que decide cuando se hace la transferencia de datos. Su funcionamiento es muy sencillo: El microprocesador activa una dirección específica en la cual hay un dispositivo que quiere utilizar, activa esta dirección y espera obtener algún tipo de información por parte del dispositivo. Es para flujos bajos de información y es un método poco eficiente, en caso de tener varios dispositivos conectados es necesario que el microprocesador *pregunte* a cada dispositivo si este tiene información para transmitir, en caso que así sea la labor del microprocesador es exclusivamente de atender a este dispositivo, para después seguir con los otros. Para este método se tienen tantos canales de acceso como líneas de direccionamiento de puertos y memoria tenga capacidad el microprocesador. A continuación, en la figura #14, se muestra como se realiza la transferencia de información por poleo:

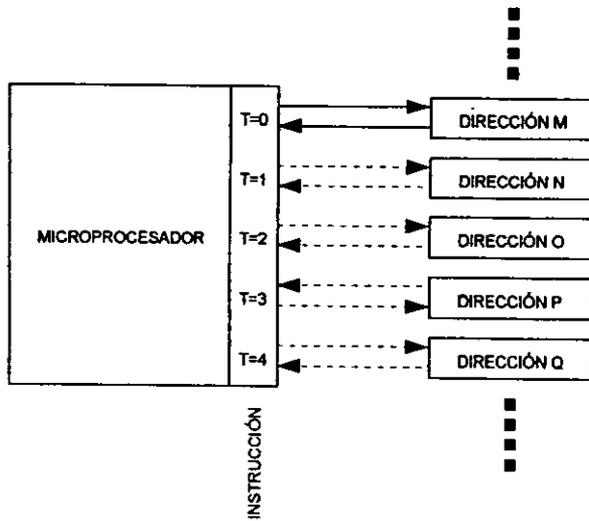


Fig 14. Poleo.

La interrupción.- Una interrupción es una señal originada por un periférico o por un programa para realizar una función específica. Cuando una interrupción ocurre, el programa que se está ejecutando se suspende temporalmente, y comienza la ejecución de una rutina de interrupción. La localidad de memoria donde se interrumpió el programa queda guardada en memoria, y al terminar la rutina de interrupción, el apuntador de programa vuelve a la misma localidad para continuar con el programa principal. Para la PC se tienen la posibilidad de tener hasta 256 rutinas de interrupción diferentes que se dividen en: Interrupciones de Hardware o de Software dependiendo la fuente de donde provengan. La figura #15 muestra como funcionan las interrupciones:

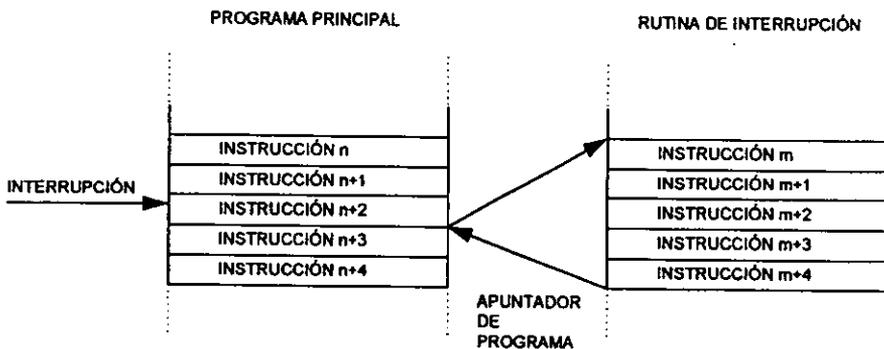


Fig 15. Interrupción.

A diferencia del caso de poleo, el microprocesador puede realizar otras operaciones, y dedicarse a transmitir información del dispositivo, únicamente cuando el dispositivo así lo disponga. Se utiliza cuando la transferencia de información no es excesivamente grande, porque el microprocesador tiene que atender al llamado del dispositivo, hasta un límite donde el microprocesador no pueda realizar otra función que la de atender a interrupciones externas, también se utiliza cuando el microprocesador tiene que procesar de alguna manera la información a medida que la está recibiendo, puede ser tan simple como verificar la paridad o verificar cualquier condiciones de error.

Acceso directo a memoria (DMA).- En algunas aplicaciones es necesario recibir información a velocidades superiores a las que nos permiten trabajar las interrupciones, para estos casos de flujo de información a gran velocidad se utilizan los canales de acceso directo a memoria. Se trata que el dispositivo transfiera su información a la memoria del sistema sin pasar en ningún momento por el microprocesador, es decir, el microprocesador se deshabilita de su bus y permite el flujo libre de información hasta su memoria, para después poder procesar esta información. La importancia de esta forma de transferir datos es que el microprocesador puede seguir haciendo alguna actividad (cualquiera en la que no intervenga al bus como puede ser realizar operaciones lógicas o aritméticas etc.).

El dispositivo genera un requerimiento al microprocesador y cuando este termina la instrucción que realizaba manda una señal de confirmación al dispositivo para comenzar la transferencia de información a memoria y luego es el microprocesador el que decide cuando procesar estos datos.

4.4 PC, Sistemas XT y Arquitectura de Bus.

La mayoría de las aplicaciones que se conectan a una PC para el intercambio de información, se hacen a través de una interfase conectada a una ranura de expansión del bus de sistema o slot.

La información se transfiere durante un ciclo de bus. Existen diferentes tipos de ciclos dependiendo del tipo de intercambio que se quiera realizar como lo pueden ser: intercambio de memoria o de puertos de entrada salida etc.. Cada uno de estos tipos de intercambio se analizaran con mayor detalle más adelante.

Ciclo de lectura de memoria Se trata de una transferencia de memoria del exterior al microprocesador. Esta memoria puede estar en el propio sistema, en tarjetas conectadas al bus, en ROM o RAM. Para este ciclo se requiere únicamente de cuatro pulsos de reloj y dos señales de control en el slot de expansión, se trata de las señales ALE y MEMR. La secuencia es la siguiente: El ciclo comienza cuando se activa la señal ALE, a continuación se tiene la dirección de memoria del microprocesador a la cual se va a transferir la información, el microprocesador manda la señal MEMR indicando que se trata de un ciclo de lectura del sistema, en el cuarto pulso de reloj el dispositivo entrega al bus de datos la información. A continuación en la figura #16, tenemos un diagrama de este ciclo:

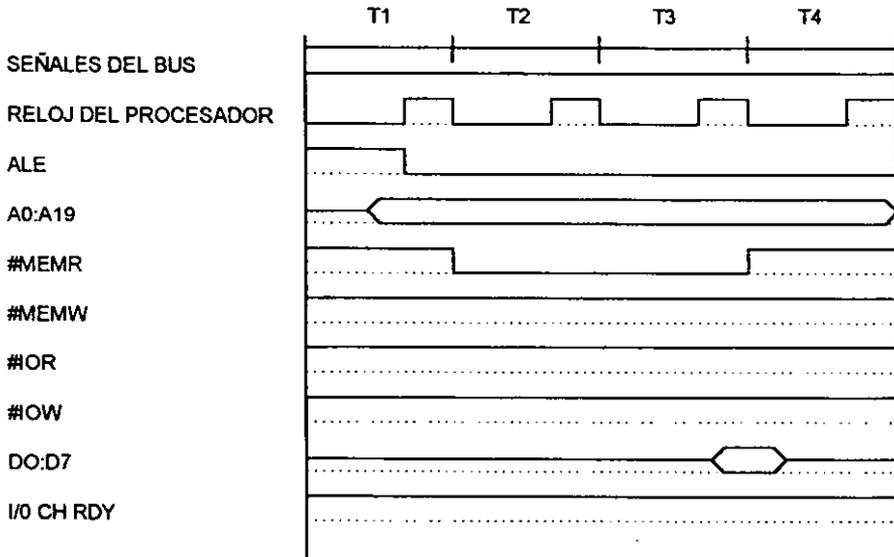


Fig 16. Ciclo de lectura de memoria.

Ciclo de escritura de memoria: Este ciclo se utiliza cuando el microprocesador desea escribir datos en memoria. Es necesario indicarle al dispositivo la dirección de memoria donde guardar la información. El ciclo se inicia cuando se activa la señal ALE, en este momento se tiene una dirección válida de memoria en el bus de direcciones. Después el microprocesador activa la señal MEMR indicando que se trata de un ciclo de escritura de memoria. A continuación el procesador manda los datos al bus, para ser recibidos por la interfase. La figura #17 muestra su funcionamiento:

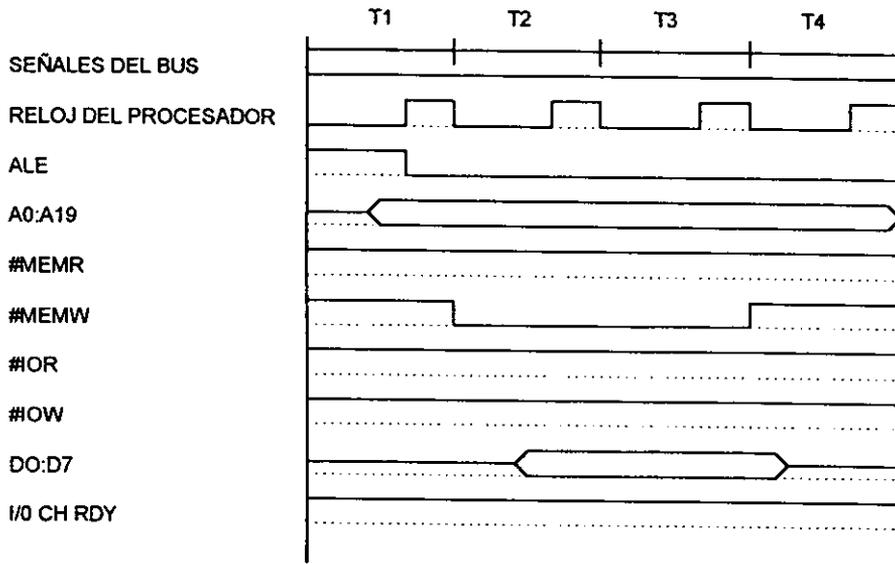


Fig 17. Ciclo de escritura de memoria.

Ciclo de lectura de puerto I/O: Este ciclo se realiza siempre que el microprocesador ejecuta una instrucción IN. Se trata de un ciclo similar al de lectura de memoria, con la diferencia que el microprocesador trae información de tipo puerto I/O y la guarda en direcciones de memoria reservadas para puertos. Se requieren cinco pulsos de reloj para los ciclos relacionados a los puertos. Al igual que en los casos anteriores el ciclo comienza con la activación de ALE, indicando una dirección válida en el bus, la señal IOR indica que se trata de un ciclo de lectura de puertos y después el dispositivo debe mandar los datos, como se muestra en la figura #18:

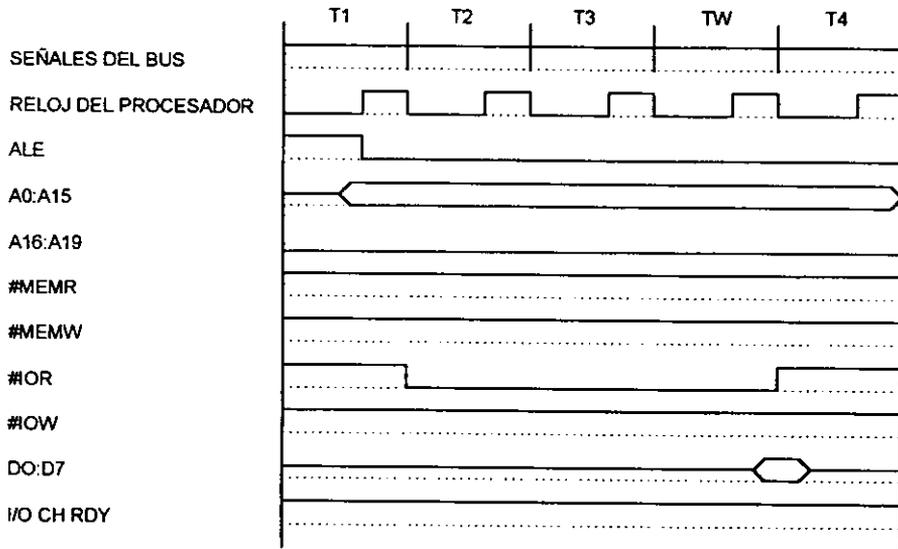


Fig 18. Ciclo de lectura de puerto I/O.

Como se puede observar los cuatro bits más significativos en el bus de direcciones no se utilizan en los ciclos de lectura/escritura de puertos I/O.

Ciclo de escritura de puerto I/O: Se realiza cuando el microprocesador ejecuta una instrucción OUT. Tarda típicamente cinco ciclos de reloj, uno de los cuales se llama tiempo de espera, y permite a interfases lentas conectarse a microprocesadores más rápidos. Si es necesario se pueden introducir más tiempos de espera, en caso que la interfase no sea lo suficientemente rápida. El ciclo comienza con la activación de la señal ALE que indica una dirección válida dentro del mapa de memoria en el área de puertos I/O. Se activa la señal IOW y después se escriben los datos para ser transferidos al dispositivo. El tiempo de espera viene antes que los datos aparezcan en el bus, como se muestra en la figura #19:

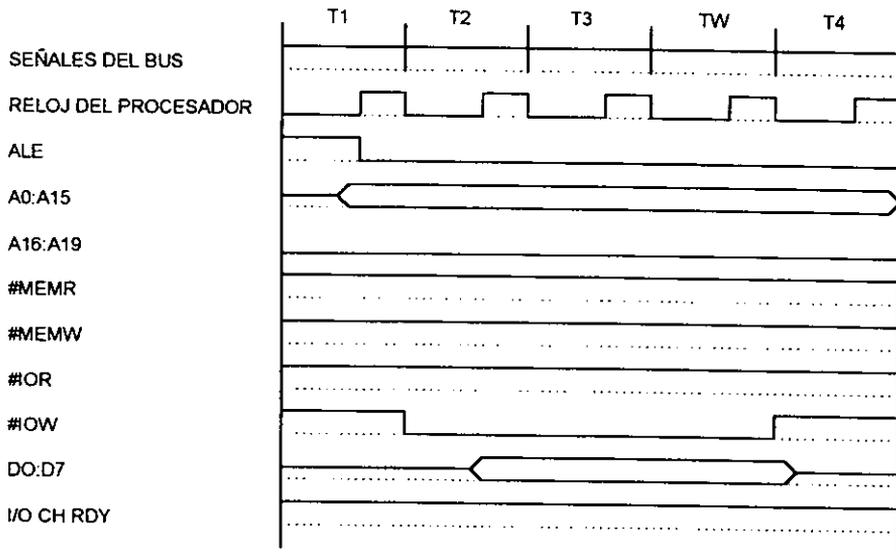


Fig 19. Ciclo de escritura de puerto I/O.

Ciclo de DMA: Este ciclo es más complicado porque se tienen funciones de lectura y escritura en el mismo ciclo. Además el bus es manejado por el controlador de DMA y no por el microprocesador. El ciclo no comienza con alguna instrucción ni del microprocesador ni del controlador de DMA sino por una petición de la interfase conectada al bus, por medio de las señales DRQ1, DRQ2 o DRQ3. El bus contesta con la activación de AEN y DACK0, DACK1, DACK2 o DACK3 indicando a la interfase el canal de servicio que se va a utilizar durante el ciclo de DMA. Estos ciclos utilizan seis pulsos de reloj, generados por el controlador de DMA, a la misma frecuencia que el 80x86 (o la mitad de la frecuencia del mismo). Al entrar en actividad este controlador manda una señal indicando al microprocesador que tiene el mando del bus, durante todo el ciclo, mientras que si no se utiliza se dice que el controlador entra en un estado ocioso.

Ciclo de escritura DMA: El propósito de este ciclo es sacar información de un puerto y colocarla en una localidad específica de memoria. Después que se inició el ciclo, el controlador se encarga de tener la dirección en la cual se quiere guardar la información. A continuación se activa la señal IOR para indicar al dispositivo que tiene que mandar sus datos. Luego se activa la señal MEMW en el bus para indicar que los datos se están guardando en la localidad seleccionada. Es responsabilidad de la interfase que los datos estén el suficiente tiempo para que puedan ser escritos en memoria. La figura #20 muestra esta serie de instrucciones:

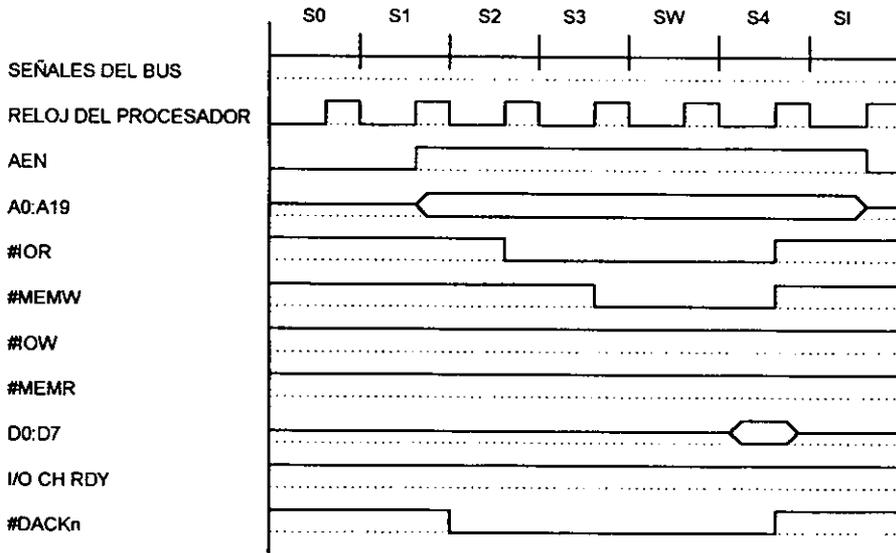


Fig 20. Ciclo de escritura DMA.

Ciclo de lectura DMA: Sirve para transferir información de la memoria del sistema a un puerto. Después de haber iniciado el ciclo DMA, El bus activa la señal MEMR indicando que esta leyendo una localidad de memoria previamente escogida, poco tiempo después se activa la señal IOW para indicar que la interfase debe tomar los datos del bus, todo esto se muestra en la figura #21:

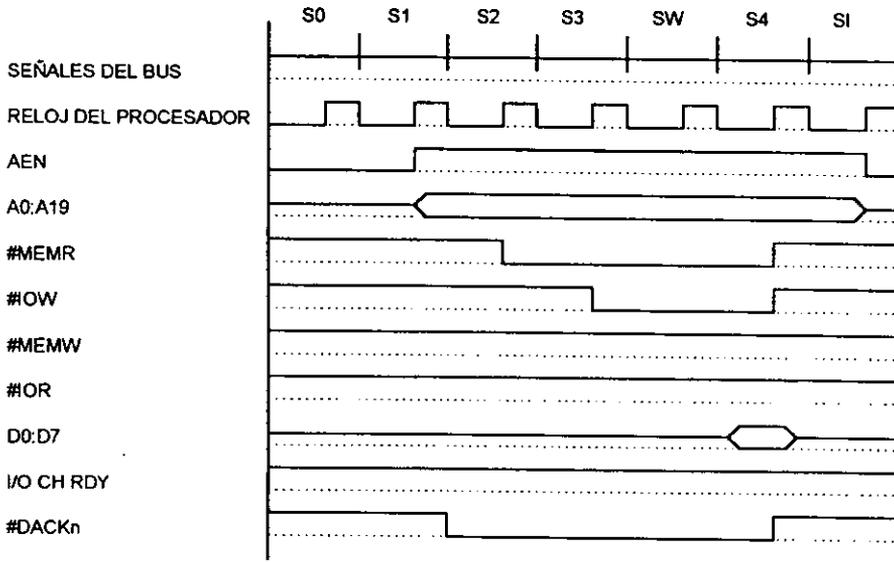


Fig 21. Ciclo de lectura DMA.

4.5 Descripción de las señales del bus XT.

La PC cuenta con ranuras o slots disponibles para conectar tarjetas de interfase, generalmente todos los sistemas tienen entre 1 y 8 de estas ranuras en una sola tarjeta madre, cada una tiene 62 terminales de contacto o pines. Todas las ranuras son idénticas, es decir, se tienen las mismas señales al mismo tiempo en todas ellas, por lo que es igual conectar una tarjeta de interfase en cualquiera de estas (no vienen numeradas). Por convención, todas las señales presentes en cada ranura es compatible con los niveles TTL, a excepción de los conectores de potencia.

En los slots de expansión tenemos un reflejo de las señales del microprocesador, estas señales son demultiplexadas y reenergizadas. Además tenemos señales de control para acceso directo de memoria, interrupciones, señales de relojes y control de lectura y escritura tanto de memoria como de

puertos I/O, generadores de estado ocioso etc... A continuación tendremos una explicación detallada de cada una de las señales presentes en el bus del tipo XT:

OSC (oscillator).- Señal de salida. Como su nombre lo indica se trata de un oscilador a una frecuencia de 14.31818 MHz, con un ciclo de trabajo de 50%, se trata de la señal de mayor frecuencia en el bus. Al dividir esta frecuencia entre 4 obtenemos 3.58 Mhz, necesaria para la ráfaga de color del monitor. No es recomendable utilizar esta señal para ningún tipo de sincronía de ningún sistema.

CLK (clock).- Señal de salida. Se obtiene al dividir entre tres, el reloj de entrada del microprocesador 80x86. Esta señal no es simétrica con un ciclo de trabajo del 66% (es decir 2/3 en estado alto y 1/3 en estado bajo), y está bien sincronizada con respecto a los controles de lectura y escritura de memoria, puede ser utilizada como generador de estados ociosos del sistema.

RESET DRV (reset driver).- Señal de salida. Se mantiene en un nivel activo alto durante la secuencia de encendido del sistema hasta que todos los nivel hayan alcanzado su nivel de funcionamiento. Además se activa automáticamente si algún nivel sale de su rango de operaciones. Se utiliza para llevar a las interfases a un nivel conocido después del encendido o de alguna falla.

A0-A19 (address 0 - address 19).- Señales de salida. Son señales que nos permiten direccionar memoria o puertos conectados al sistema donde A0 es el bit menos significativo y A19 es el bit más significativo. Estas 20 señales son manejadas por el microprocesador durante ciclos de lectura o escritura de puertos, ciclos de lectura o escritura de memoria y son manejadas por la lógica de acceso directo a memoria durante los ciclos de DMA.

Es posible direccionar 1 Mbyte de memoria con esta cantidad de líneas ($2^{20} = 1\ 048\ 576$), sin embargo no todo el espacio esta disponible para ser utilizado. Las direcciones de memoria básica del sistema no pueden ser accesadas desde el bus, de igual forma el área reservada para el BIOS en la parte más alta del mapa de memoria no puede ser utilizada. El procesador utiliza para direccionar puertos las instrucciones IN y OUT utilizando las direcciones A0-A15 únicamente, las direcciones A16-A19 no se utilizan en los ciclos de lectura y escritura en puertos I/O. Para la PC se utilizan aun menor número de direcciones limitándolas únicamente a A0-A9 para el direccionamiento de puertos de I/O.

D0-D7 (data 0 - data 7).- Señales de entrada y salida. Se utilizan para transmitir datos entre el procesador, la memoria y los puertos I/O, donde D0 es el bit menos significativo y D7 es el bit más significativo. Cuando se quiere tener un ciclo de lectura es necesario que la interfase tenga listo en el bus los datos poco antes que las señales IOW o MEMW se activen. Durante los ciclos de

DMA estas señales son utilizadas para transferir datos de un puerto I/O a la memoria, sin la intervención del microprocesador.

ALE (address latch enable).- Señal de salida. Es manejada por el controlador de bus (8288), sirve para indicar que la dirección en el bus es válida, además marca el inicio de un ciclo de bus. Funciona cuando se han podido separar del bus local las direcciones y los datos del microprocesador. Sirve para sincronizar todo los ciclos del bus, a excepción de los ciclos de DMA puesto que esta señal no se activa durante estos ciclos.

I/O CH CK (I/O channel check).- Señal de entrada. Utilizada para reportar errores en tarjetas conectadas al bus. Cuando se tiene un nivel bajo en esta señal se genera una interrupción no enmascarada (NMI) al sistema. Se utiliza principalmente para reportar errores de paridad en interfases conectadas.

I/O CH RDY (I/O channel ready).- Señal de entrada. Sirve para extender la duración de los ciclos del bus, en caso de tener tarjetas que no sean lo suficientemente rápidas para responder a la velocidad normal del sistema, esto se logra mandando un nivel activo bajo de esta señal poco después de haber recibido el comando de MEMR, MEMW, IOR o IOW. Al activar esta señal se pueden obtener entre 1 y 10 ciclos adicionales de reloj.

IRQ2-7 (interrupt request 2 - 7).- Señales de entrada. Se utilizan para hacer solicitudes de interrupción de hardware al microprocesador. Las señales se conectan directamente al controlador de interrupciones 8259A, el cual es configurado por el BIOS del sistema de tal manera que IRQ2 es la interrupción de mayor prioridad e IRQ7 es la de menor prioridad. Una vez que se activa esta señal es necesario mantener el nivel hasta que el microprocesador responda con una señal de INTA (interrupt acknowledge), esta señal no está presente directamente en el bus, pero relacionada con las señales de control de lectura/escritura de puertos.

IOR (I/O read).- Señal de salida. Generada por el controlador de bus 8288. Su función es indicar a los puertos I/O que el microprocesador está a punto de comenzar un ciclo de lectura y que la dirección en el bus es de un puerto I/O. La interfase debe contestar poniendo los datos en el bus el tiempo necesario para que el procesador pueda leerlos. En caso de tener acceso directo a memoria, la dirección no es necesariamente de un puerto I/O, sino la dirección en la cual se va a guardar el dato proveniente de la tarjeta conectada al bus.

IOW (I/O write).- Señal de salida. Es generada por el controlador del bus 8288. Esta señal indica que la dirección en el bus corresponde a una dirección de puerto I/O y que los datos en el bus podrán ser escritos a algún dispositivo I/O. Al activarse en bajo esta señal, los datos no son válidos hasta el frente de

subida. Durante los ciclos de DMA esta señal sirve para escribir los datos en la interfase que haya requerido un acceso directo a memoria.

MEMW (memory write).- Señal de salida. Señal generada por el controlador de bus 8288 e indica que la dirección en el bus corresponde a una dirección de memoria en la cual se escribirán los datos. Mientras la señal activa baja está presente los datos no son validos, es hasta el frente de subida de la misma que los datos son validos. En los ciclos de DMA el controlador de acceso a memoria 8237-5 se encarga del manejo de la señal y sirve para escribir datos en memoria provenientes de un puerto I/O.

MEMR (memory read).- Señal de salida. Esta señal sirve para requerir datos de memoria en alguna localidad, indica que el bus de direcciones contiene una localidad valida de memoria para depositar en esta los datos provenientes de una interfase, que debe tener lista los datos poco antes de la activación de la señal, para asegurar que el procesador reciba los datos. Durante los ciclos DMA la señal indica que la memoria debe entregar los datos alojados en una localidad de memoria para que puedan ser escritos en la interfase que requirió previamente un ciclo de acceso directo a memoria.

DRQ1-3 (direct memory access request 1 - 3). Señales de entrada. Si un dispositivo quiere transferir información directamente a memoria sin pasar por el microprocesador, el ciclo inicia activando alguna de estas señales. Esta señal va directamente al controlador de DMA 8237-2 y después de comprobar la prioridad de la misma comienza un ciclo DMA. El BIOS propio de sistema inicializa al controlador de acceso a memoria de tal manera que DRQ1 es la señal más prioritaria, y DRQ3 la menos prioritaria. Hay que tener cuidado a la hora de utilizar estas señales para no dejarlas activas por periodos largos, generalmente tienen que desactivarse al recibir la respuesta del sistema por medio de las señales DACK.

DACK0-3 (direct memory access aknowledge 0 - 3). Señales de salida. Señales generadas por el 8237-5 activas bajas. Dan respuesta a la petición correspondiente de utilización del canal de acceso a memoria. La señal DACK0 corresponde a la respuesta de DRQ0 que no esta presente en el bus, DRQ0 es utilizada para refrescar la memoria dinámica, así DACK0 nos indica un ciclo de lectura fantasma, que puede ser utilizada par refrescar memoria RAM dinámica tanto interna como externa con un periodo de 15.12 microsegundos.

AEN (address enable). Señal de salida. Indica que un ciclo de DMA esta en proceso. En el sistema esta señal indica al microprocesador que deshabilite las direcciones y datos y pase el control al controlador de acceso directo a memoria. Al deshabilitar el microprocesador, las direcciones de puertos I/O son reconocidas como memoria, es por esto que se puede hacer transferencia de datos entre puertos y memoria durante los ciclos de DMA.

TC (terminal count). Señal de salida. Generada por el controlador de DMA 8237-5. Indica que se ha terminado algún ciclo de DMA, de cualquiera de los cuatro canales, para saber de que canal se trata es necesario combinar esta señal con la correspondiente DACK. Se puede utilizar esta señal como un reloj, pues sucede cada 990.804 milisegundos, que es el tiempo en que tarda en refrescar los primeros 64 Kbytes de memoria.

Además de todas estas señales de control, cada slot tiene diferentes voltajes para alimentar a las tarjetas de interfase y por supuesto, se tienen conectores de tierra. A continuación se muestran los voltajes regulados que se tienen:

- +5 Vdc presente en 2 terminales del slot
- +12 Vdc presente en 1 terminal del slot
- 12 Vdc presente en 1 terminal del slot
- 5 Vdc presente en 1 terminal del slot
- GND tierra presente en 3 terminales del slot

En la figura #22 se muestra la colocación exacta de cada una de las señales arriba mencionadas en cada slot:

PANEL TRASERO

GND	B1	A1	#I/O CH CK
RESET DRV	B2	A2	D7
+5V	B3	A3	D6
IRQ2	B4	A4	D5
-5V	B5	A5	D4
DRQ2	B6	A6	D3
-12V	B7	A7	D2
RESERVADA	B8	A8	D1
+12V	B9	A9	D0
GND	B10	A10	I/O CH RDY
#MEMW	B11	A11	AEN
#MEMR	B12	A12	A19
#IOW	B13	A13	A18
#IOR	B14	A14	A17
#DACK3	B15	A15	A16
DRQ3	B16	A16	A15
#DACK1	B17	A17	A14
DRQ1	B18	A18	A13
#DACK0	B19	A19	A12
CLOCK	B20	A20	A11
IRQ7	B21	A21	A10
IRQ6	B22	A22	A9
IRQ5	B23	A23	A8
IRQ4	B24	A24	A7
IRQ3	B25	A25	A6
#DACK2	B26	A26	A5
T/C	B27	A27	A4
ALE	B28	A28	A3
+5V	B29	A29	A2
OSC	B30	A30	A1
GND	B31	A31	A0

Fig 22. Slot de PC.

4.6 La memoria en la computadora PC.

La memoria es un elemento que puede almacenar datos en forma definitiva o volátil. Con el paso del tiempo, la memoria de la PC ha sufrido varios cambios relacionados sobre todo a la capacidad y a la velocidad de la misma. La memoria de la PC se divide en diferentes secciones, a cada una de estas se les ha asignado un nombre, un uso específico y un área específica dentro del mapa de memoria, es decir se habla de una dirección inicial y una dirección final. A continuación se hará un recuento de las principales áreas que se utilizan:

Memoria convencional: En un inicio los microprocesadores de Intel podían direccionar un máximo de un Megabyte de información, se tenían únicamente 20 líneas de direcciones es decir de la dirección (00000)h a la dirección (FFFFF)h. Todas las herramientas que se desarrollaron en aquel entonces, se limitaron a esta cantidad de memoria, entre estas herramientas tenemos al sistema operativo más utilizado hoy en día: el DOS de Microsoft (el hecho de utilizar únicamente 1 Megabyte de información representa la mayor limitante de este sistema operativo). A esta área de memoria se le conoce como memoria convencional. Esta área de memoria esta asignada casi en su totalidad, la asignación no la hace ningún instituto o comité internacional, se ha ido creando por mutuo acuerdo entre los productores de hardware y si se quiere permanecer compatible es mejor observar con detenimiento esta asignación.

Se tienen 640 Kbytes como memoria RAM del sistema (de la dirección (00000)h a (9FFFF)h), esta parte se encarga del almacenamiento de programas, rutinas de interrupción, los programas escritos para DOS funcionan únicamente en esta área. Se trata de una memoria RAM dinámica que en la actualidad funciona con módulos SIMM (Serial In-line Memory Module), de alta velocidad.

Los 384 Kilobytes restantes son utilizados por subsistemas de hardware de la siguiente manera:

De la dirección (A0000)h a (BFFFF)h tenemos un buffer de vídeo de 128 Kbytes de capacidad que generalmente no esta utilizado en su totalidad, en memoria RAM estática dentro de una tarjeta de vídeo.

Luego vienen 32 Kilobytes entre las direcciones (C0000)h y (C7FFF)h ocupadas para el BIOS de vídeo dentro de una memoria ROM en la tarjeta de vídeo.

Los 96 Kilobytes siguientes ((C8000)h a (DFFFF)h) están libres para ser utilizados por el usuario, se utiliza esta área para colocar las ventanas de la memoria Expandida que más adelante se explicara de que se trata.

De la dirección (E0000)h a la (EFFFF)h tenemos 64 Kbytes que generalmente no se utilizan, pero no es recomendable utilizarlos porque algunos BIOS se colocan en estas direcciones por lo que en caso de utilizarlas podríamos llegar a tener conflictos con algunos sistemas.

Por ultimo, los 64 Kbytes restantes ((F0000)h a (FFFFFF)h) son utilizados por el BIOS (Basic Input Output System) , que es un conjunto de rutinas que permite la conexión de componentes esenciales para la PC como vídeo, teclado y controladores de disco.

La figura 23 muestra como es utilizada la memoria convencional:

DIR	FUNCIÓN	CAPACIDAD
FFFF:F F000:0	BIOS DEL SISTEMA	64K BYTES
FFFF:F C800:0	NO ASIGNADA	96K BYTES
C7FF:F C000:0	BIOS DE VIDEO	32K BYTES
BFFF:F A000:0	BUFFER DE VIDEO	128K BYTES
9FFF:F 0000:0	MEMORIA BASICA DEL SISTEMA	640K BYTES

Fig 23. Utilización del mapa de memproia de la PC.

Memoria expandida: En 1984, los usuarios de Lotus 1-2-3, tenían hojas de calculo con miles de celdas, lo que provocaba el desbordamiento de memoria de la PC. Se necesitaba aumentar la memoria más allá del limite de 640 Kilobytes del DOS. Como la información se accesaba frecuentemente se requería un acceso a gran velocidad era imposible resolver este problema con unidades de disco. Lotus trabajo sobre este problema junto con Intel y Microsoft y como resultado lograron implementar la memoria expandida.

Se reserva un área de 64 Kbytes llamada ventana, dentro de los 384 Kbytes, que no estén utilizados por ningún otro hardware (como adaptadores de vídeo o de red). A estos 64 Kbytes de memoria se les pueden asignar hasta 4 trozos de memoria de 16 Kbytes. Podemos tener un número muy grande de trozos de 16 Kbytes, de los cuales solo 4 pueden estar asignados al mismo

tiempo, Los otros trozos pueden ser asignados en cualquier momento siempre y cuando otro trozo deje de ser utilizado dentro de los 64 Kbytes.

Las tres compañías (Lotus, Intel y Microsoft) lograron estandarizar la administración del recurso llamado Memoria Expandida, dentro del EMS (Expanded Memory Specification). La gran ventaja de esta especificación es que funciona en cualquier plataforma PC existente. Hasta el modelo 80286 se requería conectar una tarjeta especial en las ranuras de la computadora, con los modelos 386 y 486 ya no es necesario utilizar ningún hardware adicional.

Memoria extendida: A partir de la aparición de la primera computadora AT, el mapa de memoria de esta plataforma se amplió hasta 16 Megabytes, con la introducción de 4 líneas adicionales de direcciones. Estas direcciones pueden ser accedidas únicamente cuando el microprocesador funciona en modo protegido, mientras que la mayoría de los programas funcionan en modo real, al utilizar DOS no se pueden acceder estas direcciones y es necesario copiar bloques de información de la memoria extendida a la memoria convencional para así poder trabajar. Existen sistemas operativos como UNIX u OS/2 que sí pueden hacer uso directo de esta memoria, como ejemplo, Windows es capaz de acceder a esta área de memoria de manera satisfactoria y no tiene la limitante de utilizar únicamente 64 Kilobytes a la vez.

Dentro de la memoria extendida tenemos que los primeros 64 Kilobytes ((100000)h a (10FFFF)h) se le conoce como bloque superior de memoria UMB (Upper Memory Block) que bajo ciertas circunstancias puede ser accedida por el DOS y se refiere a la posible habilitación de la línea A20, ya sea por medio del BIOS o de software.

CAPÍTULO 5: LA TARJETA DE MEMORIA: PC-MEM.

5.1 Unidades de almacenamiento.

De poco sirve una computadora si esta no puede ejecutar un programa. El microprocesador necesita programarse cada vez que se utiliza y es necesario indicarle a este la forma de trabajar, en el caso de una computadora compatible 80x86 es necesario cargar un BIOS, un sistema operativo, un programa ejecutable y además procesar y guardar datos de manera permanente o temporal. Para realizar esta operación es necesario contar con dispositivos capaces de almacenar información binaria. Estas unidades de almacenamiento deben tener las siguientes propiedades básicas: confiabilidad, alto nivel de integración (tamaño pequeño), costo por bit de almacenamiento bajo y tiempo de acceso adecuado al sistema al que esté conectado (tan rápido como sea posible).

Entre los ejemplos más comunes de estas unidades de almacenamiento tenemos los circuitos integrados, las superficies magnéticas como unidades de disco y cinta, las superficies ópticas como discos compactos etc... Cada uno de estos tipos tiene un uso específico, principalmente basados en la capacidad de almacenamiento, los tiempos de acceso y la capacidad de transporte de la información. A continuación se hará una pequeña lista de las unidades de almacenamiento más comunes:

Unidades de cassette: Muy utilizadas en el comienzo de la PC, se trata de grabar información sobre una cinta con recubrimiento magnético, la capacidad de la cinta depende de la longitud de la misma, en la actualidad se utilizan como medio para el respaldo de grandes cantidades de información, son mecánicamente muy confiables, con la gran desventaja de tener accesos secuenciales a la información y no aleatorios como en otros casos, por lo que su velocidad para hacer transferencia de datos es muy lenta.

Unidades de disquete: Se trata de una superficie magnética. Se pueden tener capacidades de almacenamiento de 1.2 Megabytes para disquetes de 5 1/4" y de 1.44 Megabytes para disquetes de 3 1/2", que son los formatos más comunes hoy en día si bien existen otros formatos. La transferencia de información se hace utilizando un solo canal de DMA en formato half dúplex. Si bien se utiliza canal de DMA, la transferencia de información es considerada como lenta, el espacio que utiliza una unidad de disquete es grande y cuenta con partes mecánicas móviles, las cuales, durante el transporte del equipo, puede sufrir daños. Entre sus principales ventajas está la portabilidad de la información de un equipo a otro.

Unidades de disco duro: Estas unidades están disponibles en todas formas y capacidades que uno se pueda imaginar. Se trata de unidades de almacenamiento con capacidades de altas a muy altas, con mejores tiempos de acceso que las unidades de disquete. Las principales desventajas radican en que la información no es portátil y son mecánicamente y eléctricamente más delicadas que cualquiera de los otros tipos de almacenamiento mencionados en esta lista. Existen tres estándares para hacer la transferencia de información: ST506 de Seagate Technologies para discos Winchester con tasa de transferencia de 5 Mbps, ESDI (Enhanced Small Device Interface) con una tasa de 10 Mbps y detección de errores, por último SCSI (Small Computer Systems Interface) con esta tecnología, el CPU tiene la menor carga de control sobre la unidad de disco. Para hacer la transferencia de información en cualquiera de las tecnologías se utiliza un canal de DMA y algunos puertos I/O.

Unidades de disco compacto: Se trata de grabar información en un medio óptico, la lectura se hace mediante claros y oscuros detectados por un rayo láser reflejado en un disco. Tienen capacidades de almacenamiento muy elevadas (típicamente de 540 Megabytes) y tiempos de acceso rápido. Su principal desventaja era su no reprogramabilidad, es decir una vez grabada la información, esta no podía volver a modificarse, pero ya existen unidades de disco compacto reprogramable que por su novedad siguen teniendo costos elevados. Se tiene una transferencia de datos máxima de 2.3 Megabytes/s. La transferencia de información se hace bajo el mismo formato que un disco duro, ya sea SCSI o ESDI.

Unidades de almacenamiento en estado sólido: Se trata de tarjetas para las cuales no existen estándares y existen tantas tecnologías como productores de las mismas, se utilizan para aplicaciones muy específicas y se definen parámetros como capacidad y tiempo de acceso según lo requieran las aplicaciones. El único punto en común es el tipo de dispositivo donde se almacena la información, todos son dispositivos en estado sólido, es decir circuitos integrados de memoria ya sea RAM, ROM o FLASH en cualquiera de sus versiones y modificaciones. Se direccionan bancos de memoria dentro del mapa propio de la computadora ya sea en memoria extendida o expandida. Estas unidades ejecutan un solo programa que tienen grabado, el cual puede ser modificado o no según el tipo de memoria que se utilice. No cuenta con partes mecánicas móviles, por lo que su transporte es muy seguro. Generalmente se utilizan estas unidades por su alta velocidad de transferencia de información en sistemas cerrados, es decir aquellos sistemas que se colocan en localidades remotas y no interactúan con el hombre o bien en sistemas que están en movimiento constante o unidades libres de mantenimiento. En la mayoría de los casos los datos guardados no son transferibles de un sistema a otro porque las tarjetas se conectan directamente al bus y es necesario abrir el equipo para sacar la tarjeta. Este tipo de unidades o tarjetas tienen la capacidad de arrancar un equipo cuando este se enciende, cuentan con algún sistema

operativo que es ejecutado de igual forma que en cualquier unidad de disco. Cabe mencionar que se tiene un estándar para tarjetas de memoria utilizadas principalmente en computadoras portátiles (laptop), que trata de reemplazar a discos duros por su bajo consumo y tamaño pequeño, conocidas como tarjetas PCMCIA (Personal Computer Memory Card Industry Association).

En nuestro caso este tipo de unidad de almacenamiento resulta muy conveniente, porque una vez que se enciende, ejecuta el mismo programa siempre, a la hora del transporte puede soportar condiciones más severas de manejo sin tener el temor que piezas mecánicas lleguen a fallar, además, su mantenimiento es mínimo y el costo de este tipos de tarjetas no es muy elevado considerando que su capacidad de almacenamiento tampoco es muy elevada.

Para esto fué necesario diseñar una tarjeta de almacenamiento en estado sólido capaz de guardar y ejecutar el sistema operativo, programas y configuraciones, con un alto grado de confiabilidad, que fuera compatible con un motherboard de la familia 80x86, que además se pudiera producir de manera económica. El siguiente paso es decidir que tipo de memoria se tendrá en esta tarjeta.

5.2 Tipos de memorias.

En el mercado de los componentes electrónicos existe una gran variedad de tipos de memoria, según su tecnología y sus características particulares. Se puede decir que se tienen un tipo de memoria para cada aplicación que se desee. Es necesario hacer una buena selección para que nuestra aplicación funcione correctamente. Un sistema de memoria ideal optimiza la densidad, no volatilidad, alta velocidad de lectura y bajo costo. Si bien cada una de estas cualidades puede obtenerse de diferentes tecnologías, es extraño encontrar alguna tecnología que cumpla con todas. A continuación se enumeran las principales tecnologías con sus principales características:

ROM: (Read Only Memory) Es una memoria de alta densidad, no volátil, confiable y de bajo costo en grandes producciones. Una vez producida (se graba durante el proceso de producción) el contenido de la memoria no es alterable, se graba una mascara de información que permite el paso o no de la corriente eléctrica, por esto es únicamente una memoria de lectura. Su uso es únicamente para producciones muy grandes.

EPROM: (Electrically Programmable Read Only Memory) Se trata de una memoria no volátil de alta densidad que permite su reprogramación. Pocas personas hubieran podido imaginar la aceptación de esta memoria cuando fué diseñada en 1971. Tres fueron los factores importantes por los cuales esta memoria se popularizó en la década de los '80 y fueron: programación eléctrica, densidades adecuadas y bajo costo. En contraparte una vez programado, si se

quiere alterar un solo bit del arreglo de memoria es necesario quitar el circuito del sistema y exponerlo por un periodo de tiempo medio (aprox. 15 minutos) a luz ultravioleta. A la hora de actualizar los sistemas con nuevas versiones, este tiempo representa el mayor inconveniente, las actualizaciones generalmente no pueden llevarse a cabo en el campo, porque el técnico tendría que cargar con equipo de programación y borrado.

EEPROM: (Electrically Erasable Programmable Read Only Memory) Es una memoria no volátil que permite la reprogramación de sus bits de manera eléctrica. Apareció como la solución a los inconvenientes de las memoria EPROM. Esta gran ventaja de poder reprogramar bits sin tener que remover el circuito del sistema implica una estructura por celda de memoria más compleja, que ocupan una mayor superficie, por lo que en general estas memoria no tienen altas densidades, hoy en día se puede encontrar en el mercado memorias con un máximo de 64K x 8. Esta tecnología se está utilizando no tanto para memorias de almacenamiento masivo, sino para pequeños arreglos de memoria como GAL, PAL, PLD, FPGa y controladores con pequeñas cantidades de memoria.

SRAM: (Static Random Access Memory) Es una memoria muy veloz, reprogramable, limitada por su volatilidad y su baja densidad. Una memoria de este tipo requiere un voltaje para no perder su información. Si se desea que esta memoria sea no volátil, es necesario conectarle una batería que funcione cuando el equipo se apague, las baterías tiene un tiempo limitado de vida, al expirar este tiempo, la información se pierde esto representa un verdadero peligro para cualquier equipo porque es difícil predecir el tiempo de vida de estas baterías.

DRAM: (Dynamic Random Access Memory) Es una memoria volátil famosa por su alta densidad y su bajo costo. Necesita un circuito adicional de control para el refresco. Para evitar su gran volatilidad se requieren una fuente de poder constante y un sistema de control de refresco que genere pulsos de manera constante.

Haciendo un poco de historia, en 1970 las memorias de semiconductores comenzaron a desplazar a los medios magnéticos, se comenzó con memoria RAM diseñadas a partir de flip-flops en diferentes arreglos, cada vez más grandes y complicados, el problema principal radicó en la volatilidad de la memoria RAM, que si bien permitía guardar algún tipo de información esta se perdía al apagar el equipo, más específicamente la computadora a la cual estuviese conectada. El éxito de la memoria EPROM vino poco más tarde como respuesta a los problemas de volatilidad tomado un enfoque más eléctrico (las celdas de este tipo de memorias son diseñadas a partir de transistores especiales con gates flotantes) y no a partir de compuertas lógicas como en el caso de la memoria RAM, el éxito se dio punto aparte de la torpeza de su

borrado. Las investigaciones en los laboratorios de las grandes compañías de semiconductores siguieron por el camino de conseguir una memoria no volátil que pudiera ser regrabable dentro del sistema. De esta búsqueda surgió la EEPROM con buenas expectativas para su producción masiva, pero su baja densidad representaba una gran inconveniente.

FLASH MEMORY: La memoria FLASH fué presentada en 1988 por Intel, como el punto medio entre EPROM y EEPROM, en cuanto a funcionalidad y costo. Se trata de una memoria de alta densidad, no volátil, caracterizada por su bajo consumo de potencia, su elevada robustez y confiabilidad. Esta memoria está acaparando los mercados y debido a sus altos volúmenes de producción, los precios bajan. Esta memoria permite el borrado de todas sus celdas o grandes sectores de la misma de forma eléctrica y la reprogramación eléctrica de sus bytes, todo dentro del sistema sin necesidad de sacar ningún componente del mismo. Lo que se obtiene con estas ventajas es poder actualizar códigos o programas en equipos ya operando en campo o en equipos ya vendidos. En contraste con el borrado en luz ultravioleta que toma 15 minutos para una EPROM, la memoria FLASH tarda únicamente un par de segundos en borrarse y reprogramarse completamente, todo dentro del mismo sistema. También aceleran el desarrollo de prototipos en laboratorios.

Comparando la memoria FLASH con cualquier otro tipo de tecnología de estado sólido, nos muestra las grandes ventajas que estas representan, enfocados principalmente a aplicaciones que requieran actualización de códigos y almacenamiento masivo de datos. La figura #24 nos muestra una comparación entre las diferentes tecnologías:

Memoria	No volátil	Alta densidad	Baja potencia	Celdas de un transistor	Almacenamiento de código y datos	Regrabable en sistema	Alterable por Byte
FLASH	x	x	x	x	x	x	
SRAM					x	x	x
DRAM		x			x	x	x
EEPROM	x		x		x	x	x
EPROM	x	x	x	x			
ROM	x	x	x	x			

Fig 24. Tabla comparativa de los diferentes tipos de memoria.

Los circuitos de memoria FLASH son los que más se acercan a una memoria ideal, cuentan únicamente con un inconveniente, tienen un número limitado de veces que se pueden reprogramar (alrededor de 100,000 ciclos de escritura-borrado en la mayoría de los casos), comparado con la ilimitada capacidad de las memorias RAM. Por lo que son recomendables únicamente para guardar información que no varía con mucha frecuencia como códigos y programas y no son muy recomendables para guardar parámetros que constantemente cambian.

El proceso de fabricación permite tener densidades similares a una memoria DRAM, en el mercado se pueden encontrar memorias de 1 a 4 Megabits y de 8 a 16 Megabits en producciones limitadas, a mediados de 1996 se espera tener 32 Megabits en un solo circuito integrado. Cuando fueron diseñadas originalmente se requerian dos fuentes de poder: +5V para alimentar la lógica y el arreglo de memoria y +12V para programar el arreglo. En la actualidad hay fabricantes de memoria FLASH que las hacen con una sola fuente de poder de +5V para simplificar el diseño. También existen modelos de borrado global (bulk), o bien de borrado sectorizado (sector) que pueden ser simétrico (si todos los sectores son iguales) o asimétricos (si existen sectores más grandes o más pequeños como los boot-block sector).

Las celdas de la memoria (figura #25) son programadas por medio de la técnica de inyección de electrones calientes similar a la EPROM. Cada transistor de efecto de campo (FET) de cada celda se enciende o se apaga con la ausencia o presencia de carga en el gate flotante que se encuentra sobre el canal conductor. Los electrones se acumulan en el gate flotante bajo la acción de un campo eléctrico producido por un voltaje aplicado en el gate de selección, que se encuentra sobre el gate flotante y un voltaje similar en el drain mientras el source está aterrizado. Los electrones quedan atrapados en el gate flotante que está envuelto por un material no conductor, lo que produce que el FET conduzca, esté apagado o en "0" lógico. Cuando no hay electrones atrapados en el gate flotante tenemos un "1" lógico.

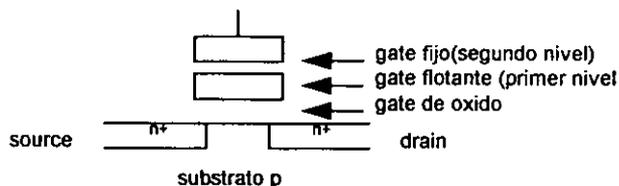


Fig 25. Celda de memoria FLASH.

Quando la memoria está completamente vacía es decir no tenemos electrones atrapados en el gate flotante de ningún FET, podemos leer la memoria llena de "1" lógico, el proceso de programar consiste en cambiar de estado los FET's únicamente de "1" a "0" lógico. Para el borrado los electrones salen del gate flotante por la acción de un campo eléctrico entre gate y source, como se muestra en la figura #26.

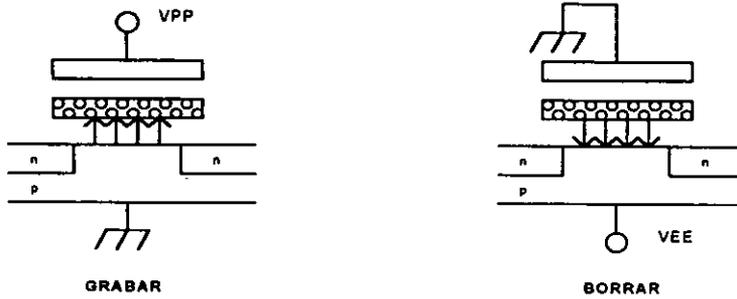


Fig 26. Grabado y borrado de celda de memoria FLASH.

Existen algoritmos muy específicos de programación y borrado para mantener en mejor estado la memoria, al borrar siempre es necesario en un primer paso grabar todas las celdas de memoria con "0" y después aplicar el comando de borrado, así todas las celdas tienen un mismo estado inicial para el proceso de borrado, todas las celdas tardan el mismo tiempo en borrarse y consumen la misma cantidad de energía.

Estructuralmente las celdas son similares a las celdas de EPROM, solo un poco más largas y un poco más delgadas. Pero cada productor tiene su propio concepto de la forma que debe tener cada celda, las principales se muestran en la figura #27:

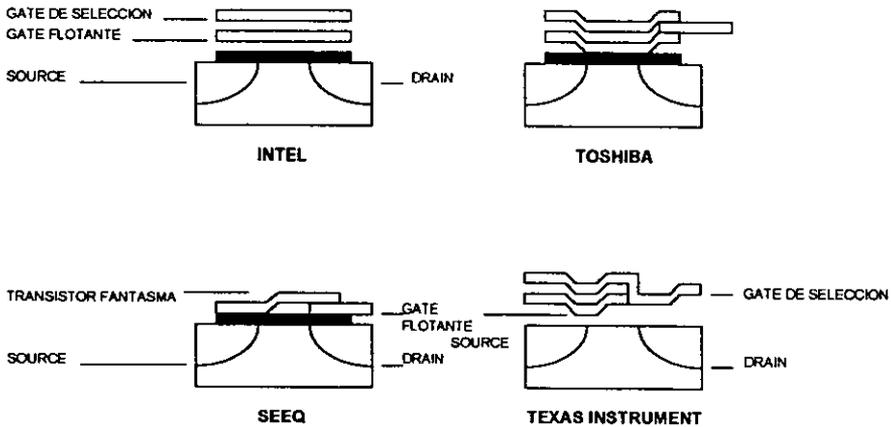


Fig 27. Diferentes tecnologías de celdas de memoria FLASH.

Podemos mencionar que Intel utiliza la tecnología ETOX (EPROM tunnel oxide), Seeq fabrica con una tecnología llamada de transistor fantasma que utiliza el gate del transistor en forma escalonada, Toshiba tiene una tecnología con tres capas de gate y por ultimo Texas Instrument tiene tres gates en forma escalonada. Entre los principales productores de memoria FLASH tenemos la siguiente lista:

Advanced Micro Devices Inc.
Atmel Corp.
Catalyst Semiconductor Inc.
Eurom FlashWare Solutions Inc.
Fujitsu Microelectronics Inc.
Hitachi America Ltd.
Integrated Silicon Solution Inc.
Intel Corp.

M-Systems Inc.
Micron Technology Inc.
Mitsubishi Electric Co.
National Semiconductor Corp.
SGS-Thomson Microelectronics
Samsung Semiconductor Corp.
Seeq Technologies
Toshiba America Electronic Inc.

Generalmente las memorias FLASH tienen tiempos de acceso entre 120 y 150 nanosegundos y se refiere al periodo entre que tenemos una dirección válida y la memoria nos responde con un dato válido. AMD junto con FUJITSU están introduciendo en el mercado memorias con tiempos de acceso de 45 ns. Por otra parte Atmel no enfoca sus investigaciones a la velocidad de acceso sino a los voltajes de operación de las memorias, y tienen en el mercado memorias que funcionan con 3.3 V tanto para lectura como para grabar información. Mientras que Intel está desarrollando una memoria que puede almacenar dos bits por cada celda de memoria, esto lo logra al medir el nivel de carga en la celda y comparando este valor contra uno de cuatro valores para determinar si la celda tiene guardado "00", "01", "10" o "11", con esto logra incrementar la capacidad de almacenamiento al doble en el mismo espacio, los circuitos de comparación aumentan el área entre 1% y 2%.

Como se dijo anteriormente las memorias FLASH, requieren de un borrado general o de alguno de sus sectores si se desea alterar un solo bit. Es aquí donde las memorias sectorizadas se vuelven útiles, pues si el dato que se desea modificar está en un sector específico, es únicamente este sector el que debe borrarse y grabar con nueva información, sin alterar el contenido de los otros sectores. Las memorias FLASH con bloques para arranque (boot block flash memory) fueron desarrolladas por Intel para satisfacer las necesidades de los productores de computadoras personales, que requerían bajar el costo de mantenimiento cuando actualizaban versiones de BIOS en sistemas cerrados. Con esta memoria las actualizaciones pueden hacerse vía módem o vía disquete.

5.3 La memoria FLASH 28F001BX-T.

La 28F001BX-T es un arreglo de 1,048,576 bits de memoria no volátil organizada en 131,072 bytes (128K x 8), que combinan un bajo costo con innovaciones que permiten una escritura simplificada y el borrado en bloques. Estos dispositivos simplifican el diseño al incorporar varios componentes en un solo circuito, dando nuevas perspectivas a los circuitos con EPROM, EEPROM o RAM respaldada por batería. El 28F001BX-T cuenta con un puerto de comando y una máquina de estado para simplificar acciones de borrado y

reprogramación de bytes. Intel utiliza circuiteria CMOS para lograr altas velocidades, bajo consumo e inmunidad al ruido. Este dispositivo está organizado como memoria de arranque (boot block), permitiendo el grabado y borrado eléctrico de cuatro bloques independientes de diferente tamaño. Al reprogramar un bloque no se afecta el contenido de los otros bloques. El mapa de memoria de los bloques se muestra en la figura #28.

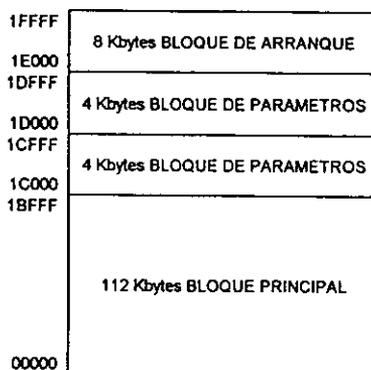


Fig 28. Mapa de memoria 28F001BX-T

La flexibilidad de estas memorias permiten reducir costos durante el ciclo de vida de un circuito: En un periodo de prototipos y pruebas se ahorra tiempo al poder reprogramar en el sistema sin necesidad remover componentes; En la producción disminuye inventarios, al utilizar un solo componente para hacer varias funciones. La ventaja más grande viene cuando algún equipo está en campo es decir en su vida útil y es necesario realizar una actualización de códigos, solo se requiere en la mayoría de los casos mandar un disquete en lugar de mandar un técnico, con el ahorro que esto representa.

La 28F001BX-T tiene una máquina de estado que permite: Entradas a niveles 100% compatibles con TTL, una fuente de poder fija durante borrado y programación, tiempos de escritura similares a una SRAM y por ultimo máxima compatibilidad con EPROM.

Al encender esta memoria, funciona de manera idéntica a una EPROM. Se cuenta con un identificador inteligente y un registro de status, ambos se accesan a través de un registro de comando y funcionan con Vpp (voltaje de

programacion) en bajo o en alto. Además cuando Vpp está en alto (+12V) se puede habilitar la escritura y borrado del dispositivo, es decir, todas las funciones relacionadas con alterar la memoria, se accesan a través del registro de comando y son verificadas a través del registro de status. Incluido en el circuito integrado tenemos una maquina de estado que controla el borrado de bloques y la programación de bytes liberando al microprocesador para que este realice otras tareas. Después de recibir un comando de borrado y la verificación de borrado, la maquina de estado controla el pre-acondicionamiento del bloque y el borrado, reportando el progreso en cada etapa al registro de status.

5.4 Operación del bus.

LA memoria FLASH lee, escribe y borra en el sistema bajo control de un microprocesador, todos los ciclos de bus desde o hacia la memoria cumplen con ciclos estándares de microprocesadores. La figura #29 tiene una tabla de las operaciones de bus que realiza la 28F001BX-T:

MODO	#RP	#CE	#OE	#WE	A9	A0	Vpp	D0-7
lectura	H	L	L	H	X	X	X	DOUT
salida deshabilitada	H	L	H	H	X	X	X	Z
espera	H	H	X	X	X	X	X	Z
ahorro de energía	L	X	X	X	X	X	X	Z
identificador (productor)	H	L	L	H	+12V	L	X	89h
identificador (producto)	H	L	L	H	+12V	H	X	94h
escritura	H	L	H	L	X	X	X	DIN

Fig 29. Operacion del bus de memoria 28F001BX-T.

Lectura: Existen tres conceptos que uno puede leer en esta memoria: El contenido de cualquiera de sus bloques, el identificador inteligente y el registro de status. El primer paso es escribir en el registro de comando la instrucción correspondiente a la operación que se va a realizar. Al encender el dispositivo, este se encuentra listo para leer.

Salida deshabilitada: Para poder colocar varios dispositivos en un mismo bus es necesario que no existan conflictos al tener más de un dispositivo encendido al mismo tiempo, es por esto se necesita colocar los dispositivos que no se utilizan en alta impedancia o tercer estado.

Espera: El estado de espera deshabilita gran parte de las funciones del circuito reduciendo substancialmente el consumo de corriente del mismo. Cuando

tenemos un estado de espera las salidas (D0-D7) de colocan en alta impedancia.

Ahorro de energía: Coloca en alta impedancia las salidas de datos (D0-D7) y apaga la circuitería interna del dispositivo, con lo que obtenemos un ahorro de potencia al utilizar únicamente 0.25 μ W.

Identificador de productor y producto: Esta operación permite reconocer el tipo de dispositivo por medio de un número específico, así para Intel (que es el productor) tiene un código 89h y este dispositivo tiene un código 94h. Esta operación puede llevarse a cabo manualmente colocando las respectivas señales en el bus o por medio de programación como se vera más adelante.

Escritura: Permite guardar datos en el registro de comando, si Vpp está en bajo, únicamente se pueden ejecutar funciones de lectura, mientras que si Vpp está en alto se puede controlar la escritura y borrado de la memoria. El registro de comando, en si no utiliza una localidad de memoria, es un latch que guarda el comando, la dirección y el dato necesarios para la ejecución de una instrucción.

5.4.1 Definición de comandos.

El modo de operación del dispositivo se selecciona al escribir una serie de comandos específicos dentro del registro de comando, la escritura en el registro de comando se efectúa como observamos en la sección anterior. La figura #30 nos muestra cada uno de los comandos que se utilizan para la 28F001BX-T:

Comando	Primer ciclo de reloj			Segundo ciclo de reloj		
	Bus	Dir	Dato	Bus	Dir	Dato
Leer/Reset	Escritura	X	FFh			
Identificador	Escritura	X	90h	Lectura	AI	DI
Lectura registro status	Escritura	X	70h	Lectura	X	DS
Limpiar registro status	Escritura	X	50h			
Borrado	Escritura	AB	20h	Escritura	AB	D0h
Suspender borrado	Escritura	X	B0h	Escritura	X	D0h
Programar	Escritura	AP	40h	Escritura	AP	DP

Fig 30. Definición de comandos para memoria 28F001BX-T.

Donde: AI = Dirección de identificador 00h para productor, 01h para producto.
 DI = Dato del identificador 89h para productor, 94h para producto.
 DS = Dato del registro de status.
 AB = Una dirección valida dentro del bloque que se quiere borrar.
 AP = Dirección para programar.

DP = Dato para programar.
X = No importa.

Leer/Reset: Este es el estado inicial del dispositivo al encenderlo y permite la lectura de datos. Permanece en este estado siempre y cuando el contenido del registro de comando no se altere. Este comando está disponible si Vpp está en alto o en bajo.

Identificador: La operación se inicia al escribir 90h en el registro de comando, el siguiente ciclo debe ser una lectura de datos en la dirección 0000h o 0001h, según el dato que se quiera obtener. Este comando está disponible si Vpp está en alto o en bajo.

Lectura del registro de status: El 28F001BX-T cuenta con un registro de status que puede ser leído para determinar cuando una operación de borrado o escritura ha concluido con éxito. Al escribir un dato 70h en el registro de comando es necesario leer en el ciclo inmediato posterior el estado del registro de status. Este comando es valido cuando Vpp es alto o bajo.

Limpiar registro de status: Una vez que se ha consultado el registro de status es recomendable limpiar su contenido puesto que esto no se hace automáticamente. El circuito cambia se estado de "0" a "1" únicamente, al limpiar el registro se colocan todos los bits en "0". Este comando funciona con Vpp en alto o bajo.

Borrado: El borrado se efectúa un bloque a la vez. Se escriben dos instrucciones en el registro de comando, la primera indica el inicio de un ciclo de borrado mientras que la segunda es para confirmar el borrado. Es necesario direccionar estas dos instrucciones en alguna localidad de memoria correspondiente al bloque que se quiere borrar. Se puede verificar la terminación del borrado al consultar el registro de status. Es necesario que Vpp esté en alto (+12V).

Suspender borrado: El proceso de borrado de un bloque se toma algún tiempo (entre 2 y 7 segundos), con este comando podemos posponer el proceso de borrado de un bloque e ir a tomar datos de otro bloque, para luego continuar con el proceso de borrado.

Programar: La escritura se logra por medio de una secuencia de dos instrucciones, la primera se guarda en el registro de comando mientras la segunda se guarda el dato en la dirección especificada. Para verificar el correcto desempeño de la programación es necesario verificar el registro de status. Este comando funciona únicamente cuando Vpp es igual a +12V.

La figura #31 muestra el registro de status y la información que entrega:

Bit	Función	"0"	"1"
7	Máquina de estado	Ocupada	Lista
6	Suspensión de borrado	Borrado en progreso o completo	Borrado suspendido
5	Borrado	Bloque borrado exitosamente	Error al borrar bloque
4	Programación	Byte programado exitosamente	Error en la programación
3	Estado del Vpp	Correcto	Fuera de rango
2	No utilizado		
1	No utilizado		
0	No utilizado		

Fig 31. Registro de status de memoria 28F001BX-T.

5.4.2 Algoritmos de programación y borrado:

Para mantener en buen estado las celdas de memoria, Intel recomienda seguir cierto procedimiento para grabar o borrar información, este procedimiento no es más que una serie de instrucciones que debe seguirse en el orden indicado. Intel garantiza para esta memoria un mínimo de 10,000 ciclos de borrado/grabado por bloque, siempre y cuando se apliquen los algoritmos de programación implementados por ellos mismo.

5.4.3 Algoritmo de programación:

Se trata de una serie de instrucciones que respeta los tiempos estándares de microprocesadores para el grabado de memorias, se lleva a cabo por medio de una tecnología conocida como de pulsos rápidos, hay que tomar en cuenta que el voltaje de programación Vpp debe permanecer constante a +12V durante todo el ciclo de programación. El diagrama de flujo de la figura #32 nos muestra los pasos que hay que seguir:

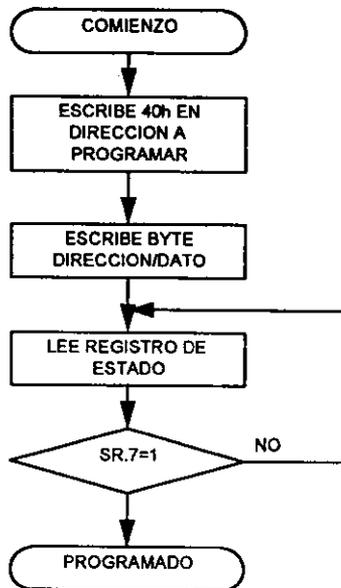


Fig 32. Algoritmo de programación.

En la siguiente rutina se muestra como se realiza este algoritmo en lenguaje C:

```

#include<dos.h>
#include<stdio.h>

void main()
{
    unsigned char far *FLASH;
    unsigned int LOCAL;
    int DATO,STATUS;

    DATO=0x49;                /*define dato a grabar*/
    outport(0x311,128);      /*eleva VPP a 12V*/
    delay(1000);             /*espera que VPP llegue a 12V*/

    FLASH=MK_FP(0x8000,0);   /*inicio apuntador en (80000)h*/
    for(LOCAL=0;LOCAL<=65534;LOCAL++)
    {
        FLASH[LOCAL]=0x40;   /*escribe dato (40)h*/
        FLASH[LOCAL]=DATO;   /*graba dato*/
        do
        {

```

```

FLASH[LOCAL]=0x50;
FLASH[LOCAL]=0x70;
STATUS=FLASH[LOCAL];/*verifica estado*/
}
while(STATUS!=0x80);
}
outport(0x311,0); /*deshabilita VPP en 12v*/
}

```

5.4.4 Algoritmo de borrado de un bloque:

Esta rutina nos permite el borrado de un sector específico de la memoria, el borrado se toma típicamente de 1-4 segundos por bloque, hay que tener en cuenta que el borrado se lleva a cabo siempre y cuando el voltaje de programación Vpp permanezca en +12V. En la figura #33 tenemos el diagrama de flujo sugerido por Intel:

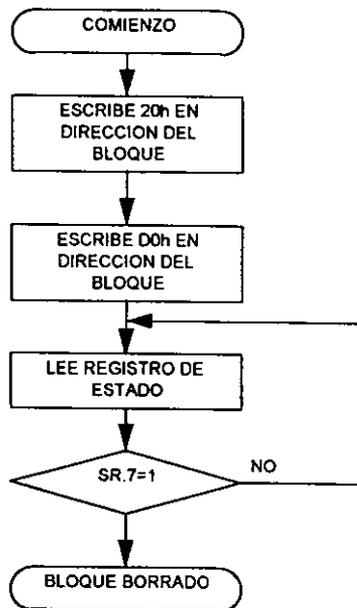


Fig 33. Algoritmo de borrado.

A continuación se muestra una rutina en lenguaje C para realizar el borrado de un bloque de memoria:

```

#include<dos.h>
#include<stdio.h>

```

```

void main()
{
    unsigned char far *FLASH;
    int STATUS;

    outport(0x311,128);           /*eleva VPP a 12V*/
    delay(1000);                 /*espera que VPP llegue a 12V*/

    FLASH=MK_FP(0x8000,0);       /*inicio apuntador en (80000)h*/
    FLASH[0x00]=0x20;           /*escribe dato (20)h*/
    FLASH[0x00]=0xD0;          /*escribe dato (D0)h*/
        do
        {
            FLASH[0x00]=0x50;
            FLASH[0x00]=0X70;
            STATUS=FLASH[0x00]; /*verifica estado*/
        }
        while(STATUS!=0x80);
    outport(0x311,0);           /*deshabilita VPP en 12v*/
}

```

Una vez que se ha dado una pequeña introducción sobre que son, como funcionan y para que sirven las memorias FLASH, nos queda únicamente explicar el funcionamiento integro de una tarjeta de memoria que utiliza FLASH para una computadora personal, la tarjeta lleva el nombre de PC-MEM.

5.5 Tarjeta de memoria PC-MEM.

Esta tarjeta cuenta con las siguiente características:

- Banco de memoria UV-EPROM con 64 Kbytes para almacenar sistema operativo.
- Dos bancos de memoria FLASH de 128 Kbytes cada uno (256 Kbytes en total) para almacenar programas y configuraciones.
- Salida de control de RESET por medio de un circuito perro-guardian (o Watch-dog).
- Seis puertos de salida con Flip-Flop's para controlar LED's de status.
- Control sobre líneas de +12V para voltaje de programación.

La figura #34 no muestra el diagrama de bloques de la tarjeta:

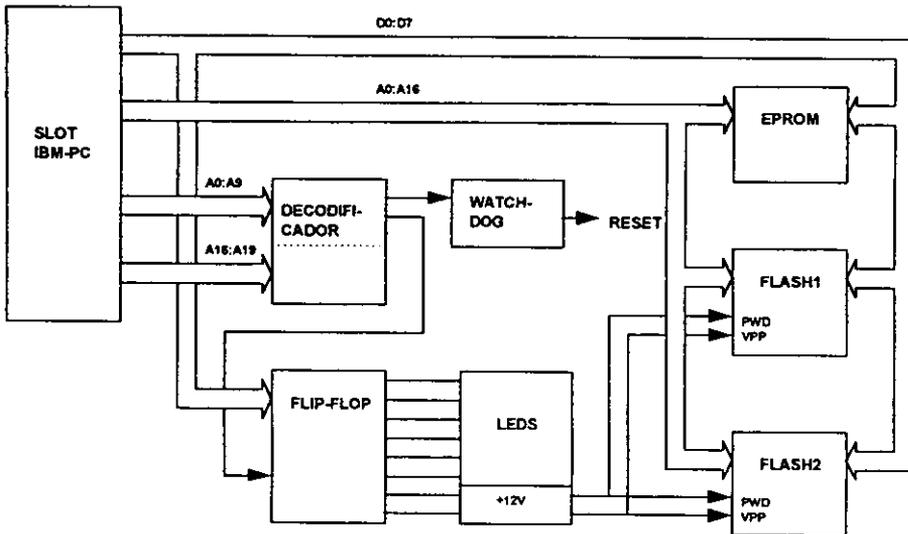


Fig 34. Diagrama de bloques de la tarjeta PC-MEM.

El decodificador nos permite habilitar una zona dentro del área de memoria así como habilitar direcciones dentro del área de puertos I/O. Todo el decodificador se hace con un GAL (General Array Logic),

Banco de UV-EPROM: (64K x 8) En este banco se guarda el sistema operativo, su código no cambia por lo cual se puede utilizar este tipo de memoria. Se utiliza un sistema operativo de Datalight, conocido como ROM-DOS V5.0, compatible con el DOS de Microsoft con un código más reducido (apenas 40K ROM y 5K RAM) para tener un sistema operativo altamente compatible. La mayor ventaja es el costo de este sistema operativo que es inferior al costo de MS-DOS. Se utilizó un sistema operativo de este tipo porque a la hora de programar se puede hacer en cualquier lenguaje común de la PC (como C o Pascal) y el programa va a funcionar correctamente en un sistema cerrado. Esto se refleja en una reducción del parametro tiempo al mercado (time-to-market) que da gran flexibilidad a la aplicación.

El decodificador controla la pata Chip-Enable de la memoria y utiliza las líneas A16, A17, A18, y A19 (con lo que tenemos un decodificador de 64 Kbytes dentro del mapa de la PC). Esta memoria queda localizada en la dirección de la figura #35, la cual está libre dentro del mapa de la PC:

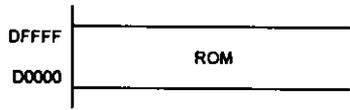


Fig 35. Mapa de memoria de UV-EPROM.

La condición del decodificador es:

$$\#ROM=A19 \& A18 \& \#A17 \& A16$$

Finalmente la lectura de datos de memoria se hace con la línea de control del motherboard #MEMR.

Bancos de memoria FLASH:(128K o 256K bytes) Se utiliza para guardar el código y las configuraciones. La lectura de datos hacia el motherboard se hace por medio de la línea de control #MEMR. Para la escritura se deben cumplir simultáneamente dos condiciones, la primera es la habilitación de escritura de memoria proveniente del motherboard por la línea #MEMW y la segunda es que el candado de escritura permita que esta se lleve a cabo. Por ultimo cada banco de 128K bytes tiene una habilitación independiente, esta se logra con las líneas A17, A18 y A19. Utilizamos el siguiente mapa de memoria de la figura #36:

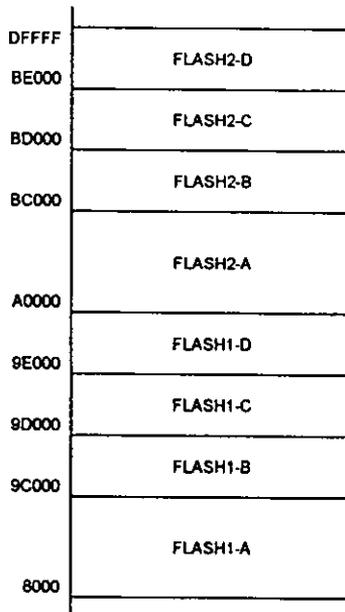


Fig 36. Mapa de memoria FLASH1 y FLASH2.

Este mapa de memoria puede utilizarse siempre y cuando el motherboard no tenga más de 512K bytes de memoria en RAM (en los SIMM's serial in-line memory module), pues tendríamos un conflicto de direcciones para FLASH1, tampoco podemos utilizar vídeo porque tendríamos otro conflicto con FLASH2.

Las condiciones del decodificador son las siguientes:

$$\#FLASH1 = A19 \& \#A18 \& \#A17$$

$$\#FLASH2 = A19 \& \#A18 \& A17$$

Watch-dog: Un circuito Watch-dog o perro-guardian, nos supervisa el correcto funcionamiento del un sistema, en específico del microprocesador, este último indica su correcto funcionamiento mediante pulsos, mientras el watch-dog reciba estos pulsos, no sucede nada. Cuando el Watch-dog deja de recibir estos pulsos, es señal que existe algún problema con el microprocesador por lo cual manda una señal de RESET para reinicializar el sistema de forma automática. Este tipo de circuito es muy utilizado en estaciones remotas, donde no es posible simplemente encender y apagar el equipo. Tiene un control directo sobre el RESET general del motherboard, de acuerdo con el diagrama de bloques de la figura #37:

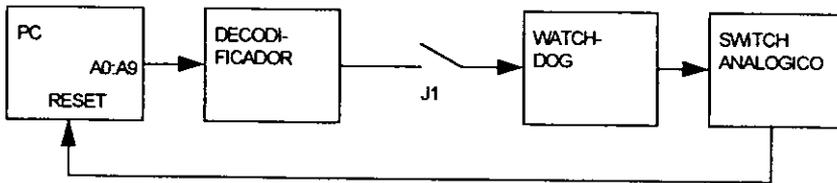


Fig 37. Diagrama de bloques del watch-dog.

-Un decodificador de puertos I/O que genera el pulso. Se habilita para la dirección 310h.

-El propio Watch-dog formado por un circuito MAX693 con un periodo de RESET ajustable por medio de un capacitor que nos permite tener los tiempo de la figura #38:

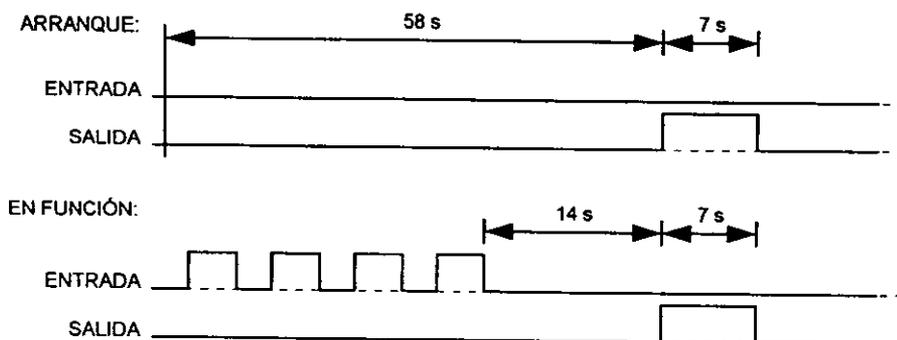


Fig 38. Diagramas de tiempo del watch-dog.

-Un switch analógico que abre o cierra un interruptor, sin importar la polaridad de la corriente que atraviesa por sus terminales de contacto, esto para evitar problemas de polaridad a la hora de conectar el Watch-dog a la motherboard.

-Por ultimo el jumper JP2 debe estar en corto para que el Watch-dog funcione y abierto para deshabilitar al mismo.

Puertos de salida: Se trata de un byte en una dirección específica para puertos I/O (311h), que se muestra en la figura #39, donde cada uno de sus bits controla una función específica de acuerdo con la siguiente tabla:

BIT	HEX	FUNCIÓN	"0"	"1"
0	1	LED 1	Apagado	Encendido
1	2	LED 2	Apagado	Encendido
2	4	LED 3	Apagado	Encendido
3	8	LED 4	Apagado	Encendido
4	16	LED 5	Apagado	Encendido
5	32	LED 6	Apagado	Encendido
6	64	PWD	5 V	+12 V
7	128	Vpp	0 V	+12 V

Fig 39. Asignación de bits para puerto de salida.

El valor es guardado en un Flip-Flop, la dirección controla el reloj del mismo y cada vez que se prende el equipo aseguramos un estado "0" en todas las salidas. Cada salida para controlar los LED's cuenta con una resistencia para evitar sobrevoltaje en estos.

Resumiendo el mapa de memoria se representa en la figura # 40:

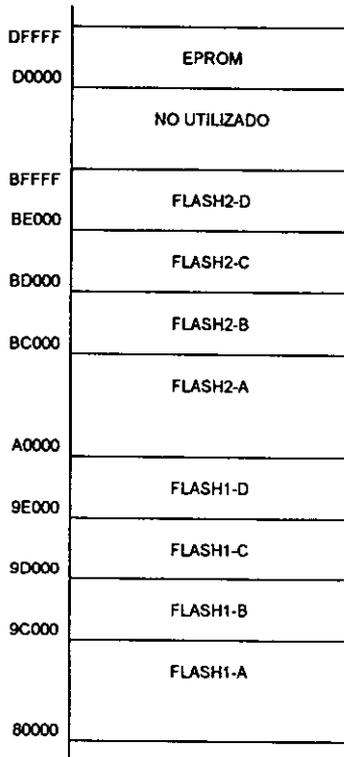


Fig 40. Mapa de memoria de la tarjeta PC-MEM, dentro de la PC.

A continuación se muestra el diagrama electrónico de la tarjeta PC-MEM, incluyendo las ecuaciones del GAL:

```
Name      PCMEM30;
Partno    GAL20V8A-20LNC;
Revision  01;
Date      30/01/95;
Designer  Irving Hochstein;
Company   Kb/TEL, Telecomunicaciones;
Assembly  PCMEM30;
Location  U6;
```

```

/***** */
/* This device manages the memory as described in specification */
/* */
/* Allowable Target Device Types:   GAL20V8/PAL20L8 */
/***** */
```

/** Inputs **/

```
pin 1   = IOW      ;
pin 2   = A0       ;
pin 3   = A1       ;
pin 4   = A2       ;
pin 5   = A3       ;
pin 6   = A4       ;
pin 7   = A5       ;
pin 8   = A6       ;
pin 9   = A7       ;
pin 10  = A8       ;
pin 11  = A9       ;
pin 13  = A16      ;
pin 14  = A17      ;
pin 15  = A18      ;
pin 16  = A19      ;
pin 23  = AEN      ;
```

/** Outputs **/

```
pin 17  = !SCO     ;
pin 18  = !POUT    ;
pin 19  = WD       ;
pin 20  = !ROM     ;
pin 21  = !FLASH1 ;
pin 22  = !FLASH2 ;
```

field DIRBAJA = [A0..A9] ;

/** Logic Equations **/

```
POUT    = !AEN & !IOW & DIRBAJA:[311..311] ;
WD      = !AEN & !IOW & DIRBAJA:[310..310] ;
FLASH1  = A19 & !A18 & !A17 ;
FLASH2  = A19 & !A18 & A17 ;
ROM     = A19 & A18 & !A17 & A16 ;
SCO     = A19 & !A18 & !A17 ;
#       = A19 & !A18 & A17 ;
#       = A19 & A18 & !A17 & A16 ;
```


CAPÍTULO 6: LA TARJETA DE COMUNICACIONES PC-SYNC.

6.1 Interfases.

En cada ambiente de transmisión nos enfrentamos con el hecho que cada vendedor, nos ofrece equipo compatible únicamente con su propia marca o alguna otra marca específica. Para evitar el caos que representaría el tratar de conectar equipos de diferentes compañías, se ha tenido que determinar un conjunto de normas para la operación de cada interfase.

AT&T con sus compañías asociadas fueron los mayores proveedores de servicios de comunicación. Por lo que el módem desarrollado por AT&T se tomo como el estándar de la industria de comunicaciones. Fué necesario que las compañías telefónicas y el usuario conocieran las características eléctricas de este módem para poderlo conectar a una computadora. Es así como la Asociación de industrias electrónicas (EIA), junto con Bell System, una compañía productora de modems, desarrollaron el estándar para conectar un equipo de comunicación de datos DCE y un equipo terminal de datos DTE. Esta especificación se conoce como RS232 (RS significa Recommended Standard). La figura #41 contiene una tabla de las revisiones que ha sufrido este estándar:

RS232	Mayo 1960
RS232-A	Octubre 1963
RS232-B	Octubre 1965
RS232-C	Octubre 1969/Junio 1981
RS232-D	Enero 1987

Fig 41. Revisiones al estándar RS-232.

La revisión RS232-C es la más utilizada por equipos hoy en día, además es reconocida por el Comité Consultivo Internacional sobre Teléfonos y Telégrafos (CCITT). La norma define específicamente cinco conceptos:

- 1.- Características de las señales eléctricas.
- 2.-Características mecánicas de la interfase.
- 3.-Descripción funcional de los circuitos de intercambio.
- 4.-Interfases estándares para diferentes configuraciones de sistemas de comunicación.
- 5.-Recomendaciones.

A continuación de explicara brevemente los tres primeros conceptos fundamentales:

6.2 Características de las señales eléctrica.

El manejador de las señales en un circuito de intercambio debe estar diseñado para soportar circuitos abiertos, cortos circuitos entre cualquiera dos conductores del cable, sin provocar daños a ninguno de los equipos que se conectan. Los circuitos de interfase deben estar diseñados para soportar un voltaje máximo de 25 Volt.

Un uno lógico se representa con un voltaje menor o igual a -3 Volt, mientras que un cero lógico se representa con un voltaje mayor o igual a +3 Volt. La figura #42 muestra los valores comunmente utilizados (no especificados en la norma):

1 lógico	$-15 \leq 1 \text{ lógico} \leq -3$	Volt
0 lógico	$3 \leq 0 \text{ lógico} \leq 15$	Volt

Fig 42. Niveles lógicos de la interfase RS-232.

La impedancia de carga (RL) debe ser mayor a 3000 Ohm y menor a 7000 Ohm.

6.3 Características mecánicas de la interfase.

Un conector femenino debe asociarse a un equipo DCE, mientras un conector macho debe asociarse a un equipo DTE. El uso de cables de extensión está permitido siempre que este cable no exceda los 50 pies o 15 metros. Sin embargo la utilización de cables más largos está permitido siempre que la capacitancia del mismo no exceda los 2500 picoFarads. El conector que se utiliza es del tipo DB-25. Se debe tomar la asignación de pines de la figura #43 en el conector:

Número de pin	Circuito	Descripción	De DCE	A DCE
1	AA	Tierra de protección		
2	BA	Transmite datos		x
3	BB	Recibe datos	x	
4	CA	Request To Send		x
5	CB	Clear To Send	x	
6	CC	Data Set Ready	x	
7	AB	Tierra		
8	CF	Carrier Detect	x	
12	SCF	Segunda Carrier Detect	x	
13	SCB	Clear To Send	x	
14	SBA	Segunda Transmisión de datos		x

15	DB	Reloj de transmisión	x	
16	SBB	Segunda Recepción de datos	x	
17	DD	Reloj de Recepción	x	
19	SCA	Segundo Request To Send		x
20	CD	Data Terminal Ready		x
21	CG	Detector de calidad de la señal	x	
22	CE	Ring Indicator	x	
23	CH/CI	Selector de velocidad	x	x
24	DA	Reloj de transmisión		x

Fig 43. Asignación de pines en la interfase RS-232.

6.4 Descripción funcional de los circuitos de intercambio.

La figura #44 definirá la notación que se utiliza para describir los circuitos de intercambio:

NOTACIÓN	DEFINICIÓN	
Estado Binario	1	0
Condición	MARCA	ESPACIO
Función	APAGADO	ENCENDIDO

Fig 44. Notación de los circuitos de intercambio.

Circuito AA. Protective Ground. Este pin debe estar conectado al chasis del equipo y puede ser utilizado como nivel de referencia y conectado a otras tierras.

Circuito AB. Signal Ground. Define el nivel de referencia para todos los circuitos de intercambio, debe poder ser conectado y desconectado del circuito AA, para minimizar el ruido durante la transmisión.

Circuito BA. Transmitted Data. Sirve para transferir información de DTE a DCE. Es necesario mantenerlo en un nivel uno lógico cuando no se utiliza. No se debe transmitir hasta tener condiciones de encendido (cero lógico) en los cuatro circuito siguientes: CA (Request To Send), CB (Clear To Send), CC (Data Set Ready), CD (Data Terminal Ready). Que se debe mantener en esta condición durante toda la transmisión.

Circuito BB. Received Data. Sirve para que el DTE reciba información proveniente del DCE. Debe mantenerse en uno lógico siempre que el circuito CF (Carrier Detect) esté en condición de apagado.

Circuito CA. Request To Send. Es utilizado en comunicaciones half duplex para determinar la dirección de la transmisión de datos. Permitiendo al DCE

transmitir durante la condición de encendido y recibir durante la condición de apagado. Cada vez que se enciende este circuito el DCE responde encendiendo el circuito CB (Clear To Send). No se puede apagar y encender el circuito CA (Request To Send) hasta que el circuito CB (Clear To Send) se apague.

Circuito CB. Clear To Send. Indica cuando el DCE está listo o no para transmitir datos. El encendido de este circuito viene como respuesta al encender el circuito CA (Request To Send).

Circuito CC. Data Set Ready. Esta señal se utiliza para conocer el status del DCE. Encendido significa que el equipo está conectado a un canal de comunicación, que el equipo no está en pruebas y que el equipo ha completado sus estados de espera.

Circuito CD. Data Terminal Ready. La condición de encendido indica que el DCE está conectado al canal de comunicaciones. Se permite que esta línea se mantenga siempre encendida para equipos DTE.

Circuito CE. Ring Indicator. Encendido significa que el equipo está recibiendo una señal de tintineo.

Circuito CF. Carrier Detect. Una nivel de encendido indica que la señal en el DCE tiene niveles aceptables (la aceptabilidad de los niveles es definida por el fabricante). Por lo que apagar esta señal indica que la información recibida no cumple ciertos parámetros de calidad en la recepción.

Circuito CG. Signal Quality Detector. Indica que la señal recibida puede tener una alta probabilidad de error. Encendida significa que no hay razón para creer que la señal sea errónea.

Circuito DA. Transmitter Signal Element Timing. El equipo DTE debe proveer esta señal desde el momento que se enciende el equipo. Cada transición de encendido a apagado indica el centro de la información que viaja por el circuito BA (Transmitted Data).

Circuito DB. Transmitter Signal Element Timing. El equipo DCE debe proveer de una señal de reloj para que el DTE pueda transmitir, esta señal debe generarse a partir del momento de encendido del equipo.

Circuito DD. Receiver Signal Element Timing. El equipo DCE debe proveer de una señal de reloj para que el DTE pueda recibir, esta señal debe generarse a partir del momento de encendido del equipo.

Las demás señales son raramente utilizables o por lo menos en el diseño de la tarjeta PCSYNC no se utilizan. Para determinar cuales señales son necesarias para una aplicación es necesario consultar las tablas de la figuras #45 y #56, que aparecen en la especificación de la interfase RS232:

Configuración	Tipo de Interfase
Transmit Only	A
Transmit Only*	B
Receive Only	C
Half Duplex	D
Duplex*	D
Duplex	E

Fig 45. Tipo de interfase según la configuración de la comunicación.

Además de estas configuraciones existe una lista de al menos 10 configuraciones más que son muy poco utilizadas por lo que no aparecen en esta tabla. El asterisco (*) indica circuitos que cuentan con la señal CA (Request to Send).

Circuito		Tipo de Interfase				
		A	B	C	D	E
AA	AGND	o	o	o	o	o
AB	GND	x	x	x	x	x
BA	TxD	x	x		x	x
BB	RxD			x	x	x
CA	RTS		x		x	
CB	CTS	x	x		x	x
CC	DSR	x	x	x	x	x
CD	DTR	s	s	s	s	s
CE	RI	s	s	s	s	s
CF	CD			x	x	x
DA/DB	TxC	t	t		t	t
DD	RxC			t	t	t

Donde: o = opcional
 x = obligatorio
 s = servicio conmutado
 t = servicio síncrono

Fig 46. Señales necesarias para diferentes tipos de interfase.

6.5 Especificaciones para la tarjeta de comunicaciones PC-SYNC.

En un sistema como el Kb/NET se requiere de una tarjeta capaz de comunicarse con el mundo exterior, es decir un dispositivo que permita el intercambio de datos desde y hacia el equipo, en un formato de comunicación serie compatible con el estándar RS-232C. La comunicación serie puede ser asíncrona o síncrona.

El puerto comercial serie de una computadora PC, conocido como puerto COM (COM1, COM2, COM3, COM4) no puede ser utilizado porque este tipo de puertos es únicamente asíncrono, es decir no maneja las señales de reloj de recepción o transmisión. Esto representa una limitante en cuanto a la cantidad y la calidad de protocolos que se pueden manejar. Generalmente los protocolos asíncronos son menos eficientes en cuanto a la cantidad de información que se puede transmitir porque cada byte lleva un bit de inicio, puede llevar paridad o no y un bit de paro (en el mejor de los casos), es decir se tienen tres bits que se transmiten sin que estos lleven ninguna información, esto no sucede con los protocolos síncronos. Es cierto que el puerto COM es muy económico y es hoy en día uno de los puertos más documentados y para el cual existe el mayor número de aplicaciones, pero no sirve para la transferencia de información síncrona.

Para esta aplicación se necesita una tarjeta que tenga las siguientes características:

- 4 puertos seriales: 2 deben ser configurados como DTE (Data Terminal Equipment), uno de ellos síncrono y otro asíncrono, los 2 puertos restantes deben ser configurados como DCE (Data Communication Equipment) ambos síncronos.
- Direccionarse dentro de la memoria correspondiente a puertos de entrada/salida.
- Utilice de preferencia interrupciones para hacer el intercambio de información y que estas puedan ser configuradas. Se puede tener una interrupción por cada dos puertos.
- La salida en los puertos sea compatible con los niveles RS-232.

El elemento principal de esta tarjeta es el controlador de comunicaciones, en el mercado existe una gran variedad de dispositivos que permiten realizar comunicaciones series comenzando por un simple registro de carga paralela que tenga la función de corrimiento como el 74LS164 hasta circuitos VLSI (Very Large Scale of Integration) que cuentan con una gran cantidad de lógica para

hacer estas y otras funciones. En el mercado existen las siguientes familias de circuitos:

UART (Universal Asynchronous Receiver/Transmitter): Son muy populares porque fué un circuito de esta familia el que originalmente utiliza IBM en el diseño del puerto serie de la PC. Se trata de un controlador de comunicaciones serie asíncrono únicamente con un solo canal.

USART (Universal Synchronous/Asynchronous Receiver/Transmitter): Son controladores de comunicación serie síncronos y asíncronos generalmente de un solo canal, no son especialmente populares.

DUART (Dual UART): Los circuitos que en la actualidad utilizan las computadoras PC para sus puertos serie son en algunos casos de esta familia. Su funcionamiento es idéntico a un UART, pero en un solo integrado tenemos dos canales de comunicación. Existen equivalentes de los UART en versión DUART es decir en un solo encapsulado contamos con dos UART's.

PPC (Programmable Protocol Controller): Estos son circuitos orientados al manejo de protocolos muy específicos y son muy eficientes para estos protocolos pero no sirven en caso de tener algún otro protocolo.

SCC (Serial Communication Controller): Se trata de los circuitos más flexibles para comunicaciones seriales. Diseñados para transferencia de información a velocidades relativamente altas y para protocolos asíncronos o síncronos, requieren de muy poca lógica externa y en un solo encapsulado pueden manejar uno o dos canales independientes de comunicación serie.

Además de los ejemplos mencionados anteriormente tenemos los ESCC (Enhanced Serial Communication Controller) que cuentan con dos canales de comunicación además de poder manejar una mayor cantidad de protocolos. También existen los USC (Universal Serial Controller), que funcionan para altas velocidades (hasta 12.5 Mbps), cada canal puede ser programado para tener un generador de baudaje independiente. A últimas fechas se están utilizando microprocesadores RISC (Reduced Instruction Set Controller) por su alta velocidad y su gran flexibilidad. Existe en el mercado los SCA (Serial Communication Adapter) que además de tener uno o varios controladores de comunicaciones serie, cuentan con toda la lógica necesaria para hacer transferencias de información entre el adaptador y el CPU que lo soporta a grandes velocidades.

En el caso de las tarjetas PCSYNC se utiliza un SCC por su flexibilidad y facilidad de manejo, además de su relativamente bajo costo. A continuación se describe es circuito que se utiliza:

6.6 SCC 85C30.

El circuito 85C30 es un controlador de comunicaciones seriales compatible desde el punto de vista de programación y de asignación de pines con los miembros de la familia de SCC de Zilog, que aparecieron en 1981. Se trata de un dispositivo periférico de multi-protocolo que tiene dos canales independientes de comunicación serie. Su función principal es la de un convertidor serie/paralelo y paralelo/serie. Está fabricado con tecnología CMOS por lo que su consumo de potencia es muy reducido y le da mayor inmunidad al ruido (a diferencia de su equivalente en Intel que utiliza tecnología TTL, genera mucho calor y consume una gran cantidad de potencia).

La flexibilidad para la programación de sus registros internos permite configurar al dispositivo para satisfacer las necesidades de una gran cantidad de aplicaciones en el campo de las comunicaciones, en el propio circuito se tiene generador de baudaje, PLL digital y osciladores de cristal lo cual reduce considerablemente la necesidad de colocar lógica externa adicional. Es capaz de manipular formatos asíncronos y protocolos síncronos orientados a bytes, soporta virtualmente cualquier transferencia de datos seriales. Además cuenta con las señales propias de control para módem.

La figura #47 muestra las señales que maneja el SCC 85C30:

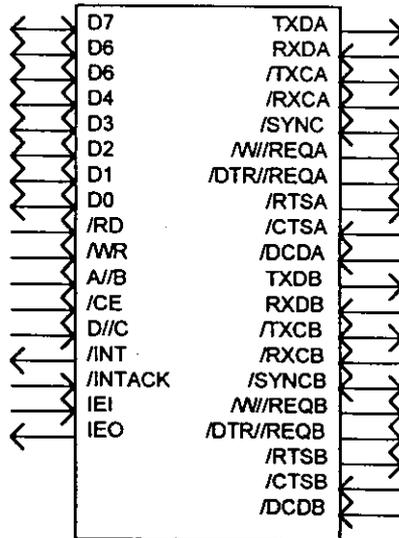


Fig 47. SCC 85C30.

A continuación se detalla el significado de cada uno de los pines de este circuito:

/CTSA,/CTSB: Clear To Send (entrada, activo bajo). Si este pin está programado y detecta un nivel bajo, se activa la transmisión de datos y manda una señal de interrupción al CPU. Además esta señal puede ser utilizada como un puerto I/O de entrada de propósito general.

/DCDA,/DCDB: Data Carrier Detect (entrada, activo bajo). Este pin funciona como habilitación a la recepción en caso de estar programado. En caso contrario puede ser utilizado como puerto de entrada de propósito general.

/DTR-/REQA,/DTR-/REQB: Data Terminal Ready-Request (salida, activa baja). Esta línea se programa con el bit DTR, también se utiliza para hacer un requerimiento al controlador de DMA del CPU.

IEI: Interrupt Enable In (entrada, activa alta). Se utiliza junto con el pin IEO, para encadenar interrupciones donde más de un dispositivo tiene acceso a la misma interrupción del microprocesador. En alto significa que ningún otro dispositivo de mayor prioridad tiene una interrupción.

IEO: Interrupt Enable Out (salida, activa alta). Esta señal es alta si IEI es activa y este dispositivo no está utilizando la línea de interrupción. Se conecta al siguiente dispositivo con menor prioridad.

/INT: Interrupt Request (salida, open drain, activa baja). Se activa cuando el SCC requiere una interrupción.

/INTACK: Interrupt Acknowledge (entrada, activa baja). Indica un ciclo activo de interrupción.

PCLK: Clock (entrada). Este es el reloj maestro del SCC con respecto al cual está sincronizadas todas las señales, a un nivel compatible TTL.

RxDA, RxDB: Receive Data (entrada, activa alta). Es la señal que recibe datos seriales a nivel TTL.

/RTxCA, /RTxCB: Receive/Transmit Clock (entrada, activa baja). Estos pines pueden ser configurados para distintos modos de operación para cada canal. puede proveer el reloj de recepción, reloj de transmisión, reloj para el generador de baudaje, o el reloj para el PLL.

/RTSA, /RTSB: Request To Send (salida, activa baja). El nivel de esta salida depende únicamente del estado en el que se programe en su registro

correspondiente, también pueden ser utilizadas como puertos I/O de salida de propósito general.

/SYNCA, /SYNCB: Synchronization (entrada o salida, activa baja). Esta señal puede ser utilizada como entrada, salida o bien como parte del circuito del oscilador.

TxDA, TxDB: Transmit Data (salida, activa alta). Este pin transmite las señales seriales a niveles compatibles con TTL.

/TRxCA, /TRxCB: Transmit/Receive clock (entrada o salida, activa baja). Estos pines pueden ser configurados de diferentes formas. Puede generar el reloj de transmisión o recibir el reloj de recepción o proveer la salida del PLL, del oscilador o del generador de baudaje.

/W-/REQA, /W-/REQB: Wait/Request (salida, open-drain cuando está programada para Wait y maneja nivel alto o bajo cuando está como Request). Puede ser programada como la línea de petición de un controlador de DMA, o como señal de espera para sincronizar el CPU con la velocidad del SCC.

A-/B: Channel A-Channel B (entrada). Selecciona en cual de los dos canales se van a llevar los ciclos de lectura o escritura.

/CE: Chip Enable (entrada, activa baja). Selecciona el SCC para lectura o escritura.

D0:D7: Data Bus (bidireccional o alta impedancia). Con estas líneas se manejan los datos y comandos de y hacia el SCC.

D-/C: Data-Control select (entrada). Esta señal determina el tipo de información que se transfiere del o hacia el SCC. Cuando está en alto significa que es una transferencia de datos, mientras que si está en bajo se trata de un comando.

/RD: Read (entrada, activo bajo). Esta señal indica una operación de lectura siempre que se tenga habilitado al SCC.

/WR: Write (entrada, activa baja). Cuando el SCC está seleccionado esta señal indica una operación de escritura. Cuando ambas señales /RD y /WR están activas simultáneamente, el dispositivo se reinicializa.

La estructura interna del SCC provee la lógica necesaria para manejar las interrupciones y para conectarse a un bus no multiplexado como el de la PC. La actividad de los datos se centra alrededor de una serie de registros de lectura y escritura. El valor de los registros se asigna antes o durante una secuencia del programa, para determinar la manera en la cual el SCC va a

establecer un protocolo de comunicación. Todos los modos de comunicación se establece al escribir un bit en un registro de escritura, mientras que si algún dato es transmitido o recibido, los valores del registro de lectura son alterados.

El conjunto de registros incluye para cada canal 16 registros de escritura: 10 registros son utilizados para control, 2 para generar caracteres de sincronía, 2 para el generador de baudaje, los dos registros restantes son compartidos por ambos canales y se utilizan para el control de interrupciones. Además 8 registros de lectura: 4 indican funciones de estado, 2 son utilizados por el generador de baudaje, 1 para interrupciones y 1 para el buffer de recepción.

El SCC puede trabajar de tres formas básicas para hacer intercambio de información con el CPU:

- El poleo en el cual se examina el estado del buffer de transmisión/recepción del registro de lectura, este indica si hay o no una transferencia de información.

- La interrupción que incrementa la velocidad de transferencia de datos con respecto al método anterior, cuando se trabaja en esta forma, se activa la señal /INT para indicar que el SCC está listo para transferir datos. La rutina de interrupción puede ser programada para trabajar de 8 formas diferentes.

- La transferencia por bloques utilizada con el DMA (Direct Memory Access), que utiliza los pines /RDY-/REQ y el registro de escritura de control de interrupciones. La salida /REQUEST le indica al CPU que el SCC está listo para hacer una transferencia por bloques de o hacia la memoria.

6.7 Tarjeta de comunicaciones PC-SYNC.

Para el caso de la tarjeta PCSYNC se utiliza solamente el modo de poleo y el modo de interrupciones, una vez que se tiene el controlador de comunicaciones que se va a utilizar es necesario conectarlo a un microprocesador en este caso se conecta a un motherboard PC-compatible según el diagrama de bloques de la figura #48:

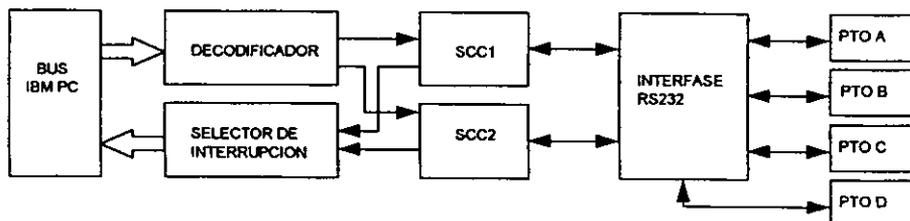


Fig 48. Diagrama de bloques de la tarjeta PC-SYNC.

Decodificador: Según las especificaciones la tarjeta debe estar localizada dentro del mapa de memoria correspondiente a los puertos de entrada/salida, estos puertos de entrada/salida utilizan únicamente las 10 primeras líneas de direcciones es decir A0-A9, cada SCC requiere 4 direcciones, se utilizan las primeras cuatro direcciones a partir de la dirección base que se seleccione.

La habilitación de cada SCC se hace únicamente para estas cuatro direcciones, el decodificador no debe tomar en cuenta las primeras 2 líneas de direcciones y utiliza únicamente las líneas A3-A9, se utiliza un GAL (GAL16V8) para hacer la decodificación a partir de la dirección base. La línea de dirección A0 entra al pin D//C (Data / Control) de cada SCC, mientras que la línea A1 entra al pin A//B (Channel A/B) de SCC y selecciona que puerto se va a utilizar. La figura #49 nos muestra para que sirve cada una de las 4 direcciones que utiliza cada SCC, desde el punto de vista de la PC:

Dirección de la PC	Función	Canal
Dirección Base	Control	B
Dirección Base + 1	Datos	B
Dirección Base + 2	Control	A
Dirección Base + 3	Datos	A

Fig 49. Definición de direcciones de la tarjeta PC-SYNC.

A continuación se muestran las ecuaciones utilizadas en el GAL, el primer SCC tiene una dirección base (300)h, y el segundo tiene una dirección (304)h, se escogieron estas dos direcciones porque se acostumbra utilizarlas para tarjetas de prototipos y ningún otro dispositivo comercial las utiliza:

```
Name      SYNC31-1;
Partno    GAL16V8A-25LP;
Revisión  01;
Date      03/10/94;
Designer  Irving Hochstein;
Company   Kb/TEL, Telecomunicaciones;
Assembly  PCSYNC3.0;
Location  U7;
```

```
...../
/* This device manages the memory as described in specifications */
/* .....*/
/* Allowable Target Device Types:  GAL16V8/PAL16L8 */
/* .....*/
/** Inputs **/
pin 1 = A2 ;
pin 2 = A3 ;
pin 3 = A4 ;
pin 4 = A5 ;
pin 5 = A6 ;
pin 6 = A7 ;
pin 7 = A8 ;
pin 8 = A9 ;
```

```

pin 9  = AEN ;
pin 11 = INTABIN ;
pin 12 = INTCDIN ;

/** Outputs **/
pin 13 = !SELECTCD ;
pin 16 = INTABOUT ;
pin 18 = INTCDOUT ;
pin 19 = !SELECTAB ;

/** Logic Equations **/
SELECTAB = !AEN & A9 & A8 & !A7 & !A6 & !A5 & !A4 & !A3 & !A2 ;
SELECTCD = !AEN & A9 & A8 & !A7 & !A6 & !A5 & !A4 & !A3 & A2 ;
INTABOUT = !INTABIN ;
INTCDOUT = !INTCDIN ;

```

Las señales #RD y #WR se conectan directamente a las señales de lectura de puerto (#IOR) y de escritura a puerto (#IOW). Los datos se conectan directamente a los datos del Bus de la PC y la interrupción sale del SCC por el pin /INT, es necesario colocar una resistencia porque esta salida es open-drain e invertirla, luego entra al selector del canal de IRQ (puede ser IRQ3-IRQ7).

Salida RS-232: A la salida del SCC tenemos niveles compatibles TTL es decir de 0V a 5V, pero la tarjeta debe tener a su salida niveles compatibles con RS-232 como la figura #50:

Nivel Lógico	Nivel TTL	Nivel RS-232
0	0V	> +3V
1	5V	< -3V

Fig 50. Niveles lógicos de salida de la tarjeta PC-SYNC.

La tarjeta PCSYNC utiliza un voltaje de -12V para 1 lógico, y de +12V para 0 lógico. Se utilizan circuitos 14C89 como receptores y 14C88 como manejadores, estos últimos necesitan alimentarse con $\pm 12V$, que sale de la propia motherboard. Estos circuitos son de bajo consumo, a diferencia de su equivalente bipolar estos circuitos CMOS son capaces de transmitir datos a mayores velocidades sobre una mayor longitud de cable, no es necesario compensar la velocidad con capacitores externos como en el caso de los circuitos 1488 y 1489 (bipolares).

Para definir que tipo de terminal tenemos en cada puerto de la PCSYNC, es decir, ya sea DTE (Data Terminal Equipment) o DCE (Data Terminal Equipment) lo único que hay que hacer es conectar de manera correcta las salidas del SCC al respectivo conector DB-25. Las figuras #51, #52 y #53 nos muestra la configuración para cada uno de los puertos de la PCSYNC:

Puerto A (Radio) DTE DB-25 Macho		
PIN	SEÑAL	DIRECCIÓN
2	Transmit Data	salida
3	Receive Data	entrada
4	Request To Send	salida
5	Clear To Send	entrada
7	Ground	
8	Data Carrier Detect	entrada
15	Transmit Clock	entrada
17	Receive Clock	entrada
20	Data Terminal Ready	salida
24	External Clock	salida

Fig 51. Asignación de pines puerto A.

Puerto B (DCE 1) Puerto D (DCE 2) (DCE) DB-25 Hembra		
PIN	SEÑAL	DIRECCIÓN
2	Transmit Data	entrada
3	Receive Data	salida
4	Request To Send	entrada
5	Clear To Send	salida
6	Data Set Ready	salida (+12V)
7	Ground	
8	Data Carrier Detect	salida
15	Transmit Clock	salida/entrada
17	Receive Clock	salida
20	Data Terminal Ready	entrada
24	External Clock	entrada

Fig 52. Asignación de pines puertos B y D.

Puerto C (Administración) (DTE) DB-9 Macho		
PIN	SEÑAL	DIRECCIÓN
1	Data Carrier Detect	entrada
2	Receive Data	entrada
3	Transmit Data	salida
4	Data Terminal Ready	salida
5	Ground	
7	Request To Send	salida
8	Clear To Send	entrada

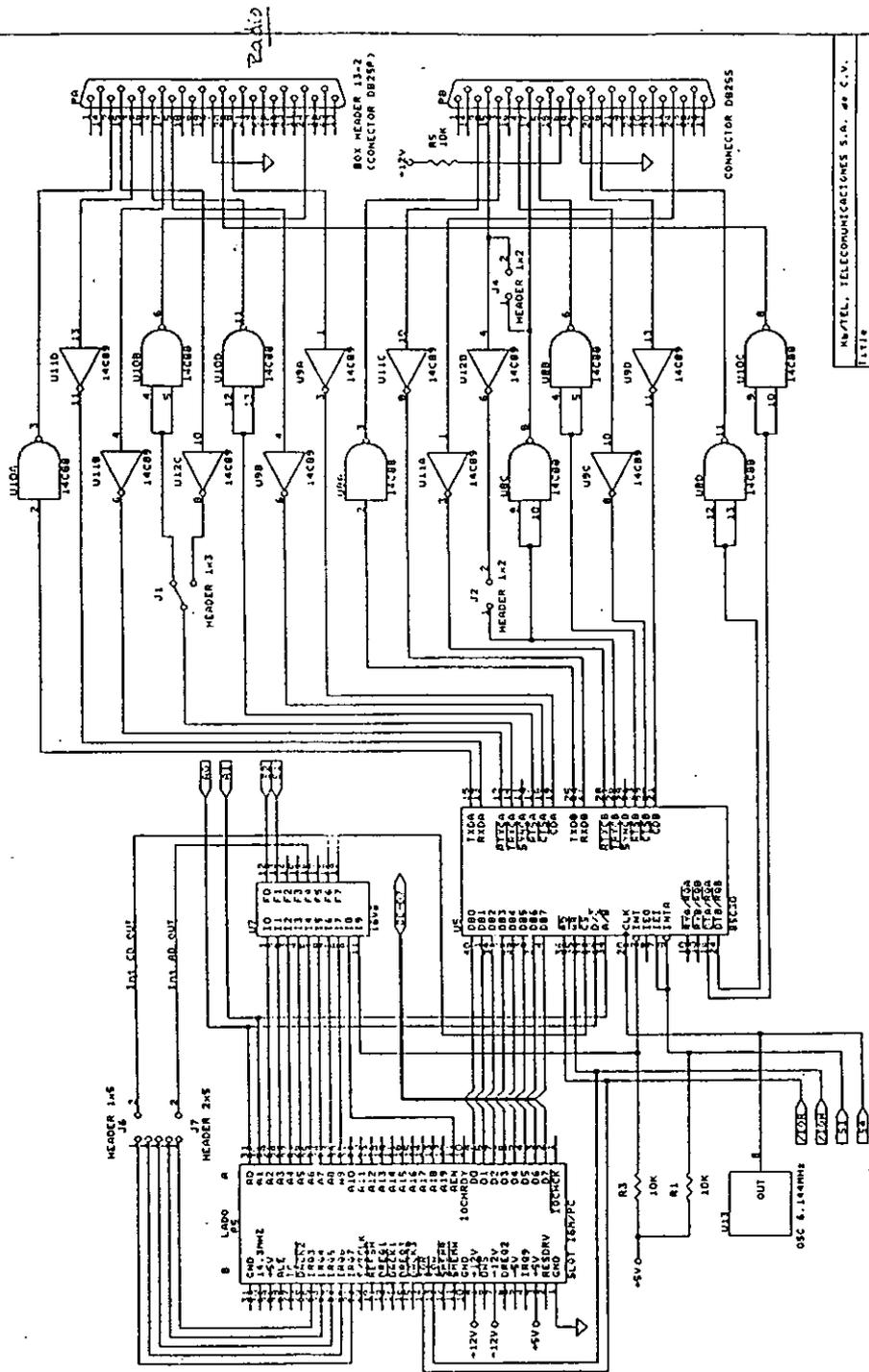
Fig 53. Asignación de pines puerto C.

La tarjeta puede configurarse para diferentes formas de operación en cuanto a la transmisión/recepción de sus relojes, esta configuración se hace por medio de una serie de jumpers que se detallan en la figura #54:

J1	A:	Puerto A: El External Clock sale por el pin 24
	B:	Puerto A: El Transmit Clock entra por el pin 15
J2	Cerrado	Puerto B: El Transmit Clock entra por el pin 15
J4	Cerrado	Puerto B: El Receive Clock sale por los pines 15 y 17
J3	Cerrado	Puerto C: El Transmit Clock entra por el pin 15
J5	Cerrado	Puerto C: El Receive Clock sale por los pines 15 y 17
J6	Cerrado	Interrupción para los puertos C y D
J7	Cerrado	Interrupción para los puertos A y B

Fig 54. Configuraciones para la tarjeta PC-SYNC.

Finalmente el circuito de la tarjeta PCSYNC se muestra a continuación:



24/12

NAVTEL, TELECOMUNICACIONES S.A. # C.V.
 TITULO: TARJETA DE COMUNICACION SERIAL SYNC/ASYNC PC
 Serie Document Number: PC31M3JA-1ch
 B 31
 COT: MSUP/SEM-7-111/10/81

CAPÍTULO 7: PROTOCOLOS.

7.1 Función de los protocolos.

Existe una cantidad importante de definiciones que tratan de explicar lo que es un protocolo de comunicaciones. Existen diferentes niveles a los cuales puede definirse un protocolo. En este capítulo me voy a referir a los protocolos simples y no a los protocolos de redes que ya fueron mencionados en capítulos anteriores, estos protocolos de redes tienen diferentes niveles a los cuales se implementan según las normas de sistemas de interconexión abiertas (OSI). Un protocolo simple se restringe a las dos primeras capas del modelo OSI, es en estas dos capas que ha habido mayor desarrollo tecnológico. Los protocolos simples se encargan de mover información entre dos puntos, es decir, estos protocolos permiten la "conversación" entre dos equipos. Para mantener el orden durante el intercambio de datos, es necesario tener reglas para controlar este proceso. Un protocolo puede definirse como un conjunto de reglas diseñadas para forzar a los equipos que comparten un canal a observar procedimientos ordenados de comunicación.

Los protocolos tienen normalmente cuatro funciones principales:

1. Enmarcado o *framing*: Normalmente los datos se transmiten en bloques. La función de enmarcado se relaciona con la separación de los bloques y acomoda la información con señales de control. Estas señales de control pueden tratarse de direcciones o bien de información para la detección y en su caso corrección de errores.
2. Control de línea: El control de línea es el procedimiento utilizado para determinar que dispositivo tiene permiso para transmitir en un tiempo determinado. En un sistema sencillo full-duplex (ambos pueden transmitir al mismo tiempo) con solo dos dispositivos el control de línea en un protocolo no es necesario. Sin embargo en sistemas half-duplex (solo un dispositivo puede transmitir a la vez) o en sistemas con tres o más dispositivos el control de línea es vital.
3. Control de flujo: Generalmente existe un límite en la velocidad de transmisión en el cual el dispositivo receptor puede aceptar datos. El control de flujo se refiere al proceso utilizado por el protocolo para monitorear y controlar estas velocidades.
4. Control de secuencia: Es necesario en sistemas complejos donde el mensaje debe pasar por muchos puntos antes de llegar a su destino. El control de secuencia garantiza que los paquetes lleguen a su destino sin ser duplicados y en la secuencia correcta. Este punto es muy importante en sistema de conmutación por paquetes.

Los protocolos son responsables de la integración de los caracteres de control con la cadena de datos. Los caracteres de control son insertados dentro

de la cadena de datos con una secuencia específica de bits. A esta técnica se le conoce como inserción de caracteres. Si una secuencia de caracteres de control es detectada en los datos, el dispositivo receptor tomara los datos siguientes como una cadena válida de datos.

7.2 Tipos de protocolos.

Los protocolos se clasifican según su técnica de enmarcado o *framing*. Los protocolos orientados a caracteres usan caracteres específicos binarios para separar segmentos de la información transmitida. El protocolo orientado a caracteres más común es BISYNC (Binary Synchronous Communications) presentado por IBM en 1968. Los protocolos orientados a bits usan marcos o *frames* con banderas muy bien definidas de inicio y final. Una bandera es constante en longitud y en su información: 01111110. Aquí podemos mencionar a todos los protocolos HDLC (High-level Data Link Control).

Los protocolos Half-duplex mueven información en un sentido a la vez entre dos mismos puntos. Ya sea por poleo o por llamado o cualquier otro tipo de control de flujo la información se mueve únicamente en un sentido a la vez. Como ejemplos tenemos: TTY, Bisync.

Un protocolo Full-duplex mueve información en ambas direcciones simultáneamente entre los mismos dos puntos, como ejemplos tenemos: HDLC, SDLC, DDCMP, y ADCCP. Cuando un protocolo es utilizado en un esquema punto-multipunto, los protocolos DLC pueden hacer que el punto maestro (o base) transmita a un punto esclavo (o remoto) y simultáneamente recibir información de otro punto esclavo (o remoto), esto es: el maestro poleará individualmente a cada estación esclava en un esquema punto-multipunto, mientras no tenga nada que transmitir (la transmisión es siempre prioritaria para el maestro). En caso de tener al mismo tiempo una transmisión de un esclavo y una transmisión del maestro, el esclavo debe contener su mensaje y esperara de nuevo turno para transmitir.

Cabe mencionar que un protocolo Full-duplex puede ser utilizado en un modo Half-duplex, sin embargo un protocolo Half-duplex no puede ser utilizado en un modo Full-duplex. La figura #55 nos muestra ejemplos de diferentes tipos de protocolos.

Tipo de protocolo	Dirección	Secuencia	Localidades	Ejemplos
Simplex	una sola	Única	Entre dos mismos sitios	Protocolos propietarios
Half-duplex	dos direcciones	Solo un sentido a la vez	entre dos mismos sitios	TTY Bisync
Full-duplex	dos direcciones	Simultáneamente	entre dos mismos sitios	HDLC SDLC ADCCP
Full-Full-duplex	dos direcciones	Simultáneamente	Multipunto	HDLC SDLC ADCCP

Fig 55. Ejemplos de diferentes tipos de protocolos.

7.3 SDLC.

Únicamente los protocolos DLC (Data Link Control, control de enlace de datos) tienen la habilidad de transmitir a una localidad remota mientras pueden estar recibiendo información de otra localidad remota diferente, en un esquema multipunto. Dentro de este tipo de protocolos el más utilizado es SDLC (Synchronous Data Link Control, control sincrónico de enlace de datos) desarrollado por IBM. Otro protocolos actúan de forma muy similar al SDLC de IBM y fueron desarrollados por otros vendedores de equipos entre los que tenemos: el BDLC de Burroughs, el HDLC de Honeywell. Todos estos casos se refieren a protocolos orientados a bit.

SDLC fué descrito por IBM como un protocolo orientado a bits, Full-duplex, para transmisión serie de bits, con un control centralizado, sincrónico, orientado a la comunicación de mensajes. Cuando se tiene en un ambiente multipunto, SDLC puede funcionar como un protocolo Full-Full-duplex. Como control centralizado se refiere a que este protocolo solo puede ser utilizado en una relación maestro-esclavo, entre la estación base, central o de control y los puntos remotos. Tenemos en la figura #56 el formato de SDLC:

Bandera	Dirección	Control	Información	CRC	Bandera
---------	-----------	---------	-------------	-----	---------

Fig 56. Frame de SDLC.

El primer grupo de bits que se generan se conoce como bandera: la configuración de este Byte es siempre 01111110, esta secuencia nunca vuelve a repetirse durante el resto del mensaje hasta que es transmitida la bandera de final con la misma configuración. Para asegurar esta condición a lo largo de toda la transmisión de datos (que bien pueden tener contenida esta secuencia), se utiliza una técnica conocida como *zero stuffing*. Cuando una secuencia de

cinco ceros es reconocida por el hardware del transmisor, después de haber generado la bandera de inicio, se inserta en la cadena de información un bit extra con valor 0 entre el quinto 1 y el valor siguiente sin importar si el valor siguiente es 1 o 0. El hardware del lado receptor debe remover este 0 que encuentra después de recibir cinco unos consecutivos. Esta técnica la debe hacer el hardware de forma automática, siendo transparente para el usuario.

SDLC es un protocolo transparente para el usuario, en cuanto a que todos los bits que se adicionan en el transmisor, son a su vez retirados por el receptor. Así el usuario obtiene la información originalmente transmitida desde el primer carácter de información hasta el último. De esta manera SDLC puede ser visto como una caja negra donde de un lado se mete la información que va a ser transmitida y del otro lado sale exactamente la misma información.

Como una bandera solo ocurren al inicio y al final del mensaje, la secuencia 01111110 solo puede ocurrir en el interior del mensaje cuándo existe un error de transmisión. En este caso el error sería visto por el receptor como fin del mensaje y asumiría que los 16 bits anteriores a esta falsa bandera, como el CRC (Cyclic Redundancy Check, verificación cíclica redundante). El receptor tendrá que calcular el CRC y compararlo con el CRC que está recibiendo. Al hacer esta comparación y encontrar diferencias, se tiene una condición de error en la transmisión y el mensaje tendrá que ser retransmitido.

Después de la bandera de inicio siguen 8 bits conocidos como el Byte de direcciones, el cual puede dar 256 combinaciones. Esta dirección en particular se refiere a la dirección de una línea particular de comunicaciones y no a la dirección que el usuario le da a los equipos de su sistema. Como un límite práctico real, el número de direcciones se limita a 16 únicamente. Es necesario proporcionar al controlador de SDLC una tabla que defina que terminal está conectada a que dirección. Con esta tabla se deberá convertir la dirección propia de la terminal dentro del sistema a esta dirección SDLC.

El tercer Byte del formato es el corazón del protocolo y se conoce como Byte de control. El Byte de control puede tomar tres configuraciones distintas dependiendo de lo que se va a transmitir. Si el bit "0" del Byte de control es 0, el modo se llama formato de transferencia de información. Si el bit "0" del Byte de control es 1 y el Bit "1" del Byte de control es 0 tenemos el formato de supervisión. Si tenemos tanto el bit "0" como el bit "1" del Byte de control a 1 se llama formato no secuenciado. Como se muestra en las figuras #57, #58 y #59:

- Formato de transferencia de información (I):

bit #	7	6	5	4	3	2	1	0
valor	Nr		P/F		Ns		0	

Fig 57. Formato de transferencia.

- Formato de supervisión (S):

bit #	7	6	5	4	3	2	1	0
valor	Nr			P/F	Modo		0	0

Fig 58. Formato de supervisión.

- Formato no secuenciado (U):

bit #	7	6	5	4	3	2	1	0
valor	C/R			P/F	C/R		1	0

Fig 59. Formato no secuenciado.

Para el caso del formato de transferencia de información, los bits "1", "2" y "3" del Byte de control determina número de secuencia del bloque que está siendo transmitido, la secuencia comienza con 000 y termina con 111, como solo hay 8 combinaciones solo 8 bloques pueden transmitirse antes que la secuencia comience de nuevo. Podría parecer que el número máximo de bloques que pueden enviarse es de 8, en la realidad solo se pueden transmitir 7 bloques y el bloque restante queda reservado para obtener una confirmación de no error en la transmisión, es por medio de este octavo bloque que se pide una retransmisión de bloques.

El bit "4" del Byte de control se llama bit P/F, Cuando se transmite de la estación base o maestra se tiene un bit P, si P=1 entonces tenemos un poleo de mensaje, si P=0 no se trata de un poleo y la estación remota o esclava no debe contestar. Si el mensaje proviene de una estación remota o esclava se conoce como bit F (se utiliza la F para designar la finalización de la secuencia de un mensaje). Si F=0 quiere decir que al menos otro bloque de información va a seguir siendo transmitido por esta estación. Si F=1 se trata del último bloque de la presente secuencia que será transmitida por la estación remota.

Los últimos tres bits del Byte de control ("5", "6" y "7"), se trata de la información del número del bloque siguiente que el transmisor espera del otro lado, cuando la transmisión se restablezca.

Para el formato de supervisión, los bits "2" y "3" del Byte de control indican el modo, el cual puede ser *receive-ready* (RR) *receive-not-ready* (RNR) o *reject* (REJ). Y son para identificar si una estación está o no lista para recibir. Los bits P/F y Nr tienen el mismo manejo que en el formato de transferencia de información.

El Formato no secuenciado se utiliza principalmente para establecer la sincronización inicial, para desconectar terminales y para fines de prueba y

diagnostico. Los bits "2", "3", "5", "6" y "7" son vistos en conjunto como un comando y respuestas, como se muestra en la figura #60:

Comandos:

Función	7	6	5	4	3	2	1	0
NSI-Información sin secuencia	0	0	0	P/F	0	0	1	1
SNRM-Modo normal de respuesta	1	0	0	P/F	0	0	1	1
DISC-Desconectar	0	1	0	P/F	0	0	1	1
ORP-Poleo opcional de respuesta	0	0	1	P/F	0	0	1	1
SIM-Habilita modo de invalidación	0	0	0	P/F	0	1	1	1
XID-Pedir identificación de estación	1	0	1	P/F	1	1	1	1
TEST-Pedir respuesta de tarea	1	1	1	P/F	0	0	1	1
CFGR-Configurar para prueba	1	1	0	P/F	0	1	1	1

Respuestas:

Función	7	6	5	4	3	2	1	0
UI-Información sin secuencia	0	0	0	P/F	0	0	1	1
UA-Respuesta a no secuencia	0	1	1	P/F	0	0	1	1
RIM-Requerimiento de inicializar	0	0	0	P/F	0	1	1	1
FRMR-Reachazo de comando	0	0	1	P/F	0	1	1	1
DM-Requerimiento de línea	0	0	0	P/F	1	1	1	1
BCN-Respuesta a prueba	1	1	1	P/F	1	1	1	1
RD-Requerimiento de desconexión	0	1	0	P/F	0	0	1	1

Fig 60. Comandos y respuestas del protocolo SDLC.

El siguiente segmento dentro del formato SDLC es conocido como la porción de información. Aquí es donde se coloca toda la información del usuario desde el primer hasta el último carácter que va a transmitir. La longitud que puede tener este segmento es variable y no existe para el formato de supervisión (S).

Después de la porción de información viene el segmento de CRC (Cyclic Redundancy Check), también se le conoce como secuencia de verificación de frame y garantiza que la transmisión ha sido correcta con un alto grado de eficiencia. Es la forma más comúnmente utilizada para detectar errores en protocolos orientados a bits, con mensajes en bloques. Fue diseñado para validar los datos de una transmisión en secuencia. Se implementa con el uso de un algoritmo matemático que es conocido tanto por el transmisor como por el receptor. Un polinomio específico es aplicado a los datos que serán transmitidos y el resultado de esta función es transmitido como el CRC de transmisión. Luego del extremo del receptor a los datos se les aplica el mismo polinomio y obtenemos como resultado el CRC de recepción. Si ambos CRC (el de

transmisión y el de recepción) son iguales, quiere decir que la transmisión ha sido efectuada sin errores. Se utilizan normalmente los polinomios que aparecen en la figura #61 para el calculo del CRC:

CRC-16	$x^{16} + x^{15} + x^2 + 1$
CCITT V.41	$x^{16} + x^{12} + x^5 + 1$

Fig 61. Polinomios para calcular CRC.

Para tener una idea estimada de la probabilidad de que un error no detectado ocurra utilizando verificación por CRC con un polinomio de 17 bits, se ha llegado a calcular que únicamente 1 bit de error no será detectado cada 10^{14} bits transmitidos. Haciendo cuantas con una transmisión a 9600 bps, 24 horas al día, 365 días al año, esta no detección de error tomaría unos 330 años en ocurrir. En una transmisión a 1 Mbps tardarían 3 años. Es por esto que el método de verificación por CRC con polinomio de grado 16 es la herramienta más utilizada para detectar errores.

El formato termina con una nueva bandera con las mismas características que la bandera de inicio de mensaje y tiene que ser transmitida antes de iniciar la transmisión del siguiente bloque.

7.3.1 Estableciendo un enlace SDLC:

BASE	DIR	REMOTO	SIGNIFICADO
XID (P:1)	>		BASE PIDE IDENTIFICACIÓN DE TERMINAL
	<	XID(F:1)	TERMINAL MANDA SU IDENTIFICACIÓN
SNRM(P:1)	>		BASE INICIA UNA SECCIÓN SDLC
	<	UA (F:1)	LA TERMINAL RESPONDE A LA INICIALIZACIÓN
RR(P:1,NR:0)	>		EMPIEZA INTERCAMBIO DE INFORMACIÓN
	<	RR (F:1,NR:0)	

Fig 62. Enlace SDLC.

7.3.2 Intercambiando información con SDLC:

BASE	DIR	REMOTO	SIGNIFICADO
RR(P:1,NR:0)	>		BASE PIDE INF 0
	<	INF(F:1,NS:0,NR:0)	REMOTO RESPONDE A INF 0
RR(P:1,NR:1)	>		RECONOCIMIENTO DE INF 0 Y PIDE INF 1
	<	INF(F:0,NS:1,NR:0)	
	<	INF(F:0,NS:2,NR:0)	TERMINAL MANDA INF 2
	<	RR(F:1,NR:0)	TERMINAL PIDE RECONOCIMIENTO DE TODOS LOS PAQUETES ENVIADOS
RR(P:1,NR,3)	>		BASE RECONOCE TODOS LOS PAQUETES
	<	RR(F:1,NR:0)	REMOTO CONTESTA CON RR
INF(P:1,NS:0,NR:3)	>	(BAD CRC)	BASE MANDA INF 0 Y PIDE RECONOCIMIENTO
	<	RR(F:1,NR:0)	TERMINAL PIDE INF 0 DE NUEVO
INF(P:1,NS:0,NR:3))	>		BASE REPITE INF 0
	<	RR(F:1,NR:1)	TERMINAL RECONOCE INF 0
RR(P:1,NR:3)	>		BASE SIGUE POLEANDO
	<	RR(F:1,NR:1)	TERMINAL CONTESTA RR

Fig 63. Intercambio SDLC.

7.4 SDLC en el Kb/NET.

- El Kb/NET soporta los tres formatos que constituyen SDLC: Formato de transferencia de información, Formato de supervisión y Formato no secuenciado.
- También puede funcionar en Full-duplex o en aplicaciones punto-multipunto.
- La base puede ser conectada a la computadora central o host del sistema por hasta 4 puertos mientras que en los remotos las terminales pueden conectarse hasta por dos puertos y cada uno de estos puertos puede manejar hasta 4 direcciones SDLC. En total el Kb/NET puede manejar hasta 32 direcciones SDLC.

- Las velocidades en los puertos puede ser de 1200, 2400, 4800, 9600, 19200, 38400 bps y puede manejar como códigos de línea NRZ o NRZI, inclusive del lado base puede manejar un código de línea y del lado remoto otro código de línea diferente, lo mismo sucede con las velocidades de transmisión.
- El tamaño máximo del frame es de 2000 bytes

7.5 Otros protocolos que maneja el Kb/NET.

- X.25
- X.28 (PAD ASÍNCRONO)
- BURROUGHS POLL/SELECT
- ALC
- NCR/ISO ASÍNCRONO
- POLL/SELECT ASÍNCRONO
- BSC
- IP
- HDLC
- FRAME RELAY
- TINET
- SLIP
- PPP

CONCLUSIONES.

Estamos viviendo un cambio en el concepto que se tenía sobre las redes de comunicación, existen enlaces a través de todo el planeta por lo que cada vez un mayor número de personas tiene la necesidad y el deseo de comunicarse con mayores grados de velocidad, confiabilidad y a menores costos. Las compañías telefónicas tradicionales, es decir, aquellas que solo transmiten analógicamente voz, no tienen un futuro muy promisorio, si es que no cambian sus estrategias con rumbo a tecnologías digitales más eficientes. Las redes con tecnología de switch (normalmente utilizadas en telefonía), son menos eficientes en cuanto a ancho de banda y recursos, que las redes de datos paquetizados o de conmutación por paquetes (tecnologías netamente digitales). El concepto de compañía de telefonía pública pura tiende a desaparecer por ser un concepto obsoleto.

Estas compañías se enfrentan a la difícil decisión de que tipo de tecnología utilizar para un futuro, con un inmenso mercado para ser explotado, que puede generar muy buenas utilidades. Estas grandes compañías pueden invertir y cambiar su infraestructura por una más moderna. Por otro lado, cada tecnología está viviendo un periodo de vida más corto. Si se tiene que modernizar una infraestructura grande y compleja, para el tiempo en el que esta infraestructura entre en funcionamiento, ya existirá una nueva tecnología que la eclipsará.

Es necesario que las personas involucradas en las telecomunicaciones (a todos los niveles) entiendan este mercado cambiante. Las comunicaciones son un arma estratégica de la cual debemos ser capaces de sacar provecho. Una red digital privada, puede en algún momento quitarle una porción importante del mercado a una compañía telefónica grande. Basta ver el alcance que han logrado compañías como Compuserve en este ámbito.

Si bien no podemos saber con exactitud que nos espera para los próximos 10 años en cuestión de redes, es necesario comprender los elementos básicos que se explican en este estudio. Como lo son las cuestiones de estandarización y sistemas de interconexión en capas, que nos permiten tener reglas claras del juego en cuestión de compatibilidad. No es posible seguir fabricando equipos que sean compatibles únicamente con la norma de algún fabricante específico. Si bien existen diferentes topología y tipos de redes es necesario que cada una sea capaz de comunicarse con otra totalmente diferente. Hoy en día, el antiguo planteamiento de redes de área local, es más vigente que nunca. En la mayoría de las redes es difícil, si no imposible definir la frontera donde termina la red de área local y comienza la red de área amplia, para una comunicación global.

A lo largo de este trabajo se presentó una descripción detallada de los elementos que conforman un equipo Kb/NET, para redes transaccionales inalámbricas y celulares. Así como una explicación de términos para entender el entorno en el que trabaja este equipo. En este estudio se propone una solución para redes, cuyo tráfico no es muy pesado, cuando las distancias entre puntos terminales sea de unas cuantas decenas de kilómetros. Esta solución es con equipos Kb/NET que son equipos sumamente flexibles.

Como mencioné anteriormente, el mercado cambia a gran velocidad, por lo que para el desarrollo del Kb/NET fué necesario encontrar una plataforma lo suficientemente sólida, que aún con el paso de los años, no se volviera obsoleta y por consiguiente desapareciera del mercado. Explotar la arquitectura de las computadoras personales fué crucial para el éxito de este producto. La estandarización del bus (ISA), permite que este producto esté por cumplir cuatro años en el mercado y con una esperanza de vida de un par de años más. Si bien los procesadores son cada vez más rápidos y poderosos, el bus ha permanecido constante a lo largo de los años su esperanza de vida es de un par de años. Se trata de la plataforma para la cual hay la mejor cantidad y calidad de información disponible, el mayor número de usuarios y desarrolladores. Las ventajas de esta plataforma son principalmente:

- Muy rápido desarrollo del software, pues se utilizan las herramientas comunes de las computadoras personales: como compiladores.
- Desde el punto de vista del hardware, el bus no cambia cuando cambia el microprocesador, por lo cual se diseña para un tipo de bus y no para un tipo específico de microprocesador.
- Tenemos una gran flexibilidad en el equipo, porque se pueden utilizar tarjetas comunes del mercado para funciones específicas, como el caso de ethernet o token-ring.
- La unidad de proceso (microprocesador), es cada vez más potente, capaz de manejar mayores velocidades y complejidad de protocolos.
- El costo de una tarjeta madre es relativamente bajo (aproximadamente USD\$45.00, este precio varía según cantidades).

En cuanto a las unidades de almacenamiento de memoria, en sistemas donde no se requiere estar actualizando los datos (programas y configuraciones), la mejor opción es utilizar memorias flash, estas memorias presentan un alto grado de confiabilidad. Son reprogramables dentro del propio sistema y no pierden la información en caso de interrumpir el suministro de energía eléctrica. La ventajas de ser reprogramables dentro del propio sistema es muy útil en caso de necesitar cambiar versiones de software o situaciones donde las memorias EPROM presentan limitantes. A su vez con un alto grado de confiabilidad en cuanto a la integridad de los datos (a diferencia de la RAM no volátil donde las fallas en la toma de energía eléctrica pueden causar la pérdida de información).

El Kb/NET es un equipo que es compatible con el estándar RS-232, por lo que se le puede conectar a cualquier tipo de equipo que presente esta interfase sin importar el fabricante del mismo. En este nivel el Kb/NET es compatible con la capa física. Es decir cumple con lo dicho anteriormente respecto a mantenerse compatible con estándares bien definidos.

En cuanto a la segunda capa del modelo de interconexión abierta (capa de enlace, OSI), el equipo puede manejar las funciones básicas de un protocolo (enmarcado, control de línea, control de flujo y control de secuencia) y así el Kb/NET puede manejar una cantidad importante de protocolos, también estándares en el mercado. El controlador que utiliza el Kb/NET es un controlador de SDLC o HDLC. SDLC de IBM es un protocolo que es muy utilizado en el mercado. Es un protocolo muy bien estructurado sobre el cual hay una cantidad y calidad de información que no lo hay para otros protocolos.

Pero la parte que yo considero más importante en el desarrollo de este equipo es el éxito comercial que ha obtenido y la aceptación por parte del usuario a nivel nacional e internacional. Aquí quisiera mencionar que de este equipo se han vendido más de seis mil unidades, que están instaladas en México, en varias instituciones, principalmente bancarias. El Banco Nacional de México (Banamex) utiliza este equipo en su red de cajeros automáticos, así como otras instituciones bancarias del país. Este producto también está instalado en Argentina, Chile, China y Filipinas con aplicaciones de lotería. El equipo ha sido sometido a las pruebas más demandantes por parte de los clientes y ha salido muy bien librado.

Se puede decir que todos los equipos de comunicación de datos están formados por las mismas componentes primarias que son: Unidad de procesamiento, unidad de almacenamiento y unidad de comunicaciones. La única diferencia entre diferentes equipos de comunicaciones radica en las capacidades de cada una de estas unidades. Como resultado de este trabajo puedo decir que no es necesario poner el procesador más potente, con la mayor cantidad de almacenamiento posible, junto con la mayor velocidad de transmisión que se logre, porque existen aplicaciones que no requieren estos recursos de sobra y los recursos de sobra generalmente representan un mayor costo, que para algunos usos, el cliente no tiene porque pagar. Es necesario hacer equipos de comunicaciones flexibles, en los cuales la relación costo-beneficio sea apropiada.

Para terminar me gustaría repetir que no podría saber que habrá en el futuro en redes de comunicación, pero me gustaría decir que es un futuro que se ve sumamente interesante. ¿No es así?

BIBLIOGRAFÍA.

Bursky, D.

"Flash-memory choices boost performance and flexibility."

3 mayo 1995.

Electronic design.

Corzo, D.

"Definición de redes (parte I y II)."

Revista RED.

Eggebrecht, L.

"Interfacing to the IBM personal computer"

Segunda edición.

Sams publishing.

EIA Standard.

"Interface between DTE and DCE employing serial binary data interchange".

RS-232-C.

Agosto 1969.

Gareiss, R.

"The Frame Relay explosion."

Febrero 1995.

Data communications international.

IBM.

"Synchronous data link control: Concepts."

4a. edición. Junio 1986.

GA27-3093-3 file.

Intel.

"Memory products."

1993.

Kb/TEL Telecomunicaciones S.A. de C.V.

"Kb/NET, User's manual."

Version 2.1.

Miller, G.

"Modern electronic communications."

Tercera edición.

Prentice Hall.

Muller, N., Davidson, R.
"LANs to WANs"
Artech house.

Palmer, N.
"The wireless local loop."
3 Junio 1996.
Telephony for today's competitive public network market.

Pujolle, G., Seret, D., Dromard, D., Horlait, E.
"Integrated digital communications networks."
Volumen 1.
John Wiley & sons.

Rosch, W.
"Hardware bible."
Tercera edicion.
Sams publishing.

Sherman, K.
"Data communications. A user's guide."
3a edicion.
Prentice Hall.

Zerbiec, T.
"Considering the past and anticipating the future for private data networks."
Marzo 1992.
IEEE communications magazine.

Zilog.
"Serial communication controllers."
Product specification databook.