

153
21



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

**FACULTAD DE ESTUDIOS SUPERIORES
CUAUTITLAN**

**“ COMUNICACIONES. MULTIPLEXAJE
DIGITAL DE LOS NIVELES
JERARQUICOS 1 A 5 ”**

**TRABAJO DE SEMINARIO
QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A
LUIGI SALGADO ROMERO**

**ASESOR:
ING ALFONSO CONTRERAS MARQUEZ**

CUAUTITLAN IZCALLI, EDO. DE MEX.

1997

**TESIS CON
FALLA DE ORIGEN**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.



UNIVERSIDAD NACIONAL
AUTÓNOMA DE
MÉXICO

FACULTAD DE ESTUDIOS SUPERIORES CUAUTITLAN
UNIDAD DE LA ADMINISTRACION ESCOLAR
DEPARTAMENTO DE EXAMENES PROFESIONALES

UNIVERSIDAD NACIONAL AUTÓNOMA DE ESTUDIOS SUPERIORES CUAUTITLAN



DEPARTAMENTO DE
EXAMENES PROFESIONALES

DR. JAIME KELLER TORRES
DIRECTOR DE LA FES-CUAUTITLAN
PRESENTE.

AT'N: ING. RAFAEL RODRIGUEZ CEBALLOS
Jefe del Departamento de Exámenes
Profesionales de la FES-C.

Con base en el art. 51 del Reglamento de Exámenes Profesionales de la FES-Cuautilán, nos permitimos comunicar a usted que revisamos el Trabajo de Seminario:

Comunicación: "Análisis de la calidad de los niveles de proficiencia I - B"

que presenta el pasante: Juana delgado Romero

con número de cuenta: 1730457-0 para obtener el Título de:
Ingeniero electrónico electricista

Considerando que dicho trabajo reúne los requisitos necesarios para ser discutido en el EXAMEN PROFESIONAL correspondiente, otorgamos nuestro VISTO BUENO.

ATENTAMENTE.

"POR MI RAZA HABLARA EL ESPIRITU"

Cuautilán Izcalli, Edo. de México, a 19 de septiembre de 1997

MODULO:	PROFESOR:	FIRMA:
I	Ing. Alfonso Contreras	<i>Alfonso Contreras</i>
II	Ing. Juan González	<i>Juan González</i>
I	Ing. Vicente de la Cruz	<i>Vicente de la Cruz</i>

DEP/VBOGEM

A mis padres

A quienes, de no ser por su apoyo no habría podido llevar a cabo este trabajo que representa el final de una larga etapa durante la cual siempre recibí su comprensión sin condición alguna.

A mis hermanos

Quienes siempre me impulsaron a seguir adelante y cuya compañía siempre me alentó para no cegar en la lucha que ahora termina con la realización de este trabajo.

A mis profesores

A los cuales debo la mayor parte de mis conocimientos y de los que siempre hubo algo que aprender, muy especialmente al profesor asesor de este trabajo, Ingeniero Alfonso Contreras Marquez, con quien me siento profundamente agradecido por su colaboración y por su enseñanza.

A mis amigos

Cuya compañía hizo más llevadera y más alegre la difícil vida escolar y con quienes compartí momentos incomparables, tanto en clase como fuera de ella.

A la U.N.A.M.

Que a través de la Facultad de estudios superiores Cuautitlán me brindó todas las facilidades para poder concluir la licenciatura que ahora termino.

MULTIPLEXAJE DIGITAL DE LOS NIVELES JERARQUICOS 1 A 5

INDICE

AGRADECIMIENTOS

CAPITULO I INTRODUCCION	1
1.1.-Multiplexaje y Acceso Múltiple Por División De Frecuencia.	4
1.2.-Multiplexaje y Acceso Múltiple Por División De Tiempo.	5
1.3.-Acceso Múltiple Por División De Espacio Y Polarización.	7
CAPITULO II MULTIPLEXACION POR DIVISION DE TIEMPO	8
2.1.-Formación Del Multiplexado (Estructuras Jerárquicas).	8
2.2.-Formación Del Multiplexado MIC (Multiplexaje De Primer Orden).	10
2.3.-Procedimiento De Multiplexado De Señales Digitales.	14
2.4.-Jerarquía Plesiócrona.	14
2.5.-Procedimiento CRC-4 Para La Supervisión De Señales.	15
CAPITULO III MULTIPLEXAJE DE SEGUNDO ORDEN	19
3.1.-Multiplexaje PCM De Orden Superior.	19
3.2.-Trama De Impulsos (Nivel Jerárquico De Orden 2).	20
3.3.-Justificación.	22
3.4.-Memoria Elástica.	25

3.5.-Estructura De Trama Del Nivel 3. 29

3.6.-Estructura De Las Trama De Los Niveles Jerárquicos 4 Y 5. 31

CAPITULO IV CODIGOS DE TRANSMISION 33

4.1.-Código AMI. 34

4.2.- Códigos HDBn. 34

4.3.- Código CMI. 36

APENDICE 37

A.1 Extracto De La Recomendación G.703 Con Respecto A Los Niveles Jerárquicos 1 A 5 En El Sistema Europeo Y México. 37

CONCLUSIONES 70

GLOSARIO 71

BIBLIOGRAFIA 73

CAPITULO I

INTRODUCCION

Para la transmisión digital de señales telefónicas con un procedimiento de modulación por impulsos codificados (MIC o PCM del inglés)— como se explicará posteriormente— se utiliza una velocidad de 64 Kbps para cada una de las señales, incluso se pueden cursar diferentes servicios a través de una y sobre la misma línea de bucle de abonado, es decir, a través de la línea que ya hoy en día existe para nuestro teléfono.

Ventajas de la tecnología digital

La tecnología digital tiene unas ventajas fundamentales si se le compara con la tecnología analógica: puesto que una señal digital solamente puede tener "valores discretos" determinados (en el caso más simple solamente dos), esta señal digital puede librarse por medio de amplificadores regeneradores casi totalmente de las interferencias causadas por el ruido o por la transmisión, las cuales normalmente se van sumando a lo largo de la ruta de transmisión. Con una señal analógica esto no sería posible. Esta gran ventaja hace que la tecnología digital se pueda instalar incluso bajo las circunstancias de transmisión más desfavorables como, por ejemplo, en cables urbanos, los cuales originalmente se habían definido solamente para la transmisión de señales en el margen de las frecuencias telefónicas. Incluso cuando se utilizan radioenlaces, la posibilidad de regeneración es una gran ventaja.

Si en el transcurso de la transmisión se falsea un elemento de la señal, se produce un bit de error y, a consecuencia de la regeneración que se hace a tramos regulares, se van sumando solamente bits erróneos, no los ruidos. La tasa de bits de error (BER) tendrá que mantenerse, por lo tanto, tan pequeña como sea posible.

Las fibras ópticas, es decir, el nuevo medio de transmisión que dominará los medios o la tecnología de transmisión del futuro, se puede decir que es apropiada sólo para la transmisión digital.

Organismos de normalización

La definición de normas internacionales para sistemas compatibles respecto a la representación y transmisión de señales, es un factor decisivo para el triunfo de las redes de comunicaciones digitales. Las especificaciones normalizadas proporcionan mercados de dimensiones suficientes, y con ello grandes cantidades de componentes de elevado grado de integración; con esto se hará posible fabricar y desarrollar, bajo una base rentable, circuitos de silicio complejos con un grado de integración cada vez más elevado.

El organismo de normalización más importante en el área de las comunicaciones es el CCITT (Comité Consultatif International Télégraphique et téléphonique), que es un departamento de la Unión Internacional de las Telecomunicaciones (UIT), con su sede establecida en Ginebra. La UIT es asimismo una agencia especial de la organización de Naciones Unidas.

El CCITT ha elaborado en 15 comisiones de estudio, las denominadas "recomendaciones", que por su resultado la mayoría de las veces,

son normas técnicas. Las recomendaciones del CCITT contienen las particularidades de la modulación por impulsos codificados y la formación de los multiplexados, así como muchas otras especificaciones de importancia para la compatibilidad internacional; cada cuatro años aparece una nueva edición que empezó en 1977 con el libro naranja (el libro de 1985 se componía de 42 tomos incluyendo las recomendaciones para los nuevos desarrollos).

Para las definiciones básicas en el área de la radio y especialmente de los radioenlaces es competente un segundo organismo, el CCIR (Comité Consultatif International des Radiocommunications).

Los trabajos de normalización en el CCITT y en CCIR se basan en aportaciones de las administraciones telefónicas —como por ejemplo el Deutsche Bundespost— y de las empresas pertenecientes a la industria como Siemens AG.

Las técnicas básicas de multiplexaje y acceso múltiple son las siguientes:

División de frecuencia (FDM y FDMA)

División de tiempo (TDM y TDMA)

División de código

División de espacio (SDMA)

División de polarización (PDMA)

1.1.-MULTIPLEXAJE Y ACCESO MULTIPLE POR DIVISION DE FRECUENCIA

El concepto del multiplexaje por división de frecuencia se ilustra en la figura 1.1.

Cada una de las señales a multiplexar se modulan primeramente con diferentes portadoras de manera que los canales queden adecuadamente espaciados uno del otro. Las señales moduladas se combinan o multiplexan en frecuencia.

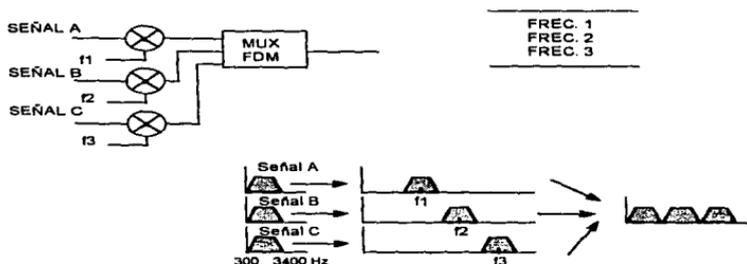


Figura 1.1 F.D.M.

A continuación se presenta un ejemplo de un plan de modulación típico para un sistema múltiplex por división de frecuencia. Los procesos involucrados son a grandes rasgos los siguientes:

- 1.- Las señales originadas (por ejemplo, señales de voz) son multiplexadas en FDM asignando un canal de 4 KHz. de ancho de banda para cada una de ellas.

- 2.- El grupo de señales resultante es modulado en frecuencia y transmitido al satélite para integrarse en alguna parte del ancho de banda de alguno de los transpondedores mediante la técnica FDMA (frequency division multiple access)
- 3.- El ancho de banda del transpondedor satelital puede ser compartido por varios usuarios.

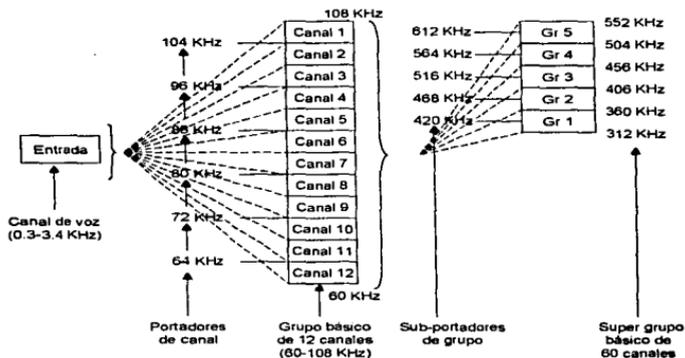


Fig. 1.2 Plan de modulación para un sistema múltiplex FDM.

1.2.-MULTIPLEXAJE Y ACCESO MULTIPLE POR DIVISION DE TIEMPO

El multiplexaje por división de tiempo se lleva a cabo asignando a cada canal un espacio o ranura de tiempo (time slot) específico dentro de la trama de transmisión.

1.3.-ACCESO MULTIPLE POR DIVISION DE ESPACIO Y POLARIZACION

Acceso múltiple por división de espacio

Se refiere al uso de por ejemplo dos antenas que están direccionadas hacia diferentes lugares de tal manera que se puede usar la misma banda de frecuencia para señales de radio diferentes

Acceso múltiple por división de polarización

Mediante el uso de polarizaciones ortogonales (90°) en las antenas es posible utilizar la misma banda de frecuencia para distintas señales.

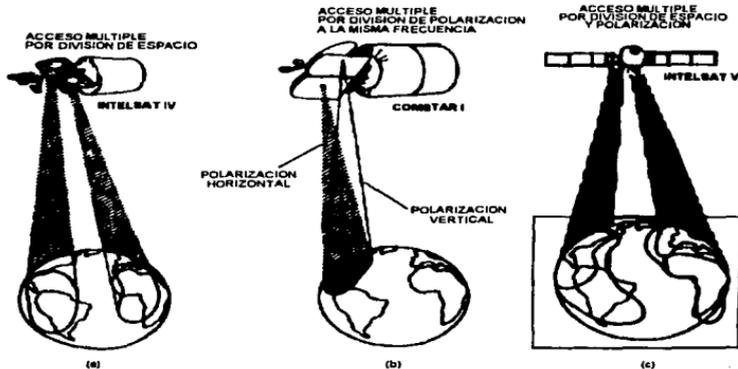


Fig. 1.5 SDMA y PDMA

CAPITULO II

MULTIPLEXACION POR DIVISION DE TIEMPO

2.1.-FORMACION DEL MULTIPLEXADO (ESTRUCTURAS JERARQUICAS)

Los sistemas de transmisión son tanto más rentables cuanto mayor número de canales telefónicos pueden agrupar. Por ello las señales a transmitir se agrupan escalonadamente y, en caso necesario, pueden puentearse y distribuirse en el nivel de agrupamiento respectivo (nivel jerárquico). Las estructuras de multiplexado que se originan con ello se fundamentan en el sistema MIC básico.

A partir de 1962 se introdujo en los Estados Unidos, y posteriormente también en Japón, un sistema básico MIC de 24 canales mientras que, a partir de 1968, Europa se puso de acuerdo en un sistema para treinta canales. Sobre él se estructura la jerarquía de niveles. En la mitad superior de la figura 2.1 se pueden ver los equipos de multiplexado y los equipos de conmutación para los niveles jerárquicos individualmente desde 2 Mbps hasta 140 Mbps; en la mitad inferior se han indicado los medios de transmisión que, en función de la velocidad binaria de la señal digital, son los más adecuados.

La aplicación más importante de la transmisión MIC es utilizar de forma múltiple rutas de transmisión mediante procedimientos de multiplexado temporal —TDM (time division múltiplex)—. A las señales telefónicas que se van a agrupar se les asignan intervalos discretos en el tiempo (intervalos de tiempo) dentro de una trama de impulsos y luego se transmiten en canales de tiempo

(canales temporales) en la jerarquía respectiva. Se diferencian los siguientes procedimientos de multiplexado:

- el multiplexado MIC, que combina MIC (PCM) con TDM para formar una señal digital multiplexada de salida a partir de varias señales de entrada analógicas; y
- el multiplexado de señales digitales, que agrupa o segrega señales de entrada y salida de velocidades binarias más bajas en una señal con una velocidad binaria más elevada.

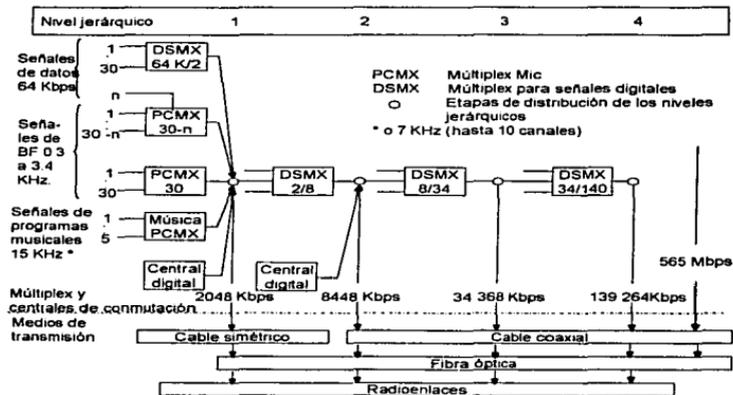


Figura 2.1 Estructuras jerárquicas y medios de transmisión de los sistemas de transmisiones digitales desde 2 hasta 565 Mbps.

2.2.-FORMACION DEL MULTIPLEXADO MIC (MULTIPLEXAJE DE PRIMER ORDEN)

El multiplexaje de los canales telefónicos digitales se lleva a cabo mediante TDM, existiendo dos estándares base que son utilizados dependiendo del país de que se trate (fig. 2.2). En ambos canales se dice que los canales están entrelazados a nivel de byte, ya que se asignan 8 bits consecutivos (un byte) para cada canal.

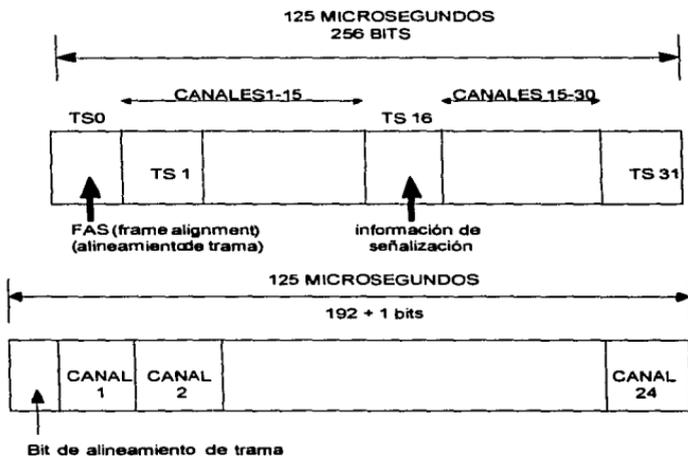


Figura 2.2 Trama PCM de primer orden

Después de la codificación en el origen de la señal se dispone de una palabra de código de 8 bits a una frecuencia de 8 KHz para la transmisión

digital por cada señal telefónica. Para obtener un rendimiento más elevado de los medios de transmisión se transmiten varias señales en un múltiplex de tiempo (TDM), en el cual las palabras de código se entrelazan primeramente en forma temporal o en el tiempo (fig. 2.3) y se agrupan en una trama de impulsos. La fig. 2.4 nos muestra la trama de impulsos de 2 Mbps para el sistema MIC 30 con 32 intervalos temporales —contados desde el 0 hasta el 31— en cada uno de los cuales tiene lugar una palabra de código de 8 bits. Además de los 30 intervalos de tiempo para las treinta señales telefónicas, hay adicionalmente un intervalo de tiempo 0 para la palabra de alineamiento de trama o para la palabra de alarma y un intervalo de tiempo 16 para la información de señalización (que proviene de los abonados). La trama tiene 256 bits y se repite a una frecuencia de 8 KHz. (125 μ s).

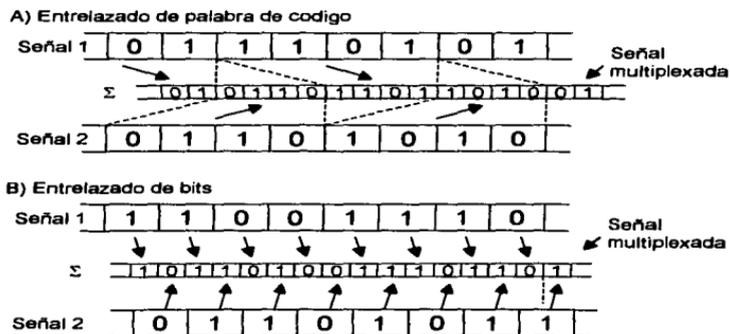


Figura 2.3 Formas de entrelazado en múltiplex temporal.

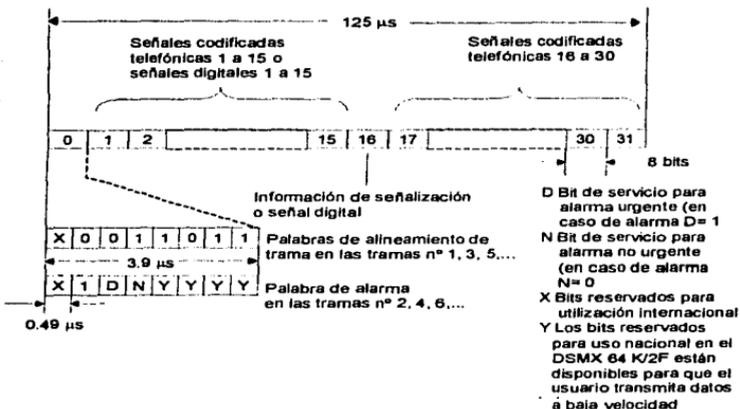


Figura 2.4 Trama de impulsos para señales a 2 Mbps

En el lado de recepción tiene lugar una sincronización de tramas para conseguir una distribución inequívoca de la señal digital. Para ello, y al comienzo de cada una de las tramas primera, tercera y quinta, se presenta la palabra de alineamiento de trama con una muestra fija de 7 bits.

Durante el proceso de sincronización se explora la corriente o el flujo de bits primeramente bit a bit buscando esta muestra. Una vez que se ha encontrado, se continúa contando toda la trama (256 bits) y, por lo tanto, se prueba si el segundo bit de la palabra de código que sigue a ella — tiene que ser la palabra de alarma — es un estado lógico 1. En caso de que no ocurra de esta manera, se hace una interrupción y se vuelve a explorar bit a bit en busca

de la muestra que forma la palabra de alineamiento de trama. Solamente cuando la muestra de bits o la muestra binaria se ha detectado, esta vez de una forma completa, se permite en el sistema de multiplexado la transmisión.

De forma inversa, la transmisión se bloquea y se inicia el proceso de sincronización, cuando se encuentren tres o cuatro palabras de alineamiento de trama consecutivas erróneas. A partir de esta supervisión continua de la palabra de alineamiento de trama, se obtiene una información sobre la calidad de transmisión de la ruta y de la tasa de bits de error implícita en ella.

En el intervalo de tiempo número 16 se transmite la información de señalización perteneciente a los canales telefónicos. A un canal telefónico se le asignan 4 bits del intervalo de tiempo 16 y, por lo tanto, por cada trama solamente se puede transmitir la información de señalización de dos canales telefónicos. Por este motivo el intervalo de tiempo número 16 esta insertado o forma parte de una multitrama (trama de impulsos de señalización) que comprende los 16 intervalos de tiempo número 16 (fig. 2.5).

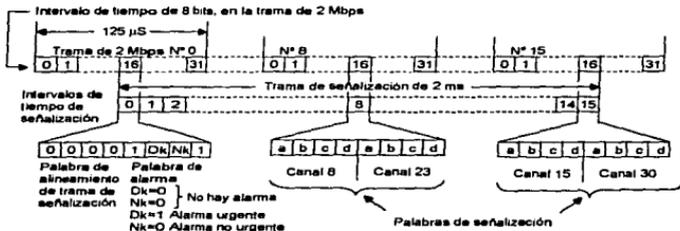


Figura 2.5 Trama de señalización

2.3.-PROCEDIMIENTO DE MULTIPLEXADO DE SEÑALES DIGITALES

Las señales de los equipos de multiplexado MIC y de otras fuentes de señales digitales pueden agruparse en velocidades binarias más elevadas de los niveles jerárquicos inmediatos, es decir, estos equipos de multiplexado disponen ya de señales de entrada digitales, procedentes de los sistemas tributarios o sistemas jerárquicos inferiores. En la jerarquía de multiplexado de señales digitales se agrupan respectivamente cuatro señales digitales— según la norma que es también en Europa — en una nueva señal de multiplexado. En este contexto hay que tener en cuenta que las velocidades binarias de los cuatro sistemas tributarios tienen un margen de tolerancia de $2.048 \pm 5 \times 10^{-5}$ Kbps, por lo que no son síncronas y atendiendo a la definición, se puede decir que son plesiócronas. Para la adaptación de estas cuatro señales plesiócronas al reloj del sistema del equipo multiplexor se hace uso de un sistema de justificación por impulsos positivos (justificación positiva, que se verá en el capítulo 3.3).

2.4.-JERARQUIA PLESIOCRONA

En la práctica, cuando se habla de los equipos multiplexores de orden superior, el hecho de que las señales tributarias no tengan exactamente la misma velocidad y fase hace necesario el uso de circuitos adaptadores de velocidad con la cual se logra "igualar" las velocidades de las tributarias antes de ser multiplexadas.

Para realizar tal igualación de velocidades se utilizan "bits de relleno" o "de justificación" por lo que no existe una relación de fase específica

entre las tramas de las tributarias y la señal múltiplex producida. Debido a esta característica el multiplexaje de este tipo recibe el nombre de PLESIOCRONO; dicho término se utiliza en forma genérica para describir los equipos y tecnología PCM de orden superior la cual recibe el nombre de JERARQUIA DIGITAL PLESIOCRANA o PDH (plesiochrony digital hierarchy).

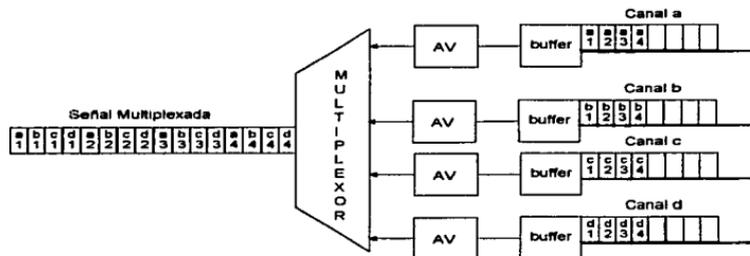


FIGURA 2.6 Multiplexaje plesiócrono

2.5.-PROCEDIMIENTO CRC-4 PARA LA SUPERVISION DE SEÑALES

Los sistemas de transmisión, así como la estructura de la trama y trama de la señalización, ofrecen en los sistemas MIC múltiples posibilidades para la supervisión simultánea de la ruta por la que transcurren en lo que se refiere a:

- La frecuencia de error binario (FEB) como criterio sobre la calidad de la ruta de transmisión digital.
- El sincronismo de trama.
- La elevación de los bits de alarma en la palabra de alarma.
- El fallo de la señal.

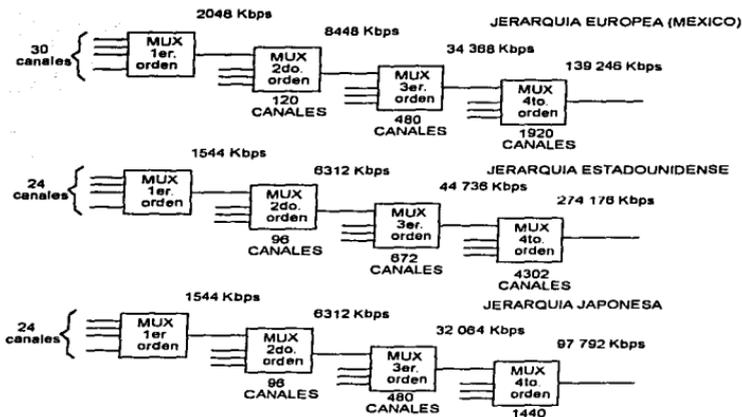


Figura 2.7 Jerarquías y velocidades de transmisión PDH.

En la recomendación G.704 del CCITT se ha incluido el procedimiento CRC4 de verificación por redundancia cíclica (Cyclic Redundancy Check) para la supervisión de rutas MIC, en especial con vistas a la red digital de servicios integrados (RDSI o ISDN). El CRC4 se utiliza para evitar la sincronización errónea motivada por palabras de alineación de trama simuladas de la señal transmitida y también para registrar errores binarios en el flujo de datos.

Durante la transmisión de la trama de 2048 Kbps se forma una multitrama CRC4 compuesta por 16 tramas seguidas (figura 2.8). Esta

multitrama está subdividida a su vez en dos submultitramas de 8 tramas cada una. Por submultitrama se genera, a partir de su contenido, una palabra de código CRC de 4 bits (contraseña CRC) que se transmite conjuntamente con el flujo de datos en los bits MC₁ a MC₄. En el lado receptor se procede de la misma forma con cada submultitrama, teniendo lugar en periodos del orden de milisegundos ($8 \times 256 \text{ bits} = 2048 \text{ bits}$, equivalentes a un ms.) una comparación entre la contraseña obtenida aquí por codificación y la contraseña que recibe en la siguiente submultitrama. En caso de que ambas no coincidan es seguro que en esta sección de la trama hay por lo menos un bit erróneo.

Este procedimiento estadístico-matemático para la evaluación de errores posibilita el reconocimiento de errores individuales en la submultitrama. Motivado por los breves tiempos de medida es especialmente idóneo para la indagación de frecuencias de error binario (FEB) menores que 10 E^{-3} (es decir cuando hay menos de un bit erróneo por cada 1 000 bits). En el caso de 10 E^{-3} habrá por lo tanto en una submultitrama de 2048 bits, un promedio estadístico de 2 bits erróneos. En el caso de una FEB mayor de 10 E^{-3} los resultados de la comparación con la contraseña CRC4 no son apropiados ya que con esa frecuencia de error tan elevada, cada submultitrama CRC4 estará afectada repetidamente. Para poder tener datos cuantitativos sobre frecuencias de error binario mayores que $2 \times 10 \text{ E}^{-3}$ se evalúa la palabra de alimentación de trama, lo cual es un procedimiento que, con pequeñas frecuencias de error binario, haría necesarios tiempos de medida sensiblemente mayores. La posición binaria 1a en la palabra de alarma identifica la palabra de sincronismo para la multitrama CRC4 cuya muestra binaria es: 001011 (los dos últimos bits en el

octeto Si están reservados como bits de control y alarma para el tráfico nacional/internacional de telecomunicaciones).

El proceso de sincronización transcurre escalonadamente de manera que:

- En primer lugar se efectúa la sincronización con la PAT.
- Después de ello se efectúa la sincronización con la PAT de la multitrama CRC4.

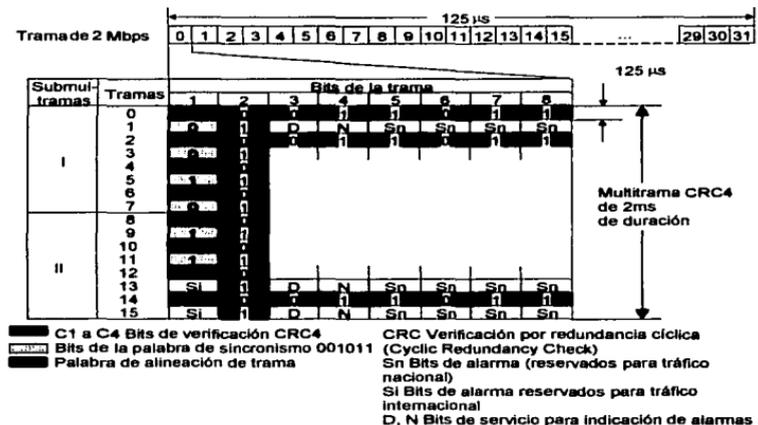


Figura 2.6 Procedimiento CRC4 para la supervisión de señales de 2 Mbps.

CAPITULO III

MULTIPLEXAJE DE SEGUNDO ORDEN

3.1.-MULTIPLEXAJE PCM DE ORDEN SUPERIOR

Para agrupar o multiplexar las tramas de orden superior se utiliza un entrelazamiento a nivel de bit, como se muestra en la figura 3.1.

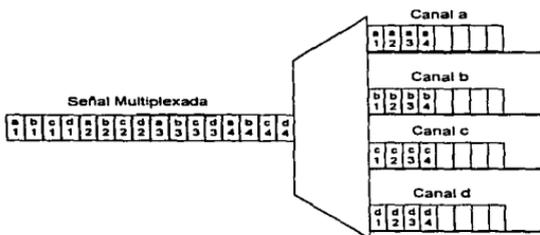


Figura 3.1 Multiplexaje a nivel de bit

3.2.-TRAMA DE IMPULSOS (NIVEL JERARQUICO DE ORDEN 2).

En el nivel jerárquico de los 8 Mbps se agrupan cuatro señales con las velocidades binarias de 2.048 Mbps en una señal conjunta de 8.448 Mbps. Para una diferenciación expresa de los cuatro canales tributarios se ha dotado también a esta señal múltiplex digital de una trama de impulsos, normalizada por el CCITT (fig. 3.2), en la que se reflejan los requisitos específicos del procedimiento de justificación positiva.

Se ha convenido una trama de impulsos con 848 bits de forma que se pueda dividir en cuatro bloques conteniendo cada uno 212 bits. Al comienzo del primer bloque se encuentra la palabra de alineamiento de trama con una muestra fija de 10 bits, seguida de dos bits de servicio. El bit 13 es el primer bit útil, y precisamente proviene del sistema tributario número 1, el bit 14 es un bit útil procedente del sistema tributario número 2 y así sucesivamente. En este caso, así como en todos los casos de multiplexado de señales digitales más elevadas, las corrientes o flujos de señales se entrelazan o intercalan bit a bit. Al comienzo del segundo, tercero y cuarto bloque se presenta, por cada uno de ellos, un grupo de cuatro bits que contienen la información de relleno. En el bloque cuarto se añade inmediatamente otro grupo de cuatro bits que, en caso de necesidad, pueden ser definidos como bits de relleno. El primer bit de cada grupo de cuatro pertenece al sistema tributario número 1, el segundo bit al sistema tributario número 2 y así sucesivamente. Solamente se puede definir un bit determinado como bit de relleno por cada sistema tributario dentro de una trama de impulsos. En el caso de que los tres bits de información de relleno respectivos se hayan activado previamente a 111, entonces el bit que podría

ser de relleno no contiene ninguna información útil. La información de relleno se transmite de esta forma asegurada por triplicado. En el lugar de recepción se aplica la decisión múltiple, puesto que una interpretación errónea de la información de relleno tendría amplias consecuencias: se transmitiría no solamente un bit erróneo o bien se omitiría un bit útil, sino que todos los bits útiles que siguieran estarían desplazados temporalmente en una posición binaria. Por esto en la práctica quedan interferidos todos los canales en el sistema tributario afectado; la palabra de alineamiento de trama aparece en una posición errónea, el sistema tributario tiene que sincronizarse nuevamente y permanece durante este tiempo bloqueado.

En un equipo de multiplexado digital el proceso de sincronización se da por finalizado cuando se han detectado como correctas tres palabras de alineamiento de trama inmediatas consecutivas. El sistema no se considera sincronizado si hay cuatro palabras de alineamiento de trama erróneas.

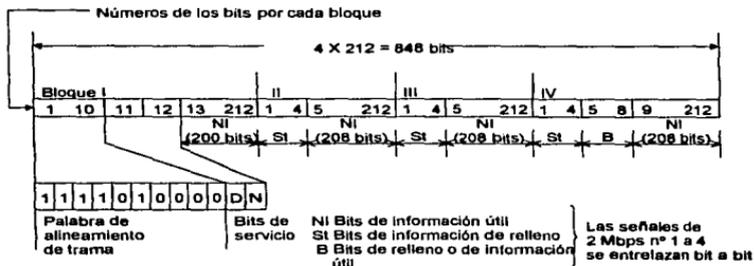


Figura 3.2 Trama de impulsos para señales de 8 Mbps

3.3.-JUSTIFICACION (bitio de relleno)

Una trama de 8 M. consiste de 848 bitios. De estos, 24 son siempre bitios de cabecera (10 bitios como señal de alineamiento de trama, y los bitios de control de justificación C1, C2 y C3 que constan de cuatro bitios cada uno). (20 bitios son siempre bitios de información en los 205 intervalos de tiempo de cuatro bitios cada uno. Por lo tanto hay un intervalo de tiempo de cuatro bitios (que le sigue inmediatamente al intervalo de tiempo C3) que contiene bitios que algunas veces son información y otras son falsos. En algunos manuales se refiere a este intervalo de tiempo como intervalo de tiempo 155, y en otros como intervalo de tiempo B. Estos son los bitios disponibles para la justificación, es decir, para ajustar pequeñas variaciones de velocidad en las tributarias de 2M.

La multiplexación es realizada por medio del entrelazado de los intervalos de tiempo. En un intervalo de tiempo de 4 bitios, el primer bitio corresponderá a la primera tributaria de 2M, el segundo a la segunda tributaria y así sucesivamente. Cada tributaria es enviada a una memoria temporal (elástica), y esta es leída secuencialmente por el MUX, un bitio a la vez. Esto trabaja en forma correcta siempre y cuando todas las tributarias sean enviadas exactamente a la misma velocidad (síncronas), aunque si una de ellas, por decir la tributaria No. 3, es enviada a una velocidad levemente inferior, esto significaría que la memoria asociada con la tributaria No. 3 no sería leída (descargada) más rápida que la correspondiente a las demás tributarias; si permitimos que esto continúe, se llegará a un punto donde el MUX tratará de leer un bitio que todavía no se encuentra disponible. Para prevenir que esto suceda, un circuito detector de fase detiene el proceso de lectura (en un

instante dado), y en lugar de leer la memoria de la tributaria No. 3, insertará un bitio falso en la posición 3 del intervalo de tiempo 155 (intervalo de tiempo V) en reemplazo de un bitio de dato real. Esto le da a la tributaria No. 3 una oportunidad para alcanzar a las demás.

Mientras esta sucediendo todo esto, el MUX esta insertando 1's en la posición del bitio 3 de C1, C2 y C3 (en la normalidad estos bitios son 0's). En cualquier instante que la mayoría de los bitios de control de justificación ubicados en la posición particular sean 1's, significa que el bitio correspondiente en el intervalo de tiempo 155 (intervalo de tiempo B) es un bitio falso.

Teóricamente cuando se utiliza la justificación no debería existir diferencia entre si el bitio falso es 1 o 0, sin embargo, en los equipos de multiplexaje digital correspondientes a la 4ta. generación de NEC, se ha decidido el utilizar los bitios falsos para cierto uso. Por medio de un interruptor manual, es posible controlar si el bitio falso es 1 o 0 en una posición particular de bitio, y utilizar de esta manera el bitio falso para controlar la característica de bucle remoto de la tributaria correspondiente. Si el bitio falso es 1, este será ignorado en el otro extremo, si este es 0, efectuará un bucle de la tributaria de 2M en el otro extremo ¹.

En un segundo, estamos recibiendo desde las cuatro tributarias 2.048 E6 x 4 = 8.192 E 6 bitios de información, lo cual es considerablemente inferior a los 8.448 E 6 que se esta transmitiendo en un segundo; para ser exacto 256000 bitios menos. En una trama de 8M, estamos insertando 24 bitios de cabecera

¹ Siempre se tendrá una cierta cantidad de justificación, aún si las tributarias de 2M se encuentran sincronizadas. Esta cantidad de justificación se conoce como justificación fija.

por trama, y debido a que cada trama tiene 848 bits de longitud, en un segundo estaremos transmitiendo:

$$\frac{8.448E6}{848} = 9962.2641 \frac{\text{Tramas}}{s}$$

y debido a que tenemos 24 bits por trama que son de cabecera significa que serán $24 \times 9962.2641 = 239.09433 E 3$ bits de los 256 E 3 bits dejando 16905.67 bits de no información en un segundo. Estos pueden provenir solamente de los bits disponibles para justificación o sea del intervalo de tiempo 155 (intervalo de tiempo B). Como este intervalo de tiempo tiene 4 bits, significa que en un segundo ocurrirá:

$$\frac{16905.678}{4} = 4226.4175 \text{ veces}$$

ó

$$\frac{4226.4175 \text{ veces}}{9962.2641 \text{ tramas}} = 42.4246 \% \text{ del tiempo}$$

lo que se conoce como justificación fija o tasa nominal de justificación (0.424).

3.4.-MEMORIA ELASTICA

La función de la memoria elástica es observar las diferencias de frecuencia entre dos relojes cuyas frecuencias promedio son iguales o muy parecidas. Los dígitos entrantes son escritos dentro de la memoria bajo el control del reloj de escritura y son leídos bajo el control de un reloj interno conocido como reloj de lectura. El número de elementos almacenados en la memoria elástica determina el retardo máximo permisible entre la escritura y la lectura, dependiendo su cantidad de la aplicación. El concepto de memoria elástica se aplica por medio del conmutador análogo de la figura 3.3.

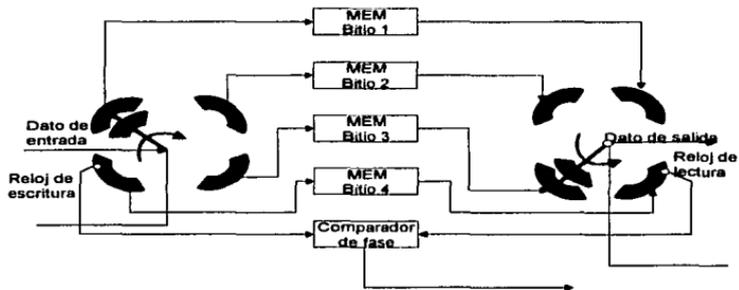


Figura 3.3 Memoria elástica

De acuerdo a la fig. 3.3 una escobilla escribe el dato dentro de la memoria en el bit designado, y una segunda escobilla leerá el dato. La velocidad angular de las escobillas corresponden a las frecuencias de los relojes de escritura y lectura. Si la lectura es más lenta que el reloj de escritura,

la escobilla de lectura eventualmente será "cogido" por la escobilla de escritura con el resultado de que el dato almacenado se perderá debido a que este será reescrito antes de que sea leído. Inversamente si el reloj de escritura es más lento que el reloj de lectura, el dato almacenado será leído dos veces. En ambos casos se dice que la memoria se está "rebalsando". En los sistemas con pulsos de relleno (bits de justificación), se da el caso de que por ejemplo, la frecuencia del reloj de lectura sea mayor a la frecuencia del reloj de escritura (justificación positiva). Un comparador de fase monitorea la diferencia entre las fases de los relojes de escritura y lectura. Si se presenta un "rebalse", el MEM-bit (bit que se encuentra en la memoria) será leído dos veces, permitiendo que el reloj de escritura sea alcanzado. El "rebalse" ocurrirá solamente en intervalos de tiempo predeterminados de tal manera que los pulsos extras sean removidos en el terminal de recepción.

En la siguiente representación se puede notar la diferencia entre los relojes de escritura y de lectura.

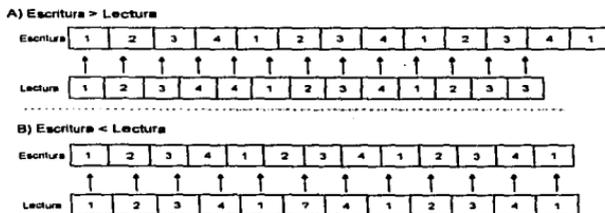


Figura 3.4 Secuencia de bits de los relojes de escritura y lectura en un sistema digital cualquiera.

Implementación digital

La escobilla de escritura de la fig. 3.3 es implementada con un contador de N bits y un decodificador de N : 2^N , mientras que la escobilla de lectura se convierte en un multiplexor de 2^N líneas direccionado con un contador de N bits. El reloj de escritura adelanta al contador de escritura causando que un "1" aparezca en una (y solamente una) de las salidas del decodificador de 2^N líneas de salida. El dato de entrada está sincronizado en el correspondiente FF tipo D. El reloj de lectura adelanta al contador de lectura causando que la información de uno de los multiplexores de 2^N líneas de entrada aparezcan a la salida del multiplexor. El relleno se presenta cuando se inhibe el avance del contador de lectura.

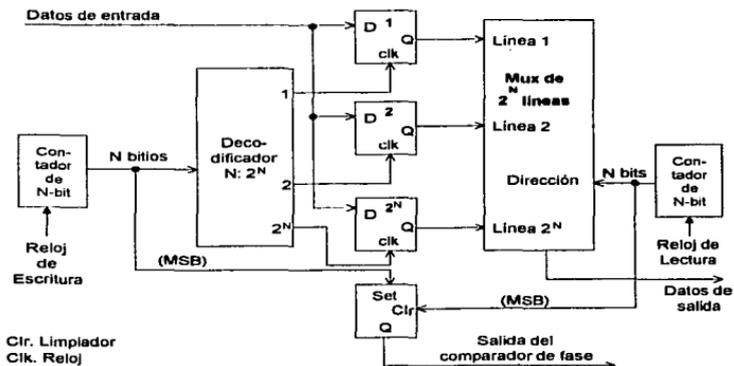


Figura 3.5 Implementación digital de una memoria elástica.

La diferencia de fase entre los dos relojes podrá ser monitoreado por medio de un sencillo comparador de fase, el FF es activado por el MSB del contador de escritura y es reseteado por el bitio correspondiente del contador de lectura. En la fig. 3.6 se muestran las curvas características de un comparador de fase. Bajo condiciones normales, cuando las lecturas de cada bitio de la MEM ocurren a mitad de camino entre las escrituras, la salida del FF será una onda cuadrada con un ciclo de trabajo del 50%. A medida que la fase relativa de los dos relojes cambie, el ciclo de trabajo de salida también cambiará. El valor promedio de la salida obtenido por el filtro pasa-bajo es una medida del ciclo de trabajo y por lo tanto de la diferencia de fase (ocupación de la memoria).

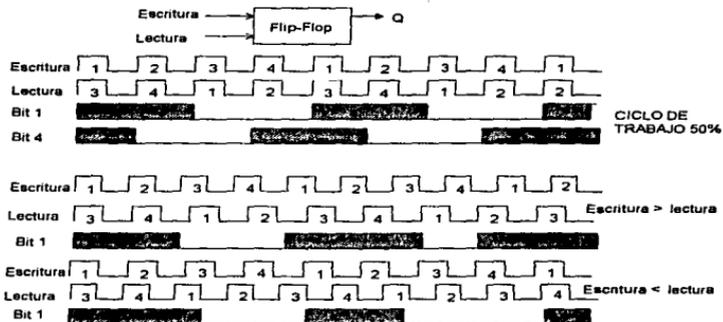


Figura 3.6 Curvas características de un comparador de fase

3.5.-ESTRUCTURA DE TRAMA DEL NIVEL 3.

El tercer nivel jerárquico a 34 Mbps se obtiene por multiplexado bit a bit mediante la utilización sucesiva del proceso de multiplexación temporal a 8 Mbps. Combinado con un procedimiento de justificación positiva (relleno positivo)². Para ello se utiliza una trama que se ha dividido en cuatro bloques (figura 3.7) que son del tamaño de la velocidad binaria nominal de las señales de entrada puesto que la estructura de trama contiene además de la información útil, informaciones adicionales referentes a alineación de trama y supervisión así como las informaciones de justificación "relleno" para la adaptación del reloj.

A continuación se explica con más detalle la estructura de trama del tercer nivel jerárquico: en el bloque I de la trama hay diez bits para la palabra de alineación de trama, dos bits para la palabra de alarma (los bits de relleno D para "alarma urgente" y N para "alarma no urgente") y 372 bits de información (útiles). En los bloques II, III y IV de la trama se entrelazan bits de información de justificación bit a bit en las posiciones 1ª y 4ª, correspondientes a las señales de entrada. La información (relleno o no relleno) está contenida en una palabra de identificación de tres bits (por cada señal de entrada), que es evaluada en el equipo colateral; después de la palabra de identificación 111 sigue un bit de relleno "B". Para que en el caso de presencia de bits erróneos

² Este procedimiento se utiliza principalmente en los multiplexores digitales para poder agrupar señales plesiócronas en el múltiplex temporal. En este caso, para una señal de entrada se dispone de un canal temporal cuya capacidad es algo mayor que la velocidad nominal binaria de la señal de entrada. Para determinados bits de la señal de transmisión, que están definidos por su posición en la trama (bits de relleno), se notifica, mediante bits de información de relleno, si aquellos contienen o no información.

se mantenga lo menor posible un error de los bits de la información de relleno, éstos se reparten a lo largo de la trama. Adicionalmente mediante una decisión por mayoría en el receptor durante la evaluación de los bits de información de relleno, se evita una decisión errónea y con ello un deslizamiento de bit (consecuencia: pérdida del sincronismo de los sistemas de 8 Mbps).

Para el proceso propio de justificación se han previsto las posiciones binarias "B" (5 a 8) en el paquete de información NI del bloque IV, pudiendo transmitirse aquí en caso de justificación por cada señal 8 Mbps un bit de relleno (bit vacío) o un bit de información útil.

La cantidad respectiva de bits a transmitir en una trama es función de la relación entre la velocidad binaria de la señal individual respectiva y la velocidad binaria de la señal del múltiplex.



Figura 3.7 Estructura de trama del nivel jerárquico n° 3

3.6.-ESTRUCTURAS DE LAS TRAMAS DE LOS NIVELES JERARQUICAS 4 Y 5.

Para el entrelazado temporal de las señales de 34 Mbps en la señal multiplexada de 140 Mbps, se utiliza una trama de 2928 bits que está dividida en seis bloques de 488 bits (conforme al CCITT) con una duración de trama de 21.02 μ s (figura 3.8). El bloque 1 contiene la palabra de alineación de trama en las doce primeras posiciones binarias seguida de la palabra binaria de 4 bits compuesta por los bits de servicio D para "alarma urgente" y N para "alarma no urgente", así como de los bits Y1 y Y2 para formar canales de datos propios del sistema.

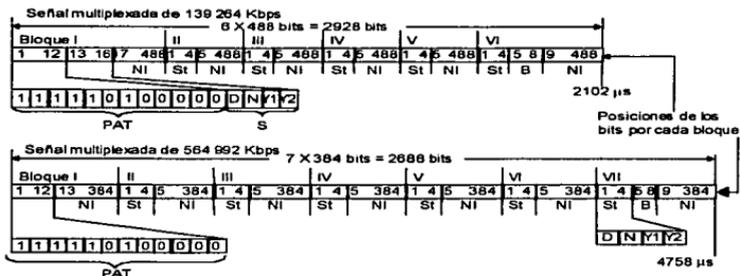
Los bits de información de relleno se entrelazan en el flujo binario de información útil en las cuatro primeras posiciones de los bloque II a IV; éstos conforman al equipo colateral, en una palabra de identificación de 5 bits por cada señal, sobre la tolerancia de bits que se mueve flexiblemente: después de la palabra de identificación 00000 sigue un bit útil; después de 11111, un bit de relleno. Su contenido indica si en el bloque VI, en las posiciones "B" (5 a 8), se transmiten bits de relleno para la adaptación del reloj o bits de información útil.

Para cada señal de 34 Mbps se puede transmitir por trama una información útil de 723 o de 722 bits en función de la velocidad binaria real de las señales plesiócronas motivada por la división de trama.

Sabiendo de jerarquía, para el entrelazado temporal de cuatro señales de 140 Mbps se utiliza una trama de 2688 bits que determina una velocidad binaria de 564992 Mbps para la señal digital multiplexada (figura 3.8). Aunque

esta trama no esta normalizada por el CCITT, se inserta armónicamente en la jerarquía de transmisión digital de 2 Mbps bajo cumplimiento de todas las recomendaciones competentes del CCITT. Las características de la trama que la diferencian del cuarto nivel jerárquico son:

- división en siete bloques.
- palabra de alarma de cuatro bits en el último bloque.
- duración de la trama de 4758 μ s.
- transmisión de una información útil, por cada señal de 140 Mbps, de 633 0632 bits por trama.



PAT Palabra de alineamiento de trama
 S Bits de servicio
 NI Bits de información útil
 St Bits de información de relleno
 B Bits de relleno de información

} Entrelazados bit a bit en las cuatro señales de entrada

Figura 3.8 Estructuras de las tramas de los niveles jerárquicos 4 y 5.

CAPITULO IV

CODIGOS DE TRANSMISION

Las señales MIC u otras señales digitales se generan en los equipos la mayoría de las veces como señales de salida que provienen de circuitos integrados (por ejemplo de silicio); presentándose, por lo tanto, como señales binarias con "niveles lógicos" de los circuitos en cuestión [por ejemplo, CMOS(Complementary Metal Oxide Semiconductor), TTI (Transistor-Transistor Logic), I² L (Integrated Injection Logic)]. Para su transmisión estas señales tienen que ser convertidas en la forma adecuada (aunque sea solamente a través "de una línea de interfaz" entre dos equipos que pudieran estar en un edificio de la Administración de telecomunicaciones). Los requisitos más importantes son los siguientes (para la transmisión eléctrica):

- que no haya tensión o corriente continua y que los componentes de baja frecuencia sean lo menor posibles, para que puedan intercalarse transformadores en la vía de transmisión de la señal;
- mantener el espectro de la señal en las frecuencias más bajas posibles, para que la atenuación en el canal sea pequeña;
- que haya la posibilidad de transmitir secuencias de bit discretionales (por ejemplo, incluso secuencias prolongadas de ceros), es decir, que exista lo que se llama independencia de la secuencia de bits (bit sequence independence) o transparencia de bits.

Las señales binarias, como son entregadas por los circuitos lógicos (Figura 4.1A), no cumplen los requerimientos, por lo que se han implantado o introducido otros códigos de transmisión.

4.1.-CODIGO AMI (Alternate Mark Inversion)

En este código se transmite cada "1" como impulso; cambiando o alternando la polaridad de impulsos consecutivos, los valores binarios "0" se reproducen como pausas (figura 4.1B). El código AMI se utiliza especialmente en Norteamérica en gran medida para la transmisión de señales multiplexadas con 1.544 Kbps. Pero no cumple con el requerimiento de la transparencia de bits o de la independencia de la secuencia de bits, que ha sido formulada en relación con la RDSI (ISDN por sus siglas en inglés).

4.2.-CODIGOS HDBn (High Density Bipolar of order n)

Estos códigos son "códigos AMI modificados", en los cuales la regla de alternancia de polaridades de impulsos consecutivos es violada intencionalmente: en el caso de que en la señal binaria se presenten más de n bits cero consecutivos, se inserta un impulso V ["impulso de violación" (violation pulse)], que tiene la misma polaridad que tiene el precedente (figura 4.1C). Para lo cual se sustituyen $n + 1$ bits "0" o bien por n bits "0" con el impulso V siguiente o por impulsos $AMI B + (n - 1)$ bits "0" + el impulso V ; un ejemplo para el código HDB3 nos lo muestra la figura 5.1C. La aplicación de ambas variantes — aquí 000V o B00V — tiene lugar de tal forma que la polaridad del impulso V es alternativa. Mediante el impulso V se consigue que un receptor de señales

pueda extraer también el reloj incluso durante secuencias de ceros prolongadas, de tal forma que se cumpla la transparencia de la secuencia de bits (secuencia binaria).

El código HDB3 es el código interfaz para los 2048, 8448, y 34368 Kbps y es utilizado también en las rutas con cables simétricos a 2048 Kbps como código de transmisión o código de línea.

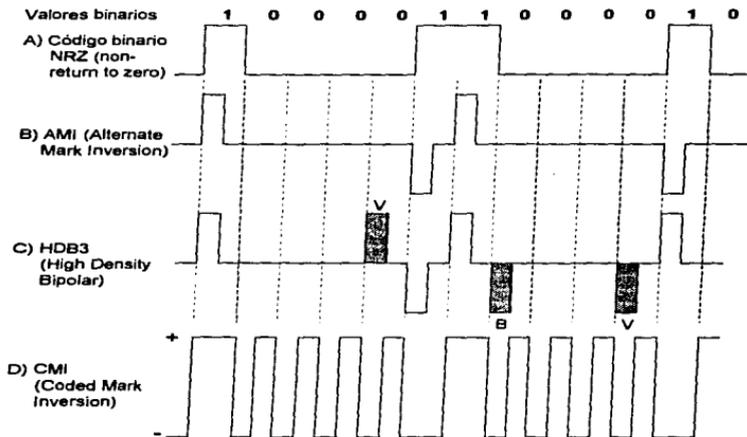


Figura 4.1 Código binario y otros códigos de transmisión AMI, HDB3, y CMI están normalizados por el CCITT.

4.3.- CODIGO CMI (CODED MARK INVERSION)

Es un código de interfaz binario (figura 5.1D), en un principio para los 140 Mbps, en el cual los bits "1" alternan en su polaridad, mientras que los bits "0" son negativos en la primera mitad del intervalo de tiempo del bit y positivos en la segunda mitad.

Apéndice

A.1 Extracto de la Recomendación G.703 con respecto a los niveles jerárquicos 1 a 5 en el sistema Europeo y México.

1 Interfaz a 64 Kbps

1.1 Requisitos funcionales

1.1.1 Para el diseño del interfaz se han recomendado los requisitos fundamentales siguientes:

1.1.2 Tres señales atraviesan el interfaz en los dos sentidos, transmisión y recepción, a saber:

- la señal de información a 64 Kbps
- la señal de temporización a 64 KHz
- la señal de temporización a 8 KHz

Observación 1 — Se debe generar una señal de temporización de 8 KHz, pero no será obligatorio para el equipo en el lado de servicios del interfaz (por ejemplo señales de datos o señalización) utilizar la señal de temporización de 8 KHz procedente del múltiplex MIC o del equipo de acceso a un intervalo de tiempo, ni proporcionar una señal de temporización de 8 KHz al equipo MIC.

Observación 2 — La detección de una avería en un punto situado hacia el origen puede transmitirse a través de un interfaz a 64 Kbps enviando una señal de indicación de alarma (AIS), interrumpiendo la señal de temporización de 8 KHz en el sentido de recepción, o de ambas formas.

1.1.3 El interfaz debe ser independiente de la secuencia de bits a 64 Kbps.

Observación 1 — Pueden transmitirse a través del interfaz señales a 64 Kbps sin ninguna restricción. Sin embargo, esto no implica que puedan realizarse, sobre una base global, trayectos a 64 Kbps no sujetos a restricción alguna. Esto se debe a que algunas administraciones se proponen instalar o estar instalando vastas redes compuestas de secciones de línea digital cuyas características no permiten la transmisión de largas secuencias de 0. (La recomendación G.733 prevé equipos múltiplez MIC con características apropiadas para estas secciones de línea digital.) En lo que respecta específicamente a fuentes de trenes binarios con temporización de octetos, en redes digitales a 1544 Kbps se exige que haya, por lo menos, un 1 binario en cada uno de los octetos de un señal digital a 64 Kbps. En los trenes binarios no sujetos a temporización de octetos, la señal a 64 Kbps no podrá tener más de 7 ceros consecutivos.

Observación 2 — Aunque el interfaz es independiente de la secuencia de bits, la utilización de la señal AIS (secuencia todos 1) puede dar lugar a la imposición de ciertas de menor importancia a la fuente de 64 Kbps. Por ejemplo, una señal de alineación de trama todos 1 podría ocasionar problemas.

1.1.4 Se han previsto tres tipos de interfaces

1.1.4.1 Interfaz codireccional

El termino codireccional se utiliza para describir un interfaz a través del cual la información y las señales de temporización asociadas se transmiten en el mismo sentido (véase la figura 1/G.703).

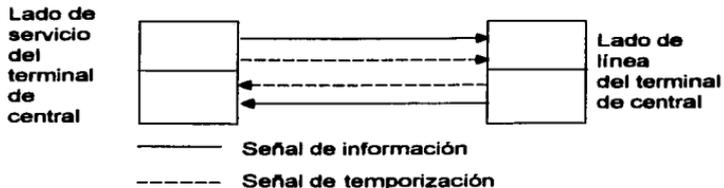


Figura 1/G.703 *Interfaz codireccional*

1.1.4.2 Interfaz de reloj centralizado

El término reloj centralizado se utiliza para describir un interfaz donde, para ambos sentidos de recorrido de la señal de información, las señales de temporización asociadas tanto al terminal de central en el lado de línea como al terminal de central en el lado de servicios se toman de un reloj centralizado que puede derivarse, por ejemplo de ciertas señales de línea de llegada (véase la figura 2/G.703).

Observación — El interfaz codireccional o el interfaz de reloj centrado deben utilizarse para redes sincronizadas y para redes plesiócronas cuyos relojes tengan la estabilidad requerida (véase la recomendación G.811), a fin de asegurar un intervalo adecuado entre los deslizamientos.

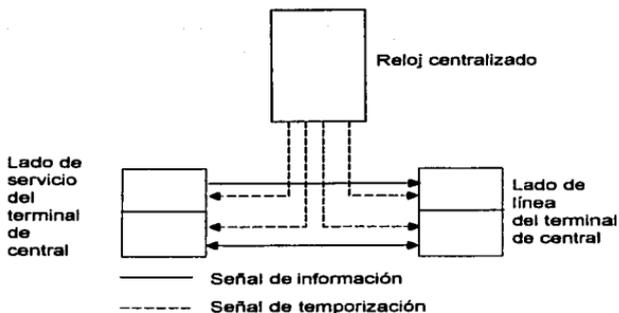


Figura 2/G.703 *Interfaz de reloj centralizado*

1.1.4.3 Interfaz contradireccional

El término contradireccional se utiliza para caracterizar un interfaz a través del cual las señales de temporización asociadas a ambas direcciones de transmisión se dirigen hacia el lado de servicios (por ejemplo, datos o señalización) del interfaz (véase la figura 3/G.703).

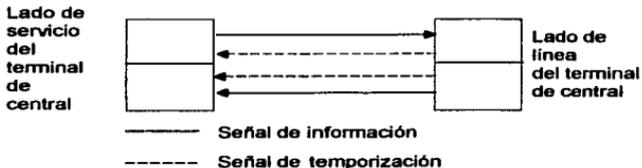


Figura 3/G.703 *Interfaz contradireccional*

1.2 Características eléctricas

1.2.1 Características eléctricas del interfaz codireccional a 64 Kbps

1.2.1.1 Consideraciones generales

1.2.1.1.1 Velocidad binaria nominal: 64 Kbps.

1.2.1.1.2 Tolerancia máxima para las señales transmitidas a través del interfaz: ± 100 ppm.

1.2.1.1.3 Las señales de temporización de 64 KHz y 8 KHz se transmitirán codireccionalmente con la señal de información.

1.2.1.1.4 Se utilizará un par simétrico para cada sentido de transmisión: se recomienda la utilización de transformadores.

1.2.1.1.5 Reglas de conversión de código

Paso 1 — Un periodo de un bit a 64 Kbps se divide en cuatro intervalos unitarios.

Paso 2 — Un 1 binario se codifica como un bloque constituido por los cuatro bits siguientes:

1100

Paso 3 — Un 0 binario se codifica como un bloque constituido por los cuatro bits siguientes:

1010

Paso 4 — La señal binaria se convierte en una señal de tres niveles alternando la polaridad de los bloques consecutivos.

Paso 5 — La alternancia de la polaridad de los bloques se viola cada octavo bloque. El bloque con esta violación indica el último bit de un octeto.

Estas reglas de conversión se indican en la figura 4/G.703.

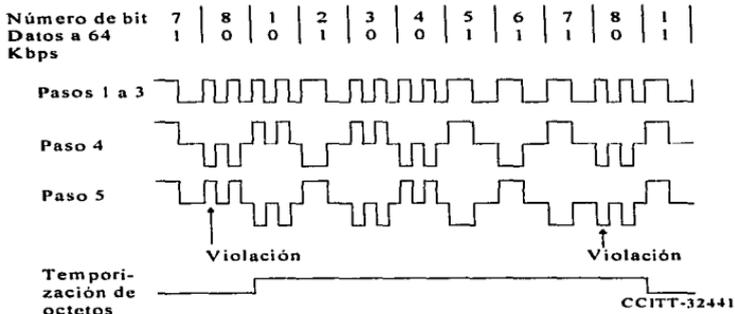


Figura 4/G.703

1.2.1.2 Especificaciones en los accesos de salida (véase el cuadro 1/G.703)

1.2.1.3 Especificaciones en los accesos de entrada

La señal digital presentada en los accesos de entrada deberá corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. La atenuación de estos pares está comprendida entre 0 y 3 dB a la frecuencia de 128 KHz. Esta atenuación tendrá en cuenta posibles pérdidas debidas a la presencia de un repartidor digital entre los equipos.

Observación — Si el par simétrico está blindado, el blindaje se conectará a tierra en el acceso de salida, y se preverá, en caso necesario, su conexión a tierra en el acceso de entrada.

Cuadro 1/G.703

Velocidad de símbolos	256 Kbaudios
Forma del impulso (forma nominal rectangular)	Un par simétrico
Impedancia de carga de prueba	120 ohmios, resistiva
Tensión de cresta nominal de una "marca" (impulso)	1.0 V
Tensión de cresta de un "espacio" (ausencia de impulso)	0 V \pm 0.10 V
Anchura nominal del impulso	3.9 μ s
Relación entre la amplitud de los impulsos positivos y la de los negativos en el centro del intervalo unitario	De 0.95 a 1.05
Relación entre la anchura de los impulsos positivos y la de los negativos en el punto de semiamplitud nominal	De 0.95 a 1.05

1.2.2 Características eléctricas del interfaz de reloj centralizado a 64 Kbps

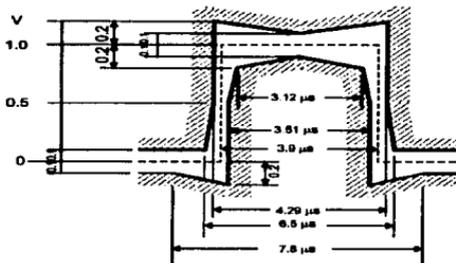
1.2.2.1 Consideraciones generales

1.2.2.1.1 Velocidad binaria nominal: 64 Kbps. La tolerancia viene determinada por la estabilidad del reloj de la red (véase la recomendación G.811).

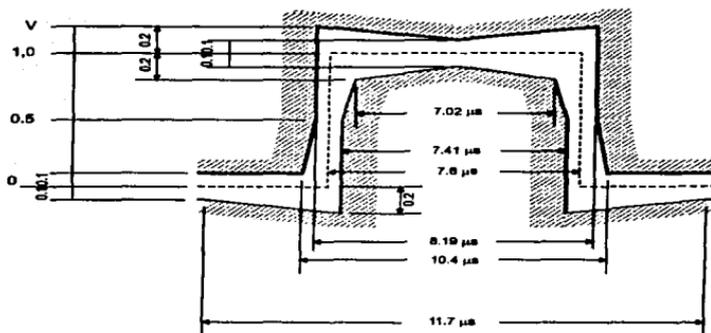
1.2.2.1.2 Para cada sentido de transmisión deberá haber un par simétrico de hilos para la señal de datos. Además, deberá haber pares simétricos de hilos para transportar la señal de temporización compuesta (64KHz y 8 KHz) de la fuente de reloj central al equipo terminal de central. Se recomienda la utilización de transformadores.

1.2.2.1.3 Reglas de conversión de código

Las señales de datos se codifican en código AMI y los impulsos tienen una relación de trabajo de 100%. Las señales compuestas de temporización transportan la información de temporización de bits a 64 KHz en código AMI con una relación de trabajo de 50 a 70%, y la información sobre la fase del octeto a 8 KHz mediante violaciones a la regla de codificación. La estructura de las señales y sus relaciones de fase nominales se muestran en la figura 6/G.703.



a) Plantilla para un impulso simple



b) Plantilla para un impulso doble

Observación — Los límites se aplican a impulsos de cualquier polaridad.

Figura 5/G.703 Plantillas para los impulsos en el caso de un interfaz codireccional a 64 Kbps.

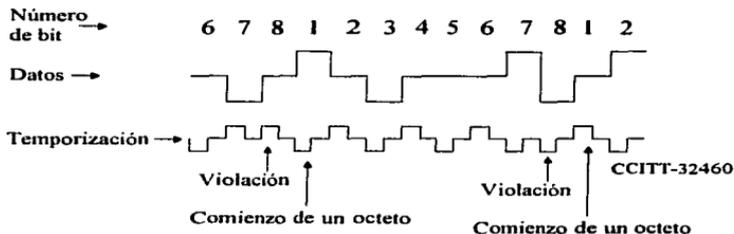


Figura 6/G.703 Estructura de las señales en los accesos de salida del terminal de central para el interfaz de reloj centralizado a 64 Kbps.

1.2.2.2 Especificaciones en los accesos de salida (véase el cuadro 2/G.703)

Cuadro 2/G.703

Parámetros	Datos	Temporización
Forma del impulso	Forma nominal rectangular, con tiempos de establecimiento y caída inferiores a $1 \mu\text{s}$	Forma nominal rectangular, con tiempos de establecimiento y caída inferiores a $1 \mu\text{s}$
Impedancia de carga nominal de prueba	110 ohmios, resistiva	110 ohmios, resistiva
Tensión de cresta de una "marca" (impulso)	a) $1.0 \pm 0.1 \text{ V}$ b) $3.4 \pm 0.5 \text{ V}$	a) $1.0 \pm 0.1 \text{ V}$ b) $3.0 \pm 0.5 \text{ V}$
Tensión de cresta de un espacio (ausencia de impulso)	a) $1.0 \pm 0.1 \text{ V}$ b) $3.4 \pm 0.5 \text{ V}$	a) $0 \pm 0.1 \text{ V}$ b) $0 \pm 0.5 \text{ V}$
Anchura nominal del impulso	a) $15.6 \mu\text{s}$ b) $15.6 \mu\text{s}$	a) $7.8 \mu\text{s}$ b) $9.8 \text{ a } 10.9 \mu\text{s}$

Observación — La elección entre los juegos de parámetros a) y b) permite tener en cuenta diferentes ambientes de ruido de central y diferentes longitudes máximas de cable entre los tres equipos de central implicado.

1.2.2.3 Características de los accesos de entrada

Las señales digitales presentadas en los accesos de entrada deberán corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. Los parámetros variables del cuadro 2/G.703 permitirán obtener distancias de interconexión máximas típicas de 350 a 450 m.

1.2.2.4 Características del cable

Las características de transmisión del cable que ha de utilizarse deben seguir estudiándose.

1.2.3 Características eléctricas del interfaz contradireccional a 64 Kbps

1.2.3.1 Consideraciones generales

1.2.3.1.1 Velocidad binaria: 64 Kbps.

**1.2.3.1.2 Tolerancia máxima para las señales que se transmitan por el interfaz:
± 100 ppm.**

1.2.3.1.3 Para cada sentido de transmisión deberá haber dos pares simétricos: uno para cada señal de datos y otro para una señal de temporización compuesta (64 KHz y 8 KHz). Se recomienda la utilización de transformadores.

Observación — Si es necesario, a escala nacional, proporcionar una indicación de alarma separada a través del interfaz, esto puede realizarse interrumpiendo la señal de temporización de 8 KHz en el sentido de que se trate, es decir, inhibiendo las violaciones de código introducidas en la señal de temporización compuesta correspondiente (véase más adelante).

1.2.3.1.4 Reglas de conversión de código

Las señales de datos se codifican en código AMI y los impulsos tienen una relación de trabajo del 100%. Las señales compuestas de temporización transportan la información transportan la información de temporización de bits a 64 KHz mediante el empleo del código AMI con una relación de trabajo del 50%, y la información sobre la fase de la señal de temporización de octetos a 8 KHz, introduciendo violaciones a la regla de codificación. La estructura de las señales y sus relaciones de fase en los accesos de salida de datos se muestran en la figura 7/G.703.

Los impulsos de datos recibidos del lado de servicios (por ejemplo datos o señalización) del interfaz se retardarán algo en relación con los impulsos de temporización correspondientes. El instante de detección de un impulso de datos recibido del lado de línea (por ejemplo: MIC) del interfaz deberá situarse, pues, en el flanco anterior del siguiente impulso de temporización.



Figura 7/G.703 Estructura de las señales en los accesos de salida de datos para el interfaz contraridireccional a 64 Kbps.

Cuadro 3/G.703

Parámetros	Datos	Temporización
Forma del impulso (forma nominal rectangular)	Todos los impulsos de una señal válida deben ajustarse a la plantilla de la figura 8/G.703, sea cual fuere la polaridad	Todos los impulsos de una señal válida deben ajustarse a la plantilla de la figura 9/G.703, sea cual fuere la polaridad
Par (es) en cada sentido de transmisión	Un par simétrico	Un par simétrico
Impedancia de carga de prueba	120 ohmios, resistiva	120 ohmios, resistiva
Tensión de cresta de una "marca" (impulso)	1.0 V	1.0 V
Tensión de cresta de un espacio (ausencia de impulso)	0 ± 0.1 V	0 ± 0.1 V
Anchura nominal del impulso	15.6 μ s	7.8 μ s
Relación entre la amplitud de los impulsos positivos y la de los negativos en el centro del intervalo de un impulso	De 0.95 a 1.05	De 0.95 a 1.05

lado de servicios (p.e. datos o señalización) del interfaz es esencial que estas transiciones no sean iniciadas antes de los instantes definidos por la señal de temporización recibida.

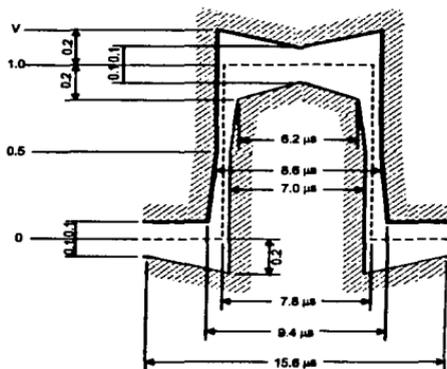


Figura 9/G.703

Plantilla para el impulso de temporización en el caso de un interfaz contradiereccional a 64 Kbps.

1.2.3.1.5 Especificaciones en los accesos de entrada

Las señales digitales presentadas en los accesos de entrada deberán corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. La atenuación de estos pares esta comprendida entre

0 y 3 dB, a la frecuencia de 32 KHz. Esta atenuación tendrá en cuenta posibles pérdidas debidas a la presencia de un repartidor digital entre los equipos.

Observación — Si los pares simétricos están blindados, los blindajes deben conectarse a tierra en el acceso de salida, y se tomarán medidas para, en caso necesario, conectarlos también a tierra en el acceso de entrada.

6 Interfaz a 2048 Kbps

6.1 Características generales

Velocidad binaria 2048 Kbps \pm 50 ppm

Código: HDB3 (Bipolar de alta densidad de orden 3)

6.2 Especificaciones en los accesos de salida (véase cuadro 6/G.703)

6.3 Especificaciones en los accesos de entrada

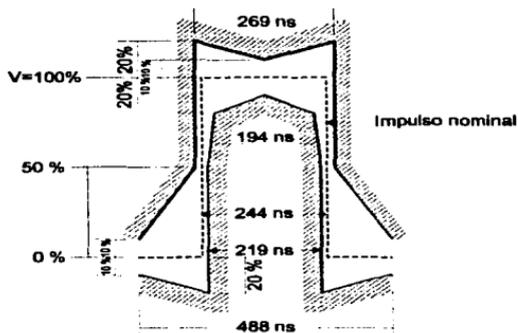
La señal digital presentada en los accesos de entrada deberá corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. La atenuación de estos pares deberá seguir una ley \sqrt{f} y la atenuación a la frecuencia de 1024 KHz deberá estar comprendida entre 0 y 6 dB. Esta atenuación tendrá en cuenta posibles pérdidas debidas a la presencia de un repartidor digital entre los equipos.

En lo relativo a la fluctuación de fase que ha de tolerarse en los accesos de entrada, véase el § 3 de la recomendación G.823.

La pérdida de retorno en los accesos de entrada deberá tener los siguientes valores mínimos provisionales.

Frecuencias correspondientes al porcentaje de la velocidad binaria	Pérdida de retorno
2.5 a 5%	12 dB
5 a 100%	18 dB
100 a 150%	14 dB

Nota — La necesidad de incluir en la presente recomendación un requisito en materia de inmunidad a la interferencia se halla en estudio.



Observación — V corresponde al valor de cresta nominal.

Figura 15/G.703

Plantilla para el impulso en el caso de un interfaz a 2048 Kbps.

Cuadro 6/G.703

<p>Forma del impulso (forma nominal: rectangular)</p>	<p>Todas las marcas de una señal válida deberán ajustarse a la plantilla (Fig. 15 G.703), independientemente del signo. El valor V corresponde al valor nominal de la cresta.</p>	
<p>Tensión nominal de cresta de una marca (impulso)</p>	<p>2.37 V</p>	<p>3V</p>

Continuación cuadro 6/G. 703

Tensión de cresta de un espacio (ausencia de impulso)	$0 \pm 0.237 \text{ V}$	$0 \pm 3 \text{ V}$
Relación entre la anchura de los impulsos positivos y la de los negativos en los puntos de semiamplicud nominal	De 0.45 a 1.05	
Relación entre la amplitud de los impulsos positivos y la de los negativos en el punto medio del intervalo de un impulso	De 0.45 a 1.05	
Partes en cada sentido de transmisión	Un par coaxial véase el § 6.4	Un par simétrico véase el § 6.4
Impedancia de carga de prueba	75 ohmios, resistiva	120 ohmios resistiva
Anchura nominal del impulso	244 ns	
Fluctuación de fase máxima cresta a cresta en un acceso de salida	Véase el § 2 de la recomendación G.823	

6.4 Puesta a tierra del conductor exterior o del blindaje

El conductor exterior del par coaxial o el blindaje del par simétrico deberán conectarse a tierra en el acceso de salida; también deberá perverse la conexión a tierra de ese conductor exterior o del blindaje en el acceso de entrada, si es necesario.

7 Interfaz a 8.448 Kbps

7.1 Características generales

Velocidad binaria 8448 Kbps \pm 30 ppm

Código HDB3

7.2 Especificaciones en los accesos de salida (indicaciones en el cuadro 7/G.703)

Cuadro 7/G.703

Forma del impulso (forma nominal rectangular)	Todas las marcas de una señal válida deberán ajustarse a la plantilla (Fig. 16/G.703), independientemente del signo
Par (es) en cada sentido de transmisión	Un par coaxial (véase el § 7.4)
Impedancia de carga de prueba	75 ohmios, resistiva
Tensión nominal de cresta de una marca (impulso)	2.37 V
Tensión de cresta de un espacio (ausencia de impulso)	0 ± 0.237 V
Anchura nominal del impulso	59 ns

Continuación de cuadro 7/G.703

Relación entre las anchuras de los impulsos positivos y la de los negativos en el punto medio del intervalo de un impulso	De 0.95 a 1.05
Relación entre las anchuras de los impulsos positivos y los negativos para los puntos de semiamplitud nominal	De 0.95 a 1.05
Fluctuación de fase máxima cresta en un acceso de salida	Véase el § 2 de la recomendación G.823

7.3 Especificaciones en los accesos de entrada

La señal digital presentada en los accesos de entrada deberá corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. La atenuación de estos pares deberá seguir una ley \sqrt{f} y la atenuación a la frecuencia de 4224 KHz deberá estar comprendida entre 0 y 6 dB. Esta atenuación tendrá en cuenta posibles pérdidas debidas a la presencia de un repartidor digital entre los equipos.

En lo relativo a la fluctuación de fase que ha de tolerarse en los accesos de entrada, véase el § 3 de la recomendación G.823.

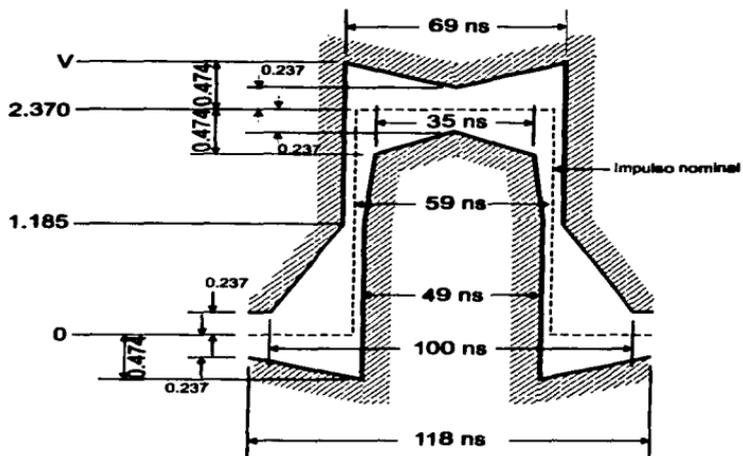


Figura 16/G.703 Plantilla para el impulso en el caso de un interfaz a 8448 Kbps

La pérdida de retorno en los accesos de entrada deberá tener los siguientes valores mínimos provisionales:

Frecuencias correspondientes al porcentaje de la velocidad binaria nominal	Pérdida de retorno
2.5 a 5%	12 Db
5 a 100%	18 dB
100 a 150%	14 dB

Nota — La necesidad de incluir en la presente recomendación un requisito en materia de inmunidad a la interferencia se halla en estudio.

7.4 Puesta a tierra del conductor exterior o del blindaje

El conductor exterior del par coaxial deberá conectarse a tierra en el acceso de salida y también deberá preverse la conexión a tierra de este conductor en el acceso de entrada, si es necesario.

8 Interfaz a 34368 Kbps

8.1 Características generales

Velocidad binaria: 34368 Kbps \pm 20 ppm

Código: HDB3

8.2 Especificaciones en los accesos de salida (indicada en el cuadro 8/G.703)

Cuadro 8/G.703

Forma del impulso (forma nominal rectangular)	Toda las marcas de una señal válida deberán ajustarse a la plantilla (figura 17/G.703), independientemente del signo
Par (es) en cada sentido de transmisión	Un par coaxial (véase el apartado 8.4)
Impedancia de carga de prueba	75 ohmios resistiva
Tensión nominal de cresta de una marca (impulso)	1.0 V

Continuación cuadro 8/G.703

Tensión de cresta de un espacio (ausencia de impulso)	$0 \pm 0.1 \text{ V}$
Anchura nominal del impulso	14.55 ns
Relación entre la anchura de los impulsos positivos y la de los negativos, en el punto medio del intervalo de un impulso	De 0.95 a 1.05
Relación entre la anchura de los impulsos positivos y la de los negativos, en los pulsos de semiamplitud nominal	De 0.95 a 1.05
Fluctuación de fase máxima cresta en una acceso de salida	Véase el § 2 de la recomendación G.823

8.3 Especificaciones en los accesos de entrada

La señal digital presentada en los accesos de entrada deberá corresponder a la definición precedente, con las modificaciones que introduzcan las características del cable de interconexión. Deberá asegurarse que la atenuación de ese cable siga una ley \sqrt{f} y que la atenuación a la frecuencia de 17184 KHz esté comprendida entre 0 y 12 dB.

En lo relativo a la fluctuación de fase que ha de tolerarse en los accesos de entrada, véase el § 3 de la recomendación G.823.

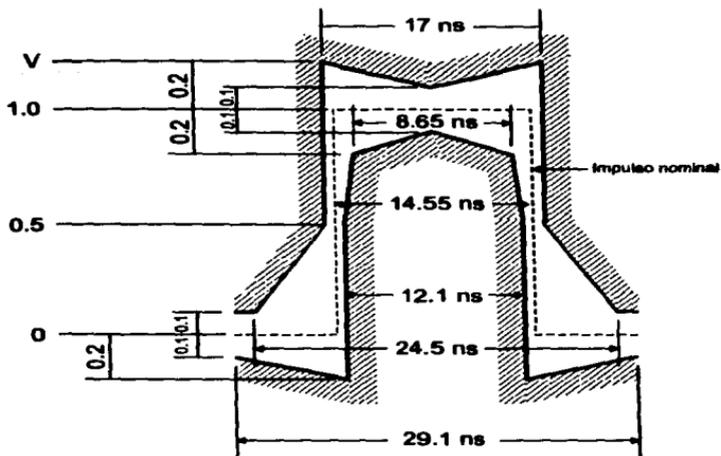


Figura 17/G.703

Plantilla para el impulso en el caso de un interfaz a 34368 Kbps

La pérdida de retorno en los accesos de entrada deberá tener los siguientes valores mínimos provisionales:

Frecuencias correspondientes al porcentaje de la velocidad binaria nominal	Pérdida de retorno
2.5 a 5%	12 dB
5 a 100%	18 dB
100 a 150%	14 dB

Nota — La necesidad de incluir en la presente recomendación un requisito en materia de inmunidad a la interferencia se halla en estudio.

8.4 Puesta a tierra del conductor exterior o del blindaje

Observación — El conductor exterior del par coaxial deberá conectarse a tierra en el acceso de salida; también deberá preverse la conexión a tierra de este conductor en el acceso de entrada, si es necesario.

9 Interfaz a 139264 Kbps

9.1 Características generales

Velocidad binaria: 139264 Kbps \pm 15 ppm

Código: CMI (Coded Mark Inversion)

El código CMI es un código de dos niveles sin retorno a cero en el cual cero binario se codifica de manera que los dos niveles de amplitud, A_1 y A_2 , se obtienen consecutivamente, cada uno durante un periodo igual a la mitad de un intervalo unitario ($T/2$).

El uno binario se codifica de modo que los niveles de amplitud, A_1 y A_2 , se obtienen alternativamente cada uno durante un periodo igual a un intervalo unitario completo (T).

En la figura 18/G703 se da un ejemplo.

Observación 1 — Para el cero binario, existe siempre una transición positiva en el punto medio del intervalo de tiempo unitario binario.

Observación 2 — Para el uno binario:

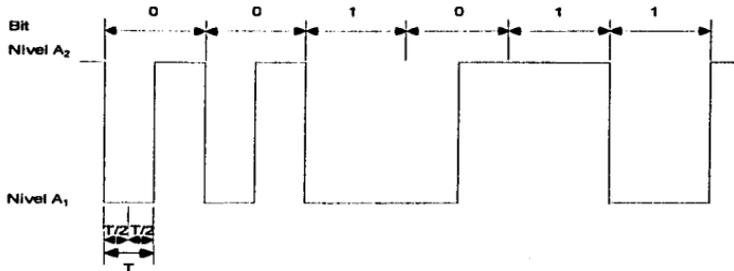


Figura 18/G.703 Ejemplos de señal binaria codificada en CMI

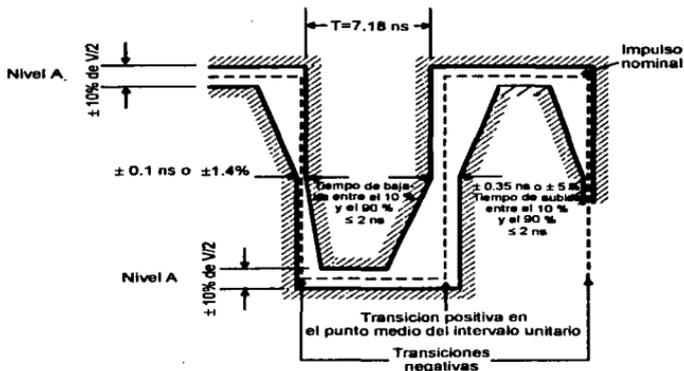
- existe una transición positiva al comienzo del intervalo de tiempo unitario binario si el nivel precedente era A₁;
- existe una transición negativa al comienzo del intervalo de tiempo unitario binario si el último uno binario estaba codificado en el nivel A₂.

9.2 Especificaciones en los accesos de salida (indicadas en el cuadro 9/G.703)

Observación 1 — Se considera que un método basado en la medición de los niveles de la componente fundamental y del segundo (y posiblemente el tercer) armónico de una señal correspondiente a todos 0 binarios y todos 1 binarios es adecuado para verificar el cumplimiento de los requisitos indicados en el cuadro 9/G.703

Los valores pertinentes están en estudio.

Observación 2 — Las plantillas de las figuras 19/G.703 y 20/G.703 se dan solo como indicación, y no deben utilizarse necesariamente para mediciones.

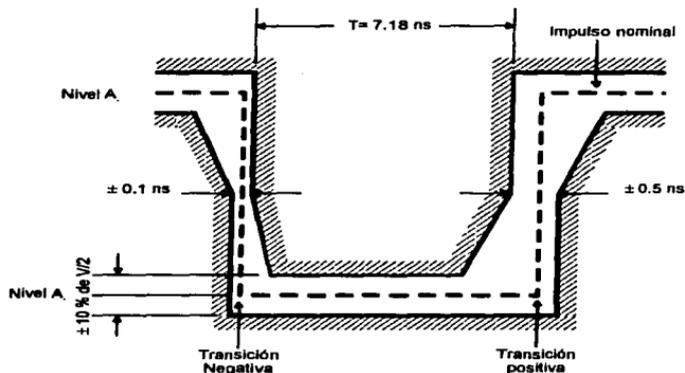


Observación 1 — V es la amplitud nominal cresta a cresta.

Observación 2 — La plantilla no incluye la tolerancia para la sobreoscilación; véase el cuadro 9/G.703.

Figura 19/G.703

Plantilla que corresponde para un pulso que corresponde a un cero binario.



Observación 1 — El impulso inverso tendrá las mismas características.

Observación 2 — V es la amplitud nominal cresta a cresta.

Observación 3 — La plantilla no incluye la tolerancia para la sobreoscilación: véase el cuadro 9/G.703.

Figura 20/G.703

Plantilla para un impulso que corresponde a un 1 binario.

9.3 Especificaciones en los accesos de entrada

La señal digital presentada en el acceso de entrada debe ser conforme a las indicaciones del cuadro 9/G.703, teniendo en cuenta las modificaciones producidas por las características del par coaxial de interconexión.

Debe suponerse que la atenuación del par coaxial sigue aproximadamente una ley \sqrt{f} y que la pérdida de inserción máxima es de 12 dB a 70 MHz.

En lo relativo a la fluctuación de fase que ha de tolerarse en los accesos de entrada, véase el § 3 de la recomendación G.823.

La característica de pérdida de retorno debe ser la misma que la especificada para el acceso de salida.

9.4 Puesta a tierra del conductor exterior o del blindaje

El conductor exterior del par coaxial debe estar conectado a tierra en el acceso de salida y debe preverse la puesta a tierra de este conductor, si es necesario, en el acceso de entrada.

Cuadro 9/G.703

Forma nominal de los impulsos	Rectangular
Par (es) en cada sentido de transmisión	Un par coaxial
Impedancia de carga de prueba	75 ohmios, resistiva
Tensión cresta a cresta	1 ± 0.1 Voltios
Sobreoscilación	$\leq 5\%$ de la tensión medida de cresta a cresta
Tiempo de subida entre el 10% y el 90% de la amplitud medida	≤ 2 ns

Continuación cuadro 9/G.703

Tolerancia para la temporización de las transiciones (referida al valor medio de los puntos de semiamplitud de transiciones negativas)	Transiciones negativas: ± 0.1 ns Transiciones positivas en los extremos del intervalo unitario: ± 0.5 ns Transiciones positivas en el punto medio del intervalo unitario: $+ 0.35$ ns
Pérdida de retorno	≥ 15 dB en la gama de frecuencias de 7MHz a 210 MHz
Fluctuación de fase cresta a cresta máxima en un acceso de salida	Véase el § 2 de la recomendación G.823

10 Interfaz de sincronización a 2048 KHz**10.1 Características generales**

Se recomienda la utilización de este interfaz en todas aquellas aplicaciones donde se necesite sincronizar un equipo digital mediante una señal de sincronización externa de 2048 KHz.

10.2 Especificaciones en el acceso de salida (véase el cuadro 10G.703).**10.3 Especificaciones en los accesos de entrada**

La señal presentada en los accesos de entrada deberá corresponder a la definición precedente, con las modificaciones que introduzcan las características del par de interconexión.

Cuadro 10/G.703

Frecuencia	2048 KHz \pm 50 ppm	
Forma de los impulsos	La señal debe ajustarse a la plantilla (figura 21/G.703) El valor V corresponde al valor de cresta máximo El valor V, corresponde al valor de cresta mínimo	
Tipo de par	Par coaxial véase la observación en el § 10.3	Par simétrico (véase la observación en el § 10.3
Impedancia de carga de prueba	75 ohmios, resistiva	120 ohmios resistiva
Tensión de cresta máxima V_{op}	1.5	1.9
Tensión de cresta mínima V_{op}	0.75	1.0
Fluctuación de fase en el acceso de entrada	En estudio	

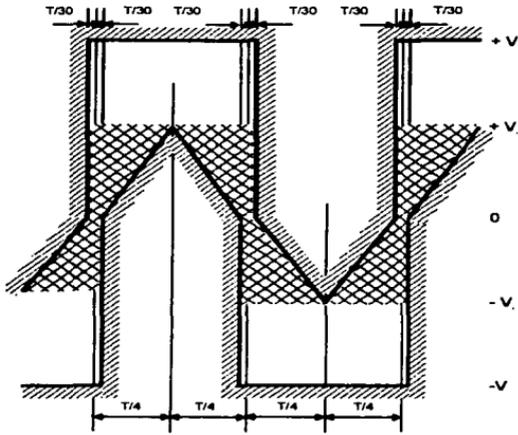
Se supone que la atenuación de este par obedece a la ley \sqrt{f} , y la atenuación a la frecuencia de 2048 KHz deberá estar comprendida entre 0 y 6 dB (valor mínimo). Esta atenuación deberá tomar en cuenta cualquier pérdida provocada por la presencia de un repartidor digital entre los equipos.

ANEXO
 DE LA
 NORMATIVA

El acceso de entrada deberá ser capaz de tolerar una señal digital con estas características eléctricas, pero modulada por una fluctuación de fase. Los valores de la fluctuación de fase se hallan en estudio.

La atenuación de retorno a 2048 KHz debe ser ≥ 15 dB.

Observación — El conductor exterior del par coaxial o el blindaje del par simétrico deberán conectarse a tierra en el acceso de salida; también deberá preverse la conexión a tierra de estos elementos en el acceso de entrada, si es necesario.



 Zona sombreada en la que la señal debe ser monótona

T. - Período medio de la señal de sincronización

Figura 21/G.703 Forma de la onda en un acceso de salida

CONCLUSIONES

Del presente trabajo se deduce que la tecnología digital ha superado ya por mucho la ya obsoleta tecnología analógica por infinidad de razones entre las que destacan la confiabilidad, la rapidez, el costo pero sobre todo por las nuevas tendencias a las que la nueva tecnología digital conlleva.

Organismos como el CCITT se han encargado de normalizar estas nuevas tendencias con el fin de estandarizar todo lo referente a las comunicaciones digitales y así poder disminuir los costos que involucra la diversidad de equipos utilizados para un mismo fin, que es el proporcionar comunicaciones digitales de excelente calidad y a bajo costo.

El futuro de las comunicaciones digitales ya es bastante claro, pues la tecnología de la fibra óptica parece haber dado el aliciente que se requería para continuar las investigaciones en torno a aumentar tanto la velocidad de transmisión como la cantidad de datos a ser enviados en determinadas aplicaciones.

El entender perfectamente las bases de la actual tecnología digital representará la pauta para poder comprender hacia adonde se dirigen las investigaciones de las futuras comunicaciones digitales más allá incluso, de la RDSI que es el futuro inmediato.

Glosario.

.ACCESO MULTIPLE.- La acción de compartir el recurso (como por ejemplo un satélite) se lleva a cabo de manera remota.

La asignación del recurso es por lo general bastante dinámica o cambiante.

BPS.- Véase velocidad de transmisión.

CCITT.- (Comité Consultatif International Télégraphique et Téléphonique) Comité Consultor Internacional de Telegrafía y Telefonía, que recomienda normas internacionales de transmisión.

DB (decibel). - Unidad que mide la intensidad relativa (razón) de dos señales.

FDM.- (Frequency Division Multiplexing) Técnica de multiplexaje donde a cada dato se le asigna una frecuencia específica.

FF.- Flip-Flop

MIC. (PCM).- Modulación de impulsos codificados (Pulse Coded Modulation), procedimiento para adaptar una señal analógica a una señal digital a 64 Kbps para la transmisión.

LSB.-Bit menos significativo

MSB.- Bit más significativo.

MULTIPLEXAJE: El recurso a compartir es asignado de antemano y generalmente se efectúa de manera local (es decir en la tarjeta electrónica o el mismo bastidor).
Generalmente la asignación del recurso es relativamente fija

MUX.- Véase multiplexaje

PCM.- Véase MIC.

RDSI (ISDN).- Siglas que denotan la Red Digital de Servicios Integrados (Integrated Services Digital Network); servicio proporcionado por alguna empresa de telecomunicaciones que permite transmitir simultáneamente diversos tipos de datos digitales conmutados y voz.

TDM.- (Time Division Multiplexing) Técnica de multiplexaje que asigna a cada dato un cierto intervalo en el tiempo.

VELOCIDAD DE TRANSMISION.- Es usada como una medida de rapidez de transmisión de la información en bits por segundo (bps), algunas abreviaciones son también Kbps y Mbps que son kilobits y megabits por segundo respectivamente.

Bibliografía:

—The Basics book of information networking

Motorola University Press

Addison-Wesley

1991

—Digital Communications

Bernard Sklar

Prentice Hall

—Transmisión De Información, Modulación y Ruido

Mischa Schwartz

Mc Graw Hill

—Norma G.703 del CCITT

Aspectos Generales De Los Sistemas De Transmisión Digital y Equipos
Terminales

Características Física y Eléctricas De Los Interfaces Digitales Jerárquicos

Ginebra 1991