

121
Zuj



**UNIVERSIDAD NACIONAL
AUTONOMA DE MEXICO**

FACULTAD DE INGENIERIA

**COMPRESORES DE SEÑALES
ANALOGICAS**

**TESIS PROFESIONAL
QUE PARA OBTENER EL TITULO DE
Ingeniero Mecánico Electricista Area
Eléctrica - Electrónica**

**P R E S E N T A
BEATRIZ MELENDEZ VENANCIO
LEONEL PEREZ BAUTISTA**

**Director de Tesis:
ING. MARIO A. IBARRA PEREYRA**

MEXICO, D. F.

SEPTIEMBRE 1996



**TESIS CON
FALLA DE ORIGEN**

**TESIS CON
FALLA DE ORIGEN**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

AGRADECIMIENTOS Y DEDICATORIAS

A mis padres:

*Marilda Pascasio Saegs y Francisco Meléndez Fuentes.
Por habernos dado la vida, y por ser el apoyo incondicional
en toda mi formación profesional y humana.
Gracias por habernos dado las facilidades morales y materiales para
poder consumir una de mis ambiciones más.
Este logro también es suyo. Los quiero muchísimo.*

A mis hermanos:

*Raúl, Patricia y Lorena. Con un gran cariño; gracias por el ánimo que me
dieron cuando fue necesario, por las unidades recibidas y por los consejos
oportunos.*

A Octavio Hernández H.

*Con un cariño muy especial.
Por su paciencia y apoyo en la terminación de este trabajo, por compartir
conmigo sus conocimientos, que han contribuido en mi formación profesional y
personal.
Gracias por ser la persona que comparto en vida con la más haciéndome feliz.*

Beatriz.

DEDICATORIAS:

A mis padres que me han dado tanto, me dieron la vida y con ella una oportunidad de trascender através del esfuerzo diario en cada actividad que realice, porque gracias a su apoyo fue posible la realización de este trabajo

A mis hermanos: Nancy, Jaime, Lizbeth y Daniel, ya que siempre han estado conmigo apoyandome.

AGRADECIMIENTOS

A Lourdes Comba Barrera la persona más importante en mi vida, por su paciencia y su infinito amor.

Lourd.

Nuestro agradecimiento especial

Al Ing. Mario A. Nava Ponce:

Por su desinteresada y valiosa ayuda en la elaboración del presente trabajo y por transmitirnos sus conocimientos en cada una de nuestras reuniones.

A la Universidad Nacional Autónoma de México:

Por ser nuestro segundo hogar y por brindarnos la oportunidad de ser profesionales que contribuimos a la superación de nuestro país.

Escrito

Leonel

CONTENIDO

I.- INTRODUCCION	2
II.- ORIGEN DEL PROBLEMA	
1).- Técnicas de conversión A/D	12
2).- Ruido de cuantificación	28
3).- Técnicas de reducción de ruido de cuantificación	43
III.- TECNICAS DE COMPRESION	
1).- Procedimientos de compresión analógica	54
2).- Métodos y estándares de compresión en la conversión A/D	62
3).- Técnicas de compresión de señales digitales	74
IV.- DISEÑO E IMPLEMENTACION DE CIRCUITOS COMPRESORES Y EXPANSORES	
1).- Compresor y expansor analógico	81
2).- Compresor y expansor digital	116
V.- PRACTICAS DE LABORATORIO	131
VI.- CONCLUSIONES	140
BIBLIOGRAFIA	143
ANEXO I	i

CAPITULO I

INTRODUCCION

Gran parte del proceso de desarrollo de la raza humana en todas las áreas se ha visto afectado en forma directa por la capacidad que hemos desarrollado para comunicarnos.

En los tiempos primitivos, el hombre se limitaba a comunicarse a través de gestos, expresiones faciales y corporales, y una pronunciación verbal simple.

El alcance de la comunicación estaba limitado a su vecindad inmediata y la velocidad de transferencia de información era muy baja. Como resultado de esto, los primeros grupos sociales eran autónomos, con pocos integrantes reunidos en tribus, con poca relación entre ellas, excepto para luchar por el territorio y por los alimentos. Con la mejora de la capacidad del hombre para comunicarse, mejoró también su situación social, económica y cultural.

La capacidad de comunicación del hombre mejoró cuando aparecieron los correos; entonces el alcance de la comunicación se extendió sobre cientos de kilómetros, a pesar de que el tiempo para entregar esos mensajes podía ser de varias semanas. El alcance de transferencia de información era todavía bajo, a pesar de ser mucho más grande que para las primeras civilizaciones.

Esta situación permaneció más o menos constante hasta el desarrollo de la imprenta (1440-1460), que permitió distribuir una gran cantidad de información sobre un amplio territorio. La entrega de la información era todavía deficiente debido a los sistemas de transporte que había. Los factores que limitaban la eficiencia de la comunicación eran la velocidad y la distancia.

Esta limitación fue superada considerablemente con el desarrollo del telégrafo y del teléfono (1844-1876). Con estos medios, la distancia a la cual el hombre puede comunicarse en segundos alcanza miles de kilómetros, incluso uniendo continentes. A partir de éste momento, el comercio internacional, las

comunicaciones y la cooperación comenzaron a extenderse rápidamente. El posterior desarrollo de la radio, y después de la televisión, aceleró aún más la transición para relacionar a toda la gente de la Tierra. El desarrollo de los sistemas de comunicación por satélite y las redes de comunicación controladas por computadora, la velocidad y el alcance de las comunicaciones hoy en día permiten la interconexión mundial de teléfono, televisión y sistemas con computadora para facilitar comunicaciones rápidas en toda la Tierra, e incluso fuera de ella.

La tecnología de las comunicaciones se desarrolla aún más, y por lo tanto, cada vez será más importante que la gente haga el mejor uso de las distintas opciones de comunicación para poder lograr la transferencia de información de manera confiable, ya que como cualquier actividad humana, el proceso de enviar y transmitir información a distancia por medios eléctricos tropieza con severas dificultades.

Para poder visualizar los problemas que se han insinuado en el párrafo anterior, podemos empezar por describir los componentes de un sistema de comunicaciones típico, como se ve en la figura 1.1.

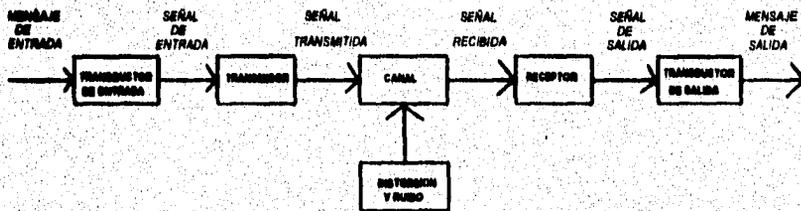


Figura 1.1. Diagrama a bloques de un sistema de comunicación

1. En primer lugar debe haber una fuente, que origina el mensaje; como una voz humana, una imagen de televisión o datos. Si el mensaje no es una señal eléctrica, debe convertirse mediante un transductor de entrada a una forma de onda eléctrica que se conoce como señal de banda base o señal de mensaje, constituyendo lo que conocemos como canal de información.

2. En seguida debe haber un transmisor, que modifica la señal de banda base para una transmisión eficiente.
3. El tercer elemento es el canal de comunicación, que es un medio, tal como un par de alambres, un cable coaxial, una guía de onda, una fibra óptica o el espacio (aire o vacío).
4. En el otro extremo tenemos el receptor, que reprocesa la señal proveniente del canal de comunicación; es decir, que ejecuta los procesos inversos a los realizados en el transmisor y corrige los deterioros ocasionados en el trayecto. La salida del receptor alimenta al transductor de salida que convierte la señal eléctrica a su forma original, el mensaje.
5. El último eslabón de la cadena es el destinatario, que es la unidad a la que se comunica el mensaje.

Un canal actúa en parte como un filtro, atenua la señal y distorsiona su forma de onda. La longitud del canal incrementa la atenuación y ésta varía desde un pequeño porcentaje para distancias cortas hasta órdenes importantes de magnitud para la comunicación interplanetaria.

La forma de la onda se distorsiona debido a las diferentes cantidades de atenuación y de cambio de fase que experimentan las distintas componentes de frecuencia de la señal. Por ejemplo, un pulso cuadrado es redondeado y ensanchado. Este tipo de distorsión, que se llama distorsión lineal, puede ser corregido en parte en el receptor mediante un ecualizador o compensador con características complementarias de ganancia y de fase con respecto a los del canal.

El canal de transmisión también puede ocasionar distorsión no lineal a través de la atenuación que varía con la amplitud de la señal. Esto generalmente ocurre en los dispositivos electrónicos intercalados a lo largo de la ruta de enlace. No existe una forma de corregir esta distorsión; hay que prevenirla con un adecuado ajuste de amplitudes y ganancias.

La señal no es solo distorsionada por el canal sino también es contaminada a lo largo de la trayectoria por señales indeseables como el ruido que puede originarse dentro o fuera del sistema. El ruido externo puede minimizarse con

adecuados blindajes. Ya que el ruido interno es el resultado del movimiento térmico de los electrones, el cuidado apropiado puede reducir su intensidad pero nunca puede eliminarlo.

El ruido es un factor básico que establece un límite a la capacidad de los sistemas de comunicación ya que puede hacer ininteligibles los mensajes.

Es necesario aclarar que el ruido afecta de diversas formas a las comunicaciones analógicas y a las digitales. En el primer caso, el ser humano soporta una gran cantidad de ruido sin perder la información básica que se le está enviando, con la única consecuencia de que su satisfacción se ve grandemente reducida. En el segundo caso, debido a que la información digital suele ir dirigida hacia una máquina (no siempre), la pérdida de algunos bits debido al ruido ocasionará una pérdida de información en caso de que no se haya protegido el mensaje antes de transmitirlo.

En este punto es necesario mencionar la diferencia importante entre las dos formas de transmitir la información: la analógica y la digital.

Los mensajes pueden ser digitales y analógicos. Los mensajes analógicos se caracterizan porque una vez convertidos a señales eléctricas, la amplitud de éstas puede tener un número infinito de valores dentro de un rango finito de voltajes. Por ejemplo, la temperatura o la presión atmosférica de cierta localidad pueden variar continuamente y pueden tomar un número infinito de valores posibles, aunque el rango no pase de unas pocas décadas.

Los mensajes digitales se transmiten utilizando un conjunto finito de formas de onda eléctricas, por ejemplo, un mensaje telegráfico en código Morse es un mensaje digital construido con un conjunto de sólo dos símbolos: raya y punto. Un mensaje digital construido con M-símbolos se llama mensaje M-ario. En este último caso se utilizan M pulsos (o formas de onda) de diferentes alturas.

Existe una conversión entre señales binarias y señales M-arias: si $M=2^n$ entonces cada pulso M-ario corresponde a n pulsos binarios.

Transmisión de Señales Analógicas

El sonido es una clase de movimiento ondulatorio, producido por un cuerpo en vibración, tal como una campana o la voz humana y en general cualquier objeto capaz de tener un movimiento vibratorio.

La serie de movimientos que caracterizan el sonido se llama oscilación, y corresponde en sonido a lo que en electricidad es una señal alterna. Dado que el sonido en su forma original no tiene la capacidad de recorrer distancias muy grandes sin sufrir disminución de intensidad, el proceso de una comunicación telefónica se lleva a cabo utilizando principios que permitan transmitir la voz u otra información de manera que esta pueda ser reproducida fielmente, cualquiera que sea la distancia que recorra.

La transmisión analógica cumple estos requerimientos y actualmente su utilización esta siendo disminuida, ya que su calidad no es tan buena como la de una transmisión digital. Otra razón por la cual los sistemas digitales están sustituyendo a los analógicos, es el costo de los equipos.

Transmisión de Señales Digitales

La transmisión digital es uno de los más antiguos métodos de comunicación que se conocen, pudiendo citarse el telégrafo eléctrico, comercializado en el siglo XIX.

Las señales binarias solo tienen dos niveles diferentes de corriente o de tensión. Cuando la señal está en el primer nivel (normalmente el nivel de tensión más positiva), se dice que está en ON o VERDADERO o en 1; cuando la señal está en el segundo nivel, se dice que está en OFF o FALSO o en 0. Esta señal es muy normal en comunicaciones porque es fácil de generar, de detectar y de utilizar, ya que el receptor sólo tiene que distinguir entre dos valores de amplitud, por lo que la posibilidad de que se equivoque se reduce al mínimo.

Existen cuatro formas básicas para hacer que los pulsos lleven información; esto es, para modular a los pulsos: variar su altura (PAM), variar su anchura (PDM), variar su posición (PPM) y variar su número (PCM).

En 1937, el investigador A. H. Reeves en el laboratorio parisino de la ITT, desarrolló la idea de la modulación por pulsos codificados (PCM), siendo ésta patentada en 1938; sin embargo, no pudo desarrollarse prácticamente hasta la invención del transistor, por lo que los sistemas PCM no fueron realidad hasta la década de los 60's.

En una versión de esta técnica, el receptor observa la señal eléctrica (voltaje o corriente) en la línea en intervalos regulares de tiempo. Previamente, el transmisor y el receptor se han puesto de acuerdo en establecer el momento en que será útil la información presente en la línea. En ese momento sólo puede haber uno de los dos niveles en la línea, o un cero o un uno. El receptor guarda los modelos de unos y ceros detectados en los momentos acordados.

Entonces debe interpretar o decodificar el significado del modelo que se ha recibido.

La técnica PCM nos permite transmitir varios canales de información por un mismo canal de comunicación. Sin embargo, en este caso los canales no comparten una banda de frecuencias, sino un lapso determinado, y además las señales se transmiten en forma de pulsos binarios (bits) codificados.

Un sistema PCM está formado por un determinado número de canales. De acuerdo a este número, el sistema es de un orden y tiene una velocidad numérica (número de bits transmitidos por segundo) determinados. En la tabla siguiente aparecen las características de los cinco primeros órdenes.

ORDEN	No. CANALES	VELOCIDAD Mb/s
1ro.	30	2.048
2do.	120	8.448
3ro.	480	34.368
4to.	1920	139.264
5to.	7680	565.000

Ahora bien, la tarea del receptor consiste en extraer un mensaje de una señal distorsionada y afectada por ruido a la salida del canal.

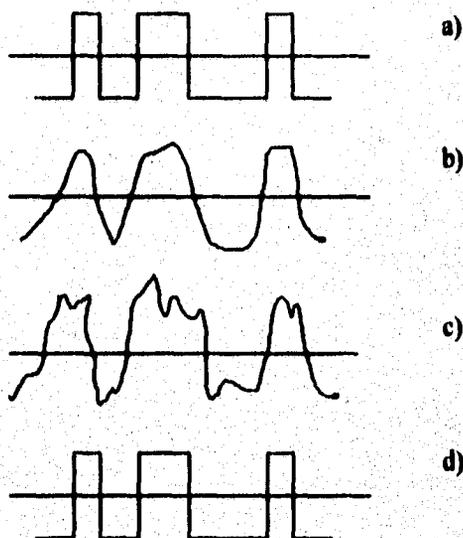


Figura 1.2. a)Señal transmitida. b)Señal distorsionada recibida (sin ruido). c)Señal distorsionada recibida (con ruido). d)Señal regenerada

La extracción del mensaje es en ocasiones más fácil en las señales digitales que en las señales analógicas. Consideremos un caso binario: se codifican dos símbolos como pulsos rectangulares de amplitudes $A/2$ y $-A/2$. La única decisión en el receptor será la selección entre dos pulsos recibidos posibles, no entre los detalles de la forma del pulso. La decisión se toma rápidamente con razonable certidumbre, aún si los pulsos se encuentran distorsionados y afectados por ruido (Figura 1.2.c). En consecuencia, un sistema de comunicación digital puede transmitir mensajes con mayor exactitud que un sistema analógico en presencia de distorsión y ruido.

La posibilidad de utilizar repetidores regenerativos es una ventaja adicional para la comunicación digital. Una estación repetidora detecta los pulsos deteriorados y transmite nuevos pulsos limpios, combatiendo en esta forma la

acumulación de distorsión y de ruido, y permitiendo la transmisión de información a través de distancias más largas y con más exactitud.

En contraste con los mensajes digitales, la forma de onda de los mensajes analógicos es importante, y aún una leve distorsión o interferencia en la forma de la onda ocasionará modificación de la información recibida. Existe una dificultad adicional: un amplificador repetidor para las señales analógicas no puede eliminar el ruido si éste ocupa el mismo rango de frecuencias que el mensaje. Sin embargo, la distorsión sí puede ser minimizada con ecualizadores. Como resultado, la interferencia por ruido es acumulativa a través de toda la trayectoria de transmisión. Para superar esta dificultad, lo único que se puede hacer es transmitir con la mayor potencia autorizada por las normas de la región en particular.

En consecuencia, la distancia a través de la cual se puede transmitir un mensaje analógico es limitada por la potencia del transmisor.

Existen en la literatura del tema, filtros capaces de hacer máxima la relación señal/ruido, aunque los dos sean de la misma frecuencia; pero son desarrollados teóricamente y su realización solo puede conseguirse aproximadamente, con resultados no del todo satisfactorios.

Es muy común en la tecnología moderna de comunicaciones que señales analógicas muestreadas son digitalizadas antes de su transmisión. Las señales digitales así obtenidas generalmente están en código binario, el cual, para transmitirse, puede adoptar muy diversas formas, con las siguientes ventajas:

1. Las señales pueden ser regeneradas regularmente durante la transmisión debido a que la información ya no es llevada por la variación continua de amplitud de una señal sino mediante símbolos discretos.
2. Circuitería digital puede ser usada en casi todo el sistema.
3. Las señales pueden ser digitalmente procesadas como se desee.
4. El ruido y la interferencia pueden ser minimizados por la codificación apropiada de las señales.

Ahora bien, existe un punto de reunión de las señales analógicas y de las digitales: su conversión de analógicas a digitales (conversión A/D), que se hace en varias etapas: primero un filtrado para limitar el ancho de banda,

enseguida una limitación de amplitud; más adelante una etapa de muestreo y retención seguida de una etapa opcional de compresión, y finalmente la conversión A/D.

El proceso esbozado en el párrafo anterior es casi perfecto, excepto por el hecho de que el convertidor A/D no puede manejar todos los valores de voltaje que se le presenten. Esta dificultad da lugar a lo que se conoce como **cuantificación**, en donde cada muestra se aproxima o redondea, al nivel cuantificado más próximo. La información queda así digitalizada. Es decir, el proceso de digitalización de la señal analógica original es llamado el proceso de cuantificación, el cual consiste en convertir los infinitos valores de la señal en un número predeterminado de niveles de amplitud discretos. A diferencia del proceso de muestreo, esto resulta en una pérdida irrecuperable de información, debido a que es imposible reconstruir exactamente la señal analógica original a partir de su versión cuantizada, ya que no queda registro de la magnitud del recorte que se le hizo a la amplitud de una muestra durante el proceso de cuantización.

No hay que olvidar que la señal cuantizada es una aproximación de la señal original. Se puede mejorar la exactitud de la señal cuantizada casi a cualquier grado que se desee aumentando el número de niveles de cuantización, y aumentando la frecuencia de muestreo.

La consecuencia inevitable del proceso de cuantización es el fenómeno que se conoce como ruido de cuantización, que se puede visualizar imaginando a la gráfica de la señal formada por pequeños escaloncitos en vez de una línea continuamente variable.

La técnica más sencilla de cuantizar una señal es utilizando niveles o escalones uniformes; sin embargo, la magnitud de los niveles generalmente es variada en la práctica para mejorar la respuesta del sistema ante el ruido. En particular, la magnitud de los niveles se disminuye cuando la señal tiene poca amplitud y viceversa. Esto se logra mediante una técnica denominada **compresión**.

Este es el tema en el que se centra el presente estudio, tratando de determinar cual de las técnicas existentes es la que presenta más posibilidades de poder

reducir los ruidos asociados a la cuantización, y que permita, por lo tanto, una comunicación de buena calidad.

El objetivo de este trabajo de tesis es mostrar y describir cada una de las etapas de la compresión de las señales analógicas, recurriendo para ello a la construcción de un circuito compansor analógico y de un circuito compansor digital, mostrando en cada uno de ellos la mejoría que se adquiere en la transmisión de señales. Como se puede notar, el objetivo es ofrecer una aportación didáctica, que apoye a los alumnos de la Facultad de Ingeniería para que realicen prácticas de comunicaciones digitales.

Para lograr este propósito se han desarrollado seis capítulos. El primero proporciona un panorama global del avance de las comunicaciones, así como lo importante que es para el hombre la transmisión de información con calidad y fidelidad y se hace mención de algunos conceptos fundamentales que posteriormente se manejarán. En el capítulo dos se habla acerca de la conveniencia de transmitir la información en forma digital, lo que conlleva a tratar el tema de conversión A/D, los ruidos y errores que ésta implica, siendo el ruido de cuantificación el punto de interés de este capítulo.

Debido a que la compresión de señales es una manera de reducir el mencionado ruido, en el capítulo tres se explica esta técnica, tanto para las señales digitales como para las analógicas.

En el capítulo cuatro se expone el diseño de circuitos compresores y expansores, digitales y analógicos, con fines de comparación y determinación de la mejor alternativa para la transmisión de las señales.

En el capítulo cinco se presentan los resultados experimentales de cada uno de los circuitos compresores y expansores, obteniéndose curvas, oscilogramas y espectros de las señales analógicas y digitales.

Finalmente, en el capítulo seis se presentan las conclusiones del presente trabajo, así como sus posibles aplicaciones inmediatas a la vida académica de la Facultad de Ingeniería, a través de su Laboratorio de Comunicaciones Digitales.

CAPITULO II

ORIGEN DEL PROBLEMA

a.-) TECNICAS DE CONVERSION A/D

Aunque algunas señales de comunicaciones son digitales por naturaleza - por ejemplo, datos de teletipo, salidas de computadoras, señales pulsantes de radar y sonar, etc.-, muchas otras señales son analógicas, o funciones continuas del tiempo. Si estas señales se van a transmitir en forma digital, deben primero ser muestreadas en forma periódica y posteriormente convertidas a muestras de amplitud discreta por medio de la cuantización.

Las señales analógicas muestreadas se digitalizan antes de ser transmitidas. Las señales digitales resultantes pueden entonces ser codificadas en cualquier forma equivalente deseada.

En la transmisión digital existen ventajas notables que hacen que se prefiera en los sistemas de comunicaciones esta forma de transmitir a la señal analógica. En términos generales se puede decir que tales ventajas son:

1. Las señales pueden regenerarse o rearmarse periódicamente mientras viajan por el canal de comunicación, puesto que la información ya no se encuentra contenida en la amplitud continuamente variable de una onda, sino que consiste en símbolos discretos.
2. La relativa simplicidad del diseño de los circuitos digitales y la facilidad con la cual pueden emplearse técnicas de circuitos integrados a los circuitos digitales. Toda clase de circuitos digitales pueden emplearse durante la totalidad del procesamiento
3. Las señales pueden ser procesadas digitalmente según convenga de acuerdo a la utilización y disponibilidad de las técnicas de procesamiento digital. Además, permite el amplio uso de las computadoras en el manejo de toda clase de datos.

Una particularidad de las señales digitales es la de ser codificadas para minimizar los efectos del ruido y de la interferencia. El ruido no se acumula en los repetidores, y por lo tanto, es una consideración secundaria en el diseño del sistema mientras que es la consideración principal en los sistemas analógicos.

Cualesquiera que sean las razones por las que se prefiere una solución a otra, en muchas aplicaciones (tales como audio, video y telecomunicaciones) pueden ser combinados ambos procesos digital y analógico. Por otra parte, incluso cuando sólo se considera el proceso digital, generalmente las señales de entrada son analógicas y entonces es necesaria una conversión inicial y una conversión final.

Hemos visto que existe un punto de reunión de las señales analógicas y digitales: su conversión de analógicas a digitales (conversión A/D). Ahora bien, el espectro de frecuencia de una señal indica las magnitudes relativas de las diferentes componentes de la frecuencia. El *Teorema del Muestreo* establece que si la frecuencia más alta del espectro de la señal es f , la señal se puede reconstruir a partir de sus muestras, tomadas a una razón no menor de $2f$ muestras/segundo. Esto significa que para transmitir la información contenida en una señal continua, se necesita solamente transmitir las muestras de esta señal. Sin embargo, los valores de las muestras no son todavía digitales ya que se encuentran dentro de un rango continuo y pueden tomar un número infinito de valores dentro del rango. Esta dificultad se resuelve mediante lo que se conoce como *cuantificación*, en donde cada muestra se aproxima o "redondea", al nivel cuantificado más próximo; éste último proceso (cuantificación) se lleva a cabo dentro de la conversión A/D.

Los convertidores de analógico a digital (A/D) son codificadores que convierten señales de intensidad o voltaje analógicos a códigos digitales compatibles con sistemas digitales como lo son calculadoras, enlaces de telemetría, simuladores, dispositivos de lectura decimal o redes de control. El convertidor resulta ser pues, una pieza clave de muchos sistemas industriales, comerciales y militares, por hallarse interpuesto entre sistemas analógicos y sistemas digitales. La utilización de circuitos integrados ha reducido tamaños, aumentando posibilidades y disminuido el costo de los convertidores A/D. Estos avances han extendido los usos prácticos del equipo digital en muchas áreas, tales como control de procesos, control de aeronaves, telemetría, etc.

El proceso digital de señales suele ser preferible al proceso analógico porque las señales sufren menos por el ruido y la distorsión. El precio que hay que pagar por esta ventaja es el incremento en el ancho de banda de la señal digital. Desafortunadamente nunca se puede hacer una comunicación totalmente digital, ya que además de los convertidores A/D y D/A tenemos que usar un canal de transmisión que prefiere conducir las señales analógicas.

Tres son los factores importantes en la conversión A/D:

- precisión
- resolución.
- tiempo de conversión o velocidad de conversión

Precisión y Resolución

Mientras que la precisión indica qué tan cercano es el valor medido respecto al valor real, la resolución indica qué tanto es posible distinguir entre dos voltajes. Una precisión del uno por ciento indica que 100 volts, pueden ser en realidad de 99 a 101 volts, y no se puede distinguir con mayor detalle. Una resolución de 100 mV. significa que no se puede distinguir entre voltajes sucesivos menores de 100 mV. Voltajes de 10.6 v y de 10.65 v (con una diferencia de 50 mV) parecerán iguales, dado que su diferencia es menor que la resolución de un comparador de voltaje.

Frecuentemente no resulta muy claro que una operación se pueda hacer con una mayor resolución que la precisión obtenible. Puede ser posible resolver entre 10.1 y 10.2 V y el voltaje real puede haber sido 10.5 V.

Aquí la precisión fue más pobre que la resolución. Tendría más sentido obtener una resolución sólo tan buena como la precisión de valores significativos. En cambio, una alta precisión y baja resolución, también es pobre, ya que se puede obtener algo muy cercano al voltaje real, pero no es posible apreciar durante las operaciones las diferencias pequeñas.

Una resolución de 1 v, y precisión del 1%, con una señal de 10 v significaría que no se puede distinguir entre 9.2 y 9.8, por ejemplo, mientras que se puede precisar hasta 0.1 v. Se debe tener en cuenta esta distinción entre precisión y resolución para poder elegir correctamente un convertidor A/D.

Tiempo o velocidad de conversión

El tiempo de conversión es el tiempo requerido para que la circuitería de conversión A/D convierta una señal analógica a un conteo digital equivalente.

En cualquier sistema esto depende, tanto del rango de sincronía, como del máximo número de conteos (o el número de etapas de conteo). El tiempo de conteo depende, por ejemplo en el método de contador, del rango de sincronía usado, entre más rápida la señal de reloj, más rápido avanza el conteo. El tiempo de conversión también depende del número de etapas de conteo usadas, ya que toma más tiempo hacer un conteo más largo. Por ejemplo, a un rango de reloj de 1.024 Mhz. usando 10 etapas, el tiempo de conversión sería $(1/1.024) \mu s \times 1024$ conteos o $1000 \mu s$ (1 ms). Dado que toma 1 ms hacer la conversión, se podrán hacer 1000 conversiones por segundo. A rangos menores de sincronía, o para conteos mayores, será menor el número de conversiones por segundo.

El número de etapas de conteo usadas depende de la resolución de conversión deseada, ya que es posible tener menores niveles de voltaje en un rango definido de voltaje usando más conteos o más niveles. El rango de sincronía determina entonces el tiempo de conversión. En la práctica se tiene un rango de sincronía más alto, dependiendo de la velocidad de operación de la circuitería de conteo.

Hay tres métodos de conversión básicamente diferentes:

- el método paralelo (una palabra cada pulso de reloj)
- el método ponderado (un dígito cada pulso de reloj)
- el método de contador (un nivel cada pulso de reloj)

METODO PARALELO

En el método paralelo se compara el voltaje de entrada con n voltajes de referencia simultáneamente y se determina entre qué par de niveles de referencia está el valor del voltaje de entrada. Así pues, el número resultante se obtiene en una sola operación. Pero los circuitos implicados son muy

extensos ya que se requiere un comparador separado para cada número posible. Para un margen de medición de 0 a 100, en escalones unitarios son necesarios $n=100$ comparadores.

METODO CONTADOR

El método más sencillo es el de contador. Requiere contar el número de veces que debe ser sumado el voltaje de referencia para igualar el voltaje de entrada.

El número de operaciones es el resultado buscado. Si el máximo número que se desea representar es n , se deberán realizar un máximo de n operaciones parciales para obtener el resultado.

METODO PONDERADO

Con el método ponderado (aproximaciones sucesivas) no se obtiene el resultado final en una sola operación, sino que se van obteniendo los bits uno por uno realizando determinadas operaciones aritméticas para ello.

A continuación se muestran tres procedimientos para convertir un valor decimal a binario:

- comparación y suma
- comparación y resta
- divisiones sucesivas

Por comparación y suma

Este procedimiento primero compara el voltaje de entrada con el nivel de referencia inmediato superior, si éste es mayor que el voltaje de entrada, el primer bit será un cero; nuevamente se compara el voltaje de entrada pero ahora con el nivel de referencia inmediato inferior, si éste es menor el siguiente bit será un uno. La siguiente comparación se hace con el voltaje de

entrada y la suma del nivel inferior con el siguiente inferior, si el voltaje de entrada sigue siendo mayor el bit asignado será otro uno y si es menor se asigna un cero. Se continúa de esta manera hasta que el voltaje de entrada es menor que la suma, en este caso el bit será un cero y a partir de este momento la suma con la que se está comparando ya no abarcará el último nivel, y en su lugar estará el siguiente. Cuando se llega a que ambos voltajes son iguales, el bit correspondiente será un uno, y la última comparación sí contemplará la suma de éste nivel.

Este procedimiento es sencillo porque la circuitería correspondiente implica sumadores, los cuales son sencillos de construir.

Pongamos el número 114 como ejemplo para convertirlo a binario:

OPERACION	RESULTADO	RESIDUO
114 > 128	NO	0
114 > 64	SI	1
114 > 64+32	SI	1
114 > 64+32+16	SI	1
114 > 64+32+16+8	NO	0
114 > 64+32+16+4	NO	0
114 > 64+32+16+2	IGUAL	1
114 > 64+32+16+2+1	NO	0

En este caso se lee de arriba hacia abajo:

$$01110010)_2 = 114)_2$$

Por comparación y resta

De manera similar al anterior, pero ahora utilizando la sustracción como operación:

OPERACION	RESULTADO
$114 < 128$	0
$114 > 64$	1
$114 - 64 = 50$	
$50 > 32$	1
$50 - 32 = 18$	
$18 > 16$	1
$18 - 16 = 2$	
$2 < 8$	0
$2 < 4$	0
$2 = 2$	1
$2 - 2 = 0$	
$0 < 1$	0

Leyendo de arriba hacia abajo:

$$01110010)_2 = 114_{10}$$

Por divisiones sucesivas entre dos:

OPERACION	RESULTADO	RESIDUO
$114 / 2$	57	0
$57 / 2$	28	1
$28 / 2$	14	0
$14 / 2$	7	0
$7 / 2$	3	1
$3 / 2$	1	1
$1 / 2$	0	1

Leyendo de abajo hacia arriba se tiene entonces el número binario

$$1110010)_2 = 114_{10}$$

Con los anteriores ejemplos nos damos cuenta que el primer procedimiento utiliza sumas, el siguiente utiliza restas, y el tercero es el tradicional método de divisiones sucesivas entre dos, que aparentemente es el más sencillo pero que es muy difícil de implementar ya que se requieren circuitos que dividan un valor analógico entre dos y determinen si existe residuo.

Veamos ahora unos diagramas de convertidores A/D.

CONVERTIDOR POR APROXIMACIONES SUCESIVAS

Método Ponderado

La técnica de las aproximaciones sucesivas realiza una conversión comparando el voltaje de entrada analógica con aproximaciones sucesivamente mejores generadas por un registro y decodificador o convertidor D/A programado.

El circuito a bloques se muestra en la figura 2.1.

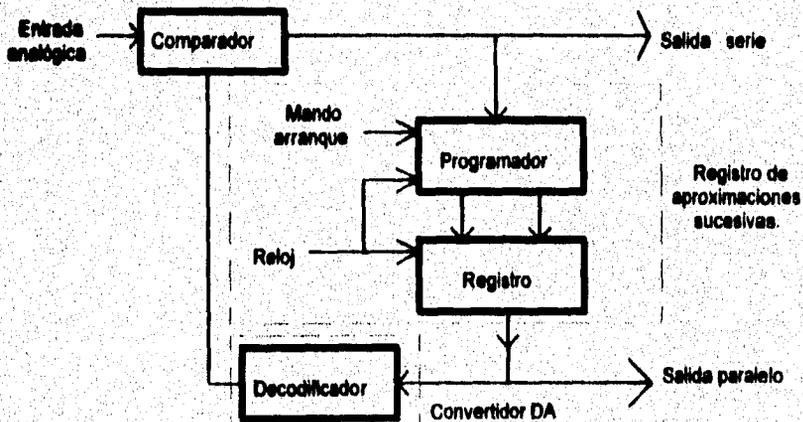


Figura 2.1. Técnica de la conversión A/D por aproximaciones sucesivas

De acuerdo a la figura, el bit más significativo del registro se pone inicialmente a 1 mediante el programador. Ello genera un voltaje a la salida del convertidor D/A que es la mitad del voltaje de entrada a fondo de escala.

Se compara este voltaje con la entrada. Si ésta fuese aún mayor que la aproximación, el segundo bit más significativo en el registro se pondría a 1. A continuación se compara la entrada con las tres cuartas partes del voltaje a fondo de escala y así sucesivamente. Si la entrada fuese menor que el número registrado y convertido, el último bit significativo que se había puesto a 1 se pondrá a 0 mientras que el bit siguiente se pone a 1.

De esta manera se compara la entrada analógica con aproximaciones sucesivamente mejores hasta que se determine el último bit significativo.

La figura 2.2. muestra el circuito eléctrico a bloques del convertidor A/D correspondiente al diagrama a bloques de la figura 2.1.

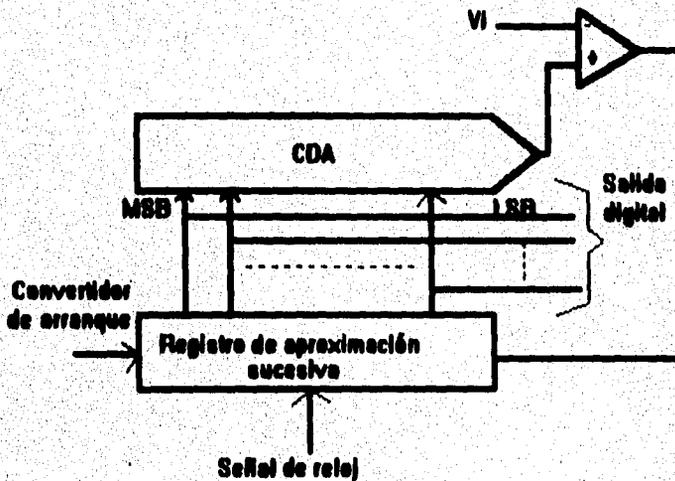


Figura 2.2. Conversión A/D por aproximaciones sucesivas

Este circuito tiene la siguiente función: el convertidor compara el voltaje de entrada con un voltaje que es la mitad del rango total del CDA. Si el voltaje de entrada V_i es menor que la mitad, el MSB se hace 0, o bien se almacena como 1. El bit de registro en la siguiente posición de nivel menor, se hace entonces 1, y la salida del CDA se compara a la entrada para determinar si está sobre o bajo la misma. Esta prueba entre la entrada y el voltaje CDA se repite con la mitad del nivel del voltaje del nivel previo en cada posición del bit del valor digital resultante. Para un convertidor de 12 bits, sólo se requieren 12 pasos sin importar el valor del voltaje de entrada.

Esto es, el convertidor por aproximaciones sucesivas sólo requiere realizar un número de pasos de conversión equivalente al número de bits de la palabra digital. El tiempo de conversión está fijado por esta medida y la frecuencia de la señal de reloj usada, esto es:

$$\text{tiempo de conversión} = n \cdot \frac{1}{f}$$

donde n es el número de bits de conversión, y f es la frecuencia de la señal de reloj.

La característica más importante de este convertidor A/D de aproximaciones sucesivas es su velocidad. Solamente son necesarias K pruebas para convertir una señal analógica con una resolución 1 de cada $2K$. Sin embargo, para obtener este resultado, la señal desconocida debe ser constante mientras progresa el proceso de conversión. de lo contrario puede fallar el algoritmo.

Para evitarlo puede ser necesario colocar un circuito de retención antes del convertidor.

La CDA por aproximaciones sucesivas produce un circuito que mantiene una alta resolución con un tiempo de conversión, por lo general, menor que la CDA de escalera. De hecho, el tiempo de conversión de la CDA por aproximaciones sucesivas es fijo, lo contrario a la CDA de escalera, la cual depende del valor del voltaje de entrada, como se explicará más adelante.

CONVERTIDOR A/D CON RAMPA DIGITAL (ESCALERA)

Método de contador

Una de las formas para obtener un valor digital a partir de un voltaje analógico es emplear un contador digital para operar una red de escalera.

La operación de este convertidor se efectúa como sigue:

1. Se usa una señal que restablece el contador binario a cero (o sea que el voltaje de salida del generador de escalera va a 0 v.), y conmuta una señal de reloj para iniciar la alimentación de pulsos de conteo.
2. Conforme avanza el voltaje del conteo, crece el voltaje de salida del generador de escalera, con cada pulso de conteo.
3. Cuando el voltaje de la escalera excede ligeramente el voltaje analógico (fig. 2.3), la salida del comparador produce una señal para detener el conteo. El valor digital del contador se puede usar entonces como salida. Voltajes pequeños de entrada hacen que el conteo se detenga después de un conteo corto, mientras que grandes valores de voltajes de entrada hacen que el conteo avance hacia valores mayores. Es necesario una escala apropiada para el rango de conteo y para el rango de voltaje. El tiempo para una conversión depende de la frecuencia de la señal de reloj, y el número de etapas de conteo.

La resolución de una CDA es una medida del voltaje discreto que puede discernir la unidad. En el convertidor de escalera, la resolución es una etapa de conteo. Entre mayor sea el número de etapas de conteo, mayor es el número de pasos para el rango total, y menor la resolución, lo cual mejora la calidad de la señal. En general:

$$\text{porcentaje de resolución} = \frac{1}{2^n} * 100\%$$

donde n es el número de bits resultantes de convertir una muestra.

Este método se muestra en las figuras 2.3. y 2.4.

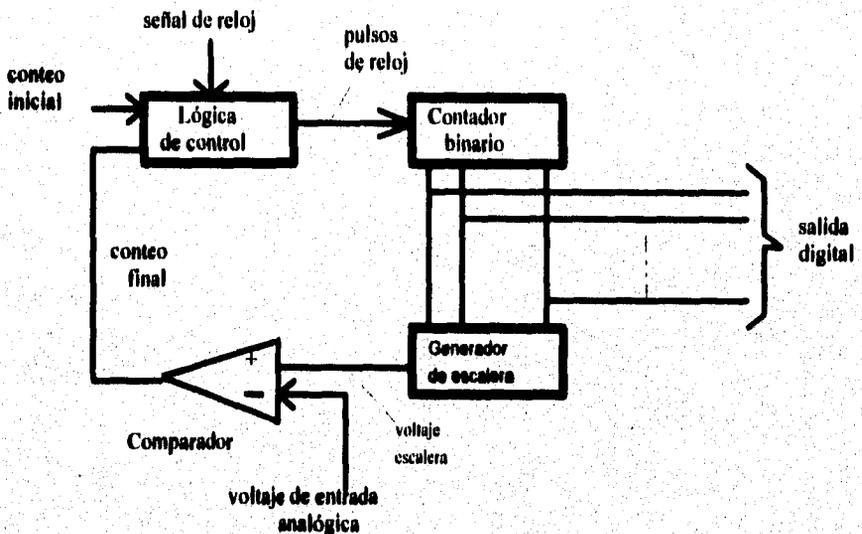


Figura 2.3. Diagrama a bloques del convertidor A/D usando red de escalera

La resolución también se puede establecer en términos de la resolución de voltaje de la CDA. Para una CDA de escalera, la resolución de voltaje es la de un solo nivel.

$$\text{resolución de voltaje} = \frac{1}{2^n - 1} * V_{fs}$$

donde V_{fs} es el voltaje de escala completa de la señal de entrada al A/D

El tiempo de conversión de una CDA de escalera depende del número de etapas y la frecuencia de la señal de reloj. El tiempo máximo de conversión es:

$$2^n * \frac{1}{f}$$

donde f es la frecuencia de la señal de reloj.

Por lo regular el tiempo promedio de conversión es la especificación empleada. Por definición, es la mitad del tiempo máximo de conversión, o sea:

$$\frac{2^n \cdot \frac{1}{2}}{2} = 2^{n-1} \cdot \frac{1}{2} \text{ [seg]}$$

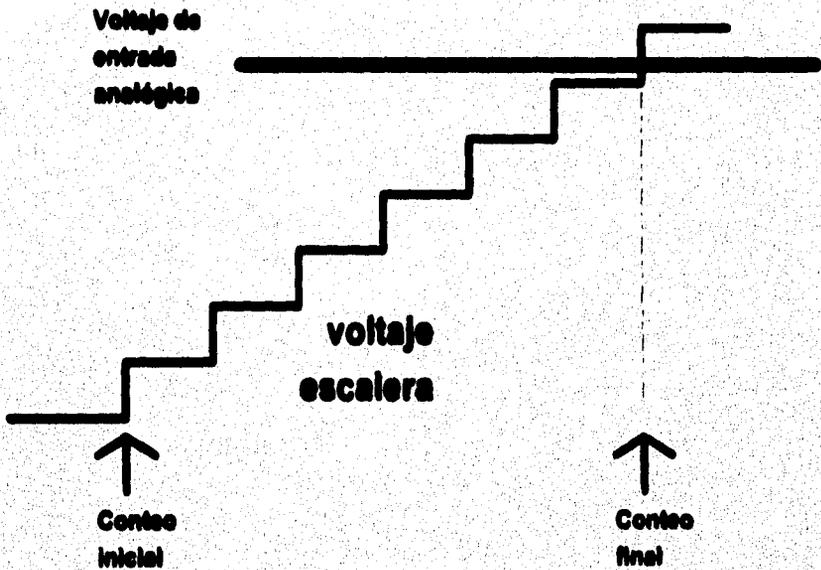


Figura 2.4. Voltaje comparador

METODO PARALELO

Este método se explica utilizando como ejemplo números de 3 bits, y representando digitalmente el voltaje V_i .

Dado que con 3 bits se pueden representar $2^3 = 8$ números distintos, se divide el máximo valor de V_i por 8, con lo que tendremos 8 porciones diferentes con sus asignaciones digitales, que llamaremos V_{LSB} .

Posteriormente, el voltaje que se aplica a la entrada, que está dentro de una porción determinada, tiene una correspondencia digital única.

La tabla de asignaciones digitales a los valores de V_i aparece representada de la siguiente manera:

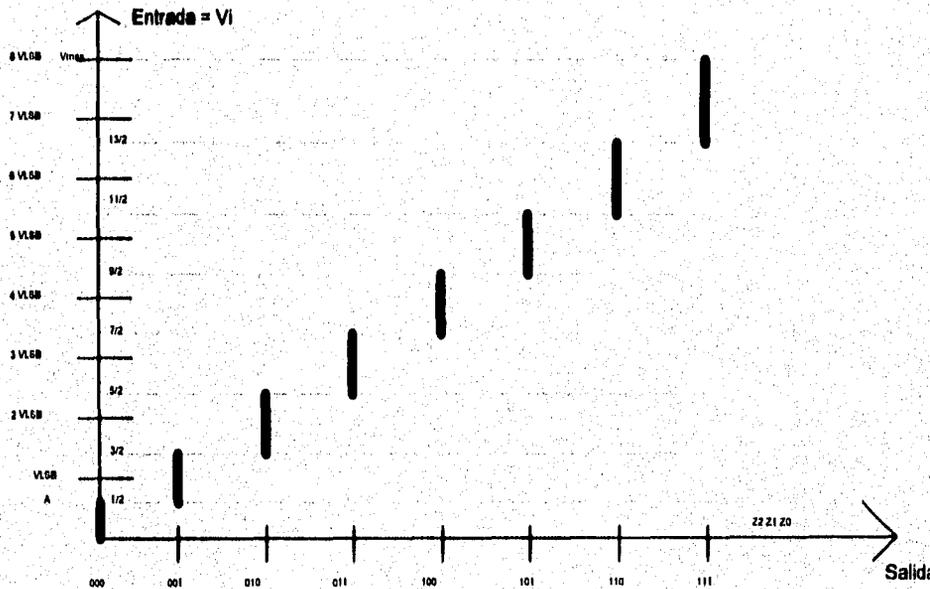


Figura 2.5. Tabla de asignaciones digitales

Así, por ejemplo, observando la figura anterior podemos extraer, mediante la regla del divisor de voltaje, que el voltaje en el punto $\frac{1}{2} V_{LSB}$ vale:

$$\frac{1}{2} V_{LSB} = V_{MAX} * \frac{\frac{1}{2} R}{R + R + R + R + R + R + R + \frac{1}{2} R} = \frac{V_{MAX}}{14}$$

Esto quiere decir que mientras la entrada V_i del comparador asociado no tenga un voltaje superior a la dada en la ecuación, la salida valdrá "0". Este valor corresponderá al número digital 000.

A medida que el voltaje V_i tome los valores superiores, irá haciendo que un número de comparadores basculen poniendo a "1" su salida correspondiente. Estas salidas llegarán a un codificador con prioridad, cuya diferencia con uno sin prioridad es que en el caso de presentarse dos señales a su entrada, codificarán únicamente la de mayor peso, que será la que genere el número digital correspondiente. Para evitar fluctuaciones del codificador mientras está en proceso de cambio y estabilización la señal V_i se inserta un latch a la salida de cada comparador.

Los 7 latches son disparados por el mismo flanco, que se producirá cuando las transiciones a la entrada hayan finalizado y se adquiera un estado estable. Estos circuitos mantienen el dato memorizado hasta el siguiente muestreo.

Por tanto, el instante de conversión viene sustancialmente determinado por el flanco de disparo del pulso de reloj.

La siguiente tabla muestra el estado de las variables en el convertidor y cuál es su dependencia con el voltaje de entrada.

VOLTAJE								NUMERO	EQUIVALENTE		
DE	ESTADOS DEL COMPARADOR							BINARIO	DECIMAL		
ENTRADA								NATURAL			
Vi/VLSB	K7	K6	K5	K4	K3	K2	K1	Z2	Z1	Z0	Z
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1	1
2	0	0	0	0	0	1	1	0	1	0	2
3	0	0	0	0	1	1	1	0	1	1	3
4	0	0	0	1	1	1	1	1	0	0	4
5	0	0	1	1	1	1	1	1	0	1	5
6	0	1	1	1	1	1	1	1	1	0	6
7	1	1	1	1	1	1	1	1	1	1	7

Estado de las variables en el convertidor

Concluyendo, de acuerdo a todo lo expuesto, la selección de un convertidor A/D depende de las necesidades específicas de cada aplicación.

Los convertidores que usan el método paralelo son los más rápidos pero también los más complejos; disipan mucha potencia y ocupan áreas más grandes.

Los convertidores que utilizan el método de contador son los más simples pero los más lentos.

Los convertidores con método ponderado son los que tienen el mejor compromiso entre velocidad y complejidad. Los convertidores de aproximaciones sucesivas, que están dentro de este método, son la mejor opción para nuestra aplicación, por las características ya explicadas.

2).- RUIDO DE CUANTIFICACION

Para hablar del ruido de cuantización es necesario definir algunos conceptos que son la base del fenómeno.

Muestreo.- Muestrear es obtener los valores de una señal en instantes discretos y generalmente equiespaciados, pero la definición no está completa, ya que no dice que la tasa de muestreo debe ser cuando menos el doble de la máxima frecuencia de la señal a muestrear.

El muestreo se realiza por medio de un interruptor en serie con la fuente de señal, como se ve en la figura 2.6.

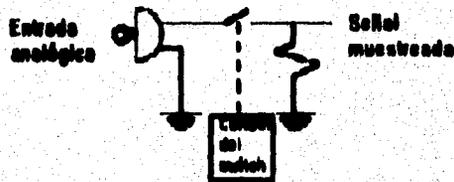


Figura 2.6. Circuito muestreador básico

Se distinguen dos tipos de muestreo dependiendo si el interruptor es ideal o es real. En el primer caso el interruptor se cierra un instante de duración cero; esto es, el pulso de control es en realidad un impulso. En el segundo caso el interruptor se cierra un tiempo finito y la señal pasa a través de él durante todo ese tiempo. El resultado de esos dos procesos se ve en la figura 2.7.

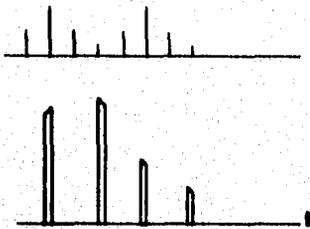


Figura 2.7. Señal muestreada.

El siguiente paso en el proceso de digitalización es la cuantización.

No existe físicamente un circuito cuantizador, ya que la cuantización es una parte inherente a la conversión A/D.

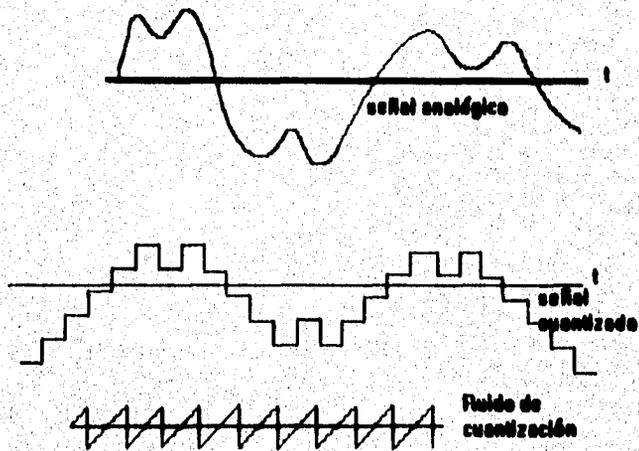


Figura 2.8. Señal analógica cuantizada y su correspondiente ruido de cuantización.

Usualmente la señal analógica que se desea digitalizar debe estar confinada en un cierto rango de voltajes, que es el que puede manejar el convertidor A/D; la señal puede tener un número infinito de valores de voltaje dentro del rango especificado, pero el convertidor no puede manejarlos todos, por lo tanto es necesario dividir el mencionado rango en 2^n valores llamados niveles de cuantificación que son los únicos que el convertidor A/D podrá manejar.

El panorama presentado lleva consigo un problema : ¿Qué hacer cuando el valor de las muestras no coinciden con alguno de los 2^n valores que se pueden digitalizar.

Esta interrogante tiene dos posibles soluciones, ambas malas: redondeamos al nivel de cuantización más próximo o truncamos el excedente con respecto al nivel inmediato inferior. En ambos casos se comete un error llamado error de cuantización, que se conoce también como *ruido de cuantización o cuantificación*.

En la figura 2.8. se puede ver una señal analógica, la misma señal cuantizada y el ruido de cuantización agregado.

Finalmente podemos definir el error de cuantificación como la diferencia entre el voltaje de la muestra y el nivel de cuantificación que se le asigna al entrar al convertidor A/D.

En los sistemas PCM (pulse code modulation) el error de cuantización siempre esta presente. La figura 2.9. muestra el ruido de cuantización como una función de la amplitud de la señal para un codificador con intervalos uniformes de cuantización.

Salida del decodificador

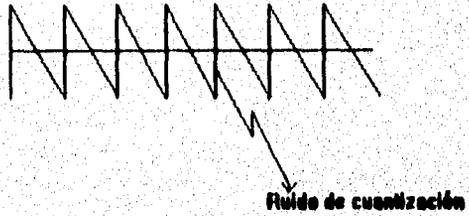
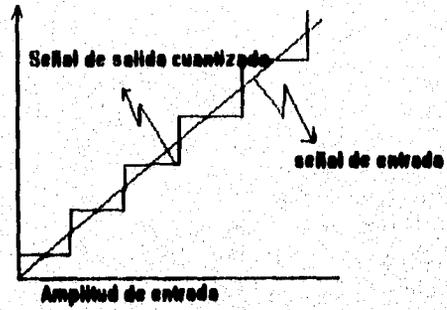


Figura 2.9. Ruido de cuantización

Relación Señal / Ruido de Cuantización.

Podría pensarse que el ruido de cuantización no es un problema relevante en los sistemas de comunicaciones y de hecho, esto puede ser cierto si este fuera el único problema que afectara a la información que queremos enviar, pero este no es el caso, ya que las señales se ven afectadas por una buena cantidad de pequeñas anomalías, que si las dejamos existir, arruinarán por completo la información que queremos transmitir.

Se hace entonces necesario medir o calcular la relación señal/ruido, que es el cociente de los voltajes de ambas ondas y con éste valor podremos decidir si el problema es relevante o ya se ha eliminado.

Esta relación que se busca, cada autor la obtiene de diferentes maneras. A continuación daremos algunas de ellas.

De "*Digital transmission Systems and Networks*" de Michael J. Miller

Para un ruido típico de cuantización de tipo granular y a falta de información, es usual asumir que el error de cuantización "e" está uniformemente distribuido sobre un rango desde -a/2 hasta a/2. Por lo tanto, dentro de este intervalo, $p(e) = 1/a$.

Entonces el valor medio cuadrático del ruido de cuantización es:

$$N = \int_{-a/2}^{a/2} e^2 (1/a) de$$

y en consecuencia se obtiene:

$$N = \frac{a^2}{12} [\text{watts}]$$

Considerando que el voltaje efectivo de la señal es σ , se tiene que:

$$SNR = 10 \log \frac{\sigma^2}{a^2/12}$$

Debido a observaciones experimentales se puede considerar que aunque la señal de voz es aleatoria, su voltaje de pico (V_p) es aproximadamente 4 veces mayor que su voltaje efectivo (σ) de modo que el voltaje pico a pico es aproximadamente de 8σ .

Se puede establecer también que el tamaño de los niveles de cuantización es igual al voltaje pico a pico entre el número de niveles; o sea:

$$a = 8\sigma/M$$

pero:

$$M = 2^m$$

entonces:

$$\begin{aligned} \text{SNR} &= 10\log \frac{\sigma^2}{a^2/12} = 10\log \frac{12\sigma^2}{(8\sigma/M)^2} \\ &= 10\log \frac{3M^2}{16} = 10\log \frac{3}{16} + 20\log 2^m \\ \text{SNR} &= 6m - 7.3 \text{ [dB]} \end{aligned}$$

De "*Electronic Communication Techniques*" de Paul H. Young transcribimos la primera versión de S/N:

El máximo voltaje pico a pico de la señal analógica se puede expresar de la siguiente manera:

$$V_{pp} = aM$$

donde:

a = diferencia entre niveles de cuantización contiguos y
 M = número de niveles de cuantización.

Si se llama V_p al voltaje de pico de la señal cuantificada, se tiene que:

$$V_p = aM/2$$

Considerando una señal senoidal, el valor rms de la señal cuantificada esta dado por:

$$\frac{V_p}{\sqrt{2}} = \frac{aM}{2\sqrt{2}}$$

La potencia promedio para una señal senoidal es :

$$S = \frac{V_{rms}^2}{R}$$

$$S = \frac{a^2 M^2}{8R}$$

La potencia promedio para el ruido esta dada por:

$$N_n = a^2/12R$$

Combinando los dos últimos resultados, la máxima relación señal/ruido de cuantización para M niveles en una señal senoidal es:

$$S/N_n = \frac{a^2 M^2 / 8}{a^2 / 12} = \frac{3}{2} M^2$$

De " Transmisión de información modulación y ruido", de Misha Schwartz:

La idea de relación señal a ruido SNR puede hacerse de dos maneras, en términos de la señal pico y en términos de la potencia promedio de la señal,

Señal pico .- Como $V_p = aM/2$ es la excursión pico de la señal, la relación entre voltaje máximo de la señal y el ruido rms será de:

$$\frac{S_{ov}}{N_{ov}} = \frac{V_p}{a/(2\sqrt{3})} = \sqrt{3}M$$

Donde:

M = número de niveles de cuantización

a = amplitud entre niveles de cuantización

La relación de potencia correspondiente es:

$$\frac{S_o}{N_o} = 3M^2$$

ó, en decibeles

$$\left. \frac{S_o}{N_o} \right|_{\text{db}} = 4.8 + 20 \log_{10} M$$

Considerando que:

$$M = n^m$$

siendo:

n el número de niveles de codificación y

m el número de bits/muestra

por lo tanto:

$$\frac{S_o}{N_o} = 3n^{2m}$$

$$\left. \frac{S_o}{N_o} \right|_{\text{db}} = 4.8 + (20 \cdot m \cdot \log_{10} n)$$

En particular para un código binario ($n=2$):

$$\left. \frac{S_o}{N_o} \right|_{\text{db}} = 4.8 + (6 \cdot m)$$

Potencia promedio de la señal .- Al definir una SNR de potencia promedio se obtienen esencialmente los mismos resultados. Con un espaciamiento en los niveles cuantizados de a volts y con excursión de la señal de V volts la potencia promedio de la señal resulta ser:

$$S_o = (M^2 - 1)a^2/12$$

suponiendo que todos los niveles de la señal están espaciados de manera uniforme.

Como

$$N_o = a^2/12$$

la SNR de la potencia promedio de salida es:

$$\frac{S_o}{N_o} = \frac{(M^2 - 1) \left(\frac{a^2}{12} \right)}{\frac{a^2}{12}} = M^2 - 1$$

Para $M \gg 1$ este resultado difiere bastante de la relación S_o/N_o pico dada por la ecuación:

$$\frac{S_o}{N_o} = 3M^2$$

Para un sistema de 128 niveles la SNR de cuantización es de 42 dB, el grupo de decodificación binaria necesita siete pulsos ($2^7 = 128$) y el ancho de banda es de siete veces el que ocupa la señal cuantizada original

De "*Digital Telephony*", de John Bellamy:

Un aspecto fundamental en el diseño y desarrollo de proyectos de ingeniería es el analizar algunos parámetros de los sistemas desarrollados. Solamente entonces se puede tener un sistema con medidas objetivas para su mejor aprovechamiento. Una de estas medidas en los sistemas de comunicación es sin duda el ruido; en especial el ruido de cuantización. En los codificadores PCM el ruido de cuantización tienen una distribución aleatoria; y es función de la amplitud de la señal de entrada de un codificador con intervalos de cuantización uniformes. Nótese que si la señal tiene suficiente tiempo para cambiar varios niveles de cuantización (figura 2.11.) los errores de cuantización son independientes, pero si la señal es sobremostrada de manera que varias muestras caen dentro del mismo nivel de cuantización, los errores de cuantización ya no serán independientes entre sí.

Se acostumbra expresar el error de cuantización como la potencia promedio de ruido de cuantización, referida a la potencia promedio de la señal. Así mismo la relación señal/ruido puede ser expresada como el cociente de las potencias promedio de la señal y de el ruido. Lo anterior queda expresado en la siguiente igualdad:

$$SNR = \frac{E\{x^2(t)\}}{E\{[y(t) - x(t)]^2\}}$$

donde:

$E(.)$ = valor esperado o valor promedio

$x(t)$ = señal analógica de entrada

$y(t)$ = señal de salida del decodificador.

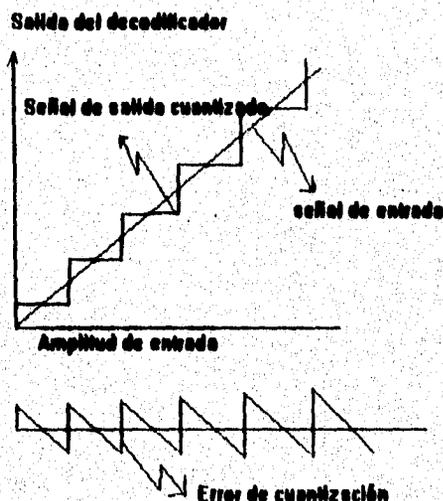


Figura 2.10. Error de cuantización.

En la determinación del valor esperado del ruido de cuantización, tres observaciones son necesarias:

1. El error $y(t)-x(t)$ es limitado en amplitud a $a/2$ donde a es la altura del intervalo de cuantización.
2. Un valor de una muestra es igualmente probable de caer en cualquier lugar dentro de un intervalo de cuantización, lo cual implica que la amplitud de la señal tiene una densidad de probabilidad uniforme igual a $1/a$.
3. Se supone que el rango de voltajes permisibles a la entrada del codificador es mayor que la amplitud de la señal. Si el valor de una muestra excede tal rango, se presenta distorsión de sobrecarga.

Si se asume por conveniencia una resistencia de 1 ohm, el promedio de ruido de cuantización esta determinado como:

$$\text{potencia de ruido de cuantización} = \frac{a^2}{12}$$

Si todos los intervalos de cuantización son equiespaciados, el ruido de cuantización es independiente de los voltajes de las muestras y la relación señal /ruido de cuantización está determinada por:

$$\text{SNR}_{[\text{dB}]} = 10 \log_{10} \left[(\sigma^2) / (a^2 / 12) \right]$$

$$\text{SNR}_{[\text{dB}]} = 10.8 + 20 \log_{10} (\sigma/a)$$

Para una señal senoidal en la entrada:

$$\text{SNR}_{[\text{dB}]} = 10 \log_{10} \left[(V_p^2 / 2) / (a^2 / 12) \right]$$

$$\text{SNR}_{[\text{dB}]} = 7.78 + 20 \log_{10} (V_p/a)$$

Donde V_p es el voltaje de pico de la onda senoidal.

Cuando se mide la potencia del ruido de cuantización, el contenido espectral es a menudo valorizado en la misma forma que el ruido en circuitos analógicos. Desafortunadamente la valorización del espectro del ruido no siempre refleja la calidad de un sistema A/D, D/A. Si la distribución espectral del ruido de cuantización es mas o menos parecida al espectro de la forma de onda del mensaje, el ruido es enmascarado por el mensaje y no es muy notable. Por otro lado si las frecuencias del ruido de cuantización no coinciden con las frecuencias del mensaje el ruido será notable. Los

codificadores PCM de alta calidad producen ruido de cuantización que está distribuido dentro del espectro de la señal de voz e independiente de las formas de onda codificadas. Así la relación señal/ruido de cuantización definido en la ecuación anterior es una buena medida de la calidad de los sistemas PCM .

De "Sistemas de comunicación", Ferrel G. Strembler:

Para calcular el ruido cuadrático medio de cuantización se supone que la señal analógica se cuantifica en M niveles de igual amplitud de modo que la diferencia entre niveles contiguos es de "a" volts . (Para la PCM binaria, n se elige como potencia entera de 2) y suponiendo que la señal es bipolar y que no hay nivel de cd que deforme las amplitudes, una distribución razonable de los niveles de cuantización es:

$$\pm a/2, \pm 3a/2, \pm 5a/2, \dots, \pm (M-1)a/2$$

Considerando que el número de niveles de cuantización es par y que todos son equiprobables, la función densidad probabilística de los niveles de cuantización es:

$$p(x) = \sum_{i=1}^n (1/M) \delta(x - ia/2)$$

El valor medio cuadrático de la señal después de la cuantización es:

$$S = \int_{-\infty}^{\infty} x^2 p(x) dx$$

$$S = 2 \int_0^{\infty} x^2 p(x) dx$$

resolviendo:

$$S = 2/M \{ (a/2)^2 + (3a/2)^2 + \dots + [(M-1)a/2]^2 \}$$

$$S = \frac{2}{M} \cdot \frac{M(M-1)(M+1)}{6} \cdot (a/2)^2$$

$$S = \frac{M^2 - 1}{12} \cdot a^2$$

El mismo método puede aplicarse si los niveles no son todos equiprobables aunque el resultado correspondiente a la ecuación anterior no puede expresarse en forma tan compacta.

En el proceso de cuantización cada muestra de la señal continua de entrada se aproxima al nivel de cuantización más cercano.

El error de cuantización (ϵ) es la diferencia entre el nivel de la señal y el nivel de cuantización más cercano; si no se dice lo contrario, se supone que todos los valores del error de cuantización son igualmente probables en cualquier parte del intervalo de $-a/2$ a $a/2$ y pueden describirse con la función densidad probabilística uniforme:

$$p(\epsilon) = \begin{cases} 1/a & -a/2 \leq \epsilon < a/2 \\ 0 & \text{en cualquier otro caso} \end{cases}$$

Realmente, el resultado no depende mucho de esa suposición si la función densidad probabilística no se destaca notablemente en algún punto del intervalo. El ruido cuadrático medio de cuantización se obtiene fácilmente:

$$\epsilon^2 = \int_{-a/2}^{a/2} \epsilon^2 p(\epsilon) d\epsilon$$

$$\epsilon^2 = \int_{-a/2}^{a/2} 1/2 \epsilon^2 d\epsilon$$

$$\epsilon^2 = \frac{a^2}{12}$$

Como la amplitud pico de la señal (el rango) es $Ma/2$, la razón de potencia pico de señal a potencia efectiva de ruido es:

$$\frac{S}{N} = \frac{(Ma/2)^2}{a^2/12} = 3M^2$$

Expresada en decibeles, se convierte en:

$$\left. \frac{S}{N} \right|_{dB} = 4.8 + 20 \log_{10} M$$

En un código binario se tiene $M = 2^m$ de forma que en caso binario la ecuación expresada en decibeles se reduce a:

$$\frac{S}{N} = 4.8 + 6m$$

Por lo tanto, la relación señal a ruido de cuantización *rms* aumenta en 6 dB por cada bit adicional usado en un sistema binario.

En el caso de que todos los niveles de una señal son equiprobables, la señal cuadrática media viene dada por la ecuación :

$$S = \frac{M^2 - 1}{12} a^2$$

Dividiendo esta ecuación entre

$$\epsilon^2 = \frac{a^2}{12}$$

Se obtiene:

$$\frac{S}{N} = M^2 - 1$$
$$\frac{S}{N} \approx M^2$$

O sea que la calidad de la conversión A/D , sobre una base cuadrática media aumenta con el cuadrado del número de niveles empleados pero al usar más niveles de cuantificación aumenta el número de bits que se requieren para codificar la señal. Este es el precio que hay que pagar por reducir el ruido de cuantificación

A continuación se muestra una tabla comparativa de los resultados obtenidos de los 5 autores en la relación señal a ruido de cuantificación; en algunos casos se hará referencia al ruido con respecto al voltaje (subíndice v) o a la potencia (subíndice p).

$$\text{SNR}_v = \sqrt{3} * M$$

$$\text{SNR}_p = 3M^2$$

$$\text{SNR}_p = 4.8 + 20\log M \quad [\text{dB}]$$

$$\text{SNR}_p = 4.8 + 6M \quad [\text{dB}]$$

$$\text{SNR}_p = M^2 - 1$$

Estas son las ecuaciones que se parecen entre si aunque lo único en lo que varia es en la forma de expresar cada una, pero de una se puede pasar a otra utilizando la igualdad $M = 2^m$, y en caso de que esté expresado en potencia basta con aplicar logaritmo a la ecuación y se obtiene la que se busque.

A continuación se dan dos resultado que difieren entre sí y con los arriba mencionados.

$$\text{SNR}_p = 6m - 7.3 \quad [\text{dB}]$$

$$\text{SNR}_p = 10.8 + 20\log \frac{\sigma}{a}$$

Es necesario insistir en que todas estas fórmulas sirven cuando los intervalos de cuantificación son de magnitud (a) uniforme; si lo anterior no se cumple, hay que usar otras fórmulas.

3.-) TECNICAS DE REDUCCION DE RUIDO DE CUANTIFICACION

Ahora que ya se sabe qué es el ruido de cuantificación, se explicarán algunos procedimientos que ayudan a disminuir los efectos de este ruido en los sistemas de transmisión.

Estos procedimientos son:

1. Aumentar el número de muestras/seg que se tomen a la señal.
2. Aumentar el número de los niveles de cuantificación.
3. Usando la técnica de **compresión- expansión** (compansión)

Las dos primeras implican aumentar la velocidad de transmisión (bits/seg), lo cual es muy costoso, por eso se usa la compansión, que no es demasiado costosa.

COMPANSION

El proceso de compansión comprende dos etapas, la compresión de señales que se realiza en el transmisor y posteriormente la expansión que se lleva a cabo en el receptor.

La compresión consiste en amplificar a una señal, pero con una ganancia grande para las partes de menor amplitud y una ganancia unitaria para las partes de mayor amplitud. La gráfica de la figura 2.12. nos muestra la relación entrada-salida para un amplificador ideal y para un amplificador compresor.

Como se puede apreciar, el proceso de compresión tiende a eliminar los voltajes pequeños en la señal.

Para la expansión se requiere un amplificador con una característica complementaria a la anterior, figura 2.14.

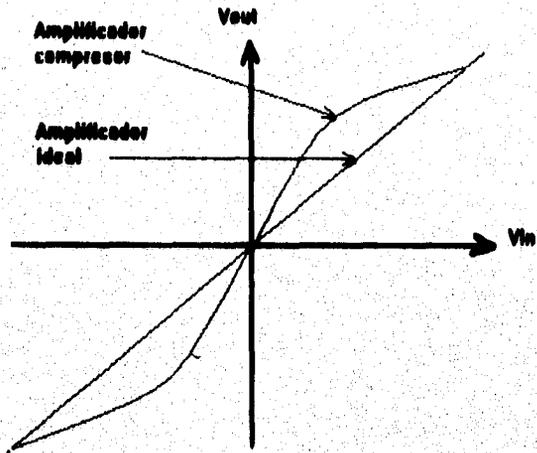


Figura 2.11. Curva de compresión

Esto hará que una señal con C.D. se separe del eje horizontal como se ve en la figura 2.12.

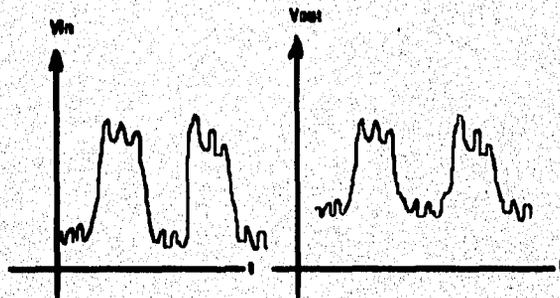


Figura 2.12. Señal original y señal comprimida

Pero una señal de alterna se verá como la figura 2.13.

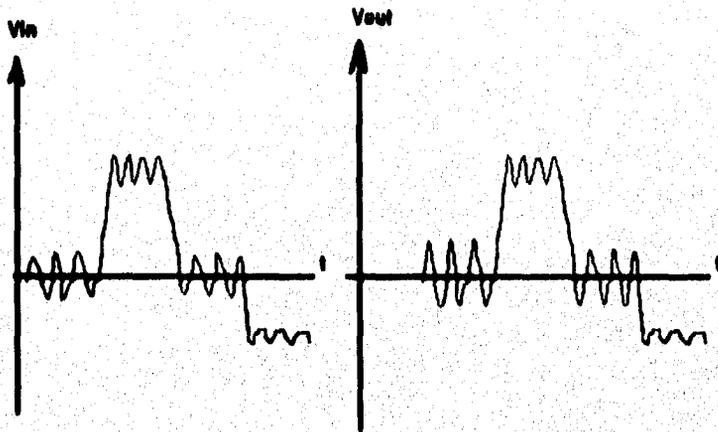


Figura 2.13. Señal original y señal comprimida

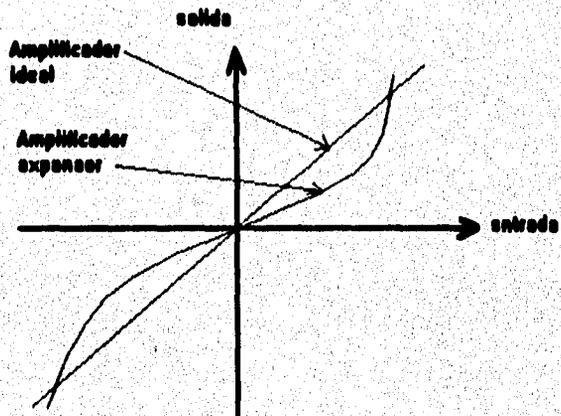


Figura 2.14. Curva de expansión

De este modo si las curvas de compresión y expansión son rigurosamente complementarias, una señal sometida a ambos procesos quedará como estaba originalmente.

¿Para qué sirve entonces la compresión?, para reducir el ruido de cuantificación ya que no se puede eliminar totalmente.

Se explica ahora en qué se basa este proceso: supóngase que se muestrea una señal y una de las muestras tiene una magnitud de 100.99 unidades, de modo que para pasarla al A/D se trunca la fracción cometiendo un error relativo de:

$$Er = \frac{100.99 - 100}{100.99} \times 100 = 1\%$$

Considerando una muestra de 1.99 unidades a la que también se le trunca la fracción, el error relativo será:

$$Er = \frac{1.99 - 1}{1.99} \times 100 = 50\%$$

Como se puede ver, el error relativo es mucho mayor si la señal es pequeña y es despreciable para señales grandes, de modo que para minimizarlo hay que amplificar las señales pequeñas respetando el voltaje de los picos altos, justamente lo que hace la compresión.

Sin embargo, si se entrega al usuario una señal comprimida, la escuchará distorsionada, es por eso que en el extremo receptor se somete al proceso de expansión, que como se ha soslayado, esto no elimina el ruido de cuantificación, pero si lo reduce a valores tolerables y prácticamente imperceptibles.

COMPANSION ANALOGICA

Históricamente la compansión analógica fue implementada usando diodos de diseño especial insertados en la trayectoria de la señal analógica de el sistema PCM transmisor antes de ser muestreada. La expansión analógica fue también implementada con diodos que se colocaron después del filtro pasa bajas, como se muestra en la figura 2.15. En el transmisor la señal analógica es comprimida, muestreada y convertida a un código lineal PCM.

En el receptor, el código PCM es convertido a una señal PAM filtrada y expandida regresándola a sus características originales.

Diferentes distribuciones de señales requieren diferentes características de compresión; por ejemplo, para las señales de voz se requiere una SNR constante sobre un amplio rango dinámico, y esto requiere una razón de compresión logarítmica.

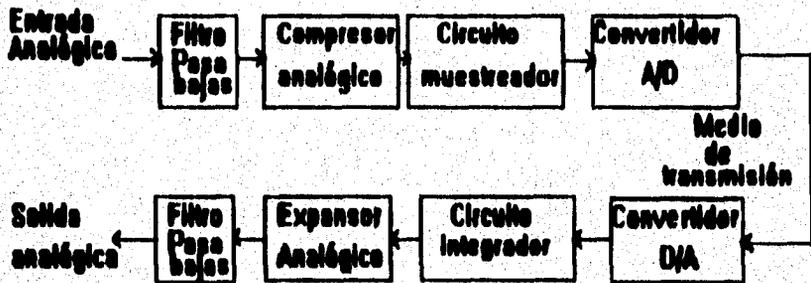


Figura 2.15. Diagrama a bloques de un circuito compresor-expansor

Esta idea básica fue el original de los estándares de compresión establecidos por el CCITT y por la asociaciones de normas norteamericanas (ley A y ley μ) de las que se tratará posteriormente.

En la figura 2.16. se muestra una curva en la que se puede ver la relación de los voltajes de entrada y los de salida del compresor.

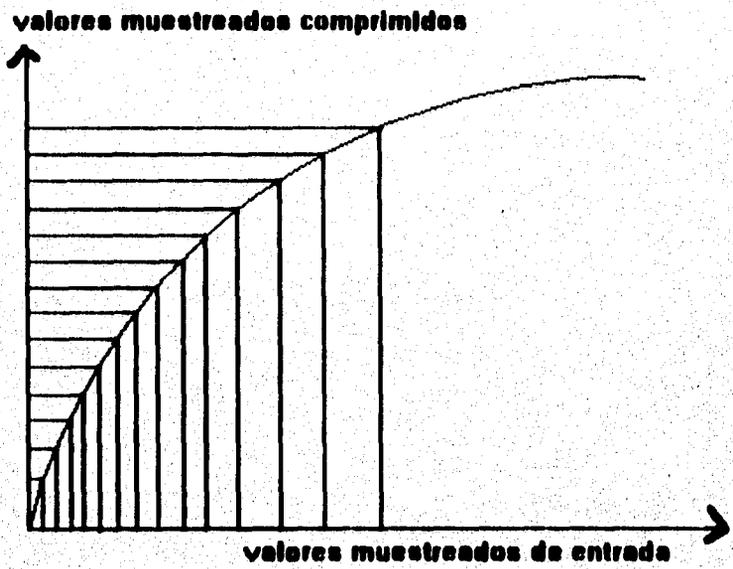


Figura 2.16. Curva de compresión

COMPANSION DIGITAL

La compansión digital involucra la compresión después de la conversión A/D y la expansión se realiza antes de la conversión D/A . En la figura 2.17, se muestra un diagrama de bloques de un sistema de compansión digital.

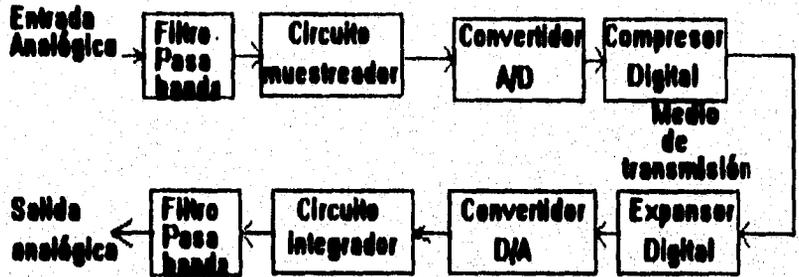


Figura 2.17. Diagrama a bloques de la compansión digital

Con la compansión digital, la señal analógica primero se muestrea y se convierte a un código lineal digital, posteriormente el código digital se comprime digitalmente y se transmite. En la parte receptora el código comprimido es recibido, expandido y decodificado. La compresión digital se hace partiendo de un código lineal de 12 bits que se comprime a 8 bits. La curva de compresión digital es similar a la de compresión analógica esta curva está construida por un conjunto de segmentos de líneas rectas con un total de 8 segmentos (segmentos de 0 a 7 excepto para los dos primeros segmentos que tienen la misma pendiente).

La pendiente de cada recta sucesiva es exactamente la mitad de la anterior, la figura 2.18, muestra la compresión digital de 12 a 8 bits con los segmentos de recta para valores positivos solamente; la curva para los valores negativos es exactamente igual solo que invertida. En la curva total hay 16 segmentos, 8 positivos y 8 negativos; este esquema es a menudo llamado compresión de 13 segmentos, ya que la recta de los segmentos +0,+1,-0 y -1 es una sola línea recta con pendiente constante, es decir, los dos primeros segmentos positivos y los dos primeros segmentos negativos son colineales y se considera como un solo segmento.

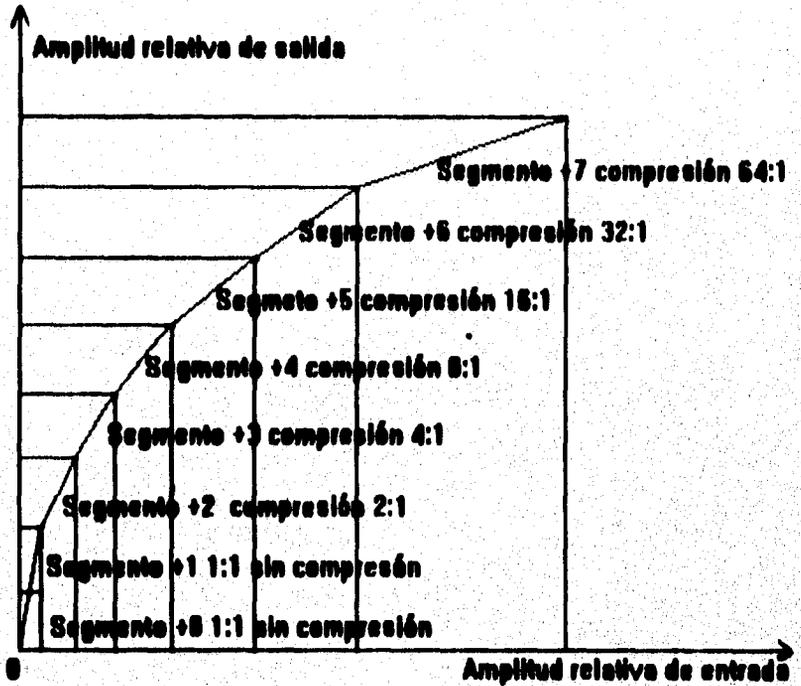


Figura 2.18. Curva de compresión digital

Originalmente el A/D entrega 12 bits por cada muestra; el algoritmo para la compansión digital de 12 bits lineal a 8 bits comprimidos es ahora muy simple , de los 8 bits de código comprimido, un bit es para la polaridad, 3 bits son para identificar el segmento de la curva, y cuatro bits de código para identificar el valor de la muestra como se aprecia en la tabla siguiente:

signo del bit 1 = + 0 = -	3 bits de identificación 000 al 111	4 bits de intervalo de cuantización 0000 al 1111
---------------------------------	---	---

El proceso de compresión se puede ver en la siguiente tabla:

Segmento	12 bits de código lineal	8 bits de código comprimido
0	s000000ABCD	s000ABCD
1	s0000001ABCD	s001ABCD
2	s000001ABCDX	s010ABCD
3	s00001ABCDXX	s011ABCD
4	s0001ABCDXXX	s100ABCD
5	s001ABCDXXXX	s101ABCD
6	s01ABCDXXXXX	s110ABCD
7	s1ABCDXXXXXX	s111ABCD

El proceso de compresión es como sigue. La señal analógica es muestreada y pasa a un A/D lineal que entrega un paquete de 12 bits por cada muestra, que lo vamos a reducir a 8 bits. El primer bit del conjunto original es el que indica la polaridad y pasa directamente al código de 8 bits. Se cuenta el número de ceros consecutivos a partir del bit 11 sin pasar de 7 y este número se resta de 7, y se convierte a binario con 3 bits.

Con esto se tienen los 3 siguientes bits del código comprimido que se sitúan a la derecha del bit de polaridad; los cuatro bits después del primer uno significativo, se pasan al código comprimido con lo cual se tiene ya un total de 8 bits. Los restantes bits del código original se pierden.

Si no se encontró un uno entre los bits del 11 al 5, los últimos 4 bits del conjunto de 12 pasan directamente al código comprimido.

En la siguiente tabla se muestra el proceso de expansión.

8 bits de código comprimido	12 bits de código recuperado	Segmento
s000ABCD	s0000000ABCD	0
s001ABCD	s0000001ABCD	1
s010ABCD	s000001ABCD1	2
s011ABCD	s00001ABCD10	3
s100ABCD	s0001ABCD100	4
s101ABCD	s001ABCD1000	5
s110ABCD	s01ABCD10000	6
s111ABCD	s1ABCD100000	7

Como se puede ver, el proceso de compresión-expansión no es perfecto, puesto que los bits X del código original no se recuperan.

En los segmentos cero y uno no hay compresión puesto que todos los 12 bits originales son recuperados. En el segmento 2 existen 32 posibles códigos (ABCDX) y solo se pueden recuperar 16 (o sea ABCD1); esto implica una relación de compresión de 2 a 1. En el segmento 3 hay 64 posibles códigos ABCDXX y solo se pueden recuperar 16 (o sea ABCD10), o sea la relación de compresión 4 a 1, y así sucesivamente.

De las tablas anotadas, podemos ver que el bit más significativo de los bits truncados es reinsertado en el decodificador como un 1. Los bits truncados faltantes son reinsertados como ceros. Esto implica que la máxima magnitud de error introducido por la compresión-expansión es minimizada.

Esencialmente, el decodificador predice cual de los bits truncados será codificado. El más lógico es a la mitad del camino entre la mínima y la máxima magnitud del código. Por ejemplo en el segmento 5, los últimos 5 bits más significativos son truncados durante la compresión. En el receptor el decodificador debe determinar cuál de estos bits debe ser. Las posibilidades son cualquier código entre 00000 y 11111. El más probable es 10000,

aproximadamente la mitad de la magnitud máxima. Consecuentemente el error máximo de compresión es menor que la magnitud de dicho segmento.

CAPITULO III

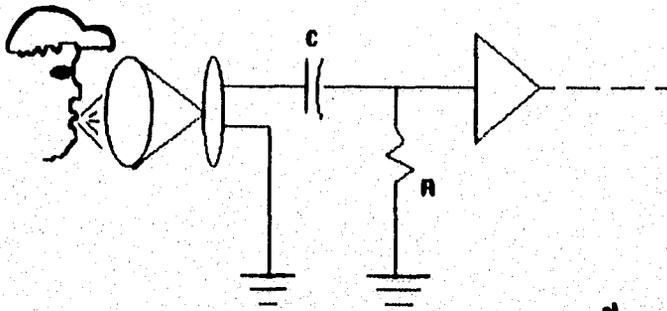
TÉCNICAS DE COMPRESIÓN ANALÓGICA

1.-) PROCEDIMIENTOS DE COMPRESION ANALOGICA

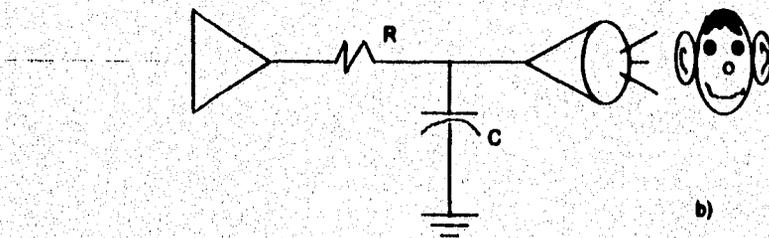
El audio y el video han tenido a lo largo de su constante desarrollo tecnológico el problema de la eliminación del ruido en cualquiera de sus manifestaciones. En ambos casos, se han desarrollado diversas técnicas de reducción de ruido y algunas de ellas utilizan los procedimientos de compresión y expansión, lo que será el punto de interés de este capítulo.

Una técnica enfocada a la reducción de ruido térmico que no utiliza compresión-expansión es la llamada "pre-énfasis, de-énfasis". Esta técnica se basa en el hecho de que el ruido que molesta más está en el rango de frecuencias altas de la banda utilizada; de esta forma basta con amplificar las altas frecuencias de la banda antes de que se contaminen con ruido (antes de transmitir las) y atenuarlas a su nivel original después de recibir las, de tal manera que el ruido adicionado, que no fué amplificado en el extremo transmisor, será atenuado en el extremo receptor.

La técnica de "pre-énfasis, de-énfasis", está estandarizada para la señal de audio que se transmite en FM a 75 μ seg., esto quiere decir que el pre-énfasis se logra haciendo pasar la señal por un filtro paso altas de primer orden en el que la constante RC vale 75 μ seg. Así mismo, el de-énfasis se logra haciendo pasar la señal por un filtro paso bajas de primer orden en el que la constante RC vale también 75 μ seg. Esto se ve en la figura 3.1



a)



b)

Figura 3.1. a) Pre-énfasis y b) de-énfasis

La técnica expuesta no contribuye a eliminar el ruido de baja frecuencia pero como en nuestro caso, el ruido de cuantificación tiene una frecuencia fundamental igual a la frecuencia de muestreo y ésta última es el doble de la mayor frecuencia de la voz, la técnica de compresión-expansión sí puede ser utilizada para reducir el ruido de cuantificación, sobre todo si se usa en cascada con algún procedimiento de compansión.

Existen muchos ruidos que se mezclan en las señales de grabación analógica, produciendo imperfecciones en la transmisión o grabación de las mismas, siendo muy difícil quitar el ruido de la señal sin que ésta se vea afectada de algún modo.

Un sistema de reducción usado correctamente reduce considerablemente los niveles de señales indeseadas en los procesos de grabación o en la transmisión. La figura 3.2. muestra uno de los procesos más eficientes para eliminar el ruido de cinta.

Existen sistemas reductores de ruido basados en el principio de compresión y expansión. Los métodos empleados en estos sistemas incluyen:

1. Detección de pico y promedio para el sensor de nivel que controla el compresor y expansor.
2. División del espectro de frecuencia en bandas para obtener precisión razonable en el seguimiento de codificación-decodificación
3. Limitación de la cantidad de reducción de ruido empleada de manera que el ruido de siseo que permanece sea suficiente para enmascarar las imperfecciones del sistema.

Uno de los procesos que mejor elimina el ruido en las señales de grabación, es el sistema compansor. Este incluye los sistemas de reducción de ruido conocidos como DOLBY y DBX.

La compresión en cinta es llamada también codificación; la expansión en cinta es llamada a su vez decodificación. Ambas partes son complementarias, y no puede existir solo una de ellas, ya que se afecta su rango dinámico y su respuesta en frecuencia; de modo que si se reproduce sin expansión una grabación comprimida, ésta se escuchará distorsionada.

Primero se lleva a cabo la compresión, antes de comenzar la grabación en la cinta y, después de la reproducción, la señal es expandida a su rango dinámico original. De esta manera, las señales de más bajo nivel pueden ser grabadas con un nivel de operación más alto. Durante la expansión, el ruido es también reducido desde su nivel original a uno más bajo, siendo este nivel menos perceptible. Esto se observa en la figura 3.2.

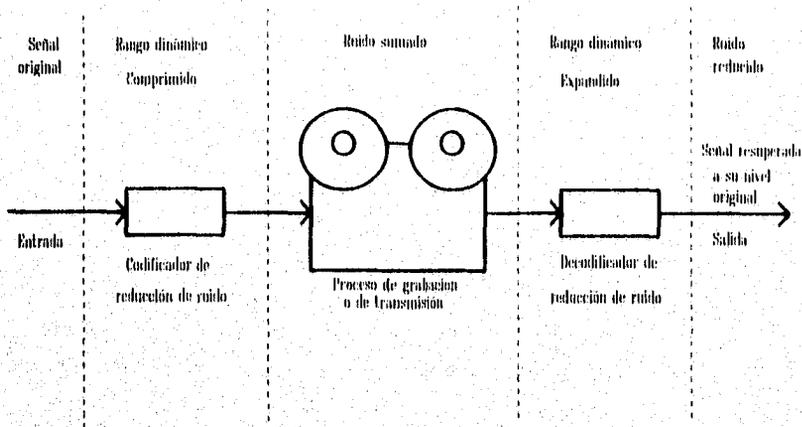


Figura 3.2. Representación gráfica de un proceso de compansión de reducción de ruido

SISTEMA DOLBY

Un ejemplo típico de lo anterior es el caso del sistema DOLBY para grabación en cinta magnética que se puede ver especificado en los "cassetes" de música popular que podemos adquirir en cualquier discoteca.

El sistema Dolby fue el primer sistema efectivo reductor de ruido, desarrollado por Ray Dolby. El sistema Dolby fue diseñado principalmente para grabación en cinta.

Este sistema opera solo en lapsos de silencio (abajo de -10 VU). Lapsos de más alto nivel no necesitan reducción de ruido porque la señal o el programa, enmascaran el ruido. Existen cinco diferentes tipos de reducción de ruido Dolby, a continuación se enlistan estos cinco tipos, ordenados en forma creciente de acuerdo a su efectividad:

- Dolby B
- Dolby C
- Dolby A
- Dolby S
- Dolby SR

Dolby B.- El sistema Dolby B es un sistema de bajo costo para cassettes , y opera solamente en altas frecuencias para reducir el ruido de siseo por arriba de los 10 dB.

Dolby C.- El Dolby C, para cassettes, trabaja sobre un pequeñísimo rango y reduce el ruido por arriba de los 20 dB.

Dolby A.- El sistema Dolby A divide el espectro audible en cuatro bandas de frecuencia que son comprimidas y expandidas por separado. Este sistema reduce el ruido por 10 dB abajo de 5 KHz., y arriba de 15 dB para 15KHz.

Los cuatro filtros de entrada que usa el sistema Dolby A son :

1. Primer filtro : paso bajas hasta 80 Hz.
2. Segundo filtro : paso banda de 80 Hz. a 3 KHz.
3. Tercer filtro : paso altas desde 3 KHz.
4. Cuarto filtro : paso altas desde 9 KHz.

En el codificador, cada una de estas bandas es amplificada adecuadamente según el nivel de ruido esperado y el nivel de la señal más débil que se tenga.

Evidentemente, la característica de los filtros del codificador debe ser rigurosamente complementada en el decodificador y por cada dB de ganancia debe haber un dB de atenuación, para que la señal reproducida sea idéntica.

Con este sistema Dolby se logra una mejora de la relación señal-ruido, de aproximadamente 15 dB.

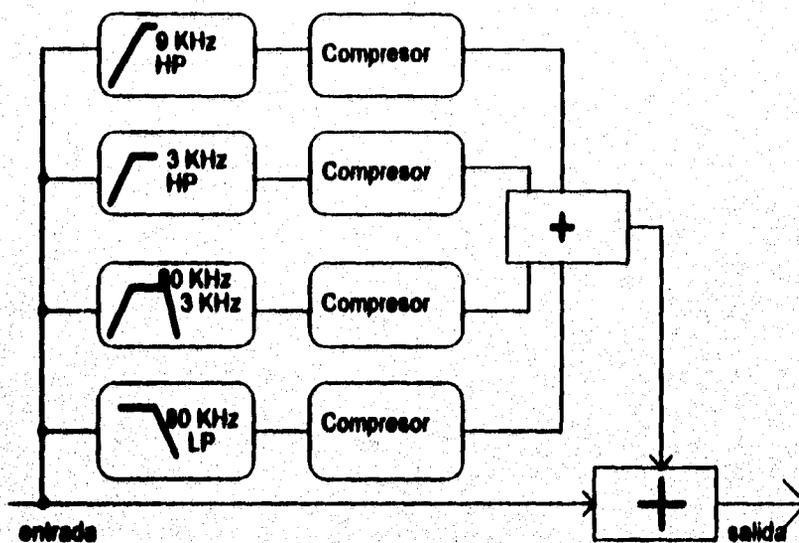


Figura 3.3. Filtros del sistema Dolby A.

Dolby S.- El sistema Dolby S reduce el ruido de siseo a 24 dB y para el ruido de frecuencias bajas, a 10 dB.

Dolby SR.- El sistema Dolby SR es el sistema Dolby más efectivo; el ruido se ve reducido a 25 dB para más allá del espectro audible.

SISTEMA DBX

El sistema DBX es un sistema básico compansor, comprime para grabar y expande para reproducir.

El circuito DBX usa un filtro para realizar pre-énfasis de alta frecuencia a 12 dB antes de la compresión, y usa otro filtro para de-énfasis de alta frecuencia después del expansor. Esto reduce el ruido de cinta de la modulación de alta frecuencia, el cual incrementa su nivel cuando la señal incrementa también su nivel. Es por demás mencionar que esto mejora la calidad de la señal.

DBX ofrece una reducción de ruido característica de 20 dB a 30 dB. El rango de compresión puede ser variado o seleccionado desde 1:1 a 2:1.

Con los valores mencionados, un programa con 90 dB de rango dinámico es comprimido a 45 dB, lo cual es fácilmente manipulado por una grabadora de cinta con una relación señal a ruido de 60 dB. Durante la reproducción de la cinta, el rango dinámico es expandido, regresando a los 90 dB originales.

Este sistema se conecta entre la consola y el transporte de cinta, exactamente en la misma forma en el que el sistema Dolby.

DBX opera para todas los niveles de la señal y abarca todo el espectro audible.

Ambos, Dolby y DBX tienen ventajas y desventajas. Comparado con el sistema Dolby, el DBX proporciona más reducción de ruido.

Las cintas codificadas con DBX contienen un leve siseo que varía de acuerdo al nivel de la señal. Las grabaciones realizadas con Dolby están libres de este siseo.

Es importante mencionar que, aunque el sistema Dolby y el sistema DBX utilizan el proceso de compansión, ambos sistemas de reducción de ruido no son compatibles uno con el otro.

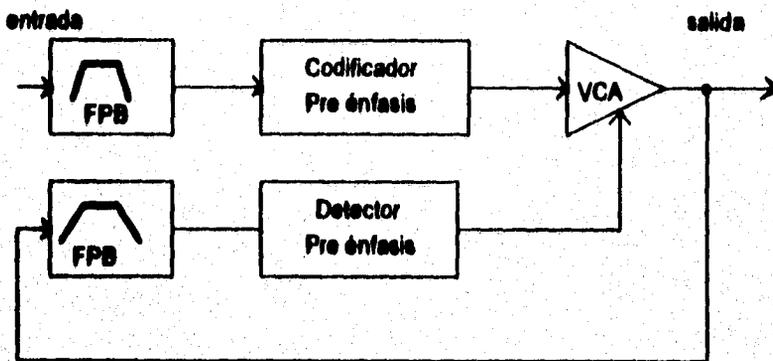


Figura 3.4. Diagrama a bloques del sistema DBX

Por lo tanto, podemos concluir, de acuerdo a lo expuesto, que existen dos métodos básicos para reducción de ruido:

- Pre-énfasis, de-énfasis
- Compansión (DBX y DOLBY)

Uno quita el ruido del material previamente grabado en el que no se utilizó ningún método de reducción de ruido. El otro emplea procesamiento de la señal al momento de realizar la grabación y de nuevo al reproducir la señal.

La mayor calidad de grabación se obtiene utilizando el segundo método, como ya se ha expuesto en párrafos anteriores.

Estos sistemas, Dolby y DBX, se han incluido en este capítulo porque ejemplifican otra aplicación de la compansión: reducen el ruido originado en la grabación en cinta magnética. Como se puede observar, el proceso es básicamente similar al utilizado para reducir el ruido de cuantización.

2.-) MÉTODOS Y ESTÁNDARES DE COMPRESIÓN EN LA CONVERSIÓN A/D

Como ya se ha mencionado, el proceso de cuantificación introduce un error inicial en las amplitudes de las muestras; sin embargo, disminuyendo el tamaño de los intervalos, éste error puede reducirse tanto como se desee.

Pero la cuantificación uniforme no amplifica debidamente a las señales débiles, mientras que ofrece una calidad innecesaria a las señales fuertes, como se muestra en la figura 3.5.

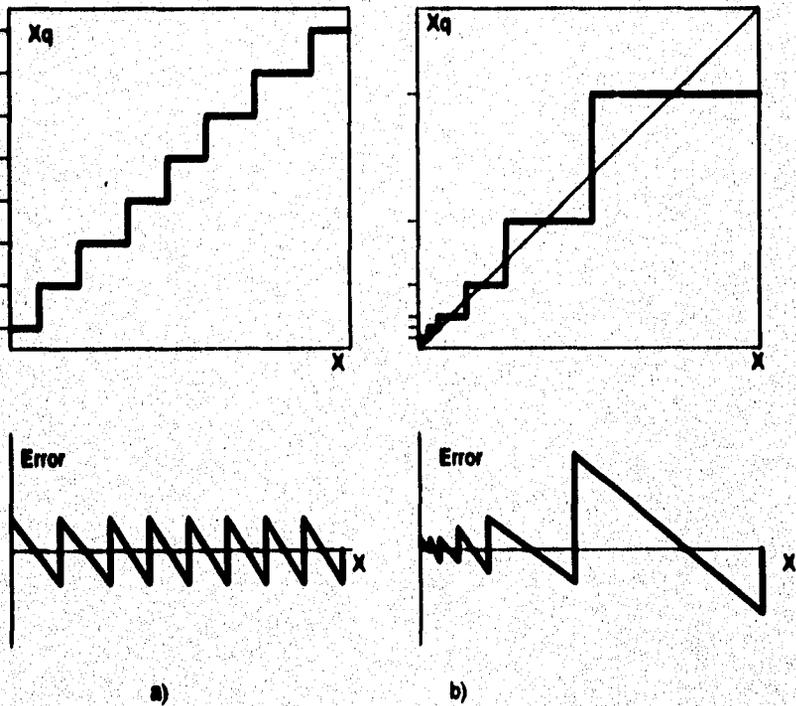


Figura 3.5. Ruido debido a la cuantificación:
a) uniforme, b) no uniforme

Como el ruido no es lineal, sino que es mayor para amplitudes pequeñas de las muestras y despreciable para las mayores, la relación señal a ruido de cuantificación no es igual para las diferentes amplitudes de la señal.

Para compensar esto, se aplica una cuantificación no lineal, lo que quiere decir que a las amplitudes pequeñas se les asignan niveles de cuantificación menos amplios y éstos aumentan su amplitud con la de la señal. En la práctica, esto se hace aplicando compresión a la señal en la transmisión y una expansión en la recepción.

Ahora bien, una mayor eficiencia se logra si se permite una cuantificación no uniforme, en la cual el tamaño de los intervalos de cuantificación aumenta al aumentar la amplitud de la señal muestreada.

Como alternativa, la señal puede comprimirse no linealmente en forma analógica, para luego cuantificarse uniformemente; después, en el receptor, la señal se expande siguiendo una característica no lineal inversa. A fin de lograr una relación señal a ruido constante sobre la gama de amplitudes de la señal, por ejemplo, para la voz, una compresión logarítmica debiera ser aplicada.

Debido a esto, dos aproximaciones, conocidas como Ley A y Ley μ , han sido ampliamente utilizadas en los sistemas compansores comerciales.

LEY A Y LEY μ

Estas leyes de cuantización no uniforme son técnicas de COMPANORES (COMPresores y expANSORES), que consisten en proporcionar una ganancia relativamente más alta a las señales débiles, y en el receptor se produce el efecto contrario. Esto se hace porque existe mayor probabilidad de que ocurran los niveles bajos que los niveles altos; además de que la señal de entrada puede tener diferentes niveles de intensidad y para tener mayor calidad de información, se le da una cuantización más fina a los niveles débiles de voz. Estas leyes de cuantización logarítmica funcionan bien para una amplia gama dinámica de niveles de señal, permaneciendo constante la relación señal a ruido (S/R).

LEY μ

Tanto en los Estados Unidos como en Japón, esta ley es la que se utiliza en los sistemas de compansión; se caracteriza por:

$$V_{out} = \frac{V_{m\acute{a}x} \ln(1 + \mu V_{in} / V_{m\acute{a}x})}{\ln(1 + \mu)}$$

donde:

$V_{m\acute{a}x}$ = Amplitud máxima de la entrada analógica sin comprimir

V_{in} = Amplitud de la señal de entrada en un instante

V_{out} = Amplitud de la salida comprimida

μ = Parámetro usado para definir la cantidad de compresión

La figura 3.6 muestra la ley μ . Nótese que el valor más alto de μ nos da la máxima compresión. También es relevante que para $\mu = 0$, la curva es lineal (no existe compresión).

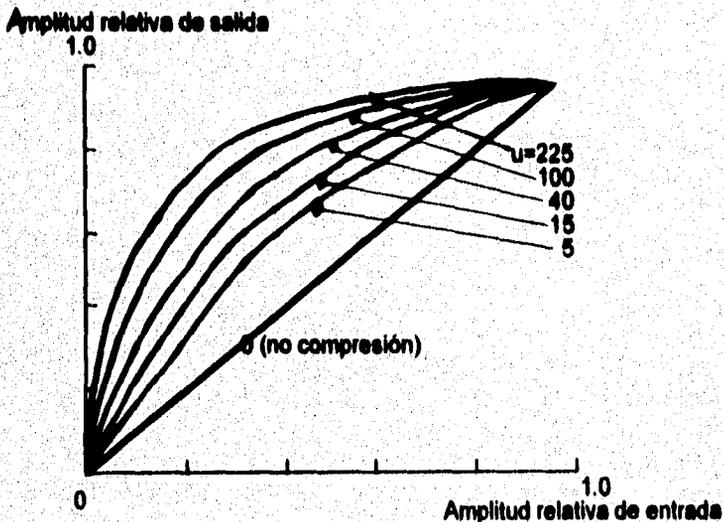


Figura 3.6. Curva de compresión de la ley μ .

El parámetro μ determina el rango de la potencia de la señal en el cual la SNR es relativamente constante.

La transmisión de voz requiere un rango dinámico mínimo de 40 dB y un código de 7- bits para un sistema PCM. Para una relativamente constante SNR y un rango dinámico de 40 dB, se requiere que $\mu=100$ o más. Esto se observa en la figura 3.6., que muestra la ley μ .

El sistema Bell en la transmisión digital usa un código de 7-bits con $\mu=100$. Los más recientes sistemas de transmisión digital usan el código de 8 bits y $\mu=255$. Ver la figura 3.7.

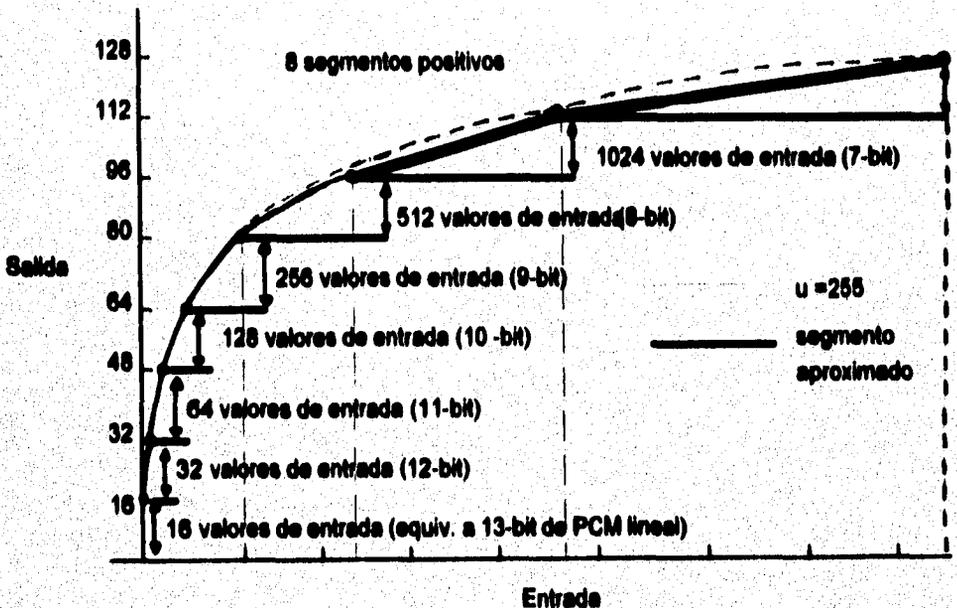


Figura 3.7. Curva de compresión con $\mu=255$.

Ley A

Como norma internacional y como alternativa para la Ley μ norteamericana, el CCITT elaboró y estandarizó la Ley A que se expresa de la siguiente forma:

$$V_{out} = V_{m\acute{a}x} \frac{A V_{in}/V_{m\acute{a}x}}{1 + \ln A} \quad 0 \leq \frac{V_{in}}{V_{m\acute{a}x}} \leq \frac{1}{A}$$

$$V_{out} = V_{m\acute{a}x} \frac{1 + \ln(A V_{in}/V_{m\acute{a}x})}{1 + \ln A} \quad \frac{1}{A} \leq \frac{V_{in}}{V_{m\acute{a}x}} \leq 1$$

La expresión anterior esta graficada en la figura 3.8, aproximando la curva logarítmica con segmentos de recta.

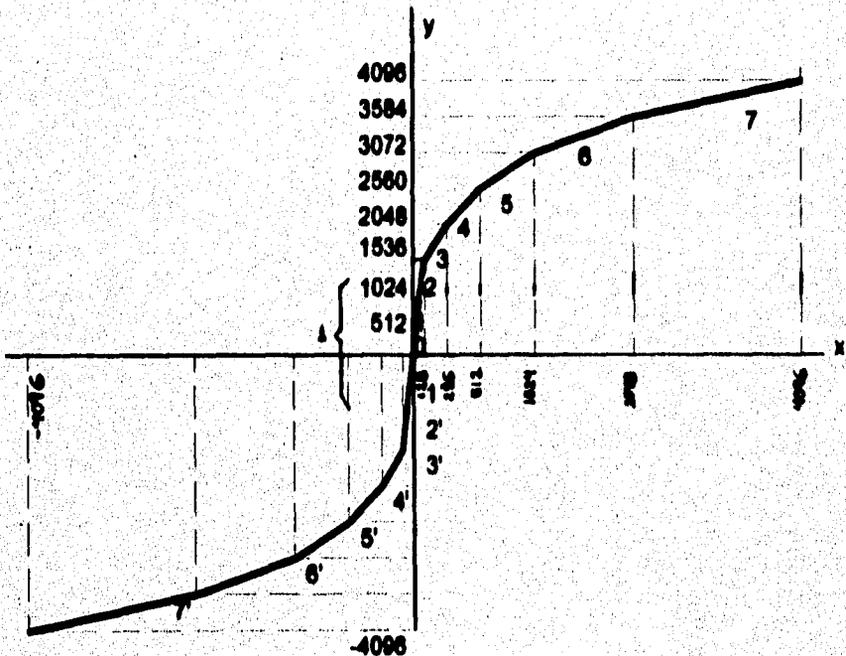


Figura 3.8. Ley de compresión A de 13 segmentos

Los parámetros μ y A determinan el grado de compresión, y con esto, la gama de amplitudes sobre la cual la relación S/R se mantiene relativamente constante, éste es el rango dinámico. A y μ pueden estar en los intervalos:

$$75 < A < 150$$

$$100 < \mu < 300$$

Las dos leyes se representan analíticamente de la siguiente manera:

Ley A:

$$y_A(x) = \begin{cases} \operatorname{sgn}(x) \frac{1 + \ln A|x|}{1 + \ln A} & 1/A \leq |x| \leq 1 \\ \operatorname{sgn}(x) \frac{A|x|}{1 + \ln A} & 0 < |x| \leq 1/A \end{cases}$$

Ley μ :

$$y_\mu(x) = \operatorname{sgn}(x) \frac{\ln(1 + \mu|x|)}{\ln(1 + \mu)} \quad |x| \leq 1, x = \frac{V_{\min}}{V_{\max}}$$

$$\mu > 0$$

Los valores estandarizados para la compresión de voz son:

$$\mu = 255 \quad A = 87.6$$

Si se usa una $\mu=100$ se tiene un rango dinámico de 40 dB de linealidad relativa en la relación señal a ruido.

En los sistemas PCM reales, la circuitería que hace la compresión no proporciona una réplica exacta de la curva logarítmica que se muestra. La

circuitería produce una curva de segmentos equivalente, la cual se aproxima más a la curva logarítmica real que se desea entre mayor sea la cantidad de segmentos.

El comportamiento de la ley μ no es ni estrictamente lineal, ni estrictamente logarítmico; pero es aproximadamente logarítmico para niveles altos ($x \gg 1/\mu$) y es aproximadamente lineal para niveles bajos ($x \ll 1/\mu$). Ver figura 3.9.

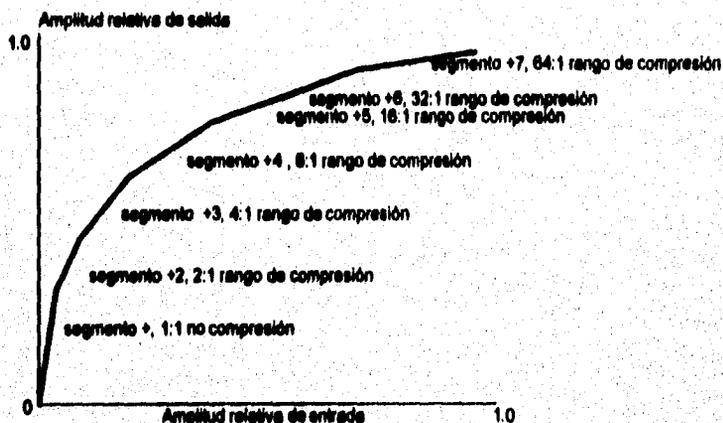


Figura 3.9. Curva de compresión de "13 segmentos"

En la figura 3.9. se pueden ver los 8 segmentos, que se enumeran del 0 al 7 para la parte positiva y similarmente para la negativa. Para la codificación con 8 bits, el bit más significativo se codifica como 1 si la muestra es positiva y 0 si es negativa; en los siguientes 3 bits se codifica el número de segmento en el que cae la muestra; y finalmente, cada segmento se divide en niveles de 0 al 15, es decir, 16 segmentos iguales para identificar con mayor exactitud el paso de cuantificación (por ejemplo, $2^4 = 16$) y de acuerdo al nivel en el que se encuentre la muestra se codifican los cuatro bits restantes.

Al comprimir las señales pequeñas la mejoría es aproximadamente:

ley A: 24 dB

La relación SNR para señales pequeñas es mayor en la ley μ que en la ley A; pero la ley A presenta una característica más plana sobre la gama de amplitudes de interés. De cualquier forma, ambas leyes proveen una relación señal a ruido de cuantización mayor de 30 dB sobre una extensión dinámica de 40 dB.

En la ley A la codificación sigue el mismo procedimiento de la ley μ , considerando 8 segmentos positivos y 8 negativos como se muestra en la figura 3.11.:

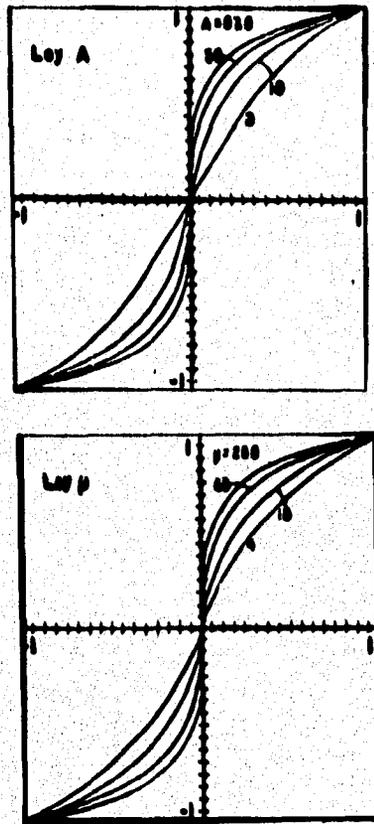


Figura 3.11. Curvas de compresión de la ley A y ley μ

Ahora bien, si se emplean 256 intervalos de cuantización, la relación señal a distorsión, en función de la potencia promedio de una onda sinusoidal de entrada, es como lo indica la figura 3.12.

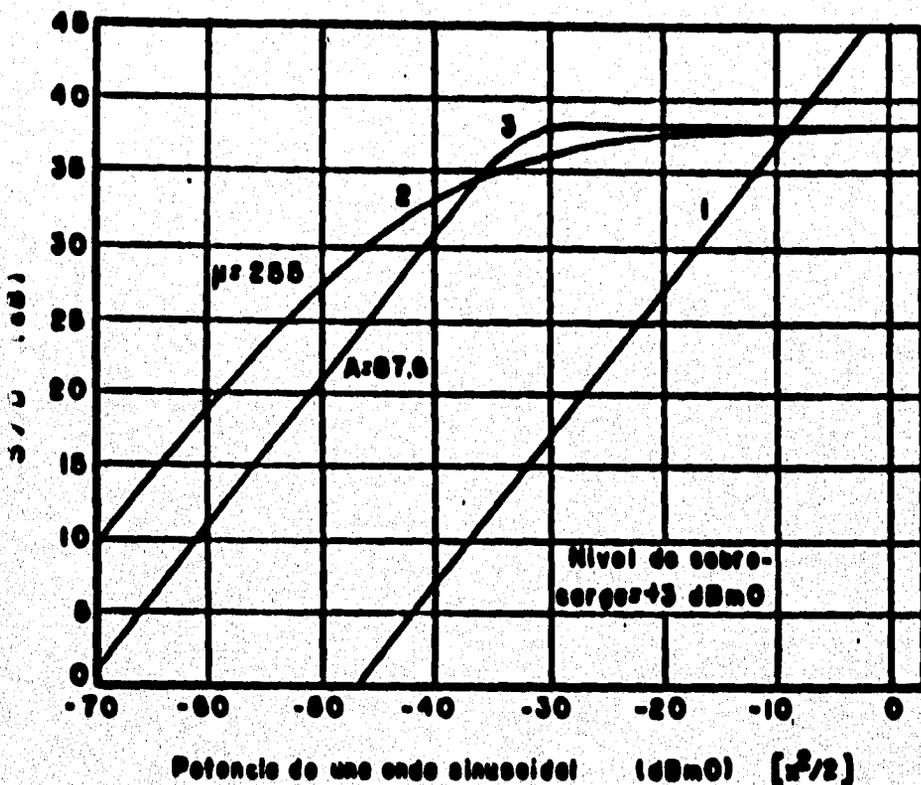


Figura 3.12. Relación señal a distorsión de cuantificación.

COMPANSION SILABICA

Hasta el momento se ha analizado la compansión instantánea, que consiste en que cada muestra de la señal analógica es amplificada de acuerdo a su nivel original: a menos nivel más amplificación, y viceversa.

Existe también el concepto de compansión silábica que consiste en amplificar el nivel de la señal en función de la potencia relativa de cada sílaba emitida por el usuario. Así, las sílabas de menor potencia son grandemente amplificadas y las sílabas de gran potencia son atenuadas, como se puede ver en la figura 3.13.

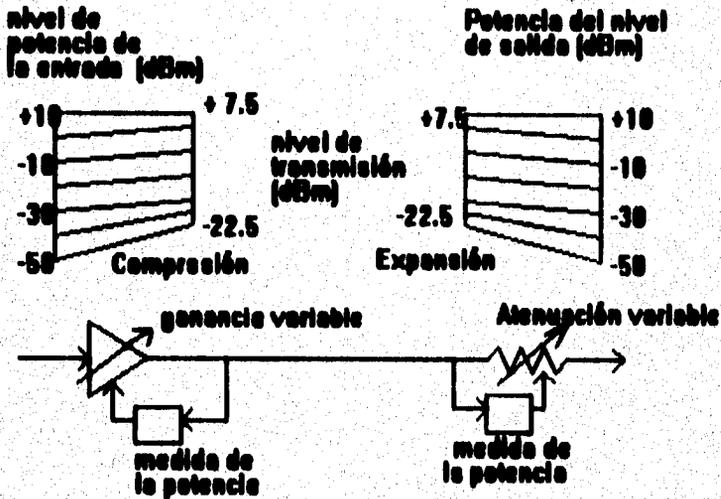


Figura 3.13. Compansión silábica.

Como en todo proceso de compansión el receptor debe ejecutar precisamente la operación contraria a la realizada por el transmisor; de modo que si en el canal de comunicación la señal se contamina con ruido de bajo nivel (ya sea térmico o de cuantificación) el expansor bajará aún más ese nivel, de manera que se haga prácticamente imperceptible.

La compansión silábica, en sistemas digitales, logra la misma relación señal-ruido de cuantización que la que se logra en enlaces analógicos ruidosos.

La compansión silábica puede ser utilizada con un convertidor A/D de niveles uniformes y es equivalente a una conversión A/D con compresión.

La compansión silábica requiere de un AGC; este tipo de dispositivos requiere un cierto tiempo para ajustar la ganancia después de que han sentido el nivel de la señal. En muchas de las aplicaciones comerciales este tiempo es de 5-10 ms que es más corto que la duración de una sílaba típica (aproximadamente 30 ms).

La compansión silábica puede usarse para ajustar el tamaño de los niveles de cuantificación de un convertidor A/D.

Para ajustar el tamaño de los escalones en el decodificador en sincronía con el codificador, debe establecerse algún mecanismo entre ambos. Un método generalmente usado es extraer la información del tamaño de los escalones de la misma señal binaria transmitida.

Para lograr esta sincronización, la señal binaria es monitoreada en el receptor para encontrar ciertas secuencias de datos que indican el tamaño de la señal que fue codificada. La indicación de un tamaño grande inicia el incremento del tamaño de los niveles de cuantificación y viceversa.

Si el canal de comunicación es muy ruidoso la información necesaria para ajustar los niveles de cuantización puede llegar errónea. Entonces se puede mejorar la calidad de la señal recuperada si se transmite explícitamente la información del tamaño de los niveles de cuantización y se usa además, un código de corrección de errores.

3.-) TECNICAS DE COMPRESION DE SEÑALES DIGITALES

VOCODERS

Los vocoders son digitalizadores de voz, es decir, las señales al ser digitalizadas usan codificadores y decodificadores de voz especiales llamados *vocoders* que se diseñan solo para reproducir el espectro de potencia, sin tomar en cuenta la fase y las formas de onda de tiempo decodificadas; sólo se asemejan vagamente a la señal de entrada original.

El propósito de un vocoder es codificar la mínima cantidad de información de voz necesaria, para reproducir un mensaje perceptible con menos bits que los necesarios. Los vocoders se usan principalmente en las aplicaciones con ancho de banda limitado. Esencialmente hay tres técnicas del proceso vocoder disponibles: *el vocoder de canal*, *el vocoder formant* y *el codificador predecible lineal*.

Vocoders de canal.- Estos vocoders utilizan filtros pasabanda para separar la forma de onda de la voz en subbandas más angostas. Cada subbanda se rectifica a una onda completa, se filtra y se codifica de manera digital. La señal codificada se transmite al receptor, en donde se decodifica.

Vocoders formant.- Se llama formant porque la energía de la señal de voz se concentra en tres o cuatro frecuencias máximas llamadas *formants*. Un vocoder formant simplemente determina la ubicación de estas máximas, y las codifica, transmitiendo solo la información con los componentes más importantes.

Codificadores predecibles lineales.- Un codificador predecible lineal extrae las porciones más significativas de la información de voz, directamente de la forma de onda del tiempo, en vez del espectro de frecuencia. Este codificador produce un modelo de tiempo variante, de la excitación de la pista vocal y de la función de transferencia, directamente de la forma de onda de voz.

MODULACION PCM DELTA

La modulación delta utiliza un código PCM, de bit sencillo, para lograr la transmisión digital de las señales analógicas; con la modulación delta solamente se indica si la muestra es mayor o menor que la anterior. Si la muestra actual es menor que la anterior, se transmite un 0 lógico y si la muestra actual es mayor que la muestra anterior, se transmite un 1 lógico

Transmisión de modulación delta.

La figura 3.14. muestra un diagrama a bloques de un transmisor de modulación delta. La entrada analógica se muestrea y se convierte a una señal PAM que se compara a la salida del DAC. La salida del DAC es un voltaje igual a la magnitud regenerada de la muestra anterior, el cual se almacenó en el número anterior como número binario; el contador se incrementará o reducirá dependiendo si la muestra anterior es mayor o menor que la muestra actual. El contador ascendente-descendente se sincroniza a una razón igual a la razón de muestreo. Por lo tanto, el contador se actualizará después de cada comparación.

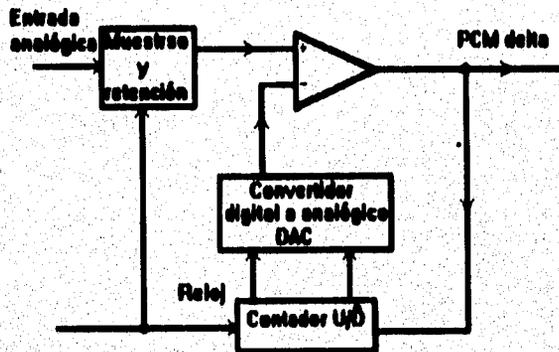


Figura 3.14. Transmisión de mudulación delta

Receptor de modulación delta

La figura 3.15. muestra el diagrama de bloques de un receptor de modulación delta, se observa que casi es el transmisor delta, excepto por el comparador. El contador se incrementará o reducirá dependiendo si recibe ceros o unos lógicos. Con la modulación delta cada muestra necesita solamente un bit, por lo tanto, la razón de bits es menor que en la modulación PCM convencional. Sin embargo, hay dos problemas que no ocurren con la modulación PCM convencional: sobrecarga de la pendiente y ruido granular.

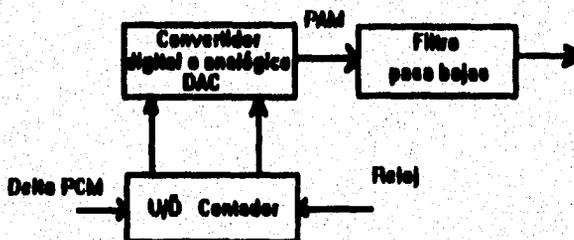


Figura 3.15 receptor de modulación delta

MODULACION PCM DELTA ADAPTATIVA

La modulación delta adaptativa es un sistema de modulación delta en donde el tamaño del escalón del DAC varía automáticamente dependiendo de las características de la señal de entrada. La figura 3.16. muestra como trabaja un modulador delta adaptativo.

Con un modulador delta adaptativo después de un número predeterminado de unos o ceros consecutivos, el tamaño del escalón se incrementa automáticamente. Después de la siguiente muestra, si la amplitud de salida DAC aún esta abajo de la amplitud de la muestra, el siguiente escalón se incrementa aún más, hasta que el DAC alcanza a la señal analógica.

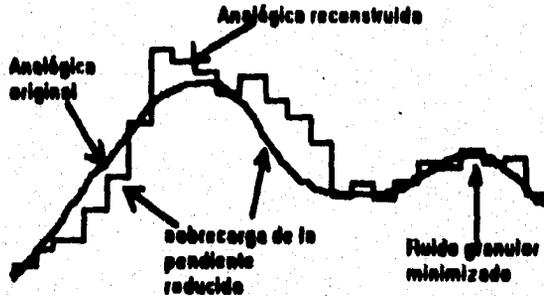


Figura 3.16. Modulación delta adaptativa

Cuando está ocurriendo una secuencia alternada de unos y ceros, existe la posibilidad de la presencia de ruido granular. Consecuentemente, el DAC se revertirá automáticamente a su tamaño mínimo de escalón y por lo tanto, reducirá la magnitud del error de ruido.

MODULACION DE PULSOS CODIFICADOS DIFERENCIALES

La modulación de pulsos codificados diferenciales (DPCM) está diseñada específicamente para aprovechar las redundancias, de muestra a muestra, en las formas de onda de voz típica.

Con DPCM, la diferencia en amplitud de las dos muestras sucesivas, se transmite en vez de la muestra verdadera. Debido a que el rango de las diferencias de las muestras es normalmente menor que el rango de las muestras individuales, se requieren menos bits para DPCM que en PCM convencional.

La figura 3.17. muestra un diagrama a bloques simplificado de un transmisor DPCM. La señal de entrada analógica se limita en la banda a la mitad de la razón de muestra, después se compara al nivel de la señal acumulada anteriormente en el diferenciador. El resultado del diferencial es la diferencia entre las dos señales. La diferencia es un PCM codificado

y transmitido. El convertidor A/D funciona igual que en PCM convencional, excepto que normalmente utiliza menos bits por muestra

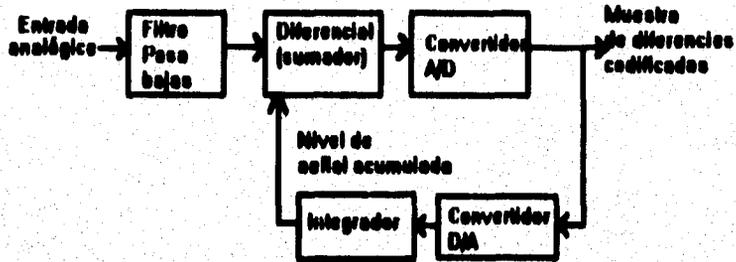


Figura 3.17. Transmisor DPCM

La figura 3.18. muestra un diagrama a bloques de un receptor DPCM.

Cada muestra recibida se convierte a analógica, se almacena, y después se agrega con la siguiente muestra recibida; en este diagrama la integración es realizada en las señales analógicas, aunque también podría realizarse de manera digital.

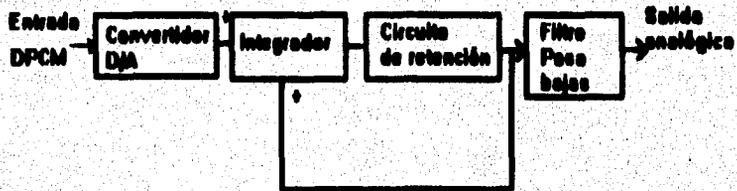


Figura 3.18. Receptor DPCM

Las técnicas anteriormente mencionadas ofrecen una disminución en la relación señal a ruido (SNR) y lo consiguen reduciendo la relación de bits transmitidos o mediante otros métodos; pero ninguno de éstos métodos puede eliminar el ruido de cuantización ya que todas estas técnicas

**ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA**

requieren de hacer un muestreo de la señal analógica, que posteriormente se convertirá en código digital, por lo que las técnicas anteriores no presentan un mejoría sustancial con respecto a los sistemas PCM convencionales o los sistemas PCM con compansión.

CAPITULO IV

DISEÑO E IMPLEMENTACION DE CIRCUITOS COMPRESORES Y EXPANSORES

En este capítulo se describe el diseño, implementación y prueba del circuito compresor-expansor analógico y del circuito compresor-expansor digital, que forman la parte principal de este trabajo de tesis.

En la literatura relacionada con el tema se pueden encontrar algunos circuitos compresores y expansores analógicos y digitales; los analógicos son conocidos como circuitos logarítmicos y antilogarítmicos, y los digitales como Codecs o Combos. Tales dispositivos se pueden realizar con componentes discretos o con circuitos integrados de propósito especial.

Tal vez se puede llegar a pensar que no tiene sentido diseñar y realizar circuitos compresores-expansores analógicos y digitales, cuando existen en el mercado los circuitos integrados correspondientes, sin embargo, es necesario recordar que el presente trabajo tiene un fin didáctico, por lo que se requiere analizar cada una de las partes que forman al circuito para que se demuestre qué tan importante es este circuito en la disminución del ruido de cuantificación, y por lo tanto, en la transmisión de información.

1.-) COMPRESOR Y EXPANSOR ANALOGICO

En la figura 4.1. se muestra el diagrama de bloques de un sistema compresor-expansor; se pretende diseñar y construir un circuito electrónico que ejecute tales funciones.

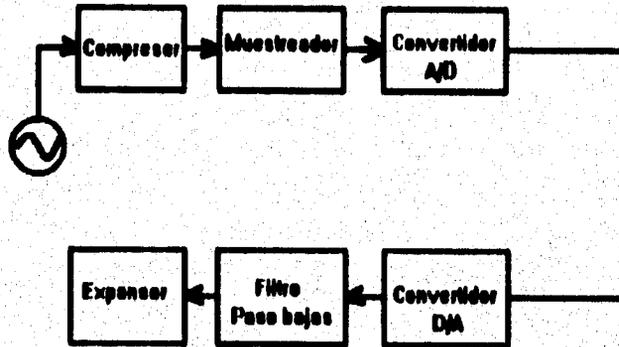


Figura 4.1. Circuito compresor.

Como se puede observar, el compresor y el expansor forman la parte principal. Del generador de señales se obtiene una señal analógica continua y con ella se excita al compresor, el cual comprime la señal: a las amplitudes pequeñas les proporciona un nivel más alto, y a las superiores las deja casi igual.

La señal comprimida pasa por un muestreador y éste proporciona al convertidor A/D un número infinito de niveles de voltaje. El A/D toma estos niveles de voltaje y los convierte en dígitos binarios ("1's" y "0's"); hasta este punto la señal se encuentra comprimida y digitalizada; de esta manera si se le deseara enviar por algún medio de transmisión se encontraría más protegida contra el ruido de cuantización.

Ahora bien, en el receptor se tendrá la segunda parte del circuito.

El convertidor D/A toma los dígitos binarios del A/D y entrega una señal analógica, la cual se hace pasar por un filtro paso bajas para limitar el ancho

de banda de la señal de salida de 0 KHz a 3 KHz (ancho de banda para la voz humana). Por último, la señal pasa por el expansor, el cual realiza la operación contraria al compresor: las amplitudes comprimidas las regresa a su nivel original.

A continuación se detalla cada uno de los bloques presentados en el circuito anterior.

Diseño del circuito compresor.

Para el diseño del circuito compresor se partió de las curvas de compresión que se encontraron en la literatura. El objetivo es lograr un circuito que genere ese tipo de curvas, como la que se muestra en la figura 4.2.

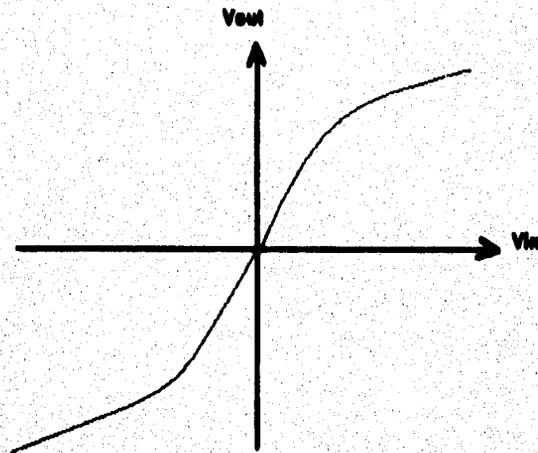


Figura 4.2. Curva de compresión

Esta curva representa una función alinear, lo que lleva a pensar en circuitos a base de diodos, y se encontró que al combinar los amplificadores operacionales con redes de retroalimentación alineales a base de diodos y resistencias, se puede generar una curva así. Esto es posible gracias al uso de

las características de voltaje a corriente de las uniones de los semiconductores: diodos, diodos zener y transistores. Para nuestro caso, la propiedad de alinealidad de la unión es la que hace posible la curva de compresión.

La forma usual de generar este tipo de funciones alineales es el uso de líneas quebradas que se aproximen a la curva, como se muestra en la fig. 4.3.

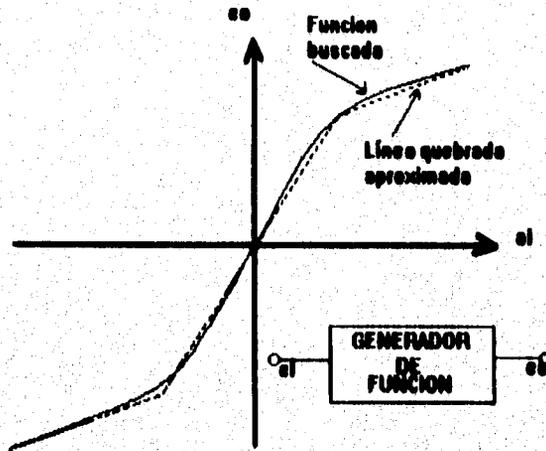


Figura 4.3. Curva que se aproxima a la ideal con líneas quebradas

La precisión de esta aproximación la determina el número de segmentos de línea que se usen. La curva completa formada por la línea quebrada se obtiene sumando los segmentos de la línea separados. Estos segmentos pueden generarse con circuitos limitadores sencillos a base de diodos y sumarse con el amplificador operacional. Veamos qué es un circuito limitador.

El modelo ideal para el elemento limitador consiste en un diodo en serie con una fuente de polarización flotante. Cuando el voltaje de la señal es igual al voltaje de polarización, el diodo ideal conduce, dependiendo la magnitud de la corriente de la resistencia del circuito que contenga el limitador. La figura 4.4.a. y la 4.4.b. muestran lo anterior.

Para voltajes de entrada menores que V_B , el diodo D no conduce y el voltaje de salida es cero. Cuando e_i excede de V_B , el voltaje de salida sigue al de la entrada, tal como se ve en la curva de la figura 4.4.

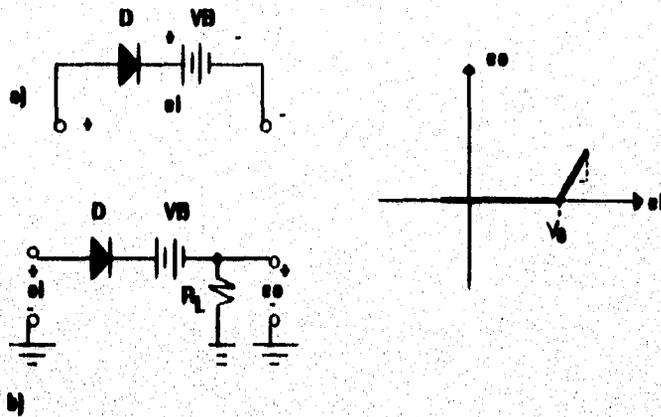


Figura. 4.4. a) Elemento limitador ideal y b) en serie.

La limitadora en paralelo de la figura 4.5. proporciona una alternativa del medio de obtener una transición abrupta en la pendiente de la curva de transferencia. Para voltajes de salida, e_o , menores que V_B el diodo no conduce, y el circuito funciona como un divisor de resistencias. Al aumentar el voltaje de entrada la salida eventualmente alcanza el valor de V_B , y el diodo comienza a conducir, evitando así aumentos posteriores en e_o .

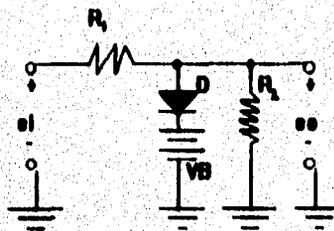


Fig. 4.5. Circuito limitador en paralelo

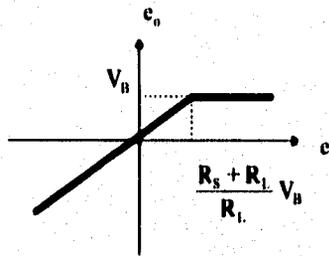


Figura 4.5.b. Gráfica del circuito limitador paralelo.

Tanto las limitadoras en serie como las limitadoras en paralelo encuentran una aplicación útil como parte de una red de retroalimentación de un amplificador operacional. La figura 4.6. muestra un circuito amplificador inversor sencillo en el que un diodo y una fuente de polarización en serie se usan para proporcionar un límite en el voltaje de salida de un amplificador operacional. Cuando el voltaje de salida es menor que V_B , la salida es una función lineal sencilla del voltaje de entrada con ganancia igual a la relación:

$-\frac{R_f}{R_i}$. Cuando la salida llega a V_B , el diodo conduce, evitando un aumento posterior en e_o . Si el voltaje de entrada aumenta todavía más, la corriente de entrada adicional pasa a través de los elementos limitadores, sin generar un voltaje adicional a la salida. El punto de suma permanece en una tierra virtual.

En realidad, por supuesto, todos los circuitos limitadores prácticos tendrán algo de impedancia interna, generalmente alineal, que modifica el comportamiento ideal descrito. Además las fuentes de polarización flotantes resultan imprácticas en la mayoría de los casos y deben aproximarse por otros medios.

Una de las razones para usar el limitador de retroalimentación es evitar la sobrecarga de la etapa de salida del amplificador. En muchos amplificadores, se requiere un tiempo considerable para recuperarse de la saturación de la etapa de salida. El limitador de retroalimentación, evitando esta saturación, asegura una rápida recuperación cuando el voltaje de salida alcanza el límite preseleccionado.

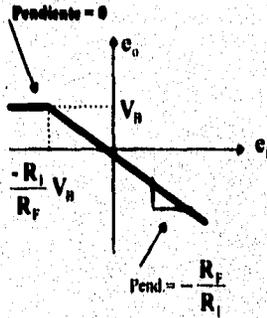
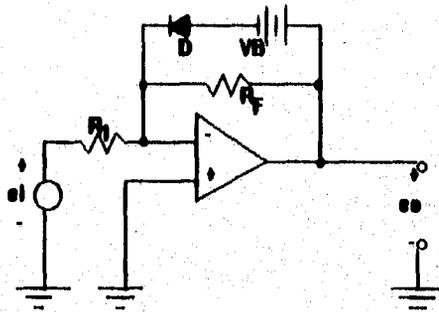


Fig. 4.6. Limitador de retroalimentación

Otra de las aplicaciones básicas para un limitador de retroalimentación es en los circuitos comparadores. El limitador determina los niveles de voltaje para conducir y para no conducir, para la salida de comparador.

Como otra aplicación, los limitadores se usan frecuentemente con los amplificadores operacionales para la generación de señales, y justamente en esta aplicación encontramos el circuito que nos proporcionará la curva de compresión, como lo ilustra la figura 4.7.

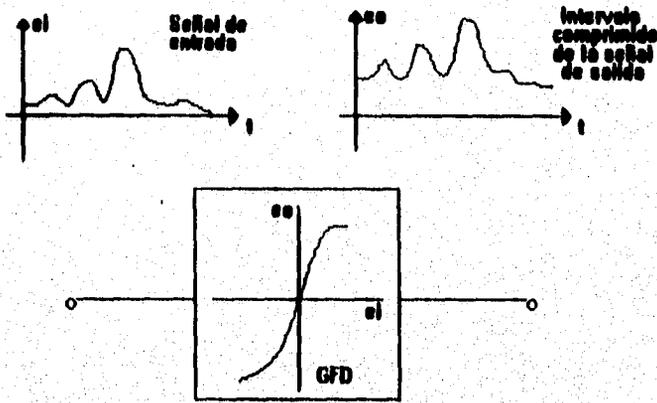


Fig. 4.7. Curva de compresión usando los limitadores de diodos en generadores de función.

Un medio práctico de obtener los segmentos de línea deseados es usando los limitadores en serie y en paralelo, como se muestra en la figura 4.8. Donde la resistencia R , proporciona la función de desmultiplicación.

El circuito de la figura 4.8 es la base de los compresores de señales que tienen un intervalo dinámico ancho.

Estos circuitos son los llamados amplificadores logarítmicos. En estos amplificadores se usa la relación a lineal entre el voltaje y la corriente del diodo (unión p-n). Esta relación está dada por:

$$i_r = I_0(e^{\frac{v_r}{\eta V_T}} - 1)$$

donde:

I_0 = corriente de saturación inversa

$\eta \approx 2$ para corrientes pequeñas en los dispositivos de silicio

$$V_T = \frac{k}{q} T \approx \frac{T}{11000} \text{ volts; } T \text{ en } ^\circ\text{K}$$

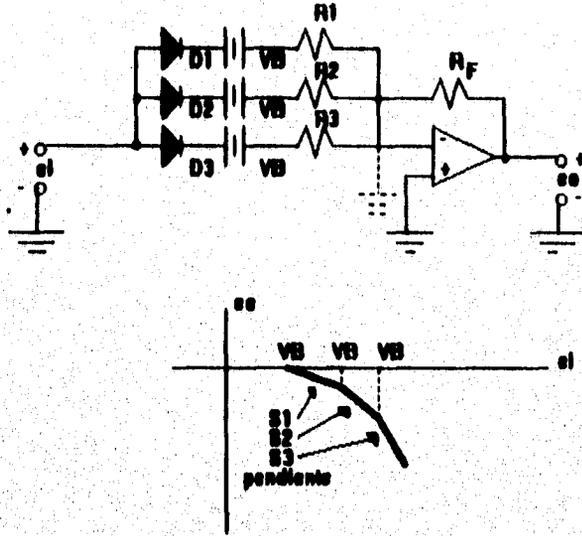


Fig. 4.8. Circuito generador de función de diodo
Método del limitador en serie.

De la figura 4.8.:

$$S1 = -\frac{R_F}{R1}$$

$$S2 = -\left(\frac{R_F}{R1} + \frac{R_F}{R2}\right)$$

$$S3 = -\left(\frac{R_F}{R1} + \frac{R_F}{R2} + \frac{R_F}{R3}\right)$$

Si se restringe la región de operación de V_f de manera que $e=1$, la relación logarítmica puede expresarse como:

$$\ln i_f = \ln I_0 + \frac{V_f}{\eta V_T}$$

o

$$V_f = \eta V_T (\ln i_f - \ln I_0)$$

Ignorando los efectos de la temperatura, η , V_T y I_0 , pueden considerarse como constantes. Si el diodo está conectado en la trayectoria de retroalimentación de un amplificador operacional, como se muestra en la figura 4.9., el voltaje de salida del amplificador es una función logarítmica del voltaje de entrada.

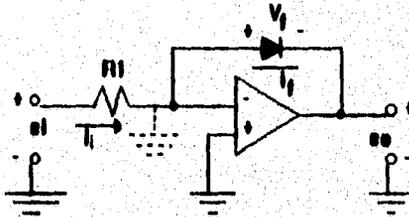


Figura 4.9. Amplificador logarítmico sencillo.

La deducción de la relación logarítmica es como sigue:

$$i_1 = \frac{e_i}{R_1} \quad i_f = i_1$$

$$v_f = \eta V_T \left(\ln \frac{e_i}{R_1} - \ln I_0 \right)$$

$$e_o = -v_f = -\eta V_T \left(\ln \frac{e_i}{R_1} - \ln I_0 \right)$$

Al considerar la compensación por temperatura de este amplificador, debe notarse que hay en realidad dos efectos de temperatura separados que hay que compensar: un factor de escala sensible a la temperatura, ηV_T y un término compensador sensible a la temperatura, $\eta V_T \ln I_0$.

El intervalo dinámico de un amplificador logarítmico del tipo descrito está limitado por varios factores independientes. El mismo diodo sigue la relación logarítmica entre v_f e i_f en forma relativamente aproximada en un intervalo tan grande como de seis decenas de i_f . Sin embargo, i_f contiene no solamente la corriente de señal de entrada, i_1 , sino también la corriente de polarización de entrada y la corriente de ruido del amplificador operacional, más las

corrientes generadas por el voltaje de compensación de entrada y el voltaje de ruido de entrada aplicado en los extremos de R_1 . Si la corriente máxima que se deja pasar por el diodo es 1 mA (para obtener un registro preciso), entonces, R_1 , debe ser de 10 k Ω , si el voltaje máximo de entrada va a ser de 10 V. Si suponemos un amplificador que tenga una corriente de polarización de entrada de 10 nA y un voltaje compensador de entrada de 1.0 mV., el intervalo dinámico de la señal de entrada para una precisión de 1.0 % es 100 mV a 10 V, un intervalo de 40 dB. La limitación la proporciona el voltaje compensador.

De esta manera, se pudo diseñar la primera etapa del proyecto, que la forma el siguiente circuito compresor. La idea original se tomó del libro "Amplificadores Analógicos", Tobey. Se le realizaron varias modificaciones, principalmente en los valores de los elementos que lo forman y el tipo de diodos. Es un amplificador de compresión de CA con respuesta pseudologarítmica

La figura 4.10. muestra el amplificador de compresión de CA seleccionado para ser implementado.

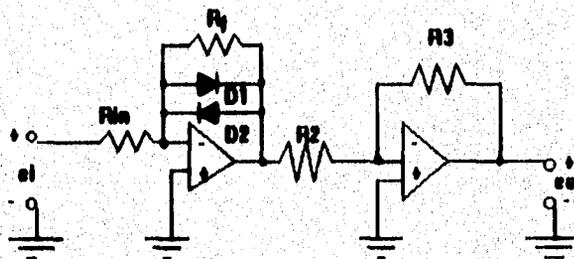


Figura 4.10. Amplificador de compresión de CA

La resistencia de entrada sirve para acoplar la señal a comprimir con el resto de los elementos, es decir, es un acoplador de impedancias. Los diodos D1 y D2 generan las respuestas logarítmicas para voltajes positivos y negativos de salida, respectivamente.

Se requiere la resistencia R_1 en paralelo con los diodos debido a la discontinuidad de la curva logarítmica en cero. Esta resistencia de retroalimentación modifica la curva cerca de cero, como se muestra en la figura 4.11.

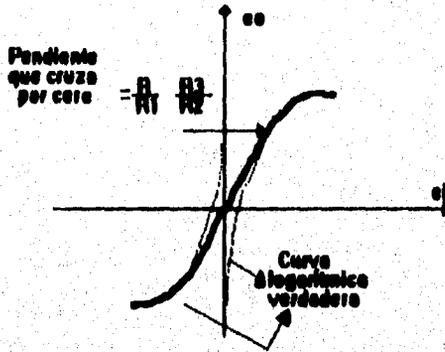


Figura 4.11. Características de compresión de CA, pseudologarítmicas

La resistencia, por lo tanto, regula el nivel de compresión; si la resistencia tiende a cero la compresión disminuirá hasta desaparecer. Se probaron varios valores de resistencia hasta llegar a $12.34 \text{ K}\Omega$, logrando una óptima curva de compresión.

El segundo amplificador operacional del TL082 proporciona con $R_2=1 \text{ k}\Omega$ y $R_3=12 \text{ k}\Omega$ una ganancia de 12.

La curva de transferencia de este amplificador de compresión varía con la temperatura y no puede compensarse efectivamente a la temperatura en el amplificador desmultiplicador de salida compensado por temperatura.

En la figura 4.12. se muestra el circuito compresor diseñado.

El valor para la resistencia de entrada se calculó tomando en cuenta las siguientes consideraciones.

Dado que el amplificador operacional TL082 presenta una impedancia de entrada alta, y para que conserve esta característica, los fabricantes recomiendan que las resistencias que se le conecten, estén dentro del rango de $5\text{K}\Omega$ hasta $10\text{M}\Omega$. Además, para una ganancia unitaria, la resistencia de entrada debe ser de un valor cercano a la resistencia R_f :

$$R_f/R_{in}=1$$

Si $R_f=12.34\text{K}\Omega$
entonces $R_{in}=12\text{K}\Omega$

pero se tuvo una mejor curva de compresión con
 $R_{in}=10\text{K}\Omega$

Para el segundo amplificador, la ganancia se calcula de la siguiente forma:

$$A = \frac{R_{f2}}{R_i}$$

$$A = \frac{12\text{K}\Omega}{1\text{K}\Omega}$$

$$A = 12$$

Material Utilizado

- 2 diodos de switcheo de 400 nseg. BA221
- 2 resistencia de carbón a $\frac{1}{2}$ Watt de $10\text{k}\Omega$.
- 1 resistencia de carbón a $\frac{1}{2}$ watt de $1\text{k}\Omega$
- 1 resistencia de carbón a $\frac{1}{2}$ watt de $12\text{k}\Omega$
- 1 preset de $22\text{k}\Omega$.
- 1 amplificador operacional TL084.

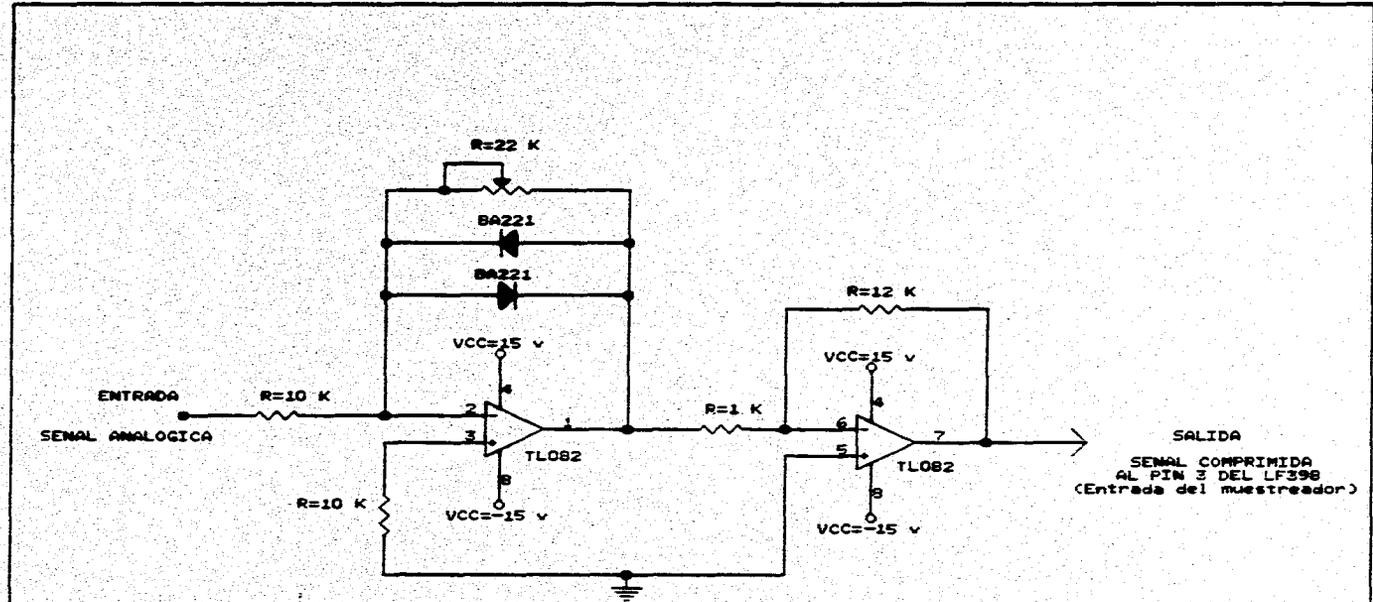


FIGURA 4.12. CIRCUITO COMPRESOR ANALOGICO

Diseño de los circuitos de reloj

Los circuitos de muestreo y de conversión A/D requieren de señales de reloj para poder realizar sus funciones y para estar sincronizados con todo el sistema. Debido a que ambos circuitos requieren diferentes señales de reloj, se diseñaron dos relojes, denominados aquí como *reloj primario* y *reloj secundario*.

Reloj Primario

Para construir este circuito capaz de oscilar a una frecuencia determinada se eligió el circuito temporizador integrado más común, el LM555, ya que es confiable, fácil de usar y de bajo costo.

El LM555 puede operar con suministros de voltaje de 5 V a 18 V, por lo que es compatible tanto con los circuitos TTL (lógica de transistor-transistor) como con los amplificadores operacionales. El circuito eléctrico se encuentra en la figura 4.13.

El temporizador 555 tiene dos modos de operación, ya sea como un multivibrador astable (de oscilación libre) o como multivibrador monoestable (un disparo). Se utiliza en este caso como astable. El voltaje de salida cambia de un estado alto a un bajo y reinicia el ciclo. La frecuencia del oscilador se determina por un circuito resistor-capacitor conectado en forma externa al temporizador LM555. El valor del voltaje de salida en estado alto es igual a V_{cc} (voltaje de alimentación). El voltaje de salida en el estado bajo es aproximadamente 0.1 V.

FRECUENCIA DE OSCILACION:

La salida permanece alta durante el intervalo de tiempo en que C se carga desde $\frac{1}{3}V_{cc}$ a $\frac{2}{3}V_{cc}$. Este intervalo de tiempo está dado por:

$$t_{alta} = 0.695(R_A + R_B)C$$

La salida está baja durante el intervalo de tiempo en que C se descarga de $\frac{2}{3}V_{cc}$ a $\frac{1}{3}V_{cc}$ y está dado por:

$$t_{baja} = 0.695R_B C$$

Así el periodo total de oscilación T es:

$$T = t_{alta} + t_{baja} = 0.695(R_A + 2R_B)C$$

La frecuencia de oscilación f es:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C}$$

Según especificaciones del fabricante, el A/D que se use, debe tener un reloj de más de 200 KHz, por lo que se le debe hacer trabajar a 250 KHz.

Por lo tanto, si:

$$f = \frac{1.44}{(R_A + R_B)C} \dots\dots\dots 4.11.1)$$

$$f = 250 \text{ k}\Omega$$

proponiendo que

$$C = 25 \text{ nF}$$

$$R_A = 150 \Omega$$

Sustituyendo en la ecuación 4.11.1.

$$250 \text{ kHz} = \frac{1.44}{(150\Omega + 2R_B)25\text{nF}}$$

$$250 \times 10^3 = \frac{1.44}{(150)(25) + (50 \times 10^{-9})R_B}$$

$$3750 \times 10^9 + (50 \times 10^{-9})R_B = \frac{1.44}{250 \times 10^3}$$

$$R_B = \frac{1.44}{250 \times 10^3} + 3750 \times 10^{-9}$$
$$R_B = \frac{\quad}{50 \times 10^{-9}}$$

$$R_B = \underline{\underline{40.2 \Omega}}$$

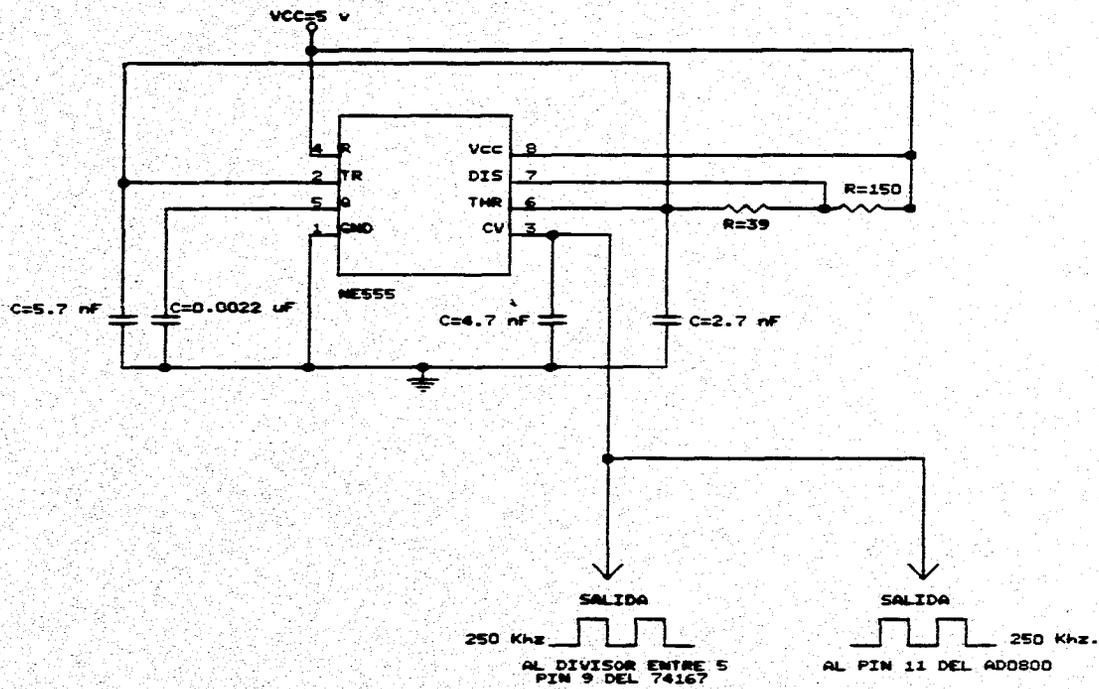


FIGURA 4.13. RELOJ PRINCIPAL DE 250 KHz.

De esta manera se obtienen los valores de las resistencias y del capacitor que generan los ciclos de reloj deseados.

Los capacitores que están en las salidas a tierra funcionan como filtros, y se colocan para eliminar pequeños ruidos en la señal de salida. El circuito tiene como alimentación +5V.

Material utilizado

- 1 temporizador NE555
- 1 resistencia de carbón a ½ watt de 150 Ω
- 1 resistencia de carbón a ½ watt de 39 Ω
- 4 capacitores cerámicos de 5.7 nF, 2.2 nF y 4.7 nF

Reloj Secundario

El muestreador requiere de un reloj para saber a qué velocidad va a tomar las muestras de la señal, y éste reloj debe ser de por lo menos 2 veces la frecuencia más alta de la señal analógica de entrada. Para fines didácticos, la frecuencia más alta de la señal de entrada es de 2.5 kHz., por lo cual la frecuencia de muestreo debe ser de por lo menos 5 kHz.

Esta necesidad se ve cubierta por un segundo reloj que proporciona una frecuencia de 5 kHz.

Teniendo ya del reloj principal una frecuencia de 250 kHz., se realiza una división de frecuencia para obtener los 5kHz. Los circuitos integrados SN74167 realizan divisiones de frecuencia de acuerdo a la siguiente ecuación:

$$f_{out} = \frac{M \cdot f_{in}}{10} \dots\dots\dots 4.11.2.$$

donde:

$$M = D \cdot 2^3 + C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0 \dots\dots\dots 4.11.3$$

A, B, C, D = Entradas al integrado SN74167, cuando están aterrizadas son iguales a cero, y si

están conectadas a un voltaje de 5 v. se consideran iguales a uno.

De acuerdo a la ecuación 4.11.2. M necesita ser igual a 0.2 para obtener 5kHz, pero la ecuación 4.11.3. limita a M en su valor mínimo a 1. Por lo tanto se requiere utilizar dos SN74167 para tener un divisor entre 10 y uno entre 5 para obtener los 5kHz.

PRIMER DIVISOR:

$$250 \text{ kHz} + 10 = 25 \text{ kHz}$$

De acuerdo a la ecuación 4.11.2. M necesita ser igual a 1 para obtener 25 KHz, para ello se hacen los ajustes necesarios en las entradas para que en la ecuación 4.11.3. $M = 1$:

- A = 1 conectada a 5 v.
- B = 0 conectada a tierra
- C = 0 conectada a tierra
- D = 0 conectada a tierra

$$M = 0 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0$$

$$M = 0 + 0 + 0 + 1$$

$$M = 1$$

Sustituyendo en 4.11.2.

$$f_{out} = \frac{1 \cdot 250 \text{ kHz}}{10}$$

$$f_{out} = \underline{25 \text{ kHz.}}$$

SEGUNDO DIVISOR:

$$25 \text{ kHz} + 5 = 5 \text{ kHz}$$

Ahora se requiere que

entonces

$M = 2$	
$A = 0$	conectada a tierra
$B = 1$	conectada a 5 v.
$C = 0$	conectada a tierra
$D = 0$	conectada a tierra

$$M = 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0$$

$$M = 0 + 0 + 2 + 0$$

$$M = 2$$

sustituyendo en 4.11.2.

$$f_{out} = \frac{2 \cdot 25 \text{ kHz}}{10}$$

$$f_{out} = \underline{5 \text{ kHz}}$$

Se interconectan estos dos circuitos quedando el reloj secundario como lo muestra la figura 4.14.

Material Utilizado:

2 Divisores de frecuencia SN74167

Monostable de pulsos delgados

Para que se tomen muestras de muy pequeña duración, el circuito muestreador requiere pulsos de reloj muy delgados, por lo tanto, se hace necesario cambiar el ciclo de trabajo de los pulsos que nos entrega el segundo divisor de frecuencias (5 kHz.).

Utilizando el circuito monostable SN74123 se logra reducir el ciclo de trabajo del reloj secundario al valor deseado sin cambiar su frecuencia, como se observa en la figura 4.15.

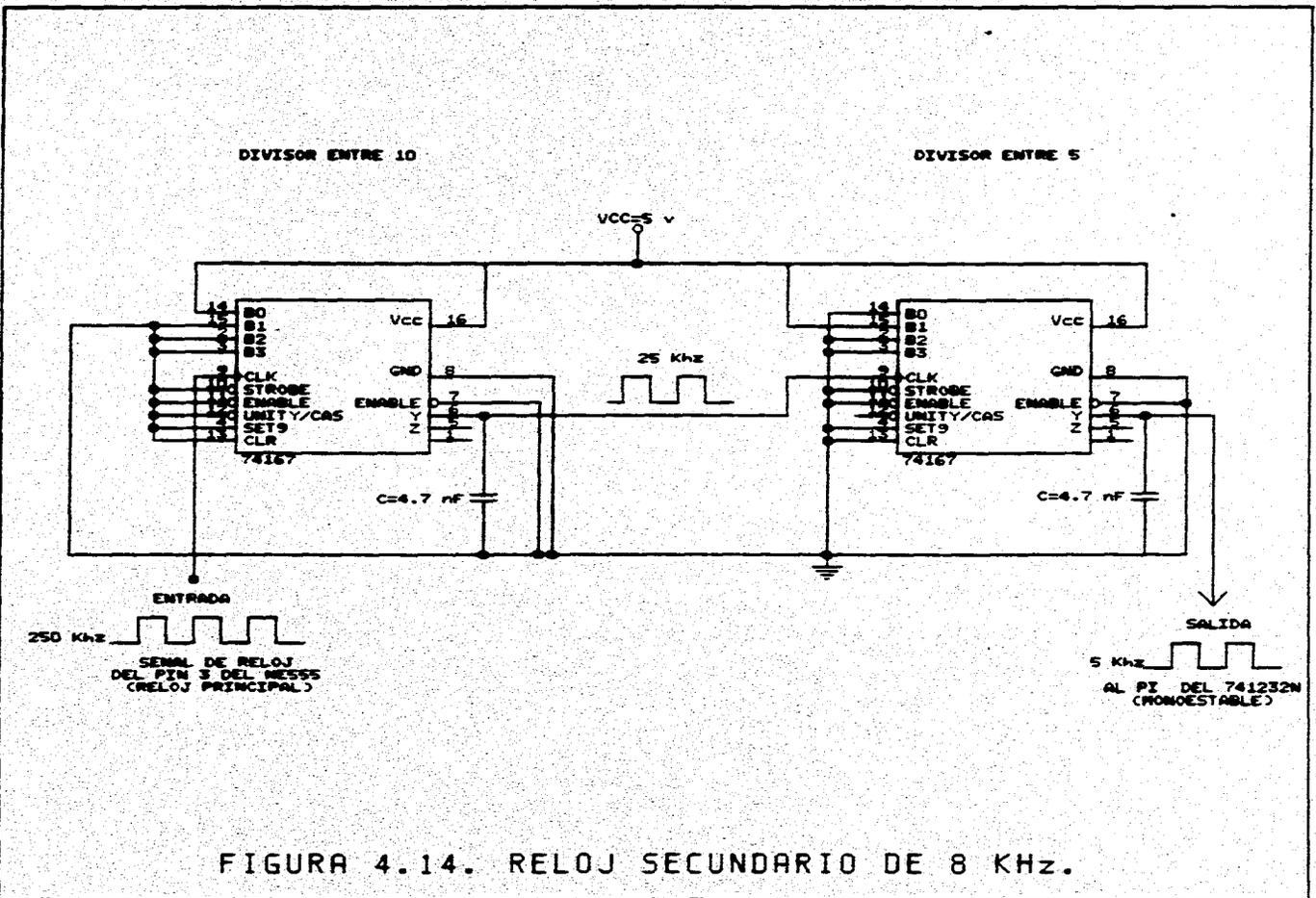


FIGURA 4.14. RELOJ SECUNDARIO DE 8 KHz.

Los cálculos de los elementos se realizan de acuerdo a las especificaciones del SN74LS123, las cuales dicen que el ancho de un pulso de salida (t_w) depende de los componentes externos: un capacitor C_{ext} y una resistencia R_{ext} .

Ahora bien, si se desea tener un control del t_w , se recomienda que se utilice $C_{ext} \leq 1000$ pF. La ecuación que determina el ancho del pulso es:

$$t_w = 6 + 0.05C_{ext}[\text{pF}] + 0.45R_{ext}[\text{K}\Omega]C_{ext} + 11.6R_{ext}$$

Debido a que no se sabía hasta dónde era necesario reducir el ancho del pulso, se realizaron pruebas hasta tener un ancho de pulso que nos permitiera tener muestras adecuadas de la señal. De esta manera se observó que en el límite superior de C_{ext} (1000pF) se cumplen estas condiciones. El ancho de los pulsos quedó de la siguiente manera:

$$\text{Con } C_{ext} = 1000\text{pF}$$

$$\text{y } R_{ext} = 10\text{K}\Omega$$

tenemos que:

$$\begin{aligned} t_w &= 6 + 0.05C_{ext}[\text{pF}] + 0.45R_{ext}[\text{K}\Omega]C_{ext} + 11.6R_{ext} \\ &= 6 + 0.05(1000) + 0.45(10)(1000) + 11.6(10) \\ &= 56 + 4500 + 116 \end{aligned}$$

$$\underline{t_w = 4672[\text{ns}]}$$

Material utilizado:

1 circuito integrado SN74LS123

1 capacitor cerámico de 1 nF

1 resistencia de carbono a ½ watt de 10 kΩ.

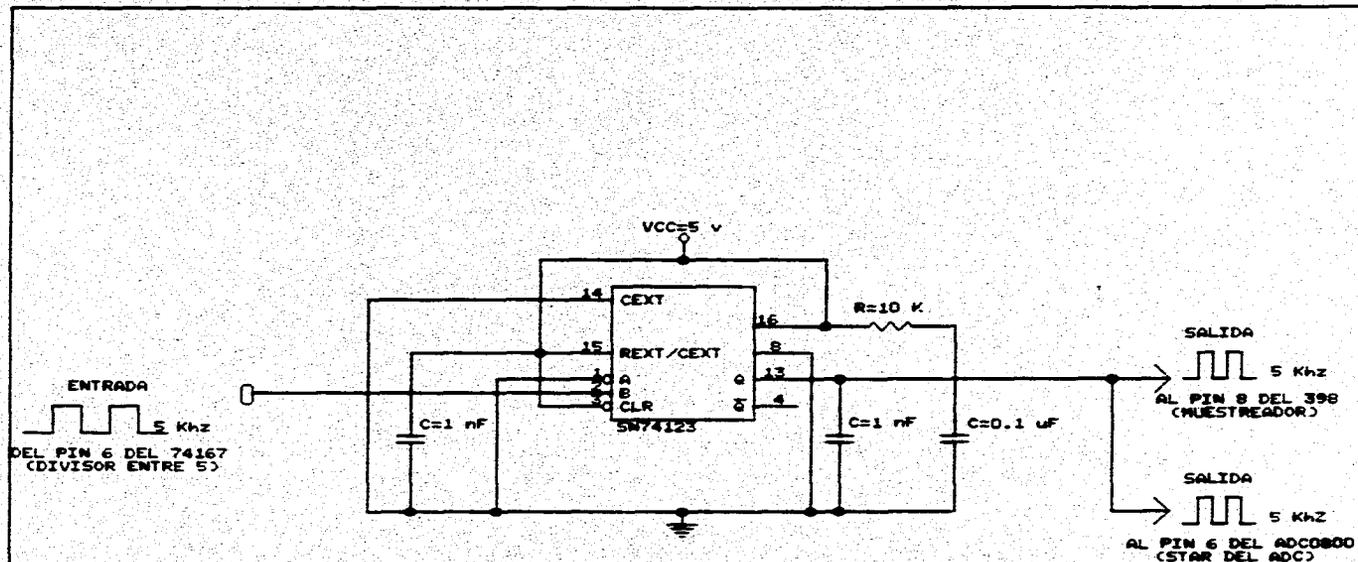


FIGURA 4.15. CIRCUITO MODIFICADOR DEL CICLO DE TRABAJO

Circuito Muestreador

La siguiente etapa es la de muestreo y retención, teniendo como propósito seguir a la señal analógica comprimida y luego retener el voltaje de la muestra mientras el convertidor la procesa.

Se utilizó el circuito LF398, el cual es un muestreador-retenedor integrado que requiere de un reloj que le indique a qué velocidad debe tomar las muestras.

Esta señal de reloj es de 5 kHz. y se obtiene del monoestable de pulsos delgados.

Tomando como referencia las hojas de especificaciones del circuito integrado LF398A se obtienen los valores de los elementos pasivos.

Para tener un rápido proceso de muestreo y retención es necesario calcular adecuadamente el capacitor llamado de retención (C_h).

Este capacitor esta muy relacionado con el tiempo de adquisición que caracteriza al LF398A. Para este circuito, el tiempo de adquisición es menor de 10 μ s, típicamente es de 6 μ s. Para este tiempo de adquisición, el capacitor recomendado es de 0.01 μ F.

Una aplicación típica que nos proporciona el manual de *National Semiconductor* para este circuito muestreador, es la implementada (ver anexo I), donde se sugiere utilizar una R_h para ayudar al capacitor a descargarse y de esta manera garantizar el tiempo de adquisición del LF398.

Para calcular el valor de esta resistencia, se da la expresión:

$$(R_h)(C_h) \gg \frac{1}{2\pi f_{in\ min}}$$

Considerando que la señal de entrada a todo el sistema compansor es de voz, la f_{in} mínima de ésta señal puede considerarse igual a 300 Hz.

Si se igualan los dos miembros de la ecuación tendremos un valor de referencia para R_h , es decir, este valor será el mínimo, y será necesario tener

una resistencia mucho más grande que ésta para que la relación anterior se cumpla.

Por lo tanto:

$$R_{h\min} C_h = \frac{1}{2\pi f_{in\min}}$$

Despejando a R_h :

$$R_{h\min} = \frac{1}{2\pi f_{in\min} C_h}$$

si $C_h = 0.01 \mu\text{F}$

$$f_{in\min} = 300 \text{ Hz}$$

entonces:

$$R_{h\min} = \frac{1}{2\pi(300)(0.01 \times 10^{-6})}$$

$$R_{h\min} = 53.05 \text{ K}\Omega$$

Por lo tanto, cinco veces el valor de esta resistencia parece adecuado para R_h :

$$R_h = 265.5 \text{ K}\Omega$$

y

$$C_h = 0.01 \mu\text{F}$$

Se conectan estos elementos en el LF398 y se van ajustando sus valores hasta tener muestras adecuadas.

Los valores finales fueron:

$$R_h = 220 \text{ K}\Omega$$

$$C_h = 0.32 \mu\text{F}$$

La figura 4.16. muestra el circuito muestreador.

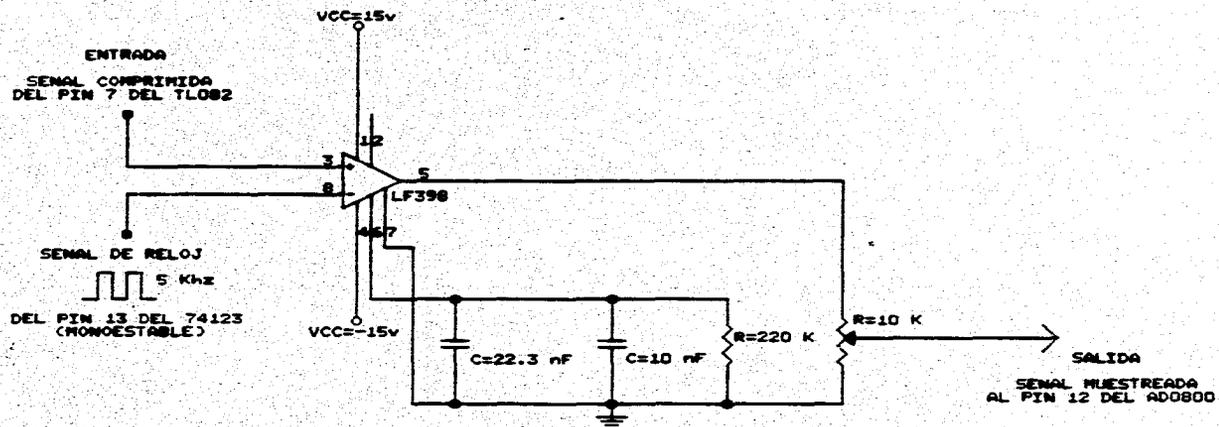


FIGURA 4.16. CIRCUITO DE MUESTREO Y RETENCION

Material utilizado

- 1 circuito integrado LF398
- 1 capacitor cerámico de 22 nF
- 1 capacitor cerámico de 10 nF
- 1 resistencia de carbono de 220 K
- 1 resistencia de 10 K

Convertidor A/D

El convertidor analógico digital toma los valores muestreados y les asigna un código digital, obteniéndose la señal analógica comprimida digitalizada.

El convertidor utilizado es el ADC0800 el cual convierte a 8 bits un valor de señal analógica a la entrada. Usa la técnica de conversión de aproximaciones sucesivas.

Se decidió utilizar este convertidor debido a que puede ser controlado por un reloj externo, siendo que los otros convertidores de esta misma familia tienen un reloj interno, lo cual no se puede controlar externamente y es importante controlarlo para obtener una mejor señal digitalizada, además de que por diseño este convertidor necesita de 40 ciclos de reloj como mínimo para hacer una conversión, así que si el muestreador está trabajando a una frecuencia de 5 mil muestras por segundo, la frecuencia de reloj del convertidor ADC0800 debe ser como mínimo de:

$$f_{ADC0800} = \frac{5000 \text{ muestras}}{\text{segundo}} \cdot (40 \text{ ciclos})$$
$$f_{ADC0800} = \underline{200 \text{ kHz.}}$$

para que pueda hacer la conversión de analógica a digital, por ello el reloj del convertidor tiene una frecuencia de 250 KHz., proveniente del reloj primario.

El diagrama eléctrico del convertidor ADC0800 se muestra en la figura 4.17.

En el pin 12, que es la entrada de la señal que llega del circuito muestreador, se colocó un divisor de voltaje formado por dos resistencias de 5KΩ y 10KΩ.

Este divisor protege contra señales de gran amplitud a la entrada del comparador del ADC0800.

Material utilizado

1 circuito integrado ADC0800

1 resistencia de carbono de 10 K Ω

1 resistencia de carbono de 5 K Ω

Conversión D/A

La conversión digital analógica se realiza con un convertidor DAC0800, el cual asigna un valor analógico para una entrada digital de 8 bits. De esta manera se obtiene nuevamente la señal analógica comprimida.

Se eligió este convertidor porque ya se tenían referencias experimentales de su buen desempeño y de su facilidad de implementación, además de que su costo es relativamente bajo comparado con otros.

La figura 4.18. muestra el circuito que forma el convertidor D/A.

El manual de *National Semiconductor* recomienda unos valores típicos de resistencias y capacitores para tener una mejor conversión.

El pin 14 y el pin 15, son voltajes de referencia positivo y negativo, respectivamente, ambas tienen resistencias de 5 K Ω , y el voltaje de referencia es de 5 v.

El pin 16 lleva un capacitor de 0.01 μ F que quita componentes de alta frecuencia. El pin 3 y el 13 llevan un capacitor de 0.1 μ F, estos capacitores sirven para quitar ruidos de las fuentes de alimentación.

El pin 2 y el 4, que son la salida, llevan una resistencia de 10 K Ω , cada uno, que son las resistencias de los colectores de los transistores del ADC0800, sin estas resistencias no trabajan los transistores y por lo tanto no tendríamos señal de salida.

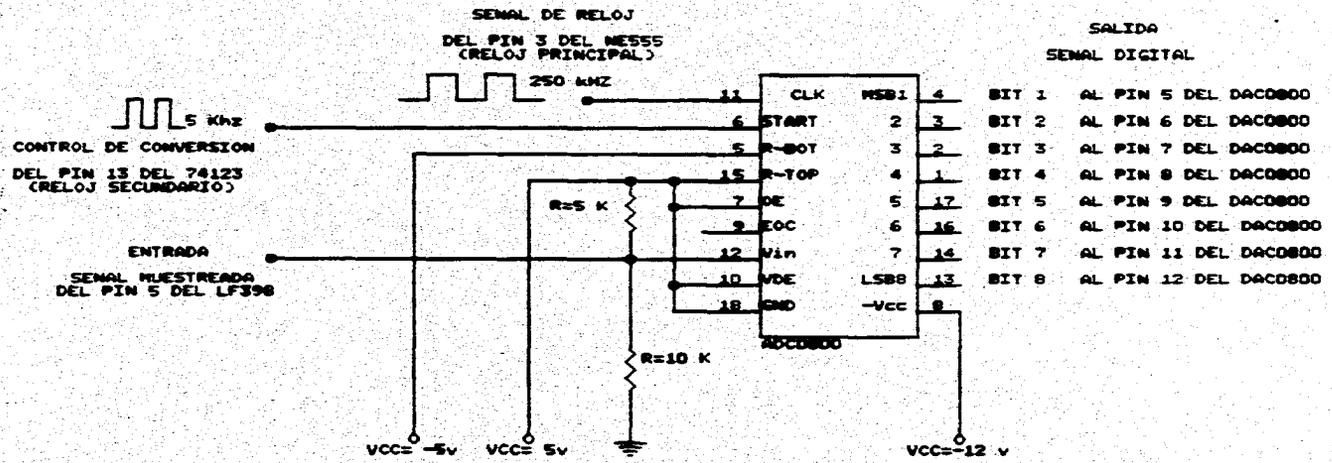


FIGURA 4.17. CIRCUITO CONVERSOR ANALOGICO/DIGITAL

Material utilizado

- 1** circuito integrado DAC0800
- 1** resistencia de carbono de 12 K
- 1** resistencia de carbono de 10 K
- 1** resistencia de carbono de 5 K
- 1** capacitor cerámico de 0,01 uF
- 2** capacitores cerámicos de 0,1

Filtro Paso Bajas

La señal analógica del convertidor DAC0800 se pasa a un filtro paso bajas que va a limpiar la señal obtenida, proporcionando una curva suave senoidal.

El filtro es paso bajas activo con aproximación Butterworth con -60 dB/década y con frecuencia de corte de 3 kHz.

La figura 4.19. muestra el filtro paso bajas diseñado.

Se diseñó a partir de las siguientes especificaciones:

- Filtro activo Butterworth
- -60 dB/década
- $F_c = 3\text{KHz}$

El amplificador operacional utilizado es el TL084. Se eligió este porque es uno de los que generan menos ruido.

Los elementos del filtro se calculan del siguiente modo:

$$f_c = 3 \text{ kHz.}$$

$$R_1 = R_2 = R_3 = R = 56 \text{ k}\Omega.$$

$$C_3 = \frac{1}{\omega_c R}$$

$$C_1 = \frac{1}{2} C_3$$

$$C_2 = 2C_3$$

$$R_f = 2R$$

$$\omega_c = 2\pi f_c$$

$$\omega_c = 2\pi(3000 \text{ Hz})$$

$$\omega_c = 18849.6 \text{ seg}^{-1}$$

$$C_3 = \frac{1}{(18849.6) \cdot (56000)}$$

$$C_3 = \underline{1 \text{ nF}}$$

$$C_1 = \frac{1}{2} (1 \cdot 10^{-9})$$

$$C_1 = \underline{0.5 \text{ nF}}$$

$$C_2 = 2 \cdot (1 \cdot 10^{-9})$$

$$C_2 = \underline{2 \text{ nF}}$$

$$R_f = 2 \cdot (56000 \Omega)$$

$$R_f = \underline{112 \text{ k}\Omega}$$

Material utilizado

2 amplificadores operacionales TL084

3 resistencias de carbono de 56 K

2 resistencias de 120 K

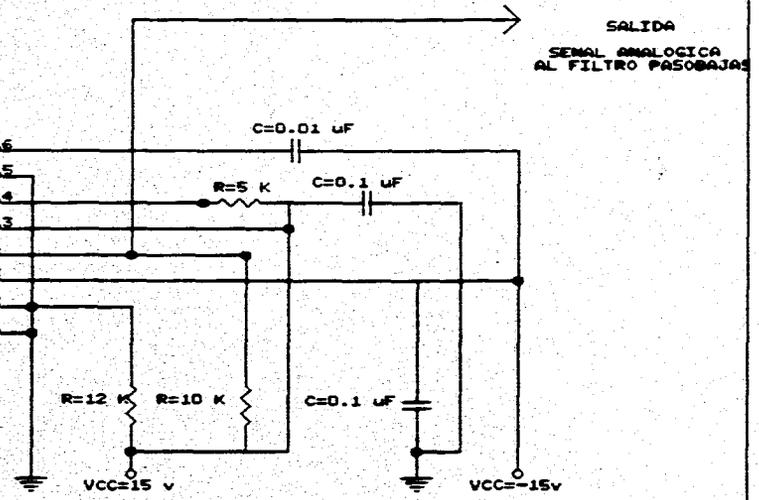
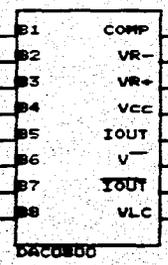
1 capacitor cerámico de 2.2 nF

1 capacitor cerámico de 0.5 nF

1 capacitor cerámico de 1 nF

ENTRADA
SEÑAL DIGITAL

DEL PIN 4 DEL ADC0800	BIT 1	5	B1
DEL PIN 3 DEL ADC0800	BIT 2	6	B2
DEL PIN 2 DEL ADC0800	BIT 3	7	B3
DEL PIN 1 DEL ADC0800	BIT 4	8	B4
DEL PIN 17 DEL ADC0800	BIT 5	9	B5
DEL PIN 16 DEL ADC0800	BIT 6	10	B6
DEL PIN 14 DEL ADC0800	BIT 7	11	B7
DEL PIN 13 DEL ADC0800	BIT 8	12	B8



SALIDA
SEÑAL ANALÓGICA
AL FILTRO PASOBAJAS

FIGURA 4.18. CIRCUITO CONVERSOR DIGITAL/ANALÓGICO

Circuito Expansor

La etapa final del sistema es el expansor, el cual consta de una red expansora a la entrada de un amplificador operacional LM741, éste toma la señal filtrada y la expande haciendo el efecto contrario que en la primera etapa (la compresión). La señal obtenida es de baja amplitud, por lo que se aumenta su amplitud usando un amplificador operacional TL084. La salida de esta última parte es la señal de salida del sistema compansor.

El circuito expansor se compone de dos partes. La primera genera una curva exponencial (antilogarítmica) que proporciona la expansión de los valores comprimidos anteriormente. Las dos resistencias de $560\text{ K}\Omega$ forman un divisor de voltaje, el cual va conectado a la entrada no inversora, este divisor de voltaje sirve para que la señal tenga swing simétrico óptimo. La resistencia R_m junto con el arreglo de diodos y resistencias dan una ganancia A , que caracteriza la curva exponencial (antilogarítmica). El capacitor a la salida del amplificador operacional sirve para desacoplar las señales de DC.

Por último se presenta un amplificador inversor, el cual sirve para dar un ganancia a la señal expandida, y de esta manera, tener una señal recuperada lo más parecida a la señal de entrada.

La ganancia del último aplicador se calcula de la siguiente manera:

$$A = -\frac{R_f}{R_x + R_v}$$

sustituyendo

cuando R_x es igual a cero

$$A = -\frac{-12\text{ K}\Omega}{0\text{ K}\Omega + 2.2\text{ K}\Omega} = -5.45\text{ K}\Omega$$

cuando R_x es más alta

$$A = -\frac{12\text{ K}\Omega}{100\text{ K}\Omega + 2.2\text{ K}\Omega} = -0.117$$

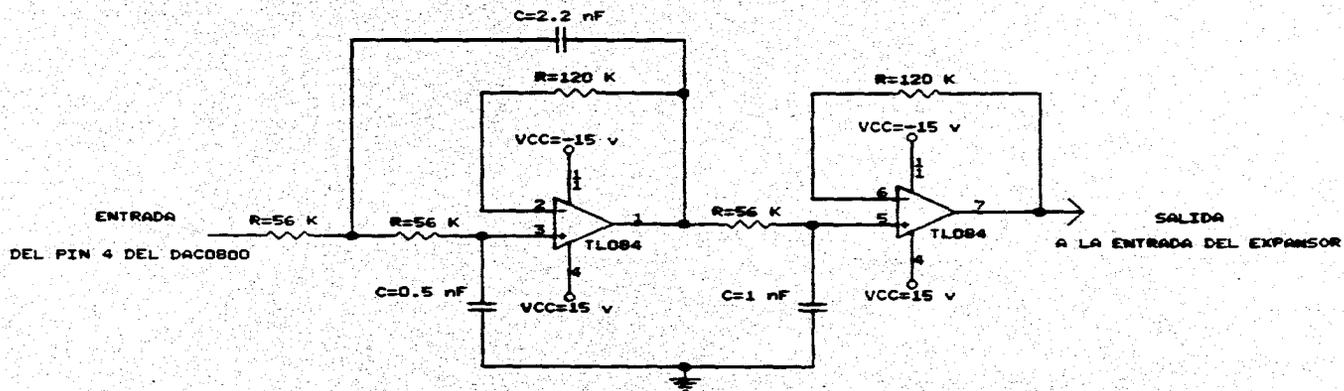


FIGURA 4.19. CIRCUITO FILTRO PASO BAJAS

El circuito expensor se observa en la figura 4.20.

Material utilizado

- 1 amplificador operacional LM741**
- 1 amplificador operacional TL084**
- 2 diodos de switcheo BA221**
- 1 resistencia de carbón de 1 K**
- 2 resistencias de carbón de 3.3 K**
- 2 resistencias de carbón de 5.6 K**
- 1 resistencia de carbón de 12 K**
- 2 resistencias de carbón de 10 K**
- 1 resistencia de carbón de 5 K**
- 1 resistencia variable (trimpot) de 47 K**
- 1 resistencia variable (trimpot) de 100 K**
- 1 capacitor electrolítico de 10 uF**
- 1 capacitor electrolítico de 1 uF**

El circuito de todo el sistema compansor analógico, se encuentra en el diagrama 4.21.

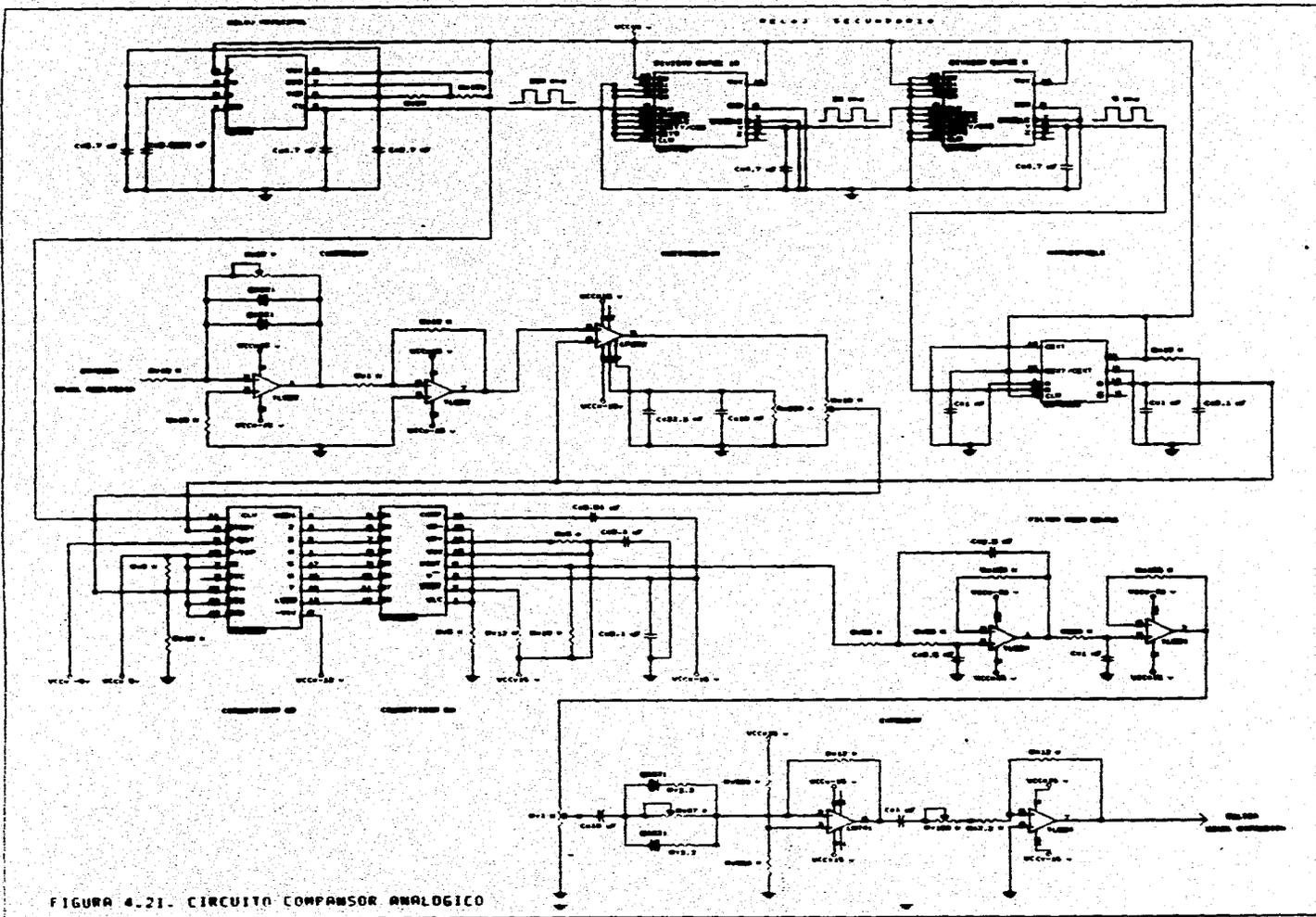


FIGURA 4.21- CIRCUITO COMPASOR ANALOGICO

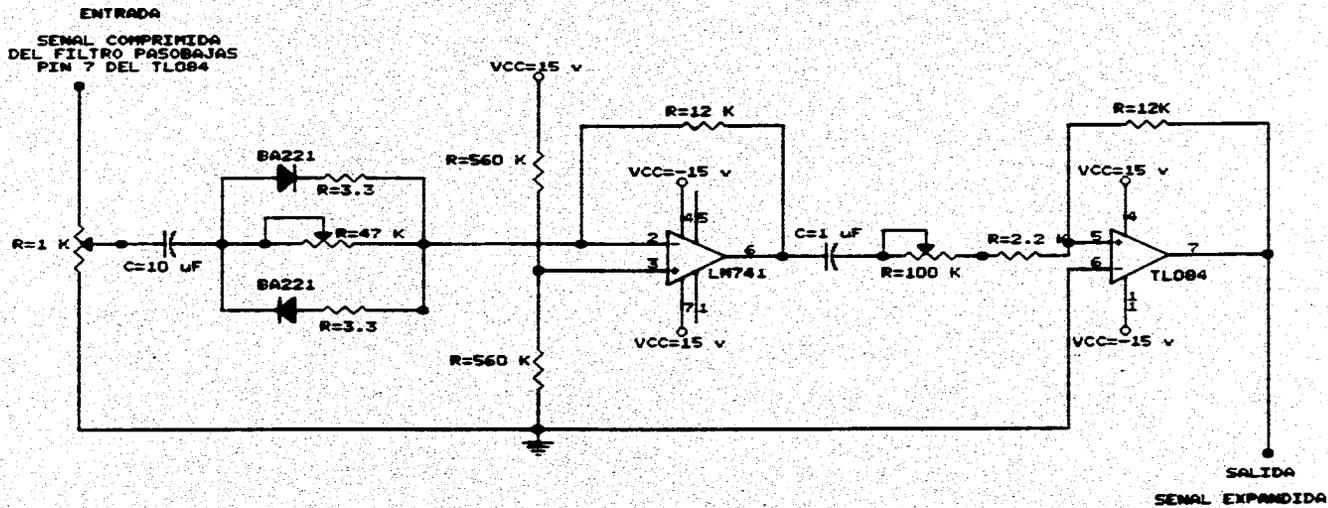


FIGURA 1.20 CIRCUITO EXPANSOR

2.-) COMPRESOR Y EXPANSOR DIGITAL

De acuerdo al capítulo anterior, se requiere para la compansión digital que la señal analógica sea primero muestreada y luego convertida a un código digital para después ser comprimida. En el receptor se expande la señal, se decodifica, se muestrea y por último se filtra.

Este proceso muestra la necesidad de tener un circuito digital compresor y un circuito digital expansor. Los más recientes compansores digitales usan un código lineal de 12 bits y un código de 8 bits de compresión.

El objetivo inicial era diseñar el compresor digital pero se presentó el siguiente problema.

Se requiere comparar el compresor analógico con el digital, para ello es necesario tener una compresión de 8 bits, lo cual obliga a usar un convertidor que use más de 8 bits de código lineal, por ejemplo de 12 bits; para ello también se requiere de un convertidor A/D y D/A de 12 bits, el cual no es comercial, y diseñarlo y construirlo implica mucho tiempo y no se puede garantizar un buen funcionamiento que permita, a su vez, realizar un compresor digital confiable.

Por estas razones se decidió utilizar un circuito integrado que contara con la compresión digital. Se buscó en la literatura correspondiente este circuito integrado.

Existen unos circuitos integrados llamados **CODECS**, que son circuitos integrados del tipo LSI, diseñados para usarse en las telecomunicaciones: **PBX's**, oficinas centrales de conmutación, en los protocolos de comunicación, en los sistemas de grabación y reproducción de voz y en los supresores digitales de eco, por ejemplo.

Esencialmente, los **CODECS** son utilizados para cualquier propósito que requiera la digitalización de señales analógicas.

CODEC es un término genérico que hace referencia a las funciones de codificación que utiliza un dispositivo que convierte señales analógicas a códigos digitales y viceversa. Los CODECS recientemente desarrollados son llamados circuitos integrados **COMBOS** porque combinan las funciones de los CODECS y de filtros, en el mismo paquete LSI.

La entrada y salida de los filtros realizan las siguientes funciones: limitan el ancho de banda, reducen el ruido, "limpian a la señal de pequeñas deformaciones" ,y reconstruyen las formas de onda de audio analógicas después de ser decodificadas. El CODEC realiza las siguientes funciones: muestrea señales analógicas, codifica y decodifica (conversiones analógica a digital y de digital a analógica), y realiza la compansion digital.

Por lo tanto, un circuito integrado **COMBO** sustituye a las viejas combinaciones de circuitos integrados de CODECS y filtros.

Para cumplir con el propósito de comparar la compresión analógica con la compresión digital, y dado que el COMBO es el más reciente circuito integrado que ofrece la mejor compresión digital, se optó por construir con él el compresor y el expansor digital.

Diseño del circuito compansor digital

Existen varios **COMBOS** comerciales, los cuales se diferencian entre sí, principalmente, por:

- la ley de compresión que usan (Ley A o Ley μ)
- la frecuencia de reloj que necesitan
- el número de pines que tienen
- las funciones que pueden realizar
- la compatibilidad con otras tecnologías diferentes a la suya

Se encontraron en los manuales algunos **COMBOS** que cubrían muy bien nuestros requerimientos, sin embargo, un gran impedimento para utilizar cualquiera de ellos fue que no se encontraban disponibles en nuestro país, por lo que fue necesario averiguar cuál de ellos podía ser importado por alguna de las casas comerciales que se dedican a vender este tipo de componentes.

De esta manera, solo fue posible conseguir el COMBO TP3064J, el cual es suficientemente bueno para nuestras aplicaciones.

Este COMBO tiene las siguientes características:

- utiliza la Ley μ en la compresión
- tiene tecnología CMOS
- compatible con circuitos TTL y CMOS
- salida serie
- trabaja en modo síncrono

Estas características se suman a las de los COMBOS en general.

El circuito compansor digital consta de varias etapas:

- a) Reloj primario 2.048mhz
- b) Reloj secundario a 8 Khz
- c) Circuito integrado COMBO TP3064

Estas se describen a continuación

Diseño de los circuitos de reloj

Reloj Primario

El fabricante del COMBO recomienda que sea de 2.048 Mhz., ya que éste valor es un estandar en telefonía, en los circuitos PCM.

Debido a que el presente trabajo de tesis no tiene como objetivo construir un circuito estándar, no es necesario ajustarse a este valor, sin embargo se decidió tratar de obtener esa frecuencia. Ahora bien, para tener esta frecuencia es necesario utilizar cristales, y no existen en el mercado cristales de ese valor.

Por las razones anteriores se utiliza un cristal a 4 Mhz. y con algunos elementos pasivos se le fuerza a entregar a la salida 4.096 Mhz. Esta frecuencia se divide por dos utilizando un divisor y de esta manera se obtiene un reloj de 2.048 MHz.

Con el tipo de oscilador que se usó es posible variar un poco la frecuencia de oscilación del cristal, ya que un cristal se puede modelar como un circuito RLC y la frecuencia de resonancia del cristal puede ser modificada un poco, conectándole componentes externos. La configuración del oscilador del cristal se obtuvo del manual *Embedded Controlers Databook de National Semiconductors*

A continuación se explica como funciona el oscilador.

En la figura 4.22. se observa que los dos inversores entre los que va conectado el cristal tienen una resistencia en su entrada y salida, la cual ayuda a que se estabilicen los estados lógicos 0 y 1 cuando comienza a oscilar el cristal y los capacitores en las entradas de los inversores sirven para ajustar la frecuencia de oscilación del cristal, ya que estos valores de resistencia y de capacitancia cambian la frecuencia de resonancia del cristal.

La familia de 74XX es mejor que las familias CMOS para oscilar a altas frecuencias y es menos sensible a los cambios de temperatura, además, la configuración de reloj que usamos tiene ventajas dado que tiene un FAN-OUT grande ya que tiene acoplado otro inversor a su salida el cual dará una estabilidad de oscilación para diferentes cargas además de aislar la etapa de oscilación primaria.

El manual de osciladores recomienda utilizar inversores 74LS00 para el oscilador, pero se observó que este tipo de inversores provocan inestabilidad en la frecuencia de oscilación, por lo que se probó con inversores implementados con compuertas NAND, obteniendo una frecuencia más estable.

A la salida de este primer reloj tenemos 4.096 MHz el cual pasa a un divisor de frecuencia entre dos; este fue implementado con Flip-Flop D (Delay) el cual solo retarda la señal de entrada, y en la configuración en la cual esta conectado divide entre dos la señal de reloj, ya que tiene puenteadas las

terminales D y Q negadas. En consecuencia, a la salida obtendremos una señal de reloj de 2.048 Mhz que es la que requiere el compensador para poder trabajar.

El circuito esquemático se muestra en la figura 4.23.

Material utilizado:

1 circuito integrado 74LS00 (compuertas NAND)

1 circuito integrado 74LS74 (flip-flop D)

1 cristal a 4 MHz.

1 resistencia de carbón a 1/4 de watt de 150 Ω

1 resistencia de carbón a 1/4 de watt de 1 K Ω

1 capacitor de pliestireno de 68 pF

1 capacitor de poliestireno de 3.9 pF

Reloj Secundario

Este reloj esta diseñado a partir del reloj primario de 2.048MHz , el valor de este reloj secundario es de 8khz. Para obtener este valor de frecuencia es necesario dividir este valor 256 veces, esto se logra con un contador de 8 bits.

El contador que se utilizó fue el CD4040 con tecnología CMOS; este contador es de 12 bits, y para obtener un contador de 8 bits simplemente se resetea Q₈ para que la cuenta sea hasta 256 solamente.

La razón por la cual se eligió este contador de 12 bits es que tanto en TTL como en CMOS no existen contadores de 8 bits; se podrían poner en cascada dos contadores de 4 bits pero sería desperdiciar mucho espacio, además de que sería más caro. La tecnología CMOS, gracias su alta escala de integración, en un solo circuito integrado ofrece un contador de 12 bits.

El circuito esquemático se muestra en la figura 4.24.

Material utilizado:

1 circuito integrado CD4040 (contador de 12 bits CMOS)

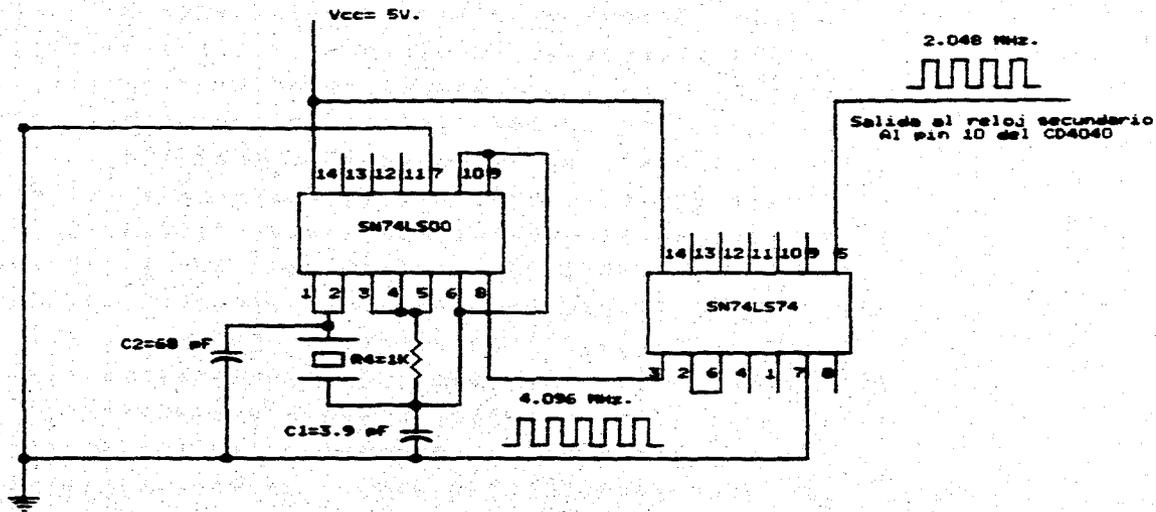
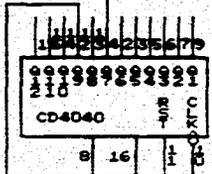


Figura 4.22. Reloj Principal de 2.048 MHz.



Salida
señal de reloj
al pin 7 y 16 del COMBO



Entrada
pulsos de reloj del
pin 5 del SN74LS74



2.048 MHz.

Figura 4.23. Reloj Secundario de 8 MHz.

Círculo Companion (COMBO)

A continuación se describen cada una de las funciones de los pines del COMBO TP3064, cuyas especificaciones están el Anexo II.

Vpot.- Es la salida no inversora del receptor. En este pin se coloca una resistencia de $2K\Omega$ para protección del circuito integrado, ya que se trata de un circuito CMOS que necesita relativamente bajas impedancias conectadas entre sus pines para que las cargas electrostáticas no dañen la capa de óxido de silicio (dieléctrico) la cual separa la parte de la compuerta y el canal; para evitar estas cargas electrostáticas, los circuitos integrados CMOS deben permanecer en lugares antiestáticos, o en su defecto, entre sus pines deben tener una impedancia no mayor a los $10M\Omega$, según recomendaciones de los manuales. Por esta razón se colocó una resistencia de $2K\Omega$ a la salida del amplificador operacional, ya que no es una impedancia ni muy alta ni muy baja.

GNDA.- Este pin es la tierra del circuito y todas las señales deben estar referidas a este pin.

VPO.- Es la salida inversora de la parte receptora. A este pin va conectada una resistencia $R3$ de $27K\Omega$ la cual fue calculada mediante la siguiente fórmula proporcionada por el manual para dar la ganancia de la señal:

$$G_r = 20 \log \left(\frac{2R3}{R4} \right); R4 \geq 10k\Omega$$

VPI.- Entrada inversora del amplificador de potencia del receptor. A este pin va conectado el otro extremo de la resistencia de $27K\Omega$ y también se conecta $R4$ de $10K\Omega$.

VFRO.- Salida analógica del filtro receptor. A este pin va conectado el otro extremo de la resistencia $R4$ de $10K\Omega$.

VCC.- Alimentación positiva de 5V

FSr.-Receptor de la cadena de pulsos de sincronía.

Tiene una velocidad de 8 KHz, la cual habilita el pin BCLKr para poner los datos dentro del pin DR.

DR.- Receptor de la cadena de datos.

BCLKR/CLKSEL.- Reloj maestro de 2.048 MHz.

MCLKR/PDN.- Reloj maestro del receptor. Debe estar en sincronía con BCLKR, por lo que es de 2.048 MHz.

MCLKx.- Reloj maestro de transmisión a 2.048MHz.

BCLKx.- Reloj para sacar los valores del sistema PCM; debe estar en sincronía con MCLKx.

Dx.- Salida de datos PCM de tres estados el cual es habilitado por FSx.

FSx.- Trama de pulsos de sincronía de 8 KHz que habilita BCLKx para poner los datos en DX.

Tsx.- Salida de drenaje con pulsos en bajo durante el tiempo de codificación de la pendiente.

ANLB.- control de la entrada analógica. Debe permanecer en "0" lógico para una operación normal y en "1" para poner la entrada directamente a la salida.

Gsx.- Salida del amplificador de la señal de entrada. A este pin se conecta una resistencia R1 de 22KΩ la cual se calculó con la siguiente formula dada por el manual:

$$Gt = 20 \log \left(\frac{R1 + R2}{R2} \right) \cdot (r1 + R2) \geq 10K\Omega$$

VFxl-.- Entrada invertida del amplificador transmisor. A esta va conectado el otro extremo de la resistencia R1.

VFxl+.- Entrada no inversora del amplificador transmisor. A esta va conectada una resistencia de 5KΩ.

VBB.- Fuente negativa de -5V.

Material utilizado:

1 circuito integrado TP3064J (COMBO)

1 resistencia de carbón a ¼ de watt de 5 K Ω

1 resistencia de carbón a ¼ de watt de 22 K Ω

1 resistencia de carbón a ¼ de watt de 27 K Ω

1 resistencia de carbón a ¼ de watt de 10 K Ω

1 resistencia de carbón a ¼ de watt de 2 K Ω

El circuito completo del compansor digital se puede ver en la figura 4.25.

Entrada
Señal analógica

-Vcc=-5v

Vcc=5v

R4=5K R3=22K

R1=27K R2=10K

R=2K

9 KHz.

Salida
señal expandida

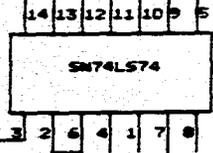
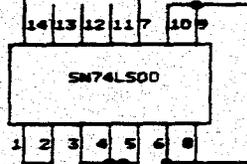
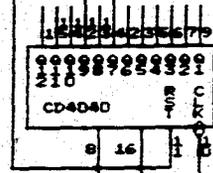
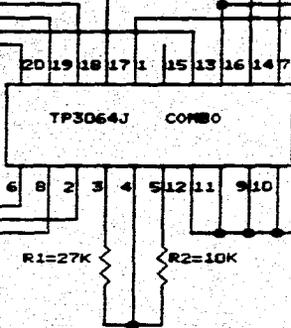
2.048 MHz.

C2=68 nF

C1=3.9 nF

R4=1K

4.096 MHz.



Pruebas previas en projectboard.

Una vez que se implementó todo el sistema sobre tarjetas projectboard, se comenzaron las pruebas alimentando la entrada con una señal senoidal en el compresor analógico.

Etapas por etapa se fue siguiendo a la señal realizando los ajustes necesarios en los componentes (valores y tipos) para obtener los oscilogramas teóricamente esperados.

Al interconectar todas las etapas y hacerlas funcionar en su conjunto, se presentaron una serie de ruidos que fueron ocasionados por la mala distribución de las etapas y al alambrado, ya que en se colocaron cables para interconectar los elementos sin importar su longitud y presentación. Fue necesario corregir esto ya que la frecuencia del reloj del convertidor A/D es relativamente alta, 250 KHz., provocando que las longitudes de los alambres y distribución de los componentes, así como de la longitud de las terminales de los mismos jueguen un papel importante, ya que se comportan como capacitancias o como inductancias; así que se volvió a alambrear el circuito, teniendo más cerca los elementos unos de otros y ocupando la menor longitud posible de cables de interconexión; se recortaron las terminales de los componentes, estando éstos más cerca de la tarjeta projectboard.

Lo que antes se tenía en tres tarjetas mal distribuido, se redujo a dos tarjetas projectboard.

Después de estas correcciones y ajustes en algunos componentes (valores de resistencias y capacitancias, principalmente), se logró obtener una señal a la salida de todo el sistema más limpia, nítida y estable.

Un proceso similar se siguió con el circuito compresor-expansor digital.

Diseño del circuito impreso

Se analizó la posibilidad de tener el sistema en un circuito fijo para tener la opción de poder manipularlo de manera cómoda y segura para fines didácticos o de experimentación.

Existen dos formas básicas de fijar el sistema:

- 1.- Implementar una tarjeta de wire-wrap.
- 2.- Diseñar una tarjeta de circuito impreso.

La primera opción se descartó debido a que se tendrían problemas con la longitud y distribución de los cables de interconexión. Otro problema sería que los pines de las bases donde se colocarían los circuitos integrados serían tan largos que ocasionarían ruido al sistema. Se optó entonces por la realización del circuito impreso, ya que de esta manera se podrían obtener mejores resultados, ya que un buen diseño de las pistas de cobre minimiza distancias entre los componentes y reduce los ruidos de interferencia de frecuencia, además, la presentación de este tipo de tarjetas da mayor estabilidad física al sistema y tiene mejor estética.

Se comenzó a diseñar el circuito impreso partiendo del espacio en la placa fenólica estandarizado por los "peines" de interconexión hacia otras tarjetas o equipos que permiten el uso de tarjetas de las mismas características.

Las dimensiones de la tarjeta del circuito impreso debía ser de 10 x 15 cm.

El sistema completo no se realizó sobre una sola tarjeta sino en tres tarjetas de 10 x 15 cm, debido al propósito de la tesis, que es para fines didácticos, ya que con estas tarjetas se piensa realizar prácticas para el laboratorio de comunicaciones digitales y en ellas se requiere de tarjetas con estas medidas específicas.

Fueron dos tarjetas para el compresor-expansor analógico. La primera tarjeta consta desde el compresor hasta la parte de la conversión A/D y la segunda tarjeta desde el convertidor D/A hasta el expansor.

Se utilizó una sola tarjeta para el compresor-expansor digital.

El primer circuito impreso, correspondiente al compresor-expansor analógico, se diseñó utilizando el paquete de computadora PCBOARD, cuidando la distribución de los componentes sobre la tarjeta y tratando de hacer las pistas lo más cortas posibles y procurando que la masa de tierra abarcara el mayor espacio posible.

Después del diseño se utilizó la técnica de fotograbado para obtener la tarjeta de circuito impreso en la placa fenólica, se estañó y se le aplicó un recubrimiento para evitar la oxidación.

El segundo circuito impreso (también del compresor-expansor analógico) también se diseñó en el mismo paquete tomando en cuenta las mismas consideraciones del anterior. La técnica empleada para pasar el circuito impreso a la placa fenólica fue la de termograbado, se estañó y se le aplicó su recubrimiento contra la oxidación.

Cada tarjeta se probó por separado.

La primera tarjeta se probó alimentando el compresor con una señal senoidal de 10 v (voltaje pico a pico) obtenida de un generador de señales. Parte por parte se fue probando el sistema, realizando pequeños ajustes en los componentes.

Se interconectaron las dos tarjetas del compresor-expansor analógico, en paralelo, ya que no se requería para estos fines sacar la información en serie.

Al conectar ambas tarjetas e introducir nuevamente la señal senoidal al compresor, la señal de salida (en el expansor) presentaba exceso de ruido.

Esto se debía en parte a los cables usados para la interconexión de las dos tarjetas los cuales eran redondos de calibre 25, se cambiaron por cable plano y se eliminó una parte de ese ruido. Otra parte de ese ruido se redujo colocando un capacitor de 0.1 μ f a la entrada del convertidor A/D, otro a la salida del convertidor D/A y otro a la salida del reloj primario, con todo esto se obtuvo una mejor señal, y en consecuencia, más estable a la salida del expansor.

Para el circuito compresor-expansor digital se realizó el circuito impreso en una tercera tarjeta de las mismas medidas que las anteriores y se utilizó la técnica de termograbado. Se realizaron pequeños ajustes en los valores de resistencias capacitancias, ya que al migrar los componentes de la tarjeta de pruebas al circuito impreso, la señal de salida mostraba pequeñas deformaciones y ruido.

Los circuitos impresos se muestran en las figuras 1.1., 1.2. y 1.3. del Anexo I.

CAPITULO V

PRUEBAS DE LABORATORIO

En este capítulo se pretenden exponer las pruebas realizadas en el laboratorio a los circuitos compresores-expansores diseñados: analógico y digital. Con los resultados obtenidos se pueden apreciar los beneficios de la compresión.

También se muestran las diferencias entre la compresión analógica y la digital.

Relación Señal a Ruido (S/R).

Se sabe que una onda senoidal pura tienen un espectro con un espiga centrada en la frecuencia de la señal senoidal, como lo muestra la figura 5.1., donde V_s es el voltaje de pico de la senoide.

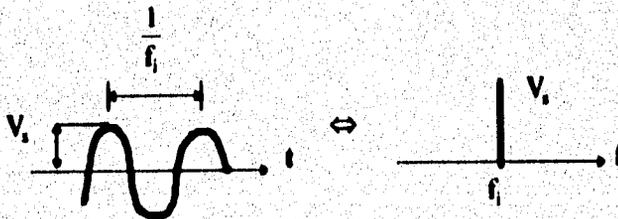


Figura 5.1. Señal senoidal en función del tiempo y de la frecuencia.

En esta figura se muestra el caso donde la señal no presenta componente de ruido ni armónicas, pero en las transmisiones reales el ruido se presenta de la siguiente forma (figura 5.2.).

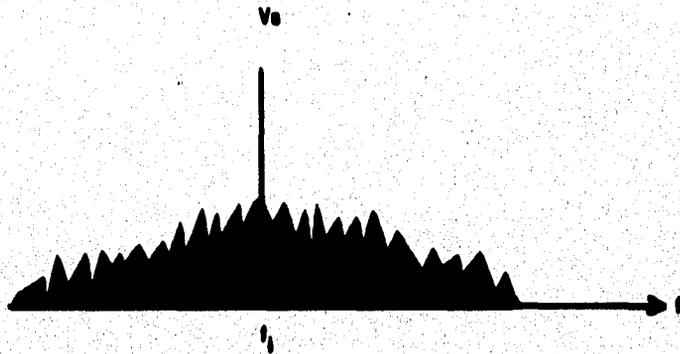


Figura 5.2. Espectro de una senoide con ruido

Partiendo de esto, se puede cuantificar la relación señal a ruido (S/R) conociendo la amplitud de la componente principal de la señal en su espectro (V_s) y la amplitud del ruido (V_n). Estas amplitudes se pueden conocer de la siguiente manera:

Si el voltaje RMS total de la señal recibida es:

$$V_{\text{tot}} = \sqrt{V_s^2 + V_n^2}$$

entonces:

$$V_n = \sqrt{V_{\text{tot}}^2 - V_s^2}$$

Por lo tanto:

$$\frac{S}{N} = \frac{P_S}{P_N} = \frac{\frac{V_s^2}{R}}{\frac{V_n^2}{R}} \Bigg|_{\text{RMS}}$$

como R es la misma:

$$\frac{S}{N} = \frac{V_s^2}{V_n^2} \Bigg|_{\text{RMS}}$$

y sustituyendo

$$\frac{S}{N} = \frac{V_s^2}{V_{\text{tot}}^2 - V_s^2} \Bigg|_{\text{RMS}}$$

De acuerdo con lo anterior, podemos medir V_s y V_{tot} , sustituir en la ecuación 5.0.1. y se obtiene la relación señal/ruido.

V_s se obtiene utilizando un analizador de espectros, y V_{tot} se mide con un voltmetro verdadero.

Relación señal/ruido con compresión y expansión analógica

El diagrama 5.4. muestra las conexiones para las mediciones realizadas.

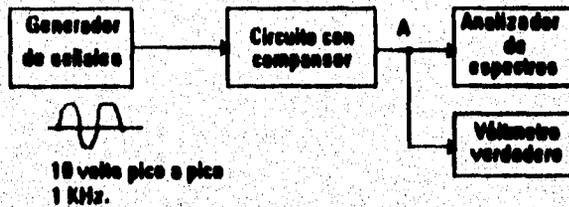


Figura 5.4. Diagrama de conexiones para medir V_1 y V_{tot} utilizando compresión-expansión.

Se obtuvieron los siguientes resultados midiendo en el punto A de la figura 5.4:

$$V_{tot} = 4.40 \quad [V]$$

$$V_s = 4.3071 \quad [V]$$

Sustituyendo en la ecuación 5.0.1.:

$$\frac{S}{N} = \frac{(4.3071)^2}{(4.40)^2 - (4.3071)^2}$$

$$\frac{S}{N} = \underline{\underline{22.93}}$$

Estos resultados comprueban que la compresión-expansión mejora la transmisión de las señales, ya que la relación señal a ruido aumenta cuando existe un proceso de compansión.

Transmisión sin compansión:

$$\frac{S}{N} = 0.02$$

Transmisión con compansión:

$$\frac{S}{N} = 22.93$$

En cada circuito se registraron en el laboratorio los oscilogramas y espectros correspondientes.

A continuación se anexan los oscilogramas y espectros obtenidos.

Oscilogramas y espectros de la señal transmitida con compresión y expansión

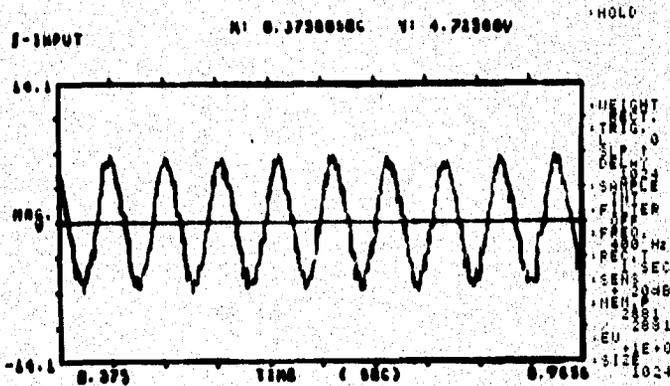


Figura 5.5. Oscilograma de la señal de salida con compansión.

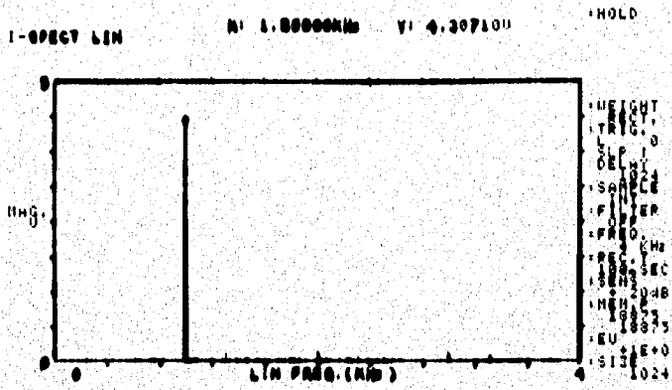


Figura 5.6. Espectro de la señal de salida con compansión

COMPANSOR DIGITAL

Relación señal/ruido con compresión y expansión digital

El diagrama 5.7. muestra las conexiones para las mediciones realizadas.

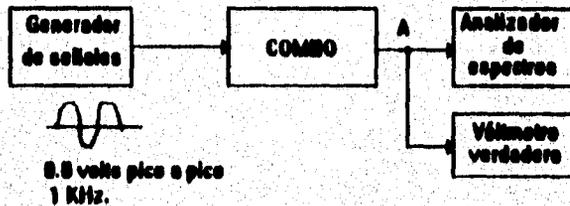


Figura 5.7. Diagrama de conexiones

Se obtuvieron los siguientes resultados midiendo la señal de salida del compansor digital en el punto A de la figura 5.7.

$$V_{\text{tot}} = 3.0 \quad [\text{V}]$$

$$V_s = 2.93 \quad [\text{V}]$$

por lo tanto:

$$\frac{S}{N} = \frac{(2.93)^2}{(3.0)^2 - (2.93)^2}$$

$$\frac{S}{N} = \underline{\underline{20.68}}$$

Sin embargo, el ruido de cuantización no pudo apreciarse bien en el espectro de la señal de salida, pues era demasiado pequeño para que el analizador de espectros lo pudiera registrar. En el oscilograma sí se aprecia dicho ruido; la

señal de salida presenta una pequeña vibración, lo cual indica la presencia del ruido de cuantificación.

Oscilogramas y espectros de la señal transmitida con compresión y expansión digital

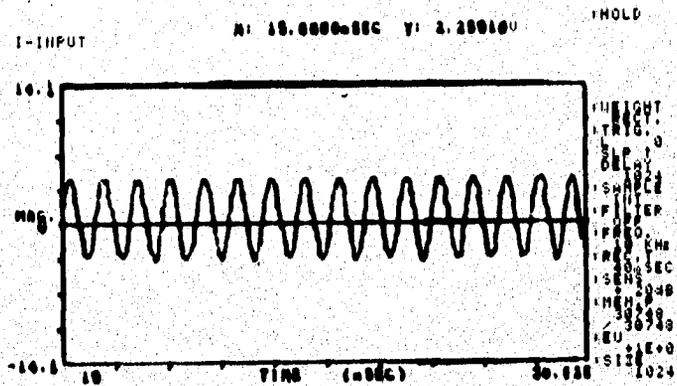


Figura 5.8. Oscilograma de la señal de salida

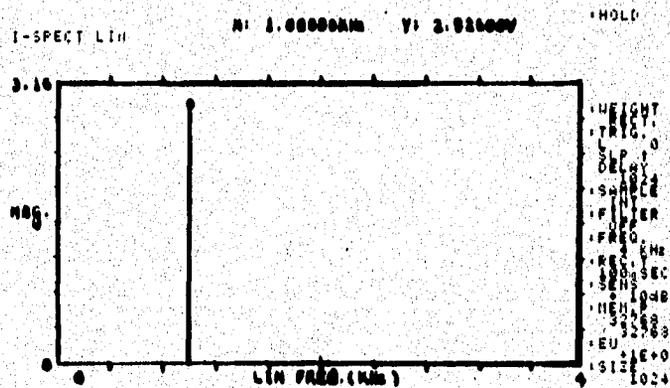


Figura 5.9. Espectro de la señal de salida

CONCLUSIONES

Este trabajo de tesis cumplió con el objetivo de mostrar, de manera discreta, las partes de las cuales consta un compansor analógico, el cual se puede conseguir en un solo circuito integrado y trabajar con él en aplicaciones de transmisión de señales. Sin embargo, para poder entender cómo trabaja un compansor, fue necesario construir cada bloque del diagrama del compansor.

La parte más laboriosa y de mayor investigación fue el expansor, ya que se armaron varios circuitos de expansores pero con ninguno de ellos se obtenía la curva de expansión adecuada para regresar la señal a su estado original. Finalmente se encontró un circuito expansor que cambia el nivel de la señal, esto es: el nivel original de la señal estaba comprendido dentro de $+V_{cc}$ a $-V_{cc}$, y el expansor trabaja de $+V_{cc}$ a GND, lo cual hace que la señal tenga que cambiar de nivel. Con esto se obtuvo la curva de expansión requerida, la cual es la función inversa del compresor.

En las pruebas de laboratorio, a las cuales se sometió el circuito, se encontró que la relación señal a ruido mejoraba con la compresión. A partir de esto se puede afirmar que un sistema de comunicaciones que utilice la compresión de señales mejora su SNR considerablemente.

En el compresor digital implementado con el COMBO desafortunadamente no se puede seguir paso a paso cada etapa de la señal, los únicos puntos donde se tiene acceso son: la señal de entrada, la salida de datos en forma digital serie y la señal de salida, por lo que no se puede comparar en el COMBO la diferencia de aplicar compresión o de no aplicarla.

Sin embargo, el ruido agregado a la señal que se obtiene del integrado TP3064J (COMBO) es similar al obtenido del circuito analógico diseñado, por lo que podemos decir que nuestro circuito cumple con las características de los compansores comerciales.

El circuito diseñado no es mejor que los comerciales (en circuito integrado), ni se pretendió hacerlo igual o mejor, pero sí es un buen prototipo para ser utilizado con fines didácticos, siendo éste último nuestro objetivo.

Este trabajo y su correspondiente circuito, pueden ser utilizados en el laboratorio de Comunicaciones Digitales, ya que en la materia de teoría de este laboratorio se toca el tema de la compresión de señales y hasta ahora no existe en el laboratorio un circuito que permita experimentar la compresión de señales en todas sus etapas.

El costo del circuito es relativamente alto, ya que se utilizaron componentes digitales cuyo precio se eleva al adquirirse en cantidades menores a 10. Ahora bien, el tiempo empleado en su diseño y construcción fue largo, ya que cada etapa requería entregar resultados lo más precisos que fuera posible de acuerdo a los componentes utilizados. Consideramos que con la experiencia adquirida el tiempo que se emplearía en la construcción de otro (s) circuitos (s) iguales sería aproximadamente el 50% menos que el empleado en el primero.

El desarrollo de este trabajo de tesis, además de demostrar los principios básicos de la *compresión de señales analógicas*, nos permitió ampliar nuestros conocimientos en el manejo de circuitos analógicos y digitales. Por otra parte, este proyecto complementó los conocimientos adquiridos en el transcurso de nuestra formación profesional.

Un aspecto que se nos recalcó al proponer el tema de tesis es que los alumnos participantes deben realizar alguna aportación (no económica); esto es, que su labor no se limite a recopilar información de libros y revistas, sin que la parte medular del trabajo debe ser un diseño o proyecto en el que se apliquen conocimientos adquiridos dentro y fuera de las aulas, de manera que se pueda apreciar al revisar la tesis; si los que la elaboraron y la van a exponer en un examen profesional, pueden ser llamados ingenieros.

Desde nuestro punto de vista creemos que, aunque nuestros diseños no son cosa del otro mundo, representan la aportación que se nos dijo debe de contener toda tesis profesional, toca a nuestros sinodales decidir si esto es cierto.

BIBLIOGRAFIA

1.- BAHER, H.

Analog and digital signal processing
McGraw-Hill
USA
1987

2.- BARTLETT BRUCE, BARTLETT JENNY

Practical Recording Techniques
Sams
USA
1992.

3.- BELLAMY, JOHN

Digital telephony
John Wiles & sons Inc.
USA
1984.

4.- CAUCH, LEAN

Digital and Analog Communications Systems
Mc. Millan
USA
1993.

5.- CHAPMAN, D.A.

Digital Signal Transmission
Cambridge University Press
USA
1992.

- 6.- FINK G. DONALD, CHRISTIANSEN DONALD**
Manual de Ingeniería Electrónica, Volumen III, Circuitos y Funciones
Mc.Graw-Hill
Madrid
1992.
- 7.- FREEMAN, ROGER**
Ingeniería de Sistemas de Comunicaciones
Limusa
México
1989.
- 8.- GREGG, DAVID W.**
Analog and Digital Communications
John Wiley and Sons Inc.
USA
1977.
- 9.- HOLT A., CHARLES**
Circuitos Electrónicos, Digitales y Analógicos.
Revarté S.A.
Barcelona
1981.
- 10.- HUBER M., DAVID**
Modern Recording Techniques
Mc.Graw-Hill
USA
1993.
- 11.- MOTOROLA INC.**
TTL Databook
National Semiconductor Corporation
U.S.A.
1986.

12.- MOTOROLA INC.

CMOS LOGIC Databook

National Semiconductor Corporation

U.S.A.

1988.

13.- NATIONAL SEMICONDUCTORS CORPORATION

Special Purpose

National Semiconductor Corporation

U.S.A.

1985.

14.- NATIONAL SEMICONDUCTORS CORPORATION.

Telecommunications

National Semiconductor Corporation

U.S.A.

1990.

15.- NATIONAL SEMICONDUCTORS DATA ACQUISITION.

Linear devices Databook

National Semiconductor Corporation

U.S.A.

1986.

16.- SCHWARTZ, MISCHA

Transmisión de Información, Modulación y Ruido.

McGraw-Hill

México

1983.

17.- SCHWEBER, WILLIAN

Electronic Communication Systems

Prentice Hall

USA

1991.

18.- SMITH, JACK

Modern Communication Circuits

Mc.Graw-Hill

USA

1986.

19.- STREMLER FERREL G.

Sistemas de comunicaciones

Alfa-Omega

México

1980.

ANEXO I

**Tarjetas del circuito impreso del compresor
analógico**

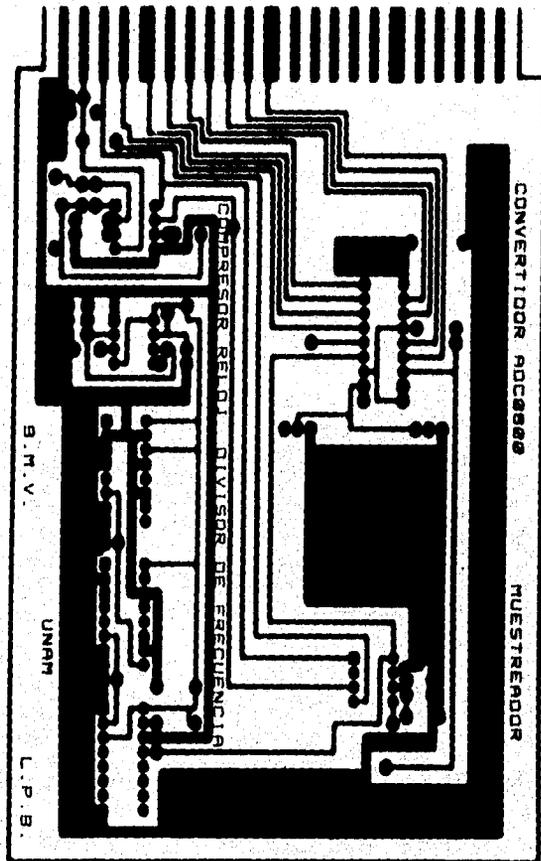


Figura 1.1. Tarjeta del compresor, a) Cara superior

**Tarjeta del circuito impreso del expansor
analógico**

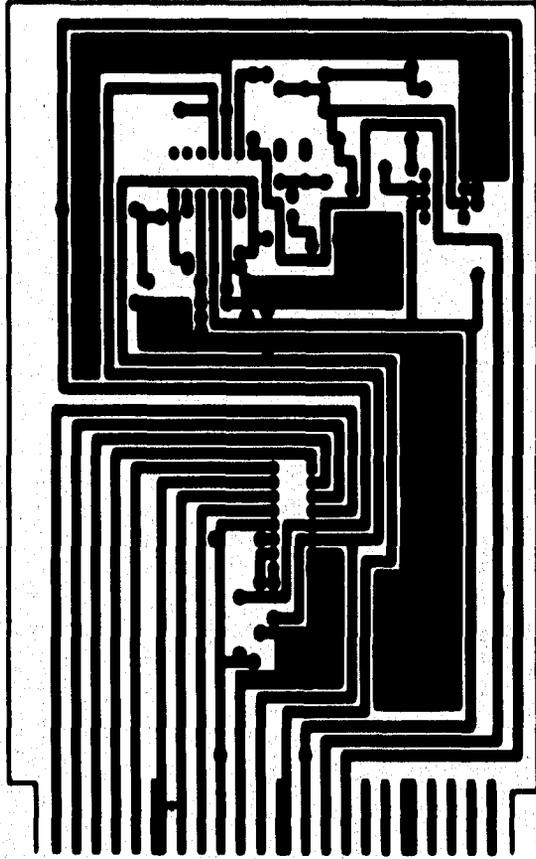


Figura 1.2. Tarjeta del expansor

Tarjeta del circuito impreso del compansor digital

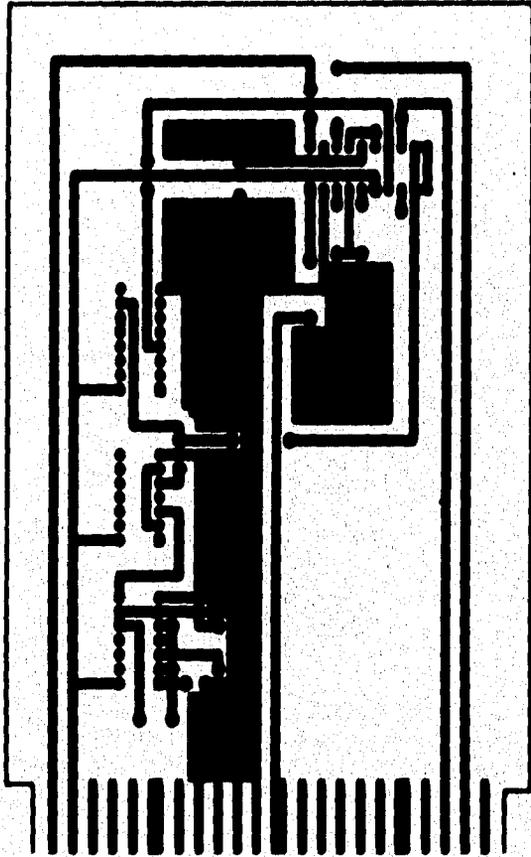


Figura I.3. Tarjeta del compansor digital