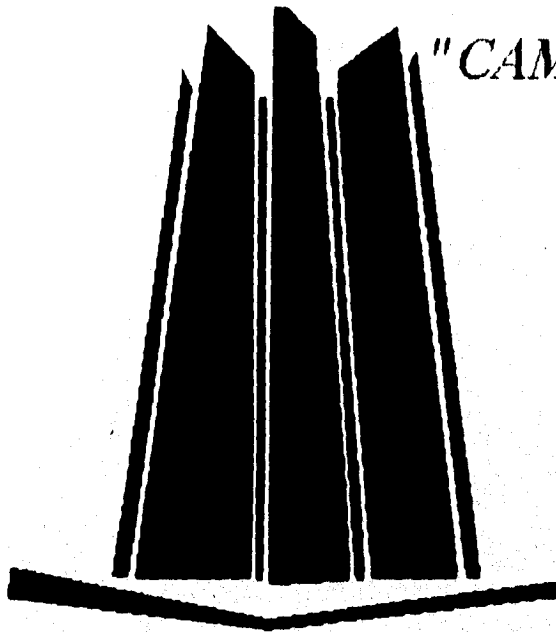




58
24

**UNIVERSIDAD NACIONAL
AUTONOMA DE MEXICO**



"CAMPUS ARAGON"

INGENIERIA MECANICA ELECTRICA
***"DISEÑO DE LAYOUTS PARA LA FABRICACION
DE CIRCUITOS INTEGRADOS"***

PRESENTA: GABRIEL RICARDO SANCHEZ BEJARANO.

DIRECTOR: M. EN I. DAVID GONZALEZ MAXINEZ.

**TESIS CON
FALLA DE ORIGEN**

**TESIS CON
FALLA DE ORIGEN**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

TESIS

COMPLETA

En primera instancia agradezco a la institución que me abrió sus puertas para tener una formación académica. Así como a todos los profesores de la carrera y a todas las personas que directa o indirectamente hicieron posible la realización de este trabajo.

En especial al asesor de esta tesis por su comprensión, apoyo, interés y dedicación para que este trabajo lograra realizarse.

M. en I. David J. González Maxínez.

A todos ellos Gracias.

A MIS PADRES.

Fidel Sánchez.
Gloria Bejarano

Con cariño y agradecimiento por su apoyo.

A MIS ABUELOS.

Emiliana Sánchez. (†)

Ricardo Alvarado Muciño. (†)
Inés Bejarano Díaz.

A MI HERMANA.

María del Pilar Sánchez Bejarano.

Al Ingeniero Manuel Martínez Ortiz y al departamento de servicios escolares, en especial a su departamento de informática por las facilidades otorgadas cuando se inicio este trabajo.

Al Señor Humberto Mejía Vargas y toda su familia por las facilidades y apoyo otorgados para lograr la finalización de mi formación académica.

A TODOS MIS AMIGOS Y COMPAÑEROS DE CARRERA

en especial

José Luis Morales Ponce.
Fermín Escamilla Asiain.
Raimundo Licea castillo.
Héctor Loza Abad.
Marco Antonio Neri Velázquez.
Beatriz Reyes Torres.
Conrado Z. Pérez.

Ricardo.

INDICE

PRÓLOGO x

CAPITULO 1: INTRODUCCIÓN A LA FABRICACIÓN DE LOS CIRCUITOS INTEGRADOS

Introducción 1

1.1 Materiales semiconductores usados en la fabricación de circuitos integrados y sus características 4

1.1.1 Características de los semiconductores 4

1.1.2 Materiales tipo P y N 6

1.2 Fabricación de los circuitos integrados 9

1.2.1 Obtención del silicio 10

1.2.2 Refinamiento del silicio 11

1.2.3 Técnicas aplicadas para la obtención del silicio monocristalino 12

1.2.4 Formación de las obleas 14

1.2.5 Concepto de circuito integrado y proceso general de obtención 15

1.2.6 Preparación de la oblea 16

1.2.7 Crecimiento epitaxial 17

1.2.8 Oxidación 20

1.2.9 Proceso fotolitográfico 21

1.2.10 Difusión de aislamiento 24

1.2.11 Metalización 34

- 1.2.12 Pasivación 36
- 1.2.13 Prueba 37
- 1.2.14 Encapsulado 38

CAPITULO 2: DISEÑO DE CIRCUITOS INTEGRADOS CON TECNOLOGÍA BIPOLAR PARA CIRCUITOS ANALÓGICOS.

Introducción 43

2.1 Transistor bipolar integrado npn y pnp 44

- 2.1.1 Transistores de emisor múltiple 52
- 2.1.2 Transistor Schottky integrado 54
- 2.1.3 Transistor con β alto 56

2.2 Resistencias integradas 56

- 2.2.1 Resistencia integrada de difusión 57
- 2.2.2 Resistencias epitaxiales 61
- 2.2.3 Resistencia pinch 62
- 2.2.4 Resistencia de película delgada 63

2.3 Capacitores integrados 64

- 2.3.1 Capacitor de unión p-n 64
- 2.3.2 Capacitores de película delgada 66
- 2.3.3 Capacitores poly-poly 67

2.4 Diodos integrados 67

- 2.4.1 Diodos de cátodo y ánodo común 69
- 2.4.2 Diodo Schottky integrado 71

2.5 Integración monolítica de una compuerta NAND 72

CAPITULO 3: DISEÑO DE CIRCUITOS INTEGRADOS CON TECNOLOGÍA MOSFET PARA CIRCUITOS ANALÓGICOS.

Introducción 78

3.1 Transistores MOSFET integrados 78

3.1.1 Transistor nMOS 79

3.1.2 Transistor nMOS de agotamiento 85

3.1.3 Transistores pMOS 87

3.1.4 Tecnología CMOS 89

3.1.5 Transistor JFET integrado 108

3.2 Resistencias MOS integradas 109

3.2.1 Resistencias MOS por implantación iónica 112

3.3 Condensadores MOS integrados 113

3.4 Diodos de tecnología MOS 115

CAPITULO 4: REGLAS DE DISEÑO, DE FABRICACIÓN Y CARACTERÍSTICAS DE LAYOUTS.

Introducción 117

4.1 Bases para la fabricación de un CI 118

4.2 Principales características y parámetros de los elementos integrados en la tecnología bipolar 119

4.3 Principales características y parámetros de los transistores unipolares 126

4.4 Principales ventajas de fabricación y comportamiento de las tecnologías unipolar y bipolar 131

4.5 Fabricación de las mascarillas usadas en los procesos 132

4.6 Principales reglas de diseño de un layout 134

CAPITULO 5: DISEÑO DE PROTOTIPOS DE LAYOUTS UTILIZANDO SIMULADORES GRÁFICOS.

Introducción 155

5.1 Principios básicos para el diseño de circuitos integrados con la asistencia de un simulador gráfico 158

5.2 Procedimiento preparatorio para el diseño de layouts 166

5.3 Características generales de los simuladores para el diseño de layouts 168

5.4 Principales simuladores para el diseño de layouts 169

5.5 Simulador gráfico para el diseño de layouts Tedmos 170

5.6 Procedimiento de diseño para un multiplexor que será integrado con tecnología CMOS 185

5.7 Diseño de un prototipo de layout 186

5.7.1 Pasos para el diseño del layout de un multiplexor de 8 entradas 187

Conclusiones 193

Bibliografía a

prólogo.

El presente trabajo de investigación es una introducción al campo de la microelectrónica con el diseño de mascarillas (layouts) y la fabricación de circuitos integrados, pero antes de introducirnos en el contenido es necesario tener un panorama de la microelectrónica en la actualidad y los alcances que podemos tener en este campo por lo que se presenta una breve semblanza del tema en la actualidad.

En el año de 1962 se puso a la venta el primer circuito integrado (CI) lo cual provocó una revolución tecnológica e industrial a partir de entonces se desarrollan rápidamente sistemas y equipos electrónicos con funciones cada vez más complejas que invadieron poco a poco todos los campos del quehacer humano apareciendo nuevas y mejores computadoras, equipos de telecomunicación, médicos, instrumentales, musicales, etc.

Posteriormente a esta revolución la tendencia siguiente fue la de compactar cada vez más los equipos y sistemas desarrollados, para ello fue necesario optimizar al máximo los chips logrando dispositivos cada vez más complejos en un área más reducida con un gran número de funciones.

En la actualidad la introducción de sistemas computacionales en casi todos los ámbitos de la actividad humana demandan el desarrollo y creación de un mayor número de circuitos integrados una prueba de ello es la inversión que anunciaron el 22 de octubre de 1995 en Estados Unidos Intel y Matsushita de 4,000 millones de dolares para fabricar chips y satisfacer la demanda creciente del mercado de la microelectrónica instalando nuevas plantas en países de Medio Oriente, Asia y Estados Unidos que se prevén operar en 1998.

La fabricación de circuitos integrados es compleja debido a que los equipos e instalaciones que se utilizan para los procesos son muy costosos al igual que su mantenimiento por lo que es difícil pensar que en la situación actual por la que atraviesa nuestro país se pueda instalar una planta con inversión nacional y la capacidad de competir con las extranjeras. Sin embargo estamos en posibilidad de diseñar layouts (mascarillas) que son la base de partida para la fabricación de un circuito integrado con lo que podemos adentrarnos en el campo de los microcircuitos desarrollando diseños en un principio básicos y de integración a baja escala pero

que sean prácticos y con capacidad de multiplicación, es decir que se puedan ocupar en distintos dispositivos o sistemas para distribuirlos en empresas nacionales y tratar de reducir costos para el empresario y en consecuencia para el consumidor.

En algunas Universidades del país esto se ha considerado y se están impartiendo materias y cursos de microelectrónica e incluso existe el doctorado en esta área por lo que desde un punto de vista particular encontré la importancia de desarrollar este tema en el presente trabajo abordándolo desde la obtención de la materia prima que en este caso es el silicio, pasando por los principales aspectos del proceso de fabricación, para finalizar con el diseño de layouts de los circuitos integrados (CI).

En el desarrollo del presente trabajo de investigación se proporcionan las bases y fundamentos que son el pilar para la fabricación de circuitos integrados, en especial para el diseño de las mascarillas patrón que son el punto de partida para la fabricación del circuito integrado (chip).

El tema se aborda proporcionando los pasos que se siguen para la fabricación de un circuito integrado detallando cada paso de una forma sencilla para que se pueda comprender y tener un panorama general acerca de la fabricación de un chip, cuando existen distintas técnicas para algún paso del proceso se presentan estas para tener referencia de las mismas. Posteriormente se proporcionan los principales tipos de encapsulados que se emplean para proteger el CI.

Posteriormente se presentan los distintos elementos de fabricación que constituyen a un chip como son transistores, diodos, resistencias y capacitores de las dos tecnologías conocidas en electrónica unipolar (MOSFET) y la bipolar (TBJ), también se proporcionan estructuras monolíticas que se han estandarizado como transistores de emisor múltiple, diodos de cátodo común, de ánodo común, capacitores de distintos tipos, así como subtecnologías con las que se crean dispositivos unipolares como son la nMOS, pMOS, CMOS, BiCMOS, SOICMOS y el JFET.

Después se proporcionan las bases para la fabricación de los circuitos integrados presentando los principales parámetros de algunos de los elementos más representativos de cada una de las tecnologías MOSFET y bipolar. Posteriormente se mencionan las reglas básicas del diseño de layouts (mascarillas) y algunas de las características de los materiales empleados. Una vez sentadas las bases y reglas se presenta el diseño de un layout el cual se realiza con un

simulador gráfico describiendo los pasos básicos a seguir en el diseño de un layout así como el procedimiento para el manejo del simulador. El trabajo se concluye con la creación y presentación de un layout de un circuito multiplexor de 8 canales de entrada y una salida.

En el capítulo 1 en su primera parte presenta una breve historia de como se desarrollo la electrónica a través del tiempo desembocando en la aparición de los circuitos integrados y sus desarrollos posteriores hasta la actualidad. En la segunda parte se presenta el proceso paso a paso para la fabricación de un circuito integrado finalizando con el encapsulado del mismo.

En el capítulo 2 se presentan los elementos eléctricos de diseño que constituyen a los circuitos integrados con tecnología bipolar así como las estructuras básicas de mayor fabricación.

En el capítulo 3 se presentan los elementos eléctricos de diseño que constituyen a los circuitos integrados con tecnología MOSFET así como las estructuras básicas de mayor fabricación.

En el capítulo 4 se ofrecen las principales características y parámetros eléctricos de los materiales que se usan en el proceso de fabricación para ambas tecnologías. Para finalizar el capítulo se proporcionan las reglas de diseño para el diseño de un layout.

Por ultimo en el capítulo 5 se ofrece una breve explicación del simulador gráfico para diseño de layouts denominado "TEDMOS" y se presenta el diseño del layout de un multiplexor de 8 entradas.

Gabriel Ricardo Sánchez Bejarano.

Introducción a la fabricación de los circuitos

integrados

1

INTRODUCCIÓN

Los primeros datos sobre la electrónica datan de 1725 cuando Du Fay demostró que la región que rodea a un cuerpo al rojo vivo conducía electricidad. Posteriormente en 1875 Edison demostró que los electrones se desplazaban desde un filamento caliente a una placa fría.

A principios de este siglo en 1904 el diodo de tubo de vacío fue introducido por J.A. Fleming, después en 1906 Lee Forest introdujo un tercer elemento al dispositivo al que se le denominó rejilla de control, lo que resultó fue el primer amplificador llamado triodo. En los años posteriores a este suceso la producción de tubos electrónicos aumentó de 1 millón en 1922 a 100 millones en 1937.

Los primeros años de la década de los treinta se introdujo el tetrodo de cuatro elementos y el pentodo de cinco elementos. En los años subsecuentes la industria electrónica alcanzó gran importancia logrando grandes avances en técnicas de fabricación y aplicaciones en alta potencia y alta frecuencia con los tubos de vacío.

Los estudios e investigaciones en laboratorios se siguieron desarrollando para la obtención de nuevos dispositivos con más ventajas que los que se tenían hasta ese momento, entre otros estudios destacan los realizados por el investigador americano Julius Edgar Lilienfeld que en 1930 descubre que se puede gobernar la conducción en un cristal aplicándole un campo eléctrico perpendicular, Julius registra varias patentes y se considera como el primer transistor de efecto de campo.

A finales de los años treinta el físico William B. Shockley de los laboratorios Bell se interesó en los dispositivos de estado sólido y particularmente en una teoría que Walter Schottky había propuesto y que consistía en el efecto de rectificación de la corriente alterna observado en la unión de un metal-semiconductor.

Shockley advierte la posibilidad de amplificar una señal a través de una carga espacial o de empobrecimiento que se extendería por el semiconductor debajo del metal. En 1939 realiza ensayos y pruebas con dispositivos de este tipo pero estos resultan infructuosos.

Después de la segunda guerra mundial reinicia sus estudios junto con John Bardeen y Walter Brattain esta vez utilizando germanio (semiconductor), ellos trabajan con potenciales de contacto en superficie y carga espacial en profundidad, con ello el 23 de Diciembre de 1947 crean el transistor de punto de contacto, a partir de entonces la industria electrónica toma un nuevo rumbo debido a las ventajas que el dispositivo presenta entre otras, es más pequeño, ligero, no tiene pérdidas térmicas, mayor resistencia mecánica, más eficiente al consumir menos potencia, no requiere período de calentamiento y además permitía voltajes de operación más bajos.

Un año después en 1948 Shockley construye el primer transistor bipolar de unión, en ese mismo año Shockley en compañía de Gérald L. Pearson dentro de los laboratorios Bell observan la acción de un campo en una unión *PN* de silicio. Después Shockley publica la teoría del transistor de efecto de campo en 1952 y en 1953 G. Dacey e Ian M. Ross construyen el primer elemento con germanio.

Dawon Kahng y John Atalla de los laboratorios Bell construyen una estructura de silicio con un electrodo de control aislado llamado graduador lo cual genera la creación de un canal conductor entre uniones *PN* esto en el año de 1960. Antes de eso en 1959 se patenta el circuito integrado (CI), por Texas y en 1960 Fairchild desarrolla el procedimiento planar es a partir de entonces que empiezan a fabricarse los CI's en primer lugar los bipolares y posteriormente los

MOS. El primer CI MOS es desarrollado en los laboratorios de RCA por Hofstein y Heiman el cual es una doble compuerta de cuatro entradas la cual consistía de ocho pares de transistores de canal *N*. El primer chip se puso a la venta en 1962 por Texas Instruments fue un amplificador operacional con una ganancia de 62 Db. y con una respuesta máxima en frecuencia de 60 KHz.

A partir de la aparición del primer CI y su introducción cada vez mayor en equipos electrónicos provoca que la industria de los CIs "chips" crezca rápidamente desarrollando técnicas cada vez mejores, creando microcircuitos cada vez más pequeños al grado que en la actualidad encontramos dispositivos con alrededor de 68,000 transistores y otros muchos más elementos que forman un poderoso y útil dispositivo llamado microprocesador el cual ocupa aproximadamente 6.35mm por 6.35mm de superficie. Un ejemplo en el avance de la miniaturización y la reducción del área ocupada por un elemento es el caso del transistor bipolar (TBJ) el cual en el período de una década redujo su área de la siguiente manera: En 1973 el área requerida fue de $2040\mu\text{m}^2$ ($51\mu\text{m} \times 40\mu\text{m}$), en 1978 $1169\mu\text{m}^2$ ($43\mu\text{m} \times 20\mu\text{m}$), en 1980 $525\mu\text{m}^2$ ($35\mu\text{m} \times 15\mu\text{m}$), en 1982 $424\mu\text{m}^2$ ($26.5\mu\text{m} \times 16\mu\text{m}$) y en 1983 $222\mu\text{m}^2$ ($18.5\mu\text{m} \times 12\mu\text{m}$). A partir de 1993 el área se aproxima a los $75\mu\text{m}^2$ para el TBJ.

Antes de seguir adelante es preciso mencionar las unidades dimensionales de mayor utilización en el proceso de diseño y fabricación de circuitos integrados. La tabla 1.1 muestra las unidades.

Unidad	Símbolo	Conversión
Angstrom	Å	$1 \times 10^{-10} \text{ m}$
Micra	μ	$1 \times 10^{-6} \text{ m}$
Mil	mil	$2.54 \times 10^{-5} \text{ m}$
Pulgada	Pulg	$2.54 \times 10^{-2} \text{ m}$

Tabla 1.1 Unidades dimensionales empleadas en el diseño y fabricación de CI's.

Los circuitos integrados no son reparados, si estos presentan algún problema en alguno de sus componentes se reemplaza totalmente ya que es más fácil y más económico que intentar repararlo.

Un factor de mucha importancia para el desarrollo de la microelectrónica es la reducción del costo de los circuitos ya que se trata de obtener el mayor número de funciones al menor precio lo cual a redundado en la creación de chips con bastantes funciones en una área cada vez más reducida además de su producción en serie, han provocado una gran expansión en su utilización.

En los próximos años se espera que las dimensiones de los circuitos monolíticos sean menores y con un número mayor de funciones para aplicarse a los sistemas computacionales, de comunicaciones y en general a equipos electrónicos automatizados.

1.1 MATERIALES SEMICONDUCTORES USADOS EN LA FABRICACIÓN DE CIRCUITOS INTEGRADOS Y SUS CARACTERÍSTICAS.

Los circuitos integrados son fabricados con materiales semiconductores germanio y silicio principalmente de estos se utiliza en especial el silicio por las ventajas que ofrece comparado con el germanio; una de las principales es que el silicio es el segundo elemento más abundante en la superficie terrestre con un 27.7% del total de la superficie y aunque nunca se encuentra en estado libre el costo del silicio puro no es muy elevado ya que se encuentra presente en muchas rocas y minerales principalmente en forma de bióxido de silicio (sílice). En el caso del germanio este es escaso en la corteza terrestre y en el mar no se encuentra libre sólo en varios minerales y en cenizas de varios carbones por lo que el costo de su obtención es más elevado.

1.1.1 CARACTERÍSTICAS DE LOS SEMICONDUCTORES.

El termino semiconductor se le da a todo aquel material que puede ser aislante con ciertas características moleculares del material y con otras condiciones tiene un nivel de conductividad, es decir que no es conductor de manera total ni aislante completamente de ahí que se le aplique el termino de semiconductor (semi que significa en medio de dos límites y conductor que significa que el material tiene la capacidad de permitir el flujo eléctrico). En condiciones normales un semiconductor tiene una resistividad intermedia entre un aislante y un conductor, la resistividad es una característica propia de cada material mientras un conductor tiene una baja resistividad un aislador la tiene muy alta, lo cual determina la resistencia del material.

No sólo se requiere de la resistividad para determinar la resistencia también es necesaria la longitud y el área, como se puede ver en la ecuación 1.

$$R = \rho l / A \text{ ----- (1)}$$

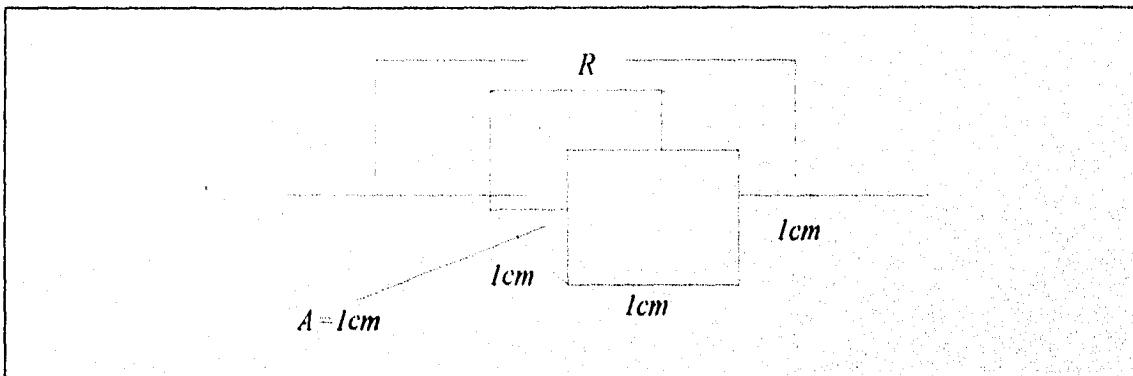


Figura 1.1 Resistividad volumétrica de un material.

Donde:

R = Resistencia (Ω)

ρ = Resistividad ($\Omega \cdot \text{cm}$)

l = Longitud (cm)

A = Área (cm^2)

La medida real del elemento como se muestra en la figura 1.1 es la resistividad volumétrica, aunque para términos eléctricos la resistividad existente entre las puntas de conexión de un material volumétrico se llama resistencia de contacto óhmico.

La resistividad del silicio es $\rho \approx 50 \times 10^3 \Omega \cdot \text{cm}$ y la del germanio $\rho \approx 50 \Omega \cdot \text{cm}$ que comparadas con un conductor como el cobre el cual tiene $\rho \approx 10^{-6} \Omega \cdot \text{cm}$ y el de un aislador como la mica $\rho \approx 10^{12} \Omega \cdot \text{cm}$ estos quedan entre los dos con una etiqueta de semiconductores.

Existen otros semiconductores pero se a tenido especial atención con el Ge y el Si por que se pueden trabajar con un alto nivel de pureza de alrededor de 1 parte en 10 billones (es decir

que solo existe un átomo de impureza en 10 billones de átomos del material), entre más puro sea el material mayor es su capacidad aislante y para cambiar esta característica se recurre al proceso de impurificación el cual le permite conducir. Otra de las particularidades con que cuentan el Ge y el Si es que sus átomos se repiten formando un patrón bien definido de naturaleza periódica formando lo que se conoce como cristal teniendo una estructura tridimensional como la que se muestra en la figura 1.2 que es como la del diamante.

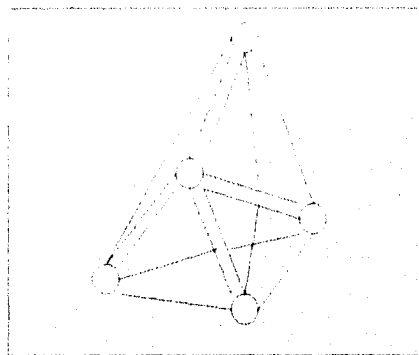


Figura 1.2 Estructura monocristalina

A esta estructura se le llama monocristalina (estructura monocristalina se denomina a cualquier material compuesto únicamente de estructuras cristalinas repetitivas del mismo tipo), en el campo de la microelectrónica es muy importante pues se utilizan este tipo de estructuras que son la base a partir de la cual se pueden fabricar los circuitos integrados, un punto de importancia es que además la adición de impurezas no altera notablemente las características de la estructura monocristalina.

Otra característica importante de los materiales semiconductores como el Ge y el Si es que reducen su resistencia al incrementarse la temperatura lo cual se conoce como coeficiente negativo de temperatura .

1.1.2 MATERIALES TIPO P Y N.

Un semiconductor se puede alterar con ciertos átomos de impureza en un material que esta relativamente puro, las características eléctricas pueden cambiar notablemente, en otras

palabras puede conducir aunque sólo se agregue 1 átomo de impureza en 10 millones de átomos del material semiconductor. Al material impurificado se le conoce como material extrínseco existiendo dos de mucha importancia para la fabricación de dispositivos semiconductores que son el tipo *p* y el tipo *n*.

Para formar los materiales tipo *p* y *n* se agregan átomos de impureza a una base de silicio o germanio, para formar el material tipo *n* se utilizan elementos que cuenten con cinco electrones de valencia (qué es el número de electrones en el último nivel de energía), como antimonio, fósforo y arsénico con estos elementos se presenta el efecto que se observa en la figura 1.3.

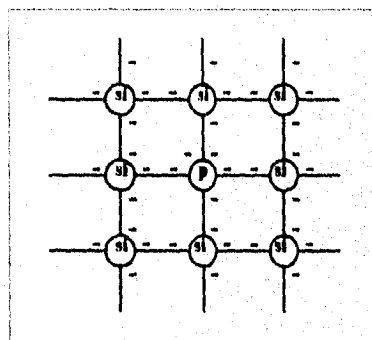


Figura 1.3 Impureza de fósforo en un material tipo *n*.

La adición de estas impurezas produce un efecto eléctrico y es que la conductividad aumenta notablemente lo cual se puede observar claramente con los siguientes datos, el silicio intrínseco (relativamente puro), tiene un electrón libre por cada 10^{12} átomos y el Ge de 1 en 10^9 átomos esto a una temperatura ambiente, cuando se adicionan impurezas en la siguiente proporción de 1 átomo de impureza en 10 millones (10^7) de átomos de material semiconductor la proporción es $10^{12}/10^7 = 10^5$, lo cual indica que tenemos portadores en una proporción de 100,000:1 a la misma temperatura, todos estos portadores (electrones) pasan al nivel de conducción lo cual influye en el material aumentando su conductividad.

El material tipo *p* se obtiene impurificando el semiconductor de Ge o Si con elementos que tienen tres electrones de valencia como son el boro, galio y el indio. La figura 1.4 muestra el resultado obtenido.

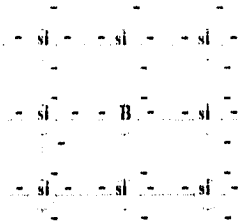


Figura 1.4 Impureza de boro en un material tipo p.

En la figura 1.4 se observa que existe un número insuficiente de electrones a ese espacio se le denomina hueco y esta en posibilidad de aceptar un electrón, si se genera la energía cinética suficiente para romper el enlace se hará una transferencia del hueco esto significa que el electrón que ocupara el hueco deja con insuficiencia de electrones al otro átomo por lo cual el hueco se corre hacia la izquierda y el electrón a la derecha.

En el material tipo n tenemos un exceso de electrones y bajo nivel de huecos por lo que el electrón es el portador mayoritario y el hueco el minoritario, mientras que para el material tipo p es al contrario como se observa en la figura 1.5.

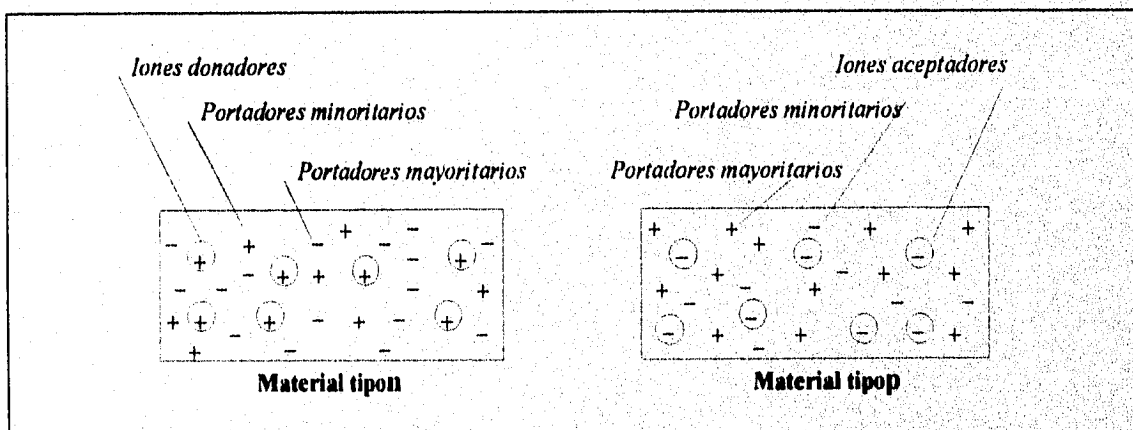


Figura 1.5 Materiales tipo n y p elementos fundamentales de los dispositivos semiconductores.

Los materiales p y n junto con el silicio monocristalino son la base de todos los dispositivos semiconductores así como de los circuitos integrados

1.2 FABRICACIÓN DE LOS CIRCUITOS INTEGRADOS.

La fabricación de los circuitos integrados no ha tenido grandes modificaciones desde su aparición en lo que respecta a los pasos que se siguen para la obtención de un chip, lo que ha variado y en gran forma es la tecnología utilizada para la realización de cada paso en la fabricación de CI's.

Cuando esta industria inicio el fabricante de circuitos integrados diseñaba construía y daba mantenimiento al equipo que se utilizaba en la producción. A partir de la segunda mitad de la década de los setentas han ido apareciendo industrias dedicadas a la fabricación de los equipos que se requieren para producir circuitos integrados innovando e introduciendo en estos los últimos avances tecnológicos con lo que el fabricante de circuitos se avoca más a la tarea del control de calidad, confiabilidad, mejoras en el funcionamiento y una mayor miniaturización de los chips.

Existe una limitante y es que los equipos para la fabricación tienen un alto costo por lo cual para poder hacer rentable una industria de este tipo se requiere tener una producción de 24 horas para que sea costeable y redituable, además es necesario tener un grupo de servicio para el mantenimiento preventivo y correctivo de todo el equipo y no depender del fabricante y asegurar una operación continua.

Las principales variaciones en el proceso de fabricación han sido consecuencia principalmente de la automatización pues cada vez se han estado sistematizando cada uno de los pasos del proceso lo que ha incrementado el nivel de producción, ha reducido la posibilidad de error y también se reduce el manejo y contacto del personal con la oblea lo que disminuye el número de fuentes contaminantes, todo ello gracias a la introducción de sistemas de computo y la robotización que se ha desarrollado para esta industria.

La limpieza es un factor de mucha importancia dentro del proceso de fabricación pues hay que evitar al máximo las posibilidades de contaminación ya que esta acarrea desperfectos que ocasionan pérdidas de material. Para ello se utiliza un estándar de limpieza de

cuartos clase diez; esto significa que el cuarto es diez veces más limpio que el de un hospital común con 10 partículas de $1\mu\text{m}$ por pie cubico lo cual es muy caro ya que para mantener tal limpieza se requiere que sólo entre aire filtrado. Para el personal que labora en estas plantas es indispensable bata, gorra y botas en algunas áreas e incluso en varias zonas no se permite llevar maquillaje, la meta es reducir la introducción de partículas extrañas en el ambiente.

El agua utilizada para lavado y enjuague se filtra hasta $0.2\mu\text{m}$ con un nivel de resistividad de $18\text{M}\Omega$ por lo que esta agua es de gran pureza, también los materiales usados en el proceso de fabricación que tienen contacto con la oblea requieren de una buena pureza, todo ello acarrea grandes inversiones por lo que es necesario controlar todos los procesos y mantener una constante vigilancia en todas las áreas para asegurar la continuidad de la producción con lo cual se pueda reducir el precio de los circuitos y hacer rentable su fabricación.

1.2.1 OBTENCIÓN DEL SILICIO.

El proceso de fabricación comienza con la obtención de la materia prima para este caso silicio semiconductor, el silicio se encuentra presente en numerosas rocas y minerales por lo que el primer paso es la obtención de esas rocas en zonas que previamente tienen un estudio geológico para determinar si son aptas para ser explotadas, cuando es aprobada la zona se obtienen trozos pequeños de roca que son transportados a los trituradores en donde las rocas son transformadas en arena, obteniendo así la materia prima para ser preparada.

La arena primero es sometida a una separación por medio de reacciones químicas y obtener lingotes del material semiconductor, los lingotes de silicio obtenidos son como el mostrado en la figura 1.6.

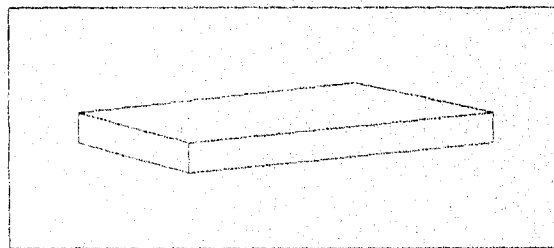


Figura 1.6 Lingote de semiconductor.

1.2.2 REFINAMIENTO DEL SILICIO.

El proceso siguiente es la refinación del semiconductor para obtener los lingotes policristalinos con la pureza deseada. El aparato para refinamiento de los lingotes es un recipiente en forma de bote o charola hecho de grafito o cuarzo para minimizar los contaminantes, tiene un contenedor de cuarzo y unas bobinas de inducción de radio frecuencia que rodean al contenedor, las bobinas o el contenedor tienen que ser móviles como se muestra en la figura 1.7.

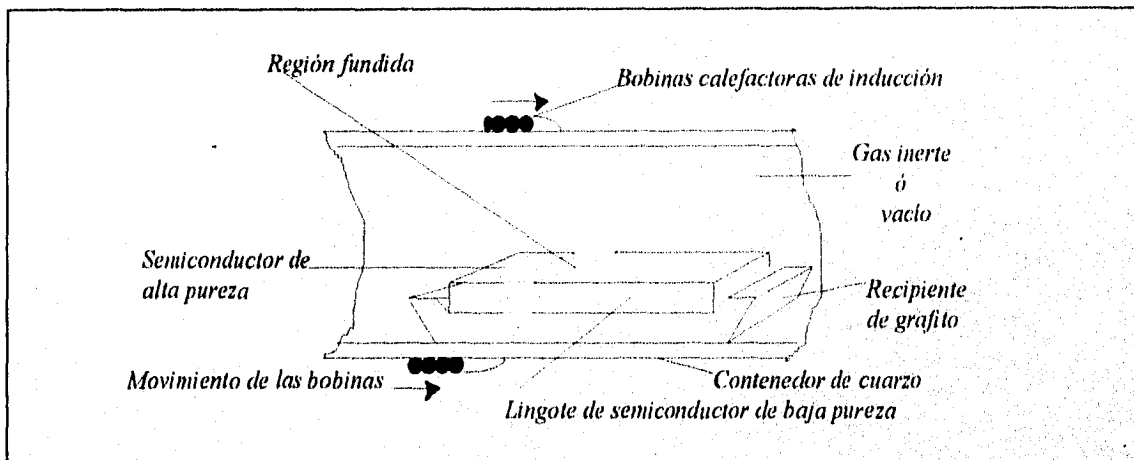


Figura 1.7 Aparato utilizado para la obtención de los lingotes policristalinos de semiconductor.

El proceso de refinamiento es el siguiente se llena el contenedor de un gas inerte o se aplica un vacío para reducir la posibilidad de contaminación, se coloca un lingote de silicio semiconductor en el recipiente después se aplica una señal de radio frecuencia por las bobinas que inducirán un flujo de corriente conocida como corriente de Eddy en el lingote, aumentando la magnitud de la corriente se produce el suficiente calor para fundir una zona del material semiconductor, las impurezas por su parte se vuelven más líquidas, entonces se empiezan a mover lentamente las bobinas para que otra zona vecina del lingote se funda, las impurezas por ser más líquidas seguirán o pasaran a la nueva zona fundida por lo que al llegar las bobinas al otro extremo tendremos las impurezas concentradas en esa zona la cual es cortada con lo que nos queda un lingote de semiconductor con la pureza deseada, el proceso debe repetirse el número de veces que sea necesario según la pureza requerida, el resultado es un lingote policristalino de alta pureza como el mostrado en la figura 1.8.

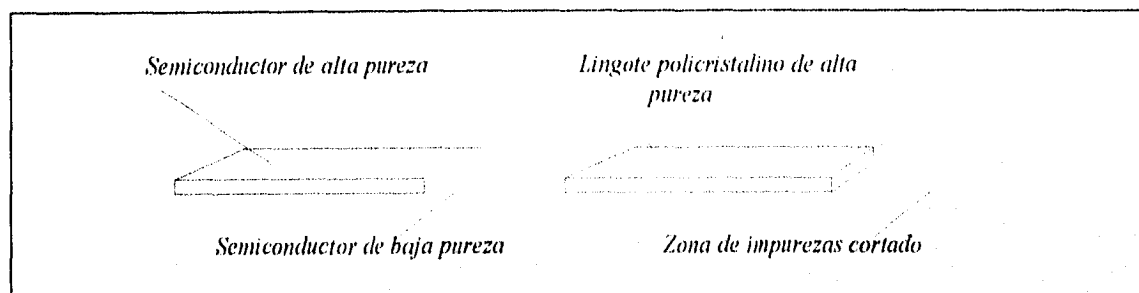


Figura 1.8 Lingote policristalino de alta pureza.

Un policristal tiene todos sus átomos dispuestos en forma desordenada y lo que se requiere para la fabricación de un circuito integrado es un cristal que tenga sus átomos arreglados en una estructura de red geométrica uniforme y simétrica a la cual se le llama monocristal.

1.2.3 TECNICAS APLICADAS PARA LA OBTENCIÓN DEL SILICIO MONOCRISTALINO.

El material monocristalino de silicio o germanio se obtiene con la técnica de Czochralski o la de zona flotante, siendo este proceso la antesala a la fabricación directa del chip. La técnica de Czochralski consiste en que por medio de unas bobinas se aplica una radio frecuencia que funde el material semiconductor policristalino, después se sumerge un monocristal patrón o base al que se le llama semilla o embrión el cual es retirado gradualmente girándolo por medio de un eje que lo sostiene, conforme es retirada la semilla una red monocristalina crece sobre la semilla obteniéndose así los lingotes de semiconductor monocristalino.

Los lingotes por lo general tienen entre 15 y 90 cm de largo y de 2.5 a 12.5 cm de diámetro aunque esto no es una regla y se pueden encontrar con otras dimensiones, el lingote obtenido se ve en la figura 1.9a, en la figura 1.9b se muestra el esquema del instrumento utilizado en esta técnica.

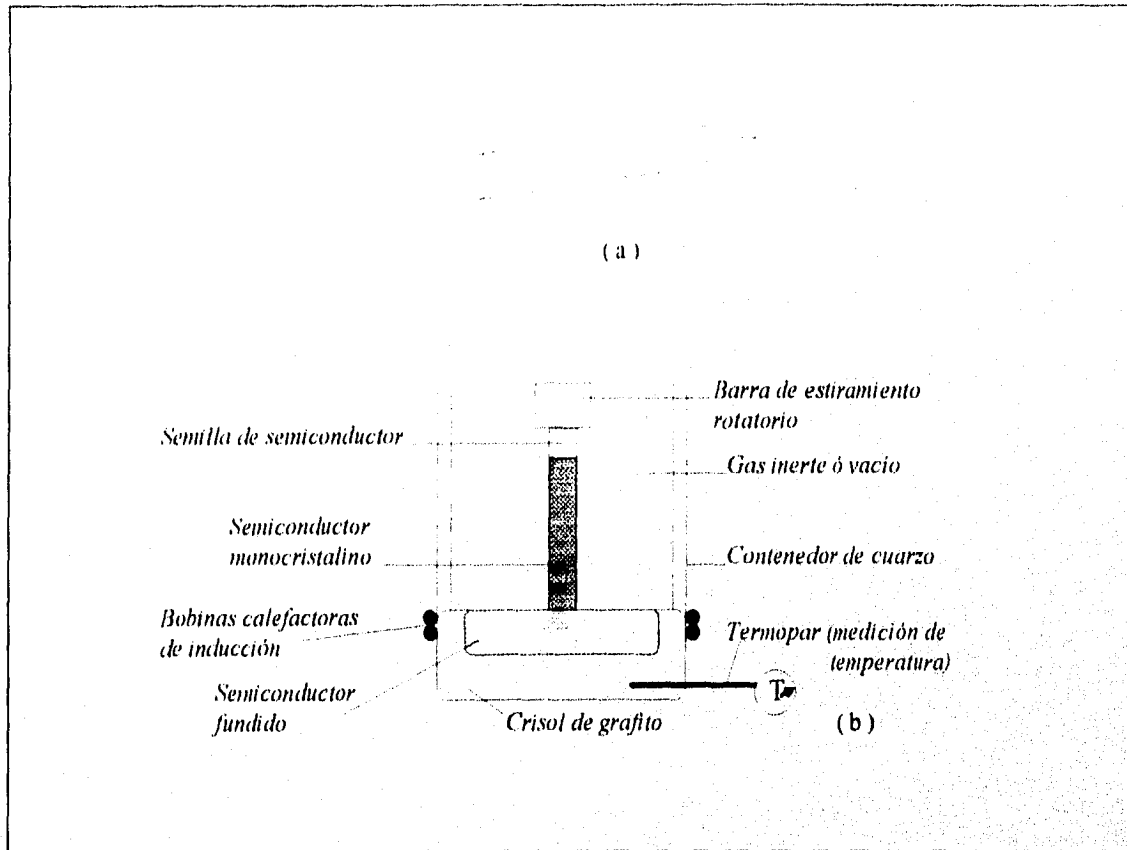


Figura 1.9 (a) Lingote monocristalino de semiconductor. (b) instrumento utilizado en la técnica de Czochralski.

La técnica de zona flotante es la más utilizada porque tiene ciertas ventajas sobre la anterior como es la de no requerir de dos procesos como la de Czochralski que son la de refinamiento y la formación del monocristal, en esta técnica en un sólo proceso se realizan los dos pasos además no se utiliza el recipiente de grafito o cuarzo que contenga al silicio semiconductor con lo que se reducen aun más las posibilidades de contaminación. Esta técnica consiste que dentro de un contenedor dos soportes sostienen la barra de silicio o germanio en posición vertical, el contenedor cuenta con bobinas de radiofrecuencia móviles, se coloca una semilla monocristalina con la pureza deseada en la parte inferior junto a la barra como se observa en la figura 1.10, después por medio de radio frecuencia se calientan semilla y barra hasta que se funden, a continuación se desplazan las bobinas hacia arriba y la barra se gira lentamente y como ya se había mencionado las impurezas siguen la zona fundida del lingote y la zona anterior a la que actualmente esta fundida obtiene un nivel mejorado de impurezas y al mismo tiempo la red monocristalina.

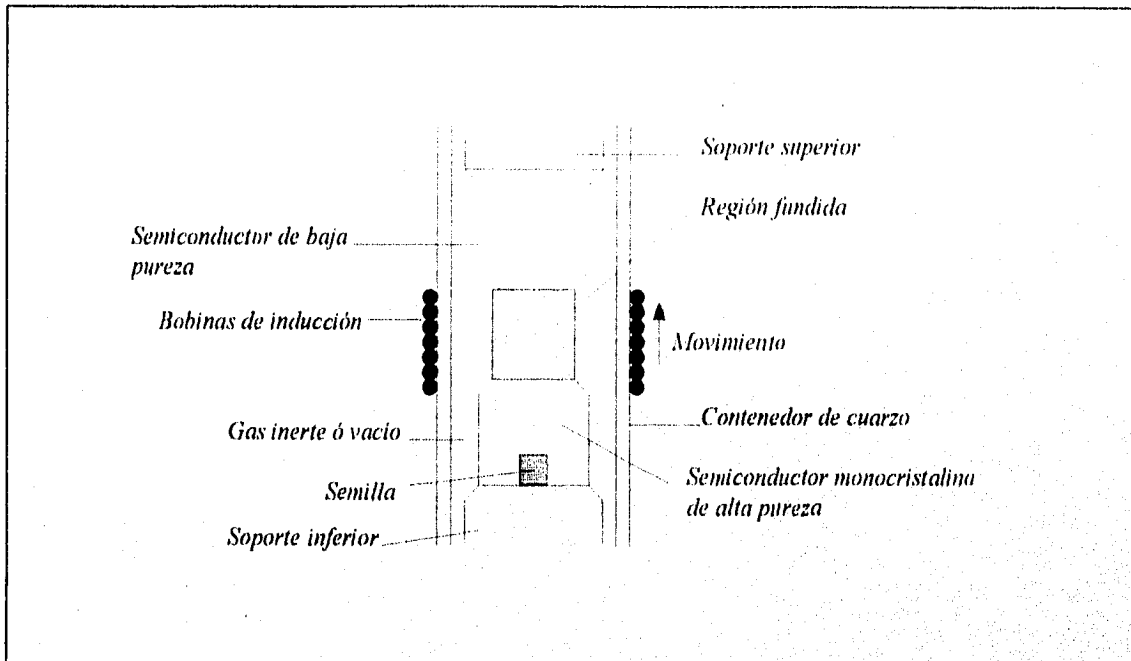


Figura 1.10 Aparato utilizado en la técnica de zona flotante para la obtención del lingote monocristalino.

Por medio de un control se verifica que la fuerza de tensión no sea demasiada y pudiera romperse el lingote en la zona de fundición.

1.2.4 FORMACIÓN DE LAS OBLEAS.

Una vez obtenida la estructura monocristalina se corta en obleas muy delgadas de aproximadamente 0.2 a 0.3 mm que le permiten tener una buena resistencia mecánica para procesarlas. El cortado puede realizarse usando un arreglo como el que se muestra en la figura 1.11a el cual consta de un alambre de tungsteno con un diámetro de 0.025mm con superficies de abrasivo para soportar bloques con el espacio y peso requerido, este instrumento es retrocedido y adelantado como si fuera un serrucho, existen otras técnicas e instrumentos para la obtención de las obleas siendo la anterior la básica. En la figura 1.11b se muestra la figura de la oblea obtenida.

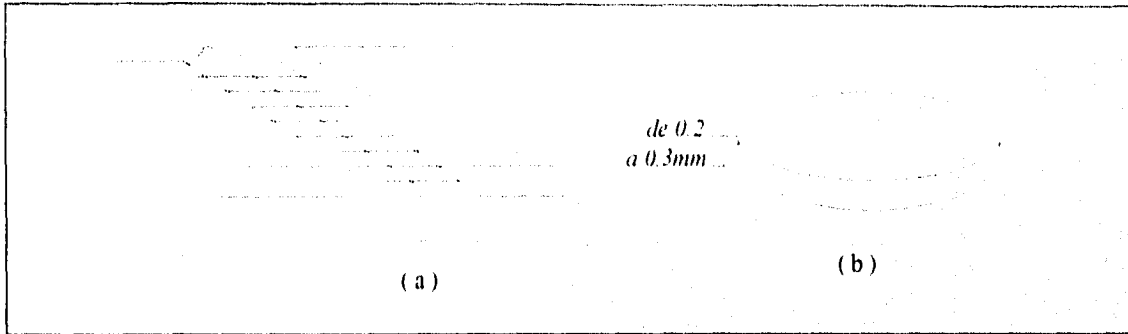


Figura 1.11 (a) Cortador para la obtención de las obleas. (b) Oblea.

1.2.5 CONCEPTO DE CIRCUITO INTEGRADO Y PROCESO GENERAL DE OBTENCIÓN.

Un circuito integrado consiste de un monocristal pequeño de silicio con dimensiones típicas de 0.25mm por lado el cual contiene elementos activos y pasivos interconectados.

El proceso de fabricación empieza con la preparación de la oblea, crecimiento epitaxial, crecimiento del óxido, difusión de impurezas, fotolitografiado, metalización y termina con el encapsulado, la mayoría de los CI's se fabrican en serie para ofrecerse al más bajo costo posible.

El termino monolítico procede del griego es una palabra compuesta que significa una piedra en su traducción literal, derivada del monos que significa uno y lithos que quiere decir piedra, para términos de los circuitos integrados se le da el significado de una estructura solida. Por lo tanto un circuito integrado monolítico es un circuito construido en una estructura solida cristalina de silicio.

La integración consiste en la interconexión de los elementos de un circuito como son transistores, diodos, capacitores y resistencias en una estructura solida de cristal semiconductor para su aplicación. La inductancia no se menciona porque hasta la fecha no se han logrado inductancias integradas eficientes.

Existen varias técnicas para procesar y fabricar circuitos integrados pero la más utilizada es la tecnología planar por ser la de mayores ventajas hasta la actualidad de ahí la importancia de

describir sus pasos, en la figura 1.12 se presenta a grandes rasgos los pasos del proceso para la fabricación de CI's.

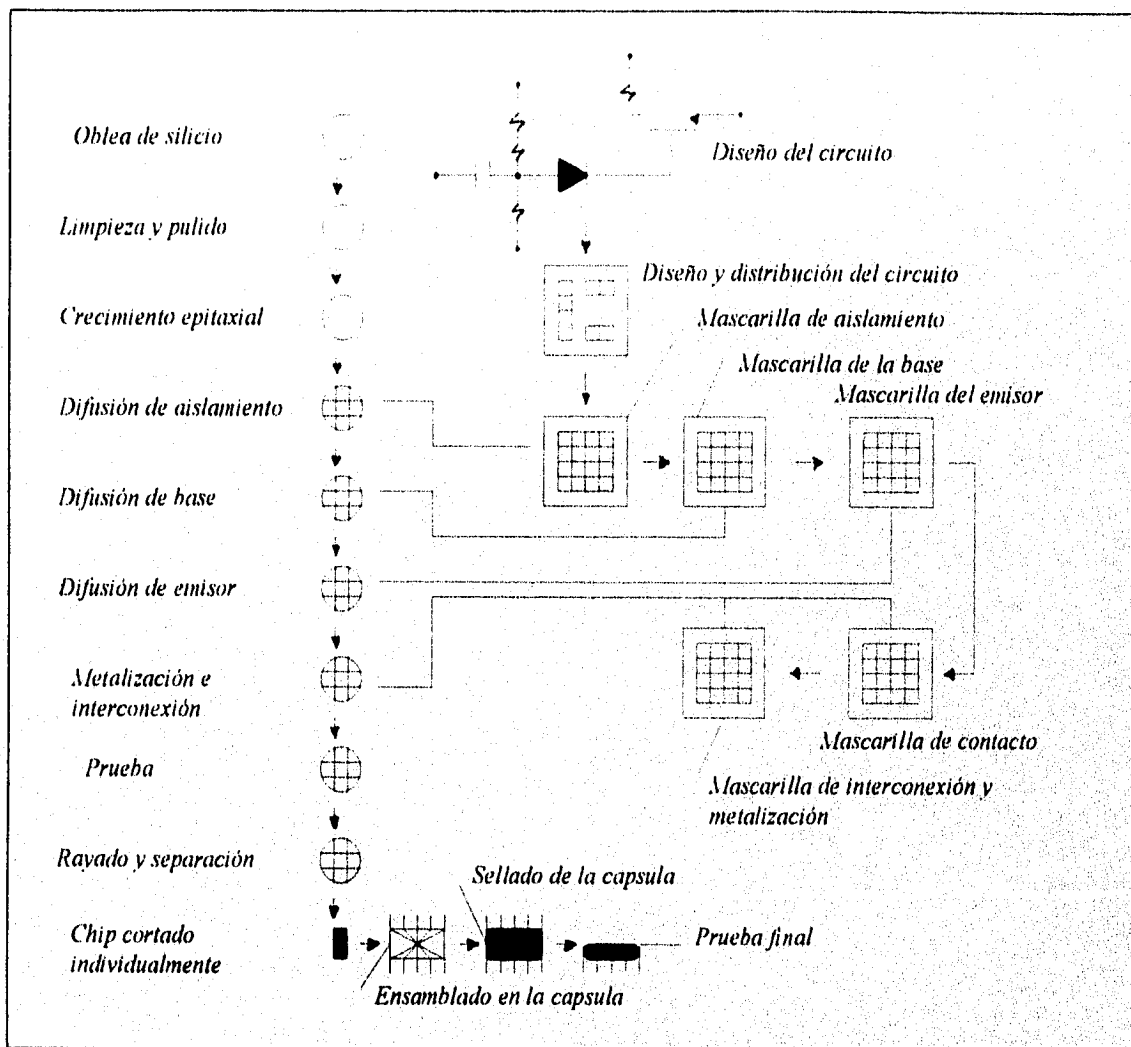


Figura 1.12 Proceso general de la tecnología planar para la fabricación de CI's.

1.2.6 PREPARACIÓN DE LA OBLEA.

En párrafos anteriores se menciona que se obtienen obleas con un espesor de 0.2 a 0.3mm, una vez obtenida la oblea esta se esmerila y pule mediante abrasivos y químicamente de

lo cual resulta la oblea lista para ser procesada, la oblea es de silicio del tipo p conocida como oblea de sustrato tipo p la cual tiene una resistencia típica de $10 \Omega \cdot \text{cm}$ correspondientes a $N_A = 1.4 \times 10^{15}$ átomos/ cm^3 en la figura 1.13 se muestra la oblea tipo p que se utiliza de base o soporte.

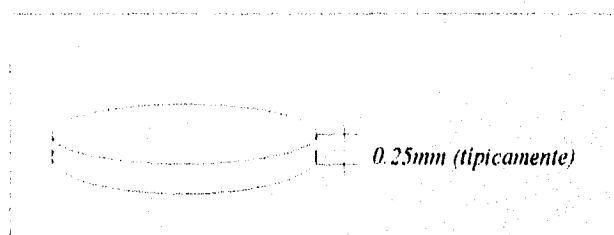


Figura 1.13 Oblea de silicio tipo p

1.2.7 CRECIMIENTO EPITAXIAL.

Sobre las obleas como la mostrada en la figura 1.13 se crece la región epitaxial que es del tipo n y de aproximadamente 5 a $25 \mu\text{m}$ de espesor, esta región se crece en forma tal que el resultado sea una estructura monocristalina con la misma orientación que el sustrato tipo p con la diferencia que tiene un nivel distinto de conductividad, es sobre esta capa epitaxial donde se difunden los elementos activos y pasivos del dispositivo a fabricarse.

La resistividad de la capa epitaxial tipo n es independiente de la del sustrato tipo p y generalmente se eligen valores de 0.1 a $0.5 \Omega \cdot \text{cm}$, la capa epitaxial también puede ser del tipo p esto es de acuerdo a las necesidades que se presenten pero típicamente se utiliza el material tipo n .

En el proceso epitaxial se crece una capa de silicio monocristalino sobre la oblea para ello se deposita silicio en fase gaseosa formándose así la capa epitaxial.

La capa epitaxial se forma como se observa en la figura 1.14, al ir creciendo la capa se introducen átomos de impurezas en este caso Boro que quedan atrapadas en la capa que se está formando, esta adición de impurezas proporciona a esta capa una mayor conductividad que la de la base.

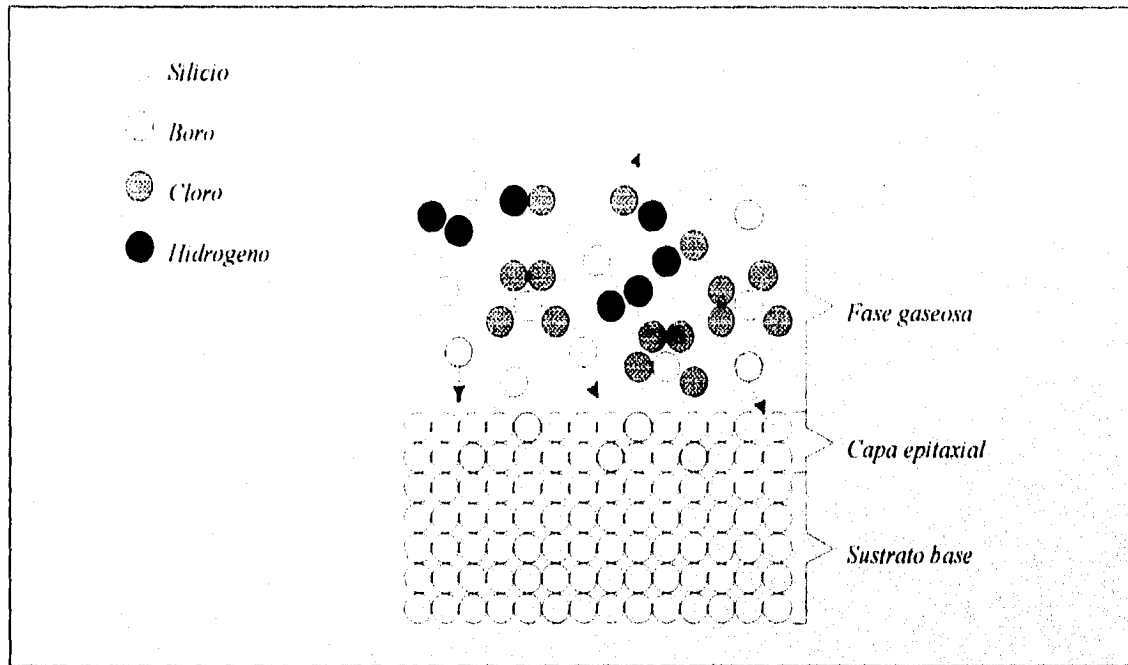
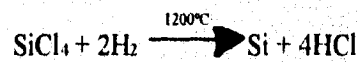


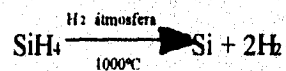
Figura 1.14 Formación de la capa epitaxial.

La reacción química mediante la cual se logra el crecimiento epitaxial es la reducción mediante el hidrógeno del tetracloruro de silicio (SiCl_4) o del (SiH_4) este último tiene la ventaja de requerir una menor temperatura para que se produzca la reacción química, las reacciones son las siguientes.

Para el tetracloruro de silicio:



Y para el SiH_4



El proceso epitaxial es el siguiente, se colocan las obleas sobre un aparato el cual contiene un tubo largo de cuarzo rodeado por bobinas de inducción de radio frecuencia, las obleas se colocan en una estructura rectangular llamada bote que es de grafito, se introduce en una cámara de reacción y por medio de las bobinas de inducción se calienta a una temperatura de entre 1100 y 1200°C, después se hace circular nitrógeno por la cámara para eliminar el hidrógeno residual, posteriormente se introduce clorhídrico gaseoso (HCL) para atacar las superficies de las obleas y eliminar cualquier óxido que se tuviera presente aun, a continuación se deposita la capa epitaxial por medio de tetracloruro de silicio o el SiH_4 introducido en forma gaseosa, dentro de esta corriente gaseosa se introducen impurezas como la fosfamina (PH_3) para el material tipo *n* o el diaborano (B_2H_6) para el material tipo *p* con lo cual se forma o se crece la capa epitaxial en la figura 1.15a se muestra el sistema utilizado en el crecimiento epitaxial y en la figura 1.15b la oblea con la capa epitaxial ya crecida.

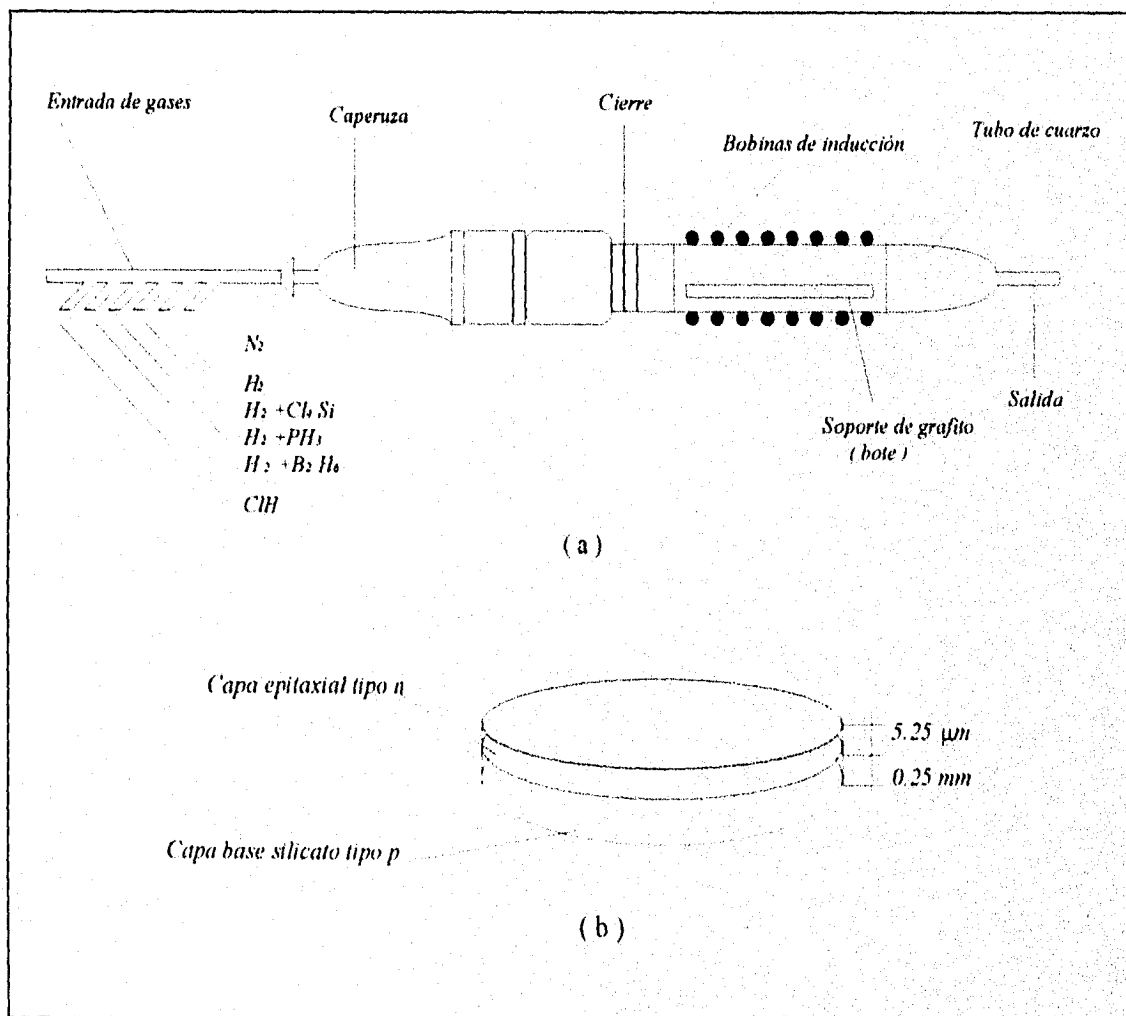


Figura 1.15 (a) Aparato utilizado para el crecimiento epitaxial. (b) Oblea después del crecimiento epitaxial

La entrada de la cámara cuenta con una consola de control que permite introducir los gases en la forma y cantidades adecuadas dependiendo del crecimiento epitaxial que se requiera formando casi de manera abrupta la unión *p-n*.

1.2.8 OXIDACIÓN.

La oblea resultante del crecimiento epitaxial es limpiada químicamente y se recubre con una capa de óxido crecido térmicamente. Esta cubierta evita que la capa epitaxial se contamine además que enmascara zonas específicas permitiendo que atacada químicamente se habrán espacios llamados ventanas por donde penetran las impurezas tipo *p* ó *n*, el oxidante utilizado es el dióxido de silicio (SiO_2).

En el proceso de oxidación las obleas son colocadas en un soporte de cuarzo que se introduce lentamente al horno el cual es muy similar al que se utiliza para el crecimiento epitaxial sólo que en este caso se usa un calefactor de resistencia el cual se enrolla al rededor del tubo substituyendo las bobinas de inducción de radio frecuencia, el calefactor eleva la temperatura a unos 1100°C aproximadamente. El oxígeno se introduce en forma seca o húmeda como vapor de agua obteniéndose la reacción característica siguiente:



Por lo regular se introducen 20 obleas en el horno. La capa de dióxido de silicio es generalmente del orden de 0.02 a $2 \mu\text{m}$ de espesor dependiendo las necesidades que se tengan para el circuito que se este fabricando, el resultado en la oblea después de éste proceso se observa en la figura 1.16.

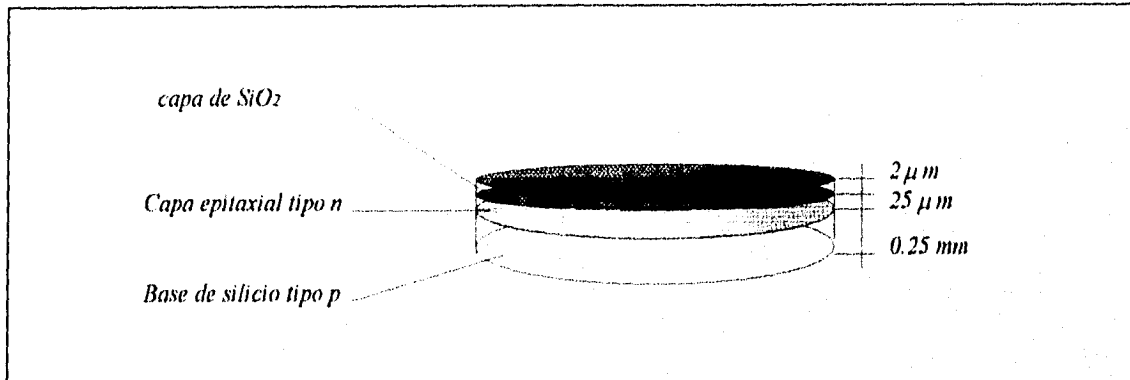


Figura 1.16 Oblea al terminar el proceso de oxidación.

Los avances en esta parte del proceso consisten en la elevación de las atmósferas para reducir la temperatura con lo que se obtiene óxido de mejor calidad, el aumento de latm (atmósfera) reduce la temperatura en 30°C, el tiempo necesario para la oxidación oscila entre unas cuantas horas y hasta 24 horas dependiendo del espesor que se requiera la capa.

1.2.9 PROCESO FOTOLITOGRAFICO.

Una vez cubierta la oblea con la capa de dióxido de silicio se realiza el ataque selectivo de esta capa por medio de un proceso fotolitográfico. Primero se cubre la oblea con una emulsión fotosensible llamada fotoresist la aplicación de este material es controlada por medio de un microcomputador, primero se lava a alta presión la oblea posteriormente sigue una deshidratación, en seguida se le aplica la capa de resist y se le da un horneado suave para después pasar a un horneado fuerte, estos procesos se realizan en un mismo modulo con el cual cuentan los fabricantes de circuitos integrados.

A continuación se utilizan las mascarillas que ya se habían hecho paralelamente en un proceso anterior, las mascarillas se obtienen dibujandolas en grandes dimensiones en blanco y negro, por último se reducen fotográficamente a las dimensiones que se necesiten, con estas mascarillas se eliminan áreas determinadas de la capa de SiO₂ con lo que quedan expuestas algunas zonas de la capa epitaxial para el proceso de difusión de aislamiento.

La mascarilla es una reproducción fotográfica pero no esta en la película clásica ya que resultaría muy frágil por ello se encuentra sobre un soporte rígido de vidrio con zonas opacas de cromo. La máscara es colocada directamente sobre la oblea y se expone a luz ultravioleta polimerizando las regiones transparentes como se observa en las figuras 1.17a y 1.17b.

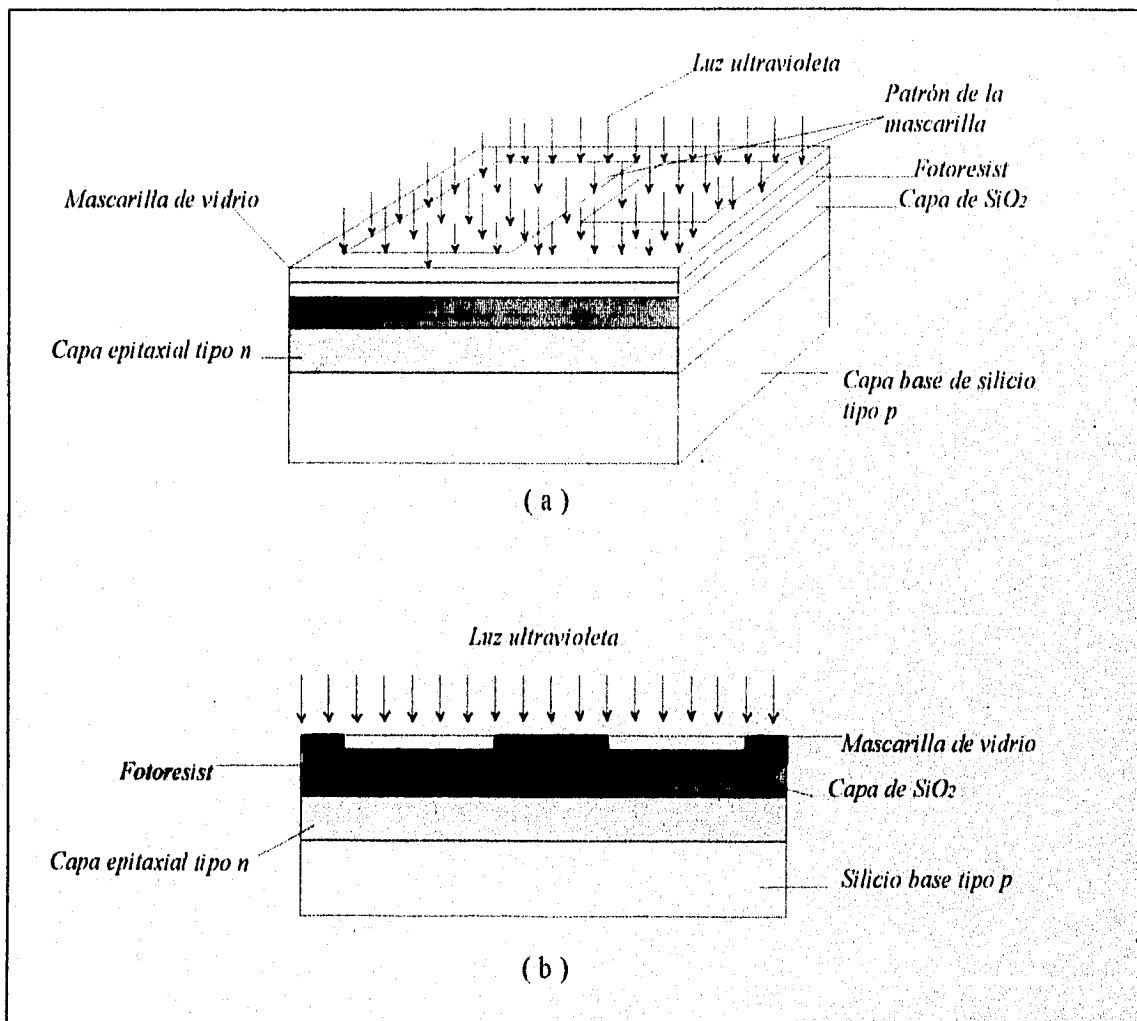


Figura 1.17 (a) Vista superior y en perspectiva de la polimerización. (b) vista transversal.

Los tiempos de exposición son típicamente de entre 3 y 10 segundos, posteriormente se retira la máscara y se revela la oblea por medios químicos como el tricloroetileno que disuelve las zonas no expuestas o no polimerizadas separándolas de la oblea, el resultado se observa en la figura 1.18.

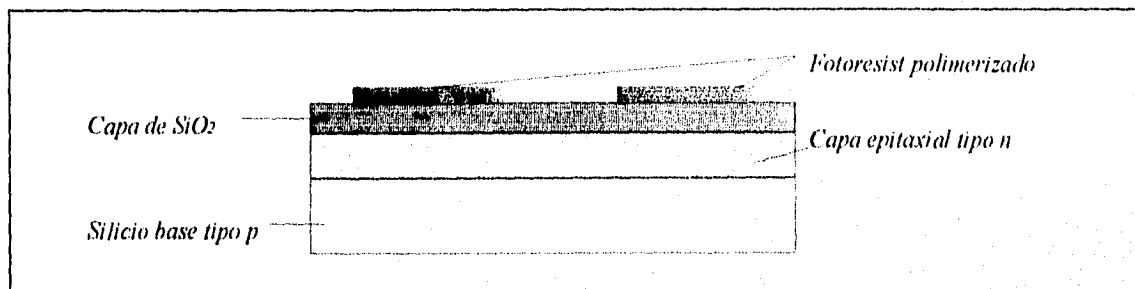


Figura 1.18 Revelado de la oblea.

Después se calienta la oblea a unos 200°C durante unos 30 minutos esto con el fin de eliminar algunos disolventes que se pudieran tener presentes además que endurece el material fotosensible de las partes expuestas o polimerizadas para asegurar su fijación cuando se elimine el óxido.

Posteriormente la oblea se introduce en un recipiente que contiene una solución de fluoruro de amonio, agua y ácido fluorhídrico. Con ello se elimina el SiO_2 en las partes que no están cubiertas con fotoresist es decir las zonas que no fueron polimerizadas, estas zonas son las que en la mascarilla aparecen oscuras, la solución utilizada no ataca al SiO_2 que esta cubierto por fotoresist resultando lo que se observa en la figura 1.19.

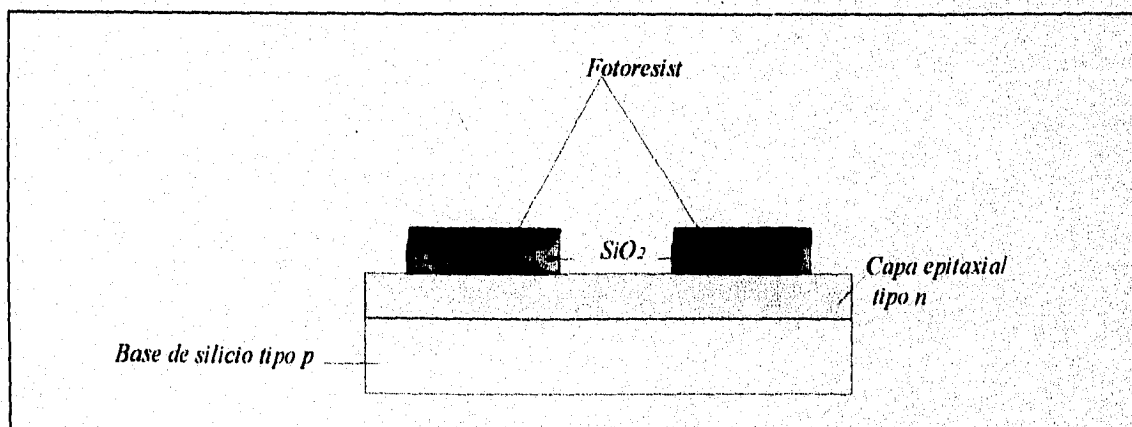


Figura 1.19 Eliminación del dióxido de silicio no deseado.

La eliminación de óxido se realiza a la temperatura ambiente y su duración es de entre 2 y 10 minutos dependiendo del grosor de la capa a retirar, por último se retira el material fotosensible (fotore Resist) remanente por medio de una solución química, el resultado se observa en las figuras 1.20a y 1.20b.

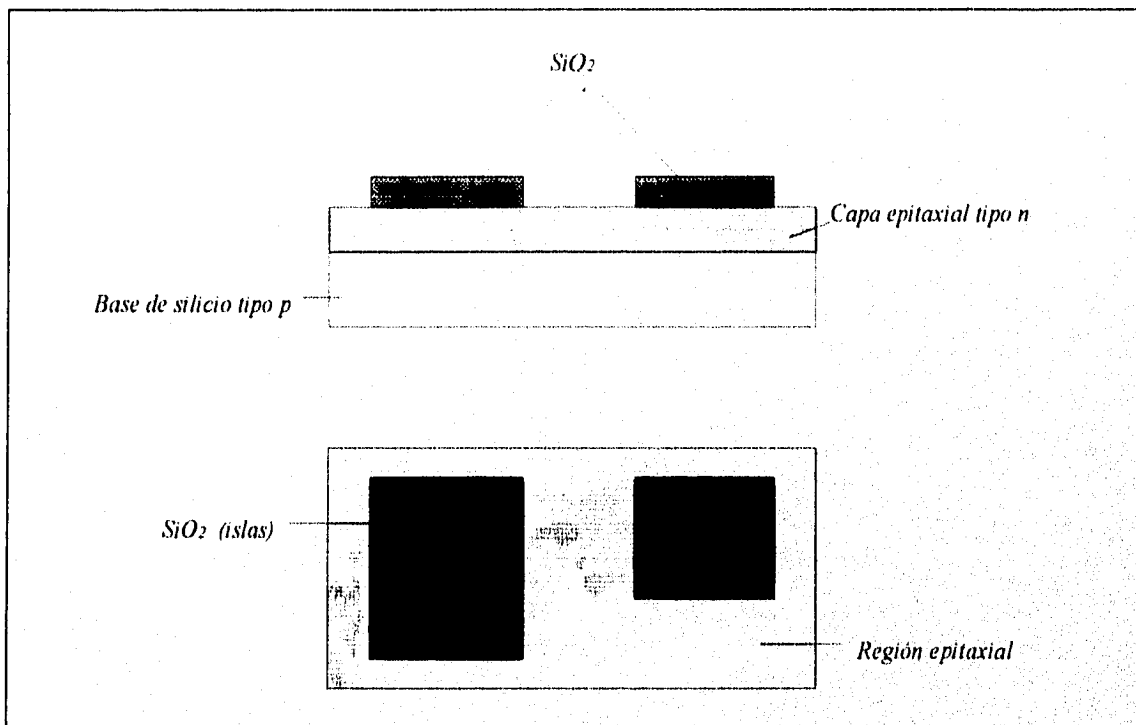


Figura 1.20 (a) Vista transversal de la oblea al finalizar la fotolitografía. (b) Vista superior.

Existe otro método para abrir las ventanas es el de impresión por inyección, este consiste en que por medios ópticos se exponen las diferentes regiones que se deseen o requieran, la principal ventaja de este método es que la mascarilla no tiene contacto directo con la oblea con lo que se evita la introducción de contaminantes a la oblea.

1.2.10 DIFUSIÓN DE AISLAMIENTO.

La difusión es un proceso básico de la tecnología planar el cual consiste en agregar impurezas en la región epitaxial que queda expuesta al finalizar el proceso de fotolitografía para

aumentar su resistividad y crear las islas en las zonas que están cubiertas por el SiO_2 , es en esas islas donde se forman los elementos que constituirán el circuito integrado, la figura 1.21 muestra el resultado después de la difusión de aislamiento. La difusión es un proceso que depende en gran medida de la temperatura la cual debe ser cercana a los 1000°C y del tiempo que aproximadamente es de entre 1 y 2 horas para finalizar el proceso.

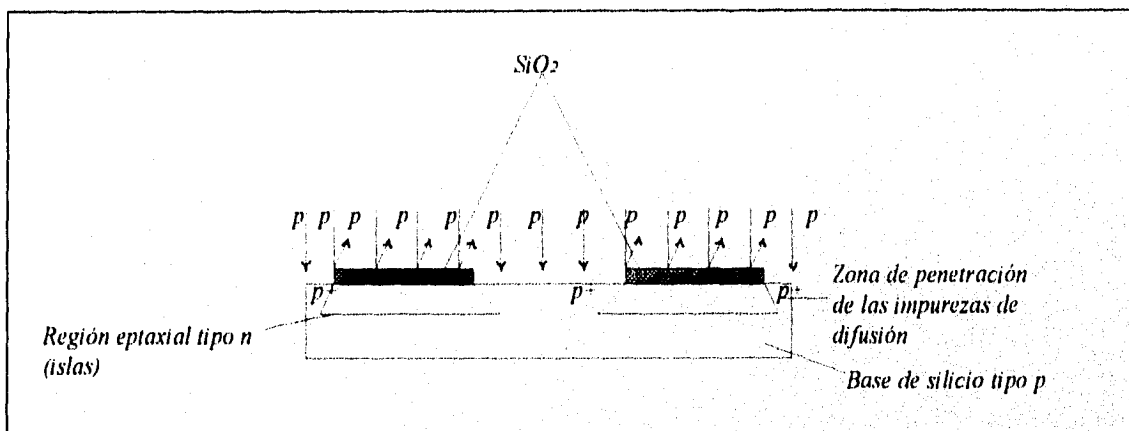


Figura 1.21 Difusión de aislamiento.

Las impurezas son transportadas por un gas inerte como el nitrógeno para ser depositadas sobre la oblea, se realizan varias difusiones y la primera es la de aislamiento la cual es del tipo p con lo cual se crea las islas de regiones tipo n en donde se construirán los elementos activos y pasivos del chip, las regiones impurificadas son las que en la figura 1.21 se marcan con p^+ estas regiones producen un buen aislamiento entre los componentes que se formaran en las islas tipo n .

El aparato utilizado en la difusión es un recipiente en forma de bote de cuarzo que contiene una charola que también es de cuarzo donde se colocan las obleas, el bote está enrollado por un alambre de alta resistencia por medio del cual se calienta el recipiente, la temperatura va desde 1000 hasta 1300°C dependiendo de la difusión que se quiera realizar con un margen de tolerancia de $\pm 5^\circ\text{C}$ ya que se requiere una temperatura muy precisa para el proceso, se introduce la fuente de impureza que puede ser líquido, gas o sólido la cual es transportada por un gas inerte como el nitrógeno o una mezcla de este y oxígeno hacia las obleas, uno de los compuestos que mayormente es utilizado es el Cl_3OP el cual contiene fósforo, en la figura 1.22 se muestra un horno típico de difusión.

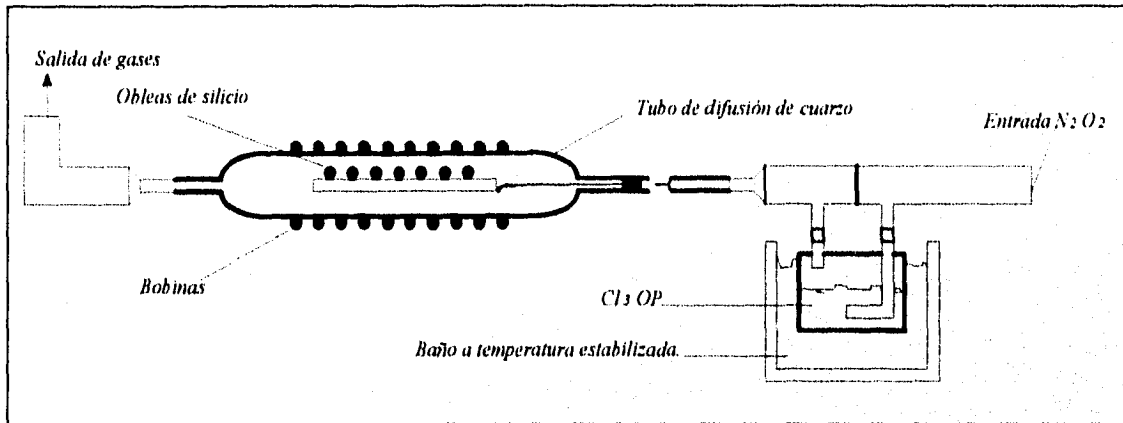


Figura 1.22 Horno típico de difusión.

La difusión de impurezas es el proceso de mayor importancia en la fabricación de circuitos integrados. Para ello se utiliza la ley de difusión también conocida como segunda ley de Fick que se presenta a continuación.

$$\frac{\partial N}{\partial t} = D \frac{\partial^2 N}{\partial X^2} \text{-----} (A)$$

Donde:

N = es la concentración de partículas. A/unidad de volumen.

D = es la constante de difusión. u. de superficie/t.

X = es la distancia. (m)

Si la difusión dura bastante tiempo entonces tendremos una concentración de impurezas uniforme con un No. de átomos de fósforo u otro tipo de impurezas por unidad de volumen, partiendo de esto y suponiendo que la concentración de átomos de impurezas en la superficie es

No para cualquier tiempo y que $N(x)=0$ para $t=0$ y $X>0$ se puede resolver la ecuación (A) resultando.

$$N(x,t) = N_0 \left(1 - \operatorname{erf} \frac{x}{2\sqrt{Dt}} \right) = N_0 \operatorname{erfc} \frac{x}{2\sqrt{Dt}} \text{-----(B)}$$

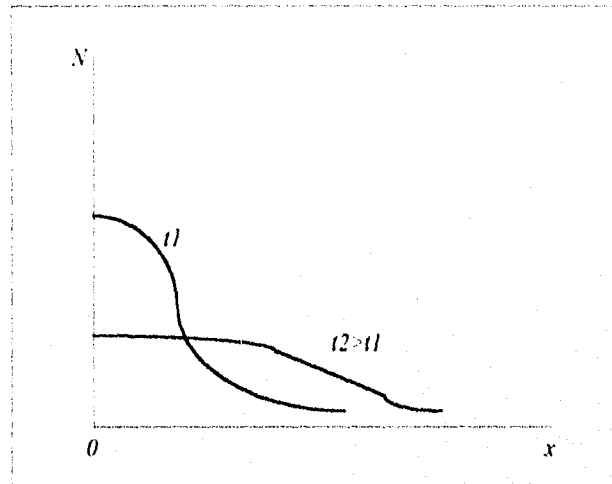
De donde la función complementaria de error es:

$$\operatorname{erf} y = \frac{2}{\sqrt{\pi}} \int_0^y \tilde{e}^{-\lambda^2} d\lambda \text{-----(C)}$$

Si se agrega un número Q de átomos por unidad de superficie de impurezas difundidas sobre la oblea entonces ahora tenemos $\int_0^\infty N(x) dx = Q$ para cualquier t y $N(x)=0$ para $t=0$ y $x=0$ la solución de la ecuación A es la siguiente:

$$N(x,t) = \frac{Q}{\sqrt{\pi Dt}} e^{-x^2/4Dt} \text{-----(D)}$$

A la ecuación D se la llama distribución gaussiana y la gráfica 1.1 representa dos tiempos para la ecuación.



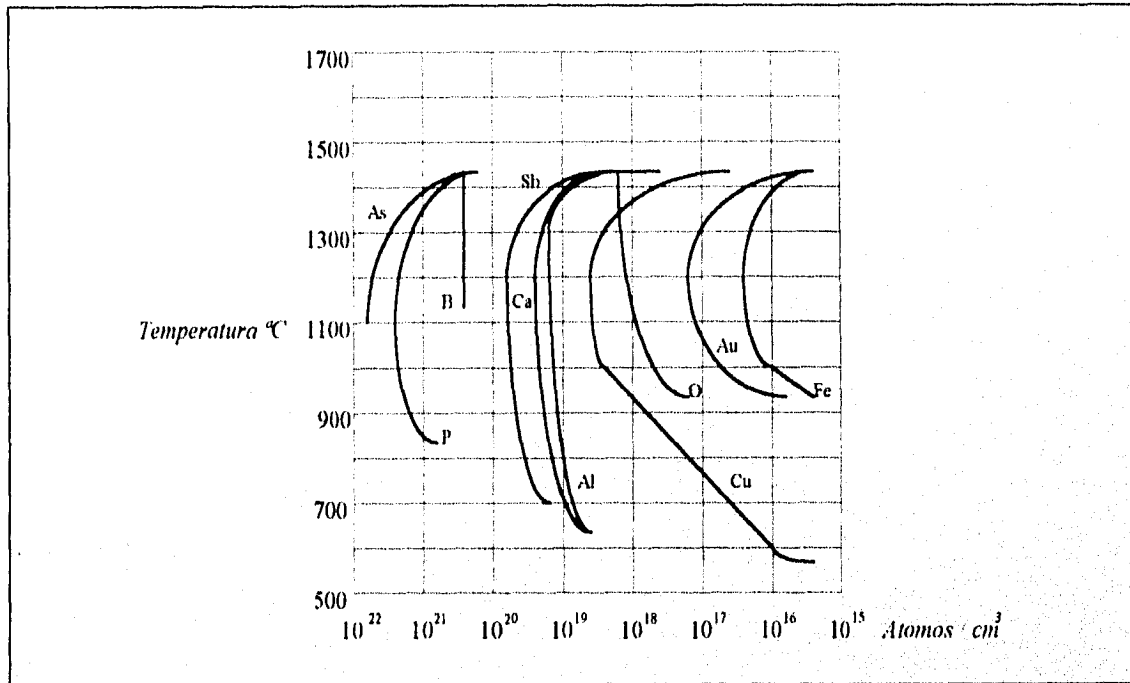
Gráfica 1.1 Distribución gaussiana para dos tiempos.

Se observa que conforme aumenta el tiempo la concentración en la superficie disminuye y el área bajo la curva es la misma, ya que es la representación de la cantidad total de impurezas difundidas y esta es una cantidad constante Q .

Las ecuaciones planteadas son de gran interés y utilidad para los fabricantes de circuitos integrados debido a que la difusión es un proceso básico para la obtención de un buen chip, basados en estas ecuaciones se conoce el tiempo requerido para una difusión lo más uniforme posible. Existen otros dos aspectos de importancia que los fabricantes utilizan para lograr un buen proceso de difusión estos son la solubilidad del sólido y el coeficiente de difusión.

La solubilidad del sólido es importante debido a que posibilita al fabricante a decidir sobre que tipo de impureza utilizar (fósforo, arsénico y/o antimonio) ya que es necesario conocer si el número de átomos por unidad de volumen que se necesitan es menor que la solubilidad de difusión del sólido, conociendo lo anterior se puede utilizar la ecuación B.

La solubilidad del sólido es la máxima concentración (N_0) del elemento que puede ser disuelto en el silicio sólido a una determinada temperatura. La gráfica 1.2 muestra la solubilidad de algunos elementos.



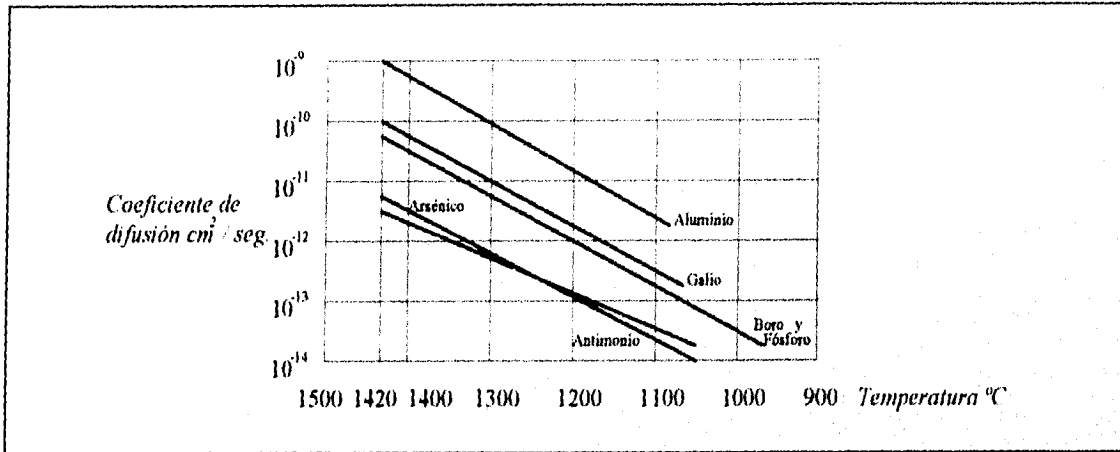
Gráfica 1.2 Solubilidad de algunos elementos.

El silicio sólido tiene una solubilidad del sólido de 5×10^{22} átomos/cm³ si se toma el fósforo que aproximadamente tiene 10^{21} átomos/cm³, entonces la concentración máxima de fósforo en el silicio es del 2%.

$$10^{21} = 1 \times 10^{21}$$

$$1 \times 10^{21} / 5 \times 10^{22} = 0.2 \times 10^{-1} = 0.02 = 2\%$$

El coeficiente de difusión se ve afectado por la temperatura pues cuando esta se incrementa los átomos que se difunden tienen mayores velocidades y estas pueden duplicarse con un incremento de pocos grados en la temperatura, por ello es conveniente conocer el coeficiente de difusión pues al depender de la temperatura es preciso controlarla para obtener los mejores resultados posibles, en la gráfica 1.3 se muestra la variación del coeficiente de difusión a distintas temperaturas de algunos elementos



Gráfica 1.3 Variación del coeficiente de difusión de algunos elementos a diferentes temperaturas.

Existe otro método que suple la difusión en alta temperatura este es el de implantación iónica. La implantación iónica se realiza mediante el bombardeo del silicio con iones de material dopador; se dirige un haz de iones sobre la oblea a una alta velocidad por medio de un cañón acelerador, la aceleración esta dada por una tensión precisa que les transfiere energía de entre 30 a 200 KeV con lo que los iones se introducen en el cristal de silicio, el nivel de introducción es controlado y se logra hasta 1/2 micrón que es mucho mejor que el obtenido por otros métodos.

Luego del dopado por implantación iónica las obleas son metidas a un horno para ser recocidas a una temperatura de entre aproximadamente 500 y 800°C para obtener nuevamente la red cristalina.

La figura 1.23 muestra un aparato que se utiliza en la implantación iónica según Thomson-CSF.

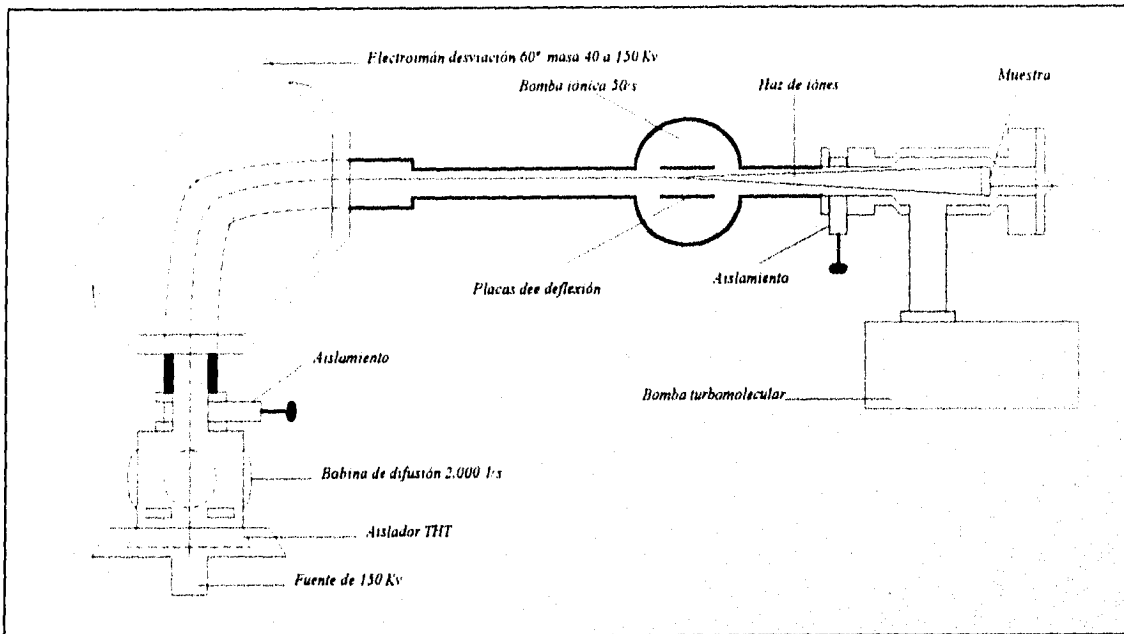


Figura 1.23 Aparato utilizado para la implantación iónica de Thomsom-CSF.

La implantación iónica depende de la energía transferida a los iones por lo que hay que controlarla según las necesidades de penetración que se tengan, pues por ejemplo con 25 KeV se tiene una penetración de $2\mu\text{m}$ y con 100 KeV. de $6\mu\text{m}$, el rango aproximado en donde se realiza la implantación esta entre 1 KeV. y 1 MeV, en la figura 1.24 se observan los resultados con la aplicación de distintos niveles de energía cinética a los iones.

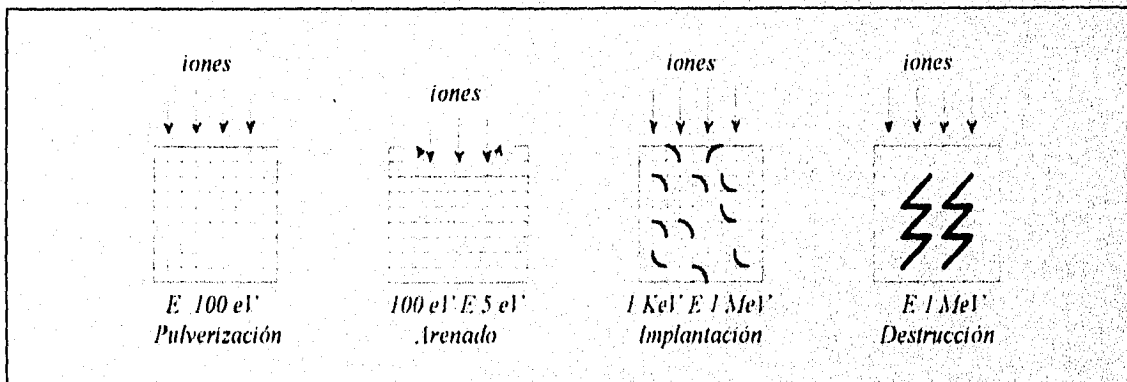


Figura 1.24 Efectos que producen los iones en el silicio de acuerdo al nivel de energía utilizado.

La capa de silicio es una buena protección cuando se realiza la implantación iónica y esta sólo se lleva a cabo en las ventanas que se han abierto para tal propósito por lo tanto el proceso de fotolitografiado es el mismo que el de difusión definiendo las regiones a dopar.

La implantación iónica tiene ciertas ventajas sobre la difusión a alta temperatura entre otras, se utiliza una más baja temperatura para el recocimiento lo cual afecta mucho menos al circuito, el dopado es muy directivo, la cantidad y energía de los iones es perfectamente controlable además que permite el dopado de materiales que por difusión es muy difícil de lograr como en el diamante. La implantación iónica es un método alternativo en el proceso de dopado en la fabricación de circuitos integrados el cual es utilizado por algunos fabricantes pero en menor grado que el de difusión a alta temperatura.

Retomando el proceso que sigue la oblea una vez terminada la difusión de aislamiento, la oblea es preparada para la siguiente mascarilla y otro proceso de difusión, la preparación consiste en recubrir toda la oblea con SiO_2 como se observa en la figura 1.25.

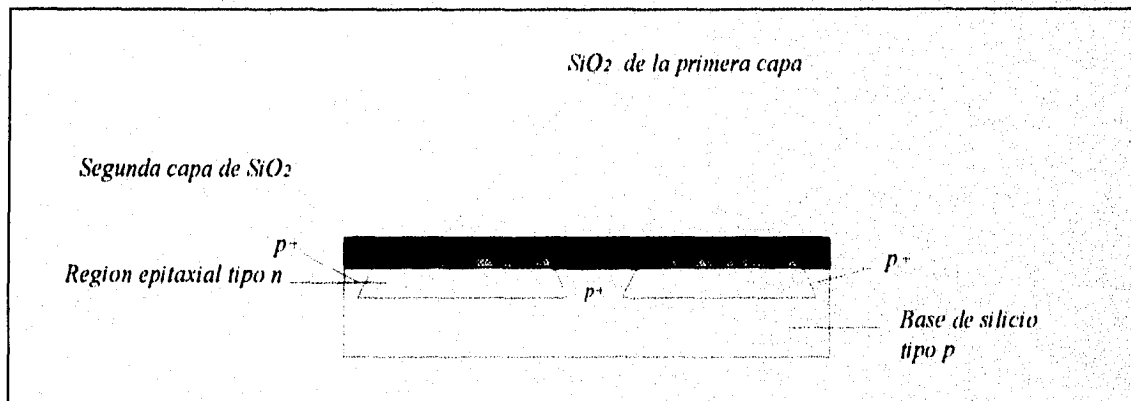


figura 1.25 Preparación de la oblea para otra mascarilla cubierta con dióxido de silicio.

después de cubrir la oblea con la capa de SiO_2 se repite el proceso de fotolitografiado cubrir la oblea con una capa de fotoresist colocar la mascarilla correspondiente para esta difusión, polimerizar las zonas expuestas con luz ultra violeta etc. hasta dejar lista la oblea para la difusión; estos dos procesos de fotolitografiado y difusión se repiten el número de veces que sean necesarios, esto depende del chip que se este fabricando.

La siguiente difusión después de la de aislamiento es la de la base y posteriormente el emisor, no importando el orden se obtiene el mismo resultado, estos elementos forman parte de un transistor pero durante cada proceso de difusión se realizan al mismo tiempo otros elementos como resistencias, capacitores y diodos, el número de difusiones varia de acuerdo al circuito integrado que se fabrique, una vez terminados los procesos de difusión se prepara la oblea para la metalización, para que haya un buen contacto óhmico se difunden algunas regiones con material tipo n^+ en zonas bien específicas en donde se realizaran contactos óhmicos; esta difusión se realiza igual que la de aislamiento, a este proceso se le llama ataque preóhmico la figura 1.26a muestra la mascarilla utilizada para este proceso y la figura 1.26b muestra el aspecto superficial del circuito integrado después del ataque preóhmico.

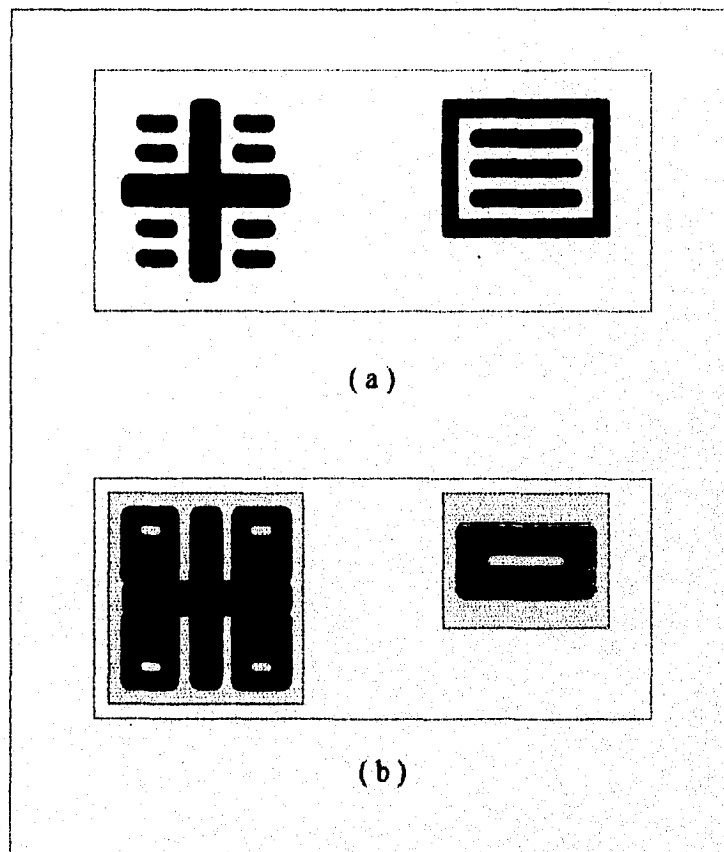


Figura 1.26 (a) Mascarilla para ataque preóhmico.
(b) Superficie del chip después del ataque preóhmico.

Existe otra alternativa tecnológica de aislamiento aparte de la común obtenida por las uniones p-n en oposición que se comportan como un diodo al polarizar el substrato la unión queda polarizada inversamente, el problema de este tipo de aislamiento es la formación de

capacidades parásitas, debido a ello se han buscado otras técnicas, así tenemos el aislamiento mediante dieléctrico en esta técnica se aíslan tanto electricamente como físicamente los elementos del dispositivo y el substrato común. Las capas aislantes son por lo regular de dióxido ó monóxido de silicio, rubi o substrato cerámico de vidrio con el espesor necesario y una capacidad asociable despreciable. Con el aislamiento dieléctrico se reduce en un factor de 10 la capacitancia parásita además que no se requiere polarización inversa entre el substrato y los elementos del circuito. Un proceso de este tipo a sido desarrollado por Motorola al cual se le denomina EPIC el cual tiene un voltaje de ruptura muy superior al p-n de aproximadamente 1000v.

Esta técnica no se a extendido debido a que se incrementa el costo del chip, así como el número de pasos del proceso.

1.2.11 METALIZACIÓN.

La metalización es el proceso mediante el cual se realizan las interconexiones de los componentes del circuito integrado, para exponer las regiones de cada elemento que requieran contacto metálico se necesita de una mascarilla que contenga el patrón que se necesite como el que se muestra en la figura 1.27.

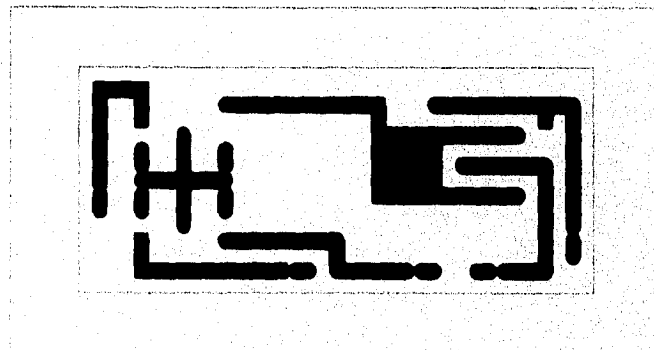


Figura 1.27 Vista superior del CI después de la metalización.

Al finalizar la metalización la vista superior del circuito integrado es como la mostrada en la figura 1.27, esto es sólo tomando en cuenta las regiones metalizadas.

En el proceso de metalización primero se cubre la oblea con una capa de algún metal altamente conductor como el oro, aluminio, molibdeno ó tantalio, el metal es evaporado para cubrir la oblea, cuando este proceso termina la oblea es cubierta con algún elemento fotosensible a continuación se coloca la máscara que contiene el patrón diseñado para pasar a una exposición o polimerización para después ser revelada, quedando así expuesta la geometría de la metalización la cual es atacada químicamente para ello se utiliza un agente reactivo el cual es un compuesto de ácido nítrico, fosfórico y agua. El tiempo de ataque químico depende de la temperatura del compuesto y el grosor del aluminio u otro metal que regularmente es de 8 a 15,000 amgstroms (Å) ($1\text{Å}=10^{-8}\text{ cm}$). El elemento fotosensible es eliminado con una solución especial que no ataca al metal.

Después se realiza una aleación entre el silicio y el metal en una atmosfera inerte a unos 500°C durante un tiempo de 5 minutos, este proceso de aleación se realiza para formar contactos óhmicos entre el silicio y el metal.

Existen dos métodos para la metalización que mayormente se utilizan estos son la evaporación y la dispersión; en el proceso de evaporación el metal se funde por medio de unas bobinas o por medio de un cañón electrónico obteniéndose la evaporación del metal el cual es rociado sobre las obleas las cuales se encuentran sobre un tambor, posteriormente se sigue el proceso ya descrito en los párrafos anteriores.

El sistema de dispersión utiliza unidades robóticas las cuales sitúan el metal en oposición con un potencial negativo y alto, el metal no esta en contacto con el ánodo que esta a un potencial positivo pero si esta muy cerca de este. Después se introduce un gas inerte como el argón al pasar este entre las placas libera iones positivos los cuales bombardean la placa negativa (cátodo) liberándose una parte de la sustancia metálica de la fuente, el metal liberado se deposita sobre las obleas que están en la superficie del ánodo.

La técnica de dispersión es preferida en muchas ocasiones por los fabricantes ya que el recubrimiento que se obtiene es menos visible por lo que se obtienen capas de depositación con mayor uniformidad sobre uniones abruptas.

Terminada la metalización la vista superior del chip es la que se muestra en la figura 1.28a tomando en cuenta todo el chip, el circuito discreto utilizado para mostrar el proceso de fabricación es el observado en la figura 1.28b.

Este circuito no tiene una aplicación practica solo es la base para mostrar los procesos que se desarrollan al fabricar un circuito integrado.

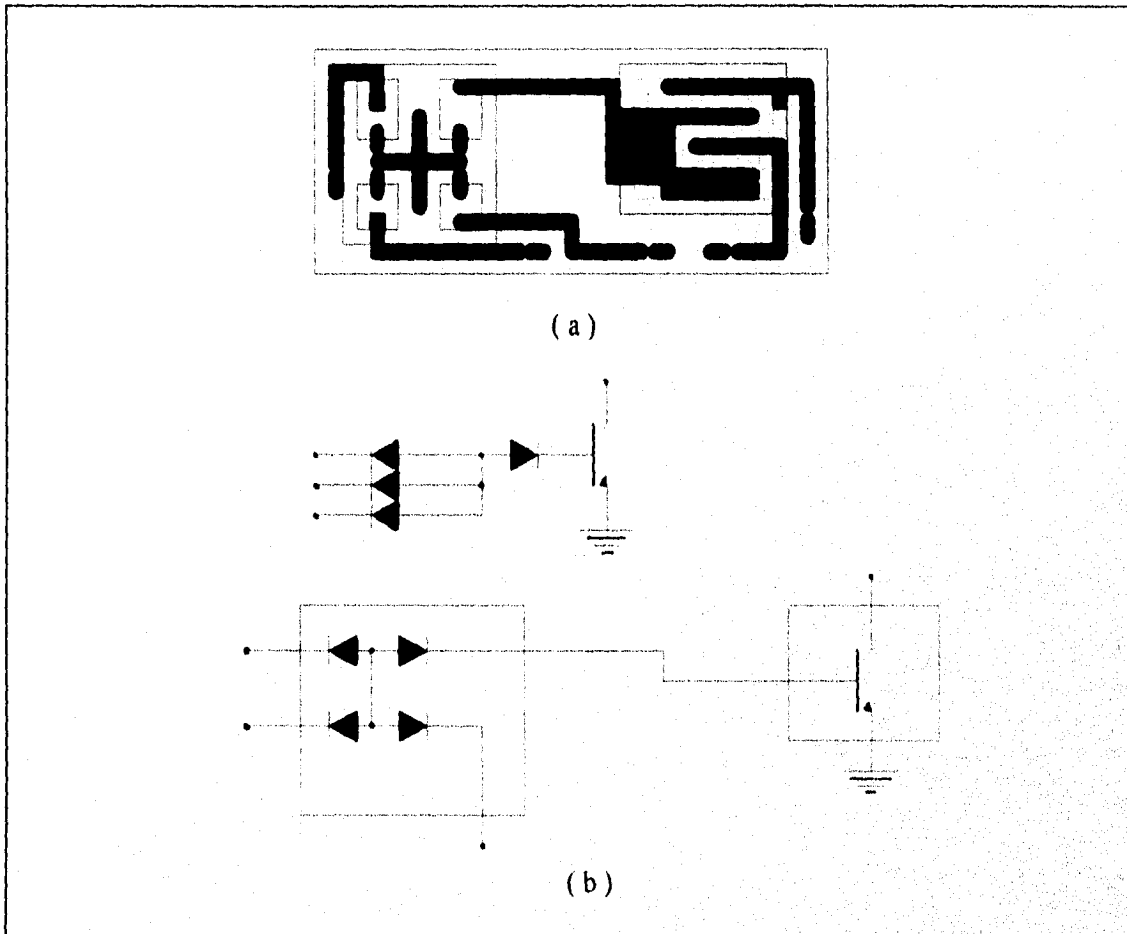


Figura 1.28 (a) Vista superior del CI al terminar la metalización. (b) Circuito discreto utilizado.

1.2.12 PASIVACIÓN.

La pasivación es el recubrimiento que se aplica al dispositivo después de la metalización para protegerlo contra el vapor de agua y algunos otros contaminantes, generalmente se utiliza una capa de dióxido de silicio (SiO_2) que se deposita en la superficie de la oblea y que es efectiva contra ciertos contaminantes, pero existen algunos iones metálicos que pueden

emigrar a la capa de SiO_2 y afectar las características del dispositivo. Por ello y con el fin de mejorar el proceso se aplica una capa de nitruro de silicio el cual es un material vidrioso, la capa es de aproximadamente 2,000 a 5,000 Å esto ayuda a reducir más el problema de una posible contaminación y cambio de las características del circuito.

El circuito queda cubierto de la parte superior por la capa, la cual protege los elementos del chip por lo que estos ya no pueden ser observados como se muestra en la figura 1.29.

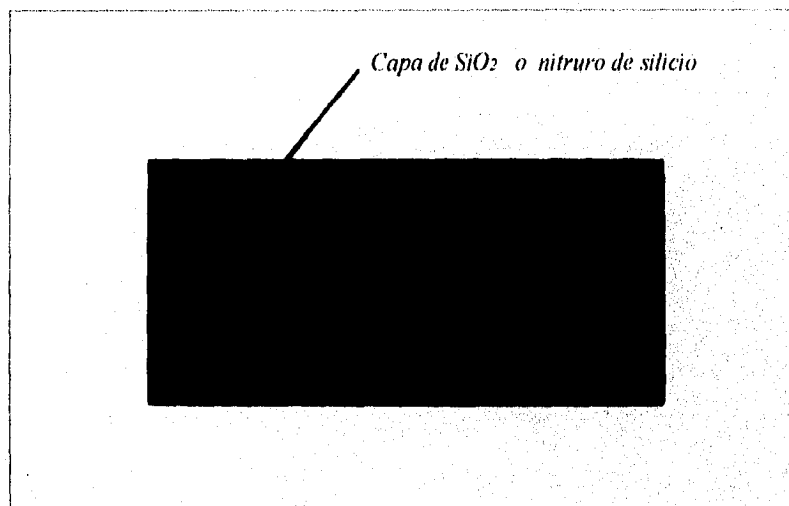


Figura 1.29 pasivación del circuito integrado.

1.2.13 PRUEBA.

Después de la pasivación la oblea pasa a una prueba eléctrica en cada dado ó circuito integrado por medio de un sistema de inspección automático que carga y descarga las obleas sobre carruseles con lo cual se reduce el contacto con ellas obteniéndose un mejor resultado, este proceso es controlado por computadora la cual cuando detecta un dado con falla lo rechaza y especifica el tipo de falla como abierto, en corto, ganancia, etc. Los dados que tienen falla se identifican con un chorro ó punto de pintura que deposita la unidad robótica sobre el dado con la falla, la figura 1.30 muestra la depositación.

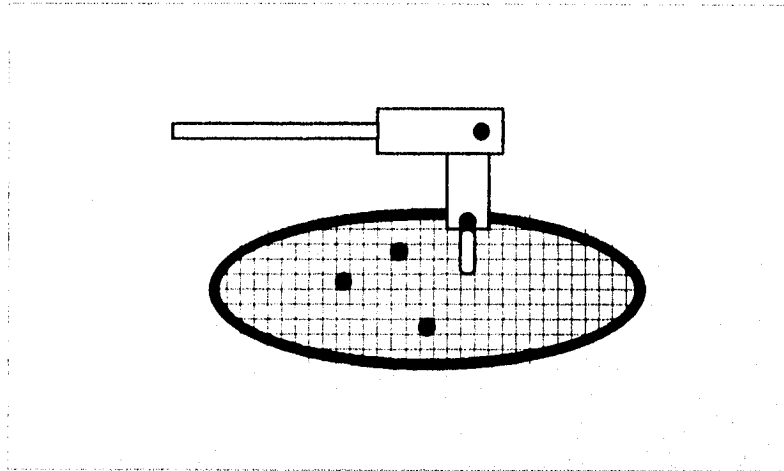


Figura 1.30 Señalización de los chips con falla en una oblea.

1.2.14 ENCAPSULADO

Terminada la prueba la oblea pasa al proceso de rayado y separación en el cual se obtienen los dados ó circuitos integrados individuales para ser encapsulados, las capsulas pueden ser de distintas formas principalmente de plástico del tipo doble hilera de patilla (Dual in line) (DIL) por su mayor aceptación y utilización se muestra el montaje del mismo, de algunos otros tipos de encapsulado se muestran solo los chips terminados y sus dimensiones.

Para encapsular el circuito integrado en tipo DIL se pega el dado en una rejilla llamada de kovar como se muestra en la figura 1.31c, después se unen las salidas del dado con las patas de la rejilla utilizando hilos de oro ó de aluminio por medio de termocomposición o por ultrasonido, el resultado se ve en la fig. 1.31d, posteriormente sigue un amoldado para pasar al revestimiento figura 1.31e en seguida se corta el circuito figura 1.31f y por último se arquea fig. 1.31g, sus dimensiones típicas se muestran en la fig. 1.32.

Estos circuitos integrados existen con un numero mucho mayor de patas y con otras dimensiones de acuerdo a las necesidades que se tengan del chip que se fabrique

Otros tipos de encapsulados son el cerámico que se usa cuando se requiere de alta confiabilidad, en la figura 1.33a se observa este tipo de encapsulado, otro es el metálico aplicado cuando se requiere hermeticidad puede ser Dual in line package (de doble hilera DIP) estos son

iguales a los DIL que ya se trataron solo que con la cubierta metálica, otro tipo es el plano (flat pack) este se utiliza regularmente en aplicaciones militares y se observan en la figura 1.33b, otro tipo de encapsulado es el de transistor TO ó radial el cual se observa en la figura 1.33c.

En ocasiones el encapsulado representa un alto costo hasta el 50% del valor del chip en casos extremos como estos y sólo en contadas ocasiones se ha pensado en circuitos integrados sin encapsular sino sólo montar el dado sobre soportes intermedios llamados LID, ceratab, etc. lo cual reduciría el costo pero con la desventaja de que el chip quedaría expuesto y con muchas más posibilidades de dañarse además de no poder manipularlo como los encapsulados, por lo que casi no se fabrican este tipo de circuitos integrados.

El proceso expuesto es el básico para la fabricación de circuitos integrados y el que hasta la fecha se sigue usando para la obtención de los chips que se manejan.

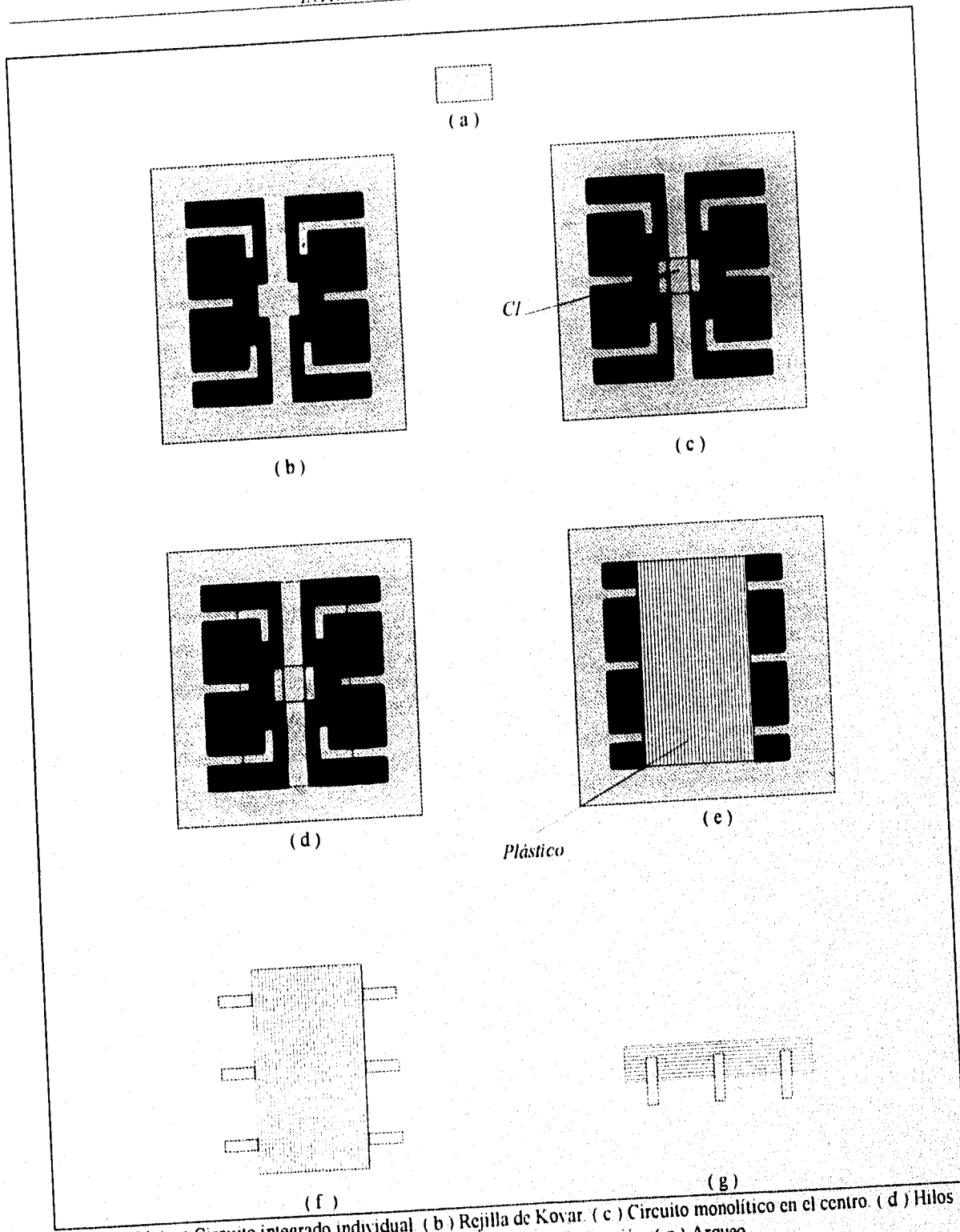


Figura 1.31 (a) Circuito integrado individual (b) Rejilla de Kovar. (c) Circuito monolítico en el centro. (d) Hilos de conexión. (e) Revestimiento. (f) Separación. (g) Arco

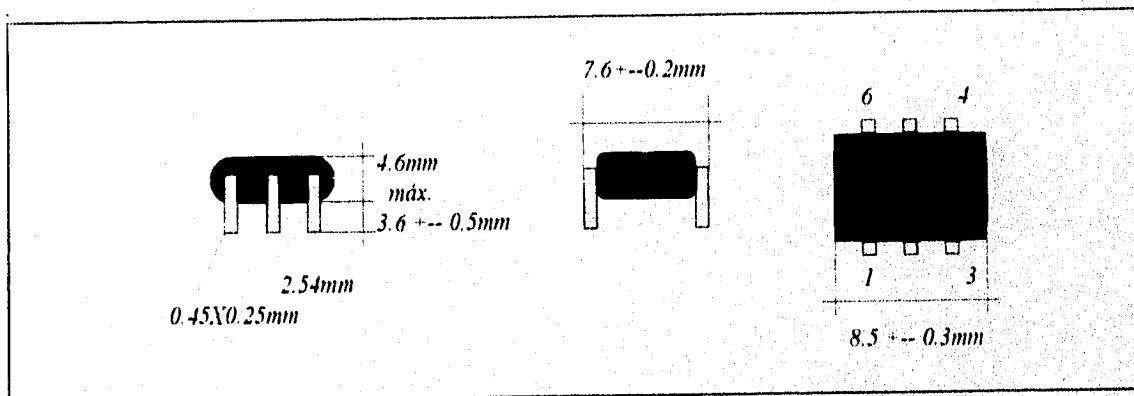


Figura 1.32 Dimensiones típicas del encapsulado de un CI del tipo DIL.

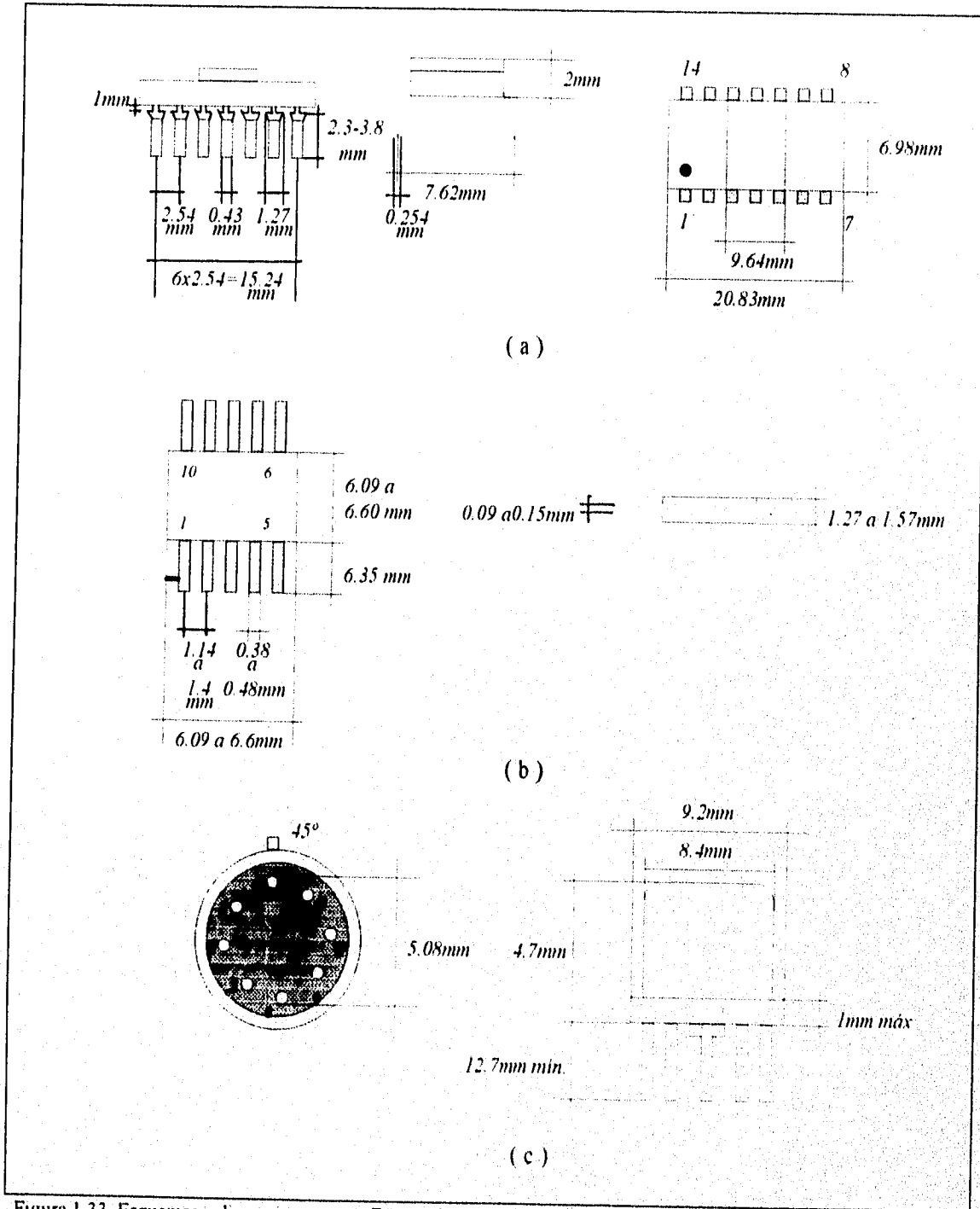


Figura 1.33 Esquemas y dimensiones. (a) Encapsulado cerámico. (b) Encapsulado plano. (c) Encapsulado tipo to.

Diseño de circuitos integrados con tecnología bipolar para circuitos analógicos.

2

INTRODUCCIÓN.

Los elementos eléctricos que constituyen los circuitos integrados son: resistencias, transistores monpolares, bipolares, capacitores y diodos, partiendo de estos elementos se fabrican todos los circuitos integrados que se conocen hasta la actualidad.

Una observación que se debe aclarar es que la inductancia no se menciona, el motivo es que no se ha logrado una técnica eficaz para la obtención de valores nominales de inductancias en los C.I's, es por este motivo que se evita al máximo su uso en la mayoría ó en todos los diseños que se desarrollan, un método para eliminar ó sintetizar la inductancia integrada es la técnica conocida como síntesis RC pero existe un problema y es que dicha técnica es sólo aplicable para los circuitos de película delgada ó gruesa y en circuitos híbridos pero no para los circuitos monolíticos, regularmente cuando algún diseño incluye una inductancia se conecta un componente discreto al chip externamente.

2.1 TRANSISTOR BIPOLAR INTEGRADO NPN Y PNP.

Los transistores bipolares reciben ese nombre debido a que en su conducción intervienen dos tipos de portadores los mayoritarios y los minoritarios, además pueden ser del tipo *PNP* y *NPN* todos ellos cuentan con base, emisor y colector.

Para formar un transistor bipolar integrado la oblea base es preparada de la misma forma que se describió en el capítulo anterior hasta antes del crecimiento epitaxial, antes de esa capa se difunde una zona tipo n^+ a la que se le llama capa enterrada, esta se puede difundir sobre el substrato antes de que se crezca la capa epitaxial tipo n o mediante un crecimiento selectivo utilizando técnicas epitaxiales con mascarar para la capa tipo n . La razón de esta capa enterrada n^+ es debido a que en el transistor integrado bipolar el contacto del colector en la parte superior tiene una resistencia serie muy alta y para reducirla es necesario enterrar la capa altamente impurificada n^+ entre el substrato tipo p y la capa epitaxial. La resistencia serie es reducida debido a la alta concentración de electrones, con ello se tiene una resistencia baja entre la unión del colector y la terminal del mismo. En la figura 2.1 se observan cada una de las regiones mencionadas, también se observa la capa de dióxido de silicio que recubre toda la oblea. El proceso para el crecimiento de la capa epitaxial y la depositación del dióxido de silicio son los mismos que los descritos en los procesos de fabricación del chip del capítulo 1.

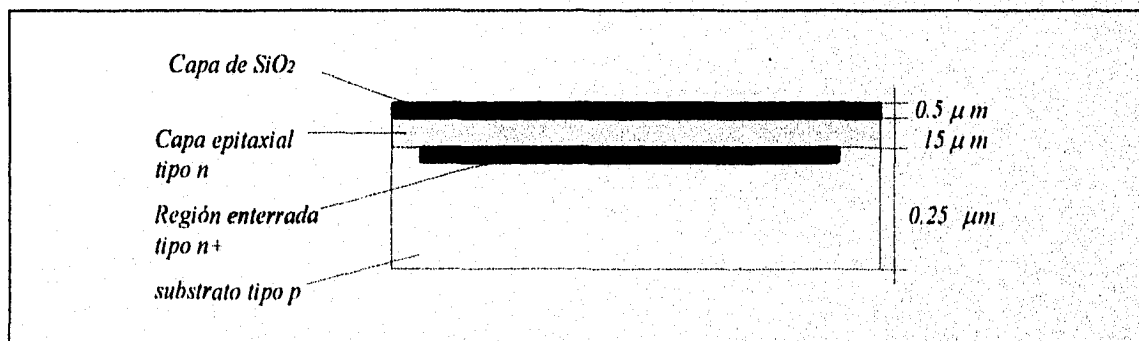


Figura 2.1 Capas y regiones base para la fabricación de un transistor integrado.

El siguiente paso es abrir las ventanas en la capa de dióxido de silicio para la difusión de aislamiento, estas ventanas se abren por medio del proceso de fotolitográfico ya descrito en el capítulo anterior, el resultado después de abrir las ventanas se observa en la figura 2.2.

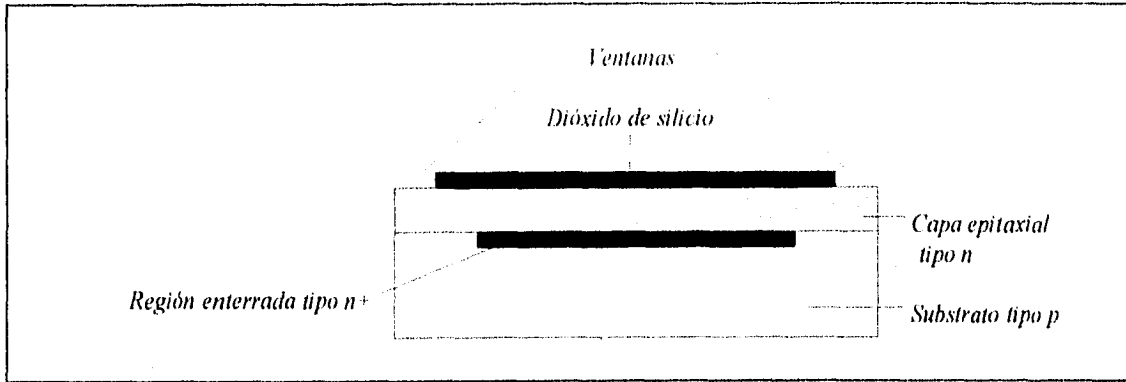


Figura 2.2 Ventanas para la difusión de aislamiento.

Posteriormente se realiza el proceso de difusión de aislamiento para ello se utiliza material tipo p^+ , la difusión se realiza sobre la capa epitaxial en las zonas expuestas que fueron llamadas ventanas, el proceso y los métodos utilizados para la difusión de aislamiento también fueron desarrollados en el capítulo anterior. Al realizar esta difusión se forman las islas que se requieren donde se formara el transistor, si son varios los transistores a fabricar en el mismo chip es necesario una región aislada distinta para cada uno de los transistores.

El substrato debe conectarse al voltaje más negativo del circuito con respecto a las islas, ello con el fin de que las uniones $p-n$ estén polarizadas inversamente y no haya conducción lo cual provocaría fallas o el desperfecto total del transistor integrado. La figura 2.3 muestra la vista superior donde se observa la zona aislada que no fue expuesta a la difusión.

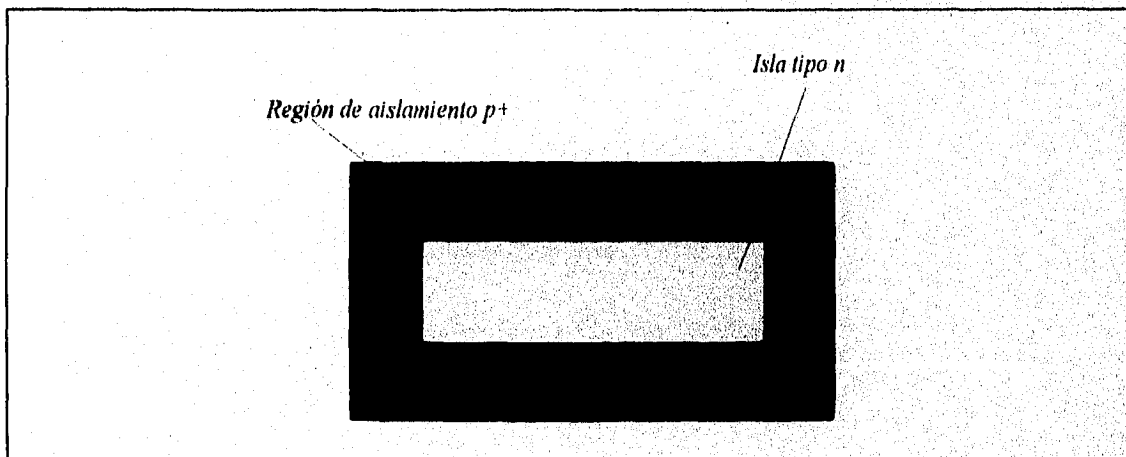


Figura 2.3 Isla tipo n en la formación de un transistor bipolar npn.

Una vez terminada la difusión de aislamiento el transistor monolítico se cubre con una capa de dióxido de silicio, entonces se utiliza una segunda máscara con la cual se abre una ventana por medio del proceso fotolitográfico, a través de esa ventana se difunde material tipo *p* para formar la base, en la figura 2.4a se muestra la sección transversal y en la 2.4b la vista superior con la región de base *p*.

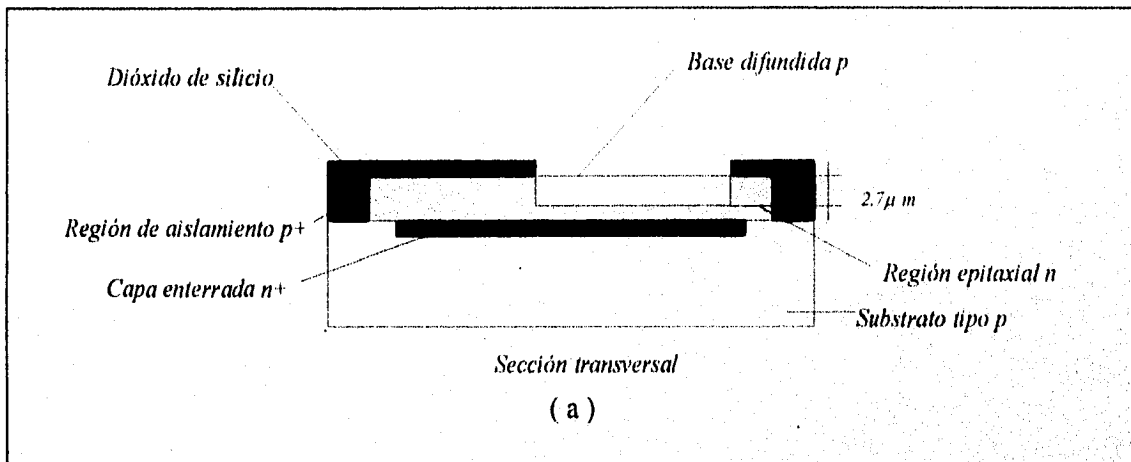


Figura 2.4 (a) Sección transversal de difusión de base.

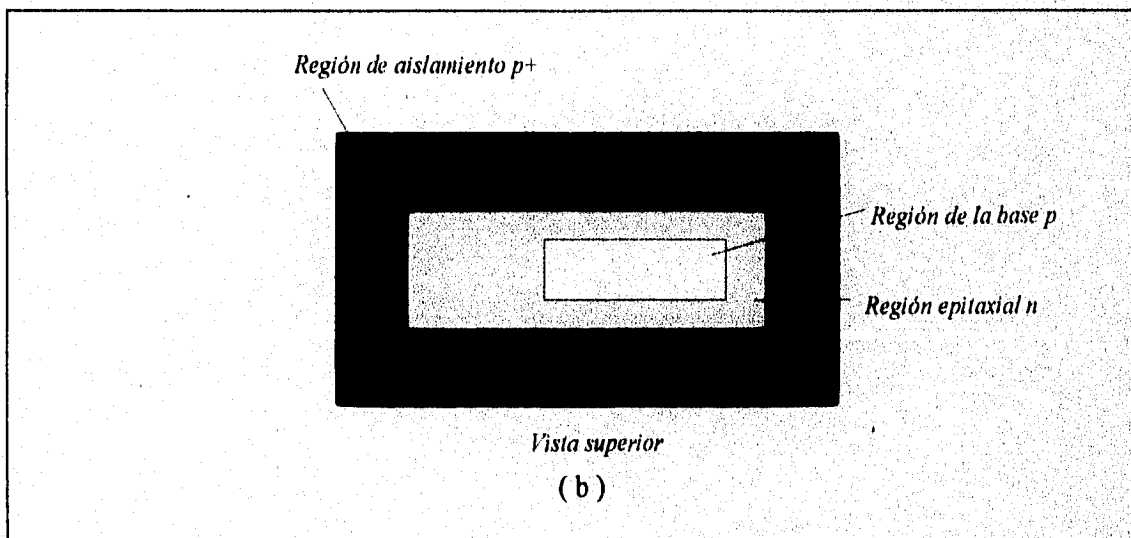


Figura 2.4 (b) Vista superior de la región de base.

posteriormente se vuelve a cubrir el transistor integrado con una capa de dióxido de silicio y se vuelven a abrir ventanas por el proceso fotolitográfico, en este paso se utiliza una tercera máscara que permite abrir las ventanas para difundir la región de emisor así como una región n^+ para un buen contacto óhmico en la región de colector. La difusión se realiza dentro de la región de base para obtener el emisor tipo n^+ altamente impurificado y formar así el transistor npn. La figura 2.5 muestra la sección transversal del transistor integrado hasta antes de la metalización.

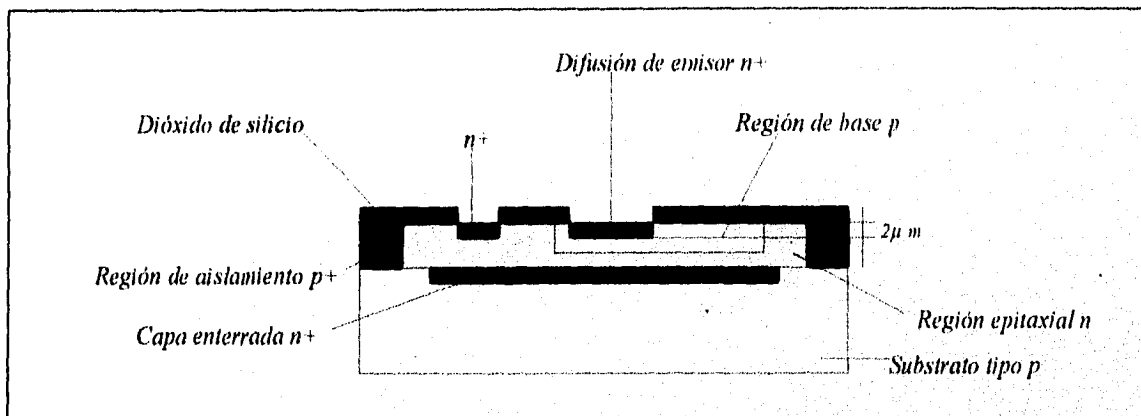


Figura 2.5 Sección transversal del transistor antes de la metalización.

Posteriormente el transistor se vuelve a cubrir con una capa de dióxido de silicio y a continuación sigue el proceso de metalización, para poder realizar este proceso se requiere de otra máscara la cual previamente es diseñada, por fotolitografía se exponen las zonas donde se requiere metalización como se observa en la figura 2.6a. Regularmente la metalización en las partes del transistor con otros elementos del circuito integrado, normalmente no se realiza en forma aislada como se observa en la figura 2.6a.

La metalización se realiza evaporando el aluminio y depositándolo sobre la oblea en este proceso se utiliza la sexta máscara para el fotolitografiado y por último se remueve el metal sobrante con elementos químicos como se explica en el capítulo 1, la figura 2.6a muestra la vista transversal del transistor monolítico y la figura 2.6b la vista superior.

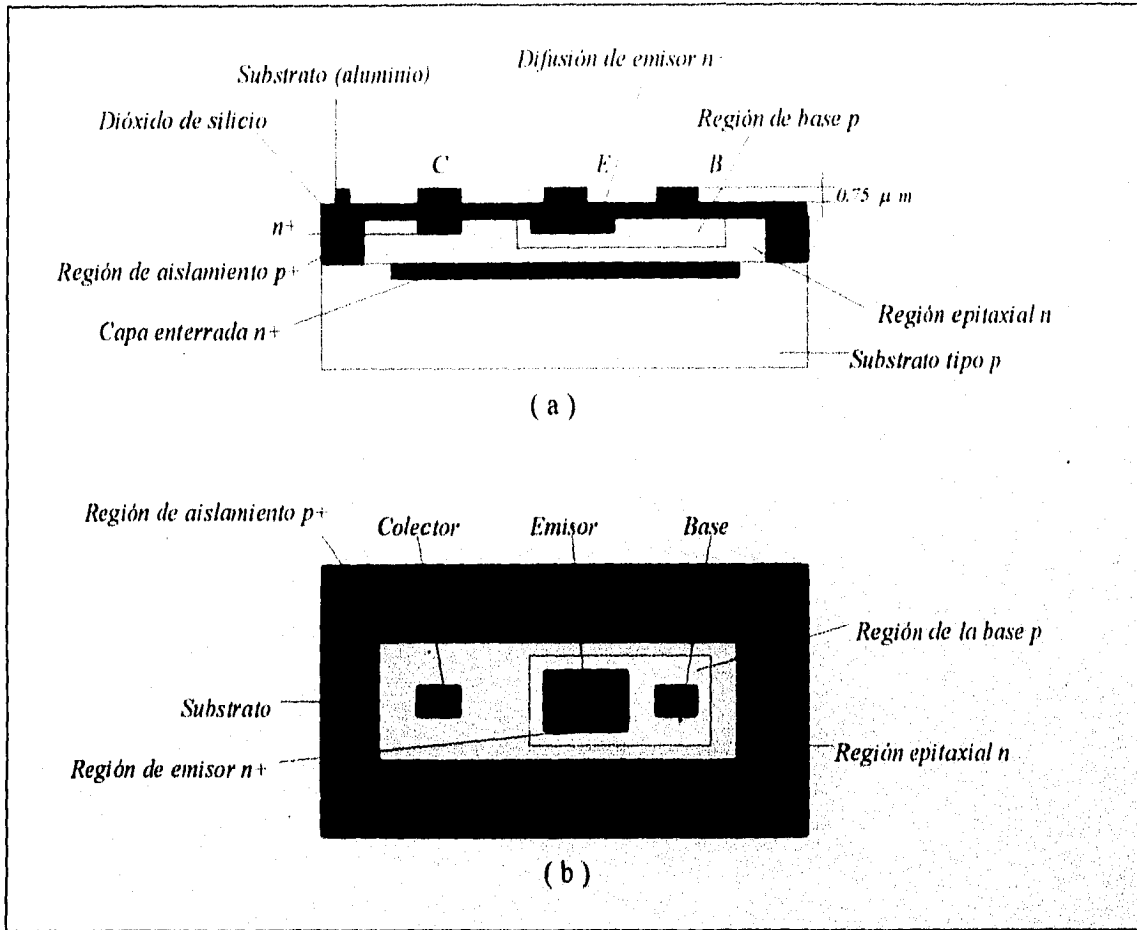


Figura 2.6 Transistor monolítico npn (a) Sección transversal. (b) Vista superior.

Los transistores integrados tienen algunos inconvenientes como es la presencia de dos efectos indeseables, el primero es una capacitancia parásita en paralelo con el colector además de una corriente de fuga pero estas no representan gran problema ya que pueden disminuirse mejorando las técnicas de manufactura, por otro lado los transistores integrados mejoran mucho su comportamiento cuando estos se encuentran muy cerca físicamente y sus características eléctricas son muy parecidas o prácticamente iguales por lo que al trabajar en conjunto tienen un buen comportamiento casi igual entre sí y un alto rendimiento.

Las características eléctricas de cada transistor integrado dependen de su tamaño, niveles de impurezas, el silicio utilizado, el proceso de difusión y la geometría del dispositivo. De estos parámetros mencionados el proceso de difusión y el nivel de impurezas dependen del tipo de transistor que se desee integrar.

Un transistor integrado típico tiene el siguiente nivel de impurezas, la concentración N_{bc} del substrato y el colector epitaxial es de 10^{16} átomos/cm³, la base se difunde con impurezas tipo p el elemento utilizado es el boro el cual debe tener una concentración en la superficie de 5×10^{18} átomos/cm³ y una profundidad de $2.7 \mu\text{m}$, el emisor se difunde con impurezas tipo n el elemento utilizado es el fósforo con una concentración en la superficie cercana a la solubilidad del sólido de aproximadamente 10^{21} átomos/cm³ y se difunden a una profundidad de $2 \mu\text{m}$, la anchura de este transistor es de $0.7 \mu\text{m}$. La unión base-emisor se toma como una unión abrupta mientras que la unión base colector se considera como una unión gradual.

Cada transistor integrado tiene sus propias características en el nivel de impurezas ello depende del tipo de transistor que se quiera fabricar y la aplicación que este va a tener dentro del circuito integrado.

El tamaño es muy importante en un transistor integrado ya que del tamaño depende la capacidad de aislamiento parásita y la capacidad de unión, entre más pequeño sea el dispositivo son menores las capacitancias esto influye directamente y en gran medida cuando el dispositivo va a trabajar en alta frecuencia ó alta velocidad de conmutación.

En la figura 2.7 se observa la vista superior del transistor típico que se a descrito así como sus correspondientes dimensiones típicas que son: superficie total de la isla de aproximadamente $26.5 \mu\text{m}$ por $19.5 \mu\text{m}$, el rectángulo de la base es de $3 \mu\text{m}$ por $10 \mu\text{m}$, el del emisor $3 \mu\text{m}$ por $8 \mu\text{m}$ y el del colector $3 \mu\text{m}$ por $10 \mu\text{m}$ y la región de base aproximadamente $21 \mu\text{m}$ por $16 \mu\text{m}$.

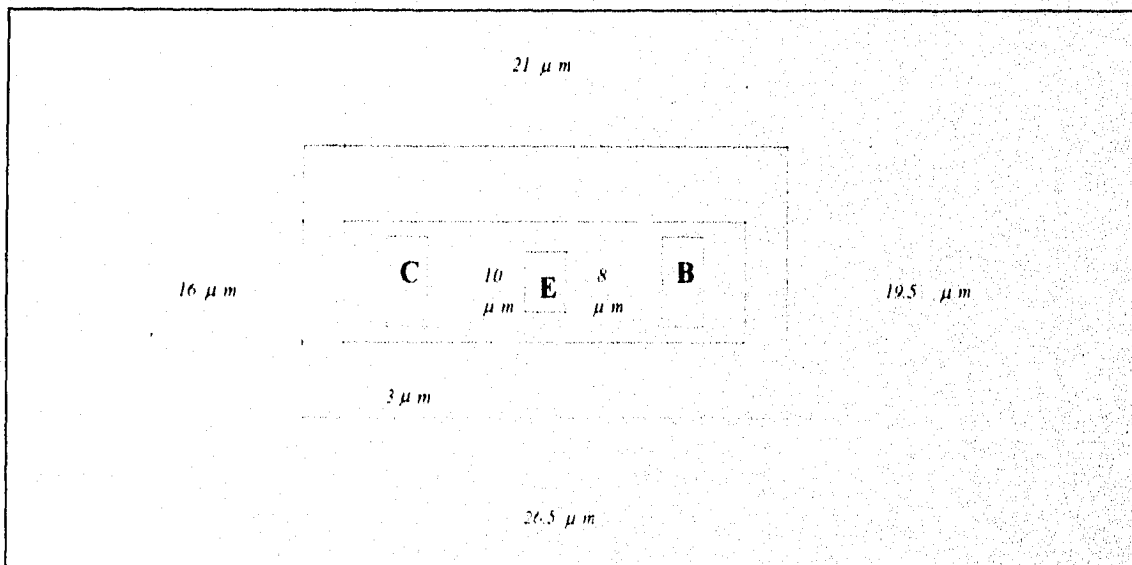


Figura 2.7 Dimensiones típicas del transistor monolítico npn.

Las dimensiones indicadas en la figura 2.7 son las que se usan típicamente para la geometría de los transistores bipolares integrados que se fabrican comercialmente y estas varían de acuerdo al uso que se le vaya dar al transistor.

Generalmente los transistores integrados que se fabrican son del tipo *npn* debido a que la región de colector durante los procesos de difusión de la base y el emisor es sometida a muy alta temperatura, por lo que se requiere que el coeficiente de difusión de las impurezas del colector sean del mínimo valor posible para que no haya movimiento en la unión del colector. Basados en ello y observando la gráfica 1.3. que muestra los coeficientes de difusión de los elementos utilizados, las impurezas tipo *n* tienen una constante de difusión *D* más pequeñas que las tipo *p* por lo que generalmente el colector es tipo *n*. La solubilidad del sólido es otro factor que inclina al fabricante a crear más comúnmente transistores *npn*, debido a que la solubilidad del sólido de las impurezas tipo *n* es mayor que las de las impurezas tipo *p* lo que permite una alta impurificación *n+* del emisor y de otras regiones para un buen contacto óhmico.

La fabricación de transistores integrados *npn* a tenido grandes mejoras por lo que resultan muy confiables, pero no todos los circuitos requieren transistores de este tipo algunas ocasiones es necesario utilizar transistores *pnp* debido a que el diseño así lo requiere, cuando esta situación se presenta generalmente se usa algunos de los siguientes tipos de transistores *pnp*, el primero es el lateral *pnp* y el otro es el vertical o de substrato *pnp*.

Estos dos tipos de transistores se obtuvieron de la observación de un arreglo de dos transistores *npn* en una misma pastilla, como el que se muestra en la figura 2.8.

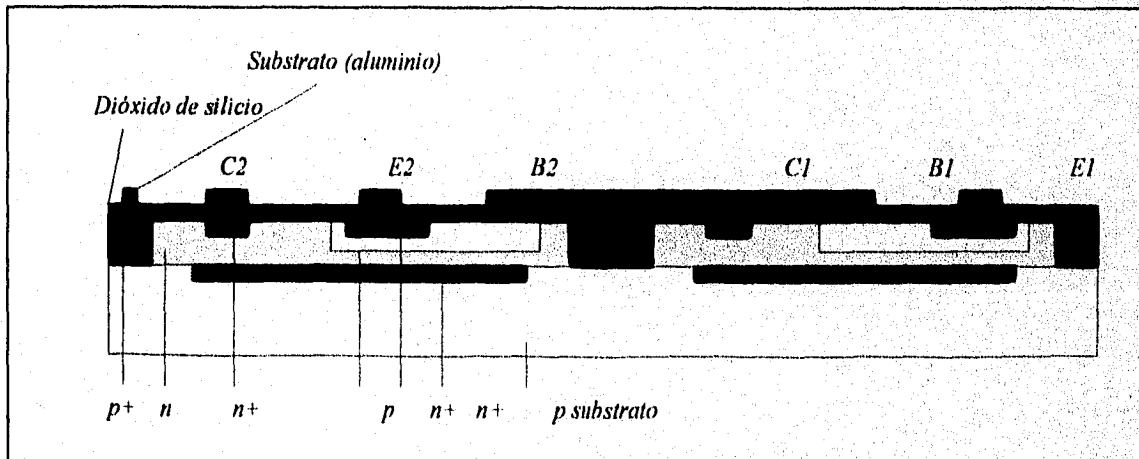


Figura 2.8 Formación del transistor monolítico pnp.

En la figura 2.8 se observa que la base tipo p , el colector n y la región de aislamiento p^+ forman un transistor parásito pnp , el termino lateral se refiere a que los tres elementos se encuentran en el plano horizontal o lateral, por otro lado en forma similar en el plano vertical se forma otro transistor parásito formado por la base tipo p , el colector n^+ y el substrato tipo p .

La fabricación de un transistor lateral pnp se forma implantando las regiones tipo p del emisor y el colector que se observan en la figura 2.9, la cual muestra la sección transversal del transistor.

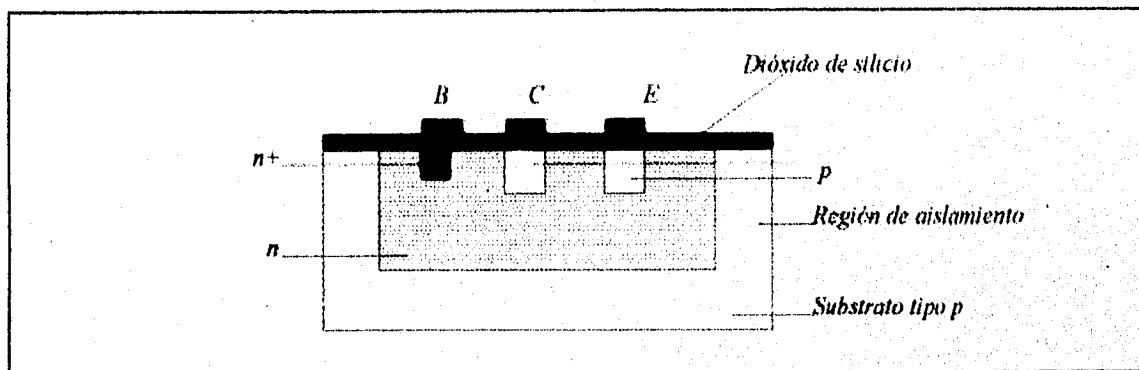


Figura 2.9 Sección transversal del transistor lateral pnp .

La secuencia de fabricación del transistor lateral es muy similar a la que se sigue en los TBJs npn , el emisor y el colector se forman de material tipo p y la base de material tipo n^+ , cuando un circuito presenta los dos tipos de transistores pnp y npn entonces el colector y el emisor del transistor lateral pnp se forma al mismo tiempo que la base del npn , mientras que cuando se forma la base n^+ del transistor pnp se forma el emisor y el colector del npn . Una de las grandes diferencias en el proceso de fabricación del transistor lateral pnp es el uso de distintas ventanas para los enmascaramientos.

El transistor lateral pnp tiene un β_f muy bajo mucho menor que el de un npn ello es debido a que el emisor tipo p no puede inyectar portadores minoritarios a la base tipo n con la misma eficiencia que el emisor n^+ hacia la base tipo p en los transistores npn , por ello este tipo de transistor es sólo utilizado en circuitos con baja corriente de colector.

El transistor de sustrato o vertical *pnp* es aplicado en sistemas que requieren de más alto poder y corriente, en la figura 2.10 se observa la sección transversal de este tipo de transistor el cual puede ser fabricado simultáneamente y por los mismos procesos y secuencias que los *npn*.

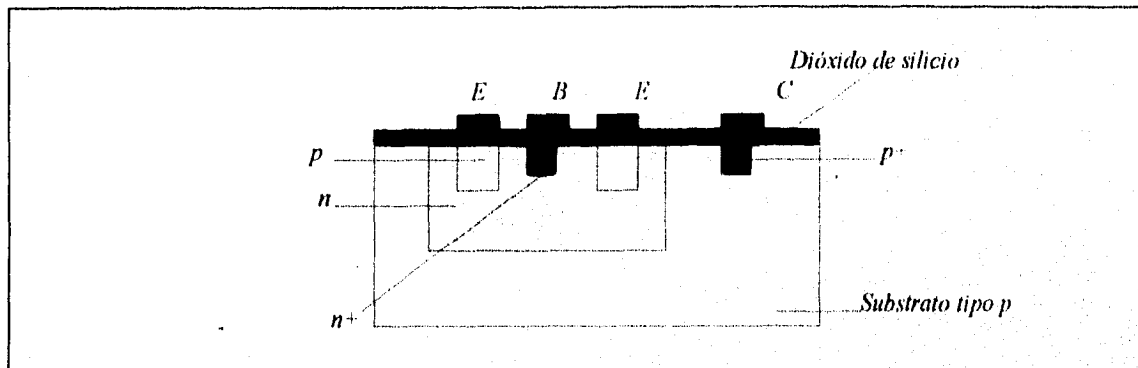


Figura 2.10 Sección transversal del transistor de sustrato ó vertical *pnp*.

Los pasos simultáneos son los siguientes, en el primer paso se fabrican las regiones de emisor de los transistores *pnp* al mismo tiempo que las bases del *nnp*, el segundo y último paso simultáneo es cuando se realizan las regiones **n+** de base del dispositivo *pnp* y los emisores del *nnp*. Anteriormente se mencionó que el sustrato de base debe estar conectado al potencial más negativo del circuito, para un transistor vertical *pnp* esto se utiliza sólo cuando el colector este conectado a un voltaje negativo, a este arreglo se le llama seguidor emisor.

2.1.1 TRANSISTORES DE EMISOR MULTIPLE.

En un circuito integrado es importante optimizar y ocupar el mínimo del área por ello en ocasiones se fabrican dos ó más dispositivos comunes sobre una misma región.

Un dispositivo muy común en los circuitos integrados con estas características es el transistor de emisor múltiple, en la figura 2.11a se puede observar la vista lateral del dispositivo y en la figura 2.11b la vista superior, este transistor pertenece a la familia TTL.

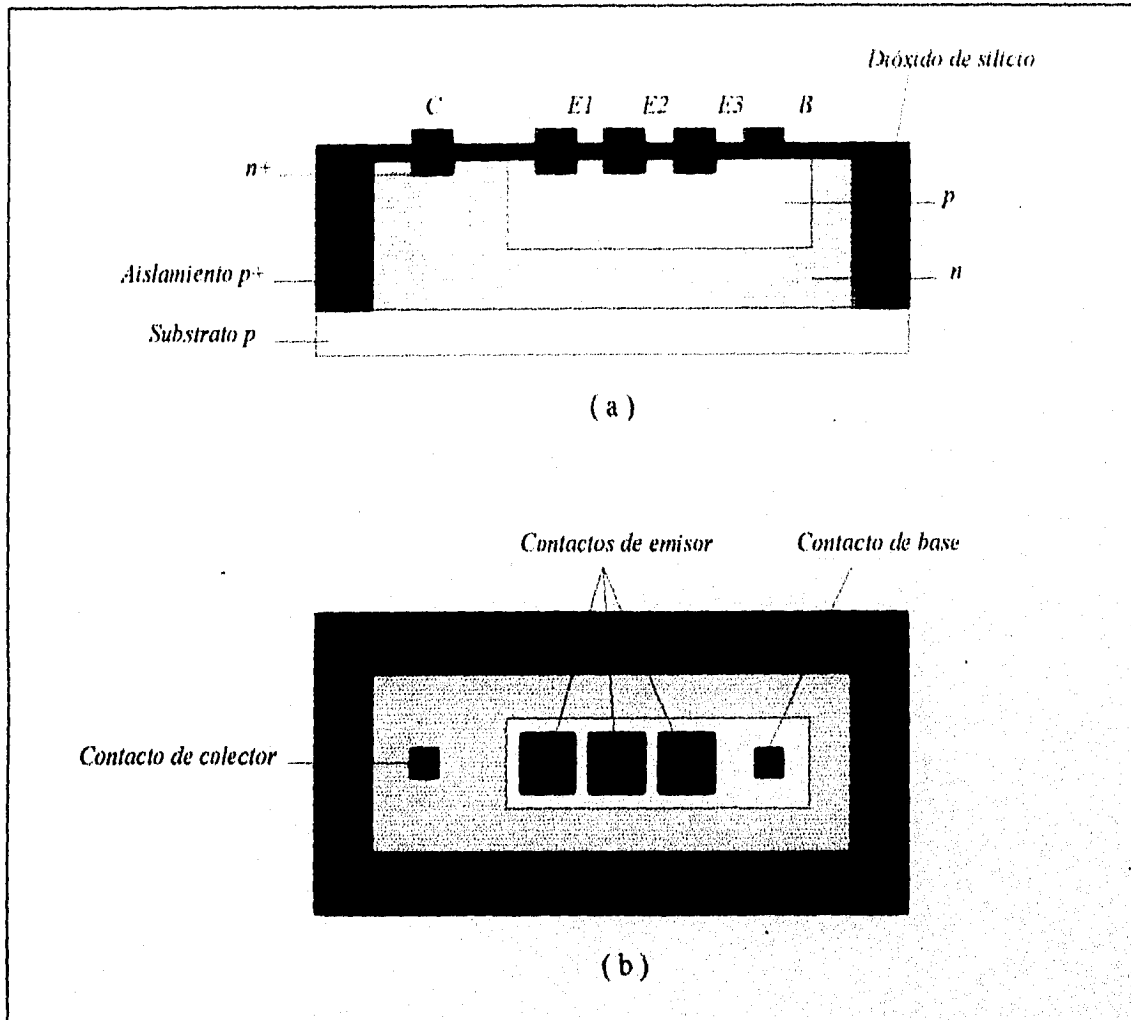


Figura 2.11 Transistor de emisor múltiple (a) Sección transversal. (b) Vista superior.

Los emisores del dispositivo pueden ser considerados como emisores de transistores separados. En las figuras 2.12a y 2.12b que son configuraciones discretas equivalentes del dispositivo integrado se observa que se tiene una base y un colector común. Se conoce que se han llegado a fabricar transistores de emisor múltiple con más de 60 emisores en un mismo dispositivo.

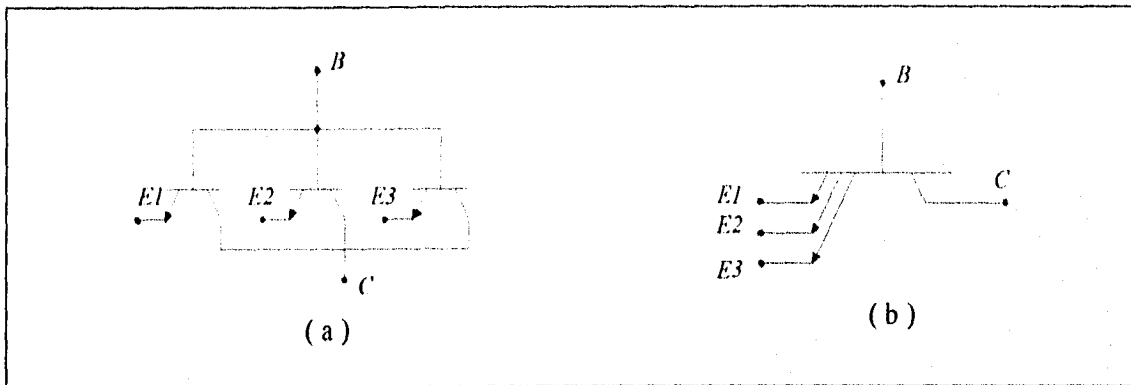


Figura 2.12 Configuraciones discretas equivalentes del transistor de emisor múltiple.

2.1.2 TRANSISTOR SCHOTTKY INTEGRADO.

En algunas ocasiones es necesario una operación más rápida de un transistor en un circuito, para que ello sea posible es necesario evitar que el transistor entre en saturación esta condición puede ser cumplida con la configuración que se muestra en la figura 2.13.

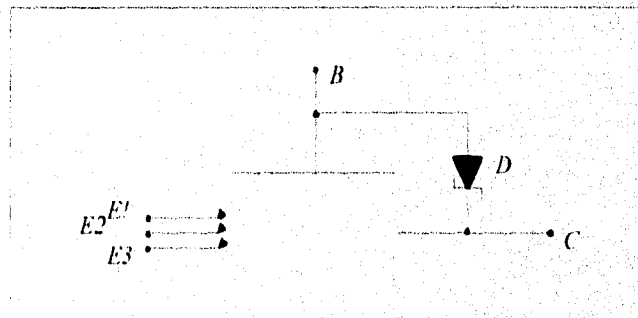


Figura 2.13 Configuración discreta de un transistor con más velocidad.

En la figura se observa que se requiere de un diodo Schottky el cual debe colocarse entre la base y el colector del transistor. Cuando se realiza un arreglo de este tipo el transistor incrementa su corriente de base, el voltaje del colector, su conductancia y además el voltaje de base colector se limita cerca de los 0.4 V. Siempre que la unión de colector este limitada a un valor menor al del voltaje de corto de 0.5V el transistor no entra en saturación.

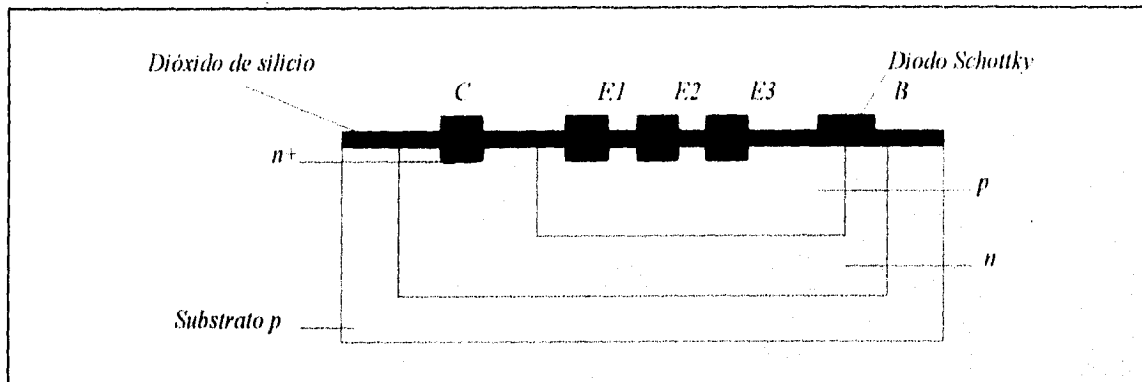


Figura 2.14 Transistor Schottky integrado.

En la figura 2.14 se observa el transistor Schottky integrado que es el equivalente del circuito discreto de la figura 2.13, se observa la metalización de aluminio del contacto de la base la cual siempre se hace de tal manera que tenga contacto con la región de colector tipo n , a pesar de este contacto la región tipo n^+ de colector no interviene. Mediante este sencillo proceso es posible obtener un diodo de metal-semiconductor que se forma entre la base y el colector. El transistor Schottky se representa simbólicamente como muestra la figura 2.15.

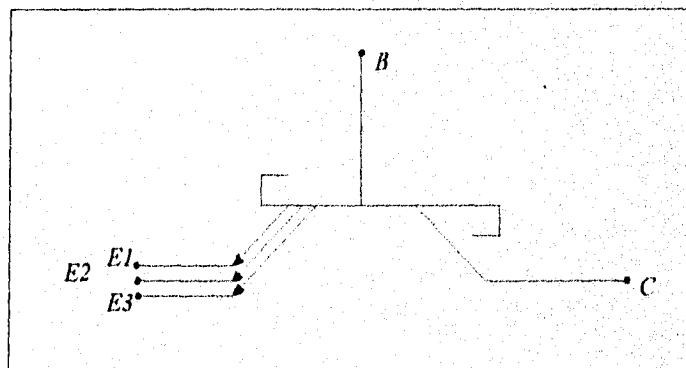


Figura 2.15 Representación discreta de un transistor Schottky.

La unión de metal semiconductor siempre se realiza durante el proceso de metalización, cabe hacer notar que la fabricación de un transistor Schottky requiere de un mayor número de procesos que el de un dispositivo npn. Observando el transistor Schottky este es muy similar al npn con la variante ya descrita en la metalización de la base, este dispositivo es utilizado en circuitos digitales ya que incrementa la velocidad de operación.

La conexión del diodo Schottky entre la base y el colector evita o previene que el transistor entre en saturación y virtualmente elimina el tiempo de almacenamiento con lo que se obtiene una rápida conmutación.

2.1.3 TRANSISTORES CON β ALTO.

Existen transistores que tienen una β muy grande, generalmente el valor típico de β para un transistor integrado es del orden de 150 pero existe la posibilidad de incrementar el valor de β entre 2000 y 5000 ya sea para transistores implantados o difundidos, a este tipo de dispositivos se les conoce como transistores súper- β .

La razón por la cual se obtienen estos valores de β es debido a lo estrecho de la capa la base además de que hay una reducción del voltaje de ruptura en la unión base emisor por lo que estos transistores pueden ser únicamente utilizados cuando la unión base-emisor este sometida a bajos voltajes.

2.2 RESISTENCIAS INTEGRADAS.

La resistencia en un circuito integrado monolítico se obtiene generalmente empleando la resistividad de algunas de las superficies difundidas.

Para poder determinar la resistencia de un material es necesario conocer su resistividad, su longitud, temperatura y el área de dicho material partiendo de ello se puede determinar y crear una resistencia, primero se debe considerar que las capas de difusión son muy delgadas por lo que debe definirse una cantidad o parámetro de referencia al que se le llama resistencia por cuadro R_s Utilizando la figura 2.16 se puede obtener la R_s .

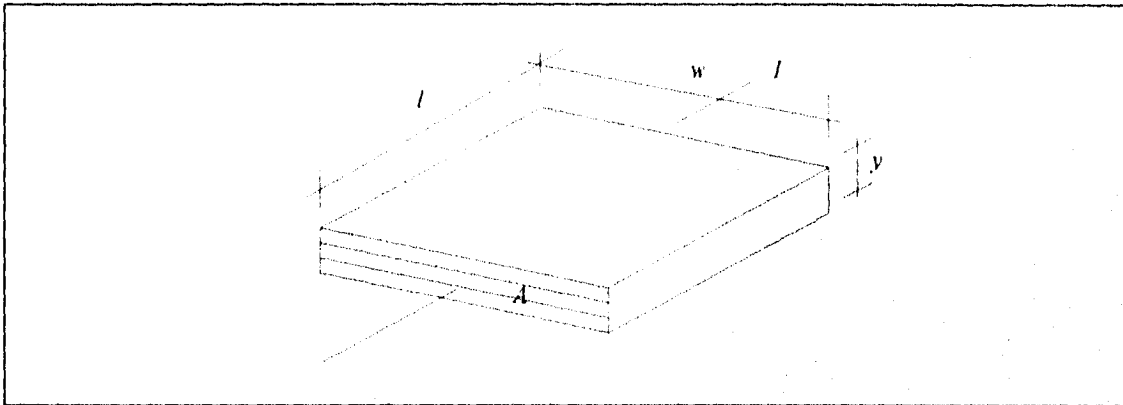


Figura 2.16 Base para la obtención de la resistencia por cuadro R_s .

De la figura 2.16 se puede observar que el ancho W y el largo l tienen la misma longitud por lo que se forma un cuadro de $l \times l$ de resistividad φ con una sección transversal $A=l \times Y$ por lo que la resistencia por cuadro de este elemento en ohms/cuadro es:

$$R_s = \frac{\varphi l}{lY} = \frac{\varphi}{Y}$$

De esta ecuación se puede concluir que la resistencia por cuadro es independiente del tamaño del cuadro, los valores típicos de resistencias por cuadro de las difusiones de base y emisor son de $200 \Omega/\text{cuadro}$ y $5 \Omega/\text{cuadro}$ respectivamente.

Las técnicas más utilizadas en la fabricación de resistencias integradas son la de difusión y la de implantación tipo p como la región de base de un transistor bipolar. Pero en ocasiones se utiliza la difusión tipo n de emisor. Existe otra técnica totalmente distinta para la fabricación de resistencias integradas a esta se le llama deposición de película delgada.

2.2.1 RESISTENCIA INTEGRADA DE DIFUSIÓN.

En la figura 2.17 se observa una resistencia difundida de base.

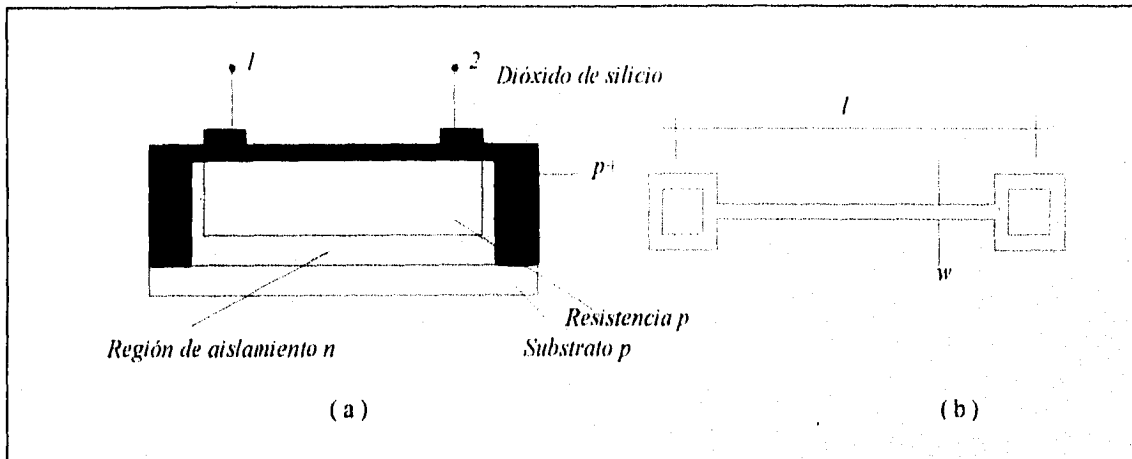


Figura 2.17 Resistencia integrada difundida de base. (a) vista transversal (b) vista superior.

En la figura 2.17b se observa la longitud l y el ancho W de la superficie difundida formando la resistencia integrada la cual se calcula mediante la siguiente expresión.

$$R = \frac{\rho l}{YW} = R_s \frac{l}{W}$$

Así por ejemplo tenemos una resistencia difundida con un ancho de $25\mu\text{m}$ y un largo de $250\mu\text{m}$ conteniendo 10 cuadrados (de $25 \times 25\mu\text{m}$) con una R_s de $200 \Omega/\text{cuadro}$, entonces tenemos que el valor de la resistencia es.

$$R = 200 \frac{250}{25} = 2000 \Omega = 2K \Omega$$

Se puede experimentar y variar la longitud y el ancho para obtener el valor de resistencia deseado, por lo tanto si tenemos una banda resistiva con un $W=6\mu\text{m}$ y un largo $l=30\mu\text{m}$, una $R_s=200\Omega/\text{cuadro}$ tenemos.

$$R=200 \frac{30}{6} = 1000 \Omega = 1K\Omega$$

El valor R_s se tomo de los valores típicos para el tipo de difusión ya sea de base o de emisor.

Generalmente se realizan correcciones empíricas en el calculo de R tomando en cuenta el efecto que producen los contactos en los extremos.

En la figura 2.17a se puede observar que la capa epitaxial tipo n sirve como región de aislamiento entre la resistencia tipo p y otros componentes del circuito integrado.

Una estructura de difusión de emisor n^+ para una resistencia es similar a la figura 2.17a sólo que cuando se realiza la difusión n^+ sobre una capa base tipo p esta se realiza con la difusión de los emisores de los TBJs del circuito integrado y la región de base actúa como región aislante entre la resistencia y los demás elementos del chip.

El espacio ocupado por una resistencia integrada ya sea con región de base o de emisor es determinada y limitada por el proceso de fabricación, las variables que limitan o controlan los valores de resistencia son el largo y el ancho del elemento como ya se menciona. El ancho que se maneja como estándar en la actualidad es de $5\mu\text{m}$ y si se presenta algún error en la construcción de la máscara o en la resolución del proceso de fotolitografiado puede existir una variación importante en el valor de la resistencia.

Una técnica utilizada para poder incrementar el valor de una resistencia integrada es incrementar el largo de la misma por ser este un parámetro del cual depende el valor de la resistencia, en la figura 2.18 se observa la resistencia con una mayor longitud.

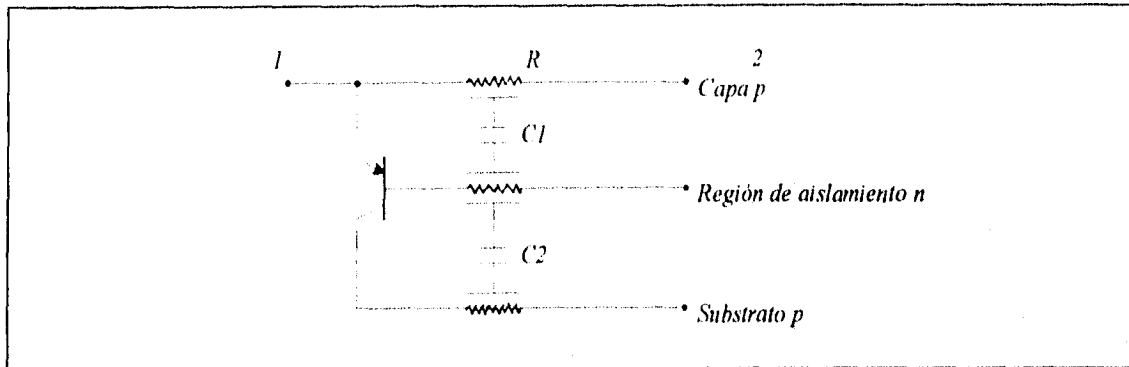


Figura 2.19 Circuito equivalente discreto de una resistencia integrada.

En la figura anterior se pueden ver las dos capacidades parásitas que se forman C_1 y C_2 ; la capacidad C_1 se forma entre la capa p de la resistencia y la región de aislamiento mientras que la C_2 esta entre la región de aislamiento y el sustrato tipo p . Además de estas capacidades se forma un transistor parásito pnp , se observa que la capa p de la resistencia forma el emisor, la región de aislamiento n la base y el sustrato p el colector. Debido a que el colector se polariza inversamente se requiere que el emisor también se polarice inversamente para que el transistor permanezca en estado de corte. Para lograr esto es necesario colocar todas las resistencias del circuito en una sola región aislada además de conectar la región de aislamiento tipo n de las resistencias al voltaje más positivo del circuito. El transistor parásito que se forma tiene un rango típico de βf de 0.5 a 5.

2.2.2 RESISTENCIAS EPITAXIALES.

Las resistencias de hoja de región de colector epitaxial tienen aproximadamente seis tiempos más que las de difusión de base y debido a ello es posible fabricar resistencias con altos valores al utilizar la capa epitaxial, estas resistencias están delimitadas por la región de aislamiento que rodea al elemento, los efectos en estas resistencias pueden cambiar de manera importante y permiten resistencias que mantienen con precisión sus valores para ello la difusión de aislamiento debe ser controlada cuidadosamente.

El coeficiente de temperatura de una resistencia epitaxial es aproximadamente un 50% mayor que el de una resistencia difundida de base y tiene un rango de tolerancia de entre 5 y 30%.

2.2.3 RESISTENCIA PINCH.

La resistencia integrada de la figura 2.17 puede convertirse en una resistencia pinch, ello al realizar otra difusión con material tipo p , el resultado se observa en la figura 2.20.

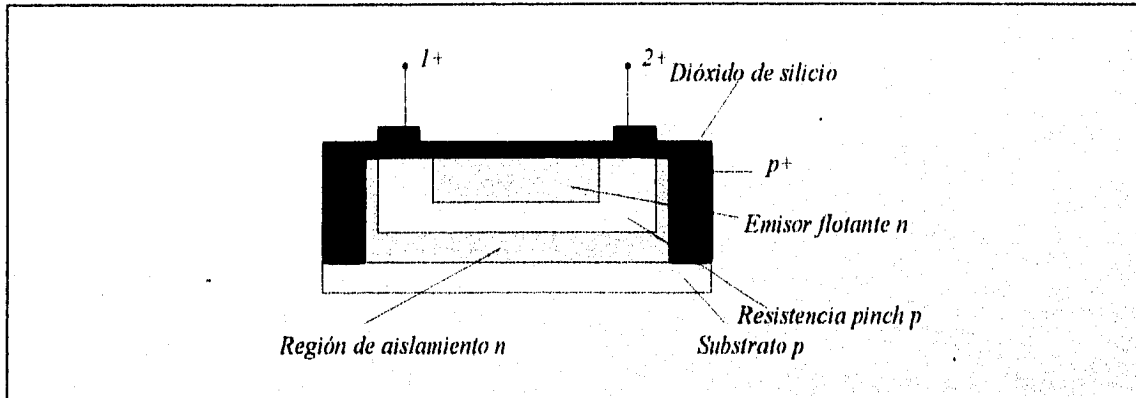


Figura 2.20 Sección transversal de una resistencia integrada pinch.

En la figura 2.20 se observa una región de material tipo n , este material no contribuye a la conducción, esto debido a que la corriente de 1 a 2 no puede tener un flujo a través del diodo np a el contacto 2 en dirección inversa.

En otras palabras sólo la corriente más pequeña de saturación inversa del diodo pasa a través del material n de emisor. Cuando hay una reducción en la conducción a través de la sección transversal del material p la resistencia se incrementa. Para resistencias mayores de $50K \Omega$ los valores no son exactos debido a que no es posible controlarlos de manera precisa y pueden presentar variaciones hasta del $\pm 50\%$ del valor nominal. Las resistencias pinch no son lineales y dependen del voltaje que se les aplique esto es muy similar a la variación de resistencia que presenta con el voltaje el canal en un FET.

Para las resistencias pinch el voltaje sólo es limitado por el voltaje inverso de ruptura de base-emisor BV_{BE} que típicamente es de 6v, la construcción de estos elementos es idéntica a la unión base emisor. El problema del voltaje no es muy serio pues generalmente se utiliza para aplicaciones de bajo voltaje.

Se pueden obtener resistencias con valores altos y operación a alto voltaje que además ocupe una pequeña área del circuito, para ello se requiere formar una resistencia pinch epitaxial. La estructura de este tipo de resistencia es igual a la epitaxial y esta se forma cuando se difunde la base con material tipo p o cuando se implanta la misma. El material tipo p de base restringe la conducción a través de la capa epitaxial por lo que se incrementa la resistencia. La unión entre la base tipo p y la capa epitaxial es igual que la unión colector base de un transistor, esta unión tiene un alto voltaje de ruptura inverso.

2.2.4 RESISTENCIA DE PELICULA DELGADA.

Existe otra técnica para la formación de resistencias en los circuitos integrados esta es la depositación por vapor de película delgada, el metal utilizado es generalmente Nicromo NiCr el cual es depositado sobre la capa de dióxido de silicio, el espesor de la película es de aproximadamente $1\mu\text{m}$, para generar la geometría deseada se utiliza la técnica de enmascaramiento. Una vez obtenida la resistencia de metal se cubre con una capa aislante donde se habrán unas ventanas en las orillas donde se realizan los contactos óhmicos.

Típicamente las resistencias de este tipo tienen valores de 20Ω a $50\text{K}\Omega$ esto es debido a que el nicromo tiene una resistencia de cuadro típica de 40 a $400\Omega/\text{cuadro}$. El coeficiente de temperatura y la tolerancia permisible en este tipo de resistencias es comparable con las de implantación iónica.

Otro material que puede ser utilizado en la fabricación de resistencias de película delgada es el tantalio el cual tiene una resistencia por cuadro de $2\text{K}\Omega/\text{cuadro}$ y cuenta con bajo coeficiente de temperatura.

Todas las resistencias difundidas o implantadas no pueden ser ajustadas una vez fabricadas mientras que las de película delgada cuentan con esa posibilidad. Para realizar el ajuste de una resistencia de película delgada esta se corta por medio de un rayo laser hasta obtener la resistencia deseada, este proceso es muy costoso por lo que sólo se utiliza cuando es muy necesario como en la fabricación de filtros activos empleados en modems y teléfonos, esta técnica es conocida como arreglo laser.

2.3 CAPACITORES INTEGRADOS.

En los circuitos integrados las capacitancias y capacitores se pueden obtener de dos maneras distintas, se pueden formar aprovechando la capacidad de transición de una unión $p-n$ polarizada inversamente ó a través de la técnica de película delgada.

2.3.1 CAPACITOR DE UNIÓN $p-n$.

En la figura 2.21a y b se pueden observar las capas de sustrato, la epitaxial, la difusión tipo p y la del tipo n^+ , que forman un capacitor integrado.

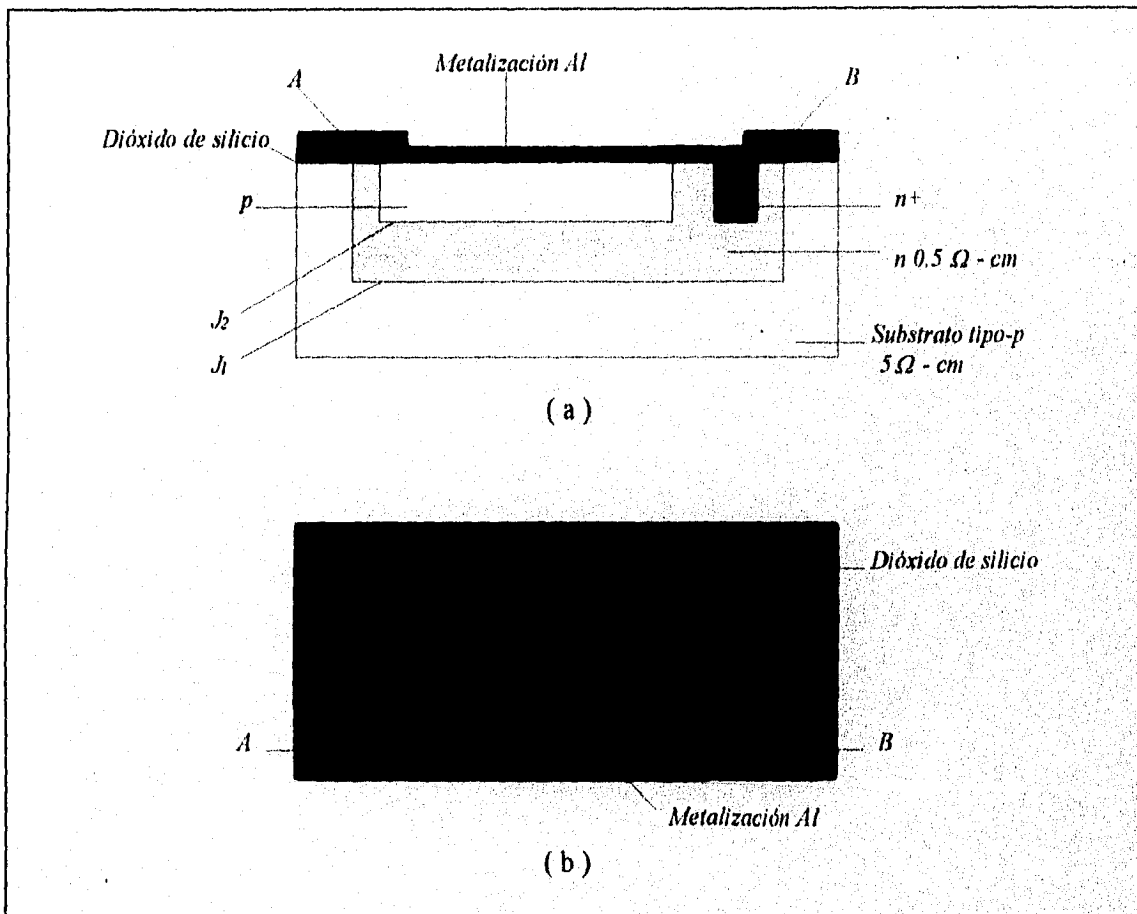


Figura 2.21 Capacitor de unión $p-n$. (a) Sección transversal. (b) Vista superior.

La figura 2.21 representa un corte transversal de un capacitor integrado de unión. El condensador está formado entre la unión de la capa epitaxial tipo n y la capa difundida tipo p de la parte superior la cual se debe polarizar inversamente que en la figura se señala como J_2 . En la figura también se observa que se forma otra capacitancia C_1 esta es una capacidad parásita que en la figura se señala como J_1 , esta se forma entre la unión de la capa epitaxial tipo n y el sustrato tipo p de la parte inferior de la figura que también es polarizada inversamente. La figura 2.22 muestra el circuito equivalente del condensador de unión.

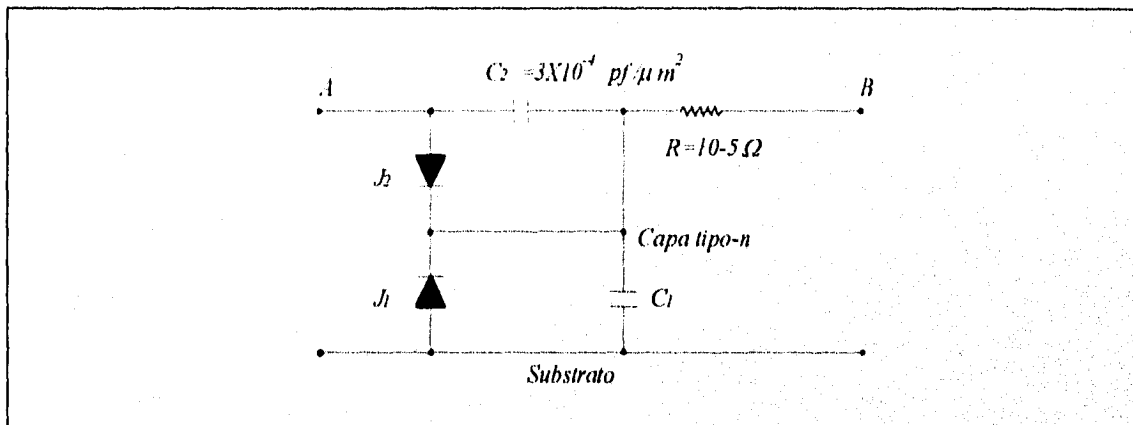


Figura 2.22 Circuito discreto equivalente de un condensador de unión.

El condensador de interés para el circuito es C_2 , el cual debe ser lo mayor posible con respecto a C_1 , el valor del condensador depende de la superficie que se difunda y el nivel de impureza que se utilice en esta difusión, C_2 se calcula mediante la siguiente ecuación y ello se debe a la unión abrupta que se presenta.

$$C_T = \frac{\epsilon A}{W}$$

Esta expresión es la de la capacidad de un condensador plano de placas paralelas con superficie A (m^2), separación W (m) y con un dieléctrico de permisividad ϵ . En el circuito equivalente se ve también una resistencia serie la cual representa la resistencia de la capa tipo n que tiene un valor típico aproximado de entre 10 y 50Ω , un valor típico de esta capacitancia es de aproximadamente $3 \times 10^{-4} \text{ pf}/\mu m^2$.

Para disminuir al máximo la influencia de C_i y aislar el condensador de los demás elementos del circuito se debe conectar el sustrato al voltaje más negativo del circuito con lo cual se mantiene la unión J_1 polarizada inversamente. Una observación que debe realizarse es que el condensador de unión está polarizado debido a que la unión $p-n$ de J_1 debe estar siempre polarizada inversamente.

Un condensador típico de unión difundido tiene las siguientes características capacidad 3×10^{-4} pf/ μm^2 , superficie máxima $50.8 \times 10^3 \mu\text{m}^2$, valor máximo 400pf, el voltaje de ruptura de entre 5-20v con una tolerancia de $\pm 20\%$.

2.3.2 CAPACITORES DE PELICULA DELGADA.

La construcción de los condensadores de película delgada es muy similar a la de los capacitores MOS para ello se evapora una película delgada de algún conductor sobre la capa de dióxido de silicio, esa pequeña película metálica es la placa superior mientras el dióxido de silicio actúa como el dieléctrico, por otro lado la placa inferior es una región n^+ altamente impurificada.

En el siguiente capítulo se da una explicación más detallada de los capacitores de película delgada. Cabe resaltar que los capacitores integrados ocupan bastante porción del área del circuito integrado, así por ejemplo para un capacitor de 40 pf se requiere de un área de $10 \mu\text{m}$ por lo que típicamente los valores son menores de 100 pf aunque en ocasiones se requiere de valores mayores a los 500pf estos se fabrican a expensas de ocupar más área del chip.

En ocasiones se utiliza el tantalio para fabricar los capacitores este material aumenta la capacitancia por unidad de área en un factor de 10, en los condensadores fabricados con este material el dieléctrico es formado mediante un crecimiento controlado de pentóxido de tantalio (Ta_2O_5) y la placa superior se forma depositando tantalio metálico, los capacitores obtenidos por este proceso incrementan el costo además de requerirse una serie de pasos adicionales para su construcción.

2.3.3 CAPACITORES POLY-POLY.

Existe otro proceso para la fabricación comercial de un condensador a este se le llama poly-poly ello se debe a que utiliza dos capas de polisilicio, esas dos capas están provistas de una capa adicional para las interconexiones entre los componentes, además las dos capas de polisilicio están separadas por una región delgada de dióxido de silicio formando así el condensador el cual se observa en la figura 2.23.

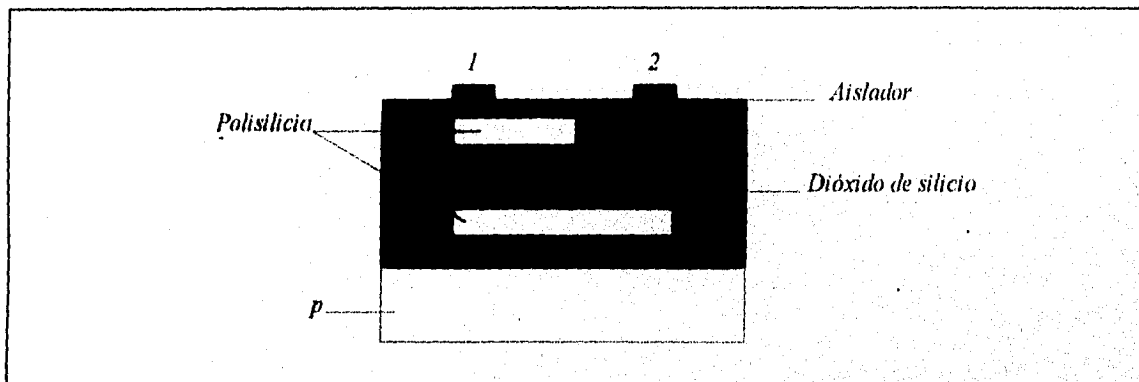


Figura 2.23 Sección transversal de un capacitor integrado poly-poly.

2.4 DIODOS INTEGRADOS.

El diodo es otro de los elementos utilizados en la fabricación de circuitos integrados su fabricación es a partir de la estructura de un transistor integrado en una de sus cinco conexiones posibles, las tres más utilizadas y extendidas son la de el diodo emisor-base, en esta conexión el colector se cortocircuita con la base, en el otro diodo emisor-base la conexión se deja en circuito abierto el colector y en el diodo colector-base la conexión es dejar en circuito abierto el emisor, el proceso de fabricación del diodo es el mismo que el de un transistor desde el sustrato, el crecimiento epitaxial y hasta la última difusión con la variación que las dimensiones del diodo son mucho menores que las de un transistor, otra diferencia es que el ataque preohmico y la metalización se realiza de acuerdo al tipo de diodo integrado que se haya fabricado, en las figuras 2.24 (a,b,c) se observan las tres conexiones utilizadas y el aspecto del diodo en su sección transversal además de su circuito discreto equivalente.

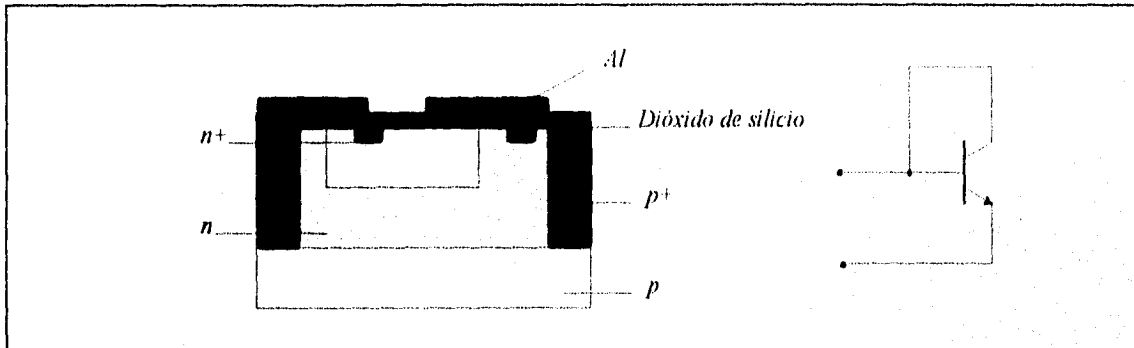


Figura 2.24a Sección transversal del diodo emisor base con colector cortocircuitado y su representación discreta.

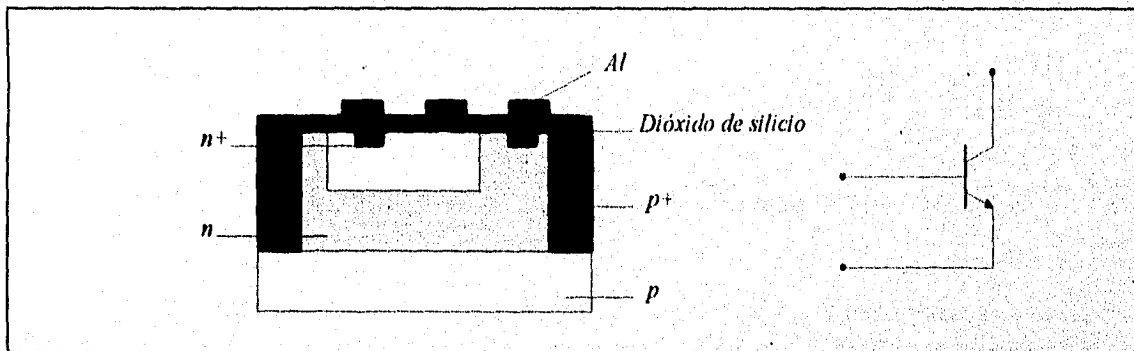


Figura 2.24b Sección transversal del diodo emisor base con colector en circuito abierto y su representación discreta.

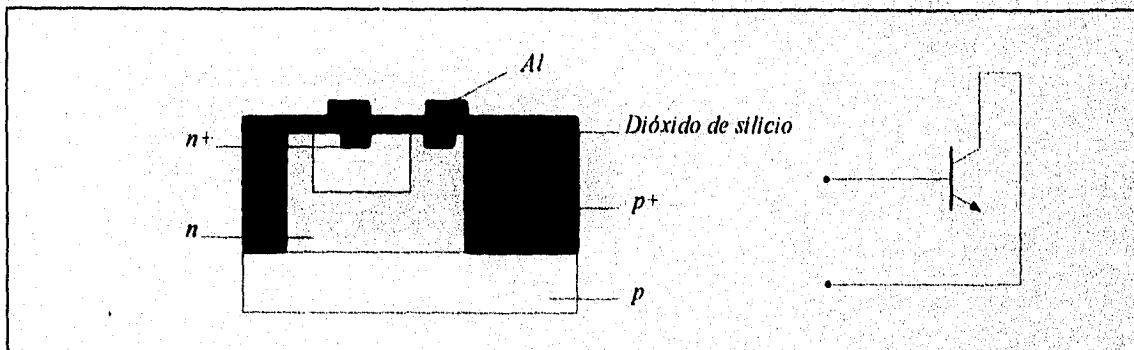


Figura 2.24c Sección transversal del diodo colector base sin difusión de emisor y su representación discreta.

2.4.1 DIODOS DE CÁTODO Y ÁNODO COMÚN.

El tipo de diodo a fabricarse depende de la aplicación y funcionamiento del circuito que se requiera. Los diodos colector-base tienen un voltaje de ruptura más alto con aproximadamente 12v como mínimo y estos son efectivos para sistemas de diodos de cátodo común los cuales pueden difundirse en una sola isla, en la figura 2.25 se observa el arreglo de cátodo común y la estructura monolítica del mismo.

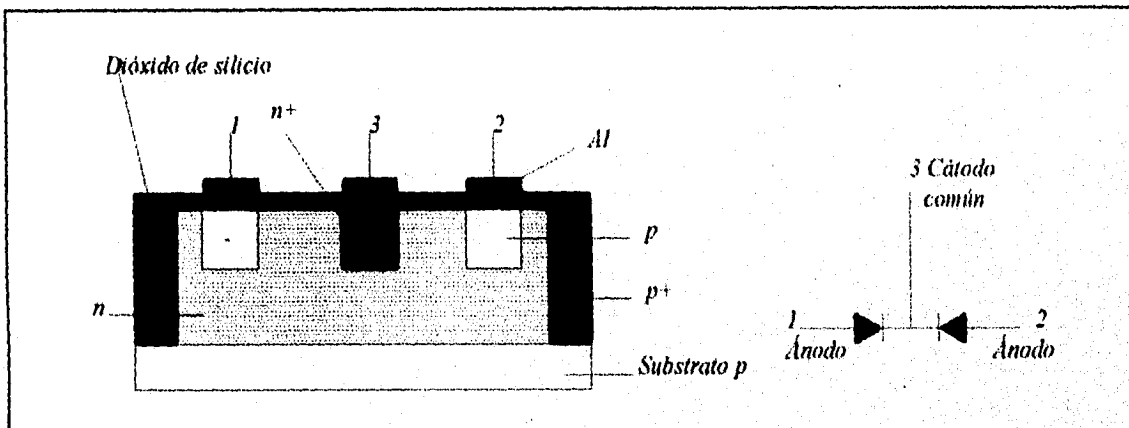


Figura 2.25 Sección transversal de diodos integrados de cátodo común y su representación discreta.

Para sistemas de ánodo común se utilizan también diodos colector-base solo que estos deben estar separados por un aislamiento, cada uno de los diodos y los ánodos se conectan por un proceso de metalización la figura 2.26 muestra un arreglo de ánodo común.

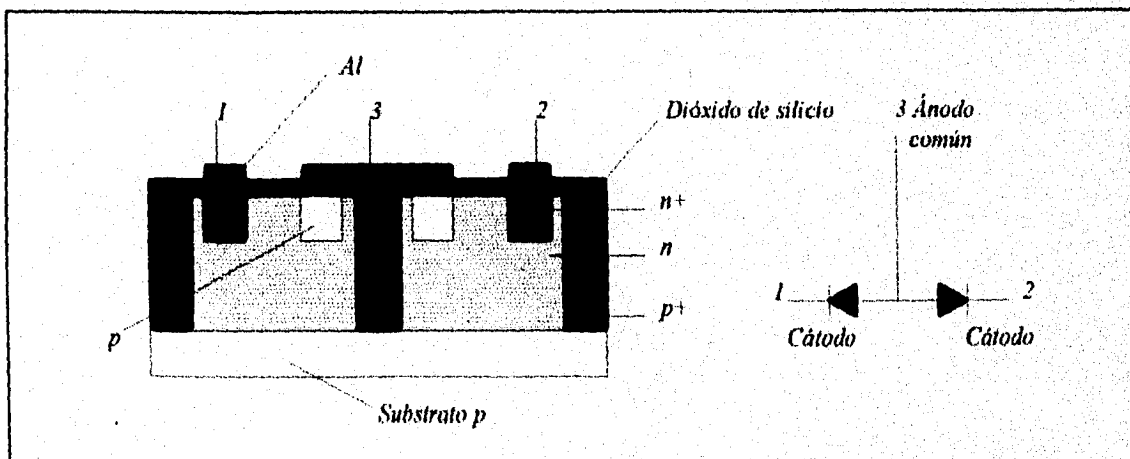


Figura 2.26 Sección transversal de diodos integrados de ánodo común y su representación discreta.

La fabricación de diodos emisor-base es muy común siempre y cuando el voltaje de ruptura no exeda de $\approx 7\text{v}$ con este tipo de diodos es fácil realizar un sistema de ánodo común el cual viene a ser un transistor de emisor múltiple en una sola isla, el colector puede dejarse abierto sin conectar o cortocircuitarse con la base, en la figura 2.27 se observan algunos diodos de ánodo común con el colector abierto.

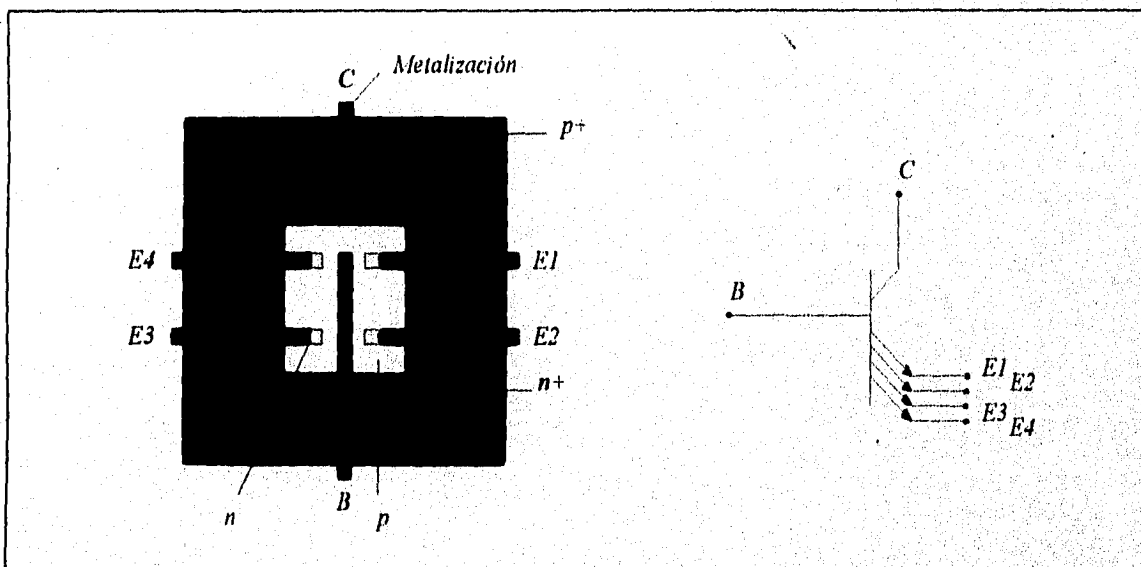
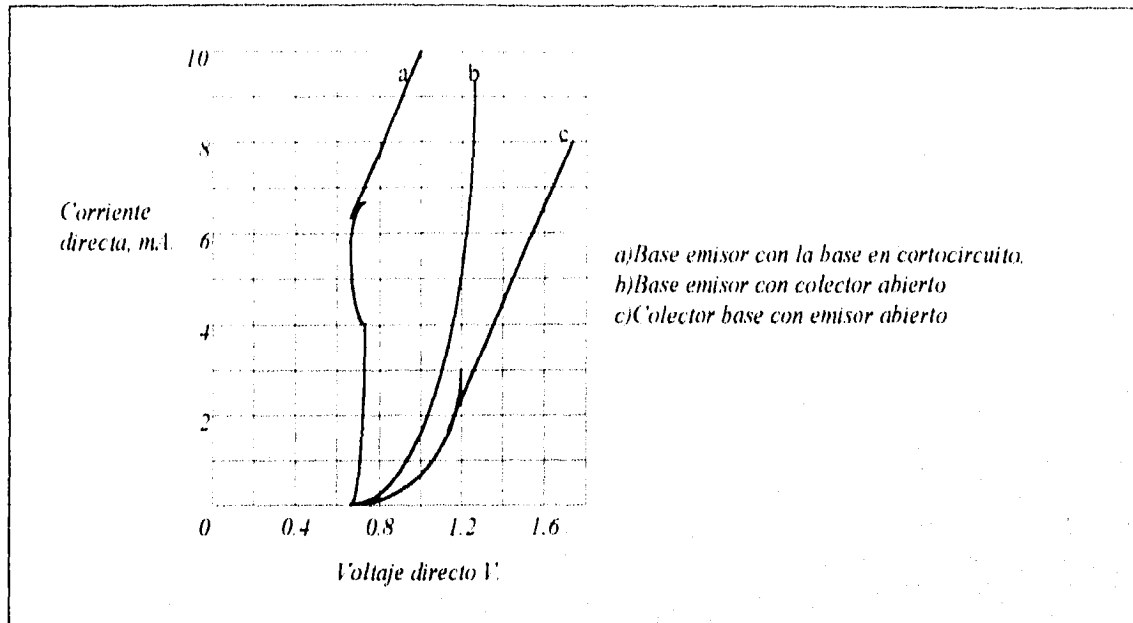


Figura 2.27 Vista superior de diodos integrados de ánodo común con colector abierto y su representación discreta.

Las características de los diodos aquí mencionados en directa se observan en la gráfica 2.1.



Gráfica 2.1 Características de los diodos base emisor con base cortocircuitada (a), base emisor con colector abierto (b), colector base con emisor abierto (c).

En la gráfica se puede observar y concluir que con el emisor abierto del diodo base-emisor cortocircuitado, se tiene la mayor conducción de corriente para un mismo voltaje aplicado en directa.

2.4.2 DIODO SCHOTTKY INTEGRADO.

Existen dos tipos posibles de unión metal semiconductor el óhmico y el rectificado, el óhmico se utiliza cuando se desea que el metal este depositado directamente sobre el silicio. Por otro lado el contacto rectificado genera un diodo metal- semiconductor llamado barrera Schottky.

Cuando se realiza el contacto entre el silicio y el metal se utilizan impurezas tipo p . El aluminio podría servir como una guía al silicio tipo n pero se desea un contacto óhmico además se debe evitar la formación de una unión $p-n$. Por esta razón se realizan difusiones en las regiones n cercanas a la superficie donde se deposita el aluminio. Si la difusión n^+ no se realizara y se deposita directamente el aluminio sobre el silicio tipo n se forma una estructura pn resultando

una excelente metalización del diodo semiconductor, para realizar un diodo Schottky es necesario realizar los dos tipos de contactos.

En la figura 2.28 se observa un diodo Schottky integrado. El contacto 1 es un contacto óhmico no rectificador mientras que el contacto 2 es una barrera Schottky entre estos dos contactos se forma el diodo Schottky integrado, en la figura se observa también su equivalente discreto.

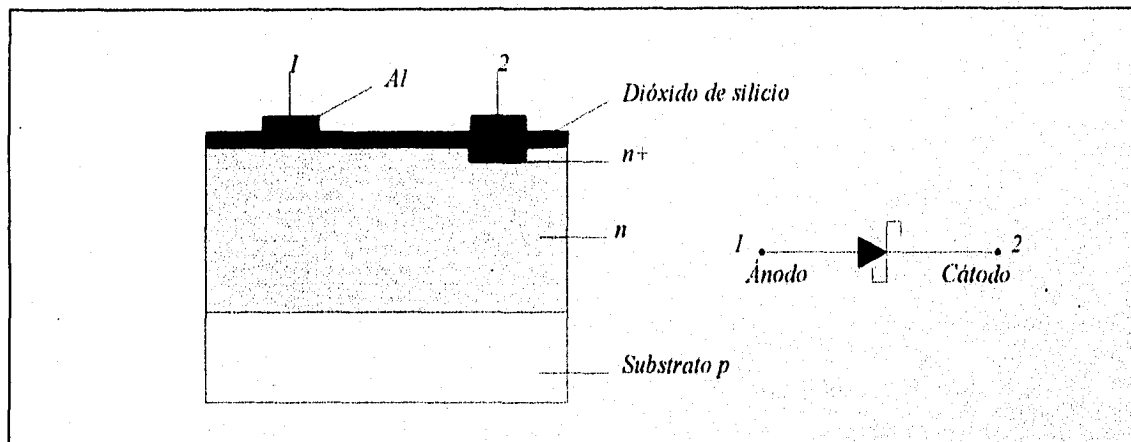


Figura 2.28 Sección transversal de un diodo Schottky integrado y su representación discreta.

2.5 INTEGRACIÓN MONOLÍTICA DE UNA COMPUERTA NAND.

En este capítulo se presentaron los principales elementos utilizados en la formación de circuitos monolíticos bipolares a continuación se presenta un ejemplo de la integración de una compuerta NAND y la descripción de los pasos en su fabricación.

En primer lugar se debe tener el diseño de un circuito discreto que cumpla las funciones deseadas para que a partir de este se realice la distribución más conveniente y óptima para realizar el chip, en la figura 2.29 se observa el circuito discreto de una compuerta NAND.

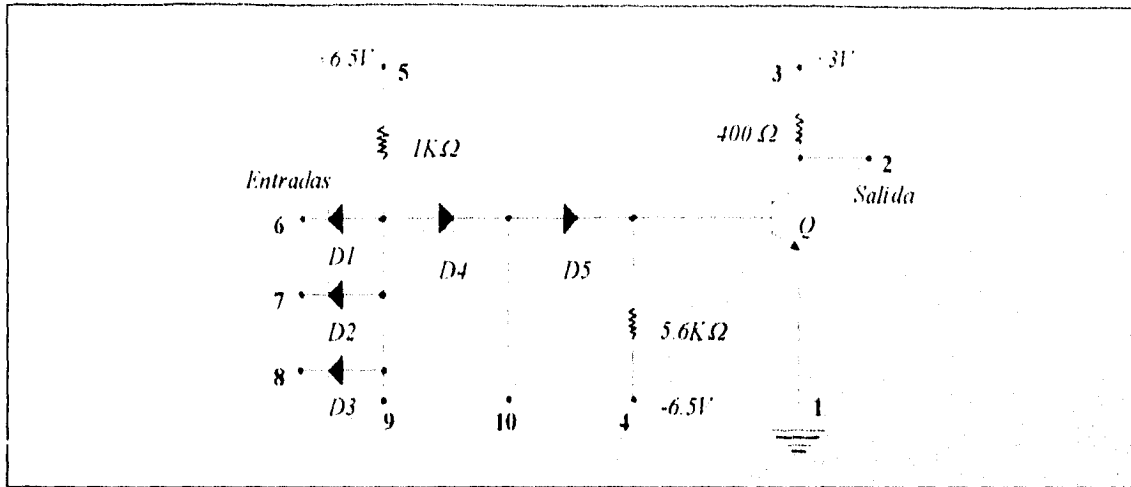


Figura 2.29 Circuito discreto de una compuerta NAND.

El siguiente paso es la distribución de espacio ocupando el mínimo de área así como de las terminales de conexión, regularmente se agrupan los elementos con sus similares para reducir al máximo el número de difusiones, para realizar esta distribución se tienen reglas y criterios que dictan los fabricantes las cuales se analizarán detalladamente en el capítulo 4, en la figura 2.30 se observa la distribución más común de una compuerta NAND.

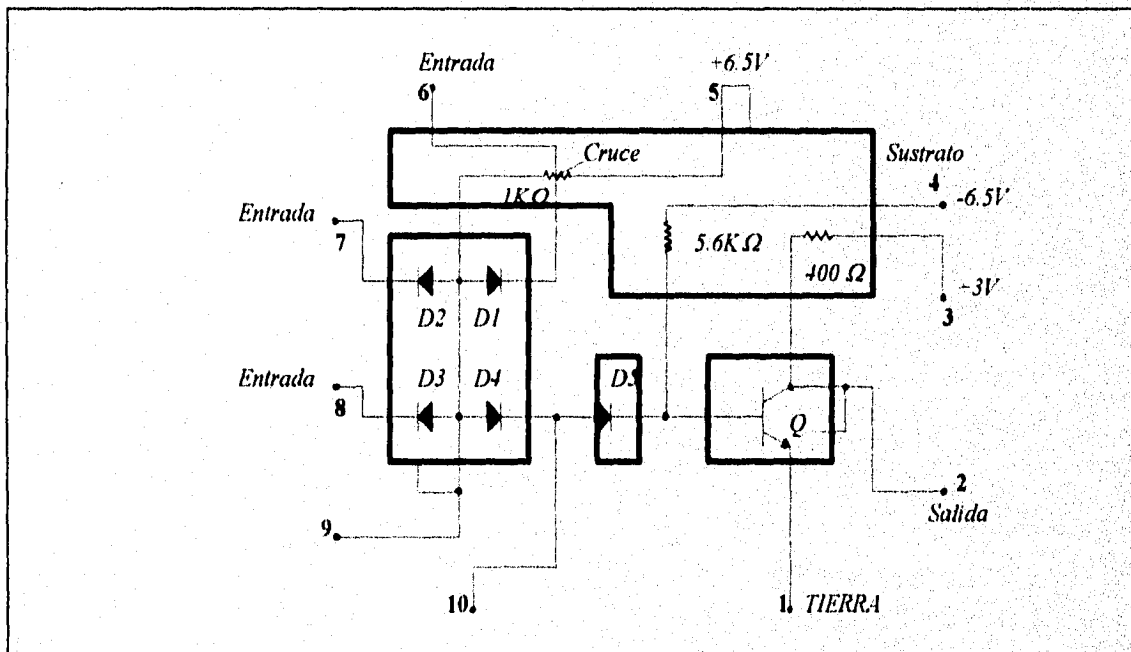


Figura 2.30 Distribución de los elementos para la fabricación monolítica.

Una vez teniendo la distribución de los elementos del chip se procede al diseño de las distintas mascarillas que se utilizarán en cada proceso de la fabricación y que son, de difusión de aislamiento, de difusión de emisor, de difusión de base, de ataque preóhmico y la de la metalización, en la figura 2.31 se observan los diseños de las mascarillas.

Para empezar la fabricación del (CI) se requiere de la oblea la cual se obtiene como se describió en el capítulo 1 una vez teniendo la oblea pulida y rectificada el primer paso es el crecimiento epitaxial tipo n, en seguida se cubre la oblea con una capa de dióxido de silicio y es recubierta con una capa de fotoresist preparándola para el proceso fotolitográfico para el cual se utiliza la mascarilla (a) de la figura 2.31 para posteriormente realizar la difusión de aislamiento, una vez terminado este proceso se utiliza la mascarilla (b) de la figura 2.31 para realizar la difusión de emisor, cabe mencionar que para cualquier difusión que se realice se requiere del proceso de fotolitografía, posteriormente se utiliza la mascarilla (c) de la figura 2.31 para realizar la difusión de emisor, al mismo tiempo que se realizan estas difusiones de transistor se obtienen los demás elementos como se observa en las mascarillas, a continuación se realiza el ataque preóhmico por medio de una difusión que es igual a la de aislamiento con su respectivo proceso fotolitográfico utilizando la mascarilla (d) de la figura 2.31, por último se realiza el proceso de metalización con la mascarilla (e) de la figura 2.31. En la figura 2.32 se observa el resultado en la vista superior de la estructura monolítica con sus difusiones, ataque preóhmico y metalización.

La estructura monolítica para la compuerta NAND terminada y amplificada se presenta en la figura 2.33, al tener el dado (CI) terminado los siguientes pasos son la pasivación, prueba y el encapsulado para su distribución. Es preciso mencionar que todos los pasos y procesos mencionados fueron descritos más detalladamente en el capítulo 1.

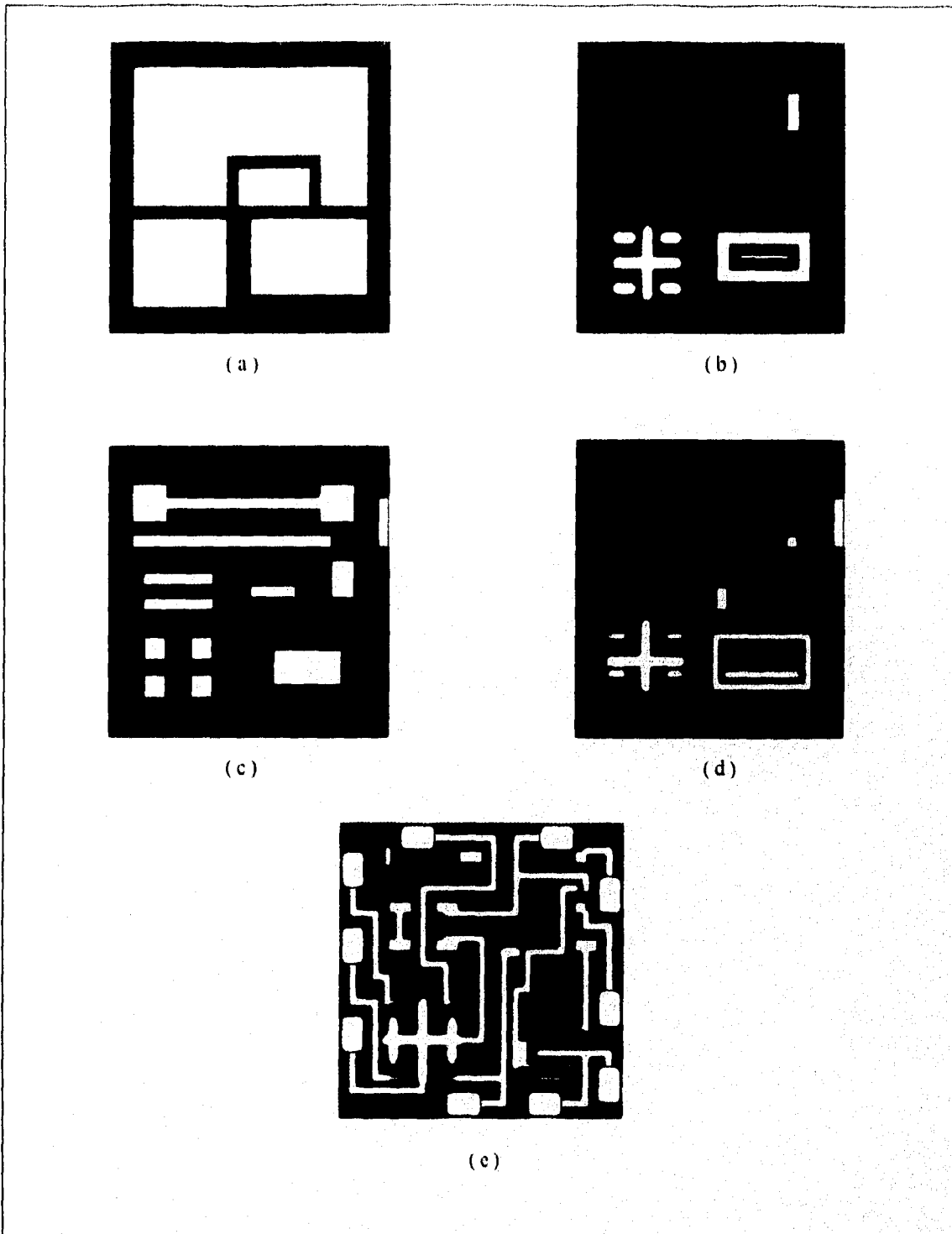


Figura 2.31 Mascarillas (a) Difusión de aislamiento. (b) Difusión de emisor. (c) Difusión de base. (d) Ataque preóhmico. (e) Metalización.

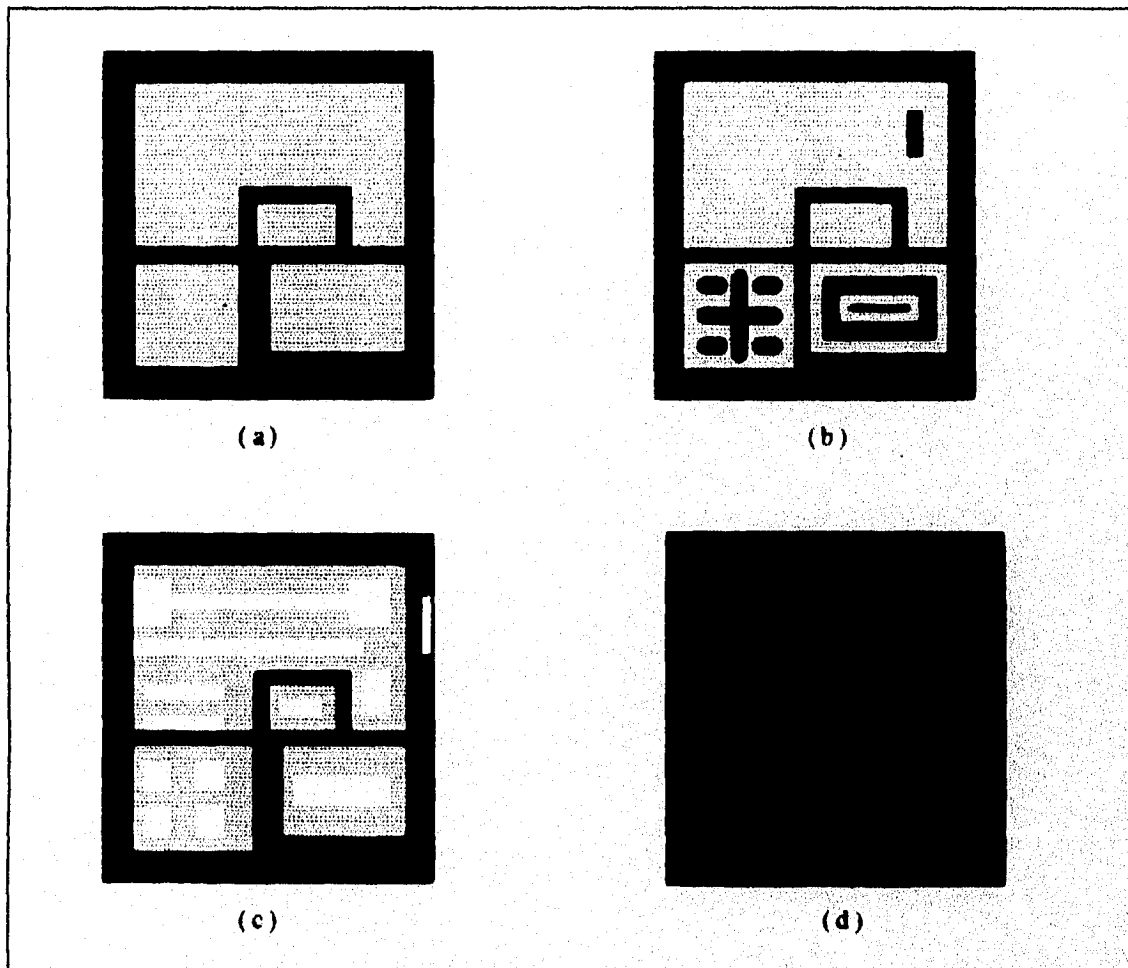


Figura 2.32 Dado del CI compuerta NAND. (a) Después de la difusión de aislamiento. (b) Después de la difusión de emisor (c) Después de la difusión de base. (d) Después de la metalización.

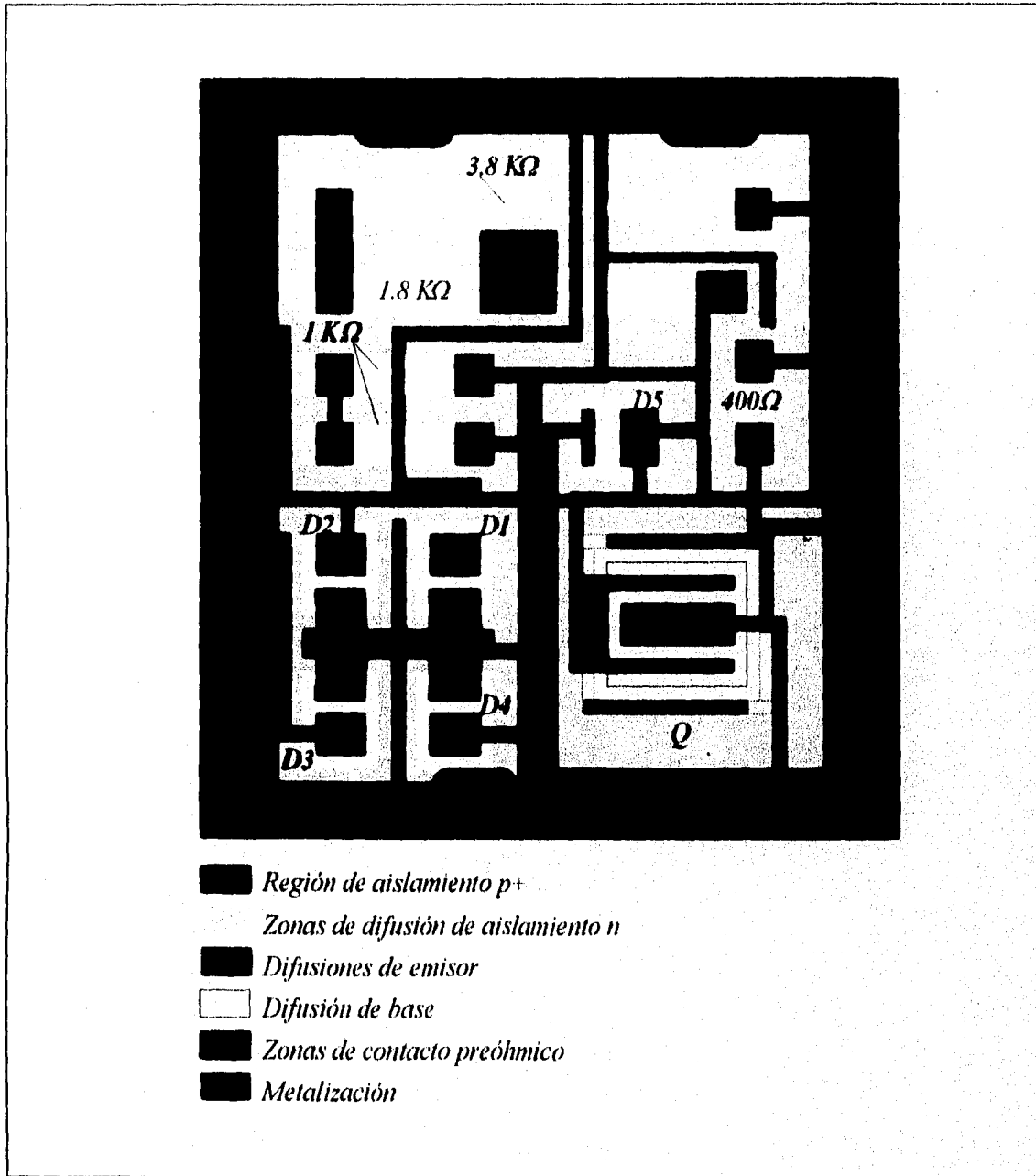


Figura 2.33 Estructura monolítica terminada para una compuerta NAND.

Diseño de circuitos integrados con tecnología MOSFET para circuitos analógicos.

3

INTRODUCCIÓN.

En el diseño y fabricación de circuitos integrados existe otra tecnología para su obtención conocida como MOSFET o unipolares la cual tiene sus características particulares cuenta con los elementos pasivos y activos su fabricación tiene ciertas variantes con los de la tecnología bipolar por lo que este capítulo se avocara a describir los elementos que forman la tecnología unipolar como son transistores, resistencias, capacitores y diodos.

3.1 TRANSISTORES MOSFET INTEGRADOS .

Los transistores unipolares son conocidos como FETs ó transistores de efecto de campo y de ellos los más extendidos son los MOS; el nombre de unipolar es debido a que la conducción se realiza a través de un sólo camino que puede ser *P* para un dispositivo pMOS ó un *N* para un

nMOS. Estos dispositivos cuentan con tres contactos que son el surtidor (S), drenador (D) y el contacto de control compuerta ó puerta (G).

3.1.1 TRANSISTOR nMOS.

De todos los procesos para la obtención de transistores MOS el más simple es el nMOS por lo que es muy popular, además que su diseño no es de gran complejidad.

En la sección transversal de un transistor nMOS se pueden observar las tres capas que lo constituyen a partir de ello se deriva su nombre, una capa de metal otra de óxido y una más de semiconductor, el prefijo n indica el canal por donde ocurre la conducción de corriente para este caso es silicio tipo n.

La fabricación de un transistor nMOS sigue el proceso descrito en el capítulo 1 hasta obtener la oblea de silicio tipo p. A partir de este proceso el siguiente paso es cubrir la oblea con nitruro de silicio Si_3N_4 , para los MOSFETs se utiliza este compuesto debido a que es más impermeable para el dopado que el dióxido de silicio SiO_2 utilizado en la tecnología bipolar.

La primera máscara y ataque químico define un área con suficiente espacio para poder incluir la fuente, la puerta y el drenador; en seguida el Si_3N_4 es retirado químicamente de la superficie donde se va formar el transistor; una vez terminado el ataque químico se implanta iónicamente una capa de material tipo p+ en el substrato tipo p que se encuentra expuesto. La razón de implantar esta capa p+ es la de aislar los demás dispositivos del chip, en la figura 3.1 se observa la región donde se realiza la implantación tipo p+. A continuación se crece una capa relativamente gruesa de $1\mu\text{m}$ de dióxido de silicio en las zonas donde se realizó la implantación, a esta capa se le llama óxido de campo la cual no afecta la región de Si_3N_4 como se observa en la figura 3.1.

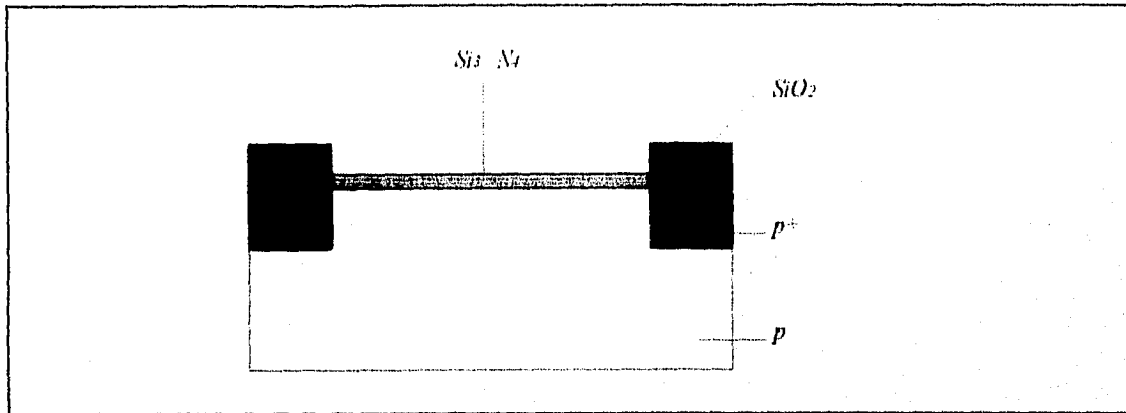


Figura 3.1 Primer paso en la fabricación de transistor nMOS.

En la siguiente fase del proceso es retirado el resto de la capa de Si_3N_4 a través de un ataque químico, a continuación se crece térmicamente una delgada capa de SiO_2 de aproximadamente 800 a 1000 Å sobre las áreas del transistor, en este proceso se aplica la capa de óxido que esta bajo las puertas de los transistores, en la figura 3.2 se observa el resultado después de este proceso.

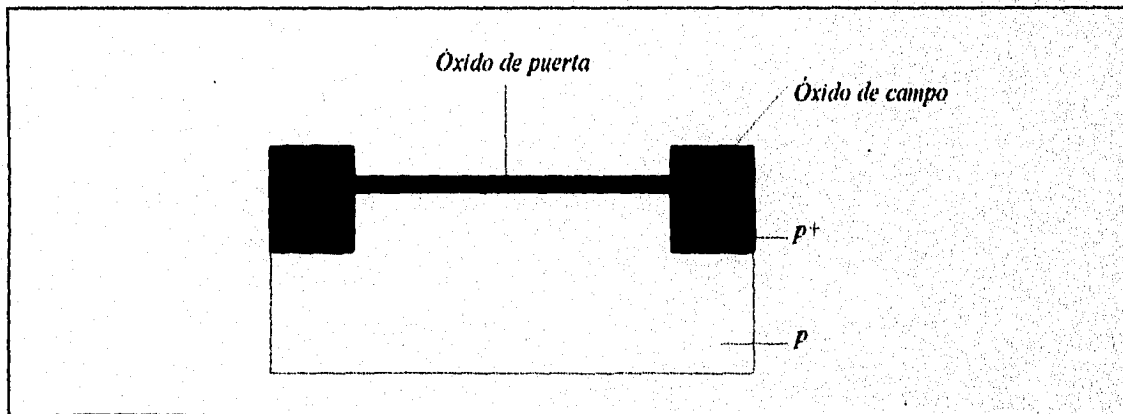


Figura 3.2 Crecimiento del óxido de puerta.

El siguiente paso del proceso consiste en cubrir toda la oblea con una capa de polisilicio, enseguida se realiza un segundo proceso fotolitográfico en donde son establecidas las regiones de puerta del transistor abriendo ventanas en esas regiones y retirando el polisilicio restante con un ataque químico, en las figuras 3.3a y 3.3b se observa el resultado del proceso.

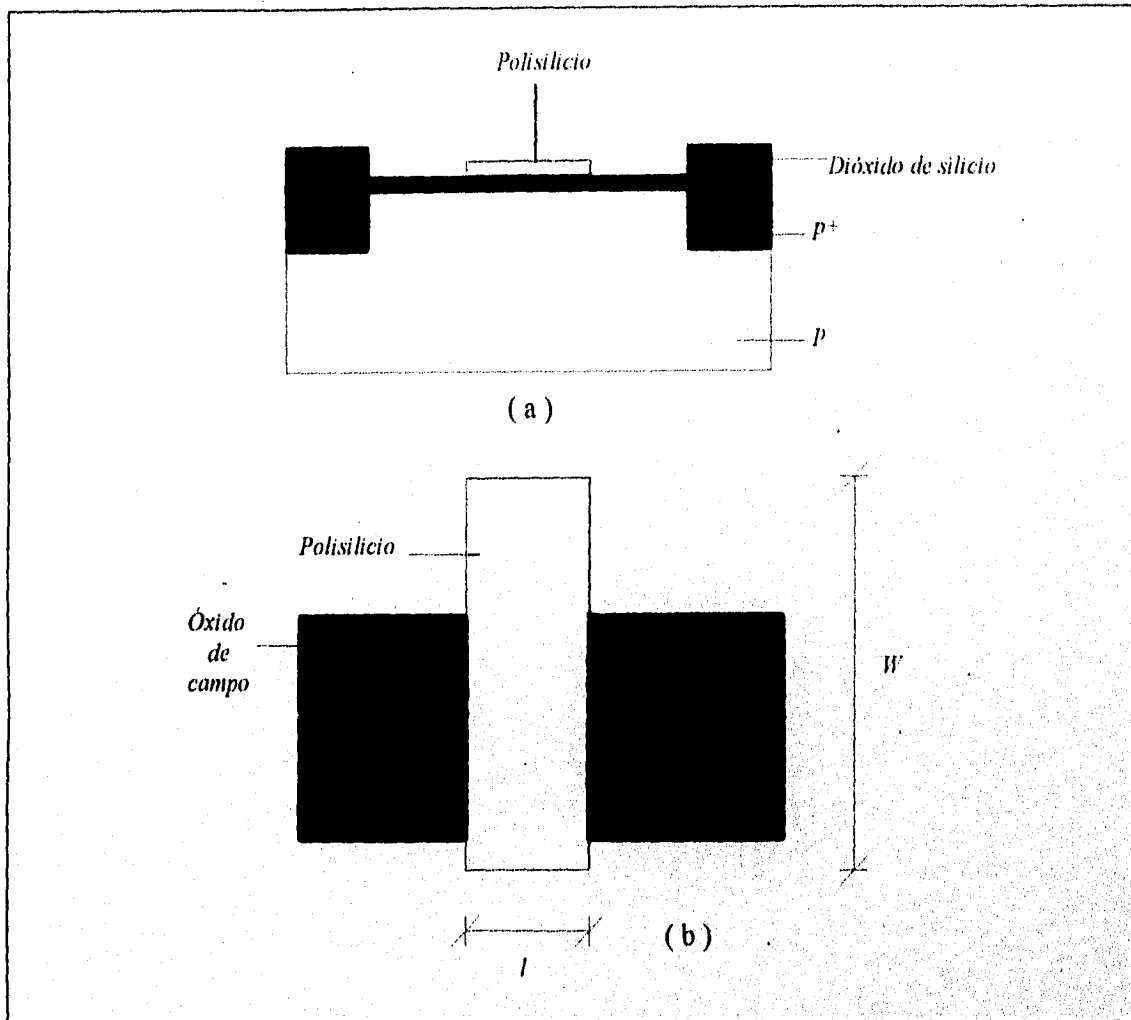


Figura 3.3 (a) Deposición del polisilicio sección transversal. (b) Vista superior.

Al utilizar un semiconductor en este caso el polisilicio el voltaje de umbral (V_t) se reduce y es menor que el que se obtiene con puertas de metal, debido a ello es posible usar voltajes de suministro más bajos, siendo esta una de las razones por la cual los circuitos integrados MOS comerciales son fabricados con polisilicio.

El paso siguiente para la obtención del nMOS es obtener la fuente y el drenado, para ello se utiliza material tipo n^+ el cual generalmente es implantado, cuando se realiza la

implantación iónica el óxido de campo y la capa de polisilicio evitan la penetración de impurezas a las regiones que están cubiertas. Pero en las zonas donde sólo esta la delgada capa de óxido las impurezas si penetran lo cual permite la formación del drenado y la fuente.

Debido a que existe una implantación iónica no se presenta una superposición de los electrodos, ya que el drenado, fuente y puerta tienen la misma alineación en el circuito; por esta razón las capacitancias entre C_{gs} y C_{gd} son muy pequeñas, la figura 3.4 muestra la sección transversal y la vista superior después de terminado el proceso.

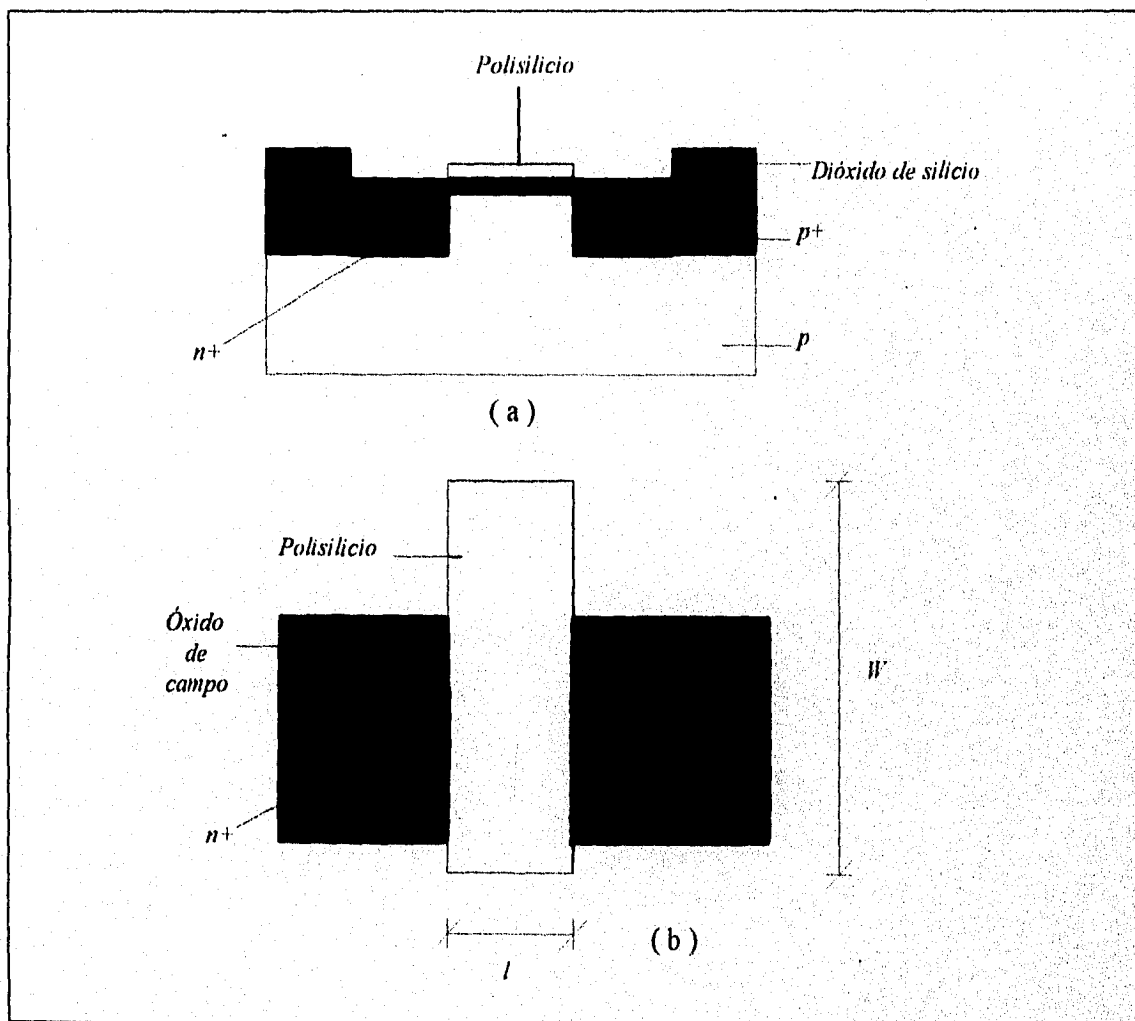


Figura 3.4 Vistas del dispositivo después de terminar el proceso de implantación de drenador y surtidor. (a) Sección transversal. (b) Vista superior.

Una vez terminada la implantación del drenado y la fuente el siguiente paso del proceso consiste en cubrir toda la oblea con una capa protectora y aislante generalmente de dióxido de silicio, en seguida se realiza el proceso fotolitográfico en el que se utiliza una tercera máscara que define los contactos del dispositivo, el dióxido de silicio restante es retirado de la superficie por medio de un ataque químico.

Posteriormente la oblea es lavada y pasa al siguiente proceso en donde es cubierta por aluminio el cual es evaporado y depositado sobre toda la oblea, una vez cubierta toda la oblea con el aluminio se utiliza una cuarta máscara la cual define las conexiones del nMOS. El resultado después de este último proceso se observa en las figuras 3.5a y 3.5b, las cuales muestran al transistor nMOS en su sección transversal y la otra en la vista superior.

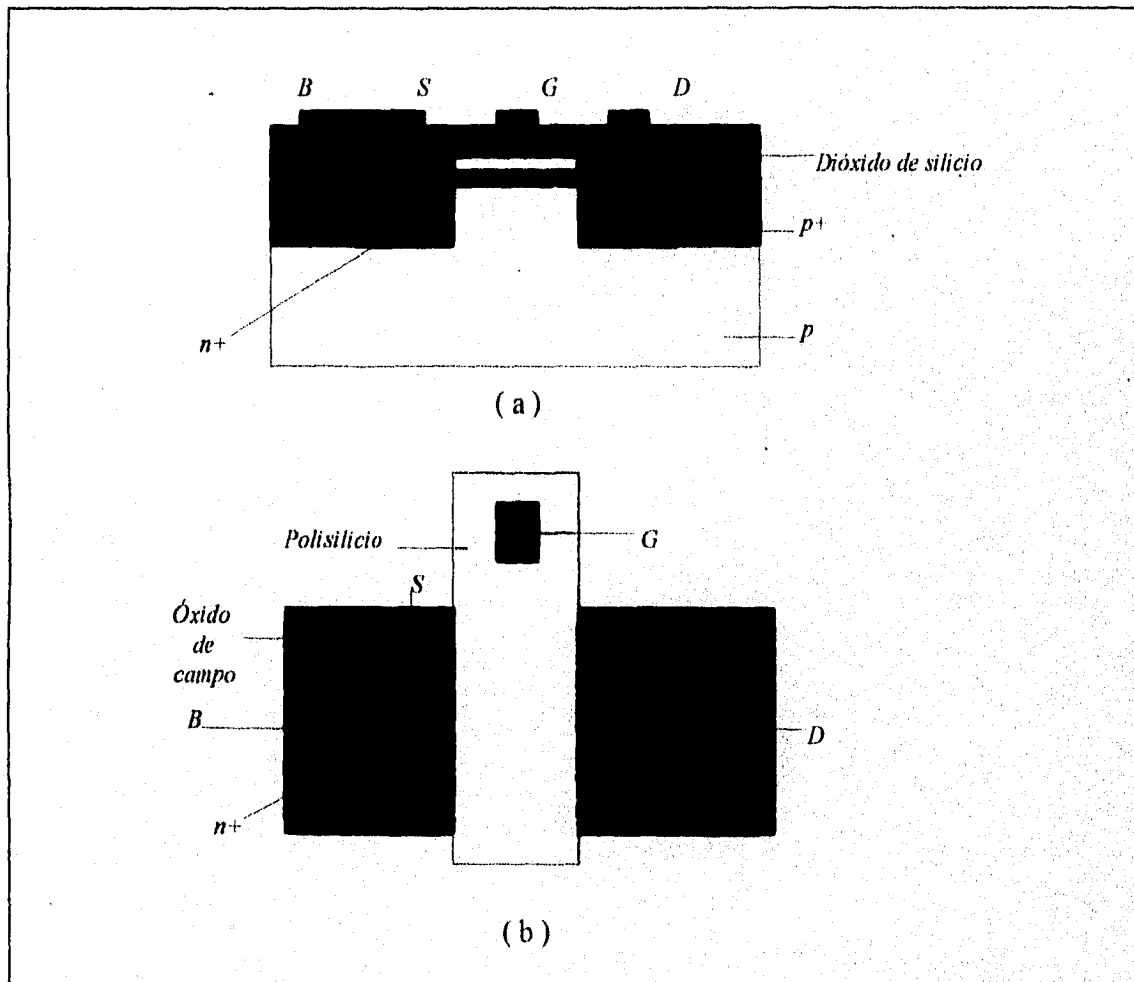


Figura 3.5 Transistor integrado nMOS terminado. (a) Sección transversal. (b) Vista superior.

Si se analiza la figura 3.5a en las partes que constituyen al transistor desde el drenador hasta el surtidor se puede observar que el dispositivo es simétrico por lo que su fabricación es más sencilla que la de un transistor bipolar. Si se conecta el surtidor al sustrato y se aplica un potencial positivo al drenado con respecto al surtidor no hay flujo de corriente debido a la formación de dos diodos en serie por la unión pn del sustrato y las regiones p+ altamente impurificadas. Regresando a la figura 3.5 si se observa la delgada capa de aislante de óxido, entre el sustrato y la puerta se forma un condensador, ahora si también se aplica un potencial positivo a la puerta con respecto al surtidor se inducirá un voltaje negativo en la parte superior del sustrato bajo la puerta formándose una depleción tipo-p con huecos portadores.

Si el potencial aplicado a la puerta es suficientemente grande se formará una delgada región de canal n en la parte superior del sustrato bajo la puerta y entonces se produce la conducción entre el drenado y el surtidor, al voltaje que se encuentra entre la puerta y el surtidor cuando ocurre la conducción se le llama voltaje de umbral.

El sustrato y el surtidor deben conectarse juntos para evitar variaciones en el voltaje de umbral, esto se debe a que entre el sustrato y la puerta varía la capacitancia y en consecuencia la carga inducida. Al sustrato también se le llama puerta trasera ya que también controla el flujo de corriente entre el drenado y el surtidor.

En la figura 3.6a se presenta el transistor nMOS discreto con su correspondiente puerta trasera. En la práctica normalmente se conecta el surtidor con el sustrato con lo que se puede omitir la puerta trasera del transistor, por lo que su representación discreta queda como tradicionalmente se conoce y esta representada en la figura 3.6b.

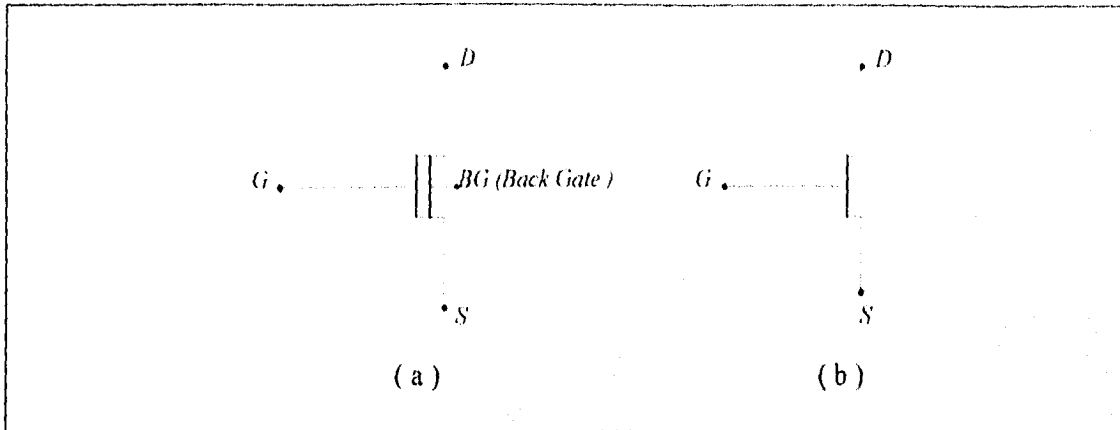


Figura 3.6 Representación discreta equivalente del transistor nMOS. (a) Considerando el efecto de puerta trasera. (b) Consideración practica.

Un transistor MOS no requiere de una región de aislamiento (isla), debido a que la implantación p^+ que se observa en la figura 3.5a tiene la función de resistencia baja para el contacto B y el substrato ó cuerpo del MOSFET. Regularmente el cuerpo y la fuente están juntos como se observa en la figura 3.5a por lo que el diodo que se forma entre la fuente y el substrato esta en corte. La polaridad del drenado con respecto a la fuente y al substrato en un dispositivo MOS es positivo, por esta razón el diodo que se forma entre el drenado y el substrato esta también en corte. Debido a esto es que un transistor MOS no requiere de un aislamiento, pues la corriente es conducida al canal entre fuente (S) y drenado (D).

3.1.2. TRANSISTOR nMOS DE AGOTAMIENTO.

La fabricación de los transistores nMOS de depleción o agotamiento es muy similar a la de los nMOS normales con ciertas mejoras en el diseño de estos dispositivos, para la obtención de un nMOS de agotamiento se requiere de un paso adicional el cual es la implantación o difusión de un canal n entre la fuente y el drenador la cual se realiza después de la capa de polisilicio de puerta, lo cual requiere de un paso más de enmascaramiento y de ataque químico, en la figura 3.7a se observa la sección transversal de un transistor nMOS de agotamiento y en la 3.7b se observa su representación discreta.

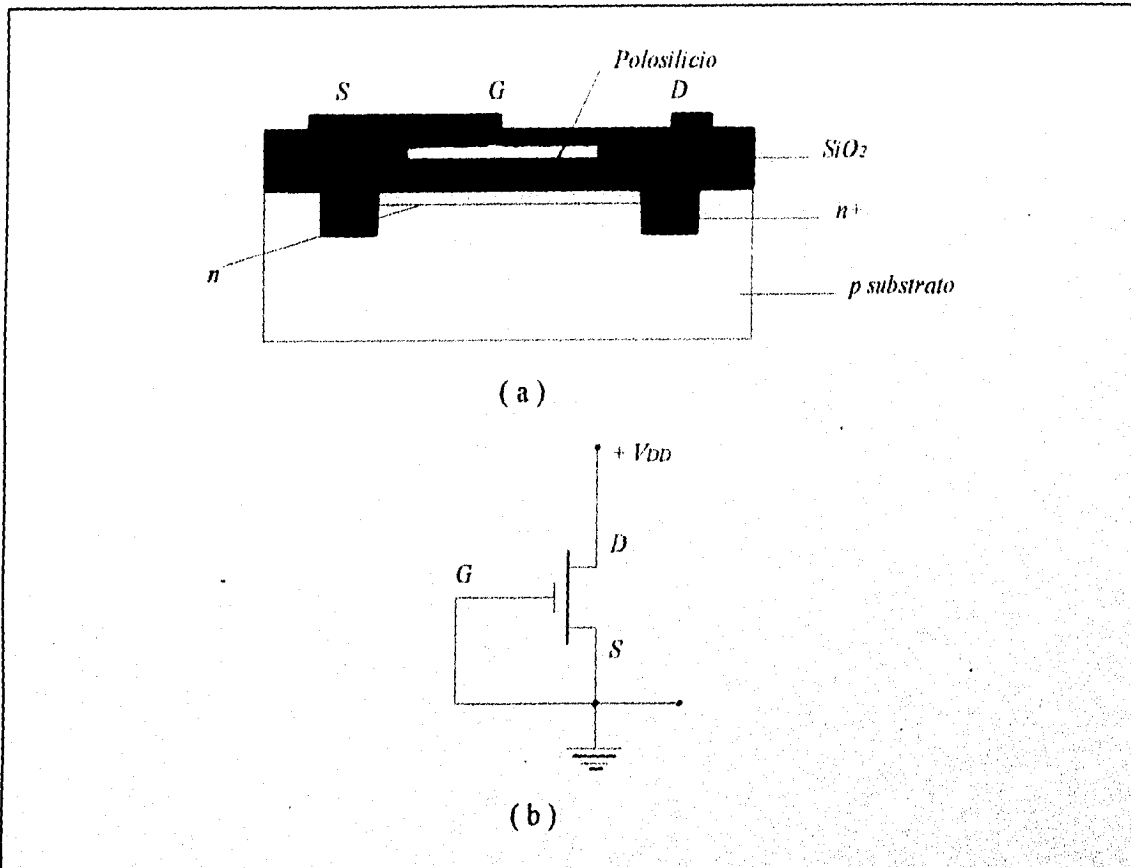


Figura 3.7 (a) Sección transversal de un transistor nMOS de depleción. (b) Representación esquemática discreta del dispositivo.

En este dispositivo existe la circulación de una corriente de drenado I_D considerable, para una tensión puerta fuente nula $V_{GS}=0V$, cuando existe una tensión negativa en la puerta se inducen en el canal cargas positivas por el SiO_2 del condensador de puerta. Debido a que la corriente en un MOS se debe a los portadores mayoritarios (electrones para un material tipo n), las cargas que se inducen reducen la conductividad del canal por lo que la corriente del drenador va disminuyendo de acuerdo a cuanto más negativo es el voltaje V_{GS} . Al presentarse una redistribución de la carga en el canal se produce el agotamiento o depleción de portadores mayoritarios. En la figura 3.8 se observa la sección transversal del transistor de agotamiento cuando hay un voltaje negativo en la puerta.

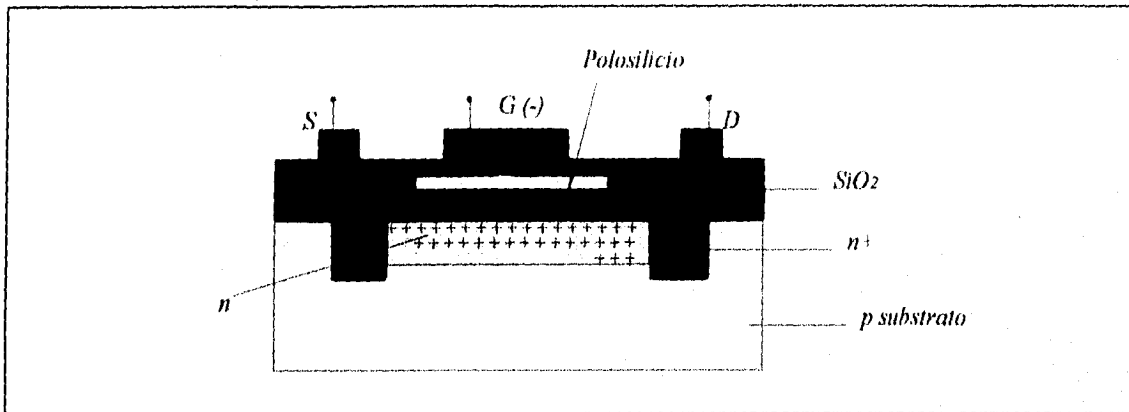


Figura 3.8 Sección transversal de un transistor nMOS de depleción con un potencial negativo en la puerta.

Un dispositivo nMOS de agotamiento trabaja también como un MOS de acumulación, para que ello suceda es necesario aplicar un voltaje positivo a la puerta lo cual induce cargas negativas en el canal lo cual provoca que la conductividad aumente y la corriente crezca por arriba de I_D .

El proceso descrito para un nMOS es el más sencillo y corto que puede emplearse el cual es muy útil para mostrar de forma simple la fabricación del dispositivo, comercialmente para circuitos integrados se utilizan un mínimo de siete máscaras lo cual trae mejoras en el desempeño del transistor y un control muy efectivo de las propiedades eléctricas del dispositivo.

3.1.3. TRANSISTORES pMOS.

Un transistor MOS de canal p es análogo en el comportamiento al nMOS solo que para este se requiere aplicar un voltaje de puerta negativo pues las condiciones de los elementos parásitos que se forman son contrarias (diodos entre la unión pn), para la formación de este dispositivo el sustrato es de material tipo n, las islas para el drenado y el surtidor son p+ altamente impurificadas, los demás elementos que forman el dispositivo son similares a los del nMOS, un punto importante de mencionar es que para un pMOS los portadores mayoritarios son huecos y los minoritarios son electrones por lo que el comportamiento es inverso al del nMOS. En la figura 3.9 se observa la sección transversal de un transistor pMOS.

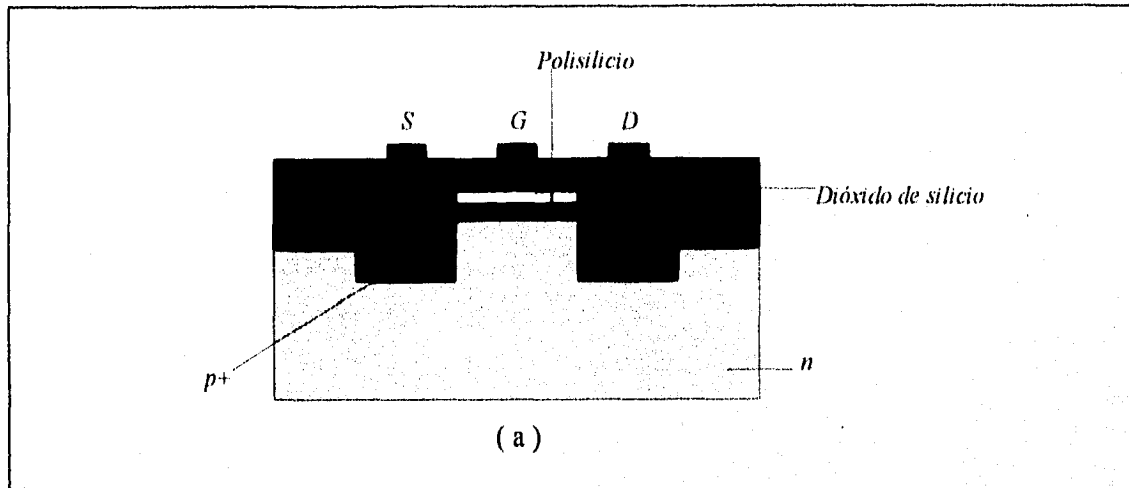


Figura 3.9 Sección transversal de un transistor pMOS.

Las principales formas de trabajar de un transistor MOS tipo p ó n son:

-El transistor esta en corte cuando el flujo de corriente a través del drenado-surtidor es cero.

-El transistor esta en saturación cuando el canal es invertido fuertemente y la corriente del drenado-surtidor es idealmente independiente del voltaje del drenado-surtidor.

-El transistor no esta en saturación cuando la inversión de la región es débil, donde la corriente del drenado-surtidor depende su iniciación del voltaje aplicado entre el drenado y la puerta con respecto al sustrato

Una condición no deseada se presenta cuando se aplica un voltaje muy alto en el drenado, entonces se produce una avalancha de agotamiento donde la puerta no tiene control sobre la corriente de drenado.

Se pueden obtener transistores con mayor capacidad al manipular la corriente esto se logra generalmente por medio de un ajuste geométrico del dispositivo. La corriente del drenado puede variar de acuerdo a la siguiente relación W/l que se observa en la figura 3.3b, es claro que

esas dimensiones son la razón de ancho y longitud de puerta. Cuando se tiene un dispositivo de integración a gran escala se utiliza el mínimo de las dimensiones que es de $2\mu\text{m}$. Esto es para tener una relación $W/l=1$ esto quiere decir que tanto el ancho como la longitud tienen $2\mu\text{m}$. La relación puede variar por ejemplo para $W/l=1/4$ con el mínimo de dimensiones se tiene que $W=2\mu\text{m}$, por lo tanto $l=8\mu\text{m}$.

Los dispositivos fabricados de esta manera son de baja corriente aproximadamente de 50 a $300\mu\text{A}$, cuando se requiere aumentar la corriente a cerca de 1mA la relación W/l debe ser igual a 4 por lo que la puerta del MOS debe tener un ancho $W=8\mu\text{m}$ y una longitud $l=2\mu\text{m}$.

La relación W/l teóricamente puede aumentarse para darnos cualquier nivel de corriente que se desee, pero existe una limitante y es que al aumentarse el área de puerta se incrementa la capacitancia en el dispositivo lo cual acarrea una baja en la velocidad de operación, por esta razón es raro encontrar MOS con razón de relación W/l más altos de 10.

Otro punto de interés es que los dispositivos pMOS ocupan más área en la pastilla que el dispositivo nMOS ello es debido a que la movilidad del hueco es mucho menor que la del electrón aproximadamente la mitad por lo que es necesario que la relación W/l para un transistor pMOS se mayor que para un transistor nMOS y así ambos lleven la misma corriente.

3.1.4. TECNOLOGÍA CMOS.

La fabricación de circuitos integrados CMOS (Metal Óxido Semiconductor Complementario) involucra en su constitución elementos pMOS y nMOS en la misma pastilla, para lograr esto se han desarrollado varias tecnologías que son las siguientes el proceso pozo n (n-well), el proceso pozo p (p-well), el proceso de tina gemela (twin-tub), y el de silicio o aislador, en ocasiones también se considera el proceso BiCMOS el cual es una combinación de elementos unipolares con bipolares en la misma pastilla para lograr un dispositivo.

El proceso básico para la fabricación de un transistor pozo n CMOS es el siguiente, sobre una oblea tipo p se realiza la formación de una isla de material tipo n para el dispositivo de canal p, esta se construye por difusión o por implantación iónica para este proceso se utiliza la primera máscara la cual se observa en la figura 3.10b y en la 3.10a se observa el resultado de este primer paso.

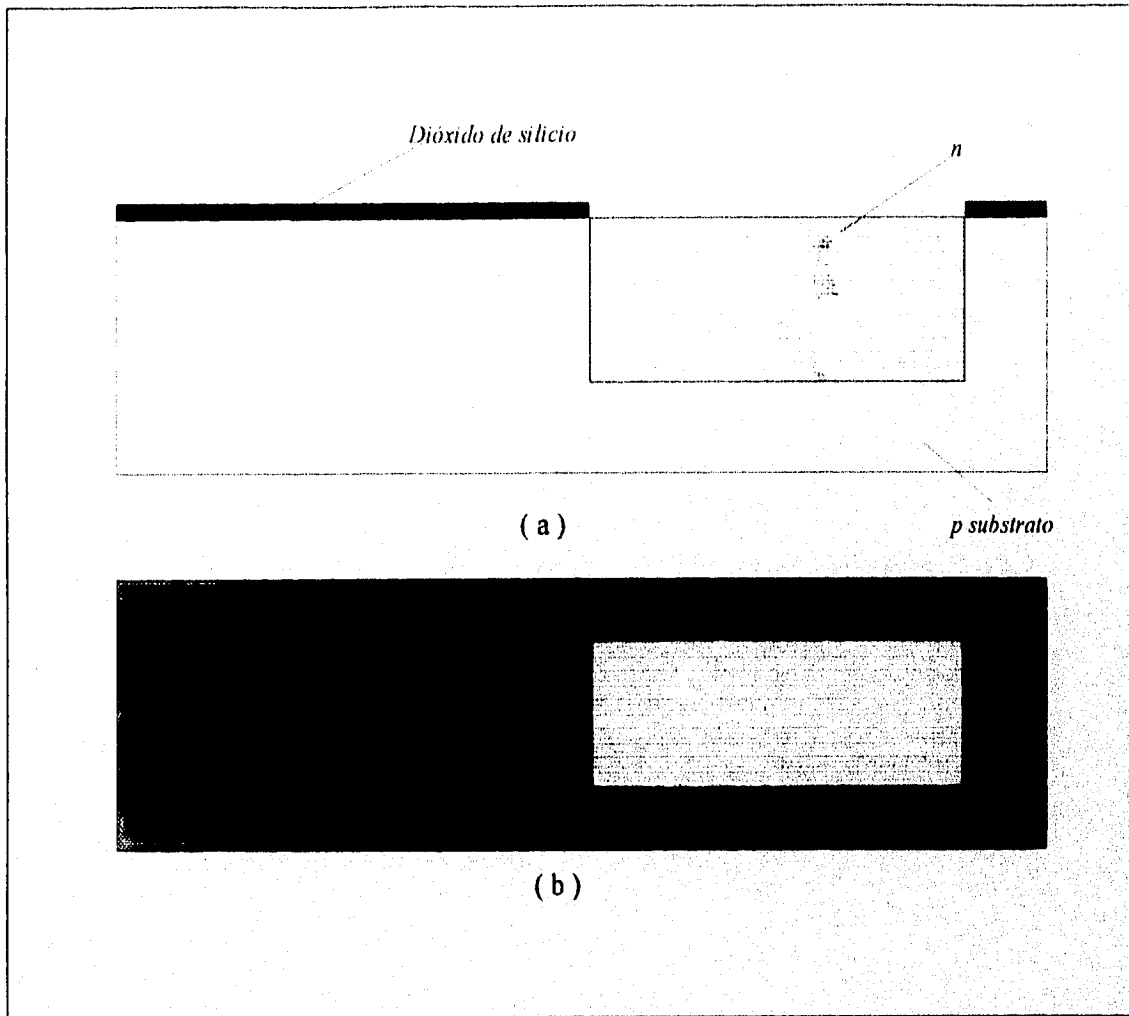


Figura 3.10 (a) Sección transversal del primer paso en la formación de un CMOS. (b) Mascarilla utilizada.

La siguiente máscara se utiliza para depositar el dióxido de silicio que formara la puerta de los distintos transistores, esta capa de óxido es cubierta con nitruro de silicio con el fin de impedir el paso de impurezas a las regiones aisladas donde se formaran los transistores, el resultado se observa en la figura 3.11a y en la 3.11b se observa la mascarilla utilizada.

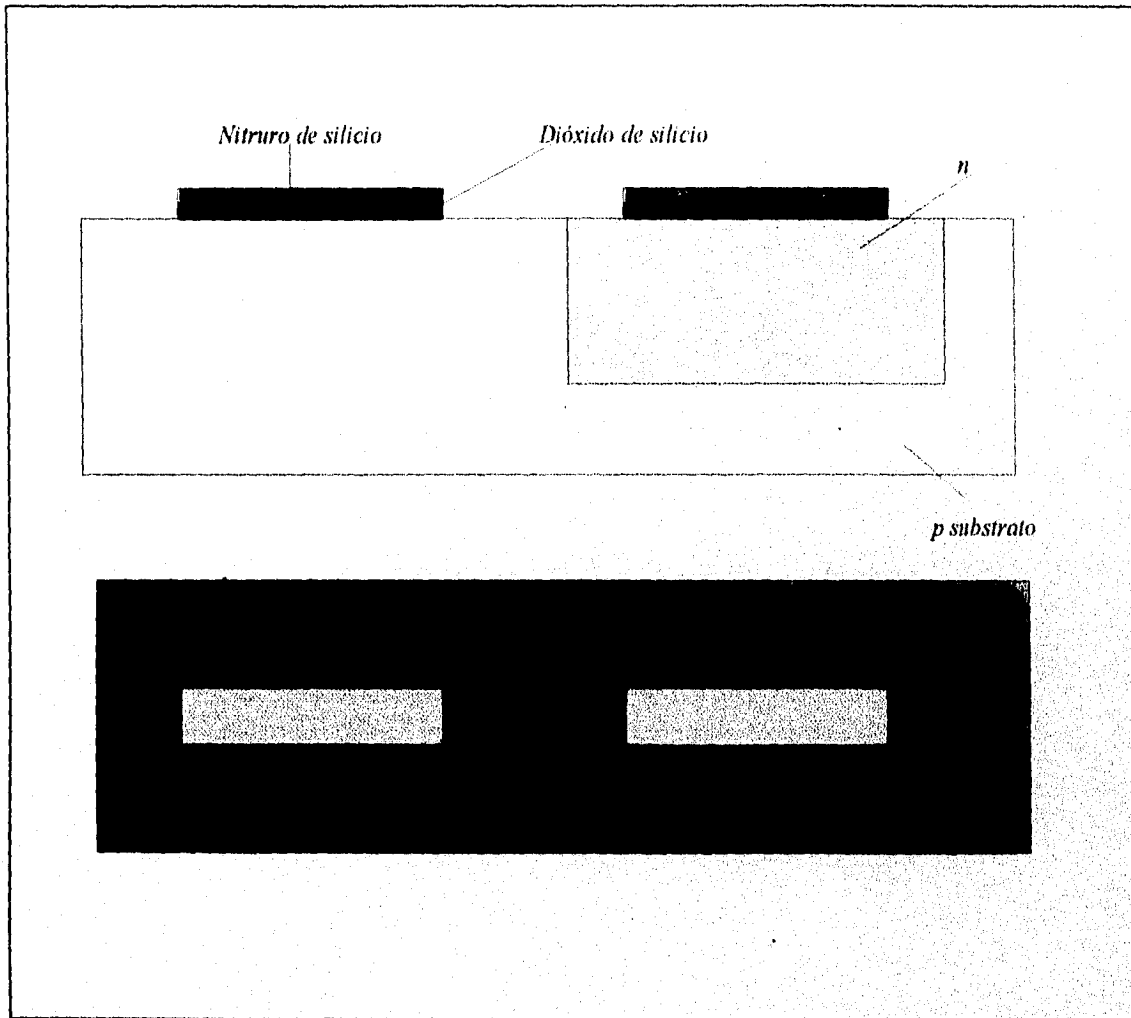


Figura 3.11 (a) Sección transversal después del crecimiento del óxido de puerta. (b) Mascarilla utilizada en el proceso.

El paso siguiente es dejar aislados los elementos del dispositivo para ello se utiliza material p^+ altamente impurificado el cual se deposita por implantación o por difusión, para realizar este aislamiento se utiliza otra mascarilla y al finalizar el proceso es retirada la capa de nitruro de silicio, la figura 3.12a y 3.12b muestran la sección transversal al finalizar el proceso y la mascarilla usada.

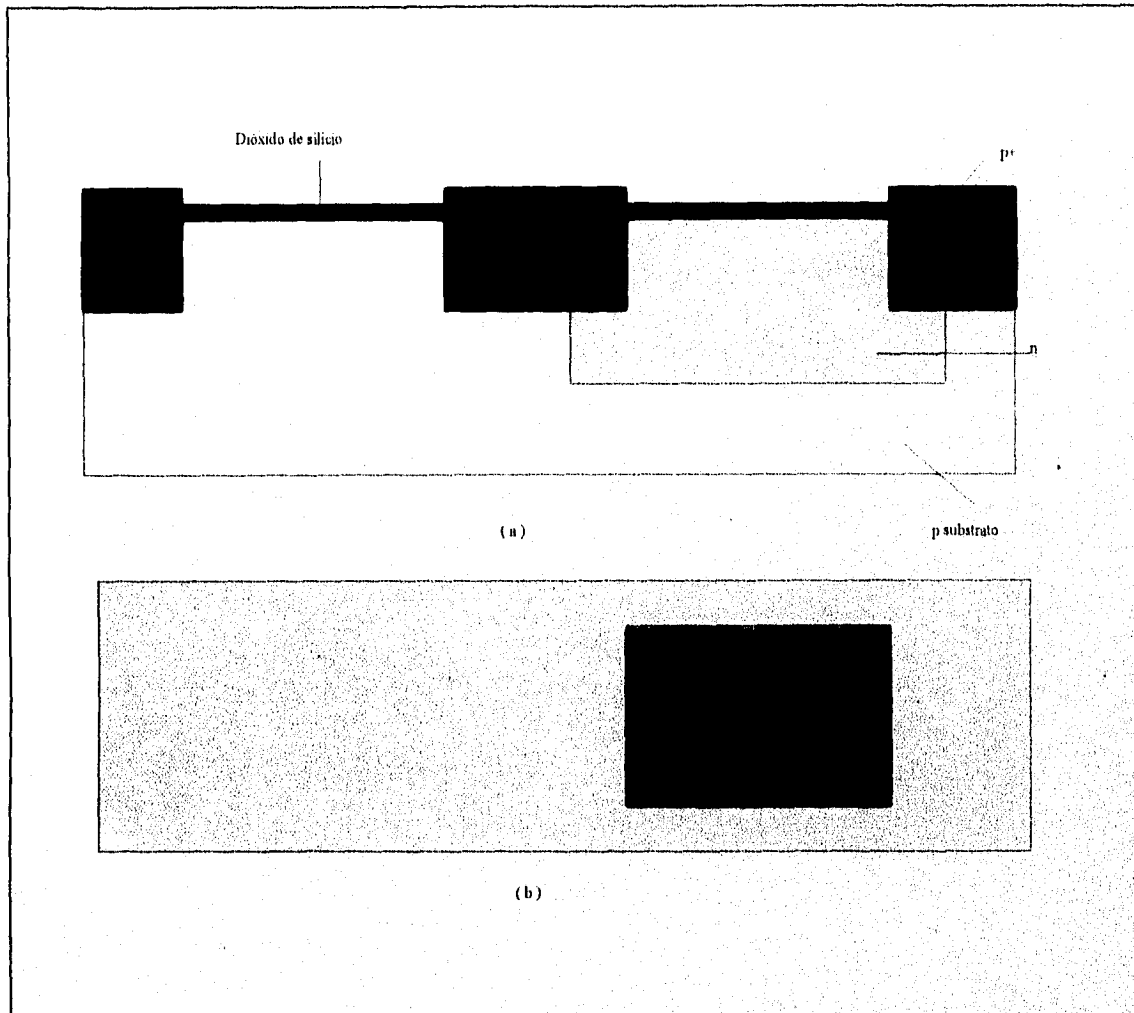


Figura 3.12 (a) Sección transversal del dispositivo con sus regiones de aislamiento. (b) Mascarilla usada en el proceso.

La siguiente mascarilla es utilizada para definir la región de polisilicio de la puerta la cual es generalmente del tipo n+ altamente impurificado el cual se deposita normalmente por implantación, el resultado y la mascarilla se observan en la figura 3.13a y 3.13b.

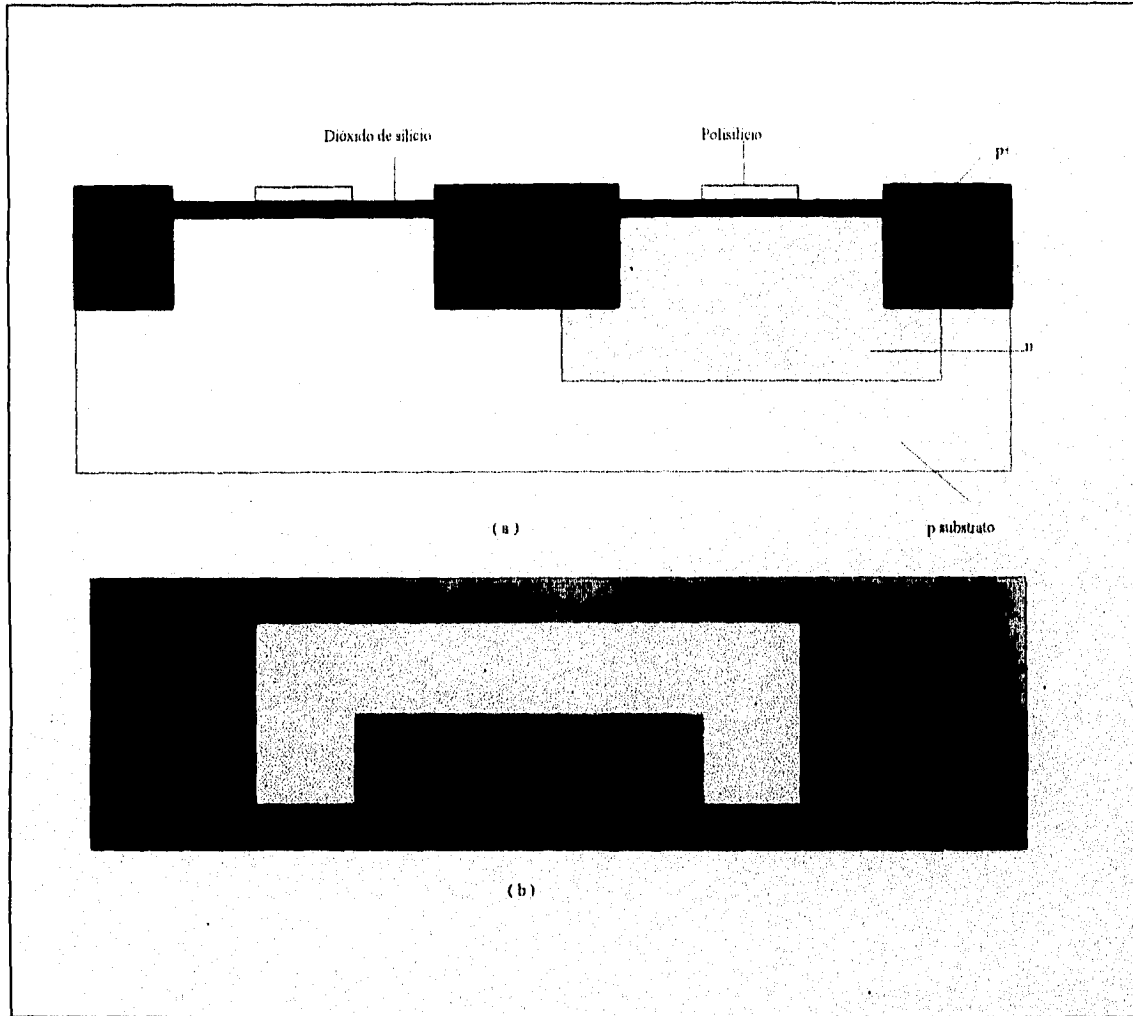


Figura 3.13 (a) Sección transversal del crecimiento del polisilicio de puerta. (b) Mascarilla usada.

El paso siguiente es la formación de los drenados y los surtidores, para este dispositivo es necesaria la utilización de dos mascarillas la primera para cubrir uno de los dos transistores mientras el otro es implantado iónicamente con material dopador altamente impurificado, las mascarillas y el resultado se observan en la figura 3.14a, 3.14b y 3.14c.

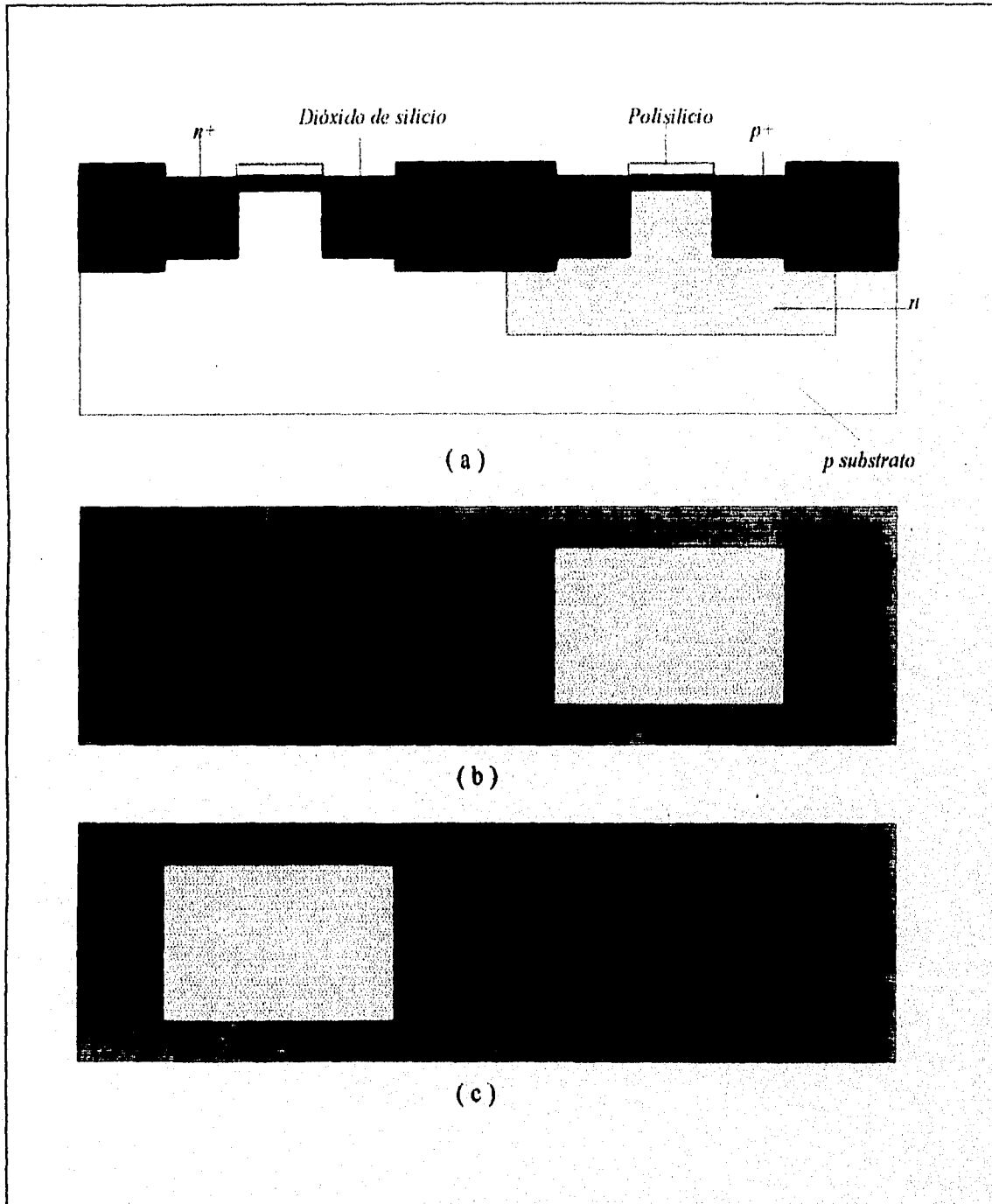


Figura 3.14 (a) Sección transversal con sus drenadores y surtidores implantados. (b) Mascarilla para el dispositivo de canal p. (c) Mascarilla usada en el dispositivo de canal n.

El proceso es el siguiente se cubre el dispositivo con la mascarilla la cual solo deja expuesta la zona donde se realizara el dopado por implantación iónica, en este caso se formara el transistor nMOS por lo que el material usado es n+ para la formación del drenador y del surtidor, la implantación no es de gran potencia por lo que no es necesario cubrir la región de polisilicio con fotoresist, la penetración no es de la profundidad deseada por lo que es necesaria una segunda implantación pero de mayor potencia por lo que el polisilicio debe se cubierto con dióxido de silicio para evitar su contaminación, al terminar quedan formados drenador y surtidor del transistor, por último es retirado el óxido. Para el transistor pMOS el proceso se repite sólo que se usa material tipo p+ el resultado se puede observar en la figura 3.14a, las figuras 3.15a y 3.15b muestran la realización del proceso.

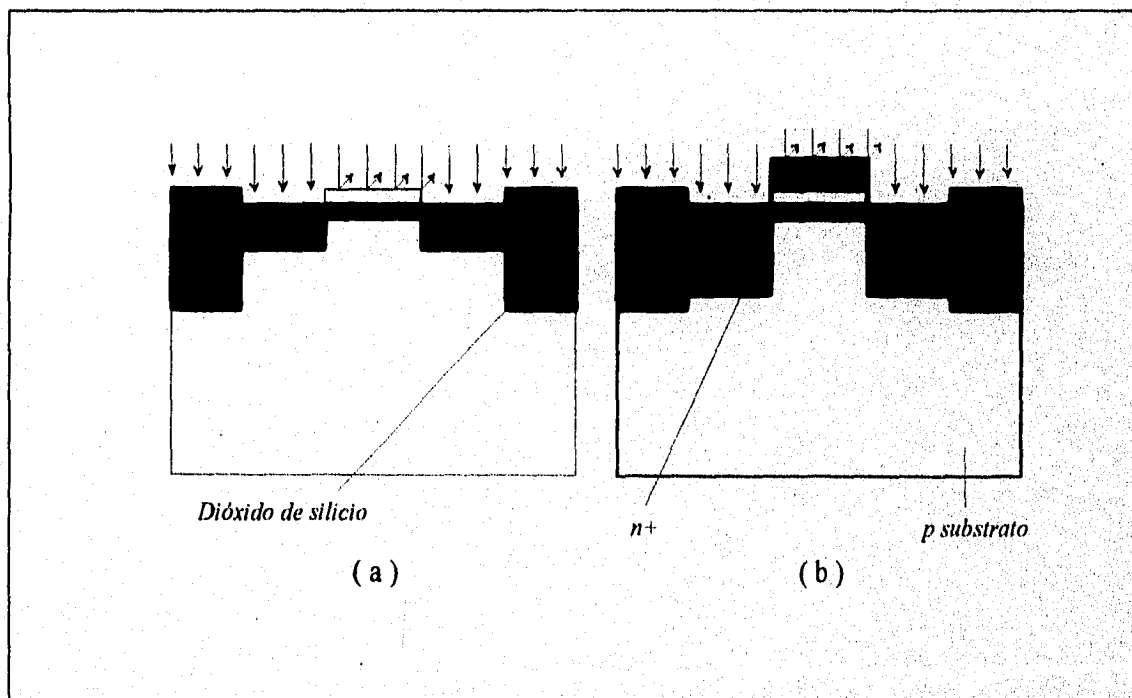


Figura 3.15 (a) Implantación iónica de baja potencia n+ para la formación del drenador y el surtidor. (b) Implantación de alta potencia.

Posteriormente se cubre todo el dispositivo con dióxido de silicio para protegerlo y en seguida sigue el ataque preóhmico el cual tiene el propósito de que se realicen lo mejor posible los contactos para la metalización, la mascarilla y el resultado en el dispositivo se observan en las figuras 3.16a y 3.16b.

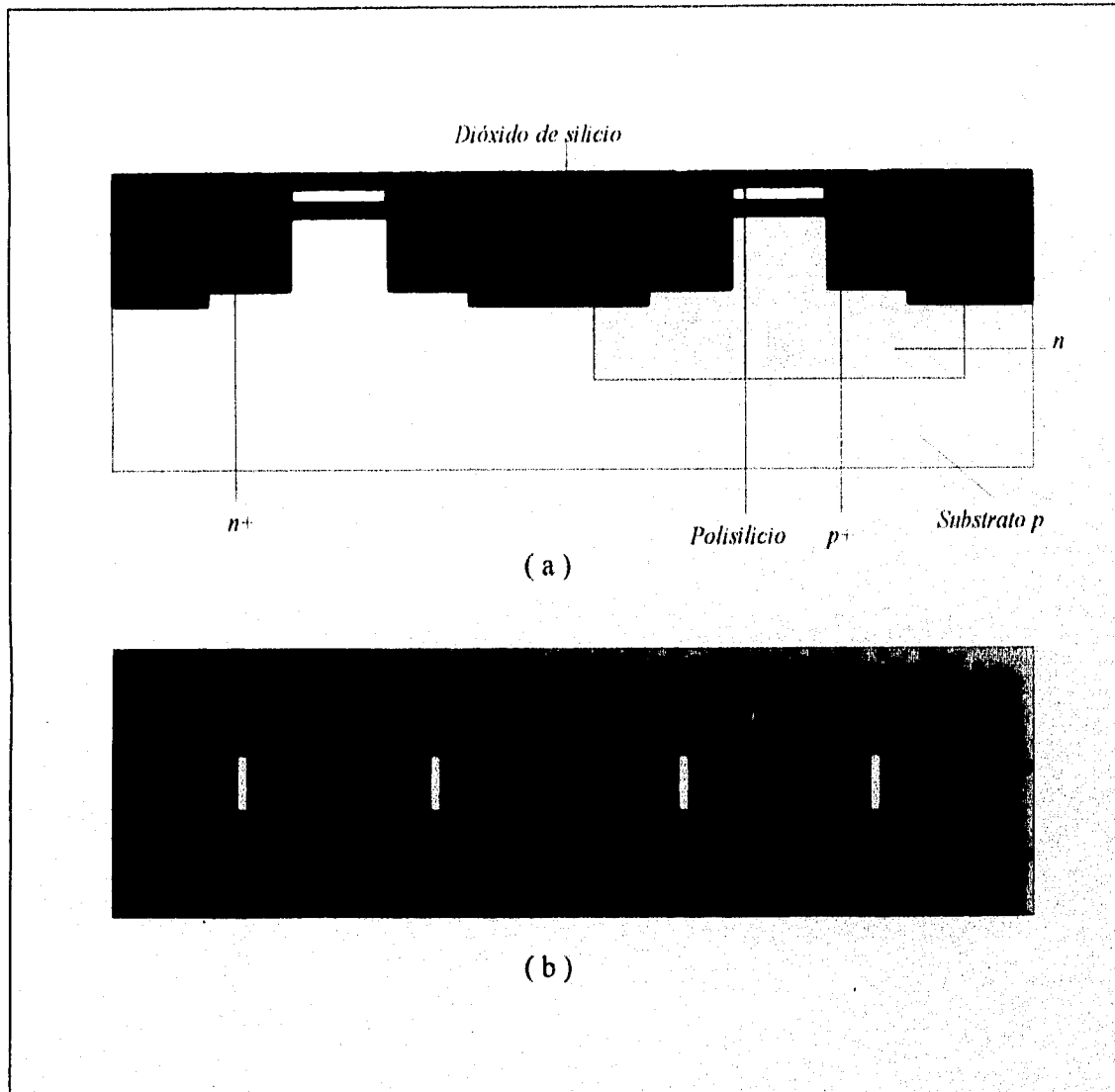


Figura 3.16 (a) Sección transversal después del ataque préohmico. (b) Mascarilla usada para el proceso.

El último paso de este proceso es la metalización la cual generalmente se realiza por evaporación, es conveniente mencionar que las máscaras para este proceso no siguen un patrón definido debido a que cada circuito tiene sus necesidades particulares lo cual determina la metalización a seguir, para el particular que se explico el resultado se observa en la figura 3.17a y en la 3.17b se observa la mascarilla utilizada.

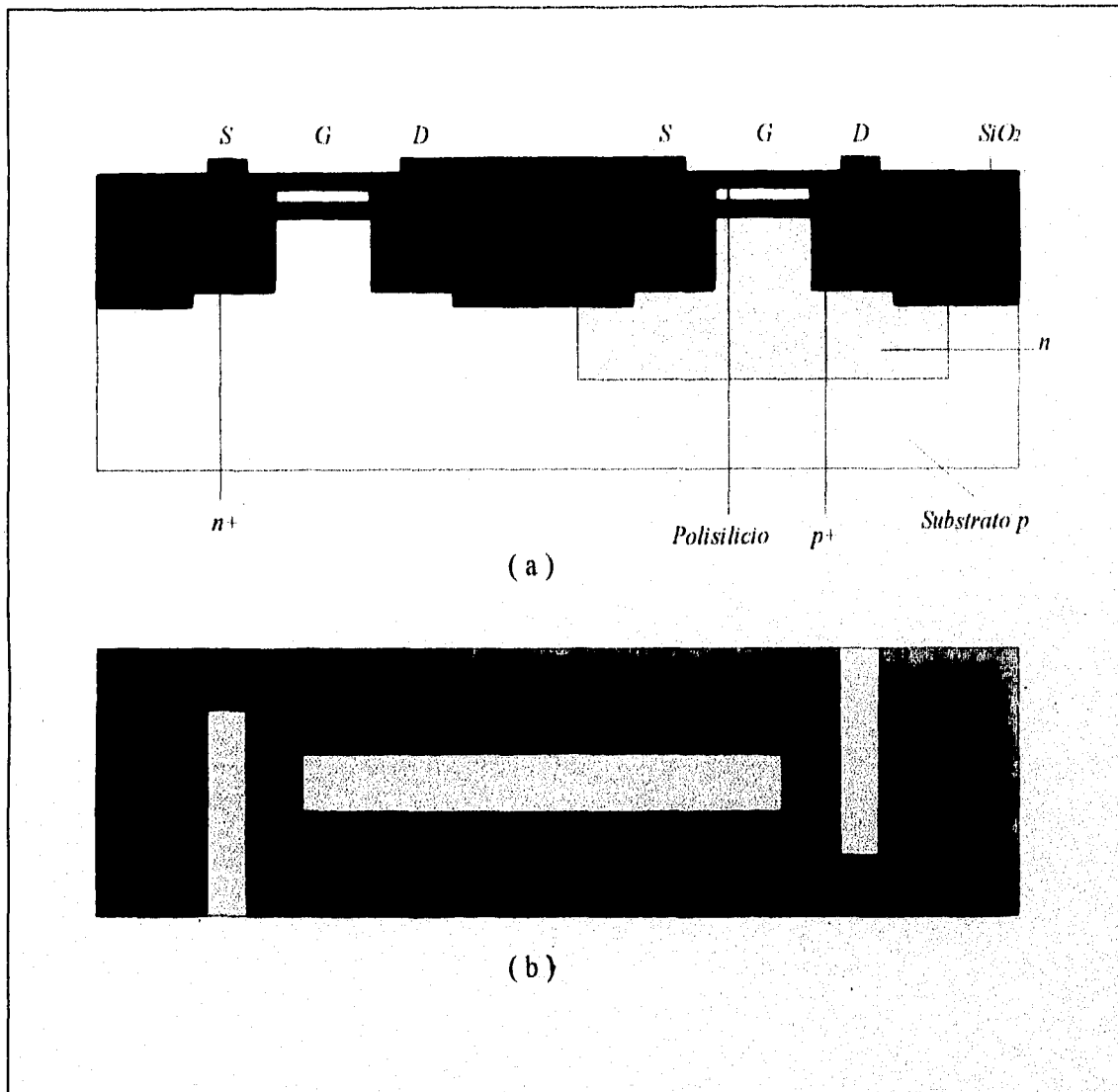


Figura 3.17 (a) Sección transversal del dispositivo CMOS n-well. (b) Mascarilla usada en el proceso de metalización.

La configuración equivalente de dispositivo CMOS consta de un transistor nMOS (Q_1) y un pMOS (Q_2), en la figura 3.19 se observa el diagrama equivalente.

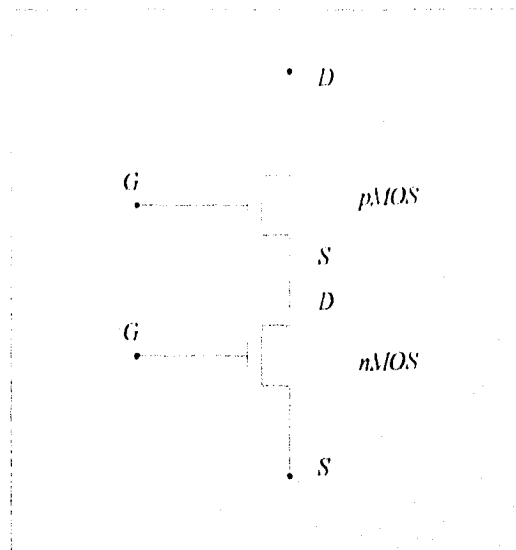


Figura 3.19 Diagrama discreto de un dispositivo CMOS.

El proceso pozo p es muy similar al proceso pozo n con ciertas variantes como que la implantación de la isla p es de mayor profundidad que en el proceso de pozo n. El proceso pozo p principalmente es utilizado cuando se requiere que los dispositivos n y p estén más balanceados en cuanto a sus voltajes.

El proceso de tina gemela (Twin-Tub) cuenta con la característica de poder optimizarse independientemente el voltaje de umbral para cada dispositivo utilizado. En este proceso se empieza con un sustrato n+ ó p+ sobre el cual se crece una capa epitaxial también conocida como epicapa, las características de esta capa dependen de las concentraciones de impurezas que contenga el silicio. El proceso es similar al de pozo n con la diferencia de que en este caso se realizan dos islas ó pozos el n y el p. A grandes rasgos los pasos que sigue este proceso son los siguientes, la formación de las islas por implantación ó por difusión, la deposición de una película de dióxido de silicio, posteriormente se realiza la implantación de los drenados y los surtidores de los distintos dispositivos de manera similar a la descrita para el proceso pozo p, en seguida se realizan los puntos de contacto para la metalización y para finalizar se realiza la metalización, este tipo de dispositivo se observa en la figura 3.20a su sección transversal y en la 3.20b la vista superior.

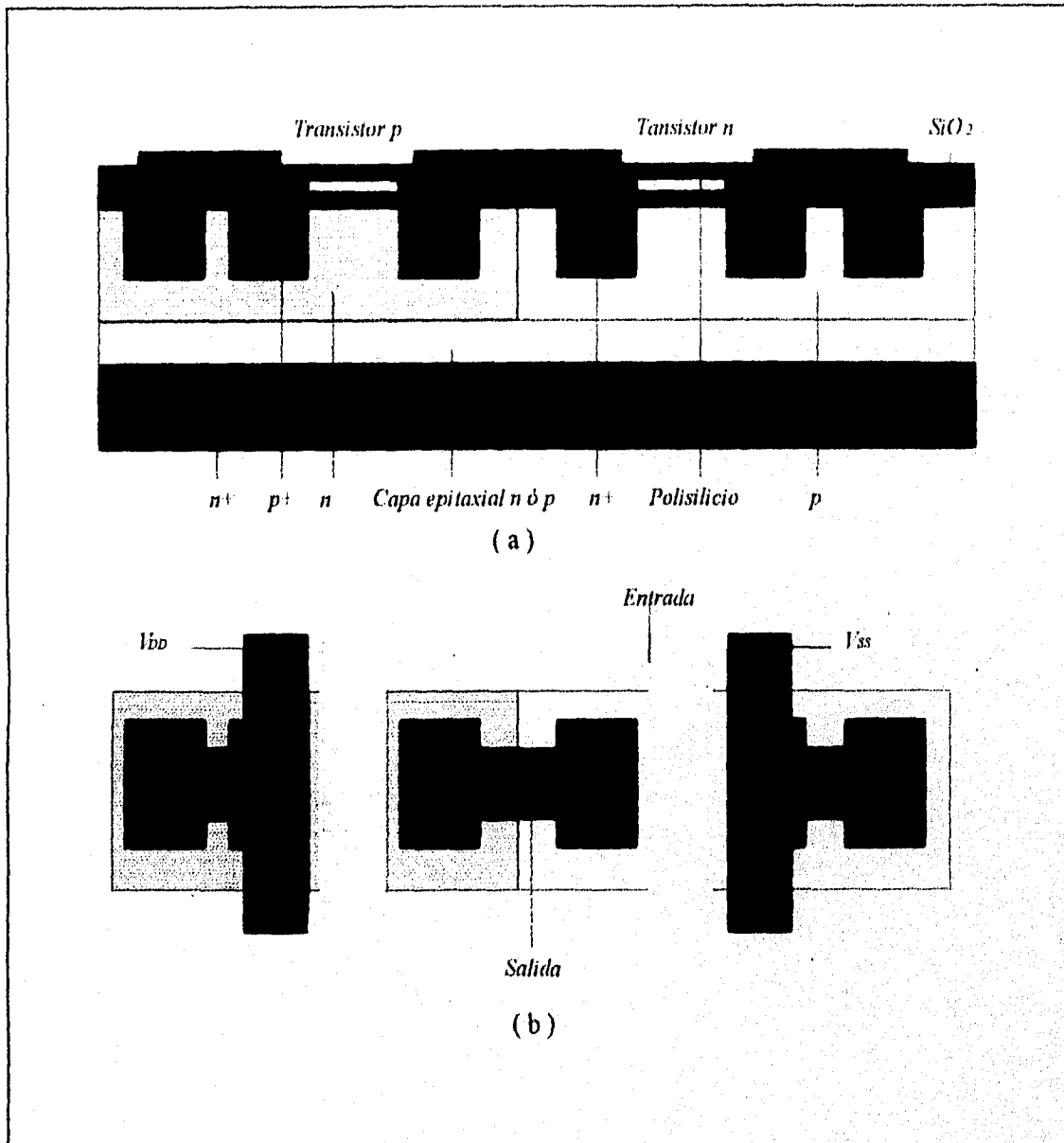


Figura 3.20 (a) Sección transversal de un dispositivo CMOS Twin-well. (b) Vista superior del dispositivo.

Proceso de silicio en aislador (SOICMOS) en este proceso el substrato es un aislador lo cual provee de ciertas ventajas a los dispositivos de este tipo como evitar la posible conexión entre elementos del dispositivo, así como bajar considerablemente la capacitancia parásita entre el substrato y los componentes del chip.

El primer paso para crear el dispositivo es la obtención del sustrato para lo cual normalmente se utiliza dióxido de silicio sobre el cual se crece una capa de silicio tipo n^+ altamente impurificado de entre 7 y 8 μm de espesor, en la figura 3.21 se muestra el resultado.

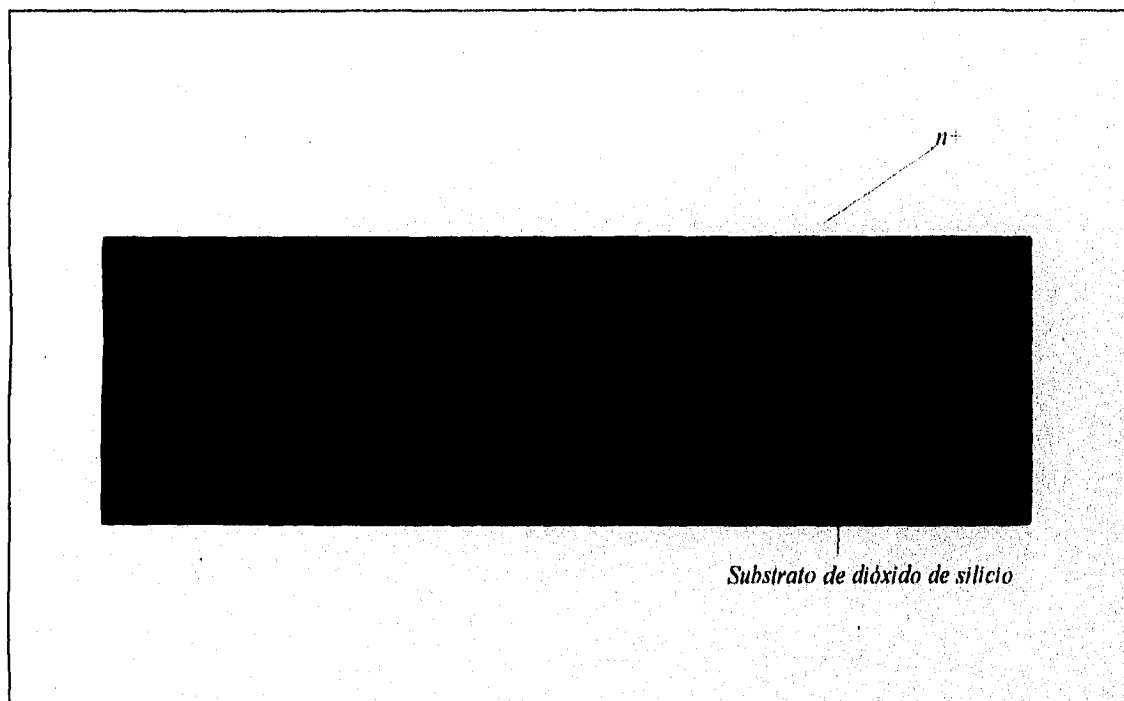


Figura 3.21 Substrato y crecimiento de una capa de silicio n^+ .

El siguiente paso es la creación de las islas para lo cual se utiliza el proceso fotolitográfico cubriendo la oblea con dióxido de silicio y fotoresist para retirando las zonas sobrantes de la capa n^+ , la figura 3.22a muestra este proceso y la 3.22b muestra el dispositivo al finalizar el proceso.

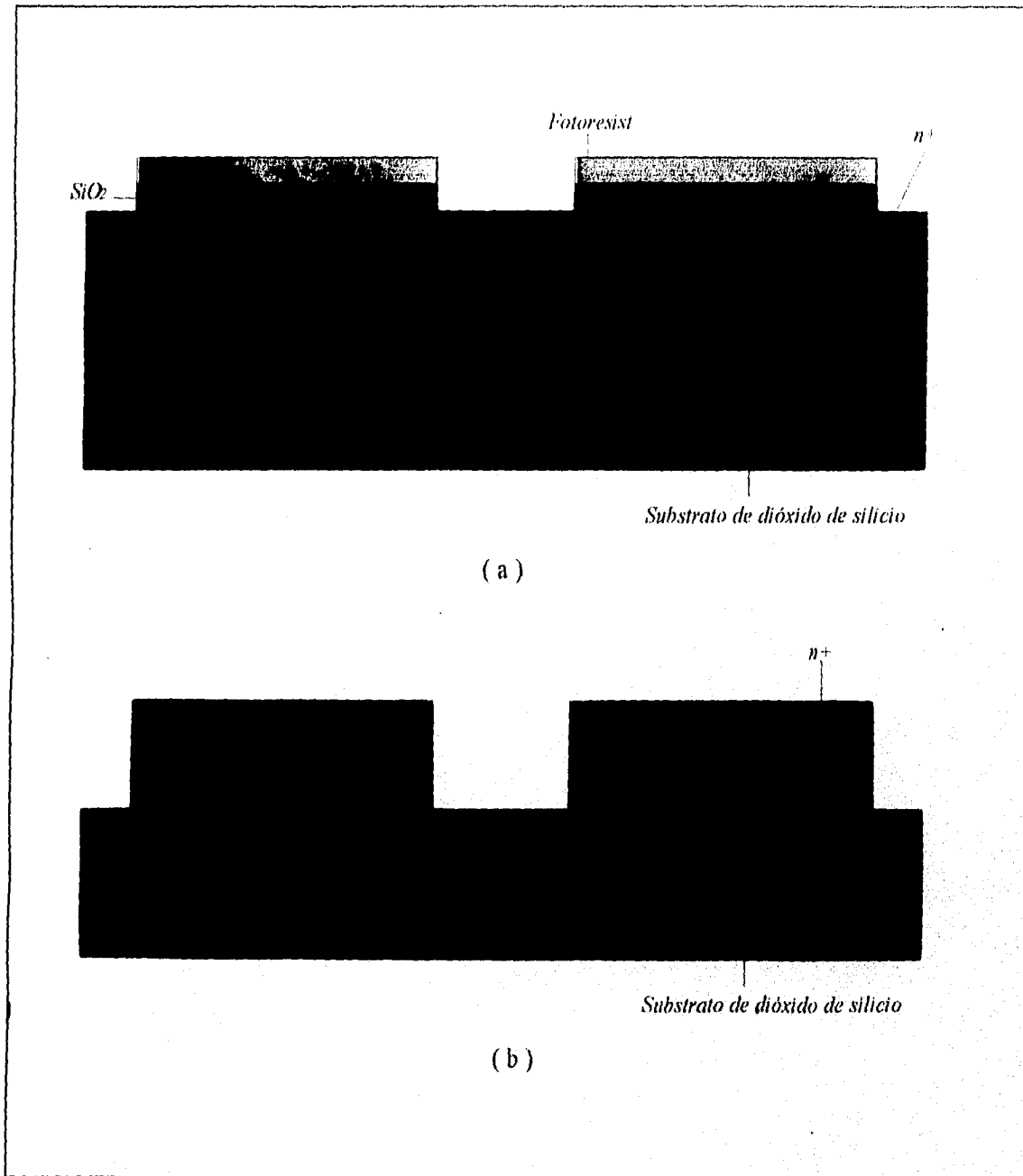


Figura 3.22 (a) Proceso para la obtención de las regiones aisladas. (b) regiones aisladas al terminar el proceso.

A continuación se definen totalmente las islas para lo cual se requiere de otras mascarillas, primeramente se realiza la creación de la isla tipo p para lo cual la otra región aislada debe ser cubierta con fotoresist como se ve en la figura 3.23a y se utiliza una mascarilla

para realizar la implantación de material p+ que normalmente es boro quedando formada la isla tipo p+, para la isla tipo n+ se repite el procedimiento utilizando ahora material tipo n+ que generalmente es fósforo, este proceso se observa en la figura 3.23b.

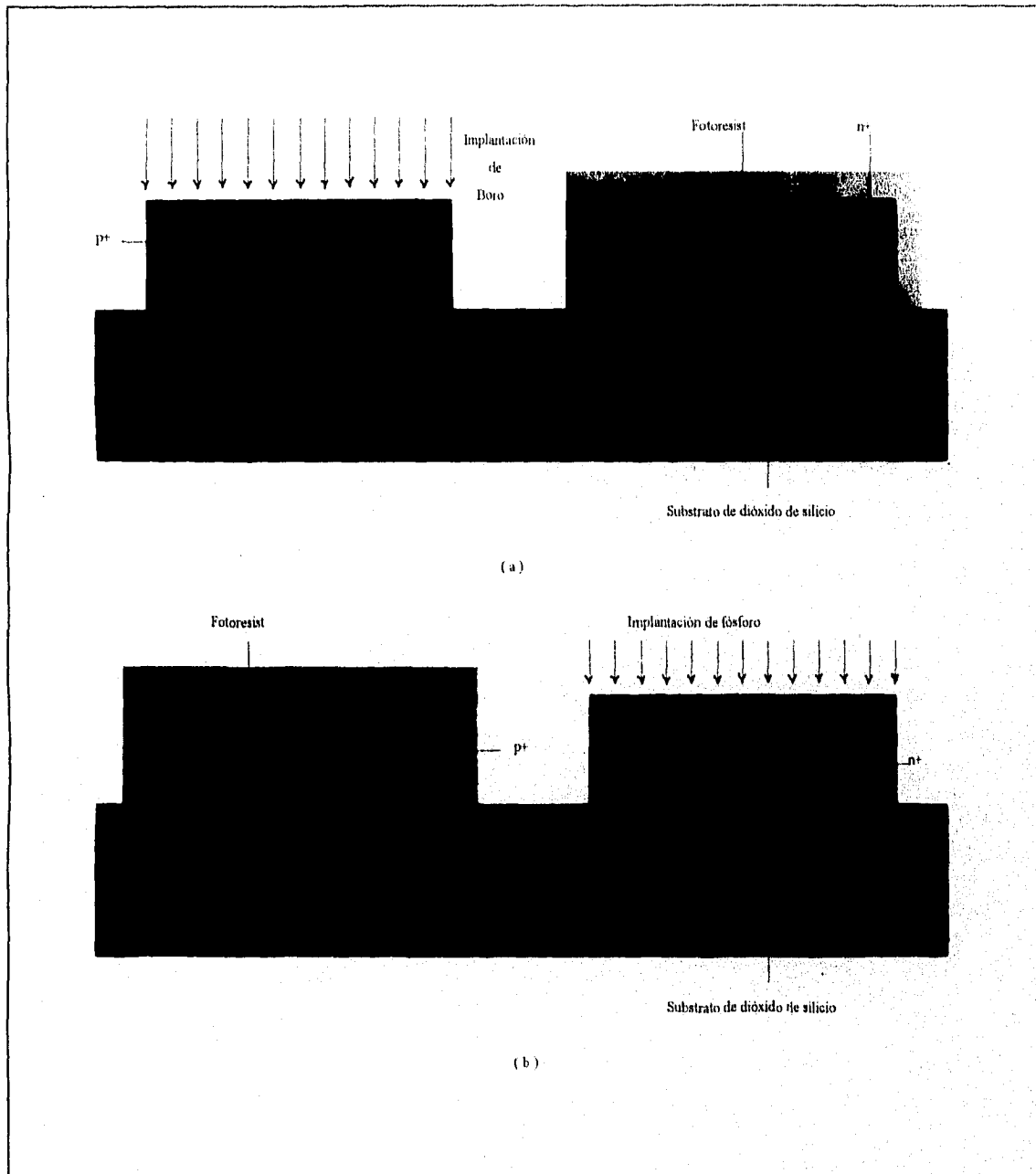


Figura 3.23 (a) Implantación para la obtención de la isla p+. (b) implantación para la isla tipo n+.

El siguiente paso es cubrir las islas en las cuales se crece una delgada capa de dióxido de silicio de aproximadamente 100 a 250 Å de espesor la cual también es cubierta con una capa de polisilicio para ello es utilizada otra mascarilla que determina el patrón, el resultado se observa en la figura 3.24.

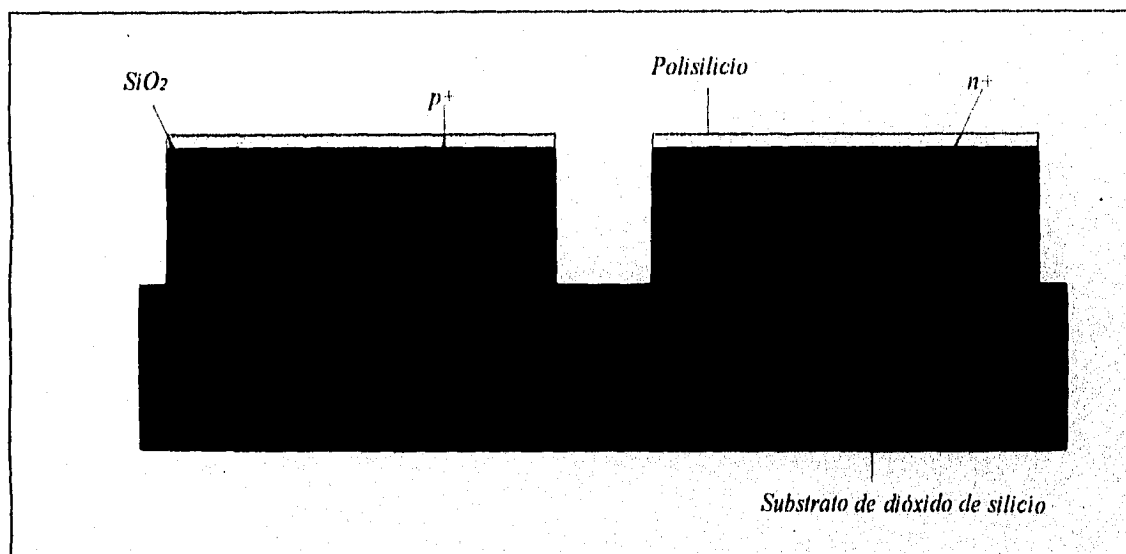


Figura 3.24 Cubierta de protección para las islas de dióxido de silicio y cubierta de polisilicio para la formación de la opuesta.

En el siguiente paso se utiliza otra mascarilla que define la región donde quedara el polisilicio de puerta el sobrante es retirado, el resultado se observa en la figura 3.25.

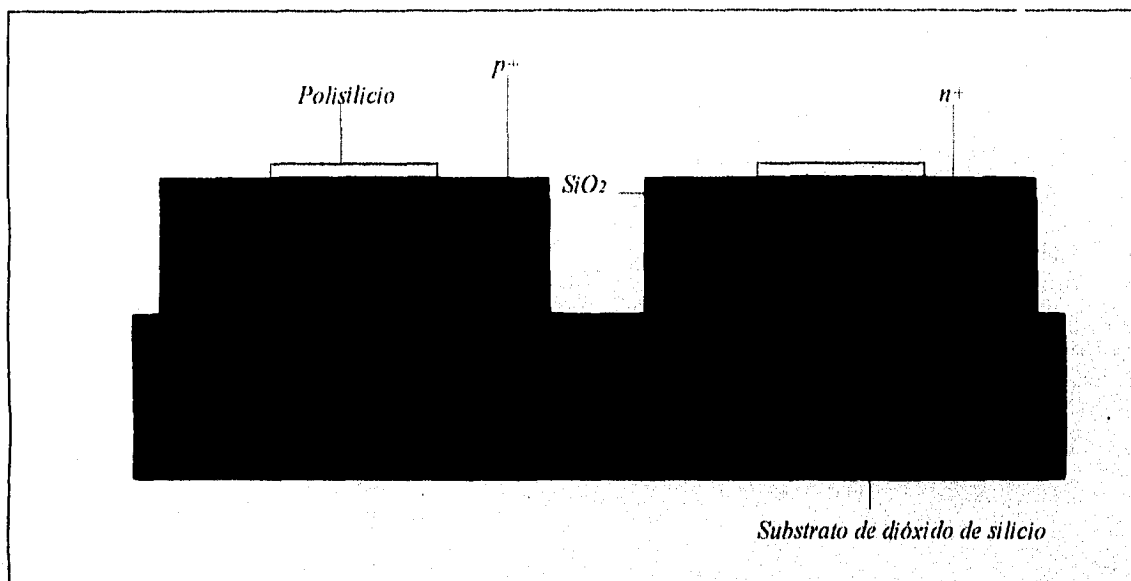


Figura 3.25 Definición de la región de polisilicio de puerta.

posteriormente se deben realizar los surtidores y los drenadores del dispositivo para ello se utilizan otras dos mascarillas además de que se requiere cubrir las islas de una en una con fotoresist, primeramente se realiza los elementos del transistor de canal n implantando material tipo n+ (fósforo), el proceso se observa en la figura 3.26a. Para el transistor de canal p se utiliza material tipo p+ (Boro), el proceso se ilustra en la figura 3.26b.

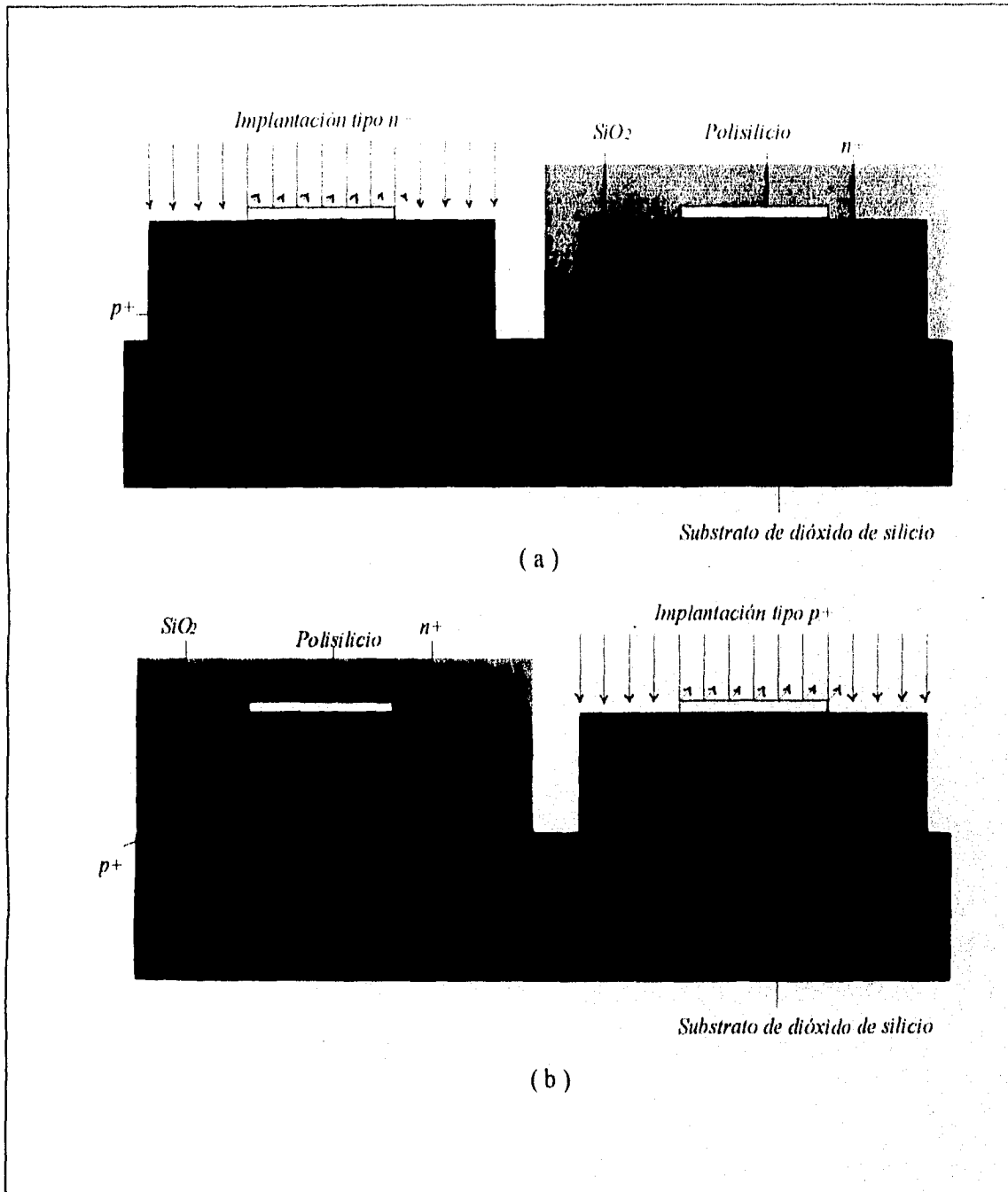


Figura 3.26 Creación de la fuente y drenado. (a) Transistor canal n. (b) Transistor canal p.

Para cubrir y proteger los transistores se crece una capa de material aislante el cual normalmente es fósforo cristalino sobre toda la oblea, una vez terminado este proceso se habrán

las regiones de contacto para poder realizar la metalización la cual se realiza por evaporación de aluminio, la sección transversal del dispositivo al final del proceso se observa en la figura 3.27.

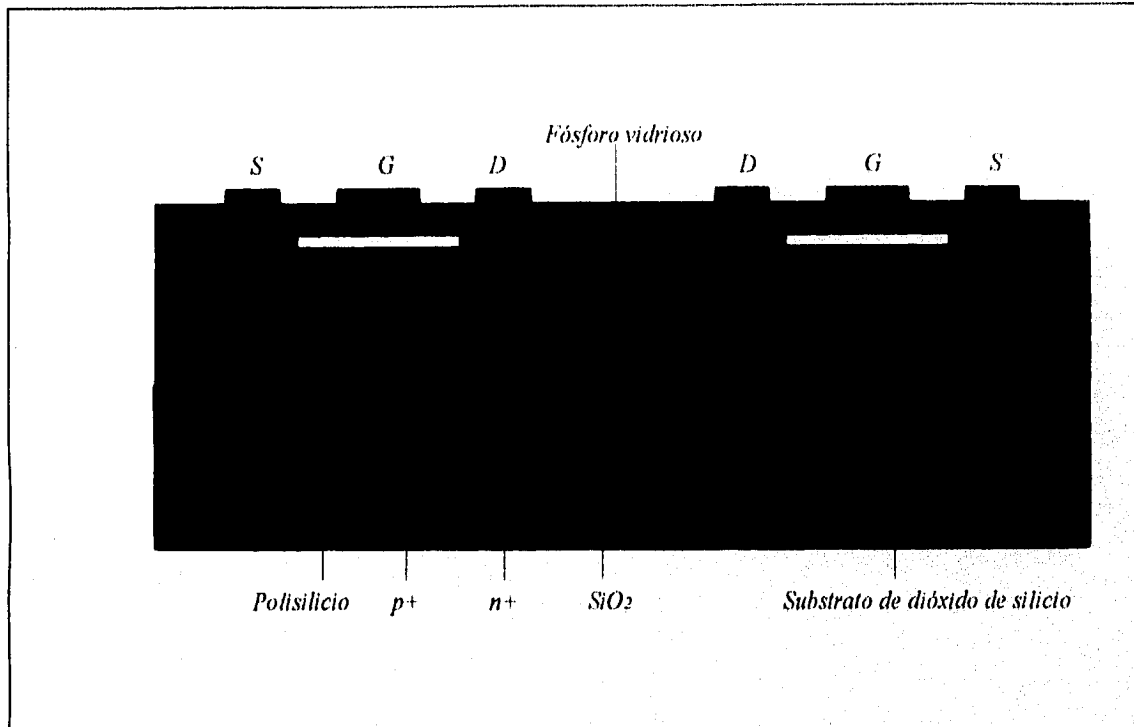


Figura 3.27 Sección transversal de un dispositivo SOICMOS.

Las principales desventajas de este proceso es el alto costo que tiene la fabricación del dispositivo con esta tecnología, por lo que su utilización no se ha extendido y solo se utiliza cuando se requiere de muy alta confiabilidad que justifique su costo.

El proceso BiCMOS se realiza al mezclar elementos unipolares (MOS) con elementos bipolares, es utilizado cuando las exigencias de algún diseño así lo requieren como puede ser un chip que tenga que manejar distintos tipos de señales como son analógicas y digitales en la misma pastilla entonces se tiene que recurrir a esta tecnología.

Generalmente estos dispositivos tienen un sustrato tipo p+ altamente impurificado (Antimonio) sobre la cual se crece una capa epitaxial tipo n con un espesor de 4.0µm sobre la

cual se fabricaran los elementos del dispositivo, como se explico con anterioridad los elementos se van construyendo por difusiones ó implantaciones iónicas, el número de máscaras e implantaciones varia de acuerdo a los elementos que contenga el dispositivo así tenemos por ejemplo si un diseño contiene transistores npn y pnp así como nMOS y pMOS se utilizaran aproximadamente unas 14 mascarillas y un número igual de difusiones ó implantaciones, la sección transversal de un dispositivo de este tipo se observa en la figura 3.28.

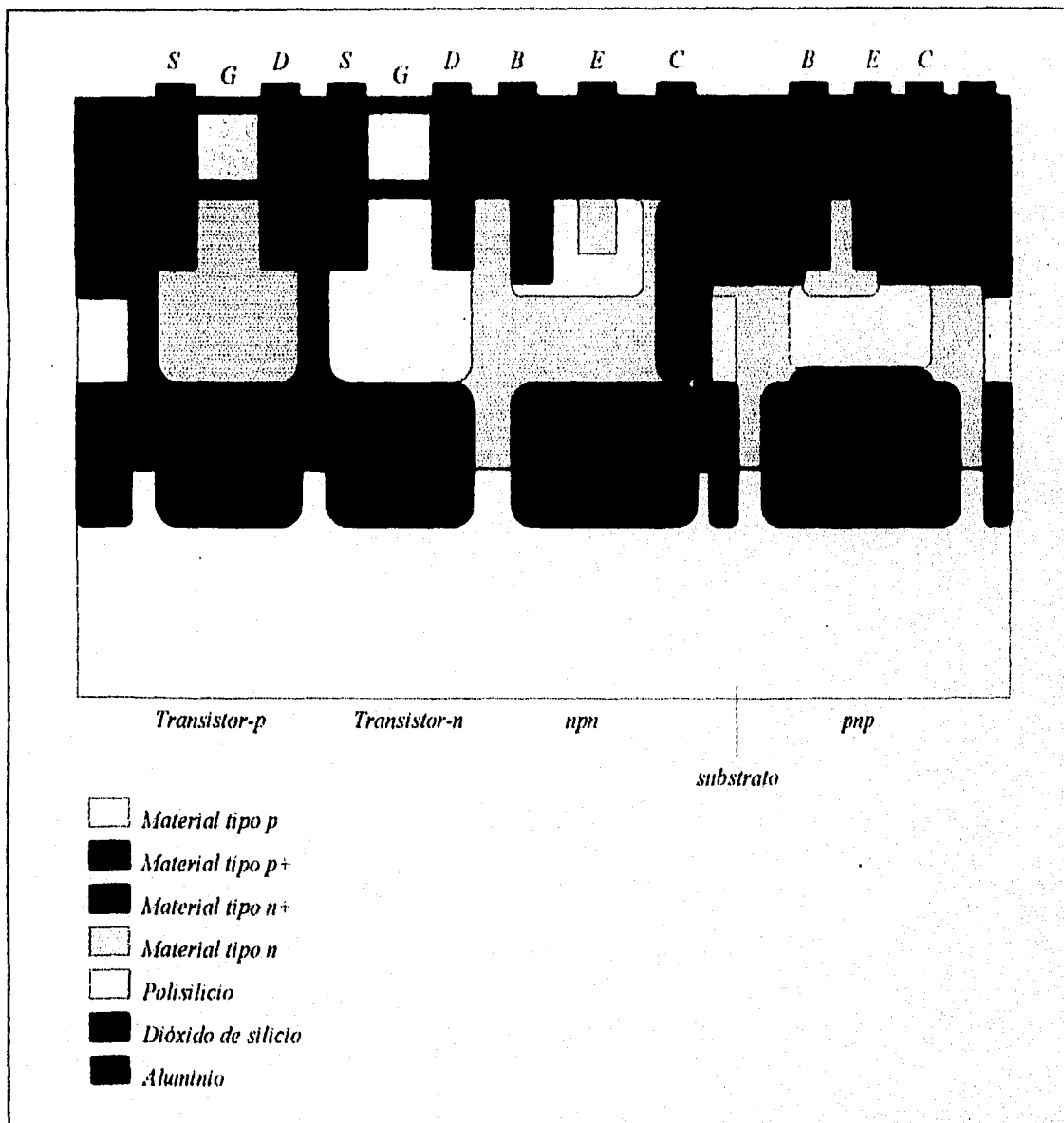


Figura 3.28 Sección transversal de un dispositivo típico con mezclas de señales BICMOS.

3.1.5. TRANSISTOR JFET INTEGRADO.

En algunas ocasiones son requeridos dispositivos integrados para aplicarlos a sistemas con micropoder, para conseguir un dispositivo de este tipo se necesita que tenga al mismo tiempo buena ganancia y alta impedancia de entrada. El dispositivo que se acerca a estos requerimientos es el JFET (Transistor de Unión de Efecto de Campo), también se le conoce como MOSFET.

Un JFET de canal n se fabrica mediante el proceso bipolar, la capa epitaxial que en un TBJ sirve como colector se convierte en el canal n del JFET. La figura 3.29 muestra la región transversal de la estructura de un JFET.

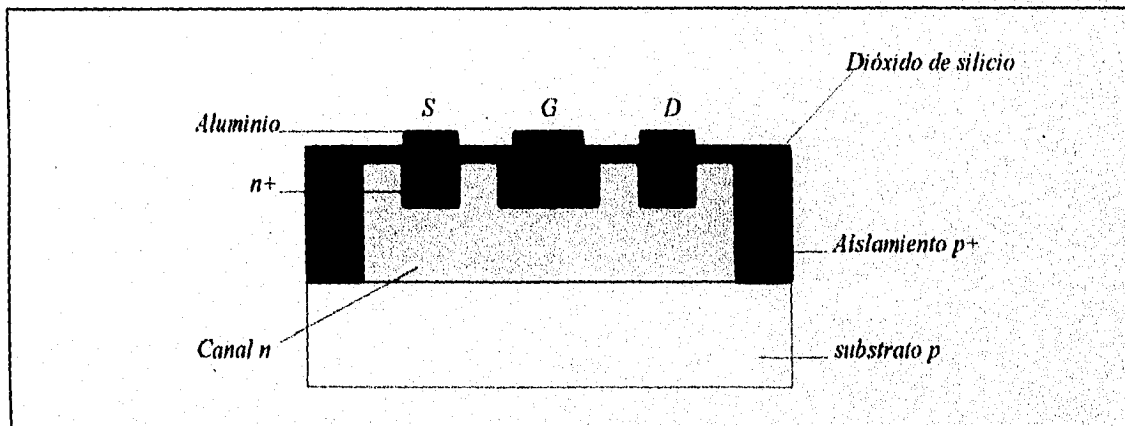


Figura 3.29 Sección transversal de un JFET de canal n.

En la figura 3.29 se puede observar las regiones de aislamiento p+ las cuales son difundidas sobre la capa epitaxial tipo n y tienen la función de separar el transistor de los demás elementos del circuito. Después la región de puerta es difundida o implantada en el canal n, generalmente bajo la capa de dióxido de silicio se implanta material tipo n+ con el fin de proveer un buen contacto óhmico a la puerta y al drenado. En seguida se crece una capa de dióxido de silicio la cual cubre toda la oblea para pasar enseguida a un proceso de fotolitografía en donde una máscara y un posterior ataque químico definen las superficies de contacto para las terminales del dispositivo. Al terminar este proceso se cubre la oblea con una capa de aluminio por el método de metalización descrito en el capítulo 1, después un enmascaramiento define las regiones metalizadas y el patrón de interconexiones deseado, por último se realiza la remoción del aluminio sobrante.

3.2. RESISTENCIAS MOS INTEGRADAS.

Dentro de la tecnología MOS se utilizan básicamente tres tipos de resistencias las cuales son las de capa difundida n^+ , de capa de polisilicio y de transistor MOS que normalmente es de depleción.

El calculo de la resistencia se realiza con la ecuación 1 del capítulo 1 y de la misma manera que se realizo en ese capítulo.

El principal problema de las resistencias de polisilicio y las difundidas es que tienen una baja resistencia de hoja (R_s) por lo que los valores de resistencia son bajos y para aumentarlos se requiere de una área mucho mayor, para minimizar un poco el problema se realizan arreglos geométricos como los presentados en la figura 2.18 del capítulo 2. La limitante de esta técnica es que cuando la resistencia es muy larga con una relación 3/1 es decir $l=3$ y $W=1$ entonces regularmente no se recurre al arreglo geométrico debido a que se presentan problemas en las esquinas porque la resistencia se incrementa en esas zonas, por lo que se a recurrido a otro tipo de arreglo como el mostrado en la figura 3.30 en el que se puede observar como se realizan tres resistencias de igual longitud interconectadas por metalización con lo que el valor de la resistencia es más próximo al calculado.

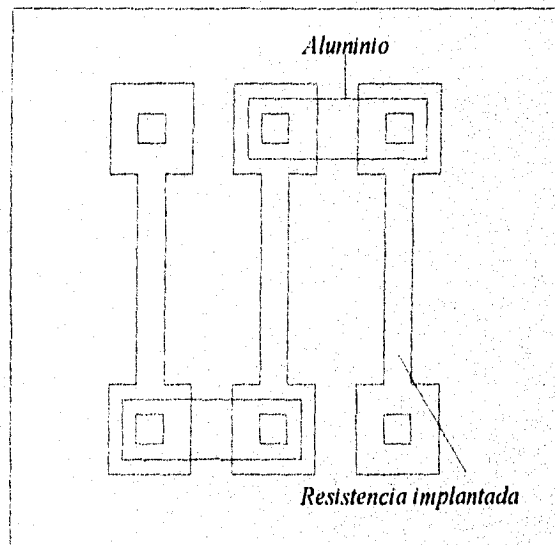


Figura 3.30 Arreglo para incrementar el valor de la resistencia.

Cuando se requieren de resistencias con esquinas como las mostradas en la figura 3.31a y 3.31b estas se deben considerar utilizando las ecuaciones 3.1 y 3.2 con la condicionante de que el largo l_1 y l_2 no sean considerablemente más grandes que W .

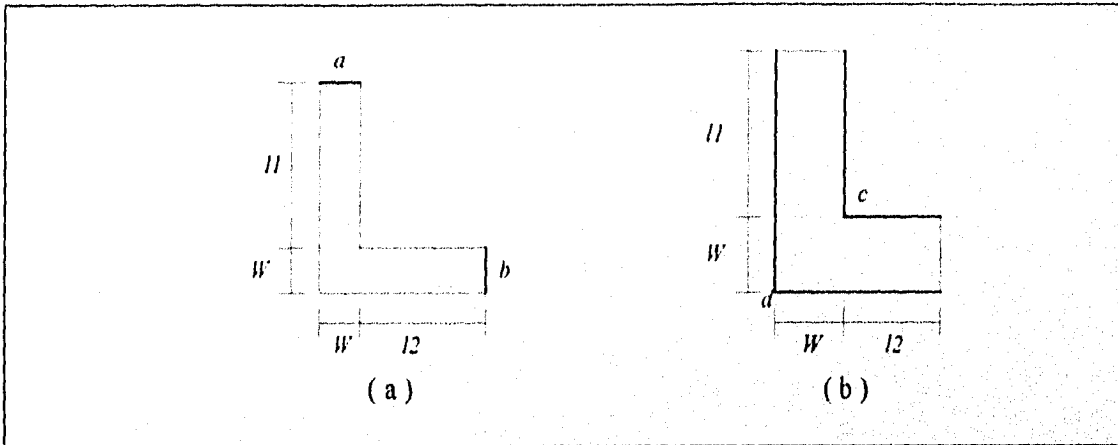


Figura 3.31 Representación geométrica de las consideraciones que se tienen en esquinas con resistencias integradas.

$$R_{ab} = R_s (l_1/W + l_2/W + 0.56) \text{-----} (3.1)$$

y

$$R_{cd} = R_s / (l_1/W + l_2/W + 0.56) \text{-----} (3.2)$$

Otra alternativa para realizar las resistencias integradas es construirla con un transistor MOS, la principal ventaja de este tipo de resistencia es que tiene una alta resistencia de hoja por lo que el área que ocupa es mucho menor, por contraparte este tipo de resistencias dependen del voltaje en especial el generado entre surtidor y sustrato.

Para que un transistor MOS sea utilizado como una resistencia tiene que realizarse el arreglo que se muestra en la figura 3.32.

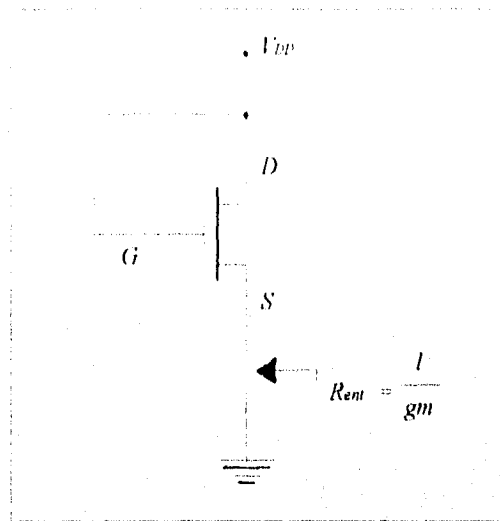


Figura 3.32 Representación discreta para la obtención de una resistencia a partir de un transistor MOS.

En la figura se observa que tiene que cortocircuitarse el drenado con la puerta, además de tener que aplicar un voltaje fijo V_{DD} entre el drenador y la tierra. Para este tipo de arreglo la impedancia es igual a $1/g_m$ siempre y cuando se desprece la conductancia del drenador g_d ya que la ecuación de la impedancia de entrada es:

$$R_{ent} = \frac{1}{g_m + g_d}$$

Entonces:

$$R_{ent} = 1/g_m$$

Donde: g_m = Conductancia mutua o transconductancia.
 g_d = Conductancia del drenador

La ecuación anterior se obtiene del razonamiento de que la conductancia es inversamente proporcional a la impedancia en cualquier material.

Mediante la ecuación podemos obtener la resistencia que se desee, así tenemos que si $g_m=10\mu A/V$ entonces $R=1/10\mu A/V=100K\Omega$, con resistencias de este tipo se logran obtener valores muy superiores a los obtenidos con resistencias difundidas.

3.2.1. RESISTENCIAS MOS POR IMPLANTACIÓN IÓNICA.

Las resistencias que se forman por implantación iónica pueden ser fabricadas con regiones de base y/o emisor. La resistencia obtenida con este proceso es igual a la estructura que se observa en la figura 3.33.

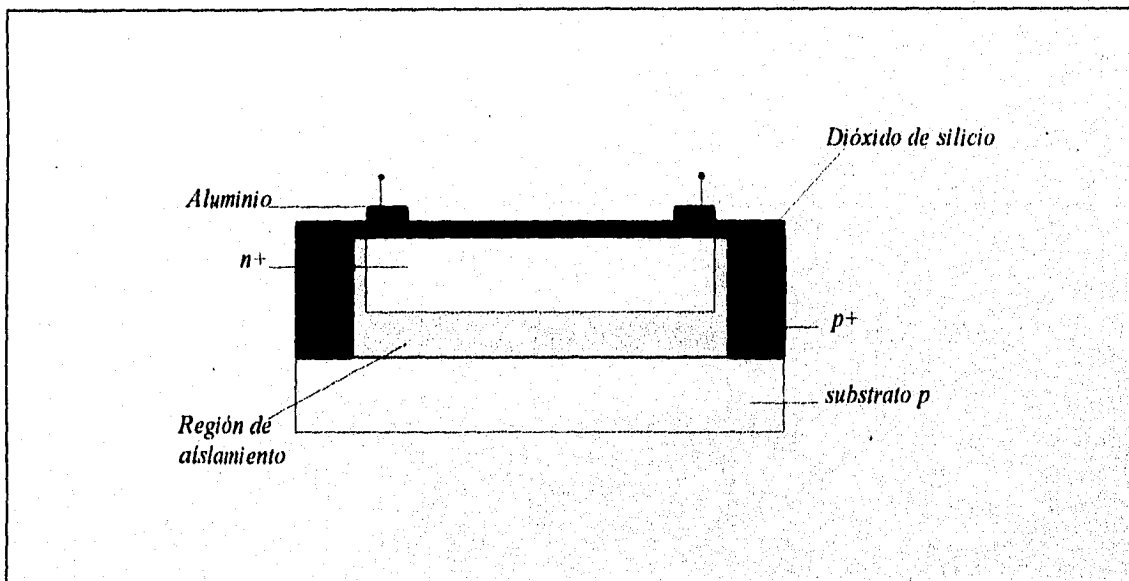


Figura 3.33 Sección transversal de una resistencia construida por implantación iónica.

Las resistencias de implantación tipo n pueden ser fabricadas para utilizarse en circuitos MOS el proceso es similar al que se usa en la formación del canal de un transistor nMOS. Los valores de resistencias de implantación iónica son comparables o similares a los obtenidos por difusión de base, las variaciones de tolerancias y temperatura están por debajo de las obtenidas por las resistencias difundidas. Estos valores de resistencias tienen una tolerancia del 3% y el coeficiente de temperatura puede ser más bajo que el de las resistencias difundidas. La tolerancia

por error es baja de alrededor del 25% que es mucho más baja que las de las resistencias difundidas.

3.3 CONDENSADORES MOS INTEGRADOS.

El capacitor es otro de los elementos con que cuenta la tecnología MOS el cual se forma cuando existen dos platos o planos paralelos a los cuales se les aplica una diferencia de potencial, para la construcción de un capacitor MOS se realiza una implantación o difusión de material tipo n^+ altamente impurificado sobre un substrato tipo n ó p , se realiza un aislamiento con una capa de dióxido de silicio la cual se utiliza como dieléctrico y tiene un espesor aproximado de 500 Å, sobre esta capa aislante se deposita una cubierta metálica que generalmente es aluminio el cual es depositado por evaporación y con ello se obtiene el capacitor como el mostrado en la figura 3.34, cabe mencionar que la capacitancia varía inversamente al espesor del dieléctrico.

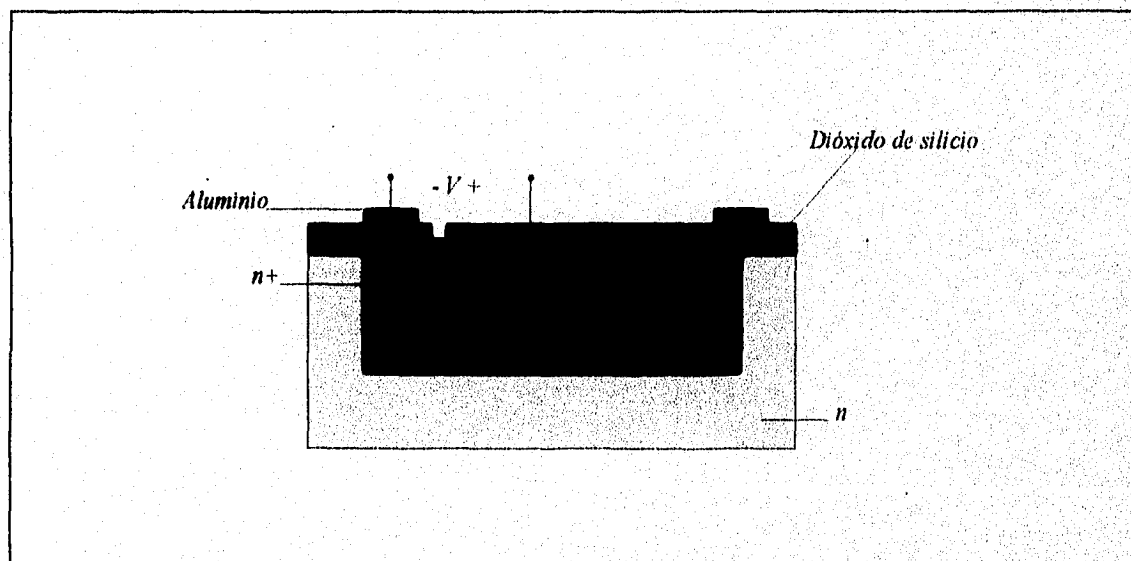


Figura 3.34 Estructura básica integrada de un capacitor de tecnología MOS.

El funcionamiento es más ó menos el siguiente, si se supone que no hay un voltaje aplicado al capacitor este no trabaja puesto que no hay carga entre el metal y la región tipo n^+ . Si ahora se aplica un voltaje positivo al metal y negativo a la región tipo n^+ entonces se acumula

una carga positiva bajo el metal y una carga negativa en la superficie de la región tipo n^+ la cual es proporcionada por la movilidad de los electrones en la capa n^+ . Si se invierte la polaridad y se aplica un potencial positivo a la región n^+ y negativo al metal tenemos que también se acumula una carga en el dieléctrico la cual no está dada por que se produzca movimientos de huecos en la capa n^+ sino que se crea por deplexión. La deplexión se crea debido que al no moverse los electrones se produce un espacio de carga igual a la del límite de la donación de átomos en la región en que se produce la deplexión. En las figuras 3.35a y 3.35b se observa lo aquí descrito.

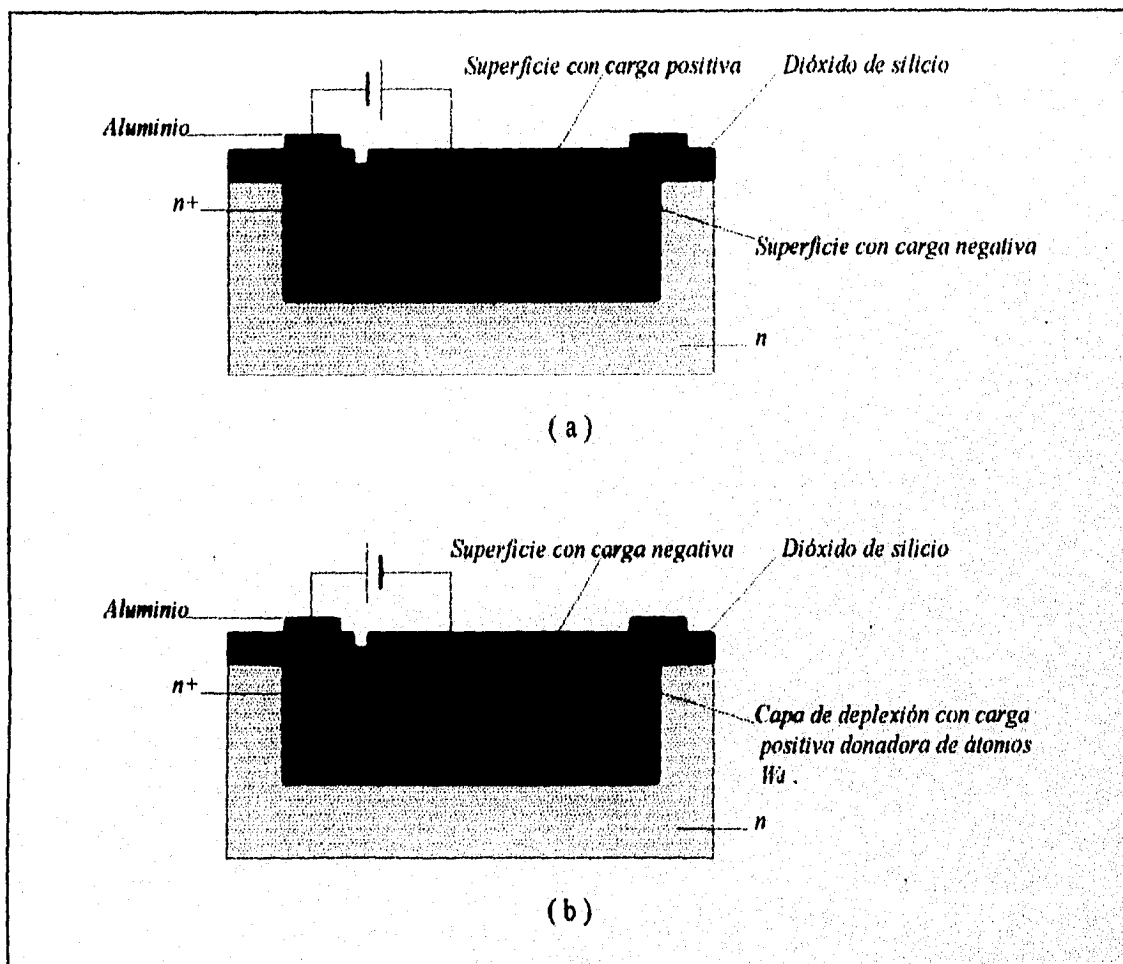


Figura 3.35 Comportamiento eléctrico de un condensador MOS integrado. (a) Voltaje positivo al metal y negativo a la región n^+ . (b) Invirtiendo las polaridades.

En la figura 3.36 se observa el circuito equivalente del condensador MOS.

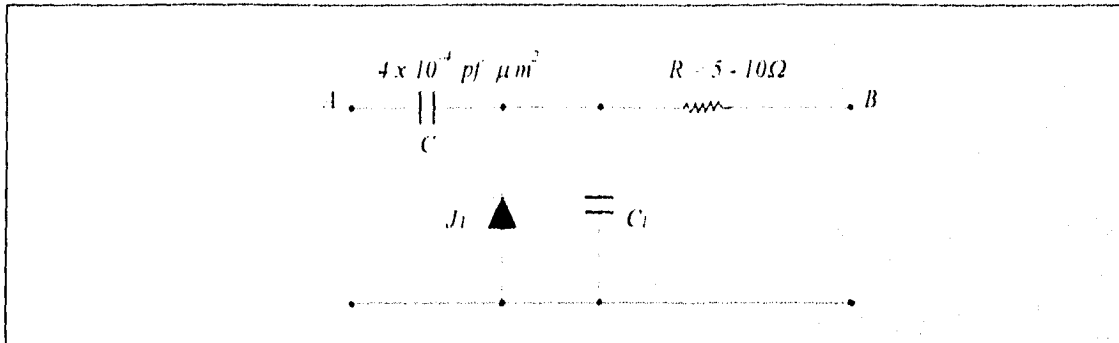


Figura 3.36 Circuito equivalente discreto de un capacitor MOS.

En la figura 3.36 se puede observar J_1 que representa la capacidad parásita por la unión del colector tipo n y el substrato tipo p , también se observa la resistencia serie que se presenta en la capa tipo n^+ la cual tiene un valor muy pequeño entre 5 y 10Ω , el valor típico de este tipo de condensadores es de $4 \times 10 \text{ pf/mm}$. Cabe mencionar que la placa superior puede ser sustituida por una capa de polisilicio como la que se utiliza para la compuerta de un transistor MOS.

3.4 DIODOS DE TECNOLOGÍA MOS.

El diodo es el dispositivo más simple de los semiconductores pues este se forma con la simple unión de un metal y un semiconductor o dos semiconductores de polaridad inversa, esta unión se puede dar por difusión ó por implantación.

La figura 3.37a y b muestra la sección transversal de los diodos integrados, su construcción es sencilla pues solo se requiere formar una isla de material tipo p ó n dependiendo del substrato y con la unión de los materiales semiconductores $p-n$ ó $n-p$ se forma el diodo, la figura 3.37c muestra el diagrama equivalente del diodo $p-n$ y la 3.37d del $n-p$.

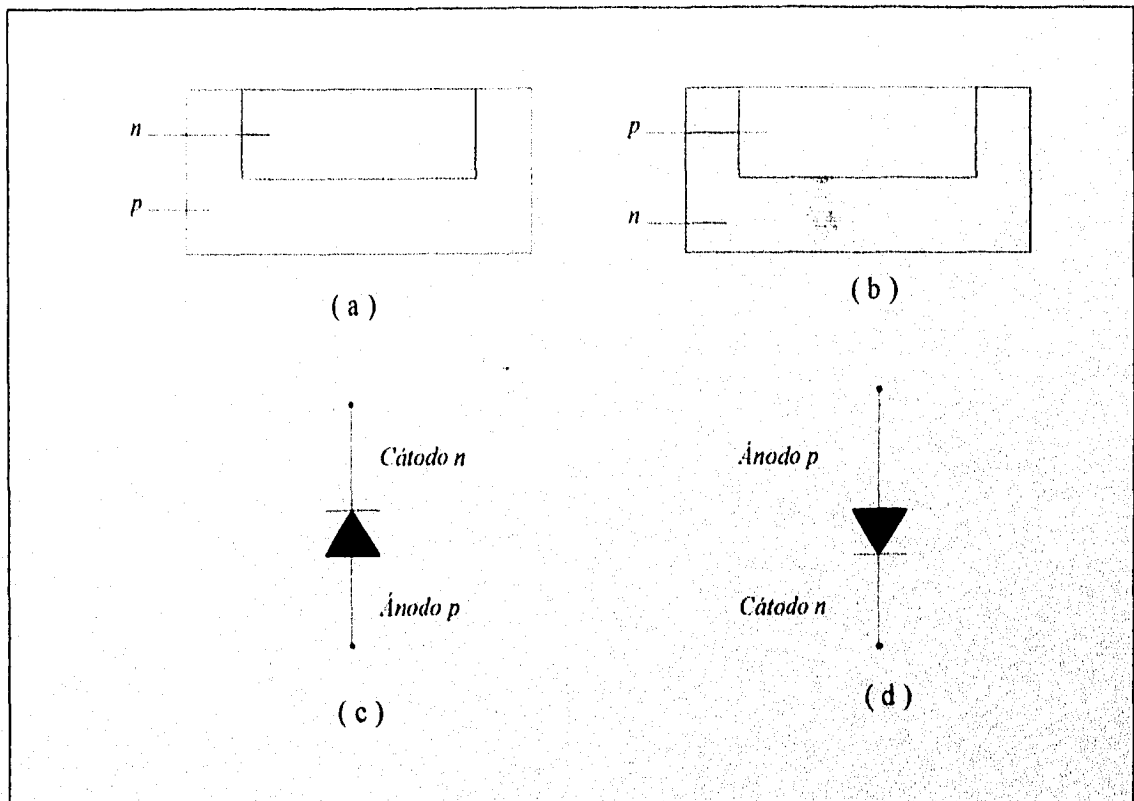


Figura 3.37 Diodos integrados MOS. (a) De unión p-n. (b) De unión n-p. (c) Equivalente discreto del diodo de unión p-n. (d) Equivalente discreto del diodo de unión n-p.

Reglas de diseño, de fabricación y características de layouts.

4

INTRODUCCIÓN.

En capítulos anteriores se observó que la microelectrónica se fundamenta en los mismos elementos que la electrónica convencional o discreta utilizando para su integración transistores, diodos, resistencias y capacitores, al igual que la electrónica discreta el fin que persigue es el mismo (la creación de dispositivos electrónicos para múltiples aplicaciones), solo que con dimensiones micrométricas de donde deriva su nombre. Debido a sus dimensiones es posible crear en un chip memorias y computadores con más de 100 000 elementos activos siendo este el máximo nivel de integración en la actualidad que es conocido como VLSI (Integración de Muy Grande Escala), a este nivel le siguen otros más que son el LSI (Integración de Gran Escala) el cual puede tener de 1000 a 100 000 elementos activos, circuitos de este tipo son los microprocesadores, le sigue la MSI (Integración de Mediana Escala) la cual puede contener de 100 a 1000 elementos activos, circuitos de este tipo son los filtros y registros, por último tenemos que el menor nivel de integración es el SSI (Integración de Pequeña Escala) el cual puede contener de 1 a 100 elementos activos como son compuertas amplificadores operacionales entre otros.

Debido a las estructuras, los materiales, la forma de fabricación y las pequeñas dimensiones los circuitos integrados y los elementos que los forman cuentan con parámetros característicos.

En los capítulos anteriores se presentó la fabricación de los elementos integrados de las tecnologías bipolar y unipolar, en este se presentan algunas de las características principales así como algunos parámetros que se deben considerar cuando se fabrica un circuito integrado además de proporcionar otros dispositivos que se consideran como típicos.

4.1 BASES PARA LA FABRICACIÓN DE UN CI.

Los parámetros que son requeridos para fabricar un elemento integrado normalmente son calculados por medio de simuladores electrónicos a través de la aplicación de programas computacionales que son avocados al diseño asistido por computadora (CAD), con los simuladores es posible modelar detalladamente las características y funcionamiento del dispositivo a diseñar.

Los parámetros de un circuito discreto son calculados por el diseñador del circuito para ello se apoya en simuladores electrónicos como el SPICE, el cual es un simulador para circuitos con un enfoque principal hacia los circuitos que se fabricaran de manera integrada sin importar si son análogos o digitales, aunque este simulador sirve para cualquier circuito.

Una vez que es proporcionado el circuito discreto probado y aceptado se procede a determinar el número de islas que se requieren para el chip agrupando los elementos con sus homólogos como se mostró en el ejemplo del capítulo 2, esto no es necesario para los circuitos integrados MOS puesto que no requieren aislamiento entre los elementos del CI.

Basados en lo anterior podemos decir que el diseñador de layouts tiene como principal objetivo la creación de una mascarilla que sea base para la fabricación de un CI. partiendo de un circuito discreto dado por medio de simuladores gráficos ó un diseñador.

Los parámetros característicos para la construcción de un chip son normalmente dados por el fabricante como son profundidad de implantación, tiempo y temperatura de difusión, el

elemento y nivel de impureza que sera empleado, mientras que el tipo de material que se utilizara como substrato, islas, regiones de emisor, colector, drenadores etc. están dados por el diseñador del layout basado en lo que se estableció en los capítulos 2 y 3 donde se observa el tipo de material con que deben formarse los elementos de cada tecnología.

4.2 PRINCIPALES CARACTERÍSTICAS Y PARÁMETROS DE LOS ELEMENTOS INTEGRADOS EN LA TECNOLOGÍA BIPOLAR.

Un punto de importancia que debe conocerse es las principales características eléctricas de los materiales que típicamente son usados en la formación de los circuitos integrados, así como los principales parámetros de salida de algunos elementos que forman un circuito integrado que se consideran como típicos debido a que son utilizados con bastante frecuencia en los procesos de integración.

El primer material que tocaremos es el substrato que básicamente es la oblea la cual en ambas tecnologías es usada y puede ser de material tipo p ó n con un espesor aproximado de entre 0.2 a 0.3 mm, la resistividad típica es de entre $5\Omega\text{-cm}$ y $10\Omega\text{-cm}$ dependiendo del tipo de material que se use y la tecnología con que se va a fabricar el dispositivo. La oblea tiene la suficiente resistencia mecánica para soportar su manipulación sin sufrir fracturas ni daños a través de los procesos a que es sometida. En la tabla 4.A se pueden observar los diámetros típicos de las obleas así como el número de CI. de 5mm^2 y de 60mm^2 que se pueden formar en ellas.

Diámetro (mm ²)	Superficie (mm ²)	Número de CI por oblea	
		5mm ²	60mm ²
20	314	62	5
25	491	98	8
30	708	140	11
38	1140	228	19
50	1960	392	32
75	4420	884	73
100	7850	1570	130

Tabla 4A. Diámetro típico de las obleas y número de CI por oblea.

En la tecnología bipolar el siguiente paso es el crecimiento de la capa epitaxial la cual es de material tipo n con una resistividad típica de entre 0.1 y 0.5 Ω -cm, esta capa es donde se construyen los elementos del chip. Los primeros parámetros que mostraremos serán los de los transistores bipolares los cuales se dividen en dos grupos los de conmutación y de amplificación, comenzaremos con los parámetros típicos de los materiales de las capas que forman el transistor bipolar integrado independientemente de su tipo p ó n, las cuales se observan en la tabla 4.B.

Capas del dispositivo	Transistor	
	de amplificación	de conmutación
Substrato		
Resistividad	10 Ω -cm	10 Ω -cm
Capa enterrada		
Resistencia laminar	20 Ω / cuadro	20 Ω / cuadro
Película epitaxial		
Espesor	10 μ m	3.5 μ m
Resistividad	1 Ω -cm	0.3 - 0.8 Ω -cm
Resistencia laminar	1 K Ω / cuadro	1.5 K Ω / cuadro
Emisor		
Profundidad de difusión en la base	2.5 μ m	0.8 μ m
Resistencia laminar	5 Ω / cuadro	12 Ω / cuadro
Base		
Profundidad de la difusión	3.25 μ m	1.3 μ m
Resistencia laminar	100 Ω / cuadro	200 Ω / cuadro
Espesor del óxido		
Fondo	0.8 μ m	0.5 μ m
Base	0.4 μ m	0.33 μ m
Emisor	0.3 μ m	0.3 μ m

Tabla 4.B. Parámetros típicos de diseño para transistores bipolares integrados.

Los parámetros característicos de funcionamiento de los transistores integrados dependen de varios factores, como el proceso para su obtención, la eficiencia de la difusión, pero principalmente de la geometría que describe el dispositivo por lo que no hay estándares totales en cuanto a parámetros se refiere, a continuación en la figura 4.1 se muestran las estructuras geométricas más comunes para la obtención de transistores bipolares que son el npn pequeño, npn grande, npn lateral, pnp de sustrato grande, pnp de doble colector lateral y el de doble emisor en el sustrato.

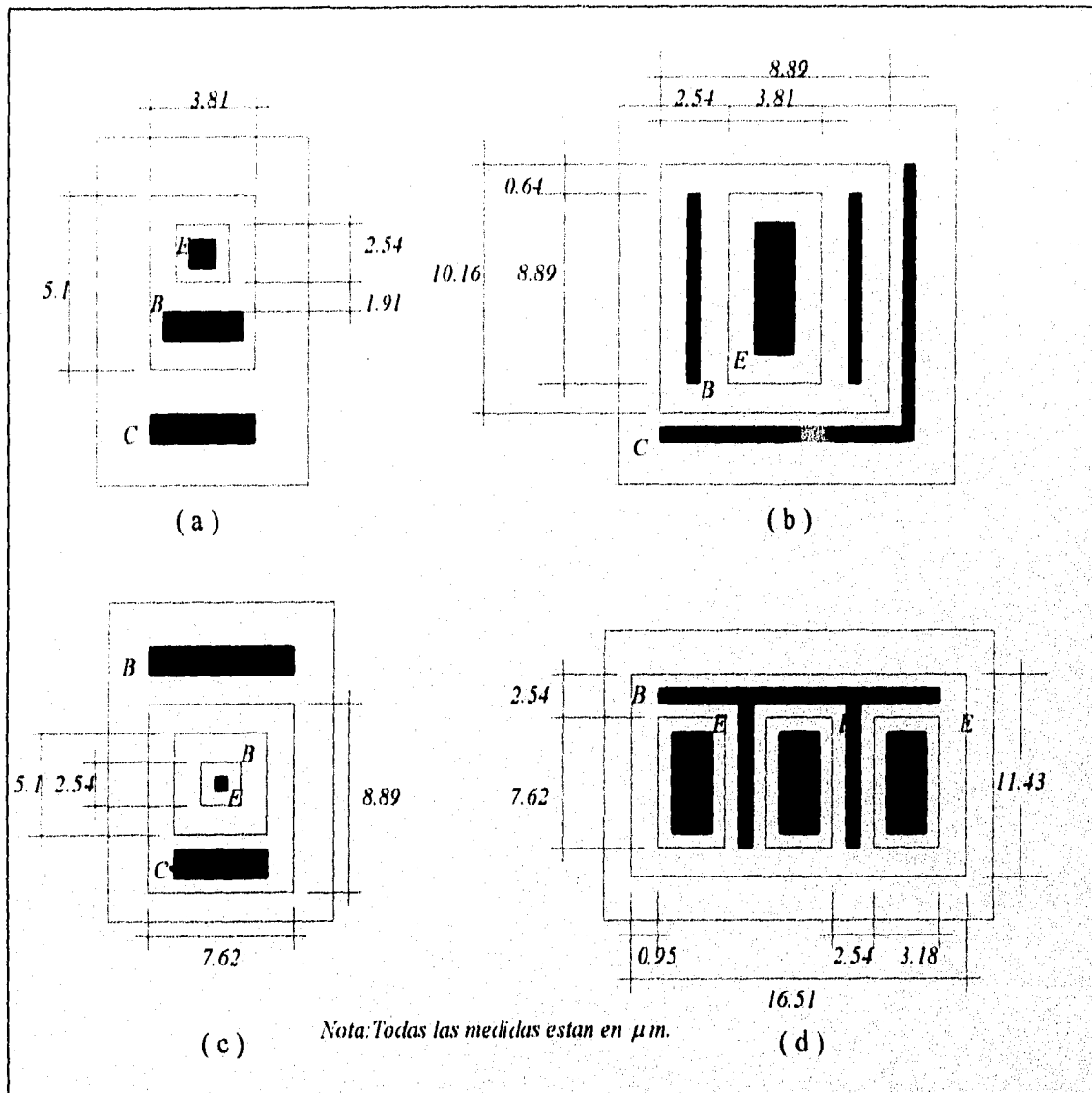


Figura 4.1 Principales tipos de transistores integrados (a) npn pequeño. (b) npn grande. (c) npn lateral. (d) pnp de sustrato largo.

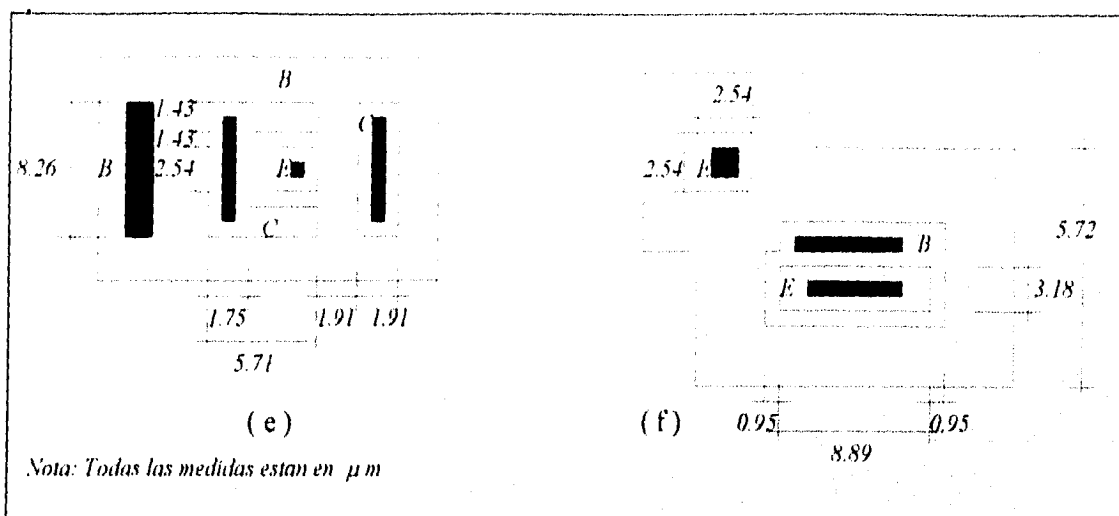


Figura 4.1 Continuación (e) pnp lateral de doble colector. (f) pnp de sustrato con doble emisor.

A continuación en la tabla 4C se dan los principales parámetros típicos de los transistores de la figura 4.1.

Parámetros	npn pequeño	npn grande	pnp lateral	pnp sustrato	Doble colector		Doble emisor	
					pnp lateral A	pnp lateral B	pnp sustrato A	pnp sustrato B
$k, 10^{-15} A$	1.26	0.395	3.15	17.6	0.9	2.25	0.79	0.0063
β_0 (máx)	290	520	95	130	0.4	1.9	94	21
$I_c \beta_0$ (máx) mA	0.3	0.3	0.11	0.11	0.03	0.07	0.015	0.015
B/β_0	0.72	0.77	0.79	0.90	0.95	0.78	0.85	0.9
B_I	2.5	6.1	3.8	4.8	1.4	1.5	1.5	1.0
r_s' Ω	670	185	500	80	1000	1600	1100	650
r_c' Ω	300	15	150	156	80	120	170	100
$\eta, 10^{-4}$	1.45	0.97	4.7	4.47	3.1	3.1	3.26	1.55
τ_i, ns	1.15	0.76	27.4	26.5	27.4	27.4	26.5	26.5
τ_n, ns	405	243	2540	2430	55	220	9550	2120
$C_{\mu o}, pF$	0.65	2.8	0.1	4.05	0.1	0.1	1.1	1.9
$C_{\kappa o}, pF$	0.36	1.55	1.05	2.8	0.3	0.9	2.4	2.4
$C_{\omega o}, pF$	3.2	7.8	5.1	---	4.8	4.8	---	---

Tabla 4C. Parámetros típicos de los transistores monolíticos mostrados en la figura 4.1.

Otro elemento utilizado en la tecnología bipolar son los diodos de unión los cuales son obtenidos por arreglos a partir de un transistor bipolar, en la figura 4.2 se muestran las seis configuraciones básicas discretas del transistor para que funcione como un diodo.

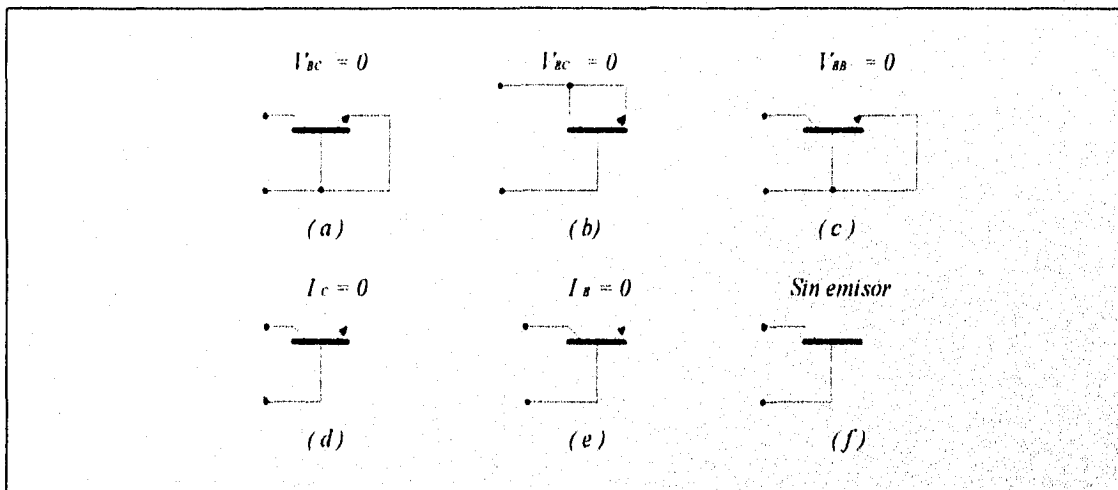
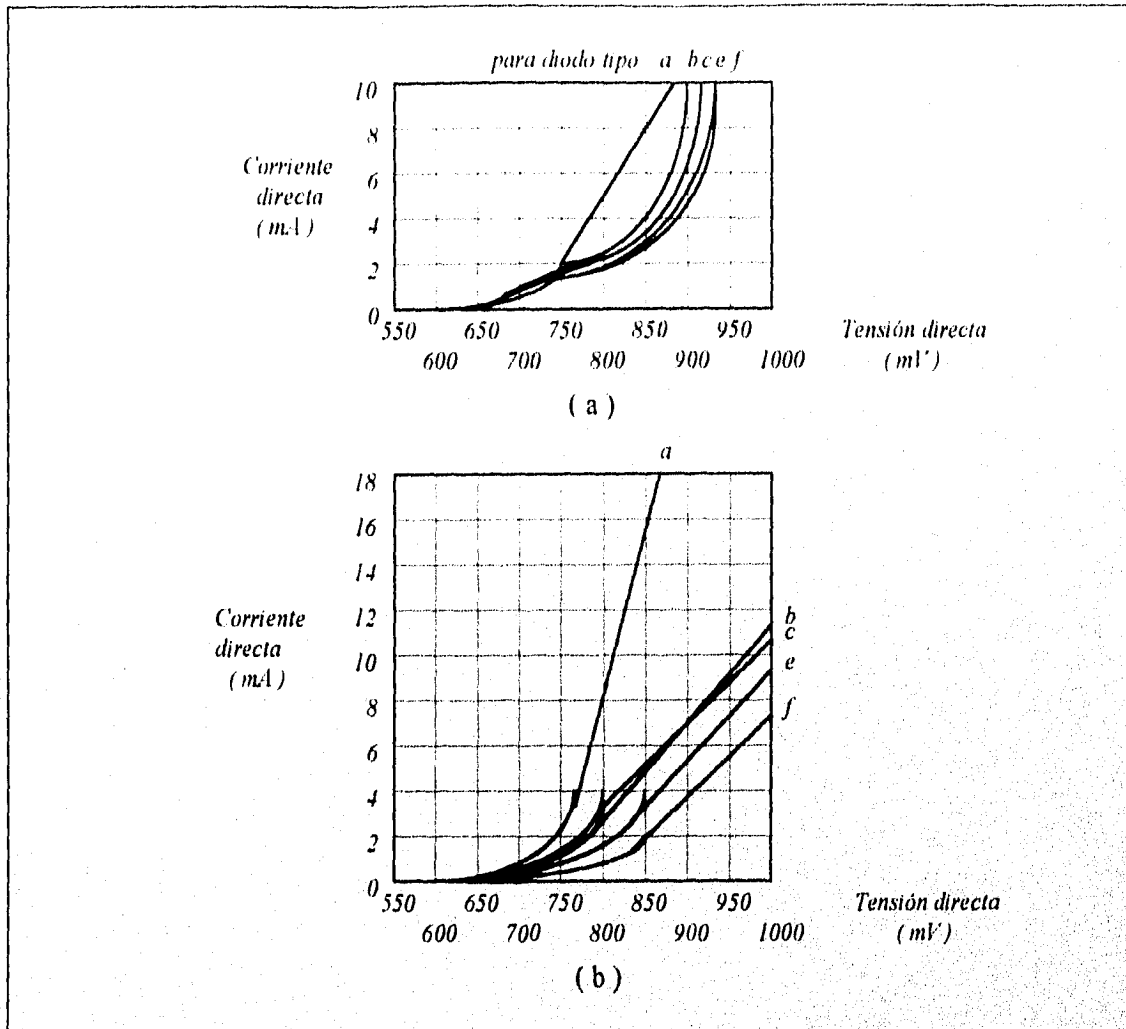


Figura 4.2 Principales configuraciones discretas para la obtención de un diodo a partir de un transistor bipolar.

El parámetro de mayor importancia en un diodo integrado es la característica de tensión vs corriente cuando el diodo está en operación directa por lo que las gráficas 4a y 4b nos muestran el comportamiento de conducción de cada uno de los arreglos de la figura 4.2 con las siguientes condiciones, para la gráfica 4.1a una resistividad en el colector de $1.2\Omega\text{-cm}$ y una resistencia laminar en la base de $200\Omega/\text{cuadro}$ y para la gráfica 4.1b una resistividad en el colector de $0.1\Omega\text{-cm}$ y una resistencia laminar en la base de $200\Omega/\text{cuadro}$.



Gráfica 4.1. (a) Característica tensión vs corriente para algunos de los diodos de la figura 4.2 con condiciones específicas. (b) Misma característica para los mismos diodos con condiciones específicas distintas a las de la gráfica a.

A éste tipo de diodos se les asocia una capacitancia parásita debido a la unión de los materiales que lo forman, dicha capacitancia no representa grandes problemas en el desempeño del dispositivo por lo que en la practica no se toma en cuenta, en la tabla 4D se muestran los tiempos típicos de almacenamiento para la capacitancia que se crea en cada una de las configuraciones.

Diodo	a	b	c	d	e	f
Tiempo típico de almacenaje (τ) ns	6	150	90	70	130	80

Tabla 4D. Tiempo de almacenaje de la capacitancia parasita que se asocia a cada uno de los diodos monolíticos presentados.

Otro de los elementos que forman parte de la tecnología bipolar es la resistencia integrada que se analizó en el capítulo 2 donde se observó que los parámetros que determinan su valor son el largo l , el ancho W y la resistividad del material que se está utilizando obteniendo valores que están entre 20Ω y $30K\Omega$ cuando se usa material de emisor para su construcción y de 10Ω a $1K\Omega$ cuando se usa material de base en su constitución.

Es preciso mencionar que cuando se construye una resistencia monolítica se asocian a ella dos capacitancias parásitas y un transistor parásito pnp con un valor típico de h_{fe} de entre 0.5 y 5 que se observan en la figura 2.19 además se menciona que para que el transistor esté en corte es necesario conectar la región de aislamiento al potencial más positivo del circuito debido a que el colector se polariza inversamente cuando entra en operación la resistencia por ello se recomienda que todas las resistencias que contenga un circuito integrado estén ubicadas en una sola isla.

Los capacitores bipolares integrados fueron presentados en el capítulo 2 donde se menciona que típicamente están contruidos sobre un substrato tipo p con una resistividad típica de $5\Omega\text{-cm}$ en donde se forma la isla con material tipo n el cual tiene una resistividad típica de $0.5\Omega\text{-cm}$, es en esta capa donde se construye el capacitor. Los principales parámetros de los capacitores integrados se muestran en la tabla 4E.

Características	Condensador de unión difundida
Capacidad. pF μm^2	0.03099
Superficie máx. μm^2	12.90×10^3
Valor máx. pF	400
Tensión de ruptura. V	5-20
Dependencia de la tensión	$KV^{-1.2}$
Tolerancia en %	- - 20

Tabla 4E principales parámetros de un capacitor integrado de difusión.

Las dimensiones de los elementos que forman la tecnología bipolar son variables por lo que no es posible establecer un estándar aunque en temas anteriores se han dado estructuras y dimensiones típicas de los elementos monolíticos bipolares, solo falta agregar que se ha convenido que las anchuras mínimas para regiones difundidas de emisor sean de $25.4\mu m$ y de $12.7\mu m$ para los contactos de base, contactos de colector, separaciones de islas y elementos. A partir de esos mínimos establecidos el diseñador puede jugar con las medidas sin perder de vista que el objetivo principal es la obtención del dispositivo con las menores dimensiones posibles y la máxima densidad de elementos.

4.3 PRINCIPALES CARACTERÍSTICAS Y PARÁMETROS DE LOS TRANSISTORES UNIPOLARES.

Los parámetros característicos de los transistores MOS son muy variables puesto que ellos dependen de varios factores como son dimensiones, el material para su construcción, grado

de impurificación, pero especialmente el proceso y técnica usada para su construcción, una muestra de ello se puede observar en la tabla 4F la cual proporciona los principales parámetros típicos de resistencia y capacitancia de los distintos materiales usados en diferentes procesos de construcción de dispositivos MOS.

Como se observo en la sección anterior en donde se trato lo relacionado a la tecnología bipolar cada transistor tiene sus propios parámetros y características dependiendo de varios factores. En la tecnología unipolar sucede lo mismo y cada dispositivo individual tiene sus particularidades específicas dependiendo de diversos factores que son variables en cada CI, siendo el principal las dimensiones que requiere el dispositivo.

En cuanto a las resistencias monolíticas MOS su principal característica es que permite un mayor valor que las de difusión así como gran estabilidad debido a que estas se obtienen regularmente de un transistor MOS como se explico en el capítulo 3. Con respecto a los diodos en la tecnología MOS su principal característica es la misma que para los bipolares con la ventaja de que su formación es más sencilla por no requerir de islas, las asociaciones parásitas no se consideran puesto que no afectan el desempeño del dispositivo. Los condensadores para la tecnología MOS principalmente son los de película delgada que se describieron en el capítulo 3,

en la tabla 4G se muestran los principales parámetros de los condensadores MOS de película delgada

Parámetros	Pozo-p con puerta de metal			Pozo-p con puerta de silicio			Pozo-n con puerta de silicio		
	Min.	Tip.	Máx.	Min.	Tip.	Máx.	Min.	Tip.	Máx.
Resistencia de hoja n ⁻ Ω · cuadro	5	10	15	10		30	25	30	35
Resistencia de hoja p ⁻ Ω · cuadro	30	60	100	30		30	70	80	90
Resistencia de hoja de del pozo KΩ · cuadro				3		4	4		5
Resistencia de hoja del Polisilicio Ω · cuadro				15		30	20	25	30
Resistencia de hoja del metal mΩ · cuadro								30	
Capacitancia de puerta 10 ⁻⁴ pF / μm ²		1.0		4.5		5.0		0.7	
Capacitancia drenado fuente									
Area n ⁺ 10 ⁻⁴ pF / μm ²	1.5		3.0	3.0		3.5	1.0		1.3
Perímetro n ⁺ " "	4.0		8.0		5.0			6.0	
Area p ⁺ " "	0.6		1.5		2.0			2.0	
perímetro p ⁺ " "	2.0		4.0		3.0			4.0	
Capacitancia del pozo									
Area 10 ⁻⁴ pF / μm ²					0.77			0.33	
Perímetro " "					3.3			5.0	
Polisilicio a sustrato 10 ⁻⁴ pF / μm ²					0.5			0.43	
Polisilicio a metal 10 ⁻⁴ pF / μm ²					0.4			0.41	
Metal a sustrato 10 ⁻⁴ pF / μm ²					0.23			0.21	

Tabla 4F. Parámetros característicos de los materiales empleados en la construcción de un dispositivo MOS.

Características	MOS de película delgada
Capacidad, $pf/\mu m^2$	0.039 - 0.062
Superficie máx. μm^2	12.90×10^3
Valor máx. pf	800
Tensión de ruptura, V	50 - 200
Dependencia de la tensión	0
Tolerancia en %.	+ - 20

Tabla 4G. Parámetros típicos del condensador MOS de película delgada.

Como puede observarse los parámetros característicos de comportamiento son particulares para cada transistor y elemento monolítico dependiendo de varios factores entre otros su diseño, su fabricación, el material utilizado en su elaboración, sus dimensiones y la tecnología con que se desarrolle el proceso por ello es conveniente no establecer valores absolutos y específicos es mejor generalizar y establecer aunque de manera arbitraria e independientemente del fabricante de la tecnología usada y la familia a que pertenezca, los principales parámetros para un dispositivo monolítico son:

- Inmunidad al ruido, en un CI es la insensibilidad a todo aquello que no sea una señal que se le aplique en alguna de sus patillas; por ejemplo no presenta alteración si se encuentra cerca una inducción del chip siempre y cuando está no este conectada.

- Nivel de voltaje de alimentación, la mayoría de los circuitos integrados sólo requieren de un voltaje de alimentación único aunque algunos MOS requieren de dos voltajes de alimentación, el valor varía entre -12 y 15V.

- Niveles lógicos, existe gran gama de voltajes que son interpretados por el dispositivo como 1 ó 0 lógicos y ello corresponde a cada tipo de familia lógica que se este manejando la cual tiene sus propias características que son proporcionadas por el fabricante.

REGLAS DE DISEÑO, DE FABRICACIÓN Y CARACTERÍSTICAS DE LAYOUTS

- Tiempo de propagación, es el tiempo que tarda la señal desde la entrada hasta la salida del dispositivo y se mide en nanosegundos (ns).

- Frecuencia de trabajo, es el tiempo de propagación que generalmente se aplica sólo a los flip-flops y se mide en Megahertz.

- Potencia disipada, es la potencia de alimentación observada por el dispositivo se mide en miliwatts (mw), aunque se encuentran dispositivos con consumo de nanowatts.

- Temperatura de trabajo, es la temperatura ambiente en la que el dispositivo trabaja sin problemas considerables de operación, el rango de temperatura es variable de acuerdo al CI que se este manejando.

- Temperatura de almacenamiento, es la temperatura ambiente que soporta el circuito cuando esta almacenado o fuera de operación la cual es regularmente de -65 a 150 °C.

- Factor de calidad Q_F , este factor se obtiene del producto del tiempo de propagación por el consumo de potencia, siendo este parámetro una comparación entre las familias lógicas.

- Carga de salida (fan out), es el número máximo de cargas o conexiones a otros dispositivos que puede soportar el circuito sin problemas de operación.

Es importante notar que cada fabricante emplea sus propias características y parámetros que considere de mayor importancia.

En la mayoría de los CI se prefiere construir únicamente con transistores evitando al máximo otros componentes principalmente en la tecnología unipolar, esto es debido a que al usar únicamente transistores el proceso de fabricación y el diseño del layout es más sencillo reduciendo el número de pasos en la obtención del chip lo cual se refleja en un menor costo del CI así como menor posibilidad de errores y mal funcionamiento del chip.

4.4 PRINCIPALES VENTAJAS DE FABRICACIÓN Y COMPORTAMIENTO DE LAS TECNOLOGÍAS UNIPOLAR Y BIPOLAR.

La fabricación de CI's se realiza por dos tecnologías unipolar y bipolar las cuales tienen sus características propias y ventajas en el proceso de construcción así como en el circuito monolítico terminado. A continuación se presentan las principales ventajas de cada una de las tecnologías usadas en cuanto a fabricación y comportamiento del chip.

- Los dispositivos MOS son más simples que los bipolares, ocupan menos espacio por no requerir de regiones de aislamiento mientras que los bipolares ocupan en islas el 30% de la superficie total del CI. Debido a esta característica los dispositivos unipolares permiten mayores niveles de integración en forma cuantitativa se habla de que donde se pueden construir 10 000 transistores MOS sólo se pueden construir 1000 bipolares.

- Un transistor MOS requiere de una sola difusión, por su parte el bipolar requiere entre 4 y 6.

- El transistor MOS no requiere de la capa epitaxial, el bipolar si la necesita.

- El consumo de un transistor MOS esta en el orden de los nW y μ W mientras que el de un bipolar es del orden de los mW.

- El proceso unipolar utiliza de 3 a 5 máscaras el bipolar de 6 a 8.

- Un transistor unipolar se fabrica con alrededor de 38 operaciones, para un bipolar alrededor de 130.

- Los circuitos MOS requieren de dos procesos a más de 1000 °C, los bipolares 10 procesos.

- La ganancia en un dispositivo unipolar es independiente de la difusión mientras que los bipolares dependen directamente de la difusión.

- Un mayor nivel de integración de la tecnología unipolar trae como consecuencia un menor costo de los CI's.

- La principal ventaja de los circuitos bipolares es que pueden ser manipulados por el usuario sin grandes cuidados y no se dañan, mientras que los MOS son más delicados por lo que se tienen que tomar precauciones para su manipulación.

- Los transistores de tecnología bipolar son más eficientes en su función de amplificadores que los de la tecnología unipolar debido a que estos pueden trabajar con corrientes y potencias mayores.

Cada tecnología trata de aprovechar sus ventajas al máximo y a través del tiempo han ido teniendo cabida en distintos campos y en cierta forma complementándose por ejemplo la tecnología bipolar esta más enfocada y con mejores resultados en lo relacionado a amplificadores de todo tipo como en la electrónica de potencia, un ejemplo de ello es que en la mayoría de los sistemas motorizados la etapa posterior a la de control que se conoce como etapa de potencia cuenta con CI bipolares, mientras que la tecnología unipolar esta abocada a la conmutación y en consecuencia a los sistemas digitales como memorias, microprocesadores, microcontroladores etc. En la actualidad la mayoría de los sistemas y equipos electrónicos cuentan con dispositivos de ambas tecnologías con lo que se puede decir que son complementarias en la formación de un sistema electrónico.

4.5 FABRICACIÓN DE LAS MASCARILLAS USADAS EN LOS PROCESOS.

En capítulos anteriores se menciona que la fabricación de un circuito integrado se realiza a partir de un patrón llamado layout el cual es un croquis de la distribución de los elementos que formaran el chip (el diseño del layout se tratara en el capítulo 5). Basados en el layout se procede a la fabricación de las mascarillas que sirven de plantilla para las difusiones o implantaciones en la construcción del CI .

Las mascarillas son laminillas con zonas abiertas (claras) y zonas cubiertas (obscuras) las cuales permiten o no el paso de impurezas su trazado geométrico es variable lo mismo que el

número que se requieran de acuerdo al dispositivo que se vaya a fabricar su principal objetivo es definir en la estructura monolítica las diferentes regiones que conformen el CI

Cuando se inicio la microelectrónica el layout se dibujaba en gran escala para posteriormente pasar el dibujo a un revestimiento de Mylar claro con plástico rojo llamado Rubilita el cual se tenia que cortar con gran cuidado y precisión para establecer las zonas claras por donde deberían pasar las impurezas, el proceso se repetía para cada una de las distintas mascarillas a usarse. Posteriormente el patrón que se obtenía al finalizar los cortes era fotografiado y reducido aproximadamente unas 500 veces hasta lograr el tamaño deseado y obtener el patrón maestro, el proceso era muy tardado y tedioso. Posteriormente con la aparición de la computadora el proceso se modifico reduciendo tiempo y haciendo más sencillo el trabajo, cuando se tenia trazado el dibujo de igual forma que en el primer proceso este se montaba sobre un tablero de digitalización el cual estaba conectado a una computadora que contenía un CAD (Diseño Asistido por Computadora), denominado calma, la digitalización consistía en que una persona con una especie de pluma electrónica seguía las formas geométricas del dibujo de esta manera pasaban a la memoria de la computadora del sistema calma. Una vez capturada la información el dibujo podía ser editado en el monitor de la computadora así como reproducir, duplicar y modificar celdas.

Cuando se tenia el patrón deseado en la computadora se mandaba la información a un gráficoador llamado Xynetics el cual generaba un dibujo de gran calidad y precisión con una variedad de colores a partir de los datos proporcionados por el sistema calma. Después se realizaba un proceso fotográfico para reducir el patrón 100 veces el tamaño deseado y posteriormente se volvía a reducir unas 10 veces. Teniendo el negativo se pasaba a un generador de patrón para posteriormente pasar ese patrón a una máquina programada de paso y repetición donde era reproducido las veces deseadas sobre la misma mascarilla terminando así el proceso.

En la actualidad el dibujo ya no se realiza a mano gracias al avance que a tenido la ingeniería de software creando poderosos simuladores gráficos en los que se pueden diseñar layouts de CI's, la información del layout es guardada en un disco el cual posteriormente es leído por un sistema computacional de haz electrónico el cual realiza el corte de los patrones de las mascarillas a partir de los datos obtenidos del disco con lo que el tiempo de su obtención y su precisión se aumentan en un gran porcentaje. Actualmente las mascarillas son construidas en un soporte de vidrio rígido opacado con cromo, su uso se vio en los capítulos anteriores y como ya se menciona su geometría depende del chip que se este realizando.

4.6 PRINCIPALES REGLAS DE DISEÑO DE UN LAYOUT.

La fabricación de un CI parte de un croquis llamado layout el cual es diseñado a partir de un circuito discreto en el cual se agrupa los elementos que contenga en islas y después se procede al diseño del layout con el fin de crear el circuito en una estructura en el mínimo espacio posible, para realizar esta integración se han establecido una serie de reglas y normas que varían de acuerdo a cada fabricante pero que en esencia son similares así tenemos que Phillips propone las siguientes:

1- Volver a dibujar el circuito con el mínimo número de cruces y conservando las conexiones requeridas.

2-Considerando el potencial de colector determinar el número de islas y reducir la superficie al máximo posible.

3-Agrupar todas las resistencias que tengan voltajes fijos en un extremo del chip en la misma isla y conectar esta al potencial más positivo del circuito.

4-Conectar el substrato al potencial más negativo del circuito.

5-Mantener un espacio entre las islas que sean como mínimo el doble del espesor de la capa epitaxial para evitar una posible interconexión por difusión lateral.

6-Usar anchos de $25.4\mu\text{m}$ para las regiones difundidas de emisor y de $12.7\mu\text{m}$ para los contactos de base, de colector y separaciones.

7-Para las resistencias utilizar el mayor ancho posible compatible con las limitaciones del tamaño del dado.

8-Optimizar siempre la distribución del layout para mantener el menor tamaño posible del dado y si es necesario distribuir las terminales de conexión.

9-Determinar las geometrías de los componentes teniendo en cuenta las exigencias de su comportamiento en el circuito

10-Realizar todos los recorridos metálicos tan cortos y tan anchos como sea posible, en especial en las conexiones de salida del emisor y del colector del transistor en saturación.

Las reglas anteriores son aplicables en su totalidad a la tecnología bipolar no así para la tecnología unipolar en donde no se requieren regiones de aislamiento ni región epitaxial, se pueden realizar cruces sin problemas de consideración por lo que permite más libertad y facilidad al diseñador al realizar la integración considerando que debe respetar las dimensiones mínimas que se recomiendan para evitar posibles problemas.

Se menciono en las normas anteriores que los cruces con la metalización deben evitarse pero en ocasiones debido a la complejidad del layout es necesario realizar algunos cruces para ello se recomienda que el cruce se realice en donde se encuentra una resistencia debido a que estas se encuentran cubiertas por una capa de dióxido de silicio lo que evita un posible contacto y en consecuencia un corto circuito. Cuando la densidad del CI es muy grande en ocasiones no se pueden evitar cruces sobre otros elementos por lo que se recurre a lo que se conoce como puntos adicionales de cruce difundiendo una estructura donde se va a realizar el cruce. Los cruces de este tipo pueden ocasionar problemas ya que al existir una región aislada se crea una resistencia parásita en serie de la región difundida por lo que es mejor evitar los cruces de las vías de conexión.

Las dimensiones del layout son designadas como diseño de medidas donde se establecen las dimensiones de las mascarillas que se utilizaran en el proceso de fabricación. El objetivo principal del diseño de medidas es el ocupar el mínimo del área posible en un CI y que este funcione correctamente ya que pueden ser determinantes en un posible mal funcionamiento del chip por lo que es preciso que estas sean lo más exactas posibles. En la practica se cuenta con una buena tolerancia para los posibles errores de fabricación.

Las dos principales direcciones hacia donde se enfoca el diseño de medidas es la reproducción geométrica de la figura que plasmara la mascarilla de trabajo en la oblea por medio

del proceso fotolitográfico y por otro lado las interconexiones entre las distintas capas y elementos del circuito.

El diseño de medidas de un layout se realiza basados en dos dimensiones que son el micrón o micrómetro (μm) y la base lambda (λ), el micrón se da como una lista con las mínimas dimensiones para anchos de los rasgos geométricos así como para los espacios de todas las mascarillas usadas en el proceso. La medida de diseño base lambda se basa en un parámetro único (λ) expresando las medidas en un solo plano. La particularidad de esta base es que es escalable por lo tanto no tiene un valor fijo específico sino que se adecúa al tipo de circuito y tecnología que se use en la fabricación y diseño, tampoco tiene un valor específico equivalente con el micrón por lo que es variable y puede tomar distintos valores de equivalencia con el μ así por ejemplo si se está utilizando una tecnología de $2\mu\text{m}$ entonces $\lambda=2$, si la tecnología usada es de $5\mu\text{m}$ entonces $\lambda=5$ y así dependiendo de la tecnología que se está usando varía el valor de λ . Los fabricantes usan mayormente en la fabricación el micrón, pero la mayoría de los diseñadores y simuladores de diseño de los layouts y las mascarillas usan la base λ dando así la posibilidad al diseñador de optar por la tecnología que considere más adecuada para la fabricación del circuito integrado. En la mayoría de los textos de diseño de layouts para CI's se usa como dimensión la base lambda debido a su posibilidad de que se puede ajustar según la escala o equivalente de la tecnología que se está manejando. Un dispositivo representativo de la tecnología MOS lo constituye el CMOS debido a que contiene los principales transistores de esta tecnología, en la tabla 4H se presentan las medidas mínimas permitidas para un dispositivo CMOS con un proceso tipo pozo n, las dimensiones que se dan están dadas en base lambda y en micrómetros para una tecnología de $2\mu\text{m}$.

Las capas que constituyen un circuito integrado están representadas en un layout como rectángulos de distintos colores como se ha observado a través del presente trabajo aunque es preciso mencionar que los colores que se han utilizado en capítulos anteriores han sido arbitrarios y establecidos solo con el fin de mostrar los elementos así como los procesos básicos. Para que los layouts sean comprendidos por todos los fabricantes se llegó a un acuerdo asignando un color específico y para los principales materiales que se usan. Los simuladores de layouts en su mayoría adoptan esta convención de colores que se pueden observar en la tabla 4I así también como los materiales a que corresponden, los colores aquí presentados no son estándares y pueden variar de acuerdo al simulador que se está manejando.









Capa	Color		Capa	Color	
pozo n	Amarillo claro		n+	Vino	
Pozo p	Gris claro		Metal 1	Azul	
Area activa	Verde		Metal 2	Naranja	
Polosilicio	Rojo		Metal 3	Cafe	
p+	Amarillo		Contactos Vias	Negro	

Tabla 41. Colores para las capas de los layouts de los distintos materiales.

La interconexión entre el circuito integrado y las patillas del encapsulado se realiza por medio de unos pestillos (pads) que tienen que ser muy tomados en cuenta para fabricar el chip pues estos ocupan la mayor parte del área en un CI ya terminado. Existen pads de entrada, de salida, de voltaje de alimentación y de tierra, de estos elementos se conecta el alambre para las patillas de conexión del CI su número depende de los requerimientos del layout que se diseñe en algunas ocasiones el diseñador del layout tiene que crearlos pero en la mayoría de los simuladores de layouts incluye pads prediseñados los cuales se tienen que llamar y acomodarse según las necesidades que presente el circuito integrado, en la figura 4.4 se muestra la base para el circuito monolítico formado de pads que posteriormente integraran el chip.

REGLAS DE DISEÑO, DE FABRICACIÓN Y CARACTERÍSTICAS DE LAYOUTS

Región	Medida en λ .	Medida en μ
1-Capa pozo n		
1.1Tamaño mínimo	10	20
1.2Espacio mínimo entre pozos del mismo potencial	6	12
1.3Espacio mínimo entre pozos de distinto potencial.	8	16
2-Area activa		
2.1Tamaño mínimo	3	6
2.2Espacio mínimo entre áreas	3	6
2.3Sobreposición de una región p ⁺ en el pozo n	5	10
2.4Sobreposición de una región n ⁻ en el pozo n	3	6
2.5Espacio entre una región n ⁺ y un pozo n	5	10
2.6Espacio entre una región p ⁺ y un pozo n	3	6
3- Polisilicio 1		
3.1Tamaño mínimo	2	4
3.2Espacio mínimo	2	4
3.3Espacio con la región activa	1	2
3.4Extensión de la puerta	2	4
4- Regiones de difusión		
4.1Distancia mínima sobre la región activa	2	4
4.2Tamaño mínimo	7	14
4.3Espacio de p ⁺ /n ⁺ a la puerta n ⁺ /p ⁺	3	6
5- Contactos		
5.1Tamaño mínimo	2	4
5.2Espacio mínimo al polisilicio	2	4
5.3Espacio mínimo a la región activa	2	4
5.4Distancia mínima a la orilla de la región activa	2	4
5.5Distancia mínima a la orilla de el polisilicio	2	4
5.6Mínima sobreposición fuera de los contactos del metal 1	1	2
5.7Espacio mínimo a la puerta	2	4

Región	Medida en λ	Medida en μ
6- Metal 1		
6.1 Tamaño mínimo	3	6
6.2 Espacio mínimo entre metal y metal	3	6
7- Via 1		
7.1 Tamaño mínimo	2	4
7.2 Espacio mínimo entre vías	3	6
7.3 Mínima sobreposición del metal 1	1	2
7.4 Mínima sobreposición del metal 2	1	2
8- Metal 2		
8.1 Tamaño mínimo	3	6
8.2 Espacio mínimo entre metales	4	8
9- Via 2		
9.1 Tamaño mínimo	2	4
9.2 Espacio mínimo entre vías	3	6
10- Metal 3		
10.1 Tamaño mínimo	8	16
10.2 Espacio entre metalizaciones	5	10
10.3 Mínima sobreposición del metal 2	2	2
10.4 Mínima sobreposición del metal 3	2	2
11- Pasivación		
11.1 Cubierta mínima		100
11.2 Espacio mínimo		150

Tabla 4H. Dimensiones mínimas de los elementos que forman un dispositivo CMOS.

La figura 4.3 es la representación gráfica de las dimensiones mínimas de la tecnología CMOS las cuales están dadas en λ .

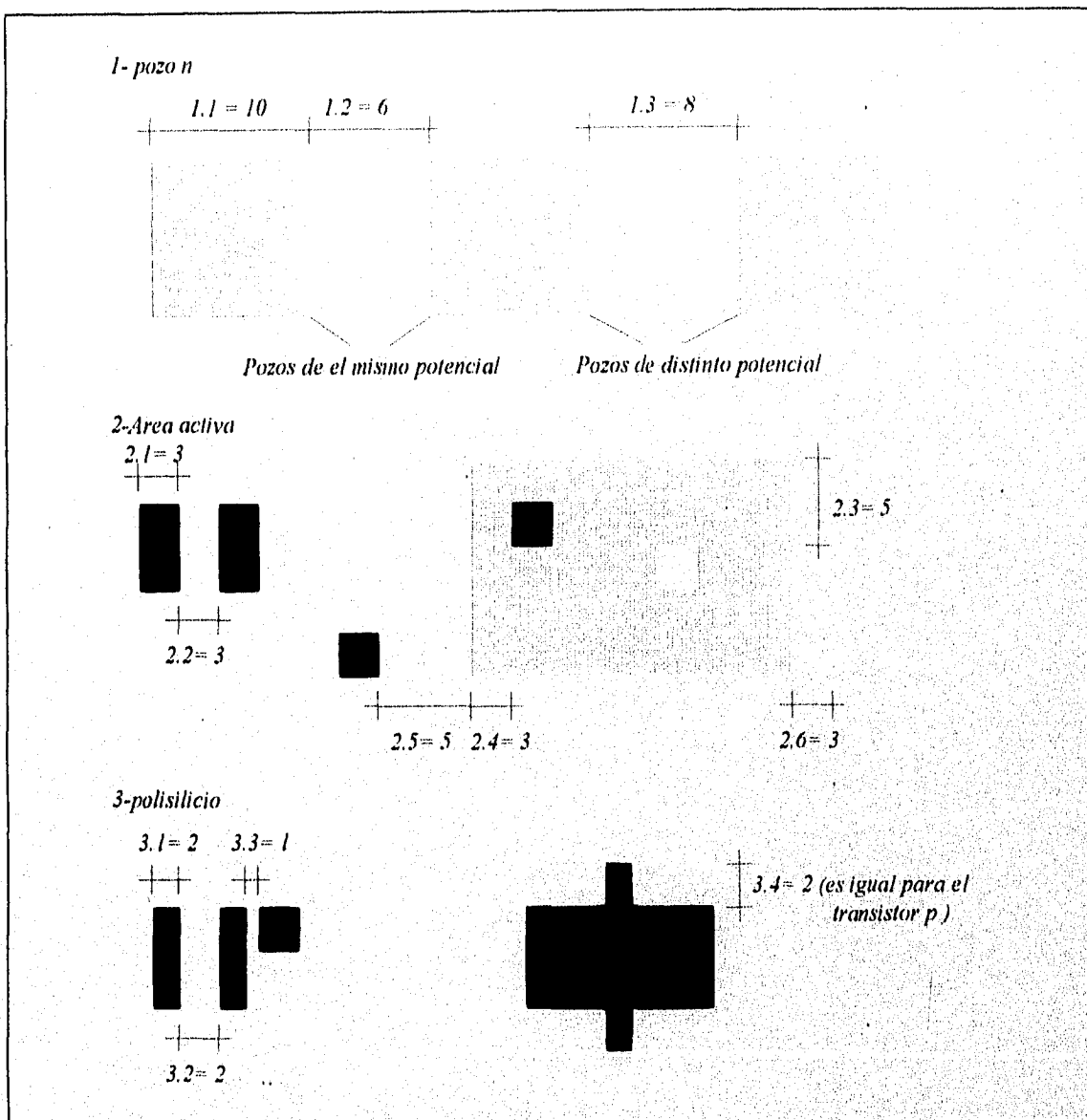


Figura 4.3 Dimensiones características típicas de un dispositivo integrado CMOS.

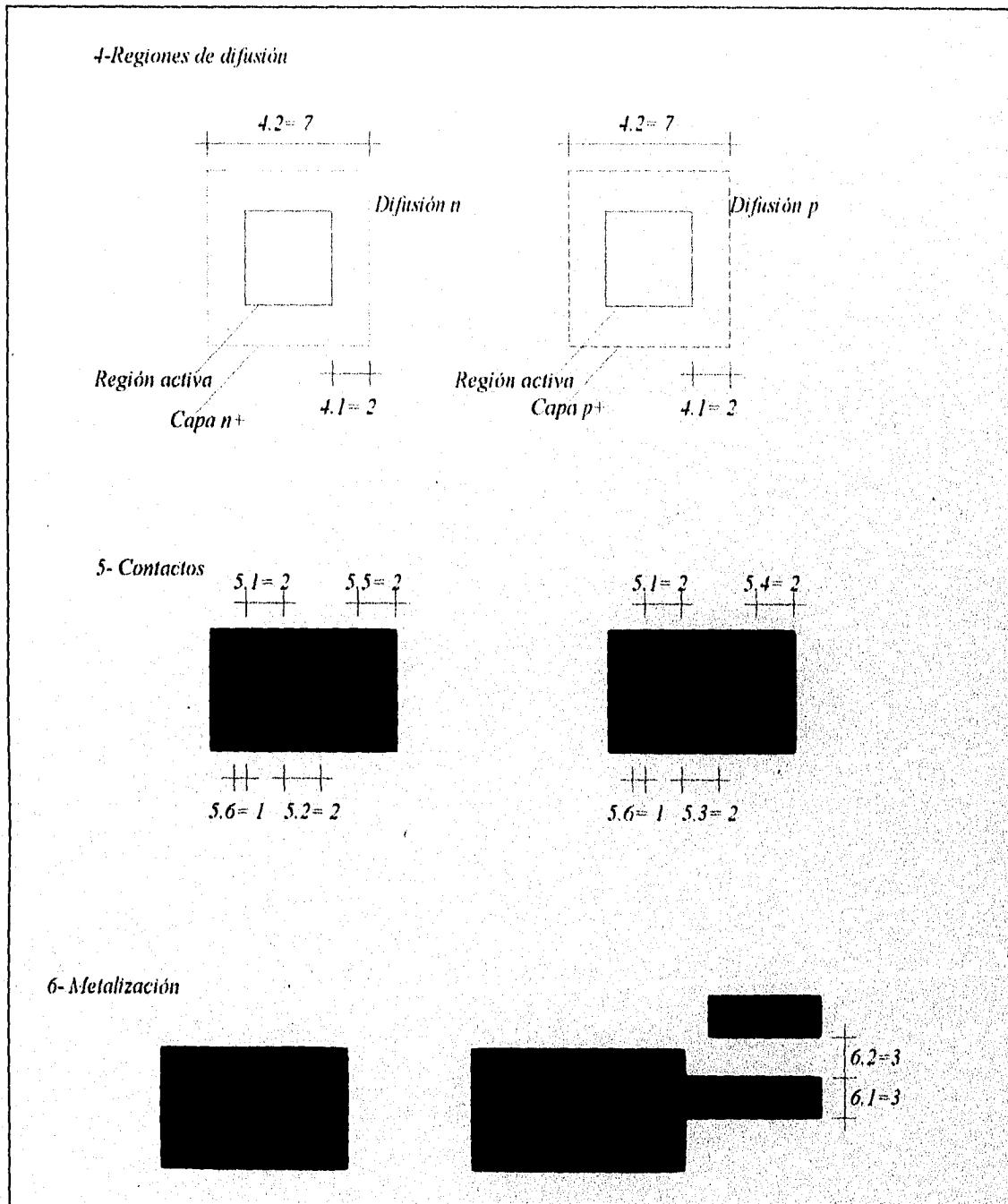
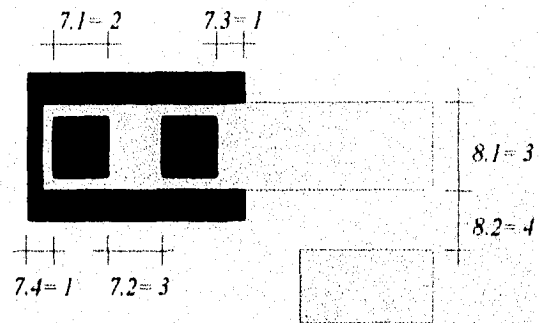
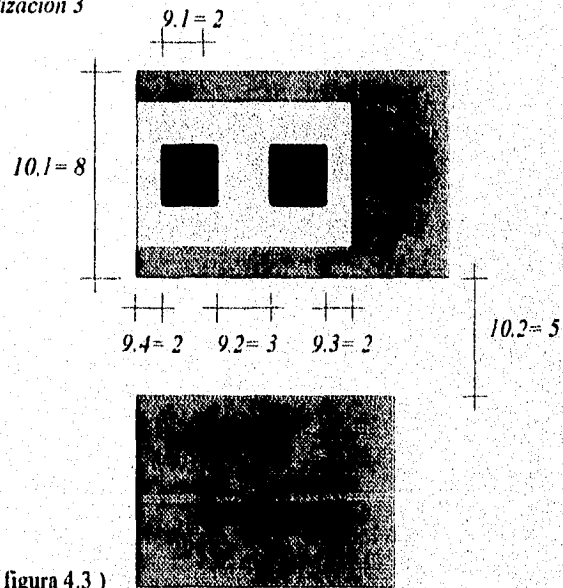


Figura 4.3 Continuación.

7-Vias 1 y 8-Metalización 2



9-Via 2 y 10-Metalización 3



(continuación de la figura 4.3)

Figura 4.3 Continuación.

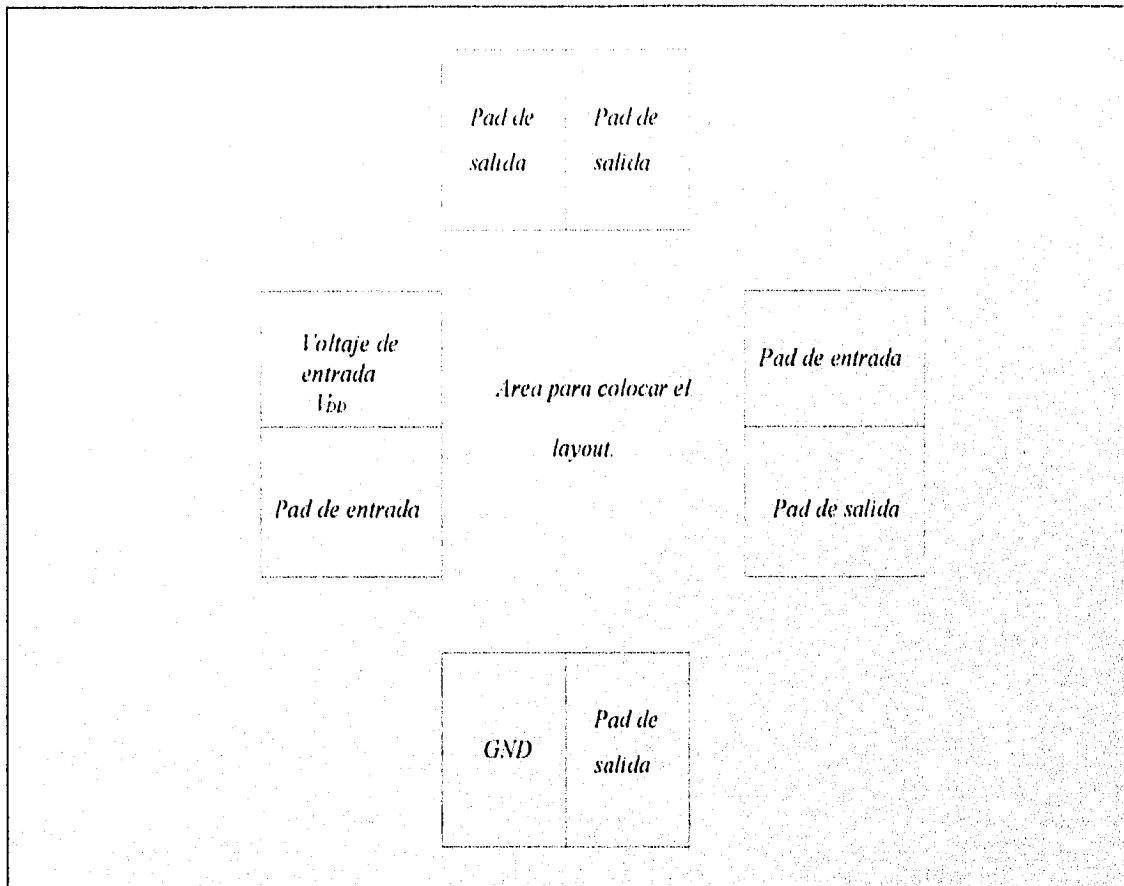


Figura 4.4. Estructura de pestillos (Padframe) para acoplar el circuito monolítico a las patillas y formar el chip.

A continuación en la tabla 4I se presentaran reglas y normas de diseño para una tecnología CMOS de $5\mu\text{m}$ establecidas por el Centro Nacional de Microelectrónica (CNM) para fabricar un circuito integrado donde el sustrato es tipo p con tecnología de pozo n, las medidas que se presentaran están en micras y son las mínimas permisibles.

Dimensión mínima en μm

1 pozo n	
1.1 Ancho de pozo.	7
1.2 Separación entre pozos.	17.5
2 Areas activas	
2.1 Ancho de área activa n^+ o p^+ .	5
2.2 Separación entre áreas activas.	5
2.3 Margen entre área activa p^+ y pozo.	5
2.4 Margen entre área activa n^+ y pozo.	0
2.5 Separación entre área activa p^+ y pozo.	8.5
2.6 Separación entre área activa n^+ y pozo.	15
3 Implantación de campo	
3.1 Desbordamiento respecto a pozos.	4
4 polisilicio	
4.1 Ancho de la pista.	5
4.2 Separación entre pistas.	5
4.3 Margen del polisilicio respecto a una área activa.	4
4.4 Desbordamiento del polisilicio respecto a una área activa.	4
4.5 Separación entre polisilicio y área activa.	2.5
5 Implantación n^+	
5.1 Desbordamiento de la ventana de implantación n^+ sobre área activa.	2.5
5.2 Separación entre ventanas de implantación n^+ .	5
6 Implantación p^+	
6.1 Desbordamiento de la ventana de implantación p^+ sobre una área activa.	2.5
6.2 Separación entre ventanas de implantación p^+ .	5
6.3 Separación entre ventanas de implantación p^+ y n^+ .	0

	Dimensión mínimas en μm
7 Contactos	
7.1 Ancho y alto.	5
7.2 Separación entre contactos.	5
7.3 Margen del contacto respecto a una área activa.	2.5
7.4 Margen del contacto respecto al polisilicio.	3.5
7.5 Separación entre el contacto con polisilicio y área activa	4
7.6 Separación entre contacto con difusión y polisilicio.	5
7.7 Semilongitud del contacto butting.	6
8 Metal	
8.1 Ancho de la pista.	7.5
8.2 Separación entre pistas.	5
8.3 Desbordamiento respecto a contacto.	2.5
9 Pasivación	
9.1 Ancho de la ventana de pasivación	5
9.2 Separación entre ventanas de pasivación.	5
10 Bonding pads	
10.1 Ancho.	120
10.2 Separación entre bonding pads.	120
10.3 Desbordamiento del bonding pad sobre la ventana de pasivación.	7.5
10.4 Separación entre pozo, área activa, pista de polisilicio o pista de metal y bonding pad.	50

Tabla 4I. Medidas mínimas para tecnología CMOS de μm .

Existen varias notas para la tabla 4I y son:

- La separación entre áreas activas p+ y n+ para formar un contacto butting es 0.
- La dimensión del punto 3.1 es fija.

- En 5.2 y 6.2 si la separación es menor a la indicada se deben unir las ventanas.
- El desbordamiento de una área activa tipo n+ y una p+ formando un contacto butting debe ser 0.
- Las implantaciones n+ y p+ no se pueden sobreponer.
- La dimensión 7.1 es fija.
- En 7.7 la longitud total fija es 2x6 μm y el ancho fijo es de 5 μm.
- Los contactos con polisilicio no se permiten dentro de una área activa.
- Los contactos únicamente se realizan con polisilicio o difusión.
- Los contactos deben ser cubiertos por metal.

La simbología para este tipo de reglas no esta dado por colores sino solo con distintos estilos de líneas y rellenos que definen el tipo de material del que se esta tratando, estos se presentan en la tabla 4J.

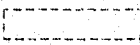
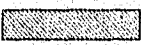


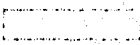




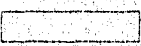
<i>Material</i>	<i>Representación</i>	<i>Material</i>	<i>Representación</i>
<i>Pozo n</i>		<i>Implantación p+</i>	
<i>Area activa p+</i>		<i>Contactos</i>	
<i>Area activa n+</i>		<i>Metal</i>	
<i>Polisilicio</i>		<i>Pasivación</i>	
<i>Implantación n+</i>		<i>Area activa p+ o n+</i>	

Tabla 4J Representación gráfica de los distintos materiales para establecer sus dimensiones.

A continuación en la figura 4.5 se presentan las medidas mínimas para la tecnología CMOS de $5\mu\text{m}$ establecidas por el Centro Nacional de Microelectrónica (CNM) de forma gráfica

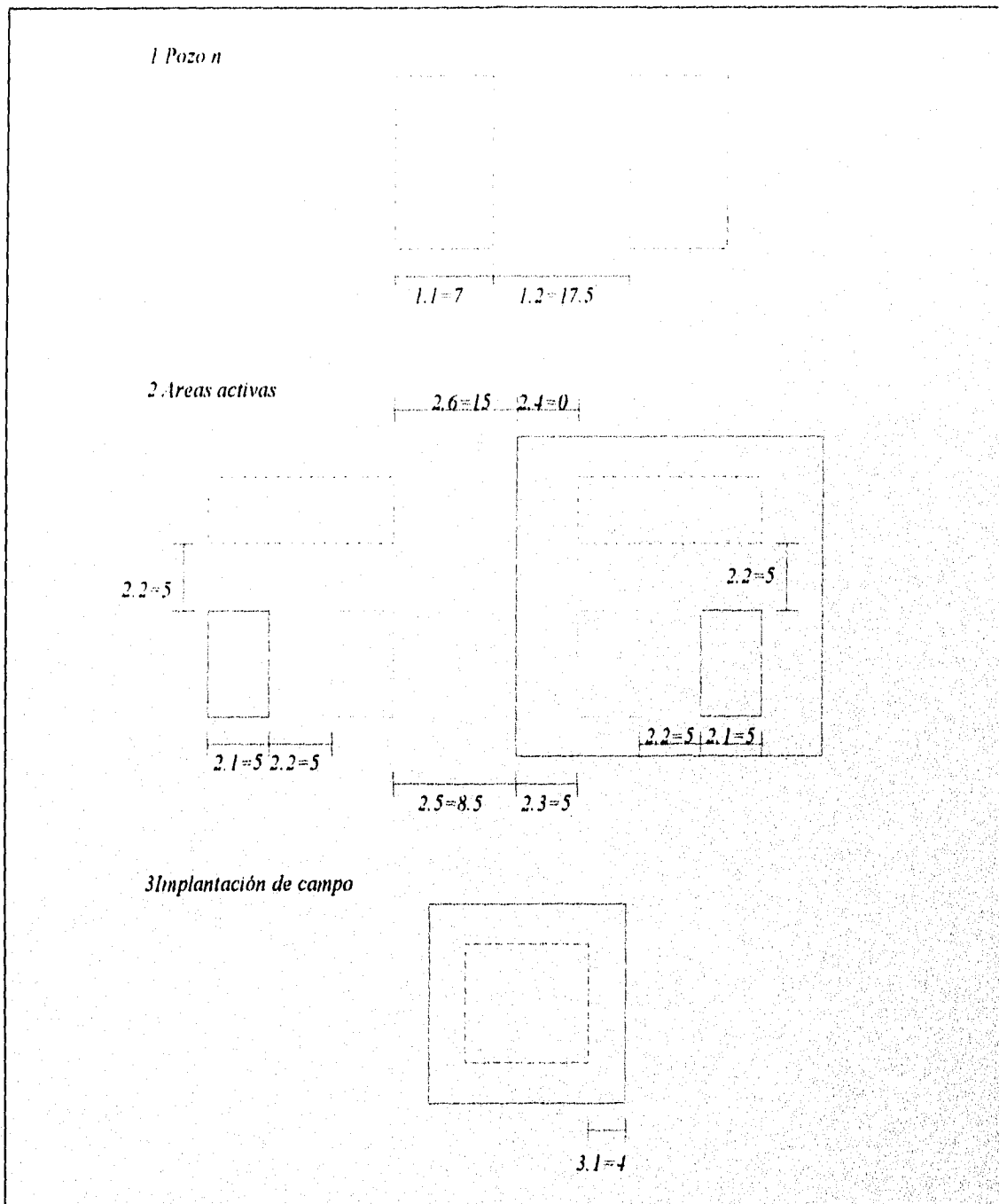


Figura 4.5 Normas de dimensiones en el diseño de layouts para la tecnología CMOS de $5\mu\text{m}$ establecidas por el CNM.

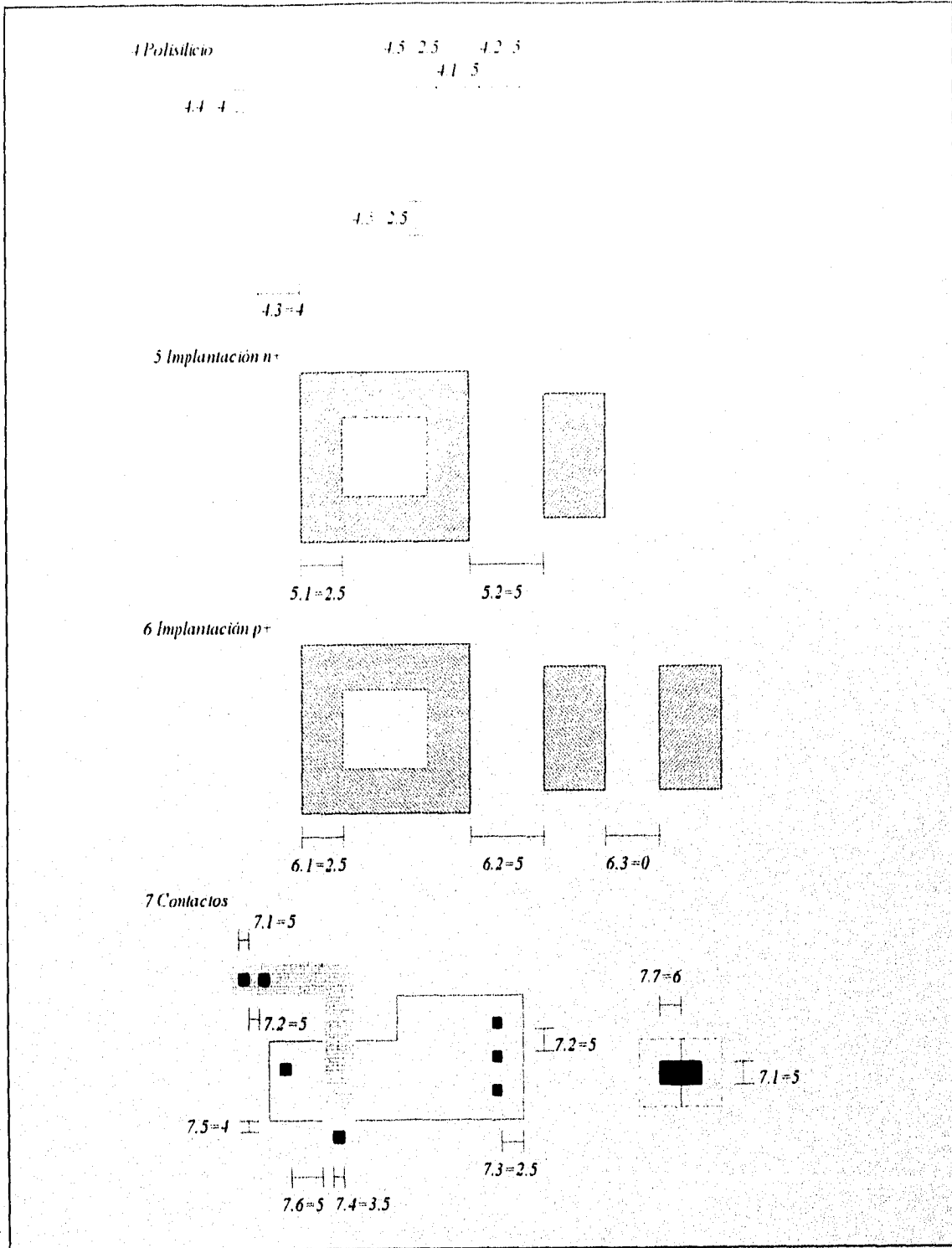


Figura 4.5 Continuación.

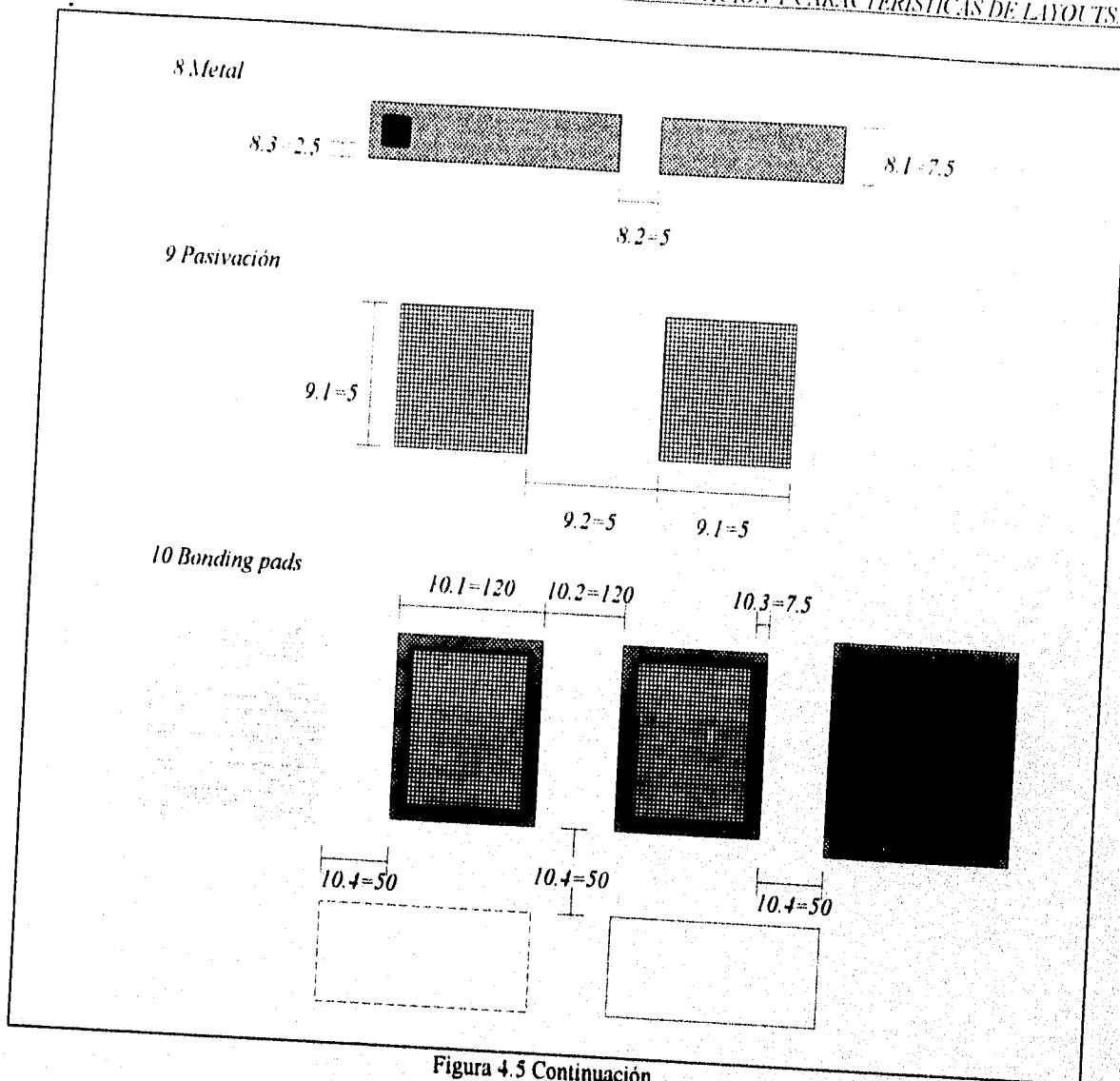


Figura 4.5 Continuación.

Para realizar el diseño de un layout se tiene que tener presente que se debe evitar un posible latch-up el cual traería consecuencias negativas para el circuito integrado dañándose con gran facilidad o no funcionando correctamente, para la tecnología de 5 μm de la cual se presentaron las reglas, el CNM (Centro Nacional de Microelectrónica) estableció normas generales para la prevención del latch-up las cuales se presentan a continuación.

1. General:

1.1 La distancia máxima entre una difusión p+ y una n+ ambas en el pozo, uniéndolo a V_{dd} a través del metal, es de 75 μm .

1.2 La distancia máxima entre una difusión p+ y una n+ ambas en el sustrato, uniéndolo a masa a través del metal, es de 75 μm . La figura 4.6 muestra estas distancias.

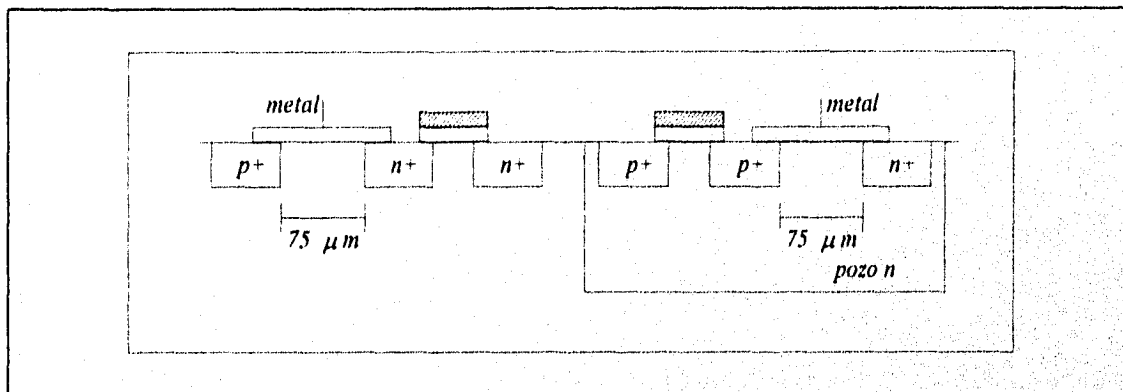


Figura 4.6 Reglas generales para la prevención de latch-up.

2. Anillos de guarda:

2.1 Para transistor nMOS.

Area activa de tipo p en el sustrato, de 8.5 μm de ancho como minimo, cubierta completamente por metal, cortocircuitada a la fuente del transistor en todo su perimetro (para formar contactos butting), conectada al pad de masa a través del metal, con contactos separados la distancia mínima. Esta estructura (anillo-fuente) debe estar intercalada entre el drenador del transistor y el contorno del pozo relacionado o más próximo.

2.2 Para transistor pMOS.

Area activa de tipo n en el pozo, de $8.5 \mu m$ de ancho como mínimo, cubierta completamente por metal, cortocircuitada a la fuente del transistor en todo su perímetro (para formar contactos butting), conectada al pad V_{DD} a través del metal, con contactos separados la distancia mínima. Esta estructura (anillo-fuente) debe estar intercalada entre el drenador del transistor y el contorno del pozo. La figura 4.7 muestra lo mencionado en estas dos ultimas normas.

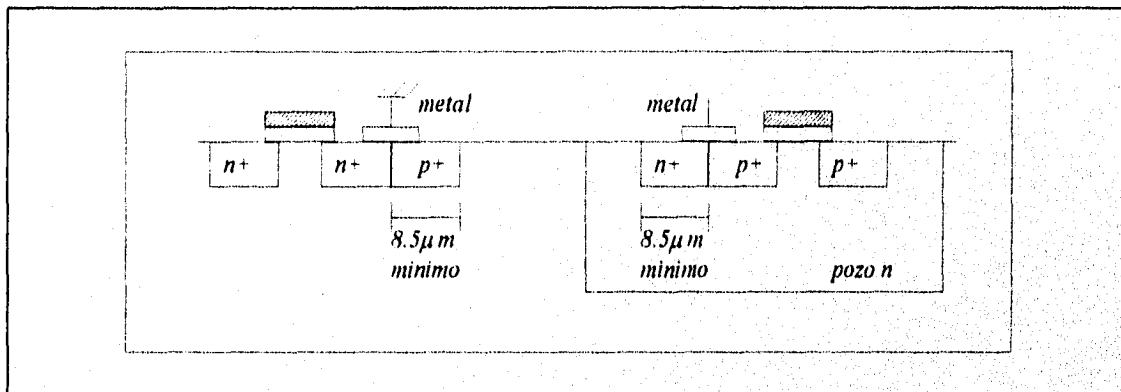


Figura 4.7 Normas para los anillos de guarda.

3. Banda de aislamiento:

Atañe a todo transistor de gran capacidad de conducción de corriente (tal como los de un buffer) y protegen al resto del circuito frente a su acción.

3.1 Para transistores NMOS de alta conducción.

Banda de pozo exterior al transistor de $10 \mu m$ de ancho como mínimo, con área activa de tipo n en su interior cubierta completamente por metal y de igual ancho conectada al pad de V_{DD} a través del metal y con separación mínima entre contactos. En caso de tener que partir la pista de metal que cubra la banda ambas partes de la pista deberán conectarse directamente al pad.

3.2 Para transistor pMOS de alta conducción.

Banda de área activa tipo p exterior al pozo que lo contiene cubierta completamente por metal, de 25 μm de ancho mínimo, conectada a través del metal y con separación mínima entre contactos. En caso de tener que partir la pista de metal que cubra la banda ambas partes de la pista deberán conectarse directamente al pad, la figura 4.8 muestra las normas para bandas de aislamiento.

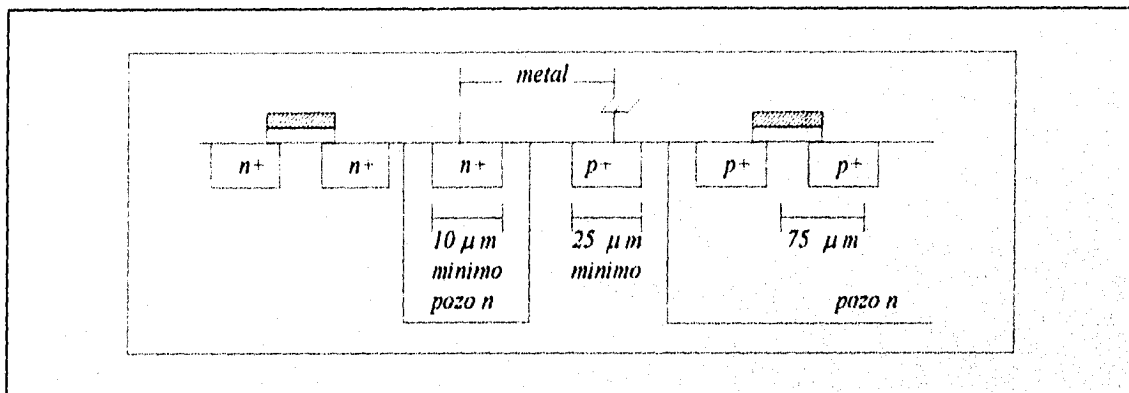


Figura 4.8 Normas para bandas de aislamiento.

4. Pad de entrada:

4.1 Todos los pads de entrada deben de estar aislados del resto del circuito por una estructura del tipo mencionada en el punto 3.1 de banda de aislamiento.

4.2 Todo pozo a una distancia inferior a 75 μm de una difusión n+ en el substrato que esté conectada a un pad de entrada, debería contar con un anillo de guarda formado por área activa de tipo n dentro del pozo y de 15 μm de ancho como mínimo a lo largo del contorno del pozo enfrente a dicho pad. El anillo debe estar cubierto completamente por el metal y conectado al pad de V_{dd} a través de metal y con separación mínima entre contactos. En caso de tener que partir la pista de metal que cubra la banda ambas partes de la pista deberán conectarse directamente al pad.

5 Buffer de entrada/salida

Debería contar con las estructuras de anillos de guarda y aislamiento indicadas en 2 y 3 respectivamente. El ancho mínimo del anillo 2.1 es de 12 μm , y la del anillo 2.2 es de 20 μm .

Por ultimo se presenta la tabla 4K la cual contiene los parámetros eléctricos medidos del proceso en forma detallada para las reglas y normas de diseño de 5 μm expuestas anteriormente.

<i>Tensión umbral (5 $\mu\text{m} \times 5 \mu\text{m}$)</i>	<i>Valores</i>
<i>nMOS</i>	<i>1.00 V (+ - 20%)</i>
<i>pMOS</i>	<i>-1.00 V (+ - 20%)</i>
<i>Tensión umbral de campo (5 $\mu\text{m} \times 15 \mu\text{m}$)</i>	
<i>Substrato</i>	<i>> 10.0 V</i>
<i>Pozo</i>	<i>< - 10.0 V</i>
<i>Factor de ganancia (β) (5 $\mu\text{m} \times 5 \mu\text{m}$)</i>	
<i>nMOS</i>	<i>33.5 $\mu\text{A}/\text{V}^2$ (+ - 30%)</i>
<i>pMOS</i>	<i>9.8 $\mu\text{A}/\text{V}^2$ (+ - 30%)</i>
<i>Factor de ganancia (β) (30 $\mu\text{m} \times 30 \mu\text{m}$)</i>	
<i>nMOS</i>	<i>31.57 $\mu\text{A}/\text{V}^2$ (+ - 30%)</i>
<i>pMOS</i>	<i>10.64 $\mu\text{A}/\text{V}^2$ (+ - 30%)</i>
<i>Dimensiones efectivas (5 $\mu\text{m} \times 5 \mu\text{m}$)</i>	
<i>Lef nMOS</i>	<i>4.10 μm (+ - 20%)</i>
<i>Lef pMOS</i>	<i>4.00 μm (+ - 20%)</i>
<i>Wef nMOS</i>	<i>3.70 μm (+ - 20%)</i>
<i>Wef pMOS</i>	<i>3.50 μm (+ - 20%)</i>
<i>Resistencia de contacto (5 $\mu\text{m} \times 5 \mu\text{m}$)</i>	
<i>Aluminio-Polisilicio</i>	<i>< 17.0 Ohms</i>
<i>Aluminio-Difusión</i>	<i>< 37.0 Ohms</i>

Tabla 4K Parámetros eléctricos de proceso.

Resistencia por cuadro	Valores
Difusión n	24.0 Ω cuadro (\pm - 15%)
Difusión p	60.0 Ω cuadro (\pm - 15%)
Polisilicio	16.0 Ω cuadro (\pm - 25%)
Polisilicio (sobre pozo)	14.0 Ω cuadro (\pm - 25%)
Pozo	3600 Ω cuadro (\pm - 20%)
Tensión de ruptura de diodos	
n- Diodo	> 10.0 V
p+ Diodo	> 10.0 V
Tensión de punchthrough	
n MOS	> 10.0 V
p MOS	> 10.0 V

Tabla 4K Continuación.

Diseño de prototipos de layouts utilizando simuladores gráficos.

5

INTRODUCCIÓN.

El croquis de un circuito integrado (layout) a través del tiempo se ha ido diseñando de distintas formas, cuando empezó la creación de layouts estos se obtenían realizando dibujos en grandes dimensiones y en un proceso de intento y error se volvía a dibujar hasta conseguir el trazado óptimo. Este proceso era largo y tedioso durando en ocasiones muchos meses para obtener el mejor diseño, los alcances no eran muy altos en cuanto a la escala de integración, con el avance de la tecnología el proceso a cambiado y se a optimizado notablemente.

La tendencia actual en todos los campos del quehacer humano es la sistematización y el uso de paquetes de computación que provean información acerca de un particular para que sin necesidad de construirlo físicamente se conozca su comportamiento para distintas condiciones y valorarlo en forma cualitativa como cuantitativa para conocer que tan efectivo y costeable es el producto así como su desempeño ó si es necesario modificar el diseño.

El uso de paquetes computacionales (Software de aplicación) a permitido a las empresas e investigadores realizar grandes avances debido a que los costos de una investigación tecnológica o industrial son minimizados virtualmente ya que no es necesario ni construir el producto ni tener las condiciones físicas para probar su desempeño, todo ello es realizado por medio de poderosos simuladores electrónicos que actualmente han invadido todas las áreas productivas y de investigación encontrando simuladores que reproducen gráficamente señales electrónicas hasta los que reproducen condiciones del espacio exterior para probar vehículos espaciales.

Los simuladores electrónicos son una herramienta muy poderosa dentro de la electrónica y en muchos otros campos, en particular para el interés del tema tratado los simuladores aplicados a la microelectrónica proporcionan una herramienta de gran alcance ofreciendo paquetes que muestran desde el comportamiento de un circuito hasta asistentes profesionales en la integración del mismo de la manera más óptima.

En la actualidad todos los diseñadores y fabricantes de circuitos integrados utilizan simuladores gráficos para probar la factibilidad de su fabricación, una muestra de ello es el diagrama de flujo de la figura 5.1 que muestra el proceso desarrollado para la fabricación de un circuito integrado y donde se puede observar la intervención de los simuladores dentro del proceso.

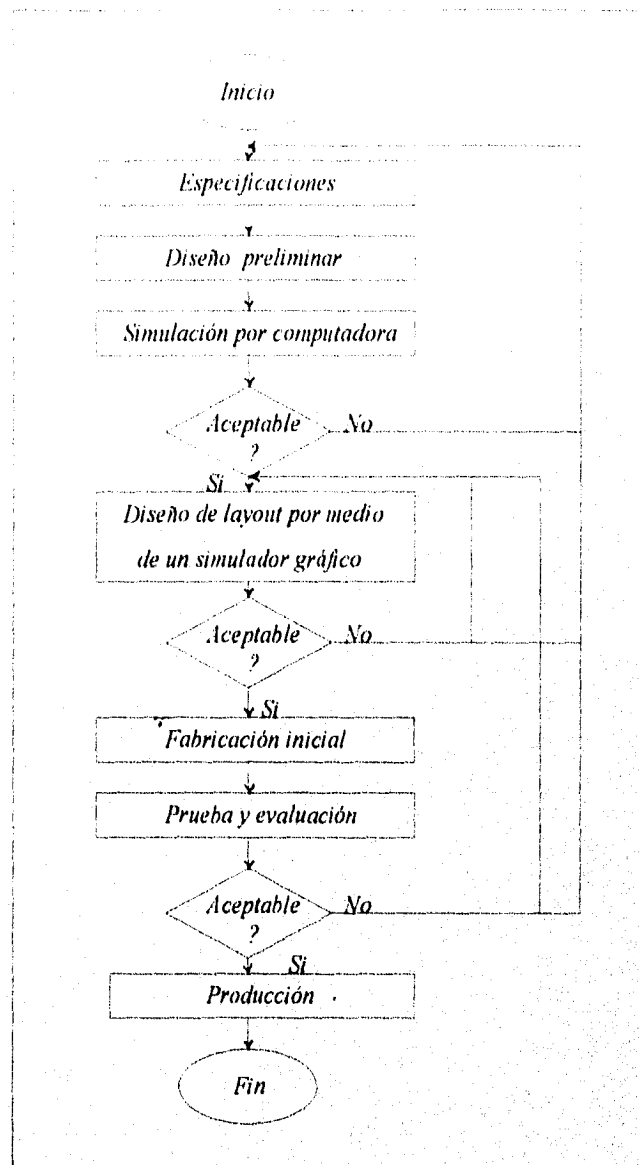


Figura 5.1 Proceso para la fabricación de un circuito integrado.

En el diagrama se observa que a partir de especificaciones se realiza el diseño de un circuito discreto el cual es simulado por medio de una computadora para observar su comportamiento, si cumple con las expectativas que le dieron origen el proceso continua y se realiza el diseño del layout, en caso que el diseño no sea funcional tiene que modificarse o cambiarse. El diseño del layout se realiza normalmente por medio de un simulador gráfico el cual determina su aceptabilidad y funcionalidad en caso de que no sea aceptable se tiene que

replantear el diseño del layout o incluso del circuito, cuando es aceptado pasa a la fabricación inicial para su construcción después es probado y evaluado físicamente donde se determina si se fabrica en serie ó tiene que replantearse alguno de sus diseños.

5.1 PRINCIPIOS BÁSICOS PARA EL DISEÑO DE CIRCUITOS INTEGRADOS CON LA ASISTENCIA DE UN SIMULADOR GRÁFICO.

El diseño de un circuito integrado parte de la necesidad de crear un chip con una aplicación o función específica la cual es planteada por el diseñador, para poder llevar a cabo su creación es necesario que se conozca los principios básicos de la electrónica y en particular de los elementos de la tecnología que va a emplear, así tenemos que para el diseño que se presentara recordaremos los principios de los transistores MOS y en especial la tecnología CMOS enfocados a los circuitos integrados, como se menciono anteriormente en la mayoría de los diseños de chips se trata de utilizar solo transistores por cuestiones de facilidad y economía por lo que se mencionaran nada más esos elementos.

en la figura 5.2 se muestra el diagrama discreto de un transistor de canal p y uno de canal n así como sus correspondientes equivalentes simplificados, en la figura a y b se observa lo que se le llamo puerta trasera que físicamente en un CI es el substrato donde se formaran los elementos.

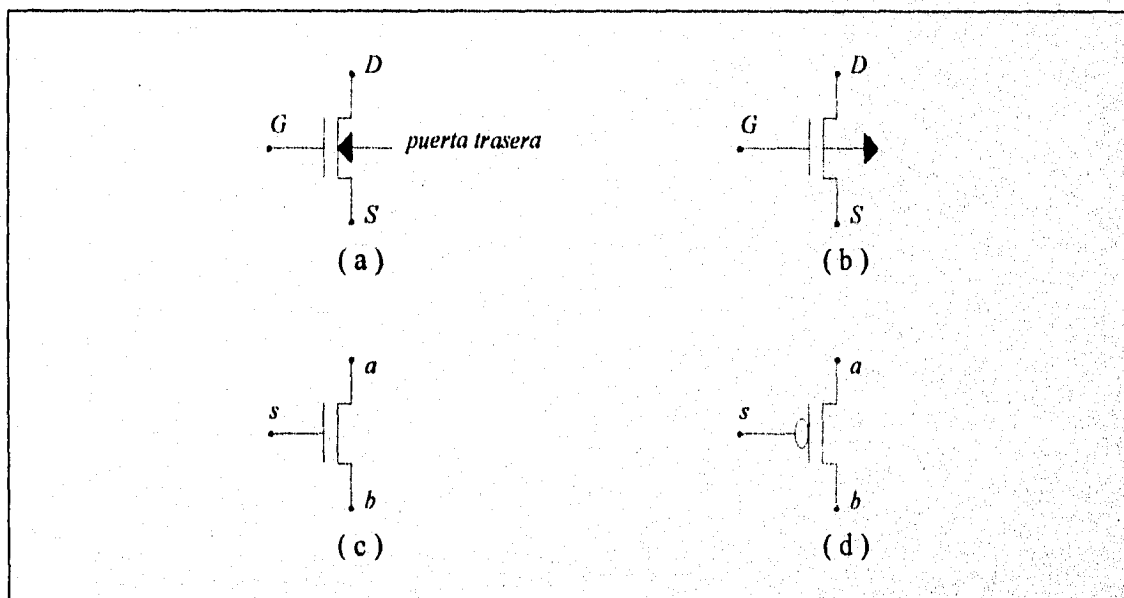


Figura 5.2 Representaciones (a) Transistor nMOS. (b) Transistor pMOS. (c) nMOS simplificado. (d) pMOS simplificado.

Si se usan los transistores para conmutar estos pasaran a realizar la función de un switch cerrado o abierto por medio de un control que para los sistemas digitales es de primordial importancia, así tenemos que a y b (drenado y fuente) son la entrada y salida y s (puerta) es el control, los transistores de canal n son buenos para permitir el paso de ceros lógicos (0) y muy malos, para permitir el paso de unos (1) se activa aplicando un 1 lógico en el control (s), mientras que los transistores de canal p son buenos para permitir el paso de unos (1) y malo para los ceros (0) estos se activan aplicando un cero lógico al control (s), a todo esto se hace referencia en la figura 5.3.

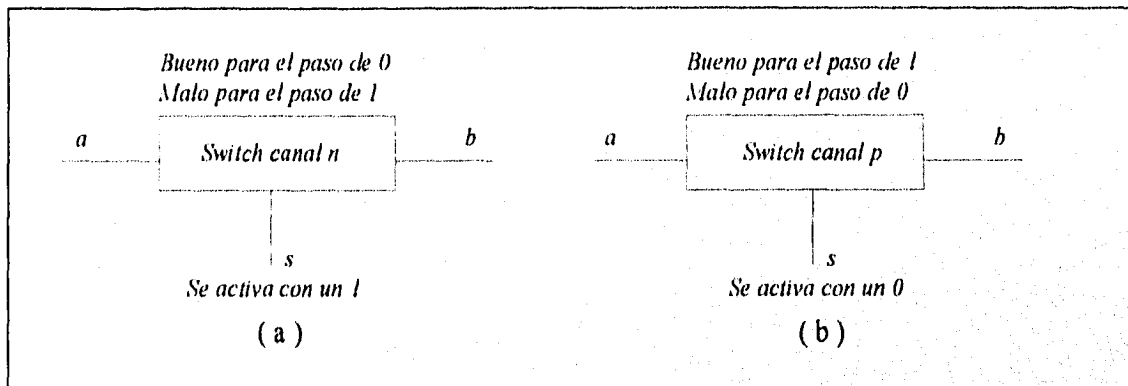


Figura 5.3 Representación de los transistores MOS funcionando como conmutadores. (a) Transistor canal n. (b) Transistor canal p.

Un arreglo que permite un buen paso de "unos" y "ceros" es el conocido como pass-logic que realmente es un arreglo CMOS el cual esta constituido por un transistor de canal p y un transistor de canal n conectados en paralelo en la entrada y la salida con los controles independientes como muestra la figura 5.4.

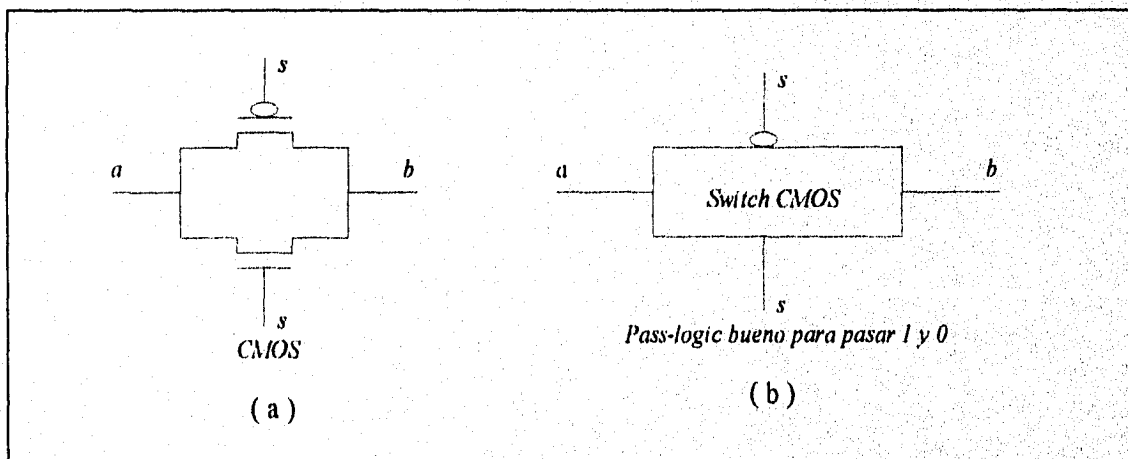


Figura 5.4 (a) Arreglo CMOS que permite el buen paso de 1 y 0. (b) Representación del conmutador CMOS.

A partir de los transistores MOS se puede realizar con ellos las funciones lógicas básicas para ello es necesario realizar interconexiones de los distintos tipos de transistores con su arreglo correspondiente los cuales se muestran en la figura 5.5.

En la mayoría de los circuitos integrados es necesario utilizar ambas tecnologías la de canal p y la de canal n para ello se recurre a la tecnología CMOS su estructura más conocida es la mostrada en la figura 5.4, en ocasiones se utiliza como base el arreglo pass-logic pero en ocasiones se realizan combinaciones de las conexiones básicas para obtener funciones lógicas formándose un circuito CMOS como la compuerta NAND que se muestra en la figura 5.6 (a).

Su análisis es el siguiente, de la tabla de verdad de la compuerta NAND se obtienen las ecuaciones del mapa, basados en el mapa y las ecuaciones obtenidas se realiza el circuito discreto con sus correspondientes transistores, una observación de las ecuaciones es que cuando el resultado es un producto " \cdot " la conexión de transistores es serie mientras que cuando el resultado es una suma " $+$ " la conexión de los transistores es en paralelo, el tipo de transistor que debe emplearse se determina por la variable, si es negada se usa un transistor pMOS y si la variable es afirmada se usa un transistor nMOS. La conexión más simple para CMOS es el inversor el cual se presenta en la figura 5.6 (b).

En el diseño de layout que se realizara en este trabajo se utilizara la tecnología CMOS por lo que se presentaran otras conexiones que son de importancia para el diseño así tenemos que la figura 5.6 (c) es el arreglo para una compuerta NOR. Es importante mencionar que si se requieren un numero mayor de entradas para las funciones NAND Y NOR se agregan transistores a los circuitos discretos en serie y en paralelo según sea el caso así por ejemplo si requiere de una compuerta NOR de cinco entradas se agregan tres transistores tipo p en serie con los ya existentes y tres tipo n en conexión paralelo con los ya existentes y así proporcionalmente según el número de entradas.

Cuando la función no es la básica y crece el diseño se basa en los mapas de Karnaugh de donde se puede construir el circuito discreto usando los transistores en serie o paralelo según los resultados de la simplificación del circuito por medio de los mapas como se muestra en la figura 5.7.

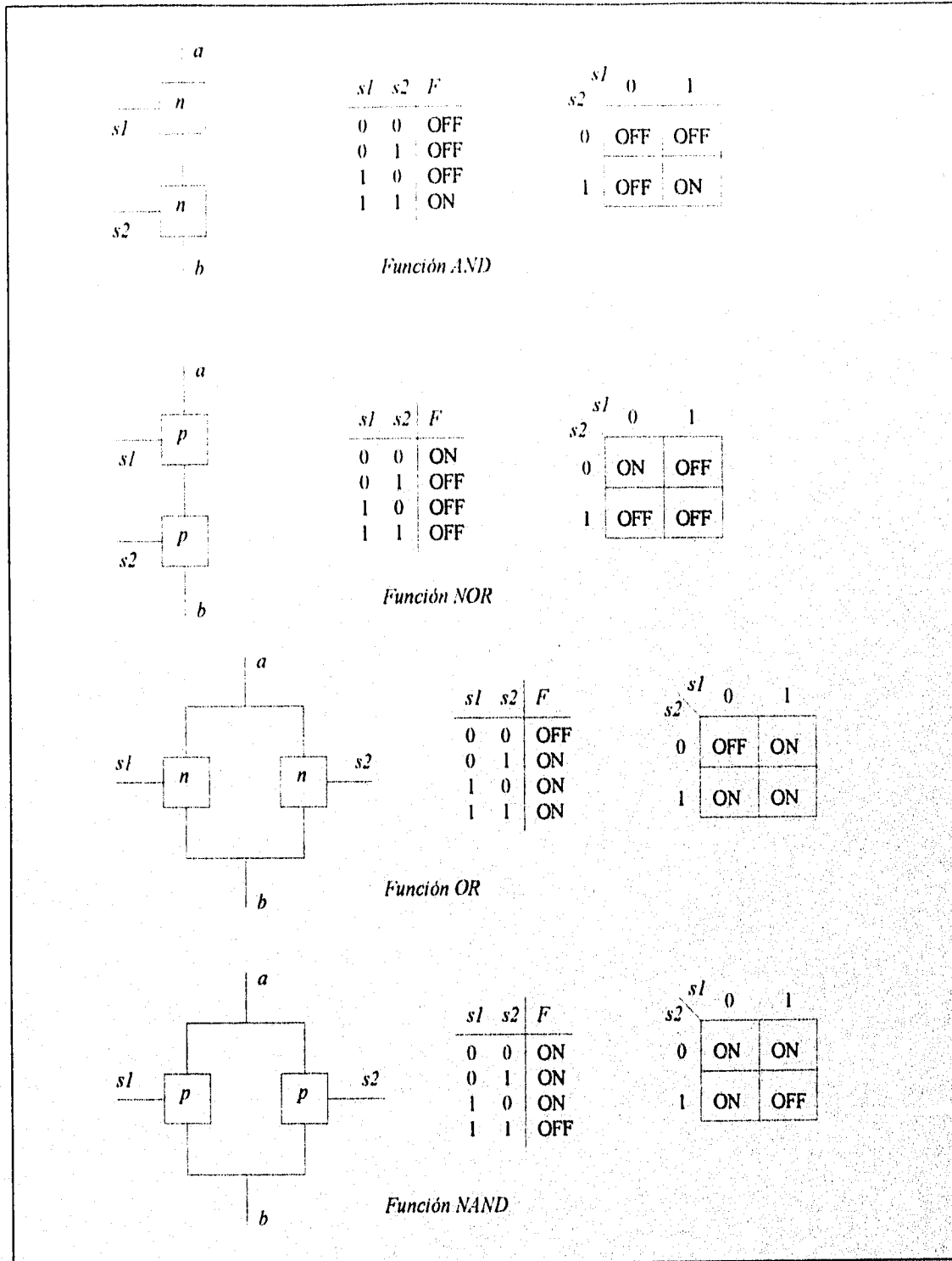


Figura 5.5 Conexiones básicas para generar las funciones lógicas primarias con transistores MOS.

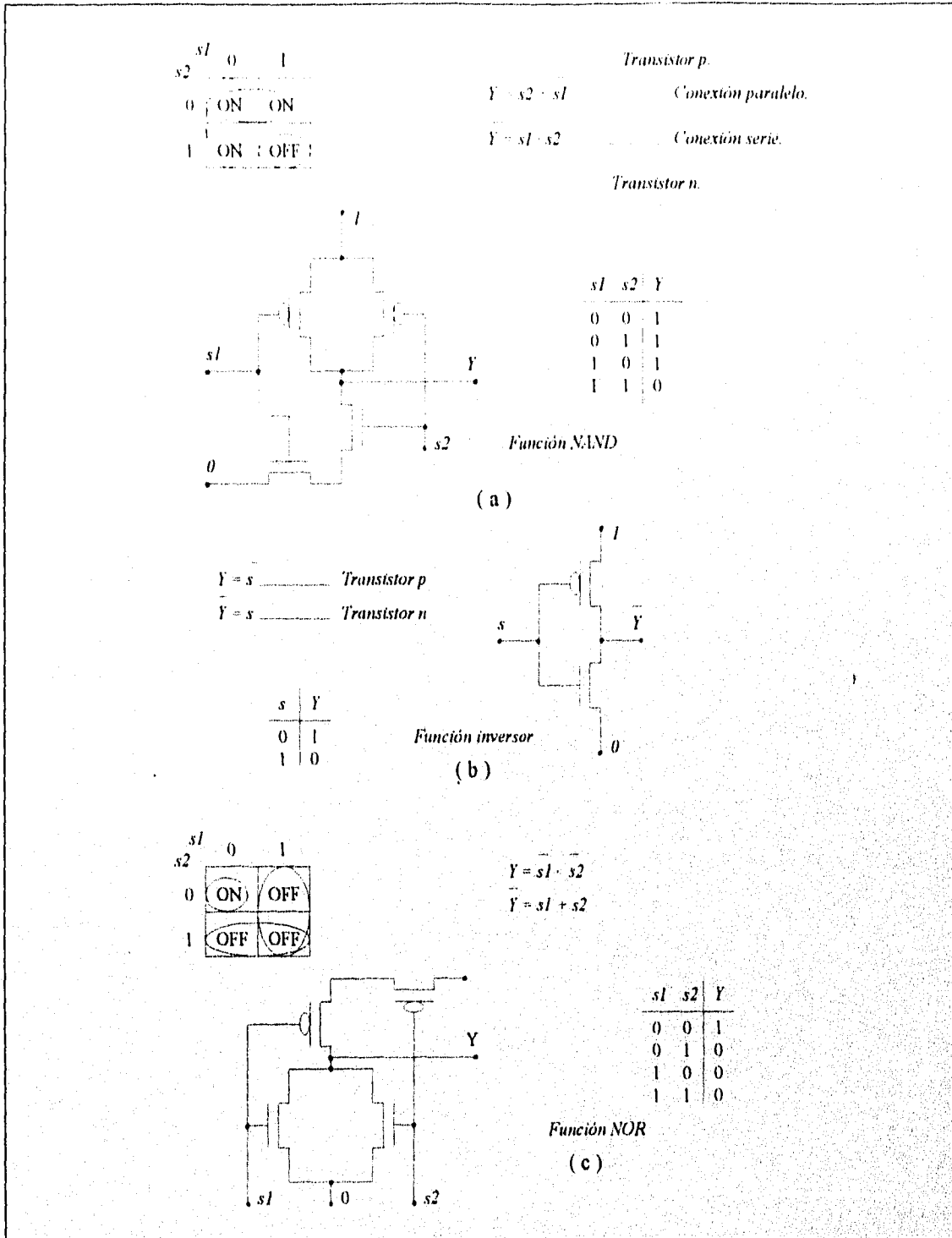


Figura 5.6 (a) Compuerta NAND con tecnología CMOS. (b) Inversor con tecnología CMOS. (c) Compuerta NOR con tecnología CMOS.

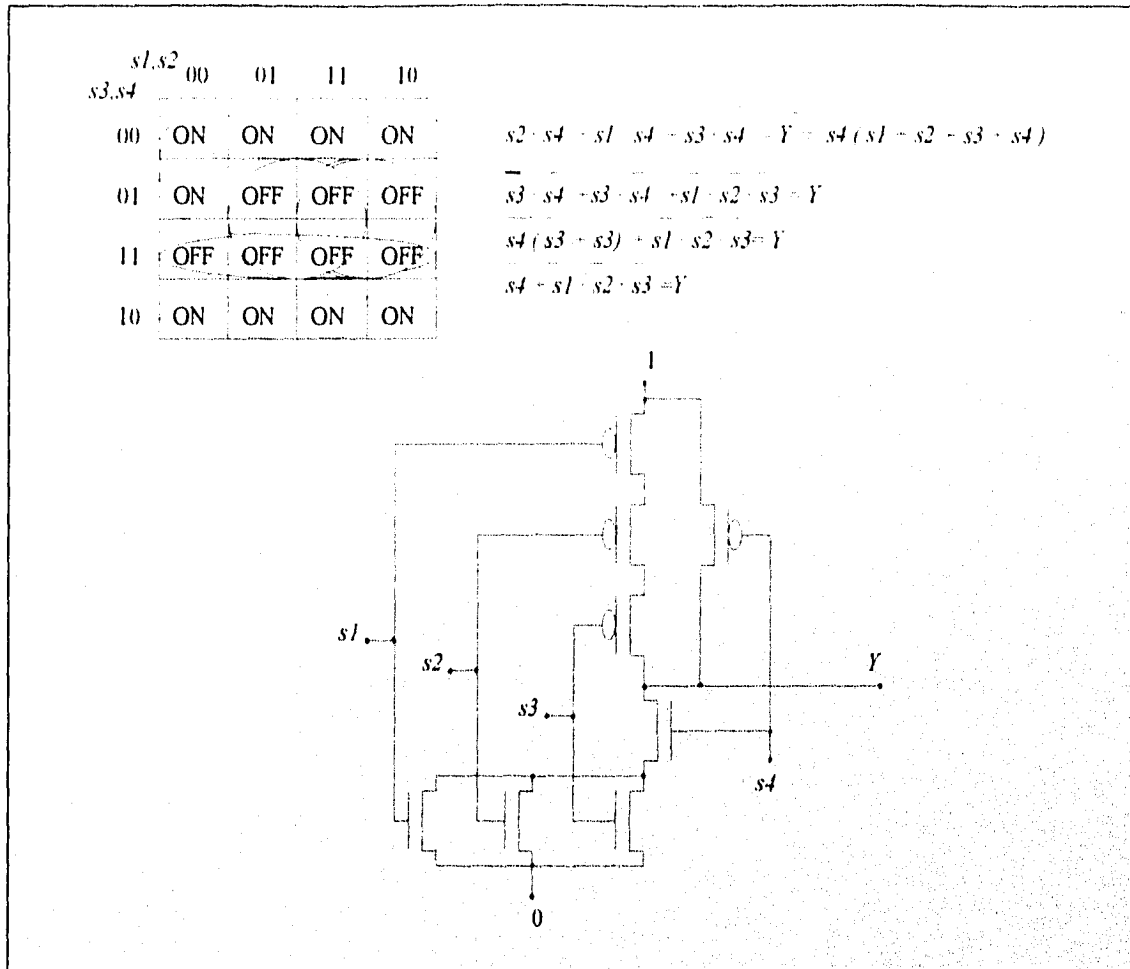


Figura 5.7 Diseño formado a partir del mapa de Karnaugh y la reducción de las ecuaciones.

Basados en los elementos básicos expuestos anteriormente así como en la reducción de las ecuaciones por medio de los mapas de Karnaugh se puede realizar cualquier tipo de arreglo necesario como son multiplexores, contadores, registros y toda la gama de circuitos que se requieren para la creación de un dispositivo integrado, en la figura 5.8 se muestran un multiplexor de dos entradas una salida, partiendo de que el objetivo del dispositivo es el de seleccionar una de las dos entradas para permitir su paso por medio de un control se realiza la estructura que se observa en la figura 5.8 (a) la cual cumple con la función y permite la realización del mapa, la función lógica y el diagrama correspondiente.

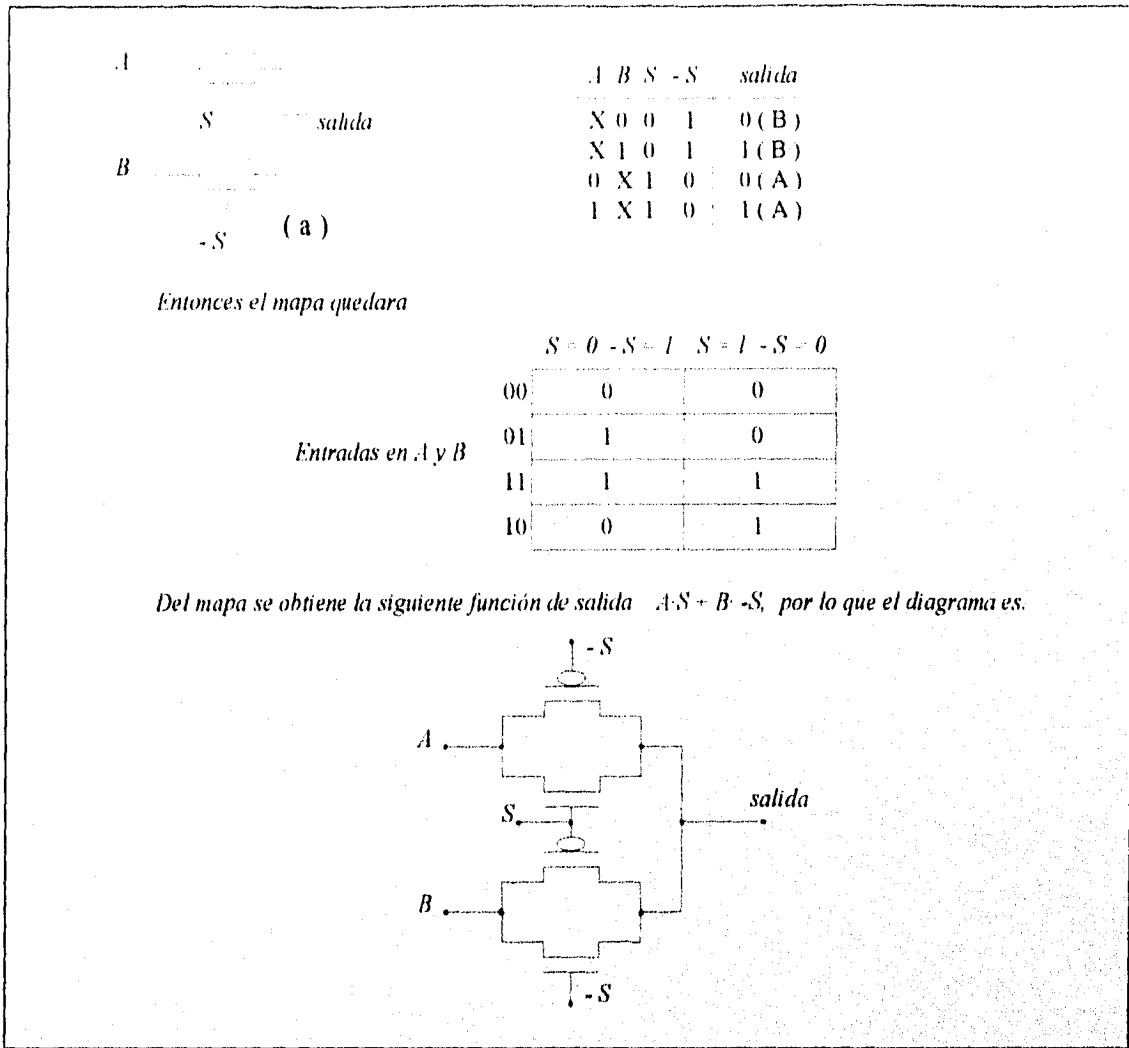


Figura 5.8 Multiplexor CMOS de dos entradas.

Otro de los componentes lógicos de gran importancia en la electrónica son las memorias "Latches" las cuales tienen la capacidad de almacenar algún dato e introducirle otro para también almacenarlo y así sucesivamente. Estas acciones se pueden realizar con un par de inversores en retroalimentación y algunos switches como se observa en la figura 5.9 (a), el circuito que puede realizar la función de abierto cerrado (switch) es un pass-logic por lo cual se le agregan a la figura 5.9 (a) y el resultado se observa en la figura 5.9 (b) es preciso mencionar que es necesario colocar un inversor más para que el control de los circuitos pass-logic se pueda realizar. Partiendo del diagrama de la figura 5.9 (b) se realiza el circuito con elementos CMOS, el resultado se observa en la figura 5.9 (c).

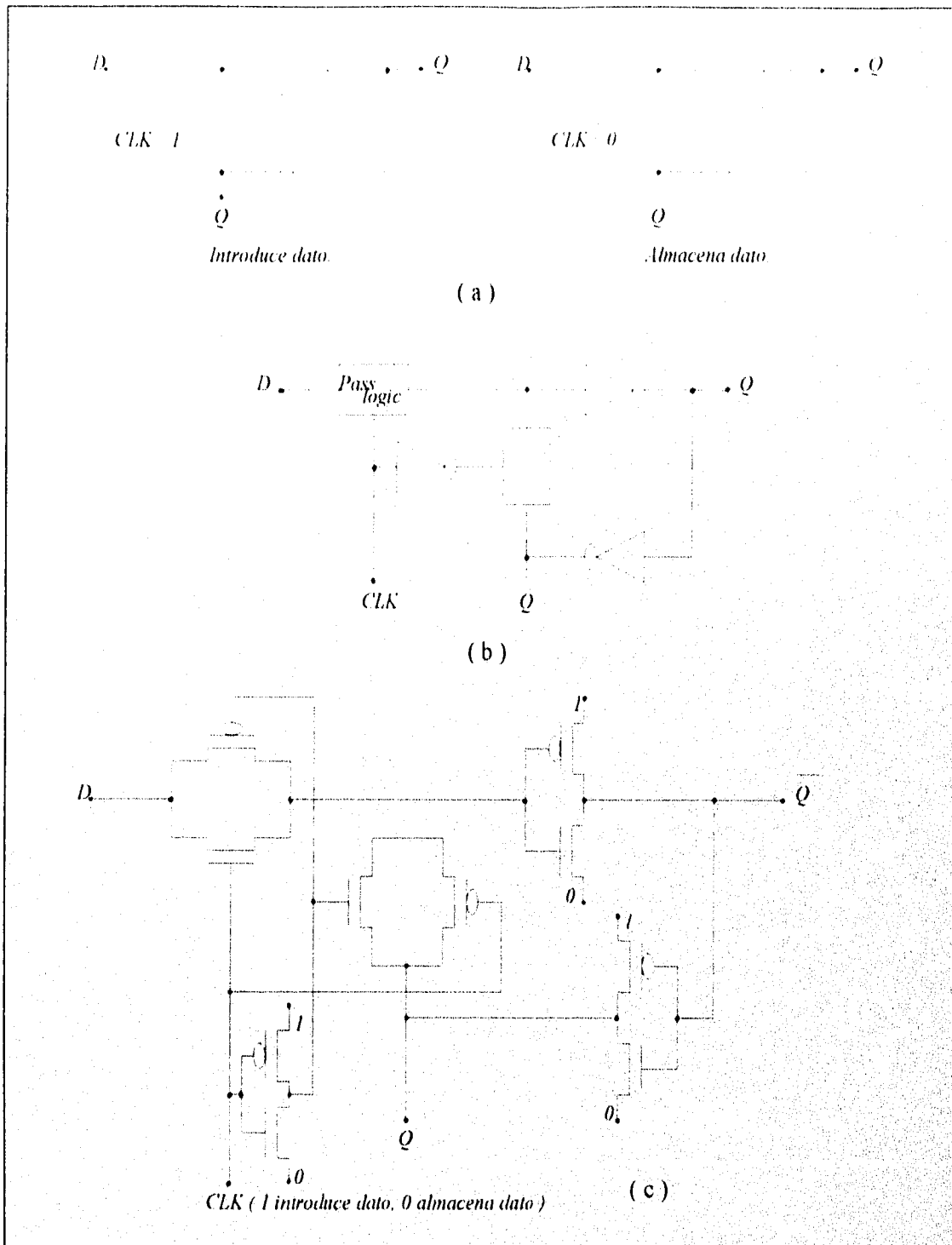


Figura 5.9 Memoria Latche (a) y (b) principio de funcionamiento. (b) Diagrama con elementos CMOS.

5.2. PROCEDIMIENTO PREPARATORIO PARA EL DISEÑO DE LAYOUTS.

El primer paso es tener el diagrama lógico con compuertas del circuito que se desea integrar para que las compuertas sean sustituidas por los circuitos pass-logic y CMOS equivalentes y formar un diagrama compuesto a base de transistores, cuando este proceso termina se forma el bosquejo del layout por medio de la representación denominada de palillos la cual consiste en representar los transistores (no importando el tipo n o p) por medio de palitos como se observa en la figura 5.10. Para la colocación de los palillos se debe seguir una técnica que simplifique el trabajo y ademas tenga un orden en el diseño del layout y el proceso de diseño se simplifique.

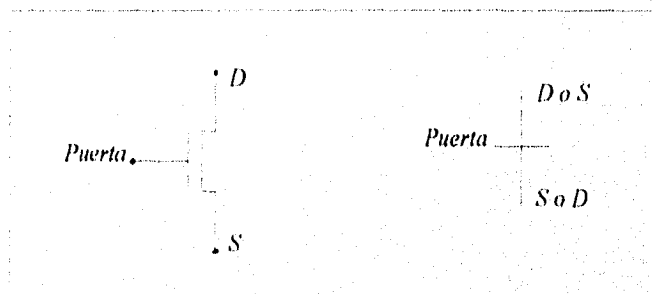


Figura 5.10 Representación de palillos de un transistor MOS.

Existen distintas técnicas para realizar el bosquejo y el diseño de los layouts su uso depende del diseñador y el lugar donde se realice el mismo aunque la que se considera como más óptima es la técnica de bandas, la cual consiste en colocar en una banda superior todos los transistores tipo p y en la banda inferior todos los transistores tipo n realizando las conexiones entre los transistores en la parte central, en la figura 5.11 se observa en bloques la representación de esta técnica. Para el diseño que se realizara en el presente capítulo se utilizara esta técnica.

Una vez terminado el bosquejo de palillos se procede a realizar el diseño del layout por medio de la computadora en donde en la pantalla y con el manipuleo del "ratón" y la utilización de distintos comandos se va construyendo el layout para posteriormente enviarse a fabricar en alguna compañía de CI's.

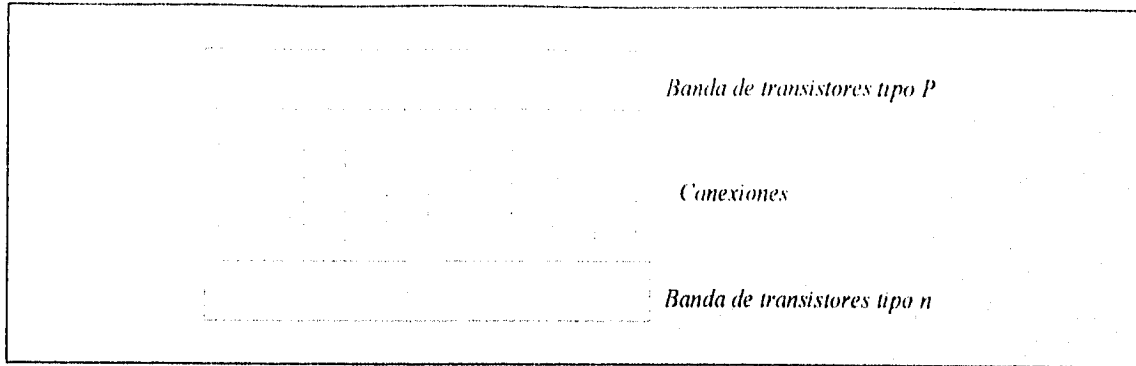


Figura 5.11 Representación de la técnica de bandas.

A continuación en la figura 5.12 se muestra la secuencia de pasos expuestos en esta sección con una compuerta OR.

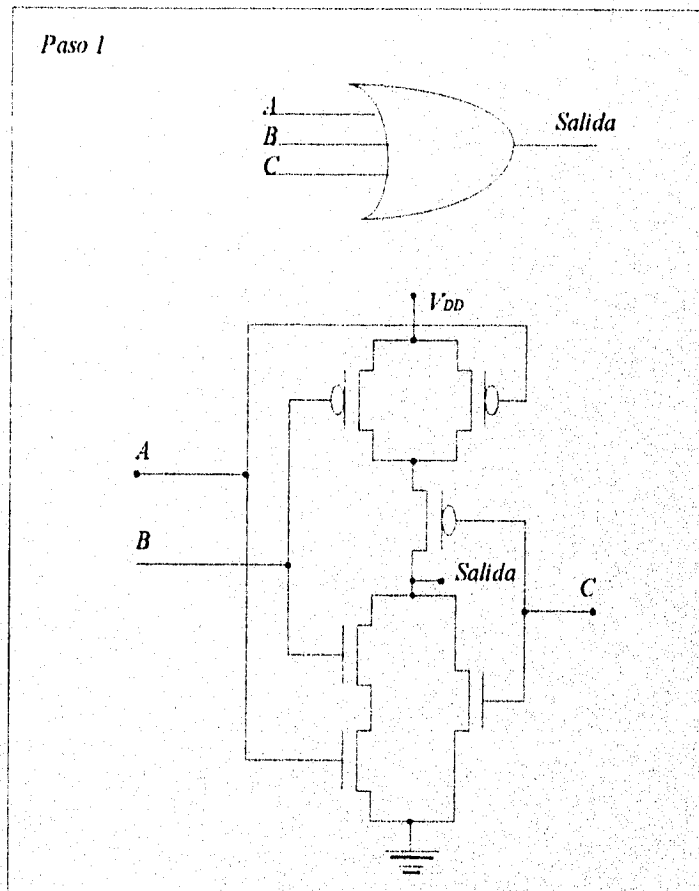


Figura 5.12 Procedimiento de diseño para un layout aplicando la técnica de bandas y la simplificación de patillos.

Paso 2

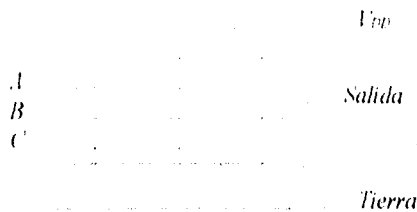


Figura 5.12 Continuación.

Cuando se tiene el diagrama de palillos se procede a realizar el diseño en la computadora usando también la técnica de bandas creando en la parte superior de la pantalla todos los transistores tipo p necesarios unidos en serie y en la parte inferior se realizan igual número de transistores en serie solo que estos serán tipo n, a continuación se realizan todas las conexiones requeridas entre transistores de la misma banda o de la otra. La principal ventaja de la técnica de bandas es que se optimiza el área y las regiones de implantación de pozos se reduce al mínimo así como también ahorra trabajo para el diseñador. Es preciso aclarar que el tipo de transistor n o p es definido cuando se realiza el implante del pozo.

5.3 CARACTERÍSTICAS GENERALES DE LOS SIMULADORES PARA EL DISEÑO DE LAYOUTS.

Las ventajas que proporcionan los simuladores gráficos a los diseñadores de layouts son varias entre otras el tiempo de realización de la mascarilla (layout) es mínimo comparado con el que se ocupaba en años anteriores, no son necesarias instalaciones complejas ni costosas, tampoco es necesario la utilización de dibujantes, lo único que se necesita es conocer el simulador así como los principios básicos de microelectrónica para realizar el diseño del layout.

Un simulador gráfico para el diseño de layouts es realmente un asistente informático que cuenta con información detallada de todos los requerimientos reglas, dimensiones y estructuras (capas) que se necesitan para la creación de un layout, basado en ello el diseñador tiene que ir colocando capas de conductividad manejadas como regiones de material (p, n, p+, n+ etc) de

acuerdo a las necesidades del circuito discreto que se este diseñando. Las capas normalmente en los simuladores aparecen en forma perpendicular a la superficie y cada capa representa un tipo de material con colores distintos que en la practica no están estandarizados y que cada simulador asigna para cada tipo de región.

Los simuladores gráficos para layouts permiten gran libertad al diseñador de manejar las capas a su consideración lo mismo que las dimensiones, algunos simuladores asisten al diseñador cuando este incurre en algún error principalmente en cuanto a dimensiones se refiere haciendo notar el error para que el diseñador lo corrija y el diseño este dentro de las tolerancias permitidas, existen otros con más opciones como la de simular el circuito y observar si este es funcional con lo que se tiene una mayor seguridad de que el layout que se diseño es correcto y practico.

5.4 PRINCIPALES SIMULADORES PARA EL DISEÑO DE LAYOUTS.

Existen varios simuladores para el diseño de layouts algunos de los principales son "TANNER", "MAGIC", "TEDMOS" entre otros, cada uno de ellos tiene sus características particulares de manejo, su uso parte principalmente de donde se fabricara el circuito integrado así tenemos que en los Estados Unidos y Japón esta muy extendido Tanner y Magic ya que las principales compañías que fabrican circuitos integrados como Motorola, Texas Instruments, AT&T, Thosiba y otras muchas diseñan con esos simuladores principalmente, mientras que Tedmos es muy usado en países latinoamericanos que cuentan con diseñadores de layouts como en Brasil que es donde se creo este paquete de diseño.

Existen varios países donde se fabrican CI's y se han desarrollado otro tipo de simuladores con características particulares aunque con grandes similitudes, es importante mencionar que por acuerdo de las compañías fabricantes de CI's las unidades que se manejan en la mayoría de los simuladores es la base (λ) independientemente del tipo de tecnología que se maneje en μm que son variables, así tenemos que las reglas de diseño mostradas en el capitulo 4 de AT&T pertenecen a la tecnología de 0.5-2 μm . En el presente trabajo se maneja el simulador tedmos y las normas de diseño a aplicar serán las de 5 μm vistas en el capitulo 4 y establecidas por el Centro Nacional de Microelectrónica.

5.5 SIMULADOR GRÁFICO PARA EL DISEÑO DE LAYOUTS TEDMOS.

Para el diseño que se presentara en el presente trabajo se utilizara el simulador y editor TEDMOS en su versión 5.0 la cual esta editada en ingles. en esta seccion se daran sus principales características asi como la utilización de los comandos para su manejo.

Tedmos es un simulador y editor de layouts el cual fue creado en Brasil con el principal objetivo de vincular a los estudiantes de las universidades con la microelectrónica y en especial con el diseño de layouts, por su sencillez de manejo se a convertido en un asistente profesional en el diseño de layouts para circuitos integrados por lo que su uso se ha extendido grandemente. Este paquete es fácil de instalar en cualquier computadora personal y su manejo se realiza por medio del "ratón" y el teclado, los alcances de este paquete son los que el diseñador manifieste pues se puede crear hasta un microprocesador con la única restricción de que debe ser un dispositivo MOS.

Una vez teniendo instalado Tedmos el procedimiento a seguir para entrar al editor es el siguiente se teclea tedmos50.

```
C:\>cd tedmos50
```

posteriormente se teclea tedmosp que es el ejecutable.

```
C:\TEDMOS50>tedmosp
```

Entonces aparece una pantalla como la que se muestra en la figura 5.13a donde se tiene que teclear una diagonal invertida y el nombre de un directorio que se tiene que crear

previamente llamado directorio de trabajo con lo que aparece el menú principal como se observa en la figura 5.13b.

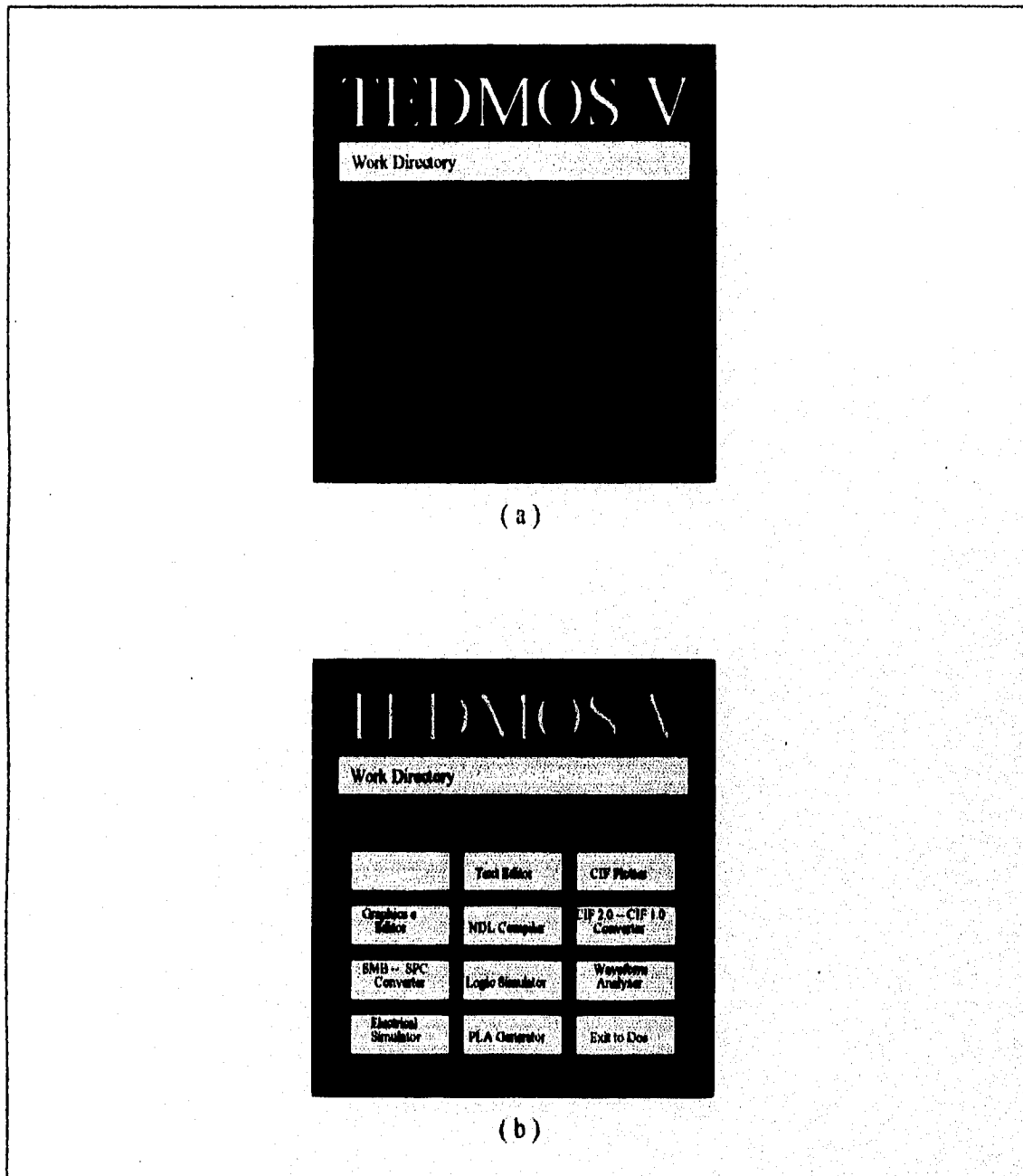


Figura 5.13 (a) Pantalla de entrada al paquete. (b) Pantalla del menú principal.

El menú principal contiene las siguientes opciones.

- File manager. Manejador de archivo el cual contiene toda la información de los archivos existentes en el directorio de trabajo que se este ocupando como extensión, fecha de su ultima edición etc.

- Graphics editor. El editor gráfico es donde se editan los layouts esta opción sera tratada con más detalle posteriormente.

- SMB - SPC converter. Convertidor de SMB a SPC.

- Electrical simulator. El simulador eléctrico puede simular un circuito analizando su señal y principalmente su respuesta en la salida.

- Text editor. El editor de texto es un procesador de texto de características normales.

- NDL conmpilator. compilador NDL.

- Logic simulator. Es un simulador lógico en el cual se dan los detalles de un circuito diseñado sus entradas y el simulador analiza la señal y proporciona la señal de salida.

- PLA generator. generador PLA.

- CIF plotter. opción de plotter para archivos .CIF.

- CIF 2.0 - CIF 1.0 convertor. Convertidor de CIF2.0 a CIF 1.0.

-Waveform analyser. Analizador de onda de una señal para un circuito que se desee y se encuentre dentro del paquete en forma de layout.

-Exit to DOS. Es la salida del menú principal a DOS.

La elección de cualquiera de estas opciones se realiza por medio de el puntero del ratón colocando el puntero en la opción que se desee y presionando el botón izquierdo del mismo, también se puede seleccionar con las flechas del teclado y tecleando enter.

Antes de seguir adelante es preciso establecer los colores y letras que Tedmos asigno para cada uno de los materiales requeridos en el diseño de los layouts los cuales se pueden observar en la tabla 5.1.






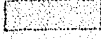




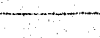
<i>Nombre</i>	<i>Letra</i>	<i>Color</i>	<i>Nombre</i>	<i>Letra</i>	<i>Color</i>
<i>Area activa</i>	<i>D</i>		<i>Metal 2</i>	<i>A</i>	
<i>Polisilicio</i>	<i>P</i>		<i>Via</i>	<i>V</i>	
<i>Metal 1</i>	<i>M</i>		<i>Pozo n</i>	<i>W</i>	
<i>Contactos</i>	<i>C</i>		<i>Anillo guarda</i>	<i>G</i>	
<i>Implantación p+</i>	<i>S</i>		<i>Pasivación</i>	<i>O</i>	
<i>Implantación n+</i>	<i>N</i>				

Tabla 5.1 Letras y colores para los materiales usados en la creación de un layout dentro de Tedmos.

Para realizar el layout se elige la opción del editor gráfico entonces aparece en la misma pantalla una petición acerca del nombre del proyecto para protegerlo con la extensión LAY como se muestra en la figura 5.14a dando el nombre y presionando enter aparece la pantalla administradora de las células o celdas (cell)el cual contiene las siguientes opciones.

I- Import CIF file- Importa al editor de células archivos con extensión .CIF que se encuentren dentro del directorio de trabajo para poder editarlas.

R- Read TED file- Trae al editor de células alguno de los archivos que se encuentren dentro del directorio de trabajo con extensión .TED para ser editados.

C- Create new cell- Crea una célula nueva a la que se le puede asignar un nombre para su identificación.

D- Delete cell- Borra la célula seleccionada dentro del editor de células.

A- Alter cell- Se utiliza para cambiar el nombre y coordenadas de la célula seleccionada.

S- Search cell- Se usa para buscar alguna célula que se encuentre dentro del directorio sin salirse del editor de células.

E- Edit cell- Trae la pantalla editora y también la célula o layout seleccionado para su edición.

Q- Quit to DOS- Salida del editor de células.

Para realizar cualquiera de las funciones anteriores es necesario pulsar la letra que aparece en el extremo izquierdo de las funciones y teclear enter, excepto en la E cuando se

selecciona esta letra automáticamente aparece la pantalla de edición. En la figura 5.14 b se muestra la pantalla editora de células.

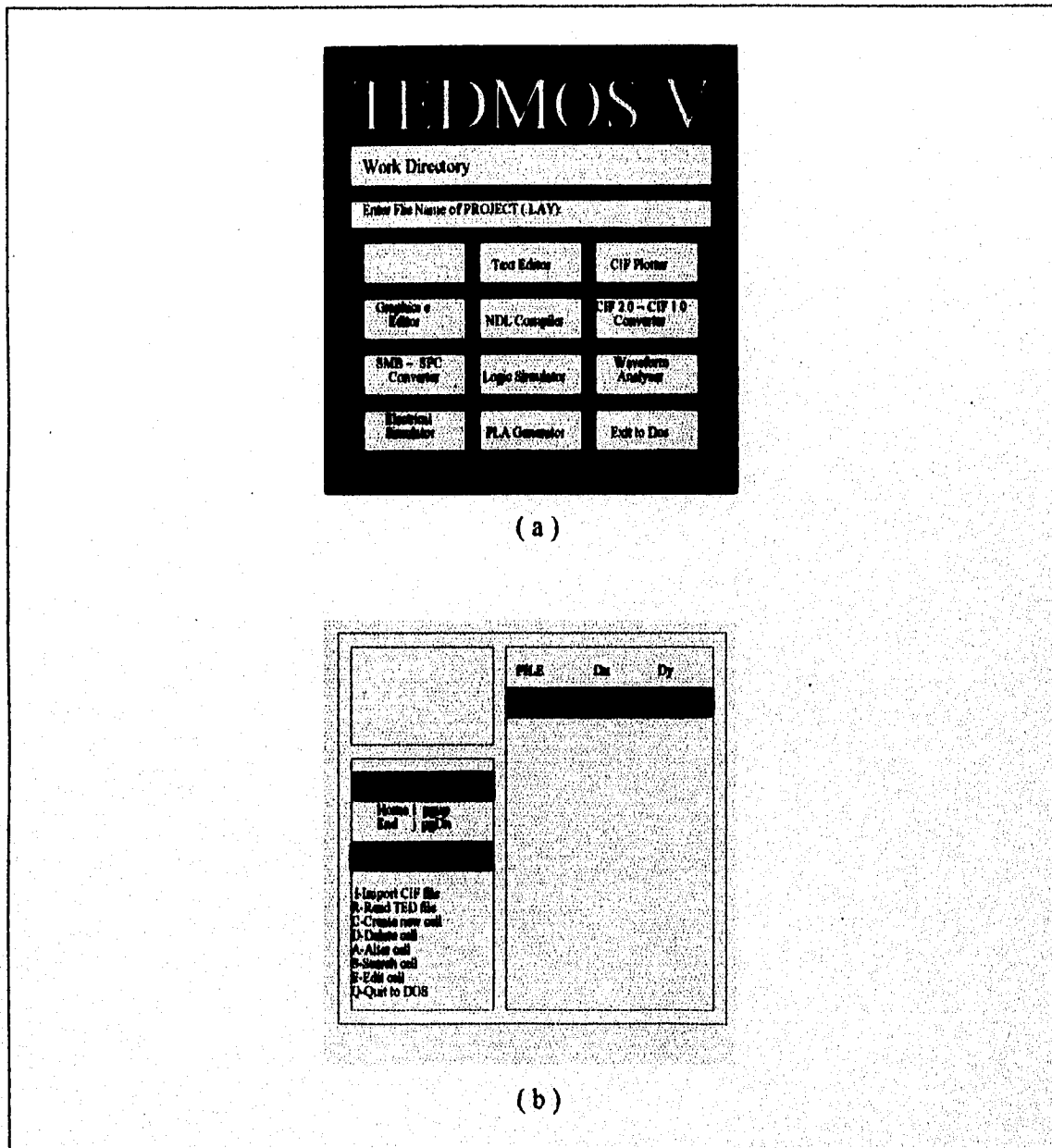


Figura 5.14 (a) Menú principal. (b) Pantalla editora de células.

Para comenzar a realizar el layout se debe crear una nueva célula, automáticamente se crea un archivo al que se le asigna un nombre y a continuación se tecléa editar célula y aparecerá la pantalla la cual se presenta en la figura 5.15 en donde se realiza el layout

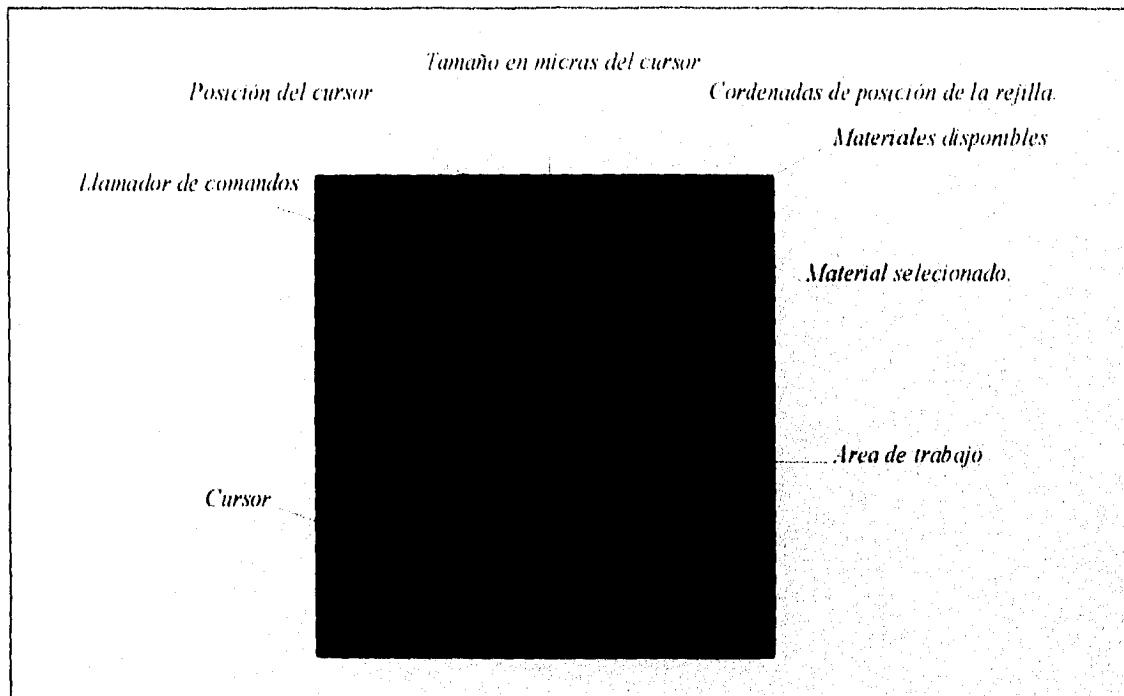


Figura 5.15 Pantalla de edición para los layouts.

Para manejar el cursor existen dos formas posibles que son con las flechas del teclado las cuales desplazan el cursor para arriba, abajo, derecha, izquierda con la tecla de la flecha correspondiente, las flechas anexas en todos los teclados en la parte derecha sirven para dimensionar el cursor más grande o más pequeño. La segunda forma de manipular el cursor es con el ratón al desplazarlo se desplaza también el cursor, para dimensionar el cursor se tiene que oprimir el botón izquierdo del ratón y desplazarlo.

Para realizar todas las acciones dentro de la pantalla de edición Tedmos cuenta con un menú de comandos que facilitan la tarea del diseñador, para acceder a los comandos se puede realizar por medio del "ratón" o por medio del teclado se llama a los comandos con el ratón tecleando su botón derecho o por medio del teclado presionando F9 y las letras que identifican el comando, cuando se usa el ratón aparece una ventana en la que aparecen varios de los comandos los cuales algunos a su vez tienen subcomandos que realizan alguna función. Los principales comandos de Tedmos son.

FC = Fill cursor. Este comando sirve para rellenar el cursor con alguno de los materiales disponibles con que cuenta el paquete, este comando funciona presionando el botón F1 del teclado, para el ratón se tiene que teclear dos veces el botón izquierdo y el área requerida es incrustada.

DC = Delete cursor. Borra la capa que se tiene seleccionada donde se coloca el cursor también se puede borrar situando el cursor en la zona a borrar y teclear el botón F3, esta función se puede también realizar tecleando dos veces el botón derecho del ratón.

DA = Delete all cursor. Borra todas las capas existentes que se encuentren dentro del cursor aunque estas no se encuentren seleccionadas. Funciona llamando al comando por el teclado o el ratón, para el teclado se pulsa F9 se escribe DA y se pulsa enter y para el ratón se elige el comando en la ventana y se pulsa el botón izquierdo.

CL = Change Layer. Se usa para seleccionar el tipo de material que se utilizara presionando la tecla con la letra representativa del material o por medio del ratón el cual muestra en una ventana los materiales, con el puntero y un clic se selecciona el deseado. Este comando también es activado por la tecla F2.

VI = Layer Visibility. Se usa para anexar o eliminar los materiales a seleccionar en la pantalla de edición quitando o incorporando la letra de identificación. Se llama el comando y se teclea la letra deseada para ambas funciones.

SS = Screen Scroll. Este comando permite desplazar el área de trabajo en cuatro direcciones arriba, abajo, derecha e izquierda para poder seguir el trazado más allá del área visible. Se puede controlar con las flechas del teclado ó desplazando el ratón, su activación se realiza por el teclado ó el ratón, también se activa con F8.

ZO = Zoom. Proporciona acercamiento o alejamiento de los trazos que se tengan en la pantalla de edición con factores predeterminados entre 10 y -18. Con el teclado se llama el comando y se da el número de factor que se desee y se pulsa enter, para el ratón se elige este comando con el puntero y tecleando el botón izquierdo aparecen los factores y se selecciona uno de ellos de igual manera.

DL = Delete layout. Borra todo lo que se encuentre en la pantalla de edición. Para activarlo solo se llama el comando y se presiona enter esto para el teclado, para el ratón se elige en la ventana y se presiona el botón izquierdo.

UF = Undo Fill/Del. Borra la ultima acción realizada, se llama el comando y se teclea enter o con el ratón se elige en la ventana presionando el botón izquierdo.

AR = Adjust Region. Ajusta la región que se seleccione con el cursor agrandando, alargando, disminuyendo o recortando el área, se activa por medio del teclado o el ratón y solo se puede manipular con las flechas del teclado.

MR = Mirrior Region. Rota lo que se encuentre dentro del cursor en 180° a la derecha, izquierda, arriba o abajo se puede llamar con el teclado o el ratón y se maneja solo con las flechas del teclado.

RP = Return to Position. Regresa el cursor a las coordenadas iniciales con el tamaño mínimo del mismo. Se selecciona y se activa con el teclado y el ratón.

CR = Copy Region. Toma una muestra de la región utilizada y la incrusta en la pantalla de forma aleatoria. Se selecciona y activa con el teclado o el ratón.

RR = Repeat Region. Repite todo lo que se seleccione dentro del cursor las veces deseadas en X y en Y la separación entre las regiones a incrustar y la ya existente se controla con el cursor y la distancia que se le asigne. Se llama con el teclado o el ratón y se activa al darle el número de veces a repetirse y pulsando enter.

MP = Mark Position. Indica o no en el editor de células las coordenadas de posición del layout. Se selecciona y activa con el teclado o el ratón.

EC = Edit Cell. Con este comando se puede pasar a otra célula u otro archivo que se encuentre en el mismo directorio sin salir de la pantalla de edición. se llama con el teclado o el ratón y se activa al teclearle el nombre de la célula deseada y pulsando enter.

LA = Labels on-off. Permite visualizar o no rótulos que se le hayan colocado al layout. Se selecciona y activa con el teclado o el ratón.

SO = Save with offset. Salva el archivo fuera del directorio de trabajo. Se selecciona con el ratón o el teclado y se activa al darle el nombre que se quiera y pulsando enter.

SA = Save As Salva la célula creada en un archivo dentro del directorio y se le tiene que asignar un nombre, automáticamente se le da la extensión TED. Se llama con el teclado y el ratón y se activa al dar el nombre y pulsar enter.

SR = Save cursor region. Salva la región enmarcada por el cursor en otro archivo diferente al que se esta manejando. Se llama con el teclado o el ratón, se activa al teclear el nombre del archivo y pulsar enter.

SC = Save in CIF format. Salva la célula en formato CIF en un archivo al cual se le asigna nombre. Para su selección se puede realizar por el teclado o por el ratón y se activa dándole el nombre del archivo y pulsando enter.

CN = Create Node. Con este comando se crean las etiquetas que se deseen colocar al layout como son Gnd, Vdd, Entrada, Salida o personales. Se activa por el ratón o por el teclado, cuando se activa se debe escribir la etiqueta y esta aparecerá en pantalla cuando se pulse enter donde se localice el cursor.

DN = Delete Node. Es usado cuando se desea borrar alguna de las etiquetas. Se activa por medio del ratón o por el teclado.

SN = Show/hide Nodes. Se utiliza para que los nodos estén o no visibles en la pantalla. Se activa por el ratón o por el teclado.

LN = List Nodes. Este comando proporciona una lista de los nodos, así como su ubicación en coordenadas en un layout que se este editando. Se activa por el teclado o por el ratón.

IT = Import TED file. Trae al editor un archivo seleccionado que se encuentre dentro del directorio con extensión TED. Se llama con el teclado ó el ratón y se activa al dar el nombre del archivo y pulsar enter.

IC = Import CIF file. Trae al editor un archivo seleccionado que se encuentre dentro del directorio con extensión CIF. Se llama con el teclado ó el ratón y se activa al dar el nombre del archivo y pulsar enter.

GO = Grind on-off. Aparece o desaparece la rejilla de la pantalla de edición. Se llama y se activa con el teclado ó el ratón.

DR = Design rule check Este comando tiene la función de revisar el layout para que las reglas de diseño no sean menores de lo establecido si detecta alguna anomalía lo marca en la pantalla encerrando en un círculo el error y además da una leyenda que indica el posible error. Se llama con el teclado o con el ratón y se activa al teclear t o c que significan si se desea checar todo el layout (t) o solo lo que se encuentra enmarcado por el cursor (c).

PR = Print. Manda a imprimir el layout en la impresora o a un disco predeterminada y moderna. Se llama por el teclado o el ratón y se activa al introducir una serie de datos que pide acerca de la impresión, de la impresora y teclear enter.

EE = Exit editor. Con este comando se cierra la pantalla de edición y se pasa al menú principal. Se llama y activa con el ratón o el teclado.

FU = File utility. Sale al menú principal. Se llama y activa con el ratón o el teclado.

CT = Cell table. Sale de la pantalla de edición y pasa a la pantalla editora de células. Se selecciona y activa con el ratón o el teclado.

F9+? = Help. Aparece una pantalla donde se encuentran todos los comandos. Se llama y se activa por medio del teclado.

OLD PRINT. Este comando solo se puede llamar con el ratón y se activa con el teclado después de una serie de datos que pide acerca de la impresión, se confirma tecleando Y. Este comando es para impresoras que no se encuentran predeterminadas en el paquete.

Nota donde no se indique el botón del ratón que debe pulsarse se asume que es el botón izquierdo

Los comandos listados sirven para crear y manipular el layout de tres maneras con el teclado, el ratón o una combinación de las dos a continuación en la figura 5.16 se muestra una secuencia gráfica de la creación de un inversor en el editor de células llamando y ejecutando los comandos por el ratón o el teclado a continuación se describen cada uno de los pasos seguidos.

La secuencia de pantallas de la figura 5.16 es la siguiente, partiendo de la pantalla de edición que se observa en la figura 5.15 tenemos que el primer paso es situar el cursor en un punto cualquiera de preferencia en la parte central o más abajo, a continuación se selecciona el material tipo C para crear el contacto, se ejecuta con F2 + C + enter + F1, posteriormente el cursor se hace más grande con el ratón o el teclado y se coloca cubriendo el contacto por todos sus extremos, se selecciona el material tipo D presionando el botón derecho del ratón aparece la ventana de comandos se coloca el puntero en Change Layer y se presiona el botón izquierdo entonces aparece otra ventana con los distintos tipos de materiales se coloca el puntero del ratón en Thin oxide y se presiona el botón izquierdo después se coloca el puntero en otro de los materiales que este activo para desactivarlo presionando el botón izquierdo en seguida se presiona el botón izquierdo del ratón con el puntero fuera de las ventanas, después se presiona dos veces el botón izquierdo del ratón y aparecerá el material d en el cursor, la operación se repite nuevamente a una distancia establecida y cuando se tienen los dos contactos con su respectiva área activa se procede a unirlos como se observa en la figura 5.16a.

Posteriormente se llama con el ratón o el teclado el material metal 1 y en seguida se coloca el cursor en las zonas de contacto se deposita metal cubriendo el contacto y la región activa también, se deposita metal un poco más afuera del área activa con el fin de realizar posteriores conexiones, en seguida se procede a seleccionar y depositar el polisilicio primero se ajusta el cursor al tamaño deseado y se coloca donde se desea la depositación del material a continuación se presionan las teclas F2 + P y enter, para depositar el material se presiona la tecla F1, el resultado se observa en la figura 5.16b.

En esa misma figura 5.16b se observa el cursor cubriendo todo el transistor con el fin de copiarlo para lo cual se elige el comando con el teclado, presionando la tecla F9 y las letras características del comando RR entonces aparece Nx: se le da el número de veces que se quiere

repetir en x lo seleccionado y se tecléa enter apareciendo Ny también se le da el número deseado y se tecléa enter en la pantalla se multiplicará la figura seleccionada el resultado se puede observar en la figura 5.16c.

A continuación se realizan las uniones que faltan, en este caso el metal y las regiones de polisilicio como se describió en los renglones anteriores con el ratón o el teclado solo cambiando el material característico, cuando se han concluido todas las conexiones como se observa en la figura 5.16d se tiene que definir el tipo de transistor para lo cual se tienen que colocar los materiales representativos de las implantaciones y pozos correspondientes, para ello se depositan de la siguiente manera se dimensiona el cursor y se coloca sobre la región a cubrir se tecléa el botón F2 + N + enter + F1 y la representación del material se incrusta en la pantalla para el caso de la implantación p y pozo p el procedimiento es el mismo solo cambia la letra representativa del material, el resultado final se observa en la figura 5.16e.

En la misma figura 5.16e se observa que el cursor está seleccionando todo el layout cuando se ha elegido todas esas regiones entonces se procede a checar las dimensiones de la siguiente manera se tecléa el botón derecho del ratón y aparece la ventana de comandos se selecciona "utilites" con el puntero del ratón y se presiona el botón izquierdo aparece un cuadro de subcomandos de donde se elige Design rule check con el puntero del ratón y se presiona el botón izquierdo entonces aparecerá en la parte superior izquierda de la pantalla editora donde dice command la siguiente leyenda área (total/cursor)? posteriormente se tiene que tecléar t o c, cuando se desea checar todo el layout se presiona t cuando solo se desea la región que está dentro del cursor se presiona c y comienza la revisión si todo está correcto no hay ninguna indicación entonces el layout se concluye a continuación se salva el layout presionando las siguientes teclas F9 + SA + Nombre del archivo + enter.

Para salir de la pantalla de edición se presiona el botón derecho del ratón y en la ventana de comandos se elige Exit Editor presionando el botón izquierdo entonces aparecerá un subcomando que pide la confirmación se elige con el puntero del ratón y se presiona el botón izquierdo entonces aparecerá la pantalla del menú principal.

5.6. PROCEDIMIENTO DE DISEÑO PARA UN MULTIPLEXOR QUE SERÁ INTEGRADO CON TECNOLOGÍA CMOS.

En esta sección se describirá los pasos a seguir para el diseño de un multiplexor ya que en la sección posterior utilizaremos un dispositivo de este tipo para realizar su layout. Como ya es conocido un multiplexor tiene la función de seleccionar una entrada de varias disponibles y entregar la información seleccionada en su salida, para realizar la elección de la entrada se realiza por medio de la línea de control la cual activa alguna de las compuertas de acuerdo al código que se le asigne.

En el diseño de un multiplexor las entradas se conectan a compuertas AND una por cada entrada, a esas mismas compuertas se conectan las o la línea de selección, la salida de estas compuertas se conectan a las entradas de una compuerta OR y en la salida se obtiene la información del canal que se selecciono. A continuación se presenta el diseño de un mux de 2 entradas para describir su diseño, el primer paso para la obtención del multiplexor es establecer el número de entradas para realizar su tabla de función, una vez que se tiene la tabla de función se realiza el diagrama lógico basándose en la tabla, en la figura 5.17 se observa la tabla y el diagrama lógico.

<i>S</i>	<i>lo</i>	<i>h</i>	<i>A</i>	<i>S</i> Selección.	<i>h</i> .
0	0	X	0	<i>lo e h</i> = Entradas.	<i>A</i>
0	1	X	1	<i>A</i> Salida.	<i>lo</i> .
1	X	0	0		.
1	X	1	1		<i>S</i> .

Figura 5.17 Multiplexor de 2 entradas.

Para realizar un circuito integrado con tecnología CMOS es necesario tener el circuito lógico en función de compuertas NAND ya que son la base de esta tecnología además de poderse realizar con mayor facilidad y rapidez el layout, por lo que el diseño mostrado en la figura 5.17 tiene que cambiarse por el de la figura 5.18 el cual también cumple con la tabla de función de la

figura 5.17. El cambio de compuertas se realiza basado en que la función es la misma solo que negada en forma lógica en sus entradas y salidas por lo que es necesario negar todo el circuito lógico por medio de inversores. En la figura 5.18 se observa que la salida de la compuerta NOR se conecta a dos inversores que están en serie esto es para poder obtener la salida normal y negada pero principalmente para reforzar la señal de salida. Es muy común que en los circuitos integrados se tenga una línea de habilitación la cual determina si el chip está activo o no normalmente esta línea es conectada a una entrada de la compuerta OR por medio de uno o dos inversores con una señal negada, es preciso mencionar que existen otras formas de activar el chip pero para el diseño que se mostrara utilizaremos la descrita.

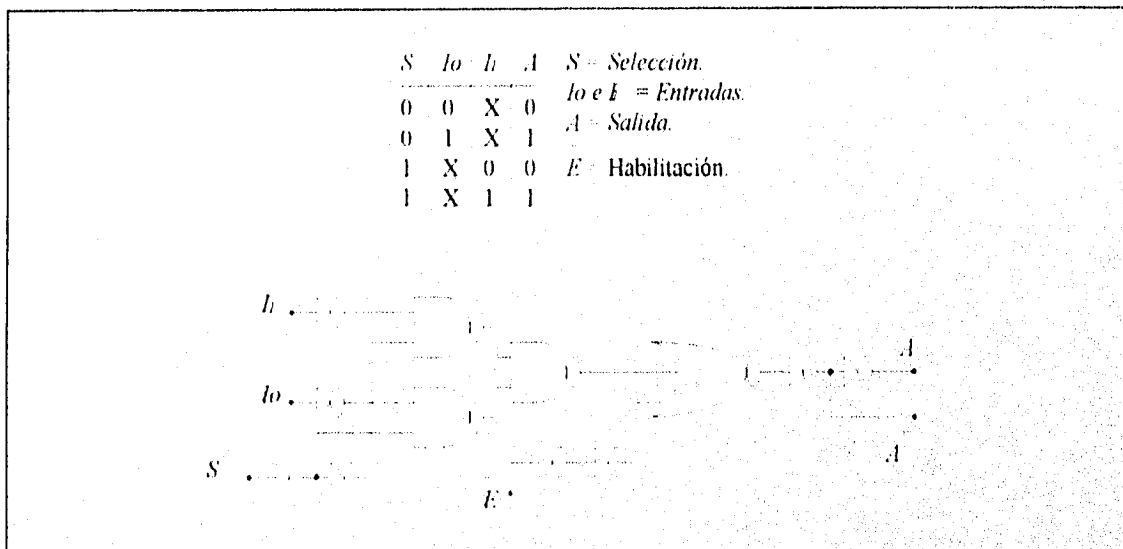


Figura 5.18 Diagrama lógico de un multiplexor de 2 entradas con compuertas NAND para integrarse con tecnología CMOS.

5.7 DISEÑO DE UN PROTOTIPO DE LAYOUT.

En esta sección se presenta un prototipo de layout de un circuito integrado el cual es un multiplexor de 8 bits. De la misma forma como se realizara el chip del multiplexor se pueden realizar una gama enorme de circuitos integrados con un número mayor de funciones como un controlador, un microprocesador etc. En la actualidad la tendencia que se está marcando en el

mundo es la de realizar circuitos integrados personalizados es decir que cada persona al realizar un diseño electrónico de cualquier tipo lo esta integrando para economizar espacio y disminuir el costo del aparato, la tendencia de personalizar los circuitos integrados se esta dando en todos los campos de la electrónica y en especial en comunicaciones de lo anterior se desprende la importancia de introducir la microelectrónica en las carreras afines a la electrónica.

5.7.1 PASOS PARA EL DISEÑO DEL LAYOUT DE UN MULTIPLEXOR DE 8 ENTRADAS.

El primer paso es establecer la tabla de función para el dispositivo la cual se presenta en la tabla 5.2.

E	S ₀	S ₁	S ₂	I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	A	A
1	X	X	X	X	X	X	X	X	X	X	X	1	0
0	0	0	0	0	X	X	X	X	X	X	X	1	0
0	0	0	0	1	X	X	X	X	X	X	X	0	1
0	1	0	0	X	0	X	X	X	X	X	X	1	0
0	1	0	0	X	1	X	X	X	X	X	X	0	1
0	0	1	0	X	X	0	X	X	X	X	X	1	0
0	0	1	0	X	X	1	X	X	X	X	X	0	1
0	1	1	0	X	X	X	0	X	X	X	X	1	0
0	0	0	1	X	X	X	X	0	X	X	X	1	0
0	0	0	1	X	X	X	X	1	X	X	X	0	1
0	1	0	1	X	X	X	X	X	0	X	X	1	0
0	1	0	1	X	X	X	X	X	1	X	X	0	1
0	0	1	1	X	X	X	X	X	X	0	X	1	0
0	0	1	1	X	X	X	X	X	X	1	X	0	1
0	1	1	1	X	X	X	X	X	X	X	0	1	0
0	1	1	1	X	X	X	X	X	X	X	1	0	1

Tabla 5.2 tabla de función de un multiplexor de 8 entradas.

A continuación se realiza el diagrama lógico del dispositivo a integrarse, la figura 5.19 muestra el multiplexor de 8 entradas del cual se diseñara su layout para poder integrarlo en un chip. Es importante mencionar que en la mayoría de los textos y manuales de circuitos integrados se utilizan en las tablas de función niveles lógicos L para el nivel bajo y H para el nivel alto, X significa no importa en la tabla 5.2 se utilizaron unos como nivel alto y ceros como nivel bajo lo cual no altera el dispositivo.

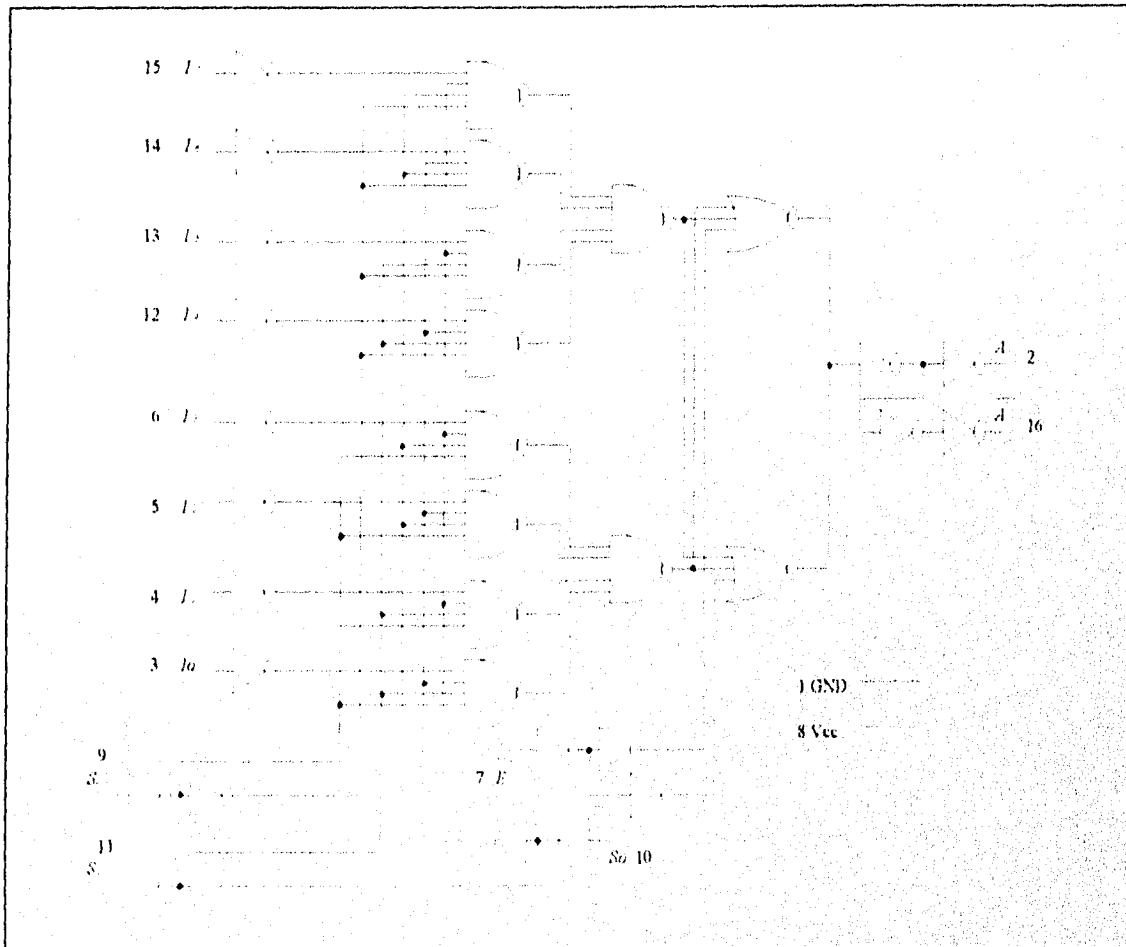


Figura 5.19 Diagrama lógico con tecnología CMOS para un multiplexor de 8 entradas

En la figura 5.19 se puede observar que las salidas de las puertas NAND están conectadas a dos compuertas también NAND por separado ello se realiza para una mayor confiabilidad del circuito y evitar una posible pérdida de señal, también esa estructura facilita el

diseño del layout. A continuación el siguiente paso es el realizar los elementos lógicos es decir las puertas e inversores a utilizar con tecnología CMOS y en base a transistores y diagramas de palillos para posteriormente armar el diagrama completo de palillos con la técnica de bandas. En la figura 5.20 se observa el diagrama de palillos y las puertas e inversor usados.

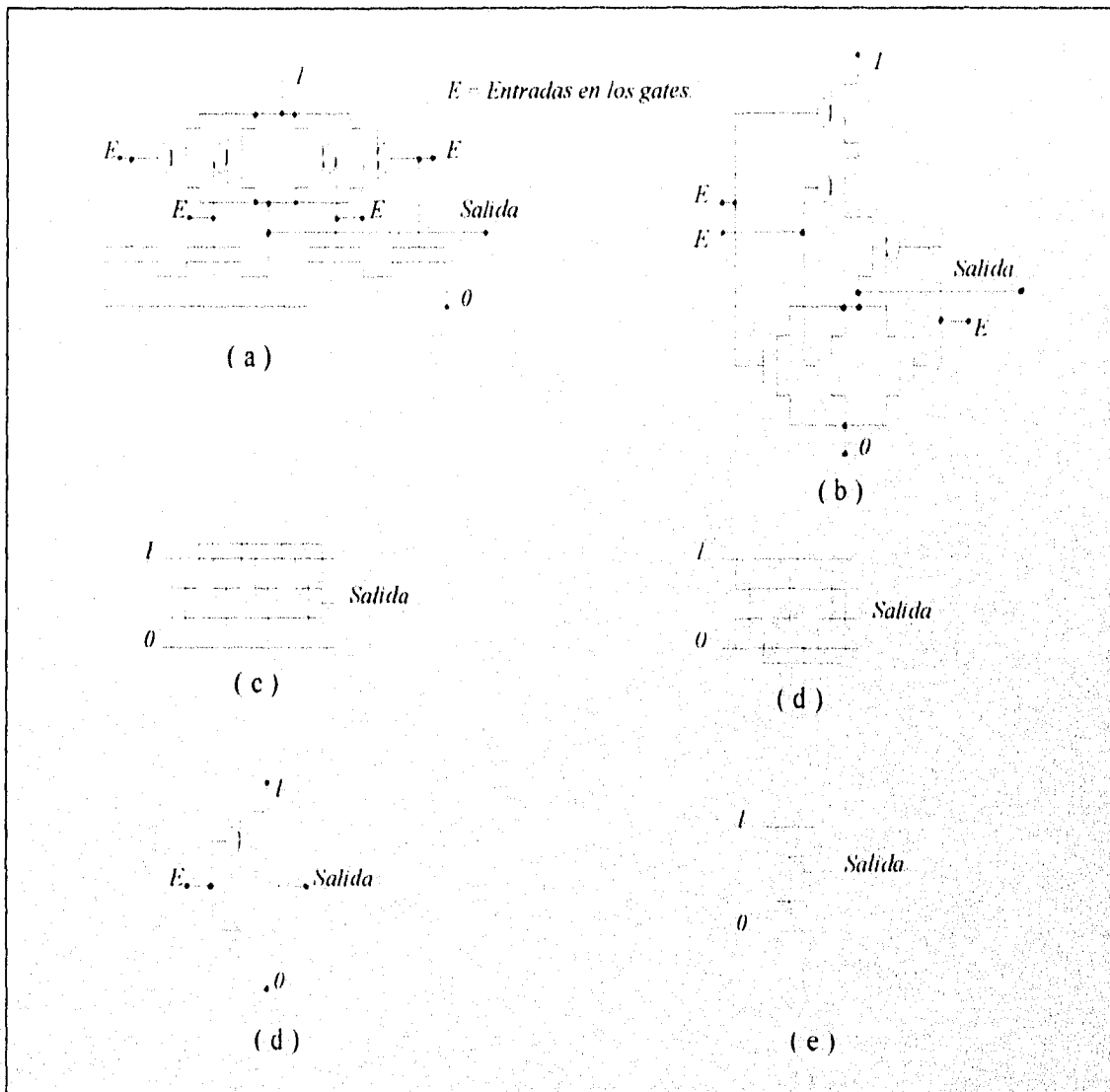


Figura 5.20 (a) Compuerta NAND con tecnología CMOS. (b) Compuerta NOR CMOS. (c) Diagrama de palillos de la NAND de 4 entradas. (d) Diagrama de palillos de la NOR de 3 entradas. (e) Diagrama de un inversor CMOS. (f) diagrama de palillos del inversor.

En la figura 5.21 se muestra el diagrama de palillos completo del multiplexor de 8 entradas se utilizan los colores que tiene establecidos TEDMOS para los distintos materiales para identificar con mayor facilidad los elementos y su construcción sea más rápida

Cuando se termino el diagrama de palillos el paso siguiente es entrar en el simulador y empezar trazar el circuito basado en los palillos, es de importancia hacer notar que el diseño puede variarse cuando se esta trazando en el simulador para cumplir las reglas de diseño que se estén manejando. En este caso el primer trazado que se realiza es las bandas que son las alimentaciones del circuito, después es recomendable que se tracen el número necesario de transistores a lo largo de las dos bandas unir sus gates y realizar las conexiones en el espacio central. Hasta aquí no se han definido que tipo de transistores es cada uno de ellos aunque para realizar el diagrama de palillos se sabe que todos los que están unidos a la banda superior son del tipo p y los inferiores de tipo n para que en el simulador se establezca esta tipología se tiene que incrustar los pozos o capas de material tipo n para los transistores tipo p y material tipo p y p+ para los tipo n estos deben cubrir más allá del área activa como se indica en las reglas de diseño del capítulo anterior. Al terminar el circuito se deben crear los pads los cuales unen el microcircuito con el exterior por medio de las patillas del chip, en la figura 5.22 se muestra el layout terminado.

El layout mostrado en el presente trabajo sera enviado para su fabricación en la fábrica española IBERCHIP el tiempo aproximado de fabricación es de seis meses cuando sera entregado.

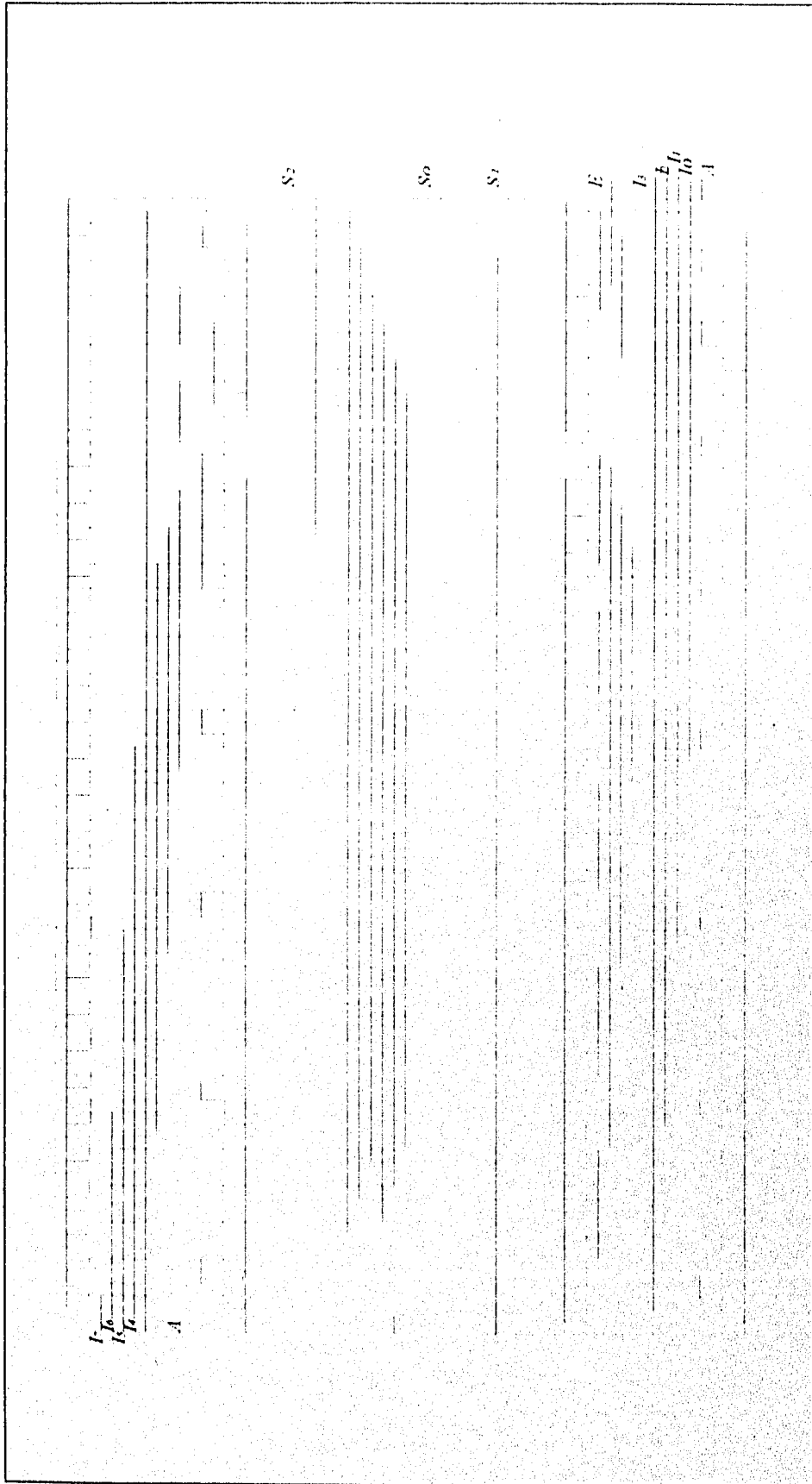
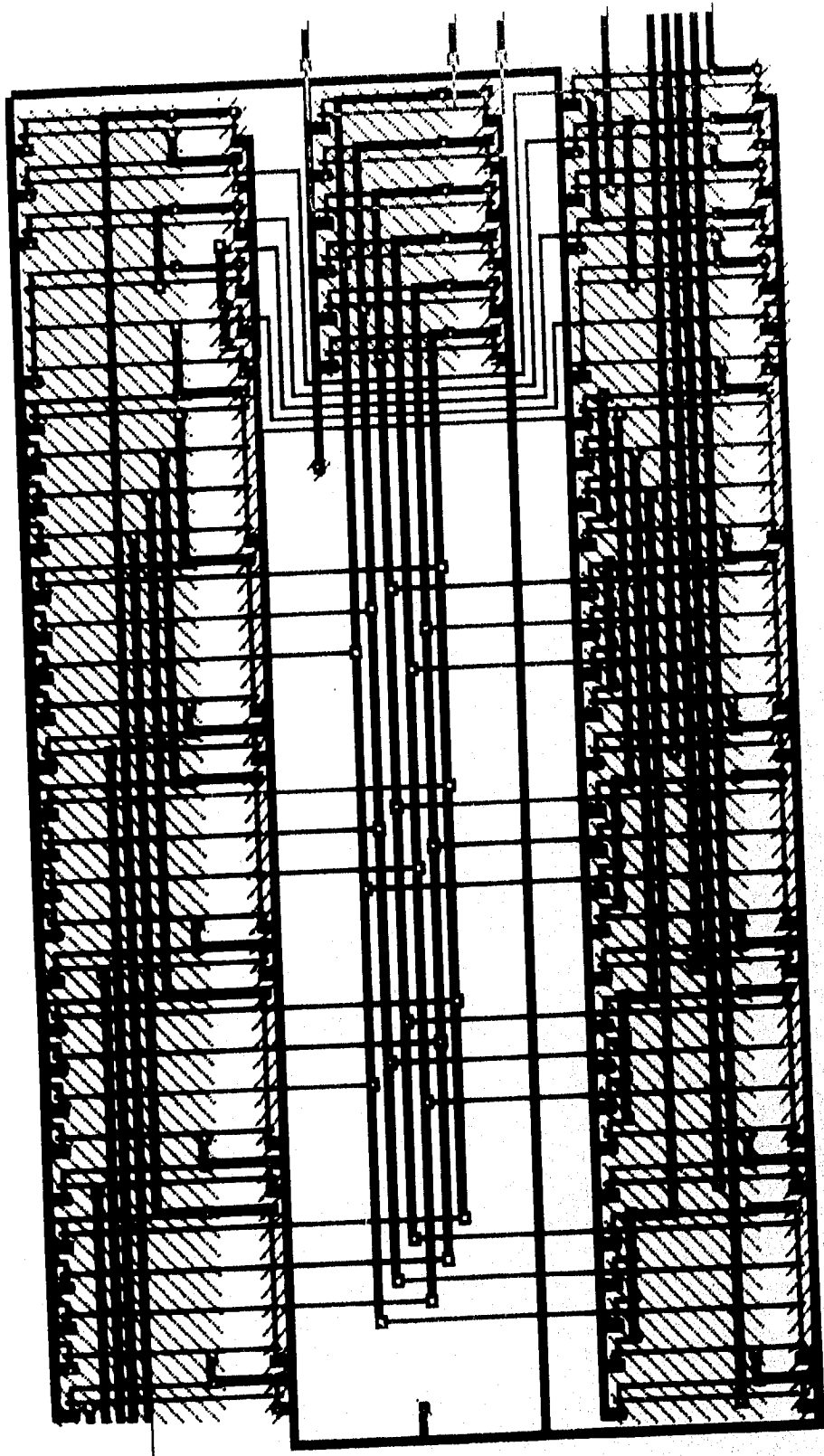


Figura 5.21 Diagrama de palillos para la integración del multiplexor de 8 entradas.



CONCLUSIONES

El trabajo presentado cumple con las expectativas de contenido que se establecieron para cada capítulo en el prólogo, de las cuales se destacan las siguientes.

- Se realizó un análisis sencillo y detallado del proceso que se sigue para la fabricación de un circuito integrado poniendo especial énfasis en el proceso de difusión ya que es de primordial importancia para la obtención de un chip funcional y de buena calidad del tipo bipolar.
- Se presentó un análisis detallado de los pasos que se siguen en la fabricación de cada uno de los elementos que forman parte de un circuito integrado y algunas de las estructuras que más comúnmente se usan para las dos principales tecnologías que son la bipolar y MOSFET.
- Se presentaron y se explicaron brevemente los principales parámetros de los materiales que se utilizan para la fabricación de circuitos integrados, además de mostrar las principales características de comportamiento de algunos elementos integrados como son resistencias, transistores, capacitores y diodos.
- Se establecieron las reglas de diseño para la creación de layouts con las tecnologías más utilizadas en el mundo y con énfasis en las utilizadas en nuestro país.
- Se analizaron y mostraron los pasos seguidos para el diseño de un layout orientados a la realización de un circuito sencillo para que el concepto sea fácilmente asimilado por el lector.

Es importante mencionar que el alcance que se logró con este trabajo va un poco más allá de lo inicialmente planeado debido a que el layout será enviado a una fábrica de circuitos integrados para su construcción materializando y poniendo en práctica lo expuesto en el presente trabajo con lo que no queda solo en una investigación sino en un trabajo con aplicación útil y práctica.

El presente trabajo se basa en conceptos y no en cálculos con el fin de que el lector comprenda en forma sencilla y lógica el proceso de diseño y fabricación de un circuito integrado, también se trata de mostrar que el proyecto presentado es practico tratando de proporcionar una herramienta básica y útil en el diseño y fabricación de circuitos integrados.

Finalmente las expectativas que se presentan para la microelectrónica en el mundo son muy amplias con la automatización de casi todos los equipos que se están desarrollando, aunado a ello la miniaturización de los sistemas electrónicos que aparecen diariamente, el gran auge en que se encuentran los sistemas de comunicaciones y la personalización que se esta dando al diseñar circuitos, vislumbran que en los próximos años se tendrá una demanda creciente de diseñadores de layouts para circuitos integrados. Debido a ello considero importante que materias de microelectrónica sean consideradas en los planes de estudio de todas las carreras relacionadas con el área.

BIBLIOGRAFÍA

- Wayne Wolf, **Modern VLSI Design A Systems Approach**, Prentice Hall, United States of America 1994.

- Douglas J. Hamilton and William G. Howard, **Basic Integrated Circuit Engineering**, Mc Graw Hill, United States of America 1975.

- Richard S. Muller and Theodore I. Kamins, **ELECTRONICA DE LOS DISPOSITIVOS PARA CIRCUITOS INTEGRADOS**, Limusa, México 1982.

- Milton S. Kiver, **ELECTRONICA TRANSISTORIZADA E INTEGRADA**, Marcombo, España 1978.

- Robert Boylestad and Louis Nashelsky, **ELECTRONICA TEORIA DE CIRCUITOS**, Prentice Hall, México 1989.

- Jacob Millman and Christos C. Halkias, **DISPOSITIVOS Y CIRCUITOS ELECTRÓNICOS**, Piramide, España 1988.

- Neil H. E. Weste and Kamran Eshraghian, **PRINCIPLES OF CMOS VLSI DESIGN A Systems Perspective**, AT&T, United States of America 1993.

-M. Morris Mano, **LÓGICA DIGITAL Y DISEÑO DE COMPUTADORES**, Prentice Hall, México 1990.

-N. weste and K. Esbraghian, **PRINCIPLES OF CMOS VLSI DESIGN**, Reading, Mass. Addison-Wesley, 1984.

-Sin autor, **NORMAS DE DISEÑO PARA TECNOLOGÍA CMOS 5 μ m DEL CNM**, Centro Nacional de Microelectrónica, Versión 1.0 1993, Puebla México.

-Eber Assis Schmitz, José Antonio Dos Santos Borges, **PROJETO DE CIRCUITOS INTEGRADOS**, Livros Técnicos e Científicos Editora Ltda, Rio de Janeiro Brasil 1990

-Grebene, A. B., **BIPOLAR AND MOS INTEGRATED CIRCUIT DESIGN**, John Wiley and Sons, New York 1984.

-Coclasser , R. A. and S. Diehl-Nagle, **MATERIALS AND DEVICES**, McGraw-Hill Book Company, New York 1985.