

166

Zejeu



UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO

FACULTAD DE INGENIERIA

DISEÑO Y CONSTRUCCION
DE UN VENDEDOR ELECTRONICO
DE CONTROL REMOTO

T E S I S

QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA
ELECTRICA - ELECTRONICA
P R E S E N T A N :
ANTONIO ROSAS SOLARES
RAFAEL PAPAQUI GONZALEZ



DIRECTOR DE TESIS

ING. ELISEO DIAZ NACAR

MEXICO, D. F.

AGOSTO DE 1995

FALLA DE ORIGEN

**TESIS CON
FALLA DE ORIGEN**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

*A nuestros amigos y a todos aquellos
que de forma indirecta participaron
en la realización de esta Tesis con
conocimientos de electrónica,
diseño industrial, apoyo técnico
y apoyo moral.*

*De todo corazón,
mil gracias*

*Agradecemos al Ing. Eliseo Díaz
Nacar por el apoyo que nos
brinda en el diseño y
construcción del prototipo, así
como en la elaboración del
trabajo escrito.*

INDICE

INTRODUCCION	i
ANTECEDENTES	iv
OBJETIVO	vi
JUSTIFICACION	vii

CAPITULO 1

PLANTEAMIENTO DEL SISTEMA

1.1. Introducción	1
1.2. Módulos funcionales del sistema	1
1.3. Metodología utilizada en el diseño del sistema	5

CAPITULO 2

LUZ INFRARROJA

2.1. Introducción	9
2.2. Características de la luz	11
2.3. Unión P-N, generador y receptor de fotones	11
2.4. Regiones de operación de la unión P-N	12
2.5. El led como transmisor de luz	13
2.6. El fotodiodo como receptor de luz	18
2.6.1. Fotodiodo PN	18
2.6.2. Fotodiodo PIN	19
2.6.3. Fotodiodo Schottky	21
2.6.4. Fototransistores	22
2.7. Sensibilidad espectral	23
2.8. Transmisión de datos	25

CAPITULO 3

MICROCONTROLADOR DEL SISTEMA (Z8681)

3.1. Introducción	31
3.2. Consideraciones para la selección del microcontrolador	32
3.3. Características del microcontrolador	36
3.4. Arquitectura	36
3.4.1. Memoria de programa	38
3.4.2. Memoria de datos (externa)	38
3.4.3. El banco de registros	39
3.5. Modos de direccionamiento	43
3.5.1. Direccionamiento registro (R)	43
3.5.2. Direccionamiento de registro indirecto (IR)	43
3.5.3. Direccionamiento indexado (X)	44
3.5.4. Direccionamiento directo (DA)	44
3.5.5. Direccionamiento relativo (RA)	44
3.5.6. Direccionamiento inmediato (IM)	44
3.6. Registros periféricos y de control del CPU	45
3.7. Puertos (Entrada/salida)	46
3.7.1. Modos de registro	46
3.7.2. Puerto 0	47
3.7.3. Puerto 1	48
3.7.4. Puerto 2	48
3.7.5. Puerto 3	49
3.7.6. Funciones especiales	49
3.8. Interrupciones	50
3.8.1. Fuentes de interrupción externa	52
3.8.2. Fuentes de interrupción interna	53

CAPITULO 4

DISEÑO DEL SISTEMA

4.1. Introducción	55
4.2. Diseño de la lógica de control	55
4.3. Interconexión de las memorias con el microcontrolador	61
4.4. Interconexión del 8255A y modo de configuración	69
4.5. Driver's de potencia y presentación de los mensajes	73
4.6. Diseño del control remoto	81
4.6.1. Descripción general del μ PD6121G	81
4.6.2. Diagrama del control remoto	89
4.6.3. Selección del IRED y del fotorreceptor	91
4.7. Diseño del programa	94

CAPITULO 5

CONSTRUCCION DEL SISTEMA

5.1. Introducción	101
5.2. Diagramas del circuito impreso de la lógica de control	102
5.3. Diagramas de circuito impreso de los driver's y etapa de potencia	104
5.4. Diagramas de circuito impreso del control remoto	107
5.5. Conectores	108
5.6. Gabinete del vendedor electrónico	109

CAPITULO 6

MANUAL DE OPERACION

6.1. Introducción	113
6.2. Manual de operación	114
6.2.1. Instalación	116
6.2.2. Uso del control remoto	117
6.2.3. Controles y su localización	118
6.2.4. Operación del vendedor electrónico	120

6.2.5. Funciones del control remoto	121
6.2.6. Especificaciones	125

CAPITULO 7

PRUEBAS Y CONCLUSIONES

7.1. Pruebas realizadas	126
7.2. Conclusiones	127

APENDICE A

LISTADO DEL PROGRAMA COMPLETO DEL SISTEMA	A-1
--	------------

APENDICE B

SET DE INSTRUCCIONES DEL Z8681	B-1
ESPECIFICACIONES DE LA MEMORIA EEPROM NMC93C46	B-5

INTRODUCCION

Actualmente las tiendas de autoservicio se encuentran en un proceso de modernización, actualización y automatización, ya que se están empleando sistemas nuevos para mejorar su funcionamiento; tal es el caso de las cajas registradoras que ahora son terminales punto de venta, lectoras de código de barras y básculas electrónicas. Por otro lado, en algunas tiendas se emplean pantallas electrónicas en puntos estratégicos de la tienda para dar a conocer ofertas. Sin embargo, aún con todos estos avances tecnológicos se siguen empleando métodos tradicionales para publicitar algún producto; tal es el caso de los letreros elaborados a mano que se emplean en toda el área de artículos perecederos. En estos casos, se puede emplear una pantalla electrónica con led's, la cual debe ser pequeña y tener una capacidad limitada, ya que los artículos a publicitar no requieren de grandes espacios.

En el mercado no existe una pantalla con estas características, por lo que se plantea su desarrollo; a esta pantalla se le ha denominado "**Vendedor Electrónico**", dicho sistema constará de un display's de caracteres alfanuméricos, en el cual se podrán desplegar tres mensajes independientes uno del otro, para poder describir el precio y nombre de un producto; además de un mensaje de publicidad, como podría ser el slogan de la empresa. Los comandos de este sistema serán manejados a control remoto con un rayo de luz infrarroja codificado.

Para poder abordar el problema, se realizó una investigación de los equipos más comunes que existen en el área de publicidad en el mercado, y tomando en cuenta precios y diseños previos, se planteó un diseño económico, funcional y modular para facilitar su mantenimiento.

Debido a las características del Vendedor Electrónico, prácticamente puede ser utilizado en cualquier parte donde se requiera anunciar un producto ó presentar un mensaje. La solución de este diseño se desarrolla en siete capítulos como se describe a continuación, previamente se muestran algunos antecedentes históricos acerca de las pantallas electrónicas, así como el planteamiento del objetivo de esta tesis.

En el primer capítulo se hace un planteamiento del sistema, en donde se menciona una descripción de los requerimientos del sistema a diseñar mediante bloques funcionales. También se explica el método de diseño empleado para la realización del proyecto.

En el segundo capítulo, se hace una descripción de las características de la luz infrarroja, se ubica en el espectro de ondas electromagnéticas, y se plantea de que forma la utilizamos para desarrollar este diseño. Se explican los diferentes tipos de tecnología empleada en la construcción de los transmisores y receptores de luz infrarroja para una adecuada selección de los componentes. Después se hace una clasificación de las diferentes formas de transmisión de datos mediante la luz infrarroja.

En el tercer capítulo se hace una descripción general de la familia de los microcontroladores Z8 de zilog y sus aplicaciones. Se justifica la utilización del microcontrolador Z8681 y se hace una descripción específica de este.

En el cuarto capítulo se plantea el diseño del sistema dividido en varias etapas como sigue.

- Etapa de lógica de control. Esta etapa constituye la parte fundamental del sistema, ya que ahí se encuentra el microcontrolador.
- Etapa de los driver's de potencia. Esta etapa esta comandada por el microcontrolador y actúa como intermediaria entre la lógica de control y la etapa de potencia.
- Etapa de potencia. Es la que tiene la capacidad de prender los 350 led's requeridos para la construcción de la pantalla.
- La etapa del control remoto. Hace posible la comunicación entre el usuario y el sistema.

En el quinto capítulo se explica la construcción del sistema y características del mismo. También se muestran los diagramas de circuito impreso de cada una de las etapas mencionadas en el cuarto capítulo.

En el sexto capítulo se hizo un manual de operación del sistema, donde se hace una descripción, y se muestran sus características y su forma de operación enfocado hacia el usuario.

En el séptimo capítulo se mencionan las pruebas realizadas al sistema y se presentan las conclusiones.

ANTECEDENTES

El desarrollo de la tecnología en las últimas décadas ha convertido a los sistemas electroópticos en un medio de publicidad bastante solicitado.

Existen diferentes medios por los cuales se puede publicitar algún producto ó servicio, entre ellos están la radio, televisión, anuncios, volantes, etc. La publicidad mediante la presentación de imágenes es la que más capta la atención del público, convirtiéndose en parte fundamental de los sistemas de promoción y venta de productos.

En el mercado nacional podemos encontrar trabajos de serigrafía, fotografía, letreros iluminados y/o luminosos, servomecanismos con imágenes fotográficas, pantallas electrónicas, etc., las cuales se pueden clasificar como muestra el cuadro de la figura B.1.

Las pantallas electrónicas ó tableros electrónicos han tenido un incremento sustancial en el mercado a partir de la última década, las cuales tienen aplicaciones tanto para interior de locales como para exteriores, por ejemplo, la vía pública.

Existe una gran variedad de pantallas electrónicas, pero en todas y cada una de ellas la función primordial es presentar un mensaje llamativo. La principal ventaja de los tableros electrónicos, sobre otros medios informativos visuales, es su facilidad para actualizar la información contenida en el display o tablero, además de que se pueden presentar varios mensajes asignándoles un tiempo de presentación predeterminado a cada uno de ellos dependiendo de los requerimientos del cliente ó proveedor.

Otra de las ventajas de las pantallas electrónicas es que pueden trabajar en tiempo real, es decir, que los mensajes desplegados pueden ser controlados desde un computador central, con información actualizada, como por ejemplo, temperatura, niveles de contaminación atmosférica, cotización de productos, etc.; ó bién, actualización de precios, existencia de mercancías, etc.

La mayoría de los tableros electrónicos son de propósito general, diferenciándose en dimensiones, capacidad de manejo de información, efectos visuales, definición, colores, etc.

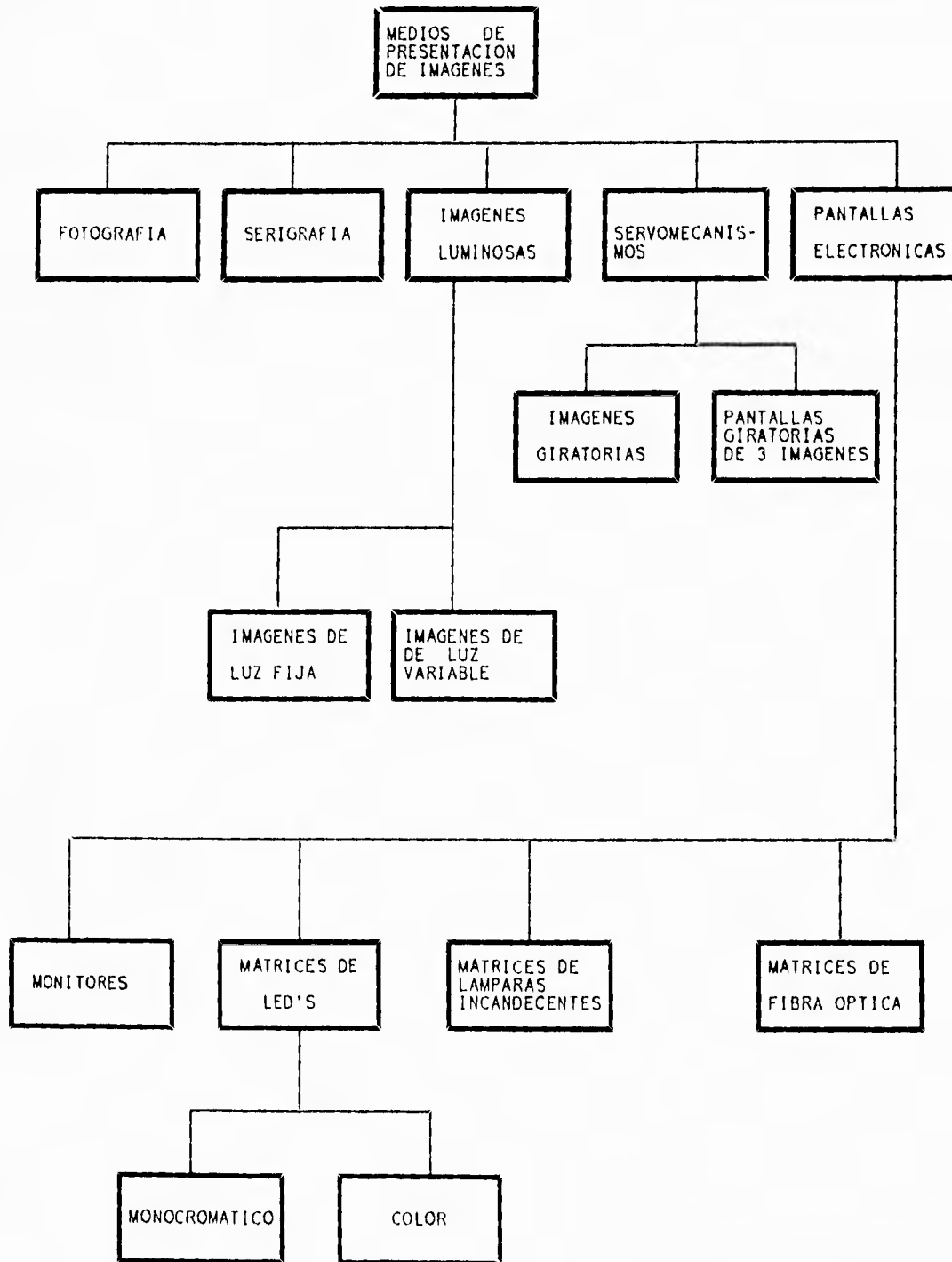


Figura B.1. Clasificación de los medios de presentación de imágenes.

Las características que presentan las pantallas electrónicas de matrices de led's existentes en el mercado, nos muestran una gran capacidad de memoria, la cual es poco aprovechada en muchos de los casos, sobre todo cuando se utiliza de manera particular por algún negocio ó empresa, como en el caso de la promoción de un solo producto en una pantalla de pequeñas dimensiones, en donde normalmente se muestran mensajes no mayores de 100 caracteres, siendo que la capacidad de estas pantallas oscila alrededor de los 4000 caracteres de memoria (flash electronics modelo FL-215R tiene 4000 caracteres de capacidad de memoria). Diversos efectos de presentación de mensajes, varias velocidades de presentación, manejo de caracteres en varios idiomas, opción para conectarse a una PC por medio de un puerto serial, son otras de las características normalmente poco aprovechadas sobre todo en tableros pequeños .

Todas estas características son aprovechadas al máximo en aplicaciones de gran volumen en la presentación de imágenes en pantallas grandes; sin embargo en los tableros pequeños los mensajes desplegados generalmente son cortos y existe un gran desperdicio de la capacidad de almacenamiento de información del dispositivo. En consecuencia, el precio de una pantalla electrónica pequeña resulta elevado si consideramos el costo-beneficio; y es por ello, que surge la necesidad de desarrollar un sistema donde se considere la presentación de mensajes cortos y concisos, enfocado a una aplicación específica.

OBJETIVO

El presente trabajo tiene por objetivo diseñar y construir un sistema electrónico para publicitar artículos específicos dentro de una tienda de autoservicio, y específicamente para artículos perecederos. Por lo tanto, el sistema debe ser portátil, fácil de operar, fácil de instalar y de bajo costo.

Su programación debe ser sencilla, ya que al ser utilizado en una tienda de autoservicio, se requieren varios de ellos, por lo que se plantea que sea un sistema programado en forma inalámbrica. Los caracteres podrán ser modificados desde un control remoto de luz infrarroja que constará de 5 teclas; teniendo como ventaja, sobre los controles remotos de radiofrecuencia, que con un solo control remoto se pueden programar varios letreros en un mismo lugar, sin necesidad de tener una dirección codificada para cada uno de los letreros.

JUSTIFICACION

Los letreros electrónicos que existen en el mercado poseen características tales como, gran capacidad de memoria, aproximadamente 4000 caracteres como mínimo; por otro lado ofrecen una gran variedad de efectos en el despliegado de la información. Sus dimensiones son grandes (aproximadamente 1.20 m x .30 m el más pequeño) requiriendo instalaciones especiales. La programación no es sencilla y que requieren una computadora o su propia unidad de programación. El equipo que se requiere no necesita todas las características antes mencionadas, además de esto depende el costo. Por otro lado este deberá ser un equipo fácil de operar, funcional y económico comparado con los que se encuentran en el mercado actualmente. Gracias al diseño de su gabinete, podrá ser colocado ó montado en cualquier parte, sin problema de instalación y de comunicación, pudiendo ser trasladado de un lugar a otro fácilmente. Por estas razones se justifica el diseño y construcción del sistema mencionado.

CAPITULO 1

PLANTEAMIENTO DEL SISTEMA

1.1 INTRODUCCION

En este capítulo, se hace un planteamiento general, de la forma en que se va a diseñar el sistema, atendiendo a las especificaciones y características del mismo. Para ello, se ha partido el sistema en bloques funcionales, en donde cada uno de estos módulos funcionales se ha pensado para que resuelva el problema planteado en el objetivo de esta tesis.

Esta primera partición del sistema en bloques, va encaminada a la aplicación de un método de diseño, el cual se selecciona y describe más adelante; por lo tanto, debe considerarse como una primera aproximación a la solución del problema.

Los módulos y sus características se explican a continuación; sin embargo, es necesario aclarar, que esta descripción carece aún de los componentes y dispositivos particulares a utilizar, pero sí se especifica el tipo y género que más nos conviene.

1.2 MODULOS FUNCIONALES DEL SISTEMA

Para el diseño del "vendedor electrónico", se plantean los siguientes módulos funcionales:

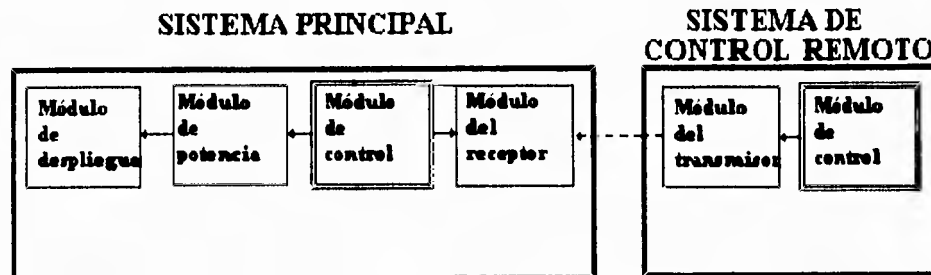
SISTEMA PRINCIPAL

- Módulo de control
- Módulo de potencia
- Módulo de despliegue ó de presentación de mensajes (pantalla)
- Módulo del receptor de datos

SISTEMA DE CONTROL REMOTO

- Módulo del transmisor de datos
- Módulo de control

El siguiente diagrama a bloques, ilustra la forma en que interactúan cada uno de los bloques entre sí y con el sistema:



Módulo de control.- este módulo es el encargado de controlar a todos los demás dispositivos. La lógica a utilizar depende de los requerimientos del sistema. Una de las características de este módulo, es que se requiere que su diseño sea pequeño y económico. Debido al desarrollo de la tecnología en los últimos años, la utilización de un microprocesador ó microcontrolador, representa un ahorro sustancial de espacio. Además, se tiene el conocimiento de este tipo de tecnología, y se ha determinado su utilización en el diseño. Las ventajas que representa la selección de esta tecnología a utilizar, son las siguientes:

- Bajo consumo de energía, debido a la gran escala de integración del dispositivo comparado con circuitos lógicos simples.
- Gran capacidad de procesamiento.
- Facilidad de programación.
- Reducción de espacio y en consecuencia de costos.

- Aplicación de tecnología de punta en sistemas electrónicos de control.

Módulo de potencia.- El módulo de potencia se plantea como una interfase que maneja la potencia demandada por el módulo de despliegue ó presentación de los mensajes.

En este caso se plantea utilizar circuitos lógicos integrados especialmente diseñados para manejar la potencia (driver's de potencia), esto motivado por los requerimientos de aprovechamiento de espacio principalmente.

Los driver's de potencia integrados, deben cumplir con los parámetros requeridos de tiempo de respuesta ó velocidad de respuesta. Como complemento de los driver's de potencia se ha planteado la utilización de fet's de potencia para el multiplexado de las señales que controlarán el encendido de los mensajes por presentar. Los fet's tienen una mayor capacidad de manejo de corriente y pueden adaptarse fácilmente a la interfase de potencia.

Módulo de despliegue.- Este módulo tiene como finalidad presentar un letrero ó mensaje que sea atractivo para el usuario.

Es posible utilizar dos tipos de generadores de luz visible; estos son: pequeñas bombillas incandescentes y variedades de diodos emisores de luz (led's).

Se ha decidido la utilización de led's por presentar la siguientes ventajas sobre las bombillas incandescentes:

- Emisor de estado sólido , lo cual implica un tamaño más pequeño.
- Funcionamiento relativamente en frío, en comparación con las bombillas incandescentes.
- Vida útil muy larga, del orden de 100 000 a 1 000 000 de horas [1.1].
- Confinamiento geométrico de la luz emitida, lo cual no es posible en una bombilla incandescente de una manera sencilla y económica.

- La radiación emitida es casi monocromática, es decir, que el espectro de la luz puede someterse a un rango específico del espectro total de la luz visible, en este caso, una bombilla incandescente emite radiación en un amplio espectro de la luz. Esta ventaja se refleja en el hecho de que existen led's que emiten luz verde, amarilla y roja, además de los led's bicolor, sin necesidad de utilizar algún filtro de luz para darle un color especial, como se hace con las bombillas incandescentes.

Módulo del receptor y módulo del transmisor de datos.- Para la transmisión de datos se va a utilizar luz infrarroja. Esto se decidió en base a que el diseño resulte de bajo volumen y costo, ya que con un solo control remoto se pueden programar varios "vendedores electrónicos", además de introducirnos a la tecnología sobre luz infrarroja.

Los led's emisores de luz infrarroja tiene una gran capacidad de modulación. No solo es posible, sino fácil, modular el flujo de la luz emitida de modo proporcional tanto a la intensidad de la señal de control, como a las frecuencias; que pueden llegar al orden de los gigahertz. Estas características resultan adecuadas y ventajosas, sobre otras formas de transmisión de datos a control remoto inalámbrico; como pueden ser, la radiofrecuencia ó, sistemas más complejos en donde se requiere la modulación. Estos últimos sistemas, requieren de una mayor complejidad en el diseño, además de la utilización de antenas para transmisión y recepción de datos. Las antenas no son necesarias en la transmisión de datos mediante un haz de luz infrarroja.

1.3 METODOLOGIA UTILIZADA EN EL DISEÑO DEL SISTEMA

El éxito del diseño recae principalmente en la metodología utilizada para este fin, ya que nos permite desarrollar el sistema por etapas sin que se pierdan los objetivos planteados en un principio.

Existen varias técnicas ó métodos de diseño de sistemas digitales que se apegan a los principios básicos del diseño, entre ellas está el método "Top-down" y el estructurado.

Además de utilizar un método de diseño, debemos cumplir con los principios fundamentales de un diseño, los cuales son.

MODULARIDAD.- Es la subdivisión del sistema en módulos funcionales, que permitan un manejo más sencillo y a su vez una mayor eficiencia en el mantenimiento del sistema, normalmente no considerado en el diseño de sistemas no profesionales.

REGULARIDAD.- Cada módulo diseñado deberá tener características semejantes que permitan mayor agilidad en el proceso de diseño.

CONECTIVIDAD.- Se refiere al acoplamiento idóneo entre cada uno de los módulos, tanto en señales, como físicamente.

LOCALIDAD.- Se refiere a la relación del sistema ó módulos del sistema con el medio en el cual se va a operar, es decir, se deben tomar en cuenta los agentes externos que puedan afectar al sistema, como por ejemplo; humedad, radiación, temperatura, etc.

Para el diseño del sistema propuesto, se decidió utilizar la técnica de diseño conocida como "top-down" para sistemas digitales, mostrada en la figura 1.1.

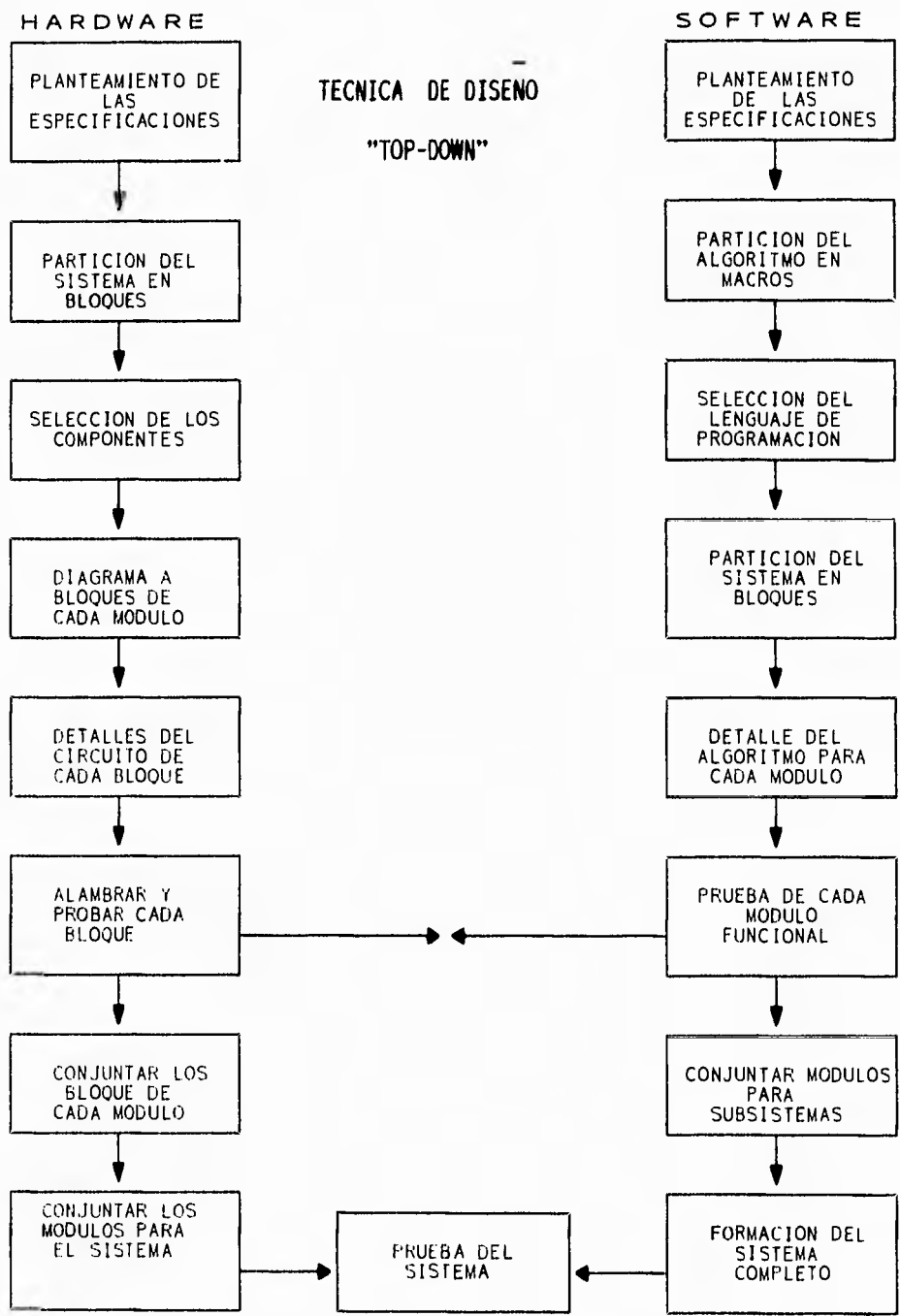


Figura 1.1. Tecnica de diseno "Top-Down" para sistemas digitales.

Basándonos en la teoría de diseño propuesta, el diagrama de flujo a utilizar queda como se muestra en la figura 1.2.

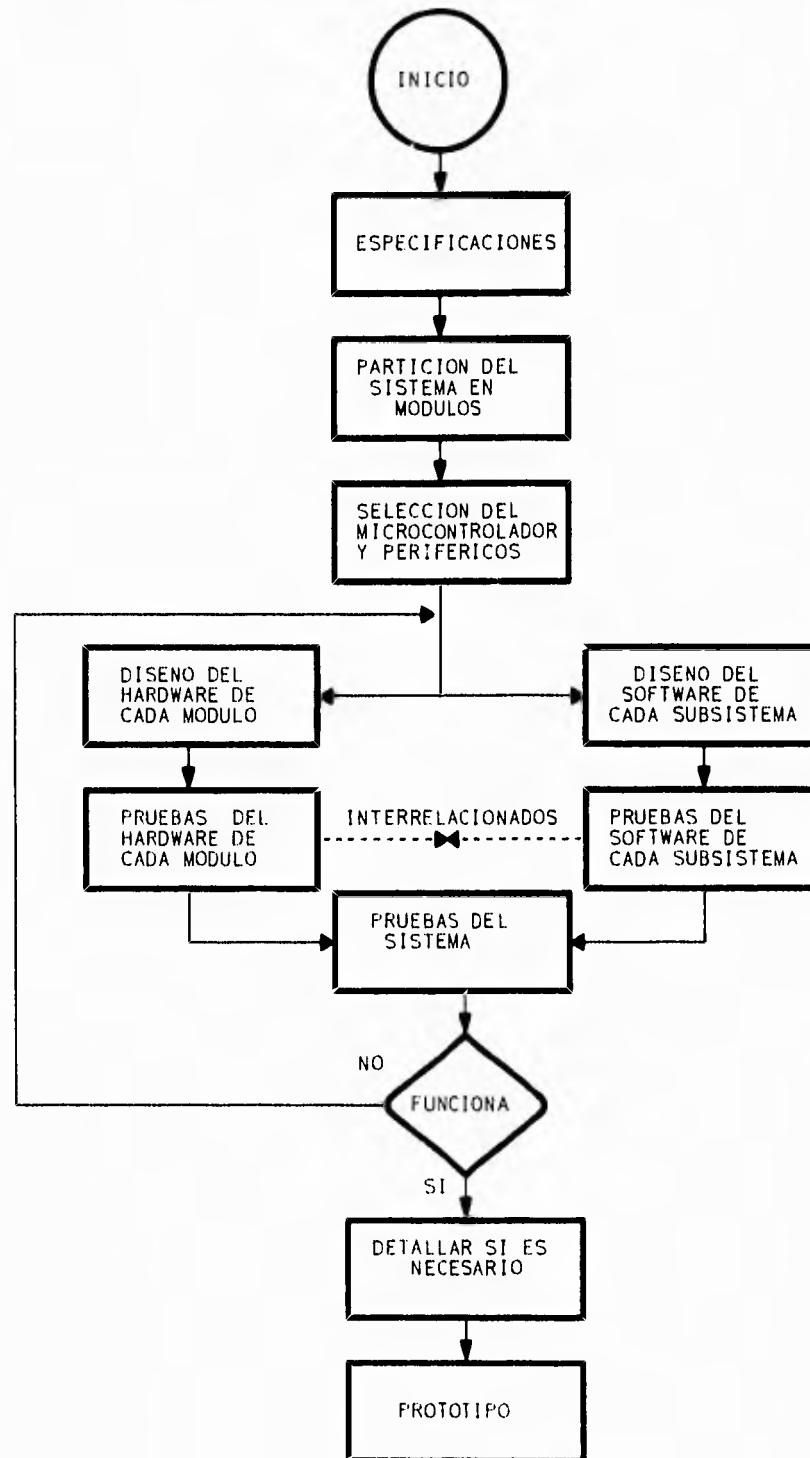


Figura 1.2. Diagrama de flujo del diseño del sistema.

Las especificaciones del sistema son las que nos dan la pauta inicial. Desde luego, el objetivo planteado considera que el sistema es realizable.

Una vez que se ha dividido el sistema en módulos, se procede a la selección de la familia de componentes a utilizar, dando prioridad a los componentes que se pueden conseguir en el mercado nacional, lo cual no impide que se puedan importar algunos ó todos los componentes si así lo requiere el sistema.

En el diseño de cada uno de los módulos, aunque separado el hardware del software, no debe perderse la interrelación entre cada uno de ellos. Una vez concluido este trabajo, se procede a las pruebas de cada módulo y finalmente del sistema. En caso de ocurrir alguna falla, se deberá analizar cada módulo hasta encontrar la solución al problema, y finalmente llegar al prototipo.

CAPITULO 2

LUZ INFRARROJA

2.1 INTRODUCCION

La aparición casi simultánea del LED y el láser a principios de la década de 1960 y más tarde de la fibra óptica, trajo consigo una "revolución" optoelectrónica en el ámbito de los medios de información, automatización, sistemas de seguridad, etc.

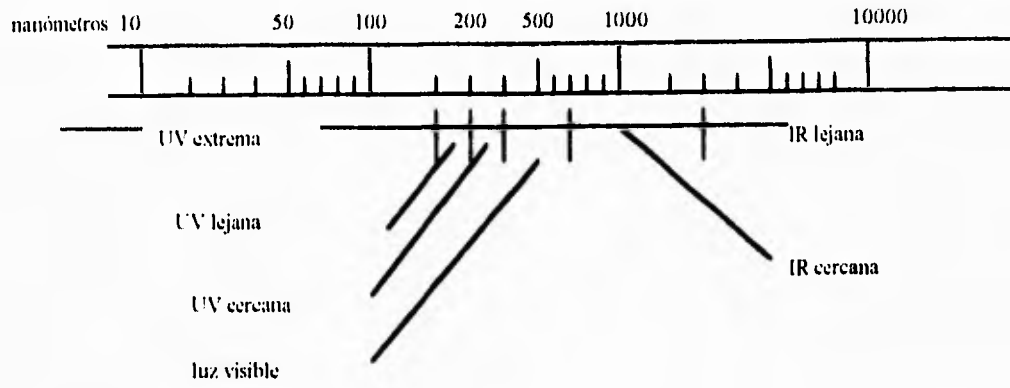
La aplicación de la luz visible ó invisible en la ingeniería ha cobrado una gran importancia en los últimos años, y cada vez se obtienen nuevas aplicaciones de la misma.

Las ondas electromagnéticas contienen y transportan la energía luminosa. Al igual que las ondas de radio, la luz consiste en oscilaciones electromagnéticas armónicas, o dicho de otra forma la luz es una forma de energía radiante. Por definición el espectro luminoso está comprendido entre 10 nm y 10^6 nm (1 mm), aunque existe una clasificación que toma como parámetro la longitud de onda y la respuesta del ojo humano a este espectro luminoso, como sigue.

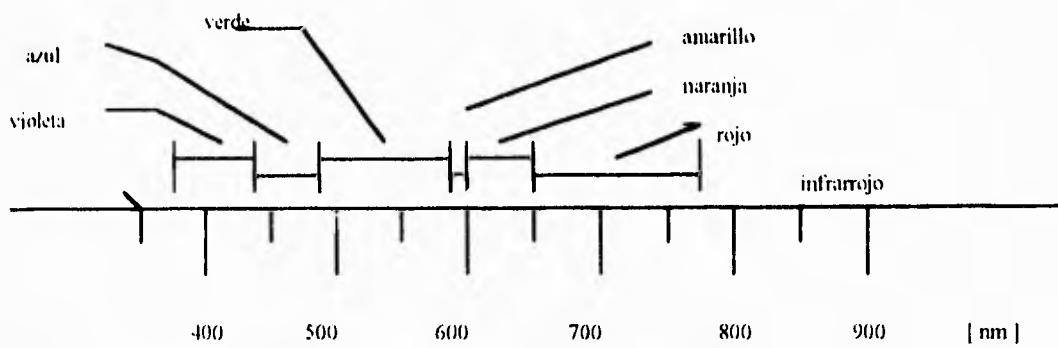
Se considera como luz visible a la comprendida en el espectro de 380 a 780 nm. La franja comprendida entre 10 nm y 380 nm se conoce como radiación ultravioleta ó luz ultravioleta, en tanto que la franja del espectro entre 780 nm y 10^6 nm se conoce como radiación infrarroja ó luz infrarroja.

Dentro de la banda de luz infrarroja, a la porción entre 780 nm y 3000 nm se le llama algunas veces IR cercana y a la parte restante (de $3\mu\text{m}$ a $1000\mu\text{m}$) IR lejana.

La figura 2.1 muestra el espectro de la luz y sus diferentes divisiones, así como una ampliación de la luz visible y la longitud de onda para los diferentes colores.



(a). Espectro de la luz.



(b) . El espectro de la luz visible.

Figura 2.1 .Espectro de la luz.

2.2 CARACTERISTICAS DE LA LUZ

Las características de la luz son comunmente mostradas en términos de la longitud de onda por la velocidad de la luz en el vacío, de la siguiente forma [2.1]:

$$\nu = \frac{2.999,793 \times 10^{10} \text{ cm/s}}{\lambda} = \frac{3 \times 10^{10} \text{ cm/s}}{\lambda}$$

donde ,

ν = frecuencia de la luz en cm

λ = longitud de onda de la luz en centímetros

El número de ondas es la relación recíproca de la longitud de onda en cm, de donde el número de ondas se expresa en 1/cm.

La energía del fotón se relaciona con la frecuencia de la luz por la constante " h " de Plank de acuerdo a la ecuación[2.1] :

$$\epsilon_p = h\nu$$

donde : ϵ_p = energía del fotón, J

(1 electrón-volt = 1.6022×10^{-19} Joules)

h = constante de plank, 6.626196×10^{-34} J·s

ν = frecuencia de radiación en Hz.

2.3 UNION P-N, GENERADOR Y RECEPTOR DE FOTONES

Todas las conversiones de señales ópticas en eléctricas, y la mayoría de las conversiones eléctricas a ópticas, se realizan mediante la unión P-N de un material semiconductor .

El tipo P ó N de un material semiconductor se decide por la adición de impurezas en clase y proporción adecuadas, para ello se debe cumplir las siguientes características :

- 1) El material debe ser cristalino.
- 2) Debe existir continuidad reticular a lo largo y por encima de la unión.
- 3) Las impurezas (P-receptor y N-donador) , ó más bién sus átomos se adaptan a la estructura de la red cristalina regular .
- 4) Cuando se produce la conducción, las impurezas permanecen inmóviles. Solo se mueven sus electrones (ó huecos) exteriores, que se convierten en portadores.

La gran utilidad de la unión P-N se deriva del hecho de que su barrera de potencial puede ser rebajada ó aumentada, con lo que actúa como reguladora del flujo de corriente que la atraviesa, característica que es aprovechada en electroóptica gracias a la posibilidad de controlar el flujo de corriente por medio de la luz, y de obtener generación de luz a través de flujos de corriente.

2.4 REGIONES DE OPERACION DE LA UNION P-N

La figura 2.2 muestra las regiones de operación de la unión P-N a modo de fotorreceptores, emisores de luz ó bién en su forma de rectificadores. En el primer cuadrante, la recombinación de portadores mayoritarios produce radiaciones en este material. Cuando un electrón inyectado ocupa un hueco (ó un hueco inyectado captura un electrón), se emite un fotón, el cual es el resultado de una conversión de energía de un eV (1 electrón volt [eV] = 1.6022×10^{-19} Joules) individual por la energía de un fotón, la avalancha de fotones constituye el flujo de luz radiante Φ . A esta región de operación corresponde dispositivos emisores de luz polarizados en forma directa, como son los led's y láser semiconductores.

En el segundo cuadrante se produce el proceso inverso al anterior ya que ahora la luz radiante incide sobre la unión P-N y genera una corriente eléctrica. Cada fotón incidente libera un electrón de enlace de valencia y lo eleva hacia la banda de conducción,

siendo absorbido en el proceso, es decir, un fotón genera un par electrón-hueco, lo cual produce una corriente eléctrica. En esta región no se polariza la unión P-N.

En el tercer cuadrante se aplica a la unión una polarización inversa externa. En comparación con la polarización de la región del segundo cuadrante, la polarización inversa ofrece ventajas en dos sentidos: incrementa la potencia de salida y ensancha la amplitud de la banda de frecuencias. A nivel molecular el proceso es el mismo que en el segundo cuadrante, la luz incidente genera pares electrón-hueco, produciendo una corriente eléctrica.

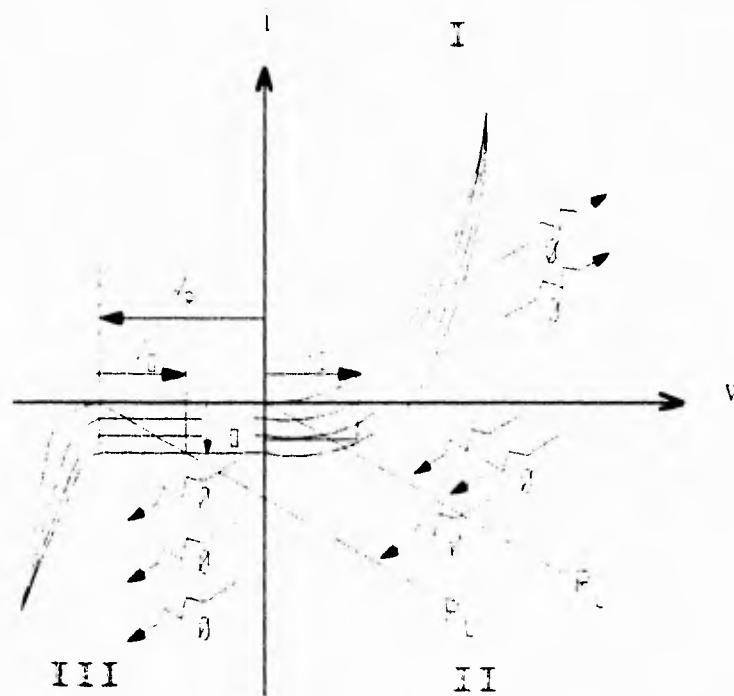


Figura 2.2. Región de operación de la unión P-N de un semiconductor.

2.5 EL LED COMO TRANSMISOR DE LUZ

El LED es una unión P-N operada en el modo de polarización directa ó que opera en la región del primer cuadrante de la gráfica i vs v , como se puede ver en la figura 2.2. El primer semiconductor empleado en los LED's es el arseniuro de galio (GaAs), al que se suman además el fósforo (P) y el aluminio (Al): el primero como parte integrante del compuesto GaP ó como una sustancia asociada al GaAs para obtener un cambio de

longitud de onda, y el segundo en forma de aditivo en los denominados dispositivos de heterounión. Una heterounión es una unión entre dos regiones de un semiconductor, normalmente (aunque no siempre) de igual polaridad ya sea N ó P, con distintos intervalos de energía [2.3].

Los diodos luminiscentes sobre base de arseniuro de galio emiten en la banda próxima del espectro infrarrojo. Los diodos rápidos de GaAs pueden emplearse también en sistemas ópticos de transmisión de mensajes por fibra óptica hasta velocidades binarias del orden de los MHz. Como receptores pueden utilizarse fotodetectores de silicio, cuya sensibilidad se adapta bien al espectro de emisión de los diodos de GaAs.

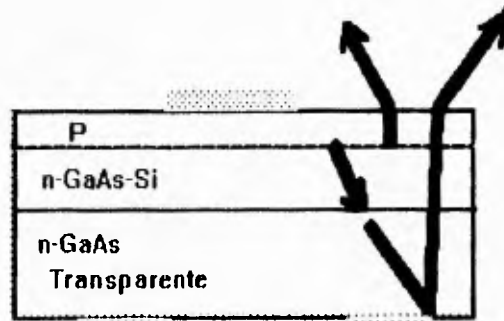
Para la transmisión de datos por fibra óptica se dispone de IRED's de alta potencia y de diodos láser de semiconductor (LD). Estos últimos se caracterizan por la posibilidad de modular hasta la banda de los GHz.

Los diodos luminescentes infrarrojos se basan en el GaAs, cuya separación entre bandas se sitúa en 1.43 eV , lo cual corresponde a una emisión de 900 nm aproximadamente. Con ellos se pueden lograr mayores rendimientos cuánticos externos que los logrados en los diodos luminiscentes para el espectro visible.

En la figura 2.3 se representa la estructura esquemática del cuerpo de un IRED de GaAs con impurezas de silicio. La capa activa, de gran perfección cristalina, puede recubrir un sustrato de GaAs utilizando la separación epitáctica de la mezcla fundida (LPE= liquid phase epitaxy). Epitaxia en fase líquida es el proceso por medio del cual se fabrican las capas activas de los diodos luminiscentes, y se lleva a cabo a temperaturas muy por debajo del punto de fusión del material semiconductor, con el fin de obtener recombinaciones radiantes efectivas como resultado de una alta perfección cristalina en el material semiconductor [2.4].

Las impurezas de silicio mantienen la emisión en 950 nm, y por consiguiente, tan por debajo del borde de la banda que la radiación generada en el cuerpo del diodo es poco absorbida. Una parte de la radiación abandona el cuerpo del diodo directamente por la superficie contigua. Pero también la radiación emitida en el sentido del sustrato es aprovechable, ya que la cara posterior del diodo se acondiciona para que sirva de superficie reflectora, como se ilustra en la figura 2.3.

IR (950nm)



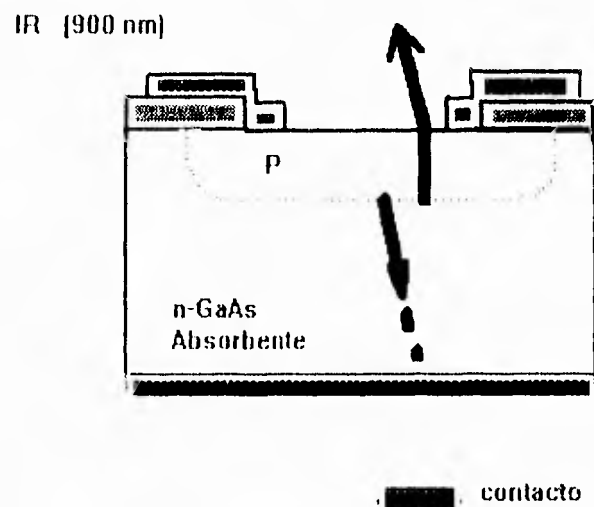
Epitaxia: LPE
Transición pn: LPE
Tecnología: IRED de GaAs
Tiempo de conmutación típico: 1000 ns

Figura 2.3. IRED de GaAs con impurezas de silicio.

Los IRED de GaAs se montan en cápsulas de plástico o en cápsulas de vidrio-metálicas. La característica de emisión es esencial, ya que en base a ella se selecciona el receptor adecuado y su posible aplicación. Si los diodos luminiscentes se utilizan dispuestos sin lentes ópticos, el ángulo sólido formado por la radiación ha de ser pequeño. Para la utilización de sistemas ópticos de lentes, es necesario que la radiación emerga por una ventana plana. Se llama ventana, a una bóveda externa añadida al semiconductor y es de naturaleza resinosa.

El perfeccionamiento de los IRED por epitaxia líquida con impurezas de silicio amplía el espectro de longitudes de onda. Esto trae como resultado la posibilidad de generar longitudes de onda en el intervalo entre 850 y 900 nm y ajustar los diodos emisores al máximo de sensibilidad de los detectores. Con detectores de sensibilidad selectiva se podría construir, por consiguiente, sistemas de transmisión con dos ó más canales ópticos separados.

Para aplicaciones en donde se requieren breves tiempos de respuesta, existen diodos especialmente diseñados para su inclusión en sistemas de transmisión de señales por medio de fibra óptica, que requieren velocidades de transmisión altas. En la figura 2-4 se ilustra en forma esquemática la estructura del diodo IRED GaAs difundido con zinc (Zn) para este tipo de aplicaciones.



Epitaxia: ———
 transición pn: Difusión
 Tecnología: IRED de GaAs difundido
 Tiempo de
 conmutación típico: 50 ns

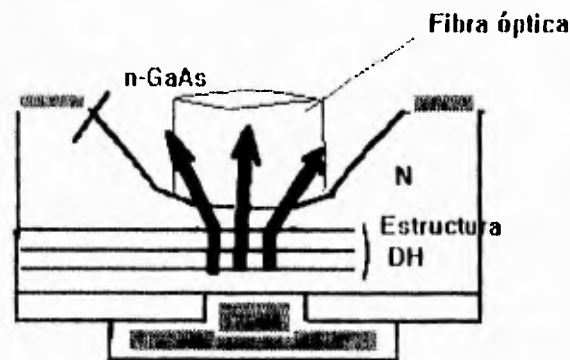
Figura 2-4 IRED de GaAs difundido con Zinc.

Para aquellas aplicaciones en que se requiere mayor capacidad de modulación y mayor potencia radiante, existen IRED de gran potencia y diodos láser.

Los IRED de gran densidad de radiación se basan, como el diodo láser de GaAsAl, en una estructura heterogénea de GaAs y GaAlAs. Se trata de varias capas semiconductoras superpuestas de distinta composición y de diferentes separaciones entre bandas. En la estructura heterogénea doble (estructura DH), una zona activa de pequeño espesor (0.2 a 1 μm) se encierra entre dos capas de gran separación entre bandas. Con esta disposición, los portadores inyectados quedan atrapados a una zona angosta mediante barreras de potencial.

La estructura heterogénea doble (estructura DH) de un IRED presenta, frente a la estructura homogénea sencilla, una elevación sustancial del rendimiento cuántico para la recombinación radiante y /o aumento de la velocidad del tiempo de conmutación. Además la longitud de onda puede variarse entre 820 y 880 nm con el contenido de Al de la zona activa.

Los IRED de gran potencia radiante pueden diseñarse como emisores superficiales ó también como emisores de borde como el láser. Los IRED del tipo "burrus" son emisores superficiales y poseen la estructura DH descrita. "Burrus" se refiere a la tecnología empleada en la fabricación de la capa superior del IRED (N), la cual se obtiene mediante un proceso de corrosión, facilitando la eficacia del acoplamiento de la luz hacia la fibra óptica [2.5]. La figura 2.5 muestra la estructura de un IRED de estas características.



Epitaxia : LPE (heterogéneo)
 transición pn : LPE (heterogéneo)
 tecnología : tipo burrus
 tiempo de conmutación típico: 15 ns

Figura 2.5 IRED de GaAs tipo "burrus".

2.6 EL FOTODIODO COMO RECEPTOR DE LUZ

Un fotodiodo consiste esencialmente en una unión P-N operada en el segundo ó tercer cuadrante de la gráfica de la figura 2.2. Un fotodiodo puede obtenerse mediante arseniuro de galio ó silicio, así como el germanio y otros materiales, todos ellos de bajo intervalo entre bandas.

El GaAs es el semiconductor que se emplea principalmente para la fabricación de fotorreceptores. Dentro de los receptores de unión fotosensible existe una división básica entre detectores y generadores. Las principales diferencias existentes entre ellos se refieren a su tamaño, velocidad de respuesta, corriente de fuga, ruido y eficacia cuántica. Para ambos grupos se emplean, como semiconductores básicos, el silicio y el arseniuro de galio. En el caso de los detectores de señal, se pretende buscar bajos índices de ruido, alta velocidad de respuesta, pequeña corriente de fuga y buena responsividad, antes que una eficacia de conversión de energía como sería en el caso de las células solares. Se denomina responsividad ó sensibilidad radiante, considerando la dependencia que de la longitud de onda posee la energía del fotón, a la capacidad del semiconductor de convertir la potencia radiante incidente en él, en corriente. Se mide en $\mu\text{A}/\mu\text{W}$ y se representa por **R**, por lo tanto R es función de la longitud de onda, dependencia que está definida por la curva de respuesta espectral del dispositivo.

Por otro lado, los generadores de potencia están relacionados con las áreas sensibles (centímetros cuadrados) y eficacias de conversión de energía, principalmente. A este tipo de receptores de unión fotosensible se les conoce con el nombre de células solares.

2.6.1 FOTODIODO PN

Los fotodiodos pueden experimentar una adaptación óptima, a cada aplicación que se desee, mediante la elección conveniente de su modo de funcionamiento y de una estructura interna adecuada. En el fotodiodo PN, la radiación incidente perpendicular a la zona P⁺ se absorbe por lo general en el área casi neutra p y n, debido a la estrechez de la región de llenado ó también conocida como zona de carga espacial (RLZ); es decir, la corriente fotoeléctrica consiste sobre todo en una corriente de difusión. Como la difusión de los portadores tiene lugar de forma relativamente lenta, los diodos PN suelen utilizarse

allí donde importan menos las grandes velocidades que las corrientes de oscuridad baja. Los elementos solares pertenecen al grupo de los fotodiodos PN. La figura 2.6 muestra la estructura esquemática de un fotodiodo PN.

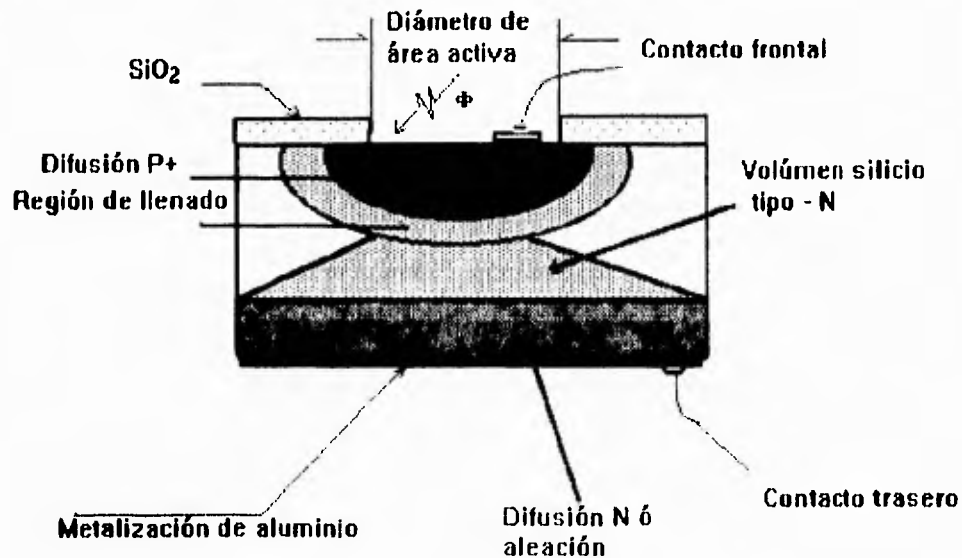


Figura 2.6. Estructura esquemática de un fotodiodo PN.

2.6.2 FOTODIODO PIN

En este tipo de fotodiodo la mayor parte de la luz se absorbe en la RLZ, en donde se introduce un estrato libre de contaminación, es decir, sin impurezas n ó p; esto trae como consecuencia el aumento de la velocidad del dispositivo mediante el acortamiento del tiempo de recorrido de los portadores creados por los fotones y la reducción de la capacitancia de la unión Cd; reduce la corriente de fuga y el ruido; y favorece la linealidad del dispositivo. El fotodiodo PIN es el más utilizado en el campo de los receptores. La figura 2.7 muestra la estructura de un fotodiodo PIN.

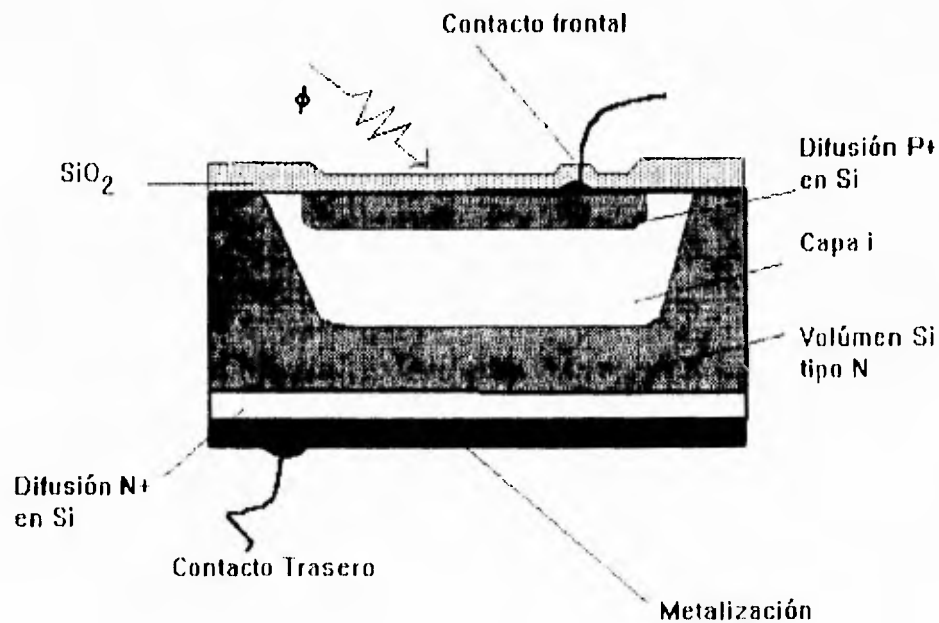


Figura 2.7. Estructura esquemática de un fotodiodo PIN.

Tanto el fotodiodo PN como el PIN pueden operarse en el modo de segundo ó tercer cuadrante de la curva de la región de operación del semiconductor. Si se opera en el segundo cuadrante se dice que está en el modo fotovoltaico, en tanto que operado en el modo del tercer cuadrante se conoce como operación fotoconduktiva. Al comparar ambos modos de operación, el modo fotoconduktivo ofrece las ventajas de alta velocidad de respuesta, estabilidad, mayor rango dinámico de operación y bajo coeficiente de temperatura entre otras. Una comparación de la respuesta relativa contra la longitud de onda del fotodiodo PN y el PIN y de la capacitancia de la unión se muestra en la figura 2.8. Al disminuir la capacitancia en el fotodiodo PIN la velocidad de respuesta aumenta.

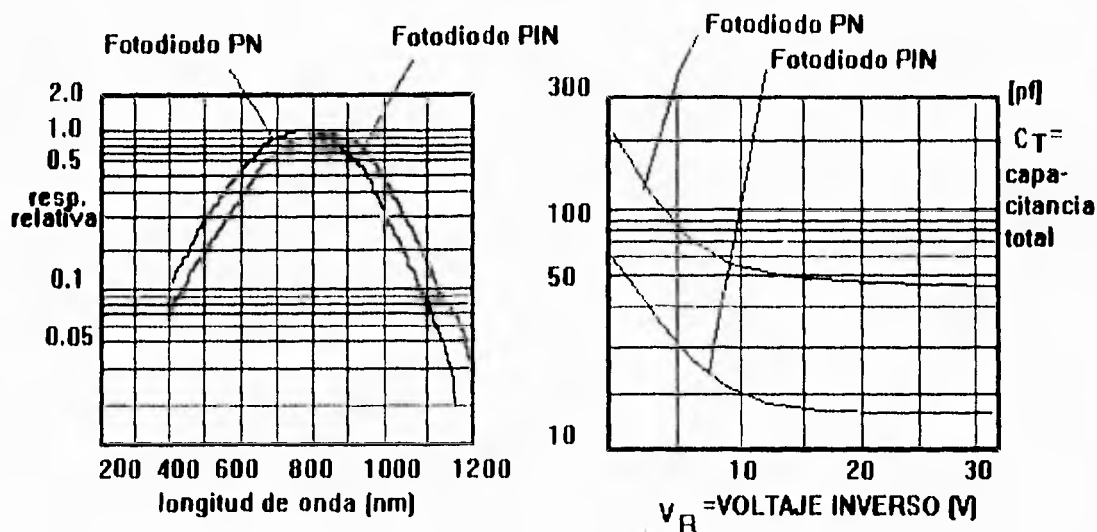


Figura 2.8. Respuesta relativa en función de la capacitancia, del fotodiodo PN y del PIN.

2.6.3 FOTODIODO SCHOTTKY

Este tipo de fotodiodo se obtiene de remplazar la capa P+ del fotodiodo PN de difusión por una delgada capa de oro, como se muestra en figura 2.9.

La capa de oro depositada por evaporación es tan delgada (del orden de 0.012 μm) que una gran cantidad de luz es capaz de atravesarla. La proximidad de la capa barrera al plano de incidencia provoca fotones de alta energía que son absorbidos en ella. Los portadores libres generados pueden así ser rápidamente barridos por el campo superior. Estos dispositivos son sensibles y de alta velocidad de respuesta a colores como el azul y el violeta, pero su responsividad se ve reducida en longitudes de onda mayores como la zona roja e infrarroja.

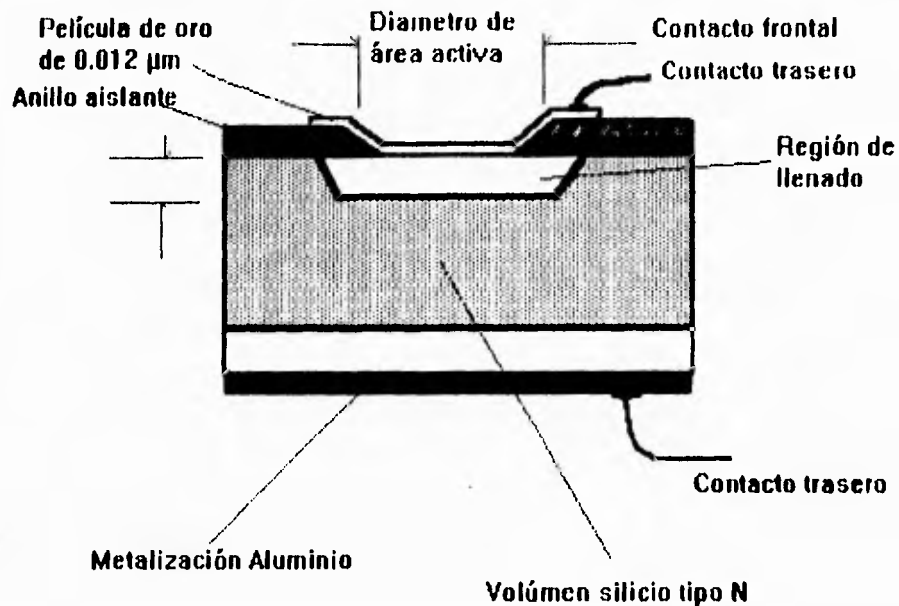


Figura 2.9. Estructura esquemática del fotodiodo schottky.

2.6.4 FOTOTRANSISTORES

Un fototransistor equivale a un fotodiodo con un transistor conectado a continuación como amplificador. La fotocorriente interna i_f equivale a la corriente de base del transistor por lo que es amplificada β veces. El fototransistor consiste normalmente en un dispositivo de doble terminal, aunque existen algunos con 3 terminales que permiten el acceso a la base.

Los fototransistores poseen una gran responsividad aunque muestran pobre linealidad, sensibilidad a la temperatura y son intrínsecamente lentos. En la figura 2.10 se puede apreciar la estructura esquemática de un fototransistor, la cual es muy semejante a la de un transistor normal. El flujo incidente es recolectado en la base del transistor y amplificado β veces.

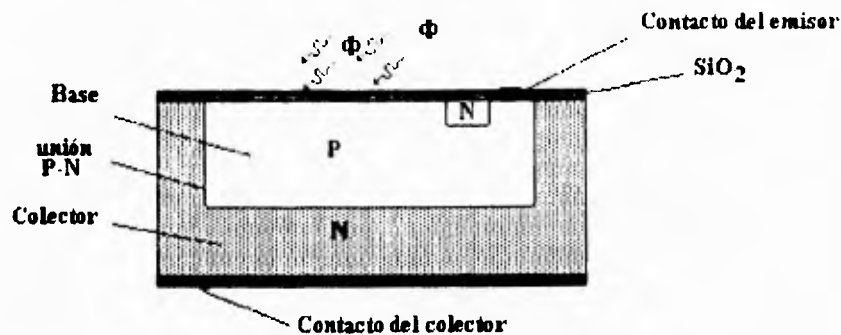


Figura 2.10. Representación esquemática de un fototransistor.

Además del fototransistor existen el fotodarlington y el fotofet. El fotodarlington es como su nombre lo dice, un circuito darlington convertido en fotosensible al exponer a la luz una parte de su estructura. La ganancia del darlington es alta y por lo tanto su responsividad también lo es, no obstante se presentan problemas en la corriente de fuga, la sensibilidad a la temperatura y a la respuesta de frecuencia por lo que es menos utilizado que el fototransistor convencional. En el caso del fotofet, en la unión puerta-canal del dispositivo, se permite la entrada de luz. La corriente de puerta generada fotoeléctricamente aumenta la corriente de fuga de puerta generada térmicamente y se traduce en un voltaje puerta-fuente. La característica más sobresaliente del fotofet es que su sensibilidad luminosa es ajustable eléctricamente en un gran rango y sin pérdida de linealidad, además de tener buenas propiedades de conmutación y ancho de banda por ganancia alta, entre otras ventajas.

2.7 SENSIBILIDAD ESPECTRAL

En la figura 2.11 se muestra la respuesta espectral relativa del ojo humano, del GaAs, del germanio y del silicio. Los fotodiodos cubren el intervalo de longitudes de onda desde 300 a 1800 nm aproximadamente. Como puede verse el silicio abarca la zona del espectro visible y además el espectro infrarrojo cercano encerrando a la curva de respuesta del GaAs que normalmente se utiliza en los IRED, es por ello que el silicio se

utiliza bastante en los fotodetectores, principalmente como detectores ópticos fotovoltaicos en la región visible del espectro.

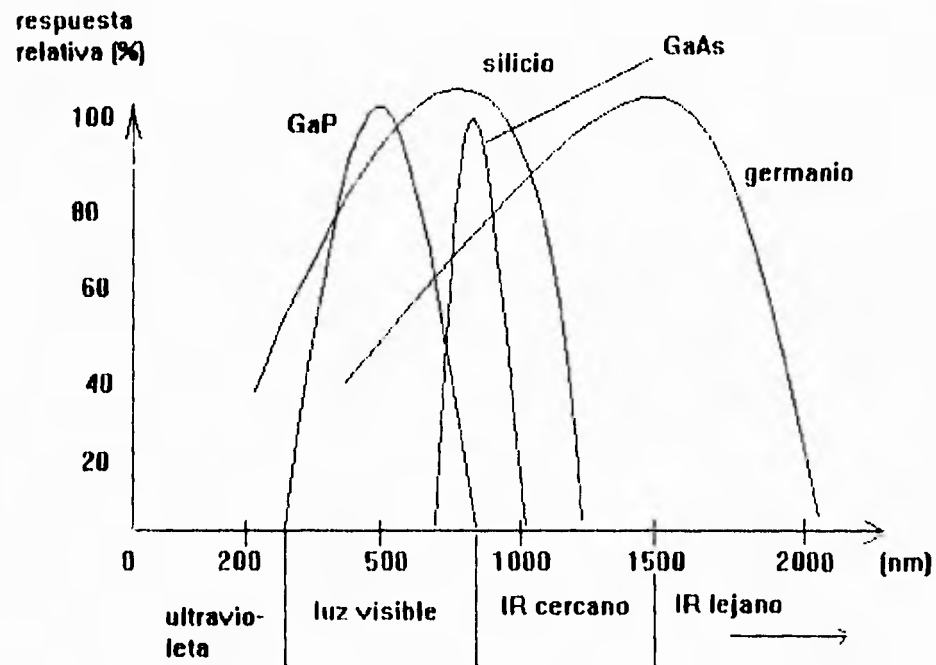


Figura 2.11. Respuesta espectral relativa del ojo humano.

Para la detección óptica fotoconduktiva en la región del espectro visible se utilizan el sulfato de cadmio (CdS) y cadmio-selenio (CdSe) entre otros. Los sensores fotoconduktivos del sulfato de plomo (PbS) y plomo-selenio (PbSe) son usados como detectores en el espectro infrarrojo cercano.

Otros detectores fotoconduktivos utilizados en la región infrarroja son el germanio dopado con oro (GeAu) con una respuesta espectral de 1 a 9 μm (IR lejano) y el germanio dopado con mercurio (GeHg) con respuesta espectral de 4 a 14 μm , en tanto que detectores de mercurio, cadmio con telurio (HgCdTe) tienen respuesta de 2 a 20 μm según la combinación de preparación de los mismos.

2.8 TRANSMISION DE DATOS

Para transmisión de datos a distancias relativamente cortas (menores a 10 m), los IRED's usados comunmente no usan lentes para enfocar ó concentrar la energía radiada, pero en aplicaciones donde las distancias son grandes, es necesario el uso de lentes de enfoque que concentren la energía luminosa, para poder transmitir los datos.

Para la transmisión de datos a través de IRED's se utiliza una operación pulsada, ya que, si la intensidad directa es muy alta, la curva intensidad contra potencia de radiación se aproxima asintóticamente a un valor límite. El intervalo de proporcionalidad se amplía, si se pasa del funcionamiento directo al funcionamiento por impulsos, el cual es recomendado, ya que además se puede codificar una gran cantidad de información si así lo requiere la aplicación. Aún en el caso de que solo se necesitara un solo código es recomendable transmitir por impulsos, como se puede apreciar en la figura 2.12 para un IRED de GaAs.

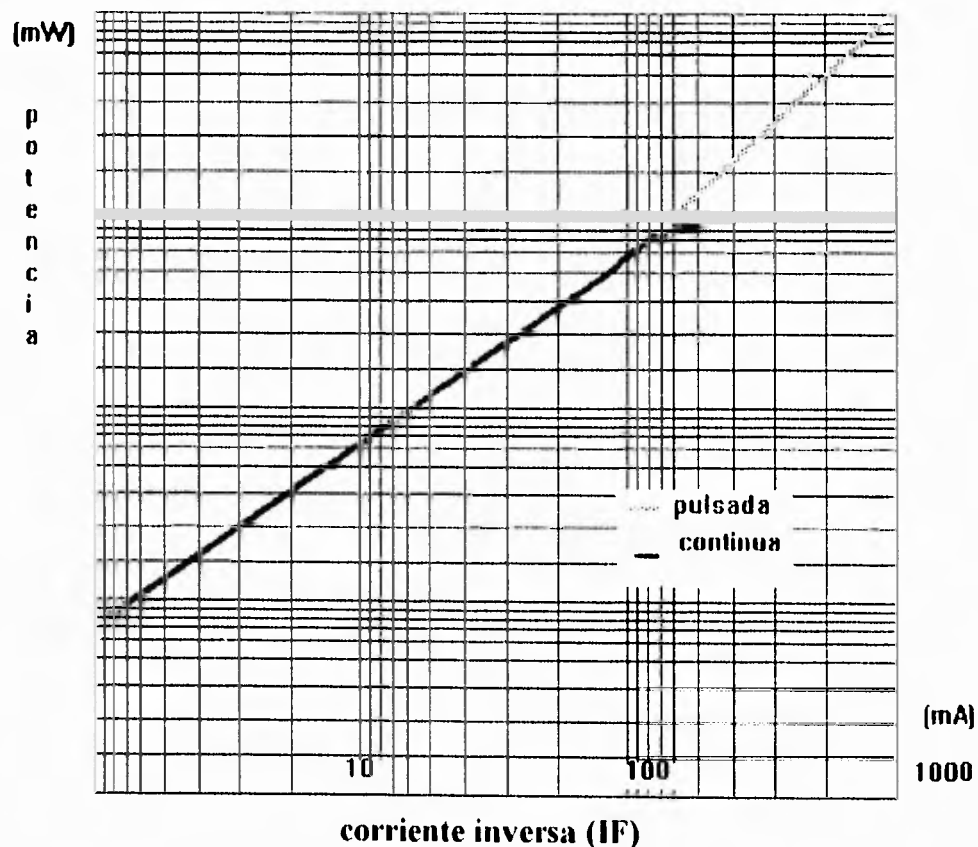


Figura 2.12. Potencia contra corriente pulsada y continua en un IRED de GaAs.

Existen diferentes métodos de codificación en la transmisión óptica de datos, el código a través de pulsos puede adoptar formas muy variadas, la tabla 2.1 muestra diferentes formas utilizadas de transmisión de datos.

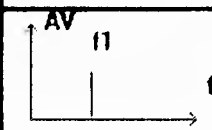
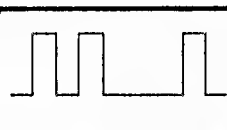
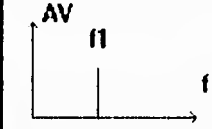
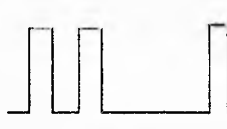
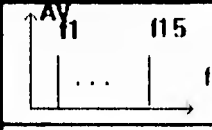

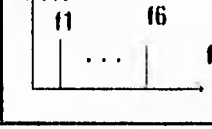
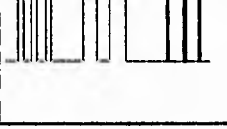
tipo de sistema	número de frec.	banda de frecuencias	señal	descripción
Pulso doble	1			El código está representado por espacio entre pulsos
intervalo de pulso	1			pequeños espacios = 1 grandes espacios = 0
multicanal	varias (ejemplo 15)			una frecuencia representa un canal
Código de frecuencias	varias (ejemplo 6)			La combinación de frecuencias transmitidas representa un dato

Tabla 2.1. Formas de transmisión de datos mediante luz infrarroja.

El sistema de comunicación mediante el uso de luz infrarroja se ilustra en el diagrama a bloques de la figura 2.13.

Como ya se ha dicho existen muy variados transmisores y receptores de luz infrarroja y de luz en general, la selección de los dispositivos depende de los requerimientos de la aplicación y es importante considerar la distancia y el ángulo entre el receptor y el transmisor. Con el uso de un lente de haz luminoso se pueden alcanzar mayores distancias de transmisión, sin embargo el ángulo de vista entre emisor y receptor se ve reducido como se ilustra en la tabla 2.2 [2.6].

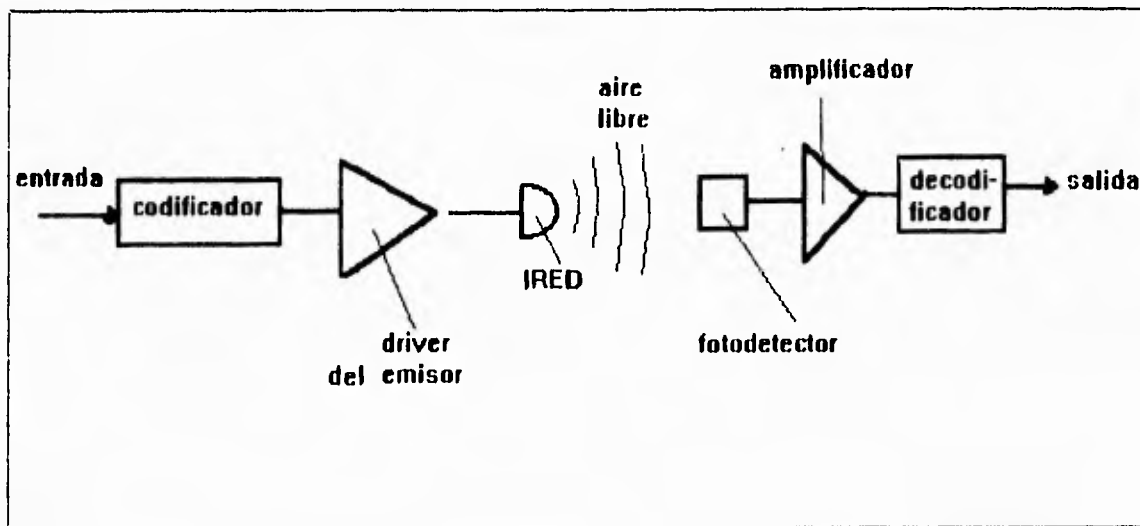
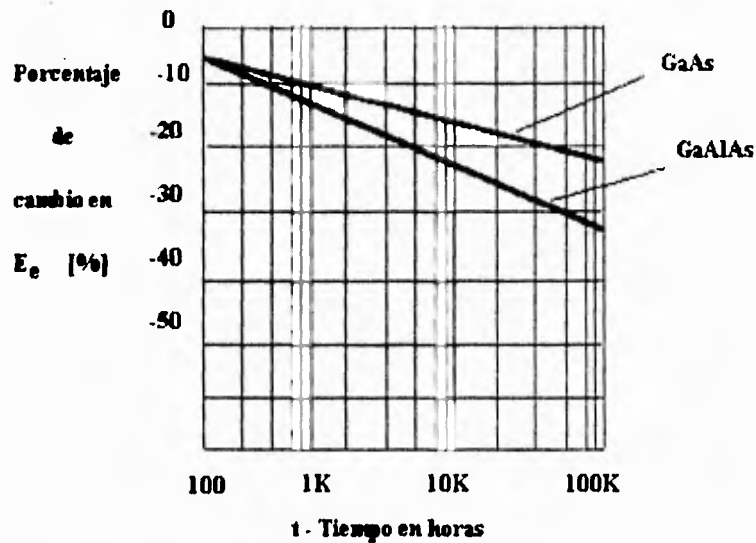


Figura 2.13. Diagrama a bloques de un sistema de transmisión de datos mediante luz infrarroja.

ANGULO DE DIVERGENCIA DEL EMISOR (GRADOS)	DISTANCIA AL RECEPTOR (METROS)
45	10
27	30
14	60
07	120
3.5	240

Tabla 2.2. Alcance de la transmisión de un IRED en función del ángulo de divergencia concentrado mediante un lente.

Las curvas de respuesta espectral y angular suministradas por el fabricante, son un parámetro de gran importancia en la selección de los dispositivos a emplear. En el mercado existe una gran variedad de diodos emisores infrarrojos los cuales son de GaAs y GaAlAs. Los IRED de GaAs se consideran menos susceptibles a la degradación en la potencia de salida que los de GaAlAs, como muestra la gráfica de la figura 2.13 [2.7].



Condiciones de prueba: $I_{F(DC)} = 100 \text{ mA}$ @ 25 grados centígrados.

Figura 2.14. Comparación de la degradación en la potencia de salida de un IRED de GaAs y de uno de GaAlAs.

En la figura 2.14, E_e es la incidencia de apertura radiante medida en miliwatts por centímetro cuadrado [2.8].

Un IRED de GaAs debe ser seleccionado en aquellas aplicaciones en donde la temperatura y la corriente de operación es alta, debido a que tiene una menor degradación en su salida. Además los IRED de GaAs requieren un voltaje de polarización más bajo que los IRED de GaAlAs y se recomienda usarlos en donde la fuente de suministro de voltaje está limitada [2.9].

Para el cálculo de la distancia entre el receptor y el emisor se debe tomar en cuenta el valor de E_e , que permite calcular la potencia incidente en el receptor mediante la siguientes expresiones [2.10]:

$$(4.a) \dots \dots \dots \text{Radio} = \frac{r_1^2}{r_2^2}$$

(4.b)..... $Potencia = E_e \times Radio \text{ [mW / cm}^2 \text{]}$

donde ,
r1= al radio de la superficie emisora del IRED
r2= a la distancia entre el receptor y el emisor
Ee= a la potencia incidente de la apertura radiante proporcionada por el fabricante en [mW /cm²].

En general los receptores pueden detectar un mínimo de $20 \times 10^{-9} \text{ W/cm}^2$ [2.11], lo cual nos da un gran margen en el diseño.

Para el caso en que la distancia entre el receptor y el transmisor es mucho mayor que las dimensiones de la superficie del IRED; es decir, $r1 \gg r2$, el fabricante considera al emisor como una fuente puntual y proporciona el valor de la potencia en mW/sr , donde sr es un estereorradián y se define como la relación que hay entre una superficie esférica a el cuadrado del radio de dicha superficie esférica [2.12], como sigue:

$$sr = \frac{A_s}{r^2}$$

donde: A_s = area de la superficie esférica
 r = radio de la superficie esférica

por lo tanto, podemos obtener la potencia incidente en el emisor, dividiendo el valor proporcionado en las hojas de especificaciones en mW/sr entre r^2 , donde r es la distancia entre el receptor y el emisor.

La correspondencia espectral entre el transmisor y el receptor debe ajustarse a una longitud de onda central. Las curvas de respuesta espectral sobrepuestas deben quedar alineadas en la longitud de onda pico especificada por el fabricante para lograr la máxima eficiencia, como se muestra en la figura 2.15.

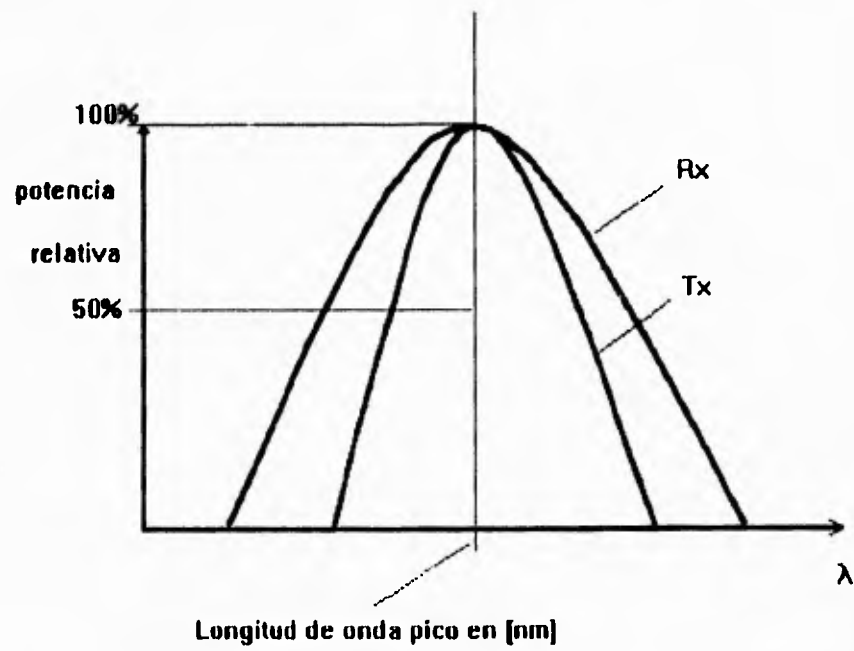


Figura 2.15. Curvas de respuesta espectral óptima para el receptor y el transmisor de un sistema mediante luz infrarroja.

CAPITULO 3

MICROCONTROLADOR DEL SISTEMA (Z8681)

3.1 INTRODUCCION

En 1976, Zilog surge dentro del mundo de los microprocesadores con la familia Z80. Con una industria estándar de arquitectura de 8 bits Zilog establece diseños para producciones específicas, eficientes y a bajo costo.

Mientras el Z80 ganó y mantuvo un fuerte soporte de clientes, una demanda inevitable para nuevas aplicaciones, en terminales inteligentes, comunicación y control especializado, produjo un acompañante necesario para una nueva tecnología.

Los investigadores de Zilog crean un microcontrolador más sofisticado con poder de cómputo disponible en un solo chip: La familia Z8.

En un abandono del tradicional acumulador standard A/B, una nueva arquitectura orientada a registros fue proyectada, implementando un diseño de registros múltiples en un solo chip, donde todos los registros funcionan como acumuladores.

La familia de los microcontroladores Zilog Z8 continúa extendiéndose con productos de alta integración para una amplia variedad de aplicaciones, tales como: productos para el consumidor, controles para la televisión, automotor y periféricos para computadoras. En la figura 3.1 se muestra la familia Z8 así como sus principales aplicaciones.

Esta familia de microcontroladores Z8 presenta versiones en ROM, ROMless y OTP (one-time-programable), todo con tecnología de superintegración. Zilog fue la pionera en este proceso que ofrece beneficios en costo/funcionamiento.

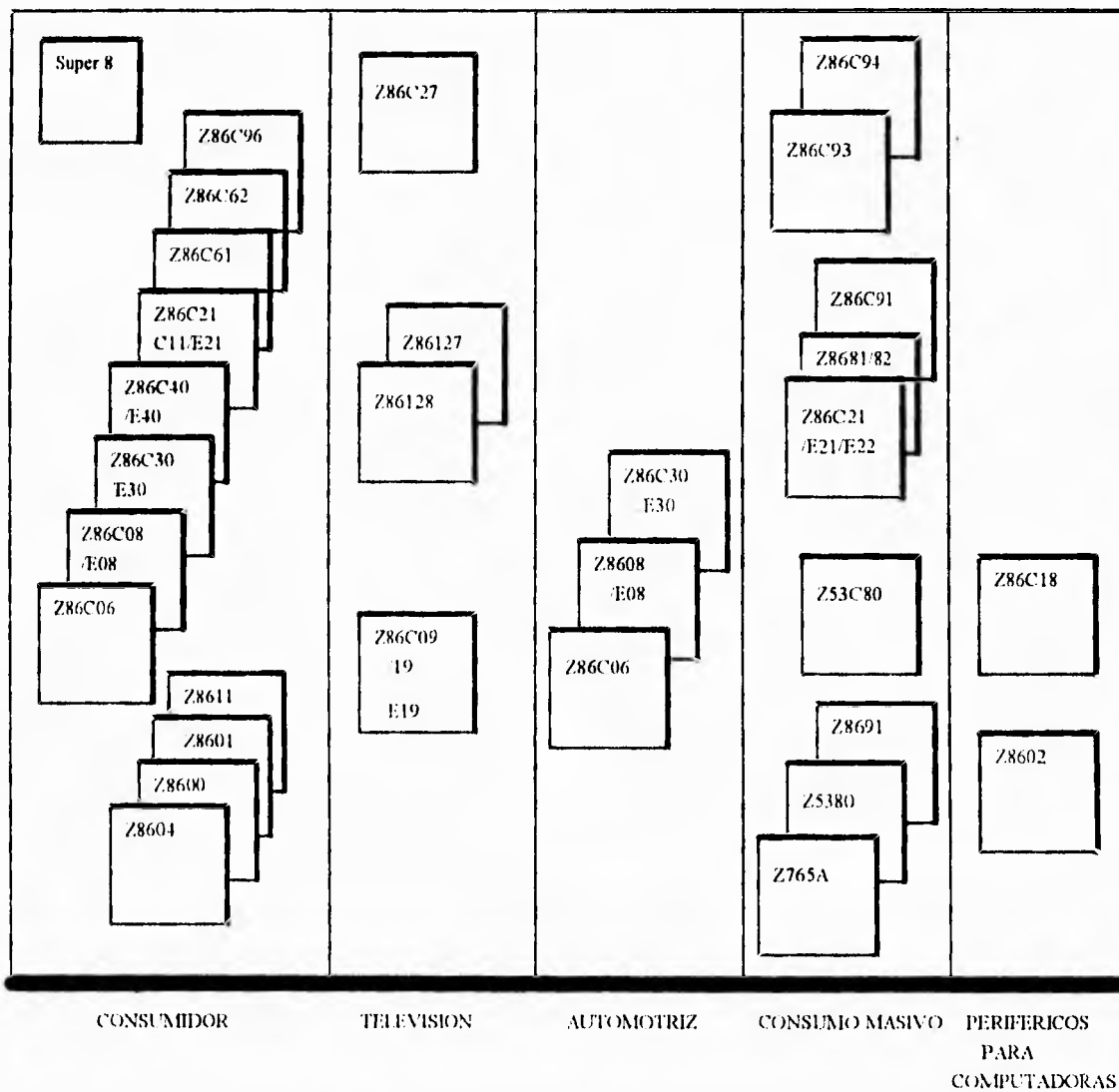


Figura 3.1 . Familia Z8 y sus principales aplicaciones.

3.2 CONSIDERACIONES PARA LA SELECCION DEL MICROCONTROLADOR

La selección del microcontrolador Z8681 se hizo en base a los siguientes parámetros:

Se contaba con la infraestructura para diseñar con la familia de zilog:

- Emulador
- Esamblador
- Simulador
- Manuales

El número de instrucciones es pequeño comparado con otros microcontroladores como la familia de los MC68HC05, MC68HC04, COP800, 8048. Se puede observar que la familia de los PIC16CXX tiene un código más pequeño que el de la familia de ZILOG, pero aún así este último debido a su número de instrucciones tan reducido se puede aprender a programar fácil y rápido. En la gráfica de la figura 3.2 se puede observar lo anterior mencionado.

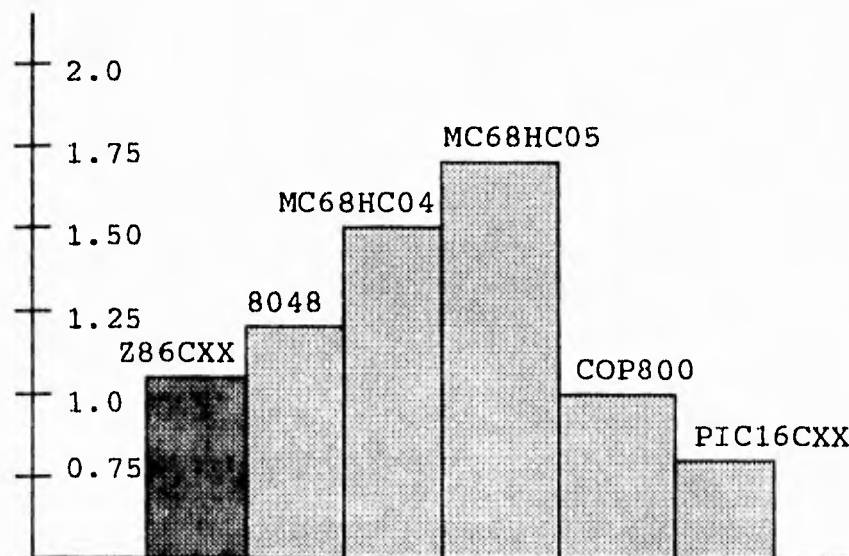


Figura 3.2. Comparación del tamaño del set de instrucciones de diferentes familias de microcontroladores.

El precio de \$4.75 dólares, es un precio relativamente barato comparado con otros microcontroladores de otras marcas. En la tabla 3.1 se hace una comparación de las principales características de los microcontroladores de la familia Zilog.

Tabla 3.1. Carta de referencia de los microcontroladores Z8.

Producto:	No. Pin.	ROM (Kbyte)	E/S	Interrupciones	UARTS	Compara- radores.	Conta- dores.	WDT	Tipo de paquete.	Velocidad	Temp.	bajo Ruido
CMOS												
Z86C00 MCU	28	2	22	3	-	-	2	-	DIP	8, 12	S.E.	-
Z86C06 MCU	18	1	14	5	-	2	2	X	DIP.SOIC+1	4*, 8, 12	S.E.	X
Z86C08 MCU	18	2	14	5	-	2	2	X	DIP.SOIC+1	4*, 8, 12	S.E.	X
Z86E08 MCU	18	2(OTP)	14	5	-	2	2	X	DIP	4*, 8, 12	S	X
Z86C09/19	18	2/4	14	5	-	2	2	X	DIP.SOIC+1	4*, 8, 12	S.E.	-
Z86C10 MCU	28	4	22	3	-	-	2	-	DIP	8, 12	S.E.	-
Z86C11 MCU	40.44	4	32	6	1	-	2	-	QFP.DIP.PLCC	12, 16	S.E.	-
Z86C12 ICE	84	32	16	6	1	-	2	-	PGA	16	S	-
Z86E19 MCU+1	18	4(OTP)	14	5	-	2	2	X	DIP	12	S	X
Z86C20 MCU	28	8	22	3	-	-	2	-	DIP	12	S	X
Z86C21 MCU	40.44	8	32	6	1	-	2	-	OFF.DIP.PLCC	4*, 12, 16	S.E.	X
Z86E21/E22*MCU	40.44	8(OTP)	32	6	1	-	2	-	OFF.DIP.PLCC	4*, 12, 16	S	X
Z86C91 MCU	40.44	-	16	6	1	-	2	-	OFF.DIP.PLCC	12, 16, 20	S.E.	-
Z86C30 MCU	28	4	24	6	-	2	2	X	DIP	4*, 8, 12	S.E.	X
Z86E30 MCU	28	4(OTP)	24	6	-	2	2	X	DIP	12	S	X
C86C40 MCU	40.44	4	32	6	-	2	2	X	OFF.DIP.PLCC	4*, 8, 12	S.E.	X
Z86E40 MCU	40.44	4(OTP)	32	6	-	2	2	X	OFF.DIP.PLCC	12	S	X
Z86C61 MCU+1	40.44	16	32	6	1	-	2	-	QFP.DIP.PLCC	16	S.E.	-
Z86C62 MCU+1	64.68	16	52	6	1	-	2	-	DIP.PLCC	16	S.E.	-
Z86C89**/90 MCU	40.44	-	16	6	-	2	2	X	QFP.DIP.PLCC	4*, 8, 12	S.E.	X
Z86C27 TV control	64	8	43	6	-	-	2	X	DIP	4	S	X
Z86C96 MCU+1	64.68	-	44	6	1	-	2	-	DIP.PLCC	20	S.E.	-
Z86C97 TV control	64	-	16	6	-	-	2	X	DIP	4	S	X
Z86C93 MCU	44	-	16	6	1	-	3	-	QFP.PLCC	20	S.E.	-
Z86C94 DSP MCU+1	80	-	24	6	1	-	3	-	QFP	20	S.E.	-
Z88C00 Super8+1	48.68	-	24	27	1	-	2	-	DIP.PLCC	25	S	-

Rango de temperatura: S= Estándar 0°C to + 70°C
 E= Extendida -40°C to + 105°C
 M=Militar -50°C to +125°C

* RC oscilador opcional.

Tabla 3.1(continuación). Carta de referencia de los microcontroladores Z8.

Producto:	No. Pin	ROM (kbyte)	E/S	Interrupciones	UARTS.	Compara- radores.	Conta- dores	WDT	Tipo de Paquete	Velocidad	Temp	Bajo Ruido
NMOS												
Z8600 MCU	28	2	22	3	-	-	2	-	DIP	8	S.E.	-
Z8601/02 MCU	40, 44	2	32	6	1	-	2	-	DIP, PLCC	4*, 8	S.E.	X
Z8603 PROTOPACK	40	2	32	6	1	-	2	-	DIP	8, 12	S	-
Z8604 MCU	18	1	14	5	-	-	2	-	DIP	8	S.	-
Z8610 MCU	28	4	22	3	-	-	2	-	DIP	8, 12	S.E.	-
Z8611 MCU+	40, 44	4	32	6	1	-	2	-	DIP, PLCC	8, 12, 5	S.E.M.	-
Z8681 MCU+	40, 44	-	24	6	1	-	2	-	DIP, PLCC	8, 12	S.E.M.	-
Z8691 MCU	40, 44	-	16	6	1	-	2	-	DIP, PLCC	8, 12	S.E.	-
Z8612 ICE	63, 68	4	32	6	1	-	2	-	PLCC, ceramic	12	S.	-
Z8613 PROTOPACK	40	4	32	6	1	-	2	-	DIP	8, 12	S	-
Z8800 SUPER8	46, 68	-	24	27	1	-	2	-	DIP, PLCC	20	S	-
Z8801 SUPER8	44	-	17	27	1	-	2	-	PLCC	20	S	-
Z8820 SUPER8	48, 68	8	40	27	1	-	2	-	DIP, PLCC	20	S	-
Z8821 SUPER8	44	8	33	27	1	-	2	-	PLCC	20	S	-
Z8884 SUPER8 ICE	84	16	40	27	1	-	2	-	PGA	20	S	-
Z5380 SCSI	40, 44	-	-	-	-	-	-	-	-	-	S	-
Z765A FDC	40, 44	-	-	-	-	-	-	-	-	-	S	-

+ Disponible en versión militar

* Z8602 Bajo ruido. 4MHz. DIP Solamente.

3.3 CARACTERISTICAS DEL MICROCONTROLADOR Z8681

En la figura 3.3 se observa un diagrama a bloques de la arquitectura del Z8681 donde se visualizan las características que a continuación se describen:

- Contiene 24 líneas de entrada/salida y hasta 64 kbytes de direccionamiento externo, el cual se ocupa para programa y memoria de datos.
- Contiene un archivo de memoria RAM con 143 registros de un byte cada uno, de los cuales 124 son registros de propósito general, 3 son para puertos de entrada/salida y 16 para estados de control.
- Cuenta con 6 vectores de interrupción prioritaria.
- Tiene un oscilador interno que requiere solamente de un cristal de cuarzo o reloj externo, que puede ser hasta de 12 Mhz.
- Tiene un UART-FULL-DUPPLEX y dos contadores programables de 8 bits con un preescalador de 6 bits programables cada uno.
- Posee un apuntador de registros.
- Se polariza con + 5 V y todas sus entradas/salidas son compatibles con lógica TTL.

El Z8681 es un microcontrolador que ofrece todas las características de la familia Z8, pero sin ROM interna. El uso de memoria externa permite a este dispositivo ser usado en aplicaciones de bajo volumen.

3.4 ARQUITECTURA

El Z8681 contiene 3 espacios de direcciones:

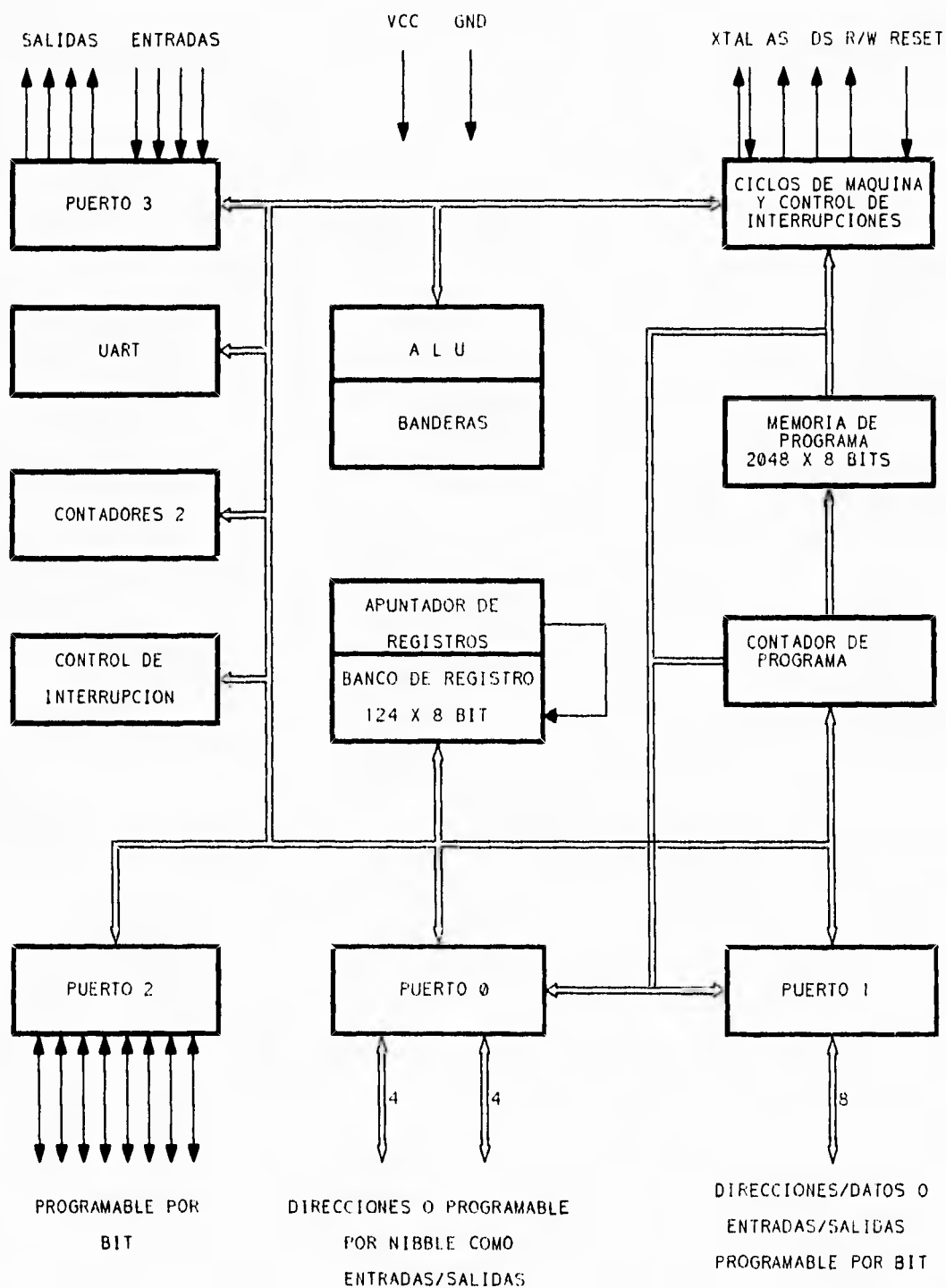


Figura 3.3 Diagrama a bloques de la arquitectura del Z86C81.

- 1.- Memoria de Programa (externa)
- 2.- Memoria de datos (externa)
- 3.- Banco de registro (memoria RAM interna)

3.4.1 MEMORIA DE PROGRAMA

Se pueden acceder hasta 64 kbytes de memoria de programa con un contador de programa de 16 bytes.

Para acceder la memoria del programa (externa), se deben configurar el puerto 0 y el puerto 1 como una interface para la memoria. (En la descripción de los puertos se mencionará la configuración de la memoria).

El puerto 1 funciona como un multiplexor de direcciones/datos que se conecta a la línea de direcciones A0 - A7 y a la línea de datos D0 - D7. El puerto 0 puede ser configurado para tener 4 u 8 líneas de direcciones adicionales (A8 -A11 ó A8 - A15).

La interface para la memoria cuenta, además, con las líneas de control AS (Address strobe) y R/W (Read/write).

Los primeros 12 bytes de la memoria del programa están reservados para los vectores de interrupción.

Las direcciones de 0 a 11 contienen 6 vectores de 16 bytes cada uno que corresponden a los 6 vectores de interrupción. En la figura 3.4 se ilustra el orden de los bytes de datos almacenados en la memoria del programa para los vectores de interrupción.

3.4.2 MEMORIA DE DATOS (EXTERNA)

Pueden ser accedidos hasta 64 bytes de memoria de datos. Esta memoria puede estar dentro de la memoria de programa y ocupar la primera parte de esta, ó puede ser una memoria aparte que va conectada también al puerto 1 y al puerto 0, igual como se conecta la memoria de programa.

Cuando la memoria de programa está aparte de la memoria de datos, la salida Data Memory (DM) es usada para seleccionar cualquiera de las dos memorias.

MAPA DE LA MEMORIA DEL PROGRAMA

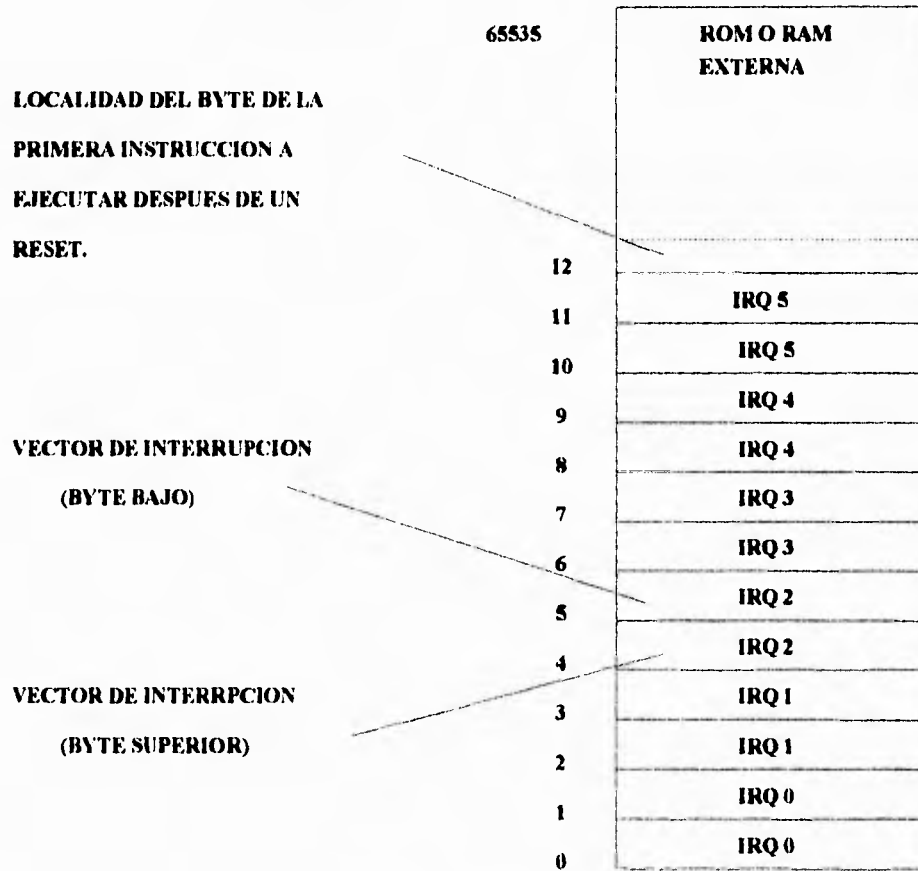


Figura 3.4. Vectores de interrupción.

3.4.3 EL BANCO DE REGISTROS

El banco de registros del CPU contiene un total de 256 bytes consecutivos, de los cuales 144 han sido implementados, pero el espacio de registros sin uso está reservado para una futura expansión.

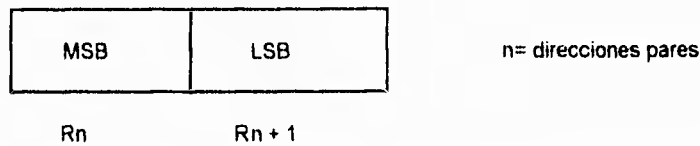
El banco de registros consiste en 4 puertos de entrada/salida (R0 - R3), 124 registros de propósito general (R4 - R127), 9 registros para periféricos (R240 - R248) y 7 registros de control (R249 - R255).

Los registros pueden ser accedidos como registros de 8 ó 16 bytes, usando direccionamiento DIRECTO, INDIRECTO ó INDEXADO. La figura 3.5 muestra el banco de registros del Z8681, incluyendo nombres, localización e identificadores.

DEC		HEX	IDENTIFICADORES
255	STACK POINTER (BITS 7-0)	FF	SPL
254	STACK POINTER (BITS 15-8)	FE	SPH
253	REGISTER POINTER	FD	RP
252	PROGRAM CONTROL FLAGS	FC	FLAGS
251	INTERRUP MASK REGISTER	FB	IMR
250	INTERRUP REQUEST REGISTER	FA	IRQ
249	INTERRUP PRIORITY REGISTER	F9	IPR
248	PORTS 0-1 MODE	F8	P01M
247	PORTS 3 MODE	F7	P3M
246	PORT 2 MODE	F6	P2M
245	T0 PRESCALER	F5	PRED
244	TIMER/COUNTER 0	F4	T0
243	T1 PRESCALER	F3	PRE1
242	TIMER/COUNTER 1	F2	T1
241	TIMER MODE	F1	TMR
240	SERIAL I/O	F0	SIO
	NO IMPLEMENTADO		
127	REGISTROS DE PROPOSITO GENERAL	7F	
4		04	
3	PUERTO 3	03	P3
2	PUERTO 2	02	P2
1	PUERTO 1	01	P1
0	PUERTO 0	00	P0

Figura 3.5. Banco de registros.

Los registros accedidos de 16 bits están formados por un par de registros: Uno con dirección par y otro con dirección impar. Solamente se pueden formar 72 pares válidos y, en este caso, el dato almacenado en el bit más significativo está archivado en el registro con dirección par; mientras que el bit menos significativo, lo está en el registro con dirección impar.



Cuando se ejecuta una instrucción, el registro que es leído se denomina **REGISTRO FUENTE** y el registro que se escribe se define como **REGISTRO DESTINO**. Todos los registros de propósito general funcionan como: acumuladores, apuntador de direcciones, índice de registros, áreas de stack ó página de memoria.

Las instrucciones del Z8 pueden acceder registros de 8 bits y registros pares de 16 bits, usando campos de direccionamiento de 4 ó 8 bits respectivamente.

Con un direccionamiento de 4 bits, el banco de registros está dividido en 9 grupos con 16 registros de trabajo cada uno, como muestra la figura 3.6.

Un apuntador de registro contiene la dirección base del grupo de registros de trabajo activo.

Cuando se accesa uno de los registros de trabajo, la dirección de 4 bits es concatenada con los 4 bits superiores del apuntador de registros y entonces se forma un direccionamiento de 8 bits, como se muestra en la figura 3.7. Estos registros de trabajo son especificados típicamente por un formato de instrucciones, y en este proceso son muy pocos bytes de código requeridos, lo cual reduce el tiempo de ejecución.

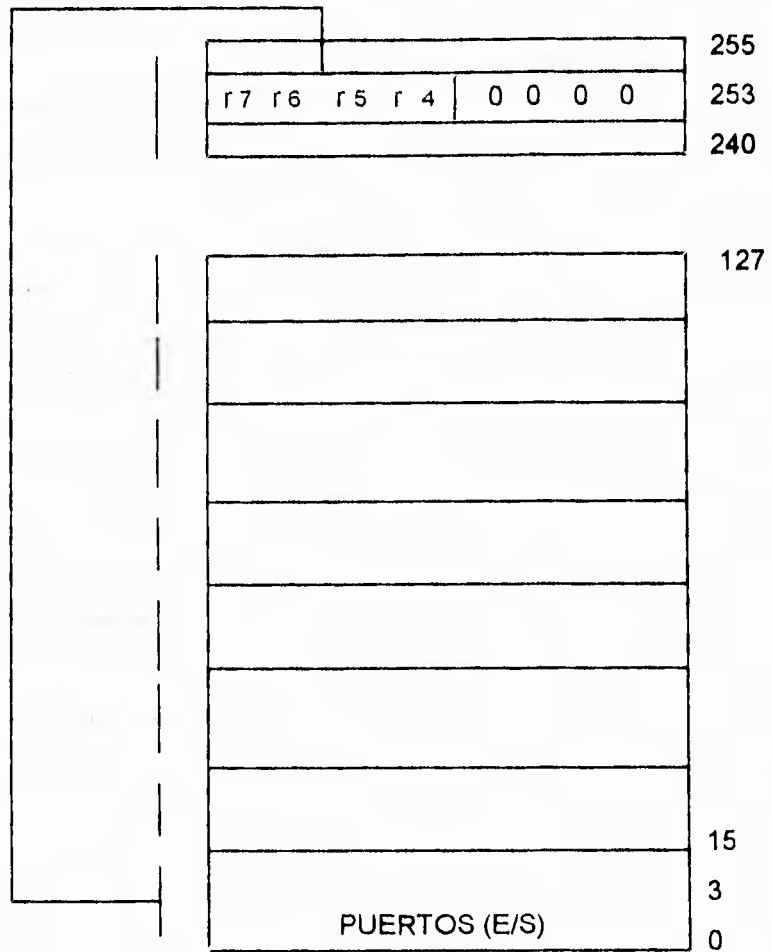


Figura 3.6. Grupo de registros de trabajo.

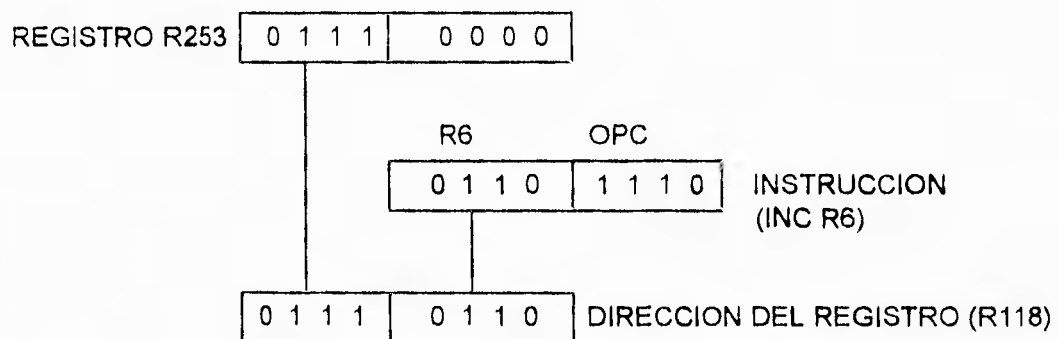


Figura 3.7. Direccionamiento de los registros de trabajo.

3.5 MODOS DE DIRECCIONAMIENTO

El Z8681 tiene 6 modos de direccionamiento:

- Registro (R)
- Registro indirecto (IR)
- Indexado (X)
- Directo (D)
- Relativo (RA)
- Inmediato (IM)

Con excepción del dato inmediato y códigos de condición, todos los operandos son expresados como banco de registros, memoria de programa, ó direccionamiento de memoria de datos. Los registros están accesados usando 8 bits de direccionamiento en el rango de 0 a 127 y de 240 a 255.

Los registros pueden ser usados en pares para designar valores de 16 bits ó direccionamiento de memoria. Un par de registros pueden ser especificados como un número de dirección par en el rango 0,2,.....,14.

Los modos de direccionamiento son instrucciones específicas. En las siguientes definiciones, el uso de la palabra "registro" es aplicable a registros pares, registros de trabajo, ó par de registros de trabajo.

3.5.1 DIRECCIONAMIENTO REGISTRO (R)

En el modo de direccionamiento de registro, el valor del operando es el contenido del registro ó registros especificados.

3.5.2 DIRECCIONAMIENTO DE REGISTRO INDIRECTO (IR)

En el modo de direccionamiento de registro indirecto, el contenido del registro especificado es la dirección del operando.

3.5.3 DIRECCIONAMIENTO INDEXADO (X)

El modo de direccionamiento indexado es usado solo por la instrucción de carga (LD). Un direccionamiento indexado consiste de un valor agregado (índice) a la dirección contenida en un registro de trabajo designado. Es decir, este valor agregado se suma a la dirección contenida en el registro de trabajo para obtener la dirección del operando.

3.5.4 DIRECCIONAMIENTO DIRECTO (DA)

El modo de direccionamiento directo, especifica la dirección de la siguiente instrucción a ser ejecutada. Sólo la condición de salto (JP) y la llamada a subrutina (CALL) usan este modo de direccionamiento.

3.5.5 DIRECCIONAMIENTO RELATIVO (RA)

En el modo de direccionamiento relativo, la instrucción especifica un desplazamiento signado en el rango de -128 a +127. Esto es, suma al contenido del contador de programa(PC) el valor del desplazamiento para obtener la dirección de la siguiente instrucción a ser ejecutada. Las instrucciones JR y DJNZ son las únicas que utilizan este modo de direccionamiento.

3.5.6 DIRECCIONAMIENTO INMEDIATO (IM)

En realidad este no es un modo de direccionamiento, ya que no indica una dirección de memoria ó registro como operando. El valor del operando agregado a la instrucción es el valor que se utiliza en la operación.

3.6 REGISTROS PERIFERICOS Y DE CONTROL DEL CPU

Los registros de control del Z8 gobiernan la operación del CPU. Únicamente las instrucciones que se refieren al banco de registros pueden acceder estos registros de control.

Los registros de control disponibles son:

- Registro de prioridad de interrupción (IPR)
- Registro de máscara de interrupción (IMR)
- Registro de permiso de interrupción (IRQ)
- Banderas para el control del programa (FLAGS)
- Apuntador de registros (RP)
- Apuntador de stack byte alto (SPH)
- Apuntador de stack byte bajo (SPL)

El Z8 usa 16 bits para su contador de programa (PC) y para determinar la secuencia de la instrucción a seguir en el programa.

Los registros periféricos son usados para la transferencia de datos, según el modo de operación que se esté utilizando. Únicamente aquellas instrucciones, que permitan acceder un registro del Banco de registros, pueden introducir los registros periféricos.

Los registros periféricos son los siguientes:

- Entrada/salida serial (SIO)
- Modo de timer (TMR)
- Timer/contador 0 (T0)
- Preescalador T0 (PRE0)
- Timer/contador 1 (T1)
- Preescalador T1 (PRE1)
- Modo de puerto 0 - 1 (P01M)
- Modo del puerto 2 (P2M)
- Modo del puerto 3 (P3M)

También los 4 registros para puertos (P0 - P3) son considerados como registros periféricos.

3.7 PUERTOS (Entrada/Salida)

Todos los puertos son pull-ups activos y pull-downs compatibles con cargas TTL; además el puerto 2 puede ser cambiado de operación pull-ups a open-drain.

3.7.1 MODOS DE REGISTRO

Cada puerto tiene asociado un registro para su modo de operación, el cual determina las funciones del mismo y permite un cambio dinámico en ellas durante la ejecución del programa.

Los registros y el modo de los puertos se encuentran dentro del Banco de Registros.

DEC		
248	MODO DE LOS PUERTOS 0-1	F8 P01M
247	MODO DEL PUERTO 3	F7 P3M
246	MODO DEL PUERTO 2	F6 P2M
4		04
3	PUERTO 3	03 P3
2	PUERTO 2	02 P2
1	PUERTO 1	01 P1
0	PUERTO 0	00 P0

Figura 3.8. Registro de los modos de los puertos E/S.

Los registros de los PUERTOS y los de MODO DE REGISTRO son tratados como cualquier otro registro de propósito general. Estos no son manipulados con instrucciones especiales, sino que pueden ser direccionados con cualquier que sirva para dirigir un registro.

Los datos pueden ser directamente introducidos en el registro del puerto con una instrucción extra.

3.7.2 PUERTO 0

Este es un puerto de entrada y salida, que puede ser programado por NIBBLE, de manera que un nibble puede ser de entrada y otro de salida, ó también puede ser utilizado para líneas de dirección.

En el modo de entrada o salida por nibble, el puerto 0 es accesado como un registro de propósito general P0. El puerto puede ser escrito especificando a P0 como un registro destino de una instrucción. La escritura en dicho puerto ocasiona que los datos sean almacenados en el registro de salida del mismo puerto.

El puerto es leído especificando a P0 como el registro fuente de una instrucción. Cuando un nibble configurado como salida es leído, los datos de los pines externos son regresados. Dentro de las condiciones de carga esto equivale a leer un registro de salida. En la lectura de un nibble definido como entrada, también sus datos son retornados a los pines externos.

Los bits D1 - D0 y D7 - D6 del registro de modo del puerto 0 - 1 son usados para configurar los nibbles del puerto 0.

El nibble inferior (P00 - P03) puede ser definido como LINEAS DE ENTRADA y se pone en el bit D1 un 0 y en el bit D0, un 1, ó como LINEAS DE SALIDA, poniendo en ambos bits (D1 y D0) un 0. Del mismo modo el nibble superior (P04 - P07) puede ser definido como LINEAS DE ENTRADA, poniendo en el bit D7 un 0 y en el D6 un 1, ó como LINEAS DE SALIDA, si ponemos en ambos bits un 0.

3.7.3 PUERTO 1

Este es un puerto de propósito general de entradas/salidas, que puede ser programado como un bit de entrada o de salida, o bien como un puerto de direcciones y datos para poder interconectar una memoria externa.

En el modo de bit de entrada o bit de salida el puerto es accesado como un registro de propósito general.

El puerto puede ser escrito especificando a P1 como registro fuente de una instrucción. Cuando una salida es leída, los datos en el pin externo son retornados. Dentro de las condiciones normales de carga esto equivale a leer el registro de salida.

Cuando el puerto 1 está definido como entrada, los datos de la lectura también retornan al pin externo.

Usando el registro de modo del puerto (0 - 1), el puerto 1 puede ser configurado como un puerto de salida, poniendo ambos bits (D4 y D3) en cero, o bien, como un puerto de entrada, si ponemos ambos bits (D4 Y D3) en uno.

3.7.4 PUERTO 2

Este es también un puerto de propósito general. Cada una de sus líneas puede ser programada independientemente como una entrada ó una salida, configurando el registro de modo de dicho puerto (P2M).

Poniendo un bit igual a 1 en el byte P2M, se configura el bit correspondiente como entrada en el puerto 2 (P2), y si se quiere configurar éste como salida, entonces se deberá poner un 0 en cada uno de los bits de P2M, que se quiera funcionen como salida.

El puerto 2 es accesado como un registro de propósito general, y puede ser escrito especificando a P2 como un registro destino de la instrucción. La escritura al puerto 2 causa un almacenamiento en los registros de los puertos de salida, el cual es reflejado

externamente en cualquiera de los bits configurados como salida. El puerto es leído especificando a P2 como un registro fuente de una instrucción.

Cuando un bit de salida es leído, el dato es retornado al pin externo. Dentro de las condiciones normales de carga esto equivale a leer el registro de salida; sin embargo, si un bit del puerto 2 está definido como una salida OPEN-DRAIN, el dato retornado será forzado a valer 1 en la salida del pin, debido al sistema externo. Este no podrá ser el mismo como el dato en el registro de salida.

El puerto 2 puede ser configurado como "líneas de salida" OPEN-DRAIN, programando el registro de modo del puerto 3 (P3M), o sea, poniendo en el bit D0 un 0. No obstante la configuración de los bits como entrada/salida del puerto 2 es siempre escrita o leída como un registro de un bit.

3.7.5 PUERTO 3

Las líneas del puerto 3 solamente pueden ser ajustadas como 4 entradas (P30 - P33) y 4 salidas (P34 - P37). Todas las líneas de entrada tienen un solo registro de entrada y las líneas de salida, únicamente un registro de salida.

El puerto 3 es accedido como un registro de propósito general y puede ser escrito, especificando P3 como un registro destino de la instrucción. Sin embargo, las salidas del puerto 3 no pueden ser escritas, si son usadas para funciones especiales. Cuando dicho puerto es escrito, los datos son almacenados en el registro de salida.

El puerto puede ser leído especificando P3 como un registro fuente de una instrucción. Cuando se lee desde el puerto 3, los datos retornados son igual a 1 en los pines de los registros de entrada y en los de salida.

3.7.6 FUNCIONES ESPECIALES

El puerto 3 tiene además funciones especiales y se definen programando el registro de modo del puerto 3, o sea, escribiendo ceros en los bits del D2 al D6. Las líneas del puerto P30 - P33 están configuradas como entradas y las de P34 - P37 como salidas.

Cuando los puertos 0, 1, ó 2 son configurados en modo de operación handshake, un par de líneas del puerto 3 es utilizado para controlar este modo para cada puerto.

El modo handshake se utiliza para transferencia de datos en forma asíncrona. En sistemas donde se requiere la transferencia de datos se manejan 2 tipos de handshake, el básico y el doble. En el handshake básico una línea de control (DAV_n en este caso) funciona como línea de habilitación del mensaje para indicar al receptor (dispositivos periféricos) que el dato está disponible; la otra línea de control (RDY_n en este caso) es una respuesta de los dispositivos periféricos e indica al microcontrolador que el dato ha sido recibido y que está listo para otra transferencia. En el caso de handshake doble la línea de control (DAV_n) es habilitada para preguntar al periférico si está listo para recibir un dato; el periférico responde entonces a través de la línea (RDY_n) indicando que si está listo, para posteriormente ejecutar la acción descrita para el handshake básico. En la tabla 3.2 se pueden observar las funciones especiales del puerto 3.

Las líneas de P30 - P33 del puerto 3 siempre funcionan como requerimiento de interrupción, siempre y cuando se especifique el registro de modo del puerto 3.

3.8 INTERRUPCIONES

Este microcontrolador ejecuta seis diferentes niveles de interrupción desde ocho fuentes. Las cuatro líneas P30 - P33 pueden generar una interrupción externa, mientras que la entrada serial (serial in), la salida serial (serial out) y los dos timers/contadores generan una fuente de interrupción interna. Estas interrupciones pueden ser mascaradas ó configuradas con prioridad de ejecución, utilizando los registros: máscara de interrupción (interrupt mask) ó prioridad de interrupción (interrupt priority) respectivamente.

Las 6 interrupciones pueden ser deshabilitadas globalmente, poniendo un cero en el bit D7 del registro máscara de interrupción; este cero se pone con la instrucción deshabilitar interrupción (DI = Disable interrupt) y se pueden habilitar con la instrucción habilitación de interrupción (EI = Enable interrupt).

Los registros del control de interrupciones son los 3 siguientes:

- Registro de requerimiento de interrupción (IRQ)
- Registro de máscara de interrupción (IMR)
- Registro de prioridad de interrupción (IPR)

En la figura 3.9 se pueden observar las direcciones de los registros de control de interrupciones y un diagrama de bloques de la máscara de interrupciones y la prioridad lógica de interrupciones.

FUNCIÓN	LÍNEA	SEÑAL
ENTRADA	P30 - P33	ENTRADA
SALIDA	P34 - P37	SALIDA
ENTRADA	P31	\overline{DAV}_2/RDY_2
HANDSHAKE	P32	\overline{DAV}_0/RDY_0
	P33	\overline{DAV}_1/RDY_1
SALIDA	P34	RDY_1/\overline{DAV}_1
HANDSHAKE	P35	RDY_0/\overline{DAV}_0
	P36	RDY_2/\overline{DAV}_2
PERMISO DE INTERRUPCIÓN	P30	IRQ3
	P31	IRQ2
	P32	IRQ0
	P33	IRQ1
ENTRADA Y	P30	SI
SALIDA SERIAL	P37	SO
TIMER/CONTADOR	P31	T -IN
	P36	T -OUT
ESTADO	P34	\overline{DM}

Tabla 3.2. Funciones de la línea del puerto 3.

DEC	HEX	IDENTIFICADORES
251	B	IMR
250	A	IRQ
249	9	IPR

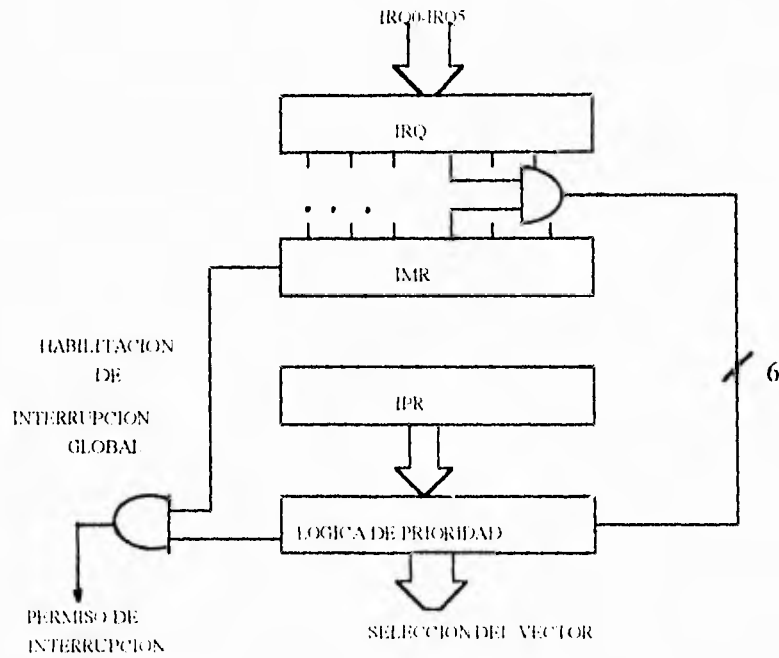


Figura 3.9. Registro de control de interrupciones y la lógica de prioridad.

3.8.1 FUENTES DE INTERRUPCION EXTERNA

Los interruptores IRQ0, IRQ1 e IRQ2 son siempre activados por el borde de bajada de la señal y corresponden a los pines P32, P33 y P31 respectivamente del puerto 3. Cuando alguno de los pines P31, P32 ó P33 recibe un pulso bajo, el primer flip-flop es puesto en uno.

En la figura 3.10 se muestra un diagrama a bloques de las fuentes de interrupción IRQ0, IRQ1 e IRQ2.

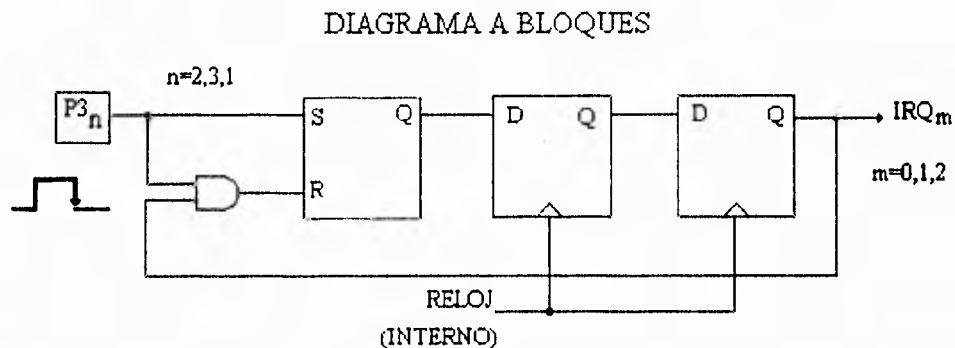


Figura 3.10. Diagrama a bloques de las fuentes de interrupción IRQ0-IRQ2.

3.8.2 FUENTES DE INTERRUPCION INTERNA

Se manejan 3 tipos de interrupción interna denominados IRQ3, IRQ4 e IRQ5. IRQ3 se genera cuando al habilitación de entrada serial es activada hasta que el receptor de datos de puerto completa un byte. El nivel de interrupción IRQ4 se genera cuando se habilita la salida serial de datos en el puerto, ó bién, cuando se programa un contador interno del microcontrolador denominado "contador cero", y este llega al final de la cuenta. De igual forma IRQ5 solo genera una interrupción al final de la cuenta del contador interno, denominado "contador uno".

Para el propósito de esta tesis, las únicas interrupciones que se van a utilizar son por medio de contadores, por lo que conviene ampliar sobre estos.

El microcontrolador Z8681 provee 2 contadores internos de 8 bits, contador cero (T0) y contador uno (T1), cada uno de ellos está manejado por una base de tiempo denominada, preescalador cero (PRE0) y preescalador uno (PRE1); ambos contadores son independientes del flujo de instrucciones procesadas por el microcontrolador. Cuando el contador llega a cero se genera una interrupción, y el contador debe ser recargado por

software para iniciar una nueva cuenta. El tiempo que tarda en generarse una interrupción de este tipo depende de dos variables, PRE y T. La siguiente fórmula muestra la frecuencia de interrupción.

$$\text{Frecuencia de interrupción} = \frac{\text{XTAL}}{8 * \text{PRE} * T}$$

Para configurar las interrupciones se cuenta con los registros indicados en la figura 3.10. Estos registros se manejan como cualquier otro registro de propósito general; por lo tanto no se necesitan instrucciones especiales.

DEC		HEX	IDENTIFICADORES
247	MODO DEL PUERTO	3F7	P3M
245	PREESCALADOR 0	F5	PRE0
244	CONTADOR 0	F4	T0
243	PREESCALADOR 1	F3	PRE1
242	CONTADOR 1	F2	T1
241	MODO CONTADOR	F1	TMR

Figura 3.10. Localización de los registros para configurar los contadores.

CAPITULO 4

DISEÑO DEL SISTEMA

4.1 INTRODUCCION

En este capítulo se establece la arquitectura bajo la cual se diseñó el sistema. Con la finalidad de hacer una descripción completa, la construcción de este sistema se divide en 4 etapas, que se muestran en el diagrama de bloques de la figura 4.1.

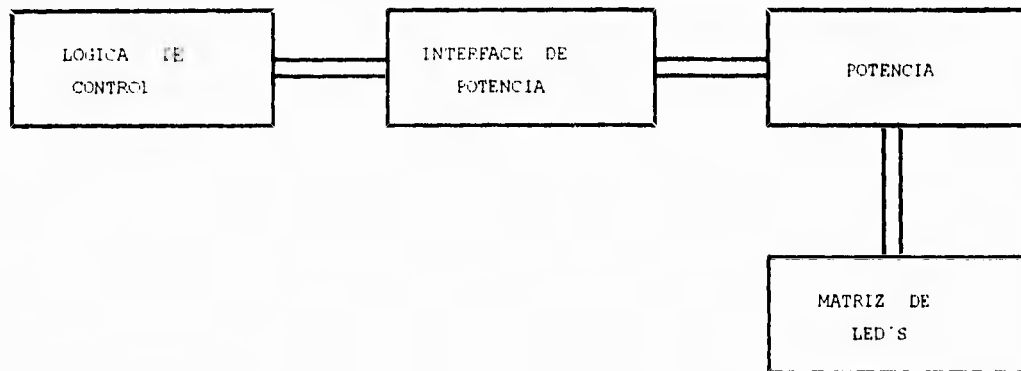


Figura 4.1. Diagrama de bloques de sistema.

4.2 DISEÑO DE LA LOGICA DE CONTROL

El diseño de la lógica de control está basada en el microcontrolador Z8681. Toda la lógica está polarizada a 5 volts y maneja niveles TTL.

El microcontrolador Z8681 se va a operar en modo expandido, debido principalmente a que no cuenta con memoria ROM interna y a la necesidad de controlar de alguna manera 350 líneas de la matriz de led's donde se presentarán los mensajes, lo cual no es posible utilizando únicamente los puertos del microcontrolador.

Para almacenar el programa del sistema, se ha decidido utilizar una memoria EPROM de 16 Kbytes de capacidad, que aunque esta sobrada, es económica por ser de

uso común en el mercado. Además del programa, en esta memoria se almacena la base de datos de los caracteres alfanuméricos que forman los mensajes a ser desplegados.

En el diseño se ha agregado una memoria RAM estática, como complemento a los registros internos del microcontrolador, para el almacenamiento temporal de los mensajes a ser desplegados en la matriz de led's; a este espacio de memoria se le ha denominado en el programa "buffer temporal".

Como ya se mencionó anteriormente, los puertos del microcontrolador son insuficientes para poder controlar la matriz de led's en forma directa. De acuerdo ha como se ha planteado el diseño del sistema y el multiplexado de la matriz de led's, es necesario contar con 45 líneas de control independientes, como se explica más adelante. Dado que el microcontrolador solo cuenta con 24 líneas E/S y varias de ellas se utilizan para otros propósitos del diseño, se ha decidido utilizar 2 interfaces paralelas programables (PPI's). Estas interfaces cuentan con 3 puertos paralelos independientes de 8 bit's cada una, lo que en total nos da 48 líneas de control independientes, ya que el PPI permite programar las líneas de salida de sus puertos de acuerdo a las necesidades de nuestro diseño, esto resulta suficiente.

Otra memoria que se va a utilizar en el diseño, es la memoria EEPROM. El microcontrolador tampoco cuenta con memoria EEPROM, su implementación en el diseño resulta de la necesidad de grabar los mensajes programados por el usuario una y otra vez, según se re programe el sistema. Esta información deberá permanecer grabada aún en ausencia de energía. Otra opción podría haber sido tener un respaldo de energía con una batería para la RAM, pero resulta más confiable utilizar una EEPROM. La memoria EEPROM NMC93C46 es una memoria serial que no se conecta al bus de datos/direcciones sino a otro puerto y solamente requiere cuatro pines de un puerto del microcontrolador.

A continuación se hace una descripción del mapeo de memoria del sistema, en donde se utilizan las líneas A15, A14 del bus de direcciones del sistema y DM, la cual es una señal proveniente del P34 del microcontrolador y se genera según se ejecute la instrucción LDC ó LDE.

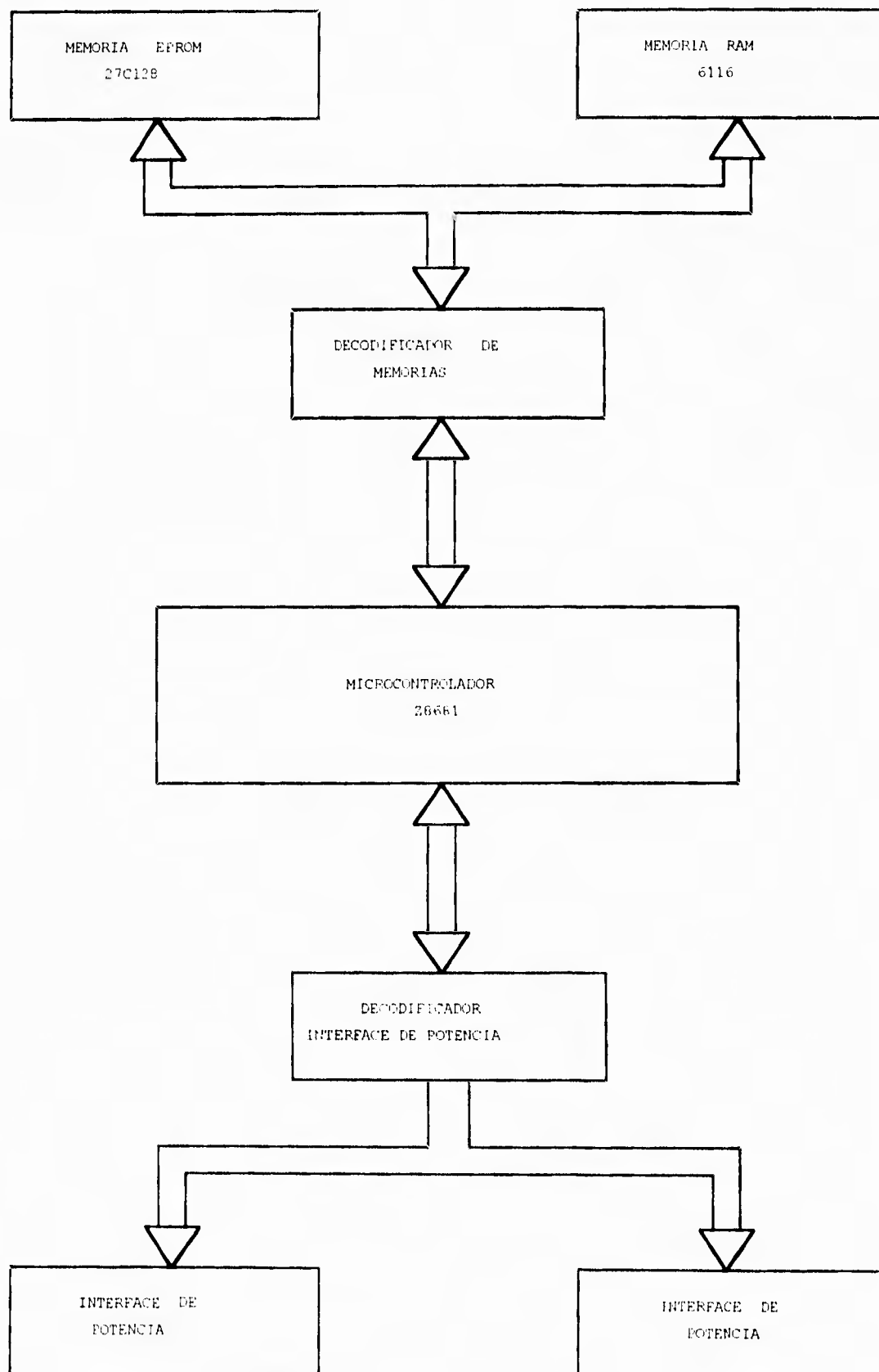


Figura 4.2 lógica de control.

En la figura 4.3 se muestra el mapeo de memoria dividido en externa y de programa.

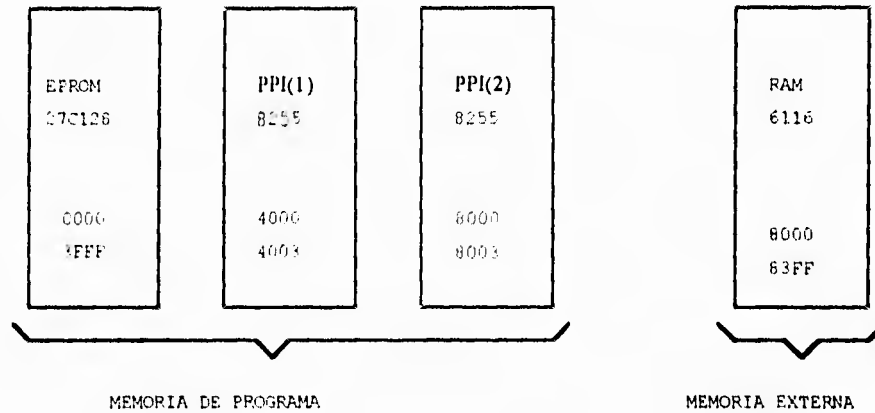


Figura 4.3 Mapa de memoria.

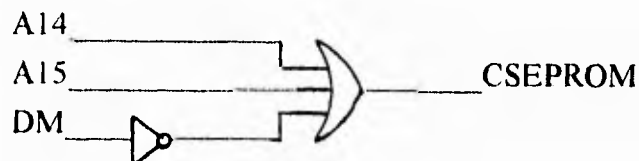
Para direccionar a la EPROM se requiere que $A15=0$ $A14=0$ y $DM=1$.

$DM=1$ se genera cuando se utiliza la instrucción **LDC** para escribir una dirección ó leer un dato.

De esta manera la dirección inicial queda a partir de la dirección 0000 y la dirección final en la 3FFF. Lo anterior se puede expresar de la siguiente forma:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DIR INIC.
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	DIR FIN

Como $A14$ y $A15$ deben ser iguales a cero, la decodificación es por tanto:

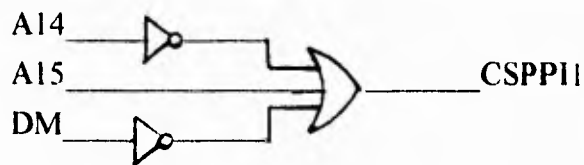


Los PPI's también están interconectados al bus de direcciones/datos y se comportan como una memoria de programa, donde solamente se pueden escribir. Cada uno de los PPI's tiene direcciones diferentes para poder ser escrito.

Como la dirección inicial para seleccionar al PPI 8255 (1) es la 4000, entonces se representará de la siguiente manera:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DIR INIC.
0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	DIR FIN.

Como A15=0, A14=1 y DM=1 la decodificación es como sigue:

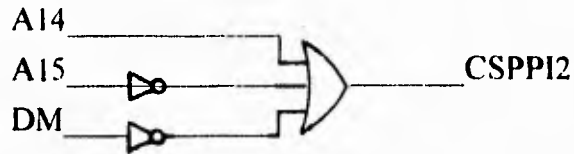


Para poder direccionar al PPI 8255 (1) la salida de la compuerta OR se conecta al Chip Select del PPI (1).

De la misma forma se direcciona el segundo PPI 8255 (2), pero como la dirección inicial de éste comienza en la 8000, entonces:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DIR INIC.
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	DIR FIN.

Como A15=1, A14=0 y DM=1 la decodificación es como sigue:



De la misma manera la salida de la compuerta OR se conecta al chip select de PPI 8255 (2).

Para poder direccionar la memoria RAM solo tenemos que observar que su dirección inicial esté a partir de la 8000, pero como se trata de memoria externa esto quiere decir que DM=0. Podemos utilizar A15=1 y A14=0.

DM=0 se logra cuando se utiliza la instrucción LDE, (ya sea para escribir una dirección o leer un dato), de esta manera:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DIR INIC.
1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	DIR FIN.

podemos direccionar a la memoria RAM desde la dirección 8000 hasta la 83FF.

La decodificación será de la siguiente forma:



Resumiendo lo anterior se puede formar el siguiente cuadro:

MAPA DE MEMORIA

MEMORIA	DIRECCION INICIAL	DIRECCION FINAL	TIPO DE MEMORIA
EPROM	0000	3FFF	PROGRAMA
PPI (1)	4000	4003	PROGRAMA
PPI (2)	8000	8003	PROGRAMA
RAM	8000	83FF	EXTERNA

y el GAL de decodificación se observa en el diagrama 4.1.

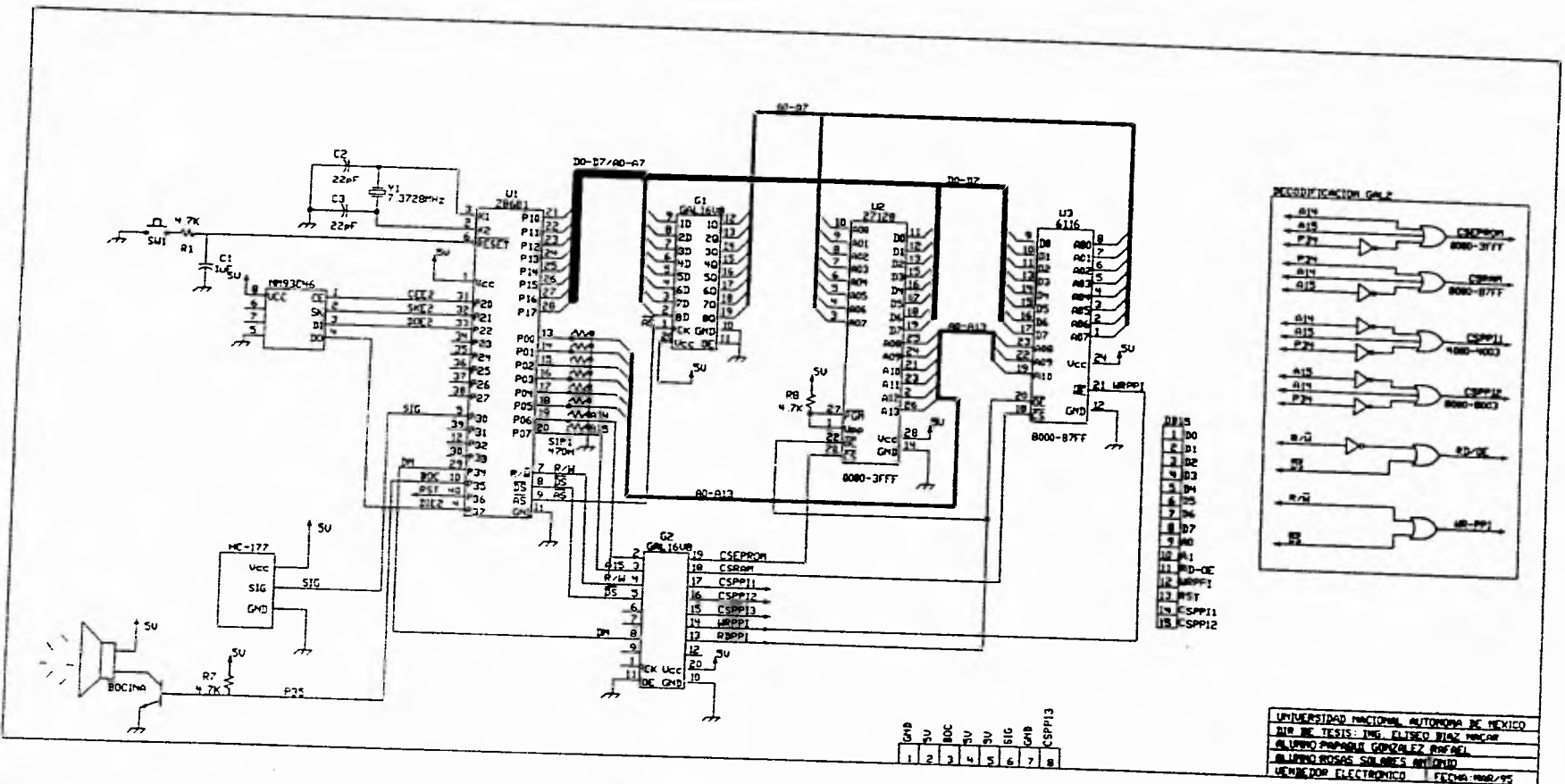
4.3 INTERCONEXION DE LAS MEMORIAS CON EL MICROCONTROLADOR

Debido a que el bus del microcontrolador funciona como entradas y salidas, se pueden multiplexar los datos con las direcciones menos significativas. Para poder realizar esto se conectan las direcciones menos significativas a través de un GAL16U8, que funciona como un latch, como se observa en el diagrama 4.1.

Las direcciones de A8 a A13 están conectadas al puerto 0, el cual está debidamente configurado para que funcione como "bus de direcciones". Las direcciones A14 y A15 junto con las señales de control del microprocesador R/W, DS y DM están conectadas a un segundo GAL16U8, que funciona como decodificador para habilitar las líneas de control (CS) de las memorias 27C128 y 6116 y los PPI 8255, cada una a un tiempo a la vez, como se puede observar en el diagrama 4.1.

Las ventajas de usar un GAL consisten en que, al poderse programar y al poder escoger que sus pines funcionen como entradas ó salidas, es posible optimizar las pistas en la tablilla del circuito impreso y además se puede utilizar como un dispositivo de seguridad, para que no exista violación de información confidencial por competidores de proyectos; además, reduce costos en el diseño.

Diagrama 4.1. Decodificación de las líneas de control a través del GAL.



La memoria EPROM está conectada al microcontrolador como se muestra en el diagrama 4.2.

Para asegurar la operación correcta de una memoria existen restricciones de tiempo en la secuencia que deben seguir las direcciones, datos y señales de control. En la figura 6.4 se muestra un diagrama de tiempos para la lectura de la memoria. Estas restricciones están marcadas en las hojas de especificaciones del fabricante.

El diagrama de tiempos para una operación de lectura de una memoria EPROM en términos de su operación es como sigue:

- 1.- Se aplica una dirección al bus de la EPROM.
- 2.- Se selecciona el circuito de la EPROM, activando las entradas de selección del circuito (chip select CS).
- 3.- Se habilita el control de salida de los datos (/OE).
4. El contenido de la localidad de memoria seleccionada aparece en las salidas de datos de la EPROM, después de un período igual a su tiempo de acceso (t_{OE})

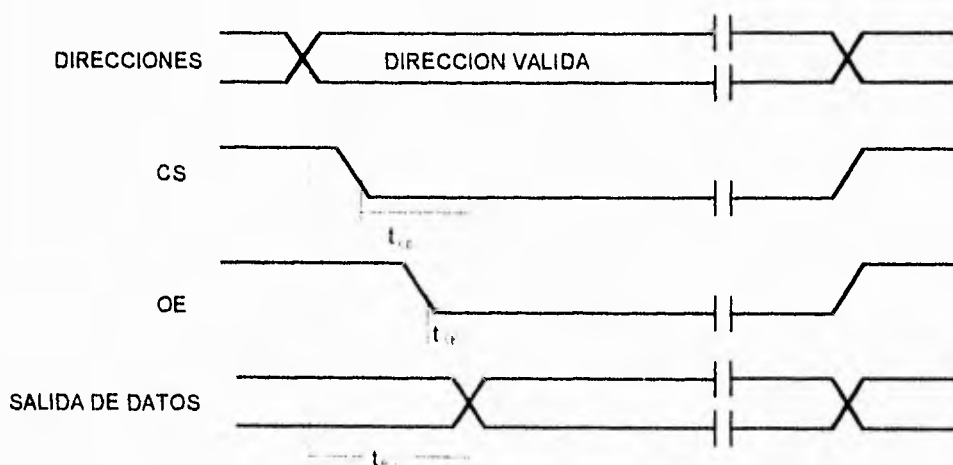
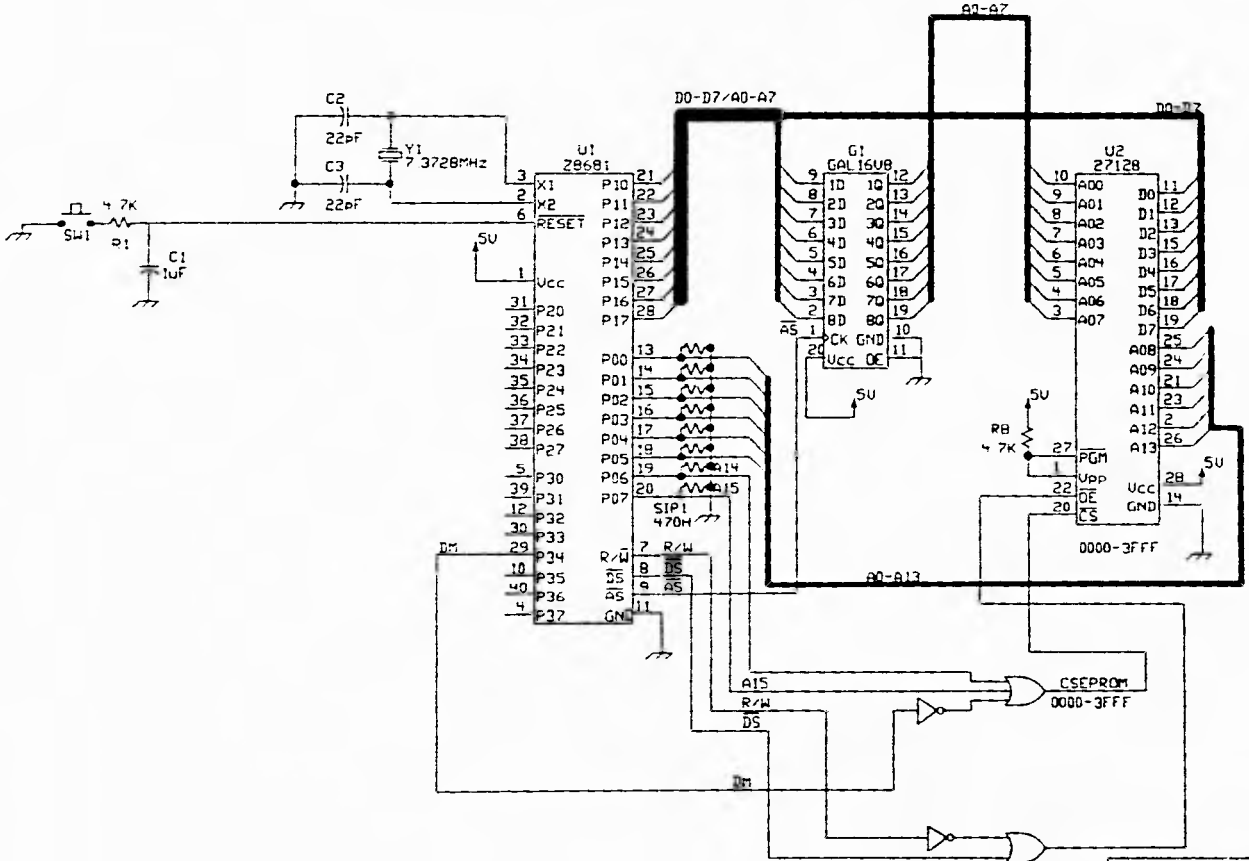


Figura 4.4. Diagrama de tiempos para la operación de lectura de una EPROM.

INTERCONEXION DE LA MEMORIA EPROM



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO	
DIR DE TESIS: ING ELISEO DIAZ MACAR	
ALUMNO PAPAQUI GONZALEZ RAFAEL	
ALUMNO ROSAS SOLARES ANTONIO	
VENDEDOR ELECTRONICO	FECHA: MAR/95

Diagrama 4.2. Interconexión de la memoria EPROM al sistema.

La RAM estática almacena los datos del mensaje que va a ser presentado en ese momento; estos datos son leídos de la EEPROM cada vez que se va a presentar un mensaje. Su interconexión con el microcontrolador se puede ver en el diagrama 4.3. Externamente, una RAM estática es muy semejante a una EEPROM, con la salvedad de que en la RAM pueden ocurrir operaciones tanto de lectura como de escritura, y por ello es necesario que el circuito cuente con terminales de entrada de datos y terminales de salida de datos.

En la RAM estática también existen dos entradas de control, una de ellas para la selección del circuito (chip select) y la otra para la habilitación o inhabilitación de los buffer's de las líneas de datos de salida, dependiendo de que la operación sea de lectura o de escritura respectivamente (R/W).

Los factores que deban ser considerados, al conectar las terminales de control de una RAM estática, son similares a los mencionados para la interconexión de una EPROM.

La memoria EEPROM NM93C46 es una memoria de 1024 bits que se puede leer y escribir. Esta memoria está organizada en 64 registros de 16 bits cada uno y cada registro puede ser leído o escrito serialmente por un microcontrolador, y puede ser borrado y escrito hasta 40000 veces. Esta memoria mantiene los datos hasta por diez años. Maneja lógica TTL provista de un CS que reduce su consumo de potencia a un 75%.

Requiere de **siete** instrucciones de **nueve** bits para poder ser operada. El formato de instrucciones es como sigue: un **1** lógico como un start bit, dos bits como código de operación, ya sea de lectura, escritura, borrado, escribir todos los registros, borrar todos los registros, habilitar escritura/lectura ó deshabilitar escritura/lectura, y seis bits de dirección.

INTERCONEXION DE LA MEMORIA RAM

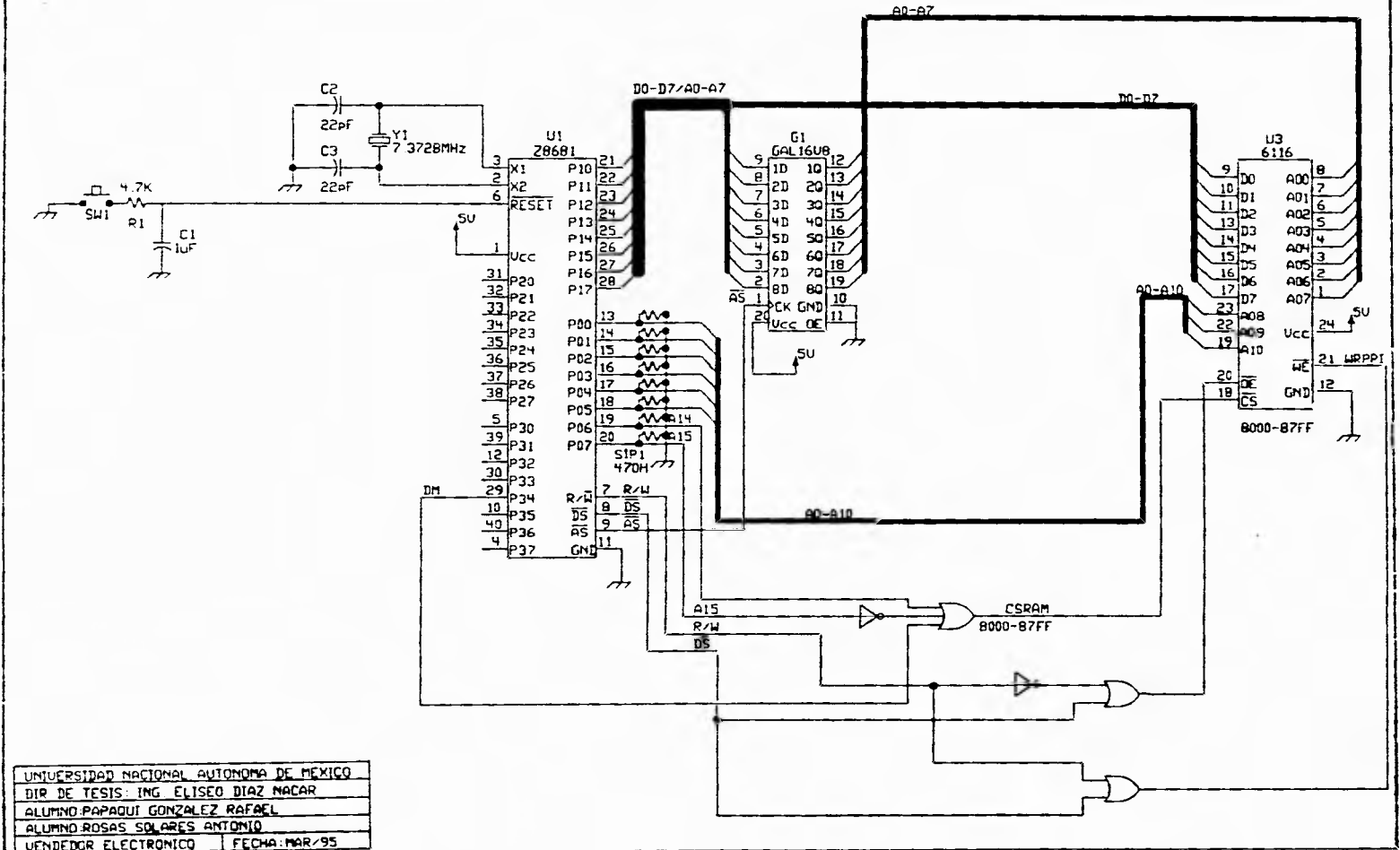


Diagrama 4.3. Interconexión de la memoria RAM al sistema.

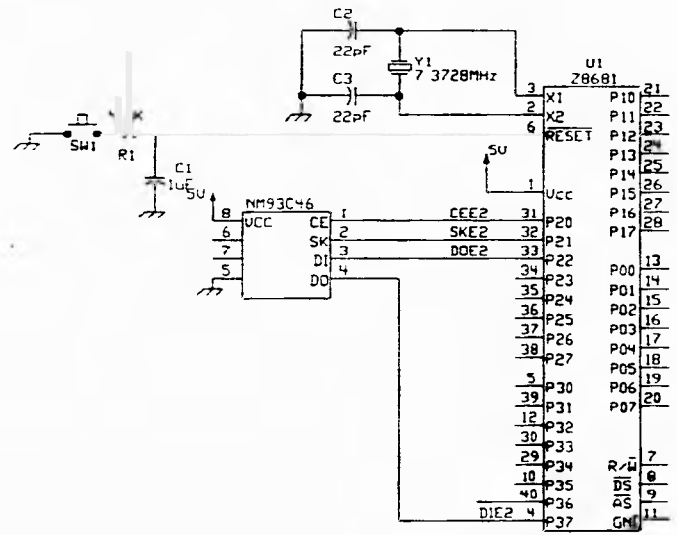
El siguiente cuadro muestra las siete instrucciones que se pueden ejecutar en la memoria NMC93C46:

Instrucción	start bit	código de operación	dirección	dato	descripción
READ	1	10	A5-A0		lectura de datos almacenado en la memoria indicando la dirección específica
EWEN	1	00	11XXXX		habilitación de escritura y borrado
ERASE	1	11	A5-A0		borra un registro específico (se coloca un "1" en cada bit)
WRITE	1	01	A5-A0	D15-D0	escribe en un registro específico el dato proporcionado
ERAL	1	00	10XXXX		borra todos los registros (coloca un "1" en todos los bits)
WRAL	1	00	01XXXX	D15-D0	escribe en todos los registros el dato proporcionado
EWDS	1	00	00XXXX		deshabilita el borrado y escritura de la memoria

En el apéndice B, en las hojas de especificaciones de la memoria NMC93C46, se puede ver el diagrama de tiempos para lectura, escritura y borrado. Su interconexión con el microcontrolador está indicada en el diagrama 4.4.

Diagrama 4.4. Interconexión de la memoria EEPROM al sistema.

INTERCONEXION DE LA MEMORIA EEPROM



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO	
DIR DE TESIS: ING. ELISEO DIAZ NACAR	
ALUMNO: PAPAQUI GONZALEZ RAFAEL	
ALUMNO: ROSAS SOLARES ANTONIO	
VENDEDOR ELECTRONICO	FECHA: MAR/95

4.4 INTERCONEXION DEL 8255A Y MODO DE CONFIGURACION

El 8255A es un dispositivo de entrada/salida (E/S) programable de propósito general, diseñado para usarse como interfase de microprocesadores. Cuenta con 24 líneas E/S las cuales pueden ser programadas individualmente en 2 grupos de 12 líneas y usadas en tres principales modos de operación.

En el primer modo (modo 0) cada grupo de 12 pines E/S puede ser programado en 2 puertos individuales de entrada ó salida, uno de 8 bits y uno de 4 bits. Para el grupo A le corresponde, el puerto A (8 bits) y la parte alta del puerto C (4 bits); y para el grupo B le corresponde, el puerto B (8 bits) y la parte alta del puerto C (4 bits), como puede verse en la figura 4.5.

En el modo 1, segundo modo, cada grupo puede ser programado para tener 8 líneas de entrada ó salida. De los 4 pines restantes, 3 son usados para handshaking y señales de control de interrupciones. La operación handshaking se explicó en el subtema 3.7.6. El tercer modo de operación (modo 2) es un modo de bus bidireccional el cual usa 8 líneas para un bus bidireccional y 5 líneas para handshaking de los otros grupos.

La figura 4.5, muestra un diagrama a bloques del PPI 8255A. Las líneas A0 y A1 se conectaron directamente al bus de direcciones. Estas líneas, junto con las de escritura (WR) y lectura (RD) así como la de chip select (CS), permiten acceder a cada uno de los puertos y al registro del PPI, de acuerdo a la tabla 4.1.

Como se observa en la tabla 4.1, se pueden hacer operaciones de lectura, escritura y aplicar funciones de deshabilitación del bus de datos (alta impedancia), según el modo de operación en que se programe.

Para nuestro diseño, ambos PPI's se configuraron en modo 0 con sus tres puertos como salidas. Esta operación se realizó mediante la escritura de la palabra de control 80 (hex), la figura 4.6 ilustra la forma en que quedaron configurados los 8255A.

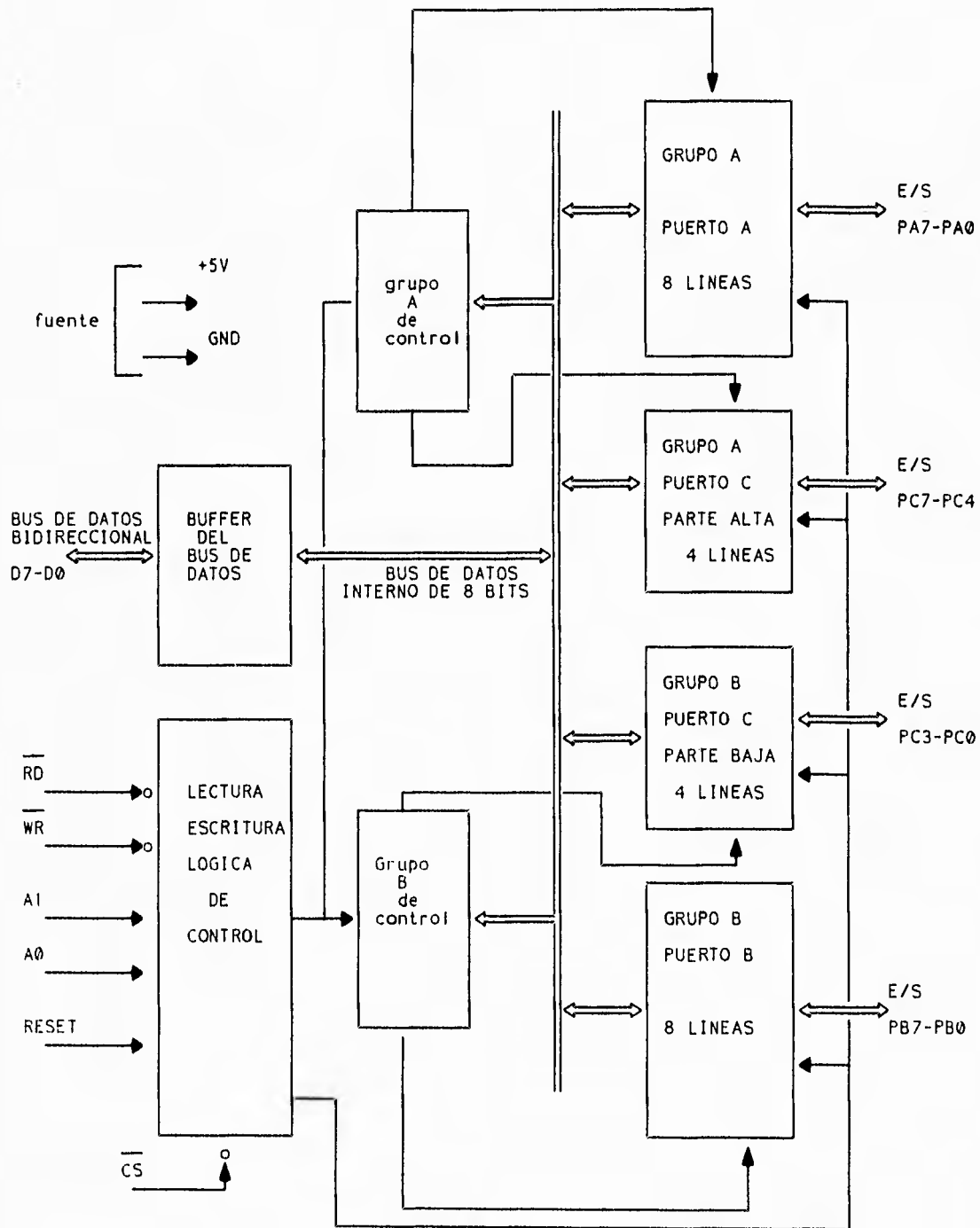


Figura 4.5. Arquitectura del PPI 8255A.

A1	A0	RD(L)	WR(L)	CS(L)	operación de entrada (READ)
0	0	0	1	0	Puerto A - bus de datos
0	1	0	1	0	Puerto b - bus de datos
1	0	0	1	0	Puerto c - bus de datos
					Operación de escritura (WRITE)
0	0	1	0	0	Bus de datos - puerto A
0	1	1	0	0	Bus de datos - puerto B
1	0	1	0	0	Bus de datos - puerto c
1	1	1	0	0	Bus de datos - control
					FUNCIONES DE DESHABILITACION
X	X	X	X	1	Bus de datos - 3 estados
1	1	0	1	0	Condición ilegal
X	X	1	1	0	Bus de datos - 3 estados

Tabla 4.1. Operaciones sobre los puertos del PPI 8255A.

De esta forma los PPI's quedan conectados al sistema como se muestra en la figura 4.7, en donde las líneas de control vienen del GAL de la decodificación de memoria, y la líneas A0 y A1 se conectan directamente al bus de direcciones. Como se observa en la figura 4.7, las líneas de control son comunes a ambos puertos, excepto CS, la cual permite diferenciar a uno ú otro puerto.

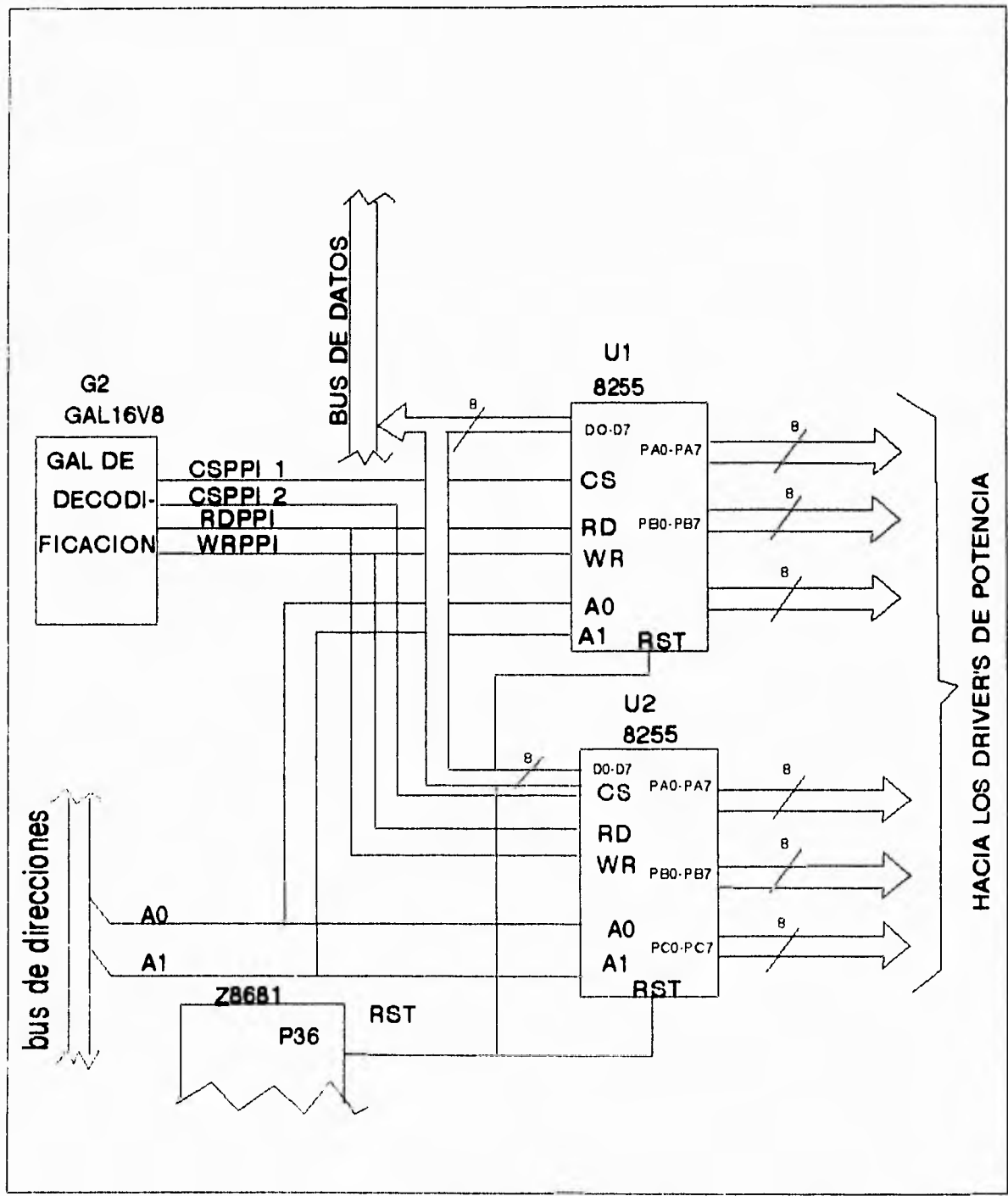


Figura 4.7. conexión de los PPI's al sistema.

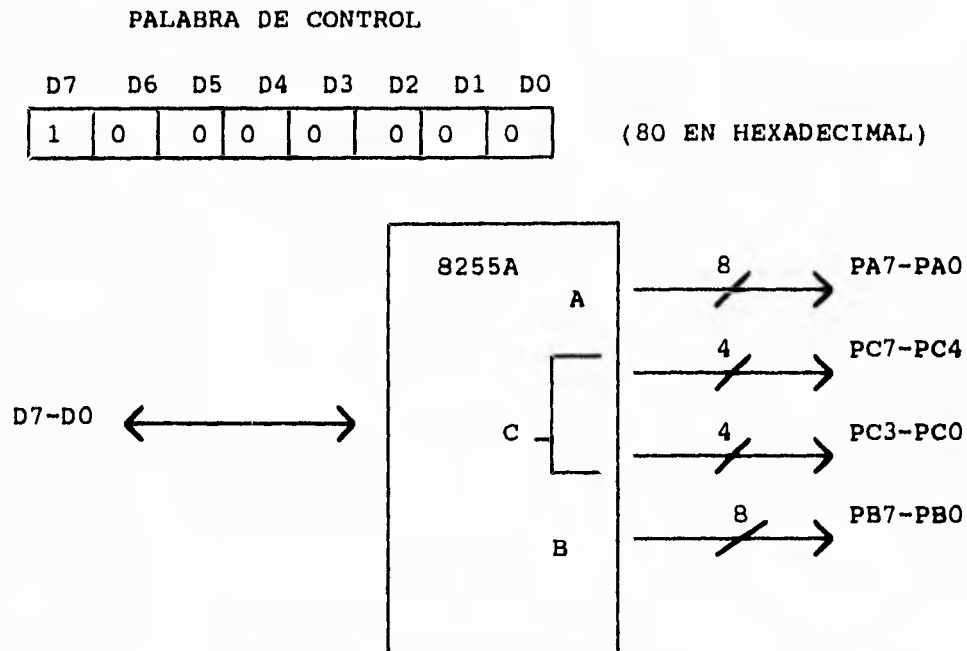


Figura 4.6. Forma en que se configuraron los puertos.

4.5 DRIVER'S DE POTENCIA Y PRESENTACION DE LOS MENSAJES

Para la presentación de los mensajes se utilizó una matriz de led's de 7 renglones por 50 columnas. Esta matriz consta de 10 tablillas individuales de matrices de led's de 7 renglones por 5 columnas cada una, como se ve en la figura 4.8.

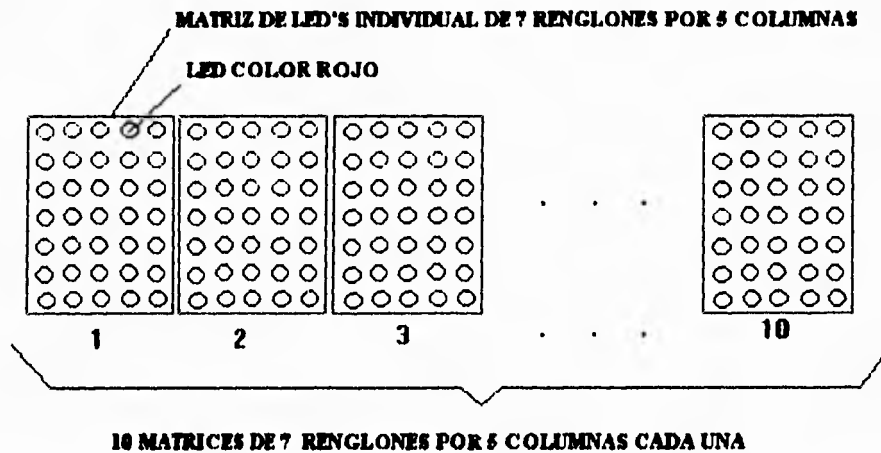


Figura 4.8. Tablillas de led's para la presentación de los mensajes.

El manejo de la presentación de los mensajes (matriz de led's), está controlado por las salidas de los puertos de los 8255, a través de los driver's de potencia. La escritura de los mensajes se lleva a cabo mediante el multiplexado de las columnas a través de los fet's, y de la escritura del dato correspondiente a la columna multiplexada.

La matriz de led's se ha dividido en 5 grupos de 2 tablillas cada uno, de tal forma que a cada grupo le corresponde una matriz de 7 renglones por 10 columnas, como se muestra en la figura 4.9.

Los renglones de cada uno de los grupos de la matriz de led's están controlados por 7 líneas provenientes de las salidas de los puertos de los 8255. Las líneas que controlan el encendido de los renglones de cada grupo son independientes, en tanto que las líneas que controlan el encendido de las columnas en cada grupo, son comunes para todos los grupos, como se muestra en la figura 4.10.

NOTA: En lo sucesivo, para expresar una matriz, el primer dato indica el número de renglones y el segundo el número de columnas. Para el caso de 7 renglones por 5 columnas, la expresión sería (7x5).

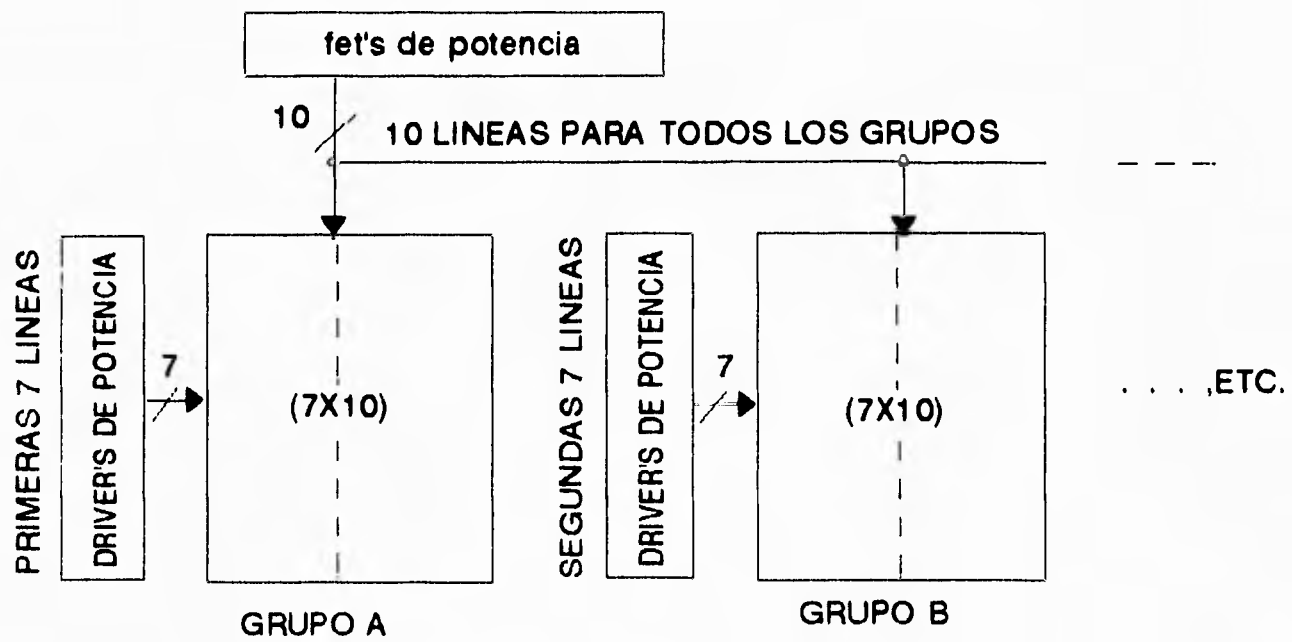


Figura 4.10. Manejo de la presentación mediante grupos.

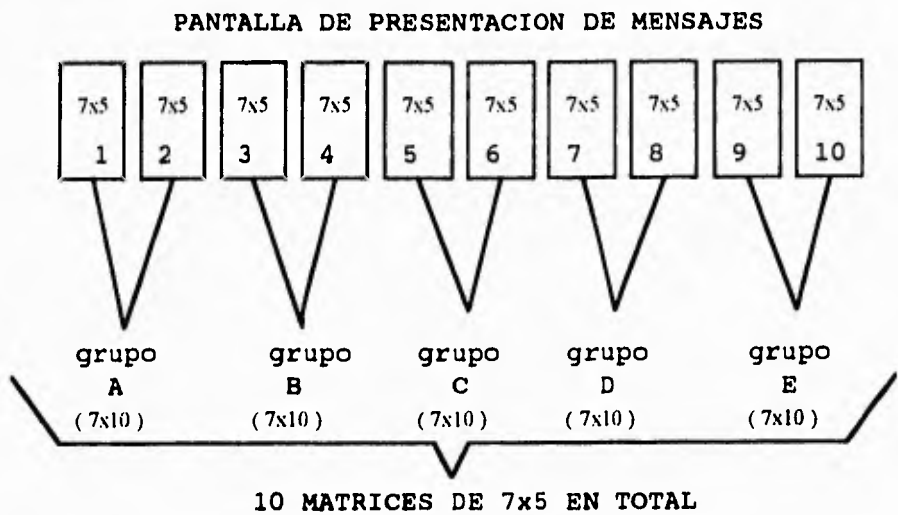


Figura 4.9. Grupos de matrices de led's.

La figura 4.11 muestra la conexión de la matriz de led's para cada uno de los grupos. Esta conexión es idéntica en cada uno de ellos.

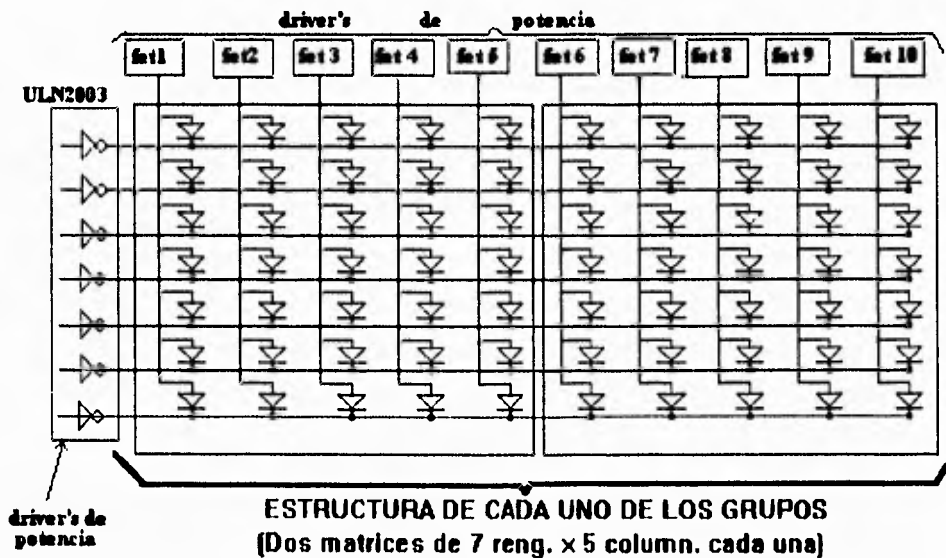
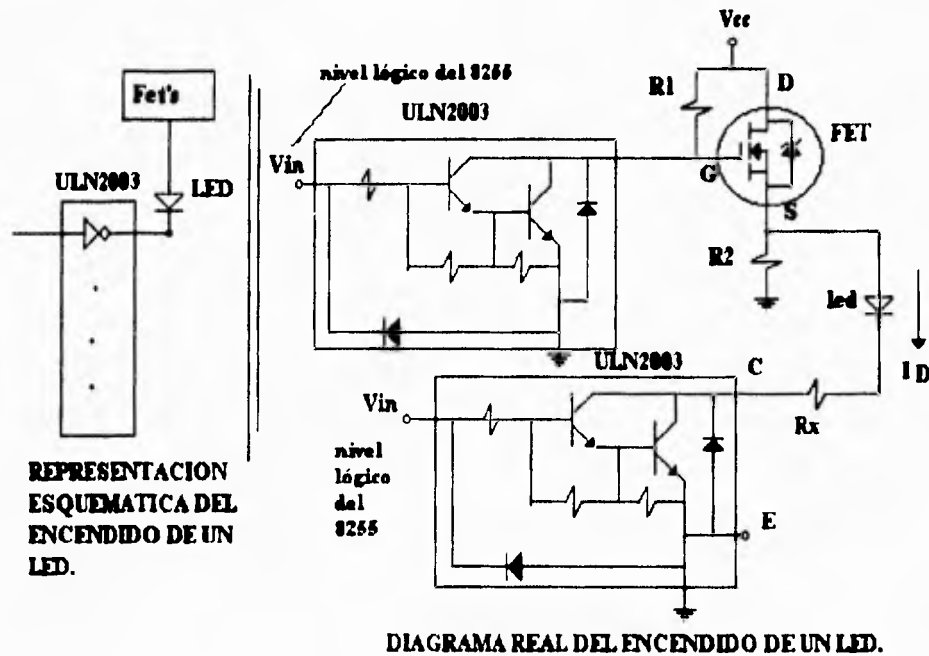


Figura 4.11. Forma de conexión de cada grupo de led's.

El cálculo de la corriente, que circula en cada led de la matriz, se realizó mediante el siguiente diagrama, en donde se considera un solo led encendido a la vez:



Planteando la ecuación de la malla donde se encuentra el led, tenemos que,

$$V_{CC} - V_{DS} - V_D - V_{RX} - V_{CE} = 0$$

donde, $V_{CC} = 12$ Volts, y es el voltaje de alimentación

$V_{DS} = I_{\text{drain}} \times \text{resistencia de encendido del fet}$, y $R(\text{on}) = 0.05$ ohms de las hojas de especificaciones del dispositivo [4.2].

$V_D = 2$ volts, y es el voltaje de encendido del led [4.3].

$V_{RX} =$ voltaje en la resistencia R_x

$V_{CE} = 0.9$ volts, y es voltaje colector-emisor de saturación del ULN2003 [4.4].

En el diagrama $R_2 = 10 \text{ Kohms} \gg R_x$, por lo tanto, considerando despreciable la corriente en R_2 del diagrama, podemos resolver la malla como sigue,

$$12 - I_D(0.05) - 2 - I_D R_x - 0.9 = 0$$

Despejando I_D , nos queda:

$$I_D = \frac{9.1}{R_x + 0.05}$$

en donde, se ve claramente que la corriente que va a circular por el led, depende del valor de la resistencia R_x . Esta corriente es el parámetro a considerar para la selección de los componentes que intervienen en este circuito.

De las hojas de especificaciones de la matriz de led's utilizada, la corriente continua máxima que se le puede aplicar a cada led de la matriz es de 30 mA, pero si las condiciones son corriente pulsada, como es el caso, se permite circular una corriente máxima de 160 mA a una frecuencia de 1 Khertz con un ciclo de trabajo del 15 % [4.5].

De las pruebas realizadas con diferentes valores de R_x , para una $R_x = 120 \text{ ohms}$, se obtuvo resultados satisfactorios, por lo tanto,

$$I_D = \frac{9.1}{R_x} = \frac{9.1}{120} = 75.8 \text{ mA aprox.}$$

la cual se hace circular a una frecuencia de 800 Hz aproximadamente; según el tiempo de retardo propuesto entre circulaciones y a un ciclo de trabajo del 10 %.

En el caso de que esté encendido el máximo de led's por fet multiplexado, la corriente suministrada por el fet es máxima, e igual a I_D por el número de led's encendidos. Si la columna correspondiente al fet multiplexado en cada uno de los grupos se enciende a su máxima capacidad, el total de led's encendidos a la vez es de 35 en el caso más crítico, por lo tanto ,

$$I_{D\text{máx}} = I_D (\# \text{ de led's}) = (.0758) (35) = 2.65 \text{ Amps.}$$

Esta corriente se consideró en la selección de los fet's. Para la selección del los transistores de potencia se considera $I_D = 75.8 \text{ mA}$, que es la corriente máxima a circular por estos dispositivos en cada salida.

Las salidas de los driver's de potencia (ULN's) están conectadas a 10 columnas cada una, pero debido al multiplexado de los fet's, en cada salida del ULN solo se maneja un led a la vez.

De manera similar al cálculo de la corriente máxima de los fet's, la corriente máxima para cada ULN es igual a la corriente máxima manejada por cada salida (75.8 mA) por el número de salidas del integrado ULN (7 salidas), lo cual nos da una corriente máxima de 530 mA por C.I.

El diagrama completo de interconexión de los PPI's, ULN's y FET's se muestra en el diagrama 4.5, donde también se indican las señales a cada uno de los conectores DB25 utilizados en la construcción del sistema.

**ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA**

4.6 DISEÑO DEL CONTROL REMOTO

Para diseñar el control remoto se decidió utilizar uno de los dispositivos integrados diseñados especialmente en aplicaciones que requieren la transmisión de datos mediante luz infrarroja. El C. I. digital de tecnología MOS μ PD6121G fue seleccionado entre una gran variedad por su sencillez de operación, bajo consumo de energía (1 μ A en modo de espera), alimentación en el rango de 2.0 a 3.3 V, con lo que es posible utilizar una batería de litio de 3V, lo cual disminuye su tamaño en el diseño. Con estas características fue posible diseñar un control remoto sencillo, de bajo volumen y peso.

4.6.1 DESCRIPCION GENERAL DEL μ PD6121G

El μ PD6121G es un transmisor de control remoto infrarrojo LSI para aplicaciones en controles de TV, VCR y otras. Es posible seleccionar un código de identificación entre 65536 combinaciones diferentes mediante la colocación de resistencias y diodos externos, y la utilización de una máscara ROM interna del C.I.

El código de transmisión consiste de un pulso guía o código de inicio, 16 bit's de código de identificación y 16 bit's de código de datos. Mediante el microprocesador del sistema es posible decodificar la señal transmitida.

En la figura 4.12 se muestra un diagrama a bloques del μ PD6121G, la descripción de los pines se da a continuación:

- Teclas de entrada y pines de salida KI_0 a KI_3 , KI/O_0 a KI/O_7 . Mediante resistores de Pull down conectadas entre los pines de las teclas de entrada y V_{SS} (tierra) se programa el código de identificación. La presión simultánea de varias teclas activas de la entrada múltiple, inhibe el circuito; esto hace que no exista transmisión. Dos teclas de entrada con un intervalo de 36 ms. son consideradas como simultáneas.

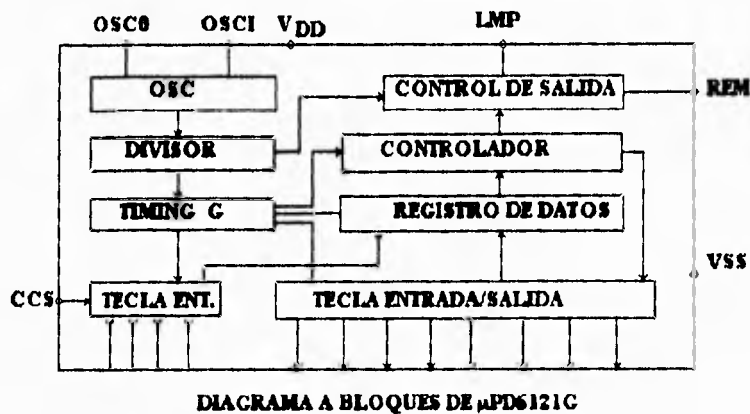


Figura 4.13. diagrama a bloques del μ PD6121G.

Al presionar una tecla, el μ PD6121G inicia la lectura del código de identificación y del código de datos, 36 ms. después se presenta la salida en remoto (REM). Una tecla se valida si se presiona por más de 36 ms. Si la tecla se presiona por más de 108 ms., sólo el código de inicio es transmitido en forma continua.

- Terminales del oscilador OSC1, OSC0. La frecuencia de oscilación debe estar entre 400 y 500 KHz y solo se activa o responde cuando una tecla es presionada.

- Suministro de energía de los pines Vpp, Vss. El voltaje estándar es de 3V recomendado, pero puede operar en el rango de 2.0 a 3.3 V. La corriente de estado de espera (stand-by) drenada es de solo 1 μ A ya que la oscilación es solo activada por la presión de alguna tecla.

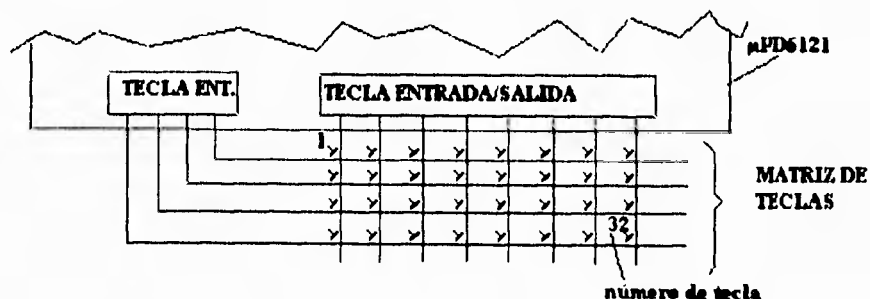
- Salida REMOTA (REM). La salida transmitida consiste de un código de inicio, de 16 bit's de código de identificación, y 8 bit's de código de datos y su complementario, totalizando 32 bit's como se muestra en la siguiente figura:

	C0 A C7	C0' AC7'	D0 A D7	D0 A D7
CODIGO DE INICIO	CODIGO DE IDENTIFICACION	CODIGO DE IDENTIFICACION'	CODIGO DE DATOS	CODIGO DE DATOS

El código de inicio consiste de 9 ms. de portadora y de 4.5 ms. de ausencia de señal (OFF). A este código también se le puede llamar "start bit" y se va a generar siempre que se presione una tecla del control remoto.

La relación de tiempos entre los pulsos, es de uso efectivo entre recepción, detección y otros procesamientos, cuando el receptor está diseñado mediante un microprocesador o microcontrolador. El dato transmitido en este dispositivo consta de pulsos modulados, los cuales se envían en serie a intervalos de tiempo; la separación en tiempo de cada uno de estos pulsos, determina el estado lógico del bit transmitido. Cada pulso transmitido tiene una duración de 0.56 ms., en tanto que los espacios de tiempo entre pulsos pueden ser de 0.56 ms. ó de 1.7 ms. para un "0" y un "1" lógico respectivamente, como se muestra más adelante. A este tipo de transmisión de datos se le conoce como Posición de Pulsos Modulados (PPM). Cada código consiste de 8 bit's y su código complementario es transmitido enseguida. Esto asegura muy poca probabilidad de error en la transmisión.

La siguiente figura ilustra como se forma la matriz del teclado del μ PD6121:

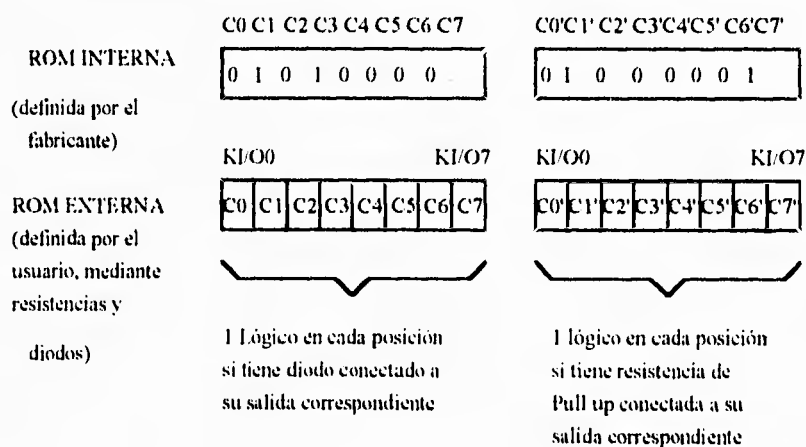


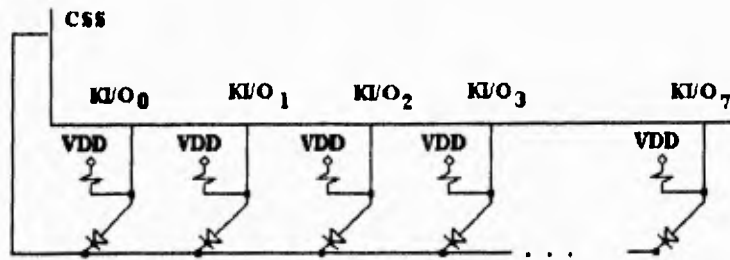
cuando se presiona una tecla, un código de datos es transmitido (más adelante se muestra una tabla de los códigos), en donde los bit's D0 a D6 están determinados por el fabricante del dispositivo y D7 se selecciona mediante el pin SEL, donde una conexión a VDD tiene un valor "0" y una a VSS vale "1".

Cuando la misma tecla permanece presionada, solo el código de inicio es transmitido repetidamente. Esto hace que la energía utilizada en la transmisión sea mínima. En este caso la potencia promedio drenada de el LED infrarrojo, esta alrededor del 3% de la potencia máxima drenada en operación normal.

- **Códigos de identificación.** Es posible seleccionar 1 de 65536 (2^{16}) códigos de identificación. Para prevenir el sistema de operaciones fallidas con cualquier otro sistema, NEC ha registrado todos los códigos de identificación excepto OFF hex.

- El μ PD6121G cuenta con una máscara de identificación interna. Lo cual sirve para generar el código de identificación transmitido según se haya seleccionado el código de identificación externo mediante resistores y/o diodos en los pines de KI/O₀ a KI/O₇. Una vez que se ha definido la máscara de identificación externa, se procede a efectuar una operación lógica OR con la máscara de identificación interna, como sigue:





FORMA DE CONECTAR RESISTENCIAS Y DIODOS PARA CREAR LA MASCARA DE IDENTIFICACION EXTERNA SEGUN SE REQUIERA EN EL DISEÑO

MASCARA DE IDENTIFICACION DESPUES DE LA OPERACION OR

ROM 1

C0 C1 C2 C3 C4 C5 C6 C7

ROM 2

C0' C1' C2' C3' C4' C5' C6' C7'

DONDE:

BIT DE MASCARA INTERNA C0 + BIT DE MASCARA EXTERNA C0 = C0

BIT DE MASCARA INTERNA C1 + BIT DE MASCARA EXTERNA C1 = C1

·
·
·

BIT DE MASCARA INTERNA C7 + BIT DE MASCARA EXTERNA C7 = C7

El resultado obtenido en la ROM2 únicamente indica la inversión o no-inversión del bit correspondiente en la ROM1. 1 lógico significa la no-inversión del bit correspondiente de la ROM1, es decir,

si $C0'=1$, entonces $C0 \text{ ROM2} = C0 \text{ ROM1}$

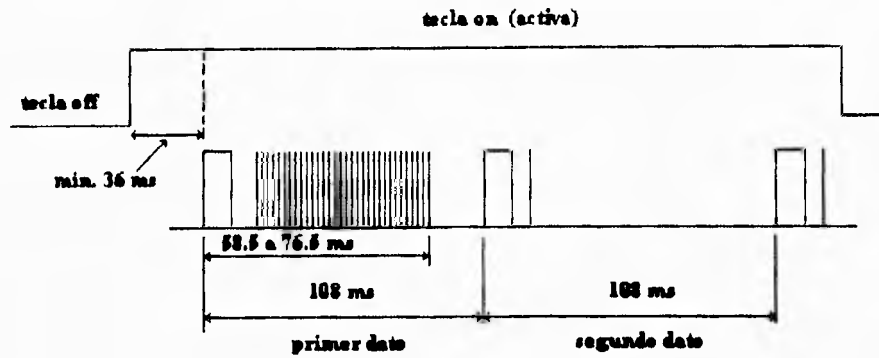
si $C0'=0$, entonces $C0 \text{ ROM2} = \overline{C0 \text{ ROM1}}$

- Código de datos. El código de datos transmitido viene dado por la presencia de una tecla, de acuerdo a la tabla 4.2. Dicho código de datos es transmitido junto con su código complementario el cual se transmite enseguida.

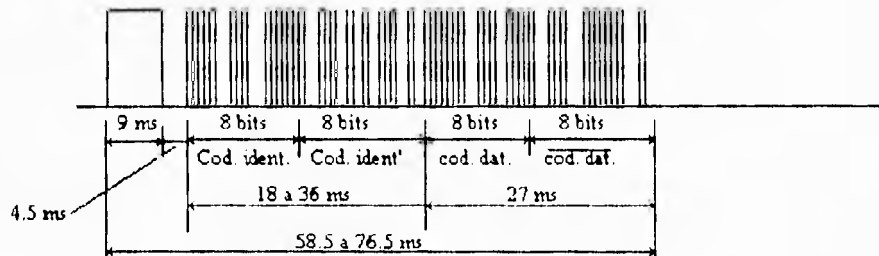
TECLA	CONEXION				KI/O	CODIGO DE DATOS							
	KI ₀	KI ₁	KI ₂	KI ₃		D0	D1	D2	D3	D4	D5	D6	D7
K1	*				KI/O ₀	0	0	0	0	0	0	0	0/1
K2		*				1	0	0	0	0	0	0	0/1
K3			*			0	1	0	0	0	0	0	0/1
K4				*		1	1	0	0	0	0	0	0/1
K5	*				KI/O ₁	0	0	1	0	0	0	0	0/1
K6		*				1	0	1	0	0	0	0	0/1
K7			*			0	1	1	0	0	0	0	0/1
K8				*		1	1	1	0	0	0	0	0/1
K9	*				KI/O ₂	0	0	0	1	0	0	0	0/1
K10		*				1	0	0	1	0	0	0	0/1
K11			*			0	1	0	1	0	0	0	0/1
K12				*		1	1	0	1	0	0	0	0/1
K13	*				KI/O ₃	0	0	1	1	0	0	0	0/1
K14		*				1	0	1	1	0	0	0	0/1
K15			*			0	1	1	1	0	0	0	0/1
K16				*		1	1	1	1	0	0	0	0/1
K17	*				KI/O ₄	0	0	0	0	1	0	0	0/1
K18		*				1	0	0	0	1	0	0	0/1
K19			*			0	1	0	0	1	0	0	0/1
K20				*		1	1	0	0	1	0	0	0/1
K21	*				KI/O ₅	0	0	1	0	1	0	0	0/1
K22		*				1	0	1	0	1	0	0	0/1
K23			*			0	1	1	0	1	0	0	0/1
K24				*		1	1	1	0	1	0	0	0/1
K25	*				KI/O ₆	0	0	0	1	1	0	0	0/1
K26		*				1	0	0	1	1	0	0	0/1
K27			*			0	1	0	1	1	0	0	0/1
K28				*		1	1	0	1	1	0	0	0/1
K29	*				KI/O ₇	0	0	1	1	1	0	0	0/1
K30		*				1	0	1	1	1	0	0	0/1
K31			*			0	1	1	1	1	0	0	0/1
K32				*		1	1	1	1	1	0	0	0/1

Tabla 4.2. Código de datos del μ PD6121G.

• Señal de salida. Al presionar una tecla del control, la forma de la señal de salida es como sigue:



En la gráfica anterior, se puede apreciar que solo el código de inicio (start bit) es transmitido en forma continua mientras se mantiene presionada la tecla , en tanto que en estado inactivo (off) no se transmite señal alguna. La siguiente gráfica muestra como está compuesta la señal transmitida en su primera parte, ó primer dato:



La figura 4.13 muestra un acercamiento de la señal transmitida en donde se distingue en tiempos, la manera de identificar unos y ceros lógicos.

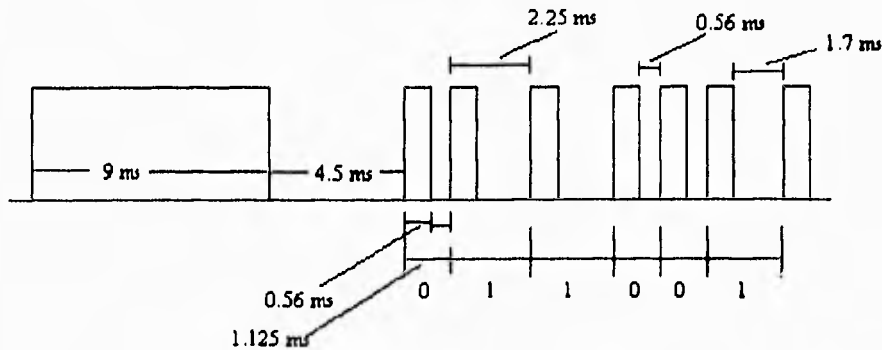


Figura 4.13. Forma de la señal transmitida.

La figura 4.14 ilustra el segundo dato transmitido en forma sucesiva mientras la tecla permanece presionada. Como se puede observar, solo el código de inicio es transmitido sucesivamente si se mantiene presionada la tecla.

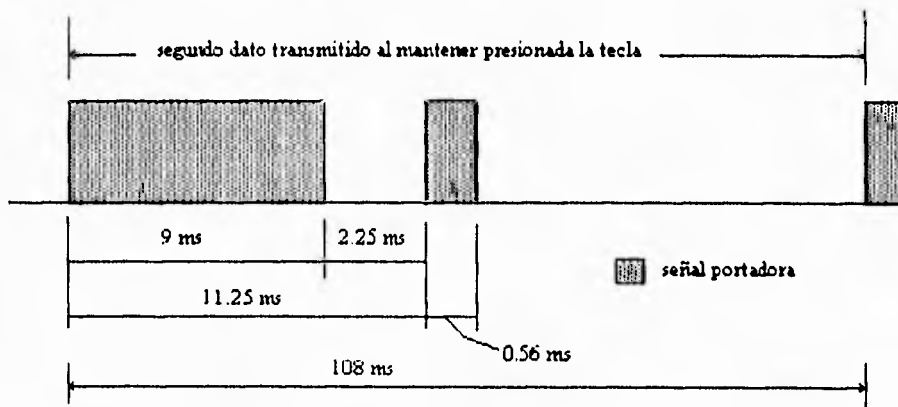


Figura 4.14. Dato transmitido en forma sucesiva con tecla activa.

Finalmente en la figura 4.15 se muestra la forma de la señal portadora (f_c) la cual tiene una frecuencia de 1/12 veces la frecuencia de oscilación (f_{osc}).

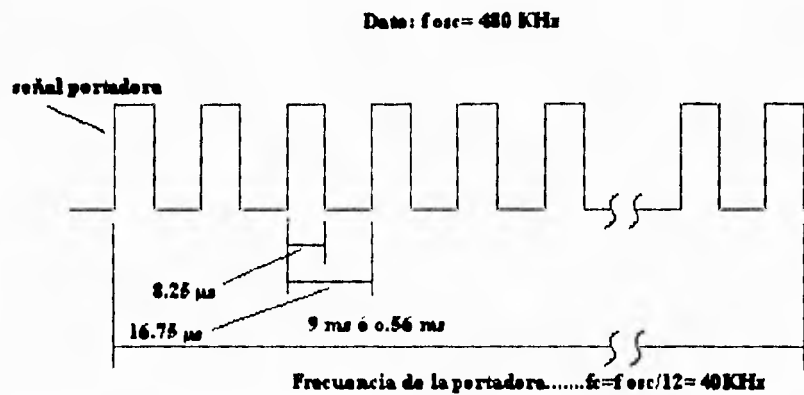


Figura 4.15. Señal portadora.

4.6.2 DIAGRAMA DEL CONTROL REMOTO

Para el diseño del control remoto se utilizó una de las notas de aplicación del fabricante del $\mu\text{PD6121G}$, en donde se puede obtener el código transmitido por cada tecla de acuerdo a lo explicado en la descripción de dicho circuito integrado. El diagrama del control remoto se muestra en la figura 4.16.

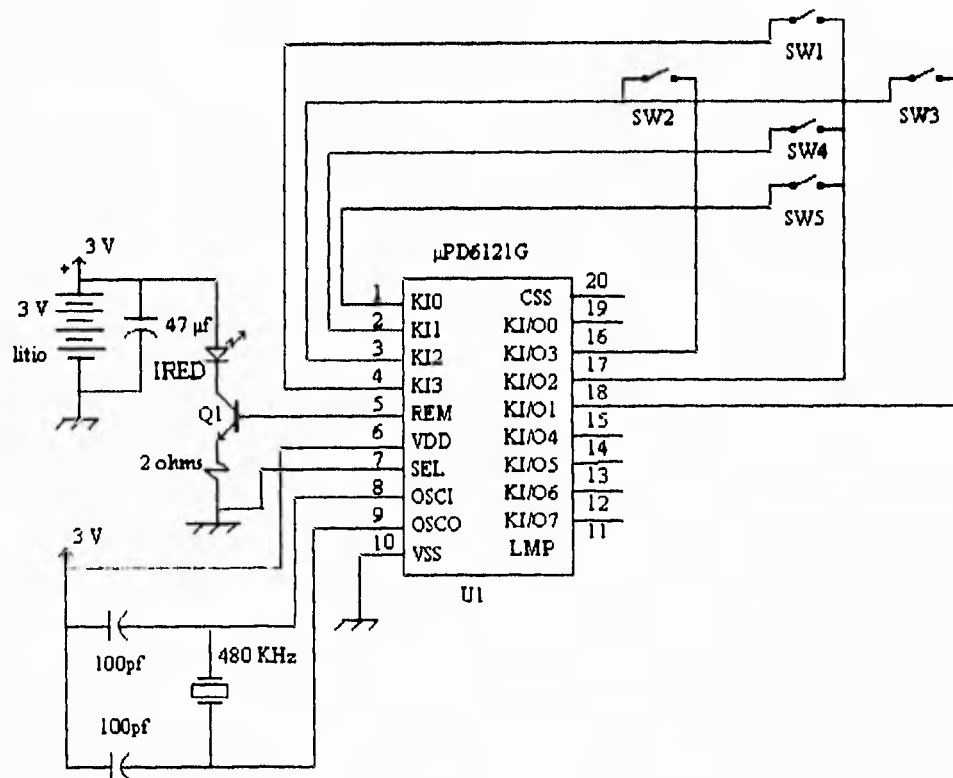


Figura 4.16. Diagrama del control remoto.

Para el diseño en las teclas a utilizar, no existe regla alguna para la selección de 5 de las 32 teclas posibles del μ PD6121G, pero por comodidad en el diseño se utilizaron las teclas mostradas en el diagrama, cuyo código se muestra en la tabla 4.3 y se obtuvo siguiendo los procedimientos mencionados en la descripción de μ PD6121G.

CODIGOS CORRESPONDIENTES A CADA TECLA DEL
CONTROL REMOTO

TECLA	CODIGO DE IDENTIFICACION	CODIGO DE IDENTIFICACION'
TODAS	0 1 0 1 0 0 0 0	1 1 1 0 1 1 1 1

TECLA	CODIGO DE DATOS	CODIGO DE DATOS
SW1	1 1 0 1 0 0 0 1	0 0 1 0 1 1 1 0
SW2	0 1 1 1 0 0 0 1	1 0 0 0 1 1 1 0
SW3	0 1 1 0 0 0 0 1	1 0 0 1 1 1 1 0
SW4	1 0 0 1 0 0 0 1	0 1 1 0 1 1 1 0
SW5	0 0 0 1 0 0 0 1	1 1 1 0 1 1 1 0

DONDE:

SW1 = TECLA DE CONFIRMACION DE CARACTER
 SW2 = TECLA DE BUSQUEDA DE CARACTER DESCENDENTE
 SW3 = TECLA DE BUSQUEDA DE CARACTER ASCENDENTE
 SW4 = TECLA DE ENTRADA A PROGRAMACION
 SW5 = TECLA DE SALIDA DE PROGRAMACION

SIMBOLO:



ENTRADA

SALIDA

Tabla 4.3. Código de identificación y de datos de cada tecla.

4.6.3 SELECCION DEL IRED Y DEL FOTORRECEPTOR

El led infrarrojo se seleccionó considerando las recomendaciones del fabricante del μ PD6121 y es de GaAs. En el capítulo 2 se explicaron las características de este semiconductor, destacando las recomendaciones en aplicaciones donde la fuente de suministro está limitada, además de tener una menor degradación con respecto a la influencia de la temperatura. La fuente de suministro de energía del control remoto es una batería de litio de 3 V, suficiente para la alimentación del μ PD6121 y del IRED de GaAs. Recuérdese (capítulo 2) que otros diodos semiconductores, por ejemplo GaAlAs, requieren rangos de voltaje de operación más altos para una adecuada operación. Estas características de los dispositivos del control remoto, permiten realizar un diseño de bajo volumen y peso, principalmente.

Las características del IRED EL-1L2 se adaptaron a los requerimientos del diseño junto con el fotorreceptor con amplificador integrado HC-337. La curva de respuesta espectral de ambos componentes se ubica en una longitud de onda central de 940 nm como se ve en la figura 4.17.

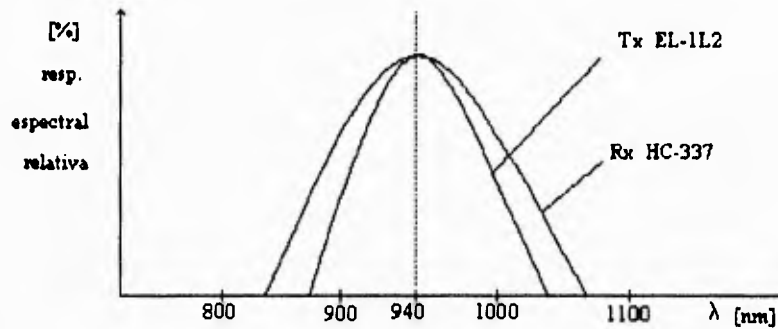


Figura 4.17. Acoplamiento en la respuesta espectral del receptor y transmisor.

la potencia típica radiada por el IRED es de 15.4 mW/sr, por lo tanto, si consideramos una distancia máxima de 10 m. , la potencia incidente en el fotorreceptor es,

$$P_x = \frac{15.4 \text{ [mW / sr]}}{r^2}$$

donde P_x = potencia incidente en el Rx [mW / cm²]

r = distancia entre el Rx y el Tx [cm]

por lo tanto,

$$P_x = \frac{15.4 \times 10^{-3}}{(1000)^2} = 15.4 \times 10^{-9} \text{ [W / cm}^2\text{]}$$

En las pruebas realizadas se logró detectar señal hasta una distancia máxima de 8 m., lo cual se consideró satisfactorio con respecto al cálculo realizado. El fotodetector HC-337 entrega niveles lógicos a la salida, ya que cuenta con un amplificador integrado al dispositivo que da niveles lógicos TTL compatibles con el sistema de control.

Las tablas 4.4 y 4.5, muestran las especificaciones proporcionadas por el fabricante de ambos dispositivos. $\Delta\Phi$ indica en ambas tablas el patrón de radiación y de recepción del EL-1L2 y HC-337 respectivamente.

EL-1L2

valores absolutos máximos				Po mW/sr Típ.	I _F (mA)	V _F (V) máx.		λ _p (nm) Típ.	Δφ (Deg.) Típ.
I _F (mA)	V _R (V)	P(mW)	T _{opr} (°C)				I _F (mA)		
100	5	100	-30@+70	15.4	100	1.7	100	940	±30

Tabla 4.4. Características del led transmisor infrarrojo EL-1L2.

HC-337

VALORES ABSOLUTOS MAXIMOS				Voltaje de alimentación V _{cc} (V)
V _{cc} (V)	T _{opr} (°C)	T _{stg} (°C)	V _{OH} (V)	
5.8	-10@+68	-20 @ +75	mín. 4.2	5.3
Corriente de alimentación I _{cc} (mA)	Distancia L (m)	Angulo de recepción Δφ (deg.)	longitud de onda pico λ _p (nm)	forma de salida
3 máx.	18 típ.	±45	940	activo bajo

Tabla 4.5. Características del fotorreceptor infrarrojo HC-337.

4.7 DISEÑO DEL PROGRAMA

El diseño del programa está basado en subrutinas, las cuales fueron diseñadas como un subsistema, de acuerdo a la técnica de diseño propuesta para el software en esta tesis. Esto representa una gran ventaja, ya que cada una de las subrutinas del programa pueden probarse casi en forma independiente una de la otra.

El programa inicia con la definición de constantes y variables que se van a manejar en el programa principal y en las subrutinas. Las direcciones para acceder a cada uno de los periféricos del microcontrolador, se definieron en el diseño del mapa de memoria, y los nombres de las constantes se definieron de tal forma que identifique al dispositivo periférico accedido.

Al arranque del programa, ó después de un reinicio por hardware, es necesario configurar los puertos del microcontrolador y de los PPI's; la forma en que quedan configurados se explicó durante el proceso de diseño del hardware, el cual justifica las instrucciones ejecutadas para cada uno de ellos (modos de operación).

El programa denominado "principal", contiene las rutinas de multiplexado de los led's y la rutina que maneja la presentación de los tres mensajes que se despliegan en la matriz de led's, esto sucede cada 1.25 ms. Cuando no está en la rutina, el programa se encuentra en un "loop" de espera, mientras ocurre la interrupción del contador uno o se cumplen los 1.25 ms. En el programa se maneja una interrupción, denominada CONTADOR UNO. Esta interrupción es por software y está determinada por el contador interno del microcontrolador, el cual se establece de acuerdo a la fórmula proporcionada por el fabricante para el cálculo del timer como se especifica en el programa mostrado en el apéndice A.

La figura 4.21 contiene el diagrama de flujo a bloques del sistema, en donde se muestra como interactúan las diferentes subrutinas del programa, con la rutina de interrupción y del programa principal.

La interrupción contador uno, es la encargada de sensar la señal proveniente del control remoto a través del receptor óptico. Dicha señal no causa una interrupción al sistema, ya que el sistema ejecuta la rutina para monitorearla, de acuerdo al tiempo establecido en el contador uno. Esta forma de monitorear la señal infrarroja, se establece debido a la presencia de señales infrarrojas parásitas en el medio ambiente, que

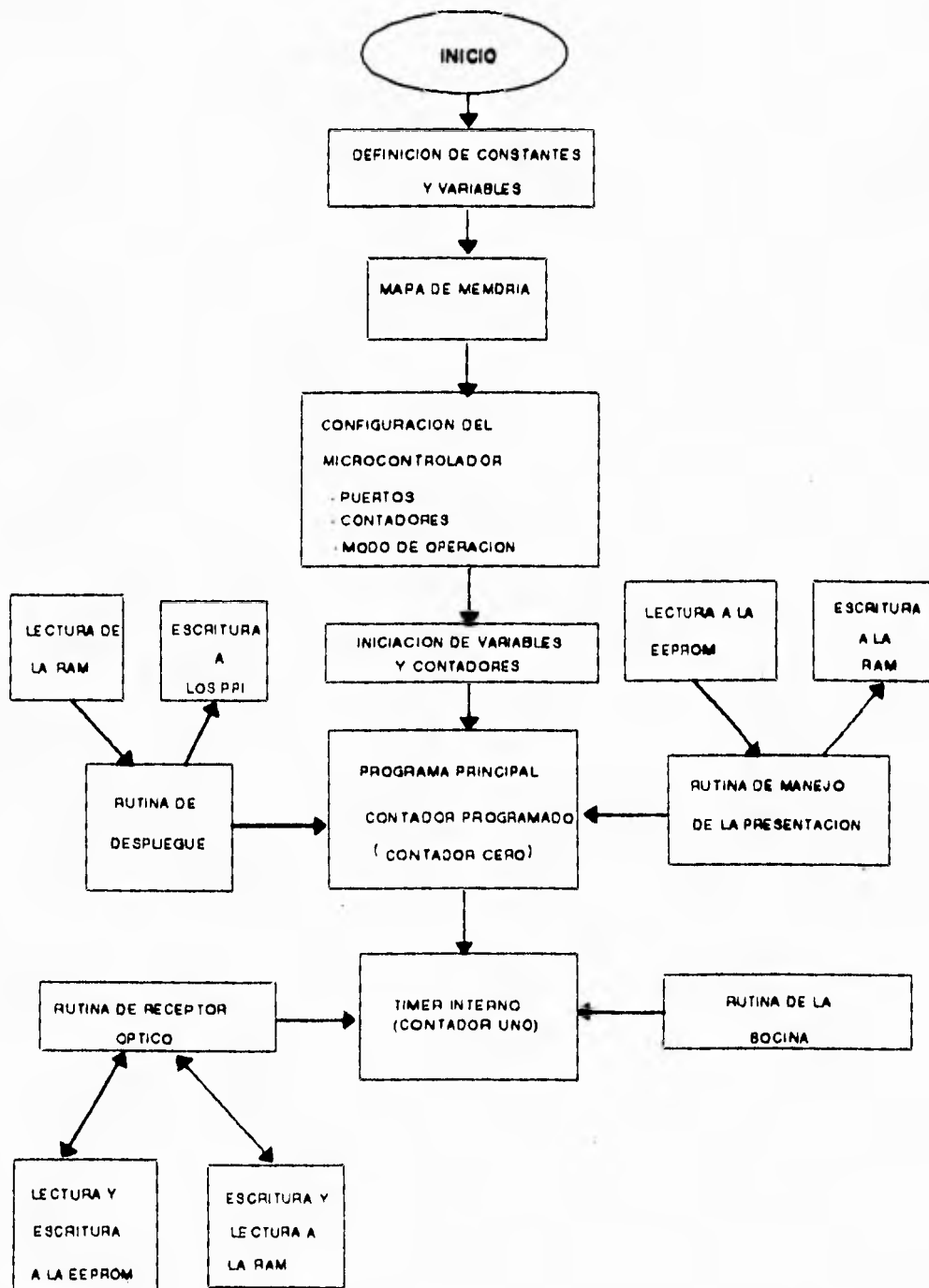


Figura 4.21. Diagrama de flujo a bloques del sistema en general.

ocasionarían una interrupción constante en el sistema, en el caso, de haberse optado por una interrupción externa (por hardware) por presencia de señal infrarroja.

El diagrama del figura 4.22 muestra el diagrama de flujo de la rutina del manejo de la presentación de los mensajes. Esta rutina interpreta los mensajes a ser desplegados y los almacena en el buffer de presentación (RAM).

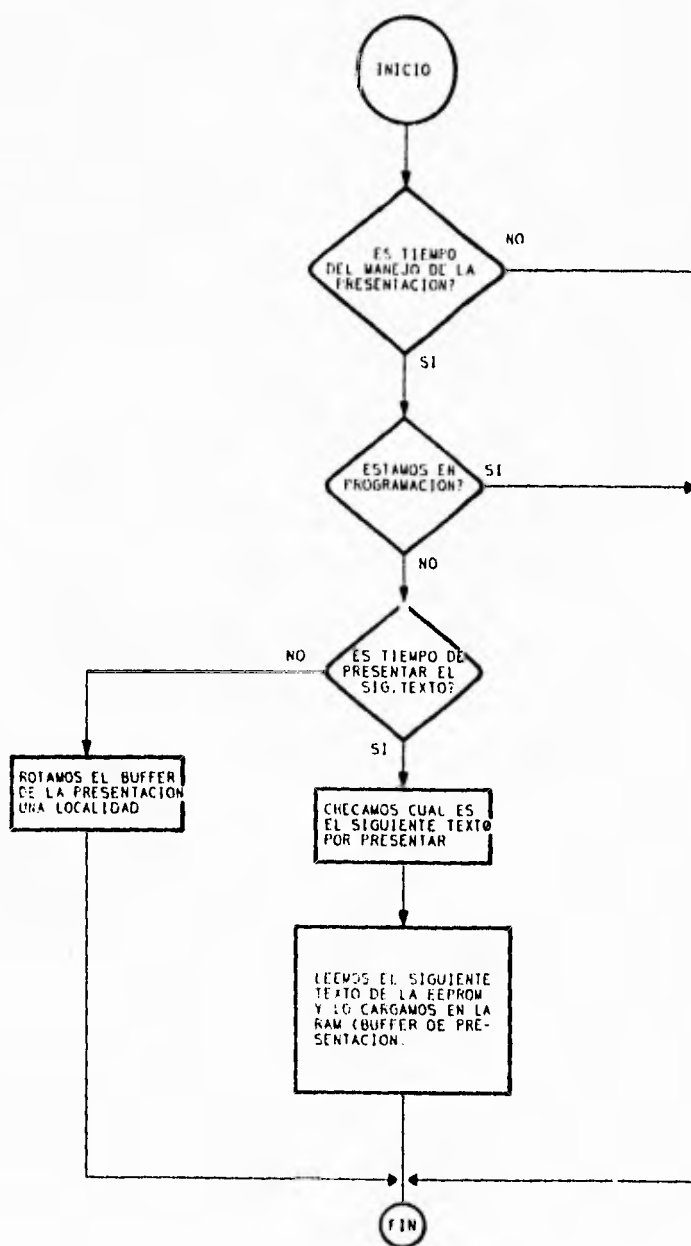


Figura 4.22. Diagrama de flujo de la rutina del manejo de la presentación de los mensajes.

El diagrama de flujo de la figura 4.23 contiene la rutina de despliegue de los mensajes. Esta rutina es la encargada de direccionar los puertos y en consecuencia de multiplexar los fet's del manejo de la pantalla de led's.

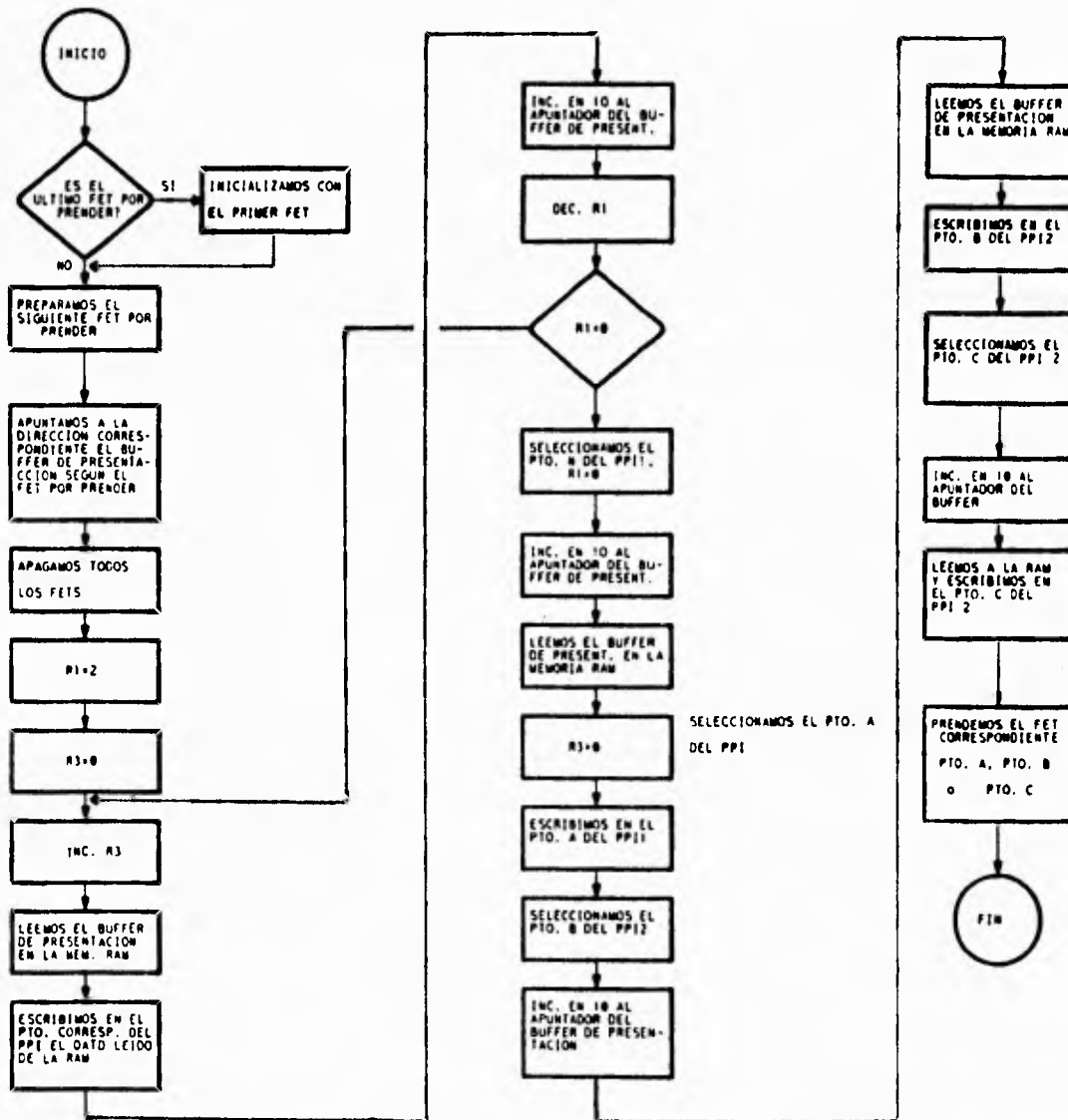


Figura 4.23. Diagrama de flujo de la rutina de despliegue de los mensajes (multiplexado de los fet's y de los datos de los puertos de los PPI's).

El diagrama de flujo de la figura 4.24 muestra la secuencia de lectura del receptor óptico. En primer lugar esta rutina se encuentra dentro de la rutina de interrupción contador uno, y ocurre cada 0.1 ms. Esta rutina se encarga de monitorear si hay señal en el receptor óptico, consecuencia de la presencia de luz infrarroja en el receptor. El estado activo de señal, ocasiona la presencia de un cero lógico a la salida del receptor. Al ser leído por el programa y reconocido como un "start bit" ó bit de inicio, la recepción del código de identificación y del código de datos se realiza, en caso contrario sale de la rutina. Para evitar una posible interferencia con otros sistemas similares, el código de datos leído es comparado con una tabla de datos almacenada en memoria, y solo en caso de pertenecer a dicha tabla, se valida el dato y se continúa con el proceso.

El código de datos transmitido, así como el código de identificación, es leído mediante el conteo de espacios entre pulsos, 0.56 ms. para un "cero" y 1.7 ms. para un "uno", como se explica en el subtema 4.6 del diseño del control remoto, página 87, figura 4.13.

Las otras subrutinas del programa, que interactúan con las dos rutinas por interrupción de tiempo, "contador cero" y "contador uno", son las siguientes:

- Subrutina de la bocina.- Mediante un tren de pulsos generado por programa, se hace sonar a la bocina cada que se detecta señal proveniente del control remoto al presionar una tecla.
- Subrutina de escritura a los PPI's.- Se encarga de direccionar al puerto correspondiente y de transferir los datos requeridos en la presentación de los mensajes.
- Subrutina de acceso a la tabla de caracteres.- Identifica la posición del caracter y lo traduce, almacenándolo en el buffer de presentación; listo para ser manejado por la rutina de despliegue.
- Subrutina de lectura de la EEPROM.- Carga los parámetro requeridos de acuerdo a las especificaciones de la EEPROM para una lectura de datos (ver apéndice B).
- Subrutina de escritura de la EEPROM.- Carga los parámetros requeridos de acuerdo a las especificaciones de la EEPROM para una operación de escritura.

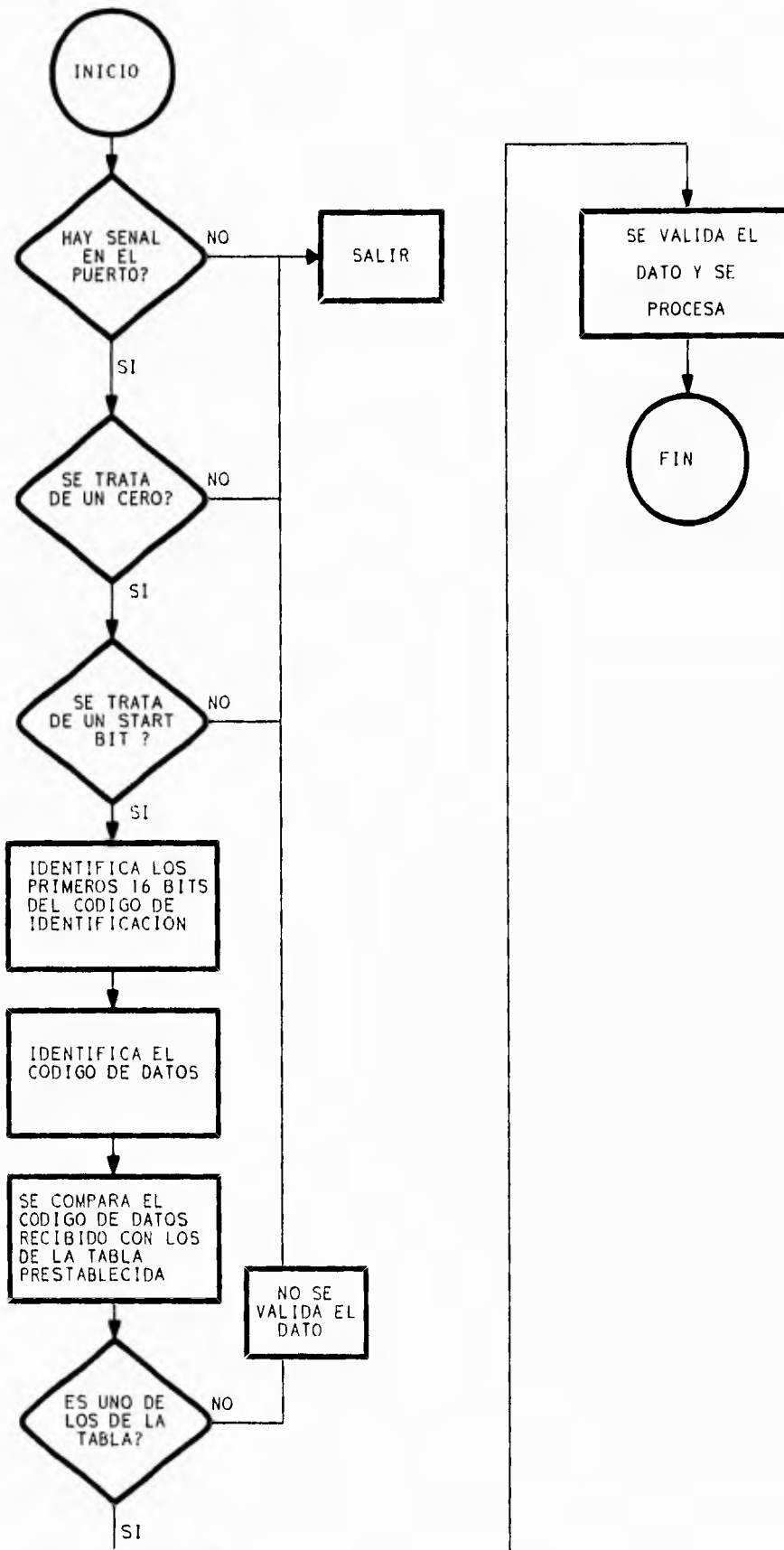


Figura 4.24. Diagrama de flujo de la lectura de datos en el receptor óptico.

El listado del programa completo del sistema, se muestra en el apéndice A. En el programa se utilizaron etiquetas y nombres de variables representativos del proceso efectuado en el sistema, con la finalidad de una fácil comprensión del mismo.

CAPITULO 5

CONSTRUCCION DEL SISTEMA

5.1 INTRODUCCION

La construcción del sistema está hecha para que sea modular, fácil de armar y fácil de proporcionarle mantenimiento. Consta de lo siguiente:

- Circuito impreso de lógica de control
- Circuito impreso de driver's de potencia
- Matriz de led's
- Circuito impreso del control remoto con su gabinete
- Gabinete principal

El circuito impreso de lógica de control está polarizada con 5 volts únicamente y se conecta al circuito impreso que contiene los driver's de potencia a través de un conector DB9. Este circuito impreso mide 11.5 cm x 10.5 cm.

El circuito impreso de los driver's y que también contiene a la etapa de potencia, consta de diez fet's, se polariza con 5 y 12 volts, y está interconectada a la matriz de led's con dos conectores DB25. Sus medidas son de 25 cm x 14.5 cm. Ambos circuitos impresos tienen dos caras: la de componentes y la de soldadura.

La matriz de led's está construida con 10 fichas de 5 columnas x 7 renglones de led's. Estas fichas se insertan a unas bases de tal manera que, si llegara a fallar una ficha o un led de la misma, solamente se quita y se inserta otra ficha.

El control remoto también tiene **un gabinete** de acrílico y fue diseñado pensando en que sea portátil y fácil de cargar en el bolsillo.

El gabinete principal está construido de acrílico y su diseño fué pensado para que pueda sujetarse a una estructura tubular, ó bien, colocarse sobre una superficie plana en cualquier parte.

En los siguientes incisos se muestran los diagramas de los circuitos impresos, tanto la cara de componentes como la cara de soldadura y además la distribución de los componentes. También los diagramas de construcción del gabinete principal y del envolvente del control remoto.

Los circuitos impresos están sujetos al gabinete con tornillos ahogados y su polarización está hecha con fuentes independientes: una para la lógica de control y la otra para los driver's de potencia y la matriz de led's. La interconexión entre los circuitos impresos fue hecha con conectores para facilitar un cambio del circuito impreso ó reparación fuera del gabinete. También en incisos posteriores se presenta en un diagrama el contenido de cada conector.

5.2 DIAGRAMAS DEL CIRCUITO IMPRESO DE LA LOGICA DE CONTROL

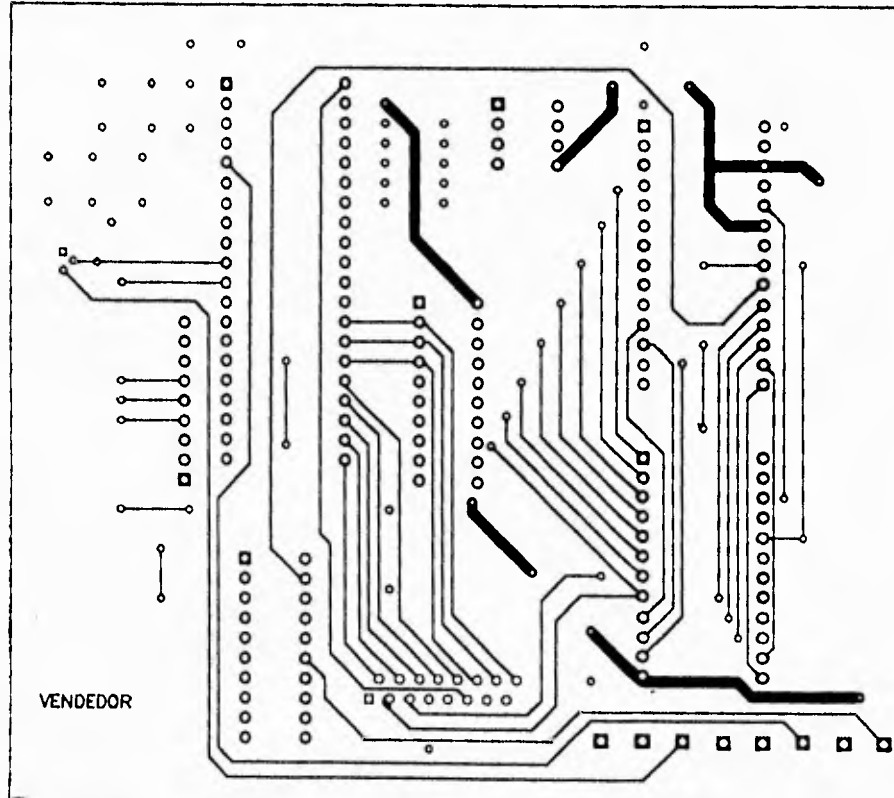


Figura 5.1. Cara de componentes del circuito impreso de la lógica de control.

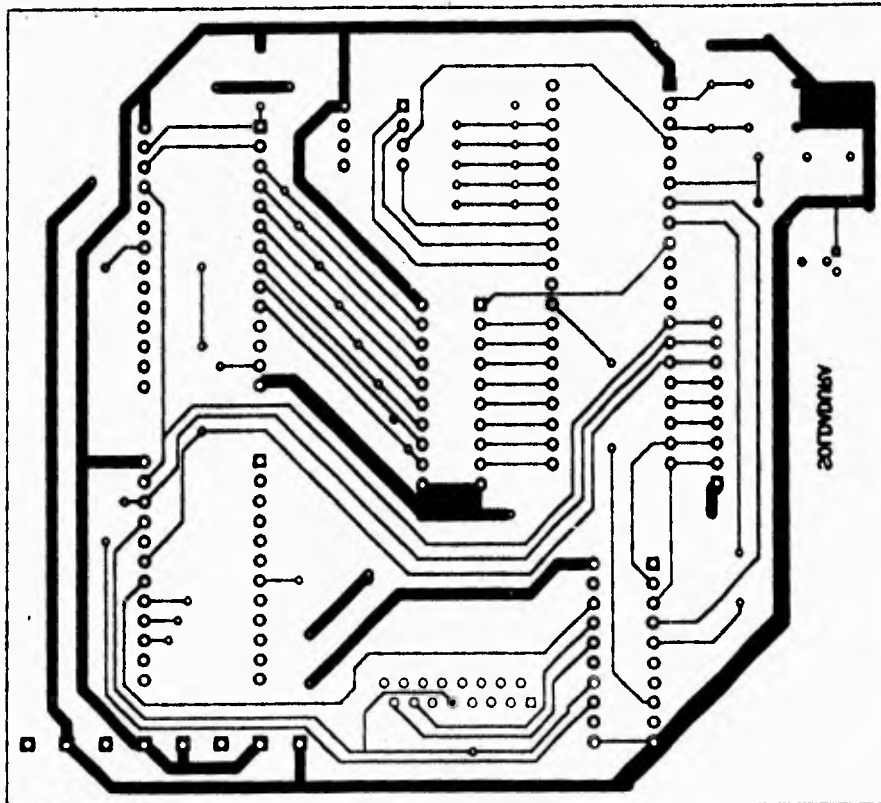


Figura 5.2. Cara de soldadura del circuito impreso de la lógica de control.

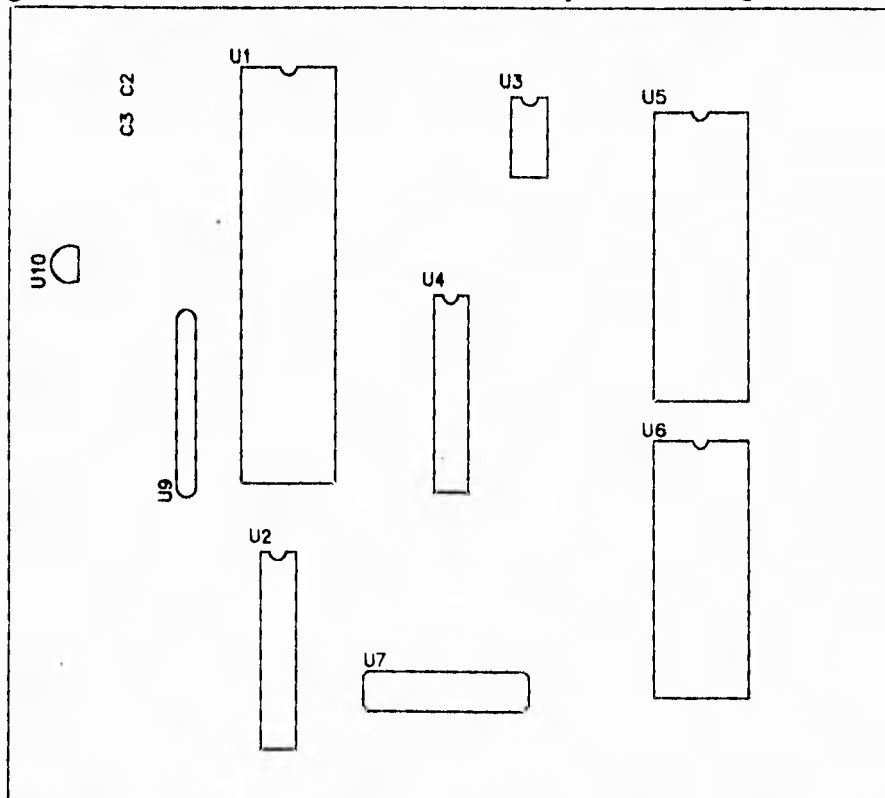


Figura 5.3. Ubicación de componentes en el circuito impreso de la lógica de control.

5.3 DIAGRAMA DE CIRCUITO IMPRESO DE LOS DRIVER'S Y ETAPA DE POTENCIA

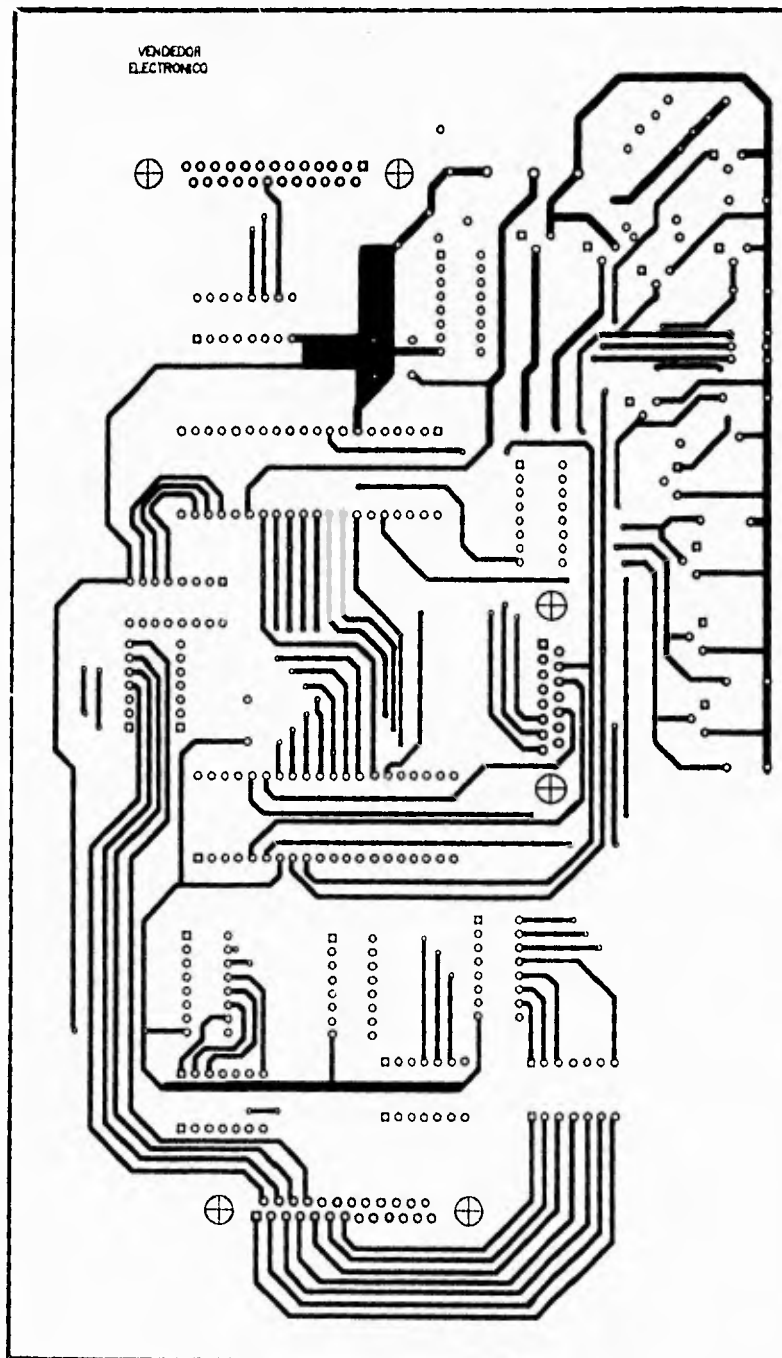


Figura 5.4. Cara de soldadura del circuito impreso de los driver's de potencia
(Note que es una reducción del tamaño original del circuito).

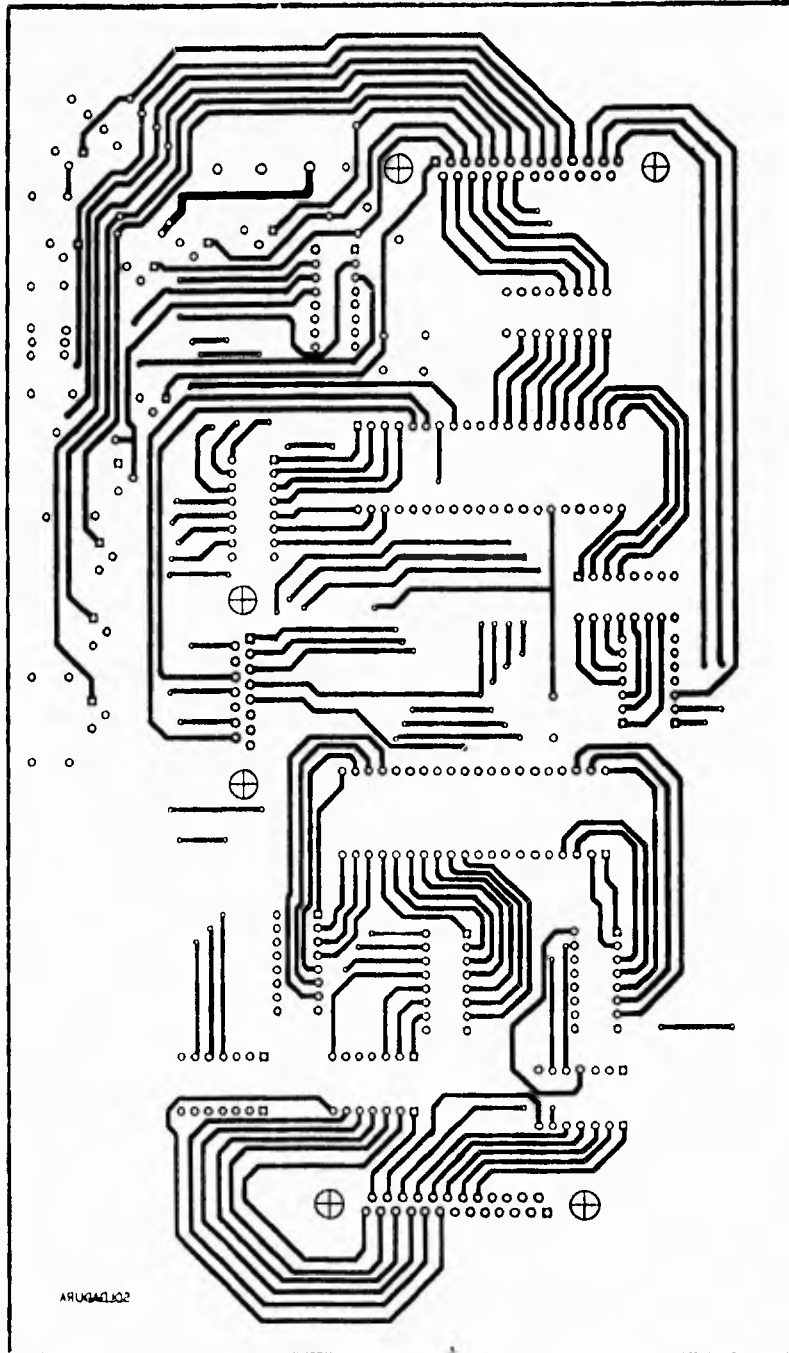


Figura 5.5. Cara de soldadura del circuito impreso de los driver's y de la etapa de potencia.

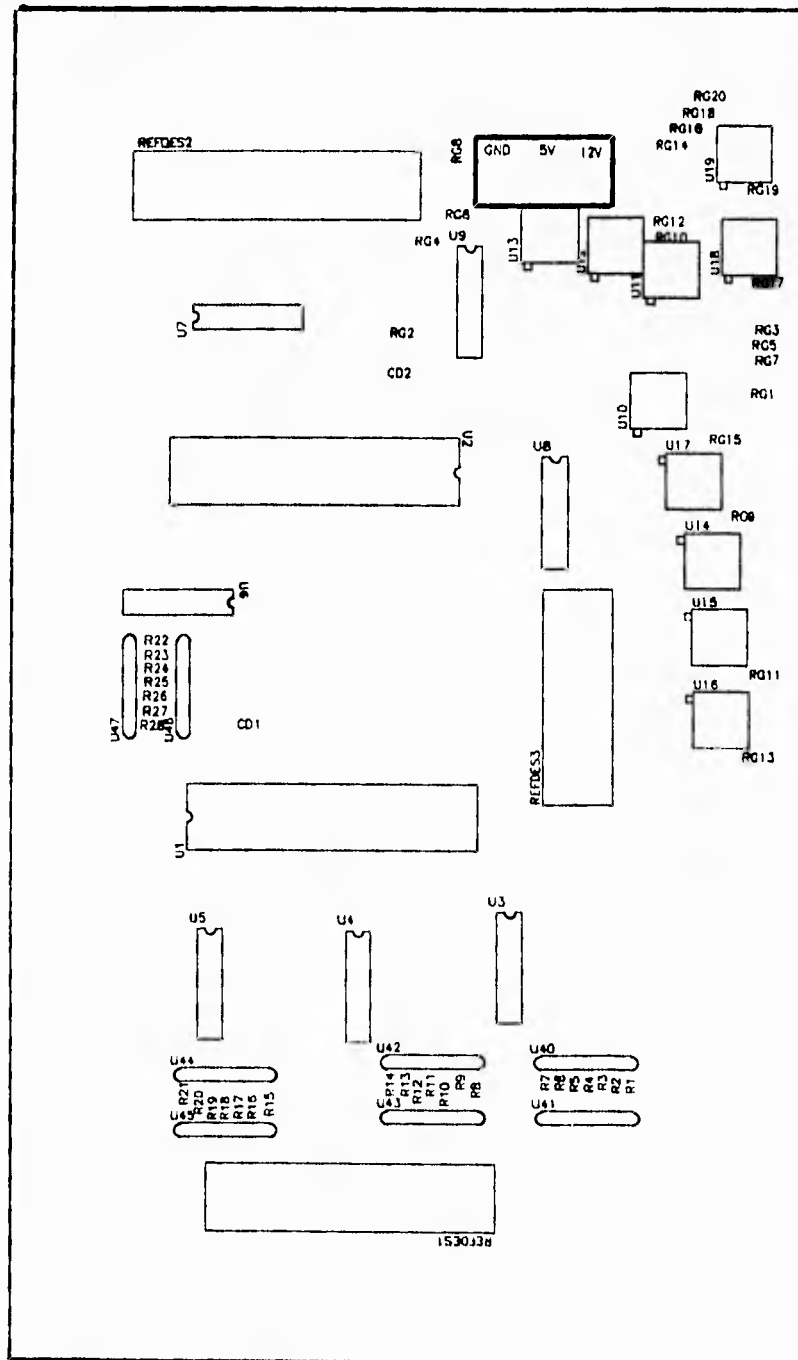


Figura 5.6. Ubicación de los componentes en el circuito impreso de la etapa de potencia y driver's.

5.4 DIAGRAMAS DEL CIRCUITO IMPRESO DEL CONTROL REMOTO

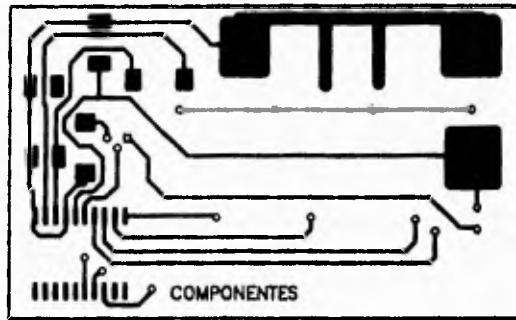


Figura 5.7. Cara de componentes del circuito impreso del control remoto.

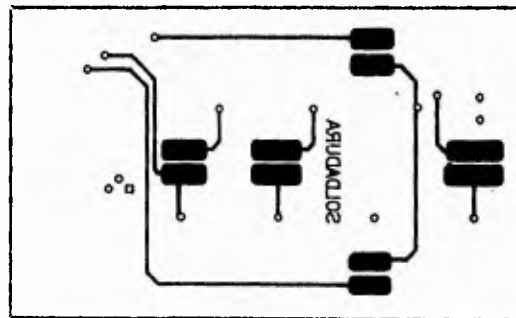


Figura 5.8. Cara de soldadura del circuito impreso del control remoto.

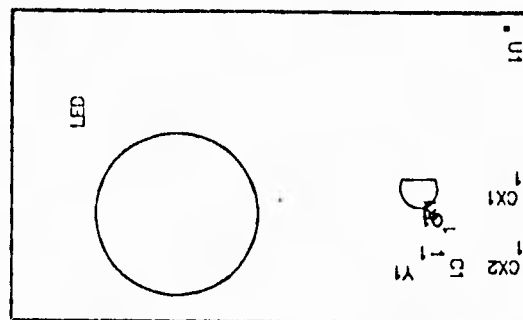


Figura 5.9. Ubicación de los componentes del circuito impreso del control remoto.

5.5 CONECTORES

Conector DB15 que está interconectado entre el circuito impreso de la lógica de control y el circuito impreso de los driver's

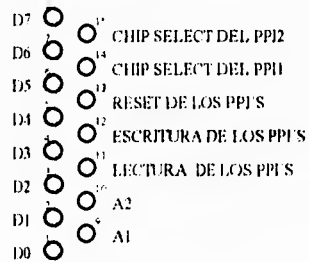


Figura 5.10. Conector DB15

Conector DB25(1) que está interconectado entre el circuito impreso de los driver's y la matriz de led's

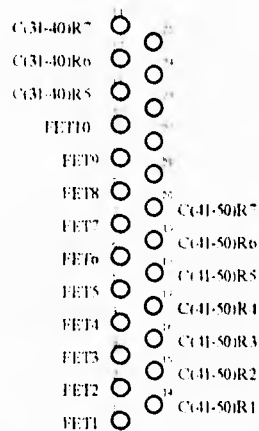


Figura 5.11. Conector DB25(1)

El conector DB25(2) se interconecta entre la matriz de led's y el circuito impreso de los driver's.

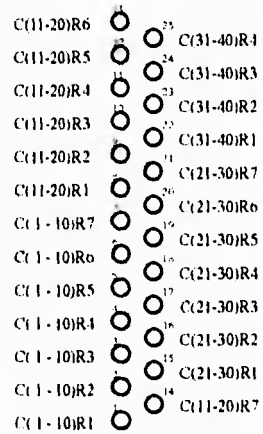
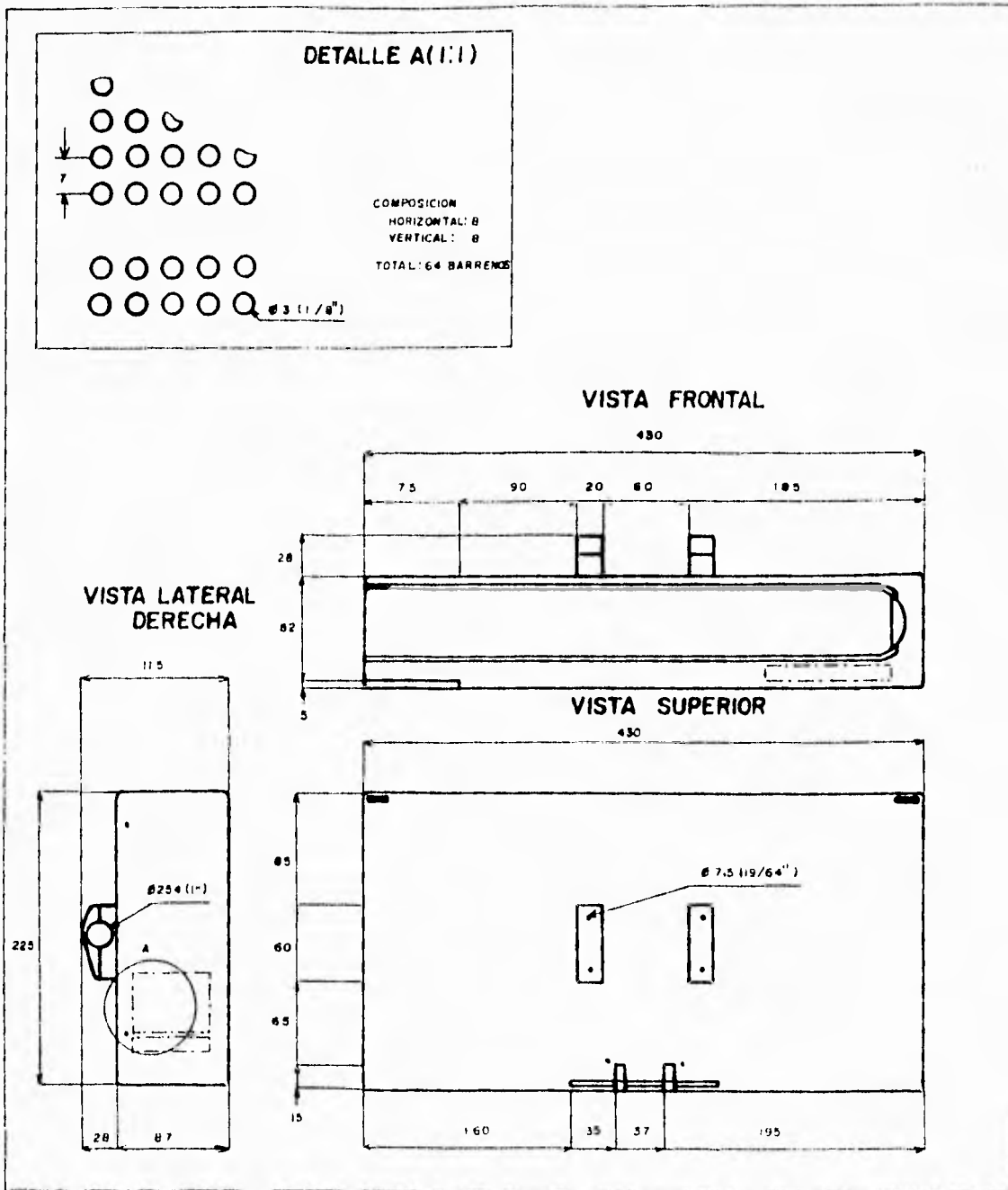


Figura 5.12. Conector DB25(2)

5.6 GABINETE DEL VENDEDOR ELECTRONICO

Los planos P1, P2 y P3 muestran las vistas frontal, superior, posterior e inferior del gabinete del vendedor electrónico, así como un despiece del mismo.



PI

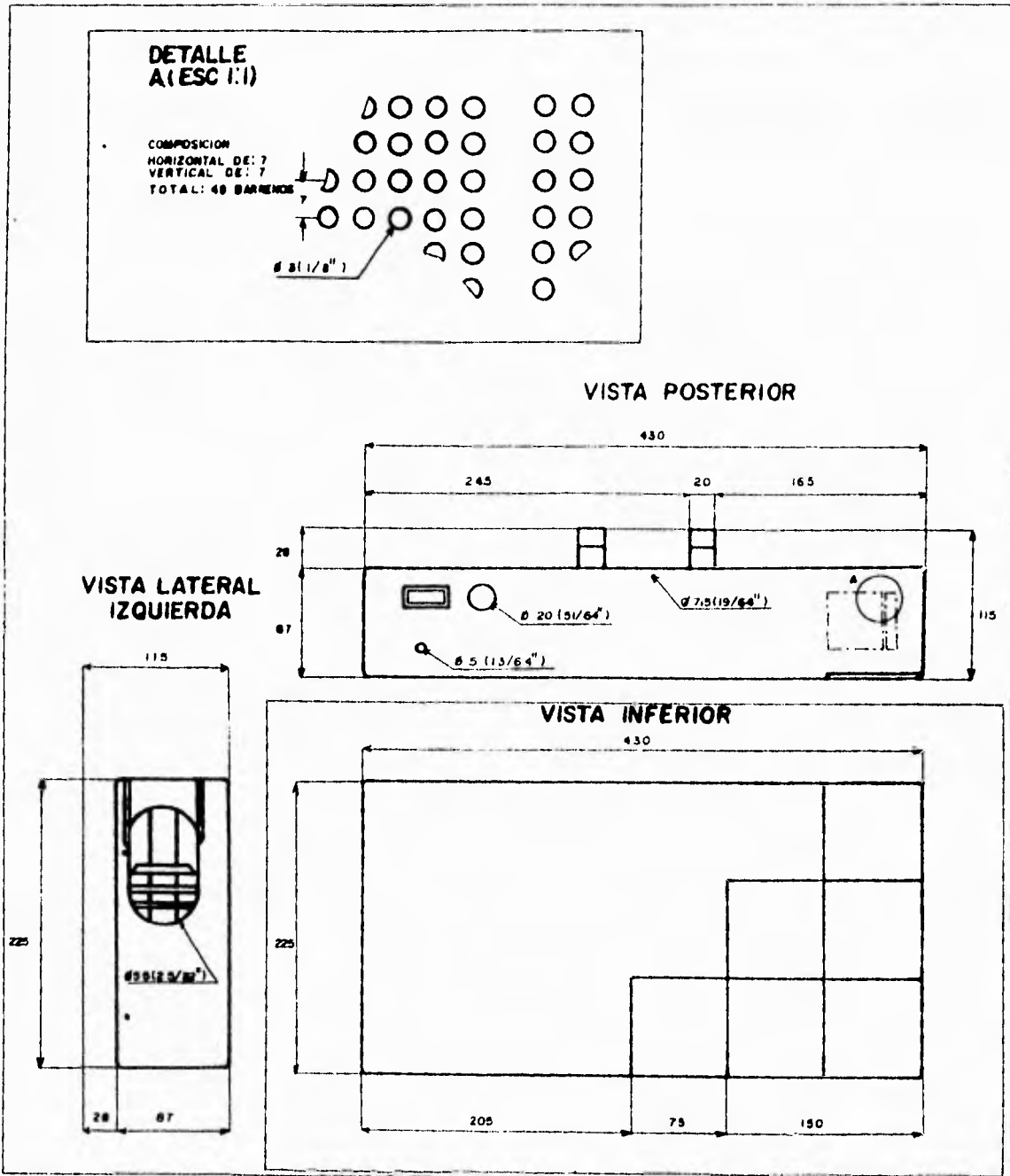
UNAM FAC. DE ING.

ESCALA
 1:4
 FECHA:

VISTAS GENERALES NUMERO 1

COTAS
 mm

Plano P1



P2

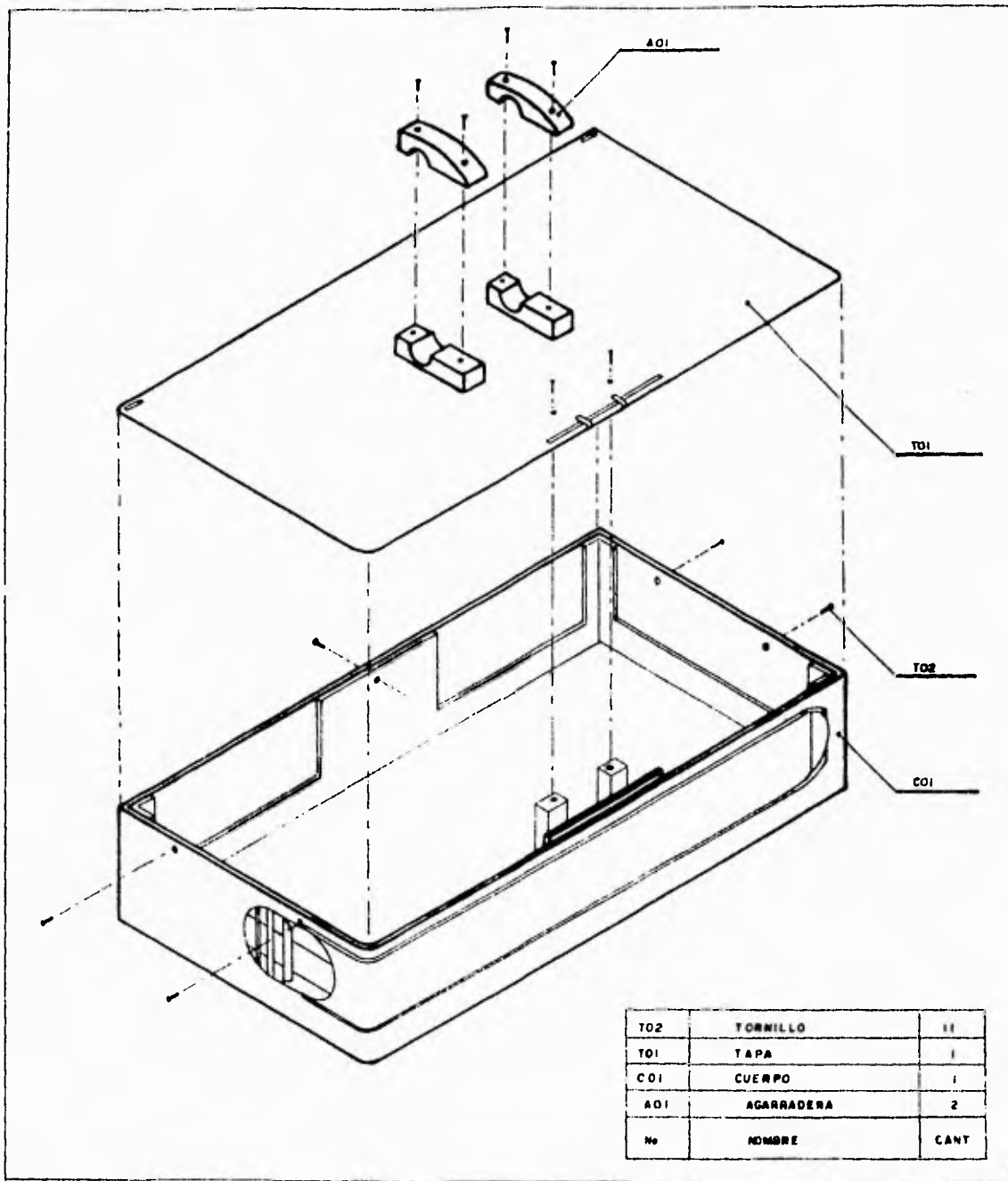
UNAM FAC. DE ING.

ESCALA
 1:4
 FECHA

VISTAS GENERALES NUMERO 2

COTAS
 77

Plano P2.



P3

UNAM FAC. DE ING.

ESCALA
1:4
FED14

DESPIECE

TOTALS
11

Plano P3

CAPITULO 6

MANUAL DE OPERACION

6.1 INTRODUCCION

En el presente capítulo se da una explicación detallada del funcionamiento y manejo del sistema diseñado ("VENDEDOR ELECTRONICO") así como de recomendaciones y cuidados a seguir por el usuario, sin importar si está familiarizado con la tecnología empleada; es por ello que algunas de las recomendaciones pueden parecer obvias.

6.2 MANUAL DE OPERACION

ADVERTENCIA: El vendedor electrónico debe emplearse únicamente en locales cerrados, no exponga a la lluvia porque puede sufrir graves daños.

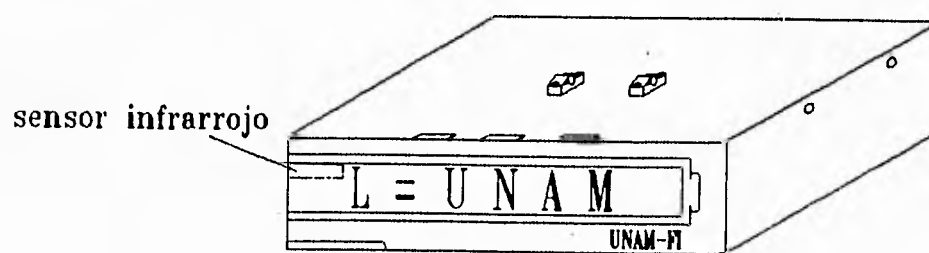
PRECAUCIONES PARA EL USO DEL VENDEDOR ELECTRONICO:

- 1.- Operese solo en el rango especificado de voltaje.
- 2.- No se coloque cercano a lugares con grandes concentraciones de humedad.
- 3.- Si no se va a usar por periodos largos de tiempo, desconecte el cable de la alimentación. La información contenida no se perderá aún estando desconectado.

CONTENIDO

	Pags.
Instalación _____	1
Uso de control remoto _____	2
Controles y su localización _____	3
Operación del " Vendedor Electrónico " _____	5
Funciones del control remoto _____	6
Especificaciones _____	10

- Coloque el vendedor electrónico en un lugar visible para el cliente, sujetándolo de manera que no se mueva. Asegúrese de instalarlo en un lugar cercano a una toma de corriente de manera que necesite que usar alguna extensión adicional.
- Coloque el vendedor electrónico de manera que el sensor infrarrojo quede libre de cualquier obstáculo.

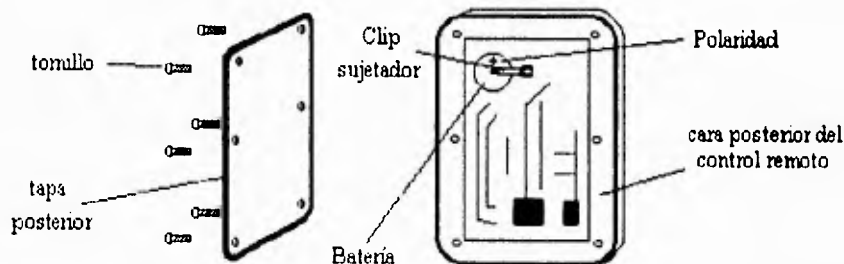


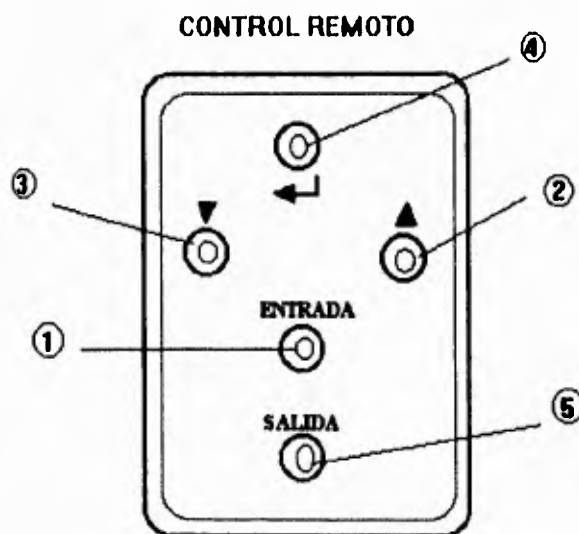
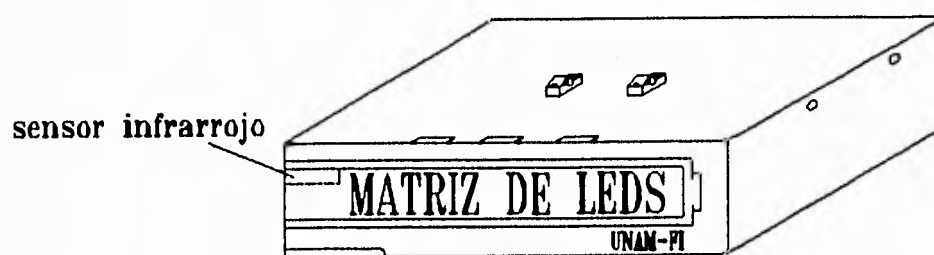
Uso correcto

- Apunte con el control remoto hacia el sensor del vendedor electrónico.
- La distancia máxima de operación entre el sensor infrarrojo y el control remoto es de 10 m. y con un ángulo no mayor de 30 grados del sensor.
- Es recomendable seleccionar una distancia aproximada de 5 m. con un ángulo no mayor de 15 grados .
- La duración de la batería del control remoto es de 1 año aproximadamente dependiendo del uso que se le dé. Reemplace la batería cuando la operación de las teclas del control no respondan adecuadamente.

Instalación de la batería

- Retire la tapa posterior del control remoto.
- Inserte la batería en el "clip" (sujetador), verificando que la polaridad sea la correcta.
- Cierre bien la tapa posterior del control remoto.



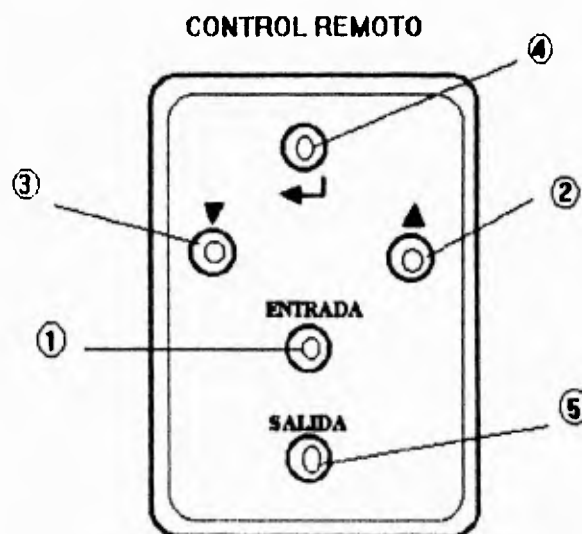


- 1.- Tecla de entrada a programación.
- 2.- Tecla de búsqueda de caracter en forma ascendente.
- 3.- Tecla de búsqueda de caracter en forma descendente.

- 4.- Tecla de confirmación de caracter una vez seleccionado.
- 5.- Tecla de salida de programación salvando en forma automática las modificaciones realizadas.

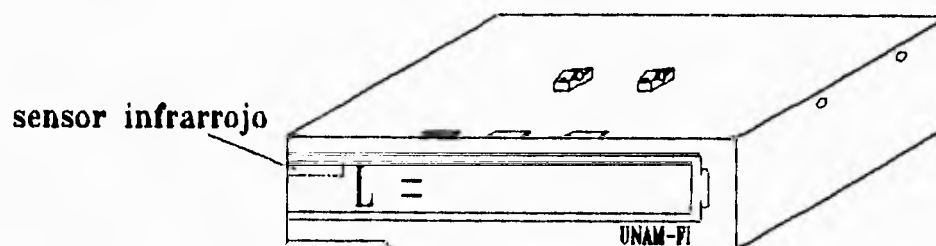
- Conecte el cable de la alimentación a una fuente ó toma de corriente de 127 Volts.
- En forma automática el display comenzará a desplegar los mensajes : logotipo, producto y precio; que son los datos inicialmente grabados en el diseño.
- Para modificar los letreros ó mensajes existentes refiérase a las funciones del control remoto.
- Una vez modificados los mensajes y salido de programación, estos comenzarán su presentación, y permanecerán grabados aún cuando ocurra una falla de energía, reiniciando el despliegue de los mensajes al restablecerse la misma.
- Los mensajes permanecerán grabados en la memoria EEPROM, lo cual permite retener los mensajes hasta por 10 años aún en ausencia de energía.

El control remoto es el instrumento que permite grabar los mensajes en el vendedor electrónico; posee una gran sencillez en su manejo, ya que solo cuenta con 5 botones y permite acceder a los caracteres del alfabeto de la **A** a la **Z** y del **0** al **9**, además de caracteres como **-**, **=**, **.**, **S**, y un **espacio vacío**.



El control remoto modifica los mensajes mediante los siguientes pasos a seguir:

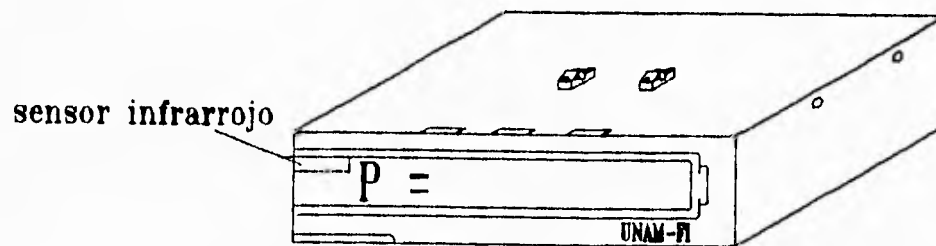
- 1) Presione la tecla **1** para entrar a programación, y automáticamente la pantalla detendrá la rotación de los mensajes y desplegará " **L =** " esperando la nueva grabación del logotipo.



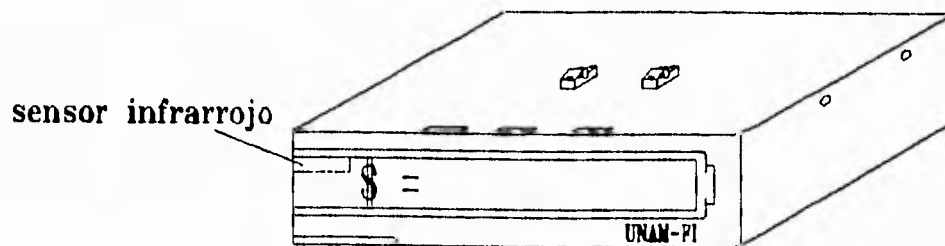
Una vez desplegado el mensaje "L=" se podrá grabar un nuevo mensaje.

- 2) Presione la tecla 2 para buscar en forma ascendente el caracter deseado y la tecla 3 para regresar (forma descendente) en la búsqueda.
- 3) Una vez seleccionado el caracter deseado se deberá presionar la tecla 4 para confirmar (grabar) que se ha aceptado este carácter, con lo cual se observará que dicho caracter se desplaza hacia la izquierda esperando confirmar uno nuevo.
- 4) Repita el proceso desde el paso 2 para confirmar los caracteres deseados de acuerdo al mensaje que se está escribiendo.
- 5) Una vez terminado de seleccionar el mensaje, presione la tecla 5 para salir de programación e iniciar el despliegue de la pantalla. En caso de desear la modificación de otra línea, continuar con el paso 6.

- 6) Para grabar el mensaje del producto presione la tecla 1 con lo cual la pantalla desplegará "P=" como muestra la figura,



- 7) Una vez terminado de seleccionar el mensaje presione la tecla 5 para salir de programación e iniciar el despliegue de la pantalla. En caso de desear la modificación de otra línea continúe con el paso 8.
- 8) Para grabar el mensaje del precio del producto presione la tecla 1 , con lo 2 al 4. cual la pantalla desplegará "\$=", como muestra la figura,



en ese momento se podrá modificar el precio del producto repitiendo los pasos del 2 al 4.

- 9) Una vez terminado de seleccionar el mensaje presione la tecla 5 para salir de programación e iniciar la presentación del mensaje.

NOTA: En caso de desear la modificación de otra línea ya sea de producto, precio y/o logotipo, remitirse a los pasos 1,6, u 8 según corresponda a la modificación deseada.

Dimensiones del gabinete: 430 mm ancho, 225 mm de fondo, y 87 mm de altura.

Peso: 3.05 Kg.

Area de exhibición: 53 mm x 381 mm.

Color de los leds: rojos.

Disposición de los leds: 7 renglones x 50 columnas.

Altura del carácter: 5 cms.

Número de líneas: una.

Número de caracteres por línea (desplegados a la vez): 8.

Angulo de visibilidad: 150 grados.

Visibilidad máxima: a 40 m.

Capacidad de memoria: 120 caracteres.

Consumo de energía: 10 Watts.

Tipo de alimentación : 127 VCA

Número de caracteres máximo por mensaje (no desplegados a la vez): 30.

CONTROL REMOTO

Dimensiones: 84 mm de alto, 54 mm de ancho, 8 mm de espesor.

Peso: 50 gr.

Batería: 1 batería de litio de 3V.

CAPITULO 7

PRUEBAS Y CONCLUSIONES

7.1 PRUEBAS REALIZADAS

Una vez diseñado el equipo se hicieron las siguientes pruebas:

- Se probó que el multiplexado esté a la frecuencia correcta para que en la matriz de led's se puedan observar sin parpadeos los caracteres expuestos. La frecuencia correcta debe ser mayor que la utilizada por el ojo humano para ver con precisión, la frecuencia que se utilizo es de 800 Hz.
- El equipo se dejó prendido durante 48 horas, para probar su correcto funcionamiento, así como la resistencia del gabinete al calentamiento normal del sistema. El equipo opero correctamente, y el gabinete no sufrió ninguna deformación debido a la temperatura normal del sistema.
- Se probó la distancia a la que se puede programar el sistema con el control remoto en un espacio cerrado; por lo tanto, la luz solar no incidía directamente en el receptor de luz infrarroja del sistema . Esta prueba se llevo a cabo transmitiendo a diferentes distancias, tomando como base el cálculo realizado en el capítulo cuatro. Se logro transmitir correctamente a una distancia de 8 m.
- Para probar la duración de la batería del control remoto, se hicieron transmisiones continuas con intervalos de un segundo cada una y se lograron 341,389 transmisiones, antes de que se agotara la batería. Esto quiere decir, que, en el peor de los casos, si se programaran los tres textos del sistema cada uno con treinta caracteres, y además se cometieran 50 errores, se oprimirían un total de 150 teclas; entonces, al dividir 341,389 entre 150 tendremos la duración del control remoto:

2,275 días, equivalentes a 6 años de operación (ya que si dividimos 2275 entre 365 días nos da 6.2 años).

- Se probó el número de escrituras, en registros tomados al azar, en la **EEPROM** y se alcanzó un promedio de 9832 escrituras. Esto quiere decir que, si pensáramos en modificar 2 veces al día cada uno de los registros, entonces alcanzaría para 4,916 días, divididos entre 365 de cada año, alcanzaría para 13 años.
- Se hicieron pruebas de visibilidad de los caracteres tanto en interiores como expuestos a la luz solar, teniendo como resultado que, en interiores se puede ver a una distancia de 20 m. y en el exterior no se puede ver, pero existen led's de alta intensidad luminosa que se pueden ver pueden expuestos a la luz solar.

7.2 CONCLUSIONES

El equipo respondió exitosamente a las pruebas mencionadas en el inciso anterior, por lo que se puede concluir que el diseño y construcción del sistema es económico, novedoso y cumple con el propósito de anunciar un producto, además tiene las siguientes ventajas sobre otros diseños semejantes:

- El sistema no necesita batería para poder almacenar sus mensajes, ya que cuenta con una memoria **E2PROM** que tiene la capacidad de almacenar datos hasta por diez años sin tener que polarizarse.
- Debido a que solo se pueden programar tres mensajes de 30 caracteres cada uno, se logró un sistema económico.
- La capacidad de los fet's de 16 Amp. está sobrada, pero en el mercado electrónico se encontraron muy económicos. La corriente que demanda el sistema de potencia no es continua; debido a esto los fet's no se calientan, por lo tanto hubo un gran ahorro en **disipadores** (no utilizados) para cada uno de los diez fet's del circuito.

- Debido a la función específica de cada una de las teclas, es muy fácil que cualquier persona pueda programar el sistema, leyendo el instructivo.
- El sistema cuenta con su propia fuente de poder; y esto permite que el vendedor electrónico pueda instalarse fácilmente, requiriendo solamente una alimentación de 127 VCA; además, por su construcción física puede ser trasladado de un lugar a otro fácilmente sin ningún problema con la instalación.
- El control remoto de luz infrarroja, a diferencia de los controles remotos de radiofrecuencia, permite que con un solo control remoto se puedan programar varios sistemas, que se encuentren en la misma área de publicidad sin necesidad de tener un código de identificación para cada uno.
- Al finalizar el diseño y construcción de este equipo se observaron los siguientes puntos que podrían mejorar al sistema:
 - 1.- Aumentar el número de teclas en el control remoto para adicionarle nuevas funciones que faciliten aún más la programación del sistema.
 - 2.- Reducir el tamaño del gabinete, para que sea mas versátil en su colocación.

APENDICE A

TESIS SIN PAGINACION

COMPLETA LA INFORMACION

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

000001 0000
000002 0000
000003 0000
000004 0000
000005 0000
000006 0000
000007 0000
000008 0000
000009 0000
000010 0000
000011 0000
000012 0000
000013 0000
000014 0000
000015 0000
000016 0000
000017 0000
000018 0000
000019 0000
000020 0000
000021 0000
000022 0000
000023 0000
000024 0000
000025 0000
000026 0000
000027 0000
000028 0000
000029 0000
000030 0000
000031 0000
000032 0000
000033 0000
000034 0000
000035 0000
000036 0000
000037 0000
000038 0000
000039 0000
000040 0001
000041 00FE
000042 0002
000043 00FD
000044 0004
000045 00FB
000046 0008
000047 00F7
000048 0010
000049 00EF
000050 0020
000051 000F
000052 0040
000053 00BF
000054 0080
000055 007F
000056 0037
000057 00C0
000058 0006
000059 00C0
000060 0000
000061 00A0
000062 0080
000063 0000
000064 0000

.COMMAND +d

.TITLE "VENDEDOR 8/DIC/94"

;lo(<expr>) masks off the least significant byte of <expr>.

;hi(<expr>) isolates the most significant byte of <expr>

```
*****
;* NOMBRE: VENDEDOR ELECTRONICO *
;* FECHA: 8/DIC/1994 *
;* DESCRIPCION: VENDEDOR ELECTRONICO (TABLILLA DE INTERFACES) *
;* HARDWARE: TESIS1.SCH (TABLILLA INTERFACE A LA MATRZ DE LEDS) *
;* TESIS2.SCH (TABLILLA DE CONTROL) *
;* EL FIRMWARE CONSISTE DE LOS SIGUIENTES MODULOS: *
;* PROPOSITO: MENSAJERO QUE CONSTA DE 50 COLUMNAS Y 7 RENGLONES QUE PRESENTA *
;* TRES TEXTOS CON EL PROPOSITO DE ANUNCIAR UN PRODUCTO QUE *
;* REQUIERA PUBLICIDAD. DICHS TEXTOS DE PUBLICIDAD SE PRESENTA *
;* CIRCULANDO. LOS CARACTERES SON DE (5*7) *
;* *
;* 1.-CONFIGURACION DEL Z8681 E INICIALIZACION DE VARIABLES *
;* *
;* 2.-PROGRAMA GENERAL. *
;* A.-SUBMODULO DE MANEJO DE PRESENTACION *
;* *
;* 3.-INTERRUPT DEL CONTADOR UNO: *
;* A.-SUBMODULO DE TECLADO *
;* *
;* 5.-INTERRUPT DEL CONTADOR CERO *
;* *
;* A.-SUBMODULO DEL MULTIPLEXADO DE LOS FETS *
;* B.-SUBMODULO DE BOCINA *
*****
```

```
*****
;* AREA DE DEFINICION DE CONSTANTES *
*****
```

```
B00N: .CEQU $01 ;OR COM B00N BIT 0 ON
B00F: .CEQU $FE ;OR COM B00F BIT 0 OFF
B10N: .CEQU $02 ;OR COM B10N BIT 1 ON
B10F: .CEQU $FD ;AND COM B10F BIT 1 OFF
B20N: .CEQU $04 ;OR COM B20N BIT 2 ON
B20F: .CEQU $FB ;AND COM B20F BIT 2 OFF
B30N: .CEQU $08 ;OR COM B30N BIT 3 ON
B30F: .CEQU $F7 ;AND COM B30F BIT 3 OFF
B40N: .CEQU $10 ;OR COM B40N BIT 4 ON
B40F: .CEQU $EF ;AND COM B40F BIT 4 OFF
B50N: .CEQU $20 ;OR COM B50N BIT 5 ON
B50F: .CEQU $DF ;AND COM B50F BIT 5 OFF
B60N: .CEQU $40 ;OR COM B60N BIT 6 ON
B60F: .CEQU $BF ;AND COM B60F BIT 6 OFF
B70N: .CEQU $80 ;OR COM B70N BIT 7 ON
B70F: .CEQU $7F ;AND COM B70F BIT 7 OFF
NTIC: .CEQU 55 ;TIEMPR ENTRE CIRCULACIONES
READEE: .CEQU $C0 ;PALABRA DE CONTROL QUE INDICA A EEPROM LECTURA
MEMORY: .CEQU 6 ;6 PARA 9346, 8 PARA 9356 O 9366
EWEN00: .CEQU $C0 ;HABILITA ESCRITURA Y BORRADO DE LA EEPROM
EWDS00: .CEQU $00 ;DESHABILITA ESCRITURA Y BORRADO
WRITEE: .CEQU $A0 ;PALABRA DE CONTROL QUE INDICA A EEPROM ESCRITURA
EW: .CEQU $80
```

;CTES PARA MANEJO DEL PPI 8255

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000065 0040 HBPP11: .CEQU $40 ;HIGH BYTE DE LAS DIRECCIONES DEL PP11 8255
000066 0080 HBPP12: .CEQU $80 ;HIGH BYTE DE LAS DIRECCIONES DEL PP12 8255
000067 0000 PTOA: .CEQU $00 ;LOW BYTE DE LA DIRECCION DEL PTO A DEL 8255
000068 0001 PTOB: .CEQU $01 ;LOW BYTE DE LA DIRECCION DEL PTO B DEL 8255
000069 0002 PTOC: .CEQU $02 ;LOW BYTE DE LA DIRECCION DEL PTO C DEL 8255
000070 0003 PTOK: .CEQU $03 ;LOW BYTE DE LA DIRECCION DEL PTO DE CNTL DEL 8255
000071 0000
000072 0000 ;CONSTANTES PARA ORGANIZAR EL MAPA DE MEMORIA DE LA RAM
000073 0088 LPRE: .CEQU 136 ;LONGITUD DEL BUFFER DE PRESENTACION
000074 0000
000075 0000 ;*****
000076 0000 ;* MAPA DE MEMORIA DE LA RAM *
000077 0000 ;*****
000078 0000
000079 8000 BUFPRE: .CEQU $8000 ;BUFER DE PRESENTACION
000080 8088 BUFTEM: .CEQU BUFPRE+LPRE ;BUFFER TEMPORAL
000081 0000
000082 0000 ;*****
000083 0000 ;* MAPA DE MEMORIA DE LA E2PROM *
000084 0000 ;*****
000085 0000
000086 0000
000087 0000 DIRLOG: .CEQU $00 ;DIR 1 DEL BUFFER DE LOGOTIPO EN LA E2PROM
000088 0015 DIRPRO: .CEQU $15 ;DIR 1 DEL BUFFER DE PRODUCTO EN LA E2PROM
000089 0030 DIRCOS: .CEQU $30 ;DIR 1 DEL BUFFER DE PRODUCTO EN LA E2PROM
000090 0000
000091 0000 ;BUFFER DEL LOGOTIPO (MAXIMO 36 CARACTERES)
000092 0000 ;DIR 00 CARACTER 1 Y 2 DEL BUFFER DE LOGOTIPO
000093 0000 ;DIR 01 CARACTER 3 Y 4 DEL BUFFER DE LOGOTIPO
000094 0000 ;DIR 02 CARACTER 5 Y 6 DEL BUFFER DE LOGOTIPO
000095 0000 ;DIR 03 CARACTER 7 Y 8 DEL BUFFER DE PRODUCTO
000096 0000 ;DIR 04 CARACTER 9 Y 10 DEL BUFFER DE PRODUCTO
000097 0000 ;DIR 05 CARACTER 11 Y 12 DEL BUFFER DE PRODUCTO
000098 0000 ;DIR 06 CARACTER 13 Y 14 DEL BUFFER DE PRODUCTO
000099 0000 ;DIR 07 CARACTER 15 Y 16 DEL BUFFER DE PRODUCTO
000100 0000 ;DIR 08 CARACTER 17 Y 18 DEL BUFFER DE PRODUCTO
000101 0000 ;DIR 09 CARACTER 19 Y 20 DEL BUFFER DE PRODUCTO
000102 0000 ;DIR 0A CARACTER 21 Y 22 DEL BUFFER DE PRODUCTO
000103 0000 ;DIR 0B CARACTER 23 Y 24 DEL BUFFER DE PRODUCTO
000104 0000 ;DIR 0C CARACTER 25 Y 26 DEL BUFFER DE PRODUCTO
000105 0000 ;DIR 0D CARACTER 27 Y 28 DEL BUFFER DE PRODUCTO
000106 0000 ;DIR 0E CARACTER 29 Y 30 DEL BUFFER DE PRODUCTO
000107 0000 ;DIR 0F CARACTER 31 Y 32 DEL BUFFER DE PRODUCTO
000108 0000 ;DIR 10 CARACTER 33 Y 34 DEL BUFFER DE PRODUCTO
000109 0000 ;DIR 11 CARACTER 35 Y 36 DEL BUFFER DE PRODUCTO
000110 0000 ;DIR 12 CARACTER 80 DE FIN DE BUFFER DEL BUFFER DE PRODUCTO
000111 0000
000112 0000 ;BUFFER DEL PRODUCTO (MAXIMO 25 CARACTERES)
000113 0000 ;DIR 13 CARACTER 1 Y 2 DEL BUFFER DE PRODUCTO
000114 0000 ;DIR 14 CARACTER 3 Y 4 DEL BUFFER DE PRODUCTO
000115 0000 ;DIR 15 CARACTER 5 Y 6 DEL BUFFER DE PRODUCTO
000116 0000 ;DIR 16 CARACTER 7 Y 8 DEL BUFFER DE PRODUCTO
000117 0000 ;DIR 17 CARACTER 9 Y 10 DEL BUFFER DE PRODUCTO
000118 0000 ;DIR 18 CARACTER 11 Y 12 DEL BUFFER DE PRODUCTO
000119 0000 ;DIR 19 CARACTER 13 Y 14 DEL BUFFER DE PRODUCTO
000120 0000 ;DIR 1A CARACTER 15 Y 16 DEL BUFFER DE PRODUCTO
000121 0000 ;DIR 1B CARACTER 17 Y 18 DEL BUFFER DE PRODUCTO
000122 0000 ;DIR 1C CARACTER 19 Y 20 DEL BUFFER DE PRODUCTO
000123 0000 ;DIR 1D CARACTER 21 Y 22 DEL BUFFER DE PRODUCTO
000124 0000 ;DIR 1E CARACTER 23 Y 24 DEL BUFFER DE PRODUCTO
000125 0000 ;DIR 1F CARACTER 25 Y 80 DE FIN DE BUFFER DEL BUFFER DE PRODUCTO
000126 0000
000127 0000 ;BUFFER DEL COSTO DEL PRODUCTO (MAXIMO 11 CARACTERES)
000128 0000 ;DIR 20 CARACTER 1 Y 2 DEL BUFFER DE PRODUCTO
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000129 0000 ;DIR 21 CARACTER 3 Y 4 DEL BUFFER DE PRODUCTO
000130 0000 ;DIR 21 CARACTER 1 Y 6 DEL BUFFER DE PRODUCTO
000131 0000 ;DIR 23 CARACTER 1 Y 8 DEL BUFFER DE PRODUCTO
000132 0000 ;DIR 24 CARACTER 1 Y 10 DEL BUFFER DE PRODUCTO
000133 0000 ;DIR 25 CARACTER 11 Y 80 DE FIN DE BUFFER DEL BUFFER DE PRODUCTO
000134 0000
000135 0000
000136 0000 ;NOTA EL CHR DE FIN DE BUFFER 80 PUEDE ESTAR EN UNA LOCALID MENOR SI EL BUFFER
000137 0000 ;NO SE LLENA CON 36 LETRAS
000138 0000
000139 0000
000140 0000
000141 0000 ;* TABLA DE DENOMINACION DE REGISTROS *
000142 0000 ;*****
000143 0000 ;VARIABLES PARA LA RUTINA DEL TECLADO
000144 0005 TICBOC: .CEQU $05
000145 0006 TICKYB: .CEQU $06 ;TMR DE TECLADO CADA 10 MS
000146 0007 CTRKBD: .CEQU $07 ;CTR TECLADO
000147 0008 TEMPOO: .CEQU $08 ;VARIABLE DE APOYO A LA PROGRAMCION
000148 0009 SWPROG: .CEQU $09 ;SWPROG = 1 AJ DEL BUFFER DE LOGOTIPO
000149 0000 ;SWPROG = 2 AJ DEL BUFFER DE PRODUCTO
000150 0000 ;SWPROG = 3 AJ DEL BUFFER DE PRECIO
000151 000A SWCONF: .CEQU $0A ;INDICA CUANTOS CARACTERES SE HAN CONFIRMADO
000152 0000
000153 0000 ;VARIABLES QUE SE USAN EN LA PRESENTACION DE MENSAJES
000154 0000
000155 0000
000156 000B PTRTEN: .CEQU $0B ;HB DEL POINTER AL BUFFER TEMPORAL
000157 000C PTRTEL: .CEQU $0C ;LB DEL POINTER AL BUFFER TEMPORAL
000158 0000
000159 0000 PTRPRH: .CEQU $0D ;HB DEL POINTER AL BUFFER DE PRESENTACION
000160 000E PTRPRL: .CEQU $0E ;LB DEL POINTER AL BUFFER DE PRESENTACION
000161 000F SWPRES: .CEQU $0F ;=0 PRESE NORMAL,=1 ENTRADA,=2 SALIDA,=3 LOGOTIPO
000162 0010 TICMAN: .CEQU $10 ;TK'S DEL MANEJO DE LA PRESENTACION
000163 0011 CHR: .CEQU $11 ;INDICA EL NUMERO DE CHR A PRESENTAR
000164 0012 FET: .CEQU $12 ;LLEVA EL #DE FET POR PRESENTAR 0-9
000165 0013 FETCOL: .CEQU $13
000166 0014 NUMBYH: .CEQU $14 ;BYTE ALTO DEL NUM DE CIRCULACIONES POR HACER
000167 0015 NUMBYL: .CEQU $15 ;BYTE BAJO DEL NUM DE CIRCULACIONES POR HACER
000168 0016 BANDPG: .CEQU $16 ;BO=1 INDICA TIEMPO DE ENTRAR AL MENEJO DE PRENTACION
000169 0000
000170 0000 ;VARIABLES PARA LA BOCINA
000171 0000
000172 0017 FRETIC: .CEQU $17 ;TK'S DE LA BOCINA
000173 0018 SWBOC: .CEQU $18 ;=0 BOC OFF,=1 ON TONO ON,=2 ON TONO OFF
000174 0019 PERIOD: .CEQU $19 ;CTE FREC BOCINA
000175 0020 CTRFRE: .CEQU $20 ;FREC BOCINA VARIABLE
000176 0021 TICKS: .CEQU $21 ;1 TICKS = 1mS
000177 0022 TOCKS: .CEQU $22 ;8 TOCKS = 8mS
000178 0023 DURFRE: .CEQU $23
000179 0024 FIN: .CEQU $24 ;INDICA QUE SE ACABO EL TXT POR PRESENTAR
000180 0025 CHREEP: .CEQU $25 ;CHREEP GUARDA LA DIR DE LA SIG LETRA EN EZROM
000181 0000
000182 0000 ;VARIABLE DEL CONTROL REMOTO
000183 0000
000184 0026 SWDATO: .CEQU $26 ;=0 EN ESPERA DE DATOS DEL CONTROL REMOTO
000185 0000 ;=1 CONTANDO UNOS ESPERANDO POR UN CERO QUE TERMINE CTA
000186 0000 ;=2 CONTANDO CEROS ESPERANDO POR UN UNO QUE TERMINE CTA
000187 0027 CTRUNO: .CEQU $27 ;CTER DE UNOS
000188 0028 CTRCER: .CEQU $28 ;CTER DE CEROS
000189 0029 PTRDAT: .CEQU $29 ;PTER DE RECEPCION LLEVA LA CUENTA DE LOS CARACTERES
000190 0000 ;RECIBIDOS ANTES DE HACER LA VALIDACION
000191 002A CHRDAT: .CEQU $2A ;AYUDA A CONSTRUIR EL CODIGO QUE LLEGA
000192 0000 ;Y LO GUARDA CUANDO ESTA COMPLETO
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 13:08:34

```
000193 002B      CTROPT: .CEQU $2B      ;NOS DICE EN QUE PARTE DEL PAQUETE RECIBIDO ESTAMOS
000194 0000      ;=0, START BIT
000195 0000      ;ENTRE 1 Y 8, CARACTER
000196 0000      ;ENTRE 9 Y 12, STOP BIT
000197 002C      BUFDAT:  .CEQU $2C      ;DOS LOCALIDADES PARA ALMACENAR EL CODIGO
000198 0000      ;RECIBIDO ANTES DE HACER LA VALIDACION($46,$47,$48)
000199 002D      TMR125: .CEQU $2D      ;TMR DE 1.25 mS
000200 0000
000201 0000
000202 0000      ;*****
000203 0000      ;*                               TABLA DE VECTORES DE INTERRUPCION                               *
000204 0000      ;*****
000205 0000
000206 0000      .ORG $0000      ;SISTEMA DEFINITIVO
000207 0000 04D1    VECTOR1: .DW RETINT      ;SIN USO
000208 0002 04D1    VECTOR2: .DW RETINT      ;SIN USO
000209 0004 04D1    VECTOR3: .DW RETINT      ;SIN USO
000210 0006 04D1    VECTOR4: .DW RETINT      ;SIN USO
000211 0008 04D1    VECTOR5: .DW RETINT
000212 000A 0229    VECTOR6: .DW CTC1N      ;INT CTER 1 (TIMERS)
000213 000C
000214 000C      ;*****
000215 000C      ;*                               MODULO DE CONFIGURACION DEL Z8                               *
000216 000C      ;*****
000217 000C
000218 000C FF      INICIO: NOP
000219 0000 8B15    JR START
000220 000F 56454E4445444F52 .DB "VENDEDOR.ASM 8/DIC/94" ;FECHA Y RELEASE
000221 0017 2E41534D20382F44
000222 001F 49432F3934
000221 0024      ;*****
000222 0024      ;*                               PROPOSITO: INICIAR REGISTROS INTERNOS DEL Z8681                               *
000223 0024      ;*****
000224 0024
000225 0024
000226 0024 3130    START:  SRP #$30      ;RP = $30
000227 0026 E6FE7F    LO SPH,#$7F      ;SEÑALA AL FINAL DE LA RAM INTERNA
000228 0029      ;VALOR PARA EL Z8681 $7F
000229 0D29 B1FE    CEROS8: CLR @SPH      ;CLAREA LA DIRECCION QUE SEÑALA EL REG
000230 002B 00FE    DEC SPH      ;YA CLR TODA LA MEMORIA
000231 002D EBFA    JR NZ,CEROS8      ;NO
000232 002F B1FE    CLR @SPH      ;CLAREA RAM (REG) 0
000233 0031 E6FF80    LD SPL,#$80      ;VALOR DEL STACK
000234 0034
000235 0034      ;*****
000236 0034      ;*PROPOSITO: CONFIGURAR LOS PTOS DEL Z8681 COMO VAN A USARSE POR EL SISTEMA.*
000237 0034      ;*****
000238 0034      ;PUERTO 0 (P00-P07/A8-A15) DIRECCIONES
000239 0034      ;PUERTO 1 (P10-P17/D0-A0/07-A7) DATOS/DIRECCIONES
000240 0034
000241 0034      ;PUERTO 2:
000242 0034      ;P20 CEE2 CHIP ENABLE EEPROM      SALIDA NORMAL = 0 ACTIVO = 1
000243 0034      ;P21 SKE2 CHIP SERIAL CLK EEPROM  SALIDA NORMAL = 0 ACTIVO = 1
000244 0034      ;P22 DOE2 DATO DE SALIDA DE LA EEPROM  ENTRADA NORMAL = 1 ACTIVO = 0
000245 0034      ;P23 SIN USO
000246 0034      ;P24 SIN USO
000247 0034      ;P25 SIN USO
000248 0034      ;P26 SIN USO
000249 0034      ;P27 SIN USO
000250 0034
000251 0034      ;PUERTO 3:
000252 0034      ;P30 SIGNAL      ENTRADA NORMAL = 1 ACTIVO = 0
000253 0034      ;P31 SIN USO
000254 0034      ;P32 SIN USO
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000255 0034 ;P33 SIN USO
000256 0034 ;P34 DM SALIDA NORMAL = 0 ACTIVO = 1
000257 0034 ;P35 BOCINA SALIDA NORMAL = 0 ACTIVO = 1
000258 0034 ;P36 RESET DE LOS 8255 SALIDA NORMAL = 0 ACTIVO = 1
000259 0034 ;P37 DIE2 DATOS HACIA LA EEPROM SALIDA NORMAL = 0 ACTIVO = 1
000260 0034
000261 0034 E60000 LD P0,#00000000B ;P0 = 0
000262 0037 E6F8C6 LD P01M,#11000110B ;P00-P07 DIRECCIONES, MEMORIA NORMAL,
000263 003A ;STAK INTERNO,
000264 003A E4FC02 LD P2,11111100B ;ESTADO INICIAL DEL PUERTO P2
000265 003D E6F604 LD P2M,#00000100B ;(P20-P21 Y P23-P27)=0 SALIDAS, P22=1 ENTRADA
000266 0040 E6030F LD P3,#00001111B ;P3 = 0
000267 0043 E6F711 LD P3M,#00010001B ;P2 PULL-UPS ACTIVOS, S/PARIDAD, P34=DM
000268 0046
000269 0046
000270 0046
000271 0046 ;*****
;* PROPOSITO: CONFIGURAR EL ESQUEMA DE INTERRUPTS DEL SISTEMA EN CUESTION *
000272 0046 ;*****
000273 0046
000274 0046 E6F908 LD IPR,#00001000B ;CTC11M IRQ5=T1
000275 0049 E6FB20 LD IMR,#00100000B ;CTC11M
000276 004C B0FA CLR IRQ ;PARA EVITAR INT'S PENDIENTES
000277 004E
000278 004E ;*****
;* PROPOSITO: CONFIGURAR LOS CONTADORES DEL Z8 *
000279 004E ;*****
000280 004E
000281 004E
000282 004E ;FORMULA DEL TIMER
000283 004E ;XTAL = 7.3728 MHZ
000284 004E ;FRECUENCIA DE INT = XTAL / 8*PRE*TMR
000285 004E ;SI F1 = 10,017.39 ASI PRE1= 04 Y T1 = 23 .1ms APROX
000286 004E
000287 004E E6F313 LD PRE1,#04*4+3 ;PRESCALER1=46 CTA CONT RELOJ INTERNO
000288 0051 E6F217 LD T1,#23 ;T1 = 20
000289 0054 E6F10C LD TMR,#$0C ;PERMITE TIMER Y CARGA EL CTER
000290 0057
000291 0057 ;*****
;* INICIALIZACION TODAS LAS VARIABLES DEL PROGRAMA *
000292 0057 ;*****
000293 0057
000294 0057
000295 0057 ;RESET E INICIO DE SENALES A LOS 2 8255
000296 0057
000297 0057 460340 OR P3,#B60M ;P36 RESET DE LOS 8255
000298 005A E61209 LD FET,#9 ;PARA INICIAR LA PRESENTACION
000299 005D E60F01 LD SWPRES,#1 ;ENTRADA
000300 0060 E6210A LD TICKS,#10 ;10 TICKS = 10 ms
000301 0063 E62264 LD TOCKS,#100 ;100 TOCKS = 1000 TICKS = 1 SEG
000302 0066 E61037 LD TICMAN,#NTIC ;TIEMPO ENTRE CIRCULACIONES
000303 0069 E60664 LD TICKYB,#100 ;PARA QUE PASE POR LA RUT DEL TECLADO CADA 10ms
000304 006C E61400 LD NUMBYH,#0
000305 006F E61501 LD NUMBYL,#1
000306 0072 E6200C LD TMR125,#12
000307 0075 B024 CLR FIN
000308 0077 B016 CLR BANDPG
000309 0079 ;TERMINAMOS EL RESET DE LOS 8255'S
000310 0079 B0E0 CLR RO ;DELAY >15 MS
000311 007B B0E0 OELYPZ: DECW RRO
000312 007D EBFC JR NZ,DELYPZ
000313 007F 5603BF AND P3,#B60FF ;TERMINA EL RESET DE LOS 8255
000314 0082
000315 0082 1CFF LD R1,#$FF
000316 0084 0C00 LD RO,#$0
000317 0086 6C80 LD R6,#(BUFPRE) >> 8
000318 0088 7C00 LD R7,#(BUFPRE) & x'0ff
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000319 008A 9206          CLRRAM: LDE @RR6,R0
000320 008C A0E6          INCW RR6
000321 008E 1AFA          DJNZ R1,CLRRAM
000322 0090
000323 0090
000324 0090          ;INICIO DE LOS 8255
000325 0090 3C03          LD R3,#PTOK          ;LB DEL PTO DE CNTL DEL PPI 8255
000326 0092 0C80          LD R0,#80           ;PARA CFG PPI 1 PTO'S A,B Y C DE SALIDA
000327 0094 D605AF          CALL W18255         ;VAMOS A LA SBR DE ESCRITURA DEL PPI 1
000328 0097 D605B3          CALL W28255         ;VAMOS A LA SBR DE ESCRITURA DEL PPI 2
000329 009A 9F           EI
000330 009B
000331 009B          ;*****
;*                      PROGRAMA PRINCIPAL                      *
;*****
000332 009B
000333 009B
000334 009B 761608          PRGRAL: TM BANDPG,#830N          ;ES TIEMPO DE RUTINAS DE 1.25MS?
000335 009E 68F8          JR Z,PRGRAL          ;NO
000336 00A0 5616F7          AND BANDPG,#830FF        ;PARA NO REPETIR EL PROCESO
000337 00A3          ;RUTINA DE PRESENTACION
000338 00A3 9013          RL FETCOL          ;GIRAMOS A LA IZQUIERDA
000339 00A5 2012          INC FET          ;FET+1
000340 00A7 A6120A          CP FET,#10          ;ULTIMO FET?
000341 00AA EB05          JR NE,SIGFET         ;NO
000342 00AC 8012          CLR FET          ;PARA NO VOLVER A PRENDER
000343 00AE E613FE          LD FETCOL,#800FF
000344 00B1 0812          SIGFET: LD R0,FET          ;# DE FET POR PRENDER
000345 00B3 3CC7          LD R3,#(TABFET) & x'Off    ;CARGAMOS EN R3 EL LB DE TABLA DE FETS
000346 00B5 2C00          LD R2,#(TABFET) >> 8      ;CARGAMOS EN R2 EL HB DE TABLA DE FETS
000347 00B7 0200          ADD R0,R0          ;2*RO
000348 00B9 CF           RCF
000349 00BA 0230          ADD R3,R0
000350 00BC 16E200          ADC R2,#0          ;DIR A SALTAR
000351 00BF C242          LDC R4,@RR2        ;R4 = ACTIVACION DEL FET CORRESPONDIENTE
000352 00C1 A0E2          INCW RR2
000353 00C3 C252          LDC R5,@RR2
000354 00C5 30E4          JP @RR4          ;A RUTINA CORRESPONDIENTE
000355 00C7
000356 00C7 00B00E200E900F0 TABFET: .DW FETUNO,FETDOS,FETTRE,FETCUA,FETCIN,FETSEI,FETSIE,FETOCN,FETMUE
00CF 00F700FE0105010C
00D7 0113
000357 00D9 0119          .DW FETDIE
000358 00DB
000359 00DB AC7F          FETUNO: LD R10,#(BUFPRE-1) >> 8 ;HB DE LA DIR DEL BUFPRE-5
000360 00DD BCF6          LD R11,#(BUFPRE-10) & x'Off ;LB DE LA DIR DEL BUFPRE-5
000361 00DF 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTACION
000362 00E2
000363 00E2 AC7F          FETDOS: LD R10,#(BUFPRE-1) >> 8 ;HB DE LA DIR DEL BUFPRE-4
000364 00E4 BCF7          LD R11,#(BUFPRE-9) & x'Off ;LB DE LA DIR DEL BUFPRE-4
000365 00E6 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTACION
000366 00E9
000367 00E9 AC7F          FETTRE: LD R10,#(BUFPRE-1) >> 8 ;HB DE LA DIR DEL BUFPRE-3
000368 00EB BCF8          LD R11,#(BUFPRE-8) & x'Off ;LB DE LA DIR DEL BUFPRE-3
000369 00ED 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTACION
000370 00F0
000371 00F0 AC7F          FETCUA: LD R10,#(BUFPRE-1) >> 8 ;HB DE LA DIR DEL BUFPRE-2
000372 00F2 BCF9          LD R11,#(BUFPRE-7) & x'Off ;LB DE LA DIR DEL BUFPRE-2
000373 00F4 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTACION
000374 00F7
000375 00F7 AC7F          FETCIN: LD R10,#(BUFPRE-1) >> 8 ;HB DE LA DIR DEL BUFPRE-1
000376 00F9 BCFA          LD R11,#(BUFPRE-6) & x'Off ;LB DE LA DIR DEL BUFPRE-1
000377 00FB 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTACION
000378 00FE
000379 00FE AC7F          FETSEI: LD R10,#(BUFPRE-1) >> 8 ;HB DE LA DIR DEL BUFPRE
000380 010D BCFB          LD R11,#(BUFPRE-5) & x'Off ;LB DE LA DIR DEL BUFPRE
```


Title: VENOEOR 8/OIC/94 File: VENOEOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000381 0102 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTACION
000382 0105
000383 0105 AC7F          FETSIE: LD R10,#(BUFPRE-1) >> 8      ;HB DE LA DIR DEL BUFPRE+1
000384 0107 BCFC          LD R11,#(BUFPRE-4) & x'0ff          ;LB DE LA DIR DEL BUFPRE+1
000385 0109 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTAC
000386 010C
000387 010C AC7F          FETOCH: LD R10,#(BUFPRE-1) >> 8      ;HB DE LA DIR DEL BUFPRE+2
000388 010E BCFD          LD R11,#(BUFPRE-3) & x'0ff          ;LB DE LA DIR DEL BUFPRE+2
000389 0110 8D011D          JP COMUNO          ;A PARAMETROS COMUNES DE PRESENTAC
000390 0113
000391 0113 AC7F          FETNUE: LD R10,#(BUFPRE-1) >> 8      ;HB DE LA DIR DEL BUFPRE+3
000392 0115 BCFE          LD R11,#(BUFPRE-2) & x'0ff          ;LB DE LA DIR DEL BUFPRE+3
000393 0117 8B04          JR COMUNO          ;A PARAMETROS COMUNES DE PRESENTAC
000394 0119
000395 0119 AC7F          FETDIE: LD R10,#(BUFPRE-1) >> 8      ;HB DE LA DIR DEL BUFPRE+4
000396 011B BCFF          LD R11,#(BUFPRE-1) & x'0ff          ;LB DE LA DIR DEL BUFPRE+4
000397 011C
000398 011D 0CFF          COMUNO: LD R0,#$FF          ;PRIMERO APAGA TODOS LOS FETS
000399 011F 3C00          LD R3,#PTOA
000400 0121 D605B3        CALL W28255
000401 0124 0C80          LD R0,#$80
000402 0126 3C01          LD R3,#PTOB
000403 0128 D605B3        CALL W28255
000404 012B 3C02          LD R3,#PTOC
000405 012D D605B3        CALL W28255
000406 0130
000407 0130 1C02          LD R1,#2          ;NUMERO DE BYTES POR PASAR AL 8255 - 1
000408 0132 3C00          LD R3,#$00        ;DIR DEL PTOB - 1
000409 0134 06E80A        W82551: ADD R11,#$A          ;DIR DEL DATO N
000410 0137 16EA00        ADC R10,#0
000411 013A 820A          LDE R0,@RR10      ;DATO POR PASAR
000412 013C 3E          INC R3            ;DIR DEL PTO A DONDE HAY QUE PASAR EL DATO
000413 013D D605AF        CALL W18255        ;DATO AL PUERTO
000414 0140 1AF2          DJNZ R1,W82551    ;HASTA PASAR LOS 3 DATOS
000415 0142
000416 0142 3C00          LD R3,#$0         ;R3 = PTOA
000417 0144 06E80A        ADD R11,#$A
000418 0147 16EA00        ADC R10,#0        ;DIR DEL DATO N EN EL PTO A DEL 8255 (UNO)
000419 014A 820A          LDE R0,@RR10      ;DATO POR PASAR
000420 014C D605AF        CALL W18255        ;DATO AL PUERTO
000421 014F
000422 014F 3C01          LD R3,#$1         ;DIR DEL PTOB
000423 0151 06E80A        ADD R11,#$A        ;DIR DEL DATO N
000424 0154 16EA00        ADC R10,#0
000425 0157 820A          LDE R0,@RR10      ;DATO POR PASAR
000426 0159 E8E0          LD R14,R0
000427 015B 46E080        OR R0,#B70H
000428 015E D605B3        CALL W28255        ;DATO AL PUERTO
000429 0161
000430 0161 3C02          LD R3,#$2         ;DIR DEL PTOB
000431 0163 06E80A        ADD R11,#$A        ;DIR DEL DATO N
000432 0166 16EA00        ADC R10,#0
000433 0169 820A          LDE R0,@RR10      ;DATO POR PASAR
000434 016B F8E0          LD R15,R0
000435 016D 46E080        OR R0,#B70H
000436 0170 D605B3        CALL W28255        ;DATO AL PUERTO
000437 0173
000438 0173 0813          LD R0,FETCOL      ;ACTIVA LOS FETS CORRESPONDIENTES
000439 0175 3C00          LD R3,#PTOA        ;DIR DEL PTO DE LOS 8 PRIMEROS FET'S
000440 0177 A61207        CP FET,#7          ;ULTIMO FET DEL PTOB?
000441 017A 3D0198        JP ULE,W8255K      ;NO
000442 017D 761602        JM BANDPG,#B10H    ;SIGUE FET 9?
000443 0180 E80F          JR NZ,SIGF10       ;NO
000444 0182 461602        OR BANDPG,#B10H    ;INDICAMOS QUE EL SIG. FET ES EL 10
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000445 0185 3C01          LD R3,#PTOB          ;DIR DEL PTO DE LOS 2 ULTIMOS FET'S
000446 0187 08EE          LD R0,R14
000447 0189 56E07F        AND R0,#B7OFF
000448 018C D605B3        CALL W2B255
000449 018F 8B00          JR MANPRE
000450 0191 5616FD        SIGF10: AND BANDPG,#B10FF
000451 0194 08EF          LD R0,R15
000452 0196 56E07F        AND R0,#B7OFF
000453 0199 3C02          LD R3,#PTOC          ;DIR DEL PTO DE LOS 2 ULTIMOS FET'S
000454 019B D605B3        W2B25K: CALL W2B255
000455 019E
000456 019E          ;MANPRE SUCEDE CADA #NTIC
000457 019E 0010        MANPRE: DEC TICMAN    ;ES TIEMPO DEL MANEJO DE LA PRESENTACION?
000458 01A0 ED0226        JP NZ,FINGRL         ;NO
000459 01A3 E61037        LD TICMAN,#NTIC     ;TIEMPO ENTRE CIRCULACIONES
000460 01A6 440909        OR SWPROG,SWPROG    ;ESTAMOS EN PROGRAMACION
000461 01A9 ED0226        JP NZ,FINGRL         ;SI
000462 01AC 2814          LD R2,NUMBYH        ;NUMBYH=HB DEL NUM DE CIRCULACIONES POR HACER
000463 01AE 3815          LD R3,NUMBYL        ;NUMBYL=LB DEL NUM DE CIRCULACIONES POR HACER
000464 01B0 80E2          DECW RR2            ;PARA RESTABLECER NUMBY
000465 01B2 2914          LD NUMBYH,R2        ;RESTABLECEMOS NUMBYH=HB
000466 01B4 3915          LD NUMBYL,R3        ;RESTABLECEMOS NUMBYL=LB
000467 01B6 08E2          LD R0,R2
000468 01B8 18E0          LD R1,R0
000469 01BA 4201          OR R0,R1            ;YA ES TIEMPO DE PASAR AL SIG TEXTO?
000470 01BC 6D01D6        JP Z,SIGTXT         ;SI
000471 01BF 4C80          LD R4,#(BUFPRE) >> 8 ;LOCALIDAD A DONDE SE VA A CORRER EL CHR
000472 01C1 5C00          LD R5,#(BUFPRE) & x'0ff
000473 01C3 6C80          LD R6,#(BUFPRE+1) >> 8 ;CHR QUE SE VA A DESPLAZAR A LA IZQ UN LUGAR
000474 01C5 7C01          LD R7,#(BUFPRE+1) & x'0ff
000475 01C7 8206        CLRBUF: LDE R0,@RR6  ;R0 = BYTE A DESPLAZAR
000476 01C9 9204          LDE @RR4,R0         ;ESCRIBE EL BYTE EN EL LUGAR DESPLAZADO
000477 01CB A0E6          INCW RR6            ;SIGUIENTE BYTE A SER TRASLADADO
000478 01CD A0E4          INCW RR4            ;LOCALIDAD DONDE SE VA A PONER EL BYTE
000479 01CF 80E2          DECW RR2
000480 01D1 EBF4          JR NZ,CLRBUF        ;HASTA QUE RR2 = 0
000481 01D3 8D0226        JP FINGRL
000482 01D6
000483 01D6 200F        SIGTXT: INC SWPRES   ;SIGUIENTE TEXTO POR CIRCULAR
000484 01D8 A60F04        CP SWPRES,#4        ;ES TIEMPO DE REGRESAR AL PRIMER TXT?
000485 01DB EB03          JR NE,SIGTXO        ;NO
000486 01DD E60F00        LD SWPRES,#0        ;PARA REGRESAR AL PRIMER TEXTO
000487 01E0 2C00        SIGTXO: LD R2,#DIRLOG ;DIRECCION DEL LOGOTIPO EN LA EEPROM
000488 01E2 A60F01        CP SWPRES,#1        ;ES LOGOTIPO?
000489 01E5 6B09          JR EQ,COMEEP        ;SI
000490 01E7 2C15          LD R2,#DIRPRO       ;DIRECCION DEL PRODUCTO EN LA EEPROM
000491 01E9 A60F02        CP SWPRES,#2        ;ES PRODUCTO?
000492 01EC 6B02          JR EQ,COMEEP        ;SI
000493 01EE 2C30          LD R2,#DIRCOS       ;DIRECCION DEL COSTO EN LA EEPROM
000494 01F0 6C80        COMEEP: LD R6,#(BUFPRE+49) >> 8 ;HB DIR1 DONDE SE PONE EL DATO TRADUCIDO
000495 01F2 7C31          LD R7,#(BUFPRE+49) & x'0ff ;LB DIR1 DONDE SE PONE EL DATO TRADUCIDO
000496 01F4 D605FA        COEEO: CALL VL9346   ;LEEMOS LA EEPROM
000497 01F7 D8E1          LD R13,R1
000498 01F9 A6E080        CP R0,#$80          ;ES FIN DEL TEXTO?
000499 01FC 6D0226        JP EQ,FINGRL        ;SI
000500 01FF D605D4        CALL TRADTX
000501 0202 061506        ADD NUMBYL,#6
000502 0205 161400        ADC NUMBYH,#0        ;VAMOS CALCULANDO NUMBY
000503 0208 A6ED80        CP R13,#$80         ;ES FIN DEL TEXTO?
000504 020B 6B19          JR EQ,FINGRL        ;SI
000505 020D 08ED          LD R0,R13           ;R0 = CHR POR TRADUCIR
000506 020F D605D4        CALL TRADTX
000507 0212 061506        ADD NUMBYL,#6
000508 0215 161400        ADC NUMBYH,#0        ;VAMOS CALCULANDO NUMBY
```

Title: VENDEDOR 8/OIC/94 File: VENOEOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000509 0218 2E          INC R2          ;OIR DEL SIG CHR
000510 0219 8D01F4      JP COEEO       ;VAMOS A TRADUCIR EL SIG PAR OE CHRS
000511 021C
000512 021C 80E0          CLR R13
000513 021E 0C32          LD RO,#50
000514 0220 92D6      REPITE: LOE @RR6,R13
000515 0222 A0E6          INCW RR6
000516 0224 0AFA          OJNZ RO,REPITE
000517 0226
000518 0226
000519 0226 8D009B      FINGRL: JP PRGRAL
000520 0229
000521 0229
000522 0229          ;*****
;*                      INTERRUPT DEL CONTADOR UNO (CADA 1 mS)
;*                      ;*****
000523 0229
000524 0229
000525 0229          ;ESTE INTERRUPT SUCEOE CADA 1 mS (1000HZ)
000526 0229
000527 0229 46F10C      CTC1IN: OR TMR,#80C          ;REARRANCA CTER 1
000528 022C 3140          SRP #840
000529 022E
000530 022E 002D          OEC TMR125          ;ES TIEMPO RUTINAS DE 1.25mS?
000531 0230 E806          JR NZ,RXOPT3        ;NO
000532 0232 E62D0F      LO TMR125,#15       ;TIEMPO DE 1.25 mS
000533 0235 461608      OR BANDPG,#030M     ;PARA QUE ENTRE A RUTINAS DE 1.25MS
000534 0238 860280      RXOPT3: XOR P2,#070M ;PARA PODER VER EL INTERRUPT
000535 023B 760302      TM P3,#810M         ;SEÑAL = 0?
000536 023E E0044E      JP NZ,ANLCEK        ;NO
000537 0241 442626      OR SWDAT0,SWDAT0    ;PRIMERA RECEPCION?
000538 0244 E808          JR NZ,ANLUNO        ;NO
000539 0246 E62601      ANLOOS: LD SWDAT0,#01 ;INICIAMOS SWDAT0 ESPERANDO POR CEROS
000540 0249 2027          INC CTRUNO          ;INICIAMOS EL CTR DE UNOS
000541 024B 8D04A4      JP BOCINA
000542 024E A62601      ANLUNO: CP SWDAT0,#01 ;EN ESPERA DE CEROS?
000543 0251 68F3          JR EQ,ANLOOS        ;SI
000544 0253
000545 0253          ;CHECAMOS SI CTRCER MENOR IGUAL A 44 Y MAYOR O IGUAL A 42
000546 0253          ;SE TRATA DE UN SEGUNDO START BIT
000547 0253          ;SI 3<=CTRCER<=6 SE TRATA DE UN CERO
000548 0253          ;SI 14<=CTRCER<=17 SE TRATA DE UN UNO
000549 0253          ;SI 40<=CTRCER<=44 SE TRATA DE UN START BIT
000550 0253
000551 0253 A62802      CP CTRCER,#802      ;CTRCER<1?
000552 0256 7D0465      JP ULT,INIRXO       ;SI,VAMOS A INICIAR RXOPTI
000553 0259 A62806      CP CTRCER,#06       ;CTRCER<5, SE TRTA DE UN CERO?
000554 025C 8B02          JR UGT,CHKCE1       ;NO
000555 025E 8B09          JR ANLCEK
000556 0260 A62811      CHKCE1: CP CTRCER,#17 ;SE TRATA DE UN UNO?
000557 0263 8D0434      JP UGT,CHKCE2       ;NO
000558 0266 8D026D      JP ANLCED
000559 0269 0F          ANLCEK: SCF
000560 026A EF          CCF                  ;CY = 0
000561 026B 8B01          JR ANLCEE
000562 026D 0F          ANLCED: SCF          ;CY=1
000563 026E 102A      ANLCEE: RLC CHROAT   ;CONFORMAMOS EL CARACTER
000564 0270 202B      INC CTROPT          ;SIGUIENTE BIT EN CTROPT
000565 0272
000566 0272          ;COMPARAMOS SI CTROPT NOS INDICA SI ES TIEMPO DE GUARDAR CHRDAT
000567 0272
000568 0272 3C04      ANLBYO: LD R3,#4      ;NUMERO DE COMPARACIONES
000569 0274 5CB6      LD R5,#(CTERPT) & x'0ff ;DIR1 DE LA TABLA DE COMPARACION
000570 0276 4C02      LD R4,#(CTERPT) >> 8
000571 0278 C214      ANLBYT: LDC R1,@RR4   ;CARACTER DE LA TABLA
000572 027A A42BE1      CP R1,CTROPT        ;CTROPT = CARACTER DE LA TABLA?
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000573 027D 6807      JR EQ,ANLBOK          ;SI
000574 027F A0E4      INCW RR4              ;SIGUIENTE CARACTER DE LA TABLA
000575 0281 3AF5      DJNZ R3,ANLBYT       ;CUATRO COMPARACIONES?
000576 0283 8D0443    JP ANLCUT
000577 0286 00E3      ANLBOK: DEC R3
000578 0288 E6292C    LD PTRDAT,#BUFDAT    ;GUARDAMOS EL BYTE EN LA LOCALIDAD
000579 0288          LD PTRDAT,R3         ;CORRESPONDIENTE
000580 0288 04E329    ADD PTRDAT,R3
000581 028E F52A29    LD @PTRDAT,CHRDAT    ;GUARDAMOS DATO
000582 0291 A62B22    CP CTROPT,#34        ;HEMOS RECIBIDO LOS 4 BYTES?
000583 0294 ED0430    JP NE,ANLB01         ;NO
000584 0297 E6292E    LD PTRDAT,#BUFDAT+2 ;APUNTAMOS HACIA EL DATA CODE RECIBIDO
000585 029A E5292A    LD CHRDAT,@PTRDAT   ;CHRDAT=DATA CODE
000586 0290
000587 0290          ;VERIFICAR QUE EL CARACTER RECIBIDO
000588 0290          ;SEA UNO DE LOS CARACTERES VALIDOS EN LA TABLA DE LO CONTRARIO
000589 0290          ;NO SE HACE LA VALIDACION
000590 0290
000591 0290 3C05      ANLCE2: LD R3,#5          ;NUMERO DE COMPARACIONES
000592 029F 5CB1      LD R5,#(VTRI) & x'0ff ;DIR1 DE LA TABLA DE COMPARACION
000593 02A1 4C02      LD R4,#(VTRI) >> 8
000594 02A3 C214      BITNO1: LDC R1,@RR4      ;CARACTER DE LA TABLA
000595 02A5 A42AE1    CP R1,CHRDAT         ;CHRDAT = CARACTER DE LA TABLA?
000596 02A8 6810      JR EQ,ANLCOZ         ;SI
000597 02AA A0E4      INCW RR4              ;SIGUIENTE CARACTER DE LA TABLA
000598 02AC 3AF5      DJNZ R3,BITNO1       ;5 COMPARACIONES?
000599 02AE 8D0465    JP INIRXO
000600 02B1
000601 02B1 D171619111  VTRI: .DB $D1,$71,$61,$91,$11
000602 02B6 221A120A  CTERPT: .DB $22,$1A,$12,$0A ;#34,#26,#18,#10
000603 02BA
000604 02BA D605A0  ANLCOZ: CALL VARBOC      ;CARGAMOS LAS VARIABLES PARA LA BOCINA
000605 02BD 882A      LD R8,CHRDAT         ;R8 = VALOR DE LA TECLA OPRIMIDA
000606 02BF A6E891    CP R8,#$91           ;FUE TECLA DE PROGRAMACION?
000607 02C2 6002E0    JP EQ,TECUMO         ;SI
000608 02C5 A6E871    CP R8,#$71           ;TECLA DE INCREMENTO DE CHR?
000609 02C8 600340    JP EQ,TECDOS         ;SI
000610 02CB A6E861    CP R8,#$61           ;ES TECLA DE DECREMENTO DE CHR?
000611 02CE 600357    JP EQ,TECTRE         ;SI
000612 02D1 A6E8D1    CP R8,#$01           ;ES TECLA DE CONFIRMAR CHR?
000613 02D4 60036F    JP EQ,TECCUA         ;SI
000614 02D7 A6E811    CP R8,#$11           ;ES TECLA DE CONFIRMAR CHR?
000615 02DA 6003E1    JP EQ,TECCIN         ;SI
000616 02DD 8D0465    JP INIRXO            ;NO
000617 02E0
000618 02E0 E60880  TECUMO: LD PTRTEH,#(BUFTEM) >> 8 ;INICIAMOS EL HB DEL PTER AL BUFFER TEMPORAL
000619 02E3 E60C88    LD PTRTEL,#(BUFTEM) & x'0ff ;INICIAMOS EL LB DEL PTER AL BUFFER TEMPORAL
000620 02E6 2009      INC SWPROG           ;SWPROG = 1 AJ DEL BUFFER DE LOGOTIPO
000621 02E8          ;SWPROG = 2 AJ DEL BUFFER DE PRODUCTO
000622 02E8          ;SWPROG = 3 AJ DEL BUFFER DE PRECIO
000623 02E8 A60904    CP SWPROG,#4         ;HAY QUE VOLVER AL VALOR 1?
000624 02EB ED02F1    JP NE,CONPRG         ;NO
000625 02EE E60901    LD SWPROG,#1         ;INICIAMOS SWPROG
000626 02F1 0C15      CONPRG: LD R0,#21        ;PARA AJUSTE DE BUFFER DE LOGOTIPO CHR=L
000627 02F3 E60828    LD TEMPOO,#40        ;NUM MAX DE CHR QUE ACEPTA BUFLOG
000628 02F6 2C00      LD R2,#DIRLOG        ;DIR1 EN LA EEPROM DEL LOGOTIPO
000629 02F8 A60901    CP SWPROG,#1         ;AJUSTE DE LOGOTIPO?
000630 02FB 600318    JP EQ,COMPRES        ;SI
000631 02FE 0C19      LD R0,#25            ;PARA AJUSTE DE BUFFER DE PRODUCTO CHR=P
000632 0300 E60828    LD TEMPOO,#40        ;NUM MAX DE CHR QUE ACEPTA BUFPRO
000633 0303 2C15      LD R2,#DIRPRO        ;DIR1 EN LA EEPROM DEL PRODUCTO
000634 0305 A60902    CP SWPROG,#2         ;AJUSTE DE PRODUCTO?
000635 0308 600318    JP EQ,COMPRES        ;SI
000636 030B A60903    CP SWPROG,#3         ;AJUSTE DE PRECIO?
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000637 030E ED0465      JP NE,INIRXO
000638 0311 0C24        LD R0,#36              ;PARA AJUSTE DE BUFFER DE PRECIO CHR=8
000639 0313 E6081E      LD TEMPOO,#30         ;NUM MAX DE CHR QUE ACEPTA BUFCOS
000640 0316 2C30        LD R2,#DIRCOS        ;DIR1 EN LA EEPROM DEL COSTO
000641 0318 6C7F        COMPRE: LD R6,#(BUFPRE-1) >> 8 ;DIR-1 DEL BUFFER DE PRESENTACION
000642 031A 7CFF        LD R7,#(BUFPRE-1) & x'Off
000643 031C D605D4      CALL TRADTX           ;SBR QUE TRADUCE EL CHR Y LO PONE EN BUFPRE
000644 031F 0C28        LD R0,#40            ;CHR "="
000645 0321 D605D4      CALL TRADTX           ;SBR QUE TRADUCE EL CHR Y LO PONE EN BUFPRE
000646 0324 1C26        LD R1,#38            ;PARA CLAREAR EL RESTO DE BUFPRE
000647 0326 0C00
000648 0328 A0E6        CHRPG2: INCW RR6       ;SIG LOCALIDAD DE BUFPRE
000649 032A 9206        LDE @RR6,R0          ;DATO AL BUFFER
000650 032C 1AFA        DJNZ R1,CHRPG2       ;ULTIMO DATO POR PASAR
000651 032E D605FA      CALL VL9346          ;LEEMOS EL CHR1 DEL TEXTO EN EEPROM
000652 0331 0911        LD CHR,R0             ;CHR = A LETRA 1 DEL TEXTO (BYTE ALTO)
000653 0333 D8E1        LD R13,R1
000654 0335 D605CE      CALL TRACHR          ;PONEMOS LA PRIMERA LETRA AL FINAL DEL BUFPRE
000655 0338 2E        SIGLET: INC R2        ;SIG LOCALIDAD EN LA EEPROM
000656 0339 2925        LD CHREEP,R2         ;CHREEP GUARDA LA DIR DE LA SIG LETRA EN EEPROM
000657 033B 80E8        CLR RB
000658 033D 8D0465      JP INIRXO
000659 0340
000660 0340 440909      TECCOS: OR SWPROG,SWPROG ;ESTAMOS EN PROGRAMACION?
000661 0343 6D0465      JP Z,INIRXO          ;NO
000662 0346 2011        INC CHR              ;SIG CHR
000663 0348 A61129      CP CHR,#41           ;ES EL ULTIMO CHR DE LA TABLA?
000664 034B E802        JR NE,CONTIN         ;NO
000665 034D 8011        CLR CHR              ;PARA PRESENTAR EL 1º CHR DE LA TABLA
000666 034F D605CE      CONTIN: CALL TRACHR  ;TRADUCIMOS EL CHR
000667 0352 80E8        CLR RB
000668 0354 8D0465      JP INIRXO
000669 0357
000670 0357 440909      TECTRE: OR SWPROG,SWPROG ;ESTAMOS EN PROGRAMACION?
000671 035A 6D0465      JP Z,INIRXO          ;NO
000672 035D 0011        DEC CHR              ;PRESENTAMOS EL CHR ANTERIOR
000673 035F A611FF      CP CHR,#FF           ;CHR ES MENOR A CERO?
000674 0362 E803        JR NE,CONTI1         ;NO
000675 0364 E61128      LD CHR,#40           ;PRESENTAMOS EL ULTIMO CHR
000676 0367 D605CE      CONTI1: CALL TRACHR
000677 036A 80E8        CLR RB
000678 036C 8D0465      JP INIRXO
000679 036F
000680 036F 440909      TECCUA: OR SWPROG,SWPROG ;ESTAMOS EN PROGRAMACION?
000681 0372 6D0465      JP Z,INIRXO          ;NO
000682 0375 A4080A      CP SWCONF,TEMPOO    ;ES EL ULTIMO CHR QUE ACEPTA EL BUFFER?
000683 0378 6D0465      JP EQ,INIRXO         ;FIN
000684 037B 200A        INC SWCONF           ;PARA SABER CUANTOS CHR SE HAN CONFIRMADO
000685 037D 0811        LD R0,CHR            ;R0 = NUM DE POSICION DEL CHR EN LA TABLA
000686 037F 2808        LO R2,PTRTEM        ;PTRTEM APUNTA A LA DIR 1 DEL BUFFER TEMPORAL
000687 0381 380C        LD R3,PTRTEL
000688 0383 9202        LDE @RR2,R0         ;CARGAMOS EL VALOR DE LA LETRA EN BUFTEM
000689 0385 A0E2        INCW RR2
000690 0387 2908        LO PTRTEM,R2        ;PTRTEM APUNTA A LA DIR 1 DEL BUFFER TEMPORAL
000691 0389 390C        LO PTRTEL,R3
000692 038B EC80        LO R14,#$80
000693 038D 92E2        LDE @RR2,R14        ;CARGAMOS EL BO DE FIN DE BUFFER A BUFTEM
000694 038F
000695 038F 8C1E        LD R8,#30           ;PARA DESPLAZAR 30 LOC (6 CHR) A LA IZQUIERDA
000696 0391 4C80        LD R4,#(BUFPRE+14) >> 8 ;LOCALIDAD A DONDE SE VA A CORRER EL CHR
000697 0393 5C0E        LO R5,#(BUFPRE+14) & x'Off ;
000698 0395 6C80        LD R6,#(BUFPRE+20) >> 8 ;CHR QUE SE VA A DESPLAZAR A LA IZO UN LUGAR
000699 0397 7C14        LD R7,#(BUFPRE+20) & x'Off ;
000700 0399 8206        TODCHR: LDE R0,@RR6 ;R0 = BYTE A DESPLAZAR
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```

000701 0398 A0E6          INCW RR6          ;SIG BYTE A SER TRASLADADO
000702 039D 9204          LDE @RR4,R0      ;ESCRIBE EL BYTE EN EL LUGAR DESPLAZADO
000703 039F A0E4          INCW RR4          ;LOCALIDAD DONDE SE VA A POWER EL BYTE
000704 03A1 8AF6          DJNZ R8,TOOCHR   ;ES EL ULTIMO BYTE DEL ULTIMO CHR
000705 03A3
000706 03A3          ;EN R0 REGRESA EL BYTE ALTO
000707 03A3          ;EN R1 REGRESA EL BYTE BAJO
000708 03A3
000709 03A3 442424        OR FIN,FIN        ;YA SE ACABO EL TEXTO?
000710 03A6 ED038A        JP NZ,FINTXT      ;SI
000711 03A9 760A01        TM SWCONF,#BOOM   ;TOCA EL LOW BYTE DE LA EEPROM?
000712 03AC 6B11          JR Z,HBDIRE       ;NO
000713 03AE 0911          LD CHR,R13        ;CHR A LETRA SIGUIENTE DEL TEXTO
000714 03B0 8024          CLR FIN           ;INDICA QUE AUN NO ESTAMOS EN FIN DE TEXTO
000715 03B2 A6ED80        CP R13,#$80       ;AUN HAY CHR?
000716 03B5 ED0309        JP NE,TOOCHAR     ;SI
000717 03B8 6024          COM FIN           ;INDICA QUE ESTAMOS EN FIN DE TEXTO
000718 03BA E61127        FINTXT: LD CHR,#39 ;COMO YA NO HAY TEXTO PONEMOS UN ESPACIO
000719 03BD 8B1A          JR TOOCHAR        ;SI
000720 03BF 2825          HBDIRE: LD R2,CHREEP ;DIR DE LA SIG LETRA DEL TEXTO ANTERIOR
000721 03C1 B024          CLR FIN           ;INDICA QUE AUN NO ESTAMOS EN FIN DE TEXTO
000722 03C3 D605FA        CALL VL9346       ;LEEMOS EL CHR DE LA EEPROM
000723 03C6 2E           INC R2            ;SIG LOCALIDAD DE LA EEPROM
000724 03C7 2925          LD CHREEP,R2      ;CHREEP GUARDA LA DIR DE LA SIG LETRA EN EEPROM
000725 03C9 D8E1          LD R13,R1
000726 03CB A6E080        CP R0,#$80        ;AUN HAY CHR?
000727 03CE 6804          JR EQ,TOOCA1      ;NO
000728 03D0 0911          LD CHR,R0         ;PARA TRADUCIR EL BYTE ALTO DEL CHR EN CUESTION
000729 03D2 8B05          JR TOOCHAR        ;SI
000730 03D4 6024          TOOCA1: COM FIN   ;INDICA QUE ESTAMOS EN FIN DE TEXTO
000731 03D6 E61127        LD CHR,#39        ;COMO YA NO HAY TEXTO PONEMOS UN ESPACIO
000732 03D9 D605CE        TOOCHAR: CALL TRACHR ;TRADUCIMOS EL SIG CHR
000733 03DC 80E8          CLR R8
000734 03DE 8D0465        JP INIRXO         ;
000735 03E1
000736 03E1 4409D9        TECCIN: OR SWPROG,SWPROG ;ESTAMOS EN PROGRAMACION?
000737 03E4 6D0465        JP Z,INIRXO       ;NO
000738 03E7 E60880        LD PTRTEH,#(BUFTEM) >> 8 ;INICIAMOS EL HB DEL PTER AL BUFFER TEMPORAL
000739 03EA E60C88        LD PTRTEL,#(BUFTEM) & x'0ff ;INICIAMOS EL LB DEL PTER AL BUFFER TEMPORAL
000740 03ED 200A          INC SWCONF        ;PARA QUE ESCRIBA EL 80 DE FIN DE BUFFER
000741 03EF 480A          LD R4,SWCONF      ;NUM DE CHR QUE SE VAN A ALMACENAR EN EEPROM
000742 03F1 2C00          LD R2,#DIRLOG    ;DIR1 EN LA EEPROM DEL LOGOTIPO
000743 03F3 A60901        CP SWPROG,#1      ;AJUSTE DE LOGOTIPO?
000744 03F6 6809          JR EQ,ESCRIB     ;SI
000745 03F8 2C15          LD R2,#DIRPRO    ;DIR1 EN LA EEPROM DEL PRODUCTO
000746 03FA A60902        CP SWPROG,#2      ;AJUSTE DE PRODUCTO?
000747 03FD 6802          JR EQ,ESCRIB     ;SI
000748 03FF 2C30          LD R2,#DIRCOS    ;DIR1 EN LA EEPROM DEL COSTO
000749 0401
000750 0401 680B          ESCRIB: LD R6,PTRTEH ;PTRTEM APUNTA A LA DIR 1 DEL BUFFER TEMPORAL
000751 0403 780C          LD R7,PTRTEL
000752 0405 8206          LDE R0,@RR6      ;LOCALIDADES MONES (1,3,5,7,9,11,,13,15...35)
000753 0407 A0E6          INCW RR6          ;SIG LOCALIDAD
000754 0409 8216          LDE R1,@RR6      ;LOCALIDADES PARES (2,4,6,8,10,12,14,16...34)
000755 040B D6067F        CALL WR9346       ;ESCRIBIMOS EN PAR DE CARACTERES
000756 040E A0E6          INCW RR6          ;SIG LOCALIDAD
000757 0410 690B          LD PTRTEH,R6     ;RESTABLECEMOS PTER
000758 0412 790C          LD PTRTEL,R7
000759 0414 2E           INC R2            ;LOCALIDAD DONDE SE ESCRIBE
000760 0415 4AEA          DJNZ R4,ESCRIB   ;N NUM DE PARES SEGUN EL BUFFER Y MENSAJE
000761 0417 B009          CLR SWPROG        ;PARA PODER INICIAR OTRA VEZ LA PROGRAMACION
000762 0419 800A          CLR SWCONF        ;CLAREAMOS SWCONF
000763 041B 8024          CLR FIN
000764 041D 1C50          LD R1,#80

```

Title: VENDEDOR B/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000765 041F 0C00          LD R0,#$0
000766 0421 6C80          LD R6,#(BUFPRE) >> 8
000767 0423 7C00          LD R7,#(BUFPRE) & x'0ff
000768 0425 9206          CLRR1: LDE @RR6,R0
000769 0427 A0E6          INCW RR6
000770 0429 1AFA          DJNZ R1,CLRR1
000771 042B B0E8          CLR R8
000772 042D 8D0465        JP INIRXO
000773 0430
000774 0430 B02A          ANLB01: CLR CHRDAT          ;REINICIAMOS CHRDAT
000775 0432 8B0F          JR ANLCUT
000776 0434
000777 0434 A62828        CHKCE2: CP CTRCER,#40      ;32<CTRCER<40 SE TRATA DE UN START BIT 2?
000778 0437 8B2C          JR UGT,INIRXO             ;NO
000779 0439 A62820        CP CTRCER,#32            ;CTRCER < QUE 32?
000780 043C 7D0465        JP ULT,INIRXO           ;SI
000781 043F 2028          INC CTROPT
000782 0441 8B00          JR ANLCUT
000783 0443 B028          ANLCUT: CLR CTRCER       ;R13=CTRCER
000784 0445 E62601        LD SWDATO,#$1           ;SWDATO=1
000785 0448 E62701        LD CTRUNO,#$1          ;CTRUNO=1
000786 044B 8D04A4        JP BOCINA
000787 044E
000788 044E 442626        ANLCER: OR SWDATO,SWDATO ;AUN NO RECIBIMOS DATOS?
000789 0451 6D04A4        JP Z,BOCINA             ;SI
000790 0454 A62601        CP SWDATO,#$01         ;ESTAMOS ESPERANDO POR CEROS?
000791 0457 ED0495        JP NE,ANLCEA           ;NO
000792 045A 442828        OR CTROPT,CTROPT      ;EN ESPERA DE START BIT?
000793 045D ED0485        JP NZ,BITNOR           ;NO
000794 0460 A6274A        CP CTRUNO,#74          ;CHECAMOS SI CTRUNO ES MAYOR QUE 74 PERO
000795 0463                ;MENOR QUE 88
000796 0463 FB0D                JR UGE,ANLCEB          ;ES MAYOR O IGUAL QUE 19
000797 0465 B026          INIRXD: CLR SWDATO      ;INICIAMOS TODA LA RX
000798 0467 B027          CLR CTRUNO             ;CTRUNO=0
000799 0469 B028          CLR CTRCER            ;R13=CTRCEL
000800 046B B028          CLR CTROPT            ;CTR DE BITS = 0
000801 046D B02A          CLR CHRDAT            ;CARCATER RECIBIDO = 0
000802 046F 8D04A4        JP BOCINA
000803 0472 A6274C        ANLCEB: CP CTRUNO,#76  ;ES MENOR QUE 76?
000804 0475 BD0465        JP UGT,INIRXO         ;NO
000805 0478 E62602        ANLCEF: LD SWDATO,#$02 ;EN ESPERA DE UNOS
000806 047B 2028          ANLCEG: INC CTROPT    ;SIG BIT EN CTROPT
000807 047D B027          ANLCEJ: CLR CTRUNO    ;INICIAMOS CTR DE UNOS
000808 047F E62801        LD CTRCER,#$01        ;INICIAMOS CTR DE CEROS
000809 0482 8D04A4        JP BOCINA
000810 0485
000811 0485                ;COMPARAMOS SI 5<= CTRUNO =<7 SI SE TRATA DE UN ESPACIO
000812 0485
000813 0485 A62703        BITNOR: CP CTRUNO,#3   ;3<=CTRUNO<=5 SE TRATA DE UN ESPACIO
000814 0488 7D0465        JP ULT,INIRXO         ;NO
000815 048B A62707        CP CTRUNO,#7          ;CTRUNO MENOR DE 7?
000816 048E 8B05          JR UGT,INIRXO         ;NO
000817 0490 E62602        LD SWDATO,#2          ;EN ESPERA DE UNOS
000818 0493 8BEB          JR ANLCEJ
000819 0495
000820 0495 2028          ANLCEA: INC CTRCER    ;INCREMENTAMOS EL CTR DE CEROS
000821 0497 A62831        CP CTRCER,#49         ;CTRCEROS=49? SIGNIFICA QUE HEMOS DEJADO DE RX
000822 049A EB08          JR NE,BOCINA          ;NO
000823 049C A62822        CP CTROPT,#34         ;CUATRO BYTES COMPLETOS?
000824 049F 7D0465        JP ULT,INIRXO         ;NO
000825 04A2 B028          CLR CTROPT            ;CLAREAMOS EL CTROPT
000826 04A4
000827 04A4
000828 04A4
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000829 04A4 0005          BOCINA: DEC TICBOC          ;CADA 4 TICBOC = 1 CICLO DE BOCINA
000830 04A6 ED0401          JP NZ, FNCTC1          ;TIEMPO DE BOCINA? SI
000831 04A9 E60508          LD TICBOC, #8          ;REINICIAMOS TICBOC
000832 04AC 441818          BOCINO: OR SWBOC, SWROC ;=0 BOC OFF, =1 BOC ON-T ON, =2 BOC ON-T OFF
000833 04AF 6D04D1          JP Z, FNCTC1          ;BOC OFF
000834 04B2 A61801          CP SWBOC, #1          ;TOMO ON? R8=SWBOC
000835 04B5 E80A          JR NE, BOCOFF          ;NO
000836 04B7 0020          DEC CTRFRE            ;=0? R6=CTRFRE
000837 04B9 EB06          JR NZ, BOCOFF          ;NO
000838 04BB E41920          LD CTRFRE, PERIOD     ;REINICIA CTRFRE. R7=PERIOD. R6=CTRFRE
000839 04BE B60320          XOR P3, #050M        ;CAMBIA EL EDO DEL BIT BOCINA
000840 04C1 0017          BOCOFF: DEC FRETIC    ;FRETIC=0? R4=FRETIC
000841 04C3 EB0C          JR NZ, FNCTC1          ;NO
000842 04C5 E6174B          LD FRETIC, #75
000843 04C8 0023          DEC DURFRE            ;=0? R5=DURFRE
000844 04CA EB05          JR NZ, FNCTC1          ;NO
000845 04CC B018          CLR SWBOC             ;APAGA LA BOCINA. R8=SWBOC
000846 04CE 5603DF          AND P3, #050FF        ;APAGA EL BIT DE LA BOCINA
000847 04D1          RETINT:
000848 04D1 BF          FNCTC1: IRET
000849 04D2
000850 04D2          ;BUFCHR CONTIENE EL CARACTER TRADUCIDO
000851 04D2
000852 04D2 3E7149473E00427F TABCHR: .DB $3E,$71,$49,$47,$3E,$00,$42,$7F,$40,$00,$42,$61,$51,$49,$46 ;0,1,2
04DA 40004261514946
000853 04E1 2249494936080C0A .DB $22,$49,$49,$49,$36,$08,$0C,$0A,$09,$7F,$2F,$49,$49,$49,$31 ;3,4,5
04E9 097F2F49494931
000854 04F0 3E49494932010179 .DB $3E,$49,$49,$49,$32,$01,$01,$79,$05,$03,$36,$49,$49,$49,$36 ;6,7,8
04F8 05033649494936
000855 04FF 264949493E7E0909 .DB $26,$49,$49,$49,$3E,$7E,$09,$09,$09,$7E,$41,$7F,$49,$49,$36 ;9,A,B
0507 097E417F494936
000856 050E 3E41414122417F41 .DB $3E,$41,$41,$41,$22,$41,$7F,$41,$22,$1C,$7F,$49,$49,$49,$41 ;C,D,E
0516 221C7F49494941
000857 051D 7F090909013E4149 .DB $7F,$09,$09,$09,$01,$3E,$41,$49,$49,$3A,$7F,$08,$08,$08,$7F ;F,G,H
0525 493A7F0808087F
000858 052C 00417F4100304040 .DB $00,$41,$7F,$41,$00,$30,$40,$40,$40,$3F,$7F,$08,$14,$22,$41 ;I,J,K
0534 403F7F08142241
000859 053B 7F404040407F020C .DB $7F,$40,$40,$40,$40,$7F,$02,$0C,$02,$7F,$7F,$04,$08,$10,$7F ;L,M,N
0543 027F7F0408107F
000860 054A 3E4141413E7F0909 .DB $3E,$41,$41,$41,$3E,$7F,$09,$09,$09,$06,$3E,$80,$51,$21,$5E ;O,P,Q
0552 09063E8051215E
000861 0559 7F09192946264949 .DB $7F,$09,$19,$29,$46,$26,$49,$49,$49,$32,$01,$01,$7F,$01,$01 ;R,S,T
0561 493201017F0101
000862 0568 3F4040403F0F1060 .DB $3F,$40,$40,$40,$3F,$0F,$10,$60,$10,$0F,$3F,$40,$38,$40,$3F ;U,V,W
0570 100F3F4038403F
000863 0577 6314081463030478 .DB $63,$14,$08,$14,$63,$03,$04,$78,$04,$03,$61,$51,$49,$45,$43 ;X,Y,Z
057F 04036151494543
000864 0586 242AFF2A12007070 .DB $24,$2A,$FF,$2A,$12,$00,$70,$70,$70,$00,$18,$18,$18,$18,$18 ;$,.,-
058E 70001818181818
000865 0595 000000000141414 .DB $00,$00,$00,$00,$00,$14,$14,$14,$14,$14, ;SP,=
059D 141400
000866 05A0
000867 05A0 ;*****
000868 05A0 ;* SUBROUTINAS GENERALES DEL PROGRAMA *
000869 05A0 ;*****
000870 05A0
000871 05A0 E6174B          VARBOC: LD FRETIC, #75          ;INICIA FRETIC
000872 05A3 E62301          LD DURFRE, #1          ;1/16 SEG
000873 05A6 E62001          LD CTRFRE, #1          ;1000 HZ
000874 05A9 E61901          LD PERIOD, #1          ;1000 HZ
000875 05AC E61801          LD SWBOC, #1           ;BOC ON
000876 05AF
000877 05AF          ;SBR DE ESCRITURA DEL PPI 8255
000878 05AF          ;RECIBE EN RO EL BYTE POR ENVIAR AL PTO N DEL PPI
```


Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000879 05AF ;RECIBE EN R3 EL LB DE LA DIR DEL PTO N DEL PPI
000880 05AF
000881 05AF 2C40 W18255: LD R2,#HBPP11 ;HB DE LAS DIRECCIONES DEL PPI1
000882 05B1 8B02 JR WR8255
000883 05B3 2C80 W28255: LD R2,#HBPPi2 ;HB DE LAS DIRECCIONES DEL PPI2
000884 05B5 76FA80 WR8255: TM IRQ,#B70N ;ESTAN PERMITIDOS LOS INTERRUPTS?
000885 05B8 6808 JR Z,WROTRO ;NO
000886 05BA 8F DI ;INHIBIMOS INT'S
000887 05BB E6F8F7 LD P01M,#$F7 ;TPO DE MEMORIA EXTENDIDO
000888 05BE D202 LDC @RR2,R0 ;DATOS AL PPI
000889 05C0 E6F8D7 LD P01M,#$D7 ;TPO DE MEMORIA NORMAL
000890 05C3 9F EI ;REPERMITIMOS INT'S
000891 05C4 AF RET
000892 05C5 E6F8F7 WROTRO: LD P01M,#$F7 ;TPO DE MEMORIA EXTENDIDO
000893 05C8 D202 LDC @RR2,R0 ;DATOS AL PPI
000894 05CA E6F8D7 LD P01M,#$D7 ;TPO DE MEMORIA NORMAL
000895 05CD AF RET
000896 05CE
000897 05CE 6C80 TRACHR: LD R6,#(BUFPRE+44) >> 8 ;ULTIMAS LOCALIDADES DEL BUFFER DE PRESENTACION
000898 05D0 7C2C LD R7,#(BUFPRE+44) & x'0ff ;DONDE SE TRADUCE EL CHR
000899 05D2 0B11 LD R0,CHR ;R0 = AL CHR QUE SE VA A PRESENTAR
000900 05D4
000901 05D4 ;SBR QUE TRADUCE EL CHR QUE LLEGA EN R0
000902 05D4 ;Y LO PONE EN LA RAM A LA QUE APUNTA RR6
000903 05D4
000904 05D4 C8E0 TRADTX: LD R12,R0 ;R10 = AL CHR QUE SE VA A PRESENTAR
000905 05D6 4C04 LD R4,#(TABCHR) >> 8 ;TABLA DE TRADUCCION MATRIZ 5*7 DE #'S
000906 05D8 5CD2 LD R5,#(TABCHR) & x'0ff
000907 05DA 90E0 RL R0 ;PARA MULTIPLICAR POR 2
000908 05DC 90E0 RL R0 ;PARA MULTIPLICAR POR 4
000909 05DE 020C ADD R0,R12 ;PARA MULTIPLICAR POR 5
000910 05E0 0250 ADD R5,R0 ;DIR1 EN CUESTION
000911 05E2 16E400 ADC R4,#0
000912 05E5 1C05 LD R1,#5 ;# DE SEGMENTOS POR PASAR
000913 05E7 C204 CROSWU: LDC R0,@RR4 ;R0 = DATO TRADUCIDO DE LA EPROM
000914 05E9 A0E4 INCW RR4 ;SIG SEGMENTO
000915 05EB A0E6 INCW RR6 ;RR6
000916 05ED 9206 LDE @RR6,R0 ;CARGAMOS EL DATO TRADUCIDO AL BUF DE LA RAM
000917 05EF 1AF6 DJNZ R1,CROSWU
000918 05F1 B0EC CLR R12
000919 05F3 0C00 LD R0,#$0 ;R0 = 0
000920 05F5 A0E6 INCW RR6 ;RR6
000921 05F7 9206 LDE @RR6,R0 ;SEGMENTO ENTRE CHARS
000922 05F9 AF RET ;REGRESO DE LA SUBROUTINA
000923 05FA
000924 05FA
000925 05FA
000926 05FA
000927 05FA
000928 05FA ;SBR QUE GARANTIZA QUE LA LECTURA DE LA EEPROM SEA CORRECTA
000929 05FA ;HASTA QUE SE LEEN DOS DATOS IGUALES DE LA MISMA LOCALIDAD SE VALIDA EL RESULTADO
000930 05FA ;DO
000931 05FA
000932 05FA 70E4 VL9346: PUSH R4
000933 05FC 70E5 PUSH R5
000934 05FE D60615 CALL RD9346
000935 0601 58E1 VL934A: LD R5,R1
000936 0603 48E0 LD R4,R0
000937 0605 D60615 CALL RD9346
000938 0608 A251 CP R5,R1
000939 060A EBF5 JR NE,VL934A
000940 060C A240 CP R4,R0
000941 060E EBF5 JR NE,VL934A
000942 0610 50E5 POP R5
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
000943 0612 50E4          POP R4
000944 0614 AF            RET
000945 0615
000946 0615
000947 0615
000948 0615          ;SUBROUTINA DE LECTURA DE LA EEPROM
000949 0615          ;EN R2 SE RECIBE LA DIR
000950 0615          ;EN R0 REGRESA EL BYTE ALTO
000951 0615          ;EN R1 REGRESA EL BYTE BAJO
000952 0615
000953 0615 46D201      RD9346: OR P2,#B00M          ;CEE2(P20) = 1
000954 0618 56037F      AND P3,#B70FF          ;GARANTIZAMOS DIE2 (P37) = 0
000955 061B D60654      CALL PULADI            ;PULSO ADICIONAL CON DIE2=0
000956 061E 1C03          LD R1,#3
000957 0620 3CC0          LD R3,#READEE          ;PALABRA DE CONTROL
000958 0622 D6063F      CALL WRPRM             ;ESCRIBE PALABRA DE CONTROL
000959 0625 38E2          LD R3,R2              ;DIRECCION
000960 0627 90E3          RL R3
000961 0629 90E3          RL R3
000962 062B 1C06          LD R1,#MEMORY
000963 062D D6063F      CALL WRPRM             ;ESCRIBE DIRECCION
000964 063D 56037F      AND P3,#B70FF          ;APAGAMOS DIE2 (P37) = 0
000965 0633 D6065E      CALL RDPRM             ;LEE EL BYTE MAS SIGNIFICATIVO
000966 0636 08E1          LD R0,R1
000967 0638 D6065E      CALL RDPRM             ;LEE EL BYTE MENOS SIGNIFICATIVO
000968 063B D60675      CALL FINROM            ;DESELECCIONA LA MEMORIA
000969 063E AF
000970 063F
000971 063F
000972 063F          ;SBR QUE RECIBE EN R3 EL DATO POR ENVIAR (JUSTIFICADO A LA IZQ)
000973 063F          ;Y RECIBE EN R1 EL NUMERO DE DATOS POR ENVIAR
000974 063F
000975 063F 90E3          WRPRM: RL R3           ;PARA VER SI EL DATO ES UNO O CERO
000976 0641 7B05          JR C,SIGUNO            ;DATO = 1
000977 0643 56037F      AND P3,#B70FF          ;DIE2(P37) = 0
000978 0646 8B03          JR GENCLK              ;PARA HACER EL RELOJ
000979 0648 460380      SIGUND: OR P3,#B70M     ;DIE2(P37) = 1
000980 064B
000981 064B 460202      GENCLK: OR P2,#B10M     ;SKE2(P21) = 1
000982 064E 5602FD      AND P2,#B10FF          ;SKE2(P21) = 0
000983 0651 1AEC          DJNZ R1,WRPRM
000984 0653 AF          RET
000985 0654
000986 0654
000987 0654          ;SBR QUE GENERA UN PULSO ADICIONAL CON DIE2(P36) = 0
000988 0654
000989 0654 56037F      PULADI: AND P3,#B70FF   ;DIE2(P37)=0
000990 0657 460202      OR P2,#B10M            ;SKE2(P21) = 1
000991 065A 5602FD      AND P2,#B10FF          ;SKE2(P21) = 0
000992 065D AF          RET
000993 065E
000994 065E B0E1          RDPRM: CLR R1
000995 0660 3C0B          LD R3,#B
000996 0662 4602D2      RDPRO1: OR P2,#B10M     ;SKE2(P21) = 1
000997 0665 5602FD      AND P2,#B10FF          ;SKE2(P21) = 0
000998 0668 760204      TM P2,#B20M            ;LEE DATO (P22=D0E2)
000999 066B 6B03          JR Z,RDPRO0            ;SI DATO = 0 B7 DE R1 OFF
001000 066D 46E180      OR R1,#B70M            ;SI DATO = 1 B7 DE R1 ON
001001 0670 90E1          RDPRO0: RL R1
001002 0672 3AEE          OJNZ R3,RDPRO1
001003 0674 AF          RET
001004 0675
001005 0675 5602FE      FINROM: AND P2,#B00FF   ;CEE2(P20) = 0
001006 0678 460202      OR P2,#B10M            ;SKE2(P21) = 1
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

```
001007 067B 5602FD          AND P2,#B10FF          ;SKE2(P21) = 0
001008 067E AF              RET
001009 067F
001010 067F                ;SUBROUTINA DE ESCRITURA DE LA EEPROM
001011 067F                ;EN R0 SE DEBE ESCRIBIR EL BYTE ALTO
001012 067F                ;EN R1 SE DEBE ESCRIBIR EL BYTE BAJO
001013 067F                ;EN R2 SE DEBE ESCRIBIR LA DIRECCION
001014 067F
001015 067F 70E1          WR9346: PUSH R1          ;SALVAMOS BYTE MENOS SIGNIFICATIVO
001016 0681 70E0          PUSH R0                ;SALVAMOS BYTE MAS SIGNIFICATIVO
001017 0683 56037F        AND P3,#B70FF         ;GARANTIZAMOS DIE2 (P37) = 0
001018 0686 0CC0          LD R0,#EWEN00         ;ORDEN DE HABILITACION DE WR DE EEPROM
001019 0688 D606CB        CALL EEPROM           ;SUB QUE HABILITA O DESHABILITA A LA EEPROM
001020 068B 460201        OR P2,#B00N           ;CEE2 (P20) = 1
001021 068E D60654        CALL PULADI           ;GENERA EL PULSO ADICIONAL
001022 0691 1C03          LD R1,#3              ;PALABRA DE CONTROL
001023 0693 3CA0          LD R3,#WRWRITE        ;PALABRA DE CONTROL DE ESCRITURA
001024 0695 D6063F        CALL WRPRM            ;ESCRIBE PALABRA DE CONTROL
001025 0698 38E2          LD R3,R2              ;DIRECCION
001026 069A 90E3          RL R3                 ;JUSTIFICAMOS A LA IZQ LA DIR
001027 069C 90E3          RL R3                 ;JUSTIFICAMOS A LA IZQ LA DIR
001028 069E 1C06          LD R1,#MEMORY         ;ESCRIBE DIRECCION
001029 06A0 D6063F        CALL WRPRM            ;RECUPERAMOS BYTE MAS SIGNIFICATIVO
001030 06A3 50E3          POP R3
001031 06A5 1C0B          LD R1,#B
001032 06A7 D6063F        CALL WRPRM            ;ESCRIBE BYTE MAS SIGNIFICATIVO
001033 06AA 50E3          POP R3                ;RECUPERAMOS BYTE MENOS SIGNIFICATIVO
001034 06AC 1C0B          LD R1,#B
001035 06AE D6063F        CALL WRPRM            ;ESCRIBE BYTE MENOS SIGNIFICATIVO
001036 06B1 D60675        CALL FINROM           ;DESHABILITA LA MEMORIA E INICIA EL GRABADO
001037 06B4 460201        OR P2,#B00N           ;CEE2(P20) = 1
001038 06B7 460202        GRAB00: OR P2,#B10N   ;SKE2(P21) = 1
001039 06BA 5602FD        AND P2,#B10FF        ;SKE2(P21) = 0
001040 06BD 760204        TM P2,#B20N          ;TERMINO DE GRABAR? DOE2(P22=1)?
001041 06C0 6BF5          JR Z,GRAB00           ;ND
001042 06C2 5602FE        AND P2,#B00FF        ;CEE2(P20) = 0
001043 06C5 0C00          LD R0,#EWD500        ;ORDEN DE DESHABILITACION DE WR EEPROM
001044 06C7 D606CB        CALL EEPROM
001045 06CA AF              RET
001046 06CB
001047 06CB                ;EN R0 SE DEBE DE ESCRIBIR SI ES HABILITACION O DESHABILITACION
001048 06CB
001049 06CB 460201        EEPROM: OR P2,#B00N   ;CEE2(P20) = 1
001050 06CE D60654        CALL PULADI           ;GENERA PULSO ADICIONAL INICIAL
001051 06D1 3C80          LD R3,#EW             ;PALABRA DE CONTROL
001052 06D3 1C03          LD R1,#3              ;BIT ADICIONAL + PALABRA DE CONTROL
001053 06D5 D6063F        CALL WRPRM            ;ESCRIBE PALABRA DE CONTROL
001054 06D8 38E0          LD R3,R0              ;PALABRA DE HABILITACION O DESHABILITACION
001055 06DA 1C06          LD R1,#MEMORY         ;ESCRIBE PALABRA DE HABILITACION O DESHABILITACION
001056 06DC D6063F        CALL WRPRM
001057 06DF D60675        CALL FINROM           ;DESHABILITA LA MEMORIA
001058 06E2 AF              RET
001059 06E3
001060 06E3                .END
```

Title: VENDEDOR 8/DIC/94 File: VENDEDOR.ASM Created: 6/06/1995 14:58:04 Assembled: 6/08/1995 18:08:34

ANLBO1	=0430	CTRKBD	=0007	PRGRAL	=0098	TRADTX	=05D4
ANLBOK	=0286	CTROPT	=0028	PTOA	=0000	VARBOC	=05A0
ANLBYO	=0272	CTRUNO	=0027	PTOB	=0001	VECTOR1	=0000
ANLBYT	=0278	DELYPZ	=0078	PTOC	=0002	VECTOR2	=0002
ANLCE2	=029D	DIRCOS	=0030	PTOK	=0003	VECTOR3	=0004
ANLCEA	=0495	DIRLOG	=0000	PTRDAT	=0029	VECTOR4	=0006
ANLCEB	=0472	DIRPRO	=0015	PTRPRH	=0000	VECTOR5	=0008
ANLCED	=026D	DURFRE	=0023	PTRPRL	=000E	VECTOR6	=000A
ANLCEE	=026E	EEPROM	=06CB	PTRTEH	=0008	VL9346	=05FA
ANLCEF	=0478	ESCRIB	=0401	PTRTEL	=000C	VL934A	=0601
ANLCEG	=047B	EW	=0080	PULADI	=0654	VTRI	=0281
ANLCEJ	=047D	EWDSOO	=0000	RD9346	=0615	W18255	=05AF
ANLCEK	=0269	EWENOO	=00C0	RDPROO	=0670	W28255	=0583
ANLCER	=044E	FET	=0012	RDPRO1	=0662	W82551	=0134
ANLCOZ	=028A	FETCIN	=00F7	RDPROM	=065E	W8255K	=0198
ANLCUT	=0443	FETCOL	=0013	READEE	=00C0	WDTMR	=00EF
ANLDOS	=0246	FETCUA	=00F0	REPITE	=0220	WR8255	=0585
ANLUNO	=024E	FETDIE	=0119	RETINT	=0401	WR9346	=067F
B00FF	=00FE	FETDOS	=00E2	RP	=00FD	WRITEE	=00A0
B00N	=0001	FETNUE	=0113	RXOPT3	=0238	WROTRO	=05C5
B10FF	=00FD	FETUCH	=010C	SIGF10	=0191	WRPROM	=063F
B10N	=0002	FETSEI	=00FE	SIGFET	=0081		
B20FF	=00F8	FETSIE	=0105	SIGLET	=0338		
B20N	=0004	FETTRE	=00E9	SIGTX0	=01E0		
B30FF	=00F7	FETUNO	=0008	SIGTX1	=01D6		
B30N	=0008	FIN	=0024	SIGUNO	=0648		
B40FF	=00EF	FINGRL	=0226	SIO	=00F0		
B40N	=0010	FINROM	=0675	SMR	=00EB		
B50FF	=000F	FINTXT	=038A	SPH	=00FE		
B50N	=0020	FLAGS	=00FC	SPL	=00FF		
B60FF	=00BF	FNCTC1	=0401	START	=0024		
B60N	=0040	FRETIC	=0017	SWBOC	=0018		
B70FF	=007F	GENCLK	=0648	SWCONF	=000A		
B70N	=0080	GRABOO	=0687	SWDATO	=0026		
BANDPG	=0016	HBDIRE	=038F	SWPRES	=000F		
BITNO1	=02A3	HBPPI1	=0040	SWPROG	=0009		
BITNOR	=0485	HBPPI2	=0080	TO	=00F4		
BOCINO	=04AC	IMR	=00F8	YOH	=00E4		
BOCINA	=04A4	INICIO	=000C	T1	=00F2		
BOCOFF	=04C1	INIRXO	=0465	T1H	=00E2		
BUFDAT	=002C	IPR	=00F9	T2CAPH	=00E8		
BUFPRE	=8000	IRQ	=00FA	T2CAPL	=00E9		
BUFTEM	=8088	LPRE	=0088	T2H	=00E6		
CEROS8	=0029	MANPRE	=019E	T2L	=00E7		
CHKCE1	=0260	MOCON	=00E6	T2PRE	=00E3		
CHKCE2	=0434	MEMORY	=0006	T2TMR	=00E1		
CHR	=0011	MREG0	=00E0	TABCHR	=04D2		
CHROAT	=002A	MREG1	=00E1	TABFET	=00C7		
CHREEP	=0025	MREG2	=00E2	TECCIN	=03E1		
CHRPG2	=0328	MREG3	=00E3	TECCUA	=036F		
CLRBUF	=01C7	MREG4	=00E4	TECDOS	=0340		
CLRRA1	=0425	MREG5	=00E5	TECTRE	=0357		
CLRRAM	=008A	NTIC	=0037	TECUNO	=02E0		
COEEO	=01F4	NUMBYH	=0014	TEMPOO	=0008		
COMEOP	=01F0	NUMBYL	=0015	TICBOC	=0005		
COMPRE	=0318	PO	=0000	TICKS	=0021		
COMUNO	=011D	P01H	=00F8	TICKY8	=0006		
COMPRG	=02F1	P1	=0001	TICMAN	=0010		
CONTI1	=0367	P2	=0002	TMR	=00F1		
CONTIN	=034F	P2H	=00F6	TMR125	=002D		
CROSMU	=05E7	P3	=0003	TOCKS	=0022		
CTC11N	=0229	P3H	=00F7	TODCA1	=0304		
CTERPT	=0286	PERIOD	=0019	TODCAR	=0309		
CTRCER	=0028	PRE0	=00F5	TODCHR	=0399		
CTRFRE	=0020	PRE1	=00F3	TRACHR	=05CE		

APENDICE B

INSTRUCTION FORMATS

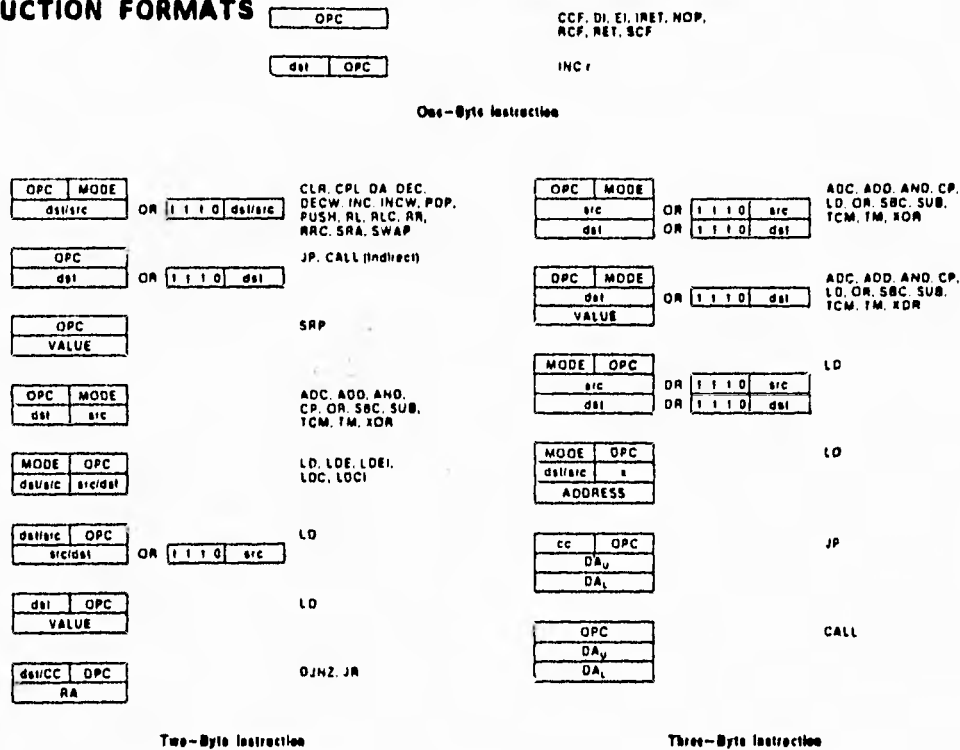


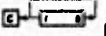
Figure 12. Instruction Formats

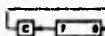
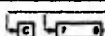
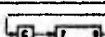
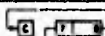
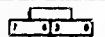
INSTRUCTION SUMMARY

Instruction and Operation	Addr Mode		Opcode Byte (Hex)	Flags Affected						
	dst	src		C	Z	S	V	D	H	
ADC dst,src dst ← dst + src + C	(Note 1)		1!	*	*	*	*	*	0	*
ADD dst,src dst ← dst + src	(Note 1)		0!	*	*	*	*	*	0	*
AND dst,src dst ← dst AND src	(Note 1)		5!	-	*	*	*	0	-	-
CALL dst SP ← SP - 2 @SP ← PC, PC ← dst	DA		D6	-	-	-	-	-	-	-
	IRR		D4	-	-	-	-	-	-	-
CCF C ← NOT C			EF	*	-	-	-	-	-	-
CLR dst dst ← 0	R		B0	-	-	-	-	-	-	-
	IR		B1	-	-	-	-	-	-	-
COM dst dst ← NOT dst	R		60	-	*	*	*	0	-	-
	IR		61	-	*	*	*	0	-	-
CP dst,src dst - src	(Note 1)		A!	*	*	*	*	*	-	-
DA dst dst ← DA dst	R		40	*	*	*	*	X	-	-
	IR		41	*	*	*	*	X	-	-

Instruction and Operation	Addr Mode		Opcode Byte (Hex)	Flags Affected						
	dst	src		C	Z	S	V	D	H	
DEC dst dst ← dst - 1	R		00	-	*	*	*	*	-	-
	IR		01	-	*	*	*	*	-	-
DECW dst dst ← dst - 1	RR		80	-	*	*	*	*	-	-
	IR		81	-	*	*	*	*	-	-
DI IMR(7) ← 0								RF	-	-
DJNZ r,dst r ← r - 1 if r ≠ 0 PC ← PC + dst Range: +127, -128	RA		rA	-	-	-	-	-	-	-
								r = 0 - F		
EI IMR(7) ← 1								9F	-	-
INC dst dst ← dst + 1	r		rE	-	*	*	*	*	-	-
								r = 0 - F		
	R		20	-	*	*	*	*	-	-
	IR		21	-	*	*	*	*	-	-
INCW dst dst ← dst + 1	RR		A0	-	*	*	*	*	-	-
	IR		A1	-	*	*	*	*	-	-

INSTRUCTION SUMMARY (Continued)

Instruction and Operation	Addr Mode		Opcode Byte (Hex)	Flags Affected					
	dst	src		C	Z	S	V	D	H
IRET FLAGS ← @SP; SP ← SP + 1 PC ← @SP; SP ← SP + 2; IMR(7) ← 1			BF	*	*	*	*	*	*
JP cc, dst if cc is true PC ← dst	DA		cD	-	-	-	-	-	-
			c = 0 - F						
JR cc, dst if cc is true, PC ← PC + dst Range: +127, -128	RA		cB	-	-	-	-	-	-
			c = 0 - F						
LD dst, src dst ← src	r	Im	rC	-	-	-	-	-	-
	r	R	r8						
	R	r	r9						
			r = 0 - F						
	r	X	C7						
	X	r	D7						
	r	lr	E3						
	lr	r	F3						
	R	R	E4						
	R	IR	E5						
	R	IM	E6						
	IR	IM	E7						
	IR	R	F5						
LDC dst, src dst ← src	r	lrr	C2	-	-	-	-	-	-
		lrr	D2						
LDCI dst, src dst ← src r ← r + 1; lr ← lr + 1	lr	lrr	C3	-	-	-	-	-	-
		lrr	D3						
LDE dst, src dst ← src	r	lrr	82	-	-	-	-	-	-
		lrr	92						
LOEI dst, src dst ← src r ← r + 1; lr ← lr + 1	lr	lrr	83	-	-	-	-	-	-
		lrr	93						
NOP			FF	-	-	-	-	-	-
OR dst, src dst ← dst OR src		(Note 1)	4□	-	*	*	0	-	-
POP dst dst ← @SP; SP ← SP + 1	R		S0	-	-	-	-	-	-
	IR		S1						
PUSH src SP ← SP - 1; @SP ← src	R		70	-	-	-	-	-	-
	IR		71						
RCF C ← 0			CF	0	-	-	-	-	-
RET PC ← @SP; SP ← SP + 2			AF	-	-	-	-	-	-
RL dst		R	90	*	*	*	*	*	-
	IR		91						

Instruction and Operation	Addr Mode		Opcode Byte (Hex)	Flags Affected					
	dst	src		C	Z	S	V	D	H
RLC dst		R	10	*	*	*	*	*	-
	IR		11						
RR dst		R	E0	*	*	*	*	*	-
	IR		E1						
RRC dst		R	C0	*	*	*	*	*	-
	IR		C1						
SBC dst, src dst ← dst - src ← C		(Note 1)	3□	*	*	*	*	1	*
SCF C ← 1			DF	1	-	-	-	-	-
SRA dst		R	D0	*	*	*	0	-	-
	IR		D1						
SRP src RP ← src		Im	31	-	-	-	-	-	-
SUB dst, src dst ← dst - src		(Note 1)	2□	*	*	*	*	1	*
SWAP dst		R	F0	X	*	*	X	-	-
	IR		F1						
TCM dst, src (NOT dst) AND src		(Note 1)	6□	-	*	*	0	-	-
TM dst, src dst AND src		(Note 1)	7□	-	*	*	0	-	-
XOR dst, src dst ← dst XOR src		(Note 1)	B□	-	*	*	0	-	-

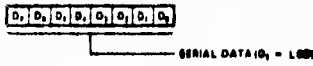
NOTE: These instructions have an identical set of addressing modes, which are encoded for brevity. The first opcode nibble is found in the instruction set table above. The second nibble is expressed symbolically by a □ in this table, and its value is found in the following table to the left of the applicable addressing mode pair. For example, the opcode of an ADC instruction using the addressing modes r (destination) and lr (source) is 13.

Addr Mode		Lower Opcode Nibble
dst	src	
r	r	2
r	lr	3
R	R	4
R	IR	5
R	IM	6
IR	IM	7

2001/02 MCO

REGISTERS

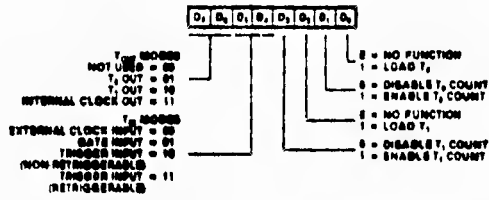
R240 SIO
Serial I/O Register
(F0H, Read/Write)



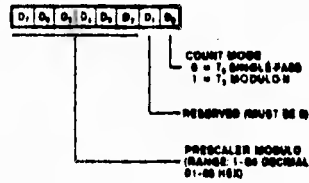
R244 TO
Counter/Timer 0 Register
(F4H, Read/Write)



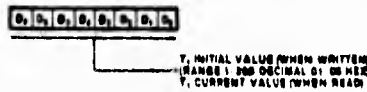
R241 TMR
Time Mode Register
(F1H, Read/Write)



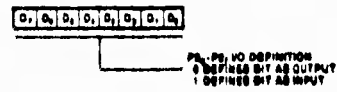
R245 PRE0
Prescaler 0 Register
(F5H, Write Only)



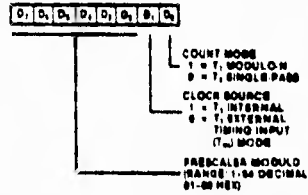
R242 T1
Counter Timer 1 Register
(F2H, Read/Write)



R246 P2M
Port 2 Mode Register
(F6H, Write Only)



R243 PRE1
Prescaler 1 Register
(F3H, Write Only)



R247 P3M
Port 3 Mode Register
(F7H, Write Only)

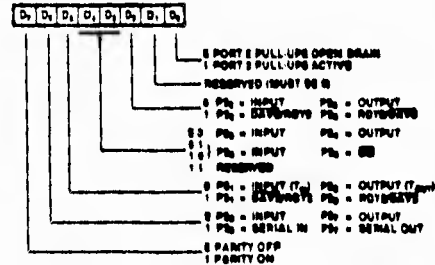
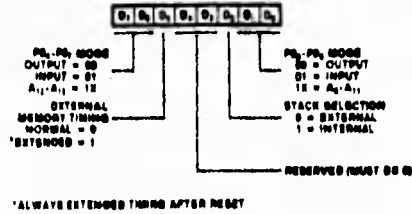


Figure 18. Control Registers

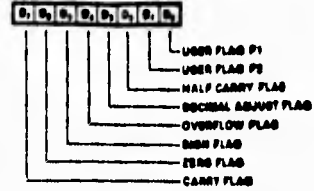
REGISTERS
(Continued)

R248 P01M
Port 0 Register
(F8H; Write Only)

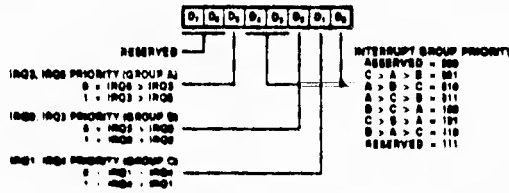


*ALWAYS EXTENDED TIMING AFTER RESET

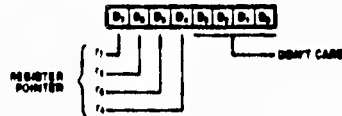
R252 FLAGS
Flag Register
(FCH; Read/Write)



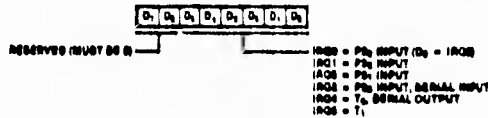
R249 IPR
Interrupt Priority Register
(F9H; Write Only)



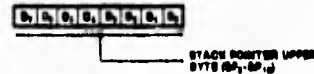
R253 RP
Register Pointer
(FDH; Read/Write)



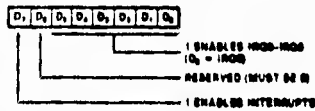
R250 IRQ
Interrupt Request Register
(FAH; Read/Write)



R254 SPH
Stack Pointer
(FEH; Read/Write)



R251 IMR
Interrupt Mask Register
(FBH; Read/Write)



R255 SPL
Stack Pointer
(FFH; Read/Write)

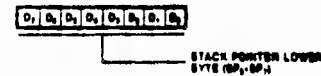


Figure 18. Control Registers (Continued)

Z9091/82 INCU



PRELIMINARY

NMC93C06/C26/C46 256-Bit/512-Bit/1024-Bit Serial Electrically Erasable Programmable Memory

General Description

The NMC93C06/NMC93C26/NMC93C46 are 256/512/1024 bits of CMOS electrically erasable memory divided into 16-bit registers. They are fabricated using National Semiconductor's floating-gate CMOS process for high speed and low power. They operate from a single 5V supply since V_{pp} is generated on-board. The serial organization allows the NMC93C06/NMC93C26/NMC93C46 to be packaged in an 8-pin DIP or 14-pin SO package to save board space.

The memories feature a serial interface with the instruction, address, and write data, input on the Data-In (DI) pin. All read data and device status is output on the Data-Out (DO) pin. A low-to-high transition in shift clock (SK) shifts all data in and out. This serial interface is MICROWIRE™ compatible for simple interface to standard microcontrollers and microprocessors. There are 7 instructions: Read, Erase/Write Enable, Erase, Erase All, Write, Write All, Erase/Write Disable. The NMC93C06/NMC93C26/NMC93C46 do not require an erase cycle prior to the Write and Write All instructions. The Erase and Erase All instructions are available to maintain complete read and programming compatibility with the NMOS NMC9346. All programming cycles are completely self-timed for simplified operation. The busy status is available on the DO pin to indicate the completion of a programming cycle. EEPROMs are shipped in the erased state where all bits are logical 1's.

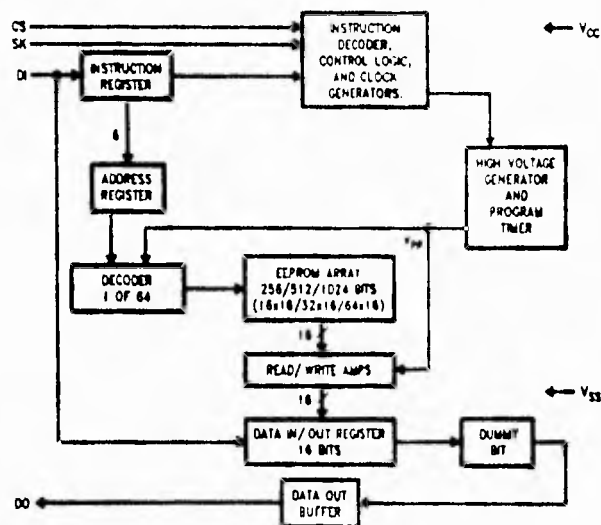
Compatibility with Other Devices

These memories are pin compatible to National Semiconductor's NMOS EEPROMs, NMC9306 and NMC9346. The NMC93C06/NMC93C26/NMC93C46 are both pin and function compatible with the NMC93C56 2048-bit EEPROM and the NMC93C66 4096-bit EEPROM with the one exception that both of these larger devices require two additional address bits.

Features

- Typical active current 400 μ A; Typical standby current 25 μ A
- Reliable CMOS floating gate technology
- 5V only operation in all modes
- MICROWIRE compatible serial I/O
- Self-timed programming cycle
- Device status signal during programming mode
- Over 10 years data retention
- Typically 40,000 writes

Block Diagram



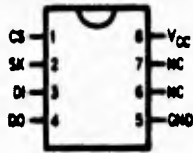
TL/D/8790-3

NMC93C06/NMC93C26/NMC93C46

NMC93C06/NMC93C26/NMC93C46

Connection Diagrams

Dual-In-Line Package (N)



TL/D/0780-1

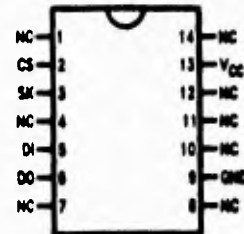
Top View

See NS Package Number N08E

Pin Names

CS Chip Select
 SK Serial Data Clock
 DI Serial Data Input
 DO Serial Data Output
 GND Ground
 VCC Power Supply

SO Package (M)



TL/D/0780-1

Top View

See NS Package Number M14A

Ordering Information

Commercial Temp. Range (0°C to +70°C)
 V_{CC} = 5V ± 10%

Order Number

NMC93C06N/NMC93C26N/
 NMC93C46N
 NMC93C06M/NMC93C26M/
 NMC93C46M

Extended Temp. Range (-40°C to +85°C)
 V_{CC} = 5V ± 10%

Order Number

NMC93C06EN/NMC93C26EN/
 NMC93C46EN
 NMC93C06EM/NMC93C26EM/
 NMC93C46EM

Military Temp. Range (-55°C to +125°C)

Order Number

NMC93C06MN/NMC93C26MN/
 NMC93C46MN
 NMC93C06MM/NMC93C26MM/
 NMC93C46MM

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

All Input or Output Voltages with Respect to Ground	+6.5V to -0.3V
Ambient Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	+300°C
ESD rating	2000V

Operating Conditions

Ambient Operating Temperature	0°C to +70°C
NMC93C08/26/48	-40°C to +85°C
NMC93C08/26/48E	-55°C to +125°C
NMC93C08/26/48M	4.5V to 5.5V
Positive Supply Voltage	

DC and AC Electrical Characteristics $V_{CC} = 5V \pm 10\%$ unless otherwise specified

Symbol	Parameter	Part Number	Conditions	Min	Max	Units
I_{CC1}	Operating Current CMOS Input Levels	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M*	CS = V_{IH} , SK = 1 MHz SK = 0.5 MHz SK = 0.5 MHz		2 2 2	mA
I_{CC2}	Operating Current TTL Input Levels	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	CS = V_{IH} , SK = 1 MHz SK = 0.5 MHz SK = 0.5 MHz		3 3 4	mA
I_{CC3}	Standby Current	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	CS = 0V		50 100 100	μ A
I_{IL}	Input Leakage	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	$V_{IH} = 0V$ to V_{CC}	-2.5 -10 -10	2.5 10 10	μ A
I_{OL}	Output Leakage	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	$V_{OUT} = 0V$ to V_{CC}	-2.5 -10 -10	2.5 10 10	μ A
V_{IL} V_{IH}	Input Low Voltage Input High Voltage			-0.1 2	0.8 $V_{CC} + 1$	V
V_{OL1} V_{OH1}	Output Low Voltage Output High Voltage		$I_{OL} = 2.1$ mA $I_{OH} = -400$ μ A	2.4	0.4	V
V_{OL2} V_{OH2}	Output Low Voltage Output High Voltage		$I_{OL} = 10$ μ A $I_{OH} = -10$ μ A	$V_{CC} - 0.2$	0.2	V
f_{SK}	SK Clock Frequency	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M		0 0 0	1 0.5 0.5	MHz
t_{SKH}	SK High Time	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	(Note 2) (Note 3) (Note 3)	250 500 500		ns
t_{SKL}	SK Low Time	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	(Note 2) (Note 3) (Note 3)	250 500 500		ns
t_{CS}	Minimum CS Low Time	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	(Note 4) (Note 5) (Note 5)	250 500 500		ns
t_{CSS}	CS Setup Time	NMC93C08/26/48 NMC93C08/26/48E NMC93C08/26/48M	Relative to SK	50 100 100		ns

*Note: Throughout this table "M" refers to temperature range (-55°C to +125°C), mil package.

NMC93C08/NMC93C28/NMC93C48

Functional Description

The NMC93C06/NMC93C26/NMC93C46 has 7 instructions as described below. Note that the MSB of any instruction is a "1" and is viewed as a start bit in the interface sequence. The next 8 bits carry the op code and the 6-bit address for selection of 1 of 16, 32, or 64 16-bit registers.

Read (READ):

The Read (READ) instruction outputs serial data on the DO pin. After a READ instruction is received, the instruction and address are decoded, followed by data transfer from the selected memory register into a 16-bit serial-out shift register. A dummy bit (logical "0") precedes the 16-bit data output string. Output data changes are initiated by a low-to-high transition of the SK clock.

Erase/Write Enable (EWEN):

When V_{CC} is applied to the part, it "powers up" in the Erase/Write Disable (EWDS) state. Therefore, all programming modes must be preceded by an Erase/Write Enable (EWEN) instruction. Once an Erase/Write Enable instruction is executed, programming remains enabled until an Erase/Write Disable (EWDS) instruction is executed or V_{CC} is removed from the part.

Erase (ERASE):

The ERASE instruction will program all bits in the specified register to the logical "1" state. CS is brought low following the loading of the last address bit. This falling edge of the CS pin initiates the self-timed programming cycle.

The DO pin indicates the READY/BUSY status of the chip if CS is brought high after a minimum of 250 ns (t_{CS}). DO = logical "0" indicates that programming is still in progress. DO = logical "1" indicates that the register, at the address specified in the instruction, has been erased, and the part is ready for another instruction.

Write (WRITE):

The Write (WRITE) instruction is followed by 16 bits of data to be written into the specified address. After the last bit of data is clocked in on the data-in (DI) pin, CS must be brought low before the next rising edge of the SK clock. This falling edge of the CS initiates the self-timed programming cycle. The DO pin indicates the READY/BUSY status of the chip if CS is brought high after a minimum of 250 ns (t_{CS}). DO = logical "0" indicates that programming is still in progress. DO = logical "1" indicates that the register at the address specified in the instruction has been written with the data pattern specified in the instruction and the part is ready for another instruction.

Erase All (ERAL):

The ERAL instruction will simultaneously program all registers in the memory array and set each bit to the logical "1" state. The Erase All cycle is identical to the ERASE cycle except for the different op-code.

As in the ERASE mode, the DO pin indicates the READY/BUSY status of the chip if CS is brought high after a minimum of 250 ns (t_{CS}).

Write All (WRAL):

The WRAL instruction will simultaneously program all registers with the data pattern specified in the instruction. As in the WRITE mode, the DO pin indicates the READY/BUSY status of the chip if CS is brought high after a minimum of 50 ns (t_{CS}).

Erase/Write Disable (EWDS):

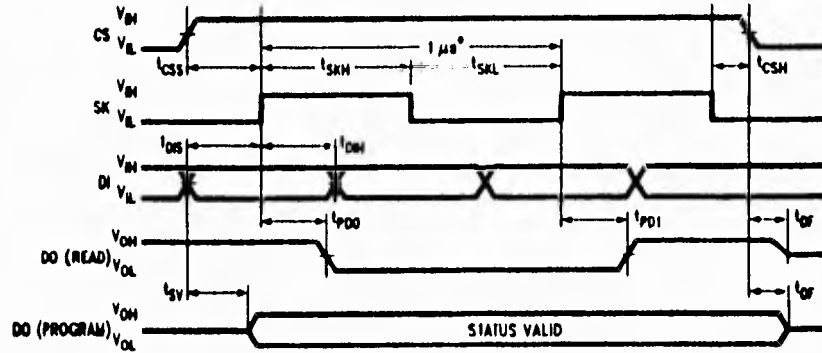
To protect against accidental data disturb, the Erase/Write Disable (EWDS) instruction disables all programming modes and should follow all programming operations. Execution of a READ instruction is independent of both the EWEN and EWDS instructions.

Instruction Set for the NMC93C06/26/46

Instruction	SB	Op Code	Address	Data	Comments
READ	1	10	A5-A0		Reads data stored in memory, starting at specified address.
EWEN	1	00	11XXXX		Write enable must precede all programming modes. ✓
ERASE	1	11	A5-A0		Erase register A5A4A3A2A1A0.
WRITE	1	01	A5-A0	D15-D0	Writes register.
ERAL	1	00	10XXXX		Erase all registers.
WRAL	1	00	01XXXX	D15-D0	Writes all registers.
EWDS	1	00	00XXXX		Disables all programming instructions.

Timing Diagrams

Synchronous Data Timing

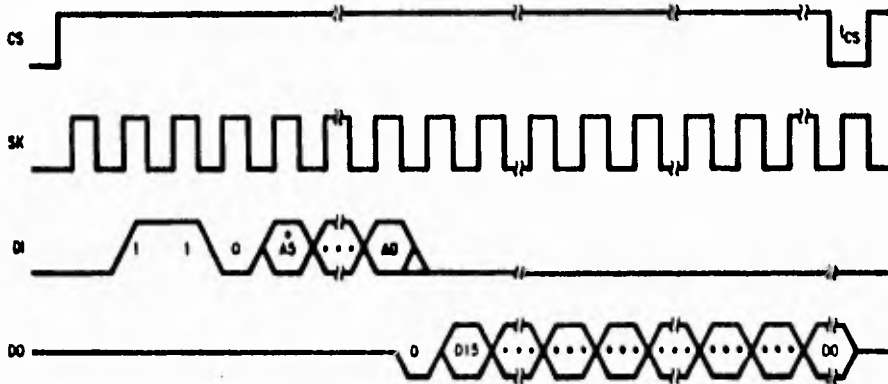


*This is the minimum SK period (Note 2)

TL/D/8780-1

Note 2: The SK frequency specification for Commercial parts specifies a minimum SK clock period of $1 \mu s$, therefore in an SK clock cycle $t_{SKH} + t_{SKL}$ must be greater than or equal to $1 \mu s$. For example if $t_{SKL} = 250 ns$ then the minimum $t_{SKH} = 750 ns$ in order to meet the SK frequency specification.

READ:

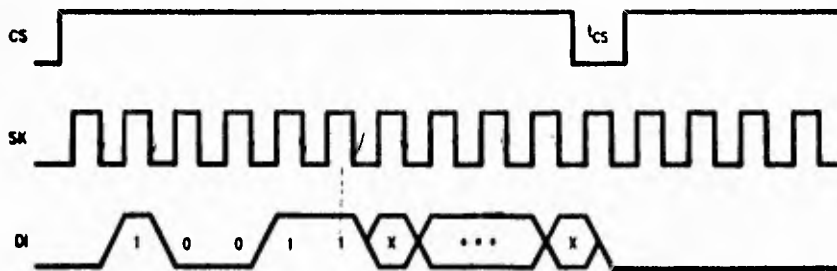


TL/D/8780-

*Address bit A_5 becomes "don't care" for NMC93C26

*Address bits A_5 and A_4 become "don't care" for NMC93C06.

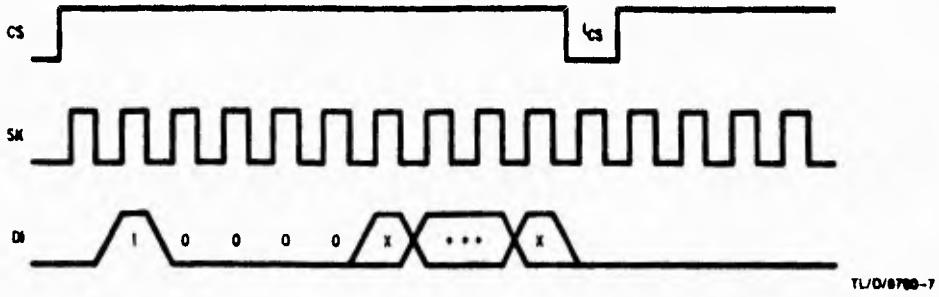
WEN: DO - TRI-STATE



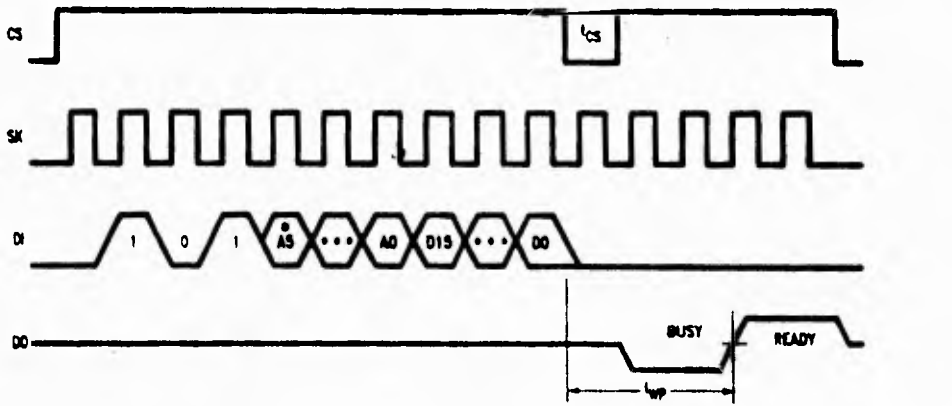
TL/D/8780-

Timing Diagrams (Continued)

**EWDS:
DO - TRI-STATE**

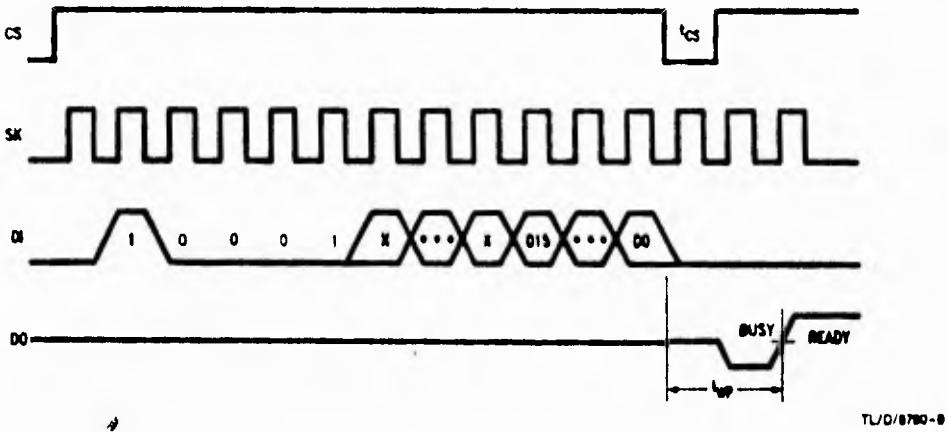


WRITE:

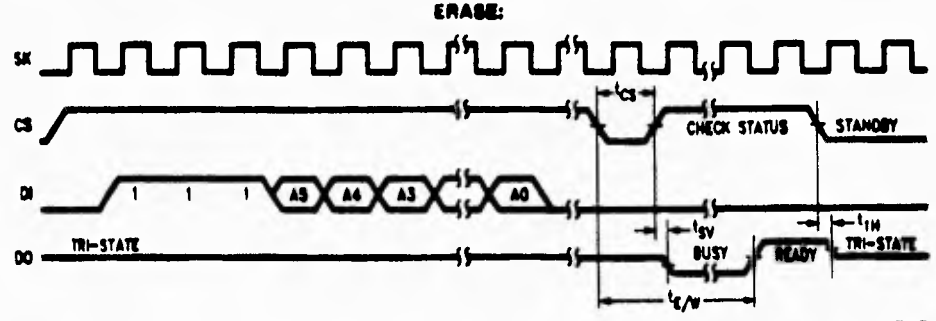


Address bit A5 becomes "don't care" for NMC93C26.
Address bits A5 and A4 become "don't care" for NMC93C08.

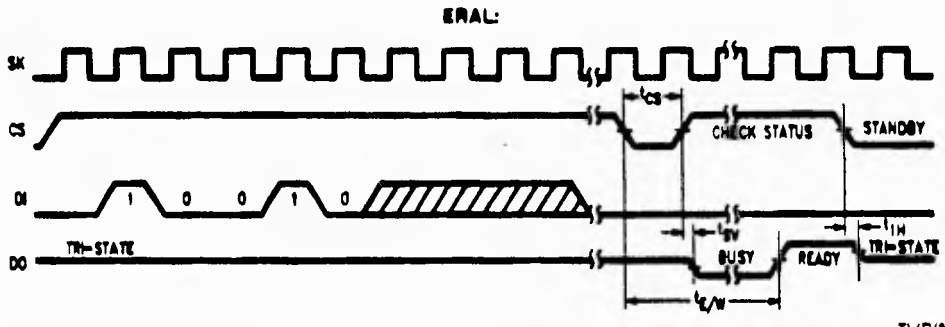
WRAL:



Timing Diagrams (Continued)



TL/D/8780-10



TL/D/8780-11

REFERENCIAS

- 1.1 **ONDAS LUMINOSAS**
Jca Chaimowicz
Ed. Paraninfo, 1990
Pag. 94, 95
- 2.1 **HANDBOOK OF TRANSDUCERS**
Harry N. Norton
Ed. Prentice Hall, Englewood Cliffs, 1989
Pag. 448
- 2.2 **ONDAS LUMINOSAS**
Jca Chaimowicz
Ed. Paraninfo, 1990
Pag. 60
- 2.3 **ONDAS LUMINOSAS**
Jca Chaimowicz
Ed. Paraninfo, 1990
Pag. 81
- 2.4 **COMPONENTES ELECTRONICOS**
Siemens
Pag. 384
- 2.5 **ONDAS LUMINOSAS**
Jca Chaimowicz
Ed. Paraninfo, 1990
Pag. 81
- COMPONENTES ELECTRONICOS**
Siemens
Pag. 385

- 2.6 INFRARED OPTOELECTRONICS**
William Nunley, J. Scott Bechtel
TRW Electronics Components Group, 1987
Pag. 201
- 2.7 INFRARED OPTOELECTRONICS**
William Nunley, J. Scott Bechtel
TRW Electronics Components Group, 1987
Pag. 65
OPTOELECTRONICS DATABOOK
TRW Electronic, 1986
Pag. 3
- 2.8 INFRARED OPTOELECTRONICS**
William Nunley, J. Scott Bechtel
TRW Electronics Components Group, 1987
Pag. 58
OPTOELECTRONICS DATABOOK
TRW Electronics, 1986
Pag. 2
- 2.9 OPTOELECTRONICS DATABOOK**
TRW Electronic, 1986
Pag. 3
INFRARED OPTOELECTRONICS
William Nunley, J. Scott Bechtel
TRW Electronics Components Group, 1987
Pag. 65
- 2.10 INFRARED OPTOELECTRONICS**
William Nunley, J. Scott Bechtel
TRW Electronics Components Group, 1987
Pag. 205

2.11 INFRARED OPTOELECTRONICS

William Nunley, J. Scott Bechtel

TRW Electronics Components Group, 1987

Pag. 206

2.12 ONDAS LUMINOSAS

Jca Chaimowicz

Ed. Paraninfo, 1990

Pags. 70,71

4.2 NATIONAL SEMICONDUCTOR

Hoja de especificaciones del fet NDP505A

Ver apéndice B

4.3 LED DISPLAYS

AND

Hoja de especificaciones de la Matriz de led's (7x5)

Ver apéndice B

4.4 TEXAS INSTRUMENTS

Hoja de especificaciones del ULN2003A

Ver apéndice B

4.5 LED DISPLAYS

AND

Hoja de especificaciones de la Matriz de led's (7x5)

Ver apéndice B

BIBLIOGRAFIA

Boletín informativo: **TABLEROS ELECTRONICOS**

Flash Electronics Co. S.A. de C.V., 1995

Z8 FAMILY DESIGN HANDBOOK

Zilog, 1988

MOS DIGITAL INTEGRATED CIRCUIT

NEC Electron Device, 1986

COMPONENTES ELECTRONICOS

Siemens, 1979

INFRARED OPTOELECTRONICS

William Nunley, J. Scott Bechtel

TRW Electronics Components Group, 1987

OPTOELECTRONICS DATABOOK

TRW Electronics, 1986

HANDBOOK OF TRANSDUCERS

Harry N. Norton

Ed. Prentice Hall, Englewood Cliffs, 1989

ONDAS LUMINOSAS

Jca Chaimowicz

Ed. Paraninfo, 1990

OPTO ELECTRONIC COMPONENTS

Kodenshi Corp., 1991

LOGICA DIGITAL Y DISEÑO DE COMPUTADORAS

Mano, M. Morris

Ed. Prentice Hall, 1979

ELECTRONICA Y TEORIA DE CIRCUITOS

Boylestad, Nashelsky

Ed. prentice Hall, 1983

CIRCUITOS ELECTRONICOS DISCRETOS E INTEGRADOS

Schilling, Donald L. y Belove, Charles

Ed. Marcombo, 1987