



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

***DISEÑO Y CONSTRUCCION DE UN SISTEMA
DE REGISTRO Y MONITOREO DE SEÑALES
DE ORIGEN BIOLÓGICO***

T E S I S

QUE PARA OBTENER EL TITULO DE:

INGENIERO MECANICO ELECTRICISTA

P R E S E N T A :

JOSE EFRAIN FIGUEROA SANCHEZ



DIRECTOR DE TESIS:
M. EN I. JOSE S. COHEN SAK

MEXICO D. F.

MAYO 1993

**TESIS CON
FALLA DE ORIGEN**



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

ÍNDICE

ÍNDICE :

PÁGINA

DEDICATORIA	1
ÍNDICE	3
PARTE I INTRODUCCIÓN	1
1.1 JUSTIFICACIÓN	6
1.2 ANTECEDENTES	7
1.2.1 Introducción	7
1.2.2 Consideraciones sobre el diseño de equipo biomédico	8
1.2.3 Características de los circuitos integrados utilizados	9
PARTE II DISEÑO DEL SISTEMA DIGITAL	11
2.1 MICROCOMPUTADORA A UTILIZAR Y PUERTOS	14
2.1.1 Introducción	14
2.1.2 Direccionamiento de memoria y control de puertos	16
2.1.3 Conexión a través de una ranura de expansión	21
2.1.4 Utilización de la fuente de poder de la PC	23
2.1.5 Sincronización con las señales del bus	24
2.2 SISTEMA DE ADQUISICION POR UN CANAL DE DMA	27
2.2.1 Comunicación con la computadora	27
2.2.2 Controlador de acceso directo a memoria	28
2.3 CONVERSIÓN ANALÓGA / DIGITAL	36
2.3.1 Características de los convertidores A/D	36
2.3.2 Clasificación de los convertidores A/D	37
2.3.3 Convertidor ADC 574-A	43
2.3.4 Muestreador/retenedor LF 398	44
2.4 UTILIZACIÓN DE UN RELOJ PROGRAMABLE	47
2.4.1 Introducción	47
2.4.2 Reloj programable 8253-5	48

2.5	FUNCIONAMIENTO DEL SISTEMA DIGITAL	52
2.5.1	Esquema general	52
2.5.2	Operación de la interfase digital	54
PARTE III	DISEÑO DEL SISTEMA ANALÓGICO	67
3.1	CARACTERÍSTICAS DE LAS SEÑALES DE ENTRADA	70
3.1.1	Señal electrocardiográfica (ECG)	70
3.1.2	Medición de temperatura	75
3.1.3	Medición de frecuencia cardíaca	78
3.2	ACONDICIONAMIENTO DE LA SEÑAL ELECTROCARDIOGRÁFICA	79
3.2.1	Introducción	79
3.2.2	Características de los electrodos	80
3.2.3	Etapas de entrada	81
3.2.4	Preamplificador de instrumentación	91
3.2.5	Multiplexaje de las derivaciones electrocardiográficas	96
3.2.6	Etapas de filtrado	99
3.2.7	Amplificador de ganancia programable	102
3.3	CIRCUITO PARA LA MEDICIÓN DE TEMPERATURA	104
3.3.1	Transductor AD 590	104
3.3.2	Acondicionamiento de la señal del transductor	108
3.4	MEDICIÓN DE FRECUENCIA CARDÍACA	108
3.4.1	Circuito utilizado	108
3.5	CIRCUITOS DE AISLAMIENTO	110
3.5.1	Optoacopladores	110
3.5.2	Convertidor CD/CD	110
3.5.3	Amplificador de aislamiento	113
3.6	FUNCIONAMIENTO DEL SISTEMA ANALÓGICO	116
3.6.1	Tarjeta de acondicionamiento de señales	116
PARTE IV	FUNCIONAMIENTO Y PRUEBAS DEL SISTEMA DESARROLLADO	121
4.1	DESCRIPCIÓN DEL SISTEMA	123
4.1.1	Funcionamiento del prototipo	124
4.1.2	Consumo de potencia del circuito	126

4.1.3 Pruebas del sistema digital	126
4.1.4 Pruebas del electrocardiógrafo	129
4.1.5 Pruebas del medidor de temperatura	135
4.1.6 Pruebas del medidor de frecuencia cardiaca	138
4.2 CIRCUITOS IMPRESOS	140
4.3 PRUEBAS DE CAMPO	141
PARTE V CONCLUSIONES	151
PARTE VI REFERENCIAS	163

PARTE I

INTRODUCCIÓN

Este trabajo consiste en el diseño, realización y pruebas de un prototipo de sistema de adquisición de señales biomédicas.

El sistema construido contiene un circuito analógico de entrada, que transforma (o en su caso transduce), las variables a medir, en señales eléctricas, cuyas características (amplitud, frecuencia) permitan su conexión a un convertidor analógico/digital. Las variables a medir en este proyecto son tres: las derivaciones electrocardiográficas básicas, la frecuencia cardíaca basal (a través de un sensor fotopletismográfico) y la temperatura corporal.

Una computadora personal compatible con IBM (con ranura de expansión ISA de 8 o 16 bits), realiza el despliegue de los datos producidos por el convertidor A/D a través de un programa de aplicación. La utilización del controlador de acceso directo a memoria (DMA) de la PC, permite la escritura de información en su memoria RAM, en forma independiente del microprocesador, con lo que es posible el control externo (por parte de una tarjeta de adquisición) de la velocidad de transmisión de datos, y la realización de otras tareas por el microprocesador.

La información guardada en la memoria RAM, es utilizada por el programa de aplicación para mostrar, en el monitor de la PC, las señales que han sido digitalizadas por el convertidor A/D. Además, algunas modificaciones a éste programa permiten imprimir, transmitir, almacenar en disco duro o flexible, o procesar los datos de acuerdo a alguna necesidad específica del usuario.

El despliegue en el monitor de la computadora de las señales de entrada puede decirse que se realiza en tiempo real, ya que para el diagnóstico médico no es relevante el momento en el que se realiza el registro, sino la información contenida en él (tiempo real puede ser definido como un proceso que es realizado en un sistema sin crear un retraso significativo para el usuario (1)).

Para hacer compatible el sistema de adquisición con diferentes tipos de microcomputadoras, en las cuales el proceso de graficación depende de la velocidad del microprocesador, la tarjeta de gráficos instalada y el tipo de monitor, es necesario el despliegue en bloques de información. Este proceso consiste en la entrada de un número de datos de la tarjeta de adquisición a un bloque de memoria; en éste mismo período, el microprocesador lee y

despliega la información guardada en otro bloque de memoria correspondiente a un periodo de muestreo anterior y espera a que el primer bloque de memoria se llene. De esta forma se hacen independientes dos procesos que pueden diferir en el tiempo de ejecución.

Un sistema de adquisición de señales para uso en humanos (sobre todo si las señales se toman directamente del cuerpo del paciente), debe cumplir con reglas de seguridad eléctrica antes de poder ser utilizado en el ambiente médico. Estas reglas de seguridad (véase parte III), protegen al paciente en caso de que se presente una falla de tipo eléctrico, ya sea en la alimentación del equipo, por la interacción con otros equipos o por el mal uso que se haga de él. Para éste efecto, el sistema de adquisición de datos construido, aísla los circuitos de acondicionamiento y transducción (sistema analógico), de las señales referenciadas a tierra física en el sistema de cómputo utilizado, protegiendo de este modo al usuario del mismo.

La etapa de aislamiento de señal del sistema, se conectó a la entrada del convertidor A/D, ya que no es recomendable su utilización en circuitos que operan con señales de bajo nivel; ya que su operación puede distorsionar las señales, o como separador entre señales digitales; ya que la mayoría de los circuitos de aislamiento producirían retardos inadmisibles entre éstas.

La figura 1.1.1 muestra un diagrama de bloques que representa, en forma general, el sistema de adquisición de datos realizado.

Para su estudio, el sistema realizado fué dividido en partes a lo largo de este trabajo, quedando organizado de la siguiente forma:

En la parte I se describe el propósito del sistema de adquisición de datos desarrollado, justificando su campo de aplicaciones y su utilidad práctica en el área médica. Además, se describen algunos componentes esenciales del sistema, y se divide para su estudio en una parte digital y una analógica.

La parte II de éste trabajo se refiere a la parte digital del sistema de adquisición de datos, es decir, a la tarjeta de expansión para PC, utilizada para el control de: acceso directo a memoria, convertidor analógico/digital, reloj programable y lectura y escritura a puertos (véase figura 1.1.1).

Conectada a esta tarjeta, a través de un maso de cables, se encuentra una tarjeta físicamente externa a la microcomputadora, que, de acuerdo a algunas señales transmitidas por el sistema digital, realiza el acondicionamiento de las variables analógicas de entrada. En la parte III se describe esta tarjeta de acondicionamiento de señal.

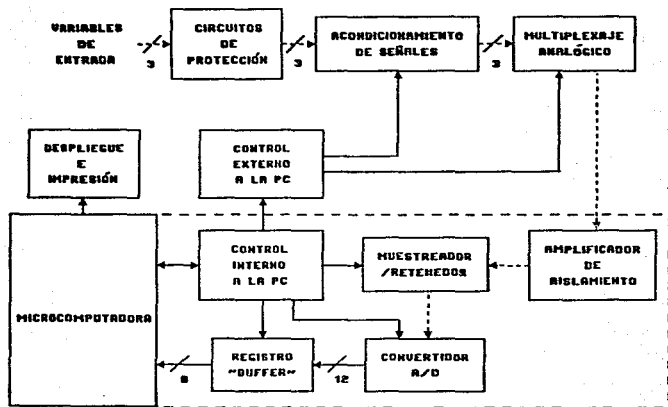


FIG 1.1.1

La parte IV describe el funcionamiento del sistema completo, haciendo mención a: el uso de los programas de aplicación, la construcción de los circuitos impresos y las pruebas realizadas al prototipo.

Finalmente, en la parte V, se enuncian las conclusiones en relación a las pruebas realizadas al sistema y los resultados obtenidos. Además, se discuten algunas posibles mejoras al diseño del circuito, la utilización del sistema para introducir otras señales biomédicas y el costo aproximado del proyecto.

En la parte VI se muestran las referencias bibliográficas a que se hace mención en el texto.

1.1 JUSTIFICACIÓN

La instrumentación biomédica se ha convertido, en áreas de la medicina como la cardiología o neurología, en un recurso indispensable de apoyo al diagnóstico e investigación. En el campo de la cardiología, el electrocardiograma tiene un valor inestimable en el diagnóstico y valoración de la insuficiencia coronaria, la identificación de arritmias y diferentes tipos de trastornos de conducción y preexcitación [2].

Este tipo de equipo sin embargo, suele ser de un costo elevado (ya que generalmente es importado), y se lo encuentra comúnmente centralizado en hospitales, escuelas de tercer nivel y laboratorios, donde por lo general su utilización está restringida.

Con la entrada al mercado de equipos de cómputo a un bajo costo, se inició el equipamiento, tanto en los sectores público como privado de microcomputadoras de tipo personal (PC). Este tipo de equipo, que, en el área médica es utilizado comúnmente para realizar tareas administrativas, puede ser explotado mucho más si se utilizan sus sistemas de entrada/salida (puertos seriales y paralelos, controlador de DMA, interrupciones, diferentes tipos de despliegue, etc.), como instrumento de laboratorio. Esto, aunado a la notable disminución de precio que en los últimos años ha tenido el mercado de componentes electrónicos de uso comercial, facilita el diseño de tarjetas de expansión para PC.

De esta forma, es posible la construcción de sistemas de adquisición de datos para señales biomédicas, con características semejantes a los comerciales, a un costo relativamente bajo, y con la ventaja de poder darle mantenimiento periódico en el lugar donde se instale.

El resultado de este trabajo será, como ya se dijo, un prototipo de un equipo de instrumentación con posibilidades de ampliación, y asociado a un conjunto de programas de aplicación interactivos con el usuario.

1.2 ANTECEDENTES

1.2.1 INTRODUCCIÓN

El monitoreo, almacenamiento y análisis de señales de origen biológico constituyen herramientas de primera magnitud en trabajos de investigación, de apoyo a la docencia y en la práctica clínica diaria.

A medida que se han encontrado nuevas aplicaciones a equipos de instrumentación clínica, se han presentado problemas relacionados con el almacenamiento de información, despliegue de datos, y análisis de señales "en línea". Algunos problemas han encontrado diferentes alternativas de solución.

El acondicionamiento de las señales biomédicas se puede realizar por medio de transductores, amplificadores, filtros, etapas de multiplexaje, etc.

El registro puede ser obtenido en tiempo real a través de graficadores de papel (polígrafos), osciloscopios de memoria, u otros medios de despliegue. Si además se requiere el procesamiento de señales, es posible la utilización de medios de almacenamiento de información, como la cinta magnética, u otros sistemas asociados a equipos de cómputo.

En nuestro país los graficadores electromecánicos (polígrafos), continúan siendo el método más utilizado para el diagnóstico médico en estudios de electrocardiografía, electroencefalografía y electromiografía, aún cuando éste tipo de equipo, por estar basado en sistemas galvanométricos, requiere calibración constante para conservar sus características de linealidad y asegurar su confiabilidad.

Sin embargo, en algunos estudios electrocardiográficos o electroencefalográficos, son necesarios registros continuos de hasta 8 horas, por lo que se requiere de equipo más sofisticado para almacenar grandes volúmenes de información o para procesar y guardar ésta en menor espacio (ya sea por discriminación o procesamiento digital).

El manejo de aparatos que proporcionan cierta manipulación de las señales (filtrado, amplificación, modulación, análisis gráfico, etc.), sin embargo, no es trivial, por lo que se requiere de los servicios de personal de alta especialización para la interpretación y análisis de las señales obtenidas; en contraste, el control del sistema de adquisición a través de una microcomputadora, permite la programación de algoritmos en lenguajes de alto nivel, que facilitan éstas operaciones.

En el proyecto planteado se trata de integrar en un sistema, una serie de

tareas que, tal vez por razones comerciales, se venden por separado. Esto hace innovador el sistema propuesto, al integrar un sistema de captura y acondicionamiento de señal a otro que permite el almacenamiento, análisis, transmisión y registro (microcomputadora y periféricos).

La tecnología electrónica utilizada no es, sin embargo "de vanguardia", ya que los componentes utilizados aparecieron en el mercado internacional por lo menos hace diez años. El proyecto se construyó utilizando, como lo hace toda la industria electrónica nacional, componentes importados. Se trató, sin embargo de emplear "marcas líder" a fin de asegurar refacciones por muchos años.

Se eligió la utilización de una microcomputadora compatible con IBM, ya que es de las de mayor difusión en México, y existen más de 40 fabricantes de equipos "compatibles" a ésta marca. Además el sistema puede ser instalado en cualquiera de sus versiones: PC, PC-XT, PC-AT, PC-386 y PC-486.

1.2.2 CONSIDERACIONES SOBRE EL DISEÑO DE EQUIPO BIOMÉDICO

Todo equipo electrónico comercial involucrado en el manejo de señales provenientes del cuerpo humano debe cumplir con normas de seguridad (que para equipo biomédico son extranjeras), para garantizar la operación segura del instrumento, aun bajo condiciones de falla. El equipo debe contener circuitos de aislamiento que eviten dañar al paciente en estudio en cualquier forma o bajo cualquier circunstancia.

El sistema analógico realizado para la adquisición de la señal electrocardiográfica constituye la parte más crítica en cuanto a circuito de protección ya que en su operación se requiere "conectar" al paciente al instrumento, por medio de electrodos sujetos a la piel y en zonas sensibles al flujo de corriente. Además, para reducir la tensión en modo común que puede aparecer en los electrodos, se requiere la aplicación cutánea de pasta electrolítica. Esta sustancia reduce la impedancia del cuerpo, haciéndolo aún más vulnerable al flujo de corriente a través de los electrodos.

Con objeto de garantizar una impedancia de aislamiento suficientemente grande, se deben utilizar dispositivos que aislen galvánicamente (óptica o electromagnéticamente) las etapas de acondicionamiento de señal de las referidas a la tierra física del sistema. En la figura 1.2.1 se muestra la forma en que se separa la alimentación de los circuitos del sistema y las etapas de aislamiento para señales digitales (optoacopladores) y analógicas (amplificador de aislamiento).

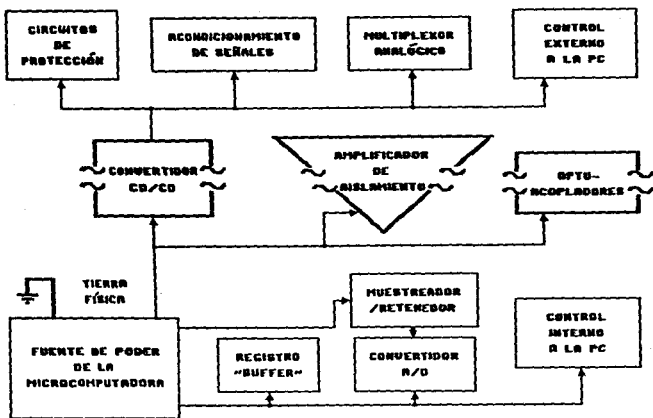


FIG 1.2.1

Como se puede observar, el convertidor CD/CD alimenta los circuitos de acondicionamiento de señal de la tarjeta externa a la microcomputadora, produciendo una masa o tierra virtual a la que están referidos todos los circuitos de ésta tarjeta.

En este proyecto se utilizó el amplificador de aislamiento 3656 de la marca *Burr Brown* (que cumple con las normas de aislamiento "IEEE SWC" y "UL 544" norteamericanas), el convertidor CD/CD PWR-711 de la marca *Burr Brown* y los optoacopladores TIL-111 de la marca *Texas Instruments*.

1.2.3 CARACTERÍSTICAS DE LOS CIRCUITOS INTEGRADOS UTILIZADOS

Se utilizaron dispositivos fabricados por las siguientes empresas:

- 1.-*Burr Brown*: convertidor analógico/digital, amplificador de aislamiento y convertidor CD/CD (ADC 574 A-KH, 3656 JG y PWR 711 A respectivamente),
- 2.-*Analog Devices*: sensor-transductor de temperatura (AD 590 LF),
- 3.-*Intel*: contador programable (8253-S),
- 4.-*Texas Instruments, Motorola, y National* para los C.I. restantes.

Se procuró la utilización de circuitos digitales de lógica TTL, ya que esta familia es directamente compatible con las señales en la ranura de

expansión de la PC, además se tomó en cuenta la utilización de tecnología LS ("Low power Schottky") por sus características de bajo costo, bajo consumo de potencia (2 mW máximo por compuerta), y alta velocidad de operación (la tecnología LS puede funcionar a una frecuencia máxima de 33 MHz con retrasos en propagación máximos de 9 ns)(3).

Se utilizaron circuitos de la familia CMOS por sus características de tiempo de retraso en propagación (en sus circuitos seguidores "buffer" con polarización de +5V, el tiempo de retraso en propagación es de 60 ns), bajo consumo de potencia (típicamente entre .001 y 10 mW por compuerta, dependiendo de la frecuencia de operación (4)), y la existencia de modelos híbridos (multiplexores analógicos CD4051 y CD4052) para señales bipolares.

PARTE II

DISEÑO DEL SISTEMA DIGITAL

En esta parte se describe el funcionamiento del sistema digital conectable a la ranura de expansión de la PC.

Inicialmente se describen los medios a través de los cuales se puede utilizar una microcomputadora como sistema de adquisición de datos.

Más adelante, se resalta el uso del controlador de acceso directo a memoria (DMA) de la PC, como una opción de transferencia de información entre el convertidor A/D y la memoria RAM, sobre todo en aplicaciones con señales de origen biomédico, campo en el que se pueden tener las más diversas necesidades en cuanto a frecuencia de muestreo, número de canales de entrada, utilización de algoritmos de filtrado, etcétera (para la adquisición de potenciales nerviosos o musculares, se requiere muestrear señales con un ancho de banda de 10 kHz y el mayor número de canales posible).

En este proyecto se utilizan 9 canales analógicos de entrada, cuya selección es controlable, desde el programa de aplicación, a través de un puerto paralelo de salida; también se puede cambiar la frecuencia de muestreo, por medio de un reloj programable, de acuerdo a las necesidades que el usuario tenga en el registro y / o procesamiento de la señal de entrada.

Finalmente se describen las características del convertidor analógico/digital utilizado y su conexión y sincronización con el sistema de adquisición de señales, así como el funcionamiento del circuito digital completo y la forma en que éste se conecta al módulo analógico externo.

2.1 MICROCOMPUTADORA A UTILIZAR Y PUERTOS

2.1.1 INTRODUCCIÓN

Recientemente las computadoras personales se han introducido en laboratorios e industrias para actuar como base en sistemas de adquisición de datos y controladores de procesos industriales (5).

Sin una microcomputadora, existen dos técnicas para la adquisición de datos: el método manual o usando un sistema dedicado especialmente a la adquisición de información. El método manual consiste en la lectura de información proveniente de un dispositivo medidor o de despliegue.

Un sistema dedicado a la adquisición de datos generalmente permite la conexión de un gran número de canales de entrada, obteniéndose la impresión o graficación de lecturas en periodos regulares. Sin embargo ninguna de éstas aproximaciones permite, por sí misma, el manejo de información.

Además de automatizar la adquisición, una microcomputadora permite el análisis numérico y múltiples posibilidades de despliegue de los datos introducidos en memoria, cuando el usuario lo desee.

El análisis de señales "en línea", es decir, con un retraso despreciable a partir de que se capturan, requiere más trabajo por parte de la computadora, ya que además de tomar las muestras que debe procesar, puede tener que filtrar digitalmente, transmitir, graficar, imprimir, o guardar la información en algún medio de almacenamiento como son unidades de disco, cinta magnética, disco óptico, etcétera.

La selección de la circuitería y programación ("hardware" y "software") de la microcomputadora a utilizar, afecta tanto a la forma en que se realiza una tarjeta de expansión, como al desempeño de la misma en pruebas de campo.

La figura 2.1.1 muestra la arquitectura básica de una microcomputadora. Los componentes mostrados son la unidad central de procesamiento (CPU), el circuito de temporización (reloj), la memoria, subsistemas de entrada/salida, lógica de control de bus y bus del sistema.

En una microcomputadora, el microprocesador (CPU) realiza la mayor parte del control y manejo de información del sistema, siendo auxiliado, en los procesos de comunicación, por circuitos especializados (controladores de puertos, interrupciones y acceso directo a memoria).

El circuito de reloj es utilizado para la sincronización de todas las actividades del microprocesador y la lógica de control del bus.

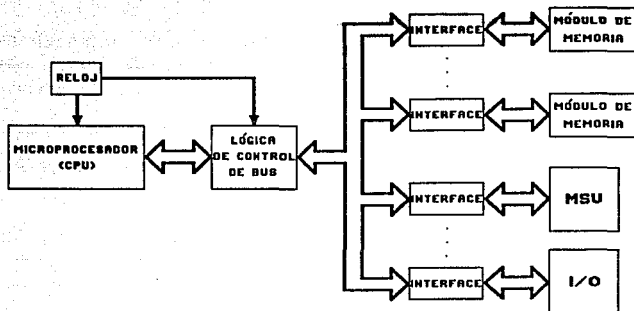


FIG. 2.1.1 [6]

La memoria RAM está dividida en módulos de 64 KBytes cada uno (siendo el número de módulos dependiente de la cantidad de memoria que pueda direccionar el microprocesador o la memoria extendida que se tenga instalada). Esta memoria tiene como función guardar los datos e instrucciones utilizados por el microprocesador en su operación (sistema operativo y programas o paqueterías en uso), contando además con áreas reservadas para uso del sistema y para aplicaciones del usuario.

La memoria ROM contiene el BIOS del sistema y programas para control de operaciones de la máquina en uso (como el tipo de despliegue y configuración del sistema). Aunque parte del programa almacenado en ROM es común a todas las máquinas (rutinas de prueba), no en todas ocupa el mismo espacio.

El subsistema de entrada/salida (I/O) consiste en un conjunto de dispositivos para comunicación con el mundo externo. Puertos de entrada/salida, serie y paralelo, tarjetas controladoras de disco duros y flexibles, modems, impresoras, graficadores de pluma, teclado, etcétera, son algunos de los dispositivos que la microcomputadora usa para comunicarse.

Los accesorios de una microcomputadora para el almacenamiento permanente de programas e información se denominan unidades de almacenamiento en masa (MSU), siendo los más comunes las unidades de disco duro, disco flexible, cinta magnética, y más recientemente el CD-ROM, entre otros.

El bus del sistema comunica el CPU con la arquitectura de la

microcomputadora. En un sistema IBM o compatible, el bus está estandarizado a la norma ISA ("Industry Standard Architecture"), aunque algunos modelos 80286, 80386 y 80486 usan arquitectura de microcanal ("Microchannel Adapters") o EISA ("Extended Industry Standard Architecture"), como complemento al bus estándar. Las señales del bus disponibles en la ranura de expansión, se pueden dividir en tres grupos:

- 1.-Las líneas de datos para transferir información.
- 2.-Las líneas de dirección, que indican de donde viene la información o donde ha de ser almacenada.
- 3.-Las líneas de control, que regulan las actividades del sistema.

La circuitería necesaria para conectar el bus del sistema a un dispositivo externo es llamada interfase. Para facilitar el diseño de interfases, se deben escoger circuitos integrados con características que los hagan directamente conectables al bus de la microcomputadora y permitan su sincronización con el mismo.

Las interfases de memoria (fig. 2.1.1), son usadas para transferir información en forma casi independiente del microprocesador.

Las interfases de entrada/salida, o puertos de comunicación, deben ser capaces de transferir información a través del bus, recibir instrucciones del microprocesador, e informar el estado de sus registros al mismo.

El microprocesador puede controlar el flujo de información a memoria en dos formas: direccionando directamente a sus localidades, como lo hace al activar puertos de entrada / salida, o, cuando únicamente se requiere transferir información, como es el caso de la unidad de disco flexible, utilizando el controlador de acceso directo a memoria. Este circuito periférico, controla el bus del sistema para realizar la transferencia, permitiendo al microprocesador realizar otras tareas.

2.1.2 DIRECCIONAMIENTO DE MEMORIA Y CONTROL DE PUERTOS

Las microcomputadoras del tipo IBM PC, así como todas las compatibles con ellas, utilizan la familia de microprocesadores 8086/8088 con 20 líneas de dirección, permitiendo así, el direccionamiento real a memoria de hasta 1 MBytes (máquinas basadas en el 80286 y más recientes, utilizan 4 líneas de dirección extras permitiendo el direccionamiento real de hasta 16 MBytes).

La familia de microprocesadores 8086/8088 es capaz de direccionar hasta 65,536 puertos de entrada/salida. El control de puertos se realiza a través de 16 líneas de dirección del bus, sin embargo, las líneas de control de

memoria son \overline{MEMW} o \overline{MEMR} , y las líneas de control de puertos son \overline{IOR} , \overline{IOW} y AEN.

En general, las PC, PC/XT, y PC/AT, así como la mayoría de las compatibles pueden ser tratadas igualmente en cuanto al área utilizable de memoria RAM y puertos de entrada/salida utilizados por el sistema, aunque existen algunas variantes.

Sólo los primeros 640 KBytes del total de los 1024 KBytes de espacio total de direccionamiento pueden ser utilizados como RAM, ya que esto es lo máximo permitido por la versión estándar del sistema operativo DOS. El resto del espacio está dedicado a la ROM, la extensión de RAM y ROM, tarjetas adicionales, adaptadores de despliegue, etcétera [7].

El área para el usuario contiene información del sistema, vectores de interrupción, manejadores de dispositivos "drivers", sistema operativo, etcétera.

La figura 2.1.2 muestra un mapa general de direccionamiento de memoria utilizado por los sistemas IBM PC.

La parte más baja de la memoria (00000-H a 005FF-H) es utilizada para guardar el sistema operativo, los manejadores de dispositivos, los vectores de interrupción y los programas de aplicación del usuario.

En la parte más alta del mapa de direccionamiento (F0000-H a FFFFF-H) se encuentra el espacio para la decodificación de la ROM, ésta área de 64 KBytes es decodificada en la tarjeta del sistema por lo que el usuario no tiene acceso a la misma. La memoria ROM contiene el BIOS del sistema, programas de diagnóstico, programa de inicialización, e intérprete de BASIC.

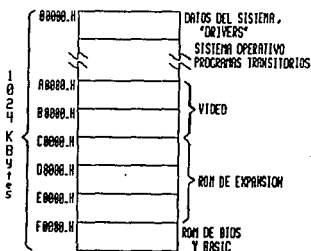


FIG. 2.1.2 [7]

Los primeros 64 Kbytes de memoria RAM están decodificados en la tarjeta del sistema (0-H a 005FF-H), y contienen información relacionada con el BIOS, el sistema operativo, configuración del sistema, del disco duro, teclado y video.

Un área de 128 KBytes (A0000-H a C0000-H), está reservada para adaptadores de video, desde el adaptador monocromático que solo ocupa 4 KBytes, hasta el adaptador optimizador de gráficos "EGA" que ocupa toda el área.

Para el direccionamiento de memoria, debido a que los registros del microprocesador que realizan el direccionamiento son de 16 bits, se utiliza un esquema de segmentos (aún en microprocesadores de 24 y 32 bits). En este esquema, cada dirección es especificada como un segmento o dirección base y un corrimiento ("offset"). El intervalo que puede ocupar el corrimiento es (0-H a FFFF-H). De este modo, el direccionamiento de hasta 1 MB, se forma cambiando el valor del segmento dejado por cuatro posiciones de bits, es decir, multiplicando el valor del segmento por 10-H y sumando el corrimiento al resultado.

En éste proyecto se puede utilizar un área variable de memoria, dependiendo del modo en que se utilice la información en el programa de aplicación, sin embargo, se utilizó siempre el direccionamiento en el segmento 8000-H, ya que éste generalmente está libre (pudiéndose guardar hasta 65536 bytes), sin embargo, si la aplicación lo requiere, se puede direccionar otro segmento.

El espacio de direcciones de entrada/salida (puertos) está dividido en diferentes áreas o mapas, la primera se reservada para dispositivos en la tarjeta del sistema y los siguientes para dispositivos conectados al canal de entrada/salida. Esto se muestra en la figura 2.1.3.

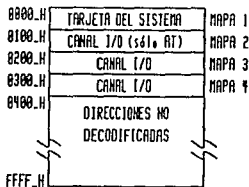


FIG. 2.1.3 [7]

La línea de dirección A9 tiene un significado especial para puertos de entrada; cuando ésta se desactiva, el sistema sólo puede recibir datos de los dispositivos y puertos decodificados en la tarjeta del sistema; en caso contrario, cuando A9 se activa, ésta habilita únicamente información de las ranuras de expansión de la computadora [8]. De esta forma, se pueden direccionar 1024 puertos de salida.

Cada renglón de un mapa como los mostrados en la figura 2.1.4 representa 16 direcciones de entrada/salida (puertos). Los mapas de dirección de la figura 2.1.4 (figuras 2.1.4 A y 2.1.4 B), contienen información sobre el mismo bloque de direcciones, ya que existen diferencias significativas en el uso que se les da a las mismas localidades en cada máquina (PC XT y AT). Los mapas de dirección restantes son compuestos para los tres modelos de PC.

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
000.H	CONTROLADOR DE DMA 8237A															
010.H	RESERVADO															
020.H	8259A															
030.H	RESERVADO															
040.H	TIMER 8254															
050.H	RESERVADO															
060.H	PPI 8255A															
070.H	RESERVADO															
080.H	REG. PAG. DMA															
090.H	RESERVADO															
0A0.H	REGISTROS DE MASCARA															
0B0.H	RESERVADO															
0C0.H	RESERVADO								RESERVADO							
0D0.H	RESERVADO															
0E0.H	RESERVADO															
0F0.H	RESERVADO															

FIG. 2.1.4 A [7]

Como se puede observar, en el primer mapa no es posible la utilización de puertos de entrada/salida por el usuario ya que ésta área está asignada al sistema.

El intervalo de direcciones entre 100-H y 1FF-H sólo es usado por el controlador de disco duro de la PC/AT.

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
000.H	CONTROLADOR DE DMA 8237A-5 (1)															
010.H	RESERVADO															
020.H	CONTROLADOR DE INTERRUPCIONES PROGRAMABLE 8259A (1)															
030.H	RESERVADO															
040.H	"TIMER" 8254-2															
050.H	RESERVADO															
060.H	TECLADO 8042															
070.H	RELOJ DE TIEMPO REAL Y REGISTROS DE MASCARA															
080.H	RESERVADO															
090.H	REGISTROS DE PAGINA DMA															
0A0.H	CONTROLADOR DE INTERRUPCIONES PROGRAMABLE 8259A (2)															
0B0.H	RESERVADO															
0C0.H	CONTROLADOR DE DMA 8237A-5 (2)															
0D0.H	RESERVADO															
0E0.H	RESERVADO															
0F0.H	COPROCESADOR NUMERICO															

FIG. 2.1.4 B [7]

El espacio de direcciones entre 200-H y 2FF-H, está saturado de puertos para comunicaciones (impresora puerto paralelo, puertos secundarios de comunicación asincrónica, y sistemas adaptadores para comunicación por voz), interfases gráficas especiales, control de juegos, fecha, y otros dispositivos de "hardware" opcionales.

El área de direcciones entre 300-H y 3FF-H mostrada en la figura 2.1.5, es utilizada por adaptadores de comunicaciones, redes, contiene asignaciones para tarjetas de video, dispositivos de comunicaciones en modo sincrónico y asincrónico, y controlador de disco duro (excepto para AT que se encuentra en los puertos 1F0-H a 1F8-H). Sin embargo, contiene un espacio libre (300-H a 31F-H), que puede ser utilizado por el usuario.

En este proyecto, los puertos 000-H a 01F son utilizados para programar los registros internos del controlador de DMA (definidos en el diseño de la PC), y, a partir de la dirección 300-H para la programación de los registros internos del contador 8253-5 en la tarjeta de expansión, y los registros de corrimiento de la etapa de acondicionamiento de señal (que seleccionan el canal a muestrear, ganancia del preamplificador y existencia o no de filtro supresor de banda a 60 Hz para la señal de ECG).

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
300_H	TARJETA PROTOTIPO															
310_H	DISCO DURO (PARA AT ENTRE 1F0_H Y 1F8_H)															
320_H	(XT/370)															
330_H																
340_H																
350_H																
360_H	ADAPTADOR DE RED PARA PC															
370_H									IMPRESOR PARALELO							
380_H	COMUNICACION SECUNDARIA BISIENRONA O SOLL															
390_H																
3A0_H	COMUNICACION PRIMARIA BISIENRONA															
3B0_H	ADAPTADOR DE DESPLIEGUE E IMPRESOR PARALELO															
3C0_H	ADAPTADOR DE GRAFICOS MEJORADO (EGA)															
3D0_H	ADAPTADOR DE GRAFICOS EN COLOR (CGA)															
3E0_H	RESERVADO															
3F0_H	UNIDAD DE DISCO								COMUNICACION PRIMARIA BISIENRONA COM12							

FIG. 2.1.5 [7]

Los lenguajes de programación de alto nivel ofrecen al usuario instrucciones para la comunicación con memoria y puertos. Aún con sus

limitaciones en cuanto a velocidad de procesamiento, el lenguaje de programación BASIC puede ser utilizado satisfactoriamente en este proyecto, como una primera aproximación, aprovechando su facilidad utilización.

El lenguaje BASIC permite por medio de las instrucciones "IN" y "OUT", la lectura o escritura a puertos. Para el direccionamiento a memoria se utilizan las instrucciones "DEF SEG", "PEEK" y "POKE".

2.1.3 CONEXIÓN A TRAVÉS DE UNA RANURA DE EXPANSIÓN

La figura 2.1.6 muestra las señales presentes en la ranura de expansión tipo ISA de la PC a tarjetas de expansión de 8 bits (8). Las señales utilizadas en este proyecto son las siguientes:

+ 5 V, + 12 V, - 12 V, GND (Fuentes de poder),

AEN (Habilitación de direcciones),

\overline{IOW} , \overline{IOR} (Escritura y lectura a puerto),

DRQ X y $\overline{DACK X}$ (Control de acceso directo a memoria),

RESET (Inicialización del sistema),

A0 a A19 (Bus de direcciones),

D0 a D7 (Bus de datos).

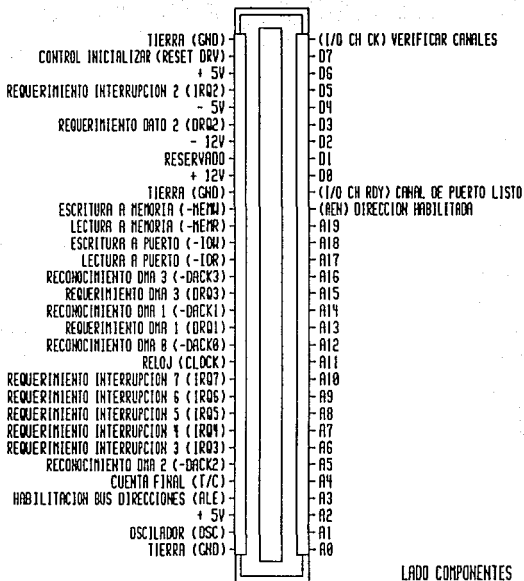
La señal AEN es proporcionada por la lógica de control de DMA (controlador de DMA programable 8237-5), y es usada para indicar si un ciclo de DMA se está o no realizando, indicando así cuando la señal del bus de direcciones es válida. En la tarjeta del sistema, es utilizada para deshabilitar los buses de datos, control, y los circuitos de control del bus de direcciones, es decir, para inhibir otros dispositivos de responder durante ciclos de DMA, de este modo se transfiere el control de bus al 8237-5.

La señal \overline{IOR} es una señal de salida proporcionada por un circuito controlador de bus (Intel 8288); esta señal es usada para indicar a puertos de entrada/salida que el presente ciclo de bus del microprocesador es de lectura, y que la dirección del bus debe habilitar un puerto; el puerto de entrada a su vez, debe responder colocando la información requerida en el bus de datos del sistema.

Cuando ocurre un ciclo de DMA, la señal \overline{IOR} es habilitada por el controlador de DMA en el sistema (8237-5), y el bus de direcciones contiene la dirección de memoria donde se ha de transferir la información. El canal de entrada se selecciona por medio de la señal $\overline{DACK X}$ de alguno de los canales del controlador de DMA.

La señal \overline{IOW} al igual que \overline{IOR} , es controlada por el 8288, e indica ya sea

una escritura a puerto o la salida por el bus de datos de información a través de un canal de DMA.



LADO COMPONENTES

FIG. 2.1.6 (8)

La señal de solicitud de un ciclo de DMA, DRQ X (DMA "request") es una de las líneas de entrada individuales y asincronas que puede ser usada por una interfase para activar un canal del controlador de DMA. Un requerimiento de DMA puede ser generado manteniendo ésta señal en alto hasta que se produzca la señal de reconocimiento al canal deseado, DACK X (DMA "acknowledge"), es decir, hasta que el controlador de DMA le indique al periférico que ha sido elegido de acuerdo a cierta prioridad que el controlador da a los diferentes canales de DMA, para realizar un ciclo de lectura o escritura.

La señal RESET, se activa (con un nivel de tensión alto) al encender la computadora, o cuando el usuario la solicita desde el teclado de la PC. Esta señal inicializa el sistema eliminando la información en memoria RAM, y ejecutando el programa BIOS, que carga todos los registros con sus valores iniciales y revisa el funcionamiento del sistema. Finalmente carga el sistema operativo en RAM.

Las líneas A0 a A19 (Bus de direcciones) son señales de salida utilizadas por la memoria conectada al bus del sistema y dispositivos de entrada/salida. Estas 20 líneas pueden ser controladas por el microprocesador 8088 durante ciclos de búsqueda en el sistema, o por el controlador 8237-5, durante ciclos de DMA.

Las líneas D0 a D7 (Bus de datos) son líneas bidireccionales usadas para transmitir información entre el microprocesador, memoria, dispositivos de entrada/salida, dispositivos de control e interfases conectadas en las ranuras de expansión. Durante ciclos de DMA, el bus de datos es utilizado para transferir información entre una interfase externa y la memoria del sistema, sin la intervención del microprocesador, para realizar el refresco a memoria o utilizar la unidad de disco flexible.

2.1.4 UTILIZACIÓN DE LA FUENTE DE PODER DE LA PC

Al utilizar una tarjeta de expansión no mayormente saturada de componentes electrónicos que cualquier tarjeta comercial (p.e. controladora de discos flexibles), en una computadora personal, normalmente no es necesario el cálculo de la carga que se puede conectar a cada línea de la microcomputadora si se toman en cuenta ciertas precauciones empíricas. Algunas de ellas son: no presentar más de dos cargas del tipo LS a cualquier señal del bus por ranura de expansión, desacoplar los circuitos integrados conectados al bus con capacitores de 0.01 μF en su polarización y no correr líneas del bus largas distancias para evitar efectos inductivos que distorsionen o introduzcan ruido en las señales del bus.

Las características eléctricas de las líneas de energía en un conector ISA alimentado por una fuente de 135 W (fuente mínima utilizada en la PC XT), se muestran en la tabla 2.1.7, para tener una idea de la carga máxima que se puede conectar en cada ranura de expansión de la computadora.

Debido a que la alimentación de la tarjeta se realiza por medio de la fuente conmutada de la PC, la presencia de una tarjeta de expansión aumenta la inductancia de las líneas de energía, pudiendo causar problemas por

interferencia electromagnética en el sistema. Con el fin de eliminar las tensiones de ruido que se puedan introducir al circuito, a través de la fuente de poder, se utilizaron capacitores de desacoplo, y, debido a un problema de resonancia con la fuente de la microcomputadora, se tuvo que realizar un filtro LC para conectar el convertidor CD/CD (véase parte V).

Los capacitores permiten desacoplar las fuentes de alimentación de unos circuitos con otros, reducir los efectos dañinos de los transitorios de tensión en los circuitos integrados, y filtrar el ruido inducido en los conductores de la tarjeta. Los capacitores de desacoplo son típicamente de tantalio con capacitancias de 8 a 100 microfaradios (recomendados para carga de tipo digital) (8).

Estos capacitores se colocan cerca del conector de entrada y en los extremos de la tarjeta (para formar un filtro Π con la inductancia de las pistas), en los circuitos de interfase análoga/digital, y en los dispositivos electrónicos que así lo requirieron por sus características de operación.

FUENTE DE DC	MAX (V _{dc})	MIN (V _{dc})	CORRIENTE (A)	POTENCIA (W)	CORRIENTE TÍPICA POR RANURA (A)
+ 5V	5.25	4.00	7.0	35.0	0.7
- 5V	5.50	4.60	0.3	1.5	0.03
+ 12V	12.6	11.52	2.0	24.0	0.1
- 12V	13.2	10.92	0.25	3.0	0.05

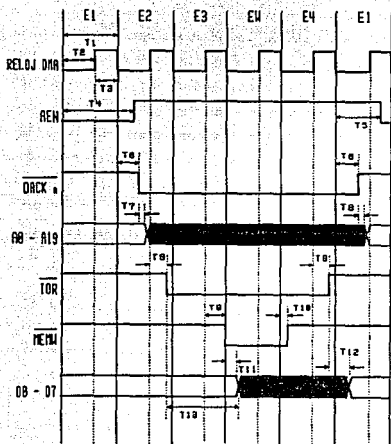
FIG. 2.1.7 (8)

2.1.5 SINCRONIZACIÓN CON LAS SEÑALES DEL BUS

Para la conexión digital, es necesaria la compatibilidad en tiempo de la interfase con el bus del sistema. En el sistema de la PC más sencilla, el microprocesador 8088 funciona a una frecuencia de reloj de 4.77 MHz, sin embargo, las últimas versiones de computadoras personales pueden funcionar a una frecuencia de reloj de hasta 66 MHz, basadas en un microprocesador 80486.

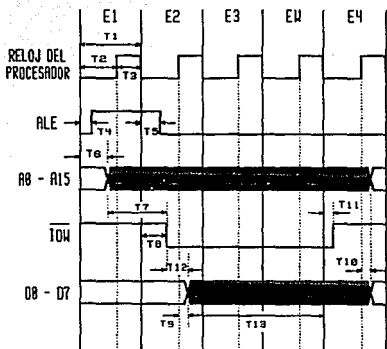
La frecuencia de operación del reloj del sistema de cómputo a utilizar, permite evaluar el tipo de rutinas de programación que se pueden procesar, en un periodo definido por el usuario.

El número de ciclos de reloj que ocupan las operaciones básicas del bus, como son el ciclo DMA y la escritura a puertos, permite sincronizar la tarjeta de expansión con la PC. En la figura 2.1.8. se muestran los ciclos de reloj para un ciclo de DMA y en la 2.1.9 para la escritura a puerto.



INTERVALO	MAX (ns)	MIN (ns)
T1	—	289.5
T2	—	119
T3	—	79
T4	183	132
T5	183	138
T6	178	—
T7	45	—
T8	—	11
T9	282	—
T10	142	—
T11	38	—
T12	—	4
T13	248	—

FIG. 2.1.8 (B)



INTERVALO	MAX (ns)	MIN (ns)
T1	—	289.5
T2	—	124.5
T3	—	71.8
T4	15	—
T5	15	—
T6	128	16
T7	—	91.5
T8	35	18
T9	122	14
T10	—	18
T11	35	18
T12	112	—
T13	—	586.5

FIG. 2.1.9 (B)

Como se puede observar en la figura 2.1.8, un ciclo de DMA utiliza 5

ciclos de reloj del procesador (el cual puede tener una frecuencia mínima de 4.77 MHz), permitiéndole una frecuencia de transferencia máxima de 476 kBytes por segundo. En las computadoras AT, el controlador de DMA puede estar sincronizado a una frecuencia de operación que es submúltiplo de la frecuencia del reloj de la PC (1/2, 1/3 o 1/4 de la frecuencia de reloj).

El retraso que existe en la escritura a puertos, no fué considerado debido a que la programación de los mismos se realiza únicamente al inicio del programa, sin embargo, en sistemas multiplexados, donde se requiere el muestreo de varios canales de entrada (p.e. en EEG se pueden requerir 20 canales de entrada con una frecuencia de muestreo mínima de 300 Hz por canal), puede ser necesario utilizar un lenguaje de programación más eficiente que el BASIC para un control más rápido de puertos, como el C o ensamblador.

2.2 SISTEMA DE ADQUISICIÓN POR UN CANAL DE DMA

2.2.1 COMUNICACIÓN CON LA COMPUTADORA

La comunicación en paralelo consiste en la transferencia de información a través de un bus de líneas separadas. A diferencia de la comunicación serie, las interfases de comunicación paralelo no han sido estandarizadas.

Existen cuatro tipos de comunicación paralela: por direccionamiento a memoria, direccionamiento a puertos de entrada / salida, interrupciones y acceso directo a memoria (DMA).

Como ya se mencionó, algunas de las direcciones de memoria son utilizadas por otros dispositivos, como los USART ("Universal Synchronous / asynchronous receiver / transmitters"), procesadores de datos numéricos, contadores, "timers", o dispositivos de interfase. Para comunicarse con estos dispositivos, el microprocesador debe saber la dirección de inicio, el número de localidades que contiene, la función de cada localidad, y la forma en que debe sincronizarse para una operación adecuada.

Otras instrucciones leen o escriben información desde / hacia puertos. Aún cuando la utilización de los puertos es conceptualmente simple; para la adquisición de señales, es un proceso que puede ocupar demasiado tiempo (sobre todo si se utiliza una microcomputadora "lenta"). Este tiempo podría ser utilizado por el procesador para realizar otras tareas.

Se denomina interrupción a un evento que causa que el microprocesador inicie una rutina para realizar una tarea establecida. La ventaja del uso de interrupciones es que el CPU puede realizar otras tareas en espera de que se produzca una interrupción. Cuando una interfase desea interrumpir la operación del microprocesador, le notifica al microprocesador por medio de una señal y, dependiendo de la prioridad asignada a esa interrupción, se ejecuta la acción y regresa a la tarea anterior.

Otra forma de transmitir información de o hacia una interfase es por medio de la programación de un componente del sistema que pueda transferir información hacia o desde memoria sin la acción directa del microprocesador; éste tipo de transferencia de información se denomina acceso directo a memoria (DMA) y el componente interno a la computadora que lo realiza se denomina controlador de DMA. El siguiente capítulo describe el controlador de DMA que forma parte de la arquitectura del sistema de la PC.

2.2.2 CONTROLADOR DE ACCESO DIRECTO A MEMORIA

Un controlador de DMA es usado típicamente para realizar las funciones requeridas de transferencia de información a alta velocidad entre un microprocesador y un dispositivo externo. Este dispositivo puede realizar la transmisión de información utilizando diferentes técnicas. El controlador puede suspender la operación del microprocesador, puede detenerlo ("burst" DMA), puede "robar" ciclos de memoria del microprocesador ("cycle stealing DMA"), o puede estrechar los pulsos de reloj. Algunos controladores de DMA sofisticados como los controladores de DMA de refresco dinámico de memoria pueden usar algunas porciones del ciclo de instrucción (por ejemplo incrementando el contador de programa), cuando el microprocesador no usa el bus de direcciones y de datos ("transparent" DMA) (12).

En el diseño de la IBM PC, el controlador de DMA utilizado es el *Intel 8237-5*. Este controlador puede atender a través de sus canales hasta a cuatro interfases de entrada/salida. Mientras se realiza la transferencia de información, el 8237-5 coloca la dirección de memoria en el bus de direcciones y controla la operación del bus, sustituyendo a la lógica de control de bus de la PC, mientras se realiza la transferencia.

Dentro del sistema de la PC pueden existir uno o dos controladores de DMA 8237-5, en cualquier caso, el controlador 1 contiene los canales 0 a 3 y el controlador 2 del 4 al 7 (el segundo controlador de DMA se encuentra conectado en cascada al primero en todas las computadoras tipo AT). El controlador 1 puede realizar transferencias entre interfases de 8 bits y memoria de 8 o 16 bits; sin embargo, dos de sus canales son utilizados en las computadoras tipo XT, el canal 0 realiza el refresco de memoria dinámica y el canal 2 realiza la transferencia de información con la unidad de disco flexible. El segundo controlador es usado en las computadoras tipo AT, en cascada al primer controlador a través del canal 4, y es capaz de realizar transferencias de información entre interfases y memoria de 16 bits. En las computadoras AT, sin embargo, los canales 0 y 3 ya no son utilizados por el sistema, dado que el refresco a memoria dinámica se realiza en otra parte de la arquitectura del sistema y la comunicación con el disco duro es a través de instrucciones en ensamblador.

La figura 2.2.1 muestra la arquitectura básica del controlador de DMA 8237-5.

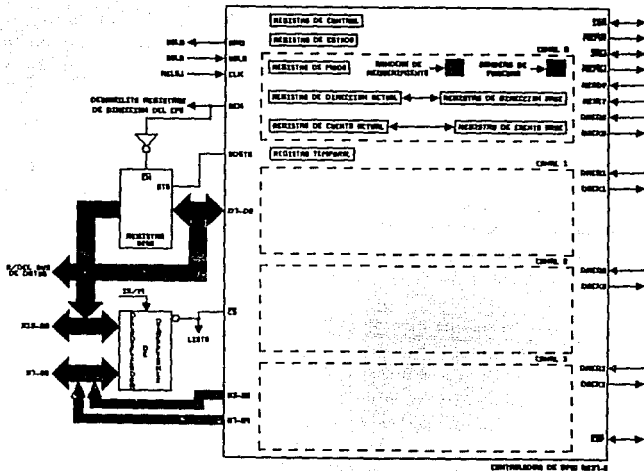


FIG. 2.2.1 [12]

Los canales 1 y 3 no son utilizados normalmente en el diseño de la PC (aunque algunas tarjetas controladoras de disco duro antiguas, utilizan el canal 3), y pueden ser utilizados por interfaces externas. Los canales del controlador 1 están disponibles en las ranuras de expansión de cualquier PC. El BIOS de la PC inicializa los registros internos del 8237-5 de modo que el canal 0 tenga la mayor prioridad y el 3 la menor.

El controlador contiene 344 bits de memoria interna en forma de registros, y tres bloques de lógica de control; el bloque de control de tiempo genera ciclos para sincronización interna, y señales para el control de bus; el bloque de control de instrucciones, decodifica las direcciones para la programación de los registros de operación y el bloque de asignación de prioridad, carga los registros del canal al que corresponda seleccionar y espera, por hardware o por software, el requerimiento de un ciclo de DMA.

Además de los registros de control y estado, cada canal contiene un registro de dirección y un registro de un byte de cuenta. La inicialización

del controlador consiste en cargar estos registros con el tipo de transferencia a realizar, el modo de operación del controlador, la dirección de memoria de inicio (segmento y corrimiento), y el número de bytes a transferir.

En este proyecto se realiza la transferencia de información de la tarjeta de adquisición a la memoria de la PC, a través del canal 1 del 8237-5.

El controlador 8237-5 opera en dos modos llamados ciclo vacío y activo. Cuando ningún canal solicita atención, el controlador realiza ciclos de vacío; en estos, el 8237-5 realiza muestreos de las líneas DRQ X cada ciclo de reloj para determinar si algún canal requiere un ciclo de DMA, también muestrea la señal CS para detectar si el microprocesador requiere leer o escribir a los registros internos del 8237-5 entrando al ciclo de programación. Las líneas de dirección del controlador A0-A3, seleccionan los registros a escribir.

La figura 2.2.2 muestra un diagrama de bloques ilustrando la transferencia de datos por DMA en el sistema de la PC.

Para producir un ciclo activo de DMA, se deben programar los registros internos del controlador, especificando las siguientes características:

1. Selección de escritura o lectura a memoria,
2. Tipo de transferencia (por bloque o un solo byte por ciclo),
3. Número de bytes a transferir,
4. Prioridad de canales,
5. Dirección de memoria para el comienzo de transferencia,
6. Habilitación de la señal de requerimiento de un canal.

Esta inicialización la realiza el BIOS de la computadora para activar el refresco a memoria y la unidad de disco flexible, por lo que sólo fué necesario cambiar la programación de algunos de los registros del canal 1, escribiendo por medio del programa de aplicación, a los puertos de la computadora ocupados por los registros del controlador.

Una vez inicializado, el controlador entra a un ciclo vacío, y la interfase, en este caso asignada al canal 1, puede habilitar la señal "DRQ 1", para que dé comienzo un ciclo activo del controlador.

El controlador inicia el ciclo activo asignando al canal que lo activó un lugar de acuerdo a la prioridad programada en el registro de comando; una vez que se permite el uso del canal, el controlador transmite una señal "HOLA" al circuito de generación de estados de espera del microprocesador, que busca

en las líneas de estado ("status"), un ciclo pasivo, es decir, sin actividad de bus o cuando un ciclo de bus está a punto de terminar.

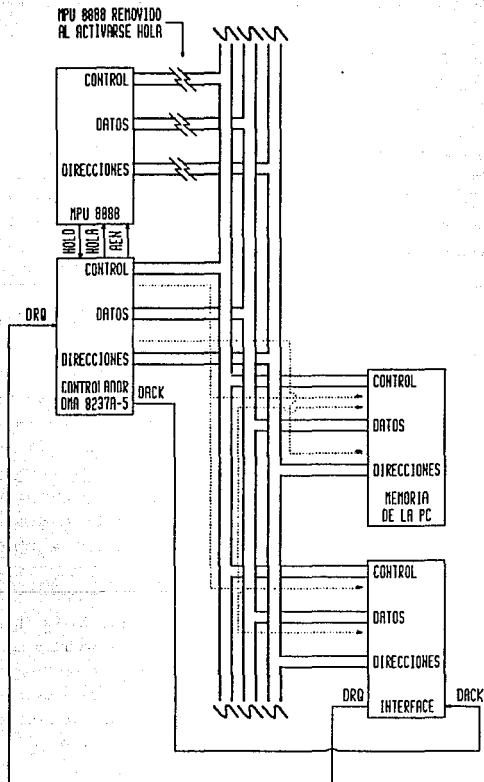


FIG. 2.2.2 (8)

Cuando un estado pasivo es detectado, la lógica de control manda una señal

"not ready" al microprocesador; que lo pone en un estado de espera del ciclo de reloj T3 (véase figura 2.1.8), además, se envía una señal "HOLD" al controlador 8237-5 indicándole que en el próximo ciclo de reloj, el bus estará libre para que la interfase transfiera su información a memoria; al mismo tiempo, se envían señales de control al bus de direcciones, de control y registros de datos, para desconectar el microprocesador del bus del sistema.

La señal AEN en este caso será controlada por el 8237-5 al direccionar la localidad de memoria donde se realizará la transferencia. Cuando el controlador ha detectado la señal "HOLD", envía una señal "DACK 1" a la interfase que habilita un registro en la tarjeta de expansión al bus de datos, transfiriendo la información a la localidad de memoria señalada por el controlador. Además se habilitan las líneas "MEMW" e "IOW" para activar la memoria.

La interfase externa, al recibir la señal "DACK 1", deshabilita la señal de requerimiento "DRQ 1" al controlador; y al completarse el ciclo (en el período T5), el controlador deshabilita la señal "HOLA" a la lógica de control del microprocesador y entra en ciclo vacío. Finalmente los circuitos de control de estados de espera deshabilitan la señal "not ready" al microprocesador, activando el bus. El ciclo de bus que fue suspendido es reiniciado en el período T5, ya que se inserta un período de espera para dar tiempo a la interface de transferir la información en un tiempo suficiente.

Una parte del programa de aplicación, contiene la programación de los registros internos del controlador de DMA 8237-5; en la figura 2.2.3 se muestran los registros internos del controlador de DMA y la dirección de puerto de entrada/salida donde se encuentran para la IBM PC.

El registro de 8 bits localizado en la dirección de puerto 0008-H, contiene el registro de comando; la palabra binaria escrita a dicho puerto indica la operación del controlador. Los bits 0 y 1 sirven para deshabilitar la función de transferencia de memoria a memoria y el incremento o decremento de dirección para la misma; con esta función, los canales 0 y 1 pueden realizar la transferencia en bloques de datos, sin embargo por estar ocupado el canal 0 de la PC en el refresco a memoria dinámica, dicha función no se puede llevar a cabo.

El bit 2 se usa para habilitar por software el controlador de DMA, el bit 3 sirve para habilitar ciclos de bus de DMA comprimidos, ésta opción puede

reducir el tiempo de acceso a direcciones de memoria, sin embargo puede causar operaciones inválidas si es utilizado en cualquier computadora. El bit 4 permite cambiar la prioridad de los canales, éste registro no debe ser cambiado para que el refresco a memoria dinámica tenga la máxima prioridad.

DIRECCIONES DE ESCRITURA A PUERTO	FUNCION
0008_H	REGISTRO COMANDO DE ESCRITURA
0009_H	REGISTRO REQUERIMIENTO DE ESCRITURA
000A_H	REGISTRO BIT MASCARA DE ESCRITURA
000B_H	REGISTRO DE MODO DE ESCRITURA
000C_H	LIMPIAR APUNTADOR FLIP-FLOP
000D_H	LIMPIAR REGISTROS
000E_H	LIMPIAR REGISTROS CON MASCARA
000F_H	ESCRIBIR A TODOS LOS REGISTROS CON MASCARA

FIG. 2.2.3 (B)

El bit 5 permite cambiar el flanco de activación de la señal de escritura, en la PC, éste parámetro tampoco debe ser cambiado pues ya está definido para los ciclos de memoria dinámica. El bit 6 selecciona el nivel activo de la señal de requerimiento "DRQ" (en este proyecto el nivel de activación es alto), y el bit 7 selecciona el nivel activo de la señal de reconocimiento del ciclo "DACK", (en este proyecto dicha señal es sensada con nivel activo bajo). Este registro es inicializado por el BIOS del sistema con el valor 00-H, por lo que no se modificó.

El registro de cuatro bits de requerimiento de escritura, que se encuentra en la dirección 0009-H permite realizar el requerimiento de un ciclo de DMA por medio de software.

El registro localizado en la dirección 000A-H es el registro de escritura al bit de enmascaramiento. Cada canal tiene asociado un bit de máscara para deshabilitar la siguiente señal "DRQ". Dicho enmascaramiento se realiza cada vez que se programan los registros del controlador y debe ser utilizado para volver a habilitarlos una vez que se han programado.

El registro de 8 bits en la dirección 000B-H, denominado registro de modo, permite definir los diferentes modos de operación de cada canal del controlador. Los bits 0 y 1 seleccionan el canal de DMA a programar, en este

caso se inicializa el canal 1; los bits 2 y 3 definen el tipo de ciclo de trabajo a realizar por el controlador, que en este caso se programa para escritura. El bit 4 permite la autoinicialización de un ciclo de DMA tras otro, sin reprogramación; ésta instrucción reinicializa el registro de dirección del canal en uso y el registro de cuenta actual con los valores de dirección base y registro de cuenta base con que se programa, cuando el registro de cuenta actual llega a cero. Los bits 6 y 7 son usados para seleccionar el tipo de transferencia a realizar por el canal; en este caso se usa el modo de transferencia simple ya que no es posible la transferencia en bloque (por el refresco a memoria dinámica), así la señal DRQ debe ser activada cada vez que se requiera la transferencia de un byte.

El registro 000C-H se debe programar antes de cargar los registros de cuenta y dirección de memoria, éste registro permite limpiar ("reset") el byte al que apunta un flip flop interno que señala la parte alta o baja de los 16 bits que forman el segmento de la dirección de memoria a escribir o el número de bytes a transferir; al escribir a éste registro, se apunta primero al byte menos significativo ("reset") y después al más significativo ("set") de la palabra.

El registro "Master Clear" localizado en la dirección de puerto 000D-H, limpia los registros de comando, estado, requerimiento, máscara, el registro temporal y el flip flop interno de todos los canales, y sólo debe ser usado para reprogramar todos los registros.

Cada canal de DMA tiene cuatro registros de 8 bits, dos de ellos utilizados para apuntar al segmento de memoria donde comenzará la transferencia y dos para guardar la cuenta base que determina el número de bytes a transferir. Para inicializar el segmento de la dirección de memoria en el canal 1, se utiliza la dirección 0002-H, escribiendo primero los 8 bits menos significativos, y en seguida los más significativos. Del mismo modo, el número de bytes a transferir antes de la operación es controlado con el byte de 16 bits escrito en la dirección 0003-H que corresponde al registro de cuenta base.

Debido a que el registro de dirección es de 16 bits, éste se programa con el valor del segmento de dirección de memoria. El controlador de DMA contiene un registro de 4 bits para la carga de la página de memoria, en el que se cargan las líneas de dirección A16 a A19. Para el canal 1 dicho registro se encuentra en el puerto 0083-H.

Finalmente, el registro localizado en la dirección 000E-H limpia todos los registros de máscara, habilitando los cuatro canales de DMA, éste registro se usa después de haber programado todos los registros del controlador (11).

La figura 2.2.4 muestra la parte del programa utilizada para la inicialización de los registros internos del controlador de DMA.

```

1  REM PROGRAMA DE INICIALIZACION
2  REM INICIALIZACION DE REGISTROS DEL 8253-5
3  OUT &H303,&H36 (REGISTRO DE MODO)
4  OUT &H300,LSB (REGISTRO DE CUENTA)
5  INICIALIZACION DE REGISTROS DE DMA
6  OUT &HC,0 (LIMPIAR FLIP-FLOP)
7  OUT &HB,&H45 (REGISTRO DE MODO)
8  OUT 2,0 } (REGISTRO DE SEGMENTO)
9  OUT 2,0 }
10 OUT &H03,0 (REGISTRO DE CORRIMIENTO)
11 OUT &HC,0 (LIMPIAR FLIP-FLOP)
12 OUT 3,DMA1 } (BYTES A TRANSFERIR)
13 OUT 3,DMA2 }
14 OUT &HA,1 (LIMPIAR MASCARA)
15 REM SINCRONIZACION CON EL 8253-5
16 OUT &H300,MSB (REGISTRO DE CUENTA)
17 WAIT 8,2 (ESPERA FIN DE TRANSFERENCIA)
18 OUT &H304,0 (DESABILITACION DEL 8253-5)

```

FIG. 2.2.4

Una vez que se han programado los registros del controlador de DMA, al quitar el enmascaramiento al canal 1, por medio de la escritura al puerto 000A-H, el controlador responde, mandando una señal $\overline{\text{DACK}}_1$, con la que indica que ya ha sido programado; ésta señal, activa parte de la arquitectura de la tarjeta de adquisición, por lo que fue necesaria la sincronización del contador programable con la programación del registro de máscara en el programa de aplicación, descartar el primer byte transferido a la memoria de la PC, y aumentar un valor en el registro de cuenta.

2.3 CONVERSIÓN ANALÓGICA / DIGITAL

En esta sección se describen los diferentes tipos de convertidor analógico/digital, criterios de diseño para su selección, el convertidor A/D utilizado y las señales de control que permitieron su conexión.

2.3.1 CARACTERÍSTICAS DE LOS CONVERTIDORES A/D

Un convertidor analógico/digital es un dispositivo capaz de representar a su salida, por medio de una palabra digital de n bits, una señal analógica de entrada, generalmente de tensión.

Los convertidores analógico/digital pueden ser clasificados en muy diversas formas: por el principio de conversión utilizado, la velocidad de operación, o por el precio/facilidad de obtención del dispositivo en el mercado. En este proyecto se consideró principalmente la forma de operación del dispositivo, de modo que se pudiera realizar el muestreo de señales con un ancho de banda entre CD (para señal del transductor de temperatura), y 10 kHz (señales de electroencefalografía).

Para satisfacer el ancho de banda deseado, es necesario considerar, además del periodo de conversión, el retraso en los circuitos digitales de interfase y el tiempo de adquisición del dato por la microcomputadora. Del mismo modo, se debe tomar en cuenta que la respuesta del convertidor sea lineal, para lo cual, se debe escoger una técnica de conversión que no afecte la señal que recibe el convertidor en ganancia, o forma, para el ancho de banda de operación. Otra característica deseable del convertidor, es que tenga señales de control que permitan su fácil conexión al bus de datos de la microcomputadora (niveles de tensión compatibles con la familia TTL o CMOS y señales de inicio y fin de conversión).

Dado que la tarjeta de adquisición ha de ser instalada en el interior de la microcomputadora, se tomaron ciertas medidas contra ruido que se discutirán en posteriores apartados. Por otra parte la temperatura de operación en un sistema de cómputo no presenta normalmente cambios bruscos y está en un intervalo de 10 a 45 °C.

Otra característica del convertidor que debe ser observada es el rechazo a variaciones de la fuente de alimentación, ya que en este proyecto se utilizará la fuente de poder de la microcomputadora que puede tener tensiones de rizo de 0.4 % del valor nominal a plena carga (aproximadamente igual en

todas las fuentes) [9].

Las especificaciones de linealidad de operación de un convertidor A/D, pueden ser definidas como errores de linealidad diferencial e integral. Los errores de un convertidor son determinados realizando un muestreo de señal de entrada/palabra de salida, considerando que para un convertidor de n bits se tiene un error de cuantificación de $\pm 1/2$ bit menos significativo (LSB), y realizando una linealización de la respuesta por el método de punto final (ya que la tensión de corrimiento ("offset") calculada por el método de mínimos cuadrados no corresponde a la real). En éste método de linealización, se fija una línea entre los dos puntos extremos de salida del convertidor y a partir de ésta, se observa la desviación de la respuesta del convertidor en todo el intervalo de señal de entrada; éste método da la más pesimista especificación de error y es el más comúnmente usado por el fabricante para especificar su convertidor.

El error de linealidad diferencial es la diferencia entre el intervalo de cambio de código y un bit menos significativo del convertidor. El error de linealidad integral es una medida de la desviación entre los puntos de transición de código y la línea fijada. Un convertidor confiable debe tener menos de .5 del LSB de error de linealidad, sin omisión de códigos y con un comportamiento monótonico en su intervalo de temperatura.

Para operación bipolar, un convertidor puede tener un bit adicional para signo, utilizar un convertidor D/A bipolar, o contener una lógica para obtener la salida en complemento a dos o cualquier código digital.

Para la conexión con una arquitectura de microprocesador algunos convertidores incluyen circuitos para la decodificación de direcciones o para la conexión con buses de tres estados. También pueden incluir una tensión de referencia interna o un amplificador seguidor para obtener una alta impedancia de entrada.

En algunos convertidores que lo requieren, se introducen líneas de control de operación para inicio y fin de conversión, o que facilitan la conexión de convertidores de más de ocho bits a buses de datos de 8 bits, pudiendo incluir un reloj interno o muestreador / retenedor ("sample and hold").

2.3.2 CLASIFICACIÓN DE LOS CONVERTIDORES A/D

Uno de los métodos más simples de conversión A/D, está basado en la utilización de un convertidor D/A en su arquitectura, el tipo más simple de convertidor que utiliza ésta técnica es el convertidor contador en rampa.

Este convertidor compara secuencialmente la tensión desconocida de entrada, con la tensión que produce un convertidor D/A alimentado por un contador que es inicializado cuando un comparador a su salida cambia de estado, indicando que se ha llegado a una cuenta proporcional a la tensión de entrada. En este convertidor, el tiempo de conversión es variable, y el período máximo de conversión corresponde a una señal de entrada de plena escala es decir $2^n/f_c$, donde n es el número de bits del convertidor y f_c es la frecuencia de reloj. Este tipo de convertidor por su simplicidad es de bajo costo, sin embargo no es común en el mercado y tiene un período de conversión variable, por lo que su conexión a un sistema de adquisición es complicada.

Otro convertidor de éste tipo es el convertidor de seguimiento, en el cual, el comparador además de indicar cuando se ha terminado de hacer la conversión, controla un contador bidireccional ("up-down"), que alimenta al convertidor D/A, dicha realimentación permite que una vez alcanzada en un punto la señal de entrada, el convertidor la vaya siguiendo; esto tiene la ventaja de que el contador contiene siempre una representación exacta de la señal de entrada, por lo que dicho valor puede ser leído en cualquier momento. Sin embargo al introducir una nueva señal al convertidor, le toma el mismo tiempo en alcanzarlo que al convertidor de rampa, presentándose marcados errores de tipo diferencial al usar un sistema de multiplexaje y por lo tanto no tiene un comportamiento lineal en todo momento.

El convertidor por aproximaciones sucesivas utiliza un método más eficiente de conversión, utilizando solamente n períodos de reloj para completar una conversión de n bits, sin importar la magnitud de la señal de entrada. Una búsqueda digital es utilizada para determinar la mejor aproximación a la señal de entrada. En la figura 2.3.1 se muestra la estructura interna básica de un convertidor por aproximaciones sucesivas.

Como se puede observar, en éste convertidor el valor de salida no está continuamente representado como en el convertidor de seguimiento, y el proceso de conversión inicia con una señal de activación, finalizando n ciclos de reloj después, cuando la salida digital es válida. En el convertidor por aproximaciones sucesivas, la señal de entrada debe permanecer constante durante el proceso de conversión, por lo que es necesaria la utilización de un circuito muestreador/retenedor, que, sincronizado con el convertidor, retenga la señal de entrada mientras se realiza la conversión.

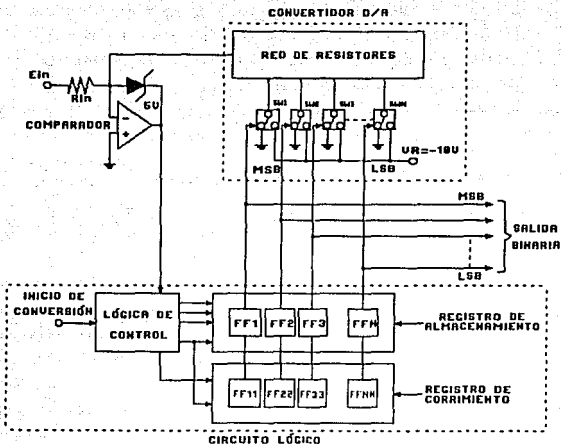


FIG. 2.3.1 [13]

El convertidor por aproximaciones sucesivas compara la señal de entrada con sumas de fracciones binarias conocidas de escala plena, empezando con la mayor y rechazando cualquiera que cambie el estado del comparador, dando al final de la conversión, la relación entre la señal de entrada y la tensión de escala plena por medio de un código binario.

Para el circuito mostrado, un pulso externo de inicio de conversión limpia los flip-flop de los registros de corrimiento y almacenamiento en "0", exceptuando a los flip flop **FF1** del registro de almacenamiento y **FF11** del registro de corrimiento que se inicializan en "1". La tensión a la salida del convertidor D/A es sumada a la tensión de entrada del comparador, causando que el comparador cambie a un nivel de tensión alto si la tensión de entrada es menor que la mitad de la escala digital, o permanezca con una tensión baja si es mayor a media escala. La lógica de control determina que el flip-flop **FFi** del registro de almacenamiento permanezca en "1" si la salida del comparador es baja o que cambie a "0" si la salida del comparador es alta; al siguiente ciclo de reloj los flip-flop **FF2** y **FF22** cambian a "1" y,

dependiendo de la salida del comparador, la lógica de control va guardando en el registro de almacenamiento el valor digital de la tensión de entrada; hasta que la lógica de control determina el valor del flip-flop FF_n, e indica por medio de una señal el fin de conversión.

Para que el valor digital de salida de la conversión sea exacto como mínimo $\pm 1/2$ LSB, y el error de cuantificación sea mínimo, es necesario, que dentro del convertidor se realice una suma de tensión o corriente de CD a la entrada del comparador, equivalente al valor de medio bit menos significativo, desplazando de esta forma la escala; esto causa que el valor de salida no represente la tensión de plena escala sino que siempre representa la tensión de plena escala menos 0.5 de bit menos significativo, de esta forma se asegura una lectura con un error máximo de $\pm 1/2$ LSB.

Las tensiones o corrientes de corrimiento no deseados del comparador, entran en la cuantificación de error máximo en el convertidor. Otro tipo de errores son causados por envejecimiento de los componentes, cambios de temperatura que afectan la tensión de referencia, etcétera. Los factores principales que limitan la velocidad de este convertidor son el tiempo de asentamiento requerido por la salida del convertidor D/A para fijarse dentro de un valor de un LSB de la tensión de escala plena, y el tiempo requerido por el muestreador/retenedor externo para responder a variaciones en la señal de entrada. Sin embargo ya que el tiempo de conversión es fijo, es posible el uso de convertidores por aproximaciones sucesivas de 16 bits con períodos de conversión de 15 μ s [14].

Otra técnica de conversión A/D que no requiere realimentación es la de integración, utilizada por el convertidor de rampa simple y de rampa doble. En el primero la salida del convertidor D/A usado en los otros convertidores, es reemplazada por una señal de referencia continuamente incrementándose. La señal de referencia es por lo general una señal rampa que comienza desde un valor poco menor a cero a la tensión de plena escala. El período requerido para que la señal de rampa tenga un valor igual al de tensión desconocido, es proporcional a la tensión de entrada. Una señal de inicio de conversión inicializa con valor de 0 un contador de n bits y comienza la generación de la señal de rampa. Al cruzar la rampa el nivel de cero volts, un comparador habilita al contador para que comience a acumular pulsos de reloj. Dicho proceso termina cuando la rampa ha alcanzado un valor de tensión igual al de entrada desconocido, estado que es detectado por un comparador que impide que

dependiendo de la salida del comparador, la lógica de control va guardando en el registro de almacenamiento el valor digital de la tensión de entrada; hasta que la lógica de control determina el valor del flip-flop FF_n, e indica por medio de una señal el fin de conversión.

Para que el valor digital de salida de la conversión sea exacto como mínimo $\pm 1/2$ LSB, y el error de cuantificación sea mínimo, es necesario, que dentro del convertidor se realice una suma de tensión o corriente de CD a la entrada del comparador, equivalente al valor de medio bit menos significativo, desplazando de esta forma la escala; esto causa que el valor de salida no represente la tensión de plena escala sino que siempre representa la tensión de plena escala menos 0.5 de bit menos significativo, de esta forma se asegura una lectura con un error máximo de $\pm 1/2$ LSB.

Las tensiones o corrientes de corrimiento no deseados del comparador, entran en la cuantificación de error máximo en el convertidor. Otro tipo de errores son causados por envejecimiento de los componentes, cambios de temperatura que afectan la tensión de referencia, etcétera. Los factores principales que limitan la velocidad de este convertidor son el tiempo de asentamiento requerido por la salida del convertidor D/A para fijarse dentro de un valor de un LSB de la tensión de escala plena, y el tiempo requerido por el muestreador/retenedor externo para responder a variaciones en la señal de entrada. Sin embargo ya que el tiempo de conversión es fijo, es posible el uso de convertidores por aproximaciones sucesivas de 16 bits con periodos de conversión de 15 μ s [14].

Otra técnica de conversión A/D que no requiere realimentación es la de integración, utilizada por el convertidor de rampa simple y de rampa doble. En el primero la salida del convertidor D/A usado en los otros convertidores, es reemplazada por una señal de referencia continuamente incrementándose. La señal de referencia es por lo general una señal rampa que comienza desde un valor poco menor a cero a la tensión de plena escala. El período requerido para que la señal de rampa tenga un valor igual al de tensión desconocido, es proporcional a la tensión de entrada. Una señal de inicio de conversión inicializa con valor de 0 un contador de n bits y comienza la generación de la señal de rampa. Al cruzar la rampa el nivel de cero volts, un comparador habilita al contador para que comience a acumular pulsos de reloj. Dicho proceso termina cuando la rampa ha alcanzado un valor de tensión igual al de entrada desconocido, estado que es detectado por un comparador que impide que

sigan entrando pulsos de reloj al contador. De este modo, el valor del contador es proporcional a la tensión de entrada, ya que la tensión alcanzada por la rampa V_A está representado como $V_A = KT$, donde K es la pendiente de la rampa en volts/segundo y T es el valor binario del contador entre la frecuencia de reloj. La rampa generalmente es generada por medio de un circuito que integra una tensión de referencia V_{REF} . Cuando se inicia la conversión, la tensión de salida se incrementa con una pendiente V_{REF}/RC , donde R y C forman la constante de integración.

La dependencia de la pendiente de la rampa en el valor RC es una de las mayores limitantes en este tipo de convertidor, dado que los valores de R y C son difíciles de mantener constantes en presencia de variaciones de temperatura (ya que la resistencia es directamente proporcional a la temperatura) y por largos periodos (en un año un resistor de compuestos de carbón puede cambiar su valor hasta en 20,000 ppm)(39).

El convertidor de doble rampa es uno de los más utilizados en sistemas de instrumentación ya que resuelve los problemas descritos para el convertidor de rampa simple. El proceso de conversión consiste en dos periodos de integración. En el primero la tensión de entrada es integrada durante un periodo conocido T_1 , y el valor de ésta integral es comparado con la de una tensión de referencia conocida, integrada por un periodo variable T_2 .

Al comenzar la conversión un contador es inicializado en 0 y el capacitor del integrador se carga con un valor un poco menor a 0 volts. Por medio de una lógica de control la tensión de entrada es integrada durante un periodo conocido $T_1 = 2^n/f_c$ donde f_c es la frecuencia de reloj, que habilita el contador cuando la salida del integrador cruza por cero volts. Al final del periodo T_1 , el contador se inicializa en "0" al llegar a la cuenta máxima y por medio de la lógica de control la tensión de referencia se conecta a la entrada del integrador, cuya salida comienza a descender hasta que un comparador de cruce por cero detiene la cuenta e indica el fin de conversión teniéndose que la lectura del contador representa el valor de la tensión de entrada V_x . Así la operación del circuito fuerza a las dos integrales tomadas en dos periodos a ser iguales;

$$\frac{1}{RC} \int_0^{T_1} V_x dt = \frac{1}{RC} \int_{T_1}^{T_1+T_2} V_{REF} dt$$

El periodo T_1 es igual a $2^n/f_c$, ya que la tensión desconocida V_x fué integrada durante el tiempo necesario para que el contador de n bits llegara

a su cuenta máxima. El periodo T_2 es igual a N/f_c , donde N es el número acumulado en el contador durante la integración de la tensión de referencia.

Así, el valor promedio la tensión de entrada está dado por:

$$\bar{V}_x/V_{REF} = T_2/T_1 = N / 2^n.$$

Si consideramos que los valores de R y C durante el proceso de conversión, permanecen constantes, se observa que la variación de dichos factores no influye directamente en la relación entre V_x y V_{REF} . Además la salida digital representa el valor promedio de V_x durante el primer período de integración, y la tensión de entrada puede cambiar durante el proceso de conversión sin cambiar la validez del valor de salida. Una limitante dada por los valores de los componentes discretos R y C , es una relativamente baja velocidad de conversión (p.e. el convertidor AD7550 de la marca *Analog Devices* con 13 bits de resolución tiene un tiempo de conversión mínimo de 40 ms y el convertidor AD7583 de la misma marca tiene un tiempo de conversión de 4 ms típico)(32).

Aunque más lento que el convertidor de aproximaciones sucesivas, éste convertidor ofrece una excelente respuesta lineal, mínimos errores diferencial e integral, además de funcionar como filtro paso-bajas de primer orden dado por el período de integración T_1 . Esta característica es usada en sistemas de medición para rechazar ruido de línea a 60 Hz y se denomina rechazo en modo normal.

Este convertidor ha sido modificado para incluir etapas extra de integración para eliminación automática de tensiones de CD no deseadas (denominados convertidores de cuatro etapas). Otra técnica llamada de triple rampa usa rampas de bajada de gran pendiente para mejorar la velocidad del convertidor.

Finalmente el convertidor paralelo ("flash"), es el más rápido de todos los convertidores. En éste convertidor, la tensión de entrada es comparada directamente con la tensión de referencia dividida en $2^n - 1$ intervalos exactamente espaciados, donde cada nivel de tensión tiene asociado un comparador que controla una lógica combinatorial para la codificación de dicho valor, y la salida está desfasada de la entrada solamente por el retraso en propagación de los comparadores y el circuito lógico. Este convertidor es utilizado solamente cuando se requiere de muy alta velocidad de operación y relativamente baja resolución, ya que el costo del mismo se incrementa al aumentar la resolución (p.e. el convertidor MATV-0820 de la marca *Analog Devices* de 8 bits de resolución, que tiene un tiempo de

conversión de 35 ns)(32).

El convertidor por aproximaciones sucesivas, además de ser el más común en el mercado, permite, para una resolución de 12 bits (resolución necesaria para el muestreo de señales de ECG, EEG, etc.), un tiempo de conversión de hasta 1.5 μ s (14). La frecuencia de muestreo obtenible cubre la mayoría de las aplicaciones biomédicas (ancho de banda máximo de 10 kHz), pudiendo ser utilizado en sistemas multiplexados. Además, es fácilmente conectable a un sistema digital por tener múltiples líneas de control y niveles lógicos compatibles con TTL o CMOS.

2.3.3 CONVERTIDOR ADC 574-A (14)

El circuito integrado ADC 574-A es un convertidor A/D de 12 bits de resolución por aproximaciones sucesivas. Este circuito es fácilmente conectable a sistemas basados en microprocesador de 8 o 16 bits, sin necesidad de registros externos de tres estados para su conexión a un bus. Su salida de 12 bits puede ser leída directamente o en dos bytes de 8 bits, uno con los 8 bits más significativos y otro con los 4 menos significativos, además de contar con una referencia de tensión interna de 10 volts con $\pm 1\%$ de error máximo.

Contiene un reloj interno con excelente estabilidad contra variaciones de temperatura, que le permite operar en un periodo típico de conversión de 25 μ s, circuitos de control para la interfase, y salidas de tres estados compatibles con los niveles de tensión de TTL o CMOS. En su entrada, una red de resistores define el intervalo de valores de tensión, que puede ser unipolar (de 0 a 10 o 20 V), o bipolar (± 5 o ± 10 V).

El byte de salida está codificado en binario bipolar con offset para señales de entrada bipolares. El dispositivo puede ser polarizado con la fuente de poder de la microcomputadora, ya que requiere una tensión de polarización de +5 y ± 12 V con un error máximo de $\pm 5\%$.

El error de linealidad diferencial máximo de éste convertidor es de $\pm 1/2$ LSB (bit menos significativo) y el error de offset bipolar es ajustable a cero. El intervalo de temperaturas de operación es de 0 a 70 °C.

Este dispositivo garantiza no presentar valores no codificados ("no missing codes") y tener un comportamiento monótonico para los 12 bits de resolución en su intervalo de temperatura.

Contiene varias líneas de control; la línea CE habilita el dispositivo, \overline{CS} puede ser utilizada para iniciar la conversión, la línea R/\overline{C} permite iniciar

la conversión o habilitar en el registro de salida del convertidor el byte que representa la señal analógica de entrada. La línea A_0 actúa en conjunción con la señal R/\overline{C} para leer en el registro de salida la parte alta o baja del byte de 12 bits. Contiene además un selector para conversión de 8 o 12 bits, que en este caso se fijó para obtener siempre una resolución de 12 bits.

En la figura 2.3.2 se muestra la tabla de verdad para controlar la operación del convertidor. Las señales de sincronización con el circuito lógico se incluyen en el diagrama de tiempos de la interfase digital completa, al final de esta parte.

CE	\overline{CS}	R/\overline{C}	$12/\overline{8}$	A_0	OPERACION
0	X	X	X	X	NINGUNA
X	1	X	X	X	NINGUNA
↑	0	0	X	0	INICIA CONVERSION DE 12 BITS
↑	0	0	X	1	INICIA CONVERSION DE 8 BITS
1	↓	0	X	0	INICIA CONVERSION DE 12 BITS
1	↓	0	X	1	INICIA CONVERSION DE 8 BITS
1	0	↓	X	0	INICIA CONVERSION DE 12 BITS
1	0	↓	X	1	INICIA CONVERSION DE 8 BITS
1	0	1	1	X	HABILITA SALIDA DE 12 BITS
1	0	1	0	0	HABILITA SALIDA DE LOS 8 MSB
1	0	1	0	1	HABILITA SALIDA DE LOS 4 LSB Y 4 CEROS

FIG. 2.3.2 (14)

En esta aplicación se usaron las líneas CE, R/\overline{C} y A_0 para iniciar la conversión (renglón 7 de la fig. 2.3.2) y R/\overline{C} y A_0 para la lectura del dato digital de salida (últimos dos renglones).

2.3.4 MUESTREADOR/RETENEDOR LF 398 (15)

Teniendo en cuenta que se utilizó un convertidor A/D por aproximaciones sucesivas, fue necesario conectar a su entrada un circuito muestreador/retenedor ("sample/hold"). La principal función de dicho dispositivo, es la de capturar una señal de entrada y mantenerla constante durante el periodo de conversión del ADC 574-A. Un circuito típico de muestreo/retén construido con amplificadores operacionales se muestra en la figura 2.3.3.

Un elemento básico del circuito es el capacitor de retención C_H , en el que se debe almacenar la tensión muestreada. C_H debe tener un valor pequeño para

que la constante de tiempo de carga formada con la impedancia de salida del amplificador de entrada y la propia impedancia del interruptor analógico sea lo más pequeña posible (ésta constante de tiempo determina la frecuencia máxima de muestreo). Sin embargo, si el capacitor se ha de conectar en forma discreta, su valor no debe ser menor a 1 nF (ya que su valor podría ser afectado por la capacitancia parásita del seguidor y de la tarjeta donde se coloque), y de preferencia utilizando un capacitor de tungsteno (por su estabilidad térmica y baja corriente de fuga), puesto que cualquier variación de la capacitancia se refleja como un error a la salida del retenedor.

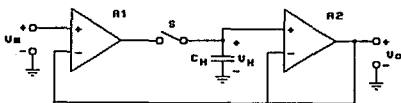


FIG. 2.3.3

En el diagrama mostrado el amplificador A₁ presenta una alta impedancia de entrada al circuito de muestreo y alimenta de corriente suficiente al capacitor de retén; el amplificador A₂, está conectado como seguidor de tensión, previniendo la descarga del capacitor de retén con una alta impedancia de entrada y presentando una impedancia de salida baja para entrar al convertidor A/D (pues la impedancia de entrada del convertidor para la escala de ± 5 V, es de 5 k Ω).

En este proyecto se utilizó el muestreador/retenedor LF 398, puesto que es el único circuito integrado que se logró obtener en el mercado nacional, dicho dispositivo utiliza una configuración interna semejante a la del circuito de la figura 2.3.3. Sus principales características son las siguientes: puede polarizarse con la fuente de ± 12 V de la PC, su señal de control es compatible con niveles TTL lo que facilita su conexión, tiene un periodo de adquisición mínimo de 4 μ s con un capacitor de retén de 1 nF, y una impedancia de entrada de 10^{10} Ω . La tensión de entrada máxima, para una tensión de polarización de ± 12 V, es de ± 10 V.

El tiempo de apertura (T_{AP}) es nominalmente de 25 ns a temperatura ambiente, este tiempo es el que tarda el interruptor en cambiar del modo de muestreador al de retenedor, y la señal no puede ser leída durante éste periodo, ya que puede cambiar significativamente y causar un error en la

lectura del convertidor A/D (error de pedestal). En la figura 2.3.4 se muestra un diagrama de tiempos que muestra la operación del muestreador/retenedor.

Al habilitarse la señal de control, el capacitor de retén se carga a la tensión de entrada en un periodo máximo de $4 \mu\text{s}$ (T_{ADQ} para recorrer todo el intervalo de tensión de entrada), una vez desactivada la señal de muestreo, el capacitor de retención debe almacenar la carga durante por lo menos el periodo de muestreo mínimo, sin embargo un muestreador/retenedor típico puede guardar la tensión cargada, con un error por descarga del capacitor, menor a 0.01 % durante varios minutos [27].

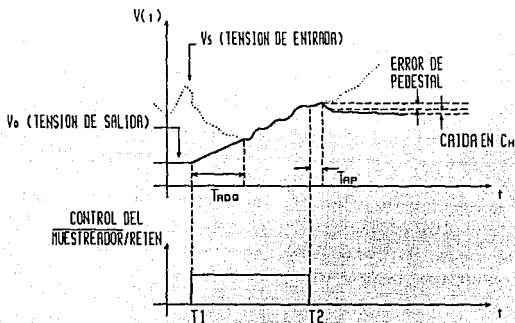


FIG. 2.3.4

2.4 UTILIZACIÓN DE UN RELOJ PROGRAMABLE

2.4.1 INTRODUCCIÓN

El criterio de Nyquist explica que no existe pérdida de información en un proceso de muestreo uniforme, si una señal es muestreada a una frecuencia al menos de el doble que el contenido de más alta frecuencia de la señal a muestrear.

Teóricamente, la transformada de Fourier de una función continua $f(t)$ es cero para toda ω mayor a ω_0 :

$$F(\omega) = 0 \quad \text{para } \omega > \omega_0$$

Donde ω_0 es la frecuencia de la fundamental. La señal continua $f(t)$ puede ser determinada a partir de sus valores muestreados uniformemente $f(kT)$, sin incurrir en errores, si el periodo de muestreo T es seleccionado de tal forma que :

$$T \leq \pi/\omega_0 = \pi/2\pi f_0 = 1/2f_0$$

En esencia éste criterio de muestreo indica que la selección del periodo de muestreo depende del contenido de más alta frecuencia de la señal a muestrear, por lo que, para determinar éste parámetro, se debe conocer el espectro típico de la señal deseada.

En la práctica se tiende a determinar el valor de ω_0 para el cual la mayor parte de la energía de la señal (más del 99 %), cae en el intervalo $0 \leq \omega \leq \omega_0$. El periodo de muestreo es seleccionado para ser de 2 a 4 veces menor que π/ω_0 . Este proceso generalmente produce buenos resultados para evitar efectos de "aliasing" (41).

La figura 2.4.1 muestra el espectro de potencia típico de una señal de electrocardiografía (ECG) para sujetos en movimiento, y sus diferentes componentes (ondas P, QRS y T). Como se puede observar en la figura 2.4.1, la mayor parte de la energía de la señal está contenida en la banda de frecuencias entre 0.01 y 100 Hz, por lo cual es recomendable una frecuencia de muestreo de 200 a 400 Hz.

Las señales de pleτισmografía y temperatura requieren un ancho de banda menor (entre CD y 15 Hz)(16). En este proyecto la frecuencia de muestreo se puede cambiar (entre 15 Hz y 33 kHz), a través de la programación del contador programable 8253-5 con el fin de hacer versátil la tarjeta de adquisición, pudiéndose conectar otras interfases analógicas que requieran un

ancho de banda mayor, en aplicaciones futuras (ej. electromiografía, electroencefalografía, etcétera.).

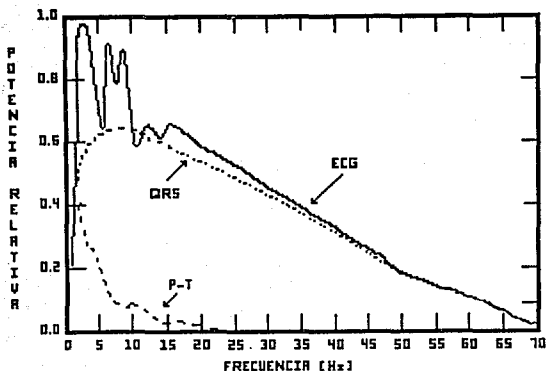


FIG. 2.4.1 [16]

2.4.2 RELOJ PROGRAMABLE 8253-5

Para cambiar la frecuencia de muestreo, es necesaria la utilización de un circuito de reloj programable que nos permita dividir la frecuencia de un oscilador externo a la computadora (en este caso se utilizó un reloj de 1MHz por la facilidad de dividir dicha frecuencia en periodos múltiplos de 1 μ s). Al no poder utilizar el contador programable de la PC, debido a que sus 3 canales son utilizados por el sistema, se utilizó el circuito contador hacia abajo, de intervalo programable Intel 8253-5.

Este circuito, de tecnología CMOS contiene 3 contadores independientes de 16 bits cada uno, y puede ser utilizado con una frecuencia de reloj de hasta 2.6 MHz. Puede, además, programarse para realizar diferentes funciones: la generación de periodos exactos de retraso, generador de frecuencia programable, contador de eventos, reloj de tiempo real, multivibrador monoestable, etcétera.

El circuito contiene una interfase bidireccional de tres estados ("buffer"), conectable al bus de datos de la computadora, ya sea para la programación de los registros internos; que determinan el modo de operación

del dispositivo, o para cargar y/o leer los registros de cuenta.

Internamente contiene una lógica de lectura/escritura que produce señales de control de operación. Las señales de ésta etapa son habilitadas en la tarjeta de adquisición, con la señal "CS", de modo que únicamente se pueda escribir o leer cuando se decodifique una dirección de puerto. Dentro de la lógica de lectura/escritura existe una señal \overline{RD} , que le indica al dispositivo que el valor de uno de sus registros está siendo leído por un dispositivo externo, y la señal \overline{WR} le informa que el bus de datos contiene información del modo de operación o de carga de contadores. Los registros internos del 8253-5, son seleccionados por las líneas de dirección A0 y A1. La señal \overline{CS} le indica al dispositivo que se llevará a cabo una operación de escritura.

Uno de los registros del contador programable localizado en la dirección 2-H, contiene la palabra de control. La información de éste registro selecciona el modo de conteo (binario o BCD), la forma en que se realizará la carga de cada registro de cuenta y el modo de operación de cada contador.

Contiene además un registro de 16 bits donde se almacena el valor de cuenta deseado y tres líneas de control por contador: la entrada de reloj, la compuerta que habilita/deshabilita la salida y la salida misma. Estas señales son configuradas por el registro de control. En la figura 2.4.2 se muestra un diagrama de bloques del contador programable 8253-5.

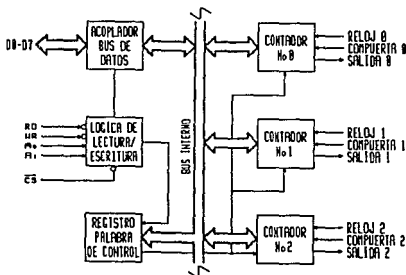


FIG. 2.4.2 [11]

El registro de modo es de 8 bits y su formato es el mostrado en la figura 2.4.3.

FORMATO DE LA PALABRA DE CONTROL

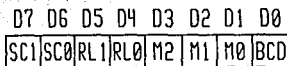


FIG. 2.4.3 [11]

Los 2 bits más significativos (D7 y D6) definen el contador utilizado, en este caso se utilizará el contador 0; los siguientes 2 bits (D5 y D4) definen la forma en que se leerá o escribirá en el contador, en este caso primeramente se escribirá el byte menos significativo, y en la siguiente escritura a puerto el byte más significativo; los siguientes tres bits de la palabra de control (D3, D2, D1), definen el modo de operación del contador; básicamente existen 6 modos de operación: modo de interrupción en la cuenta final (Modo 0), modo de multivibrador monoestable programable (Modo 1), modo divisor de frecuencia de reloj por N (Modo 2), modo generador de onda cuadrada (Modo 3), modo programable de seguimiento por "software" (Modo 4), y modo programable de seguimiento por "hardware" (Modo 5).

En este proyecto se programó el modo 2, para el cual la salida permanece en estado bajo por un periodo del reloj de entrada y en estado alto el número de ciclos de reloj N que se haya programado en el registro de cuenta. En éste modo, si la entrada de compuerta tiene un nivel "0", la salida permanece en estado alto, un nivel de compuerta "1" activa la salida del contador.

En el modo 2 la salida permanece en estado alto hasta que se programa el registro de cuenta, o hasta que se habilita la compuerta; de este modo la salida del contador puede ser sincronizada desde el programa de aplicación.

El bit menos significativo de la palabra de control (D0), define si la cuenta será realizada en BCD o binario, en este caso se programó para cuenta binaria.

En la tarjeta de adquisición, los registros del 8253-5 son inicializados a través de la escritura a los siguientes puertos: el puerto 303-H para el registro de modo, el puerto 300-H para el valor de cuenta final, y el puerto 304-H para la habilitación de la compuerta. Se utilizaron estos puertos, para facilitar la conexión de las líneas A0 y A1 con los dos bits menos significativos del bus de direcciones.

La programación de los puertos que inicializan el contador programable en el programa de aplicación, se realiza inmediatamente después de la

escritura al puerto 000A-H del controlador de DMA, con el objeto de que el primer ciclo de DMA se realice en el primer ciclo del reloj programable.

La figura 2.4.4 muestra la parte del programa de aplicación utilizada para la programación de los registros del 8253-5.

```
1  REM PROGRAMACION DEL CONTADOR 8253-5
2  REM PROGRAMACION PALABRA DE MODO
3  OUT &H303,&H3C
4  REM INTRODUCCION DEL VALOR DE LA CUENTA
5  INPUT "VALOR CUENTA FINAL?":Z
6  Y=Z-INT(Z/256*256)
7  V=Z/256
8  REM PROGRAMACION DEL REGISTRO DE CUENTA
9  OUT &H300,Y (LSB)
10 <INICIALIZACION DEL CONTROLADOR DE DMA>
11 OUT &H300,V (MSB)
12 <ESPERA FINALIZACION DE TRANSFERENCIA>
13 REM DESHABILITACION DE COMPUERTA 0
14 OUT &H304,0
15 END
```

FIG. 2.4.4

2.5 FUNCIONAMIENTO DEL SISTEMA DIGITAL

2.5.1 ESQUEMA GENERAL

En esta sección se describe el sistema digital realizado en la tarjeta de adquisición; la figura 2.5.1 muestra su diagrama a bloques;

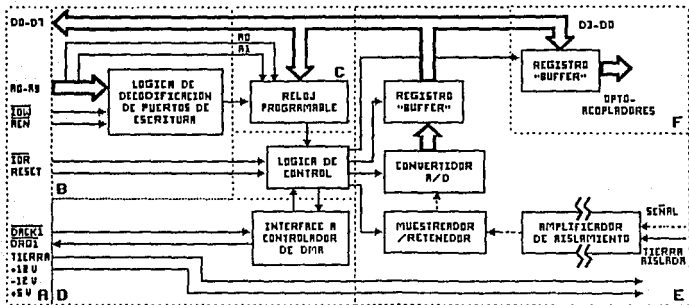


FIG. 2.5.1

En esta figura, el bloque A contiene las señales de la ranura de expansión de la PC utilizadas; como se puede observar, se utilizan las señales de activación de puertos \overline{IOW} y \overline{AEN} , las señales de control para ciclos de DMA, $\overline{DRQ1}$, $\overline{DACK1}$, \overline{RESET} e \overline{IOR} , las fuentes de poder de +12, -12 y +5 V, y los buses de datos y direcciones.

El bloque B contiene la lógica de decodificación de 5 puertos de escritura, que son utilizados de la siguiente forma: dos de ellos controlan la escritura a los registros de modo y de cuenta para el reloj programable; otro da la señal que habilita la compuerta "GATE 0" del contador programable y los últimos dos puertos son utilizados para cargar en los registros de corrimiento de la tarjeta de acondicionamiento de señal, el canal a introducir, y la ganancia y activación del filtro "notch" para la señal ECG.

La figura 2.5.2 muestra la forma en que se decodificaron estos puertos.

El bloque C de la figura 2.5.1, contiene el contador programable 8253-5. Los registros internos de modo de operación y valor de cuenta final son programados a través del bus de datos de la PC, con la decodificación de los

puertos 303-H y 300-H, la habilitación/deshabilitación de la compuerta del canal 0, se controla por medio de un flip-flop 74LS76, activado con la escritura al puerto 304-H. La salida del reloj programable entra al circuito de control del sistema de adquisición para iniciar la operación del muestreador/retenedor y el convertidor A/D, asimismo, habilita los ciclos de DMA, y carga los registros de datos al bus de la PC.

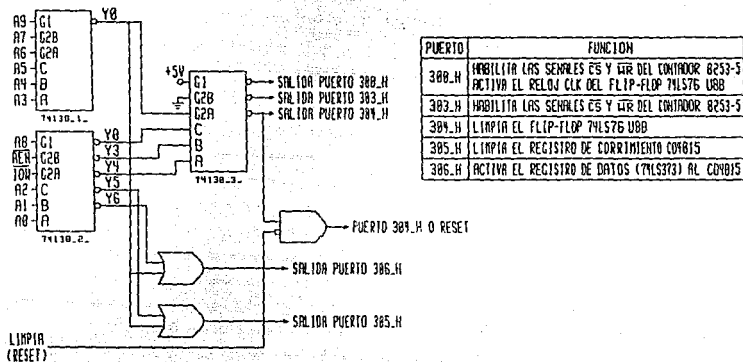


FIG. 2.5.2

El bloque D contiene el circuito que habilita el canal 1 del controlador de acceso directo a memoria de la PC. El circuito, al ser habilitado por la lógica de control, realiza requerimientos de DMA a través de la línea DRQ 1 del bus; y al recibir la señal $\overline{\text{DACK}} 1$, o RESET, deshabilita DRQ 1 hasta que la lógica de control la vuelve a habilitar. Las señales $\overline{\text{DACK}} 1$ e $\overline{\text{IOR}}$, habilitan el registro de datos (que guarda el byte a la salida del convertidor A/D) al bus de la PC, realizando tantas transferencias como el número de veces que sea activado por el bloque de control.

El bloque E contiene los circuitos de la interfase analógica/digital (muestreador/retenedor, convertidor A/D y un registro de tres estados conectado al bus de datos de la PC). La operación de este bloque se controla por medio de un circuito que activa la señal "LOGIC" del muestreador/retenedor, las señales "CE", "R/C", y "Ao" del convertidor A/D y

el control de escritura "OC" del registro de carga 74LS374. Este bloque contiene además, el amplificador de aislamiento BB 3656, en una configuración no inversora y ganancia fija (en 2), conectado al muestreador/retenedor.

Finalmente el bloque F contiene dos puertos de escritura; uno de ellos habilita por medio de un registro tres estados, las líneas D0 a D3 del bus de datos de la PC, que, a través de unos optoacopladores, carga secuencialmente los registros de corrimiento en la tarjeta de acondicionamiento de señal. El otro puerto, del mismo modo aislado de la tarjeta externa a la PC, limpia los registros de corrimiento CD 4015, a través de su entrada "CLEAR".

2.5.2 OPERACIÓN DE LA INTERFASE DIGITAL

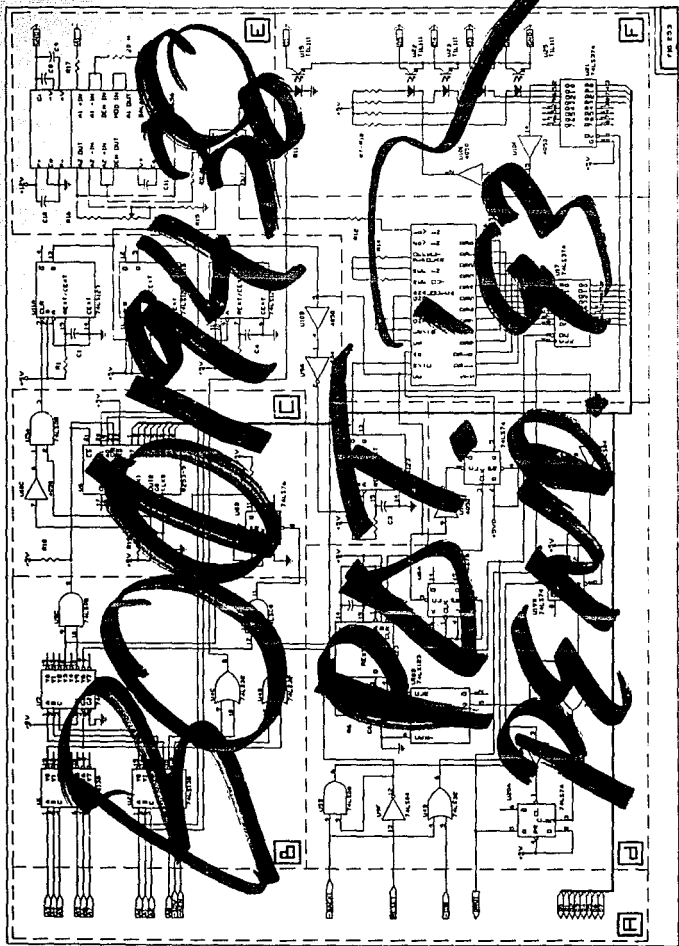
La figura 2.5.3 muestra el esquema completo de la tarjeta de adquisición conectable a una ranura de expansión de la PC. La salida de ésta hacia la tarjeta de acondicionamiento de señal es a través de 9 líneas de un cable tipo AWG 24 US-C12 y conectores tipo DB-25. El esquema ha sido dividido en bloques (correspondientes a los explicados en el apartado anterior), para facilitar la localización de componentes. Cada componente está referenciado a su nombre y número de unidad. Las señales digitales están representadas con línea continua y las analógicas con línea punteada. Este diagrama se complementa con la figura 2.5.4 que muestra un diagrama de tiempos completo para la lectura de un byte de 12 bits (en dos lecturas de 8 bits).

Las señales provenientes de la ranura de expansión de la PC, que forman el bloque A, están en el lado izquierdo del diagrama y las que van al conector DB-25 en el lado derecho.

El bloque B, contiene la lógica de decodificación de puertos, que consiste básicamente de tres decodificadores 3 a 8, 74LS138 (U1, U2 y U3). Se prefirió la utilización de estos decodificadores porque contienen tres líneas de control G1, G2A, y G2B, que, además de las 3 líneas decodificadoras A, B, y C, seleccionan los 5 puertos utilizados en el prototipo.

Para decodificar las direcciones de puerto utilizadas (300-H, 303-H, 304-H, 305-H y 306-H), es necesaria la decodificación primaria de los 6 bits más significativos (A9 a A3) en conjunto con las líneas \overline{AEN} e \overline{IOW} , que habilitan la escritura a puerto. Los tres bits menos significativos son decodificados más adelante con el otro decodificador (U3) y unas compuertas. De esta forma, los dos primeros decodificadores (U1 y U2), seleccionan, como puertos de escritura, al intervalo de direcciones 300-H a 33F-H.

La salida Y0 de U1 se utiliza como entrada a la línea G2A de U3, para





habilitar junto con las líneas Y0, Y3 y Y4 de U2, los puertos 300-H, 303-H y 304-H, respectivamente. También se utiliza con las líneas Y5 y Y6 de U2 para decodificar los puertos 305-H y 306-H a través de las compuertas "OR" 74LS32 (U4C y U4D).

La señal de decodificación del puerto 305-H (disponible a la salida de la compuerta "OR" (U4C)), está conectada a través de un resistor de 470 Ω (por el que circula una corriente de 10 mA), al ánodo de un optoacoplador TIL 111 (U15). El cátodo del LED está conectado a tierra para que al decodificar el puerto 305-H, éste se apague y el transistor de salida del optoacoplador se corte, activando todas las líneas "CL" de los registros de corrimiento CD4015 en la tarjeta externa; ésta acción limpia toda la información contenida en ellos.

La señal de decodificación del puerto 306-H, obtenida a la salida de la compuerta "OR" (U4D), está conectada a la línea de control "OC" del registro de tres estados 74LS374 (U21), para habilitar los cuatro bits menos significativos del bus de datos a los optoacopladores (U22, U23, U24 y U25). De esta forma, los optoacopladores cargan ésta información en los registros de corrimiento CD 4015 (véase la figura 3.6.3) de la tarjeta de acondicionamiento de señal.

Las salidas Y3 y Y5 de U3 (puertos 300-H y 303-H), están conectadas a una compuerta "AND" 74LS00 (U5C), cuya salida habilita, al decodificar cualquiera de estos puertos, las líneas de control \overline{CS} y \overline{WR} del contador programable (U6), éstas líneas junto con A0 y A1 del bus de direcciones permiten seleccionar los registros de modo y cuenta del 8253-5. Para conectar todas las líneas que entran al contador programable, se utilizaron resistores de 2.2 K Ω (configuración "pull up") entre +5V y la entrada, para hacer compatibles los niveles de tensión TTL y CMOS. Con esta misma intención se conectó un seguidor CD4050 (U10C), a la salida OUT 0 del contador.

La salida del decodificador con el puerto 300-H (línea Y3 de U3), también es utilizada para habilitar el reloj (entrada CLK) del flip-flop 74LS76 (U8B), el cual, activa con un nivel de tensión alto, la compuerta del contador programable 8253-5 (U6).

La salida del decodificador con el puerto 304-H (línea Y6 de U3), tiene como función limpiar el flip-flop 74LS76 (U8B), a través de su línea \overline{CL} , para que el contador programable deshabilite su salida al ponerse su compuerta GO en bajo. Esta función la puede realizar también la línea RESET del bus de la

PC. Como los puertos se activan con un nivel de tensión bajo, fue necesario invertir por medio de U9F, la señal de RESET, ésta junto con la línea Y6 de U3 se conectaron a la compuerta "AND" 74LS08 (USD), de tal forma que cualquiera de éstas señales active la línea \overline{CL} del flip-flop 74LS76 (U8B).

El bloque C de la figura 2.5.3 contiene el circuito de reloj programable utilizado, éste bloque consiste del contador programable 8253-5 (U6), y el circuito que permite su utilización.

Sus señales de datos D0 a D7, por ser de tres estados se conectaron directamente al bus de datos de la PC, al igual que las líneas A1 y A0, que seleccionan el registro de modo de operación (al escribir al puerto 303-H), o el registro de cuenta (puerto 300-H). Las señales para cargar estos registros se seleccionan al habilitar las señales \overline{CS} y \overline{WR} a través de la salida de la compuerta "AND" (USC). Esta salida es activada en la escritura a los puertos 303-H y 300-H del bloque B.

La entrada \overline{RD} de U6 no fue utilizada en el proyecto, por lo que se conectó a +5V, sin embargo podría haber sido utilizada para verificar que el contenido de los registros fuera el que se programó. En el proyecto para no complicar la arquitectura con puertos de lectura (ya que habría que decodificar la señal \overline{IOR} y las líneas de dirección), y tomando en cuenta que el 8253-5 está diseñado para operar en un ambiente de computadora, se prefirió comprobar el valor de los registros con la señal de salida del contador en operación. Esto se realizó en la etapa de pruebas de la tarjeta con un osciloscopio.

La compuerta del contador O (G0), se controla con la salida Q del flip-flop 74LS76 (U8B), que es habilitado en su entrada de reloj CLK por la decodificación del puerto 300-H. El flip-flop U8B es del tipo JK, sin embargo, se comporta como flip-flop RS ("Set/Reset"), siendo habilitado (Q=1) por flanco negativo en su entrada de reloj CK y deshabilitado (Q=0) por nivel bajo en \overline{CL} .

La entrada de reloj CLK0 del contador programable es alimentada por un oscilador controlado por cristal (U7), que produce una oscilación estable a 1.000 MHz. Este circuito sólo necesita polarizarse para producir a su salida una señal cuadrada con 50 % de ciclo de trabajo y compatible con TTL y CMOS.

La salida del contador programable OUT 0 está conectada a un seguidor CD4050 (U10C), que a su vez tiene a su salida una compuerta "AND" (USA). La señal Q del flip-flop (U8B) se conecta a la otra entrada de (USA) (compuerta

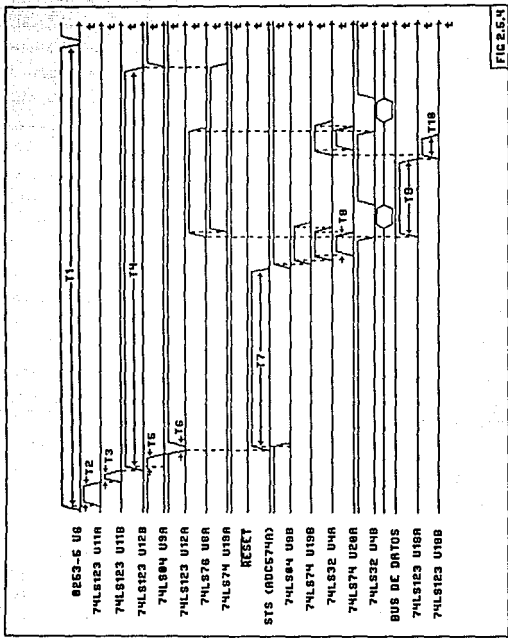


FIG 2.5.4

"AND") para asegurar que el reloj llegue al circuito de control sólo cuando se active la compuerta G0 del contador programable.

Una vez que en el programa de aplicación se han inicializado los registros del controlador de DMA, se programan los registros del contador programable. Al escribirse el byte de cuenta, se activa el flip-flop 74LS76 (U8B), que habilita la salida del reloj programable (T_1 en la figura 2.5.4), por medio de la compuerta "AND" (U5A). La salida de ésta compuerta está conectada a la entrada CLR de un multivibrador en configuración monoestable 74LS123 (U11A), para generar un pulso con nivel de tensión positivo y una duración de 4 μ s (T_2 en la figura 2.5.4). Este pulso activa la entrada LOGIC del muestreador/retenedor LF398, (U13), durante el tiempo de adquisición.

Una vez realizado el muestreo de la señal analógica, la señal LOGIC del muestreador/retenedor debe permanecer en un nivel bajo para retener la tensión muestreada, éste es el estado en que permanece el multivibrador U11A, hasta que vuelve a ser activado por el reloj programable. Al cambiar el nivel de (U11A), el flanco negativo activa la entrada \bar{A} de otro multivibrador en configuración monoestable 74LS123 (U11B), para generar un pulso en su salida Q de nivel de tensión alto y con una duración de 25 ns (T_3 en la figura 2.5.4), éste es el tiempo de apertura típico del muestreador/retenedor indicado en sus especificaciones [15]. Sin embargo, éste valor contradice una gráfica mostrada en el mismo manual del dispositivo, en que se muestra un tiempo de apertura a 25° C de 220 ns [15], por lo que se decidió dar un margen de error suficiente en un intervalo de temperatura hasta de 50° C, calculándose los valores de R y C de (U11B) para un período de 500 ns.

La salida Q de (U11B) se conectó a la entrada \bar{A} de otro multivibrador en configuración monoestable 74LS123 (U12B), que es activado por el flanco negativo de la salida Q de (U11B) producido al terminar el período de apertura del muestreador/retenedor.

La salida Q de (U12B), (T_4 en la figura 2.5.4), debe permanecer en estado alto el tiempo que tarde el proceso de adquisición de cada dato, ya que controla en su mayor parte la operación del convertidor A/D (véase figura 2.3.2). Este período se calculó en base a varios parámetros, como el tiempo de conversión de (U16) y los retrasos en propagación de la lógica de control. Para mayor claridad, el cálculo de éste período se describe al finalizar la explicación de la arquitectura.

La salida Q del multivibrador (U12B) no puede ser conectada directamente al convertidor A/D, puesto que debe existir un retraso mínimo de 50 ns entre la habilitación de las señales CE y R/\bar{C} de (U16), éste tiempo también permite que se establezca la salida Q de un flip-flop 74LS74 (U19A) conectado a la entrada Ao de (U16) antes de que éste inicie la conversión.

Este flip-flop tipo D (U19A), tiene una configuración de flip-flop RS y su salida es activada (Q=1) con flanco positivo en su entrada de reloj CLK y desactivada (Q=0) con nivel de tensión bajo en su entrada \bar{C} L. Su salida se mantiene en bajo mientras la señal Q de (U12B) permanezca en bajo y, al habilitarse (U12B) en alto, continúa en nivel bajo hasta que es activada en su entrada de reloj. La salida Q de éste flip-flop alimenta la entrada Ao del convertidor A/D, y en este caso define que la conversión sea de 12 bits.

Como se puede observar en la figura 2.5.3, la habilitación de la señal \bar{C} L en el flip-flop U19A, permite que éste sea controlado por la señal de reloj a la salida Q de un flip-flop tipo JK, 74LS76 (U8A). Este flip-flop está conectado para una operación "toggle", y su entrada \bar{C} L, es controlada por la misma salida Q del multivibrador U12B.

Para evitar estados indefinidos, por estar habilitados ambos flip-flops con la misma línea Q de (U12B), la entrada \bar{C} L del flip-flop 74LS74 (U19A), se conecta a un seguidor CD4050 (U10D), que por ser de tecnología CMOS tiene un retardo en propagación de 60 ns típico (con una polarización de +5V)(17), dando tiempo a que se establezca la entrada CLK de (U19A), antes de ser habilitada para recibir la señal Q del flip-flop 74LS76 al activar su entrada \bar{C} L.

La salida Q de (U12B) está conectada a otro multivibrador monoestable 74LS123 (U12A), cuya salida activa el convertidor A/D (U16) por medio de la entrada R/\bar{C} . La entrada \bar{A} de (U12A), también fue conectada a través de un seguidor CMOS CD4050 (U10B) en serie a un inversor 74LS04 (U9A).

Esta conexión tiene como fin el retraso (T_s en la figura 2.5.4), generado por la utilización de (U10B) y el inversor (60 ns típico), que debe existir entre la activación de las señales CE y R/\bar{C} del convertidor A/D.(14)

El multivibrador U12A, cuya salida \bar{Q} está conectada a la señal R/\bar{C} , se activa con el flanco de bajada a la salida del inversor 74LS04 (U9A). El período que (U12A) debe mantener su salida \bar{Q} en un nivel bajo (T_s en figura 2.5.4), debe ser como mínimo de 50 ns para que (U16) inicie la conversión, sin embargo la salida del convertidor no puede ser leída hasta que éste

active su señal STS, que indica el fin de conversión.

Al activarse la señal STS, la salida del convertidor es leída, con la señal de petición de un ciclo de DMA: DRQ 1, por un registro de 8 bits 74LS374 (U17), que carga los bits más significativos (DB11 a DB4) en espera de la activación del bus de datos.

Al activarse las señales de control de bus para escribir en el bus de datos (es decir cuando el controlador de DMA apunta a la dirección de memoria a donde ha de ser transferida la información y se activan las líneas $\overline{\text{DACK}}_1$ e $\overline{\text{IOR}}$), se habilita la señal $\overline{\text{OC}}$ del registro (U17), sacando la información de sus 8 bits (07 a 00) al bus de datos. De esta forma se completa la escritura a memoria.

Los cuatro bits menos significativos del convertidor (DB3 a DB0) están conectados a las mismas líneas que los 4 bits más significativos (DB11 a DB8). De esta forma, se requieren dos ciclos de DMA para la lectura de los 12 bits que forman el byte de información del convertidor A/D.

La selección para la escritura al registro (U17) de los bits más significativos o los menos significativos, se realiza por medio del control de la entrada Ao del convertidor, que es operada por medio del circuito de control. Como se muestra en la figura 2.3.2 (últimos dos renglones), los 8 bits más significativos se pueden leer con la entrada Ao en bajo, y los 4 bits menos significativos con la entrada Ao en alto. Es importante recordar que Ao es activada por medio de la salida del flip-flop (U19A), y que antes y durante la conversión A/D, su salida Q permanece en un nivel de tensión bajo.

El bloque D en la figura 2.5.3 contiene el circuito de control de acceso directo a memoria (DMA). Una vez que el proceso de conversión A/D termina, el convertidor (U16) produce una señal con nivel de tensión bajo, STS, que habilita el circuito de control de DMA para realizar la transferencia a memoria de los 8 bits más significativos (DB11 a DB4) ya descrito.

La salida STS del convertidor únicamente se activa ("0"), cuando ha terminado la conversión A/D, haciendo válido el valor cargado al registro (U17), (T7 en la figura 2.5.4). Esta señal está conectada a un inversor 74LS04 (U9B), que activa con flanco de tensión positivo la entrada de reloj CLK de un flip-flop 74LS74 (U19B).

Este flip-flop tipo D, también está conectado en configuración RS, y su entrada CLK es activada por la salida del inversor (U9B). Su entrada $\overline{\text{CL}}$ permanece en estado alto cuando no es activada, y está unida a la salida de

una compuerta "AND" 74LS08 (U5B), cuyas entradas están conectadas a la salida invertida de la señal RESET (salida del Inversor U9F) y a la señal $\overline{DACK\ 1}$ del bus. De este modo, la entrada \overline{CL} del flip-flop (U19B) se activa cuando alguna de estas señales se habilita, y su salida Q cambia a "0".

Cuando se activa la entrada CLK del flip-flop (U19B), su salida cambia a "1". Esta salida está conectada a una de las entradas de la compuerta "OR" 74LS32 (U4A). La otra entrada de ésta compuerta, está conectada a la salida Q de un multivibrador monoestable 74LS123 (U18B), que hasta este momento no ha sido activado, y cuya salida se encuentra en bajo ("0"). La salida de la compuerta (U4A), es entonces habilitada con un nivel de tensión alto, cuyo flanco de subida activa la entrada de reloj CLK del flip-flop 74LS74 (U20A), que, por estar conectado en configuración RS, habilita su salida Q (con un nivel de tensión alto). Esta salida, por estar conectada a la señal del bus DRQ 1, produce un requerimiento de ciclo de DMA al canal 1 del 8237-5.

La salida del flip-flop (U20A) también está conectada a la entrada de reloj CLK (activada por flanco positivo) del registro 74LS374 (U17), para que al realizar un requerimiento de DMA, (U17) cargue los 8 bits más significativos del convertidor A/D.

El proceso de requerimiento de DMA al microprocesador le toma al controlador de DMA dos ciclos de reloj antes de activar las señales que indican que se puede introducir información al bus de datos de la PC, $\overline{DACK\ 1}$ e \overline{IOR} (Te en la figura 2.5.4). Estas señales son decodificadas por medio de una compuerta "OR" 74LS32 (U4B), cuya salida en nivel de tensión bajo, activa la señal de escritura \overline{OC} del registro U17.

La señal $\overline{DACK\ 1}$ también activa la salida de la compuerta "AND" (U5B), que limpia los flip-flop que se activaron en el requerimiento de DMA, por medio de la entrada \overline{CL} (en los flip-flop U19B y U20A). En ésta etapa fue necesaria la introducción de un seguidor CD 4050 (U10A), para evitar que el flip-flop (U20A) vuelva a encender, introduciendo un retardo de 60 ns entre la activación de los flip flop (U19B) y (U20A).

La señal a la salida de la compuerta "OR" (U4B), que se activa para habilitar la información contenida en el registro U17 al bus de datos de la PC, también está conectada a la entrada de reloj del flip-flop 74LS76 (U8A) (que realiza una función "toggle"), activando su salida Q, que está conectada a la entrada de reloj CLK del flip-flop 74LS74 (U18A), cuya salida Q se habilita con un nivel de tensión alto. La salida de éste flip-flop se conecta

a la entrada Ao del convertidor A/D, que, al detectar el cambio de nivel, deshabilita las líneas DB11 a DB8, activando los 4 bits menos significativos a través de sus salidas DB3 a DB0 (conectadas a las entradas D7 a D4 del registro U17).

El flanco de subida en la salida Q del flip-flop USA, también habilita la entrada CLR de un multivibrador en configuración monoestable 74LS123 (U18A), el cual produce un pulso en su salida Q (T_s en la figura 2.5.4), con una duración de 3.5 μ s, es decir, el tiempo suficiente para finalizar el primer ciclo de DMA (los 4 ciclos de reloj restantes). La salida Q de éste monoestable, está conectada a otro multivibrador monoestable 74LS123 (U18B), que responde al flanco de bajada de (U18A) por un periodo de 50 ns (T_{10} en la figura 2.5.4), en su salida Q. Este pulso activa la compuerta "OR" (U4A), en su entrada hasta ahora no utilizada, produciendo un pulso de bajada a su salida, que nuevamente activa el flip-flop (U20A) para realizar otro requerimiento de DMA, a través de su salida Q. Como ya se había mencionado, la salida Q de éste flip-flop, está conectada a la señal DRQ 1 y a la entrada de control CLK del registro 74LS374, que en esta ocasión lee los 4 bits menos significativos del convertidor (por haber cambiado el nivel lógico de Ao).

El controlador de DMA automáticamente direcciona estos datos a la localidad de memoria siguiente. Al activarse de nuevo las señales $\overline{DACK} 1$ e \overline{IOR} , y habilitar la entrada de reloj del flip-flop (USA), (recordando que realiza una función "toggle") a través de la compuerta U4B, el flip-flop cambia a "0" el nivel de su salida. Esta acción no dispara el multivibrador (U18A) conectado a su salida (por activarse con flanco positivo) y se inicializa el proceso con todos los flip-flop en su estado original.

Para calcular el periodo T_4 , del multivibrador monoestable (U12B), se consideraron las siguientes características del circuito: durante éste periodo debe llevarse a cabo el muestreo y retención de la señal de entrada (4.025 μ s), la conversión analógica/digital (proceso que tarda dependiendo de la temperatura de operación del convertidor de 20 a 25 μ s), además se dejó un periodo de 60 ns entre la habilitación del convertidor y la activación de la señal R/\overline{C} (por recomendación del fabricante)(14). En éste periodo se deben realizar dos ciclos de lectura al registro (U17), una con los 8 bits más significativos y la otra con las 4 menos significativos, para lo cual se requiere de dos ciclos de acceso directo a memoria. Un ciclo de DMA ocupa seis ciclos de reloj de la computadora (5 en ser ejecutado y uno más que se

añade en el diseño de la microcomputadora). Tomando en consideración que el reloj más lento en un sistema de computo compatible con IBM es de 4.7 MHz, se requiere como máximo un periodo de 1.26 μ s para realizar un ciclo de DMA.

Finalmente se debe considerar el periodo entre la activación de los dos ciclos de DMA (T_0), que es controlado por el multivibrador monoestable (U18A), y que se calculó de 1.32 μ s (por el retraso en propagación de las compuertas). El periodo T_4 así calculado es de 27.58 μ s, sin embargo, como puede observarse en la tabla 2.5.5 los periodos obtenidos de los multivibradores difieren de los valores calculados. Esto se debe a que en la realización del sistema se utilizaron resistores con un valor semejante al calculado (valor comercial), con una tolerancia de \pm 5 %, y capacitores con tolerancia de \pm 10 %. El valor de este periodo afecta la frecuencia máxima utilizable en el sistema, sin embargo no se está tan limitado en cuanto a un periodo mínimo de muestreo, por lo que se calculó un valor de T_4 de 30 μ s. La fórmula utilizada para calcular el periodo de los circuitos monoestables es la siguiente :

$$t_w \text{ [ns]} = 6 + 0.05 C_{EXT} \text{ [pF]} + 0.45 R_{EXT} \text{ [K}\Omega\text{]} + 11.6 R_{EXT}$$

En la siguiente tabla se muestran los valores calculados de capacitancia y resistencia para los multivibradores en configuración monoestable 74LS123 mostrados en la figura 2.5.3 y los valores calculados y medidos de los periodos.

DISPOSITIVO :	TIEMPO CALCULADO (ns)	TIEMPO REAL (ns)	C (pF)	R (Kohm)
74LS123 U11A	4000	4200	C1-100	R1-60
74LS123 U11B	500	550	C2-20	R2-10
74LS123 U12A	50	150	C3-5	R3-22
74LS123 U12B	30000	31500	C4-560	R4-120
74LS123 U18A	3500	3450	C5-10	R5-56
74LS123 U18B	200	210	C6-10	R6-10

FIG 2.5.5

DISEÑO DEL SISTEMA ANALÓGICO

En esta parte se describe el funcionamiento del circuito acondicionador de señales analógicas externo a la microcomputadora.

Las variables a medir se dividen en tres grupos: señales electrocardiográficas (ECG), señal fotopleletismográfica (para la medición de la frecuencia cardiaca vasal) y temperatura. Estas variables, son introducidas al sistema por medio de electrodos o a través de transductores.

En la primera parte de este capítulo, se describen las variables físicas de entrada al sistema de adquisición, y se delimitan los intervalos de tensión y frecuencia a utilizar, como referencia, para la construcción de los circuitos de acondicionamiento de señal.

Más adelante, se explican los dispositivos que aislan eléctricamente al paciente, del circuito conectado a la tierra física del sistema.

Finalmente, se describen los circuitos realizados y su funcionamiento.

3.1 CARACTERÍSTICAS DE LAS SEÑALES DE ENTRADA

3.1.1 SEÑAL ELECTROCARDIOGRÁFICA (ECG) (2)

Las células cardíacas tienen las siguientes características eléctricas relacionadas con el ECG: automatismo, excitabilidad y conductibilidad. Desde el punto de vista funcional, se pueden dividir en células contráctiles (cuya función principal es la mecánica de bomba) y específicas (cuya función es la formación del estímulo y conducción del mismo, desde el nodo sinusal hasta las células contráctiles auriculares y ventriculares).

Las células cardíacas contráctiles presentan durante la diástole (dilatación del corazón) un equilibrio entre las cargas eléctricas positivas extracelulares (principalmente de sodio y calcio) y las negativas intracelulares (fundamentalmente aniones de proteínatos y aspartatos, aunque el ión intracelular es por excelencia de potasio). Este equilibrio diastólico (que representa un reposo celular), solo se presenta en las células contráctiles, pues las células específicas presentan un potencial transmembrana diastólico de despolarización.

El automatismo celular se produce cuando en la diástole se mezclan, las conductancias del potasio que disminuye, y del sodio y calcio que aumenta, dando lugar a una corriente iónica entrante de Na y Ca superior a la saliente de K.

Las células cardíacas, al estar suficientemente polarizadas durante la diástole (si no se encuentran lesionadas presentan un potencial entre -85 y -90 mV), poseen la propiedad de excitabilidad, es decir, la propiedad de responder a un estímulo eficaz, activándose (produciendo un potencial crítico denominado potencial de acción transmembrana de hasta $+20$ mV). En las células contráctiles, éste potencial se origina gracias a un estímulo de las células marcapaso, que da lugar a que se produzca el cruce de conductancias de sodio y potasio.

La activación de una estructura cardíaca, consiste en su despolarización y repolarización, para terminar con una fase de reposo eléctrico.

En un electrocardiógrafo convencional, por cada revolución cardíaca (sístole y diástole) se registra un patrón (trazo electrocardiográfico), que, en ausencia de arritmia cardíaca, se repite siempre con la misma cadencia y representa el paso del estímulo desde el nodo sinusal, donde se genera, hasta el miocardio ventricular. A medida que el estímulo avanza, se produce la

activación de las distintas estructuras cardíacas, primero de las aurículas, el nodo atrioventricular, el sistema His Puntege, y más tarde el miocardio ventricular.

La figura 3.1.1 muestra las estructuras que se activan en un ciclo cardíaco.

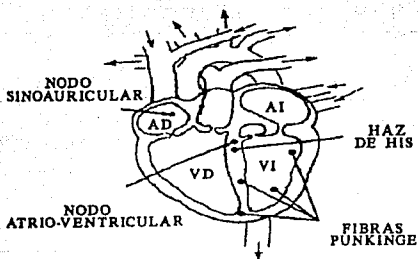


FIG 3.1.1 (2)

Un estudio electrocardiográfico puede definirse como la medición de tensión, en zonas definidas del cuerpo (denominadas posiciones de electrodo), para obtener una representación de la actividad eléctrica del corazón (2).

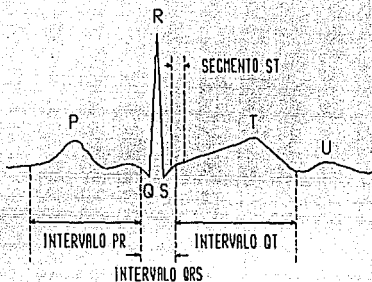
La curva electrocardiográfica está formada por una serie de inflexiones, que, cuando se registran con un electrodo situado en la zona de la pared libre ventricular izquierda, presentan una forma como la mostrada en la figura 3.1.2.

La despolarización de las aurículas se presenta en el ECG como una deflexión inicial llamada onda P, cuya repolarización no es muy visible por estar enmascarada por la despolarización ventricular, que originan el complejo QRS (Q, primera deflexión negativa; R primera positiva, y S, deflexión negativa que sigue a R). La repolarización de los ventrículos que sigue al complejo QRS, está formada por un espacio isoeléctrico denominado segmento ST, seguido de una onda, generalmente positiva, de ascenso más lento que el descenso llamada onda T.

Al final de la sístole ventricular (onda T) y el inicio de la onda P siguiente, que representa el inicio de la sístole auricular, el registro del ECG muestra una pequeña onda en una curva semi-isoeléctrica que corresponde a la fase de reposo de las células cardíacas, denominada onda U (2).

Para su estudio la señal ECG se divide en intervalos como los mostrados en

la figura 3.1.2, donde además se señalan los valores típicos de amplitud y duración para las diferentes derivaciones.



DERIVACION	AMPLITUD V				
	P	Q	R	S	T
RL	0.015-0.12	0-0.16	0.07-1.13	0-0.36	0.06-0.42
LF	0-0.19	0-0.18	0.18-1.68	0-0.49	0.06-0.55
RF	-0.073-0.13	0-0.28	0.03-1.31	0-0.55	-0.06-0.3
L-CT	-0.085-0.14	0-0.22	0-0.75	0-0.9	-0.16-0.27
R-CT	-0.179-(-.01)	0-0.9	0-0.33	0-0.15	-0.54-0
F-CT	-0.16-0.16	0-0.19	0.02-0.15	0-0.71	-0.04-0.46
P-CT	0-0.24	0-0.27	0-3.2	0-2.74	0-1.6
DURACION ms					
P	INTERVALO PR	INTERVALO QRS	INTERVALO QT		
70-120	110-210	50-100	337-433		

FIG 3.1.2 (2),(18)

Como se puede observar en la figura 3.1.2, la amplitud de las señales en las diferentes derivaciones electrocardiográficas es muy pequeña, por lo que se requieren varias etapas de amplificación para su medición. Además, la señal puede estar sumada a una tensión en modo común bastante apreciable, cuya amplitud depende de la tensión de ruido en el medio ambiente, el contacto eléctrico de los electrodos y el blindaje electromagnético del sistema en el intervalo de frecuencia a medir (generalmente la mayor fuente de tensión en modo común es inducida en el cuerpo humano por la tensión de

línea a 60 Hz).

Aún con circuitos de rechazo a la tensión en modo común, la señal electrocardiográfica debe ser filtrada para rechazar potenciales de corriente directa (que suelen ser producidos en modo diferencial) y tensiones de ruido a alta frecuencia, producidas por los componentes del circuito (resistores, circuitos integrados, etc.) o por fuentes externas (lámparas de neón, ondas de radio u otros circuitos conectados a la línea).

Se denomina derivación electrocardiográfica a cada uno de los puntos en la superficie de la piel donde se colocan electrodos y que pueden mostrar una proyección de la actividad eléctrica del corazón diferente. La figura 3.1.3, muestra los puntos de referencia para las derivaciones electrocardiográficas, bipolares y monopolares.

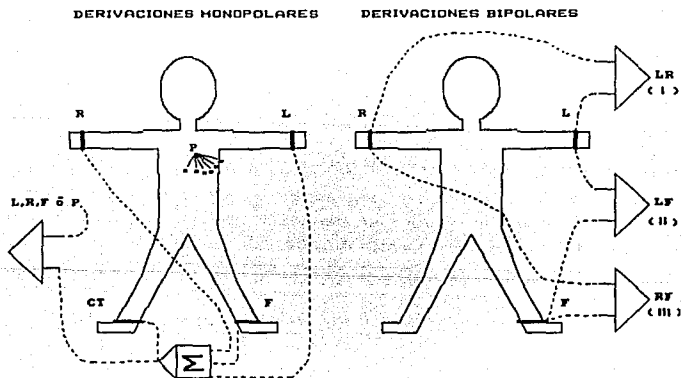


FIG 3.1.3

Como se puede observar en la figura 3.1.3, las derivaciones entre brazo izquierdo y derecho (I), entre brazo derecho y pierna izquierda (II), y entre brazo izquierdo y pierna izquierda (III), son bipolares por medir entre electrodos colocados en puntos donde, el dipolo que representa el corazón tiene una localización central. Esto causa una medición diferencial de las componentes de tensión producidas en cada punto.

Las derivaciones unipolares, registran la señal del corazón, entre una

derivación exploradora y una terminal central (CT), que representa un punto de referencia, o tierra virtual en el circuito (por no estar conectada directamente a ella), y que, por medio de una red de resistores suma la tensión en modo común de los otros electrodos, VL, VR y VP, realimentándola a través del electrodo conectado a la pierna derecha. La derivación exploradora puede estar localizada en el brazo izquierdo (VL-CT), en el derecho (VR-CT), la pierna izquierda (Vr-CT) o en el tórax (derivaciones precordiales Vp).

El sistema de adquisición realizado sólo cuenta con una derivación precordial, sin embargo existe equipo con entradas para la medición de 6, 12 y hasta 19 derivaciones precordiales (19).

Para la interpretación de un electrocardiograma, es importante la valoración de los siguientes parámetros: frecuencia cardíaca, ritmo, intervalos PR y QT, cálculo del eje eléctrico medio del corazón en plano frontal, análisis de onda P, complejo QRS, segmento ST, y ondas T y U (2).

A continuación se describen algunas restricciones para la fabricación de equipo electrocardiográfico reportados por el Consejo de Medicina Física de la AMA ("American Medicine Association") (1950) y la AHA ("American Heart Association") (1967) (20).

1. La diferencia entre la señal de salida y una representación lineal exacta de la señal de entrada, no debe exceder el 5 % de la amplitud pico a pico para amplitudes entre .5 y 5 mV. Para amplitudes pico a pico menores a .5 mV la diferencia no debe exceder de 0.025 mV. La señal de entrada debe comprender componentes en frecuencia entre 0.01 y 100 Hz, en cualquier combinación de electrodos.

2. El instrumento debe satisfacer sus especificaciones con amplitudes de entrada hasta de 10 mVpp y debe tener una respuesta lineal para cualquier señal de entrada en el ancho de banda especificado, soportando cualquier tensión de corrimiento ("offset") eléctrico.

3. Para cualquier condición de trabajo, la impedancia de entrada al instrumento debe ser por lo menos de 500 K Ω entre cualquier electrodo y tierra. El instrumento no debe permitir el flujo de una corriente mayor a 1 μ A a través del paciente y debe cumplir con estas especificaciones, aun con tensiones de CD de hasta 100 mV y tensiones en modo común de hasta 200 mV.

4. La ganancia debe ser ajustable por lo menos en los siguientes 3 intervalos;

- a) 10 mm/mV,

- b) 5 mm/mV,
- c) 20 mm/mV.

Cualquier ajuste de ganancia debe estar disponible en un área de uso restringido al usuario.

5. Los requerimientos de rechazo en modo común (CMRR) deben ser por lo menos de 1000 a 1 para frecuencias entre 45 y 65 Hz (60 dB) y de 100 a 1 (40 dB) a cualquier otra frecuencia.

6. Se deben hacer mínimos los efectos por interferencia electromagnética, ya sea por medio de un sistema de blindaje, por filtrado en la fuente de alimentación u otra técnica.

7. Se debe proteger al paciente o al operador de flujos de corriente mayores a 20 μ A de cualquier electrodo a tierra física, con una tensión de prueba de 120 V y 60 Hz, por medio de un sistema de aislamiento o el uso de baterías.

8. El intervalo de temperatura de operación del sistema debe ser como mínimo entre 10 y 50 °C, en altitudes entre 0 y 3000 m. sobre el nivel del mar y con humedad relativa entre 5 y 95 %.

9. Los instrumentos energizados con la línea, deberán tolerar variaciones de tensión entre 95 y 135 V y frecuencias entre 57 y 63 Hz.

10. Se debe utilizar una pasta electrolítica para favorecer el contacto entre el paciente y los electrodos, obteniéndose una resistencia piel/electrodo de 5000 Ω o menor.

3.1.2 MEDICIÓN DE TEMPERATURA

La medición de temperatura corporal externa es uno de los principales instrumentos de diagnóstico utilizado en medicina para conocer el estado fisiológico de un individuo. Este parámetro permite evaluar si un paciente entra en "shock", si tiene algún órgano infectado, o si se ha consumido algún tipo de droga (18).

El intervalo de temperatura requerido para la medición corporal es entre 35 y 44 °C, para la medición en zonas periféricas entre 26 y 38 °C, y como un dispositivo de control durante la hipotermia, entre 20 y 44 °C (18). Para la evaluación de dificultades vasculares, es necesaria, algunas veces, la medición de temperatura en la punta de los dedos. En la mayoría de las aplicaciones médicas es suficiente una exactitud de \pm 0.1 °C, y el tiempo de respuesta del sensor debe poder seguir las fluctuaciones de la temperatura de interés (13).

Para la medición de temperatura existen diferentes tipos de transductores, cuya selección depende del intervalo de temperaturas a medir, la linealidad de respuesta deseada y el costo de componentes. En este proyecto es necesario medir la temperatura en un intervalo entre 20 y 45 °C, por lo que es recomendable la utilización de un circuito simple, con bajo consumo de potencia y respuesta lineal. El uso de sensores como el termopar, el termistor, o el RTD requiere de circuitos de acondicionamiento de señal que pueden considerarse demasiado complicados para el pequeño intervalo de temperaturas a medir, además de que éstos sensores tienen un costo elevado (véase parte V). La utilización de un dispositivo semiconductor integrado tiene la ventaja de ofrecer una respuesta prácticamente lineal y ser más fácil de utilizar que cualquier otro transductor.

Los transductores integrados, generalmente basados en las propiedades de sensibilidad térmica del silicio, tienen una respuesta predecible en el intervalo de medición y pueden producir una salida de tensión, corriente o frecuencia dependiendo de las necesidades del usuario (21). La ecuación del equivalente tensión/temperatura para semiconductores de germanio o silicio demuestra la relación entre la temperatura y la tensión base emisor en un transistor :

$$V_T = \frac{k T}{q} = \frac{T}{11594}$$

Donde k es la constante de Boltzmann ($k = 1.38 \times 10^{-23}$ Joules por grado Kelvin) y q es la carga de un electrón ($q = 1.6 \times 10^{-19}$ Coulombs). El equivalente tensión/temperatura V_T , es la característica que se aprovecha en los transductores integrados para la medición de temperatura.

Aunque cualquier dispositivo semiconductor discreto (diodo, TBJ, FET, etc.) puede ser utilizado como sensor de temperatura, los transductores integrados contienen áreas semiconductoras cercanas a la superficie del encapsulado, para optimizar la sensibilidad y tiempo de respuesta del dispositivo, además pueden contener etapas de amplificación, ajuste de sensibilidad, manejo de línea de transmisión, etcétera.

En este proyecto se utilizó el transductor temperatura/corriente AD 590 de la marca *Analog Devices*.

3.1.3 MEDICIÓN DE FRECUENCIA CARDÍACA

Un fotoplethismógrafo como el desarrollado sensa los cambios de volumen de la sangre que circula a través de un vaso sanguíneo, por medio de un

transductor opto-electrónico.

La señal pletismográfica es utilizada en medicina para muy diversos usos, como son: la medición del volúmen de sangre que circula en una arteria o que irriga un área de piel, para cuantificar la frecuencia cardíaca o indirectamente para calcular la presión y densidad de la sangre que circula por una vena [22].

Existen diferentes métodos para la obtención de la señal pletismográfica: se pueden utilizar cámaras hidráulicas o neumáticas, sensores de desplazamiento ("strain gage"), o sensores opto-electrónicos.

En este proyecto se realizó la captura de la señal pletismográfica a través de un sensor opto-electrónico, cuya utilización, junto a un programa de procesamiento de señal, que cuantifica el número de ciclos en un periodo, permite la medición de la frecuencia cardíaca a través de un vaso sanguíneo (frecuencia cardíaca basal). El dispositivo se pretende colocar sobre un área de piel de suficiente irrigación sanguínea y fácil acceso como lo es un dedo de la mano.

El transductor está basado en el principio de que la luz producida por un LED infrarrojo, atraviesa con relativa facilidad la piel humana, siendo en su mayor parte reflejada por la sangre que circula en el interior de los tejidos y en las venas cercanas al LED emisor. Un foto-transistor sensible a la luz infrarroja producida por el LED, se coloca en una posición cercana al emisor, permitiendo la modulación de la luz que llega a sus terminales por las variaciones de flujo sanguíneo en el área elegida. La figura 3.1.4 muestra el montaje electromecánico utilizado:

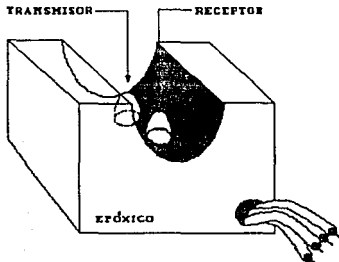


FIG 3.1.4

La utilización de éste dispositivo permite ahorrar tiempo al médico para la valoración completa del electrocardiograma, ya que no se tiene que imprimir la señal ECG para medir la frecuencia cardíaca.

La frecuencia cardíaca normal en reposo está comprendida entre 60 y 100 pulsaciones por minuto (dependiendo de la edad, sexo, peso y características físicas del paciente), una frecuencia menor a 60 pulsaciones por minuto indica al médico una braquicardia sinusal y una mayor a 100 pulsaciones por minuto representa una taquicardia sinusal. Si el cuerpo no está en reposo, la frecuencia cardíaca puede variar entre 30 y 240 ppm [22].

3.2 ACONDICIONAMIENTO DE LA SEÑAL ELECTROCARDIOGRÁFICA

3.2.1 INTRODUCCIÓN

La figura 3.2.1 muestra las etapas utilizadas en este proyecto para el acondicionamiento de la señal electrocardiográfica

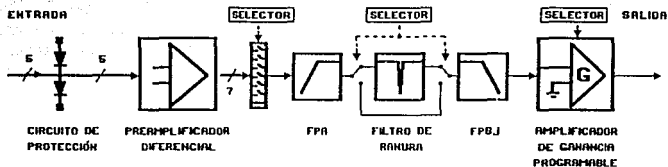


FIG 3.2.1

La señal se obtiene a través de electrodos colocados en la superficie de la piel, en las posiciones de electrodos para derivaciones monopolares y bipolares (véase apartado 3.1.1). Estos electrodos (en este caso de cloruro de plata), deben estar montados firmemente sobre una capa de pasta electrolítica para reducir la impedancia de contacto entre la piel y el electrodo.

Para detectar en la superficie de la piel un potencial de baja amplitud (menor a 10 mV), es necesaria una etapa de entrada con una impedancia de por lo menos 50 M Ω , para que las señales a medir se atenúen un máximo de 1% (en el peor caso), ya que la impedancia de contacto entre el cuerpo y los electrodos puede variar entre 10 y 100 K Ω . Este objetivo se logra conectando cada entrada de electrodo a un amplificador operacional en configuración de seguidor de tensión. A la salida de cada seguidor (uno por derivación), se toma la señal para los amplificadores de instrumentación y el circuito de manejo a la plierna derecha.

La preamplificación de la señal permite el filtrado y "multiplexaje" en etapas posteriores, donde los niveles de tensión son fácilmente manejables. La figura 3.2.1 muestra las diferentes etapas selectoras conectadas a la salida del preamplificador.

La ganancia del preamplificador es de 500 (aproximadamente 54 dB). Una ganancia en lazo cerrado de éste orden limita el ancho de banda del circuito, obteniéndose dos etapas de filtrado en paso bajas a 96 y 333.3 kHz. La ganancia en modo diferencial de la etapa de entrada al amplificador de

Instrumentación produce un rechazo a señales en modo común que es complementada en su etapa de salida con una etapa diferencial de rechazo a tensiones en modo común ajustable.

Las salidas de los preamplificadores (uno por derivación electrocardiográfica), son seleccionadas por medio de un multiplexor analógico, a cuya salida se encuentra un filtro paso altas con una frecuencia de corte de 0.01 Hz. Este filtro, al igual que los filtros de rechazo de banda y paso bajas conectados adelante, afectan con la misma frecuencia de corte a todas las derivaciones, por lo que el ajuste de la frecuencia de corte en éstos filtros debe ser exacto. El filtro paso altas construido, sin embargo, tiene una impedancia de salida muy grande (677.3 K Ω), por lo que no es posible su conexión directa al multiplexor analógico, y se conectó un seguidor de tensión a su salida.

Este seguidor de tensión alimenta un multiplexor analógico que permite la utilización o no de un filtro de rechazo de banda (filtro utilizado para eliminar tensión de ruido de la línea de 60 Hz en caso de que el médico lo requiera). Este bloque entra a un filtro paso bajas con una frecuencia de corte de 100 Hz (para limitar completamente el ancho de banda del sistema, pues es el polo dominante en paso bajas).

El filtro paso bajas alimenta una etapa de amplificación de ganancia programable (por medio de un multiplexor que selecciona la resistencia de realimentación), consistente en un amplificador no inversor. Finalmente, antes de entrar al amplificador de aislamiento, la salida del circuito entra a un último multiplexor analógico, que selecciona éste o los otros dos canales de entrada (temperatura, o pletismógrafo).

3.2.2 CARACTERÍSTICAS DE LOS ELECTRODOS

Los electrodos utilizados en electrocardiografía por colocarse sobre la piel, deben estar contruidos de un material que reduzca al mínimo la impedancia electrodo-piel. Para este efecto, los electrodos cubiertos con cloruro de plata permiten un buen contacto eléctrico al ser utilizados con pasta electrolítica.

Este tipo de electrodos sin embargo, por formar un dieléctrico entre el electrodo y la piel, pueden llegar a cargarse con un potencial estático. Esto aumenta la impedancia electrodo/piel reduciendo la amplitud de la señal de entrada al sistema. La polarización en los electrodos puede ser reducida con un proceso de clorhidricación frecuente.

Existen diferentes técnicas para disminuir la interferencia de señales no deseadas en un sistema de adquisición de señales. En este caso se presenta la necesidad de conectar una señal cuyas características pueden dificultar su medición (impedancia desbalanceada hasta un 10 % de la fuente, ancho de banda a baja frecuencia (0.01 a 100 Hz), amplitud máxima de 10 mV, obtención de la señal a través de electrodos colocados en la superficie de la piel, utilización del equipo en un medio ruidoso, etc.).

Además, se pueden presentar problemas de acoplamiento capacitivo (debido a la interacción de campos eléctricos con el paciente), y de interferencia electromagnética, ya que por su tamaño e impedancia, el cuerpo humano puede funcionar como antena. En la literatura se pueden encontrar métodos para reducir ambos tipos de interferencia (18), a continuación serán descritas las técnicas utilizadas en este proyecto.

La utilización de cables trenzados en las líneas que conducen las señales de bajo nivel (menores a 0.1 V) reduce la tensión inducida en los mismos por campos electromagnéticos del medio ambiente, ésta técnica se aplica al conectar los electrodos del paciente al circuito.

La utilización de un blindaje conectado a tierra física, tanto de los cables de señal (por medio de cable coaxial) como del gabinete que cubre al circuito, protege las señales de interés de campos electrostáticos y de la inducción de campos electromagnéticos (al funcionar como jaula de Faraday). En la parte IV de este trabajo se midió la resistencia entre el gabinete y la tierra física a la que está conectada la computadora.

3.2.3 ETAPA DE ENTRADA

El circuito de entrada a las señales provenientes de los electrodos consiste en una resistencia serie para balancear la impedancia de los electrodos, un par de diodos de señal conectados en inversa a las fuentes positiva y negativa para proteger el circuito de entrada y un seguidor de tensión basado en el amplificador operacional TL074, que tiene una impedancia de entrada de $10^{12} \Omega$ (23).

Es importante señalar que cada etapa extra a cualquier sistema de instrumentación aumenta la tensión de ruido intrínseca a ella y por lo tanto el ruido total en el sistema, sin embargo la utilización de estos seguidores no afecta el desempeño del sistema (como se verá más adelante), principalmente por garantizar una tensión de ruido de entrada de $18 \text{ nV}/\sqrt{\text{Hz}}$ (23) (en el ancho de banda utilizado la tensión de ruido es mucho menor a la

señal de entrada).

El resistor en serie a los electrodos de entrada permite balancear la impedancia "vista" por la etapa de preamplificación diferencial siguiente. Este resistor (conectado a cada seguidor), se eligió de 220 K Ω para evitar que una corriente mayor a 35 μ A circule a través del cuerpo en el caso extremo de que dos diodos en diferentes electrodos fallaran y se tuviera una resistencia de contacto en electrodos menor a 10 K Ω (peor caso).

Para aprovechar a su máxima capacidad el convertidor analógico/digital, es necesario mantener en un nivel de tensión menor al valor de un bit menos significativo (2.4414 mV) la tensión de ruido y las fuentes de error que afecten la amplitud de la señal a la salida del sistema de acondicionamiento.

Para construir un sistema de este tipo, se debe contar con etapas de protección contra señales en modo común, señales producidas por otros órganos (músculos, nervios, etc.), y de ruido en general.

La reducción de ruido eléctrico es más importante de considerar en el sistema electrocardiográfico que en las otras mediciones (temperatura y frecuencia cardíaca) por las características propias de la señal y porque ésta debe pasar por un número mayor de etapas.

La razón de rechazo en modo común necesaria en este proyecto se calcula de la siguiente forma: para una tensión de plena escala máxima de entrada de 10 mV (señal ECG) aplicada a la entrada de los seguidores de tensión, y en conjunción con la etapa de preamplificación, se requiere una razón de rechazo en modo común suficiente para satisfacer que:

$$(10 \text{ mV})(A_{MC}) \ll 2.4414 \text{ mV}$$

En ésta ecuación A_{MC} representa la ganancia en modo común. La sensibilidad máxima del convertidor A/D es de un bit menos significativo (1 LSB = 2.4414 mV) y con una resolución máxima de 12 bits, el valor de la tensión en modo común máximo a la entrada del sistema (con una ganancia en modo diferencial mínima de 60 dB, en un ancho de banda de 100 Hz), es:

$$V_{MC_{M}} = (10 \text{ mV}) / (2^{12}) = 2.4414 \mu\text{V}.$$

La razón de rechazo en modo común mínima para no afectar con la señal en modo común el bit menos significativo del convertidor A/D es:

$$\lambda_{MIN} = 20 (\log (4096)) = 72.25 \text{ dB}$$

La tensión en modo común debe rechazarse principalmente en el

preamplificador de entrada (ya que es el circuito que cambia las entradas diferenciales por una señal monopolar referenciada a la tierra aislada del circuito), aunque los otros elementos del sistema intervienen para rechazar la tensión en modo común referida a la tierra física del sistema. La razón de rechazo en modo común de los amplificadores operacionales, debe ser medida experimentalmente debido a que la ganancia en modo común para amplificadores operacionales de entrada FET (todos los utilizados en este proyecto), es función no lineal del nivel de tensión en modo común [13], y depende del ajuste de resistencias a la salida del preamplificador diferencial. En la parte IV se describen las pruebas realizadas para medirla.

La razón de rechazo a tensión de la fuente ("PSRR") del TL074, puede variar entre 80 y 100 dB dependiendo de la temperatura ambiente. La tensión de error producida en los amplificadores operacionales por este factor, en el intervalo de temperaturas de operación (10 a 50 °C), es de 1.06 μVRMS , por lo que su valor puede ser despreciado (tomando en cuenta que el convertidor CD/CD y produce una tensión de rizo típico de 30 mVpp).

La figura 3.2.2 muestra la distribución de resistencias en las conexiones monopolar y bipolar de electrodos.

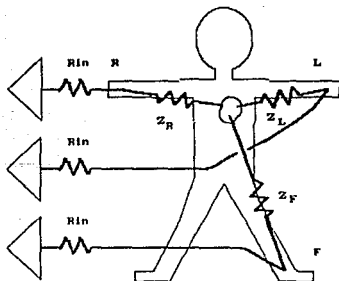


FIG 3.2.2

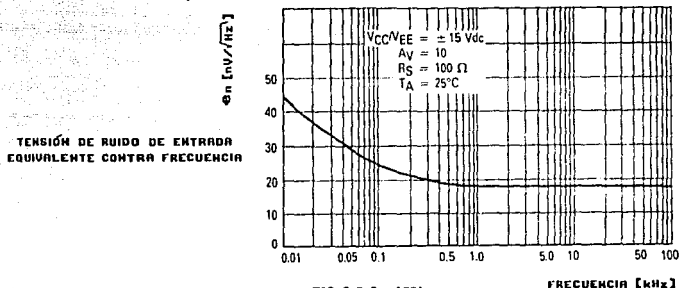
La tensión de ruido V_n producida por el resistor a la entrada de los seguidores de tensión puede ser calculada con la fórmula general para el cálculo de ruido térmico por efecto Johnson en resistores [18]:

$$V_n = \sqrt{4 k T B R_s}$$

En esta ecuación, k es la constante de Boltzman (1.38×10^{-23}), T es la

temperatura ambiente, B el ancho de banda, y R_s el resistor de la fuente. La resistencia R_s está en serie a la resistencia que presenta el cuerpo del paciente y el electrodo (la resistencia eléctrica del paciente puede variar de 500Ω a $100 \text{ K}\Omega$, dependiendo del contacto eléctrico de los electrodos)(24).

Uno de los parámetros que permiten cuantificar la tensión de ruido producida en la etapa de amplificación de un sistema son las curvas características de tensión de ruido proporcionadas por el fabricante del circuito integrado a utilizar; la figura 3.2.3 muestra las características del amplificador operacional TL074 (23).



En ésta figura se muestra la tensión equivalente de ruido producida por el amplificador operacional TL074 con respecto al ancho de banda de operación, con un resistor en la fuente de 100Ω , polarización de $\pm 15 \text{ V}$, temperatura ambiente de $25 \text{ }^\circ\text{C}$ y una ganancia de tensión igual a 10. La tensión de ruido total producida por el preamplificador está en función del ruido producido por el propio circuito integrado y la resistencia serie R_s a la señal de entrada, de acuerdo a la siguiente fórmula :

$$V_{nt} = \sqrt{4 k T B R_s + V_n^2 + (I_n R_s)^2}$$

En ésta ecuación el primer término indica la tensión de ruido por efecto Johnson del resistor de la fuente R_s y la suma de los dos términos siguientes representa el ruido producido por el amplificador en uso. Sin embargo, como se puede observar en la figura 3.2.4, el amplificador TL074 por tener entrada tipo JFET, produce una tensión de ruido intrínseca mínima al tener a su entrada una resistencia serie R_s dentro del intervalo entre $10 \text{ K}\Omega$ y $1 \text{ M}\Omega$,

siendo ésta resistencia el principal contribuyente a la tensión de ruido total (18).

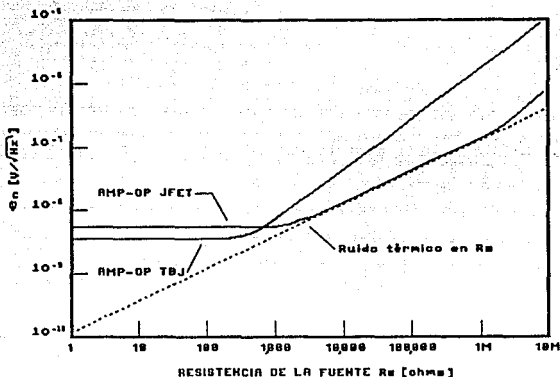


FIG 3.2.4 (18)

Por lo tanto, la resistencia serie de entrada R_s se calcula como la única fuente de ruido del circuito para un valor menor al de un bit menos significativo del convertidor A/D entre la ganancia en modo diferencial A_D ;

$$V_{nt} \ll (1 \text{ LSB}) / (A_D)$$

Con la utilización de resistores en serie de 220 K Ω a la entrada de los seguidores de tensión, la tensión de ruido máxima a la entrada de los amplificadores operacionales a una temperatura de 25 °C, es:

$$V_{nt} = \sqrt{4 k T B R_s}$$

$$V_{nt} = \sqrt{(4)(1.38 \times 10^{-23})(298.15)(99.99)(320 \times 10^3)}$$

$$V_{nt} = 725.67 \times 10^{-9} \text{ V}$$

Como son dos amplificadores operacionales de entrada configurados como seguidor de tensión, la tensión de ruido total hasta la entrada del amplificador diferencial es;

$$V_{NT} = \sqrt{V_{nt1}^2 + V_{nt2}^2}$$

$$V_{NT} = 1.026 \times 10^{-6} \text{ V}$$

Como se puede observar:

$$V_{nr} < 4.88 \times 10^{-6} \text{ V}$$

que es la tensión mínima que se puede presentar al convertidor A/D con una ganancia de tensión en el sistema de 1000. A la salida del preamplificador se obtiene una razón señal a ruido en el peor caso de 4.8. Esta no es una especificación óptima, sin embargo es preferible utilizar los resistores de entrada para proteger al paciente, y en las etapas de filtrado rechazar la tensión de ruido. Una vez que la señal ha pasado por el preamplificador de entrada, las etapas de multiplexaje, filtrado y ganancia contribuyen mínimamente a la tensión de ruido total, por operar sobre señales grandes y utilizarse circuitos no ruidosos.

Como protección a los seguidores de tensión de entrada se conectaron diodos entre la entrada de los seguidores de tensión y las fuentes bipolares. Este circuito impide que la señal de entrada sea mayor a la tensión de polarización de los amplificadores operacionales. Los diodos seleccionados tienen una corriente de fuga en inversa lo suficientemente pequeña (25 nA) para no interactuar con la señal de entrada.

La figura 3.2.5 muestra los circuitos de entrada y preamplificación,

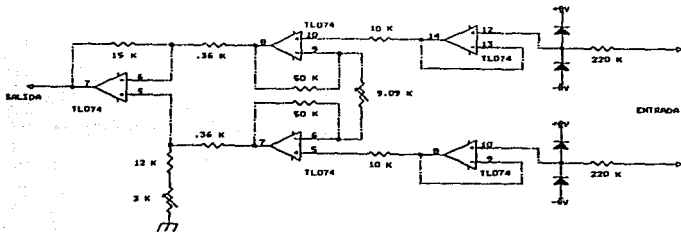


FIG 3.2.5

La corriente de fuga a las entradas de los seguidores de tensión TL074, (por tener entrada JFET [20]), puede tener un valor entre 50 y 250 pA en el intervalo de temperatura de operación del sistema (10 a 50 °C) [21]. De esta forma, la corriente total de fuga máxima en el circuito de entrada debida a los diodos y amplificadores operacionales es menor a 1 µA en cualquier caso (corriente de fuga máxima que puede circular a través del paciente).

Los seguidores de tensión de entrada se polarizan con $\pm 8 \text{ V}$, obtenidos a

la salida de unos reguladores de tensión integrados conectados al convertidor CD/CD (que da a su salida ± 15 V). Esta tensión es la máxima que puede aparecer en cualquier entrada o salida del amplificador, ya sea por falla de los amplificadores operacionales o por saturación debida a una tensión de entrada en modo común. Para esta tensión, la resistencia de entrada mínima de los seguidores de tensión en contacto con el paciente debe ser de 8 M Ω (considerando una resistencia nula del cuerpo), sin embargo todos los canales de entrada tienen una impedancia de entrada de 1 T Ω , sumada a la resistencia serie utilizada para balancear la impedancia de los electrodos (220 K Ω), por lo que se cumple con la norma que, para la corriente que puede circular por el paciente se señala en el apartado 3.1.1 (normas de la AMA y AHA).

La figura 3.2.6 muestra el circuito que realimenta las señales de modo común al cuerpo, y que sirve de referencia para la medición de las derivaciones unipolares, denominado circuito de manejo a la pierna derecha ("driven right leg"). Del mismo modo se muestra el circuito equivalente.

Este circuito es utilizado para reducir la tensión en modo común que se pueda presentar a la entrada del preamplificador. Su conexión a la pierna derecha permite "referenciar" al paciente a la tierra aislada del circuito, a través de un camino de baja resistencia, ya que la conexión directa a la tierra del circuito no garantiza una baja resistencia, por la impedancia del electrodo y la piel (hasta 100 K Ω).

Como se puede observar en la figura 3.2.6, la principal fuente de señal en modo común la representa la línea de alimentación a 60 Hz, acoplada a través de un capacitor de 2 pF al cuerpo del paciente (valor típico). La corriente de desplazamiento I_d es la fuente que en modo común aparece a la entrada de todos los preamplificadores. La capacitancia típica entre el cuerpo y tierra física es de 200 pF (Cb en la figura 3.2.6). Con respecto a la tierra del sistema, la capacitancia de entrada de los amplificadores TL074, es de 200 pF y la capacitancia medida entre la tierra física y la del sistema es de 547 pF. Las resistencias Ra (que se encuentran en paralelo para tensiones en modo común) y Rr, controlan la ganancia del amplificador inversor A4.

La resistencia en serie a la salida del amplificador (Ro), protege al paciente en caso de que el sistema no estuviera aislado de la tierra física, en este circuito este resistor protege la salida del amplificador operacional y disipa parte de la potencia de ruido del circuito (23),(24).

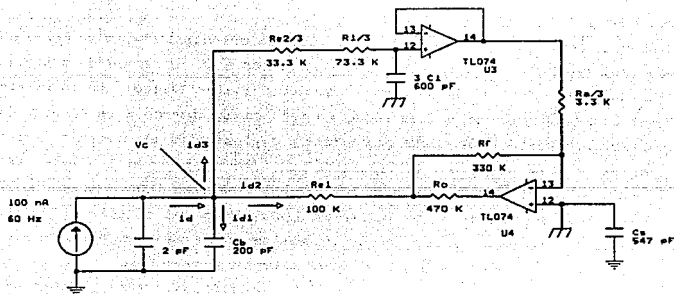
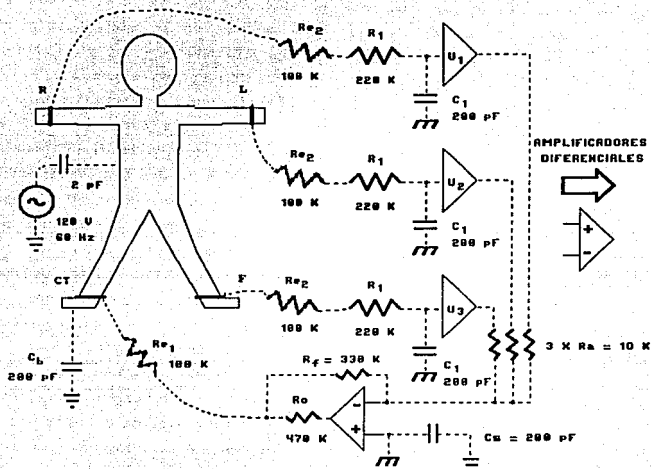


FIG 3.2.B [24]

En la figura 3.2.8 también se observa que la corriente de desplazamiento i_d se divide en la corriente que fluye a la tierra física (i_{d1}), la corriente

a través de los electrodos (1a3) y la que circula a través del circuito de manejo a la pierna derecha (1a2). Obviamente el propósito de este circuito es el de presentar un camino de baja impedancia a la señal en modo común, para que: $1a2 \gg 1a3$.

La figura 3.2.7 muestra un diagrama en bloques equivalente al de la figura 3.2.6 y la respuesta en frecuencia (de ganancia y fase) para el circuito desarrollado.

La función de transferencia en lazo abierto del sistema es:

$$\frac{V_o}{V_i} = \frac{G}{(s/\omega_a + 1) (s^2(R_1C_1R_2C_2) + s(R_1C_1 + R_1C_2 + R_2C_2) + 1)}$$

donde:

$$R_1 = R_o + R_{e1}$$

$$C_1 = C_b // C_s$$

$$R_2 = (R_{e2} + R_1) / 3$$

$$C_2 = 3 C_1 \text{ (véase la fig. 3.2.7)}$$

El primer término de esta ecuación representa el polo formado por el amplificador operacional A_4 , relativo al producto ganancia-ancho de banda del amplificador (la ganancia de este circuito está dada por: $G = 3 R_r/R_a$). En el caso de los seguidores de tensión (A_1 , A_2 y A_3) por tener ganancia unitaria no afectan el diseño del circuito. El segundo término se refiere a los dos filtros paso bajas a la salida de A_3 .

El circuito de manejo a la pierna derecha produce a su salida una tensión: $V_o = -G V_c$; donde V_c es la tensión en modo común a la entrada del amplificador. Como se puede observar en la figura 3.2.6:

$$V_o = V_c (R_o + R_{e1}) / a_2$$

La resistencia en modo común es:

$$R_c = (R_o + R_{e1}) / (G + 1),$$

por lo que la tensión en modo común: $V_c = R_c / a_2$, disminuye al incrementar la ganancia del amplificador para toda $G > R_o / R_{e1}$.

La ganancia del amplificador, sin embargo, está limitada por su producto ganancia-ancho de banda, la estabilidad del circuito, y los componentes utilizados. Aun cuando un ancho de banda en lazo cerrado de 1 KHz es recomendable en este circuito (24), éste parámetro se tuvo que reducir a 331 Hz con una ganancia $G = 100$, ya que para aumentarlo se hubiera requerido un convertidor CD/CD con una capacitancia C_s (capacitancia de aislamiento) de un valor menor (547 pF).

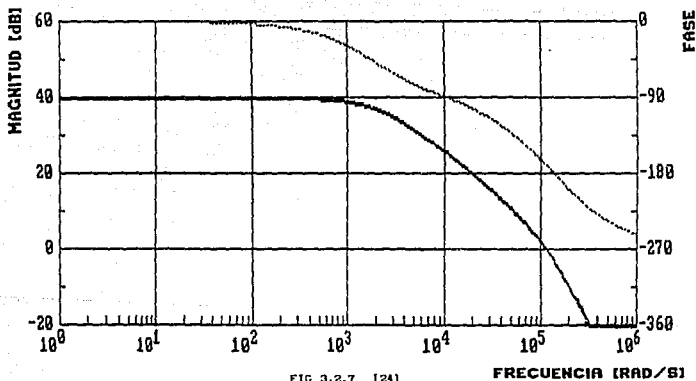
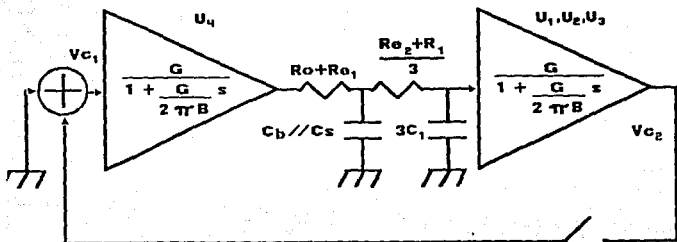


FIG 3.2.7 [24]

La función de transferencia del circuito con los valores calculados es:

$$\frac{V_o}{V_i} = \frac{100}{(3.9787 \times 10^{-8} + 1) (5.3426 \times 10^{-9} s^2 + 4.8948 \times 10^{-4} s + 1)}$$

que es estable para los valores de los componentes mostrados en la figura 3.2.7, en el intervalo de su tolerancia. En el caso de la resistencia del paciente (R_{e1} y R_{e2}), si su valor aumenta (por un mal contacto de los electrodos), o si el valor de la capacitancia entre el cuerpo y tierra física

fuese mayor, el circuito sigue siendo estable y únicamente disminuye el ancho de banda del circuito (con lo que puede aumentar la tensión de ruido que entra al sistema) [25].

3.2.4 PREAMPLIFICADOR DE INSTRUMENTACIÓN

La figura 3.2.8 muestra el circuito utilizado para amplificar las señales diferenciales de entrada. Se eligió una ganancia de 500, para obtener con la ganancia $G = 2$ del amplificador de aislamiento una tensión máxima de 10 V a la entrada del convertidor A/D (plena escala), con una tensión de entrada de 10 mV (tensión máxima a que debe estar especificado un electrocardiógrafo).

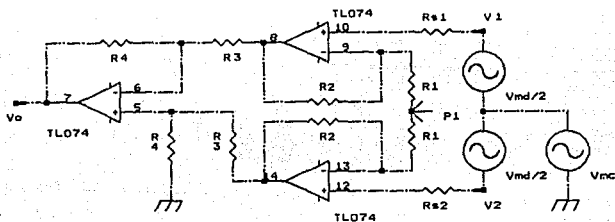


FIG 3.2.8

La función del preamplificador es proporcionar una señal unipolar de alto nivel al sistema de acondicionamiento (filtros, amplificadores, etc.), amplificando una entrada en modo diferencial de bajo nivel (menor a 0.1 V) [27], y rechazando al mismo tiempo las tensiones en modo común. El amplificador diferencial tiene dos terminales de entrada (V_1 y V_2 en la figura 3.2.6) y una de salida (V_o), referida a la tierra del sistema.

La ganancia del circuito se dividió en dos partes para distribuir el rechazo a la tensión en modo común, ya que en las pruebas realizadas a este circuito, no se pudo obtener, en una sola etapa, una CMRR mayor a 60 dB. De esta forma, la etapa de entrada tiene una ganancia en modo diferencial $G_1 = 12$ y la de salida (que consiste en un amplificador diferencial) tiene una ganancia $G_2 = 41.67$, obteniéndose una razón de rechazo en modo común en el sistema de 81.94 dB (véase parte IV).

Los amplificadores de instrumentación están conectados a la salida de los seguidores de tensión de entrada por medio de resistores de 10 K Ω , cuya función es reducir el error que podría producirse por la diferencia en el

valor de la impedancia de salida de los seguidores y formar la red resistiva que suma la tensión en modo común de los electrodos del paciente (para formar el circuito de manejo a la pierna derecha).

El ruido térmico ($V_T = \sqrt{4 k T B R_s}$), producido por estos resistores en las entradas del amplificador de instrumentación es:

$$V_T = 286.8613 \times 10^{-8} \text{ V}$$

esta tensión de ruido, sumada a la tensión de ruido producida a la entrada del circuito (véase el apartado 3.2.3), produce una tensión de ruido total $V_{NT} = 1.31 \times 10^{-6} \text{ V}$, por lo que:

$$V_{NT} < 4.88 \times 10^{-8} \text{ V}$$

de esta forma, la contribución de estos resistores a la tensión de ruido total puede ser despreciada.

La tensión en modo común V_{MC} y la tensión de corrimiento a la entrada del amplificador V_{os} , son las dos principales fuentes de error a la salida del amplificador diferencial:

$$V_o = A_D (V_{os} + \lambda V_{MC} + V_{MD})$$

en esta ecuación, V_{MD} es la señal de entrada en modo diferencial ($V_1 - V_2$) a amplificar (A_D), y V_{MC} es la tensión en modo común, que es equivalente al promedio de tensiones en modo común a las entradas ($1/2 (V_1 + V_2)$) [27].

La tensión de corrimiento a la entrada de los amplificadores operacionales TL074, V_{os} , es típicamente de 3 mV por cada amplificador, sin embargo al presentarse en ambos amplificadores de entrada una tensión de corrimiento parecida (puede variar hasta un máximo de 7 mV [23]), y ser diferenciada una de la otra por el amplificador A_3 , ésta tiende a nulificarse. La tensión de corrimiento al sumarse a la tensión de CD recogida por los electrodos del paciente (del orden de 1 mV [26]), y de ser amplificada con una ganancia $G = 500$, puede aparecer a la salida del preamplificador con una tensión máxima de 3.79 V, en el peor caso.

La tabla 3.2.9 muestra las características eléctricas del amplificador operacional TL074, utilizadas en el diseño del preamplificador de instrumentación.

VALORES CARACTERISTICOS MAXIMOS	
TENSION DE ALIMENTACION	± 18 V
TENSION DE ENTRADA DIFERENCIAL	± 30 V
INTERVALO DE TENSION DE ENTRADA	± 15 V
INTERVALO DE TEMPERATURA DE OPERACION	0 A $+70^{\circ}$ C
CARACTERISTICAS ELECTRICAS a 25° C	
TENSION DE ENTRADA DE CORRIMIENTO	3 a 13 mV
CORRIENTE DE ENTRADA DE CORRIMIENTO	5 pA a 2 nA
CORRIENTE DE ENTRADA	30 pA
RESISTENCIA DE ENTRADA	1 T Ω
INTERVALO DE TENSION DE ENTRADA (mC)	+15 a -12 V
CMRR ($R_S \leq 10$ K Ω)	100 dB
PSRR ($R_S \leq 10$ K Ω)	100 dB
CORRIENTE DE ALIMENTACION / AMPLIFICADOR	1.4 mA
ANCHO DE BANDA CON GANANCIA UNITARIA	4 MHz
VELOCIDAD DE SEGUIMIENTO ("SLEW RATE")	13 V/ μ s
e_n ($R_S = 100$ Ω , $f = 1$ KHz)	18 nV/ $\sqrt{\text{Hz}}$
i_n ($R_S = 100$ Ω , $f = 1$ KHz)	0.01 pA/ $\sqrt{\text{Hz}}$
THD ($V_0 = 10$ V _{RMS} , $R_S \leq 1$ K, $R_L \geq 2$ K, $f = 1$ KHz)	0.01 %

FIG 3.2.9

Como se puede observar en la figura 3.2.9, la ficha técnica del TL074 reporta un producto ganancia-ancho de banda en lazo abierto de 4 MHz, por lo que la respuesta en frecuencia del preamplificador para señales de entrada en modo diferencial no es afectada por el polo producido por el amplificador operacional utilizado, ya que para la etapa de mayor ganancia ($G_2 = 41.67$), la frecuencia de corte en malla cerrada del amplificador es de 96 kHz.

En este proyecto, el ancho de banda a utilizar es mucho menor (0.01 a 100 Hz), por lo que se puede obtener una respuesta lineal del sistema (tanto en ganancia como en fase), sin necesidad de compensar el circuito. El tiempo de seguimiento ("settling time") del amplificador operacional en este caso no es una característica crítica del sistema, ya que no es un sistema multiplexado (con la configuración de un amplificador por canal, la señal de

entrada siempre esta conectada al amplificador correspondiente).

Como se puede observar en la figura 3.2.6, en la etapa de entrada del amplificador de instrumentación, A1 y A2 están conectados en forma simétrica a las señales en modo diferencial de entrada con respecto al punto 1, éste punto puede funcionar (si el valor de los resistores R2 es muy parecido) como tierra virtual para las señales diferenciales a su entrada (V1 o V2). De este modo, con referencia al punto 1, la salida del amplificador A1 es:

$$V_{o1} = V_{MC} + \left[1 + \frac{R_2}{R_1} \right] \frac{V_{MD}}{2}$$

y la salida del amplificador A2:

$$V_{o2} = V_{MC} - \left[1 + \frac{R_2}{R_1} \right] \frac{V_{MD}}{2}$$

El amplificador A3 de la figura 3.2.6 realiza la diferenciación de las señales de entrada;

$$V_o = - (V_{o1} - V_{o2}) \frac{R_4}{R_3}$$

Obteniéndose una tensión de salida en modo diferencial:

$$V_o = - V_{MD} \left[1 + \frac{R_2}{R_1} \right] \frac{R_4}{R_3}$$

Parte de la CMRR del circuito depende de la simetría entre las relaciones de resistencias R4/R3, ya que cualquier variación entre las mismas desbalancea el sustractor, sumando una componente en modo común a la salida de A3. La razón de rechazo en modo común total del circuito es;

$$\lambda_T = \lambda_1 + \lambda_2(A_D)$$

donde λ_1 es la razón de rechazo en modo común de la etapa de entrada, y λ_2 está dada por la variación entre los resistores que forman el diferenciador [27];

$$\lambda_2 = \frac{2 \Delta(R_3/R_4)}{R_3/R_4}$$

La etapa de entrada del preamplificador contribuye con su ganancia en modo diferencial a λ_1 , y la razón de rechazo en modo común del amplificador diferenciador A3 puede ser ajustada a un máximo con el potenciómetro P4 mostrado en la figura 3.2.6.

Debido al ruido producido por los resistores, y la deriva con el tiempo de su valor, en un sistema práctico la mejor aproximación entre resistores a obtener es de 0.01 % [27], por lo que se utilizó un potenciómetro de ajuste fino (15 vueltas), que típicamente tiene una deriva anual entre 10 y 30 ppm [30], y un valor de 10 K Ω , para obtener la mejor respuesta del sistema

(máxima λr y mínima tensión de ruido) (28). La ganancia del preamplificador puede ser ajustada por medio del potenciómetro P_1 ($P_1 = 2 R_1$) mostrado también en la figura 3.2.6.

En la conexión de cada amplificador diferencial se procuró la utilización de un mismo circuito integrado, para mantener tan semejantes como fuera posible las respuestas de corriente de fuga y ganancia de malla abierta contra temperatura de los amplificadores operacionales (28).

Para el ajuste de ganancia de la etapa de entrada se utilizaron resistores de 50 K Ω para R_2 y un potenciómetro P_1 de 10 K Ω para un ajuste a 8.09 K Ω .

La figura 3.2.10 muestra un modelo del preamplificador y sus principales fuentes de error.

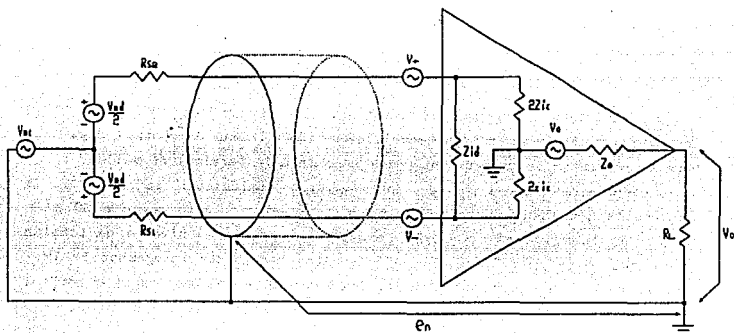


FIG 3.2.10-

La impedancia Z_{id} , representa la impedancia de entrada diferencial, Z_{ic} es la impedancia de entrada en modo común, y es representada en dos partes para cada entrada con respecto a tierra. Estas impedancias contribuyen a un error en ganancia del amplificador debido a la carga que producen a la señal de entrada, por lo que ambos valores de impedancia deben ser por lo menos 4096 veces mayores a la impedancia del cuerpo.

El error que produce el desbalance de las resistencias de entrada es proporcional a la tensión en modo común V_{mc} ;

$$V_+ - V_- = \left(\frac{R_{s2} - R_{s1}}{2Z_{ic}} \right) V_{mc}$$

El amplificador de instrumentación coloca una carga $Z_1 = Z_{id} // Z_{ic}$ a la

fuente, produciendo un error en la ganancia dado por:

$$e_G = 1 - \frac{Z_1}{Z_1 + R_S} = \frac{R_S}{Z_1 + R_S}$$

Aunque no se realizó la medición de la impedancia Z_{ic} (pues para ello se requeriría un medidor de alta impedancia), el error en la ganancia e_G es menor a 0.01 %, aun con una resistencia serie de entrada R_S de 500 K Ω (máxima resistencia de entrada), debido a la impedancia de entrada del TL074 y el espacio entre pistas en el circuito impreso.

La linealidad de la respuesta en ganancia del amplificador será medida y comparada con una respuesta ideal en la siguiente parte de este trabajo.

Al utilizarse etapas de filtrado de primer y segundo orden en aproximación Butterworth, y separadas de tal forma que unas etapas no afecten a otras, se puede asegurar que la respuesta en fase del sistema es lineal en el ancho de banda de medición.

3.2.5 MULTIPLEXAJE DE LAS DERIVACIONES ELECTROCARDIOGRÁFICAS

Un multiplexor analógico consiste en un conjunto de interruptores analógicos controlados por un decodificador. Sus líneas de control digitales permiten conectar la entrada analógica deseada a la terminal de salida.

Existen diferentes tipos de interruptores analógicos: en sistemas de instrumentación donde no se requiere un flujo de corriente mayor a 50 mA a través del interruptor o donde se requiere la entrada de niveles de tensión no mayores a los de polarización de circuitos analógicos integrados (± 18 V típicamente), se suelen emplear multiplexores analógicos basados en circuitos semiconductores. Estos interruptores pueden manejar señales de bajo nivel (menores a 0.1 V), sin presentar niveles de tensión considerables por ruido de conmutación (mayores a 1 % de la señal de entrada), y con una velocidad de operación más alta (2.78 MHz típico)(17) que dispositivos basados en relevadores o del tipo "reed relay" (cuya velocidad de operación no es mayor a 250 operaciones por segundo)(30). Además existen multiplexores analógicos de entrada diferencial.

Los interruptores analógicos semiconductores más comunes, utilizan circuitos basados en transistores bipolares de juntura (TBJ's), transistores de unión de efecto de campo (JFET's), o transistores de efecto de campo de tecnología MOS (MOSFET's).

Por producir a su salida una tensión de corrimiento inherente al dispositivo y consumir mayor potencia que otros semiconductores, los

multiplexores basados en transistores bipolares no son muy utilizados en la práctica. En su lugar son utilizados interruptores analógicos MOSFET y JFET.

La resistencia de encendido de estos dispositivos varíe entre 5 y 1000 Ω , y la resistencia de apagado puede ser mayor a 10 $\text{G}\Omega$ (30). El intervalo de tensión de entrada está limitado por la tensión de ruptura de la compuerta de óxido y de la unión fuente-sustrato (típicamente menor a 60 V).

La figura 3.2.11 muestra el circuito equivalente de un interruptor tipo MOSFET. La resistencia de encendido de este dispositivo puede variar entre 200 y 700 Ω dependiendo de la tensión de entrada.

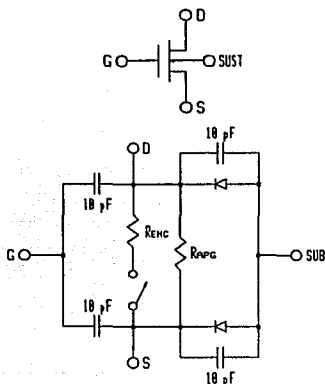


FIG 3.2.11

Para disminuir el efecto que la tensión de la señal produce en la resistencia de encendido del interruptor (respuesta no lineal), se utiliza un arreglo CMOS, que consiste en dos dispositivos MOSFET acoplados, uno de ellos canal N y el otro canal P, y cuyo sustrato se conecta a la fuente de polarización negativa $-V$ y positiva $+V$ respectivamente (figura 3.2.12)

En el dispositivo canal N el valor de menor resistencia de encendido se alcanza para señales de entrada negativas, mientras que para el circuito canal P la respuesta es inversa, por lo que al conectarse en paralelo y encenderse al mismo tiempo, idealmente se cancelan los efectos no lineales. Los multiplexores tipo JFET tienen características parecidas a las de los

MOSFET, sin embargo, en estos la resistencia de encendido no varía con la tensión de entrada y son de más fácil construcción.

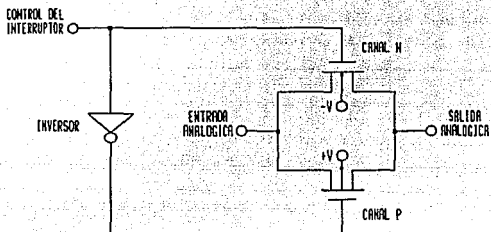


FIG 3.2.12

Por ser el dispositivo más fácilmente obtenible en el mercado nacional, con varias configuraciones de multiplexado y de bajo costo, los interruptores analógicos utilizados en este proyecto (CD4051 y CD4052), utilizan tecnología CMOS.

Las principales fuentes de error de este tipo de interruptores son: la tensión de corrimiento a la salida (en este caso $10 \mu\text{V}$), la corriente de fuga I_f , inestabilidad térmica, entrecruzamiento de canales ("crosstalk"), capacitancia entre canal y tierra y la resistencia serie de cada canal.

En los interruptores analógicos de tecnología CMOS, la corriente de fuga es producida por los diodos de juntura en inversa entre fuente y sustrato y drenaje y sustrato (figura 3.2.11). En el caso de los multiplexores analógicos CD4051 y CD4052, esta corriente puede variar entre 0.00001 y $1 \mu\text{A}$ en su intervalo de temperatura de operación (-40 a $85 \text{ }^\circ\text{C}$) (17).

La tensión de corrimiento no afecta el sistema de adquisición, debido a que la señal ya ha sido preamplificada, sin embargo la resistencia de encendido (que en este caso puede variar entre 80 y 300Ω con una tensión de polarización $V_{DD} - V_{EE} = 16 \text{ V}$) puede afectar las etapas de filtrado y ganancia a la salida del multiplexor.

La capacitancia en cada entrada del multiplexor analógico y la resistencia de salida de los amplificadores operacionales TL074 sumada a la resistencia serie del multiplexor, funcionan como filtro paso altas con una constante de tiempo proporcional al número de canales del multiplexor (N_c). Este tiempo es el que le toma a la salida del multiplexor seguir la tensión de entrada de un

canal y tiene un valor:

$$\tau = N_c C (R_s + R_{om})$$

$$\tau = (8)(7.5 \times 10^{-12})(5 + 300) = 18.3 \text{ ns}$$

Donde R_s es la resistencia de salida del amplificador operacional (5 Ω típica), R_{om} es la resistencia serie máxima del canal seleccionado, y C es la capacitancia máxima de cada entrada del multiplexor (valor típico entre 5 y 7.5 pF) (17).

Esta constante de tiempo limita el ancho de banda del sistema a una frecuencia de 54 MHz, que es una frecuencia mucho mayor a la que nos limita el amplificador operacional, incluso con ganancia unitaria, por lo que se pueden despreciar los efectos de la capacitancia parásita y la resistencia serie del multiplexor en la respuesta en frecuencia del sistema.

Otros efectos como el cruce entre canales y la linealidad de respuesta del multiplexor a diferente tensión de entrada son descritos por el fabricante para condiciones de funcionamiento específicas (tensión de polarización, impedancia de la fuente, carga, etc.), por lo que se medirán, junto a otras no linealidades de otros elementos del circuito (filtros, amplificadores), al evaluar el funcionamiento del sistema.

3.2.6 ETAPAS DE FILTRADO

La utilización de etapas de filtrado de primer orden para limitar el ancho de banda del sistema se debe a que el médico está acostumbrado a la observación de electrocardiogramas obtenidos en sistemas de adquisición realizados con filtros de primer orden (pendiente de atenuación de 20 dB/década), y sólo en trabajos de investigación se requieren filtros de más alto orden.

El filtro paso altas tipo RC conectado a la salida del multiplexor analógico que selecciona la derivación electrocardiográfica deseada, es ajustado por medio de un potenciómetro a la frecuencia de corte normalizada para ECG (0.01 Hz).

La ecuación de respuesta en frecuencia de éste filtro es:

$$H(s) = \frac{R}{R + 1/sC}$$

con la resistencia del multiplexor analógico sumada a la resistencia de salida del amplificador operacional $R_i = R_{om} + R_s$;

$$H(s) = \frac{R}{Ri + R + 1/sC}$$

Para no afectar la constante de tiempo del filtro con las variaciones de resistencia del multiplexor analógico y las diferencias entre las resistencias de salida de los amplificadores operacionales, es necesario escoger un valor de R mayor a éstas. Así, para un capacitor de 23.5 μ F (dos capacitores de 47 μ F en serie para permitir el paso de señales bipolares) se requiere una resistencia R de:

$$R = \frac{1}{2\pi f C} = \frac{1}{2(\pi)(0.01)(0.0000235)} = 677.255 \text{ K}\Omega$$

Un cambio en la resistencia de entrada de 80 a 300 Ω (valor máximo que puede cambiar la resistencia serie del multiplexor analógico), sólo cambia la frecuencia de corte a 0.009995 Hz, es decir una diferencia de 0.045 % del valor original, lo cual no es apreciable.

A la salida de este filtro paso altas, un multiplexor CD 4052 selecciona, de acuerdo al programa de aplicación (escritura al puerto 306-H), la habilitación o no de un filtro de rechazo de banda tipo ranura ("notch") a 60 Hz. Este filtro es utilizado cuando el médico no puede observar con claridad las componentes de la señal electrocardiográfica debido a la tensión de ruido de la línea, introducida por el paciente o los electrodos al sistema.

La característica principal de este filtro es la de rechazar la frecuencia de corte en un ancho de banda muy pequeño (6 Hz máximo en este diseño). El ruido proveniente de la línea de alimentación de la computadora, la iluminación y cualquier otro equipo conectado a ésta, es el que en mayor magnitud puede afectar la medición por ser el de mayor amplitud.

En la figura 3.2.13 se muestra el filtro de ranura tipo "T" simétrica utilizado. Debido a que el factor de calidad y el ancho de banda del filtro dependen en forma crucial de los componentes utilizados (resistores, capacitores y potenciómetros), el sistema debe ser probado para obtener la respuesta deseada. En este caso fue necesaria la utilización de dos etapas de filtrado para obtener un rechazo a la frecuencia central (60 Hz) de 56.71 dB.

El circuito está realimentado positivamente para la obtención de un factor de calidad mayor al que se obtiene con otros circuitos (pasivos y multi-etapa) (31).

La ecuación de respuesta en frecuencia del filtro de ranura mostrado en la figura 3.2.13, es la siguiente (31):

$$H(s) = \frac{s^2 + \omega_0^2}{s^2 + 4 \omega_0 (1 - K) s + \omega_0^2}$$

Donde, ω_0 es la velocidad angular de corte del filtro de ranura ($\omega_0 = 1 / R_1 C$) y K es el multiplicador que determina la relación de valores en la resistencia R (ver figura 3.2.13). El valor de K está relacionado con el factor de calidad del filtro de acuerdo a la siguiente ecuación:

$$Q = \frac{1}{4(1 - K)}$$

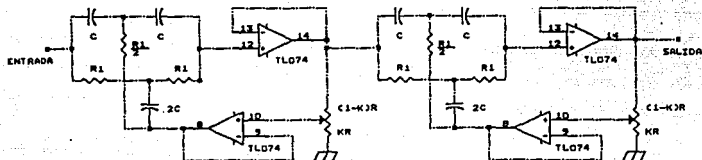


FIG 3.2.13

Como se puede observar, el factor de calidad y el ancho de banda del filtro dependen de la tolerancia y precisión de los componentes utilizados en su construcción. En este caso se utilizaron capacitores de poliester (por su estabilidad térmica) y resistores de carbón (cuyo valor se ajustó al requerido).

La función de transferencia utilizada para cada etapa del filtro es la siguiente:

$$H(s) = \frac{s^2 + 142.12 \times 10^3}{s^2 + 18.8496 s + 142.12 \times 10^3}$$

Donde el factor de calidad $Q = 20$, la constante $K = 0.9875$ y el ancho de banda es de 3 Hz ($\alpha - 3$ dB), para cada filtro. La figura 3.2.14, muestra la respuesta en frecuencia, en magnitud y fase (diagrama de Bode) de cada filtro construido.

Como se puede observar en la función de transferencia del filtro, cuando el valor de K es igual a 1 el sistema es inestable (ya que el factor de calidad tiende a infinito). Sin embargo, con la selección de un valor K adecuado, se puede obtener un rechazo de banda de hasta 60 dB (31) sin problemas por inestabilidad del sistema.

Al juntar las dos etapas, el ancho de banda aumenta a 6 Hz ($\alpha - 3$ dB), el rechazo a la frecuencia de corte se duplica (56.71 dB), y el factor de

calidad permanece constante.

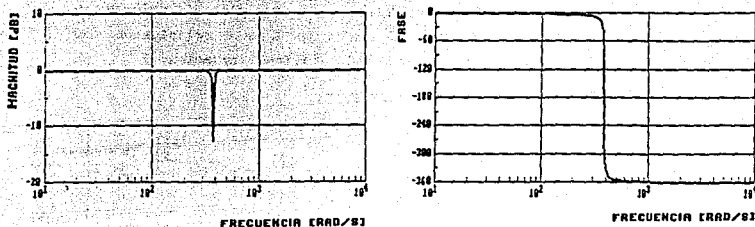


FIG 3.2.14

La última etapa de filtrado, que limita la respuesta en frecuencia del electrocardiógrafo a 100 Hz, consiste en un filtro RC paso bajas de primer orden, realizado con un potenciómetro de ajuste fino y un capacitor con tolerancia de 1 % (Tungsteno).

El valor de la resistencia R para un capacitor C de 4.7 nF (en paralelo a la capacitancia parásita a la entrada del amplificador operacional de 200 pF) y una frecuencia de corte de 100 Hz es de

$$R = \frac{1}{2 \pi f C} = \frac{1}{2(\pi)(100)(4.9 \times 10^{-8})} = 324.8 \text{ K}\Omega$$

El valor final al que se ajustó la resistencia tomando en cuenta la resistencia de salida del multiplexor analógico (80 Ω) y del amplificador operacional (5 Ω) fue de: R = 324.7 K Ω .

Con una variación máxima de 300 Ω en la resistencia serie del multiplexor, la frecuencia de corte del filtro cambia a: 99.935 Hz. Este valor representa un 0.01 % del valor de la frecuencia de corte especificada por lo que, no es apreciable.

La salida del filtro alimenta la entrada no inversora de un amplificador operacional (etapa de ganancia programable), que no es afectada por la resistencia serie del circuito.

3.2.7 AMPLIFICADOR DE GANANCIA PROGRAMABLE

La última etapa de acondicionamiento para la señal ECG consiste en un

amplificador en configuración no inversora de ganancia programable (véase figura 3.2.15).

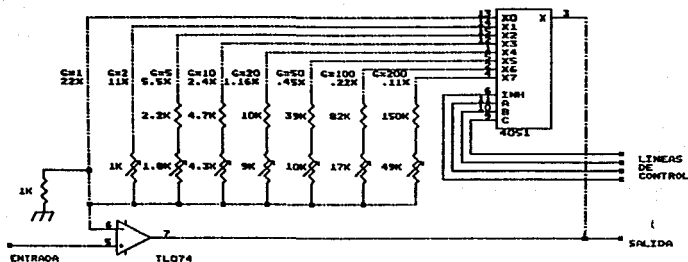


FIG 3.2.15

Para una tensión de entrada máxima de 10 Vpp al convertidor A/D, y debido a que el electrocardiógrafo puede recibir una señal diferencial de hasta 10 mV en cualquier derivación, la ganancia mínima requerida por el sistema es igual a 1000. Esta ganancia se obtiene con el preamplificador de entrada (cuya ganancia es 500) y el amplificador de aislamiento (cuya ganancia es 2).

Este amplificador contiene un multiplexor analógico CD 4051, que, controlado por el programa de aplicación, selecciona la resistencia de realimentación del circuito. La siguiente figura muestra el amplificador de ganancia programable así como los valores de resistencia fijados (por medio de potenciómetros), para obtener la ganancia señalada y el porcentaje que se puede afectar la ganancia por variaciones en la resistencia del multiplexor analógico.

Para calibrar la ganancia del sistema ECG, se seleccionó la ganancia unitaria de esta etapa y se ajustó la ganancia de los preamplificadores de entrada para obtener a la entrada del convertidor A/D una ganancia $G_T = 1000$. Esta operación permitió compensar la resistencia de encendido del interruptor analógico para un mínimo error en el sistema (esta prueba se realizó con una tensión de entrada de 10 mV a una temperatura ambiente de 20°C). Una vez calibrada la ganancia unitaria se ajustaron los valores de la resistencia para las otras escalas.

3.3 CIRCUITO PARA LA MEDICIÓN DE TEMPERATURA

3.3.1 TRANSDUCTOR AD 590 [32]

El circuito integrado de la marca *Burr Brown*, AD-590, consiste en un transductor temperatura/corriente de dos terminales. Este dispositivo al polarizarse con una tensión entre 4 y 30 V, produce una salida de $1 \mu\text{A}/\text{K}$.

El circuito está calibrado de fábrica para entregar una corriente de $298.2 \mu\text{A}$ a 298.2 K ($25 \text{ }^\circ\text{C}$).

El intervalo de temperatura que puede medir es entre -55 y $150 \text{ }^\circ\text{C}$. La figura 3.3.1 muestra el circuito equivalente del sensor.

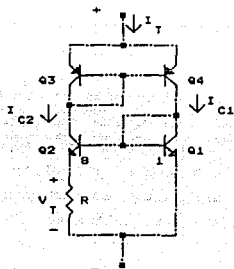


FIG 3.3.1 [21]

Considerando que los transistores tienen un comportamiento perfecto, el espejo de corriente formado por Q_3 y Q_4 divide la corriente de entrada I_T en dos componentes iguales, I_{C1} e I_{C2} . El transistor Q_2 consiste en 8 transistores exactamente iguales a Q_1 conectados en paralelo, por lo que la corriente de colector en Q_1 es ocho veces mayor a la de Q_2 . La diferencia entre la tensión base-emisor V_{BE} de dos transistores idénticos con diferente corriente de colector es proporcional a la temperatura absoluta, ya que k (constante de Boltzmann) y q (carga del electrón) no varían. Esta tensión puede ser medida en el resistor R , el cual es ajustado para obtener la tensión deseada. Así la diferencia entre las tensiones V_{BE1} y V_{BE2} es:

$$V_T = V_{BE1} - V_{BE2} = \frac{k T}{q} \ln \left(\frac{8 I_2}{I_1} \right) = 179 \times 10^{-6} (T) \text{ V}$$

Como la tensión en el resistor R es proporcional a la temperatura absoluta

T , la corriente que circula por él también lo es, y estando definido por Q_3 y Q_4 que $I_{c2} = I_T / 2$, para un valor de resistencia $R = 358 \Omega$:

$$I_T / T = 1 \mu A / K$$

Las principales características y las curvas de operación del dispositivo, se evalúan a continuación (32).

El AD-590 al ser polarizado con una tensión de 15 V tiene un rechazo a variaciones en la fuente máximo de $.2 \mu A/V$. Este error no es apreciable al utilizar el convertidor CD/CD porque la tensión de rizo en éste no afecta en un LSB la lectura del convertidor A/D.

El error en calibración máximo es de $1 \text{ }^\circ C$ a una temperatura ambiente de $25 \text{ }^\circ C$, y puede ser minimizado con un circuito convertidor de corriente a tensión.

La curva de corriente de salida contra temperatura del sensor (32), muestra que la respuesta del transductor no es lineal y puede presentarse un error máximo de $0.8 \text{ }^\circ C$ en todo el intervalo de medición (-55 a $150 \text{ }^\circ C$), sin embargo éste error se reduce al acotar el intervalo de medición del dispositivo y calibrar en los dos extremos de medición.

El tiempo de respuesta del dispositivo en diferentes medios puede variar dependiendo de las características de los mismos y del contacto térmico con el encapsulado del sensor.

Del mismo modo, el medio térmico en el que se utiliza el sensor determina el efecto de autocalentamiento en el dispositivo. La siguiente tabla muestra algunos valores típicos de periodo de respuesta (hasta alcanzar un 63.2% de la temperatura de entrada) para diferentes medios (32).

MEDIO	τ s
BLOQUE DE ALUMINIO	0.1
ACEITE EN MOVIMIENTO	0.6
AIRE EN MOVIMIENTO (9 pies/s)	1.0
AIRE EN REPOSO	30.0

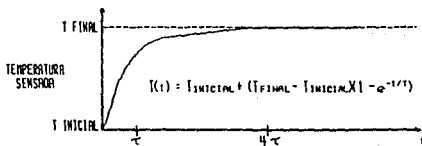


FIG 3.3.2

El tiempo de respuesta típico de éste sensor es menor al de otros sensores comerciales (LM35, LM335, LM3911) en encapsulado plástico, ya que para aire en reposo estos dispositivos tienen una constante τ entre 1 y 2 minutos, además, la exactitud típica de estos sensores varía entre 1 y $1.5 \text{ }^\circ C$ (16).

3.3.2 ACONDICIONAMIENTO DE LA SEÑAL DEL TRANSDUCTOR

El circuito utilizado para la calibración y amplificación de la señal de corriente proveniente del sensor (que puede variar entre 218.2 y 423.2 μA para el intervalo máximo de temperatura) se muestra en la siguiente figura:

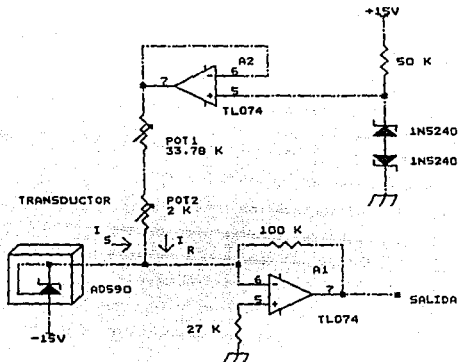


FIG 3.3.3

El circuito consiste en un convertidor de corriente a tensión basado en el amplificador operacional A1. Los resistores en su entrada inversora suman la corriente proveniente del sensor de temperatura AD-590 (I_s en la figura 3.3.3) y la corriente de referencia (I_R en la figura 3.3.3). El resistor de realimentación produce la ganancia del circuito.

En el circuito que produce la corriente de referencia, un resistor de 50 $\text{K}\Omega$ alimenta un par de diodos zener 1N5240 ($V_z = 10 \text{ V}$) en "anti-serie", que regulan la tensión entregada al seguidor de tensión (10.2 V al amplificador A2 en la figura 3.3.3) contra variaciones en la temperatura ambiente. La utilización de un diodo zener en directa y otro en inversa cancela la respuesta contra temperatura de cada diodo con la del otro (pues son inversas), obteniéndose una referencia de tensión confiable en el intervalo de operación del sistema (10 a 50 $^{\circ}\text{C}$).

El seguidor de tensión A2 se utilizó para alimentar, a través de una resistencia de salida fija (5 Ω) la resistencia de calibración (33.77 $\text{K}\Omega$), que forma la referencia de corriente del sensor. La resistencia de

calibración (P_3 en la figura 3.3.3), está conectada en serie a un resistor de ajuste fino (P_4 de la figura 3.3.3) que permite una calibración máxima de $+ 8.19$ y $- 8.87$ °C alrededor de la temperatura de referencia.

La resistencia de $100 \text{ K}\Omega$ de realimentación de A_1 convierte la corriente de entrada ($1 \mu\text{A/K}$) en la tensión de salida (0.1 V/K) deseada.

La resistencia P_3 se ajusta para que la corriente de entrada al convertidor de corriente a tensión a 20°C sea de $0 \mu\text{A}$ (para obtener a la salida de A_1 una tensión de 0 V). Esto se realizó para cubrir un intervalo de temperatura máximo entre 20 y 45 °C (ya que el amplificador de aislamiento tiene una ganancia de tensión $G = 2$).

El resistor de realimentación de A_1 se eligió de precisión (tolerancia de 1%) para obtener una ganancia exacta.

3.4 MEDICIÓN DE FRECUENCIA CARDÍACA

3.4.1 CIRCUITO UTILIZADO

La figura 3.4.1 muestra el circuito utilizado para la medición de la señal pletismográfica.

El sistema contiene dos LEDs infrarrojos LTE-4208 y un fotodetector LTR-4208 montados en un dispositivo mecánico que permite obtener un ángulo de reflexión entre emisor y receptor adecuado (aproximadamente 140° entre focos), para medir las variaciones en el flujo de sangre de un vaso sanguíneo cercano a la piel. Experimentalmente se pudo comprobar que la amplitud de la señal obtenida en el receptor depende de la potencia emitida por el emisor, el ángulo entre receptor y emisor y la localización del sensor con respecto al vaso sanguíneo.

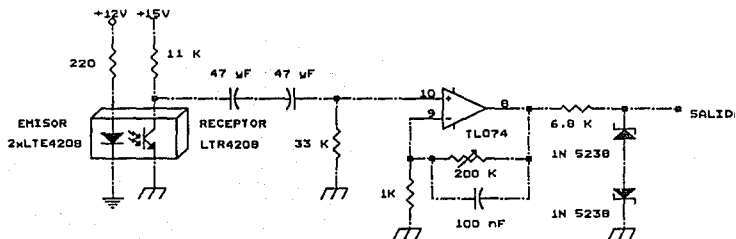


FIG 3.4.1

El LED infrarrojo consume una corriente de 48 mA con una potencia de 55 mW (aunque puede emitir hasta 100 mW) y tiene un ángulo de distribución óptimo de 20° con respecto al foco.

Se debe tomar en cuenta que la corriente máxima que puede suministrar el convertidor CD/CD es de 167 mA (14), por lo que, el consumo de corriente de los LEDs infrarrojos le representaría una carga del 55 %. Por esta razón se prefirió polarizar al LED infrarrojo con la fuente de alimentación de la computadora de + 12 V. Esto no disminuye el aislamiento del sistema ya que se tiene un acoplamiento óptico entre emisor y receptor.

En el sistema receptor se cuenta con un foto-transistor LTR-4208 que, a una temperatura de 25°C , requiere una corriente de colector $I_{CQ} \approx 1 \text{ mA}$ para

su funcionamiento en la región activa, con una tensión colector emisor $V_{CEQ} = 5 \text{ V}$.

La señal pletismográfica se obtiene en el colector del foto-transistor sobre una componente de CD, que es rechazada por el filtro paso altas formado por los capacitores y la resistencia a la salida del colector del transistor (véase figura 3.4.1). Este filtro de primer orden tiene una frecuencia de corte de 0.205 Hz, que permite pasar al amplificador las componentes pletismográficas de mayor densidad espectral [22]. La frecuencia de corte de éste filtro no es tan crucial como en el ECG pues la señal pletismográfica se utilizará únicamente para cuantificar la frecuencia cardíaca. Un capacitor de 100 nF en paralelo al resistor de realimentación permite filtrar, en paso bajas, la señal de entrada a 15 Hz.

El amplificador operacional en configuración no inversora conectado a la salida del filtro permite obtener la señal pletismográfica en el convertidor A/D con una tensión del orden de 3 V_{PP} (la amplitud de la señal depende de la localización de los vasos sanguíneos en la mano del paciente y la colocación del sensor). La ganancia de tensión del circuito es de $G = 121$.

3.5 CIRCUITOS DE AISLAMIENTO

3.5.1 OPTOACOPLADORES

Los optoacopladores TIL-111 (U15 y U22 a U25 en la figura 2.5.3) fueron utilizados para aislar las señales digitales provenientes del registro de tres estados 74LS374 (U21 en la figura 2.5.3). El 74LS374 (U21) habilita la información del bus de datos al escribir por medio del programa de aplicación al puerto 306-H. La información transmitida es almacenada en unos registros de corrimiento CD4015 en la tarjeta externa a la microcomputadora para controlar los multiplexores analógicos CD4051 y CD4052.

Este tipo de optoacopladores constan de un LED infrarojo a su entrada y un fototransistor a la salida. El LED requiere una corriente mínima de 10 mA para conducir en directa, por lo que puede ser controlado directamente por el 74LS374 con una resistencia de 220 Ω en serie a su salida (la salida del 74LS374 puede conducir una corriente máxima $I_{os} = 130$ mA)(10).

La resistencia de 220 Ω hace circular una corriente en el LED emisor $I_f = 16.6$ mA, que produce una corriente I_c en el transistor de salida de 20 mA (33). Para saturar el transistor de salida, al encender el LED, se colocó una carga de 10 K Ω entre el colector y la fuente de polarización de + 8 V.

En el colector del optoacoplador se registran los niveles lógicos que controlan los registros de corrimiento CD4015.

Esta etapa soporta una tensión pico máxima de aislamiento entre entrada y salida de 7500 V.

3.5.2 CONVERTIDOR CD/CD

El convertidor CD/CD regulado (PWR 711) es utilizado para alimentar la tarjeta de acondicionamiento de señal externa a la microcomputadora. Este circuito, que está conectado a la fuente de + 12 V de la PC, proporciona una tensión de ± 15 V aislada del circuito que lo alimenta (y por lo tanto de la tierra física del sistema).

Un convertidor CD/CD contiene un circuito como el mostrado en la figura 3.5.1. La fuente de poder de la PC polariza un oscilador (en este caso de 10 KHz) que controla un circuito de potencia basado en un convertidor CD/CA. Este circuito, que opera con dispositivos semiconductores de potencia (SCR's, TBJ's o MOSFET's) produce una tensión alterna para alimentar el transformador de aislamiento.

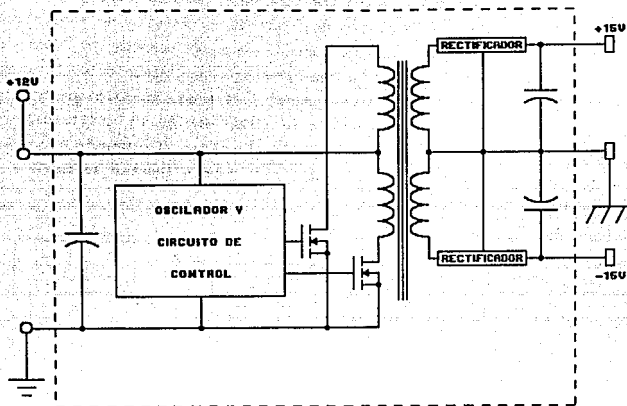


FIG 3.5.1

Este transformador, produce a su salida una tensión inducida, aislada de la de entrada, que es rectificadora, filtrada y regulada para producir una tensión de ± 15 V de salida. Con esta tensión, en la tarjeta de acondicionamiento de señal, se alimentan dos reguladores de tensión para obtener una fuente de ± 8 V.

El convertidor CD/CD tiene un porcentaje de regulación a plena carga de 0.04 %, pudiendo soportar una carga máxima de 167 mA con una corriente de entrada de 535 mA. De acuerdo a las especificaciones del fabricante, la tensión de ruido y rizo producida a su salida abarca un ancho de banda de 10 MHz y es del orden de 30 mVPP (14).

Sin embargo, en la etapa de pruebas del sistema se llegaron a medir tensiones de ruido a la salida del convertidor CD/CD de hasta 40 mVPP en un ancho de banda de hasta 66 MHz, aunque principalmente se presentaron señales de ruido tipo ("burst") en 10 KHz. Para reducir la tensión de ruido en el sistema se colocaron capacitores de rechazo a baja y alta frecuencia en su entrada y salida, y se conectó un filtro LC a su entrada, cuya función se explicará en la parte V de este trabajo.

La ficha técnica del PWR 711 (14), indica que puede operar en un intervalo

de temperaturas entre -25 y 85°C , con una tensión de entrada entre 11 y 15 V.

Algunas técnicas para la reducción de ruido en un sistema de adquisición de señales están relacionadas con la forma en que se conecta la fuente de poder al circuito, por ejemplo: la forma en que se distribuye la carga (separando los amplificadores de alta ganancia, filtros, acondicionadores de señal, circuitos de control con tecnología CMOS, etc.), la utilización de varios retornos a tierra y el evitar lazos de tierra en el circuito impreso.

La figura 3.5.2 muestra el circuito utilizado para alimentar la tarjeta de acondicionamiento de señal.

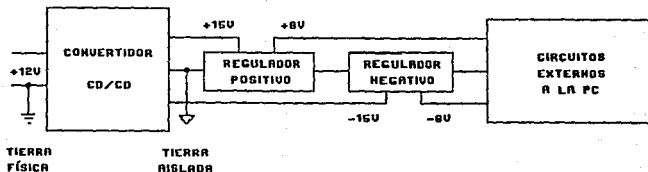


FIG 3.5.2

Como se observa en la figura 3.5.2, se utilizaron dos reguladores de tensión (MC 7808 y MC 7809) para disminuir la tensión de alimentación del sistema a ± 8 V. Esta reducción de la tensión de la fuente es debido a que los multiplexores analógicos de tecnología CMOS utilizados para el acondicionamiento de señal, soportan en configuración bipolar una tensión de polarización máxima de ± 9 V (17).

La tensión máxima de aislamiento entre entrada y salida es de 1000 Vcd o 3000 Vp a 60 Hz durante 1 minuto. Este dispositivo cumple con las normas de aislamiento norteamericanas UL544, VDE750 y CSA C22.2, para su aplicación en equipo biomédico y se encuentra blindado para disminuir la interacción electromagnética con el sistema al que se conecte. Sin embargo, el circuito presenta una corriente de fuga de 30.5 μA ms al aplicarle una tensión de 133.8 V y 60 Hz (por tener una capacitancia y resistencia de aislamiento de 170 pF y 10 G Ω respectivamente), por lo que no cumple con la norma de aislamiento para electrocardiógrafos que limita la corriente de aislamiento de cualquier electrodo a tierra física de 20 μA (véase parte I). En la parte IV de este trabajo se describen las pruebas de aislamiento realizadas.

3.5.3 AMPLIFICADOR DE AISLAMIENTO

La función principal de un amplificador de aislamiento es la de transmitir una señal entre dos circuitos aislando galvánicamente el uno del otro. El aislamiento se produce a través de un medio no conductor (óptico, ultrasónico, electromagnético, etc.). Los amplificadores de aislamiento opto-electrónicos y electromagnéticos son los dispositivos más económicos que pueden ser utilizados para aplicaciones que requieren la medición exacta de señales entre CD y 250 KHz, con una razón de rechazo en modo común de hasta 140 dB, o para señales transmitidas a través de medios sin suficiente protección contra ruido [14].

En este caso fue utilizado un amplificador de aislamiento acopiado por transformador, por tener una respuesta de ganancia lineal en el ancho de banda de operación, a diferencia de la mayoría de los circuitos optoacoplados, que son utilizados en aplicaciones donde se requiere un ancho de banda más amplio y donde la linealidad de la ganancia del amplificador no es muy importante (amplificadores de aislamiento optoacoplados como el MOC5010 de Motorola tienen un ancho de banda de 250 KHz y pueden ser utilizados en sistemas de adquisición con convertidor de 6 u 8 bits).

La figura 3.5.3 muestra un diagrama interno del amplificador de aislamiento 3656 de la compañía norteamericana Burr Brown [14]. Como se puede observar, contiene etapas de amplificación en su entrada y salida, y terminales para el ajuste de tensión de corrimiento.

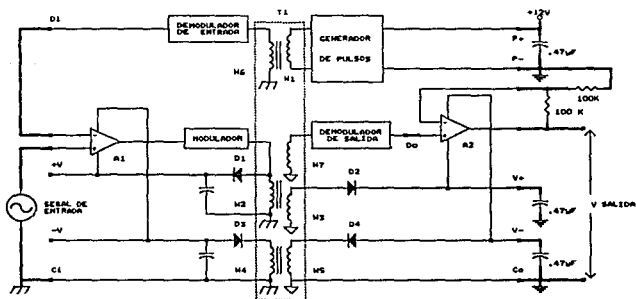


FIG 3.5.3 [14]

Este amplificador soporta una tensión máxima de aislamiento (entre las terminales de tierra de entrada y salida) de 8000 V y tiene una corriente de fuga máxima de 0.5 μ A al aplicarle 120 V a 60 Hz entre entrada y salida, por lo que cumple con las normas norteamericanas UL 544 y SWC para su utilización en electrocardiógrafos (14).

El circuito mostrado tiene en su etapa de salida, una ganancia $G = 2$ (fijada por el potenciómetro RA2), que sirve para cubrir todo el intervalo de tensión de entrada del convertidor A/D, ya que la tensión máxima que pueden manejar los moduladores y demoduladores de entrada (para un comportamiento lineal) es $5 V_{pp}$.

El aislamiento del circuito de entrada y su fuente de poder, está basado en un transformador en forma de toroide con múltiples embobinados. Un oscilador operando a 750 KHz produce una señal que es utilizada en dos partes por el circuito; una parte de la tensión, inducida en los embobinados W_2 a W_5 es rectificadora por los diodos D_1 a D_4 para producir dos fuentes aisladas de energía (aislamiento de tres puertos en las salidas + V, - V y V_+ , V_-).

Las salidas + V y - V alimentan el circuito de entrada. La otra parte de la señal proveniente del oscilador, es modulada con la señal de entrada por el circuito que alimenta el embobinado W_2 del transformador T_1 . La señal modulada es acoplada por los embobinados W_6 y W_7 del transformador a dos demoduladores iguales, uno en la etapa de entrada y otro en la de salida, produciendo señales iguales a su salida (con respecto a su propia referencia de tensión).

En el circuito de entrada el amplificador A_1 , el modulador y el demodulador de entrada están conectados en realimentación negativa para forzar a que la tensión a la entrada inversora de A_1 (terminal 6) sea igual a la tensión aplicada a la entrada no inversora (terminal 7).

El demodulador de salida conectado al embobinado W_7 del transformador produce una tensión (en la terminal 15), igual a la del demodulador de entrada, en este caso con respecto a la terminal 17. Ambos demoduladores (de entrada y salida) tienen una impedancia de salida de 100 $K\Omega$ por lo que para evitar un error significativo por la diferencia de impedancias en las entradas del amplificador operacional, la resistencia que se debe presentar a cualquiera de estas entradas debe ser de 100 $K\Omega$. Así, para A_2 :

$$R_{A2}/R_{A1} = 100 K\Omega$$

Y dado que para un amplificador no inversor la ganancia es:

$$G = 2 = 1 + \frac{RA2}{RA1}$$

Con $RA1 = 220 \text{ K}\Omega$, $RA2 = 180 \text{ K}\Omega + 40 \text{ K}\Omega$. Esta última resistencia se obtiene con un potenciómetro de $100 \text{ K}\Omega$ en serie al resistor de $180 \text{ K}\Omega$, con el que se ajusta la ganancia.

El amplificador de aislamiento debe protegerse para no recibir a su entrada una tensión mayor a la de polarización del amplificador operacional a la entrada; para éste efecto, se conectaron diodos en inversa $D1$ y $D2$ (1N4148) a las fuentes de alimentación.

Por especificaciones del fabricante es recomendable el uso de capacitores de desacoplo de $0.47 \mu\text{F}$ en las entradas y salidas de polarización.

Aunque no existen en las especificaciones del dispositivo curvas de tensión de corrimiento contra tensión de polarización, se especifica que para una tensión de polarización de $+15 \text{ V}$ y ganancia unitaria la tensión de corrimiento varía entre 2 y 20 mV . En este caso se polarizó el circuito con la fuente de $+12 \text{ V}$ de la PC, obteniéndose una tensión de corrimiento a $25 \cdot C$ menor a 1 bit menos significativo del convertidor A/D (2.44 mV), por lo que se consideró innecesario utilizar un circuito de ajuste.

Otras especificaciones de importancia en el diseño son:

- 1) Alinealidad máxima en ganancia de 0.1%
- 2) Tensión de ruido de entrada para el intervalo de frecuencia de interés (0.01 a 100 Hz) es de $5 \mu\text{VPP}$ (que en esta etapa, por la amplitud de las señales de entrada, es despreciable).
- 3) Para una ganancia $G = 2$ en la etapa de salida, se puede tener una respuesta en frecuencia lineal (en ganancia y fase) hasta de 5 kHz .

Finalmente, el amplificador de aislamiento por basar su funcionamiento en un acoplamiento electromagnético es una fuente de interferencia para los circuitos que lo rodean a menos que sea blindado adecuadamente. En el caso del 3656 se recomienda el uso de un blindaje comercial como el 100MS de Burr Brown (14).

3.6 FUNCIONAMIENTO DEL SISTEMA ANALÓGICO

3.6.1 TARJETA DE ACONDICIONAMIENTO DE SEÑALES

La siguiente figura muestra un diagrama de bloques de la tarjeta de acondicionamiento de señales externa a la microcomputadora.

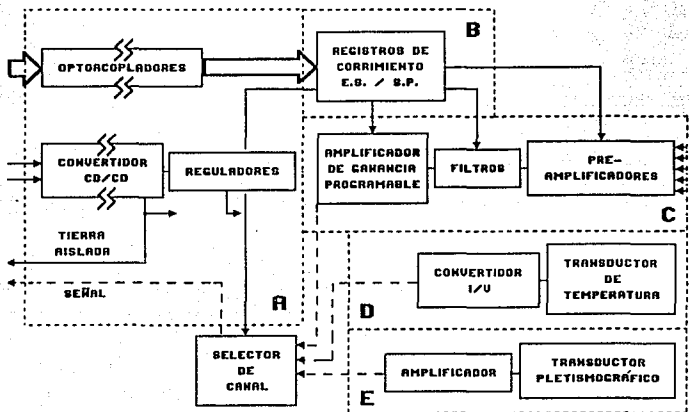


FIG 3.6.1

El bloque A representa las señales de entrada y salida que conectan la tarjeta de adquisición de señales con la de acondicionamiento de señal. También contiene los circuitos que aíslan un sistema de otro (optoacopladores para señales digitales, amplificador de aislamiento para señales analógicas y el convertidor CD/CD como fuente de poder). En este caso, por la disponibilidad de espacio en la tarjeta de adquisición, el amplificador de aislamiento y los optoacopladores se encuentran en la tarjeta interna a la microcomputadora y el convertidor CD/CD en la tarjeta externa.

El bloque B contiene los registros de corrimiento (entrada serie / salida paralelo) utilizados para seleccionar los diferentes canales de entrada de los multiplexores analógicos.

En el bloque C se tiene el circuito de acondicionamiento para la señal electrocardiográfica, el bloque D representa el circuito utilizado para el

transductor de temperatura y el bloque E introduce la señal del fotopletismógrafo.

La siguiente figura muestra las señales que conectan ambas tarjetas y la figura 3.6.3 muestra el circuito completo de la tarjeta externa a la microcomputadora.

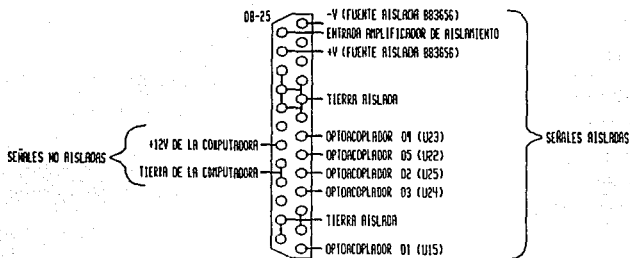


FIG 3.6.2

Al activarse por medio del programa de aplicación el puerto de escritura 306-H, los optoacopladores U22 a U25 (en la figura 2.5.3), reciben la información procedente de los cuatro bits menos significativos del bus de datos de la PC. Esta información es transferida a la tarjeta externa a la microcomputadora y recibida por tres registros de corrimiento entrada serie / salida paralelo CD 4015 (U26 y U27) que se pueden observar en el bloque B.

La información transferida a estos registros, controla las líneas digitales de selección, de los multiplexores analógicos (U31 a U34), es decir, los multiplexores analógicos que seleccionan el canal de ECG, la utilización o no del filtro de ranura, la ganancia del amplificador programable, y la variable médica que se desea observar.

El bit menos significativo de la palabra de control es siempre 1 pues se utiliza para activar la señal de reloj de los registros de corrimiento con un retraso típico de 120 ns. Este retraso se obtiene a la salida del bit menos significativo del registro de carga, por medio de un seguidor de tensión CMOS CD 4050 que alimenta el optoacoplador U22 de la figura 2.5.3.

La salida del optoacoplador U15 (figura 2.5.3) está conectada a la señal \overline{CL} de los registros de corrimiento utilizados, para limpiar la información cargada en ellos al reprogramar el sistema a través del puerto 305-H.

No

Existe

Página

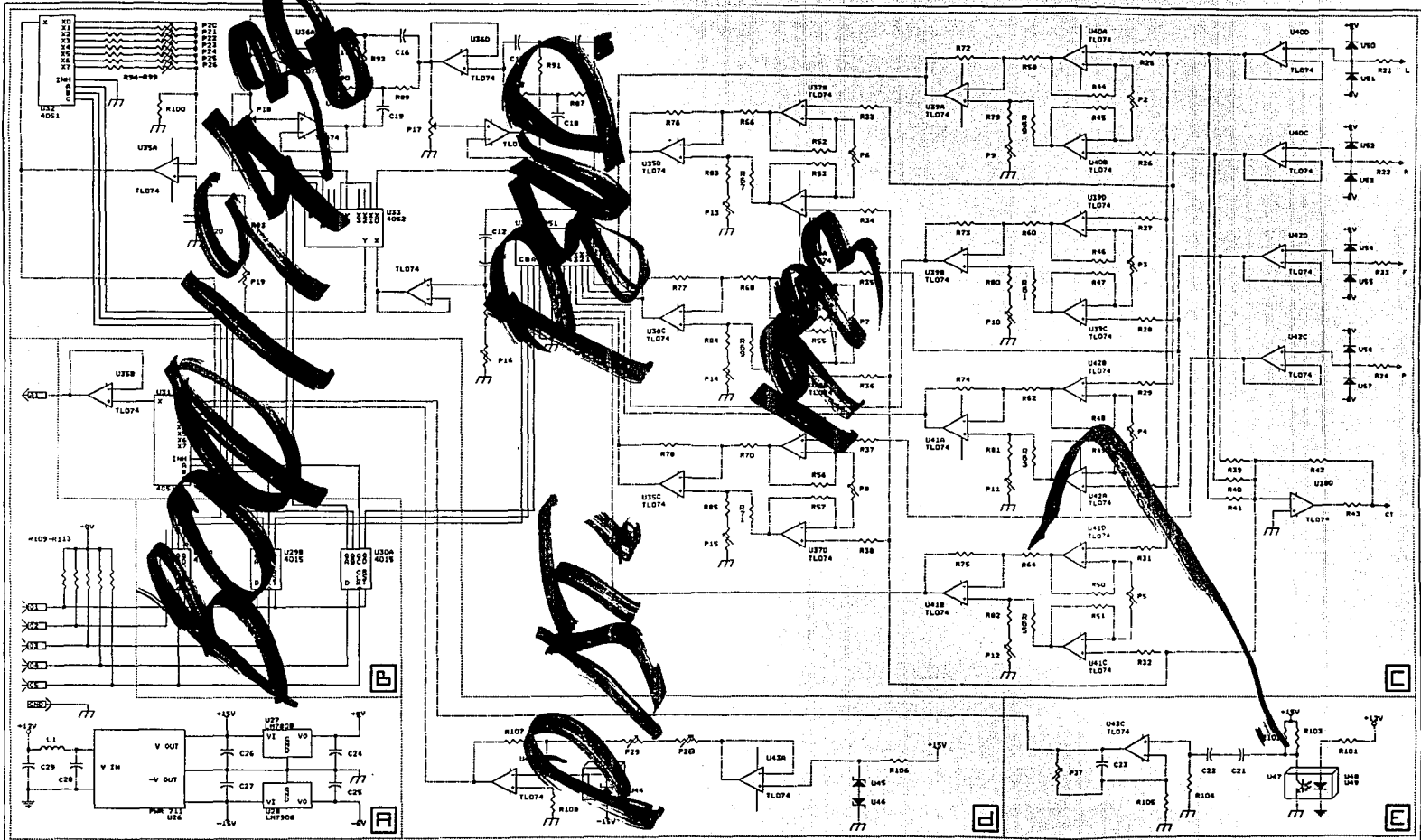


FIG. 8-13

PARTE IV

FUNCIONAMIENTO Y PRUEBAS DEL SISTEMA DESARROLLADO

Esta parte describe el procedimiento para la instalación y uso del programa de aplicación del sistema.

En los apartados relacionados con las pruebas del sistema, se resaltan las siguientes características de la parte digital del prototipo:

1. Pruebas realizadas en diferentes tipos de computadora,
2. Operación a diferente frecuencia de muestreo,
3. Sincronización con el programa de aplicación.

Para la parte analógica:

1. Respuesta en frecuencia,
2. Linealidad de respuesta,
3. Ruido y razón de rechazo en modo común,
4. Pruebas de aislamiento.

Finalmente, se describe la construcción de los circuitos impresos, y las pruebas de campo del sistema.

4.1 DESCRIPCIÓN DEL SISTEMA

4.1.1 FUNCIONAMIENTO DEL PROTOTIPO

Para la instalación del sistema de adquisición de datos en una microcomputadora personal, es necesaria la realización de los siguientes pasos:

1. El canal 1 de acceso directo a memoria en la PC no debe estar ocupado por otra tarjeta. En caso necesario, quitarla o cambiar al canal 3 de DMA.
2. Instalar la tarjeta de adquisición en una ranura de expansión tipo ISA (8 bits) de la microcomputadora,
3. Conectar la tarjeta de acondicionamiento de señal (externa a la microcomputadora), por medio del cable de señal,
4. Colocar el equipo en un lugar cercano al paciente y que permita comodidad al usuario,
5. Asegurarse de que existe el programa "GRAPHICS.COM" del sistema operativo y que corresponda a la impresora a utilizar,
6. En la unidad de disco a utilizar (duro o flexible), deben existir los siguientes programas:

TADQ.BAT,
ECGNOM.EXE,
MED.EXE.

7. Desde el sistema operativo MS-DOS (versión 2.11 en adelante), ejecutar el programa "TADQ.BAT". Este programa ejecuta secuencialmente los programas: "GRAPHICS.COM" del sistema operativo, ECGNOM.EXE y MED.EXE. El programa GRAPHICS.COM puede ser configurado para un determinado tipo de impresora tecleando:

TADQ [tipo de impresora],

(sólo para sistema operativo MS-DOS versión 4.0 y posteriores). El programa ECGNOM.EXE introduce el nombre del paciente a un archivo de datos para incluirlo en los registros de ECG, y el programa MED.EXE (programa principal) controla la programación de registros, la escritura a puertos, y la captura, despliegue e impresión de datos.

8. Colocar los sensores o electrodos a utilizar en el paciente, procurando que éste se encuentre en una posición cómoda. Para colocar los electrodos para ECG, limpiar previamente la zona donde se colocará el

electrodo con una solución de alcohol y éter, esperar a que se evapore, y colocar el electrodo fijamente al cuerpo. Evitar zonas de la piel con mucho pelo (en caso necesario rasurar), con contusiones, abuleas, lesiones de cualquier tipo, y protuberancias óseas (40).

9. Seleccionar con los menús del programa MEDEXE, el canal de entrada y las características del sistema.

10. En el caso del fotopletismógrafo, el programa le indica al usuario si el sensor está bien colocado o si se requiere ajustar su posición.

Por otra parte, si en los registros electrocardiográficos no se utiliza el electrodo precordial, éste debe conectarse a la terminal marcada "TIERRA AISLADA" del gabinete (en la tarjeta externa a la PC), para evitar la entrada de ruido al sistema.

La tecla "F2" interrumpe la operación del programa en cualquier canal y progresa al menú principal. Para imprimir la señal electrocardiográfica, se utiliza la tecla "F1".

La Figura 4.11.1 muestra la forma en que debe instalarse el equipo.

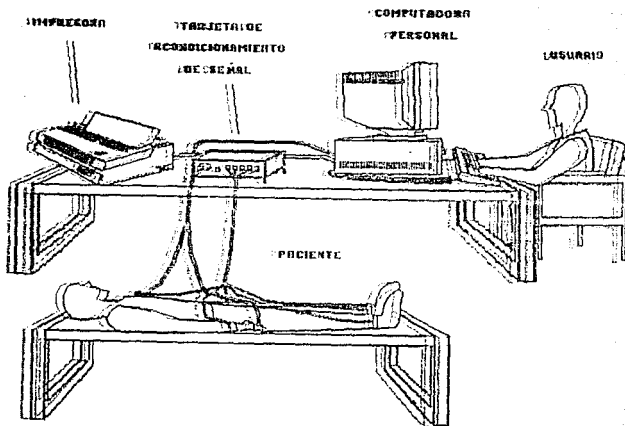


FIGURA 4.11.1

La utilización del sistema en un medio electromagnéticamente ruidoso (donde la tensión de la línea está sujeta a transitorios de tensión; producidos por soldadoras, taladros, etc., o si existe alta interferencia electromagnética producida por radiotransceptores, teléfonos celulares, pantallas de video, o lámparas fluorescentes), puede introducir ruido al sistema, ya que el cable de señal entre las tarjetas (interna y externa) no está blindado electromagnéticamente (véase parte 4.1.4).

Es muy importante resaltar que para la utilización del electrocardiógrafo, no se deben utilizar otros instrumentos electrónicos alimentados por la línea, en el paciente, ya que el equipo no está protegido para la utilización de defibriladores cardíacos y tampoco cumple con las normas de aislamiento a tierra como se verá en el apartado 4.1.3.

4.1.2 CONSUMO DE POTENCIA DEL CIRCUITO

Para esta prueba, se midió la corriente consumida por el circuito en un periodo de 6 horas, con una temperatura ambiente entre 22 y 25 °C. En la tarjeta interna a la microcomputadora el contador programable fue el dispositivo que alcanzó como temperatura máxima de encapsulado, 38 °C, produciéndose un consumo máximo en la fuente de + 5 V de 242 mA, de 30.5 mA en la fuente de + 12 V y de 25.4 mA en la fuente de - 12 V.

El convertidor CD/CD de la tarjeta externa a la PC consume 430 mA de la fuente de + 12 V, entregando 134 mA al circuito aislado para acondicionamiento de señal. En ésta tarjeta los reguladores de tensión alcanzaron una temperatura de encapsulado de 40.4 °C.

Los reguladores, sin embargo, pueden alcanzar hasta 75 °C en el encapsulado (23), y el contador programable hasta 70 °C (11) sin dañarse, por lo que no se rediseñó el gabinete ni los disipadores utilizados.

El circuito consume en total 6.6 W en la fuente de + 12 V, 0.3 W en la fuente de -12 V y 1.2 W en la fuente de +5 V de la PC, es decir una potencia total de 8.2 W.

4.1.3 PRUEBAS DEL SISTEMA DIGITAL

El sistema de adquisición se probó en varias computadoras para verificar que la arquitectura y el programa funcionaran correctamente.

Del tipo XT se probó en una computadora *PRINTAFORN* con procesador 8088 y reloj de 4.77 MHz y en una computadora *VECTRA* con procesador 8088 y reloj de 4.77 MHz.

Del tipo AT se probó en una computadora *VECTRA* con procesador 80286 y reloj de 10 MHz, en una computadora *JANECO* con procesador 80286 y reloj de 12.51 MHz, en una computadora *PINE* con procesador 80286 y reloj de 12.19 MHz, en una computadora *MICRON* con procesador 80286 y reloj de 14.1 MHz y en una computadora *DELL* con procesador 80286 y reloj de 12.52 MHz.

La frecuencia de operación del procesador, aunque influye en la operación del sistema (por ser éste el reloj que sincroniza la operación de DMA), sólo es significativa en cuanto a la velocidad con que el programa de adquisición lee y grafica la información contenida en RAM, ya que la frecuencia máxima de muestreo de la tarjeta de adquisición (calculada de 33 kHz en la parte 2.5.2) es mucho menor a la frecuencia máxima de operación del controlador de DMA en una computadora XT (476 kBytes/seg)[8].

Por otra parte, el ancho de banda máximo utilizado en electrofisiología se encuentra entre 6 y 10 KHz (en estudios electroencefalográficos para la medición de respuestas evocadas)[34]. En este proyecto la frecuencia máxima de muestreo está principalmente limitada por el tiempo de conversión del convertidor A/D (25 μ s máximo)[14].

En un sistema de adquisición de señales, es importante considerar que la frecuencia de muestreo del sistema no solo depende del ancho de banda de la señal a capturar, ya que también influye la forma en que se mostrará la información (impresa, graficada), y el periodo de observación. Para su utilización médica, un sistema de monitoreo de ECG, debe ser capaz de mostrar por lo menos dos ciclos cardíacos en una misma lectura (un intervalo de 3 segundos permite medir el periodo entre dos señales con una frecuencia cardíaca mínima de 30 ppm).

La frecuencia de muestreo debe ser por lo menos del doble del ancho de banda (para cumplir con el criterio de muestreo de Nyquist), aunque es recomendable la utilización de una frecuencia de muestreo 2 a 4 veces mayor a la frecuencia máxima del sistema [41].

Para una tarjeta de video tipo CGA o EGA, en el cual se tienen ya sea 640 x 200 o 640 x 350 pixeles de resolución, el número máximo de muestras que puede ser graficada en el monitor, sin producir un error por sobremuestreo es de 640. Al tener que mostrarse un trazo continuo por un periodo de 3 segundos (tiempo mínimo para observar dos pulsaciones a la frecuencia cardíaca mínima), se limita la frecuencia de muestreo para poder graficar cada muestra en un pixel vertical de la pantalla.

En este caso se utilizaron solamente 600 pixeles verticales en el programa (dejando las otras 40 para señalar la escala de amplitud), por lo que se tuvo que utilizar una frecuencia de muestreo de 200 Hz, de modo que a cada muestra le corresponde un pixel. Si se quisiera aumentar la frecuencia de muestreo se tendría que graficar la señal en otro dispositivo de salida (como la impresora), o graficar la señal por partes, o utilizar un monitor con un mayor número de pixeles, pues si se tratan de graficar más muestras en la pantalla se presenta un error por sobremuestreo, es decir, que a cada pixel le corresponde más de una muestra.

Si se requiere aumentar la frecuencia de muestreo o el periodo de lectura continua, es posible la reprogramación del contador 8253-5 hasta una frecuencia de 33 kHz. El periodo de lectura solo está limitado por la capacidad de memoria RAM instalada en la PC.

Existen estudios electrocardiográficos en los que el médico puede requerir de un monitoreo continuo de la señal del paciente (p.e. en las unidades de cuidados intensivos)(40). En este proyecto no se desarrolló un sistema de monitoreo continuo debido a que el sistema debe poder utilizarse en cualquier PC compatible con IBM (bus ISA), ya que el tiempo que utiliza cada computadora en leer y graficar datos de memoria depende del microprocesador, la velocidad de operación, el lenguaje de programación usado, la tarjeta adaptadora de gráficos y el tipo de monitor que se usará como salida.

El programa realizado puede ser utilizado en cualquier configuración de PC con bus ISA de 8 bits, pudiéndose reconfigurar las rutinas de despliegue para el tipo de tarjeta de video que se tenga. En el lenguaje de programación BASIC se tiene opción a graficar con diferentes tipos de resolución dependiendo de la tarjeta adaptadora de gráficos y el monitor utilizado, por medio de la instrucción "SCREEN".

El modo "SCREEN 2", permite la máxima utilización de un monitor con tarjeta de video CGA (640 X 200 pixeles de resolución). Para un monitor con tarjeta de video EGA (640 X 350 pixeles de resolución y 64 colores), se utiliza la instrucción "SCREEN 9".

El proceso de graficación de tres segundos con una frecuencia de muestreo de 200 Hz en el lenguaje de programación BASIC (600 muestras), es un proceso lento en computadoras tipo XT (alrededor de 11 segundos), ya que en una computadora tipo AT con reloj de 12.5 MHz el proceso se realiza en aproximadamente 3 segundos.

Debido a que no es posible la graficación "en línea" de la señal de entrada en cualquier computadora (a menos que se utilice otro lenguaje de programación como el ensamblador), y tomando en cuenta que el proceso DMA puede ser realizado compartiendo el tiempo que el microprocesador utiliza en otras tareas, se decidió tomar paquetes de 600 muestras (muestreo durante 3 segundos) y graficarlas mientras se realiza la adquisición de un nuevo paquete de datos en otra área de la memoria. De este modo, el programa usa dos bloques de memoria y mientras se grafican los datos de un bloque, el controlador de DMA introduce datos en el otro. Al terminar de graficar, el programa verifica que haya terminado el proceso DMA (con la lectura al registro de estado 0008-H del controlador de DMA), para cambiar de bloques e iniciar otro ciclo.

El programa no inicia otro ciclo hasta que el despliegue del periodo anterior haya terminado. De este modo, sólomente se utilizan dos bloques de memoria, siendo reutilizados en cada ciclo.

El trazo electrocardiográfico que se está desplegando, puede ser impreso cuando el usuario lo requiera, ya que este proceso es inicializado por el programa como interrupción al microprocesador al oprimir la tecla "F1".

La salida del programa a las variables de temperatura corporal y frecuencia cardíaca se realiza por medio del despliegue del valor medido en un periodo determinado, pues en este proyecto sólo se utiliza el valor instantáneo de la variable para el diagnóstico médico, y no se grafica el comportamiento en el tiempo de la señal de salida.

4.1.4 PRUEBAS DEL ELECTROCARDIOGRAFO

Esta parte describe las pruebas realizadas a las etapas que forman los canales electrocardiográficos y el desempeño de sus partes.

El principal factor que debe ser medido en este sistema es la respuesta en frecuencia del circuito, de modo que la comparación entre la respuesta ideal y la respuesta medida, permita evaluar el comportamiento del sistema.

La figura 3.2.1 muestra un diagrama unifilar de las etapas por las que pasa la señal electrocardiográfica desde los electrodos al convertidor A/D.

Las pruebas del electrocardiógrafo se realizaron en cada canal o derivación electrocardiográfica del sistema por separado, ya que para la medición de cruzamiento entre canales ("crosstalk"), se hubieran requerido varios generadores de funciones con salida diferencial o un equipo de

simulación de ECG con varios canales diferenciales.

En la parte III de este trabajo se mostró que las diferentes etapas de amplificación y filtrado del sistema están separadas, una de la otra, a través de un amplificador operacional, ya sea como amplificador diferencial, no inversor o seguidor de tensión, no existiendo una realimentación entre las diferentes etapas del circuito, por lo que el análisis de respuesta en frecuencia del sistema debe realizarse en malla abierta. Este tipo de diseño tiene la ventaja de que se pueden introducir más etapas al sistema sin tener que modificar el diseño de todo el circuito (en un sistema realimentado, al introducir nuevos polos sería necesario rediseñar la respuesta de todo el circuito, introduciendo compensadores de fase, y en caso necesario reduciendo la ganancia para garantizar la estabilidad del sistema).

En un sistema de malla abierta, al cambiar la localización de los polos en las etapas de ganancia programable o de filtrado, los polos de alta frecuencia producidos en la entrada y salida de los amplificadores operacionales (capacitancia parásita, resistencia de entrada y de salida), quedan fuera del ancho de banda a utilizar en esa etapa y no interactúan con los polos en alta frecuencia de otras etapas del sistema.

La función de transferencia del sistema en lazo abierto es la siguiente:

$$H(s) = \frac{1000 (15.91491 s)}{(4.78 \times 10^{-7} s + 1)(1.66 \times 10^{-8} s + 1)(15.92 s + 1)(1.59 \times 10^{-3} s + 1)(1.59 \times 10^{-8} s + 1)}$$

Para el cálculo de esta función de transferencia, se tomó en cuenta que el amplificador operacional empleado tiene un producto ganancia-ancho de banda $GBW = 4 \text{ MHz}$ y el amplificador operacional a la salida del amplificador de aislamiento tiene un producto ganancia-ancho de banda $GBW = 200 \text{ KHz}$ (valor aproximado ya que la ficha técnica del dispositivo no muestra la respuesta en ganancia del amplificador para $G = 2$)(14).

El primer polo de la ecuación lo produce la primera etapa del amplificador diferencial con una ganancia en lazo cerrado $G = 12$, el segundo polo se produce en el amplificador diferencial de salida al amplificador de instrumentación, con una ganancia en lazo cerrado $G = 41.87$, el tercer polo y el cero en el numerador del cociente representan el filtro paso altas de primer orden con una frecuencia de corte de 0.01 Hz , esta etapa está separada por medio de un seguidor de tensión del cuarto polo, que representa el filtro paso bajas y que limita el ancho de banda para ECG con una frecuencia de corte de 100 Hz , finalmente el quinto polo es producido por el amplificador

de aislamiento con una ganancia de unipolar $G = 2$.

La figura 4.1.2 muestra la respuesta en frecuencia ideal del sistema electrocardiográfico, sin incluir la respuesta del filtro de ranura, ya que los polos y ceros de su respuesta en frecuencia (como ya se mostró en la parte 3), están compensados a la frecuencia de corte (60 Hz), de modo que ésta etapa resulta transparente al sistema, además de ser opcional al usuario su utilización.

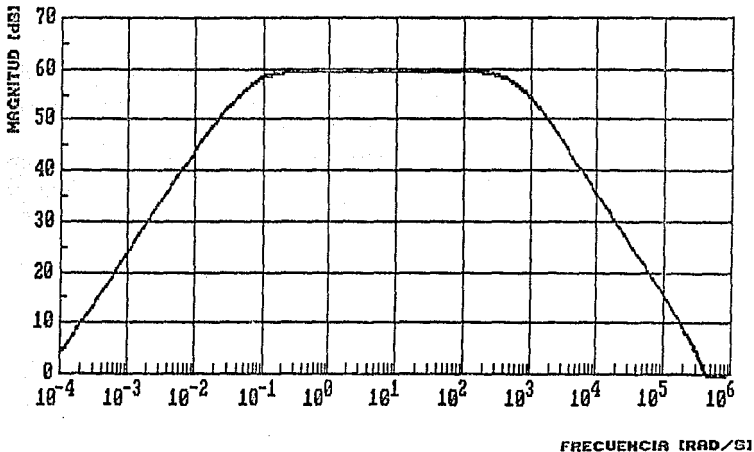


FIG 4.1.2

La figura 4.1.3 muestra la respuesta real obtenida del sistema utilizando una señal de 4 mV_p de entrada, a 19 °C.

Como se puede observar la respuesta en frecuencia obtenida del circuito es muy semejante a la ideal, ya que la frecuencia de corte de los filtros fue ajustada para obtener el ancho de banda deseado.

Otra de las pruebas realizadas al circuito de ECG, fue la medición de la razón de rechazo en modo común para los 7 canales de entrada. Esta prueba se realiza conectando una señal cuadrada de 1 V_{pp} a 1 KHz, en modo común a las

entradas de los preamplificadores (14). La señal de salida se divide por la de entrada para obtener la ganancia en modo común, y la razón de rechazo en modo común del circuito se obtiene de la división entre la ganancia en modo diferencial por la ganancia en modo común expresada en decibeles (20).

Este proceso también fue utilizado para calibrar los resistores del amplificador diferencial, para obtener la CMRR máxima.

GANANCIA [dB]

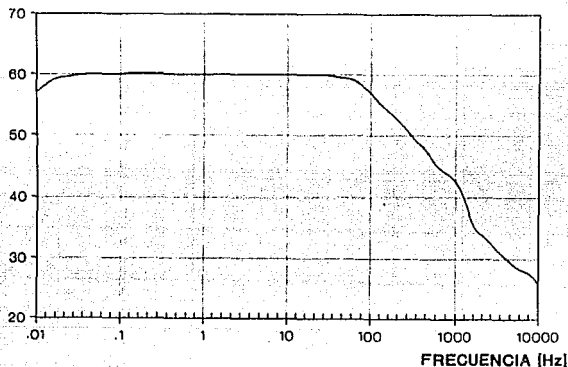


FIG 4.1.3

La tabla 4.1.4 muestra los valores de tensión en modo común para cada una de las derivaciones de ECG, y el valor de la razón de rechazo en modo común.

CANAL DE ENTRADA	TENSIÓN DE SALIDA (mV)	CMRR DEL CIRCUITO
L-R	.08 V	81.94 dB
L-F	.08 V	81.94 dB
R-F	.08 V	81.94 dB
L-CT	.092 V	80.72 dB
R-CT	.092 V	80.72 dB
F-CT	.092 V	80.72 dB
P-CT	.096 V	80.35 dB
TENSIÓN DE ENTRADA: 1 V _{pp} , 1 kHz, CUADRADA		

FIG 4.1.4

Como se puede observar, la razón de rechazo en modo común es mayor para las derivaciones bipolares que para las monopolares, debido a que en las primeras, la tensión en modo común es promediada por el circuito de manejo a la pierna derecha, siendo referenciadas a un punto de tierra virtual en la entrada inversora del amplificador operacional de realimentación. Sin embargo la razón de rechazo en modo común en ambos casos es suficiente para atenuar una señal en modo común de hasta 3.05 V a .244 mV (un décimo del bit menos significativo del convertidor A/D).

La medición de la razón de rechazo en modo común del circuito, a la frecuencia de la línea (60 Hz), no se pudo valorar, ya que es una prueba que debe ser realizada en un medio libre de interferencia (aislado en una jaula de Faraday), para evitar que las señales en el medio ambiente aumenten la tensión en modo común del sistema, obteniéndose resultados erróneos.

La linealidad de respuesta del sistema puede ser medida con un analizador de espectros y un generador de ruido blanco. El analizador de espectros permite observar la distorsión armónica y cualquier otro comportamiento no lineal del amplificador. Sin embargo, al no contarse con equipo para éstas pruebas, se observó el comportamiento del amplificador en un osciloscopio de dos canales, comparándose la señal de entrada y la de salida. Esta prueba (no tan veraz como la otra) mostró un comportamiento lineal del sistema tanto en amplitud como en fase, para el ancho de banda de medición (0.01 a 100 Hz).

Utilizando un equipo de prueba para electrocardiógrafos comerciales marca BIO-TEK, modelo 501 PRO, se pudo medir la resistencia entre la terminal de tierra a la que está conectada la computadora y la tierra física con la que se protege al equipo de medición (tierra física con la que se forma la jaula de Faraday en la tarjeta externa a la PC), además se midió la corriente que circula por el circuito hacia la tierra física (corriente de fuga), y la corriente de aislamiento, que fluye entre los electrodos y la tierra física al aplicar entre estos una tensión de 133.8 V a 60 Hz (tensión de la línea en el momento de la prueba). El equipo también fue utilizado como simulador de ECG para la evaluación de la amplitud y forma de onda típica de las derivaciones cardíacas (véase parte 4.3).

La tabla 4.1.5 muestra los resultados obtenidos en las pruebas de aislamiento.

De acuerdo a las normas norteamericanas para electrocardiógrafos comerciales IEEE 472 y UL 544 de 1990, el circuito no satisface la fracción

correspondiente al aislamiento entre los electrodos y tierra física, ya que permite un flujo de corriente mayor a 20 μA . Sin embargo, el sistema puede ser utilizado para diagnóstico siempre y cuando no se utilice otro equipo conectado a la línea (ya que puede estar mal aterrizado), en el paciente.

RESISTENCIA ENTRE TIERRA FÍSICA Y CHASIS DE TARJETA EXTERNA A PC		.163 Ω	
TENSIÓN DE ENTRADA (V_e)		133.8 V_{rms}	
CORRIENTE DE FUGA (TODOS LOS CANALES)		0.8 μA	
CORRIENTE DE AISLAMIENTO (V_e APLICADA ENTRE CADA CANAL Y TIERRA)			
CANAL	SISTEMA APAGADO	SISTEMA ENCENDIDO	POLARIDAD DE V_e INVERTIDA
LA - GND	20.8 μA	29.3 μA	29.5 μA
RA - GND	20.8 μA	29.3 μA	29.5 μA
LL - GND	20.8 μA	29.3 μA	29.6 μA
RL - GND	20.8 μA	6.7 μA	6.9 μA
V_n - GND	20.8 μA	29.5 μA	29.5 μA
TODOS - GND	21 μA	30.5 μA	30.4 μA

FIG 4.1.5

En la parte III de este trabajo, se describieron las características de los componentes que aíslan al sistema de la tierra física (optoacopladores, amplificador de aislamiento y convertidor CD/CD). El convertidor CD/CD PWR711, tiene una corriente de fuga entre entrada y salida de 25 μA típico, de acuerdo a datos del fabricante (14). Esta corriente de fuga, sumada a la corriente de fuga del amplificador de aislamiento (.28 μA a 120 V y 60 Hz)(14), y la corriente de fuga de los optoacopladores (91.7 nA a 120 V y 60 Hz)(13), da una corriente de fuga total de 25.74 μA . La corriente restante (3.56 μA), fluye a través de la resistencia y capacitancia entre los cables que unen las tarjetas interna y externa a la PC.

En este caso se tuvo que construir un cable especial para conectar ambas tarjetas, de modo que la corriente de fuga entre los cables de señal y tierra física fuera menor a 5 μA ($X_c = 36.5 \text{ M}\Omega$ con $C = 135 \text{ pF}$).

La exactitud de la ganancia y la linealidad de respuesta del amplificador pueden verse deteriorados por varios factores, como son, el desbalance de los

resistores de entrada y de ajuste de ganancia del preamplificador. Esto puede ser causado por envejecimiento de los dispositivos, variaciones de temperatura, el aumento de la capacitancia del circuito con el polvo, etcétera, por lo que es recomendable la calibración periódica del sistema (dependiendo del lugar donde se utilice).

4.1.5 PRUEBAS DEL MEDIDOR DE TEMPERATURA

El circuito para medir temperatura utilizado, fue probado en dos partes: en la primera se evaluó el retardo en la respuesta y en la segunda se midió la exactitud del valor resultante en el intervalo de medición.

En la primera prueba se midió el tiempo en que el sensor llegaba de una temperatura conocida, a otra, en un medio semejante al utilizado en la medición (en este caso se utilizó agua), obteniéndose la curva de respuesta del dispositivo y la constante de tiempo τ del agua.

La figura 4.1.6 muestra las curvas de respuesta del sensor de temperatura a un cambio de 20.3 a 40.9 °C y de 40.9 a 20.3 °C (respuesta a escalón)

Se obtuvieron 4 curvas de respuesta del sensor, de donde se obtuvo el valor promedio de la constante de tiempo τ (tiempo en que se alcanza el 63.2 % del valor (32)), despejando de la figura 3.3.2 :

$$\tau = \frac{10.0032+8.9823+9.79+9.9716}{4} = 9.6867$$

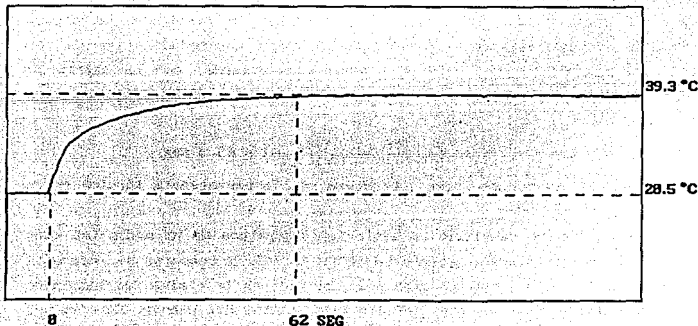


FIG 4.1.6 A

Sin embargo, la constante de tiempo medida cuando la temperatura decrementaba su valor, fue diferente (véase fig. 4.1.6 B):

$$\tau = \frac{14.3317 + 15.1532 + 14.0621 + 14.4413}{4} = 14.4971$$

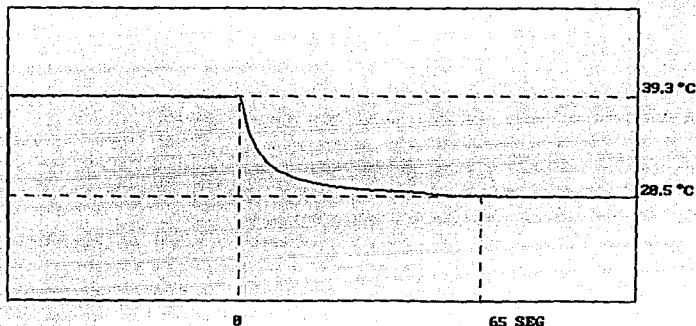


FIG 4.1.6 B

Esto puede ser causado por efectos de autocalentamiento del dispositivo y por la resistencia y capacitancia térmica de la juntura del dispositivo y entre el encapsulado y el medio ambiente. Con la constante de tiempo promedio, se puede obtener el periodo de respuesta estimado del dispositivo, para obtener un 99 % del valor de temperatura deseado, con un cambio de temperatura entre 20 °C (temperatura ambiente típica) y 36.5 °C (temperatura corporal típica) :

$$t_{EST} = -\tau_{MAX} \ln \left(\frac{T_{FINAL} - T_{99\%}}{T_{FINAL} - T_{INICIAL}} \right) = 55.3 \text{ seg.}$$

Este periodo puede ser mayor dependiendo de la resistencia térmica entre el sensor y el paciente.

La segunda prueba consistió en medir la temperatura de un medio (en este caso agua), en el intervalo propuesto (20 a 45 °C), y comparar la respuesta ideal del sensor a la real. De este modo, se obtiene la máxima desviación (o error diferencial), de donde se define la exactitud del sensor. Este valor, de acuerdo al fabricante no debe ser mayor a ± 0.8 °C (32).

En la figura 4.1.7 se muestran los valores obtenidos de la medición entre

TEMPERATURA DE REFERENCIA	TEMPERATURA MEDIDA	TEMPERATURA DE REFERENCIA	TEMPERATURA MEDIDA	TEMPERATURA DE REFERENCIA	TEMPERATURA MEDIDA
20 °C	19.6 °C	28.5 °C	28.4 °C	37 °C	37 °C
20.5 °C	20.1 °C	29 °C	28.9 °C	37.5 °C	37.5 °C
21 °C	20.6 °C	29.5 °C	29.5 °C	38 °C	38 °C
21.5 °C	21.1 °C	30 °C	30.1 °C	38.5 °C	38.5 °C
22 °C	22 °C	30.5 °C	30.6 °C	39 °C	39 °C
22.5 °C	22.6 °C	31 °C	31.1 °C	39.5 °C	39.5 °C
23 °C	23 °C	31.5 °C	31.6 °C	40 °C	40 °C
23.5 °C	23.5 °C	32 °C	32.1 °C	40.5 °C	40.5 °C
24 °C	24 °C	32.5 °C	32.6 °C	41 °C	41 °C
24.5 °C	24.6 °C	33 °C	33.1 °C	41.5 °C	41.5 °C
25 °C	25.1 °C	33.5 °C	33.6 °C	42 °C	42.1 °C
25.5 °C	25.5 °C	34 °C	34 °C	42.5 °C	42.6 °C
26 °C	26 °C	34.5 °C	34.5 °C	43 °C	43 °C
26.5 °C	26.5 °C	35 °C	35 °C	43.5 °C	43.5 °C
27 °C	26.9 °C	35.5 °C	35.5 °C	44 °C	44 °C
27.5 °C	27.4 °C	36 °C	36 °C	44.5 °C	44.4 °C
28 °C	27.8 °C	36.5 °C	36.5 °C	45 °C	45 °C

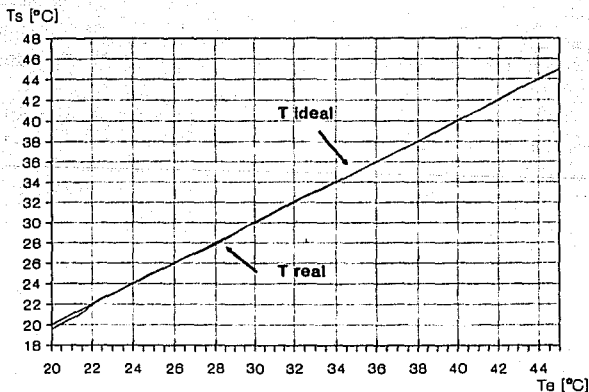


FIG 4.1.7

Como se puede observar, la máxima desviación o error diferencial fue de 0.4 °C en el intervalo de medición (20 a 45 °C). En este caso, la referencia de tensión del sensor fue a 35 °C, y se puede observar que a medida que disminuye la temperatura aumenta el error diferencial.

4.1.6 PRUEBAS DEL MEDIDOR DE FRECUENCIA CARDÍACA

La siguiente figura muestra la forma de la señal obtenida del sensor pletismográfico

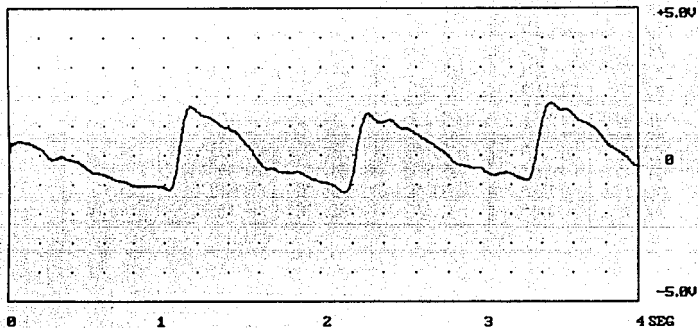


FIG 4.1.8

Para medir la frecuencia cardíaca se utilizó un algoritmo de comparación de valores, que detecta los cruces por cero de la señal en un periodo de 4 segundos.

Con una frecuencia de muestreo de 1 kHz se puede obtener una resolución de 1 pulsación por minuto a la frecuencia cardíaca máxima (240 ppm), ya que el periodo de esta señal es de 250 ms (4 pulsaciones por segundo), y, a medida que la frecuencia cardíaca es menor, la resolución también disminuye, obteniéndose una mayor exactitud, así, para una frecuencia cardíaca de 30 ppm la resolución es de 0.015 ppm.

Sin embargo, las pulsaciones cardíacas no producen una señal periódica, ya que el periodo de cada ciclo no es constante (efecto aún más notable si se presentan pulsos arritmicos en el paciente), por lo que, para calcular la frecuencia cardíaca, el médico toma un valor promedio de los periodos al

contar las pulsaciones que puede percibir en un minuto.

De este modo se obtiene una lectura precisa de el número de pulsaciones que ocurren en un minuto, sin embargo, para realizar esto, el programa tendría que haber leído 60,000 muestras en un minuto y le habría tomado un tiempo considerable en procesar ésta información (2.4 minutos en una computadora AT de 12.5 MHz). Además, tendría que ser capaz de detectar anomalías que podrían afectar el promedio final, tales como arritmias, cambios de posición del sensor con respecto al dedo de la mano, etcétera.

Es por esto que se decidió tomar el promedio del período cardíaco a las señales que entran durante 4 segundos, con lo cual, si el valor de los períodos cardíacos no varía en más de 2 por minuto, se puede tener una medición muy aproximada de la frecuencia cardíaca.

Debido a que la reflexión de la luz producida por el LED infrarojo, depende del color de la piel y la posición del dedo de la mano con el sensor, el algoritmo despliega mensajes de error para que el paciente acomode el sensor, ya que el fototransistor puede entrar en su región de corte si no encuentra suficiente luminosidad infraroja reflejada; esto se detecta en el programa como una sucesión de valores iguales (normalmente al colocar por primera vez el fototransistor del sensor cerca de un vaso sanguíneo, por el cambio de luminosidad con el medio ambiente, entra en la región de corte).

La figura 4.1.9 muestra la forma en que se despliega la medición de frecuencia cardíaca en el programa:

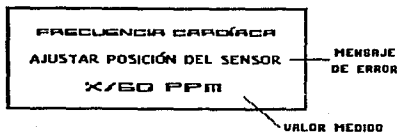


FIG 4.1.9

4.2 CIRCUITOS IMPRESOS

Para la fabricación de los circuitos impresos se realizaron los diseños en el programa SMARTWORK [36].

Algunas características relevantes de la construcción de los mismos es que se deben respetar las dimensiones estándar para la tarjeta interna a la microcomputadora, evitar dibujar líneas paralelas a ambos lados de la tarjeta (para evitar la inducción de campos electromagnéticos entre líneas), evitar cerrar "lazos de tierra", y correr líneas gruesas (para evitar falsos contactos), asimismo las áreas no utilizadas se deben cubrir con planos de tierra [18].

Por seguridad, se debe dejar el mayor espacio posible entre la entrada y salida de los circuitos de aislamiento (el amplificador de aislamiento y los optoacopladores en la parte inferior de la tarjeta interna a la PC, y el convertidor CD/CD en la tarjeta externa a la misma).

El convertidor A/D (AD 574) se debe proteger con una placa de tierra bajo el chip, y el capacitor conectado al muestreador/retenedor (LF 358) con la terminal de salida, por recomendación del fabricante, para evitar la introducción de ruido en ellos [14][15].

Por otra parte, la tarjeta que debe ser montada dentro de la PC fue construida para su montaje en una ranura de expansión tipo ISA, (8 bits), sin embargo, sería conveniente un estudio de mercado en caso de que se quisiera comercializar, ya que algunas de las computadoras personales más recientes (equipos con microprocesador 80286, 80386 y 80486), utilizan más comúnmente otro tipo de bus en sus ranuras de expansión (tipo AT, EISA, o MCA)[8].

4.3 PRUEBAS DE CAMPO

Las pruebas de campo permiten evaluar el desempeño del sistema en el medio donde se utilizará el equipo. La evaluación de las señales del electrocardiógrafo fue supervisada por un médico, ya que finalmente éste debe decidir si la respuesta del sistema es la deseada.

Primeramente se hicieron pruebas del sistema utilizando un generador de funciones, para observar la forma de las ondas y calibrar la ganancia y frecuencia de corte de los filtros. Con el simulador de ECG utilizado en las pruebas de aislamiento (BIO-TEK modelo 501 PRO), se graficaron las formas de las señales electrocardiográficas típicas en las diferentes derivaciones. La figura 4.3.1 muestra las gráficas obtenidas en éstas pruebas.

Una vez realizadas las pruebas de aislamiento, se tomaron registros con varios pacientes. En estos registros se probaron electrodos desechables y reutilizables, siendo estos últimos los más recomendables, ya que por tener una mayor área de contacto con la piel, presentan una menor impedancia de electrodo, obteniéndose una mayor amplitud en el trazo electrocardiográfico. Además, por ser del mismo material no se presentan potenciales multimetálicos entre electrodos por reaccionar de diferente forma el electrolito entre la piel y el electrodo.

En ocasiones es necesario balancear la capa electrolítica de los electrodos, para lo cual se recomienda la introducción de los mismos en una solución salina al 0.9 % y conectarlos a un registrador de alta impedancia de entrada por un lapso bastante largo, hasta que se equilibren los potenciales con el electrolito (18).

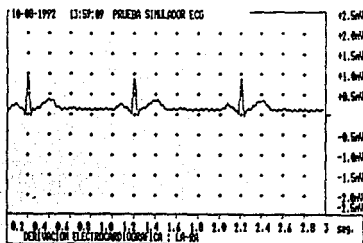


FIG. 4.3.1 A

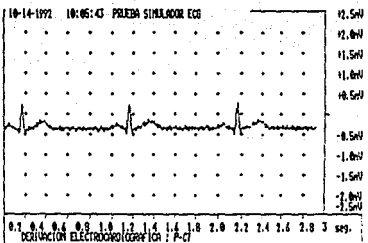
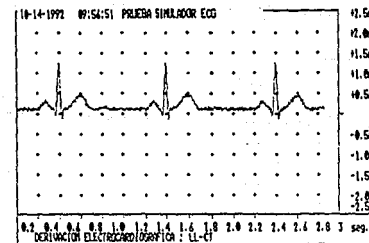
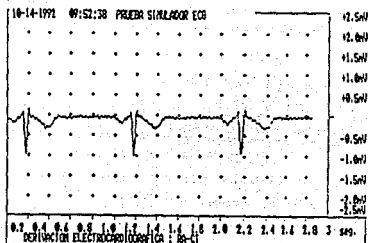
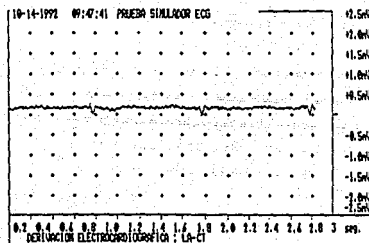
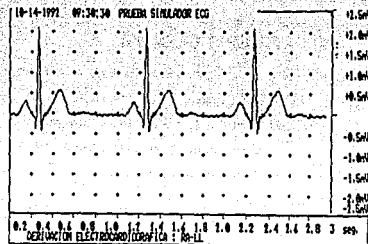
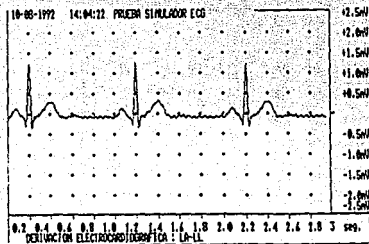


FIG. 4.3.1 B

La siguiente figura muestra los "artefactos" que se pueden presentar en la señal electrocardiográfica. En la primera gráfica se puede observar la

entrada de ruido muscular al registro y en la segunda se observa una señal muy atenuada debido a un mal contacto de los electrodos.

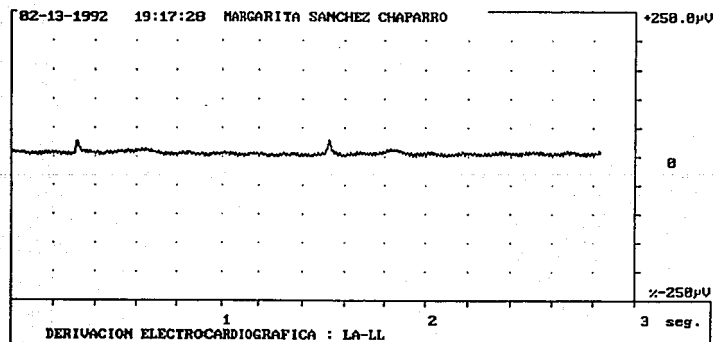
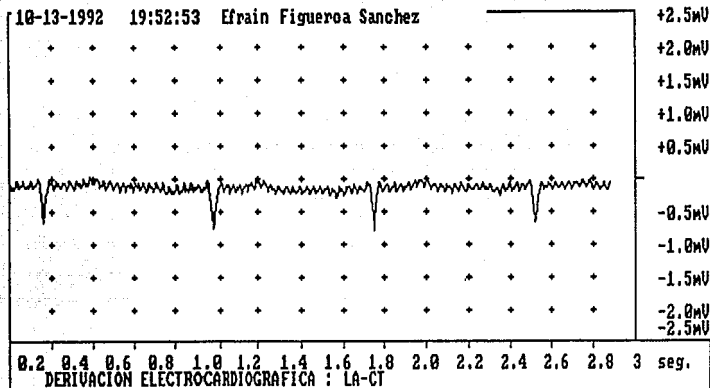


FIG 4.3.2

La figura 4.3.3 muestra algunos registros obtenidos con una tarjeta adaptadora de video de mediana resolución (CCA de 640 x 200 pixeles).

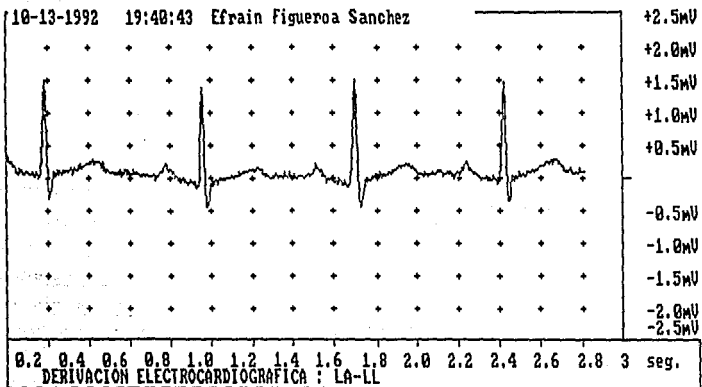
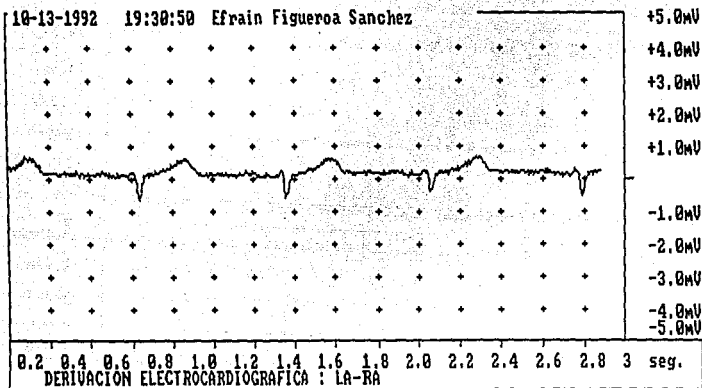


FIG 4.3.3 A

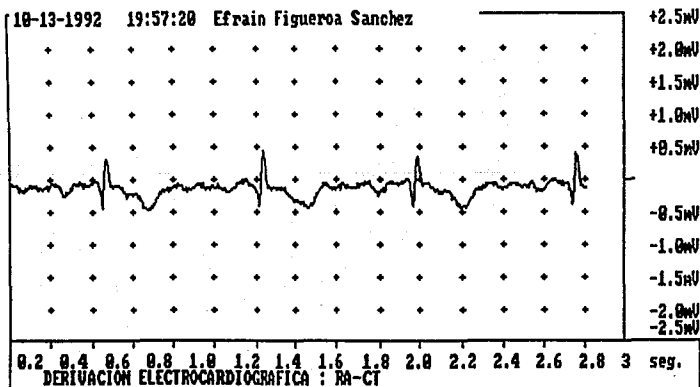
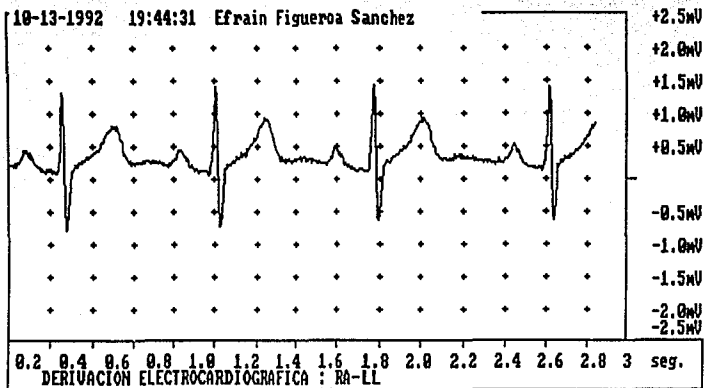


FIG 4.3.3 B

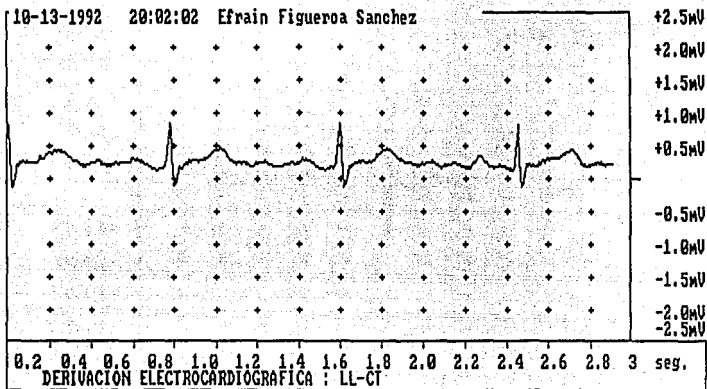


FIG 4.3.3 C

Finalmente la figura 4.3.4 muestra los registros obtenidos al modificar el programa de aplicación para un monitor de alta resolución (EGA de 640 X 350 pixeles de resolución).

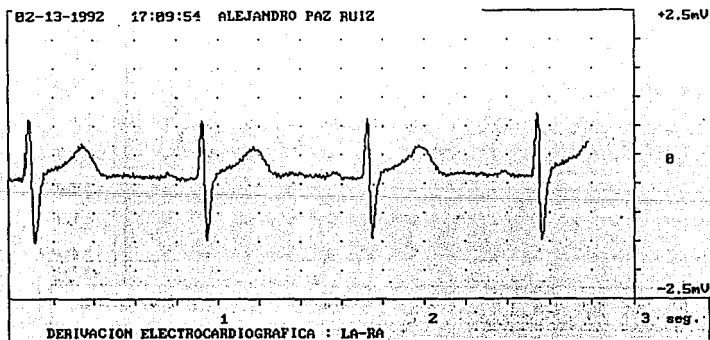


FIG 4.3.4 A

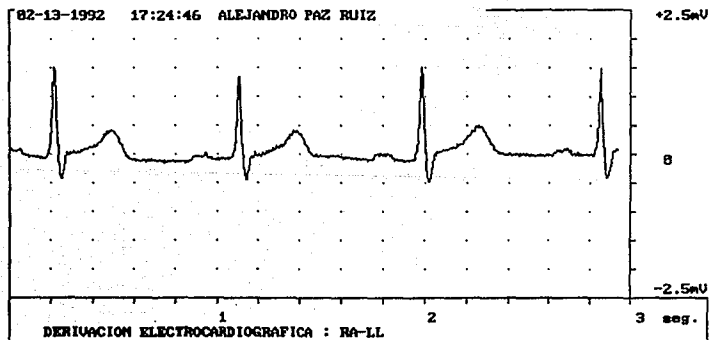
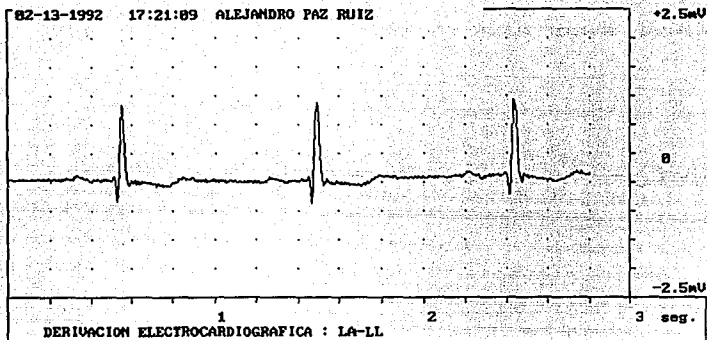


FIG 4.3.4 B

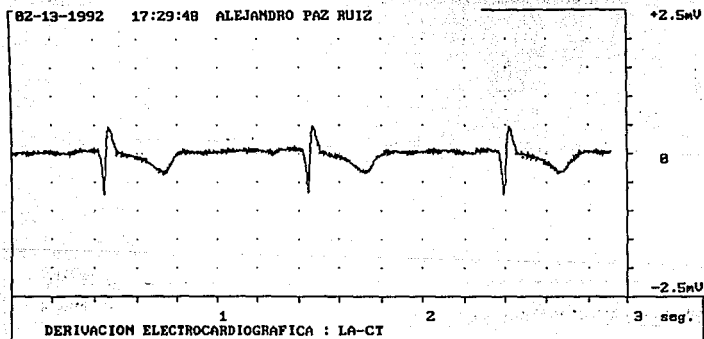
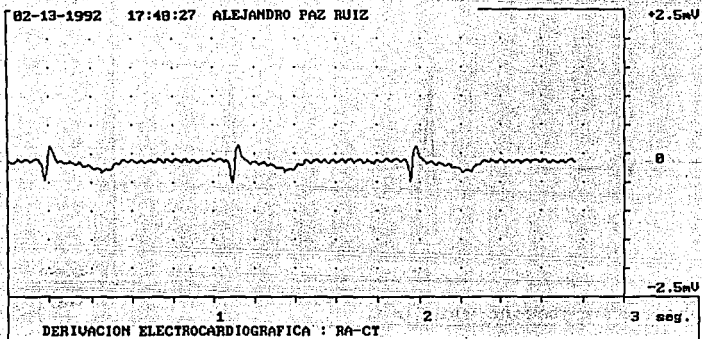


FIG 4.3.4 C

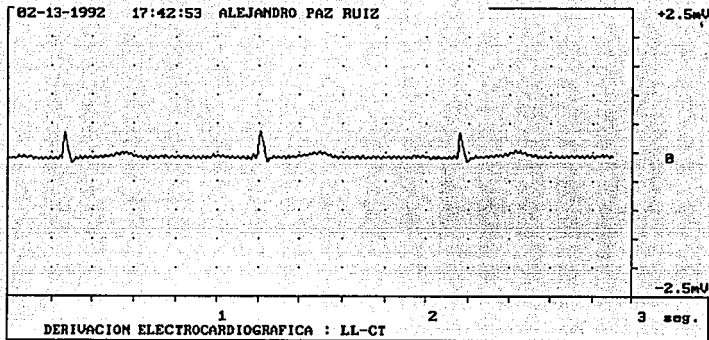


FIG 4.3.4 D

Como se puede observar, con un monitor de alta resolución EGA, aun no se explota en su totalidad la resolución del convertidor A/D (se requeriría una resolución horizontal de 4096 pixeles para explotarlo completamente), sin embargo sería conveniente realizar pruebas con una tarjeta de video VGA, que puede tener una resolución de 640 x 480 o 800 x 600 pixeles y 256 colores, o SVGA, que tiene una resolución de 1024 X 768 pixeles y 256 colores.

Sin embargo, la resolución obtenida con una tarjeta controladora de gráficos EGA es bastante aceptable si se compara con el trazo obtenido de electrocardiógrafos comerciales como se muestra en la figura 4.3.5. En primer lugar se muestra un registro obtenido con un polígrafo convencional.

A continuación se presentan un registro obtenido con el sistema realizado y un registro obtenido con un equipo electrocardiográfico moderno marca Hewlett Packard.



FIG 4.3.5 A

82-13-1992 17:11:45 ALEJANDRO PAZ RUIZ

+2.5mV



DERIVACION ELECTROCARDIOGRAFICA : LA-RA

12 00 10 10 0 0

12 09 51 1:54:56 PM

99217030



PARTE V

No

Existe

Página

CONCLUSIONES

- 1.- La utilización de un amplificador por canal para el circuito de ECG se basa en las siguientes características: la utilización de amplificadores operacionales de bajo costo para la construcción de los preamplificadores de instrumentación por canal, el uso de un multiplexor analógico tipo CMOS de uso general (ya que las señales a seleccionar ya han sido preamplificadas en modo diferencial), y la utilización de un solo convertidor A/D de 12 bits de resolución.

Esta configuración, sin embargo, tiene la desventaja de que en un sistema de adquisición que requiera el muestreo de varios canales, se debe respetar el tiempo de seguimiento del multiplexor analógico y los circuitos comunes a todas las etapas. En el circuito realizado, el multiplexaje de las señales se tendría que realizar una vez que se haya filtrado en paso altas, de modo que la constante de tiempo de este filtro (100 segundos), no introduzca errores en la medición al cambiar de canal.

- 2.- En las pruebas realizadas a la tarjeta de acondicionamiento de señales, se pretendió utilizar la salida del convertidor CD/CD (± 15 V), para alimentar los amplificadores operacionales (ya que ésta es la tensión de polarización utilizada por el fabricante en todas las pruebas del circuito)(23), y dos reguladores de tensión a ± 8 V para polarizar los circuitos CMOS (multiplexores analógicos y registros de corrimiento).

Aunque la excursión de tensión a la salida de los preamplificadores, para una tensión de entrada máxima de 10 mV_{pp}, no es mayor a 5 V_{pp}, los preamplificadores, en ocasiones, pueden saturarse (al conectar los electrodos o al hacer mal contacto alguno de ellos).

Debido a esto, se requeriría de un circuito recortador de tensión de precisión por canal, para proteger las entradas de los multiplexores analógicos, sin introducir distorsión a la señal. En este caso, se prefirió conectar todos los elementos del sistema a la salida de los reguladores de tensión, con lo que se redujo la excursión de tensión de los amplificadores operacionales a ± 8 V.

- 3.- Otro problema que se presentó en la alimentación del circuito fue causado por la utilización de la fuente de la PC para energizar directamente el convertidor CD/CD. La fuente de poder de algunas microcomputadoras, utiliza una frecuencia de conmutación entre 20 y 100 KHz para fuentes

conmutadas con transistores bipolares, y entre 200 y 500 KHz para fuentes conmutadas con transistores tipo FET T-MOS (36). La frecuencia de operación y los armónicos producidos por ésta, en el inversor de entrada (CA/CA), no representan problemas para la operación de los sistemas digitales de la microcomputadora (ya que estos presentan una carga principalmente resistiva al circuito y la tensión de rizo producida en la fuente no rebasa los umbrales lógicos CMOS y TTL), sin embargo, el convertidor CD/CD presenta, a su entrada, una carga inductiva alimentada por un oscilador a 130 KHz (inversor CD/CA)(14). Al probar el circuito se pudo observar que en ocasiones se producía una tensión de rizo de hasta 80 mV con componentes a 17 y 625 kHz y hasta 66 MHz a la salida del convertidor CD/CD.

Al alimentar los preamplificadores de entrada (amplificadores de instrumentación) con esta fuente, se reflejaba a su salida una tensión en ocasiones de hasta ± 1 V (aún cuando los amplificadores operacionales tienen un PSRR máximo de 100 dB), por lo que se decidió conectar a la entrada del convertidor CD/CD un filtro LC tipo II, para evitar la interacción entre fuentes. La figura C.1 muestra el circuito utilizado.

En este circuito, se utilizó una inductancia de 10 mH y capacitores a la entrada y salida del filtro de 100 μ F, con lo que se redujo a menos de 5 mV la tensión de rizo a la salida del convertidor CD/CD.

El desarrollo de una ecuación que represente el comportamiento del filtro, en este caso no es útil, ya que no se conocen, ni la resistencia de salida de la fuente de poder a utilizar, ni la capacitancia de la carga, (ya que depende de las tarjetas conectadas en las ranuras de expansión de la PC), ni el circuito interno del convertidor CD/CD, (para determinar el ancho de banda a que es sensible).

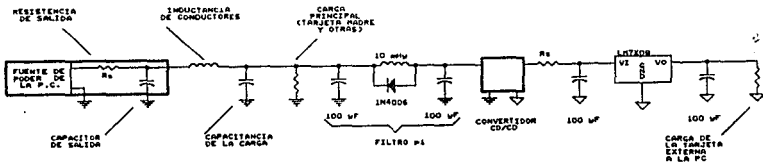


FIG C.1

Para la conexión del filtro LC al circuito se procuró colocar la mayor inductancia posible (en este caso 10 mHy), ocupando el menor espacio en la tarjeta de adquisición, y con una resistencia serie mínima (en este caso $R_L = .13 \Omega$), para evitar una caída de tensión mayor a 1 Vcd, ya que la tensión mínima de entrada al convertidor CD/CD es 11 V (14).

El diodo en paralelo al inductor protege los circuitos de entrada y salida para evitar que la corriente almacenada en el inductor, fluya a través de la carga al apagar la fuente.

- 4.- Como se mostró en la parte 3.2.4, el valor de la razón de rechazo en modo común del circuito para ECG depende en parte de los resistores que componen el amplificador diferencial. En el prototipo se utilizaron resistores de compuestos de carbón, resistores de precisión y potenciómetros de precisión, que pueden tener una deriva anual en el valor de 20,000 ppm para las de carbón, de 500 a 2000 ppm para las de precisión y de 10 a 30 ppm para los potenciómetros de precisión (38). Para la desviación máxima (20,000 ppm), la RRMC del preamplificaoor puede reducirse hasta 1.9 dB anualmente. Por lo tanto es necesaria la recalibración de los potenciómetros de precisión por lo menos anualmente para evitar la entrada de ruido al sistema.
- 5.- La corriente de aislamiento del cable que une las tarjetas interna y externa a la PC ($3.56 \mu A$), se puede reducir utilizando un cable de baja capacitancia (con un mejor dieléctrico entre conductores), como el tipo 88112 de 12 conductores 24/7 X 32 de la marca *Belden* (37) que, además proporciona blindaje electromagnético a los conductores.
- 6.- Para realizar un sistema que cumpla con las normas de aislamiento para equipo electrocardiográfico (20 μA de cualquier electrodo a tierra con una tensión de prueba de 120 Vrms y 60 Hz), es necesario utilizar un convertidor CD/CD de aislamiento, por ejemplo, el modelo PWR 72 de la marca *Burr Brown*, que puede suministrar 150 mA a su salida (en este caso se requieren 134.2 mA para energizar la tarjeta de acondicionamiento de señal), con una corriente de fuga a 240 V y 60 Hz de 3 μA máximo (14). La utilización de un convertidor CD/CD de aislamiento permite emplear el sistema en un ambiente hospitalario, ya que soporta una tensión pico de 1000 Vcd, pudiéndose utilizarse un defibrilador cardiaco (600 a 700 Vcd) en el paciente. Para realizar esto, además se tendrían que cambiar los diodos de entrada utilizándose diodos con una tensión inversa de pico de

800 V (1N4544); estos dispositivos no están disponibles en el mercado y los diodos utilizados (1N4148) soportan un PIV de hasta 180 V.

- 7.- Otra característica que se puede modificar al sistema es el multiplexaje de las señales de entrada para observar varios canales en la pantalla, para lo cual se tendría que modificar la programación de los registros de corrimiento en la tarjeta externa a la PC a través del programa de aplicación (registros que controlan los multiplexores analógicos de selección de canal), modificar la frecuencia de muestreo (proporcionalmente al número de canales) y las rutinas de graficación del programa.
- 8.- La utilización de un bus AT (16 bits), simplificaría el diseño de la tarjeta de adquisición, ya que la lectura del convertidor A/D se obtendría en un solo acceso al bus de datos, utilizándose además un canal de DMA de 16 bits (canales 6 al 8 en computadoras con bus AT).
- 9.- Para la utilización de una subrutina del programa de adquisición, o un circuito para el control automático de ganancia en el electrocardiógrafo, se habría requerido la comparación de la amplitud de las señales de entrada en todas las derivaciones electrocardiográficas (como se puede observar en las figs. 4.3.3 y 4.3.4, no todas las señales son de la misma amplitud), para a partir de la amplitud de la componente mayor, designar la ganancia de las otras derivaciones, ya no es de utilidad para el médico un sistema con diferente ganancia en cada derivación (40).
- 10.- La utilización de etapas de filtrado programable, con fines didácticos o de investigación, permitiría controlar el ancho de banda deseado a través del programa de aplicación. Para realizar esto, existen por lo menos tres opciones de diseño, una es la realización de filtros activos con frecuencia de corte escalable a través de un multiplexor analógico, la segunda opción consiste en la utilización de un filtro programable de capacitores conmutados y la tercera es la programación de filtros digitales.

Para la primera opción se puede utilizar una configuración por el método de Rauch (ganancia unitaria) para respuesta tipo Butterworth. Con este método, al cambiar el valor de las resistencias se obtiene la frecuencia de corte deseada, como se muestra en la figura C.2 para filtro paso bajas:

La selección de la frecuencia de corte a utilizar se realiza por medio

de multiplexores analógicos controlados por registros de corrimiento (uno para el filtro paso altas y otro para el paso bajas), ya que en la tarjeta de acondicionamiento de señal sobran dos

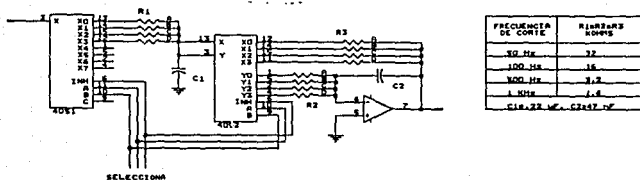


FIG C.2

La utilización de un filtro comercial de capacitores conmutados como el MF-10 (38), permite obtener un filtro paso altas y uno paso bajas de segundo orden en el mismo dispositivo.

En este circuito la frecuencia de corte se cambia a través de las entradas de reloj del filtro. En la tarjeta interna a la PC se podrían utilizar los dos contadores 1 y 2 no utilizados del C.I. 8253-5.

Para programarlos se requiere la reescritura de la palabra de control a través del puerto &H 303 y la carga del valor del periodo deseado de reloj para el MF-10 a través del puerto &H-300. La figura C.3 muestra la palabra de control requerida en cada caso y la conexión del circuito:

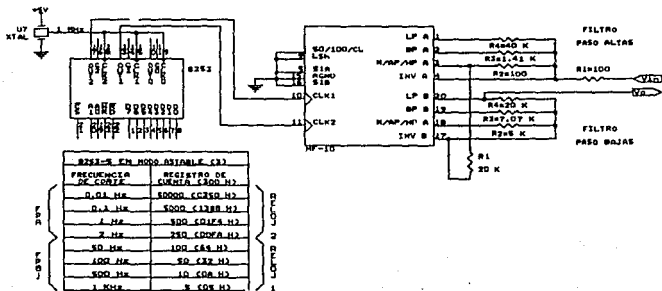


FIG C.3

Para la utilización de algoritmos de filtrado digital se requiere un trabajo de programación mayor, en el que puede ser conveniente utilizar un lenguaje de programación de más bajo nivel que QUICK-BASIC (como ensamblador), de modo que se puedan realizar un mayor número de operaciones en menos tiempo.

- 11.-Es conveniente además, la introducción al programa de una base de datos, de tal forma que el médico pueda guardar los registros de sus pacientes, para su posterior consulta o procesamiento.

Para realizar esto se pueden crear y leer archivos de datos en subrutinas del lenguaje de programación BASIC.

- 12.-Otras variables médicas que se pueden añadir al sistema de adquisición de datos, en aplicaciones futuras, son: presión venosa, electromiografía, electroencefalografía, potenciales oculares, potenciales nerviosos, pneumotacografía, electrogastrografía, etc. La figura C.4 muestra el intervalo de medición (amplitud de entrada), ancho de banda y tipo de sensor utilizado para medir éstas variables (10).

VARIABLE MEDICA	AMPLITUD DE ENTRADA	INTERVALO DE FRECUENCIA	TRANSDUCTOR O SENSOR DE ENTRADA
PRESION ARTERIAL	10-400 mm Hg	CD-50 Hz	SENSOR DE FUERZA (p.e. "STRAIN GAGE")
ELECTROMIOGRAFIA	0.1-5 mV	CD-10 kHz	ELECTRODOS DE AGUJA
ELECTROENCEFALOGRAFIA	5-300 μ V	CD-150 Hz	ELECTRODOS EN LA PIEL
ELECTROOCULOGRAFIA	50-3500 μ V	CD-50 Hz	ELECTRODOS DE CONTACTO
ELECTRORETINOGRAFIA	0-900 μ V	CD-50 Hz	ELECTRODOS DE CONTACTO
POTENCIALES NERVIOSOS	0.01-3 mV	CD-10 kHz	ELECTRODOS DE AGUJA
PNEUMOTACOGRAFIA	0-600 l/min	CD-40 Hz	SENSOR DE FLUJO (p.e. FLUJOMETRO TERMICO)
ELECTROGASTROGRAFIA	10-1000 μ V	CD-1 Hz	ELECTRODOS EN LA PIEL

FIG C.4

La adición de transductores como el de fuerza y el de velocidad de flujo involucra el diseño de circuitos acondicionadores de señal y la conexión de éstas salidas al multiplexor analógico de selección de canal CD 4051 (U31 de la figura 3.6.3), en donde se tienen 5 entradas extra disponibles. Además se tendría que evaluar si es necesario cambiar el

convertidor CD/CD por uno que pueda proporcionar la corriente necesaria para la carga extra.

Para las otras variables mostradas en la figura C.4, en algunos casos se pueden utilizar las entradas al electrocardiógrafo como en el caso del electroretinograma en el que se puede utilizar el electrodo precordial del ECG como entrada al electrodo de contacto, utilizándose las demás entradas para referenciar el párpado del paciente (entrada monopolar), sin embargo en el caso del electroencefalograma se requiere la utilización de 10 a 20 electrodos montados en la superficie del cráneo (sistema recomendado por la Federación Internacional de Sociedades de EEG) con entradas bipolares (entre cada par de electrodos), monopolares referenciadas a una referencia distante (el lóbulo de la oreja), y monopolares referenciadas a el promedio de las otras señales. En el caso de los electroneurógrafos y de los electromiógrafos se requiere la medición bipolar en varios puntos a lo largo de un nervio o de un músculo para seguir la respuesta del mismo a los estímulos aplicados (potenciales evocados) o en el caso del electromiograma para seguir la acción "motora" de los músculos (45).

En estos últimos casos podría ser preferible la utilización de un sistema multicanal con multiplexor de entrada, de modo que se puedan seleccionar los canales a utilizar antes de entrar a los acondicionadores de señal (amplificadores y filtros), ya que puede resultar complicada la utilización de una arquitectura de un amplificador por canal.

- 13.-Se pueden introducir al programa rutinas para procesar la información como un sistema experto, de tal forma que se pueda obtener un reporte de algunas alteraciones encontradas en los registros. Las cardiopatías se puede detectar como arritmias, variaciones en la amplitud de la señal, introducción o falta de pulsos, variaciones en el periodo de los segmentos PR, QRS, y QT con respecto a la frecuencia cardíaca, cambios en la pendiente de las ondas, movimientos de la señal con respecto a la línea base, asincronía entre las diferentes señales del trazo, deformaciones totales de la señal electrocardiográfica (p.e. en la fibrilación ventricular), etc.(45). En el sistema experto se pueden introducir las formas de onda típicas para compararlas con las señales de entrada, y producir un diagnóstico de las cardiopatías encontradas.
- 14.-El circuito medidor de temperatura, aun cuando en el intervalo de

medición (20 a 45 °C), presenta un error diferencial máximo de 0.4 °C, al haber sido calibrado a una temperatura de 35 °C, como se puede observar en la figura 4.1.8, en un intervalo de 25 a 45 °C, se puede considerar una exactitud de ± 0.2 °C (ya que este intervalo de temperatura es el de mayor utilización en el campo médico)(43).

- 15.-La exactitud de los termómetros de columna de mercurio (típicamente utilizados en el diagnóstico médico) puede llegar a ser hasta de 0.1 °C, sin embargo tienen una constante de tiempo muy grande (hasta de tres minutos para alcanzar un 99 % del valor real), son frágiles, y pueden presentar errores en la medición por la formación de burbujas o si no se utilizan en total inmersión, por la diferente constante de tiempo del vidrio y mercurio (43).

En este proyecto el sensor utilizado tiene una exactitud de ± 0.4 °C en el intervalo de medición (20 a 45 °C), sin embargo para mejorar la exactitud del termómetro, se puede utilizar otro tipo de sensores como los termistores, con una exactitud típica entre 0.1 y 1 °C, o los RTD's de platino, con una exactitud típica entre 0.01 y 0.1 °C (los termopares tienen una exactitud típica entre 1.5 y 5 °C) (42). Estos sensores pueden tener una constante de tiempo menor a 10 segundos para propósito general (44) y ofrecen un intervalo de temperatura típico entre -40 y 150 °C para los termistores y entre -50 y 400 °C para los RTD, que es muy superior al intervalo de temperatura utilizado en el diagnóstico médico (véase parte 3.1.2), sin embargo, su precio está entre 88 y 347 US \$ (44).

- 16.-En relación al fotopletismógrafo, el sensor construido tiene la desventaja de que en estudios donde el paciente debe estar en movimiento, la mano donde se encuentra el sensor debe estar en reposo, ya que al mover la posición del sensor con respecto al vaso sanguíneo se presenta un cambio de forma en la señal de entrada produciéndose una lectura errónea, sin embargo, se puede realizar un dispositivo mecánico que sujete firmemente el sensor al dedo del paciente, para solucionar dicho problema.
- 17.-Una aproximación del valor de los componentes, la construcción de los circuitos impresos y un gabinete apropiado, puede dar idea de la posibilidad de producción del prototipo. El costo del proyecto se evaluó en base a los precios de un catálogo norteamericano, ya que en México no es fácil conseguir una cotización completa de todos los elementos del

sistema. De esta forma el costo en componentes del proyecto es de 522.72 US \$(37).

El costo de equipos para el monitoreo electrocardiográfico en el mercado mexicano (desde los de registro de papel a los computarizados) va desde 3,600 a 28,000 US \$ (marzo de 1993). Estos productos, principalmente importados, no permiten la medición de temperatura y frecuencia cardiaca, aunque en el caso del ECG el equipo más caro permite el registro de varios canales en una computadora con microprocesador 80486.

Basados en estos datos, se piensa que es posible la producción y comercialización de sistemas como el desarrollado, para el mercado nacional o internacional.

No

Existe

Página

PARTE VI

REFERENCIAS

- [1] *John A. Stankovic, Krithi Ramamritham*, TUTORIAL, HARD REAL-TIME SYSTEMS, IEEE Press.
- [2] *Antonio Bayés de Luna*, FUNDAMENTOS DE ELECTROCARDIOGRAFIA, Editorial Científico-médica, 1981.
- [3] *Texas Instruments Inc.*, TTL DATABOOK, 1981.
- [4] *Herbert Taub, Donald Schilling*, DIGITAL INTEGRATED ELECTRONICS, Mc Graw Hill International Editions.
- [5] *Bill Englemann, Mark Abraham*, "Personal Computer Signal Processing", BYTE, Abril 1984, EUA.
- [6] *Yu-Cheng Liu, Glenn A. Gibson*, MICROCOMPUTER SYSTEMS: THE 8086/8088 FAMILY, Prentice Hall Inc.
- [7] *Augle Hansen*, "Mapping PC Address Space", PC Tech. Journal, Marzo 1987, EUA.
- [8] *Lewis C. Eggebrecht*, INTERFACING TO THE IBM PERSONAL COMPUTER, Howard W. Sams.
- [9] *James W. Coffron*, THE IBM PC CONNECTION, Sybex.
- [10] *Motorola Inc.*, SCHOTTKY TTL DATA, 1985
- [11] *Intel Corp.*, MYCROSYSTEM COMPONENTS HANDBOOK 1, 1989.
- [12] *Intel Corp.*, COMPONENT DATA CATALOG, 1981.
- [13] *Gerald E. Graeme, Gene E. Tobey*, OPERATIONAL AMPLIFIERS, DESIGN AND APPLICATIONS, Mc. Graw Hill International Editions.
- [14] *Burr Brown Corp.*, INTEGRATED CIRCUITS DATA BOOK, 1987.
- [15] *National Semiconductor Corp.*, LINEAR DEVICES DATA BOOK II, 1987.
- [16] *Walter Werkowitz, Sid Detsch*, BIOMEDICAL INSTRUMENTS: THEORY AND DESIGN, Academic Press.
- [17] *Motorola Inc.*, CMOS LOGIC DATA, 1988
- [18] *Henry W. Ott*, NOISE REDUCTION TECHNIQUES IN ELECTRONIC SYSTEMS, John Wiley & Sons.
- [19] *Howard M. Yanof*, BIOMEDICAL ELECTRONICS, A. Davis Company.
- [20] *L.A. Geddes, L. E. Baker*, PRINCIPLES OF APPLIED BIOMEDICAL INSTRUMENTATION, John Wiley & Sons.
- [21] *Daniel H. Sheingold*, TRANSDUCER INTERFACING HANDBOOK, Analog Devices Inc.
- [22] *Ryu Narayama, Takehiko Azuma*, "Noninvasive measurements of digital

- arteria pressure and compliance in man", *Amateur Journal on Physiology*, 1977, EUA.
- [23] *Motorola Inc.*, LINEAR AND INTERFACE INTEGRATED CIRCUITS, 1985.
- [24] *Bruce B. Winter, John G. Webster*, "Driven-Right-Leg Circuit Design", *IEEE Transactions on Biomedical Engineering*, Enero de 1983, EUA.
- [25] *Peter M. Thompson*, Programa CC, Versión 3, © Copyright 1985.
- [26] *Paul B. Brown, Bruce W. Maxfield, Howard Moraff*, ELECTRONICS FOR NEUROBIOLOGISTS, The MIT Press, 1973.
- [27] *Richard C. Jaeger*, "Tutorial: Analog Data Acquisition Technology, part IV", *IEEE Micro*, Febrero 1983, EUA.
- [28] *James P. Ary*, "A head mounted 24 channel evoked potential preamplifier employing low-noise operational amplifiers", *IEEE Transactions on biomedical engineering*, Mayo 1977, EUA.
- [29] *Walter G. Lung*, IC OP-AMP COOKBOOK, Howard W. Sams Inc.
- [30] *Richard C. Jaeger*, "Tutorial: Analog Data Acquisition Technology, part III", *IEEE Micro*, Noviembre 1982, EUA.
- [31] *Arthur B. Williams, Fred J. Taylor*, ELECTRONIC FILTER DESIGN HANDBOOK, Mc Graw Hill.
- [32] *Analog Devices Inc.*, DATA AQUISITION COMPONENTS AND SUBSYSTEMS, 1980.
- [33] *Motorola Inc.*, OPTOELECTRONIC DEVICE DATA, 1988.
- [34] *Nai-Shin Chu, Kenneth C. Squires, Arnold Starr*, "Auditory Brain Stem Responses in Chronic Alcoholic Patients", *Electroencephalography and Clinical Neurophysiology*, 1982, Irlanda.
- [35] *Motorola Inc.*, LINEAR/SWITCHMODE VOLTAGE REGULATOR HANDBOOK, THEORY AND PRACTICE, 1982.
- [36] *Wintek Corporation*, Programa SMARTWORK versión 1.4 r1, © Copyright 1988.
- [37] *Newark Electronics*, NEWARK CATALOG NUMBER 110, 1989.
- [38] *National Semiconductor Corp.*, LINEAR DEVICES DATA BOOK II, 1987.
- [39] *Donald Chase*, "Consider Every Error Source for Data Aquisition Design", *Control Engineering*, Junio 1980, EUA.
- [40] Colaboración del Dr. Carlos García Moraira, Laboratorio de Biofísica de la Facultad de Ciencias, UNAM.
- [41] *Timothy A. George, David Bones*, "Harmonic power flow determination using the Fast Fourier Transform", *IEEE Transactions on Power Delivery*, Abril de 1991, EUA.
- [42] *Hewlett Packard*, TEST AND MEASUREMENT CATALOG, 1990.

- [43] Avraham Shitzer, Robert C. Eberhart, HEAT TRANSFER IN MEDICINE AND BIOLOGY, ANALYSIS AND APPLICATIONS, VOL. 2, Plenum Press, 1985.
- [44] Cole Parmer Instrument Company, COLE PARMER CATALOG, 1992.
- [45] Webster J. G., MEDICAL INSTRUMENTATION, APPLICATION AND DESIGN, Boston, Houghton Mifflin Company, 1978.