



300617
29
Lef

UNIVERSIDAD LA SALLE
ESCUELA DE INGENIERIA
INCORPORADA A LA U. N. A. M.

" DESARROLLO DE CODIFICADORES DE LINEA "

TESIS PROFESIONAL

QUE PARA OBTENER EL TITULO DE

INGENIERO MECANICO ELECTRICISTA

PRESENTA

Francisco José Fabregat Ramírez

DIRECTOR DE TESIS: ING. MARIO IBARRA PEREYRA

TESIS CON
FALLA DE ORIGEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

CAPITULO I. Introducción y Definiciones.

I.I. Introducción	1
----------------------------	---

CAPITULO II. Conceptos Básicos.

II.I. Transmisión de Datos	6
------------------------------------	---

II.II. Código de Línea	7
-------------------------------	---

II.III. Código NRZ y sus características.

II.III.I. NRZ-L (Unipolar y Polar)	9
---	---

II.III.II. NRZ-Bipolar	11
--------------------------------	----

II.III.III. NRZ-M-Unipolar	12
-----------------------------------	----

II.III.IV. NRZ-S	13
--------------------------	----

II.IV. Código RZ y sus características.

II.IV.I. RZ-Unipolar	15
--------------------------------	----

II.IV.II. RZ-Polar	16
-----------------------------	----

II.IV.III. RZ-Bipolar	17
-------------------------------	----

II.V. Código Bifásico y sus características.

II.V.I. Bifásico-L	18
------------------------------	----

II.V.II. Bifásico-M	20
------------------------------	----

II.V.III. Bifásico-S	21
------------------------------	----

II.VI. Código CMI y sus características	22
--	----

II.VII. Código DMM y sus características	23
--	----

II.VIII. Código SPM y sus características	24
---	----

II.IX. Código HDB3 y sus características	26
---	----

CAPITULO III.	Densidad Espectral de Potencia (DEP).	
III.I.	Definiciones	31
III.II.	Análisis Espectral.	
III.II.I.	Código NRZ (Enc.-Apag.)	37
III.II.II.	Código RZ-Unipolar	41
III.II.III.	Código RZ-Polar	42
III.II.IV.	Código RZ-Bipolar	43
CAPITULO IV.	Diseño del Codificador HDB3	46
CAPITULO V.	Desarrollo del Circuito Decodificador HDB3...	56
CAPITULO VI.	Implementación y pruebas.....	62
CAPITULO VII.	Conclusiones	73
	Hojas técnicas	76

C A P I T U L O I

INTRODUCCION

Los Sistemas de Comunicación se han desarrollado rápidamente provocando un efecto multiplicador que produce cada vez más avances tecnológicos y cada vez con más rapidez.

El desarrollo en los sistemas de comunicación ha provocado que la transmisión de datos sea cada vez más rápida y más confiable.

En la historia de las comunicaciones se puede observar que conforme se generaban sistemas más complejos de comunicación, los usuarios se hacían más exigentes en el funcionamiento y calidad de los sistemas desarrollados, provocando así la creación de necesidades conforme se fué desarrollando la tecnología en las comunicaciones.

Las comunicaciones analógicas se desarrollaron rápidamente pero se observaron algunas particularidades en la transmisión de datos, tales como la inmunidad al ruido, la facilidad de recuperar la señal original, la posibilidad de codificación y protección de señales entre otras, lo cual hizo se que llegara a pensar en la transmisión digital, como una alternativa favorable.

La cadena que se debe de seguir para lograr un canal de información, es el tener un transmisor, un receptor y un mensaje, de tal manera que se ha tenido que complementar éste sistema de comunicación para protegerlo de errores, para asegurar la calidad de transmisión y así hacerlo más confiable.

Un problema que existe en la transmisión de datos es la falta de sincronía entre el transmisor y el receptor, la cual consiste en una diferencia de temporización entre el reloj de una etapa y el de la otra, provocando que el mensaje que se transmite no se interprete de una forma idéntica.

Para lograr la sincronía entre transmisor y receptor, es necesario que el reloj de uno tenga un medio de comparación con el otro y tenga la capacidad de que al registrar una diferencia entre ellos esta pueda ser corregida. Una forma de lograrlo es el tener una señal de reloj maestra, que rija la temporización tanto en el transmisor como en el receptor, lo cual es muy costoso porque

se necesitaría una línea especial para el manejo de la señal de temporización.

Para lograr ésto, se puede enviar esporádicamente una señal de sincronía, o también podemos hacer que la señal de reloj viaje junto con el mensaje, para que al llegar el mensaje al receptor se recupere el reloj. A ésto se le conoce como regeneración de reloj.

La regeneración de reloj por medio de la temporización mezclada en el mensaje, exige que el código tenga cambios de nivel sincronamente con el reloj original, lo cual no cumple el código NRZ, el más primitivo de los códigos. Se podría pensar que ésta característica se cumple en el código BIFASICO, pero tiene el inconveniente de que los flancos de cambio de nivel no coinciden necesariamente con los cambios de nivel del reloj, por lo que pensamos en el código RZ.

Como se verá en el capítulo correspondiente la señal RZ lleva en ella una señal de reloj, pero tiene una componente de corriente directa ya que es unipolar, y como una componente de corriente directa en la señal transmitida no es deseable, entonces se recurre a algún código bipolar tal como el AMI (inversión de marcas alternada).

El código AMI, nos conviene por las características que hemos mencionado superficialmente anteriormente, pero aún presenta el problema de las secuencias prolongadas de ceros, que nos podrían

introducir un error de temporización en los sistemas de recepción.

Dentro de los códigos que se tratarán en el desarrollo del trabajo, uno de ellos es el llamado HDB3 (Código Bipolar de Alta densidad de orden 3), el cual tiene como objetivo el guardar sincronía entre el transmisor y el receptor por medio de la recuperación de reloj con el mensaje transmitido y por medio de sustituciones no permitiendo espacios nulos en el mensaje lo suficientemente prolongados para que las fluctuaciones de fase en el reloj local confundan la temporización del mensaje.

Así pues, los sistemas de transmisión de datos se van perfeccionando día a día lograndose las metas propuestas y mejorando cada vez más la eficiencia de los sistemas.

El objetivo de éste trabajo es el diseñar e implementar un circuito Codificador/Decodificador de Línea y demostrar su utilidad.

El trabajo consta de 7 capítulos por medio de los cuales se pretende lograr el objetivo antes mencionado.

El capítulo II, incluye los conceptos básicos necesarios para el desarrollo del trabajo tales como Transmisión de Datos, Códigos de Línea, características de los códigos NRZ-L-Unipolar, NRZ-Polar, NRZ-Bipolar, NRZ-M-Unipolar, NRZ-S, RZ-Unipolar, RZ-Polar, RZ-Bipolar, Bifásico-L, Bifásico-M, Bifásico-S, CMI, DMM, SPM y HDB3, siendo éste último el más importante en el desarrollo.

En el capítulo III se lleva a cabo el análisis en Fourier de los datos codificados de algunos de los códigos que se tratan en el trabajo.

En el capítulo IV, se desarrolla el circuito Codificador HDB3.

En el capítulo V, se desarrolla el circuito Decodificador HDB3.

El capítulo VI, trata de la implementación de los circuitos que se desarrollaron en los capítulos IV y V.

El capítulo VII, trata de los problemas en el desarrollo de los circuitos, del análisis y las conclusiones del trabajo elaborado.

C A P I T U L O I I

CONCEPTOS BASICOS

II.I. Transmisión de Datos. El propósito de los procesos de transmisión de datos es el transferir información de un lugar a otro. Para que la comunicación sea eficaz, la transferencia de información debe tener lugar en forma rápida y exacta, para lo cual se deben de cumplir varias condiciones:

a) El transmisor y el receptor deben de adecuarse en forma eficaz y efectiva a la fuente de mensajes, al canal de transmisión y al destinatario de los mensajes, ya que si no existe una correcta interfase entre todos los elementos del sistema, entonces no funcionará la transmisión de datos con las características que mencionamos al principio.

b) Se requiere un conjunto de caracteres o elementos portadores de información completamente definidos, no ambiguos, aceptados por

convención y en cantidad suficiente para las tareas que se deben desempeñar, siendo éste conjunto de caracteres compatibles con el canal de transmisión que se ha de utilizar.

c) El transmisor y el receptor deben de ser capaces de operar a la velocidad de transferencia de información o transmisión deseada. Todos los elementos que intervengan en el proceso deben de ser capaces de mantener dicha velocidad.

d) Se puede permitir cualquier cantidad de distorsión en la señal y cualquier recorte de ancho de banda, siempre que el receptor pueda reconocer los unos y los ceros.

De tal forma que podemos decir que la transmisión de datos es transferir información de un punto a otro con los elementos adecuados para que ésta sea eficaz, rápida y exacta.

II.II. Código de Línea. La información digital se puede representar de varias maneras que se diferencian entre sí fundamentalmente en las formas de las ondas que se usan y en las características que representan ventajas o desventajas para la transmisión.

La elección de una forma particular de representación, también llamada Codificación, debe permitirnos lograr los objetivos del

sistema en la forma más económica. Además en el proceso de elección se debe de considerar la factibilidad técnica, la confiabilidad de las comunicaciones y la complejidad de los equipos.

Para elegir el código a utilizar, se debe de dar prioridad a los siguientes factores:

a) Contenido de Corriente Continua, ya que la mayoría de los enlaces de comunicación no permiten el paso de corriente continua, por lo que es esencial que dicha componente sea muy pequeña (idealmente nula) para que la comunicación sea confiable.

b) Facilidad para extraer la información de sincronismo, ya que en la mayoría de los sistemas prácticos de transmisión sincrónica, el receptor tiene circuitos especiales que extraen la señal de sincronismo de la corriente de información recibida y generan la señal de reloj.

Para utilizar éste tipo de circuitos es indispensable que se pueda recuperar la señal de sincronismo del mensaje recibido.

c) Complejidad, debido a que en las aplicaciones se podrían construir códigos muy buenos si no se considerara la complejidad de los equipos. La complejidad de los equipos se debe de mantener al mínimo, para disminuir los problemas de confiabilidad y reducir los costos.

d) Propagación de errores. Esta es una característica no deseable en la transmisión de datos, ya que si existe un error en la transmisión del mensaje original, el decodificador podría incluso generar errores adicionales en la decodificación debido a los errores que se presenten con anterioridad.

e) La Detección de errores es deseable ya que de esta forma, los errores que se generen en la transmisión de un mensaje, se pueden detectar o indicar, ya sea que se retrasmite el mensaje o simplemente el usuario receptor se entera de que existe error en el mensaje recibido.

II.III. Código NRZ y sus Características.

II.III.I. NRZ-L (UNIPOLAR Y POLAR).

Las siglas NRZ quieren decir "No Retorno a Cero" (no return to zero). La característica de éste código, es que el cambio de nivel de la señal ocurre sólo cuando hay un cambio en el valor lógico del mensaje; esto es, no se distingue la separación entre unos contiguos o entre ceros contiguos.



Este es el formato que se utiliza como un patrón de referencia o base de comparación para determinar las ventajas o desventajas de cualquier otro arreglo que se pueda implementar.

La letra "L" se debe a que en éste código cada valor lógico tiene un nivel (Level) único y exclusivo y no puede tomar ningún otro nivel.

Si el eje del tiempo fijo en un valor de voltaje cero, coincide con el nivel de los ceros lógicos, estamos en el caso usual de la señal de salida de un circuito TTL, en el que los ceros se representan con cero volts y los unos con +5 volts y entonces la señal se llama unipolar.

Cuando los ceros se representan con un voltaje negativo y los unos con voltaje positivo, entonces estamos en el caso de una señal Polar, que tiene la ventaja de que reduce (pero no anula) la componente de directa de la señal.

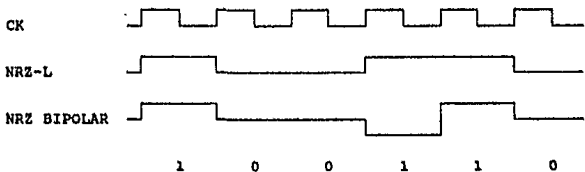
En éste código cada bit se reconoce por sí mismo, sin ayuda de los anteriores, por lo que un error en la identificación de un símbolo no introduce confusión en la identificación del siguiente.

Por ésto es por lo que se dice que el código NRZ-L no permite la propagación de errores.

Pero por otra parte es fácil notar que si se presenta un error y un bit que se encuentra en estado alto se identifica en estado bajo, no hay forma de detectar el error, lo que implica que con éste código, el receptor no es capaz de detectar y corregir errores.

II.III.II. NRZ-BIPOLAR.

Este código también es llamado Seudoternario; su regla consiste en alternar su polaridad de los unos sin tomar en cuenta la presencia de los ceros.



Puede notarse sin dificultad que la presencia de corriente directa es nula, ya que el área de la señal que se encuentra arriba

del eje del tiempo es igual al área de la señal que se encuentra debajo del eje del tiempo.

En éste caso no hay propagación de errores, pero solamente se puede detectar un error cuando éste se encuentra entre varios pulsos correctos, ya que de ésta forma se podría encontrar la violación a la regla de inversión alternada de marcas.

Este código es inmune a la inversión de fase y en cuanto a sincronía se refiere es bastante mejor que el NRZ-L, ya que se puede distinguir perfectamente el cambio de nivel en cada ciclo de reloj cuando se encuentran varios unos contiguos y por lo tanto, el reloj y la señal pueden encontrar más puntos que coincidan en fase, la sincronía falla con los trenes largos de ceros.

II.III.III. NRZ-M-UNIPOLAR.

Este código es muy sencillo y se aplica cuando hay cierta seguridad de que en el mensaje existan mayor número de unos que de ceros.

La letra "M" del nombre del código significa MARCA.

La regla de aplicación consiste en realizar un cambio de nivel en el comienzo del ciclo de reloj cuando se presenta un uno y no se registra cambio de nivel cuando se presenta un cero.



Este código es similar al NRZ-B de que se hablará en el siguiente párrafo.

ii.iii.iv. NRZ-B.

La letra "B" significa "Espacio" (Space). Cuando un mensaje tiene mucho mayor cantidad de ceros que de unos, lo más probable es que los ceros se presenten en trenes largos, lo cual da origen a que el receptor pierda la sincronía, ya que no recibe la adecuada información de tiempo. Este es el caso que también se expuso en el código NRZ-M, pero con mayor número de unos.

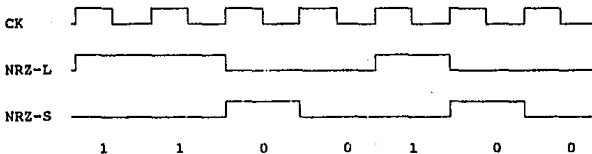
Para elegir cual de los códigos se utilizara, se deberá de realizar un análisis estadístico para determinar si hay mayor número de unos que de ceros o mayor número de ceros que de unos, pero hay que recordar que para fines prácticos y tomando en cuenta la aleatoriedad de un mensaje, se toma 50% de probabilidades en

cada estado y se preferirá utilizar un código que considere casi iguales el número de unos que de ceros.

El caso en el que se podría asegurar mayor número de ceros o de unos, sería cuando el sistema de codificación binaria del mensaje, traduzca a cada símbolo con más o menos unos en todo su sistema de codificación, pero esto ya pertenece al tema de la teoría de la información que no trataremos en este trabajo.

Para subsanar el inconveniente de que se presenten mayor número de ceros que de unos y se pueda perder la sincronía entre transmisor y receptor, el formato NRZ-S codifica el mensaje con la regla de que cuando se presente un cero, la señal cambiará de nivel al comenzar el ciclo de reloj, y cuando se presente un uno, no cambiará de nivel.

Este formato no tiene capacidad de corrección de errores.

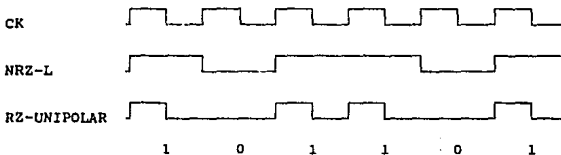


II.IV. Código RZ y sus características.

II.IV.I. RZ-UNIPOLAR.

Las siglas RZ significan con Retorno a Cero (Return to Zero).

Este formato, tiene una estructura muy sencilla: Los unos se codifican con voltaje alto, pero solamente durante medio periodo y el nivel retorna al nivel cero en el otro medio periodo. Los ceros se codifican con cero volts todo el periodo.



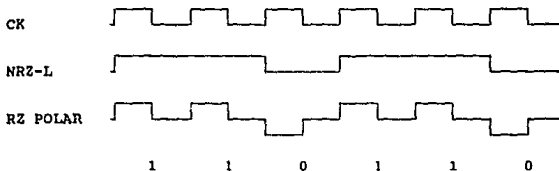
Si comparamos las señales NRZ y RZ se puede observar que la señal RZ tiene la mitad del área que la NRZ, por lo que la componente de directa también se reduce a la mitad.

No existe detección de errores ni forma de corregirlos. La inversión de fase de la señal puede ser detectada, pero para poder recuperar el mensaje, la señal debe de ser nuevamente invertida.

II.IV.II. RZ-POLAR.

La regla para estructurar éste código es:

- a) Los unos tienen un voltaje positivo durante medio periodo y voltaje cero el otro medio periodo.
- b) Los ceros tienen voltaje negativo durante medio periodo y voltaje cero el otro medio periodo.



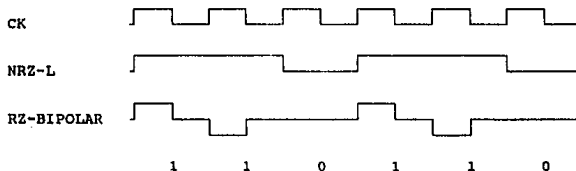
Se puede observar que la componente de directa es casi nula (esto depende de la cantidad de unos y de ceros en el mensaje). No hay propagación de errores, ya que un pulso mal interpretado no provoca otros errores a consecuencia de ese error.

En caso de que un nivel positivo se convierta en un nivel negativo y viceversa, el error no puede ser detectado ni corregido, sólo se puede detectar un error cuando un nivel diferente de cero se convierta en un nivel cero o viceversa.

No hay inmunidad a la inversión de fase puesto que la señal volteada al revés tiene el mismo aspecto que al derecho.

II.IV.III. RZ-BIPOLAR

Este código también es llamado AMI, que significa Inversión Alternada de Marcas y requiere de dos pasos de conversión: primero pasar de NRZ a RZ y finalmente hacer la inversión alternada de marcas.



Este es una variante del formato NRZ-Bipolar, en la que los unos contiguos están separados entre sí por lo menos por medio ciclo de reloj en el cual la señal tiene un valor de cero volts. No tiene componente de directa y su capacidad de detectar y corregir errores es muy limitada, ya que solamente puede detectar una violación a la regla de inversión alternada de marcas cuando se presenta entre dos marcas correctas.

La sincronización del receptor no es muy buena pero se puede lograr rectificando la señal recibida, lo que la convierte en señal RZ-Unipolar en la que un tren largo de ceros puede propiciar el desajuste en la señal de temporización del receptor.

II.V. Código Bifásico y sus Características.

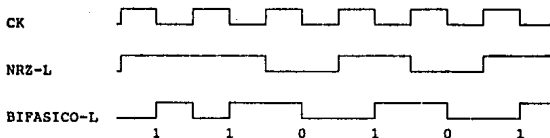
II.V.I. BIFASICO-L.

Este código es también llamado Manchester II. El nombre de Bifásico-L, se refiere a que la señal binaria cambia de fase según el bit que se va a codificar. La letra "L" significa "Nivel" (Level).

Para codificar en éste formato se sigue la siguiente regla:

a) Si vamos a codificar un cero, la señal permanece en nivel alto durante el primer medio periodo y regresa a nivel bajo el otro medio periodo.

b) Si vamos a codificar un uno la señal permanece en nivel bajo el primer medio periodo y pasa a nivel alto durante el otro medio periodo.



Con ésta codificación se pueden tener algunas variantes:

- a) Unipolar, si la parte inferior de la señal está a cero volts.
- b) Polar, si el eje de referencia pasa a la mitad de la figura y las partes inferiores son negativas.

En éste último caso, la señal pierde totalmente la componente de directa, ya que el área de la señal sobre el eje horizontal es igual al área debajo de dicho eje.

Este código sí permite la propagación de errores ya que en un tren largo de unos o de ceros, si el reloj invierta su fase, todo el tren se decodificará al revés.

Este formato tiene alguna capacidad de corrección de errores, debido a que una marca ancha siempre va después de un espacio ancho, aunque entre ellos haya varias marcas y espacios angostos; así mismo, las marcas y los espacios solo pueden durar medio periodo o un periodo.

La inversión total de fase del mensaje no es detectable y conduce a la interpretación del mensaje al revés.

La sincronía del receptor se facilita mucho durante los trenes largos de ceros, ya que en esas ocasiones, el reloj está en fase

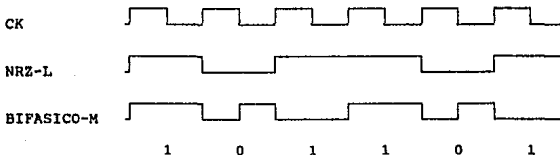
con la señal, pero durante los unos, el reloj está en contrafase con la señal recibida y tal vez se pueda implementar un circuito que aproveche tal circunstancia para mejorar la sincronía.

II.V.II. BIFASICO-M.

En ésta técnica también se codifica con cambios de fase de la señal. La letra "M" significa "Marca" (Mark).

La regla para éste código es la siguiente:

- a) Si se va a codificar un uno, la señal tomará el nivel contrario al precedente durante todo el periodo.
- b) Si vamos a codificar un cero, la señal cambia de nivel al empezar el periodo y nuevamente cambia de nivel a la mitad del periodo.



Podemos observar que si la señal es polar (marcas positivas y espacios negativos), la componente de corriente directa

desaparece.

Este código no permite la propagación de errores y debido a que siempre ha de haber un cambio al principio del periodo, se pueden detectar los errores, pero sólo se puede corregir cuando se presenta intercalado entre varios bits correctos.

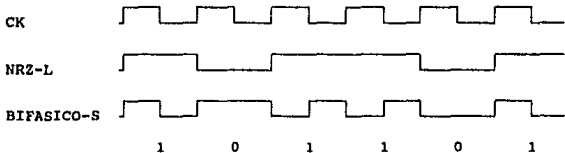
Para decodificar, el receptor debe de decir: si solamente hay un nivel(cualquiera que este sea) en un ciclo de reloj, entonces corresponde a un uno. Si hay dos cambios de nivel en un ciclo de reloj, entonces corresponde a un cero. Por lo tanto no importa el nivel en que se encuentre, sino el número de cambios de nivel que se presentan en un ciclo de reloj, y por lo tanto, es inmune a la inversión de fase.

II.V.III. BIPASICO-S.

En éste formato la regla para codificar es la siguiente:

- a) Si el bit que vamos a codificar es un cero, habrá el nivel contrario al precedente durante todo el periodo.

- b) Si el bit que vamos a codificar es un uno, habrá cambio de nivel al empezar el período y cambio de nivel a la mitad de éste.

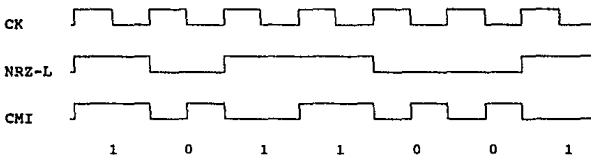


Como se puede observar, las reglas que se siguen para ésta codificación son las contrarias a las que se mencionaron para el Bifásico-M, y cuentan con las mismas características ya antes mencionadas.

II.VI. Código CMI y sus Características.

Las siglas significan "Código de Inversión de Marcas" y las reglas para codificar éste formato son las siguientes:

- Un cero siempre se codifica como transición de nivel bajo a nivel alto a la mitad del período.
- Un uno se codifica como el nivel contrario al uno precedente durante todo el período.



La componente de corriente directa será nula si se utiliza una señal polar. Los ceros siempre se reconocen porque son transiciones de nivel bajo a nivel alto y los unos se distinguen porque duran un ciclo completo de reloj, ya sea que estén en un nivel alto o bajo.

A pesar de que no hay un nivel asignado a un bit uno, éste depende del uno anterior.

Es posible corregir un error siempre y cuando éste se encuentre entre dos bits correctos.

La sincronía del receptor es factible de ajustar durante los ceros, ya que en ese momento las marcas están invertidas con respecto al reloj.

Si la señal se invierte es posible detectarlo, pero para poder corregirla es necesario volverla a su estado original, por lo tanto, no hay absoluta inmunidad a la inversión de fase.

II.VII. Código DMH y sus Características.

Estas siglas significan "Delayed Modulation Mark" y también se conoce como Código Miller. Su estructura es un poco complicada y para codificar se siguen las siguientes reglas:

a) Para codificar un uno se hace cambio de nivel a la mitad del

período del reloj.

b) Para codificar un cero, se hace cambio de nivel al final del período del reloj siempre y cuando el siguiente bit sea un cero, pero si el próximo bit es un uno no se hace cambio de nivel.



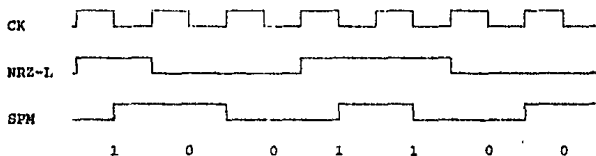
Estas reglas hacen necesario determinar el valor lógico del siguiente bit antes de asignarle su nivel al bit que estamos codificando, de aquí el nombre de Modulación Retardada.

Es probable que aún con la señal polar exista la componente de directa. Hay propagación de errores, pero hay inmunidad a la inversión de fase.

II.VIII. Código SPM y sus Características.

SPM quiere decir "Split Phase Mark" y también es conocido como Codificación por División de Fase o Codificación Bifásica Diferencial o Manchester Diferencial.

En este procedimiento, los unos se convierten en un cambio de nivel a la mitad del período y los ceros se convierten en un cambio de nivel al principio del período y otro cambio de nivel a la mitad del período.



Si la señal es polar, no existirá componente de directa. Este formato presenta el inconveniente de que al nivel correspondiente a un bit, depende del nivel asignado al bit anterior, por lo que si el receptor se equivoca al decodificar un bit, también se equivocará al decodificar el siguiente bit.

Por otra parte, existe la capacidad de detección de errores, ya que las marcas anchas se alternan con espacios anchos aunque vayan separados por marcas y espacios angostos.

II.IX. Código HDB3 y sus Características.

Existen ocasiones en que por efectos de los sistemas de comunicación en sus etapas de multiplexaje, demultiplexaje, distancia de las líneas y otros factores, se generan diferencias entre las señales de reloj del transmisor y del receptor.

HDB3 es un código de línea que tiene como objetivo el proteger y conservar la sincronía de reloj entre el transmisor y el receptor.

Otro objetivo que cubre el código HDB3, es el de identificar si se perdieron pulsos del mensaje registrando si se violó la regla bipolar.

El código de línea Bipolar de Alta Densidad de orden 3, también conocido como HDB3 (High Density Bipolar 3), transforma al mensaje original en otro mensaje que involucra algunos pulsos por los que el decodificador debe de reconocer si es que existe una secuencia de 4 ceros y cual es el estado adecuado del mensaje transmitido.

El CCITT en su Recomendación G. 703 en el anexo A, define a éste código de la siguiente manera:

ANEXO A

(de la recomendación G.703)

Definición del código HDB3

Para convertir una señal binaria en una señal HDB3 se aplican las siguientes reglas de codificación:

- 1) La señal HDB3 es pseudoaleatoria: sus tres estados se designan por B+, B- y 0.
- 2) Los 0 de la señal binaria se codifican como 0 en la señal HDB3, pero en el caso de secuencias de cuatro ceros se aplican reglas particulares (véase el § 4).
- 3) Los 1 de la señal se codifican alternadamente como B+ y B- en la señal HDB3 (inversión de marcas alternada AMI). Cuando se codifican secuencias de cuatro ceros, se introducen violaciones de la regla de inversión de marcas alternada (véase el § 4).
- 4) Las secuencias de cuatro ceros de la señal binaria se codifican

de acuerdo a lo siguiente:

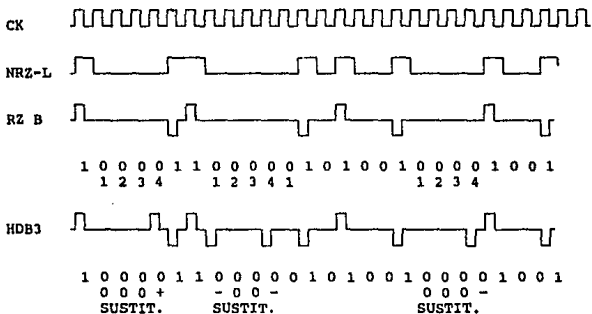
a) El primer cero de la secuencia se codifica como cero si el 1 precedente de la señal HDB3 tiene una polaridad opuesta a la de la violación precedente y no constituye una violación; se codifica como un 1, que no constituye una violación (es decir, B+ o B-), si el 1 precedente de la señal HDB3 tiene la misma polaridad que la violación precedente o constituye en sí mismo una violación. Esta regla asegura que las violaciones consecutivas sean de polaridad alternada, lo cual impide la introducción de una componente continua.

b) El segundo y tercer cero de la secuencia se codifican siempre como cero.

c) El último cero de la secuencia de cuatro se codifica como un 1 de polaridad tal que viole la regla de inversión de marcas alternada. Estas violaciones se designan V+ o V-, según sea su polaridad.

Esto es, que podemos resumir las sustituciones para las secuencias de cuatro ceros en el código HDB3 de acuerdo a la siguiente tabla:

POLARIDAD DEL ULTIMO UNO	No. 1 DESDE ULT. SUST.	
	IMPAR	PAR
+	0 0 0 +	- 0 0 -
-	0 0 0 -	+ 0 0 +



En el ejemplo anterior, se puede notar que cuando se registra una secuencia de cuatro ceros se coloca la sustitución correspondiente según el número de unos entre la sustitución anterior y la polaridad del último uno.

En caso de que se cuenten más de cuatro ceros, se comenzará la cuenta para lograr otro tren de cuatro ceros. Esto se pueda observar en el segundo tren de ceros en el ejemplo que se cuentan 1 2 3 4 1, siendo éste último 1 el primero de otra secuencia de cuatro ceros si se hubiesen completado.

C A P I T U L O I I I

DENSIDAD ESPECTRAL DE POTENCIA

III.1 DEFINICION

Son varios los factores que intervienen en la transmisión de datos, tales como la potencia, la frecuencia de transmisión y el ancho de banda de la señal.

Es necesario cuidar que la señal al ser transmitida tenga la potencia necesaria para llegar hasta su destino, pero también hay que cuidar que no sea demasiada potencia, porque puede interferir con alguna otra línea de transmisión cercana.

Hay que cuidar que el ancho de banda de la señal quede dentro de los límites establecidos ya sea por la institución reguladora (en México S.C.T.) o por las exigencias de los circuitos receptores. Si el ancho de banda de la señal es muy grande, ésta interferirá en el campo de las frecuencias contiguas.

Observando que son éstos dos parámetros (nivel y ancho de banda) de mucha importancia, se busca una forma de estudiar y

representar la relación de cada una de las frecuencias abarcadas en el ancho de banda de la señal y el nivel que tienen, dicho de otra forma, se busca la DENSIDAD ESPECTRAL de POTENCIA.

La densidad espectral de potencia es una $S(\omega)$ tal que:

$$\int_{-\infty}^{\infty} S(\omega) d\omega = P \text{ total}$$

Para calcularla, consideremos una serie de pulsos de magnitudes y polaridades arbitrarias de anchura t_0 y frecuentes en intervalos T_0 .

Una limitante del análisis de la densidad espectral de potencia es la forma rectangular de los pulsos. Para generalizar éste caso, consideremos un tren de impulsos $x(t)$ frecuentes en periodos T_0 con una intensidad en KT_0 igual a A_k .

Si $x(t)$ se hace pasar por un filtro con respuesta al impulso unitario $p(t)$, entonces la salida $y(t)$, será el mismo tren de impulsos pero con éstos impulsos reemplazados por pulsos de forma $p(t)$.

Estos pulsos se repiten cada T_0 segundos y el pulso en kT_0 es $A_k p(t)$.

También la densidad espectral de potencia de una salida $y(t)$, $S_y(\omega)$ es $|F(\omega)|^2 S_x(\omega)$.

Para obtener $S(\omega)$, tenemos que deducir primero una expresión para $R_x(\tau)$, que es la función de autocorrelación del tren de impulsos $x(t)$. Consideremos un tren de impulsos rectangulares con anchura $\epsilon \rightarrow 0$ y altura h_k en el k -ésimo pulso. Por ésto la intensidad del pulso $A_k = \epsilon h_k$.

Al tren de pulsos lo llamaremos $\bar{x}(t)$, por lo tanto:

$$R\bar{x}(t) = \lim_{T \rightarrow \infty} 1/T \int_{-T/2}^{T/2} \bar{x}(t) \bar{x}(t-\tau) dt$$

Tomando en cuenta que ϵ es la anchura del pulso y que τ es el desplazamiento entre un pulso y otro de la misma función, siendo $\tau < \epsilon$, la integral en la ecuación anterior es el área bajo la curva de la señal $\bar{x}(t)$ multiplicada por $\bar{x}(t)$ retardada por $\tau (\tau < \epsilon)$, por lo tanto el área es $(h_k)^2 (\epsilon - \tau)$, por lo tanto:

$$R\bar{x}(\tau) = \lim_{T \rightarrow \infty} \frac{1}{T} \sum_k (hk)^2 (\epsilon - \tau)$$

$$R\bar{x}(\tau) = \lim_{T \rightarrow \infty} \frac{1}{T} \sum_k (\Delta k)^2 [(\epsilon - \tau)/\epsilon^2]$$

$$R\bar{x}(\tau) = R_0 / (\epsilon T_0) [1 - (\tau/\epsilon)]$$

donde:

$$R_0 = \lim_{T \rightarrow \infty} (T_0/T) \sum_k (\Delta k)^2$$

como $R\bar{x}(\tau)$ es función par de τ , entonces:

$$R\bar{x}(\tau) = [R_0 / (\epsilon T_0)] [1 - (|\tau|/\epsilon)]$$

$$|\tau| < \epsilon$$

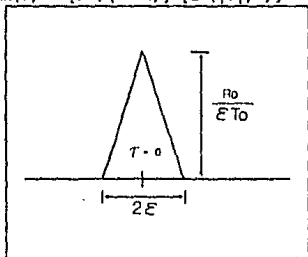


FIGURA 1

por lo tanto $\bar{R}_x(t) \rightarrow 0$ cuando $\tau \rightarrow \epsilon$.

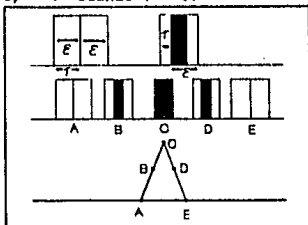


FIGURA 2

Si τ se incrementa mucho, comenzará a traslaparse con el siguiente pulso originando otro pulso triangular de altura $R_1/(\epsilon T_0)$ y anchura 2ϵ con centro en $\tau = T_0$

$$R_1 = \lim_{T \rightarrow \infty} (T_0/T) \sum_k A_k A_{k+1}$$

Este efecto sucede para $2T_0$, $3T_0$ y así sucesivamente, por lo que $\bar{R}_x(\tau)$ es una sucesión de pulsos triangulares de anchura 2ϵ con centro en $\tau=0$, $\pm T_0$, $\pm 2T_0$... y altura $R_n/(\epsilon T_0)$, donde:

$$R_n = \lim_{T \rightarrow \infty} (T_0/T) \sum_k A_k A_{k+n}$$

Para encontrar $R_x(\tau)$, se hace que $\epsilon \rightarrow 0$ en $\bar{R}_x(\tau)$.

Cuando $\epsilon \rightarrow 0$, la anchura de cada pulso triangular $\rightarrow 0$ y la altura $\rightarrow \infty$ en tal forma que el área será finita.

Para el n -ésimo pulso con centro en nT_0 , la altura es $R_n/(\epsilon T_0)$ y el área será R_n/T_0 .

$$\text{Area} = \underbrace{(2\epsilon)}_{\uparrow} \underbrace{[R_n/(\epsilon T_0)]}_{\uparrow} / 2 = R_n/T_0$$

Por lo tanto: $R_x(r) = 1/T_0 \sum_{n=-\infty}^{+\infty} R_n \delta(r - nT_0)$

con $R_n = \lim_{T \rightarrow \infty} (T_0/T) \sum_k A_k A_{k+n}$

La densidad espectral de potencia $S_x(w)$ es la Transformada de Fourier de $R_x(r)$:

$$S_x(w) = 1/T_0 \sum_{n=-\infty}^{+\infty} R_n (e^{-jn\omega T_0})$$

como $R_{-n} = R_n$ entonces:

$$S_x(w) = 1/T_0 [R_0 + 2 \sum_{n=1}^{+\infty} R_n \cos n\omega T_0]$$

Si el tren se aplica a un filtro con respuesta al impulso unitario $p(t)$, la salida será $y(t)$.

$$S_y(\omega) = |P(\omega)|^2 \quad S_x(\omega) = (|P(\omega)|^2 / T_0) \left[R_0 + 2 \sum_{n=1}^{+\infty} R_n \cos n\omega T_0 \right]$$

Esta es una fórmula general, la cual no se puede utilizar directamente porque los valores de $P(\omega)$, R_0 y R_n varían dependiendo del código que se analiza.

III.II ANALISIS ESPECTRAL

III.II.I Código NRZ (encendido-apagado).

En el intervalo T que se toma para analizarlo, existen T/T_0 posiciones de los pulsos. Este intervalo lo tomamos de $-T/2$ a $T/2$.

La señal de encendido apagado, tiene solamente dos posiciones que son 1 o 0. Supongamos que los unos y los ceros son igualmente probables, lo que nos indica que será $A_k=1$ para la mitad de los pulsos y $A_k=0$ para la otra mitad.

Como el total de pulsos es T/T_0 , entonces $A_k=1$ para $T/2T_0$ pulsos y $A_k=0$ para el resto de los $T/2T_0$ pulsos.

Por lo tanto:

$$R_0 = \lim_{T \rightarrow \infty} \frac{T_0}{T} \sum_k (A_k)^2 = \frac{T_0}{T} \left(\frac{T}{2T_0} \right) (1)^2 = 1/2$$

y para R_n :

$$R_n = \lim_{T \rightarrow \infty} \frac{T_0}{T} \sum_k A_k A_{k+n}$$

Hay que considerar que el producto $A_k A_{k+n}$ puede ser un 1 o un 0. A_k es 1 la mitad de los pulsos y 0 la otra mitad, A_{k+n} se encuentra en el mismo caso, por lo que el valor del producto tiene cuatro posibilidades: 1×1 , 1×0 , 0×1 y 0×0 siendo éstas combinaciones igualmente probables, de tal forma que el producto $A_k A_{k+n}$ será 1 para la cuarta parte de los términos y las otras tres cuartas partes el producto será cero:

$$R_n = T_0/T \ (T/4T_0) \ (1) = 1/4$$

$$\text{Como } S_x(\omega) = 1/T_0 \sum_{n=-\infty}^{\infty} R_n (e^{-j\omega n T_0})$$

$$S_x(\omega) = 1/(2T_0) + \sum_{n=-\infty}^{-1} \{1/(4T_0)\} (e^{-j\omega n T_0}) + \sum_{n=1}^{\infty} \{1/(4T_0)\} (e^{-j\omega n T_0})$$

$$S_x(\omega) = \sum_{n=-\infty}^{\infty} \{1/(4T_0)\} (e^{-j\omega n T_0}) + 1/(4T_0)$$

$$\text{por la relación } \sum_{n=-\infty}^{\infty} \delta(t-nT_0) = 1/T_0 \sum_{n=-\infty}^{\infty} (e^{-j\omega n T_0}) ; \omega_0 = (2\pi/T_0)$$

¹ Relación mostrada en "Sistemas de Comunicación" B. P. Lathi
cf. cap. 2, pág. 26 ecn. 2.24b

convertimos
$$\sum_{n=-\infty}^{\infty} (e^{-jn\omega T_0}) = (2\pi/T_0) \sum_{n=-\infty}^{\infty} \delta\{\omega - (2\pi n/T_0)\}$$

entonces
$$S_x(\omega) = 1/(4T_0) + [(2\pi)/(4T_0^2)] \sum_{n=-\infty}^{\infty} \delta\{\omega - (2\pi n)/T_0\}$$

Como la DEP es la entrada $S_x(\omega)$ por $|P(\omega)|^2$ donde $P(\omega)$ es la transformada de Fourier del pulso básico $p(t)$ que se usa,

$$^2 S_y(\omega) = \{ |P(\omega)|^2 / (4T_0) \} [1 + (2\pi/T_0) \sum_{n=-\infty}^{\infty} \delta\{\omega - (2\pi n)/T_0\}]$$

Esta es una expresión general para señales unipolares, donde los pulsos se codifican como 1 o 0 según sea el caso, y para cualquier forma de pulso $p(t)$, siempre y cuando se obtenga su transformada de Fourier.

Un pulso codificado en NRZ, que es un pulso de anchura completa, tiene la forma $p(t) = \pi(t/T_0)$

La transformada de Fourier de $\pi(t/T_0)$ es³ $(T_0 \text{ sinc } \{\omega T_0/2\pi\})$ entonces:

$$S_y(\omega) = [T_0 \text{ sinc } \{\omega T_0/2\pi\}]^2 / (4T_0) [1 + (2\pi/T_0) \sum_{n=-\infty}^{\infty} \delta\{\omega - (2\pi n)/T_0\}]$$

² Esta ecuación se utilizará en el análisis espectral de potencia de la señal RZ, colocando la transformada de Fourier del pulso correspondiente.

³ Hay que recordar que la función $\text{sinc}(x) = (\text{sen } \pi x / \pi x)$.

$$S_y(\omega) = \left\{ \frac{T_0}{4} (\text{sinc}^2 \{ \omega T_0 / 2\pi \}) \right\} \left[1 + \frac{2\pi}{T_0} \sum_{n=-\infty}^{\infty} \delta(\omega - (2\pi n)/T_0) \right]$$

El producto de $\left\{ \frac{T_0}{4} (\text{sinc}^2 \{ \omega T_0 / 4\pi \}) \right\}$ por 1 nos da la forma del espectro (lóbulos espectrales) y ese mismo producto por la sumatoria de los impulsos nos dá los impulsos que aparecen dentro del espectro.

III.II.II Código RZ-Unipolar.

El desarrollo del análisis espectral de potencia de éste código es muy similar que el análisis para la señal NRZ, solamente hay que considerar la forma del pulso, que en vez de ser de anchura completa es de media anchura.

Un pulso de media anchura se representa como $p(t) = \pi(2t/T_0)$, y su transformada de Fourier es $P(\omega) = (T_0/2) \text{sinc}^2(\omega T_0/4\pi)$.

Basándonos en la expresión general para señales unipolares que se dedujo en el análisis para señales NRZ, tenemos que:

$$S_y(\omega) = [(T_0/16) \text{sinc}^2(\omega T_0/4\pi)] [1 + (2\pi/T_0) \sum_{n=-\infty}^{\infty} \delta(\omega - (2\pi n/T_0))]$$

III.II.III Código RZ-Polar.

En la señalización polar, un 1 se transmite mediante un pulso $p(t)$ y un 0 mediante un pulso $-p(t)$. En éste caso, A_k tiene igual probabilidad de ser 1 o -1, y A_k^2 siempre será 1.

Por lo tanto:

$$R_0 = \lim_{T \rightarrow \infty} (T_0/T) \sum_k A_k^2 = (T_0/T) (T/T_0) (1) = 1$$

$A_k A_{k+1}$ puede ser 1 o -1. Para la mitad de la combinación es 1 y para la otra mitad es -1, por lo que $R_n = 0$, y ésto provoca que:

$$S_y(w) = \{ |P(w)|^2 / T_0 \} R_0 = |P(w)|^2 / T_0$$

Para pulsos rectangulares de media anchura:

$$S_y(w) = (T_0/4) \text{sinc}^2 (wT_0/4\pi)$$

III.II.IV Código RZ-Bipolar

Este esquema se utiliza bastante hoy en día en los sistemas PCM (Modulación por Código de Pulsos). Un 0 se transmite por ausencia de pulsos, y un 1 se transmite mediante un pulso $p(t)$ o $-p(t)$ alternadamente, es decir, dependiendo si el pulso anterior se transmitió mediante un pulso $p(t)$ o $-p(t)$.

Alternando los pulsos $p(t)$ y $-p(t)$, podemos evitar que la componente de directa vague y así provocar que ésta sea nula.

En la señalización bipolar se utilizan tres símbolos: $\{p(t), 0 \text{ y } -p(t)\}$, por lo que se puede decir que es una señalización ternaria.

Para calcular la Densidad Espectral de Potencia, notemos que la mitad del mensaje binario son unos y la otra mitad son ceros.

Los ceros se codifican como ausencia de pulso, provocando así, que la mitad de las A_k sean 0, y los unos se codifican como 1 o -1, provocando que A_k^2 sea 1.

Debido a que de los pulsos T/T_0 pulsos posibles la mitad es cero, entonces solamente hay $T/2T_0$ pulsos en el intervalo $(-T/2, T/2)$, entonces:

$$R_0 = \lim_{T \rightarrow \infty} (T_0/T) \sum_k A_k^2 = (T_0/T) (T/2T_0) (\pm 1)^2 = 1/2$$

En el caso en que se encuentren dos unos consecutivos, por la alternación de los pulsos, siempre el producto de éstos dos pulsos consecutivos será -1, ya que uno es positivo y el siguiente es negativo, o el primero negativo y el siguiente positivo.

Como tenemos solamente dos posibilidades que son -1 y 0, nos puede dar cuatro patrones posibles para el producto $A_k A_{k+1}$: (1 1), (1 0), (0 1) y (0 0), teniendo como resultado del producto, -1, 0, 0 y 0 respectivamente.

Esto es que para la cuarta parte de los pulsos del intervalo T/T_0 , $A_k A_{k+1}$ será -1 y para el resto será 0.

Entonces:

$$R_1 = \lim_{T \rightarrow \infty} (T_0/T) \sum_k A_k A_{k+1} = (T_0/T) (T/4T_0) (-1) = -1/4$$

Para $n > 1$, $A_k A_{k+n}$ puede ser 0, 1 o -1. La probabilidad de que el producto sea 1 es la misma de que sea -1 (la probabilidad es de 1/8). Por lo tanto la suma $\sum_k A_k A_{k+n}$ será igual a cero.

$$R_n = \lim_{T \rightarrow \infty} (T_0/T) \sum_k A_k A_{k+n} = (T_0/T) (T/8T_0) [(1) + (-1)] = 0$$

Y entonces:

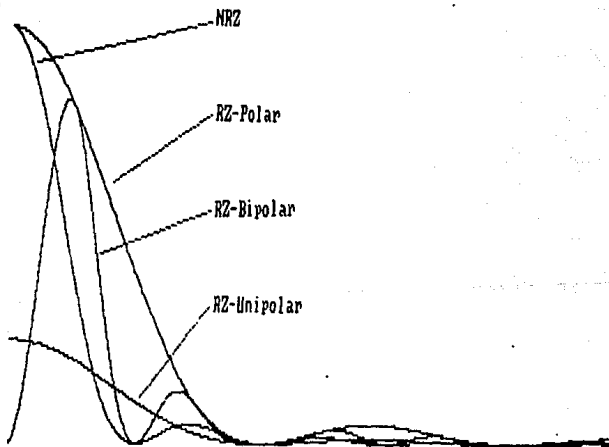
$$S_y(w) = [|P(w)|^2 / (2T_0)] [1 - \cos wT_0] = [|P(w)|^2 / T_0] \text{sen}^2 (wT_0/2)$$

Hay que notar que para $w = 0$, $S_y(w) = 0$ independientemente de

$P(\omega)$, por lo que la Densidad Espectral de Potencia tiene una cénula, característica deseable para el acoplamiento de ca.

Si consideramos que los pulsos son rectangulares de media anchura, entonces:

$$S_y(\omega) = (T_0/4) \text{sinc}^2(\omega T_0/4\pi) \text{sen}^2(\omega T_0/2)$$



C A P I T U L O I V
DISEÑO DEL CODIFICADOR HDB3

Las condiciones de codificación en HDB3 se trataron en el capítulo anterior, las cuales son la pauta para el desarrollo del circuito que se encarga de codificar el mensaje transmitido (NRZ) en HDB3 llevando a cabo las conversiones adecuadas de los trenes de 4 ceros.

La primera parte del circuito es la que se encarga de definir las condiciones de codificación que son las siguientes:

- 1) Definir la polaridad del uno que se presente a la entrada. (X)
- 2) Contar el número de unos que existen entre secuencias de cuatro ceros consecutivos. (Y)
- 3) Detectar secuencias de cuatro ceros consecutivos. (Z)

Estas tres condiciones se logran de la siguiente forma:

La señal NRZ, se conecta al circuito U1A que corresponde a una compuerta AND (74LS08), junto con la señal de reloj, a la salida

de éste se produce la señal de entrada pero en RZ. La salida de los circuitos U1C y U1D, que es el resultado de la operación AND entre la salida de U1A y el reloj, se conectan a los Flip-Flops JK U4A y U4B, que se configuran de tal forma que cada pulso que se presente en la entrada del reloj, el estado de la salida Q va a cambiar de estado lógico (toggle).

El circuito U4B tiene la terminal CL (clear) a Vcc, lo cual le permite cambiar de estado lógico cada vez que se presente el pulso a la entrada sin perder la secuencia adecuada, ésta es la condición X.

El circuito U4A inicializa su cambio de estados en cero, cuando se presenta una secuencia de cuatro ceros consecutivos, y como lo que nos interesa es saber si el número de unos entre la sustitución anterior y la actual es par o impar, éste hace que conozcamos la condición Y.

El circuito U2, cuenta los pulsos presentes en la terminal A, los cuales provienen del reloj, éste circuito se inicializa cada vez que se presenta un uno en el mensaje o cada vez que el contador llega a la cuenta de 4.

La función del circuito U6A, es el de retener un tiempo el estado de la salida del contador y así poder tener presente la condición Z en el punto de prueba mostrado para poder procesar la señal en el resto del circuito.

En ésta primera parte es donde la señal se analiza para poder definir en las otras partes la secuencia correspondiente.

Como se trató en el capítulo anterior, sólo existen cuatro posibilidades de sustitución, éstas son:

+ 0 0 +, - 0 0 -, 0 0 0 + y 0 0 0 -.

Si nosotros vemos estas sustituciones como unos y ceros sin polaridad, solamente veríamos dos combinaciones, 1001 y 0001, por lo que cada vez que se genera un uno en la condición Z, se invierte ese estado por medio de U12B y se habilitan los circuitos U14 y U15, los cuales cargan en ese momento en paralelo los estados existentes en las entradas A ... H y lo descargan en serie comenzando por H y terminando con A (solamente se utilizan H, G, F y E).

Los circuitos U11, U12A, U12F, U13A y U13D generan en la señal que indica en base a las condiciones X, Y y Z la sustitución que se debe de aplicar.

Debido a que en éste proceso las condiciones de sustitución están retrasadas 4 tiempos con respecto a la señal de entrada, hay que provocar un retraso de 4 tiempos en la señal de entrada, para que cuando no existan sustituciones, la señal salga a tiempo, esto se hace con el circuito U25, que carga en serie la señal y la descarga en paralelo con un corrimiento y tomamos la salida en QD, por lo tanto obtenemos el retraso de 4 ciclos de reloj.

Con los circuitos U23A y U23D se decide que sustitución en términos de unos y ceros ha de colocarse (generadas por U14 y U15), y éstos a su vez le indican a los circuitos U21 y U22 respectivamente, que sostengan solamente 4 tiempos un uno a la salida, para que éstos por medio de las compuertas U24C y U24D entreguen la secuencia adecuada (unipolar) en el momento adecuado.

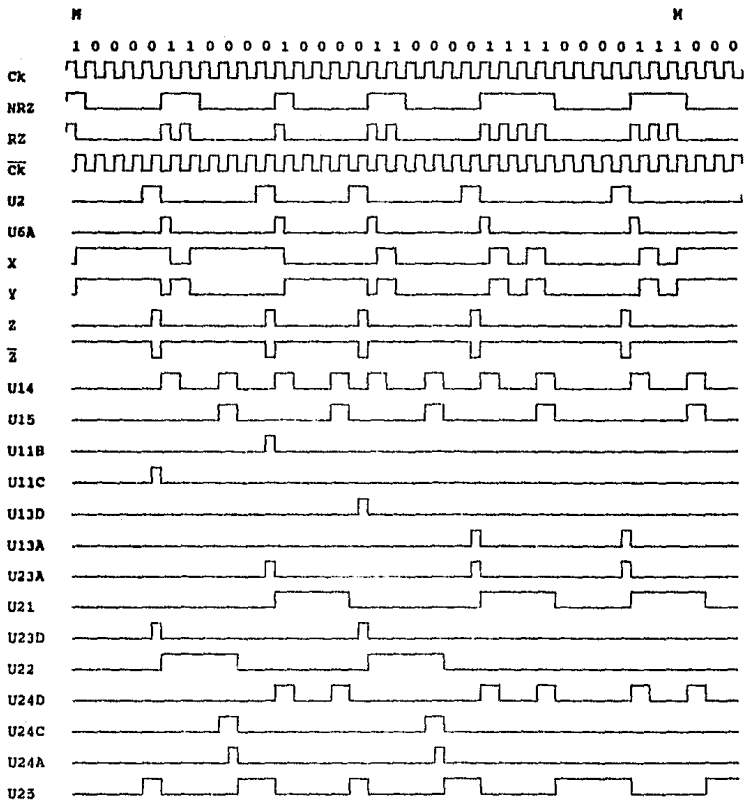
Una vez que se ha generado la sustitución 1001 o 0001, solamente queda indicar la polaridad de los unos, esto se hace con las compuertas U33C y U33D, de tal forma que habilitan a los circuitos U34 y U35 para sostener 4 tiempos en su salida un uno.

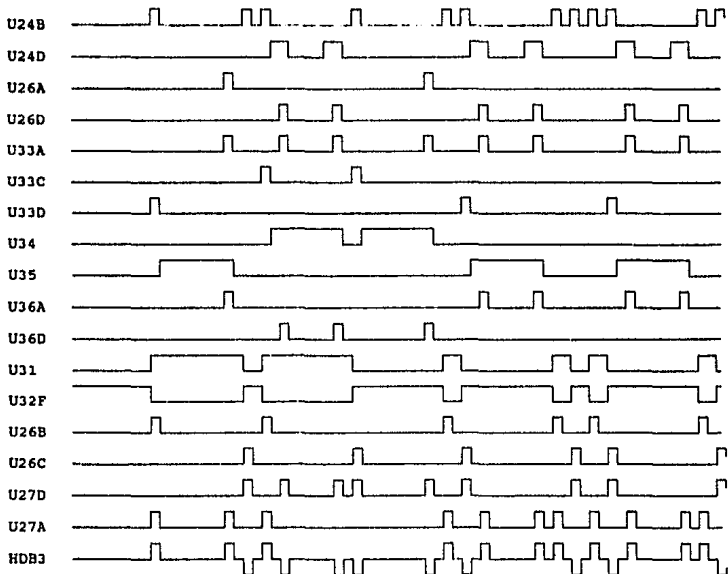
La salida de U33A en conjunto con la de U34 y U35, se conectan a U36A y U36D, las cuales a su salida indicarán si la polaridad de los unos de la sustitución es positiva o negativa.

U31, retrasa la señal Z y después la manda a U26B (negada por U32F) y a U26C, de ésta forma se indica lo que tiene que llegar a las salidas Pa y Pb, que son los pulsos positivos (Pa) y los pulsos negativos (Pb).

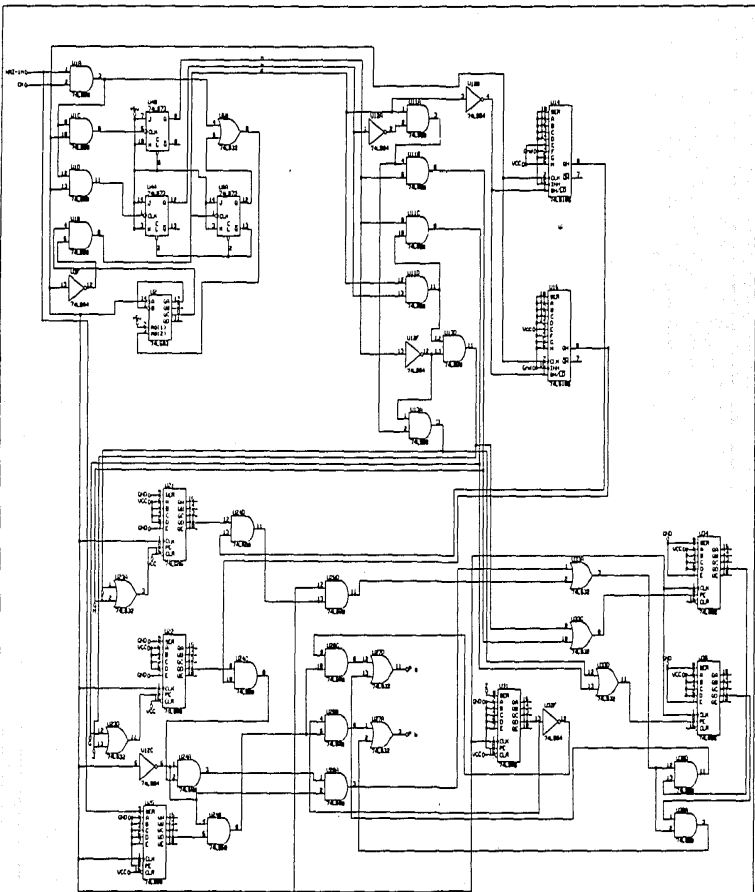
Estos dos pulsos se conectan a un interruptor analógico (TL601), que se describirá posteriormente, y se obtendrá un sólo punto de salida donde se tiene la señal codificada en HDB3.

El cronograma del codificador es el que se presenta a continuación estando marcados cada uno de los puntos donde se toma la señal:





DATOS ENTRADA	1	0	0	0	1	1	0	0	0	1	0	0	0	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1			
POLARIDAD DATOS	+				-	+				-				+	-					+	-	+	-	-				+	-			
SUSTITUCIONES	0	0	0	+	-	0	0	-	0	0	0	-	+	0	0	+				+	0	0	+									
HDB3	+	0	0	0	+	-	+	-	0	0	-	-	0	0	0	-	+	-	+	0	0	+	+	-	+	-	+	0	0	+	+	-



TESIS PROFESIONAL
 DISEÑO DE LINEA HARD
 UTILIZANDO LA BOLA
 ESCUELA DE INGENIERIA
 FACULTAD DE INGENIERIA

Autor: _____
 DISEÑO DE LINEA HARD

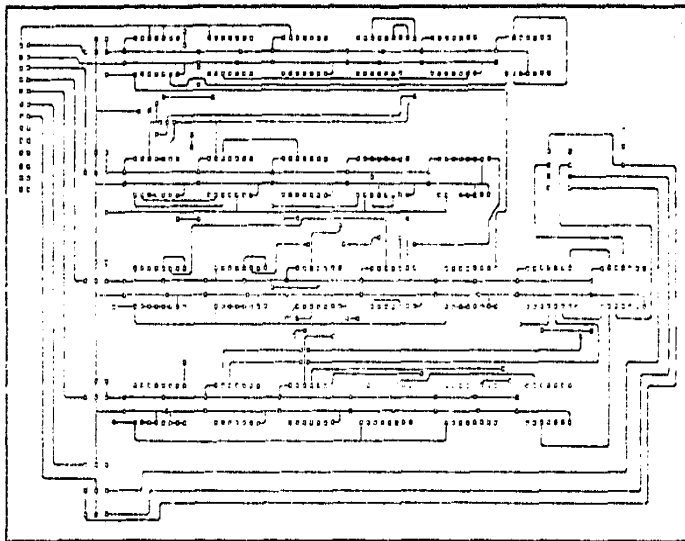
Fecha: _____
 C: _____
 D: _____
 E: _____
 F: _____
 G: _____
 H: _____
 I: _____
 J: _____
 K: _____
 L: _____
 M: _____
 N: _____
 O: _____
 P: _____
 Q: _____
 R: _____
 S: _____
 T: _____
 U: _____
 V: _____
 W: _____
 X: _____
 Y: _____
 Z: _____

ix checkplot 27 Jun 1991 18:30:11

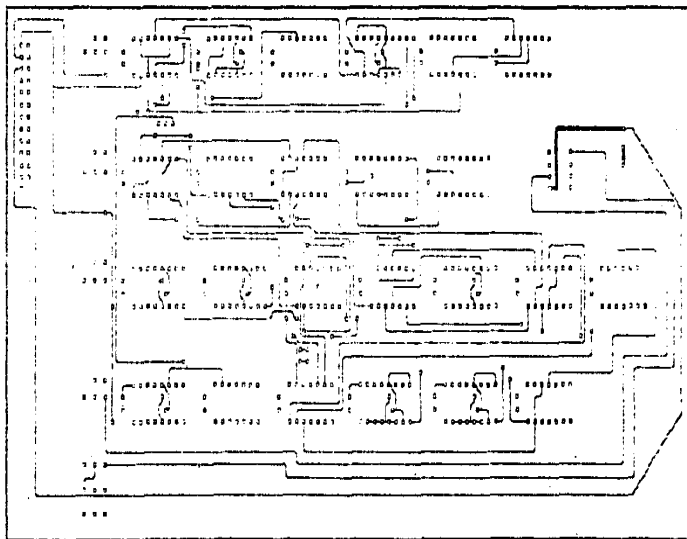
ndb3

v1.2 r3 holes: 539 solder side

Approximate size: 9.45 by 4.13 inches



ix checklot: 27 Jun 1991 19:32:02
hdb3
v1.2 r3 holes: 539 component side
approximate size: 5.45 by 4.15 inches

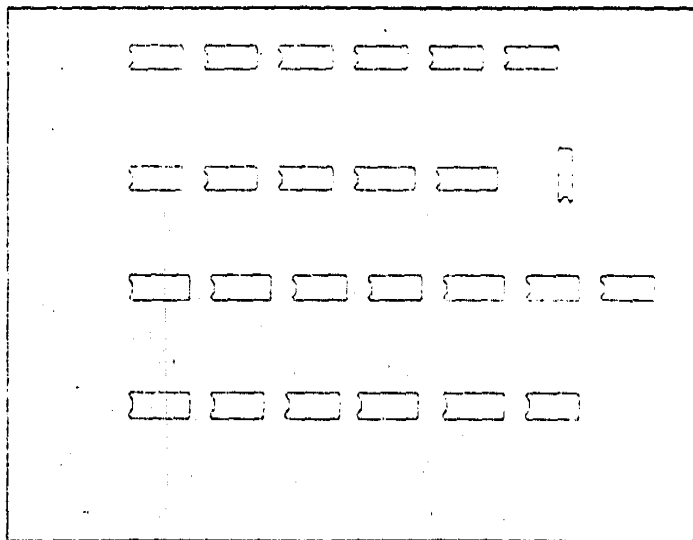


14 check-plot 27 Jun 1991 15:24:41

ngbc

112 x 3 holes 539 sixscreen

approximate size: 9.45 by 4.15 inches



CAPITULO V

DESARROLLO DEL CIRCUITO DECODIFICADOR HDB3

El circuito del decodificador HDB3 es bastante más sencillo que el del codificador, ya que solamente ha de detectar las secuencias de sustitución que se encuentren en el mensaje codificado.

Hay que recordar que las cuatro sustituciones probables son: +00+, -00-, 000+ y 000-, las cuales si las agrupamos de acuerdo a su formato de unos y ceros sin importar la polaridad, obtendremos solo dos combinaciones, 1001 y 0001.

El circuito separará la señal en dos partes, los pulsos positivos y los pulsos negativos.

En cada una de éstas, lo que se ha de detectar es exactamente

lo mismo, secuencias 1001 en la que hay una violación del código bipolar, y secuencias de 10001 que representan las sustituciones de 0001. En ésta secuencia es necesario tomar en cuenta el quinto pulso, ya que es donde se encuentra la violación al código bipolar.

El circuito U1 invierte la señal de entrada y a la salida de U2 y de U3 encontramos en trenes de pulsos positivos la señal separada de acuerdo a la polaridad de los pulsos (en U2 los pulsos positivos y en U3 los negativos).

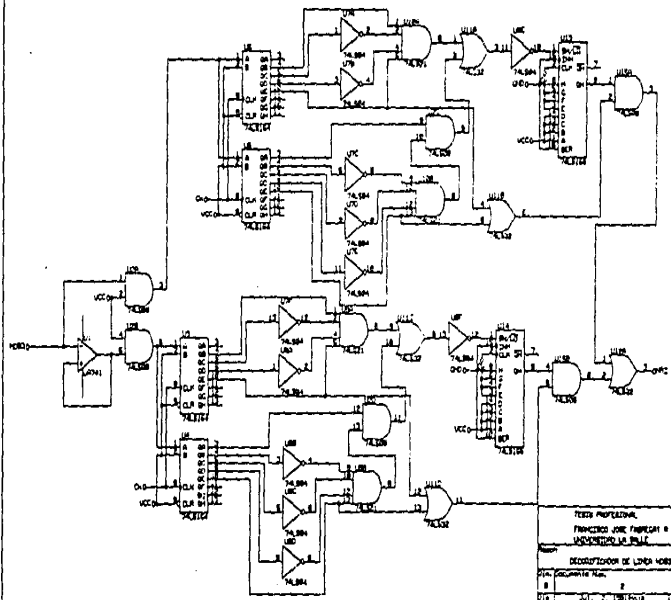
De aquí en adelante el circuito se desarrolla en dos partes gemelas las cuales van a analizar las secuencias tal cual como se mencionó anteriormente.

El circuito U4 tiene como entrada los pulsos positivos y los muestra a su salida en forma paralela por medio de un corrimiento de 5 ciclos. Para detectar las secuencias 1001, se toman solamente las salidas que contienen a los pulsos 1, 2, 3 y 4, invirtiendo los pulsos 2 y 3. Los pulsos resultantes se operan por una compuerta nand de cuatro entradas y se invierte la salida. La razón de haber utilizado ésta compuerta (74LS20) es porque es la única comercialmente fácil de conseguir de 4 entradas.

Para las sustituciones 0001, se toman los cinco pulsos y se invierten los pulsos 2, 3 y 4. Los pulsos 1, 2, 3 y 4 se operan con una compuerta nand y ésta salida con una or.

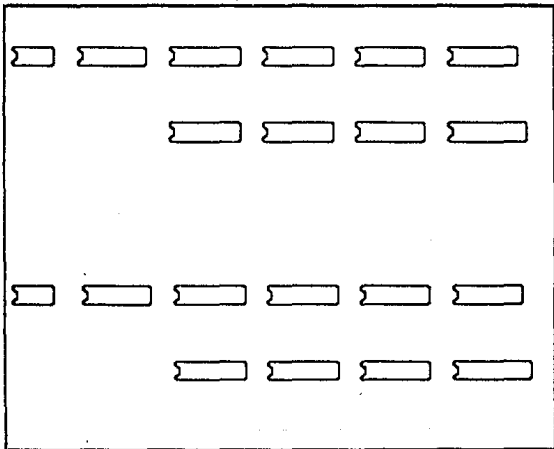
Las salidas de las dos partes que detectan las posibles sustituciones, se operan por una compuerta or y sirven de señal de control (shift load) de un circuito de entrada paralelo salida serie, U12, con señal de habilitación (preset enable).

La salida de U12 se invierte y se toma como entrada de la compuerta and que opera junto con la salida de una compuerta or que toma los pulsos de las salidas del primer pulso que entró en los circuitos U4 y U5, dando como salida la señal decodificada de HDB3 a NRZ unipolar.

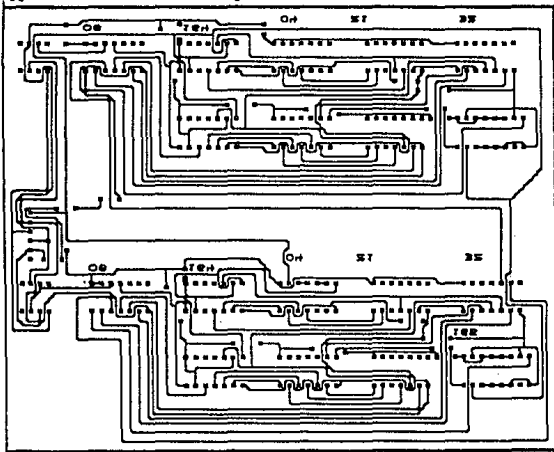


TESIS PROFESIONAL
 FRANCISCO JOSE FERRER O
 UNIVERSIDAD DE BELLEROS
 DISEÑO DE UNO DE LOS
 N.º Documento Num. 8
 N.º 8
 JUL. 3. 1975

IX checkplot 2 Oct 1990 11:29:54
iecodif.fpr
#1.2 r3 holes: 322 silkscreen
#approximate size: 5.80 by 4.60 inches



1X checkplot 2 Oct 1990 11:20:37
3ecodif.fpr
v1.2 r3 holes: 322 solder side
approximate size: 5.80 by 4.60 inches



CAPITULO VI

IMPLEMENTACION Y PRUEBAS

Este capítulo habla de la implementación de los circuitos que se diseñaron en los capítulos IV y V.

El circuito más importante de éstos es el Codificador de Línea HDB3, el cual se elaboró de la siguiente manera.

Este circuito tuvo 11 etapas:

1. Diseño preliminar del circuito.

En ésta etapa, se elaboró en papel un diseño que cumplía en primera instancia con las necesidades del circuito codificador. El problema que hubo en ésta etapa, fué el no haber considerado lo suficiente la forma de señalización para cambios lógicos en los circuitos secuenciales, tales como los contadores, registros de corrimiento y flip-flops.

El no haber considerado en el cronograma de éste diseño los cambios de estado de acuerdo a las transiciones superiores o inferiores, provocó una ausencia de sincronía en el circuito.

Este diseño después de haber sido revisado y después de haber concluido que debería de funcionar al alambrarlo en una tablilla de prueba, se tomó como bueno y se pasó a la segunda etapa.

2. Elaboración del circuito en una tablilla de prueba.

En una tablilla de prueba se colocaron los componentes que se requerían en el diseño original, y se fueron interconectando circuito por circuito y probando cada una de la etapas conforme se alambraba.

Lo que sucedió fué que se comenzó a modificar el diseño original desde el primer circuito ya que no se consideraron los tiempos de respuesta de los circuitos integrados.

Uno de los problemas que hubo fué el inicializar a un contador con la salida de ese mismo contador sin retenerla un tiempo, por lo que aparentemente nunca llegaba a la cuenta deseada (4), entonces hubo que colocar un flip-flop para retener la señal un ciclo más y que la salida del contador se presentara adecuadamente para la siguiente etapa del circuito.

Una vez que se acabó de alambrear el circuito en la tablilla de prueba se comparó con el circuito original.

3. Corrección de errores del diseño preliminar.

El diseño original se modificó totalmente, pero éste sirvió de guía en la secuencia de la señal.

Se tuvieron que hacer modificaciones aún en el circuito de prueba para que funcionara adecuadamente y una vez que se comprobó que su funcionamiento era correcto, se procedió a presentarlo para su revisión.

4. Revisión del circuito.

El circuito fué revisado en el laboratorio y se comprobó que el funcionamiento era adecuado y se vieron las sustituciones correctas para el mensaje que se presentaba a la entrada de señal, pero como habían existido cambios en el diseño original, había que sacar el diagrama definitivo.

5. Diagramación del circuito funcionando.

Se llevó a cabo la diagramación del circuito y se presenta en una sola pieza (ver capítulo IV). Este diagrama se llevó a cabo en un paquete para computadora llamado ORCAD el cual lo proporcionó la Universidad La Salle.

6. Diseño del circuito impreso.

Se determinó desde un principio que el trabajo se presentaría en un circuito impreso y no en una tablilla de prueba.

El diseño del circuito impreso se llevó básicamente con un paquete para computadora llamado SMART WORK también proporcionado

por la Universidad La Salle. El diseño tuvo que ser de dos caras, lo cual eleva el grado de complejidad en el desarrollo del trabajo.

7. Elaboración del circuito impreso.

El circuito impreso se elaboró de la siguiente manera:

Con el dibujo de las pistas del circuito, se sacaron unos NEGATIVOS. Se consiguió una tablilla de fibra de vidrio con cobre por ambos lados y después de limpiarla se le colocó el líquido fotosensible. Una vez seco éste, se colocaron los negativos y se expuso a la luz durante 15 minutos (primero un lado y después el otro). Ya que se veló la parte que queda expuesta a la luz, se coloca la tablilla en líquido revelador durante 2 minutos, y después se enjuaga cuidando no tocar las caras de la tablilla y se procede a meterlo en cloruro férrico para que las partes de cobre que no quedaron protegidas por el foto resist, desaparecieran por la reacción química con el cloruro férrico.

El problema de hacerlo de ésta forma fué que al hacer los agujeros en el circuito, las pistas se levantaron. Esto es porque la velocidad del taladro con el que se hicieron los agujeros era muy lenta y la universidad no cuenta con un taladro de alta velocidad para hacer éste tipo de trabajos.

Se llevó a cabo otra vez el mismo proceso para hacer otro circuito impreso, pero agujerando la tablilla antes de someterla a todo el proceso. Se colocaron las bases para circuito

integrado en los lugares donde deberían de ir colocados y se soldaron por ambos lados para simular que los agujeros tuvieran material conductor (THROUGH HOLE). Cuando se comenzó a probar el circuito, hubieron algunas pistas que se abrieron por el estado en que se encontraban y por pequeñas partes donde se unían e hicieron las veces de fusibles.

Se retocó el dibujo original para colocar las pistas más gruesas y se sacaron otros negativos, con los cuales se llevó a cabo de nuevo todo el proceso.

8. Corrección de errores del circuito impreso.

Se observó que en el circuito impreso existían dos pistas invertidas las cuales salían del circuito que indicaba la sustitución de 1001 o 0001, por lo que en el resultado final, las sustituciones quedaban al revés. Esto se corrigió y no se tuvieron que hacer otros cambios.

9. Elaboración definitiva del circuito.

El circuito definitivo se elaboró en un taller especializado en éste tipo de trabajos ya que se requería hacerlo con agujeros que condujeran de un lado a otro del impreso (through hole), esto es porque el circuito es de dos caras.

Después se colocaron los componentes y se hizo funcionar dando de ésta forma una última revisión al circuito.

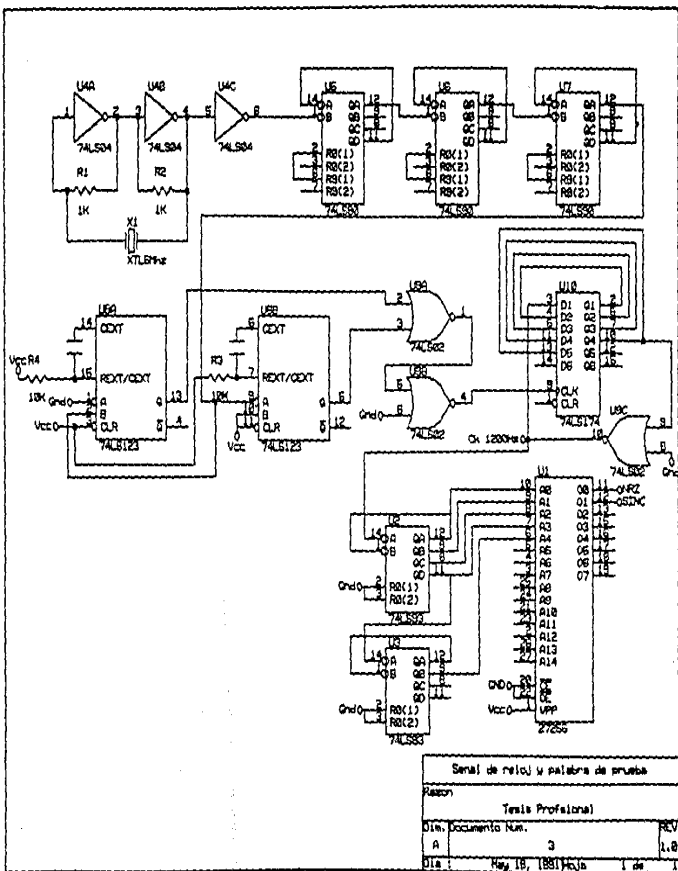
10. Diseño del gabinete.

11. Elaboración del gabinete.

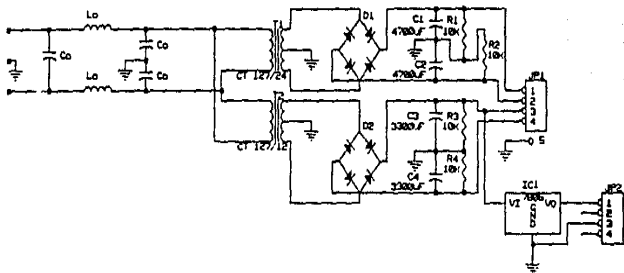
12. Circuitos anexos.

Para poder hacer funcionar el circuito de una forma independiente del laboratorio, fué necesario elaborar un oscilador que funcionara como señal de reloj, una palabra fija que nos sirviera como mensaje de prueba una fuente de poder para alimentar a los circuitos e implementar un circuito que al recibir las señales de pulsos positivos y negativos los colocara en su correcta polaridad, ésto es con un interruptor analógico TL601.

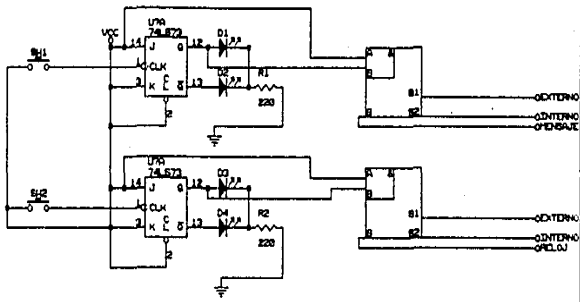
A continuación presentamos los diagramas y los circuitos impresos de los circuitos anexos antes mencionados.



Señal de reloj y palabra de prueba		
Pabson		
Tesis Profesional		
Din. Documento Num.	3	REV 1.0
Dia:	May 18, 1981	Hoja 1 de 1

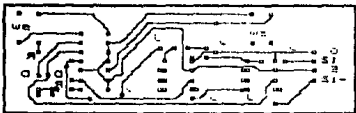


TEXIS PROFESIONAL, FRANCISCO JOSE FABREGAT R	
Títio FUENTE DE PODER, TEXIS	
Film Document Number	
A	3
Date	Jun. 12, 1981
	1 of 1



TÉRMINO PROFESIONAL, FRANCISCO JOSE FABREGAT R		
Título		
CIRCUITO DE SELECCION		
Número Documento		
A	4	1
Fecha: Jun. 19, 1981		
L. O. P.		

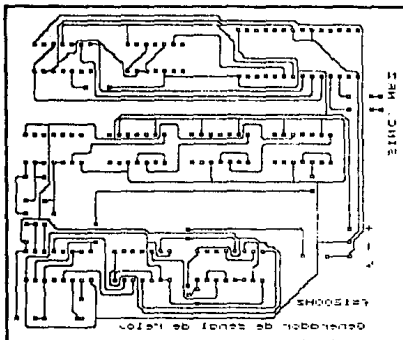
IX checkplot 30 Jun 1991 13:26:47
selector
v1.2 r3 holes: 76 solder side
approximate size: 3.60 by 1.00 inches



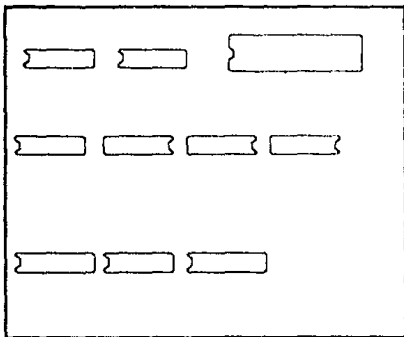
IX checkplot 30 Jun 1991 13:45:21
selector
v1.2 r3 holes: 76 silkscreen
approximate size: 3.60 by 1.00 inches



IX checkplot 30 Jun 1991 13:51:51
c:\rel\opal
v1.2 r3 holes: 197 solder side
approximate size: 4.15 by 3.35 inches



IX checkplot 30 Jun 1991 13:52:08
c:\rel\opal
v1.2 r3 holes: 197 siliscreen
approximate size: 4.15 by 3.35 inches



CAPITULO VII

CONCLUSIONES.

Los codificadores de línea HDB3 son muy utilizados en sistemas de comunicaciones tales como los sistemas de multiplexaje telefónicos. Esto nos hace ver que el trabajo que se llevó a cabo es útil.

Una vez que se escogió el tema de tesis y que fué aprobado, comencé a realizar la investigación de los circuitos codificadores y me encontré con que se lanzó al mercado un circuito integrado cuyo funcionamiento es el mismo del trabajo que se realizó, pero éste circuito es bastante complicado de conseguir. Se comentó con el asesor de tesis acerca de ésto y el acuerdo fué continuar con el trabajo.

El funcionamiento del circuito codificador y del decodificador, es correcto y cubre con los objetivos que se fijaron al comenzar el trabajo.

El desarrollo del análisis de densidad espectral de potencia se llevó a cabo para varios códigos y se muestran los resultados en el capítulo correspondiente.

El factor económico no fué muy gravoso ya que al compararlo con el costo del circuito integrado que se pudiera encontrar en el mercado, no difiere por mucho, pero éste circuito es más eficiente y más completo que el que se desarrolló.

Un defecto que tiene éste trabajo es la no optimización de los circuitos que se utilizaron y el no haber diseñado el circuito impreso de acuerdo con las recomendaciones de algunos fabricantes de circuitos impresos para aumentar su eficiencia, pero el dedicarle demasiado tiempo a ésto no se justificó porque quedaba fuera de las fronteras del trabajo.

Una ventaja muy grande que tiene el circuito es que se puede monitorear de todos los puntos la señal y cómo va siendo modificada para lograr la codificación y la decodificación, cosa que puede ser muy útil en el laboratorio para la comprensión del funcionamiento de los circuitos codificadores.

Otra ventaja es que en caso de que se llegue a dañar una sección del circuito se puede reemplazar fácilmente y no se ha de desechar el circuito completo.

Se cuidó que las dimensiones físicas fueran lo más pequeñas posibles y se logró hasta cierto punto.

Se puede sugerir que en futuros desarrollos de circuitos alrededor de éste, se cuidaran las técnicas de optimización en el diseño con circuitos lógicos (secuenciales o combinatorios) y en el diseño del circuito impreso.

Otra forma como se hubiera podido resolver el problema hubiera sido el procesar la señal de entrada en un microprocesador y elaborar un programa que nos diera a la salida la señal correspondiente a los pulsos positivos y negativos de la señal codificada, pero considero que aproveché bastante desarrollando el trabajo de ésta forma.

TL601, TL604, TL607, TL610 P-MOS ANALOG SWITCHES

DATE: JAN 1979 - REVISED OCTOBER 1988

- Switches ± 10 -V Analog Signals
- TTL Logic Capability
- 5- to 30-V Supply Ranges
- Low (100 Ω) On-State Resistance
- High (10¹¹ Ω) Off-State Resistance
- 8-Pin Functions

PACKAGE
(TOP VIEW)

TL601



TL604



TL607



TL610



Description

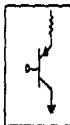
The TL601, TL604, TL607, and TL610 are a family of monolithic P-MOS analog switches that provide fast switching speeds with high t_{off}/t_{on} ratio and no offset voltage. The p-channel enhancement-type MOS switches will accept analog signals up to ± 10 volts and are controlled by TTL-compatible logic inputs. The monolithic structure is made possible by Bi-MOS technology, which combines p-channel MOS with standard bipolar transistors.

These switches are particularly suited for use in military, industrial, and commercial applications such as data acquisition, multiplexers, A/D and D/A converters, MODEMS, sample-and-hold systems, signal multiplexing, integrators, programmable operational amplifiers, programmable voltage regulators, crosspoint switching networks, logic interface, and many other analog systems.

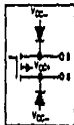
The TL601 is an SPDT switch with two logic control inputs. The TL604 is a dual complementary SPST switch with a single complementary input. The TL607 is an SPDT switch with one logic control input and one enable input. The TL610 is an SPST switch with three logic control inputs. The TL610 features a higher t_{off}/t_{on} ratio than the other members of the family.

The TL601M, TL604M, TL607M, and TL610M are characterized for operation over the full military temperature range of -55°C to 125°C , the TL601L, TL604L, TL607L, and TL610L are characterized for operation from -25°C to 85°C , and the TL601C, TL604C, TL607C, and TL610C are characterized for operation from 0°C to 70°C .

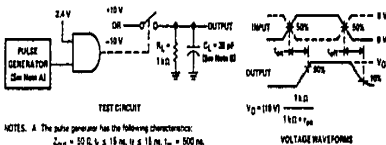
TYPICAL OF
ALL INPUTS



TYPICAL OF
ALL SWITCHES



PARAMETER MEASUREMENT INFORMATION



NOTES: A. The pulse generator has the following characteristics:
 $t_{\text{rise}} = 50 \text{ ns}$, $t_{\text{fall}} = 18 \text{ ns}$, $t_p = 500 \text{ ns}$.
 B. C_L includes probe and jig capacitance.

FIGURE 2

TYPICAL CHARACTERISTICS

SWITCH ON STATE RESISTANCE
vs
FREE AIR TEMPERATURE

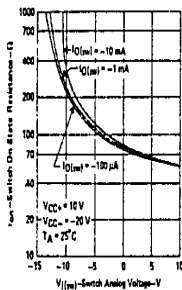


FIGURE 3

SWITCH ON STATE RESISTANCE
vs
SWITCH ANALOG VOLTAGE

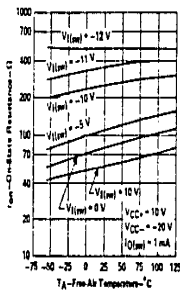


FIGURE 4

Electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 10 \text{ V}$, $V_{CC-} = -20 \text{ V}$, analog switch test current = 1 mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	TL601, TL604		TL607
		MIN	TYP ² MAX	
I_{in} High-level input current	$V_i = 5.5 \text{ V}$	0.6	1.0	0.5
I_{in} Low-level input current	$V_i = 0.4 \text{ V}$	-50	-250	-50
I_{off} Switch off-state current	$V_{\text{gate}} = -10 \text{ V}$ See Note 2	$T_A = 25^\circ\text{C}$ $T_A = \text{MAX}$	-600 -100	50 -10
r_{on} Switch on-state resistance	$V_{\text{gate}} = 10 \text{ V}$ $I_{\text{D}} = -1 \text{ mA}$	TL601	40	80
		TL604	55	100
	TL607	40	80	
	TL610	40	80	
	$V_{\text{gate}} = -10 \text{ V}$ $I_{\text{D}} = -1 \text{ mA}$	TL601	220	400
		TL604	220	400
TL607	220	400		
TL610	220	300		
r_{off} Switch off-state resistance	TL610	120	300	120
C_{in} Switch on-state input capacitance	$V_{\text{gate}} = 0 \text{ V}$, $f = 1 \text{ kHz}$	25	20	
C_{off} Switch off-state input capacitance	$V_{\text{gate}} = 0 \text{ V}$, $f = 1 \text{ kHz}$	18	18	
I_{CC} Supply current from V_{CC}	Typical inputs: P-MOS input high N-MOS input high N-MOS input low open	TL601	5	10
		TL604	5	10
		TL607	5	10
		TL610	7	8
		TL601	5	10
I_{CC} Supply current from V_{CC-}	Typical inputs: P-MOS input high N-MOS input high N-MOS input low open	TL601	-1.2	-2.5
		TL604	-1.2	-2.5
		TL607	-2.5	-4
		TL610	-0.05	0.5
		TL610	-1.2	-2.5

¹ $T_{\text{MAX}} = 125^\circ\text{C}$ for M-wire types, 85°C for B-wire types and 70°C for C-wire types.
² Typical values are at $T_A = 25^\circ\text{C}$ except for type TL604 MAX.
 NOTE 2: The center terminal of the switch under test is at $V_{CC-} = -10 \text{ V}$.

Switching characteristics, $V_{CC} = 10 \text{ V}$, $V_{CC-} = -20 \text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP ¹
t_{off} Switch turn-off time			470
t_{on} Switch turn-on time	$R_L = 1 \text{ k}\Omega$, $C_L = 25 \text{ pF}$; See Figure 2		170

Figure 1 shows power supply boundary conditions for proper operation of the TL601 Series. The range of operation for supply V_{CC+} from +5 V to +25 V is shown on the vertical axis. The range of V_{CC-} from -5 volts to -25 volts is shown on the horizontal axis. A recommended 30-volt maximum voltage differential from V_{CC+} to V_{CC-} governs the maximum V_{CC+} for a chosen V_{CC-} (or vice versa). A minimum recommended difference of 15 volts from V_{CC+} to V_{CC-} and the boundaries shown in Figure 1 allow the designer to select the proper combinations of the two supplies.

The designer-selected V_{CC+} for a chosen V_{CC-} supply values limit the maximum input voltage that can be applied to either switch terminal, that is, the input voltage should be between $V_{CC-} + 8$ V and V_{CC+} to keep the on-state resistance within specified limits.

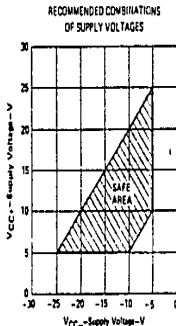
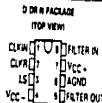


FIGURE 1

- Low Clock-to-Cutoff-Frequency Ratio Error
TLCO4 ... $\pm 0.8\%$
TLC14 ... $\pm 1\%$
- Filter Cutoff Frequency Dependent Only on External-Clock Frequency Stability
- Minimum Filter Response Deviation Due to External Component Variations Over Time and Temperature
- Cutoff Frequency Range from 0.1 Hz to 20 kHz
- 5-V to 12-V Operation
- Self-Clocking or TTL-Compatible and CMOS-Compatible Clock Inputs
- Designed to be Interchangeable with National MF4-50 and MF4-100



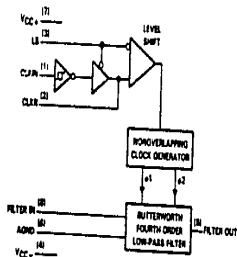
Description

The TLCO4 and TLC14 are monolithic Butterworth low-pass switched-capacitor filters. Each is designed as a low-cost, easy-to-use device and to provide accurate fourth-order low-pass filter functions in pin design configurations.

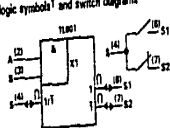
Each filter features cutoff frequency stability that is dependent only on the external clock frequency stability. The cutoff frequency is clock tunable and has a clock-to-cutoff frequency ratio of 50:1 with less than $\pm 0.8\%$ error for the TLCO4 and a clock-to-cutoff frequency ratio of 100:1 with less than $\pm 1\%$ error for the TLC14. The input clock features self-clocking or TTL- or CMOS-compatible options in conjunction with the level shift (LS) pin.

The TLCO4 and TLC14 are characterized for operation from 0°C to 70°C.

functional block diagram

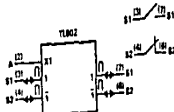


logic symbols¹ and switch diagrams



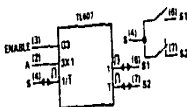
FUNCTION TABLE

LOGIC INPUTS		ANALOG SWITCH	
A	B	S1	S2
L	X	OFF (OPEN)	ON (CLOSED)
X	L	OFF (OPEN)	ON (CLOSED)
H	H	ON (CLOSED)	OFF (OPEN)



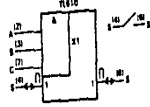
FUNCTION TABLE

LOGIC INPUT		ANALOG SWITCH	
A	S1	S2	
H	ON (CLOSED)	OFF (OPEN)	
L	OFF (OPEN)	ON (CLOSED)	



FUNCTION TABLE

INPUTS		ANALOG SWITCH	
A	ENABLE	S1	S2
X	L	OFF (OPEN)	OFF (OPEN)
L	H	OFF (OPEN)	ON (CLOSED)
H	H	ON (CLOSED)	OFF (OPEN)

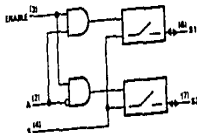


FUNCTION TABLE

INPUTS			ANALOG SWITCH	
A	B	C	S1	S2
L	X	X	OFF (OPEN)	
X	L	X	OFF (OPEN)	
X	X	L	OFF (OPEN)	
H	H	H	ON (CLOSED)	

¹These symbols are in accordance with ANSI/IEEE Std 91-1984

TL607 logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise specified)

Supply voltage, VCC+ (see Note 1)	
Supply voltage, VCC-	
VCC+ to VCC- supply voltage differential	
Control input voltage	
Switch off state voltage	
Switch on state current	
Operating free air temperature range	TL601M, TL604M, TL607M, TL610M -55 to 125
	TL601H, TL604H, TL607H, TL610H -25 to 125
	TL601C, TL604C, TL607C, TL610C 0 to 125
Storage temperature range	
Lead temperature (1.6 mm) 1.16 inch from case for 60 seconds JG package	
Lead temperature (1.6 mm) 1.16 inch from case for 10 seconds P package	

NOTE 1: All voltage values are with respect to network ground terminal.

recommended operating conditions

	TL601M, TL604M		TL601H, TL604H		TL601C, TL604C	
	MIN	MAX	MIN	MAX	MIN	MAX
Supply voltage, VCC+ (see Figure 1)	5	10	5	10	5	10
Supply voltage, VCC- (see Figure 1)	-5	-20	-5	-20	-5	-20
VCC+ to VCC- supply voltage differential (see Figure 1)	15	30	15	30	14	14
Control input voltage, V _{IN}	2	5.5	2	5.5	2	5.5
Switch on state current, I _{ON} (see Note 1)	0	10	0	10	0	10
Operating free air temperature, T _A	-55	125	-25	125	0	125

BIBLIOGRAFIA Y PUNTOS DE REFERENCIA

-RECOMENDACION G.703, CCITT

Características físicas y eléctricas de los interfaces digitales jerárquicos.

Recomendación G.703, CCITT. AP VIII-95-S .

P. 54 a 81

-COMUNICACIONES DIGITALES, Ing. Mario Ibarra Pereyra.

Codificadores de Línea, conceptos.

Apuntes UNAM del Ing. Mario Ibarra Pereyra

-SISTEMAS DE COMUNICACION, B. P. Lathi

Editorial NUEVA EDITORIAL INTERAMERICANA S.A. DE C.V.

México D.F. 1986

Cap. 2, 3.

-CURSO DIGICOM, DEGEM SYSTEMS.

Teoría y práctica moderna de las comunicaciones digitales.

Sistemas de entrenamiento tecnológico.

P. 13 a 23.

-MANUAL DE SERVICIO ME520B, ANRITSU.

Manual para servicio del analizador de transmisión digital modelo

ME520B marca ANRITSU, Japón.

P. 3-153 a 3-162.