



UNIVERSIDAD NACIONAL AUTÓNOMA
DE MÉXICO

FACULTAD DE ESTUDIOS SUPERIORES
CUAUTITLÁN



V N A M

DISEÑO Y CONSTRUCCION DE UNA TARJETA
MULTIFUNCION DE ENTRADAS Y SALIDAS
PARA COMPUTADORA PERSONAL IBM-PC-XT
O COMPATIBLE

TESIS CON
FALLA DE ORIGEN

T E S I S

QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA

P R E S E N T A :

MARCOS MONDRAGON BOCANEGRA

DIRECTOR DE TESIS :

HECTOR MIGUEL SANTOYO MORALES

CUAUTITLÁN IZCALLI. EDO. DE MEX. 1991



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

INTRODUCCION	1
CAPITULO 1	
EL COMPUTADOR PERSONAL IBM Y COMPATIBLES	3
1.1 El hardware	3
1.1.1 La tarjeta del sistema	3
1.1.2 La tarjeta de video y el monitor	10
1.1.3 El teclado	11
1.1.4 La unidad de disco	12
1.2 El software	12
1.2.1 El software del sistema operativo	13
1.2.2 El software de lenguajes	16
1.2.3 Selección del Lenguaje de programación	18
CAPITULO 2	
CIRCUITO DECODIFICADOR GENERAL	21
2.1 Planteamiento	21
2.2 Diagrama de bloques	22
2.3 Diagrama eléctrico	26
2.4 Tabla de componentes	29
CAPITULO 3	
INTERFAZ PARA ENTRADAS Y SALIDAS DIGITALES	31
3.1 Conceptos y términos útiles	34
3.2 Planteamiento	35
3.3 Proceso de selección	37
3.4 La interfaz adaptadora de periféricos	37
3.5 Análisis de tiempos	43
3.6 Asignación de puertos	48
3.7 Temporizado y cuantificación de señales digitales	49
3.8 El módulo programable de "timers"	51

3.9 Diagrama eléctrico	60
3.10 Configuraciones	64
3.11 Tabla de componentes	65
CAPITULO 4	
INTERFAZ PARA LA CONVERSION ANALOGICA A DIGITAL	67
4.1 Los sistemas de adquisición de datos	67
4.2 Conceptos y términos útiles	72
4.3 Planteamiento	74
4.4 Diagrama de bloques	75
4.5 Estudio del convertidor analógico a digital	78
4.6 El amplificador diferencial	80
4.7 Diagrama eléctrico	82
4.8 Procedimiento de calibración	85
4.9 Tabla de componentes	88
CAPITULO 5	
INTERFAZ PARA LA CONVERSION DIGITAL A ANALOGICA	89
5.1 Conceptos y términos útiles	89
5.2 Convertidores digital a analógico	93
5.3 Planteamiento	100
5.4 Proceso de selección	100
5.5 Diagrama de bloques	101
5.6 Diagrama eléctrico	103
5.7 Configuraciones	107
5.8 Calibración	107
5.9 Tabla de componentes	109
CAPITULO 6	
CONSTRUCCION DEL PROTOTIPO	111
CAPITULO 7	
UNA APLICACION DE LA TARJETA MULTIFUNCION	117
7.1 Diagrama a bloques de la máquina	117
7.2 Las señales de interfaz en la máquina	119
7.3 Asignación de entradas y salidas en la tarjeta multifunción	122

7.4 Consideraciones de utilidad para la programación de la tarjeta multifunción	123
CAPITULO 8	
PROGRAMACION	127
8.1 Algunas características útiles del lenguaje de programación C	127
8.2 Las rutinas del programa	129
8.3 Presentación de los archivos fuente	155
APENDICE A	183
Direcciones de puertos usadas en IBM-PC-XT	184
Principales interrupciones	185
Asignación de terminales del bus de expansión	187
Diagrama de tiempos para el circuito 8088	189
APENDICE B	193
Diagramas de tiempos y tablas del MC6821	194
Diagramas de tiempos y tablas del MC6840	197
APENDICE C	201
Tablas de selección de convertidores A/D	202
Tablas de datos del circuito ADC1210	211
APENDICE D	213
Tablas de selección de convertidores D/A	214
Tablas de datos del circuito DAC1218	229
BIBLIOGRAFIA	231

INTRODUCCION

La tarjeta multifunción de entradas y salidas, diseñada para la computadora personal, consta de interfaces para controlar ocho líneas de entrada y ocho líneas de salida digitales, ocho canales de entrada y uno de salida analógicos e incluso tiene capacidad de contabilización y temporizado por medio de tres "timers" programables independientes.

En el presente reporte del proyecto se ha hecho una descripción de cada fase desarrollada, tanto de los circuitos como de la programación, que involucra elementos teóricos diversos concernientes esencialmente al ámbito de la electrónica analógica y digital íntimamente vinculadas. Por ello, en la mayor parte de los capítulos se dedicó un apartado destinado a los conceptos y términos más útiles que la materia en cuestión soporta, para describir fenómenos o características de algún elemento.

Los diagramas de tiempos y la explicación de la sincronía de señales en los circuitos referidos, está basada en el concepto de lógica positiva y los niveles de voltaje lógicos que intervienen casi en todos los elementos digitales son compatibles con los definidos por la lógica estándar TTL.

Múltiples aplicaciones prácticas resultarán al conocer las características de estas interfaces, detalladas en cada capítulo correspondiente.

El diseño de la programación fué dirigido primordialmente para emplear la tarjeta construida como un simulador de la etapa digital de una máquina tejedora industrial que entabla comunicación con el cerebro electrónico de ésta última, no obstante, la programación básica permanecerá inalterada para la mayoría de las posibles aplicaciones.

1.- EL COMPUTADOR PERSONAL IBM Y COMPATIBLES

Los modelos integrantes de computadores personales de IBM son: La original PC*, la PC XT, la PC jr, la PC portátil y la PC AT.

Centraremos la atención a las características de la PC XT por ser parte del objetivo primordial planteado, aunque algún otro miembro de la familia pudiera asemejarse mucho en algunos aspectos.

1.1.- EL HARDWARE

Los elementos de soporte físico básicos del computador personal son la tarjeta del sistema (llamada a veces tarjeta principal), la tarjeta de video, el monitor, el teclado y la unidad de disco. Pueden incorporárseles otras tarjetas y dispositivos conectados a través de los puertos de entrada, serie o paralelo, como el controlador de juegos (joystick), impresora, modem, graficador (plotter), controlador externo del cursor del monitor en modo gráficos (mouse), etc.

1.1.1.- LA TARJETA DEL SISTEMA

Esta tarjeta contiene el microprocesador, la memoria RAM y ROM, un timer programable, el generador de reloj, un controlador de acceso directo a memoria (DMA), una interfaz para periféricos programable (PPI), un controlador programable de interrupciones (PIC) y un coprocesador matemático opcional.

* PC es una abreviatura de Personal Computer y será muy comúnmente usada en el resto del escrito.

El microprocesador 8088

El microprocesador 8088 engloba los atributos de los microprocesadores de 8 y 16 bits; aún cuando tiene un bus para interfaz de datos de 8 bits, su arquitectura interna es de 16 bits.

La capacidad de direccionamiento es de hasta 1 Mbyte de memoria. (como se verá más adelante, esta cantidad de memoria es dividida en segmentos de 64 Kbytes).

El procesador proporciona 20 líneas de direcciones a memoria que localizan el byte que está siendo referenciado.

Las PC's tienen configurado al microprocesador 8088 en el modo máximo, siendo indispensable emplear el controlador de bus 8288 para proporcionar todas las señales de control del bus que se requieren y decodificar los bits de estado.

El bus de datos y el bus de direcciones del 8088 están divididos en tres partes: los 8 bits de direcciones y datos (AD0-AD7), los ocho bits de direcciones medios (A8-A15) y los cuatro bits de las direcciones superiores (A16-A19). Los bits de direcciones y datos y los cuatro bits superiores de la dirección son multiplexados por tiempos. Las ocho direcciones intermedias permanecen válidas todo el ciclo de bus.

El ciclo de bus del microprocesador consiste en al menos cuatro ciclos de reloj, referidos como T1, T2, T3 y T4. La dirección es enviada por el microprocesador durante T1 y la transferencia de datos ocurre en el bus durante T3 y T4. T2 es usado principalmente para cambiar la dirección del bus durante las operaciones de lectura. Pueden insertarse estados de espera Tw entre T3 y T4 cuando el dispositivo direccionado no está listo (refiérase al diagrama de tiempos de la figura 1.1.1. en la siguiente página). Para un mayor detalle de las señales del microprocesador 8088 consúltese el apéndice A.

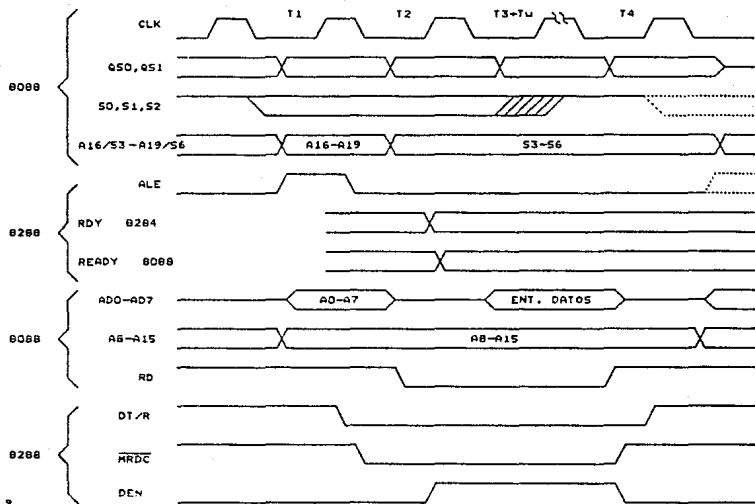


FIGURA 1.1.1 TIEMPOS DE LAS PRINCIPALES SEÑALES EN EL ALU 8088 Y SU CONTROLADOR DE BUS, 8288.

Durante los ciclos ociosos (Ti), el microprocesador realiza manejos internos y puede ocurrir una actividad simultánea como el refresco de memoria dinámica.

Las operaciones para entrada y salida en el microprocesador 8088 pueden ser utilizadas para direccionar un máximo de 64K de registros de entrada-salida, utilizando para ello las líneas de dirección A0 hasta A15 y las líneas de lectura y escritura para puertos de entrada y salida, \overline{IOR} e \overline{IOW} . Las líneas de dirección restantes están a nivel lógico cero.

Un tema muy interesante es el de las operaciones de interrupción. El microprocesador se entera de las peticiones de interrupción por hardware a través de los terminales NMI e INTR. La señal de interrupción NMI es no mascarable y tiene la más alta prioridad para su atención; es activa en las transiciones bajo a alto. La señal de interrupción INTR responde al bit de bandera de habilitación de interrupción, es decir, puede ser internamente mascarable; es activa en nivel alto.

El microprocesador 8088 posee 14 registros que son divididos en cuatro grupos:

- (a) 4 registros de 16 bits para soporte de los resultados intermedios y las operaciones aritméticas y lógicas. Son usados como áreas de trabajo temporal y almacenamiento. Ellos son el registro acumulador (Ax), el registro base (Bx), el registro contador (Cx) y el registro de datos (Dx).

- (b) 4 registros de segmento de 16 bits que mantienen las direcciones de inicio de ciertos segmentos en la memoria. Ellos son el registro de segmento de código (CS), el registro de segmento de datos (DS), el registro de segmento de pila (SS) y el registro de segmento extra (ES).

- (c) 5 registros apuntadores e índices de 16 bits para retener las direcciones de offset que son usadas con los párrafos de segmento para apuntar a un dato en memoria. Ellos son el registro apuntador de instrucción (IP) o (PC), el registro apuntador de pila (SP), el registro índice destino (DI) y el registro índice fuente (SI).
- (d) El registro de banderas que contiene 9 banderas de control. Ellas son la bandera de acarreo; CF, la bandera de cero; ZF, la bandera de signo; SF, la bandera de paridad; PF, la bandera auxiliar de acarreo; AF, la bandera de dirección; DF, la bandera de interrupción; IF y la bandera de trampa; TF.

Memoria RAM y ROM

La capacidad de memoria RAM en PC XT tiende a expandirse a un máximo de 640 Kbytes, dejando espacio para expansión de RAM de la tarjeta de gráficos. La cantidad de memoria ROM no es mucha y soporta principalmente al BIOS* y BASIC.

La tabla 1.1.1 muestra el mapa de memoria para el Mbyte direccionable en PC-XT.

El timer programable

El circuito integrado que realiza las funciones de conteo es el 8253*. Es utilizado para producir una interrupción de reloj al microprocesador cada 65536 ciclos del reloj principal, es decir, 18.2 veces por segundo aproximadamente. La interrupción le sirve al microprocesador para actualizar la hora corriente.

El 8253 se puede programar para producir tonos de frecuencia audibles enviados a la bocina del computador.

* Sistema básico de entradas y salidas.

RANGO DE DIRECCIONES		DESCRIPCIÓN
PRIMERA DIRECCIÓN (HEX)	ULTIMA DIRECCIÓN (HEX)	
F0000	FFFFF	ÁREA PERMANENTE DE ROM PARA ROM-BIOS, BASIC Y DIAGNÓSTICOS
D0000	EFFFF	ÁREA DE CARTUCHO PARA ROM
C0000	CFFFF	EXTENSIONES DEL BIOS
B0000	BFFFF	MEMORIA CONVENCIONAL PARA VIDEO
A0000	AFFFF	EXPANSIÓN DE MEMORIA PARA VIDEO
90000	9FFFF	EXPANSIÓN A 640K DE RAM
80000	8FFFF	EXPANSIÓN A 576K DE RAM
70000	7FFFF	EXPANSIÓN A 512K DE RAM
60000	6FFFF	EXPANSIÓN A 448K DE RAM
50000	5FFFF	EXPANSIÓN A 384K DE RAM
40000	4FFFF	EXPANSIÓN A 320K DE RAM
30000	3FFFF	PRIMEROS 256K DE RAM
20000	2FFFF	PRIMEROS 192K DE RAM
10000	1FFFF	PRIMEROS 128K DE RAM
00000	0FFFF	PRIMEROS 64K DE RAM (PARA SOFTWARE DEL SISTEMA)

TABLA 1.1.1 DISTRIBUCION DE LA MEMORIA EN BLOQUES DE 64 KBYTES PARA LA PC-XT.

El generador de reloj

El generador de reloj (el 8284) suministra una frecuencia base de 14.3128 MHz y una frecuencia secundaria de 24 ó 30 MHz con 1/3 de ciclo de servicio. El microprocesador divide estas frecuencias entre tres para producir la frecuencia estándar de reloj de 4.77 MHz y la frecuencia para el modo turbo de 8 ó 10 MHz, utilizadas por todos los circuitos integrados que trabajan en sincronía con el 8088.

El controlador de acceso directo a memoria

El propósito principal de el controlador de acceso directo a memoria (el 8237), es efectuar la lectura y escritura en un disco sin involucrar al microprocesador. Este controlador contiene 344 bits de memoria interna para almacenar los datos conforme llegan.

La interfaz programable para perifericos

Esta interfaz (el C.I. 8255) tiene tres puertos para entrada o salida (A, B y C) de 8 bits cada uno. Es usada para comunicar dispositivos periféricos con el procesador de una manera indirecta a través de ésta. En el apéndice A se proporciona una tabla para la asignación de direcciones de los puertos.

El controlador programable de interrupciones (PIC)

El circuito integrado utilizado en PC para controlar las interrupciones es el 8259, el 8259A o el 82C59, dependiendo del modelo. Se encarga de controlar hasta 8 niveles de prioridad de interrupción. El nivel cero es usado para atender al timer involucrado con la base de tiempo del sistema y el nivel uno es reservado para la entrada del teclado (se atiende al controlador de DMA).

El PIC tiene como función, sobre todo, manejar una interrupción; acepta la petición del periférico, determina cuál de las peticiones que le llegan es la de más alta prioridad, averigua si la interrupción que está llegando tiene un valor más alto de prioridad que la de nivel corriente que está siendo servida y emite una interrupción al microprocesador basado en esta determinación.

El PIC es programado por software como un periférico de entrada-salida.

Las interrupciones del 8259 son de hardware pero existen las interrupciones por software, ya sea generadas por el propio

microprocesador o por su invocación en un programa.

Las direcciones del controlador de interrupción apuntan a una tabla situada en memoria baja, de las localidades 000h a la 3FFh y que contiene las direcciones de inicio de la rutina manejadora de interrupción. Estas direcciones son llamadas vectores de interrupción y a la tabla se le denomina tabla de vectores de interrupción.

Las señales del microprocesador y del controlador de bus son llevadas en la tarjeta del sistema a un grupo de conectores para expansión. Aquí van insertas las tarjetas de video, de reloj calendario, de puertos serie y paralelo, etc. La asignación de señales en cada terminal de estos conectores (para todos es la misma) se presenta en una tabla en el apéndice A.

1.1.2.- LA TARJETA DE VIDEO Y EL MONITOR

La tarjeta de video controla el tubo de rayos catódicos (TRC) del monitor. Cuenta con un generador de caracteres, un controlador de TRC, una cantidad suficiente de memoria para retener la información a desplegar y puertos de entrada y salida para conectar, por ejemplo, una impresora.

El controlador de TRC usualmente es el circuito integrado MC6845 de Motorola, aunque en las computadoras compatibles se puede encontrar otro tipo de controlador.

Las tarjetas adaptadoras de video pueden ser para un monitor monocromático, o bien, para gráficos y color.

El adaptador para gráficos y color es usado para producir figuras y caracteres, por lo que requiere memoria adicional (debido a que cada punto de información, llamado pixel, tiene su propio atributo).

El adaptador para monitor monocromático trabaja en modo de texto

únicamente y requiere menos memoria (porque el generador de caracteres tiene almacenada la información estándar a desplegar).

Dos bloques de 64 Kbytes de memoria son reservados para operaciones de la tarjeta de video y están localizados en el rango de direcciones A0000 a BFFFF (sólo se necesitan 64Kbytes en cualquiera de los dos adaptadores si no se tiene capacidad para desplegar gráficos avanzados). Existen adaptadores que despliegan gráficos en monitores monocromáticos.

Los monitores pueden clasificarse en cuatro tipos básicos:

- (a) Monitores monocromáticos de manejo directo (pueden desplegar texto y caracteres gráficos, pero no gráficos).
- (b) Monitores monocromáticos compuestos (son conectados a la salida de video compuesto del adaptador de gráficos y color).
- (c) Monitores a color compuesto.
- (d) Monitores RGB (son monitores a color pero reciben la información por tres líneas separadas correspondientes a los colores rojo, verde y azul).

1.1.3.- EL TECLADO

La PC tiene el controlador de teclado (circuito integrado 8048) que rastrea el estado de las teclas y continuamente reporta al ROM-BIOS si una tecla ha sido presionada o regresada. Tiene la tarea de enviar los códigos de la tecla presionada o liberada (estos son distintos). Cuando una tecla es oprimida por más de medio segundo, el controlador genera el mismo código cada décima de segundo. El 8048 tiene memoria para retener el código de 20 acciones de teclas.

1.1.4.- LA UNIDAD DE DISCO

La PC puede tener una o más unidades de disco para almacenar información por medios magnéticos. Estas unidades pueden ser para disco flexible, o bien, contienen discos fijos (llamados también discos duros).

Existen discos flexibles con tamaños de 5 1/4" y de 3 1/2". Sus capacidades van de los 160 Kbytes hasta los 1.44 Mbytes. Los discos duros tienen capacidades varias con un mínimo de 10 Mbytes.

El disco es fragmentado en "tracks" o cilindros al momento de su formateo y quedan también definidos el número de sectores por "track", pudiendo ser de 8, 9 ó 15 en discos flexibles y de 17 o más en discos duros.

Los manejadores de disco tienen la capacidad de leer algunos formatos específicos en los discos, esto es, hay manejadores de disco flexible que no reconocen los formatos de cuádruple densidad o alguno con 40 "tracks", 9 sectores y 2 lados.

1.2.- EL SOFTWARE

Las computadoras personales de IBM (y compatibles) tienen sistemas operativos bien estructurados, siendo un factor determinante de la firmeza con que se mantienen en el mercado los fabricantes de estas máquinas.

El software se puede dividir en tres categorías principales que son:

- (a) El software del sistema operativo.
- (b) El software de lenguajes.
- (c) El software de aplicaciones.

El software del sistema operativo lo componen los programas escritos para el control y la coordinación del hardware de la PC.

El software de lenguajes son programas especiales utilizados por los programadores para desarrollar programas de aplicaciones.

El software de aplicaciones son programas desarrollados para aplicaciones específicas, tales como los llamados paquetes de software (en este escrito se utilizaron varios de ellos).

De hecho, el software del sistema operativo y el software de lenguajes son referidos como software de sistemas.

1.2.1.- EL SOFTWARE DEL SISTEMA OPERATIVO

Los recursos del hardware son activados y coordinados por dos elementos esenciales del software y ellos son:

- (a) El BIOS.
- (b) El DOS.

El BIOS

El BIOS es un sistema básico de entradas y salidas. Se trata de una colección de rutinas en lenguaje de máquina manipuladoras de dispositivos. Controlan y coordinan las actividades del hardware del computador, además de realizar tareas intrínsecas como es el llevar la contabilización del tiempo.

Las rutinas del BIOS son invocadas por los programas de aplicación especificando un número de interrupción (que indica el tipo general de operación) y un número de servicio determinado. El BIOS se entiende con las interfaces y los dispositivos controladores para obtener datos provenientes del exterior, o bien, para transmitir información a través de ellos a alguna parte dentro del sistema o externa a él.

El BIOS se encuentra almacenado en la memoria ROM del sistema y consigue control en el momento de la inicialización. Hace, en este instante, unas breves pruebas del computador para ver que todo esté listo (entre ellas está la prueba de RAM). Interroga a los puertos para enterarse de cuáles dispositivos están conectados a la PC y los inicializa inmediatamente después. Pone las direcciones de inicio correspondientes a cada una de sus rutinas en la tabla de vectores de interrupción y carga al sistema operativo del disco.

Las extensiones del BIOS son programas de soporte para nuevos dispositivos periféricos y son integradas en memoria RAM en el proceso de inicialización.

Como se observa, el BIOS está vinculado al hardware y a los lenguajes de alto nivel (incluyendo el sistema operativo), efectuando las tareas más fundamentales del sistema.

El BIOS responde a 12 interrupciones; 6 de ellas sirven a los dispositivos periféricos específicos con una cantidad amplia de servicios, 2 reportan el estado del equipo de la computadora, una se usa para la actualización de la fecha y hora del reloj, y por último, 2 arrancan la computadora activando el ROM-BASIC y la rutina de inicialización.

El sistema operativo en disco (DOS)

Como complemento al ROM-BIOS, se dispone de un sistema operativo que puede ser cargado a la memoria RAM desde un disco, quedando residente una parte de él después de las localidades ocupadas por la tabla de vectores de interrupción, los datos del BIOS y los datos del DOS.

El programa cargador verifica que se encuentren en disco dos archivos ocultos llamados IBMBIO.COM e IBMDOS.COM. Al hallarlos, los pone en memoria a través de un interpretador de comandos de DOS denominado COMMAND.COM.

El COMMAND.COM contiene las rutinas que interpretan los comandos introducidos por teclado. Tiene la capacidad de diferenciar los tipos de comandos que son parte de él mismo y los que conforman la utilería de DOS o de algún programa de usuario.

El IBMBIO.COM contiene las extensiones de el ROM-BIOS. Incluye adiciones y correcciones al BIOS que permanece inalterable en ROM.

El IBMDOS.COM contiene las rutinas de servicio de DOS, invocadas también, por un número de interrupción. Las direcciones de inicio de estas rutinas de servicio son puestas en la tabla de vectores de interrupción y el sistema operativo ejecuta comandos especiales para la configuración e inicialización de DOS contenidas en los archivos config.sys y autoexec.bat.

Las rutinas de IBMDOS.COM no son tan elementales como las del BIOS y efectúan operaciones más complejas.

Las funciones de DOS son rutinas secundarias que proporcionan un control más eficiente sobre las entradas y salidas que el BIOS.

Sólo existen 9 servicios a interrupción en DOS. Algunos de ellos tienen que ver con la terminación definitiva o parcial de un programa. Otras, con la lectura y escritura en disco e impresiones. Una más, para casos de error crítico y, finalmente, la que tiene a su cargo las funciones universales y extendidas de DOS.

Las funciones de DOS realizan las tareas más variadas, pudiendo ser: operaciones de entrada y salida, apertura y cierre de archivos, cálculo de tiempo y fecha para el reloj, creación de directorios, borrado de archivos, cargado y ejecución de programas, etc.

En el apéndice A se incluye una tabla con las principales interrupciones de el sistema.

1.2.2.- EL SOFTWARE DE LENGUAJES

El software de lenguajes suele clasificarse como sigue:

- (a) Ensambladores
- (b) Compiladores
- (c) Intérpretes
- (d) Editores
- (e) Bibliotecas

Los ensambladores

Un programa ensamblador traduce las instrucciones simbólicas (mnemónicos) de un programa, al código binario equivalente del microprocesador.

Cada instrucción simbólica representa un sólo código de máquina (un número en sistema binario).

Existen una gran cantidad de programas ensambladores para distintos microprocesadores que pueden correr en una PC, incluyendo el mismo 8088.

En un programa ensamblador se hace uso de los distintos modos de direccionamiento del microprocesador. El 8088 tiene 20 líneas de direcciones, pero sus registros son de 16 bits. Ello implica usar un artificio para indicarle al microprocesador la dirección correcta dentro del mapa de memoria de 1 Mbyte. El programador debe especificar la dirección de inicio de segmento a través del registro CS y una dirección relativa en el registro IP, para apuntar al lugar indicado en el segmento de 64 Kbytes. El microprocesador crea una dirección de 20 bits manipulando los contenidos de los dos registros.

Los compiladores

Los compiladores son programas especiales concebidos para traducir una instrucción en lenguaje de alto o mediano nivel, a un grupo de instrucciones en lenguaje de máquina.

Dentro del software de lenguajes para PC, se encuentran compiladores para Fortran, Pascal, Basic, Cobol, C, etcétera.

Los intérpretes

Los intérpretes también son programas traductores de lenguajes de alto nivel a lenguaje de máquina.

La diferencia esencial entre un compilador y un intérprete se funda en el hecho de que un intérprete lee el código fuente de el programa y ejecuta las instrucciones tal y como las lee, línea por línea (como el GW BASIC de ROM en PC). Un compilador lee todo el programa fuente y lo traduce a un programa en código objeto (en binario) antes de ejecutarlo.

Los editores y las bibliotecas

Los editores son programas procesadores de texto, usados por los programadores para componer o modificar otro programa (como el editor Norton).

Las bibliotecas son programas especiales que manejan el uso de los ficheros de programación, el banco de datos y proporcionan listas de los cambios efectuados en los programas.

Módulos en código objeto pueden combinarse para obtener un único programa "cargable" con extensión .EXE usando un programa ligador, conocido como LINK en DOS.

Los programas con formato .EXE pueden, en algunos casos, convertirse en archivos con formato .COM utilizando el archivo de

DOS: exe2bin. Funcionalmente los dos programas son iguales, sin embargo, el archivo con extensión .COM es más compacto y se carga más rápido.

1.2.3 SELECCION DEL LENGUAJE DE PROGRAMACION

Hay aplicaciones donde muchos lenguajes de programación pueden realizar las mismas tareas, sin embargo, existen otras en las cuales se necesitan programas que funcionen rápidamente. Es aquí donde quedan descartados los lenguajes que requieren intérprete o traductor y muchos de los que tienen que ser compilados.

Los programas en lenguaje ensamblador son los más veloces, aunque existen lenguajes de programación "turbo" que poseen la cualidad de disminuir considerablemente el tiempo de ejecución; tales son turbo C y turbo pascal.

Hay muchas similitudes entre los lenguajes de programación "Turbo C" y "Turbo Pascal". Incluso existen medios de convertir un programa hecho en Pascal a lenguaje "C".

Considerando la rapidez como un factor determinante para la selección de un lenguaje, sólo queda sopesar las características propias de los candidatos, desde el punto de vista de programación.

El lenguaje ensamblador proporciona la máxima flexibilidad, pero a cambio de ello, es difícil de manejar en el desarrollo o depuración de un programa; sobre todo cuando no se siguen apropiadamente las reglas de modularidad en la programación utilizando éste.

Una característica importante en algunos lenguajes de alto y mediano nivel es su estructuración, esto es, los programas pueden construirse en módulos limitando los tipos de interconexión lógica entre ellos a las formas secuencial, repetitiva o selectiva, reduciendo con esto, el riesgo de introducir errores en los programas mientras se está escribiéndolos.

El lenguaje ensamblador es apto para el desempeño de las actividades que nos conciernen en este proyecto, pero el "C" también tiene cualidades que lo hacen capaz de realizarlas óptimamente.

Por estas razones, el lenguaje seleccionado para la programación de las interfaces desarrolladas fué el "Turbo C".

2.- CIRCUITO DECODIFICADOR GENERAL

Las 16 direcciones para acceso a puertos de entrada y salida tienen que ser decodificadas necesariamente. Existen muchas formas de llevar a cabo este proceso. Algunas veces es suficiente emplear únicamente compuertas, en otras ocasiones es necesario la reducción de espacio y la configuración de distintas direcciones base utilizando memorias, arreglos lógicos programables (PAL's) o circuitos decodificadores especiales.

En este capítulo se describe un circuito decodificador general de direcciones para los dispositivos que realizarán las operaciones de conversión analógica a digital, conversión digital a analógica y entradas y salidas digitales.

2.1 PLANTEAMIENTO

En el apéndice A se encuentra una tabla que muestra las direcciones de los puertos usados en la PC-XT. Puede observarse que existen direcciones sin uso. Nótese, además, que hay un bloque de 32 direcciones consecutivas asignadas a la tarjeta de prototipo en el rango de la 300H a la 31FH.

Los requerimientos de direcciones del mapa de memoria para nuestras interfaces, son los siguientes:

- a) 8 direcciones diferentes para inicio de conversión de cada canal analógico y lectura de la información digital.
- b) 2 direcciones para escribir al convertidor digital a analógico.
- c) 8 direcciones para operaciones de entrada y salida digitales.

En total, se necesitan 18 direcciones diferentes que caben

perfectamente en el bloque asignado a la tarjeta de prototipo. Sin embargo, pueden utilizarse los puertos de una interfaz de entradas y salidas para realizar todas estas operaciones, leyendo y escribiendo en sus registros en vez de acceder al dispositivo directamente.

Después de todo, convino hacer el planteamiento de un circuito decodificador con cuatro selectores de dispositivo distintos que responderían a un bloque específico de direcciones.

Cada uno de los dispositivos serán descritos en un capítulo aparte. Por ende, sólo nos limitaremos a explicar la decodificación de las direcciones para la obtención de cuatro selectores.

Asumiendo que un dispositivo periférico usualmente requiere ocho o menos direcciones diferentes para accederlo totalmente, haremos particiones simétricas del bloque de direcciones para entrada y salida asignado a la tarjeta de prototipo, de tal forma que se tendrán cuatro selectores que se activarán exclusivamente para su grupo correspondiente de ocho direcciones determinado.

2.2 DIAGRAMA DE BLOQUES

Antes de proceder a presentar y describir el diagrama a bloques, debemos hacer referencia a las señales disponibles en los conectores de expansión de la computadora.

El diagrama de tiempos de la figura 1.1.1, en el capítulo anterior, debe ser ampliado con otras señales importantes para el control de entrada-salida. El controlador de bus (8288), como se ha mencionado, es utilizado cuando el microprocesador 8088 se configura en el modo máximo.

En la figura 2.2.1 podemos ver las señales \overline{IORC} e \overline{IOWC} para puertos de entrada-salida, en los ciclos de lectura y escritura y la señal ALE.

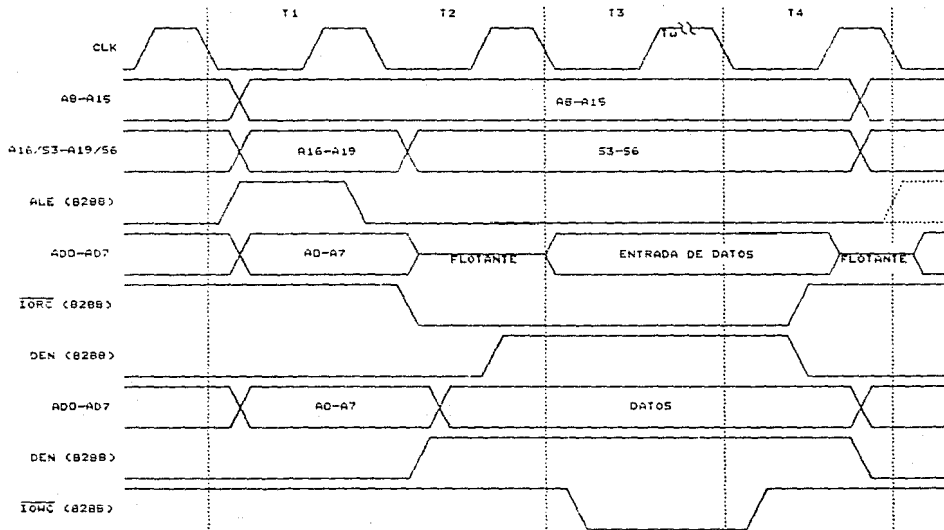


FIGURA 2.2.1 DIAGRAMA DE TIEMPOS ADICIONAL PARA EL μ P 8088.

En los ciclos de reloj T₃ y T₄ ocurre la transferencia de datos, donde para un ciclo de lectura, el nivel de $\overline{\text{IORC}}$ del controlador de bus se vuelve activo aún cuando las líneas de datos están flotadas. La reafirmación de los datos presentes la da DEN, en el flanco de subida. En el caso del ciclo de escritura, el tiempo de inicio de validación de datos coincide con los flancos de activación de DEN e $\overline{\text{IOWC}}$.

Para el caso de las líneas de dirección, A₈ hasta A₁₅, éstas permanecen estables durante los cuatro ciclos de reloj, sin embargo, las líneas A₀ hasta A₇ sólo se presentan durante los dos primeros ciclos. No obstante, en los conectores de expansión de la PC se presenta a estas señales con sus niveles lógicos estables durante los dos ciclos restantes. De esta forma, la señal ALE del controlador de bus, quedó excluida de participar en el circuito que se desarrolló.

Se ha dicho que el microprocesador 8088 tiene capacidad para emitir 65,536 direcciones diferentes hacia puertos de entrada y salida, aparte del más de un millón para memoria. La computadora personal sólo proporciona direcciones para entrada y salida dentro del rango 0000H a 01FFH, esto es, las líneas de dirección A₀ hasta A₁₅ permanecen en nivel cero lógico cuando se activan las señales $\overline{\text{IOR}}$ o $\overline{\text{IOW}}$.

Una de las señales no mostradas es la habilitadora de direcciones ($\overline{\text{AEN}}$), del controlador de bus. Cuando se encuentra inactiva (en nivel alto), el controlador de DMA toma el control del bus de direcciones, del bus de datos y las líneas de comando para lectura y escritura en memoria y puertos de entrada-salida. Las interfaces de la tarjeta no deben responder cuando esta línea se encuentre en su nivel inactivo, ya que no se utilizará el acceso directo a memoria.

La figura 2.2.2 presenta el diagrama a bloques del circuito de decodificación general.

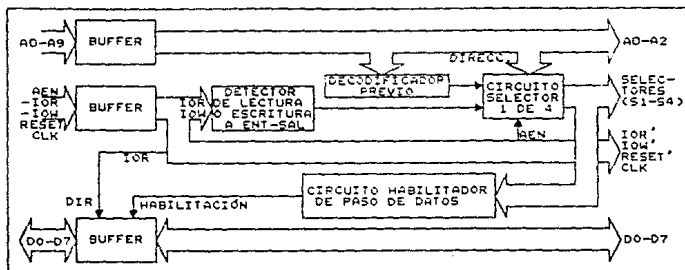


FIGURA 2.2.2 DIAGRAMA A BLOQUES DEL CIRCUITO DECODIFICADOR DE DIRECCIONES.

Primeramente, se han tomado las líneas necesarias desde el bus de expansión de la PC y se llevaron a un circuito aislador y amplificador de corriente para el manejo de varias cargas TTL o CMOS.

Las señales de \overline{IOR} e \overline{IOW} son tratadas por un circuito detector de lectura o escritura a puertos que participará en la habilitación de un circuito selector para cuatro salidas, siendo elegido un circuito integrado decodificador-demultiplexor para 1 de 8 líneas.

La señal AEN determinará, conjuntamente con la salida del decodificador previo de direcciones, si el circuito selector para una de las cuatro salidas debe o no activarse.

Las líneas de dirección que no han participado aún, indicarán cuál es el habilitador que va a seleccionarse.

Un circuito activador de paso de datos recibe las cuatro líneas de selección del decodificador y decide si el aislador de cada línea saldrá de tercer estado. La dirección del flujo de datos es definida por la señal \overline{IOR} .

Para uso ulterior, las tres líneas de dirección menos significa-

tivas se envían hacia los dispositivos de interfaz para la selección mínima de 8 registros por cada uno de ellos. Por tanto, se incluyen los cuatro selectores de dispositivo, las ocho líneas de datos y las líneas de control; tales como lectura, escritura, reestablecimiento y reloj del microprocesador.

La tabla 2.2.1 indica cómo es que debe permanecer cada bit de las líneas de dirección para que el circuito decodificador responda adecuadamente. Los bits de dirección A₉ y A₈ deben tener un nivel lógico alto, mientras que los bits A₅ hasta A₇ permanecerán en nivel lógico bajo para que el circuito habilitador responda dentro del rango de direcciones 300H a 31FH. Para los demás bits, no importa su valor.

DIRECCIÓN (HEX)	BITS DE DIRECCIÓN									
	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
300	1	1	0	0	0	0	0	0	0	0
31F	1	1	0	0	0	1	1	1	1	1
TODO EL RANGO DE 300 A 31F	1	1	0	0	0	X	X	X	X	X

*X Significa que no importa el nivel que posea

TABLA 2.2.1 NIVELES LOGICOS DE LOS BITS DE DIRECCION PARA ACTIVAR SELECTORES.

2.3 DIAGRAMA ELECTRICO

La figura 2.3 es el diagrama eléctrico de la etapa de decodificación.

El circuito U6 es un decodificador para una de ocho salidas con tres terminales de habilitación.

Un desglose de los rangos de direcciones en los cuatro grupos que hemos seleccionado se muestra en la tabla 2.3.1. Se hizo uso de solamente cuatro salidas del 74LS138 que deben estar activas cada una para un grupo de ocho direcciones consecutivas, dependiendo de la combinación que habilite a este dispositivo.

GRUPO	RANGO DE DIRECCIONES										74LS138	SELECTOR	
	HEX	BINARIO										SELECTOR	ASIGNADO
		A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ACTIVO	A PERIF.
1	300	1	1	0	0	0	0	0	0	0	0	07	S1
	307	1	1	0	0	0	0	0	1	1	1		
2	308	1	1	0	0	0	0	1	0	0	0	06	S2
	30F	1	1	0	0	C	0	1	1	1	1		
3	310	1	1	0	0	0	1	0	0	0	0	05	S3
	317	1	1	0	0	0	1	0	1	1	1		
4	318	1	1	0	0	0	1	1	0	0	0	04	S4
	31F	1	1	0	0	0	1	1	1	1	1		

TABLA 2.3.1 DESGLOSE DE SELECTORES ACTIVADOS CORRESPONDIENTES A LOS CUATRO GRUPOS DE DIRECCIONES.

La señal AEN está conectada a un selector de U6 que responde a niveles lógicos bajos. Se le ha asignado el terminal 5 ($\bar{E}2$).

El circuito detector de lectura o escritura a puertos de entrada y salida es una compuerta AND de dos entradas (U4A), que normalmente tiene un nivel lógico alto a su salida, hasta que cualquiera de las señales $\bar{I}OR$ o $\bar{I}OW$ tomen un nivel bajo. También se conecta a la otra entrada selectora negada del 74LS138.

El último selector deberá ser activado cuando los bits de dirección A6 y A7 sean cero lógico, en tanto A8 y A9 sean uno lógico. Esto se logra invirtiendo A8 y A7 y conectando las cuatro líneas a una compuerta AND de 4 entradas (USA). La salida de ésta es llevada al terminal 6 de U6.

La combinación de los tres bits menos significativos de dirección debe variar de cero a ocho para la selección de registros. Por tanto, ellos no se tomaron en cuenta en el circuito decodificador.

Las líneas de dirección A3, A4 y A5 se conectan a las entradas de dirección para el decodificador 74LS138. Tomando en cuenta que A5 debe tener solamente nivel lógico cero, y debido a que conviene utilizar completamente el circuito U2 (74LS240), se hace una

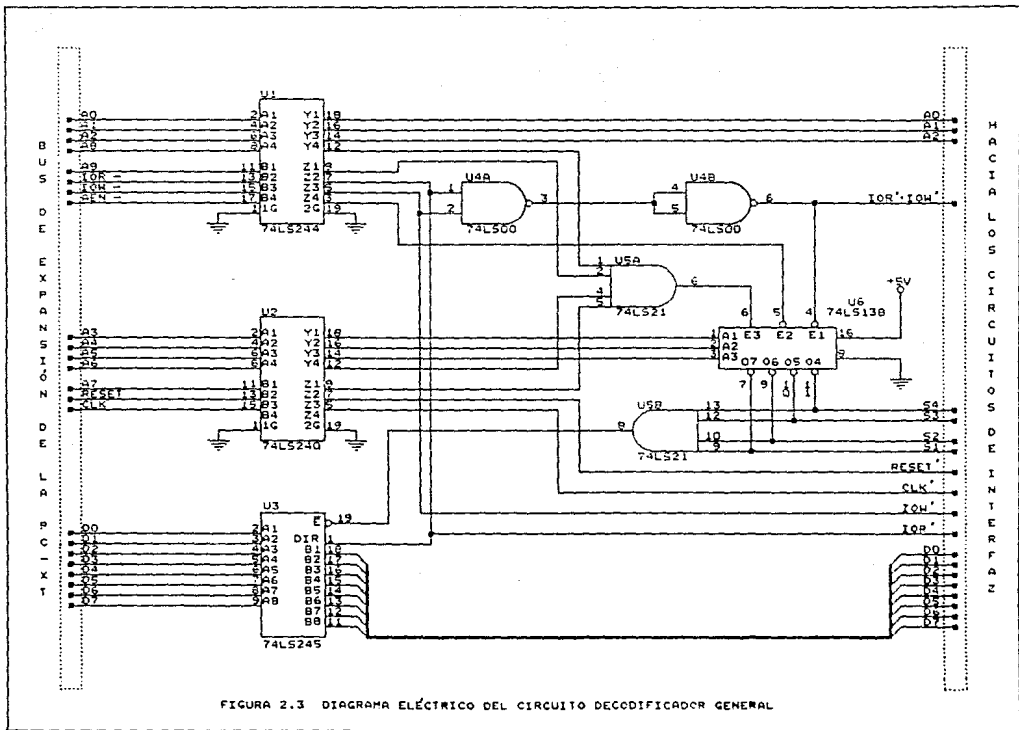


FIGURA 2.3 DIAGRAMA ELÉCTRICO DEL CIRCUITO DECODIFICADOR GENERAL

inversión de niveles previamente en estos tres bits.

Así, para el rango de direcciones 300H a 307H, los bits A₃, A₄ y A₅ tienen todos un nivel lógico alto a las entradas de direccionamiento de U₆, por lo que el selector activo será $\bar{0}7$ en vez de $\bar{0}0$ (véase la tabla 2.3.1). El mismo caso se da para los tres selectores restantes.

El circuito habilitador de paso de datos toma las cuatro salidas $\bar{0}4$, $\bar{0}5$, $\bar{0}6$ y $\bar{0}7$, del 74LS138, y detecta cuándo alguna de éstas tiende a nivel lógico bajo. Se trata de una compuerta AND de cuatro entradas (U5B) que se conecta directamente a la terminal 9 del circuito transmisor-receptor 74LS245 (U3).

Los circuitos de aislamiento y amplificadores de corriente para las señales utilizadas del bus de expansión de la PC son el 74LS244 (U1), 74LS240 (U2) y 74LS245 (U3). El único que invierte los datos es U2.

Por último, en el siguiente apartado se ha adicionado una tabla que describe los componentes referenciados en el diagrama eléctrico.

2.4 TABLA DE COMPONENTES

REFERENCIA	CÓDIGO DEL DISPOSITIVO	DESCRIPCIÓN
U1	74LS244	BUFFER OCTAL NO INVERSOR
U2	74LS240	BUFFER OCTAL INVERSOR UNIDIR.
U3	74LS245	BUFFER OCTAL N O INV. BIDIREC.
U4	74LS00	4 COMPUERTAS NAND DE 2 ENT.
U5	74LS21	DOBLE COMPUERTA AND DE 2 ENT.
U6	74LS138	DECODIF.-DEMULT. 1 DE 8

3.-INTERFAZ PARA ENTRADAS Y SALIDAS DIGITALES

Un sistema de adquisición de datos posee una interfaz para la conversión analógica a digital y ofrece características opcionales tales como capacidad de manipulación de entradas y salidas digitales no continuas, manejo de salidas analógicas, funciones de contador-reloj y acondicionamiento de señales de entrada analógicas y digitales.

Las señales de entrada con niveles digitales provienen usualmente de osciladores, transductores con respuesta en dos estados de voltaje o de circuitos de conmutación externos.

La utilidad de una interfaz para entradas y salidas digitales no continuas es bastante amplia. Generalmente un computador envía señales digitales al exterior en calidad de información y como control de los dispositivos con los que se interconecta. Puede mencionarse un ejemplo real donde se involucran precisamente estas funciones.

Una impresora puede ser controlada, dependiendo de su tipo, mediante el envío de la información en formato serie o paralelo.

Es muy común encontrarse con impresoras para protocolos en formato paralelo. El adaptador para ésta debe proveer doce salidas digitales independientes y admitir cinco entradas. Su operación es simple:

- a) La señal de entrada seleccionada indica al adaptador si la impresora está encendida.
- b) Se envía una señal de un ancho de pulso de varios microsegundos para inicializar la impresora.
- c) El dato del microprocesador para ser enviado es puesto en 8 líneas del puerto de salida.

- d) Es enviado un pulso de validación de datos a la impresora.
- e) Se espera la respuesta de la impresora indicando el reconocimiento de los datos recibidos. En caso contrario, el adaptador recibe una señal de impresora ocupada.
- f) El sensor de papel detecta el momento en que la impresora carece de papel y lo indica así a la interfaz del sistema.
- g) Se recibe una señal de error si ocurrieron anomalías en el proceso de la impresión.

A esta técnica de intercambio de indicadores y señales de sincronización, antes y después de la transferencia de datos, se le conoce como "apretón de manos" (HANDSHAKE).

La transferencia de información entre sistemas digitales es realizada mediante dos métodos:

- a) Método paralelo- Los datos se transmiten al mismo tiempo por líneas separadas.
- b) Método serie- Los datos se transmiten uno tras otro sobre una sola línea.

El método paralelo se utiliza para transmisión a alta velocidad y cortas distancias, en tanto, el método serie es más práctico para envío de datos a grandes distancias, que van de pocos metros hasta kilómetros.

La importancia de una transmisión mediante el método paralelo para intercambio de información entre dos sistemas, estriba en que se adapta a la forma universal de comunicación de un microprocesador a través de sus líneas de dirección, datos y control.

Un protocolo de diálogo es indispensable seguir para que se entiendan correctamente los dispositivos interlocutores. A veces, el dispositivo periférico se somete a los criterios de relación de señales y sincronía impuestos por el microprocesador. En otras ocasiones, la interfaz de el periférico está diseñada de tal forma que el microprocesador se tiene que adaptar a la secuencia de

señales que aquél requiere.

Generalmente el primer tipo de periféricos aludido es inherente al sistema, por ejemplo, la memoria, los circuitos cronometradores, el coprocesador, etc.

El segundo tipo, corresponde a periféricos remotos de estructura compleja, distinguiéndose los controladores de disco, impresoras, teclados, actuadores electromecánicos, etc.

El planteamiento para la interfaz de entradas y salidas digitales debió contemplar evidentemente, al tipo de periféricos remotos.

Un protocolo de diálogo común es aquél en que el microprocesador, por ser más veloz que el proceso controlado externamente, debe esperar hasta la terminación de ciertas actividades que la interfaz desempeña. La sincronización es indicada mediante la emisión de señales de validación y control como se describió en el ejemplo de la impresora.

La encuesta por parte del microprocesador se realiza para preguntar en forma secuencial a todos los periféricos si disponen de información para enviar, o bien, si se encuentran en condiciones de recibirla. El periférico solamente contesta hasta que se le pregunta.

Un método que ahorra tiempo de microprocesamiento es aquel que atiende a las interrupciones generadas por el periférico. Estas señales para suspensión momentánea del programa en curso pueden estar priorizadas por un controlador de interrupciones, aceptando primero, la petición de interrupción de más alto nivel e inhibiendo (mascarando) las demás que se presentaron en ese mismo instante. Cuando el microprocesador sólo posee un nivel de interrupción, el trabajo se efectúa por programación, ya que debe detectar el origen de la demanda poniendo en marcha una rutina de escrutinio en los registros de estado de los dispositivos que involucran este tipo de señal.

Se ha hablado anteriormente del acceso directo a memoria. Esta actividad es útil para transferencia de datos entre dos dispositivos periféricos sin involucrar al microprocesador, aprovechando algunos ciclos de reloj cedidos por éste para utilizar las líneas de dirección, de datos y control del bus.

3.1 CONCEPTOS Y TERMINOS UTILES

INTERFAZ.- Es un elemento de un sistema computarizado que está conectado para realizar las funciones necesarias para que éste reaccione con su ambiente. La componen las líneas de comunicación (datos y direcciones), las líneas de control y protecciones y un circuito central.

INTERRUPCION.- Es un indicador, generado por software o hardware, usado para demandar la atención del microprocesador. Generalmente se atiende en forma inmediata después de la terminación de la operación actual de este dispositivo.

DISPOSITIVOS CONTROLADORES.- Son circuitos de soporte para atender actividades sin involucrar directamente al microprocesador. Son responsables de tales procesos, controlando el flujo de la información.

DISPOSITIVOS DE ENTRADA-SALIDA.- Son elementos del computador que proporcionan una interfaz entre el sistema y los periféricos externos.

PUERTO DE ENTRADA-SALIDA.- Es una trayectoria de datos entre el microprocesador y los periféricos externos.

PERIFERICO.- Máquina o periférico de entrada-salida que puede funcionar bajo el control del computador.

REGISTRO.- Es una cantidad de memoria, generalmente de 8 ó 16 bits, destinada a las operaciones más fundamentales de control y transferencia de datos en un dispositivo programable.

BANDERA.- La representa un bit que indica el estado de la operación realizada.

COMUNICACION SINCRONA.- Es un tipo de comunicación donde la velocidad de transferencia de los datos depende del reloj del sistema.

COMUNICACION ASINCRONA.- Es un tipo de transmisión donde la transferencia de datos depende de las indicaciones que cada dispositivo se envíe.

PROTOCOLO DE COMUNICACION.- Conjunto de reglas que siguen la comunicación entre dos elementos de un sistema.

TIEMPO DE PUESTA (SETUP TIME).- Es es intervalo de tiempo durante el cual el dato, para ser reconocido, es indispensable que permanezca constante antes de la transición activa de la señal de control.

TIEMPO DE CAPTURA (HOLD TIME).- Es el intervalo de tiempo después de la transición activa de la señal de control (usualmente el reloj) para cuando el dato aún debe estar estable. Un tiempo negativo indica que los datos pueden ser removidos ese tiempo antes de que la señal de control sea activa.

RETARDO DE PROPAGACION.- Es el tiempo de retardo que dura un dispositivo en cambiar de estado a su salida, ya sea de bajo a alto o viceversa, cuando la entrada alcanza aproximadamente el 30% del valor de su alimentación (cuando tiende a ir de bajo a alto o viceversa).

3.2 PLANTEAMIENTO

El control de entradas y salidas la llevará a cabo una interfaz que sea un tanto flexible, es decir, se pretendió utilizar 8 líneas de entrada y 8 líneas para salida que pudieran ser independientes entre sí, y sin embargo, con capacidad de configurarse por

software.

Se habló en el capítulo anterior de la posibilidad de poder realizar algunas funciones de direccionamiento y recepción de datos por parte de este mismo circuito para las interfaces de conversión analógica a digital y digital a analógica. Esta inquietud nos condujo a pensar en un dispositivo capaz de controlar alrededor de 48 líneas de entrada y salida, o bien, dos de ellos con 24 de estas mismas líneas cada uno.

El problema fué manifestándose efectivamente cuando se especificaron algunos requerimientos esenciales de diseño.

Se necesitaban 8 líneas para las funciones particulares de entrada y 8 líneas para las de salida. Adicionándose finalmente 13 más para la lectura de datos del convertidor analógico a digital, 1 para inicio de conversión y 3 para seleccionar el canal de entrada. Al convertidor digital a analógico pueden asignársele únicamente 7 líneas para escribir los datos en él. Haciendo la suma, vemos que se precisa de 21 líneas para entrada y 19 para salida, esto es, un total de 40 líneas.

Después de este reconocimiento del papel que desempeñarían ciertos conjuntos de líneas de entrada y salida digitales, se observó un desbalance entre las que operarían para leer información y las que servirían para escribirla. Era necesario encontrar un circuito capaz de satisfacer la demanda planteada, siendo, por tanto configurable desde el punto de vista del número de entradas y el número de salidas.

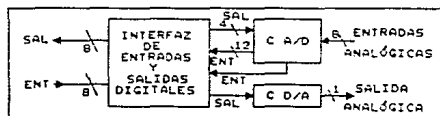


FIGURA 3.2.1 CONFIGURACION DE ENTRADAS Y SALIDAS

3.3. PROCESO DE SELECCION.

El 8255A, de Intel, es un dispositivo programable de entradas y salidas de propósito general. Tiene 24 líneas que pueden ser programadas en grupos de 4 u 8 para ser entradas o salidas. También puede utilizarse como un bus bidireccional. Este circuito integrado fué diseñado para utilizarse con el procesador 8080.

La interfaz adaptadora de periféricos, PIA, fué una creación de Motorola. Sus funciones son esencialmente similares a las del 8255. La principal ventaja de una PIA sobre un PPI es que sus líneas pueden ser configuradas como entradas o salidas individualmente. El circuito MC6821, de la familia del microprocesador MC6800, tiene dos puertos de 8 bits cada uno y 4 líneas de control.

Las características de una PIA se apegan más a los requerimientos planteados en la sección 3.2. Solamente deben considerarse los tiempos de acceso y puesta de datos para adaptar este dispositivo a las señales que proporciona el circuito decodificador general.

3.4. LA INTERFAZ ADAPTADORA DE PERIFERICOS

LINEAS DE INTERCONEXION

La PIA, MC6821, es un dispositivo de cuarenta terminales. Posee dos grupos de ocho líneas de datos para periféricos, cuatro líneas de control para entrada-salida, una línea de reestablecimiento, una línea para reconocimiento de lectura o escritura, un terminal para señal de reloj de sincronización, dos líneas de interrupción para el microprocesador, dos terminales para selección de registros, tres líneas de habilitación de dispositivo, ocho líneas de datos para bus común con el del microprocesador y dos terminales para suministro de alimentación de voltaje.

Las líneas de datos para periférico, PA0 hasta PA7 y PB0 hasta PB7, pueden ser programadas para actuar individualmente ya sea como una entrada o como una salida. Para el caso de el puerto B,

Las líneas PB0 a PB7 tienen manejadores con capacidad de tercer estado cuando son utilizadas como entradas.

De las cuatro líneas de control, dos de ellas (CA1 y CB1), sólo actúan como entradas y activan una interrupción para el microprocesador (si no es inhibida previamente). Las dos líneas restantes (CA2 y CB2), pueden ser programadas para actuar como una entrada para interrupción o como salida hacia periféricos, suministrando hasta 1 mA a 1.5V a la carga. Todas ellas, actuando como entradas, son sensibles a transiciones de nivel.

La línea de reestablecimiento, $\overline{\text{RES}}$, es muy importante para inicializar a la PIA. Esta condición se presenta cuando se alimenta al sistema o cuando se presiona el botón de reset manual. Su función es poner todos los registros a cero y la dirección de las líneas periféricas y de control como entradas.

La línea para lectura y escritura, R/\overline{W} , es utilizada, conjuntamente con los selectores de registro, para definir totalmente el tipo de operación que se ejecutará sobre los registros de la PIA. El estado de esta línea define cuál será la dirección del flujo de los datos (del periférico al microprocesador, si se encuentra en nivel lógico alto y viceversa, si es bajo).

Los datos son válidos cuando se presenta la transición de bajada de la señal de sincronización, E.

Las líneas de interrupción, IRQA e IRQB, corresponden a cada una de las dos partes independientes de la PIA e indican si hubo alguna transición activa sobre las líneas de control.

La selección de registros la definen el estado de las líneas RSO y RS1, conjuntamente con el bit 2 del registro de control de cada una de las partes A o B de la PIA.

La habilitación de este dispositivo se da a través de los tres terminales CS0, CS1 y $\overline{\text{CS2}}$. La condición es que los dos primeros

tengan un nivel alto y el último, un nivel lógico bajo.

Las líneas de datos, D0 a D7 son bidireccionales y permiten la transferencia de datos entre el microprocesador y la PIA. Los manejadores de estas líneas tienen capacidad de tercer estado.

Todos los terminales de este circuito son compatibles con la lógica TTL.

PROGRAMACION

La PIA MC6821, consta de seis registros que son accedidos mediante la combinación de los dos selectores de registro.

Cada lado, A o B, de este circuito dispone de un registro de datos de periférico, un registro de dirección de datos y un registro de control; cada uno de 8 bits.

La figura 3.4.2 es un diagrama a bloques del MC6821. El registro de control es el primero en ser utilizado. Su función principal es permitir al microprocesador determinar la operación de las líneas de control CA1, CA2, CB1 y CB2 y las líneas de interrupción. Se usa, además, para monitorear el estado de las banderas de interrupción y para que el microprocesador pueda direccionar el registro de dirección de datos o el registro de datos de periférico, dependiendo del nivel lógico del bit 2 de este registro y los selectores RS0 y RS1.

El registro de dirección de datos indica el sentido de flujo de datos de o hacia el periférico, por cada línea individual. Un uno lógico en el bit de este registro, correspondiente a una línea de datos de periférico, indica que la dirección es de salida. La línea quedará definida como entrada, si el nivel lógico presente en este bit es cero.

El registro de datos para periférico es el medio de comunicación de la PIA (y por ende, del microprocesador) con el exterior.

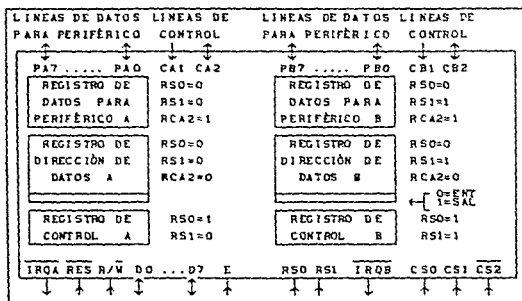


FIGURA 3.4.2 DIAGRAMA A BLOQUES DE LA PIA MC6821

La tabla 3.4.1 presenta las condiciones de selección de los registros para la PIA MC6821.

RS1=0 Selecciona un registro del puerto A				
RS1=1 Selecciona un registro del puerto B				
RS0=1 Selecciona, ya sea el registro de control A o B, dependiendo de RS1.				
RS0=0 Selecciona ya sea el registro de dirección de datos o el registro de datos para el lado A o B, dependiendo del estado del bit 2 del registro de control y RS1.				
RS1	RS0	RCA2	RCB2	REGISTRO
0	0	0	x	Registro de dirección de datos A
0	0	1	x	Registro de datos A
0	1	x	x	Registro de control A
1	0	x	0	Registro de datos B
1	0	x	1	Registro de dirección de datos B
1	1	x	x	Registro de control B

x significa que no tiene importancia

TABLA 3.4.1 SELECCION DE REGISTROS EN LA PIA MC6821

El registro de control contiene ocho bits, cuya asignación está definida en la figura 3.4.3. Los bits 0 y 1 indican la manera en que se tratará a las líneas de control CA1 o CB1. El bit 1 indica el sentido de la transición de niveles en estas líneas de control para ser activas. El bit 2, como se explicó, conjuntamente con los

selectores RSO y RS1, indica cuál registro se seleccionará. Los bits 3, 4 y 5 determinan la forma en que las líneas de control CA2 y CB2 serán tomadas en cuenta. Los bits 6 y 7 son las banderas de interrupción para las líneas de control CA2-CB2 y CA1-CB1, respectivamente. Estas banderas son puestas a un nivel lógico alto cuando existe una transición activa de las líneas de control y la petición de la interrupción ocurre cuando el estado de el bit 0 de este registro está en nivel lógico alto (no existe máscara).

BMS

LADO	7	6	5	4	3	2	1	0
A	IRQA1	IRQA2	CONTROL DE CA2		RDDA	CONTROL CA1		
B	IRQB1	IRQB2	CONTROL DE CB2		RDBB	CONTROL CB1		

RDDA=REG. DE DIRECCION DE DATOS DEL LADO A
RDBB=REG. DE DIRECCION DE DATOS DEL LADO B

FIGURA 3.4.3 LOS REGISTROS DE CONTROL A Y B

La tabla 3.4.2 muestra una referencia rápida de las condiciones y acciones presentadas para las líneas de control CA1 y CB1.

Los bits 3 y 4 tienen una función equivalente a los bits 0 y 1 para las líneas de control CA1 y CB1, siempre y cuando el bit 5 (control de entrada o salida) tenga un nivel lógico cero (entrada). Es decir, la tabla 3.4.2 es también un sumario para las líneas de control CA2 y CB2, para el caso de ser programadas como entradas.

Cuando el bit 5 de este registro es puesto a nivel lógico alto, existen cuatro posibilidades de funcionamiento de las líneas de control CA2 y CB2. Es conveniente aclarar que las banderas IRQA2 e IRQB2 permanecen en estado bajo y las líneas \overline{IRQA} e \overline{IRQB} se mantienen en alto todo el tiempo en este modo:

- a) Caso 1.- Los bits 3 y 4 son cero lógico y el bit 5 está en alto (modo "handshake"). Aquí el periférico puede enviar señal por la línea CA1 (o CB1) para activar a la bandera IRQA1 (o IRQB1), indicando al microprocesador que los datos están disponibles para ser enviados.

Cuando la bandera IRQA1 o (IRQB1) se pone a uno lógico, la

<p>BITO: Si es cero, inhibe la activación de IRQA o IRQB si es uno, permite que el μp sea interrumpido.</p> <p>BIT1: si es 0, pone el bit7=1 sobre una transición negativa de la línea CA1 o CB1. Si es 1, pone el bit7=1 sobre una transición positiva de la línea CA1 o CB1.</p>				
TRANSICION DE CA1 O CB1	BIT 1 DE RCA O RCB (flanco)	BIT 0 DE RCA O RCB (máscara)	ESTADO DE IRQA1 O IRQB1	ESTADO DEL μp
negativa	0	0	1	no interrumpido
negativa	0	1	0	interrumpido
positiva	1	0	1	no interrumpido
positiva	1	1	1	interrumpido
<p>NOTAS: RCA=Registro de control del lado A RCB=Registro de control del lado B Toda la información de CA1 es controlada por RCA. Toda la información de CB1 es controlada por RCB. Cuando la transición de CA1 o CB1 es opuesta a la indicada por el bit1 de RCA o RCB, no se ven afectados los estados de IRQA1, de IRQB1 y del μp.</p>				

TABLA 3.4.2 ACCIONES DE CONTROL DE LAS LINEAS CA1 Y CB1

línea CA2 (o CB2) va a alto y el microprocesador leerá los datos del periférico, mientras ésta tenga ese nivel.

Al final de la lectura, el microprocesador regresa la línea CA2 (o CB2) a su nivel original (cero lógico).

- b) Caso 2.- Los bits 3 y 5 son uno lógico y el bit 4 es cero (modo pulso). Esta condición en los bits del registro de control se presenta cuando el microprocesador pone un uno lógico en la línea de control CA2 (o CB2) y que indica al periférico que éste ya ha terminado de leer el registro de datos de la PIA. Cuando el nivel de CA2 (o CB2) es cero lógico, se le está especificando al periférico que no debe enviar más datos a la PIA hasta que se desocupe el registro de datos.

- c) Caso 3.- Los bits 4 y 5 son uno lógico y el bit 3 es cero

lógico. La línea CA2 (o CB2) es puesta a nivel lógico bajo.

- d) Caso 4.- Los bits 3, 4 y 5 son todos uno lógico. En este momento la línea CA2 (o CB2) es puesta a estado alto.

Otra cosa importante que hay que notar es que no le ocurre nada a los datos, ya sea para entrada o salida, de los registros de datos, con lo que pueda estar pasando en las líneas de control. Esto es, Las líneas de control de periférico son totalmente independientes de las líneas de datos para periférico.

3.5 ANALISIS DE TIEMPOS

En el apéndice B se presenta un diagrama de tiempos para la PIA MC68A21. Observamos que la señal E debe permanecer mínimo 280 nanosegundos en nivel alto. Por tanto, no debe conectarse la señal de reloj del microprocesador directamente a este terminal. En cambio, la combinación de dos señales tales como \overline{IOR} e \overline{IOW} pueden proporcionar un tiempo ligeramente mayor.

Recordando que estas señales fueron inyectadas a una compuerta AND de dos entradas en el circuito decodificador, supongamos que su salida es conectada al terminal E de la PIA.

Del circuito decodificador de la figura 2.3 tomamos alguno de los selectores S₁ a S₄ para habilitar al MC68A21. (consúltese el apéndice B para observar la tabla comparativa de características del MC6821, MC68A21 y MC68B21).

Una línea de dirección se conectará al terminal R/\overline{W} , para cumplir con el tiempo que se requiere antes de que la señal E tome una transición bajo a alto.

Las figuras 3.4.1 y 3.4.2 se componen de extractos del diagrama de tiempos para el microprocesador 8088, mostrado en el apéndice A. Además de ello, se incluyen las principales señales facilitadas por el circuito decodificador general.

En la figura 3.4.1, el tiempo transcurrido después de la aparición de direcciones válidas, para la generación de los selectores S_1 a S_4 , es 110 nanosegundos máximo (tiempo de propagación del circuito decodificador).

El tiempo en que aparece \overline{YOR} después de la validación de direcciones, es de 64ns_{alv}.

Se nota, entonces, que el tiempo de puesta de las señales RS_0 , RS_1 y R/\overline{W} antes de la señal de reloj (E), es suficiente, ya que aparecen desde el primer ciclo de reloj del microprocesador. Por el contrario, el tiempo de puesta de los selectores S_1 a S_4 puede llegar a ser mayor que el de E.

Para el caso del ancho de pulso de E en nivel lógico alto, el circuito decodificador nos proporciona mínimo 375ns. El MC68A21 requiere mínimo 280ns.

En ambos casos, el tiempo de puesta de S_1 a S_4 , RS_0 , RS_1 y R/\overline{W} debe ser mínimo de 60ns para la PIA (véase apéndice B para referencia de tiempos).

Este análisis nos permite ver la poca garantía de buen funcionamiento que nuestros dispositivos conectados al circuito decodificador ofrecen.

Para el ciclo de escritura, en la figura 3.4.2, el tiempo de puesta de los selectores del circuito decodificador, S_1 a S_4 , es ligeramente mayor que el tiempo en que la señal de sincronización E empieza a tomar una transición de subida. El ancho de pulso de esta última señal se ve reducido a 175ns_{ala}.

En realidad, una lectura o escritura a puertos de entrada-salida se lleva a cabo en un mínimo de cinco ciclos de reloj y, prácticamente, para una frecuencia de reloj de 8MHz, el tiempo mínimo en que \overline{YOR} a \overline{YOW} permanecen activados es de 400 nseg.

Para corregir esta anomalía de tiempos, inmediatamente después de la multiplicación lógica de las señales \overline{IOW} e \overline{IOR} , debemos proporcionar un retardo a la señal E, a guisa de que ésta ocurra 100ns después de que aparezcan los pulsos de los selectores S₁, S₂, S₃ ó S₄.

La transición de bajada de E debe ocurrir 10ns mínimo, antes de que el selector de dispositivo se desactive.

Para lograr todo lo anterior, se debe utilizar un circuito multivibrador monoestable que sea disparado al momento de la selección de dispositivo y retardando 100ns su respuesta, que será la señal E para la PIA. El ancho de pulso producido será al menos de 300ns.

Un buffer de tercer estado es añadido al circuito y se conectará opcionalmente a la salida de este multivibrador para desactivar la señal RDY del controlador de reloj 8284 por un tiempo no mayor a diez ciclos de reloj del microprocesador.

La señal RDY, en su nivel no activo, indica al microprocesador que un dispositivo de entrada-salida o memoria no puede efectuar su función en el tiempo acostumbrado, requiriendo la inserción de estados de espera (tw) después de el tercer periodo de reloj en las operaciones de lectura o escritura.

La razón de ocupar un recurso como éste, es que la interfaz, de esta manera, puede trabajar óptimamente en el sistema aún a velocidades del microprocesador de ocho o diez megahertz.

Dos MC68A21 se necesitarán para el desempeño de las actividades requeridas. A una de ellas se le nombrará PIA₁, y la otra, PIA₂.

3.6 ASIGNACION DE PUERTOS

La PIA₁ estará destinada parcialmente a la lectura y escritura para la interfaz de conversión analógica a digital. Las cuatro líneas de control de este dispositivo servirán para las funciones de entrada-salida.

La PIA₂ escribirá los datos al convertidor digital a analógico (CDA) en forma multiplexada, recibirá el estado actual de la conversión del CAD y realizará las funciones restantes de entrada y salida digitales para periféricos externos, mediante diez líneas de dirección configurable y dos líneas de dirección fija.

La tabla 3.6.1 indica la asignación de dirección a cada línea en las PIA₁ y 2 y la actividad correspondiente que desempeñará cada una.

DISPOSITIVO: PIA1			
LÍNEA DE INTERFAZ	NÚMERO DE TERMINAL	DIRECCIÓN	ASIGNACIÓN
PA0	2	SALIDA	INICIO DE CONVERSIÓN DEL CAD
PA1	3	SALIDA	BIT 0, MULTIPLEXOR DEL CAD
PA2	4	SALIDA	BIT 1, MULTIPLEXOR DEL CAD
PA3	5	SALIDA	BIT 2, MULTIPLEXOR DEL CAD
PA4	6	ENTRADA	BIT 0 DEL DATO EN EL CAD
PA5	7	ENTRADA	BIT 0 DEL DATO EN EL CAD
PA6	8	ENTRADA	BIT 0 DEL DATO EN EL CAD
PA7	9	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB0	10	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB1	11	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB2	12	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB3	13	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB4	14	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB5	15	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB6	16	ENTRADA	BIT 0 DEL DATO EN EL CAD
PB7	17	ENTRADA	BIT 0 DEL DATO EN EL CAD
CB1	18	ENTRADA	DEFINIDA POR EL USUARIO
CB2	19	ENTRADA	DEFINIDA POR EL USUARIO
CA1	40	ENTRADA	DEFINIDA POR EL USUARIO
CA2	39	ENTRADA	DEFINIDA POR EL USUARIO

TABLA 3.6.1 ASIGNACION A PUERTOS DE PIA₁ Y PIA₂

DISPOSITIVO: PIA2			
LÍNEA DE INTERFAZ	NÚMERO DE TERMINAL	DIRECCIÓN	ASIGNACIÓN
PA0	2	ENTRADA	ESTADO DE LA CONV'N. DEL CDA
PA1	3	SALIDA	ESCRITURA AL LATCH DEL CDA
PA2	4	SALIDA	DATOS 0 Y 6 DEL CDA
PA3	5	SALIDA	DATOS 1 Y 7 DEL CDA
PA4	6	SALIDA	DATOS 2 Y 8 DEL CDA
PA5	7	SALIDA	DATOS 3 Y 9 DEL CDA
PA6	8	SALIDA	DATOS 4 Y 10 DEL CDA
PA7	9	SALIDA	DATOS 5 Y 11 DEL CDA
PB0	10	ENT-SAL	DEFINIDA POR EL USUARIO
PB1	11	ENT-SAL	DEFINIDA POR EL USUARIO
PB2	12	ENT-SAL	DEFINIDA POR EL USUARIO
PB3	13	ENT-SAL	DEFINIDA POR EL USUARIO
PB4	14	ENT-SAL	DEFINIDA POR EL USUARIO
PB5	15	ENT-SAL	DEFINIDA POR EL USUARIO
PB6	16	ENT-SAL	DEFINIDA POR EL USUARIO
PB7	17	ENT-SAL	DEFINIDA POR EL USUARIO
CB1	18	ENTRADA	DEFINIDA POR EL USUARIO
CB2	19	ENTRADA	DEFINIDA POR EL USUARIO
CA1	40	ENTRADA	DEFINIDA POR EL USUARIO
CA2	39	ENTRADA	DEFINIDA POR EL USUARIO

TABLA 3.6.1 (CONT.) ASIGNACION A PUERTOS DE PIA1 Y PIA2

3.7 TEMPORIZADO Y CUANTIFICACION DE SEÑALES DIGITALES

Una interfaz para manipular entradas y salidas en paralelo involucra la atención casi completa del microprocesador para poder determinar el valor de la frecuencia de una señal, o bien, para generarla, sobre todo a altas velocidades.

Las funciones de temporizado y medición de señales digitales son encargadas a menudo a dispositivos electrónicos cuyo principio de funcionamiento es secuencial y cíclico, basado mediante circuitos biestables.

Debido a que un enlace de comunicación con este dispositivo es justamente entablado con el microprocesador, conviene que se trate de un conjunto de contadores programables los que desempeñen el

papal antes mencionado.

Usualmente es aplicable el término "timer" programable a aquel dispositivo capaz de emitir señales controlables en tiempo a través de una lógica preestablecida o recibirlas y representarlas codificadas, indicando con ello una cuantificación relativa al tiempo entre dos o más rasgos consecutivos de la señal, que fueron identificados por una lógica de control.

Los timers programables más ampliamente utilizados en los sistemas electrónicos computacionales son el 8253 y el 8254, de Intel; y el MC6840, de Motorola. Estos circuitos integrados son conseguibles en el mercado nacional.

El 8253 y el 8254 sólo tienen una ventaja con respecto al MC6840 y es la capacidad de manejo de frecuencias desde 2.6 MHz, para el 8253, hasta 10 MHz para el 8254-2. En tanto para el MC6840, es de 1 MHz y para el MC68B40 es de 2MHz.

Por otro lado, el MC6840 rebasa las capacidades del 8253 y el 8254 con las siguientes características:

- Dos modos de medición de onda (comparación de frecuencia y comparación de ancho de pulso).
- Salida de señal continua de ciclo variable.
- Terminal para señal de interrupción adicional a las terminales de salida de onda del timer.
- Preescalar entre ocho para manejo de una frecuencia de 4 MHz en el MC6840, 6 MHz para el MC68A40 y 8 MHz para el MC68B40 presente en una de sus entradas de reloj externo.

Siguiendo la misma lógica utilizada para las señales de control en el MC6821, es posible operar el MC6840 con un mínimo de componentes adicionales.

En el criterio de selección hubo una tendencia hacia la aplicación del módulo de "timers" programable MC6840 en esta interfaz,

debido a las características superiores que posee, comparadas con el 8253 y el 8254.

En este criterio, la generalidad de funciones del circuito electrónico tuvo un peso de suma importancia.

3.8 EL MODULO PROGRAMABLE DE TIMERS.

El MC6840 consiste de tres capturadores de datos de 16 bits, tres contadores de 16 bits (con reloj independiente) y la circuitería de habilitación y comparación necesaria para implementar varias funciones de medición y síntesis de onda. Incluye, además, manejadores de interrupción para alertar al microprocesador que una función particular ha sido completada.

Los timers son entonces programables, cíclicos en naturaleza, controlables por entradas externas o el programa del microprocesador y accesible por éste en cualquier momento.

DESCRIPCION DE LAS LINEAS DE INTERFAZ

La mayoría de las líneas del MC6821 descritas en previos apartados de este capítulo, tienen la misma función para el MC6840. No obstante, algunas de ellas vale la pena volver a mencionarlas por la importancia que representan para la operación del circuito.

Habilitador (reloj E).- La señal de reloj, E, sincroniza la transferencia de datos entre el microprocesador y el MC6840, además ejecuta una función de sincronización equivalente sobre el reloj externo, reset y entradas de disparo del timer.

Petición de interrupción ($\overline{\text{IRQ}}$). Esta señal activa en bajo, es una salida de "drenador abierto" que permite a otras líneas de petición de interrupción sean conectadas al mismo punto.

$\overline{\text{RESET}}$.-Un reconocimiento de un nivel bajo en esta entrada causa que las siguientes acciones ocurran:

- Todos los "candados" de los contadores son puestos a un valor de máximo conteo.
- Todos los bits del registro de control son borrados (puestos a cero lógico) con excepción de CR10 que es puesto a uno lógico.
- Todos los contadores son puestos con el contenido de los candados.
- Todas las salidas de los contadores son reestablecidas y todos los relojes de los contadores son deshabilitados.
- Todos los bits del registro de estado (banderas de interrupción) son borrados.

Líneas de selección de registro (RS0, RS1 y RS2).- estas entradas son usadas en conjunto con la línea R/\bar{W} para seleccionar los registros internos, contadores y candados como lo muestra la tabla 3.8.1.

NÚMERO	ENTRADAS SELECTORAS DE REGISTRO			OPERACIONES	
	RS2	RS1	RS0	R/W	R/W
1	0	0	0	0	SIN OPERACION
2	0	0	1	0	ESCRIBE EL REGISTRO DE CONTROL 01
3	0	1	0	0	ESCRIBE EL REGISTRO DE CONTROL 02
4	0	1	1	0	ESCRIBE A LOS CANDADOS DEL TIMER 01
5	1	0	0	0	ESCRIBE EL REGISTRO DE BUFFER DE BMS
6	1	0	1	0	ESCRIBE A LOS CANDADOS DEL TIMER 02
7	1	1	0	0	ESCRIBE EL REGISTRO DE BUFFER DE BMS
8	1	1	1	0	ESCRIBE A LOS CANDADOS DEL TIMER 03

TABLA 3.8.1 SELECCION DE REGISTROS EN EL MC6840

Cada uno de los tres timers del MC6840 tiene tres líneas de entrada o salida asíncronas para el reloj externo, puerta de disparo y salida del contador. Las entradas tienen alta impedancia y los niveles de voltaje que acepta son compatibles con la lógica TTL. Las salidas son capaces de manejar dos cargas estándar TTL.

Entradas de reloj ($\bar{C1}$, $\bar{C2}$ y $\bar{C3}$).- Señales asíncronas con niveles de voltaje adecuados que pueden decrementar los contadores de los timers 1, 2 y 3, respectivamente. Los niveles de voltaje alto y bajo de los relojes externos deben cada uno ser estables al menos

un ciclo de reloj del sistema más los tiempos de puesta y captura para las entradas de reloj.

La entrada de reloj externa, $\overline{C3}$, representa un caso especial cuando el timer número tres es programado para usar su modo preescalar entre ocho.

El preescalar de división por ocho contiene un contador asíncrono de nivel ; esto es, los tiempos de puesta y captura no se aplican. Tan pronto como los anchos de pulso de entrada son mantenidos, el contador puede reconocer y procesar todas las transiciones de entrada del reloj en $\overline{C3}$.

Entradas de puerta ($\overline{G1}$, $\overline{G2}$ y $\overline{G3}$).- estos terminales aceptan señales que son usadas como disparo o funciones de puerta de reloj para los timers 1, 2 y 3, respectivamente. Las entradas de puerta son sincronizadas en el módulo de timers por el reloj E de la misma forma que las entradas de reloj previamente discutidas y una transición de la puerta es reconocida por el timer en el cuarto pulso de E. Los niveles alto a bajo de la entrada de la puerta deben ser estables al menos un período de reloj del sistema más la suma de los tiempos de puesta y captura.

Salidas del timer (O1, O2 y O3).- Estas líneas producen una forma de onda de salida definida por, ya sea, los modos continuo o de único disparo del timer.

REGISTROS DE CONTROL

Cada timer del MC6840 tiene un registro correspondiente de control de únicamente escritura. Su descripción es la siguiente:

CR₂₀.- Es el bit menos significativo del registro de control número dos (CR₂₀) y es usado como un bit de direccionamiento adicional para los registros de control número uno y tres.

CR₁₀.- Es el bit menos significativo del registro de control

número uno y es usado como un bit de "reset" interno. Cuando este bit es puesto en cero lógico, a todos los timers se les permite operar en forma normal.

Escribiendo un uno en CR10 causa que todos los contadores sean puestos con los contenidos de los candados del contador correspondiente, todos los relojes del contador son deshabilitados y las salidas del timer y banderas del registro de estado son reestablecidas

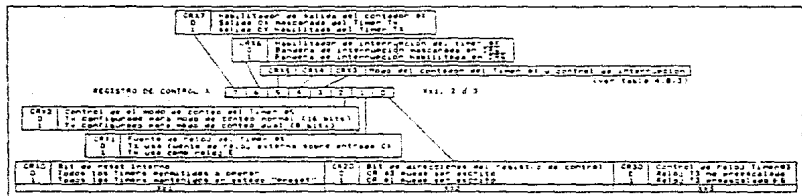


TABLA 3.8.2 DESCRIPCION DE LOS BITS DEL REGISTRO DE CONTROL

CR20.- El bit menos significativo del registro de control número tres es usado como un selector para un preescalar entre ocho que es disponible con el timer número tres únicamente.

CR11.- El bit del registro de control número uno (CR11) selecciona si una fuente de reloj interna o externa es usada con el timer número uno. Similarmente, CR21 selecciona la fuente de reloj para el timer número dos y CR31 ejecuta esta función para el timer número tres.

CR12.- El bit dos del registro de control selecciona si la información binaria contenida en los candados del contador (y subsecuentemente cargada al contador) es tratada como una palabra de 16 bits o dos individuales de 8 bits cada una.

CRx3-CRx7.- Los bits 3, 4 y 5 se explican en las tablas 3.8.2 y 3.8.3. El bit 6 es el bit de máscara de interrupción y el bit 7 es usado para habilitar la salida correspondiente del timer.

CRx3	CRx4	CRx5	DESCRIPCIÓN
0	0	0	Modo de operación continuo: puerta 0 o escritura o comando a RESET
1	0	0	Modo de comparación de frecuencia: interrumpe si puerta 0 es 1 tiempo fuera del contador
0	1	0	Modo de operación continuo: puerta 0 o RESET que cause la inicialización del contador
1	1	0	Modo de comparación de ancho de pulso: interrumpe si puerta 0 es 1 tiempo fuera del contador
0	0	1	Modo de disparo único: puerta 0 o escritura o comando a RESET
1	0	1	Modo de comparación de frecuencia: interrumpe si puerta 0 es 1 tiempo fuera del contador
0	1	1	Modo de disparo único: puerta 0 o RESET que cause la inicialización del contador
1	1	1	Modo de comparación de ancho de pulso: interrumpe si puerta 0 es 1 tiempo fuera del contador

TABLA 3.8.3 SELECCION DEL MODO DE OPERACION DEL MC6840

REGISTRO DE ESTADO Y BANDERAS DE INTERRUPCION

Este registro de estado es de únicamente lectura y contiene cuatro banderas de interrupción (los cuatro bits restantes en el registro no son usados).

Los bits 0, 1 y 2 son asignados a los timers 1, 2 y 3 respectivamente, como bits de bandera individual, en tanto el bit 7 es una bandera de interrupción compuesta. este bit de bandera puede ser puesto a uno lógico si cualquiera de los bits individuales de bandera tiene un nivel lógico alto mientras que el bit 6 del registro de control correspondiente está en uno lógico.

Una bandera de interrupción es borrada por una condición de "reset de timer", es decir, el terminal RESET está a cero lógico o el bit de reset interno (CR10) es igual a uno lógico. Puede además ser borrada por un comando de lectura al contador del timer con tal que el registro de estado sea previamente leído en tanto la bandera de interrupción esté puesta.

Una bandera de interrupción es además borrada por una escritura a los candados de los timers o una inicialización al contador.

INICIALIZACION DEL CANDADO DEL CONTADOR

Puesto que el bus de datos del módulo de timers programable tiene ocho líneas y los contadores son de 16 bits, un registro temporal (registro del buffer del BMS) está disponible. Este registro de sólo escritura es para el byte más significativo (BMS) del candado de datos deseado. Tres direcciones son proporcionadas para el registro del buffer del BMS (como lo indica la tabla 3.8.1) pero todas ellas conducen al mismo buffer. Los datos del buffer del BMS pueden ser automáticamente transferidos al byte más significativo del timer número x cuando un comando de escritura a los candados del timer número x es efectuada. El MC6840 permite la transferencia de dos bytes de datos en los candados de los contadores con tal que el BMS sea transferido primero.

INICIALIZACION DEL CONTADOR

La inicialización del contador es definida como la transferencia de datos de los candados al contador con borrado subsecuente de la bandera de interrupción individual asociada con el contador. La inicialización del contador siempre ocurre cuando una condición de reset es reconocida ($\overline{\text{RESET}}=0$ ó $\text{CR}_{10}=1$). Esto puede además ocurrir, dependiendo del modo del timer, con un comando de escritura a los candados del timer o reconocimiento de una transición negativa de la entrada de la puerta.

El reciclado del contador o reinicialización ocurre cuando una transición negativa de la entrada de reloj es reconocida después que el contador ha alcanzado un estado cero. En este caso, el dato es transferido de los candados al contador.

MODOS DE OPERACION DEL TIMER

La tabla 3.8.4 presenta los 4 modos básicos de operación del

MODOS DE SINTESIS DE ONDA: CRX3=0, CRX5=0			
REGISTRO DE CONTROL		INICIALIZACION Y FORMAS DE ONDA DE SALIDA	
CRX2	CRX4	INICIALIZACION DEL CONTADOR	SALIDA DEL TIMER 0X (CRX7=1)
0	0	$\overline{C}_{\downarrow} + W + R$	
0	1	$\overline{C}_{\downarrow} + R$	
1	0	$\overline{C}_{\downarrow} + W + R$	
1	1	$\overline{C}_{\downarrow} + R$	

L=Valor en el candado del byte menos significativo (Bm5)

M=Valor en el candado del byte más significativo (BMs)

To=tiempo fuera del contador.

T=periodo de la señal de reloj de entrada

TABLA 3.8.5 MODOS DE OPERACION CONTINUOS

El modo de un sólo disparo del timer es idéntico al modo continuo, excepto por tres diferencias que pueden ser resumidas como atributos del modo de un sólo disparo:

- 1) La salida es habilitada por un sólo pulso hasta que ésta es reinicializada.
- 2) La habilitación del contador es independiente de la puerta.
- 3) L=M=0 ó N=0 deshabilitan la salida.

MODOS DE SINTESIS DE ONDA		MODO DE UN SÓLO DISPARO	
		CRX3=0, CRX7=1 Y CRX5=1	
REGISTRO DE CONTROL		INICIALIZACION Y FORMAS DE ONDA DE SALIDA	
CRX2	CRX4	INICIALIZACION DEL CONTADOR	SALIDA DEL TIMER 0X (CRX7=1)
0	0	$\overline{C}_{\downarrow} + W + R$	
0	1	$\overline{C}_{\downarrow} + R$	
1	0	$\overline{C}_{\downarrow} + W + R$	
1	1	$\overline{C}_{\downarrow} + R$	

TABLA 3.8.6 MODOS DE OPERACION DE UN SOLO DISPARO

REGISTRO DE CONTROL			MODO DE OPERACIÓN
CRX3	CRX4	CRX5	
0	*	0	CONTINUO
0	*	1	DE UN SÓLO DISPARO
1	*	*	COMPARACIÓN DE FRECUENCIA
1	*	*	COMPARACIÓN DE ANCHO DE PULSO

* DEFINE SELECCIÓN DE FUNCIONES ADICIONALES DEL TIMER

TABLA 3.8.4 MODOS DE OPERACION DEL TIMER

El modo continuo puede sintetizar una onda continua con un período proporcional al número previamente puesto en los candados particulares del timer.

El contador es habilitado por una ausencia de la condición de reset en el timer y un cero lógico en la entrada de la puerta. En el modo de 16 bits, el contador decrementará en el primer ciclo de reloj, durante o después del ciclo de inicialización del contador. Este continúa decrementando en cada señal de reloj puesto que \bar{G} permanece en bajo y no existe condición de reset. Un contador en tiempo fuera (el primer ciclo de reloj después de que todos los bits del contador son cero) resulta en la puesta de la bandera individual de interrupción y la reinicialización del contador.

En el modo de operación doble de 8 bits la transición de salida ocurre antes del tiempo fuera. En la tabla 3.8.5 se indican las condiciones y formas de onda de salida para cada uno de estos dos modos de 8 y 16 bits.

MODOS DE MEDICION DE ONDA

Estos modos de operación del timer se consiguen cuando el bit 3 del registro de control correspondiente tiene un nivel lógico alto.

Cuando el bit 4 del registro de control correspondiente tiene un nivel lógico cero, la aplicación del timer que viene siendo seleccionada es la de comparación de frecuencia. Si el bit 5 del registro de control del timer se encuentra en cero lógico, se presenta la condición para generar una interrupción si el periodo de la señal de entrada a la puerta ($1/f$) es menor que el tiempo fuera del contador. Si, por el contrario, el bit 5 del registro de control está a uno lógico, se producirá una interrupción si el periodo de la señal de entrada de la puerta es mayor que el tiempo fuera del contador.

Cuando el bit 4 del registro de control correspondiente tiene un nivel lógico alto, el timer es programado para el modo de comparación de ancho de pulso. Si el bit 5 del registro de control del timer se encuentra en cero lógico, una interrupción es producida al sistema si el tiempo de bajada de señal en la puerta es menor que el tiempo fuera del contador. En caso de que el bit 5 del registro de control sea uno lógico, la interrupción será generada si el tiempo de bajada de señal en la puerta es mayor que el tiempo fuera del contador.

El modo de comparación de ancho de pulso es similar al modo de comparación de frecuencia excepto por una transición positiva, en vez de una negativa, para cuando el conteo termina por una condición cumplida en la entrada de la puerta.

La tabla 3.8.7 presenta resumidas las características de los modos de medición de onda.

MODOS	REGISTRO DE CONTROL			INICIALIZACIÓN DEL CONTADOR	HABILITACIÓN DEL P#P DEL CONTADOR MUESTRA (CE)	HABILITACIÓN DEL P#P DEL CONTADOR REPUESTA	BANQUERA DE INTERRUPTOR MUESTA (C)
	BIT 3	BIT 4	BIT 5				
COMPARACIÓN DE FRECUENCIA	1	0	0	CE#1 = (CE)TO = #	CE#2 = R#F	W#R = 1	CE antes que TO
COMPARACIÓN DE ANCHO DE PULSO	1	1	0	CE#1 = R	CE#2 = R#F	W#R = 1	TO antes que CE
	1	1	1	CE#1 = R	CE#2 = R#F	W#R = 1	TO antes que CE

<p>CE#1 = Transmisión negativa de la entrada de la puerta</p> <p>R = Comando de escritura a los canales de el timer</p> <p>E = Reset del timer (CE#1) d reset externo</p> <p>W = Número de 16 bits en el canal de el contador</p> <p>TO = Tiempo fuera del contador (operación de todos los bits igual a cero)</p> <p>F = Interrupción para un timer dado</p>

TABLA 3.8.7 MODOS DE MEDICION DE ONDA DEL TIMER MC6840

3.9 DIAGRAMA ELECTRICO

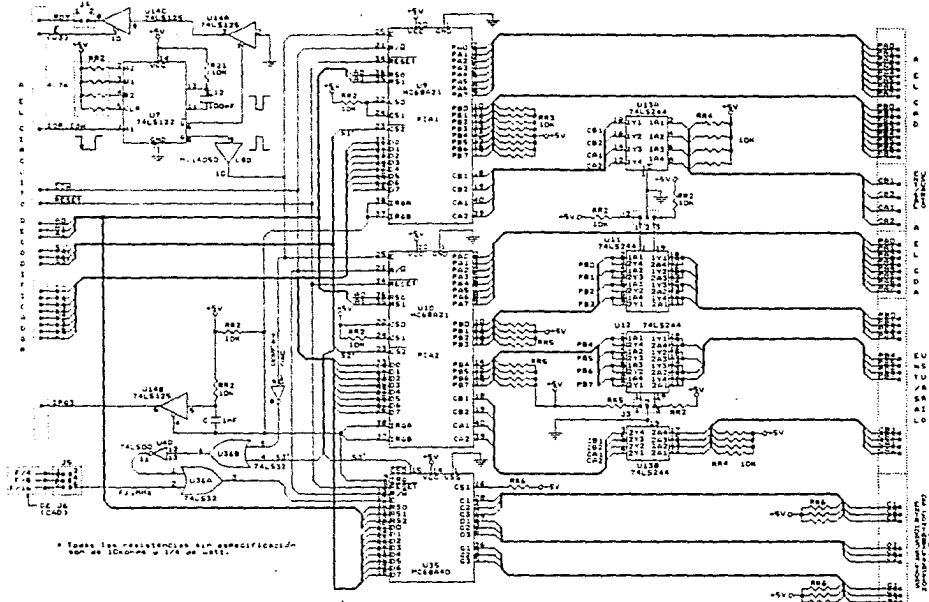
La figura 3.9 es el diagrama eléctrico para la interfaz de entradas y salidas digitales. La cantidad de componentes para este circuito es mínima.

El circuito U4A, del decodificador de direcciones, es el multiplicador lógico de las señales \overline{IOR} e \overline{IOW} . Cualquiera de estas dos señales son activas en nivel bajo, por tanto, cuando se efectúa una operación de lectura o escritura a puertos, se dispara el monoestable U7 que proporciona en su salida Q un pulso de aproximadamente 300ns.

El buffer U8D retarda la señal de salida del monoestable 75ns_{min}, para proporcionar la señal E a las PIAs 100ns después del disparo inicial.

La línea \overline{IOW} se conecta al terminal R/ \overline{W} de los MC68A21 y las líneas de dirección A0 y A1, a las terminales RS0 y RS1 de los mismos, respectivamente.

El conflicto de tiempos queda fácilmente resuelto asumiendo que la señal de reloj del microprocesador es de 4.77MHz (y no se configura a RDY como salida hacia el bus de expansión). Las líneas



de interfaz de las PIAs y el timer se encargarán del resto.

El circuito U14C sale del tercer estado cuando alguna salida de interrupción de las PIAs o el módulo de timers es vuelta activa, llevando a nivel lógico alto la terminal de interrupción IRQ3 del controlador de interrupciones, 8259, correspondiente al puerto serie número dos de la computadora personal.

El capacitor entre las terminales de control y de entrada sirve para crear una reacción momentánea de nivel de voltaje en la línea IRQ3, provocando un pequeño pulso muy útil cuando la línea se encuentra amarrada a un nivel lógico alto.

Deberán, además, tomarse las providencias necesarias en la rutina del programa para el cambio de los vectores de interrupción.

Los manejadores de línea U14A y U14B son utilizados para desactivar la señal RDY del generador de reloj para el microprocesador, cada vez que algún selector de dispositivo de la tarjeta sea seleccionado.

Las líneas de entrada y salida para usuario, de las PIAs 1 y 2, son conectadas a manejadores bidireccionales y se activan en una dirección u otra en grupos de cuatro.

Cada línea de control de las PIAs tiene un manejador habilitado para funcionar en una sola dirección, esto es, actuarán como entradas.

Para el caso de el módulo programable de timers, MC6840, se tiene conectado el selector S3' del circuito decodificador para activar la interfaz del bus de datos de este dispositivo.

Las tres entradas a los selectores de registros son las líneas de dirección correspondientes a los bits menos significativos en el bus.

Todas las líneas de entrada y salida asíncronas del timer se han llevado hasta un conector disponible al usuario. Mediante esta forma quedan más abiertas las posibilidades de realizar configuraciones para explotación de las características inherentes del circuito integrado MC6840.

Un problema inicialmente presentado que dificultaba la adaptación de una señal continua en el terminal de reloj de sincronización del timer se resolvió mediante la inserción de la misma señal de habilitación (E) de la PIA, el selector de dispositivo y un submúltiplo de la frecuencia de reloj del sistema en un arreglo de compuertas OR. Esta combinación provee un activación regular de los contadores internos a través del terminal E del timer; manteniendo con esto la cualidad de operación en "tiempo real". En este caso, la condición del submúltiplo de la frecuencia de reloj del sistema deberá ser menor o igual a un megahertz.

Como puede notarse en el diagrama, se hace una referencia a la interfaz de conversión analógica a digital para la configuración de la frecuencia seleccionada. Esto es porque el orden cronológico de realización de diseño de los circuitos no fué como se presenta agrupado ascendentemente en el índice de este reporte.

Por último, sólo nos queda especificar la forma de direccionamiento para cada PIA y el timer. La tabla 3.9 desglosa las direcciones correspondientes a cada registro de los dispositivos.

DIRECCIONES (HEX)	DISPOSITIVO	REGISTROS SELECCIONADOS
300	PIA1	RDP A Y RDDA*
301	PIA1	RCA
302	PIA1	RDPB Y RDDB*
303	PIA1	RCB
308	PIA2	RDP A Y RDDA*
309	PIA2	RCA
30A	PIA2	RDPB Y RDDB*
30B	PIA2	RCB
310	TIMER	1**
311	TIMER	2**
312	TIMER	3**
313	TIMER	4**
314	TIMER	5**
315	TIMER	6**
316	TIMER	7**
317	TIMER	8**

NOTAS:

* DEPENDE DEL NIVEL LÓGICO DEL REGISTRO DE CONTROL CORRESPONDIENTE (VÉASE LA TABLA 3.4.1)

** EL NÚMERO HACE REFERENCIA AL BENCILÓN CORRESPONDIENTE DE LA TABLA 3.8.1.

RDP A = REGISTRO DE DATOS PARA PERIFÉRICO, LADO A.

RDP B = REGISTRO DE DATOS PARA PERIFÉRICO, LADO B.

TABLA 3.9 DIRECCIONAMIENTO A REGISTROS DE LOS DISPOSITIVOS DE LA INTERFAZ DE ENTRADAS Y SALIDAS DIGITALES.

3.10 CONFIGURACIONES

La tabla 3.10.1 indica las operaciones que se pueden lograr realizando la configuración de puentes para esta interfaz, de acuerdo al diagrama eléctrico.

REFERENCIA	PUNTOS DE CONEXIÓN	OPERACIÓN
J1	1 y 2 SIN CONEXIÓN	ACTIVA EL ENVÍO DE LA SEÑAL RDY HACIA EL GENERADOR DE RELOJ. DESABILITA EL ENVÍO DE LA SEÑAL RDY HACIA EL GENERADOR DE RELOJ.
J2	1 Y 2 1 Y 2	HABILITA EL GRUPO DE LÍNEAS PBO HASTA PB3 DE LA PIA2 COMO SALIDA HABILITA EL GRUPO DE LÍNEAS PB3 HASTA PB3 DE LA PIA2 COMO ENTRADA
J3	1 Y 2 1 Y 2	HABILITA EL GRUPO DE LÍNEAS PB4 HASTA PB7 DE LA PIA2 COMO SALIDA HABILITA EL GRUPO DE LÍNEAS PB4 HASTA PB7 DE LA PIA2 COMO ENTRADA
J5	1 Y 2 3 Y 4 5 Y 6	PONE LA FRECUENCIA DE RELOJ INTERNO DEL TIKER A 1/4 DEL RELOJ DEL SISTEMA. PONE LA FRECUENCIA DE RELOJ INTERNO DEL TIKER A 1/8 DEL RELOJ DEL SISTEMA. PONE LA FRECUENCIA DE RELOJ INTERNO DEL TIKER A 1/16 DEL RELOJ DEL SISTEMA.

TABLA 3.10.1 CONFIGURACION DE LA INTERFAZ DE ENTRADAS Y SALIDAS DIGITALES.

3.11 TABLA DE COMPONENTES

REFERENCIA	CÓDIGO DEL DISPOSITIVO	DESCRIPCIÓN
U7	74LS122	MULTIVIBRADOR MONOESTABLE
U8	MC14050	BUFFER CMOS NO INVERSOR
U9	MC68A21	PIA
U10	MC68A21	PIA
U11 A U13	74LS244	BUFFER OCTAL NO INVERSOR
U14	74LS125	BUFFER CUÁDRUPLE
U35	MC6840	TIMER PROGRAMABLE
U36	74LS32	COMPUERTA OR DE 2 ENTRADAS

4.- INTERFAZ PARA LA CONVERSION ANALOGICA A DIGITAL

El tratamiento de las señales analógicas es la actividad que más cuidados requiere, tanto en el diseño como en la operación de los sistemas de adquisición de datos. Verbigracia, es de suma importancia que la frecuencia de muestreo sea al menos dos veces mayor que la frecuencia de la señal que se está midiendo, para no incurrir en la captación de un fenómeno conocido como "alias".

Ejemplos típicos de sistemas que requieren una interfaz de conversión analógica a digital son los osciloscopios de almacenamiento digital (DSOs), electrocardiógrafos, controladores digitales de múltiples procesos e inclusive los multímetros digitales.

4.1 LOS SISTEMAS DE ADQUISICION DE DATOS

"Un sistema de adquisición de datos está definido para incluir todos los componentes necesarios que intervienen en la generación de la analogía eléctrica de varias variables físicas, transmitiendo estas señales a un sitio central y digitalizar la información para introducirla a un computador". (1)

Estos componentes que intervienen son transductores, amplificadores, filtros, multiplexores, muestreadores-retenedores y convertidores analógico a digital.

Una de las arquitecturas típicas de los sistemas de adquisición de datos puede observarse en la figura 4.1.1. Existen arreglos para muestreo simultáneo de todos los canales o con multiconversión para alta velocidad y exactitud.

(1) ANALOG PRODUCT DATA BOOK INDUSTRIAL/COMMERCIAL.

HARRIS. VOL. 6. 1988. P. 10-73.

El acondicionamiento de señales

"Los acondicionadores de señales proveen una interfaz analógica entre los sensores y los sistemas que ellos sirven. Estos amplifican señales, proporcionan supresión nula donde sea necesario, introducen aislamiento eléctrico, suministran excitación para transductores pasivos y entregan salidas analógicas en la forma requerida por el sistema -ya sea voltaje o corriente- a niveles apropiados". (2)

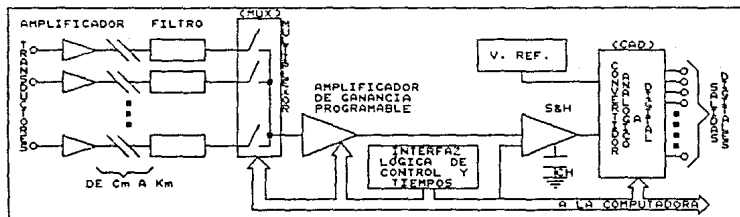


FIGURA 4.1.1 ARQUITECTURA TÍPICA DE UN SISTEMA DE ADQUISICIÓN DE DATOS.

Algunas de las operaciones estándar son el multiplexaje, la ganancia programable y el muestreo y retención. Otras, opcionales, son la excitación al transductor, amplificación, filtrado, calibración, linealización, conversión de voltaje a corriente (4 a 20 mA ó 10 a 50 mA), conversión RMS a c.d. y el rechazo a modo común.

(2) LINEAR PRODUCTS DATA BOOK. ANALOG DEVICES, INC.

1988. P. 11-4.

Los transductores

Los transductores son dispositivos que transforman una forma de energía a otra y es el medio de contacto del sistema de adquisición de datos con el fenómeno a medir. Están basados sobre una amplia variedad de principios físicos, pero la mayoría produce un voltaje como salida.

Señales de un solo terminal y diferenciales

Aún cuando las señales de alto nivel son más fáciles de manejar que las de bajo nivel, cuando los cables conductores se encuentran cerca de fuentes intensas de ruido puede ser necesario el uso de trayectorias diferenciales, rechazando los voltajes a modo común. Muchas salidas de los transductores proporcionan niveles de voltaje que obligan a tomar consideraciones sobre el blindaje y filtrado de la señal (a veces este último es pernicioso).

El filtrado

Los filtros permiten eliminar las componentes espurias de la señal de información. Estos deben encontrarse cercanos a los multiplexores.

Los filtros previos al muestreo, o "anti-alias", son usados en el manejo de señales de alto nivel. Los pasabajos Butterworth son seleccionados en muchos sistemas de adquisición de datos.

El multiplexado

Para el muestreo de varios canales, en los sistemas de adquisición de datos es común el uso de los multiplexores analógicos.

Algunas de las características de estos dispositivos deben ser contempladas con más cuidado; ellas son los voltajes offset de entrada y salida, los niveles de voltaje para interfaz digital, el tiempo de acceso, inmunidad al ruido, máximos voltajes permisibles

en los canales y la protección a las entradas.

Si los canales de entrada son multiplexados secuencialmente, cada canal puede ser muestreado a una velocidad de:

$$F_M = \frac{1}{N(T_1 + T_2 + T_3)} \left[\frac{\text{MUESTRAS}}{\text{SEGUNDO}} \right]$$

donde

T₁ es el tiempo de adquisición del multiplexor y del retenedor.

T₂ es un corto intervalo de tiempo requerido por el retenedor para ponerse en modo de captura.

T₃ es el tiempo que dura la conversión

N es el número de canales

El amplificador de ganancia programable

Este bloque de ganancia debe ser agregado para utilizar totalmente el convertidor, manteniendo la señal de entrada dentro de la condición $EP/2 < V_{ent} < EP$, donde EP es la escala plena.

Otras características que proporciona el amplificador de ganancia programable son:

- Aislamiento. Previene un efecto de carga debido a la resistencia de encendido de los multiplexores.
- Conversión de voltaje diferencial al de un solo terminal.
- Presenta un rechazo para señales a modo común. Para señales de alto nivel y bajo contenido de voltaje a modo común, es suficiente un amplificador pseudo-diferencial. Para señales de bajo nivel y altos voltajes a modo común, conviene uno totalmente diferencial.

El muestreador-retenedor (S-H)

Este circuito se emplea para mantener constante el voltaje de entrada al CAD, mientras se está llevando a cabo la conversión. En el modo de muestreo, un capacitor se carga rápidamente siguiendo

al voltaje de entrada. En el modo de retención, el capacitor es desconectado de la trayectoria de entrada y permite mantener estable el voltaje a la salida del circuito.

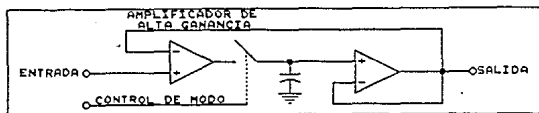


FIGURA 4.1.2 CIRCUITO TÍPICO DE UN RETENEDOR-MUESTREADOR

Las características del S-H son cruciales para la exactitud del sistema y la confiabilidad de los datos digitales, especialmente en aplicaciones de alta resolución y velocidad.

Existe una técnica moderna para el muestreo a alta velocidad. Utiliza dispositivos acoplados por carga (CCD's). Estos dispositivos actúan como registros de corrimiento analógicos, sobre las bases de el primero en entrar es el primero en salir. Se aplica en osciloscopios digitales para aumentar el ancho de banda digital de éstos sin necesidad de un convertidor de muy alta velocidad.

El convertidor analógico a digital (CAD)

El CAD tiene la tarea de interpretar en un código digital, la señal analógica presente. Esta señal, como ya se ha mencionado, es un voltaje en la mayoría de los casos. Algunos de los métodos básicos de conversión se describen concisamente en las siguientes líneas:

- a) Codificación instantánea (flash encoding). Requiere de $2^n - 1$ comparadores, donde n es el número de bits a la salida. Compara simultáneamente la señal analógica de entrada con una cantidad de niveles de referencia correspondientes a la cuantificación de la escala.

- b) Integración por rampa simple. Utiliza un contador, un generador rampa y un comparador. Este método genera una señal de voltaje rampa y la compara con el valor presente en la entrada. Cuando el nivel de la rampa iguala a este valor, el contador es detenido indicando el código digital equivalente a la tensión de entrada. El tiempo de conversión es variable y lento.

- c) Conversión por doble rampa. Es un método más exacto que el anterior, pero requiere un tiempo para que el contador alcance su máximo valor y otro más para que un capacitor se descargue. Aquí el CAD integra la entrada hasta que el contador alcance su máximo valor y luego se genera una rampa opuesta, debido a la descarga del capacitor, en un tiempo proporcional al voltaje de entrada que el contador registrará con un código digital.

- d) Conversión por aproximaciones sucesivas. Este compara la entrada desconocida con las sumas de fracciones aproximadamente conocidas de la escala completa en binario, comenzando con la más alta (2^{-1}) y descartando cualquiera que cambie el estado del comparador.

4.2. CONCEPTOS Y TERMINOS UTILES

RESOLUCION.- En un CAD, es la expresión del cambio más pequeño en la entrada, que incrementaría o decrementaría la salida de un código al código adyacente. Está definido usualmente por el número de bits o expresado en porcentaje respecto a la escala plena.

INCERTIDUMBRE DE CUANTIZACION.- Todos los voltajes analógicos en un rango dado son representados por un único código de salida digital. En un CAD ideal esta incertidumbre es de $1/2$ bit menos significativo (Bms).

ERROR DE LINEALIDAD.- Es la máxima desviación de la línea recta pasando a través de los puntos finales de la característica de

transferencia del CAD.

ERROR DE ESCALA CERO O DE OFFSET.- Es la medición de la diferencia entre la salida de un CAD ideal y el actual para un voltaje de entrada igual al de escala completa.

TIEMPO DE CONVERSION.- Es el tiempo que un CAD utiliza en producir el código de salida desde que se da inicio a la conversión.

TIEMPO DE APERTURA.- Es el intervalo de tiempo entre la declaración del comando de retención, en el S&H, y la apertura total del interruptor (normalmente está basado sobre los porcentajes del 10% al 90% de la apertura total del interruptor).

TIEMPO DE ADQUISICION.- Es el tiempo requerido por la salida del dispositivo en alcanzar el valor final, dentro de la banda de error especificado, después de la aplicación de una señal-comando.

TRANSFERENCIA DE CARGA (offset step).- Es la carga transferida al capacitor de almacenamiento, en un S-H, cuando se conmuta al modo de retención.

VOLTAJE OFFSET DE ENTRADA.- Es el voltaje que debe ser aplicado entre las terminales de entrada de un amplificador operacional, a través de dos resistencias iguales, para obtener un voltaje de salida cero.

RECHAZO A MODO COMUN.- Es la habilidad de un dispositivo a rechazar el efecto del voltaje aplicado a ambas terminales simultáneamente. Usualmente se expresa en decibeles.

VELOCIDAD DE CAIDA (slew rate).- Es la máxima velocidad de cambio de una señal de entrada de gran amplitud, tal que en la salida se obtengan valores con un error dentro del límite especificado.

RESISTENCIA DE ENCENDIDO (R_{ON}).- Es un término aplicado a los interruptores analógicos e indica la resistencia entre la entrada

y la salida de un canal direccionado.

ANCHO DE BANDA.- Es la frecuencia a la cual la ganancia de voltaje de un dispositivo amplificador se ve reducida $2^{-1/2}$ veces el valor en frecuencia baja.

RELACION DE RECHAZO A MODO COMUN.- Es la razón del rango de voltaje a modo común al cambio pico a pico en el voltaje offset en la entrada sobre este rango.

VELOCIDAD O RAZON DE DESEMPEÑO.- Es el número de muestras por segundo por canal que el sistema puede manejar.

BIT MENOS SIGNIFICATIVO (BmS).- Es el bit de la entrada digital que tiene el peso numérico más bajo en un código.

BIT MAS SIGNIFICATIVO (BMS).- Es el bit de la entrada digital que tiene mayor peso numérico en el código.

CORRIENTE DE DESVIO DE ENTRADA.- En amplificadores operacionales es el promedio de las dos corrientes de entrada.

4.3. PLANTEAMIENTO

Siendo que la aplicación de esta interfaz está dirigida a la recepción de voltajes variables dentro de un amplio rango y con capacidad de muestreo de varios canales, se plantearon los siguientes objetivos como un punto de partida, requeridos indispensablemente.

- a) Resolución digital de la conversión: 12 bits.
- b) Rango de la señal analógica de entrada: cero a diez volts.
- c) Tipo de convertidor: de aproximaciones sucesivas.
- d) Código digital del convertidor: binario o complementario.
- e) Niveles lógicos del sistema: TTL para interfaz externa.
- f) Número de canales de entrada: ocho.
- g) Razón de rendimiento: 500 muestras/segundo/canal.

- h) Códigos omitidos en el CAD: lo mínimo.
- i) Indicación de fin de conversión: por dato en registro.
- j) Carácter de la señal de entrada: de c.d., filtrada, diferencial y de variación lenta.
- k) Capacidad de muestreo y retención de la señal de entrada.
- l) Características de el amplificador de ganancia programable:
 - Tipo: de instrumentación (totalmente diferencial).
 - Rechazo no riguroso para señales mayores a 5 volts a modo común.
 - Ganancias programables por hardware de 1, 2 y 10.
 - Máxima rapidez de respuesta: 0.2 V/microseg.
- m) Tiempo máximo de apertura del retenedor: 5microseg.
- n) Multiplexaje:
 - En forma diferencial.
 - Con protección en las entradas.
- o) Referencia del CAD: estable en $\bar{1}/2$ Bms.

4.4 DIAGRAMA DE BLOQUES

La estructuración que se le ha dado a esta interfaz consiste de 6 bloques principales que se vinculan con las señales de entrada y salida, analógicas y digitales.

La figura 4.4.1 presenta estos bloques interconectados entre sí, y en los siguientes incisos se da una explicación concisa de cómo es que cada uno de ellos actúa.

- a) Bloque de multiplexión analógica.- Desde el momento de la inclusión de este bloque, es evidente que el CAD a utilizar tendrá entrada de terminal única.
Las actividades de los multiplexores están comandadas por la lógica de control. La selección de un canal específico lo definen las líneas PA2, PA3 y PA4, de la PIA1. Estas deben mantener invariables sus niveles lógicos durante el tiempo que dure la conversión.
- b) Bloque de la lógica de control y tiempos.- La función que

desempeña esta parte es, fundamentalmente:

Generación de las señales para: inicio de conversión, cambio a modos de muestreo o retención en el S-H, y los retardos para compensar los tiempos de respuesta de los amplificadores y multiplexores.

La PIA₁ interviene como parte de la lógica de control. Su función es direccionar al multiplexor analógico, proporcionar el pulso de validación para el inicio de la conversión, leer el estado de la conversión y leer los datos digitales que el CAD proporciona.

- c) Bloque de amplificación.- Una vez que el canal de entrada ha sido seleccionado, la señal pasa a través de los multiplexores analógicos y llega al amplificador de instrumentación. Los rangos de voltaje diferencial de entrada de las señales analógicas depende de la ganancia configurada, ellos son: de cero a diez volts, cero a cinco volts o cero a un volt.
- d) Bloque de muestreo y retención.- Este circuito debe mantener la señal con un mínimo de pérdidas o inducciones después de emitido el comando de retención por la lógica de control y tiempos. El capacitor de retención jugará el papel más importante para una respuesta óptima.
- e) Bloque de la referencia de voltaje.- Un convertidor de aproximaciones sucesivas toma una referencia muy estable para realizar las conversiones, por ende, este voltaje debe mantenerse invariable permanentemente, permitiéndose una variación de $\pm 1/2$ BMS. Otra función de este circuito es suministrar la corriente suficiente para los dispositivos que la requieran.
- f) Bloque de la conversión analógica a digital.- Es el CAD de aproximaciones sucesivas de 12 bits. Es sabido que la resolución de un CAD depende del número de bits del código de salida digital. El número de bits de un CAD indica la cantidad de combinaciones que pueden tenerse con ellos. Para

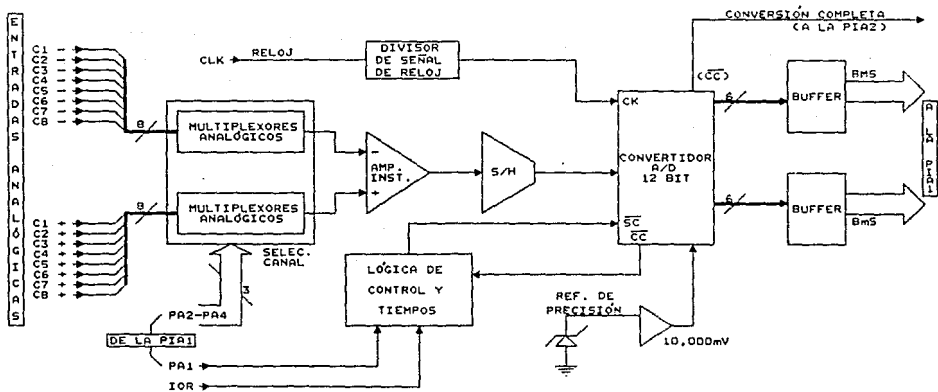


FIGURA 4.4.1 DIAGRAMA A BLOQUES PARA LA INTERFAZ DE CONVERSIÓN ANALÓGICA A DIGITAL

este convertidor el número de códigos distintos es 4096, esto es, para una escala plena de 10V se podrán registrar, como mínimo, pasos de voltaje de 2.441 mV ($10000\text{mV}/4096$).

4.5 ESTUDIO DEL CONVERTIDOR ANALÓGICO A DIGITAL

Después de una inspección de las características de los convertidores analógicos a digitales, existentes en el mercado, se encuentra uno de ellos que cumple los requisitos planteados inicialmente. El ADC1210, de National Semiconductor, es un CAD de aproximaciones sucesivas de 12 bits de resolución, construido con tecnología CMOS. Puede interpretar voltajes de entrada de hasta ± 15 volts c.d. y tiene errores de linealidad, de ganancia y de offset ínfimos.

Este convertidor es de bajo costo y mediana velocidad; requiere 13 ciclos de reloj para finalizar su tarea y lleva máximo 200 μs en efectuar la conversión a una frecuencia de reloj de 65 KHz.

La figura 4.5.1 podrá servir para relacionar los siguientes comentarios de funcionamiento:

La señal de inicio de conversión ($\overline{\text{SC}}$), cuando toma un flanco de

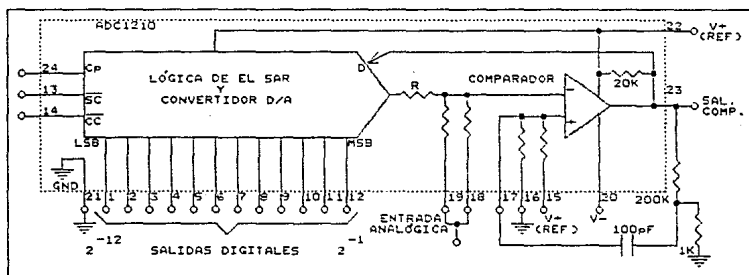


FIGURA 4.5.1 DIAGRAMA DE BLOQUES DEL CONVERTIDOR ADC1210

ESTA TESIS NO DEBE SALIR DE LA BIBLIOTECA

bajada, causa que el registro de aproximaciones sucesivas (SAR) se inicialice sincronamente con la siguiente transición bajo a alto del reloj. El bit más significativo, Q11, es puesto en estado lógico bajo y los bits restantes, Q0 a Q10, se ponen en nivel lógico alto (para código complementario). El SAR permanecerá en esta condición hasta que la entrada \overline{SC} tome un nivel alto. la conversión puede comenzar al momento de la transición bajo a alto del siguiente pulso de reloj (observe la figura 4.5.2).

Se hace, entonces, una comparación entre el nivel de voltaje presente en la entrada del CAD y el resultante en el convertidor digital a analógico (CDA) por el código aplicado (el equivalente a media escala). En este momento Q11 asume el estado de la salida de el comparador y el proceso continúa haciendo particiones de la escala plena en la forma 2^{-2} , 2^{-3} , ..., 2^{-n} , hasta que el bit menos significativo es operado de la misma manera.

Cuando el SAR ha tomado todas las desiciones, éste emite una señal de fin de conversión (\overline{CC}), indicando con ello, que los datos que el convertidor sustenta son válidos.

Ya que las salidas del SAR son accionadas por interruptores, al finalizar la conversión los datos permanecen inalterados todo el tiempo en la salida del CAD, hasta que se inicie otra conversión.

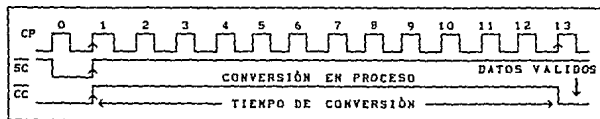


FIGURA 4.5.2 SECUENCIA DE SEÑALES-COMANDO PARA EL ADC1210

Una consideración para este convertidor es que los niveles lógicos de interfaz deben ser CMOS, esto es, otro tipo de lógica utilizada requiere un cambiador de niveles.

Al igual que un comparador ideal, pueden esperarse oscilaciones en el interior del CAD, debido a la realimentación por desvío capacitivo. Para preservar la exactitud de los 12 bits, esta oscilación se suprime agregando un circuito de histéresis a la salida del comparador que inyecta un voltaje de 50 mV al principio del ciclo de la desición, pero decayendo enseguida para permitirle al SAR tomar el dato adecuadamente.

Para compensar el tiempo perdido por los circuitos que acondicionan la señal analógica para el CAD, se utilizó un transistor que mantendrá sujeto al comparador en un nivel lógico hasta que la oscilación haya pasado. Su función es tomar la señal de reloj y retardarla lo suficiente para que el comparador propague la desición. De esta forma se incrementará la frecuencia de reloj hasta 600 KHz, con 1/3 de ciclo de servicio, reduciendo el tiempo de la conversión a 22 microsegundos.

4.6 EL AMPLIFICADOR DIFERENCIAL

El amplificador de ganancia programable que se utilizará es uno denominado de instrumentación, construido con varios amplificadores operacionales.

La característica más relevante de este circuito con respecto al pseudo-diferencial es su mayor resistencia de entrada. Se trata de un amplificador totalmente diferencial, construido a partir de la

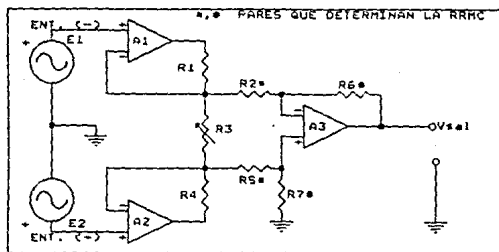


FIGURA 4.6.1 AMPLIFICADOR DE INSTRUMENTACION

conexión de uno diferencial básico con uno amortiguado. En la figura 4.6.1 puede observarse la configuración de este circuito.

Para elevar la relación de rechazo a modo común es conveniente que los pares de resistencias, R6-R7 y R2-R5, tengan un valor casi idéntico. Deberán tener una tolerancia de el 0.1%. Además, las condiciones para la operación más óptima de este circuito es que R1=R4, R2=R5 y R6=R7.

La ganancia está determinada por la siguiente relación:

$$AV = \frac{R6}{R2} \left[1 + 2 \frac{R1}{R3} \right] \dots A$$

Haciendo una igualación en todas las resistencias, excepto la de ganancia; R1=R2=R4=R5=R6=R

$$AV = 1 + 2 \frac{R}{R3} = \frac{VO}{EI-E2} \dots B$$

El ajuste de ganancia se lleva a cabo a través del resistor R3. Cuando éste toma un valor inmensamente grande (circuito abierto), la ganancia tiende al valor unitario.

Si R=10 KΩ, para AV=2, de B:

$$2 = 1 + 2 \frac{10K}{R3}$$

Entonces R1 debe ser de 20KΩ.

Para AV=10, R1 será de 2.2KΩ.

Puede conectarse un potenciómetro de 2KΩ en serie con estas resistencias para un ajuste más exacto. por ende, se normaliza para una ganancia de 2, una resistencia de 19.1KΩ en serie con el potenciómetro y para una ganancia de 10, una resistencia de 1KΩ en serie con el mismo.

4.7 DIAGRAMA ELECTRICO

La figura 4.7.2 es el diagrama eléctrico para la interfaz de conversión analógica a digital. Obsérvese que se utilizan algunos circuitos integrados de lógica TTL, pero las señales son acondicionadas para manejar los niveles CMOS. Dicha función la efectúa el circuito integrado MC14504. Para el paso de los niveles CMOS a TTL, al circuito MC14049 se le encomienda la tarea. Una característica por la que el MC14050 fué elegido es su retardo de propagación mínimo de 140ns, aplicado a la señal de reloj para controlar la salida del comparador (ya se utilizó con el mismo fin en la interfaz de entradas y salidas digitales).

La señal de reloj es dividida entre 4, 8 y 16 por el contador 74LS93, dejando opción para configurar a distintas velocidades la computadora, desde 4.77MHz hasta 10MHz.

El inicio de la conversión se opera de la siguiente forma:

- a) Los bits PA1, PA2 y PA3 indican al multiplexor analógico el número del canal que se seleccionará.
- b) Mediante el selector PA0 y la señal de escritura a puertos, se dispara el monoestable U25A y se inicia el muestreo en el S-H, dándole un tiempo de 100µs para permitir que la señal se establezca en todos los circuitos incluyendo al S-H. (véase la figura 4.7.1).
- c) Después del tiempo para muestreo se dispara al monoestable U25B que emite el comando de retención para el S-H. Al cabo de 10µs después, se indica el inicio de conversión para el CAD en su terminal número 13.

El flip-flop U26A es indispensable para evitar falsos disparos entre instantes de conversión y para sincronizar la señal \overline{SC} con el reloj.

Los multiplexores U15 y U16, MC14051, tienen la capacidad de

permitir el paso a señales con voltajes de hasta $\pm 12V$, siendo necesario trasladar los niveles TTL a CMOS para el control.

Al amplificador diferencial lo componen U17, U18 y U19. Los dos primeros son amplificadores de precisión, con alta RRMC y bajas corrientes de desvío. U19 y U20 son amplificadores operacionales de uso general.

El capacitor de retención debe tener un dieléctrico que minimice las pérdidas. Los más usuales son los de poliestireno, polipropileno o teflón.

La referencia de voltaje es proporcionada por D1, un diodo referenciador de voltaje de precisión.

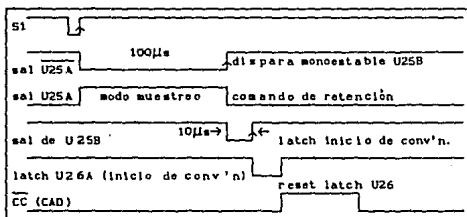


FIGURA 4.7.1 DIAGRAMA DE TIEMPOS DE LAS SEÑALES PARA LA INTERFAZ DE CONVERSION ANALOGICA A DIGITAL.

U20 proporciona la ganancia y corrientes necesarias para entregar al CAD 10,000 mV.

La señal de conversión completa, (\overline{CC}), es enviada a través de la línea PA0 de la PIA2 para indicar el estado de la conversión. Si su nivel lógico presente es cero, la conversión ha concluido. Lo opuesto se dice si su nivel lógico es uno.

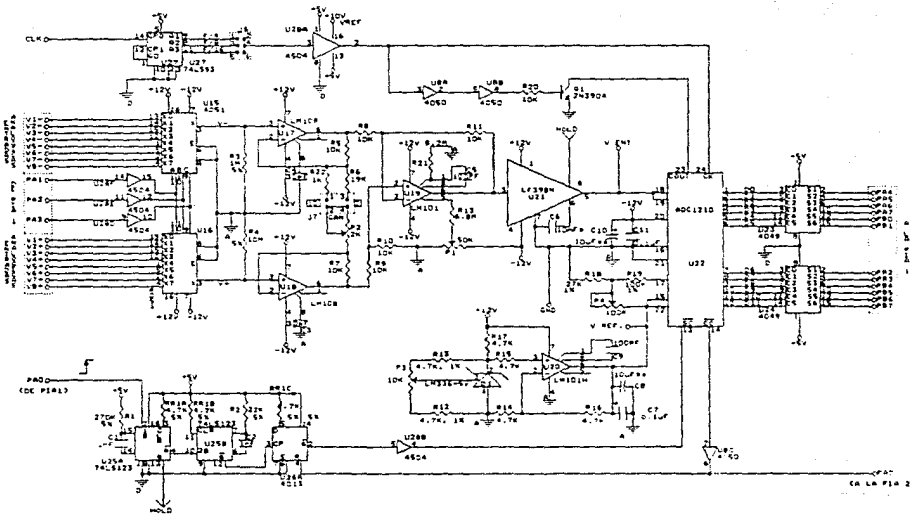


FIGURA 4.7-2 CIRCUITO ELÉCTRICO PARA LA INTERFAZ DE CONVERSIÓN ANALÓGICA A DIGITAL.

Todos los resistores sin especificación son a 1/4 de W, y tienen tolerancia del 5%.
 Todos los capacitores son de cerámica, salvo caso especificado.
 Los C. 2.7n y U9 a U22 tienen un capacitor de 0.1µF entre alimentación y tierra.
 * Voltajes: +5V, +12V y tierra.
 ** Tensión: 0V.

La lectura de datos se hace una vez que se encuentra la línea PA0, en la PIA2, en nivel bajo. Se leen primero los 4 bits menos significativos, e inmediatamente después, los ocho restantes.

4.8 PROCEDIMIENTO DE CALIBRACION

Para llevar a efecto la calibración, es indispensable contar al menos con un multímetro digital que tenga resolución para medir milésimas de volt en todo el rango de cero de diez volts. También es requerida una fuente de voltaje de precisión regulada.

Las tablas 4.8.1 y 4.8.2 servirán para tomar las referencias de los puntos de prueba y las configuraciones deseadas.

PUNTO DE PRUEBA	UTILIDAD
"GND" "ENT"	REFERENCIA DE TODAS LAS MEDICIONES CALIBRACIÓN DEL AMPLIFICADOR DIFERENCIAL Y DEL CONVERTIDOR ANALÓGICO A DIGITAL.

TABLA 4.8.1 PUNTOS DE PRUEBA PARA LA INTERFAZ DE CONVERSION A/D

Al efectuar el siguiente procedimiento, se direccionará solamente un canal de conversión, observando todos los requerimientos.

Las mediciones deberán hacerse con respecto al terminal de referencia cero (tierra analógica).

AJUSTE DEL VOLTAJE OFFSET Y LA GANANCIA DEL AMPLIFICADOR DE INSTRUMENTACION

- a) Cortocircuitar las dos entradas diferenciales del canal seleccionado (sin referencia exterior) y conectarlas al terminal de tierra analógica.
- b) Configurar a la ganancia requerida (1, 2 ó 10).

OPCIÓN	DESCRIPCIÓN	PUNTES A USAR	PUNTOS DE CONEXIÓN
1	DIVISION DE LA FRECUENCIA DE RELOJ DEL μ P ENTRE 4	J6	1 Y 2
2	DIVISION DE LA FRECUENCIA DE RELOJ DEL μ P ENTRE 8	J5	3 Y 4
3	DIVISION DE LA FRECUENCIA DE RELOJ DEL μ P ENTRE 16	J6	5 Y 6
4	CONFIGURACION DE LA GANANCIA DEL AMPLIFICADOR A 1	J7	NINGUNO
5	CONFIGURACION DE LA GANANCIA DEL AMPLIFICADOR A 2	J7	3 Y 4
6	CONFIGURACION DE LA GANANCIA DEL AMPLIFICADOR A 10	J7	1 Y 2

FIGURA 4.8.2 CONFIGURACIONES DE LA INTERFAZ PARA LA CONVERSION ANALOGICA A DIGITAL

- c) Enviar un voltaje diferencial de 10000mV, 5000mV ó 1000mV, para ganancias respectivas de 1, 2 ó 10, al canal seleccionado por medio de la referencia externa.
- d) Ajustar el potenciómetro P2 para obtener una lectura de 10000 milivolts en el punto de prueba "ENT".

AJUSTES PARA ESCALA CERO Y ESCALA PLENA EN EL CAD

- a) Para el ajuste a escala plena, aplicar un voltaje a la entrada del canal analógico seleccionado, de tal forma que se mida en el punto de prueba "ENT", 9998.8mV o el valor más próximo.
- b) Ajustar el potenciómetro P3 hasta que el código de salida del convertidor varíe sólo entre el valor máximo y el valor inmediato inferior.
- c) Para el ajuste a escala mínima, se aplica un voltaje en el canal seleccionado para medir en el punto de prueba "ENT" 1.22 mV, o el valor más cercano.

- d) Girar la perilla del potenciómetro P4 hasta que el código de salida digital oscile sólo entre los valores de escala mínima y el inmediato superior.

- e) Efectuar reiteradamente los pasos a, b, c y d de este procedimiento hasta que no se observe más algún desvío en los códigos resultantes, sin necesidad de calibrar.

4.9 TABLA DE COMPONENTES

REFERENCIA	CODIGO DEL DISPOSITIVO	DESCRIPCIÓN
RR1	4.7K, 5X	MALLA DE RESISTENCIAS DE PUNTO COMÚN
R1	270K, 5X	RESISTENCIA PELÍCULA METALICA, 1/4W
R2	22K, 5X	RESISTENCIA PELÍCULA METALICA, 1/4W
R3, R4	10M, 5X	RESISTENCIA PELÍCULA METALICA, 1/4W
R21	8.2M, 5X	RESISTENCIA PELÍCULA METALICA, 1/4W
R22	1K, 1X	RESISTENCIA PELÍCULA METALICA, 1/4W
R8 A R11	10K, 0.1X	RESISTENCIA PELÍCULA METALICA, 1/4W
R5, R7	10K, 1X	RESISTENCIA PELÍCULA METALICA, 1/4W
R6	19K, 1X	RESISTENCIA PELÍCULA METALICA, 1/4W
R4, R17	4.7K, 1X	RESISTENCIA PELÍCULA METALICA, 1/4W
R19	100K, 1X	RESISTENCIA PELÍCULA METALICA, 1/4W
R18, R20	10K, 5X	RESISTENCIA PELÍCULA METALICA, 1/4W
C1, C2	1nF	CAPACITOR CERÁMICO
C3, C4	30pF	CAPACITOR CERÁMICO
C5, C9	100pF	CAPACITOR CERÁMICO
C6	10nF	CAPACITOR TEFLÓN
C7, C11	0.1µF	CAPACITOR CERÁMICO
C8, C10	10µF	CAPACITOR TANTALIO
U25	74LS123	MULTIVIBRADOR MONOESTABLE DUAL
U26	74LS74	FLIP-FLOP TIPO D
U23, U24	CD4049	6 AISLADORES DE LÍNEA INVERSORES
U8	CD4050	6 AISLADORES DE LÍNEA NO INVERSORES
U27	74LS93	CONTADOR BINARIO
U28	CD4504	CAMBIADOR DE NIVEL CMOS-TTL, TTL-CMOS
U15, U16	CD4051	MULTIPLEXOR ANALÓGICO, 8 CANALES
U17, U18	LM108N	AMP. OP. DE PRECISIÓN
U19, U20	LM101N	AMP. OP. DE PROPÓSITO GENERAL
U21	LF398N	RETENEDOR-MUESTREADOR (S-H)
U22	ADC1210	CONVERTIDOR ANALÓGICO A DIGITAL, 12 BITS
D1	LM336-5	DIODO REFERENCIADOR DE VOLTAJE, 5V
Q1	2N3904	TRANSISTOR NPN
P1	50K	TRIMPOT 10 VUELTAS
P2	2K	TRIMPOT 10 VUELTAS
P3	10K	TRIMPOT 10 VUELTAS
P4	100K	TRIMPOT 10 VUELTAS

5.- INTERFAZ PARA LA CONVERSION DIGITAL A ANALOGICA

Un módulo para la conversión digital a analógica fácilmente convierte el código digital aplicado en sus entradas a un voltaje o corriente, siempre y cuando este código sea mantenido el tiempo suficiente mientras se desee estable el valor de la salida analógica.

Hay muchas aplicaciones para una interfaz de conversión digital a analógica. Por citar algunas de ellas, se listan en los siguientes incisos:

- a) Para manejo de un servomotor.
- b) Para manejo de un graficador.
- c) Como generador de música.
- d) Para controlar un convertidor de voltaje a frecuencia.
- e) Como elemento indispensable de una fuente de alimentación programable.
- f) Para manejar un medidor analógico.
- g) Como un filtro digitalmente programable.

Precisamente un convertidor digital a analógico (CDA) viene siendo el complemento de los convertidores analógico a digital, esto es, uno realiza las funciones totalmente opuestas del otro.

En muchos casos, como se ha descrito en el capítulo anterior, un CDA es un elemento intrínseco para la operación de los CAD.

5.1.- CONCEPTOS Y TERMINOS UTILES

CDA MULTIPLICADOR.- En un sentido, cada CDA es un multiplicador puesto que el voltaje de salida (o corriente) es igual a la referencia de voltaje veces una corriente determinada por el código de

entrada digital dividida por 2^n (n es el número de bits de resolución).

RESOLUCION.- Es el más pequeño incremento analógico correspondiente a un cambio de código del convertidor en un BmS. Para convertidores, la resolución es normalmente expresada en bits, donde el número de niveles analógicos es igual a 2^n .

CURVA DE GANANCIA.- Es la línea recta que conecta los puntos correspondientes a la escala cero y escala plena del CDA (voltaje contra código).

ERROR DE GANANCIA.- Es la diferencia entre el voltaje de salida (o corriente) con un código de entrada para plena escala y el voltaje ideal (o corriente) que debe existir con un código de plena escala de entrada.

ERROR DE DESVIO (ERROR CERO).- En un CDA, éste es el voltaje de salida que existe cuando el código digital es puesto para dar una salida ideal de cero volts. En el caso de un CAD, es la diferencia entre el voltaje de entrada ideal ($1/2$ BmS) y el voltaje de entrada actual que es necesario para hacer la transición de 0 a 1BmS.

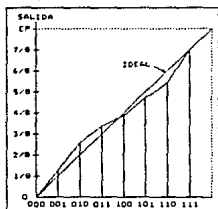
NO LINEALIDAD INTEGRAL.- Es el peor caso de la línea recta entre los puntos extremos (cero y plena escala). Puede ser expresado como un porcentaje de plena escala o en fracciones de BmS. Se le conoce usualmente como error de linealidad.

MONOTONICIDAD.- Una función monotónica tiene una pendiente, cuyo signo no cambia. Un CDA monotónico tiene una salida que cambia en la misma dirección (o permanece constante) para cada incremento en el código de entrada. Lo opuesto es aplicado para códigos decrecientes.

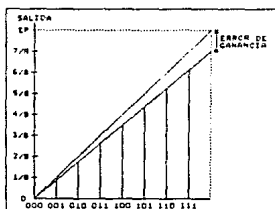
NO LINEALIDAD DIFERENCIAL.- Idealmente, cualesquiera dos códigos digitales adyacentes corresponden a códigos analógicos medidos que

son exactamente un BmS aparte. La no linealidad diferencial es una medida del peor caso de la desviación del paso ideal de un BmS. Una no linealidad diferencial de $\pm 1\text{BmS}$ o menos garantiza monotonicidad.

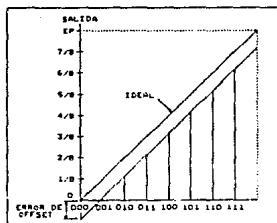
"GLITCH".- Es una expresión de los Ingenieros en Electrónica para denotar una condición de transitorio indeseado. En un CDA es un transitorio que ocurre en la salida cuando la entrada digital es cambiada.



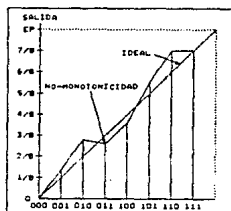
(a) ERROR DE LINEALIDAD



(b) ERROR DE GANANCIA



(c) ERROR DE OFFSET



(d) ERROR DE NO LINEALIDAD DIFERENCIAL

FIGURA 5.1.1 GRAFICACION DE ALGUNAS CARACTERISTICAS PARA UN CDA BINARIO DE TRES BITS.

Un número natural binario puede ser representado como:

$$N = A_n 2^n + A_{n-1} 2^{n-1} + \dots + A_1 2^1 + A_0 2^0 + A_{-1} 2^{-1} + \dots + A_{-n} 2^{-n}$$

donde los coeficientes A_i ($n \geq i \geq -n$), toman valores de cero o uno y son los bits del código digital.

La parte de N con coeficientes de subíndice positivo constituyen la porción entera.

La parte de N con coeficientes de subíndice negativo constituyen la porción fraccionaria.

La salida analógica de un CDA binario de n bits, está expresada en la siguiente función de transferencia:

$$SAL = SAL_{EP} (A_{-1} 2^{-1} + A_{-2} 2^{-2} + \dots + A_{-n} 2^{-n}) \quad \dots \quad 5.1.1$$

donde SAL_{EP} es definida como la salida a escala plena nominal del CDA.

Así, puede verse, que con un código para escala plena del CDA (todos los bits de entrada igual a 1) el valor de salida es:

$$SAL = SAL_{\max} = SAL_{EP} (2^{-1} + 2^{-2} + \dots + 2^{-n}) = SAL_{EP} (1 - 2^{-n}) \quad \dots \quad 5.1.2$$

El término $SAL_{EP} (2^{-n})$ es el nivel más pequeño de salida que el CDA puede proporcionar para un código definido y que viene siendo la diferencia de señales de salida ideales de dos códigos digitales adyacentes aplicados.

Como ejemplo, la función de transferencia de un CDA binario de 3 bits es graficada en la figura 5.1.2. Puesto que solamente ocho niveles de señal de salida pueden ser obtenidos en un CDA de esta

resolución (incluyendo al cero), se observa que para un código correspondiente a escala plena aplicado, el valor de la salida analógica será de $7/8$ la escala plena, como lo expresa la ecuación 5.1.2.

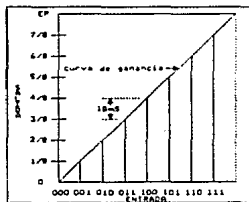


FIGURA 5.1.2 FUNCION DE TRANSFERENCIA IDEAL PARA CODIGO BINARIO DIRECTO (UNIPOLAR).

En las figuras 5.1.3, a y b, se presenta graficada la función de transferencia de un CDA bipolar de tres bits para códigos de entrada offset binario y complemento a dos, respectivamente.

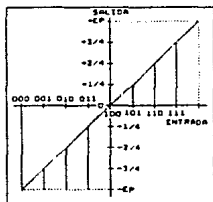


FIGURA 5.1.3a

FUNCION DE TRANSFERENCIA IDEAL EN OFFSET BINARIO (BIPOLAR)

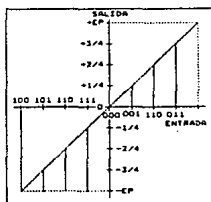


FIGURA 5.1.3b

FUNCION DE TRANSFERENCIA IDEAL EN COMPLEMENTO A DOS (BIPOLAR)

5.2 CONVERTIDORES DIGITAL A ANALOGICO

En aplicaciones de amplificadores operacionales nos encontramos con un circuito básico llamado amplificador sumador, mostrado en la figura 5.2.1. Gracias al concepto de "tierra virtual", ampliamente utilizado para el análisis matemático de las distintas configuraciones de amplificadores operacionales, se ha desarrollado

una expresión para la salida de voltaje en función de los términos que involucran a las señales de entrada. Esta ecuación es:

$$V_{sal} = -Rf \left[\frac{V1}{R1} + \frac{V2}{R2} + \frac{V3}{R3} + \dots + \frac{Vn}{Rn} \right] \dots 5.2.1$$

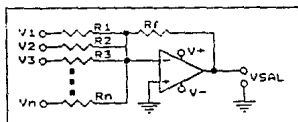


FIGURA 5.2.1 CIRCUITO AMPLIFICADOR SUMADOR

Es evidente que los voltajes de entrada $V1, V2, V3, \dots, Vn$ deben comprender sólo dos valores distintos para considerarse digitales. Si un nivel de voltaje es cero, y el otro toma un valor determinado V_A , la ecuación 5.2.1 puede también escribirse de la siguiente forma:

$$V_{sal} = -V_A \left[D1 \frac{Rf}{R1} + D2 \frac{Rf}{R2} + D3 \frac{Rf}{R3} + \dots + Dn \frac{Rf}{Rn} \right] \dots 5.2.2$$

donde $D1, D2, D3, \dots, Dn$ son los valores lógicos de los bits del código de entrada.

Si $D1$ es el bit menos significativo y así sucesivamente, en forma ascendente, hasta Dn siendo el bit más significativo, se determina que el valor de las resistencias $R1, R2, \dots, Rn$ para obtener un voltaje de salida que es exactamente proporcional al número binario representado por las entradas digitales, es igual a $(2^{n-nx})(Rf)$. Donde n es el número de bits y nx es el subíndice de la resistencia involucrada. Esto es:

$$\begin{aligned} R1 &= (2^{n-1})Rf \\ R2 &= (2^{n-2})Rf = (1/2)R1 \\ R3 &= (2^{n-3})Rf = (1/2)R2 \\ &\vdots \\ &\vdots \\ Rn &= (2^{n-n})Rf = (2^0)Rf = Rf \end{aligned}$$

Un problema que se presenta en un tipo de convertidor digital a analógico a base de un circuito como este, es que son requeridas resistencias de valores muy exactos y con capacidades de disipación de potencia extraordinariamente divergentes unas de las otras.

Una solución a este conflicto aparece cuando se dispone un arreglo de resistencias cuyos valores son únicamente dos; uno el doble del otro. De ahí su nombre denominado "escalera R-2R". Un esquema de este circuito es mostrado en la figura 5.2.2.

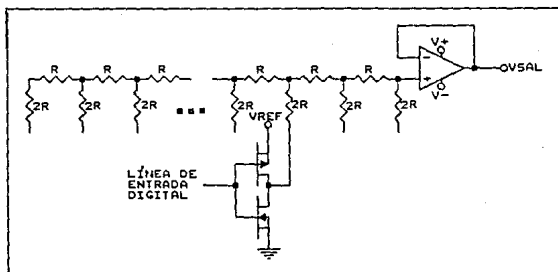


FIGURA 5.2.2 UN CDA "R-2R"

Los transistores de efecto de campo en la figura 5.2.2, formando una configuración tipo "totem-pole", son el medio de contacto entre las entradas digitales y la aplicación de voltaje a las resistencias sin interferir introduciendo algún efecto secundario que deteriore la exactitud del convertidor.

Nuevamente podemos darnos cuenta que se precisa de una referencia de voltaje estable como en el caso de los convertidores analógico a digital, para tomar una porción de ella correspondiente al código digital aplicado y llevarlo a la salida del circuito.

Un CDA que contiene una escalera de resistencias "R-2R" y una referencia de voltaje, es denominado "CDA multiplicador". El

nombre es debido a que la salida viene siendo el producto de un código binario de entrada y el valor de la referencia de voltaje.

Un CDA multiplicador de 4 cuadrantes es uno de los dispositivos disponibles que son más ampliamente usados por los diseñadores de circuitos.

Un multiplicador de cuatro cuadrantes "es el bloque lineal que puede multiplicar, doblar frecuencia, ejecutar funciones de control, modular y demodular frecuencias,..., proporcionar el correcto producto signado para todas las cuatro posibles combinaciones de valores positivos y negativos de estas dos entradas. El versátil multiplicador de cuatro cuadrantes puede ejecutar cualquier función que pueda ser expresada matemáticamente como el producto de dos cantidades, generando tales funciones aritméticas como productos, raíces cuadradas, cocientes y elevación de cuadrados" . (1)

En un CDA de dos cuadrantes la referencia o el código de entrada digital pueden cambiar la polaridad del voltaje (o corriente) de salida. Si ambos, la referencia de voltaje y el código digital, cambian la polaridad del voltaje (o corriente) de salida, existe la multiplicación en cuatro cuadrantes.

Los convertidores digital a analógico multiplicadores más simples disponibles comercialmente en un circuito integrado, tienen como elementos internos una escalera R-2R y los circuitos de conmutación que serán controlados por las líneas de datos para el código digital a aplicarse (figura 5.2.3).

La aplicación más usual de un CDA multiplicador es generar niveles de voltaje de salida discretos en un rango dado. La figura 5.2.4 representa a un bloque de conversión digital a analógico,

(1) INTRODUCTION TO INTEGRATED CIRCUITS. GRINICH, VICTOR H.
Y JACKSON, HORACE G. 2a. Ed. TOKIO, JAPON, 1983. P. 616.

configurado como potenciómetro digital. Se ha hecho uso de una resistencia interna del CDA, que colecta todas las corrientes de

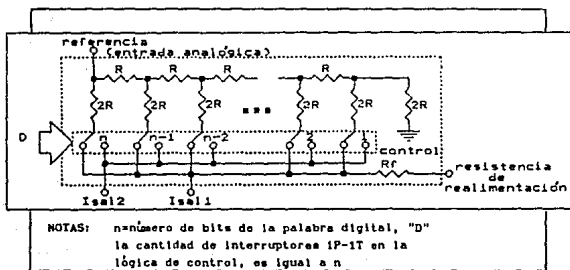


FIGURA 5.2.3 DIAGRAMA SIMPLIFICADO DE UN CDA MULTIPLICADOR

la escalera R-2R, para realimentar un amplificador operacional; resultando un convertidor de corriente a voltaje.

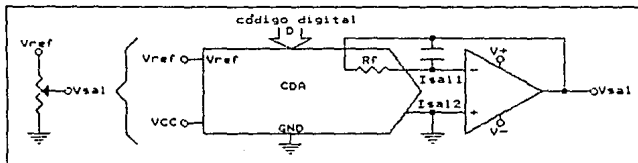


FIGURA 5.2.4 POTENCIOMETRO DIGITAL

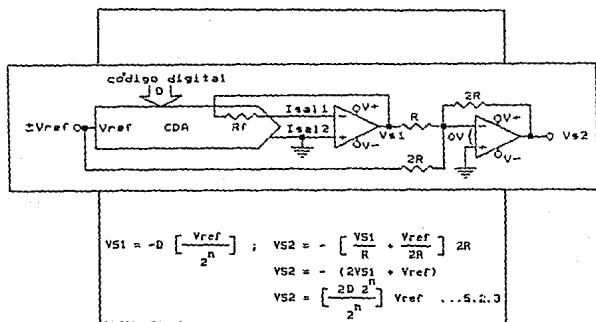
El código digital aplicado a las entradas se multiplica por el valor de la referencia de voltaje, obteniéndose un producto normalizado para la resolución del CDA a su salida.

El capacitor de realimentación en este circuito es para mejorar la calidad del voltaje de salida, evitando los transitorios y variaciones cuando el código digital en la entrada es cambiado.

El valor de la corriente de salida, I_{sal1} , es equivalente a la

suma de corrientes que fluyen a través de los interruptores activados digitalmente por un nivel lógico alto. Por el contrario, la corriente de salida, I_{s12} , es el resultado de la suma de corrientes circulando a través de los interruptores activados por un nivel lógico bajo. En fin, la suma de estas dos corrientes viene siendo una constante igual al valor del voltaje de referencia entre la resistencia de entrada vista por el terminal de referencia del convertidor.

Si la polaridad de la referencia de voltaje cambia, la salida de corriente también tiene un sentido de dirección opuesto. Este método de producir una salida bipolar puede conseguirse de otra forma con la referencia de voltaje fija. La solución consiste en adicionar un segundo amplificador operacional conectado en la salida de la circuitería analógica. Esto, en efecto, da significado al signo del bit más significativo en la palabra de entrada digital para permitir la multiplicación en dos cuadrantes de la referencia de voltaje. La polaridad de la referencia puede invertirse, o ésta ser una señal de corriente alterna, para realizar una completa multiplicación en los cuatro cuadrantes.



NOTA: D es el código digital expresado en sistema decimal

FIGURA 5.2.5 SALIDA BIPOLAR CON UNA REFERENCIA DE VOLTAJE FIJA

La figura 5.2.5 es un circuito utilizado comúnmente para proporcionar una salida bipolar a partir de la multiplicación con una referencia de voltaje fija al hacer un agregado a la figura 5.2.4 de un amplificador sumador de dos entradas, conectado a la salida del primer amplificador operacional y a la referencia de voltaje, siendo posible obtener la multiplicación en dos cuadrantes cuando la referencia toma un valor permanentemente fijo. La desventaja de este circuito con respecto al de salida unipolar, es que el paso del voltaje de salida se ve duplicado, debido a que también el rango se incrementa al doble. Esto se demuestra haciendo uso de la ecuación 6.2.3:

$$\Delta V_{sal} = \left[\frac{2D-2}{2^n} \right] - \left[\frac{2(D-1)-2^n}{2^n} \right] = 2 \left[\frac{V_{ref}}{2^n} \right] \dots 6.2.4$$

Existen dos modos de operación para un circuito CDA multiplicador R-2R. Ellos son:

- a) Operación en modo de conmutación a corriente.
- b) Operación en modo de conmutación a voltaje.

En ambos casos, el código digital controla los interruptores internos en la escalera R-2R.

Para el modo de conmutación a corriente, la terminal para voltaje de referencia es una entrada y las terminales I_{sal1} e I_{sal2} , son tomadas como salidas. Aquí las corrientes pueden fluir en cualquier sentido, siendo la base fundamental de un multiplicador de cuatro cuadrantes.

Para proporcionar un voltaje de salida utilizando un CDA en este modo, se hace por medio del amplificador operacional convertidor de corriente a voltaje. El valor del voltaje de salida es forzado a ser igual a: $V_{sal} = -(I_{sal1} \times R_r)$ (consulte la figura 5.2.4).

En el modo de conmutación a voltaje, la terminal para referencia es una salida, mientras que la entrada será ahora, la terminal I_{sal1} . A esta última se le suministrará el voltaje de referencia y

será atenuado por la escalera R-2R en proporción al código aplicado.

5.3 PLANTEAMIENTO

En este apartado se indican las características consideradas de vital importancia que poseería la interfaz para la conversión digital a analógica en un principio. Los siguientes incisos describen estos requisitos.

- a) Resolución digital de la conversión: 12 bits.
- b) Rango de la señal analógica de salida: cero a diez volts.
- c) Configuraciones: Para salida analógica unipolar o bipolar.
- d) Código digital de entrada: binario.
- e) Niveles de voltaje lógicos en el sistema: TTL.
- f) Número de canales de salida: uno.
- g) Monotonicidad: Garantizada en el CDA para los 12 bits.
- h) Error de linealidad: menor o igual a 0.05% de la escala plena.
- i) Capacidad de multiplicación en dos cuadrantes.
- j) Protecciones: Tiempo indefinido para salida en corto circuito.
- k) Referencia del CDA: estable en $\pm 1/2$ BmS.
- l) Tiempo de puesta del CDA: menor o igual a 1microseg.

5.4 PROCESO DE SELECCION

Para la estructuración precisa de esta interfaz, fué conveniente hacer ciertas consideraciones previas, referentes a:

- a) Los elementos constitutivos del circuito integrado para la conversión digital a analógica, y por ende;
- b) Especificación de las diferentes señales de sincronía que deben brindársele al circuito.

Estos dos puntos están relacionados con la selección del circuito integrado que efectuará la conversión digital a analógica.

El planteamiento de las Características indispensables que debía cumplir esta interfaz definen apenas el problema. Tomando en cuenta que existe ya un adaptador programable para periféricos dedicado al control lógico de las interfaces de conversión analógica a digital y conversión digital a analógica, se tuvo que contemplar la selección de un circuito integrado CDA multiplicador en dos cuadrantes lo más simple, es decir, con los elementos internos básicos que son la escalera R-2R y la lógica de control.

En el ámbito de los circuitos integrados lineales, y en específico los convertidores digital a analógico, existen en la actualidad una diversidad de fabricantes que proporcionan productos de características que cumplen como mínimo los requerimientos planteados.

Hasta la fecha, estos productos son comercializados en México principalmente de tres firmas muy conocidas internacionalmente: Motorola Inc., National Semiconductor y Analog Devices.

En el apéndice D se incluyen las hojas de especificaciones para la selección de convertidores digital a analógico. En ellas puede encontrarse muchos circuitos multiplicadores en cuatro cuadrantes, con resolución de 12 bits, errores de linealidad menores a 0.05% y tiempos de puesta suficientemente pequeños.

Se optó por usar el circuito DAC1218, de National Semiconductor en este diseño. Una de las principales ventajas es que puede ser sustituido directamente por otros elementos de la misma serie de convertidores con errores de linealidad aceptables para muchas aplicaciones.

5.5 DIAGRAMA DE BLOQUES

Es necesario que se haga una retención del código digital a la entrada del CDA para garantizar que la salida de este dispositivo sea estable mientras el microprocesador no lo cambie.

Se precisa de cinco bloques interconectados que contribuyen al funcionamiento de la interfaz de conversión digital a analógica, ellos son:

- a) Bloque de control.
- b) Bloque de retención de datos.
- c) Bloque de conversión digital a analógica.
- d) Bloque de referencia de voltaje.
- e) Bloque de acondicionamiento de señal de salida.

La figura 5.5.1 muestra el diagrama de bloques para esta interfaz.

BLOQUE DE CONTROL.- Es el encargado de proporcionar los datos en el momento oportuno en bloques separados, conjuntamente con una

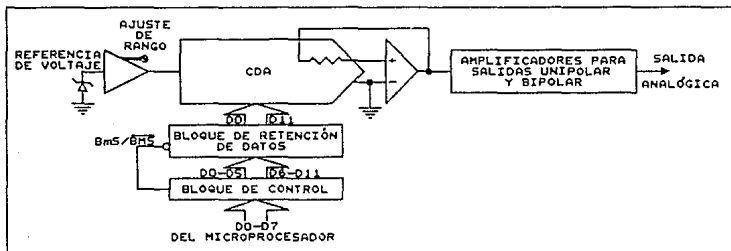


FIGURA 5.5.1 DIAGRAMA DE BLOQUES

señal de habilitación para el bloque de retención de datos.

BLOQUE DE RETENCION DE DATOS.- Tiene la finalidad de mantener el dato de cada línea estable durante todo el tiempo en que el microprocesador no actualice la información para la conversión. La señal para el modo de captura es recibida desde el bloque de control.

BLOQUE DE CONVERSION DIGITAL A ANALOGICA.- Es el circuito integrado convertidor digital a analógico.

BLOQUE DE REFERENCIA.- Brinda un voltaje estable para referencia del CDA y el suministro de corriente necesaria para operar satisfactoriamente.

BLOQUE ACONDICIONAMIENTO DE SEÑAL DE SALIDA.- Lo conforman un convertidor de corriente a voltaje, un amplificador sumador y un circuito de aislamiento para entrega de la señal en la salida analógica.

5.6 DIAGRAMA ELECTRICO

Antes de explicar como quedó desarrollado el diagrama eléctrico, conviene hacer una descripción concisa del circuito integrado DAC1218.

El circuito integrado DAC1218 es un convertidor digital a analógico capaz de efectuar la multiplicación binaria de 12 bits en los cuatro cuadrantes. Sus entradas digitales son compatibles con la lógica TTL sobre el amplio rango de voltajes de alimentación. Tiene una excelente no linealidad integral con un error de apenas 0.012% máx. de la escala completa y una no linealidad diferencial que garantiza monotonicidad para sus 12 bits de resolución. El consumo de corriente de la referencia de voltaje es menor a 1mA ($V_{ref}=10V$).

El DAC1218 es un circuito de 18 terminales, cuya definición tiene lugar en las siguientes líneas:

(A1-A12). Entradas digitales. A12 es la entrada digital menos significativa y A1 es la entrada digital más significativa.

Iout1. Corriente de salida 1 del CDA.

Iout2. Corriente de salida 2 del CDA.

Rfb. Resistencia de realimentación para el amplificador operacional que es usado para proveer un voltaje de salida.

Vref. Voltaje de referencia. Si es una entrada, es conectada a una referencia de voltaje de precisión externa para suministro de alimentación en la escalera R-2R.

VCC. Fuente de alimentación de voltaje para la operación del circuito de control integrado en el CDA.

GND. Es la terminal de referencia de las señales (tierra general).

La figura 5.6.1 es el diagrama eléctrico para esta interfaz. En él puede observarse un arreglo de amplificadores operacionales similar al descrito en la sección 5.2 para configuración de salida bipolar.

Las consideraciones principales para la selección de estos elementos, estriban en que las corrientes de desvío en sus entradas son despreciables y tienen alta inmunidad al ruido. Estas características son indispensables para la conservación de la linealidad del CDA.

El circuito LF357 es un amplificador operacional con entradas FET. Conjuntamente con el LF353 de características similares, elevan la velocidad de la puesta de datos en la salida. Si no fuera indispensable esta condición, puede utilizarse otro amplificador con corrientes pequeñas de desvío tal como el LM358N, directamente reemplazable terminal por terminal al LF353.

El seguidor de voltaje, U33B, acopla la señal de salida que los amplificadores de acondicionamiento proporcionan.

La referencia interna es tomada de la referencia de voltaje para el convertidor analógico a digital. Se ha utilizado un amplificador inversor, con ajuste ligero en ganancia, a guisa de que en la

salida se obtenga un valor de -10000 mV. Este valor negativo de voltaje de referencia se eligió para proporcionar una salida positiva cuando se selecciona el modo de conversión unipolar. Nótese que, por ende, debe hacerse una calibración de ganancia para el CAD previa al ajuste de referencia para el CDA.

A esta interfaz, considerando una opción para introducir un voltaje de referencia externo, puede dársele la aplicación de multiplicador en los cuatro cuadrantes. La señal será de tipo de corriente alterna o de corriente directa bipolar, seleccionable por interruptores analógicos.

Otra aplicación más que brinda el circuito al optar por la selección de una referencia externa, es que puede operar radiométricamente, es decir, la conversión es realizada desde un punto de vista absoluto.

Para dar a entender el significado de estas palabras, tomemos como ejemplo un tipo de transductor cuyo voltaje de salida es proporcional a una referencia externa. En este tipo de aplicación, la referencia para la fuente de señal a veces es conectada a la entrada de referencia para el convertidor. De esta manera, cualquier variación en la fuente de voltaje puede además cambiar la referencia de voltaje del CDA y producir una conversión exacta.

Debido a que la resistencia de realimentación del DAC1218 tiene un valor un poco más pequeño que el del resto en la malla interna, se agregó un potenciómetro en serie con ella para hacer el ajuste a escala plena.

El voltaje de desvío a la salida de los amplificadores operacionales cuando el código aplicado al CDA equivale a un voltaje de salida cero, es anulado con el potenciómetro para balance de "offset" en el circuito U32.

El código digital, proveniente de la unidad de control, que es la PIA₂, se hace llegar a dos flip-flops con sus entradas en

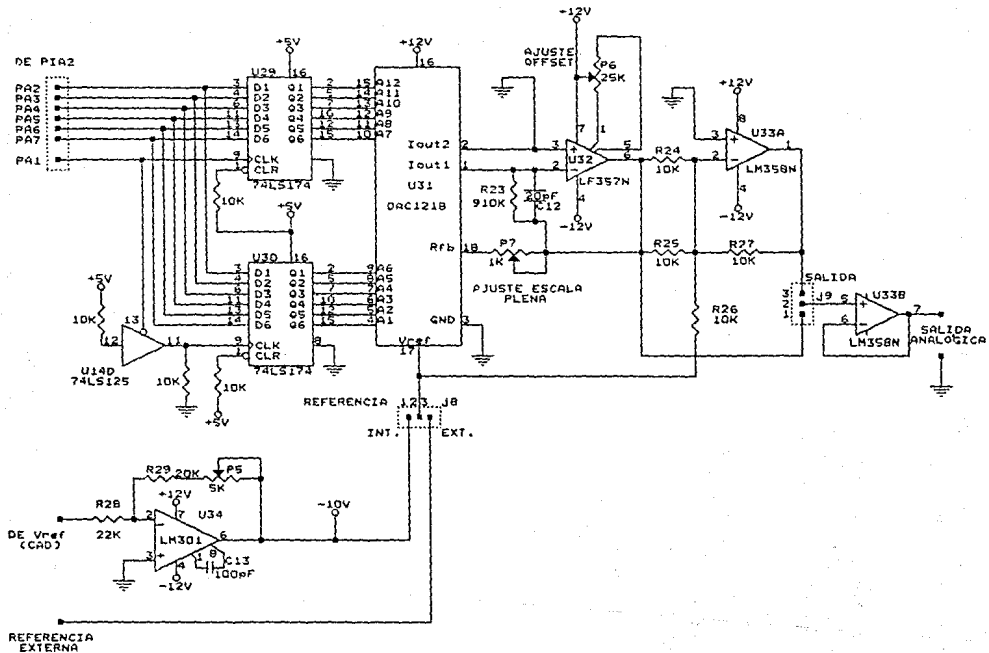


FIGURA 5.6.1 DIAGRAMA ELÉCTRICO PARA LA INTERFAZ DE CONVERSIÓN DIGITAL A ANALÓGICA

paralelo, de tal forma que la selección entre los 6 bits menos significativos y los 6 bits más significativos para cada uno de ellos, se efectúa emitiendo una señal biestable hacia las terminales de disparo de estos circuitos. Para discernir entre cuál de los dos actuará en su momento, se hizo uso de un truco utilizando los elementos de hardware disponibles.

El circuito U14D se activa con un nivel lógico cero; éste es aprovechado para enviar una transición ascendente a la terminal de control de disparo del circuito U30. A su vez, cuando exista una transición positiva por parte de la terminal de control de la PIA2, U30 no actualizará los datos, pero en cambio, U29 será capaz de hacerlo en ese instante.

5.7 CONFIGURACIONES

En el circuito de la figura 5.6.1 se han indicado en cuadros con líneas punteadas los puentes para configuración. La tabla 5.7.1 es una referencia rápida para la configuración de esta interfaz.

PUENTE	PUNTOS DE UNIÓN	DESCRIPCIÓN
J8	1 Y 2	selección del voltaje de referencia interno de -10000aV.
J8	2 Y 3	selección del voltaje de referencia externo.
J9	1 Y 2	Configuración de la salida a modo unipolar.
J9	2 Y 3	Configuración de la salida a modo bipolar.

TABLA 5.7.1 CONFIGURACIONES PARA LA INTERFAZ DE CDA

5.8 CALIBRACION

El comportamiento del voltaje de salida del CDA para un código digital aplicado en sus entradas se ha resumido en las tablas

5.8.1 y 5.8.2 para las configuraciones de salida en modo bipolar y unipolar.

Estas tablas son de suma utilidad para la realización de los ajustes en la interfaz. Los valores de voltaje de salida allí mostrados fueron calculados para el voltaje de referencia interno de -10000mV. Para uso de una referencia externa se aplica la fórmula indicada.

ENTRADA DIGITAL APLICADA	EQUIVTE. DECIMAL	VOLTAJE DE SALIDA (mv)
1 1 1 1 1 1 1 1 1 1 1 1	4095	$- V_{ref} + 2BmS = -9995.1$
1 1 0 0 0 0 0 0 0 0 0 0	3072	$- V_{ref} / 2 = -5000$
1 0 0 0 0 0 0 0 0 0 0 0	2048	0
0 1 1 1 1 1 1 1 1 1 1 1	2047	$+2BmS = 4.88$
0 1 0 0 0 0 0 0 0 0 0 0	1024	$+ V_{ref} / 2 = 5000$
0 0 0 0 0 0 0 0 0 0 0 0	0	$+ V_{ref} = 10000$

$$V_{sal} = 10000mV \cdot [4.8828 D], 0 \leq D \leq 4095$$

TABLA 5.8.1 RESPUESTA DEL CDA PARA CODIGOS DIGITALES APLICADOS EN EL MODO DE SALIDA BIPOLAR.

ENTRADA DIGITAL APLICADA	EQUIVTE. DECIMAL	VOLTAJE DE SALIDA (mv)
0 0 0 0 0 0 0 0 0 0 0 0	0	0
0 0 0 0 0 0 0 0 0 0 0 1	1	$+1BmS = 2.44$
1 0 0 0 0 0 0 0 0 0 0 0	2048	$+ V_{ref} / 2 = +5000$
1 1 1 1 1 1 1 1 1 1 1 1	4095	$+ V_{ref} - 1BmS = 9997.6$

$$V_{sal} = 10000mV \cdot \left[\frac{D}{4096} \right], 0 \leq D \leq 4095$$

TABLA 5.8.2 RESPUESTA DEL CDA PARA CODIGOS DIGITALES APLICADOS EN EL MODO DE SALIDA UNIPOLAR

PROCEDIMIENTO DE CALIBRACION

- Ajustar el potenciómetro de referencia, P5, para obtener una lectura de voltaje de -10000 mV en la terminal de entrada 17 de U31.

- b) Aplicar un código de entrada digital cero al CDA.
- c) Girar la perilla del potenciómetro P6 hasta obtener una lectura lo más cercana a 0 mV a la salida de la interfaz, para modo unipolar y +10000mV, para modo bipolar.
- d) Aplicar un código de entrada digital de 4095 al CDA.
- e) Ajustar el potenciómetro P7 para obtener una lectura de 9997.6mV a la salida de la interfaz, para modo unipolar y -9995.1 mV, para modo bipolar.

5.9 TABLA DE COMPONENTES

REFERENCIA	CÓDIGO DEL DISPOSITIVO	DESCRIPCIÓN
U29 Y U30	74LS174	FLIP-FLOP TIPO D CON CLEAR
U14D	74LS125	BUFFER DE TERCER ESTADO
U31	DAC1218	CDA MULTIPLICADOR DE 12 BITS
U32	LF357	AMP. OP. CON ENTRADAS FET
U33	LM358	DOBLE AMP. OP.
U34	LM301N	AMP. OP. DE PROPÓSITO GENERAL
R23	910K, 1X	RESISTENCIA PELÍCULA METÁLICA
R24 A R27	10K, 1X	RESISTENCIA PELÍCULA METÁLICA
R28	22K, 1X	RESISTENCIA PELÍCULA METÁLICA
R29	20K, 1X	RESISTENCIA PELÍCULA METÁLICA
P5	5K	TRIMPOT, 10 VUELTAS
P6	25K	TRIMPOT, 10 VUELTAS
P7	1K	TRIMPOT, 10 VUELTAS
C12	20pF	CAPACITOR CERÁMICO
C13	100pF	CAPACITOR CERÁMICO

6.- CONSTRUCCION DEL PROTOTIPO

El prototipo del diseño electrónico realizado en este proyecto fué construido de acuerdo a los diagramas eléctricos presentados en los capítulos anteriores. la técnica utilizada se denomina "wire-grapping" y consiste en hacer las conexiones entre dos puntos del circuito con un alambre muy delgado, sin aislante entre sus extremos y enrollado en las patas de bases para circuito integrado fabricadas para tal fin.

La mayor ventaja que resulta al emplear esta técnica es que el circuito se construye sobre una tarjeta perforada de espesor adecuado para insertarse en alguna de las ranuras del bus para expansión de la PC, dando posibilidad de hacer correcciones al circuito y trabajar dentro del sistema utilizando un espacio bastante reducido y eliminando, consecuentemente, un cableado adicional entre la computadora y el prototipo.

Los componentes discretos, tales como resistencias y capacitores fueron montados en la tarjeta también haciendo uso de las mencionadas bases para alambrar.

Concerniente a la localización de los puntos de prueba, puentes para configuración y potenciómetros de ajuste, éstos están situados en lugares accesibles para una fácil manipulación (como una referencia, consulte la figura 6.1.1).

Capacitores cerámicos de $0.1\mu F$ han sido agregados a cada circuito integrado integrante de la familia lógica LS-TTL, para atenuar un poco el ruido producido por la conmutación de los transistores internos.

Los conectores de la tarjeta construida, para interfaz con el

medio exterior a la computadora personal, son del tipo DB-25 y la asignación de señales está descrita en las tablas 6.1.1 y 6.1.2.

Debido a las dimensiones tan reducidas en la parte posterior de la PC, que son ocupadas en su mayor parte por conectores al exterior de las tarjetas insertas en el bus de expansión, no es posible colocar dos conectores DB-25 en el espacio asignado a una tarjeta, por ello, una solución viable fué ocupar el doble de espacio, distribuyendo los conectores en dos sitios independientes y teniendo conexión a la tarjeta diseñada, por medio de cable plano de 50 hilos (paso 0.1"), como se puede apreciar en la figura 6.1.2.

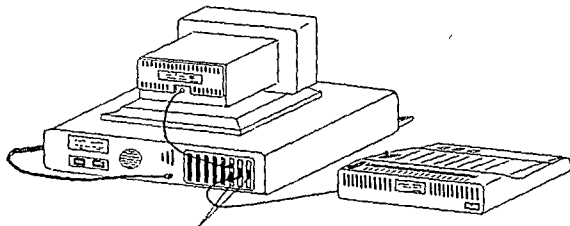
TERMINAL	ASIGNACIÓN	TERMINAL	ASIGNACIÓN
1	CB1, PIA1	14	PB5, PIA2
2	CB2, PIA1	15	PB6, PIA2
3	CA1, PIA1	16	PB7, PIA2
4	CA2, PIA1	17	C1, PTM1
5	CB1, PIA2	18	C2yC3 PTM
6	CB2, PIA2	19	TIERRA
7	CA1, PIA2	20	G1, PTM
8	CA2, PIA2	21	G2, PTM
9	PB0, PIA2	22	G3, PTM
10	PB1, PIA2	23	O1, PTM
11	PB2, PIA2	24	O2, PTM
12	PB3, PIA2	25	O3, PTM
13	PB4, PIA2		

TABLA 6.1.1 ASIGNACION PARA PUERTO DE E-S DIGITAL

(CONECTORES DB-25)

TERMINAL ASIGNACIÓN		TERMINAL ASIGNACIÓN	
1	V1+	14	V1-
2	V2+	15	V2-
3	V3+	16	V3-
4	V4+	17	V4-
5	V5+	18	V5-
6	V6+	19	V6-
7	V7+	20	V7-
8	V8+	21	V8-
9		22	
10	REF EXT CDA	23	SALIDA CDA
11		24	
12	TIERRA	25	TIERRA
13	TIERRA		

TABLA 6.1.2 ASIGNACION PARA PUERTO DE E-S ANALOGICO



CONECTORES DB-25
DE LA TARJETA MULTIFUNCIÓN
DE ENTRADAS Y SALIDAS

PUERTO DE ENTRADAS Y SALIDAS
DIGITALES

PUERTO DE ENTRADAS Y SALIDAS
ANALÓGICAS

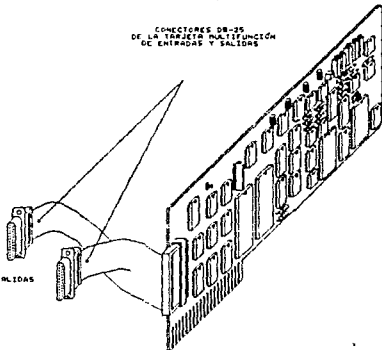


FIGURA 6.1.2 LOCALIZACIÓN DE LOS CONECTORES DE INTERFAZ EN
LA TARJETA MULTIFUNCIÓN DE ENTRADAS Y SALIDAS
Y EN LA COMPUTADORA PERSONAL.

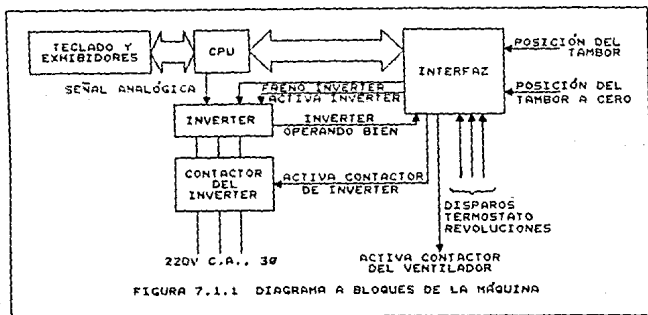
7.- UNA APLICACION DE LA TARJETA MULTIFUNCION

Existe una diversidad bastante amplia de procesos que pueden hacer uso de la tarjeta multifunción diseñada y construida para realizar tareas de control o sólo para capturar datos a través de sus puertos de entrada y mostrarlos en la pantalla del computador.

Como ejemplo de aplicación, se ha hecho una conexión entre los puertos de entrada y salida de la tarjeta multifunción y los puertos de entrada y salida de la unidad de procesamiento central (CPU) de una máquina tejedora industrial, con el fin de hacer una prueba conjunta de todas las interfaces diseñadas y en cierta medida, proporcionar un medio de diagnóstico del funcionamiento de dicha etapa en la tarjeta.

7.1 DIAGRAMA A BLOQUES DE LA MAQUINA

La figura 7.1.1 muestra cómo están interconectados los bloques de cada etapa electrónica en la máquina tejedora.



La unidad de procesamiento central (CPU) concentra y procesa la información recibida de la interfaz y del teclado. Envía señales de respuesta al inverter, la interfaz y los exhibidores. Su función consiste en contabilizar la cantidad de pulsos que llegan a ella, medir tiempos entre dos eventos consecutivos de señal, activar dispositivos periféricos por medio del envío de las señales digitales apropiadas, recibir señales digitales de entrada para conocer las condiciones prevalecientes en el medio exterior, controlar por medio de una señal analógica la velocidad del motor a través del inverter y enviar información a los exhibidores para presentar los datos que el usuario debe conocer.

La interfaz es una tarjeta de circuito impreso con elementos de acoplamiento óptico y acondicionadores de señales de entrada y salida para los distintos elementos conectados a sus líneas. aquí llegan todas las señales de los sensores situados en distintos puntos del sistema. También es un medio para transmitir las decisiones tomadas por el microprocesador de la tarjeta de CPU, necesarias para efectuar un control completo de los dispositivos sometidos a él.

El inverter es un circuito electrónico capaz de convertir un nivel de corriente continua a corriente alterna con un valor de frecuencia equivalente. En este caso, el microprocesador proporciona un voltaje que puede estar dentro del rango de cero a nueve volts c.d., para que el inverter haga variar la frecuencia de la señal de alimentación de c.a. para el motor, y por ende, modificando en forma proporcional la velocidad de rotación de éste.

El contactor del inverter permitirá el paso de corriente al inverter desde la línea de alimentación trifásica. El control de este dispositivo lo comanda la tarjeta de interfaz.

La información necesaria para operar la máquina es introducida mediante el teclado, directamente por el usuario.

Cuando se enciende la máquina, el CPU hace un reconocimiento de

los puertos de entrada y salida, memoria y elementos programables, esto es, envía señales de inicialización a dispositivos y verifica las condiciones iniciales que deben estar presentes para una operación normal, de tal forma que de resultar positivo este reconocimiento, la computadora estará lista para trabajar.

La máquina requiere señales específicas para su funcionamiento. Verbigracia, posición del tambor y posición del tambor a cero provienen de dos fotoacopladores de reflexión los cuales funcionan cuando existe un hueco en el tambor de posiciones. La posición del tambor en cero, indica que la máquina está a tiempo.

Los termostatos de cabeza y del ventilador normalmente están activados si no se alcanza la temperatura de conmutación. Con estas condiciones al arrancar la máquina sin avance, es decir, en vacío, permitirá que los contactores del ventilador y del inverter se activen. A la par con este acontecimiento, el convertidor digital a analógico de la tarjeta de CPU envía al inverter un voltaje para controlar la velocidad de giro del motor, registrándose inmediatamente después, los pulsos de las revoluciones en la interfaz.

7.2 LAS SENALES DE INTERFAZ EN LA MAQUINA

La tarjeta de microprocesamiento de la máquina tejedora recibe señales de la tarjeta de interfaz y a su vez le envía una respuesta a través de sus puertos de salida.

Puesto que se trata de una aplicación sencilla de la tarjeta multifunción construida, las señales básicas que intervienen en este proceso para que el CPU de la máquina pueda arrancar el motor, son las siguientes:

ENTRADAS:

Termostato del ventilador
Posición del tambor
Termostato de la cabeza

Revoluciones
Paro remoto
Paro de aguja
Falta de aceite
Falta de aire

SALIDAS:

Contactador del ventilador
Contactador del motor
Activación de aire
Arranque del inverter
Freno del inverter
Señal analógica (0-9V c.d.)

Todas ellas son señales digitales con niveles lógicos TTL, excepto la utilizada para el control de la velocidad del motor. Cuando la máquina es encendida, el CPU solamente recibe señales, es decir, únicamente los puertos de entrada son atendidos.

Cuando la máquina trabaja en vacío, El CPU direcciona sus puertos de entrada y salida de acuerdo a la dinámica de señales mostrada en la figura 7.2.1.

Para funcionamiento de la máquina en vacío, el voltaje enviado al inverter es de 1.8 volts, en respuesta, el motor empieza a girar.

Cuando la frecuencia de la señal de revoluciones que envía la interfaz es mayor de 1.25Hz, El microprocesador hace que el CDA reduzca su salida en forma proporcional al tiempo, esto es, se decrementará más rápidamente si esta velocidad es bastante superior a la considerada como base hasta llegar incluso a mantener por dos segundos el voltaje para trabajo en vacío (1.8V). Si no se obtiene respuesta, se vuelve inmediatamente al valor de cero en espera del siguiente ciclo para realizar exactamente el mismo procedimiento.

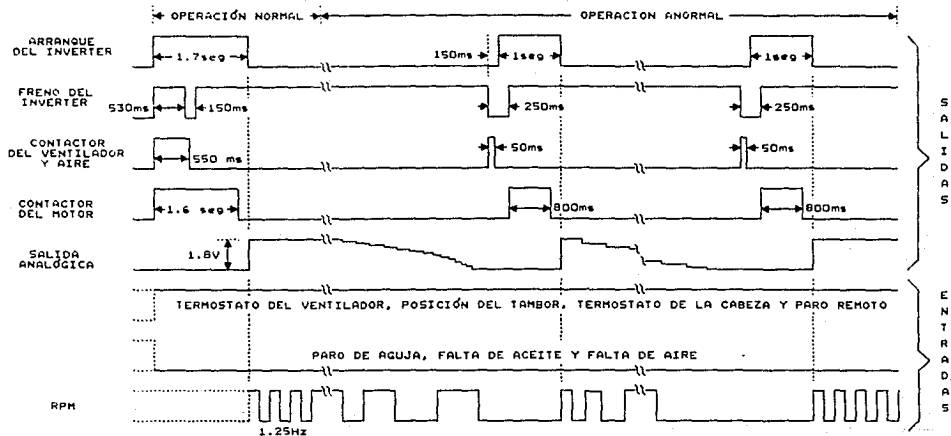


FIGURA 7.2.1 DIAGRAMA DE TIEMPOS PARA FUNCIONAMIENTO DE LA MÁQUINA EN VACÍO

Cuando el microprocesador reconoce una igualdad entre la frecuencia medida y frecuencia considerada como base, el voltaje enviado en ese instante es mantenido y tomado como referencia para ulteriores incrementos o decrementos de velocidad del motor.

7.3 ASIGNACION DE ENTRADAS Y SALIDAS EN LA TARJETA MULTIFUNCION

Para monitorear el estado de las señales de salida del CPU de la máquina y determinar cuándo se presentan transiciones de nivel en ellas, de acuerdo al diagrama de tiempos de la figura 7.2.1, es imprescindible utilizar las líneas de control disponibles al usuario en la tarjeta multifunción.

A excepción de la línea de las revoluciones, todas las demás entradas al CPU deben permanecer inalteradas para una operación en vacío de la máquina. Estas señales pueden ser mantenidas en su nivel adecuado desde el exterior o configurar un puerto digital de la tarjeta multifunción como salidas. La señal cambiante, emulando la equivalencia en hertz de la velocidad del motor, es enviada por un timer de esta tarjeta.

Finalmente, la señal analógica que el CDA de la tarjeta de CPU proporciona al inverter, debe ser muestreada por la interfaz para la conversión analógica a digital de la tarjeta construida.

Las tablas 7.3.1 y 7.3.2 muestran la asignación de entradas y salidas de la tarjeta multifunción, de acuerdo a las señales descritas anteriormente para el funcionamiento de la máquina tejedora en vacío.

SALIDA	ASIGNACIÓN
PB0,PIA2	TERMOSTATO DEL VENTILADOR
PB1,PIA2	POSICIÓN DEL TAMBOR
PB2,PIA2	POSICIÓN DEL TAMBOR A CERO
PB3,PIA2	TERMOSTATO DE LA CABEZA
PB4,PIA2	PARO REMOTO
PB5,PIA2	PARO DE AGUJA
PB6,PIA2	FALTA DE ACEITE
PB7,PIA2	FALTA DE AIRE
O1, TIM1	FRECUENCIA BASE INTERNA
O2, TIM2	REVOLUCIONES

TABLA 7.3.1 ASIGNACION DE ENTRADAS EN LA TARJETA MULTIFUNCION

ENTRADA	ASIGNACIÓN
CB1, PIA1	CONTACTOR DEL VENTILADOR
CB2, PIA1	CONTACTOR DEL MOTOR
CA1, PIA1	AIRE ACTIVADO
CA2, PIA1	ARRANQUE DEL INVERTER
CB1, PIA2	FRENO DEL INVERTER
CANAL1, CAD	SALIDA ANALÓGICA

TABLA 7.3.2 ASIGNACION DE SALIDAS EN LA TARJETA MULTIFUNCION

7.4 CONSIDERACIONES DE UTILIDAD PARA LA PROGRAMACION DE LA TARJETA MULTIFUNCION

Referente a esta aplicación, algunas consideraciones fueron necesarias para programar las interfaces de la tarjeta multifunción.

Para el cálculo del período de la señal de salida del timer, es necesario reducir la frecuencia que éste toma como base para los conteos internos, a guisa de que se obtengan tiempos más largos, pero por supuesto, dentro de los límites convenientes.

El período de la señal de salida del timer en modo continuo es:

$$T = 2(n+1)t \quad \circ \quad f = 1/T \quad \dots \quad 7.4.1$$

La relación de voltaje a frecuencia es:

$$1.8V / 1.25Hz = V / x, \text{ de aquí que } x = 0.694V \text{ (Hz)} \dots 7.4.2$$

Igualando 7.4.1 y 7.4.2 y reduciendo se obtiene:

$$t = 1 / [1.389V (n+1)] \dots 7.4.3$$

Para $n = 65535 = ffff_{hex}$ y $V_{min} = 10mV$, de 7.4.3, $t = 1.099ms$.

Con $t = 1.099ms$ y $V_{min} = 10V$, de 7.4.3, $n_{min} = 41_{hex}$.

En forma general, para determinar el valor de n , de 7.4.3:

$$n = 1 / [(1.389V)(1.099ms)] - 1 = \lfloor 655/V - 1 \rfloor \dots 7.4.4.$$

donde V está dado en volts.

Se observa que la condición de la frecuencia con periodo de 1.099ms debe ser proporcionada por otro timer como lo muestra la figura 7.4.1.

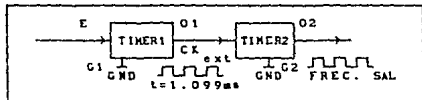


FIGURA 7.4.1 CONFIGURACION DE LOS TIMERS EN LA TARJETA MULTIFUNCION.

Para el timer 1, aplicando la ecuación 7.4.1, donde $t = 1.099$ milisegundos, n debe ser calculado dependiendo de la frecuencia base configurada en la tarjeta.

Para 4.770933MHz y seleccionando un submúltiplo de 16 veces ésta; $n = 163 = A3_{hex}$.

para 8MHz y seleccionando un submúltiplo de 16 veces ésta;
 $n = 274 = 112_{hex}$.

Para 10MHz y seleccionando un submúltiplo de 16 veces ésta;
 $n = 342 = 156_{hex}$.

Cabe señalar que al hacer modificaciones continuas al valor en los candados del timer, la frecuencia de salida puede variar significativamente. Por ello, es conveniente que el acceso a éste sea restringido para cambios relevantes.

Las líneas PB0 a PB7 de la PIA2, son configuradas como salidas.

Se activan las banderas de interrupción correspondientes a todas las líneas de control de la PIA1 y CB1 de la PIA2 y son configuradas estas líneas para producir interrupción en transición de bajada de la señal de entrada.

Se hace una verificación de la activación en transición de bajada de todas estas señales de control, observando su secuencia conforme al diagrama de la figura 7.2.1 e indicando su ausencia si el período de puesta ha pasado. También revisará si vuelve a inicializarse la máquina por alguna anomalía de las señales de entrada, verbigracia, las revoluciones.

8.- PROGRAMACION

La programación que el computador necesita para inicializar los registros de las interfaces diseñadas y comandar su apropiada operación normal e iterativa, está compuesta de pequeñas rutinas que desempeñan actividades diversas y que se vinculan unas con otras para ejecutar una tarea específica.

En este capítulo se describen, mediante diagramas de flujo y explicaciones concisas, las rutinas que conforman la programación indispensable que es requerida para operar el hardware, tanto de la computadora, como el diseñado en este proyecto.

8.1.- ALGUNAS CARACTERISTICAS UTILES DEL LENGUAJE DE PROGRAMACION C.

En este apartado son mencionados los elementos de Turbo C que fueron más esenciales para la programación realizada.

La característica de compartamentación de código y de datos que brinda el lenguaje de programación C se utiliza al momento de hacer la declaración de las variables de tipo local o de tipo global. En algunos bloques del programa fué preferible aislar la relación entre las variables de éste y las que externamente se manejan. En cambio, en otros casos se hizo necesario declarar las variables comunes a todos los bloques del programa.

Las constantes pudieron ser declaradas en forma decimal o hexadecimal, según fuera necesario. Incluso, en los formatos de salida para impresión de variables en pantalla se prefirieron aún más flexibles.

Los operadores relacionales y lógicos vienen siendo utilizados

frecuentemente para la toma de desiciones.

Existe una forma de forzar una expresión a ser de un tipo específico mediante una construcción conocida como "cast", usada principalmente para la obtención de valores finales.

los arreglos y cadenas son elementos de la programación que resultan ser imprescindibles en todo momento. Generalmente, para mayor eficiencia, se hace la selección de sus elementos con uso de los apuntadores.

Precisamente los apuntadores son variables que contienen una dirección de memoria, haciendo más rápida la localización de las variables o elementos a operar. Nos permiten, además, hacer llamadas por referencia, es decir, copiando la dirección del argumento de una función en un parámetro; al sufrir algún cambio este parámetro, la variable que es usada para llamar la subrutina también es afectada directamente.

Las estructuras son ocupadas en el programa cuando es requerido referenciar un grupo de variables bajo el mismo nombre. En muchos casos se referencian utilizando apuntador.

Tipos especiales de estructura son los campos de bit que definen la longitud de bits que tendrá cada elemento. En el listado de la programación, presentado en páginas más adelante, podrá verse la utilidad de esta opción vinculada con la definición de unión a otra estructura o variable.

Sin los operadores sobre bits, que proporciona el lenguaje de programación C, la transferencia de información en las interfaces programables y su manejo adecuado sería engorroso o quizá imposible.

Por último, del procesador de Turbo C se hace uso de algunas directivas como #define e #include. La primera es utilizada para definir un identificador con una cadena y el segundo, permite

Incluir otros archivos fuentes en el nuestro, dando posibilidad de contar con las funciones de la biblioteca de Turbo C, verbigracia, las relacionadas con el sistema operativo.

8.2.- LAS RUTINAS DEL PROGRAMA

La estructura general del programa está representado en el diagrama de flujo de la figura 8.2.1. Allí puede observarse que después de la inicialización de los dispositivos de entrada y salida existe un bloque intermediario que controla la bifurcación del programa hacia dos rutinas básicas.

El modo de operación para calibración consiste en una rutina que despliega el menú en video y toma una desición para desvío hacia dos rutinas más pequeñas; ellas cumplen los procedimientos de calibración descritos en los capítulos 4 y 5 correspondientes al CAD y el CDA.

En caso de seleccionar el CAD, se efectúan lecturas sucesivas del canal analógico número uno y se visualizan en pantalla. La interrupción a esta rutina es emitida por el usuario vía el teclado. En este momento, se está en condiciones de elegir entre la repetición del procedimiento anterior o regresar al menú principal.

En caso de seleccionar el CDA, en el menú siguiente se dan dos opciones para el modo de operación que tendrá este dispositivo, esto es, unipolar o bipolar. Esto sirve para determinar cuáles constantes y fórmulas utilizar. Se procede entonces a producir la salida analógica para los ajustes a cero y de ganancia en esta interfaz.

Cuando el menú de operación normal es elegido, entran en funcionamiento las rutinas para activar entradas y salidas digitales e interrupciones por hardware, son inicializados arreglos y se procede a capturar datos del CAD y a enviar voltajes al exterior con la programación de la interfaz de CDA.

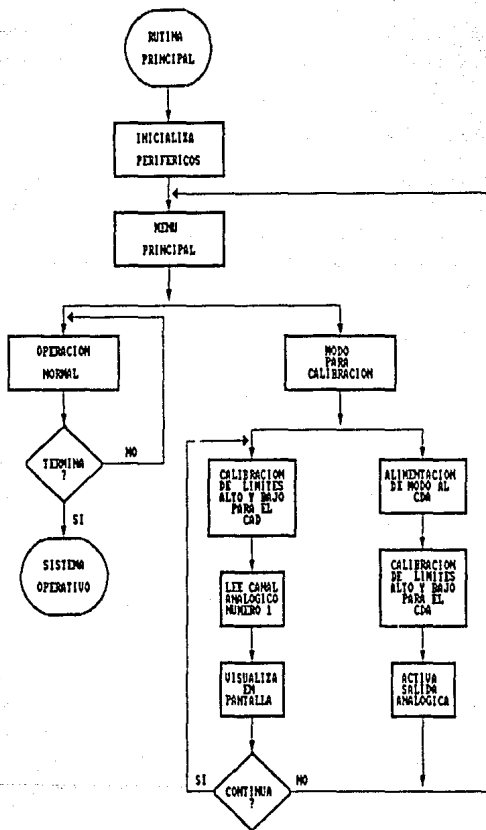


FIGURA 8.2.1 DIAGRAMA DE FLUJO QUE MUESTRA LA ESTRUCTURA GENERAL DE LA PROGRAMACION

Si así se desea, los Timer's también pueden operar en el modo que más convenga.

Las rutinas de video programan al controlador MC6845 mediante funciones que brinda el lenguaje de programación C, para desplegar la información en pantalla del proceso que está llevándose a cabo.

Podrá finalizarse la ejecución del programa volviendo al sistema operativo, presionando una tecla escogida.

A continuación se da una breve descripción de las rutinas, arreglos y estructuras utilizados para la programación básica.

RUTINAS, ARREGLOS Y ESTRUCTURAS DE LA PROGRAMACION BASICA

Struct pia *p_pia - Estructura para los registros de las pias
struct byte y - Unión de la estructura de campos de bit y las
union ent,sal variables para ent. y sal. de las pias.
struct bytes y - Unión de la estructura para los bytes del re-
union timvar gistro contador del PTM.
struct timer *p_timer - Estructura para los registros del PTM
struct sensor *p_sensor - Estructura de las variables para cada
canal analógico.
canal analógico.
apunpia() - Inicializa los apuntadores de cada registro de las
pias.
inipia() - Inicializa registros de las pias 1 y 2.
lee_pia() - Lee un sólo bit o todo el byte del registro de datos
de las pias 1 y 2.
escribe_pia() - Envía byte al registro de datos de las pias 1 ó 2.
ptm() - Asigna direcciones a los registros del PTM.
initimer() - Inicializa modos de operación en el PTM.
RPM() - Calcula la frecuencia correspondiente a la velocidad del
motor.
iniarr() - Limpia todos los arreglos para las variables analógicas

inibase() - Inicializa arreglos de los canales analógicos.
anainc() - Asigna apuntadores a las variables de los canales
anachk() analógicos (usa **anachk()**).
analog() - Lee canal analógico. (Utiliza **anaent()**).
anaent() - Llama rutinas para conversión A-D y escalado.
leecana() - Indica inicio de conversión, lee dato y lo acondiciona.
scale() - Efectua la multiplicación por un escalar de la variable
muestreada.
salana() - Envía palabra-dato al CDA.
habilita_int() - Habilita las interrupciones a utilizar y cambia
vectores de interrupción.
interrupt atiende_int() - Rutina de atención para interrupciones
(llama subrutinas particulares).
atiende_cal_pia1() - Atiende interrupción provocada por la línea
de control CA1, pia1.
atiende_cb1_pia1() - Atiende interrupción provocada por la línea
de control CB1, pia1.
atiende_ca2_pia1() - Atiende interrupción provocada por la línea
de control CA2, pia1.
atiende_cb2_pia1() - Atiende interrupción provocada por la línea
de control CB2, pia1.
atiende_cal_pia2() - Atiende interrupción provocada por la línea
de control CA1, pia2.
atiende_cb1_pia2() - Atiende interrupción provocada por la línea
de control CB1, pia2.
atiende_ca2_pia2() - Atiende interrupción provocada por la línea
de control CA2, pia2.
atiende_cb2_pia2() - Atiende interrupción provocada por la línea
de control CB2, pia2.
atiende_tim1() - Atiende interrupción provocada por el timer1.
atiende_tim2() - Atiende interrupción provocada por el timer2.
atiende_tim3() - Atiende interrupción provocada por el timer3.
panini() - Despliega pantalla inicial (permanente).
ini_notas() - Despliega recuadro destinado a mensajes casuales.
impanel() - Imprime los parámetros analógicos (hace uso de
imprime() **imprime()** y **formato<>**).
anota() - Pequeña rutina para despliegue de mensajes.

- *nota<> - Arreglo que contiene todos los mensajes para despliegue casual.
- imp_ent_sal() - Imprime valores de los parámetros de entrada y salida (utiliza el arreglo formato<>).
- imp_ptm() - Imprime los valores de los parámetros de contabilización y temporizado por timer (usa formato<>).
- *formato<> - Arreglo que contiene los diversos formatos para impresión en pantalla.
- menu_video() - Es la rutina encargada de presentar el menú principal en la pantalla.
- cal_amp() - Direcciona el 1^{er} canal de la interfaz de CAD, permitiendo efectuar la calibración del amp. de instrumentación.
- cal_cadmax() - Muestra en pantalla el procedimiento de ajuste de ganancia de el CAD y manda efectuar conversiones en el canal No. 1 de esta interfaz.
- cal_cadmin() - Muestra en pantalla el procedimiento de ajuste a cero del CAD y manda efectuar conversiones en el canal No. 1 de esta interfaz.
- menu_cda() - Presenta en video el menú para calibración del CDA.
- cal_cda() - Efectúa los procedimientos de calibración para el CDA, dependiendo del modo de operación configurado.

Para una mejor explicación del programa, los siguientes diagramas de flujo corresponden a la programación de cada una de las interfaces o para la presentación en pantalla de algún menú específico.

RUTINAS PARA ENTRADAS DIGITALES

Las rutinas `apunpia()` e `inipia()` son ejecutadas solamente una vez y se hace de hecho, previamente a todas las demás funciones de entrada y salida.

Un pequeño bloque de programa llamado `lee_pia()` es el encargado de programar los puertos de entrada digital. Su argumento especi-

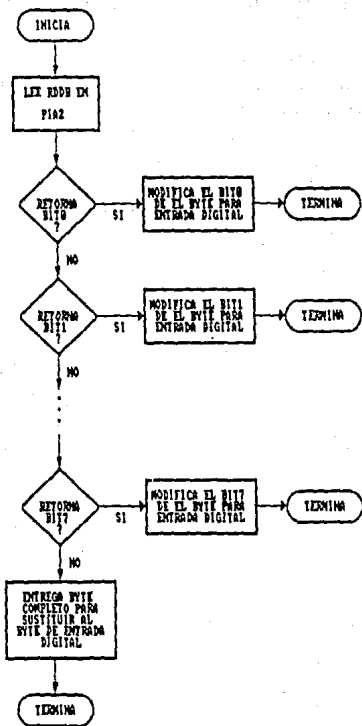


FIGURA 8.2.2 DIAGRAMA DE FLUJO PARA ENTRADAS DIGITALES

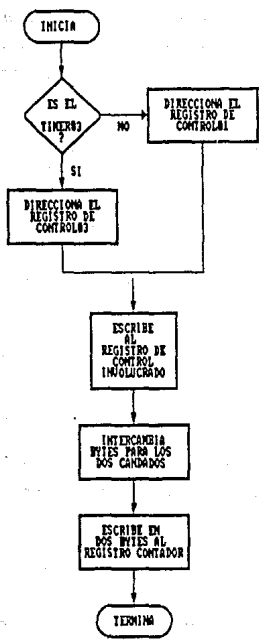


FIGURA 8.2.3 DIAGRAMA DE FLUJO PARA LA PROGRAMACION DEL PIM

fica cuál es la entrada que va a leer o define si va a retornar el byte completo. Utiliza una función discriminadora de casos, denominada "switch".

Se tiene definida una unión de una estructura con campos de bit y un entero. De esta forma es posible alterar únicamente un bit específico de los bytes destinados para los puertos de entrada y salida digital.

RUTINA PARA SALIDAS DIGITALES

Aquí el proceso es bastante simple. Solamente debe modificarse el bit deseado de la estructura de campos de bit y llamar `escribe_pia()` enviando como argumento el byte para salida digital. La función de `escribe_pia()` es enviar un byte completo al registro de datos, lado b de la `pia2`.

RUTINA PARA OPERACIONES DE CONTABILIZACION Y TEMPORIZADO

Las operaciones de contabilización y temporizado de señales digitales están comandadas por `initimer()`, pero previamente se inicializan los apuntadores utilizados con las direcciones correspondientes a los registros de cada timer mediante `ptm()`.

`initimer()` puede programar cualquiera de los registros del timer. Esta rutina general es bastante flexible, sólo es necesario pasar argumentos correspondientes a la dirección del registro, el número del timer involucrado, el dato para el registro de control, la palabra que debe de tener el registro de control No. 2 y los dos bytes para los candados del timer.

RUTINAS PARA LA CONVERSION ANALOGICO A DIGITAL

Se invocan con el nombre de `analog(j)`; sin embargo, primero es hecha la inicialización de los arreglos utilizados para almacenar la información de cada canal, llamando `inibase()`. En la operación de este pequeño procedimiento son llamadas las subrutinas `iniarr()`

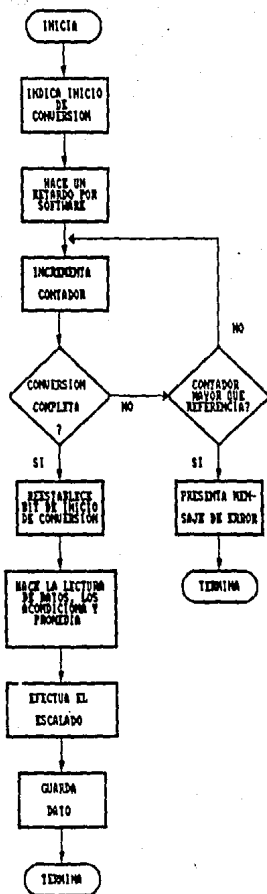


FIGURA 8.2.4 DIAGRAMA DE FLUJO PARA LA CONVERSION ANALOGICA A DIGITAL

anainc() y anachk()); esta última es la encargada de asignar apun-
tadores para las variables de las estructuras de tipo sensor
(canal1, canal2, ..., etc.). La figura 8.2.4 es el diagrama de
flujo que corresponde a analog(j).

Todo funciona a base de rutinas anidadas: analog() hace llamadas
a anaent() y ésta a su vez invoca a leeana() y scale().

Una cosa atractiva en este programa es que produce un código de
error útil en el caso de que el CAD no emita la señal de conver-
sión finalizada en un tiempo prudente, enviando un letrero inter-
mitente en el área de la pantalla destinada a los mensajes
casuales.

El arreglo suma_ana<> puede expandirse en dimensión para almace-
nar un mayor número de muestras y hacer su promediación.

Algunas de las rutinas involucradas deberán ser modificadas
ligeramente para tomar las muestras por canal deseadas y presentar
la lectura en pantalla.

RUTINA PARA SALIDA ANALOGICA

La programación de la interfaz para la conversión digital a
analógica es realizada por la rutina salana().

Recibe como argumentos el voltaje de salida, el modo en que se
ha configurado la interfaz y el apuntador a la dirección de la
pia2. El procedimiento es el siguiente: se determina qué fórmula
usar (sugeridas en el capítulo 6), dependiendo del modo, son
aconicionados los dos bytes de salida (sólo se utilizan 12 bits)
y son enviados consecutivamente a los candados que alimentan la
entrada de datos del CDA. Además, aquí se imprime en pantalla el
voltaje o valor del parámetro correspondiente que está siendo cam-
biado.

RUTINAS DE ATENCION A INTERRUPCION

Para que cualquier dispositivo pueda emitir una interrupción, es preciso habilitarlas escribiendo apropiadamente en su registro de control. La rutina encargada de esta tarea es `habilita_int()`. Además de ello, cambia los vectores de interrupción y habilita $\overline{\text{IRQ3}}$ en el controlador de interrupciones.

La rutina "`interrupt atiende_int()`" tiene su comienzo en la dirección apuntada por el nuevo vector de interrupción para la línea $\overline{\text{IRQ3}}$. Allí se procede a leer los registros de estado y de control para los dispositivos programables para determinar cuál de ellos interrumpió y poder turnar a la rutina encargada de la atención específica y es emitido el comando de fin de interrupción.

Estas rutinas de atención específica a interrupción borran las banderas de interrupción a los registros debidos y efectúan un procedimiento que fué programado de acuerdo a como la situación lo demandó.

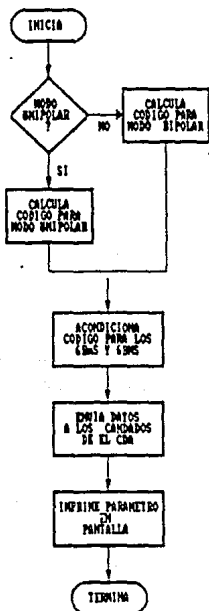


FIGURA 0.2.3 DIAGRAMA DE FLUJO PARA ACTIVAR SALIDA ANALOGICA

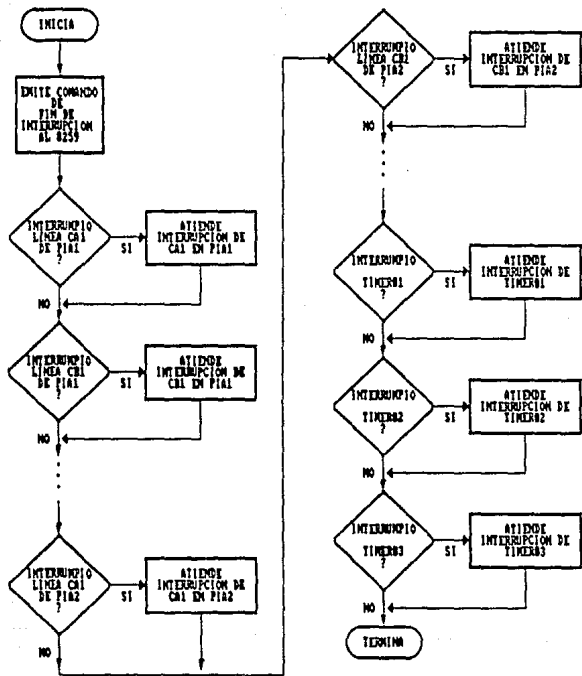


FIGURA 8.2.6 DIAGRAMA DE FLUJO PARA ATENCION DE INTERUPCION POR IRQ3

RUTINAS PARA DESPLIEGUE DE INFORMACION EN PANTALLA

Existe un procedimiento en el modo de operación normal para presentar los caracteres permanentes en pantalla, es decir, que no serán cambiados. Este es ejecutado por `panini()`.

Al llamar `ini_notas()`, se imprime el complemento del esqueleto de la pantalla, destinándolo a la presentación de avisos casuales que la rutina `anota()` será capaz de enviar. La característica de `anota()` es que puede indicársele el color del texto con que se desea imprimir en pantalla, inclusive en texto centelleante (como se hace para anunciar error en el CAD).

Las subrutinas para impresión en pantalla de los parámetros capturados o enviados al exterior son `impanel()`; para entradas analógicas, `imp_ptm()`; para variables del PTM e `imp_ent_sal()`; para todos los bits de entrada y salida. En todos los casos es especificado un formato de impresión, seleccionado del arreglo `*formato<>`.

También se tiene otra rutina que está dedicada a la presentación de las pantallas que contienen las instrucciones a seguir, utilizadas en el modo de calibración. En ésta, además se hacen llamadas a `analog()` y `salana()` para operar directamente los puertos de las interfaces para la conversión analógica a digital y conversión digital a analógica, respectivamente. Las figuras restantes en este capítulo muestran los distintos letreros presentados en la pantalla cuando se hace una llamada a las rutinas `menu_video()`, `ini_notas()` y `panini()`.

Debido a que el programa creció progresivamente y el tiempo de compilación se agrandó también, fué necesario hacer una división del programa general en tres archivos separados, pero vinculando íntimamente las variables utilizadas por medio de declaraciones de tipo "extern".

De esta manera cualquier programa pudo ser compilado aparte, proporcionando como ventajas la reducción del tiempo de compilación cuando sólo se hicieron modificaciones en un archivo.

RUTINA PRINCIPAL

El procedimiento de la rutina principal tiene las siguientes funciones principales:

- a) Inicializa variables.
- b) Llama a las rutinas para inicializar los registros de las PIAS y el PTM.
- c) Invoca la rutina para la presentación del menú general.
- d) Si así se ha elegido, presenta el esqueleto de la pantalla para modo de operación normal.
- e) Presenta en video el área correspondiente a notas casuales.
- f) Inicia arreglos para canales analógicos.
- g) Prepara el timer No. 1 para modo de operación continuo con la frecuencia base.
- h) Envía información al puerto de salida digital.
- i) Habilita interrupciones.
- j) Manda efectuar el muestreo analógico.
- k) Manda hacer la conversión digital a analógica.
- l) Calcula la velocidad del motor y programa la frecuencia en el timer No. 2.

MENUS DE PANTALLA

ESTE PROGRAMA TIENE UNICAMENTE DOS MODOS DE OPERACION PARA EL CONTROL DEL HARDWARE.

UTILICE LAS TECLAS CON LA LETRA INDICADA DE LAS DOS OPCIONES SIGUIENTES PARA SU SELECCION.

CALIBRACION

OPERACION NORMAL

PRESENTACION EN PANTALLA DE EL MENU PRINCIPAL

ESTE PROGRAMA TIENE UNICA-
MENTE DOS MODOS DE OPERACION
PARA EL CONTROL DEL HARDWARE.

UTILICE LAS TECLAS CON LA
LETRA INDICADA DE LAS DOS
OPCIONES SIGUIENTES PARA SU
SELECCION.

CALIBRACION

CA

CD

PRESENTACION EN PANTALLA DE EL MENU PRINCIPAL
(SELECCION DEL MODO DE CALIBRACION)

CALIBRACION CAD

1-Aplicar un voltaje de 0 mV en la entrada del canal #1 y ajustar el potenciómetro P1 para medir 0mV a la entrada del convertidor.

2-Aplicar un voltaje para escala máxima y ajustar el potenciómetro P2 hasta medir el valor amplificado correspondiente a la entrada del convertidor.

Presionar una tecla cuando desee continuar con este procedimiento.

PRESENTACION DE LAS INSTRUCCIONES EN PANTALLA PARA LA CALIBRACION DEL AMPLIFICADOR DIFERENCIAL (CAD).

AJUSTE DE ESCALA PLENA

Aplicar un voltaje correspondiente a escala máxima menos 1/2 bit menos significativo y ajustar el potenciómetro P3 hasta que el valor encerrado en el cuadro oscile entre 4094 y 4095.

4095

Presionar una tecla cuando desee continuar con este procedimiento.

PRESENTACION EN PANTALLA DE LAS INSTRUCCIONES PARA EL AJUSTE DE ESCALA PLENA EN EL CONVERTIDOR ANALOGICO A DIGITAL

AJUSTE A CERO

Aplicar un voltaje correspondiente a escala cero más $1/2$ bit menos significativo y ajustar el potenciómetro P4 hasta que el valor encerrado en el cuadro oscile entre cero y uno.



Presionar la tecla **E** si desea volver a realizar el procedimiento de calibración de el CAD o cualquier otra tecla para regresar al menú principal.

PRESENTACION EN PANTALLA DE LAS INSTRUCCIONES PARA EL AJUSTE DE ESCALA CERO EN EL CONVERTIDOR ANALOGICO A DIGITAL

CALIBRACION DE EL CDA

Una vez configurada la tarjeta, indique presionando la tecla **1**, si el modo de salida debe ser unipolar, o bien; presione la tecla **2** si el modo de salida tendra que ser bipolar.

PRESENTACION EN PANTALLA DEL MENU PARA CALIBRACION DE EL
CONVERTIDOR DIGITAL A ANALOGICO

CALIBRACION DE EL CDA AJUSTE DE GANANCIA

MOD0 UNIPOLAR

Ajustar, de ser necesario, el potenciómetro P_4 de la tarjeta hasta lograr obtener una lectura lo mas proxima a 9995 milivolts en la salida de el convertidor.

Presionar cualquier tecla despues de realizar la operacion correctamente para volver al menu principal.

PRESENTACION DE LAS INSTRUCCIONES EN PANTALLA PARA EL AJUSTE DE GANANCIA EN MOD0 UNIPOLAR DE EL CONVERTIDOR DIGITAL A ANALOGICO

CALIBRACION DE EL CDA
AJUSTE DE GANANCIA

MODO BIPOLAR

Ajustar, de ser necesario, el potenciómetro P6 de la tarjeta hasta lograr obtener una lectura lo mas proxima a -9995 milivolts en la salida de el convertidor.

Presionar cualquier tecla despues de realizar la operacion correctamente para volver al menu principal.

PRESENTACION DE LAS INSTRUCCIONES EN PANTALLA PARA EL AJUSTE DE GANANCIA
EN MODO BIPOLAR DE EL CONVERTIDOR DIGITAL A ANALOGICO

CALIBRACION DE EL CDA
AJUSTE DE OFFSET
MODO UNIPOLAR

A partir de este momento usted debe obtener una lectura lo mas cercana a cero milivolts en la salida de el convertidor. De no ser asi, ajustar la perilla del potenciometro P5 hasta obtener resultados satisfactorios.

Presionar una tecla cuando este realizado el procedimiento optimamente.

PRESENTACION DE LAS INSTRUCCIONES EN PANTALLA PARA EL AJUSTE A CERO EN MODO UNIPOLAR DE EL CONVERTIDOR DIGITAL A ANALOGICO

CALIBRACION DE EL CDA
AJUSTE DE OFFSET
MODO BIPOLAR

A partir de este momento usted debe obtener una lectura lo mas cercana a 10000 milivolts en la salida de el convertidor. De no ser asi, ajustar la perilla del potenciometro P5 hasta obtener resultados satisfactorios.

Presionar una tecla cuando este realizado el procedimiento optimamente.

PRESENTACION DE LAS INSTRUCCIONES EN PANTALLA PARA EL AJUSTE A CERO EN MODO BIPOLAR DE EL CONVERTIDOR DIGITAL A ANALOGICO

ENTRADAS ANALOGICAS

CANAL #1 18V0.20 mV
 CANAL #2 [REDACTED] mV
 CANAL #3 [REDACTED] mV
 CANAL #4 [REDACTED] mV
 CANAL #5 [REDACTED] mV
 CANAL #6 [REDACTED] mV
 CANAL #7 [REDACTED] mV
 CANAL #8 [REDACTED] mV

ENTRADAS DIGITALES

CONT. VENT.
 CONT. MOTOR
 AIRE
 ARR. INVTR
 FRENO INVTR
 ENTRADA#6
 ENTRADA#7
 ENTRADA#8

SALIDA ANALOGICA

VSAL = [REDACTED] mV

TIMER

TIMER#1 478 MICROSEG
 TIMER#2 500 RPM
 TIMER#3 UNIDADES

SALIDAS DIGITALES

TERM. VENT.
 POS TAMB 0
 POS. TAMBOR
 TERM. CABZA.
 PARO REMTO.
 PARO AGUJA
 FALTA ACEITE
 FALTA AIRE

COMENTARIOS

OPERACION
 MAQUINA ENCENDIDA

INICIA ARRANQUE

IRQ3 HABILITADA

PRESIONE LA TECLA
 DE ENTRADA PARA
 INTERRUMPIR

PRESIONE LA TECLA
 ESC PARA FINALIZAR

PRESENTACION DE LA PANTALLA CORRESPONDIENTE AL MODD DE OPERACION NORMAL

```

/.....
.....
**      8.3 PRESENTACION DE LOS ARCHIVOS FUENTE  **
**      ..                                       **
.....
...../

```

```

#include "dos.h"
#include "stdio.h"
#include "conio.h"
#define ESC          0x1b
#define CR          0x0d
#define BELL        0x07
#define continuo    0x82
#define continuo2   0x80
#define continuo_IG 0x92
#define disparo     0xa2
#define disparo_IG  0xb2
#define comp_frec_mayor 0x4a
#define comp_frec_menor 0x6a
#define comp_pulso_mayor 0x5a
#define comp_pulso_menor 0x7a
#define deshab      0x00
#define BLACK       0x00
#define BLINKING    0x80
#define frec4       0xa2 /* 0x29 */
#define frec8       0x44
#define frec10      0x55

int temp;
unsigned char *mac, *nrpm;
char error, secuencia;
char *formato[] = {
    "%6.2f",
    "%5.0f",
    "%s",
    "%1d",
    "%5.0d"
};

extern char *nota[];
struct pia {
    int rdda, rca, rddb, rcb; };
typedef struct pia *p_pia;
struct pia pia1, pia2;

struct byte {
    int bit0 : 1; /* SALIDA ENTRADA */
    int bit1 : 1; /* T. VENT. - - */
    int bit2 : 1; /* POS. T. 0 - - */
    int bit3 : 1; /* POS. TAMB. - - */
    int bit4 : 1; /* T. CABZA. - - */
    int bit5 : 1; /* PARO RENTO. - - */
    int bit6 : 1; /* PARO DE AGUJA - - */
    int bit7 : 1; /* FALTA DE ACEITE - - */
    int bit8 : 1; /* FALTA DE AIRE - - */
};

```

```

union bits(
    unsigned char ch;
    struct byte bit;
    )ent,sal;

struct band( int bit0 : 1; /* ca1, pia1 y PTM1 */
             int bit1 : 1; /* ca2, pia2 y PTM2 */
             int bit2 : 1; /* cb1, pia1 y PTM3 */
             int bit3 : 1; /* cb2, pia1 */
             int bit4 : 1; /* ca1, pia2 */
             int bit5 : 1; /* ca2, pia2 */
             int bit6 : 1; /* cb1, pia2 */
             int bit7 : 1; /* cb2, pia2 */
             );
union bands(
    unsigned char ch;
    struct byte bit;
    )Interr_pia,Interr_ptm;

union ( unsigned int n;
        struct ( unsigned pb:8;
                  unsigned pa:8;
                  ) bytes;
        ) timvar;
struct timer(
    unsigned int regctrl;
    unsigned int regctdor;
    float valing, valing2;);
typedef struct timer *p_timer;
struct timer tim1,tim2,tim3;

struct sensor(
    int suma_sna[10];
    long conv;
    double kcte;
    unsigned char canal;
    int raw_val;
    float valing; );
typedef struct sensor *p_sensor;

struct sensor canal0, canal1, canal2, canal3;
struct sensor canal4, canal5, canal6, canal7;

void inipia();
void initimer();
void salana();
void panlni();
void imprime();
void impanel();
void inl_notas();
void anota();

```

```

void interrupt (*s)(void);
void interrupt atiende_int();
void imp_ent_sal();
void imp_ptm();

```

```

/*****
 * INICIALIZA APUNTADES PARA LOS REGISTROS DE LAS PIAS *
 *****/

```

```

apunpia(da,ca,cb,cb,p)
int da,ca,cb,cb;
p_pia p;
{
    p->rdda = da;
    p->rca = ca;
    p->rddb = cb;
    p->rcb = cb;
}

```

```

/*****
 * INICIALIZA LOS REGISTROS DE LAS PIAS 1 Y 2 *
 *****/

```

```

void inipia(p,q)
p_pia p;
p_pia q;
{
    unsigned char dato = 0;
    outportb(p->rca,dato);
    outportb(p->rcb,dato);
    outportb(q->rca,dato);
    outportb(q->rcb,dato);
    outportb(p->rddb,dato); /* pone todas E en rddb, pia1 */
    dato = 0xfe;
    outportb(q->rdda,dato); /* especifica E-S en rdda, pia2 */
    dato = 0x0f; /* especifica E-S en rdda, pia1 */
    outportb(p->rdda,dato);
    dato = 0xff; /* especifica sal en rddb, pia2 */
    outportb(q->rddb,dato);
    dato = 0x04; /* direcciona reg. de datos */
    outportb(p->rca,0xd); /* y habilita interrupciones*/
    outportb(p->rcb,0xd);
    outportb(q->rca,dato);
    outportb(q->rcb,0x05);
}

```

```

/*****
 * LEE INFORMACION DEL PUERTO DE ENTRADA (PIA2) *
 *****/

lee_pia(digito)
unsigned char digito;
(
P_pia p;
struct b{ int bt0 : 1;
          int bt1 : 1;
          int bt2 : 1;
          int bt3 : 1;
          int bt4 : 1;
          int bt5 : 1;
          int bt6 : 1;
          int bt7 : 1;
        };
union bts {
    unsigned char dato;
    struct b bt;
} comp;

p = &pia2;
comp.dato = inportb(p->rcdb); /* hace lectura del puerto */
switch(digito){ /* selecciona bit */
    case 0:
        ent.bit.bt0 = comp.bt.bt0;
        break;
    case 1:
        ent.bit.bt1 = comp.bt.bt1;
        break;
    case 2:
        ent.bit.bt2 = comp.bt.bt2;
        break;
    case 3:
        ent.bit.bt3 = comp.bt.bt3;
        break;
    case 4:
        ent.bit.bt4 = comp.bt.bt4;
        break;
    case 5:
        ent.bit.bt5 = comp.bt.bt5;
        break;
    case 6:
        ent.bit.bt6 = comp.bt.bt6;
        break;
    case 7:
        ent.bit.bt7 = comp.bt.bt7;
        break; /* si no se cumplen los casos se retorna */
                /* el byte completo. */
    default :
        ent.ch = comp.dato;
}
)

```

```

/*****
 * ENVIA INFORMACION AL PUERTO DE SALIDA *
 *****/

escribe_pla(dato)
unsigned char dato;
{
    p_pla p;
    p = &pla2;
    outportb(p->rddb,dato);
}

/*****
 * ASIGNA DIRECCION A LOS REGISTROS DEL PTM *
 *****/

ptm(rc,ctdor,p)
unsigned int rc,ctdor;
p_timer p;
{
    p->regctrl = rc;
    p->regctdor = ctdor;
    p->valing = 275;
    p->valing2 = 0;
}

/*****
 * INICIALIZA MODOS DE OPERACION DE LOS TIMERS *
 *****/

void initimer(p,tim,dacctrl,ctrl2)
unsigned char tim,dacctrl,ctrl2;
p_timer p;
{
    unsigned char sal,temporal;
    temporal = timvar.bytes.pb;
    timvar.bytes.pb = timvar.bytes.pa; /* intercambia bytes */
    timvar.bytes.pa = temporal;
    if(tim){ /* tim=0, para timer1 */
        sal = ctrl2 & 0xfe; /* tim=1, para timer3 */
        outportb(0x311,sal); /* direcciona reg. ctrl. tim2 */
    }
    else {
        sal = ctrl2 | 0x01;
        outportb(0x311,sal);
    }
    outport(p->regctdor,timvar.n); /* escribe al reg. contador */
    outportb(p->regctrl,dacctrl); /* define modo en timer */
}

```

```

/*****
 *   CALCULA LA VELOCIDAD DEL MOTOR EN RPM
 *****/

RPM(p)
p_sensor p;
{
    float v;
    p_timer q;
    q = &tim2;
    if (q->valing2 >= 1.03 * p->valing ||
        q->valing2 <= 0.97 * p->valing)
    { /* en caso de estar fuera del 3% */
        v = (int)p->valing;
        if(v <= 100) { v = 100; /*condiciona para*/
                      anota(4,11,BLACK); /* no div. x cero*/
                    }
        else anota(4,12,BLACK); /*calcula valor de N en timer2:*/
        timvar.n = (int)(655300/v - 1);
        q->valing = 109234/(timvar.n + 1); /* rpm's */
        Initimer(&tim2,0,continuo2,continuo2);
        q->valing2 = p->valing; /* actualiza */
    }
}

```

```

/*****
 *   INICIALIZA ARREGLOS DE LOS CANALES ANALOGICOS
 *****/

```

```

Inibase()
{
    int i;
    analog();
    iniarr(&canal0);
    iniarr(&canal1);
    iniarr(&canal2);
    iniarr(&canal3);
    iniarr(&canal4);
    iniarr(&canal5);
    iniarr(&canal6);
    iniarr(&canal7);
    for (i=0; i<10; i++)
    {
        leeana(&canal0,&pia1,&pia2,i);
        leeana(&canal1,&pia1,&pia2,i);
        leeana(&canal2,&pia1,&pia2,i);
        leeana(&canal3,&pia1,&pia2,i);
        leeana(&canal4,&pia1,&pia2,i);
        leeana(&canal5,&pia1,&pia2,i);
        leeana(&canal6,&pia1,&pia2,i);
        leeana(&canal7,&pia1,&pia2,i);
    }
}

```

```

/*****
 * LIMPIA ARREGLOS DE LAS VARIABLES ANALOGICAS *
 *****/

int arr(p)
p_sensor p;
{
int j;
for (j=0;j<10;j++){
p->conv=0;
p->suma_ana[j]=0;
}
}

/*****
 * ASIGNA APUNTAORES A LAS VARIABLES DE LOS CANALES DEL CAD *
 * UTILIZA ANACHK() *
 *****/

anainc()
{
anachk((unsigned char)0,(double)2.441,&cana10);
anachk((unsigned char)1,(double)2.441,&cana11);
anachk((unsigned char)2,(double)2.441,&cana12);
anachk((unsigned char)3,(double)2.441,&cana13);
anachk((unsigned char)4,(double)2.441,&cana14);
anachk((unsigned char)5,(double)2.441,&cana15);
anachk((unsigned char)6,(double)2.441,&cana16);
anachk((unsigned char)7,(double)2.441,&cana17);
}

anachk(can,k,p)
unsigned char can;
double k;
p_sensor p;
{
p->canal=can;
p->kcte=k;
}

```



```

/*****
 * LEE CANAL ANALOGICO *
 *****/

```

```

analog(analnd)
int analnd;
{
  anaent(&canal0, analnd);
/* anaent(&canal1, analnd);
  anaent(&canal2, analnd);
  anaent(&canal3, analnd);
  anaent(&canal4, analnd);
  anaent(&canal5, analnd);
  anaent(&canal6, analnd);
  anaent(&canal7, analnd); */
}

```

```

/*****
 * LLAMA RUTINAS PARA CONVERSION A/D Y ESCALADO *
 *****/

```

```

anaent(p, lnd)
p_sensor p;
int lnd;
{
  leeana(p, &pla1, &pla2, lnd);
  scale(p);
}

```

```

/*****
 * INDICA INICIO DE CONVERSION, LEE DATO Y LO ACONDICIONA *
 *****/

```

```

leeana(p, q, r, lnd)
p_sensor p;
p_pia q;
p_pia r;
int lnd;
{
  unsigned char canal, timer;
  union{
    unsigned int conv;
    struct{
      unsigned lsb:8;
      unsigned msb:8;
    }bytes;
  }convert;
}

```

```

    canal = p->canal;
    canal = (canal << 1) | 0x01;
    outputb(q->rdda,canal); /*inicia conversion*/
    for(timer=0;timer<10;timer++); /*tiempo de compensacion*/
    while(!inputb(r->rdda) & 0x01)!0) /* verifica fin de */
        ( if(timer > 50) { /* conversion */
            error = 1;
            anota(11,0,BLINKING);
            break; /* termina en caso */
        } /* de fallo */
        else timer++;
    );
    outputb(q->rdda,0x0); /*repone bit de inic. de conv.*/
    convert.bytes.lsb = inputb(q->rdda); /*lee 6 BMS*/
    convert.bytes.msb = inputb(q->rddb); /*lee 6 BMS*/
    convert.conv = temp = convert.conv >> 4; /*une los dos*/
    p->conv = p->conv - p->suma_ana[ind]; /*bytes */
    p->conv = p->conv + temp;
    p->suma_ana[ind] = temp;
    p->raw_val = p->conv/10;
}

```

```

/*****
 * MULTIPLICA POR UN ESCALAR LA VARIABLE MUESTREADA *
 *****/

```

```

scale(p)
p_sensor p;
{
    p->valing = p->raw_val * p->kcte;
}

```

```

/*****
 * ENVIA PALABRA-DATO AL CDA *
 *****/

```

```

void salana(vsal,modo,p)
int vsal;
unsigned char modo;
p_pia p;
{
    char dato;
    union{ int d;
        struct{ unsigned pb:8;
            unsigned pa:8;
        }sal;
    }uvar; /* modo=0 si unipolar */
    if(modo) /* modo=1 si bipolar */
        uvar.d = (2048 - (int)(vsal / 4.8628)) << 2;
    else
        uvar.d = (int)(0.4096 * vsal) << 2;
    dato = uvar.sal.pb;
    outputb(p->rdda,dato); /* envia 6 BMS */
    dato = (uvar.sal.pa << 2) | 0x02;
    outputb(p->rddb,dato); /* envia 6 BMS */
}

```

```

/*****
 *          CAMBIA VECTOR DE INTERRUPCION PARA IRQ3
 *****/

habilita_int()
{
    masc = inportb(0x21);
    s = getvect(0x0b); /*salva vector de interrupcion anterior*/
    outportb(0x21,masc | 0x08); /* deshabilita IRQ3*/
    setvect(0x0b,atiende_int); /* asigna nuevo vector
                                de interrupcion */
    outportb(0x21,masc & 0xf7); /* habilita interrupciones */
    anota(13,5,BLACK); /* para IRQ3 */
}

/*****
 *          RUTINA GENERAL DE ATENCION PARA INTERRUPCIONES
 *****/

void Interrupt atiende_int()
{
    p_pla p,q;
    p_timer t2;
    unsigned char banderas1,banderas2;
    outportb(0x21,0xff); /* deshabilita INT's */
    p = #pia1;
    q = #pia2;
    t2 = &tim2;
    banderas2 = inportb(q->rcb);
    if(banderas2 & 0x80) atiende_cb1_pia2(&pia2);
    /* if(banderas2 & 0x40) atiende_cb2_pia2(&pia2); */
    banderas1 = inportb(p->rca);
    if(banderas1 & 0x80) atiende_ca1_pia1(&pia1);
    banderas2 = inportb(p->rcb);
    if(banderas2 & 0x80) atiende_cb1_pia1(&pia1);
    if(banderas2 & 0x40) atiende_cb2_pia1(&pia1);
    if(banderas1 & 0x40) atiende_ca2_pia1(&pia1);
    /* banderas1 = inportb(q->rca);
    if(banderas1 & 0x80) atiende_ca1_pia2(&pia2);
    if(banderas1 & 0x40) atiende_ca2_pia2(&pia2);

    banderas2 = inportb(t2->regctrl);
    if(banderas2 & 0x80);
    else{
        if(banderas2 & 0x01) atiende_tim1(&tim1);
        if(banderas2 & 0x02) atiende_tim2(&tim2);
        if(banderas2 & 0x04) atiende_tim3(&tim3);
    } */
    outportb(0x21,masc & 0xf7); /* habilita IRQ3 */
    outportb(0x20,0x20); /* pone comando EOI especi- */
    /* fico para IRQ3 */
}

```

```

atiende_ca1_pial(p)      /* aire desactivado */
p_pia p;
{
  inportb(p->rdda); /* borra IRGA */
  interr_pia.bit.bit0 = 0;
  if(1!(interr_pia.bit.bit6 /* { interr_pia.ch*}) sequencia = 3;
  )
atiende_ca2_pial(p)     /* arranque del inverter */
p_pia p;
{
  inportb(p->rdda); /* borra IRGA */
  timvar.n = 363; /* inicia vel. del motor a 300 rpm */
  inrpm = 0;
  initimer(&tim2,0,continuo2,continuo2);
  interr_pia.bit.bit1 = 0;
  if(1!(interr_pia.bit.bit3 | interr_pia.ch)) sequencia = 5;
  else sequencia = 6;
  interr_pia.ch = 0xff;
  )
atiende_cb1_pial(p)     /* contactor del ventilador */
p_pia p;
{
  inportb(p->rddb); /* borra IRGB */
  interr_pia.bit.bit2 = 0;
  if(1!(interr_pia.bit.bit6 /* { interr_pia.ch*}) sequencia = 2;
  )
atiende_cb2_pial(p)     /* contactor del motor */
p_pia p;
{
  inportb(p->rddb); /* borra IRGB */
  interr_pia.bit.bit3 = 0;
  if(1!(interr_pia.bit.bit0 /* { interr_pia.ch*}) sequencia = 4;
  )
atiende_ca1_pia2(p)
p_pia p;
{
  inportb(p->rdda); /* borra IRGA */
  interr_pia.bit.bit4 = 0;
  )
atiende_ca2_pia2(p)
p_pia p;
{
  inportb(p->rdda); /* borra IRGA */
  interr_pia.bit.bit5 = 0;
  )
atiende_cb1_pia2(p)     /* freno del inverter */
p_pia p;
{
  inportb(p->rddb);
  interr_pia.bit.bit6 = 0;
  if(interr_pia.ch != 0xbf) sequencia = 1;
  )

```

```

atiende_cb2_pia2(p)
p_pia p;
{
  inportb(p->rddb); /* borra IR09 */
  interr_pia.bit.bit7 = 0;
}
atiende_tim1(p)
p_timer p;
{
  inport(p->regctdor); /* borra bandera de interrupcion */
  interr_ptm.bit.bit0 = 0; /* del timer#1 */
}
atiende_tim2(p)
p_timer p;
{
  inport(p->regctdor); /* borra bandera de interrupcion */
  interr_ptm.bit.bit1 = 0; /* del timer#2 */
}
atiende_tim3(p)
p_timer p;
{
  inport(p->regctdor); /* borra bandera de interrupcion */
  interr_ptm.bit.bit2 = 0; /* del timer#3 */
}

```

```

/*****
 * PROGRAMA PRINCIPAL *
*****/

```

```

main()
{
  int j,q;
  int v_sal;
  union Inkey{
    unsigned char ch(2);
    int i;
  };
  union REGS r;
  j = q = c.i = 0;
  v_sal = 103;
  interr_pia.ch = interr_ptm.ch = 0xff;
  error = secuencia = 0;
  inrpm = 0;
  ent.ch = 0;
  sal.ch = 0xff;
  timer.n = frec4;
  apurpia(0x300,0x301,0x302,0x303,&pia1);
  apurpia(0x308,0x309,0x30a,0x30b,&pia2);
  inpia(&pia1,&pia2);
  pcm(0x310,0x312,&tim1);
  ptm(0x311,0x314,&tim2);
  ptm(0x310,0x316,&tim3);
}

```

```

menu_video(); /* presenta menu general */
panini(); /* presenta esqueleto de pantalla */
ini_notas(); /* presenta cuadro de notas casuales */
anota(18,1,BLACK);
anota(19,2,BLACK);
anota(15,1,BLACK);
anota(16,6,BLACK);
anota(4,12,BLACK);
inbase(); /* inicia arreglos para canales analogicos */
initimer(&tim1,0,continuo,deshab); /*modo en timer1(275uS)*/
imp_ptm(39,9,formato[1],&tim1);
habilita_int(); /* habilita interrupciones */
escribe_pis(sal.ch); /*envia dato a puerto de salida dig.*/
imp_ent_sal(47,16,formato[3],1);
imp_ent_sal(47,17,formato[3],1);
imp_ent_sal(47,18,formato[3],1);
imp_ent_sal(47,19,formato[3],1);
imp_ent_sal(47,20,formato[3],1);
imp_ent_sal(47,21,formato[3],0);
imp_ent_sal(47,22,formato[3],0);
imp_ent_sal(47,23,formato[3],0);
do
c
analog[j]; /* manda efectuar el muestreo analogico */
impanel(); /* imprime valores capturados del CAD */
switch (secuencia ){
case 1:
putch(BELL);
anota(9,13,BLINKING);
anota(10,18,BLINKING);
secuencia = 0;
break;
case 2:
putch(BELL);
anota(9,13,BLINKING);
anota(10,14,BLINKING);
secuencia = 0;
break;
case 3:
putch(BELL);
anota(9,13,BLINKING);
anota(10,16,BLINKING);
secuencia = 0;
break;
case 4:
putch(BELL);
anota(9,13,BLINKING);
anota(10,15,BLINKING);
secuencia = 0;
break;
case 5:
putch(BELL);
anota(9,13,BLINKING);
anota(10,17,BLINKING);
secuencia = 0;
break;

```

```

case 6:
    putch(BELL);
    anota(9,19);
    anota(10,20,BLINKING);
    secuencia = 0;
    break;
case 0:
    break;
default:
    putch(BELL);
    anota(9,19);
    anota(10,21,BLINKING);
    secuencia = 0;
    }
if (j == 9){
    j = 0;
    salana(v_sal,0,&pia2); /* manda hacer */
    impvsa(v_sal); /* conversion D/A */
}
else j++;
if (inrpm >= 5){
    RPM(&canet0);
    inrpm = 5;
}
else inrpm++;
imp_pta(39,10,formato[1],&tim2);
if (q == 30) {
    anota(9,19);
    anota(10,19);
    q = 0;
}
else q++;
/* verifica que no sea presionada */
while (bioskey(1)){ /* la tecla ESC */
    c.l = bioskey(0);
    if(c.ch[0] == CR){
        putch(BELL);
        anota(15,7,BLACK);
        anota(16,8,BLACK);
        while (bioskey(1));
        anota(15,1,BLACK);
        anota(15,5,BLACK);
    }
}
}while (c.ch[0] != ESC);
r.h.ah = 1;
r.h.ch = 5;
r.h.cl = 6;
int55(Dx10,&r,&r); /* reestablece el modo inicial */
textmode(LASTMODE); /* de la pantalla */
setvect(Dx0b,s); /* retorna vector de interrupcion */
clrscr(); /* original a IRQ3. */
}

```

```

#include "conio.h"
#include "dos.h"
#include "process.h"
#define rdda_pia1 0x300
#define BELL 0x07
extern int temp;
extern char error;
extern struct pia(
    int rdda, rca, rddb, rcb);
extern struct sensor(
    int suna_ana[10];
    long conv;
    double kcte;
    unsigned char canal;
    int raw_val;
    float valing; );
extern struct sensor canal0;
extern struct pia pia1, pia2;
extern salana();
extern leeana();
void menu_video();
void col_arp();

```

```

/*****
 *          MENU PRINCIPAL          *
 *****/

```

```

void menu_video()
(
int var;
union REGS r;
r.h.ah = 1;
r.h.ch = 32;
r.h.cl = 32;
textmode(C40);
intB6(0x10, &r, &r);
textcolor(BLACK);
textbackground(MAGENTA);
clrscr();
window(2, 2, 39, 24);
textbackground(BLUE);
clrscr();
window(3, 3, 38, 23);
textbackground(CYAN);
clrscr();
gotoxy(5, 3);
cprintf(" ESTE PROGRAMA TIENE UNICA-");
gotoxy(5, 4);
cprintf("MENTE DOS MODOS DE OPERACION");
gotoxy(5, 5);
cprintf("PARA EL CONTROL DEL HARDWARE.");
gotoxy(5, 7);

```



```

cprintf(" UTILICE LAS TECLAS CON LA");
gotoxy(5,8);
cprintf("LETRA INDICADA DE LAS DOS");
gotoxy(5,9);
cprintf("OPCIONES SIGUIENTES PARA SU");
gotoxy(5,10);
cprintf("SELECCION.");
textbackground(MAGENTA);
gotoxy(17,13);
cprintf(" OPERACION ");
gotoxy(29,13);
cprintf("NORMAL ");
gotoxy(5,13);
cprintf("ALIBRACION ");
textcolor(WHITE);
gotoxy(28,13);
cprintf("M");
gotoxy(3,13);
cprintf(" C");
do{
    var=getch();
    while(var != 'c' && var != 'C' && var != 'n' && var != 'N'){
        if(var == 'c' || var == 'C'){
            textbackground(CYAN);
            gotoxy(17,13);
            clrscr();
            textbackground(MAGENTA);
            gotoxy(16,15);
            cprintf("D ");
            gotoxy(23,15);
            cprintf("A ");
            textcolor(BLACK);
            gotoxy(13,15);
            cprintf(" CA");
            gotoxy(20,15);
            cprintf(" CD");
            var = getch();
            textbackground(CYAN); /* llama rutinas para calibracion */
            clrscr(); /* de la interfaz de CAD */
            if(var == 'd' || var == 'D'){
                cal_arp();
                cal_cadmax();
                cal_cadmin();
            }
        }
        else menu_cda(); /* llama rutina para calibracion */
    }
} /* de la interfaz de CDA */
}

```

```

.....
* PRESENTA PANTALLA PARA CALIBRACION DE EL *
* AMPLIFICADOR DIFERENCIAL (CAD). *
.....

```

```

void cal_amp()
{
    textcolor(RED);
    gotoxy(5,3);
    cprintf("          CALIBRACION CAD          ");
    textcolor(BLACK);
    gotoxy(4,5);
    cprintf("#1-Aplicar un voltaje de 0 mV");
    gotoxy(4,6);
    cprintf(" en la entrada del canal #1");
    gotoxy(4,7);
    cprintf(" y ajustar el potenciómetro");
    gotoxy(4,8);
    cprintf(" P1 para medir 0mV a la en-");
    gotoxy(4,9);
    cprintf(" trada del convertidor. ");
    gotoxy(4,11);
    cprintf("#2-Aplicar un voltaje para");
    gotoxy(4,12);
    cprintf(" escala máxima y ajustar el");
    gotoxy(4,13);
    cprintf(" potenciómetro P2 hasta me-");
    gotoxy(4,14);
    cprintf(" dir el valor amplificado");
    gotoxy(4,15);
    cprintf(" correspondiente a la en-");
    gotoxy(4,16);
    cprintf(" trada del convertidor. ");
    textcolor(MAGENTA);
    gotoxy(6,18);
    cprintf("Presionar una tecla cuando");
    gotoxy(6,19);
    cprintf("desea continuar con este");
    gotoxy(6,20);
    cprintf("procedimiento.");
    outportb(rdda_pial,0);
    getch();
    clrscr();
}

```

```

.....
* PRESENTA PANTALLA PARA CALIBRACION DE GANANCIA EN EL CAD *
.....

```

```

cal_cadmax()
(
union REGS r;
textcolor(RED);
gotoxy(5,3);
cprintf(" AJUSTE DE ESCALA PLENA  ");
textcolor(BLACK);
gotoxy(5,5);
cprintf(" Aplicar un voltaje corres-");
gotoxy(5,6);
cprintf("pondiente a escala maxima");
gotoxy(5,7);
cprintf("menos 1/2 bit menos signifi-");
gotoxy(5,8);
cprintf("cativo y ajustar el poten-");
gotoxy(5,9);
cprintf("cionmetro P3 hasta que el");
gotoxy(5,10);
cprintf("valor encerrado en el cuadro");
gotoxy(5,11);
cprintf("oscile entre 4094 y 4095.  ");
textbackground(CYAN);
textcolor(MAGENTA);
gotoxy(6,18);
cprintf("Presionar una tecla cuando");
gotoxy(6,19);
cprintf("deseee continuar con este");
gotoxy(6,20);
cprintf("procedimiento.");
textbackground(BLUE);
textcolor(WHITE);
while(!bioskey(1)){ /* mientras no se presione una tecla */
leeanal(&canal0,&pia1,&pia2,0); /* conversion canal#1 */
if(error){ /* obtiene codigo de error en el */
clrscr(); /* CAD. si es afirmativo presenta */
putch(BELL); /* letrero en pantalla */
for(temp=1;temp<1000;temp++){
gotoxy(14,11);
cprintf("ERROR CAD");
}

textnode(CSO);
r.h.ah = 1;
r.h.ch = 5;
r.h.cl = 6;
int86(0x10,&r,&r);
clrscr();
exit(0);
}
)

```

```

        else{
            gotoxy(17,14);
            cprintf("Mid",temp); /* imprime en pantalla */
        }
        /* el valor de la */
    }
    /* conversión. */
    textbackground(CYAN);
    clrscr();
}

```

```

/*****
 * PRESENTA PANTALLA PARA CALIBRACION DE OFFSET EN EL CAD *
*****/

```

```

cal_cadwin()
{
    union tecla{
        char ch[2];
        int i;
    };
    textcolor(RED);
    gotoxy(5,3);
    cprintf("      AJUSTE A CERO      ");
    textcolor(BLACK);
    gotoxy(5,5);
    cprintf(" Aplicar un voltaje corres-");
    gotoxy(5,6);
    cprintf("pondiente a escala cero mas");
    gotoxy(5,7);
    cprintf("1/2 bit menos significativo");
    gotoxy(5,8);
    cprintf("y ajustar el potenciómetro");
    gotoxy(5,9);
    cprintf("P4 hasta que el valor ence-");
    gotoxy(5,10);
    cprintf("rrado en el cuadro oscile");
    gotoxy(5,11);
    cprintf("entre cero y uno.      ");
    textbackground(CYAN);
    textcolor(MAGENTA);
    gotoxy(6,15);
    cprintf("Presionar la tecla sí");
    textcolor(WHITE);
    gotoxy(27,15);
    cprintf("S");
    textcolor(MAGENTA);
    gotoxy(6,16);
    cprintf("desea volver a realizar el");
    gotoxy(6,17);
    cprintf("procedimiento de calibra-");
    gotoxy(6,18);
    cprintf("ción de el CAD o cualquier");
    gotoxy(6,19);
    cprintf("otra tecla para regresar");
    gotoxy(6,20);
    cprintf("al menú principal.      ");
}

```

```

textbackground(BLUE);
textcolor(WHITE);
c.i = bioskey(0);
while (!bioskey(1)){
    leeana(&cana(0,&pia1,&pia2,0);
    gotoxy(17,13);
    cprintf("%4d",temp);
}
c.i = bioskey(0);
textbackground(CYAN);
clrscr(); /* vuelve a modo de calibracion del CDA: */
if(c.ch[0] == 'a' || c.ch[0] == 's'){
    cal_cadmax();
    cal_cadmin();
}
else menu_video(); /* vuelve a menu principal */
}

```

```

/*****
 * PRESENTA PANTALLA PARA CALIBRACION DEL CDA *
*****/

```

```

menu_cda()
{
int var;
textcolor(RED);
gotoxy(5,5);
cprintf(" CALIBRACION DE EL CDA ");
textcolor(BLACK);
gotoxy(5,8);
cprintf(" Una vez configurada la=");
gotoxy(5,9);
cprintf("tarjeta, indique presionado=");
gotoxy(5,10);
cprintf("la tecla , si el modo de=");
gotoxy(5,11);
cprintf("salida debe ser unipolar,");
gotoxy(5,12);
cprintf("a bien, presione la tecla ,");
gotoxy(5,13);
cprintf("si el modo de salida tendra=");
gotoxy(5,14);
cprintf("que ser bipolar. ");
textcolor(WHITE);
gotoxy(15,10);
cprintf("u");
gotoxy(32,12);
cprintf("b");
do{
var=getch();
}while(var != 'u' && var != 'U' && var != 'b' && var != 'B');
cal_cda(var); /* llama rutina para calibracion */
}

```

```

char *imp_modos[]={
    "      MODO UNIPOLAR      ",
    "      MODO BIPOLAR      ",
    " cero",
    "10000",
    "9995",
    "-9995"
};

/*****
 * PRESENTA PANTALLAS ESPECIFICAS PARA CALIBRACION DEL CDA
 *****/

cal_cda(modo)
int modo;
{
    unsigned char num;
    int vdda_max,vdda_min;
    clrscr();
    textcolor(RED);
    gotoxy(5,3);
    cprintf(" CALIBRACION DE EL CDA ");
    textcolor(BLACK);
    if (modo == 'U' || modo == 'U') {
        num = 0;
        vdda_min=0;
    }
    else {
        num = 1;
        vdda_min=10000;
    }
    gotoxy(5,4);
    cprintf(" AJUSTE DE OFFSET ");
    gotoxy(5,5);
    cprintf("Xa",imp_modos[num]);
    gotoxy(5,7);
    cprintf(" A partir de este momento");
    gotoxy(5,8);
    cprintf("Usted debe obtener una lec.");
    gotoxy(5,9);
    cprintf("tura lo mas cercana a Xa",imp_modos[num+2]);
    gotoxy(5,10);
    cprintf("milivolts en la salida de el");
    gotoxy(5,11);
    cprintf("convertidor. De no ser asi.");
    gotoxy(5,12);
    cprintf("ajustar la perilla del po.");
    gotoxy(5,13);
    cprintf("tencionetro P5 hasta obtener");
    gotoxy(5,14);
    cprintf("resultados satisfactorios. ");
}

```

```

textcolor(MAGENTA);
gotoxy(5,17);
cprintf("presionar una tecla cuando");
gotoxy(5,18);
cprintf("este realizado el procedi-");
gotoxy(5,19);
cprintf("miento optimamente.      ");
salena(vcda_min,num,&pia2); /* llana rutina para */
getch(); /* la conversión 0/A */
clrscr();
textcolor(RED);
gotoxy(5,3);
cprintf(" CALIBRACION DE EL CDA ");
textcolor(BLACK);
if (modo == 'u' || modo == 'U'){
    num = 0;
    vcda_max=9998;
}
else{
    num = 1;
    vcda_max=-9995;
}
gotoxy(5,4);
cprintf(" AJUSTE DE GANANCIA ");
gotoxy(5,6);
cprintf("Xa",imp_mod[num]);
gotoxy(5,9);
cprintf(" Ajustar, de ser necesario,");
gotoxy(5,10);
cprintf("el potenciómetro P6 de la");
gotoxy(5,11);
cprintf("tarjeta hasta lograr obtener");
gotoxy(5,12);
cprintf("una lectura lo mas proxima a");
gotoxy(5,13);
cprintf("la millivolts en la salida",imp_mod[num+4]);
gotoxy(5,14);
cprintf("de el convertidor.      ");
textcolor(MAGENTA);
gotoxy(5,17);
cprintf("presionar cualquier tecla");
gotoxy(5,18);
cprintf("despues de realizar la opera-");
gotoxy(5,19);
cprintf("ción correctamente para vol-");
gotoxy(5,20);
cprintf("ver al menu principal.      ");
salena(vcda_max,num,&pia2);
getch();
menu_video(); /* vuelve al menu principal */

```

```

#include "conio.h"
#include "dos.h"
extern char *formato[];
extern struct sensor{
    int suma_ana[10];
    long conv;
    double kcte;
    unsigned char canal;
    int raw_val;
    float valing;};
typedef struct sensor "p_sensor;
extern struct sensor canal0,canal1,canal2,canal3;
extern struct sensor canal4,canal5,canal6,canal7;
extern struct timer{
    unsigned int regctrl;
    unsigned int regtdor;
    float valing;};
typedef struct timer "p_timer;
extern struct timer tim1,tim2,tim3;
void panini();
void ininotas();
void impanal();
void imprime();
void anota();
void imp_ptm();
void imp_ent_sal();
void impvsal();

/*****
 * PRESENTA EL ESQUELETO DE LA PANTALLA EN MODO NORMAL *
*****/

void panini()
{
    union REGS r;
    textmode(C80);
    r.h.ah = 1;
    r.h.ch = 32;
    r.h.cl = 32;
    int86(0x10,&r,&r);
    textcolor(LIGHTRED);
    textbackground(BLUE);
    clrscr();
    gotoxy(3,4);
    printf("ENTRADAS ANALOGICAS");
    gotoxy(35,4);
    printf("SALIDA ANALOGICA");
    gotoxy(40,8);
    printf("TIMER");
    gotoxy(6,15);
    printf("ENTRADAS DIGITALES");
    gotoxy(34,15);
    printf("SALIDAS DIGITALES");
    textcolor(YELLOW);

```



```

gotoxy(3,5);
cprintf("CANAL #1      mv  ");
gotoxy(3,6);
cprintf("CANAL #2      mv  ");
gotoxy(3,7);
cprintf("CANAL #3      mv  ");
gotoxy(3,8);
cprintf("CANAL #4      mv  ");
gotoxy(3,9);
cprintf("CANAL #5      mv  ");
gotoxy(3,10);
cprintf("CANAL #6      mv  ");
gotoxy(3,11);
cprintf("CANAL #7      mv  ");
gotoxy(3,12);
cprintf("CANAL #8      mv  ");
gotoxy(31,5);
cprintf("VOLT. SAL.      mv  ");
gotoxy(31,9);
cprintf("TIMER#1      microseg");
gotoxy(31,10);
cprintf("TIMER#2      rpm  ");
gotoxy(31,11);
cprintf("TIMER#3      unidades");
gotoxy(3,16);
cprintf("CONT. VENT.      ");
gotoxy(3,17);
cprintf("CONT. MOT.      ");
gotoxy(3,18);
cprintf("AIRE           ");
gotoxy(3,19);
cprintf("ARR. INVTR.     ");
gotoxy(3,20);
cprintf("FRENO INVTR.    ");
gotoxy(3,21);
cprintf("ENTRADA#6      ");
gotoxy(3,22);
cprintf("ENTRADA#7      ");
gotoxy(3,23);
cprintf("ENTRADA#8      ");
gotoxy(31,16);
cprintf("TERM. VENT.     ");
gotoxy(31,17);
cprintf("POS TAMBO D     ");
gotoxy(31,18);
cprintf("POS TAMBOR     ");
gotoxy(31,19);
cprintf("TERM CAEZA.    ");
gotoxy(31,20);
cprintf("PARO REMTD.    ");

```

```

gotoxy(31,21);
cprintf("PARO AGUJA           ");
gotoxy(31,22);
cprintf("FALTA ACEITE           ");
gotoxy(31,23);
cprintf("FALTA AIRE              ");
}

/*****
 * PRESENTA EL CUADRO DESTINADO A LETREROS CASUALES *
*****/

void ini_notas()
{
    textbackground(CYAN);
    textcolor(RED);
    window(58,3,78,23);
    clrscr();
    gotoxy(6,2);
    cprintf("COMENTARIOS");
    textcolor(WHITE);
    textbackground(BLUE);
    window(1,1,80,25);
}

/*****
 * IMPRIME INFORMACION OBTENIDA DEL CAD *
 * UTILIZA IMPRIME() *
*****/

void lpanel()
{
    lprimo(12,5,formato[0],&canal0);
    lprimo(12,6,formato[0],&canal1);
    lprimo(12,7,formato[0],&canal2);
    lprimo(12,8,formato[0],&canal3);
    lprimo(12,9,formato[0],&canal4);
    lprimo(12,10,formato[0],&canal5);
    lprimo(12,11,formato[0],&canal6);
    lprimo(12,12,formato[0],&canal7);
}

void lprimo(vert,horz,form,p)
unsigned char vert,horz;
char *form;
p_sensor p;
{
    gotoxy(vert,horz);
    cprintf((form,p->valing);
}

```

```
.....  
 * IMPRIME VALOR ENVIADO AL CDA *  
.....;
```

```
void imprval(vs)  
{  
    gotoxy(40,5);  
    cprintf(formato[4],vs);  
}
```

```
.....  
 * ARREGLO DE LOS LETREROS CASUALES *  
.....;
```

```
char *nota[]={  
    " error C/D ",  
    "presione la tecla",  
    "ESC para finalizar",  
    "Interrupcion por cal",  
    "atiende interrupcion",  
    " IRQ3 habilitada ",  
    "ENTRAR para detener",  
    "presione una tecla",  
    " para continuar ",  
    "activada (1)",  
    "desactivada (0)",  
    "maquina encendida ",  
    "maquina en vacio ",  
    "secuencia mal ",  
    "contr. del vent. ",  
    "contr. del motor ",  
    " sire ",  
    "arranque inverter ",  
    " freno inverter ",  
    " ",  
    " inicie arranque ",  
    " error ent. dig. "   
};
```

```
.....  
 * IMPRIME LETREROS CASUALES EN PANTALLA *  
.....;
```

```
void anota(ren,num,texto)  
{  
    unsigned char ren,texto;  
    textbackground(CYAN);  
    textcolor(texto);
```

```
    window(58,3,78,23);
    gotoxy(2,ren);
    cprintf("%s",nota[num]);
    textcolor(WHITE);
    textbackground(BLUE);
    window(1,1,80,25);
}
```

```
/*.....
 * IMPRIME PARAMETROS OBTENIDOS O ENVIADOS POR TIMERS *
.....*/
```

```
void imp_ptm(vert,horz,form,p)
unsigned char vert,horz;
char *form;
p_timer p;
{
    gotoxy(vert,horz);
    cprintf(form,p->valing);
}
```

```
/*.....
 * IMPRIME PARAMETROS DE ENTRADA Y SALIDA DIGITALES *
.....*/
```

```
void imp_ent_sal(vert,horz,form,val)
unsigned char vert,horz;
char *form;
int val;
{
    gotoxy(vert,horz);
    cprintf(form,val);
}
```

APENDICE A

DIRECCIONES DE LOS PUERTOS USADOS EN IBM-PC-XT

DESCRIPCIÓN	RANGO DE DIRECCIONES
Controlador de DMA (8237)	000-0FF
Controlador de interrupciones (8259)	020-021
Timer (8253)	040-043
PPI (8255)	060-063
Registro de página de DMA (74LS612)	080-083
registro de NMI	00A-00A
Controlador de juegos (Joystick)	200-20F
Unidad de expansión	210-217
Primer puerto serie	3F8-3FF
Segundo puerto serie	2F8-2FF
Tarjeta de prototipo	300-31F
Disco duro	320-32F
Primer impresora en paralelo	378-37F
SLDC	380-38F
Adaptador monocromático e impresora	380-3FF
Adaptador gráficos y color	3D0-3DF
Controlador de disco flexible	3F0-3F7

PRINCIPALES INTERRUPCIONES USADAS EN IBM-PC

INTERRUPCIÓN		DIRECCIÓN	USO
DEC	HEX		
0	0	0000	Generado por el CPU cuando se intenta la división por cero.
1	1	0004	Para correr programas por pasos.
2	2	0008	Interrupción no mascarable (NNI).
3	3	000C	Usada para poner puntos de paro en programas.
4	4	0010	Generado cuando resulta sobreflujo aritmético.
5	5	0014	Invoca la rutina de servicios de impresión en pantalla del BIOS.
8	8	0020	Interrupción del timer para reloj
9	9	0024	Generada por acción del teclado.
13	D	0034	Generada durante el repaso vertical de TRC, para control de video
14	E	0036	Para atender señales de disco.
15	F	003C	Usada en control de impresora.
16	10	0040	Invoca servicios de despliegue en video del BIOS.
17	11	0044	Invoca el servicio del BIOS para la lista de equipo.
18	12	0048	Invoca al servicio del BIOS para tamaño de memoria.
19	13	004C	Invoca servicios de disco de el Bios.
20	14	0050	Invoca los servicios de comunicaciones del BIOS.
21	15	0054	Invoca los servicios de cassette del BIOS.
22	15	0058	Invoca servicios estándar de teclado del BIOS.
23	17	005C	Invoca servicios de impresora del BIOS.

INTERRUPCIÓN		DIRECCIÓN	USO
DEC	HEX		
24	18	0060	Activa el lenguaje del ROM-BASIC.
25	19	0064	Invoca la rutina de puesta en marcha de el boot-strap en el BIOS.
26	1A	0068	Invoca servicios de puesta de tiempo y fecha en el BIOS.
27	1B	006C	Interrupción generada en paro del teclado sujeta al BIOS.
28	1C	0070	Interrupción generada en cada "tick" del reloj.
29	1D	0074	Apunta a la tabla de parámetros de control del video.
30	1E	0078	Apunta a la tabla base para disco.
31	1F	007C	Apunta a los caracteres gráficos de video avanzado.
32	20	0080	Invoca servicio de programa terminado en DOS.
33	21	0084	Invoca los servicios de llamadas a funciones de DOS.
34	22	0088	Si la creamos, una rutina de interrupción es invocada al final del programa bajo DOS.
35	23	008C	Si la creamos, una rutina de interrupción es invocada sobre el paro de teclado bajo DOS.
36	24	0090	Si la creamos, una rutina de interrupción es invocada a DOS para error crítico.
37	25	0094	Invoca servicio de lectura absoluta en disco de DOS.
38	26	0098	Invoca servicio de escritura absoluta en disco de DOS.
39	27	009C	Termina el programa corriente, dejándolo residente en memoria bajo DOS.
73	49	0124	Apunta a la tabla de traslación para dispositivos suplementarios de teclado.

DEFINICION DE SEÑALES PARA CONECTOR DE EXPANSION IBM-PC

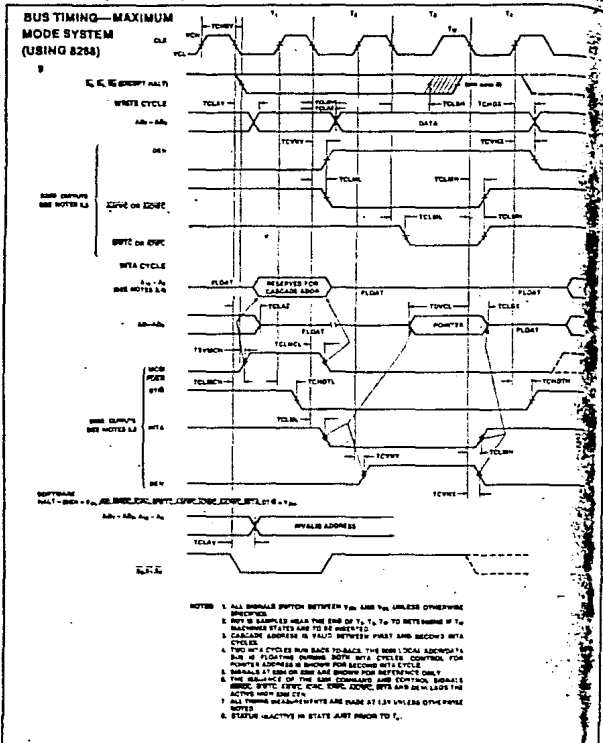
TERMINAL	SEÑAL	ASIGNACION
A1	I/O CH CK	ACTIVA BAJA, REPORTA ERROR EN CANAL DE ENTRADA/SALIDA
A2	D7	DATO
A3	D6	DATO
A4	D5	DATO
A5	D4	DATO
A6	D3	DATO
A7	D2	DATO
A8	D1	DATO
A9	D0	DATO
A10	I/O CH RDY	CANAL DE ENTRADA/SALIDA LISTO, PARA MEMORIA LENTA O EMT./SAL.
A11	AEN	HABILITADOR DE DIRECCIONES, CICLO DE DMA EN PROGRESO
A12	A19	DIRECCIÓN
A13	A18	DIRECCIÓN
A14	A17	DIRECCIÓN
A15	A16	DIRECCIÓN
A16	A15	DIRECCIÓN
A17	A14	DIRECCIÓN
A18	A13	DIRECCIÓN
A19	A12	DIRECCIÓN
A20	A11	DIRECCIÓN
A21	A10	DIRECCIÓN
A22	A9	DIRECCIÓN
A23	A8	DIRECCIÓN
A24	A7	DIRECCIÓN
A25	A6	DIRECCIÓN
A26	A5	DIRECCIÓN
A27	A4	DIRECCIÓN
A28	A3	DIRECCIÓN
A29	A2	DIRECCIÓN
A30	A1	DIRECCIÓN
A31	A0	DIRECCIÓN
B1	GND	TIERRA DE LAS SEÑALES
B2	RESET DRV	REESTABLECIMIENTO (EN ALTO)
B3	+5 V cd	
B4	1RQ2	PETICIÓN DE INTERRUPTIÓN 2
B5	-5 Vcd	
B6	DRQ2	PETICIÓN DE DMA 2
B7	-12 Vcd	
B8		(SIN USO)
B9	+12 Vcd	
B10	GND	TIERRA
B11	MEMW	ACTIVA BAJA. ESCRIBE DATOS EN MEMORIA
B12	MEMR	ACTIVA BAJA. LEE DATOS DE MEMORIA
B13	IOW	ACTIVA BAJA. ESCRIBE A PUERTO DE ENTRADA/SALIDA O BUS DE DIRECC'.

TERMINAL	SEÑAL	ASIGNACION
B14	IOR	ACTIVA BAJA. LEE DE PUERTO DE ENTRADA/SALIDA
B15	DACK3	RECONOCIMIENTO DE DMA 3
B16	DRQ3	PETICIÓN DE DMA 3
B17	DACK1	RECONOCIMIENTO DE DMA 1
B18	DRQ1	PETICIÓN DE DMA 1
B19	DACK0	RECONOCIMIENTO DE DMA 0
B20	CLK	RELOJ DE 4.77 MHz= SINCRONIZADO A CICLO DE LECTURA DE MEMORIA
B21	IRQ7	PETICIÓN DE INTERRUPTIÓN 7
B22	IRQ6	PETICIÓN DE INTERRUPTIÓN 6
B23	IRQ5	PETICIÓN DE INTERRUPTIÓN 5
B24	IRQ4	PETICIÓN DE INTERRUPTIÓN 4
B25	IRQ3	PETICIÓN DE INTERRUPTIÓN 3
B26	DACK2	RECONOCIMIENTO DE DMA 2
B27	T/C	CONTEO TERMINAL. TRANSFERENCIA EN BLOQUES DE DMA.
B28	ALK	HABILITADOR DEL CANDADO DE DIRECCIONES. DIRECCIONES VÁLIDAS.
B29	+5 V _{cd}	
B30	OSC	SEÑAL DE 14.318 MHz, 50% DE CICLO DE SERVICIO.
B31	GND	TIERRA

A.C. CHARACTERISTICS
TIMING RESPONSES

Symbol	Parameter	8088		8088-2		Units	Test Conditions
		Min.	Max.	Min.	Max.		
TCLML	Command Active Delay (See Note 1)	10	35	10	35	ns	
TCLMH	Command Inactive Delay (See Note 1)	10	36	10	35	ns	
TRYHSH	READY Active to Status Passive (See Note 3)		110		65	ns	
TCHSV	Status Active Delay	10	110	10	60	ns	
TCLSH	Status Inactive Delay	10	130	10	70	ns	
TCLAV	Address Valid Delay	10	110	10	60	ns	
TCLAX	Address Hold Time	10		10		ns	
TCLAZ	Address Float Delay	TCLAX	80	TCLAX	50	ns	
TBYLH	Status Valid to ALE High (See Note 1)		15		15	ns	
TSVMCH	Status Valid to MCE High (See Note 1)		15		15	ns	
TCLLH	CLK Low to ALE Valid (See Note 1)		15		15	ns	
TCLMCH	CLK Low to MCE High (See Note 1)		15		15	ns	
TCLL	ALE Inactive Delay (See Note 1)		15		15	ns	
TCLMCL	MCE Inactive Delay (See Note 1)		15		15	ns	
TCLDV	Data Valid Delay	10	110	10	60	ns	C _L = 20-100 pF on all 8088 Outputs in addition to internal loads
TCHDX	Data Hold Time	10		10		ns	
TCNVV	Control Active Delay (See Note 1)	5	45	5	45	ns	
TCNVX	Control Inactive Delay (See Note 1)	10	45	10	45	ns	
TAZRL	Address Float to Read Active	0		0		ns	
TCLRRL	RD Active Delay	10	185	10	100	ns	
TCLRH	RD Inactive Delay	10	150	10	80	ns	
TRHAV	RD Inactive to Next Address Active	TCLCL-45		TCLCL-40		ns	
TCHDTL	Direction Control Active Delay (See Note 1)		50		50	ns	
TCHDTH	Direction Control Inactive Delay (See Note 1)		30		30	ns	
TCLGL	GT Active Delay		85		50	ns	
TCLGH	GT Inactive Delay		85		50	ns	
TRLRH	RD Width	2TCLCL-75		2TCLCL-50		ns	
TOLDH	Output Rise Time		20		20	ns	From 0.8V to 2.0V
TDFOL	Output Fall Time		12		12	ns	From 2.0V to 0.8V

WAVEFORMS (Continued)



APENDICE B

**MOTOROLA****MC6821****PERIPHERAL INTERFACE ADAPTER (PIA)**

The MC6821 Peripheral Interface Adapter provides the universal means of interfacing peripheral equipment to the M6800 family of microprocessors. This device is capable of interfacing the M6800 peripherals through two 8-bit bidirectional peripheral data buses and four control lines. No extra logic is required for interfacing to most peripheral devices.

The functional configuration of the PIA is programmed by the MPU during system initialization. Each of the peripheral data buses can be programmed to act as an input or output, and each of the four control lines can be programmed for one of several control modes. This allows a high degree of flexibility in the operation of the interface.

- 8-Bit Bidirectional Data Bus for Communication with the MPU
- Two Bidirectional 8-Bit Buses for Interfacing Peripherals
- Two Programmable Control Registers
- Two Programmable Data Direction Registers
- Four Individually Controlled Interrupt Input Lines, Two Usable as Peripheral Control Outputs
- Handshake Control Logic for Input and Output Peripheral Operation
- High-Impedance Three-State and Direct-Transistor-Drive Peripheral Lines
- Program-Controlled Interrupt and Interrupt-Disable Capability
- CMOS Drive Capability on Side A Peripheral Lines
- Two TTL Drive Capabilities on A₂ and B₂ Side Buffers
- TTL Compatible
- Stand Operation

MOSIN CHANNEL SILICON-GATE
DEPLETION LOAD**PERIPHERAL INTERFACE
ADAPTER****L SUFFIX
CERAMIC PACKAGE
CASE 79****B SUFFIX
DIP PACKAGE
CASE 79****P SUFFIX
PLASTIC PACKAGE
CASE 79****ORDERING INFORMATION**

Package Type	Frequency (MHz)	Temperature	Order Number
Ceramic L Suffix	1.0	0°C to 70°C	MC6821L
	1.0	-40°C to 85°C	MC6821CL
	1.0	0°C to 70°C	MC6821L1
	1.0	-40°C to 85°C	MC6821CL1
	2.0	0°C to 70°C	MC6821L2
Ceramic B Suffix	1.0	0°C to 70°C	MC6821B
	1.0	-40°C to 85°C	MC6821BL
	1.0	0°C to 70°C	MC6821B1
	1.0	-40°C to 85°C	MC6821BL1
	2.0	0°C to 70°C	MC6821B2
Plastic P Suffix	1.0	0°C to 70°C	MC6821P
	1.0	-40°C to 85°C	MC6821PL
	1.0	0°C to 70°C	MC6821P1
	1.0	-40°C to 85°C	MC6821PL1
	2.0	0°C to 70°C	MC6821P2

PIN ASSIGNMENT

YSS0	1	CA1
PA00	2	CA2
PA10	3	TRSA
PA20	4	TRGB
PA30	5	DRSO
PA40	6	PA51
PA50	7	DRSS1
PA60	8	DC
PA70	9	DI1
PA80	10	DI2
PA90	11	DI3
FB00	12	DI4
FB10	13	DI5
FB20	14	DI6
FB30	15	DI7
FA40	16	DI8
FB50	17	DI9
FB60	18	DI10
FB70	19	CS1
CB00	20	CS2
CB10	21	CS3
CB20	22	CS4
VCC0	23	V _{CC}

DC ELECTRICAL CHARACTERISTICS (Continued)

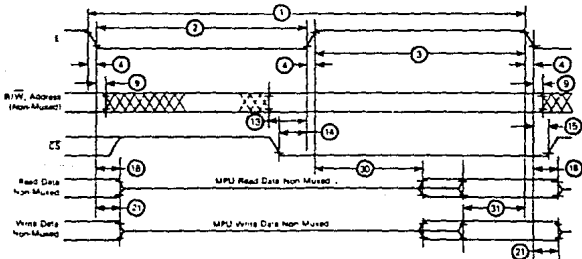
Characteristic	Symbol	Min	Typ	Max	Unit	
PERIPHERAL BUS (PA0-PA7, PB0-PB7, CA1, CA2, CB1, CB2)						
Input Leakage Current ($V_{in} = 0$ to 5.25 V)	R/VL, RESET, NSD, RS1, CS0, CS1, CE1, CA1, CB1, Enable	I_{in}	-	1.0	2.5	μ A
$V_{in} = 2$ Input Leakage Current ($V_{in} = 0.4$ to 2.4 V)	PB0-PB7, CB2	I_{L2}	-	2.0	10	μ A
Input High Current ($V_{in} = 2.8$ V)	PA0-PA7, CA2	I_{IH}	-200	-600	-	μ A
Disturbance Drive Current ($V_{in} = 1.8$ V)	PB0-PB7, CB2	I_{ID}	-1.0	-	-10	μ A
Input Low Current ($V_{in} = 0.4$ V)	PA0-PA7, CA2	I_{IL}	-	-1.3	-2.4	μ A
Output High Voltage ($I_{L} = -200$ μ A) ($I_{L} = -10$ μ A)	PA0-PA7, PB0-PB7, CA2, CB2 PA0-PA7, CA2	V_{OH}	$V_{SS} + 2.4$ $V_{CC} - 1.0$	-	-	V
Output Low Voltage ($I_{L} = 3.2$ mA)		V_{OL}	-	-	$V_{SS} + 0.4$	V
Capacitance ($V_{in} = 0$, $T_A = 25^{\circ}\text{C}$, $f = 1.0$ MHz)		C_{in}	-	-	10	pF
POWER REQUIREMENTS						
Internal Power Dissipation (Measured at $T_A = 0^{\circ}\text{C}$)	P_{INT}	-	-	500	mW	

BUS TIMING CHARACTERISTICS (See Notes 1 and 2)

Ident. Number	Characteristic	Symbol	MC6821		MC68A21		MC68B21		Unit
			Min	Max	Min	Max	Min	Max	
1	Cycle Time	t_{CYC}	1.0	10	0.67	10	0.5	10	μ s
2	Pulse Width, E Low	$PW_{E\bar{L}}$	430	-	280	-	310	-	ns
3	Pulse Width, E High	PW_{EH}	650	-	280	-	220	-	ns
4	Clock Rise and Fall Time	t_r, t_f	-	25	-	25	-	20	ns
8	Address Hold Time	t_{AH}	10	-	10	-	10	-	ns
13	Address Setup Time Before E	t_{AS}	80	-	80	-	40	-	ns
14	CS \bar{S} Select Setup Time Before E	t_{CS}	80	-	80	-	40	-	ns
15	CS \bar{S} Select Hold Time	t_{CH}	10	-	10	-	10	-	ns
18	Read Data Hold Time	t_{DHR}	20	50 ¹	20	50 ¹	20	50 ¹	ns
21	Write Data Hold Time	t_{DHW}	10	-	10	-	10	-	ns
20	Output Data Delay Time	t_{DOR}	-	290	-	180	-	150	ns
21	Input Data Setup Time	t_{DSW}	100	-	80	-	80	-	ns

¹The data bus output buffers are no longer sourcing or sinking current by the system high impedance.

FIGURE 1 - BUS TIMING



Notes

- 1 Voltage levels shown are $V_{L} = 0.4$ V, $V_{H} = 2.4$ V, unless otherwise specified.
- 2 Measurement points shown are 0.8 V and 2.0 V, unless otherwise specified.

MAXIMUM RATINGS

Characteristic	Symbol	Value	Unit
Supply Voltage	V _{CC}	-0.3 to +7.0	V
Input Voltage	V _{IN}	-0.3 to +7.0	V
Operating Temperature Range MCS821, MCS8A21, MCS8P21 MCS821C, MCS8A21C	T _A	T _L to T _H 0 to 70 -40 to +85	°C
Storage Temperature Range	T _{STG}	-55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Thermal Resistance Chip to Case	θ _{JA}	50	°C/W
Package		100	
Card		80	

The device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to the high-impedance input. For proper operation it is recommended that V_{IN} and V_{OUT} be constrained to the range GND to (V_{IN} or V_{OUT}) ≤ V_{CC}. Unused inputs must always be tied to an appropriate logic voltage level (e.g. either GND or V_{CC}).

POWER CONSIDERATIONS

The average chip-junction temperature, T_J, in °C can be obtained from
 $T_J = T_A + (P_{DIP} / \theta_{JA})$

Where

T_A = Ambient Temperature, °C

θ_{JA} = Package Thermal Resistance, Junction to Ambient, °C/W

P_{DIP} = P_{INT} + P_{PORT}

P_{INT} = I_{CC} × V_{CC}, Watts = Chip Internal Power

P_{PORT} = P_{OH}, Power Dissipation, Watts = User Determined

For most applications P_{PORT} < P_{INT} and can be neglected. P_{PORT} may become significant if the device is configured to drive Darlington bases of small LED loads.

An approximate relationship between P_{DIP} and T_J if P_{PORT} is neglected is

$$P_{DIP} = k \cdot (T_J - 273^\circ\text{C}) \quad (1)$$

Solving equations 1 and 2 for k gives

$$k = P_{DIP} / (T_A - 273^\circ\text{C}) = \theta_{JA} \cdot P_{DIP}^2 \quad (2)$$

Where k is a constant pertaining to the particular part. k can be determined from equation 2 by measuring P_{DIP} (at equilibrium) for a known T_A. Using this value of k, the values of P_{DIP} and T_J can be obtained by solving equations (1) and (2) iteratively for any value of T_A.

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 V ± 5%, V_{SS} = 0, T_A = T_L to T_H unless otherwise noted.)

Characteristic	Symbol	Min.	Typ.	Max.	Unit
BUS CONTROL INPUTS (IR, RW, RES0, RES1, CS0, CS1, CS2)					
Input High Voltage	V _{IH}	V _{SS} + 2.0	—	V _{CC}	V
Input Low Voltage	V _{IL}	V _{SS} - 0.3	—	V _{SS} + 0.8	V
Input Leakage Current (I _{IL}) = 0 to 2.4 V _I	I _{IL}	—	1.0	2.0	µA
Capacitance (C _{IN}) = 0, T _A = 25°C, f = 1.0 MHz	C _{IN}	—	—	7.5	pF
INTERNAL OUTPUTS (RES0, RES1)					
Output Low Voltage (I _{OL}) = 1.8 mA	V _{OL}	—	—	V _{SS} + 0.4	V
I _{OL} = 2-Output Leakage Current	I _{OL}	—	1.0	1.0	µA
Capacitance (C _{OUT}) = 0, T _A = 25°C, f = 1.0 MHz	C _{OUT}	—	—	5.0	pF
DATA BUS (DD-CI)					
Input High Voltage	V _{IH}	V _{SS} + 2.0	—	V _{CC}	V
Input Low Voltage	V _{IL}	V _{SS} - 0.3	—	V _{SS} + 0.8	V
I _{IL} = 2-Input Leakage Current (V _I = 0.4 to 2.4 V)	I _{IL}	—	2.0	1.0	µA
Output High Voltage (I _{OH}) = 220 µA	V _{OH}	V _{SS} + 2.4	—	—	V
Output Low Voltage (I _{OL}) = 1.8 mA	V _{OL}	—	—	V _{SS} + 0.4	V
Capacitance (C _{IN}) = 0, T _A = 25°C, f = 1.0 MHz	C _{IN}	—	—	12.5	pF



MOTOROLA

MC6840

PROGRAMMABLE TIMER MODULE (PTM)

The MC6840 is a programmable subsystem component of the M6800 family designed to provide variable system time intervals.

The MC6840 has three 16-bit binary counters, three corresponding control registers, and a status register. These counters are under software control and may be used to cause system interrupts and/or generate output signals. The MC6840 may be utilized for such uses as frequency measurements, event counting, interval measuring, and similar tasks. The device may be used for square wave generation, gated delay signals, single pulses of controlled duration, and pulse width modulation as well as system interrupts.

- Operates from a Single 5 Volt Power Supply
- Fully TTL Compatible
- Single System Clock Required (Enable)
- Selectable Prescale on Timer 3 Capable of 4 MHz for the MC6840, 8 MHz for the MC6840A and 8 MHz for the MC6840B
- Programmable Interrupts (IRQ) Output to MPU
- Readable Down Counter Indicates Counts to Go Until Time-Out
- Selectable Gating for Frequency or Pulse-Width Comparison
- RESET Input
- Three Asynchronous External Clock and Gate/Trigger Inputs Internally Synchronized
- Three Malleable Outputs

MOS

IN-CHANNEL SILICON GATE
DEPLETION LOAD

PROGRAMMABLE TIMER



L SUFFIX
CERAMIC PACKAGE
CASE 719



P SUFFIX
PLASTIC PACKAGE
CASE 710

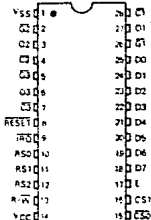


S SUFFIX
CERDIP PACKAGE
CASE 710

ORDERING INFORMATION

Package Type	Frequency	Temperature Range	Order Number
Ceramic Side Brazed Suffix	1.0 MHz	0°C to 70°C	MC6840CL
	1.0 MHz	-40°C to +85°C	MC6840CL
	1.5 MHz	0°C to 70°C	MC6840CL
	1.5 MHz	-40°C to +85°C	MC6840CL
	2.0 MHz	0°C to 70°C	MC6840CL
Plastic P Suffix	1.0 MHz	0°C to 70°C	MC6840P
	1.0 MHz	-40°C to +85°C	MC6840CP
	1.5 MHz	0°C to 70°C	MC6840AP
	1.5 MHz	-40°C to +85°C	MC6840AP
	2.0 MHz	0°C to 70°C	MC6840AP
Ceramic S Suffix	1.0 MHz	0°C to 70°C	MC6840CS
	1.0 MHz	-40°C to +85°C	MC6840CS
	1.5 MHz	0°C to 70°C	MC6840ACS
	1.5 MHz	-40°C to +85°C	MC6840ACS
	2.0 MHz	0°C to 70°C	MC6840ACS

PIN ASSIGNMENT



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V _{CC}	-0.3 to +7.0	V
Input Voltage	V _I	-0.3 to +7.0	V
Operating Temperature Range - T _l to T _h			
MC6840, MC6840A, MC6840C	T _A	0 to +30	°C
MC6840B, MC6840D		-40 to +85	
Storage Temperature Range	T _{stg}	-55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Thermal Resistance			
Case	θ _{JA}	65	°C/W
Frame		114	
Chip		62	

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to the high impedance circuit. For proper operation it is recommended that V_I and V_O be constrained to the range V_{SS} to V_{CC} or V_{CC} to V_{SS}. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{CC}).

DC ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc ± 5%, V_{SS} = 0, T_A = T_l to T_h unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Input High Voltage	V _{IH}	V _{CC} + 0.2	-	V _{CC}	V
Input Low Voltage	V _{IL}	V _{CC} - 0.2	-	V _{CC} - 0.8	V
Input Leakage Current (I _{in}) @ V _I = 0.5 V _{CC}	I _{in}	-	-1.0	2.5	µA
Input Slew Rate Current (I _{SR}) @ V _I = 2.4 V	I _{SR}	2000	150	2.0	µA
Output High Voltage	V _{OH}	V _{CC} - 0.4	-	-	V
I _{OH} = 200 µA					
I _{OH} = 200 µA					
Output Low Voltage	V _{OL}	-	-	-	V
I _{OL} = 10 mA					
I _{OL} = 10 mA					
Output Leakage Current (I _{OL}) State 1 (I _{OL1}) @ V _I = 0	I _{OL1}	-	-1.0	1.0	µA
Output Power Dissipation (Measured at T _A = T _l)	P _{tot}	-	470	700	mW
Input Capacitance	C _i	-	-	12.5	pF
I _{in} = 0, T _A = 25°C (± 1.0 MHz)				7.5	
Output Capacitance	C _o	-	-	5.0	pF
I _{OL} = 0, T _A = 25°C (± 1.0 MHz)				1.0	

AC OPERATING CHARACTERISTICS (See Figures 2-7)

Characteristic	Symbol	MC6840		MC6840A		MC6840C		Unit
		Min	Max	Min	Max	Min	Max	
Setup and Hold Times (Figure 8 and 9) @ 0 and RESET	t _{su} , t _{hd}	-	10*	-	0.50*	-	0.50*	ns
Setup and Hold Times (Figure 8) (Asynchronous Input @ 0 and RESET)	t _{su} , t _{hd}	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	ns
Setup and Hold Times (Figure 9) (Asynchronous Input @ 0 and RESET)	t _{su} , t _{hd}	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	V _{CC} - 1.5	ns
Setup and Hold Times (Figure 6) (Synchronous Input @ 0 and RESET)	t _{su} , t _{hd}	50	-	50	-	50	-	ns
Propagation Delay Time (Figure 6) (Synchronous Mode @ 0)	t _{pd}	20	-	20	-	15	-	ns
Setup and Hold Times (Figure 6) (Asynchronous Mode @ 0)	t _{su} , t _{hd}	12*	-	8*	-	5*	-	ns
Setup and Hold Times (Figure 6) (Synchronous Mode @ 0)	t _{su} , t _{hd}	10	20	10	40	10	30	ns
Setup and Hold Times (Figure 6) (Synchronous Mode @ 0)	t _{su} , t _{hd}	10	40	10	40	10	30	ns
Setup and Hold Times (Figure 6) (Synchronous Mode @ 0)	t _{su} , t _{hd}	10	2.0	1.0	-	1.0	-	ns
Setup and Hold Times (Figure 6) (Synchronous Mode @ 0)	t _{su} , t _{hd}	10	-	-	0.9	-	0.7	ns

APENDICE C

MASTER SELECTION GUIDE

INTERFACE—Analog to Digital Converters (Cont'd)

Ordering Code	Power Supply Type (V)	Power Supply (mA)	Bit Output	Conv. Bit Output	Control Bit Output	Control Off Bit Output	CTC in 2's Comp. Output	Sign Magn. Output	Mult. in	Int. S&H	Int. Ref.	Par. Out	Ser. Out	Device	Source	Line		
12	4C	1.5	1800	x			x					x		HS920B	HybridSys			
			2350*	x	x	x		x				x	x	x	ADC801B	• Berr-Brown (2541)		
														ADC8035	• Berr-Brown (2541)			
1	56	1800	1000	x	x							x		HAS1202A	AD	5		
			1800*	x	x							x	x		VC594J	YTC (2373)		
			1900	x	x							x	x	VC594E	Y YTC (2373)			
			2700	x	x							x	x	AD-BS16-12	ILC-DCC			
			2850	x	x							x	x	ADC817MC	• Datal (2575)	10		
			3050	x	x							x	x	ADC817MN	•† Datal (2574)			
														ADC818MC	• Datal (2575)			
														ADC818MN	•† Datal (2574)			
			2850	x	x							x	x	HAS1204	AD (2427)			
			3050									x	x	AD000404-102	Y ILC-DCC			
2	2	1800*	1800*	x	x							x		HAS1202	AD	15		
			775*	x	x							x	x		AD578L	AD		
			775	x	x							x	x	AD578L	Maxim			
			775	x	x							x	x	AD578T	Y Maxim			
			1900	x	x							x	x	ADC827MC	• Datal (2575)			
												x	x	ADC827MN	•† Datal (2574)	20		
4	1	1550	2700									x	x	ADC6010	Y Intech (2799)			
													x	x	ADC811MC	• Datal (2575)		
														ADC811MN	•† Datal (2574)			
4	5	755*	775*	x	x							x	x	AD578K	AD	25		
			775*	x	x								x	x	AD578K	Maxim		
			775	x	x									x	x	AD578S	Y Maxim	
			875*	x	x									x	x	AD578T	Y AD	
5	1	100*	215											AD7572K	AD (2413)			
															AD7572T	Y AD (2413)		
			1100												AD7572	Y Maxim	30	
															AD5242W	AD		
															AD5242S	AD		
															AD5242K	AD		
			1120										AD5242S	Y AD				
6	1	775*												HS9342B	Y HybridSys	35		
														HS9342C	HybridSys			
														AD578J	AD			
			875*	x	x								AD578J	Maxim				
													AD578S	Y AD				
6	5	2275												ADAM312	Analogic	40		
															H1774ALB-5	Harris (2738, 2746, 2748)		
														H1774ALB-5	Harris (2738, 2746, 2748)			
8	1	1400*												MNADC8-12	• MicroNet	45		
															MNADC85-12	• MicroNet		
															MNADC87	• MicroNet		

(Cont'd)

(Continued)

Comp — Complementary Magn — Magnitude

CTC — Control 2's Comp. Int. Ref. — Internal Reference

Mult. In — Multiplexed Inputs S&H — Sample and Hold

Par. Out — Parallel Output Ser. Out — Serial Output

INTERFACE—Analog to Digital Converters (Cont'd)

Part No.	Data Bus	Power Supply	Output	Conv. Time (ms)	On-Chip		Compl. Conv.		CTC or 2's Comp.		Sign. Magn.	Max. In.	SAR	V _{ref} Int.	V _{ref} Ext.	Par. Out.	Ser. Out.	Device	Source	Line
					Bin. Output	Bin. Output	Bin. Output	Bin. Output	2's Comp.	2's Comp.										
(Cont'd)																				
(Core'd)																				
12	16	1.5	915															ADCS212N	† Digital	(2574)
																		ADCS216	• Digital	(2575)
																		ADCS216N	† Digital	(2574)
																		MMS210	• MicroNet	
																		MMS210N	† MicroNet	5
																		MMS211	• MicroNet	
																		MMS211H	† MicroNet	
																		MMS212	• MicroNet	
																		MMS212H	† MicroNet	
																		MMS216	• MicroNet	10
																		MMS216H	† MicroNet	
																		TPS210	TelemetryP	
																		TPS211	TelemetryP	
																		TPS211HR	† TelemetryP	
																		TPS212	TelemetryP	15
																		TPS212HR	† TelemetryP	
																		TPS213	TelemetryP	
																		TPS213HR	† TelemetryP	
																		TPS214	TelemetryP	
																		TPS214HR	† TelemetryP	20
																		TPS215	TelemetryP	
																		TPS215HR	† TelemetryP	
																		TPS216	TelemetryP	
																		TPS216HR	† TelemetryP	25
																		TPS217	TelemetryP	
																		TPS217HR	† TelemetryP	
			1000															ADS211B	AD	
																		ADS211T	† AD	
																		ADS212B	AD	
																		ADS212T	† AD	30
																		ADS214B	AD	
																		ADS214T	† AD	
																		ADS215B	AD	
																		ADS215T	AD	
			15															AD6743	† AD	(2411)
																		AD674T	† AD	(2411)
																		AD674B	† AD	(2411)
			500															HSS74R	HybridSys	
																		HSS74L	HybridSys	
			720															ADCS74AK	Barr-Brown	40
																		ADCS74AT	† Barr-Brown	
			70															ADCS804	• Barr-Brown	(2541)
			595															ADC304S	• † Barr-Brown	(2541)
			720															ADCS74A	† Intech	(2799)
			2000															ADCS112BGC	Datal	45
																		ANCR1125M	† Datal	(2574)
			70															ADCS74AK	Datal	(2575)
																		ADCS74AL	Datal	(2575)
			725															ADCS74AK	AD	

(Continued)

Compl. — Complementary
Mag. — Magnitude

CTC — Compl. 2's Comp.
Int. Ref. — Internal Reference

Max. In. — Maximum Input
SAR — Sample and Hold

Par. Out. — Parallel Output
Ser. Out. — Serial Output

MASTER SELECTION GUIDE

INTERFACE—Analog to Digital Converters (Cont'd)

Part No.	Conversion Rate (bits/sec)	Power Cons. (mW)	On-Bit Output	Off-Bit Output	Compl. Bit Output	Control Bit Output	CTC or Comp. Output	Sign. Magn. Output	Mult. In.	5.5V In.	10V In.	15V In.	Par. Out.	Ser. Out.	Device	Source	Line
Binary Output																	
12	62	50	915												MNS200	MicroMet	
															MNS200H	MicroMet	
															MNS201	MicroMet	
															MNS201H	MicroMet	
															MNS202	MicroMet	5
															MNS202H	MicroMet	
															MNS206	MicroMet	
															MNS206H	MicroMet	
175	80														HSS250C	HydraSys	10
															HSS251C	HydraSys	
															HSS252C	HydraSys	
															HSS253C	HydraSys	
															MNS250	MicroMet	
															MNS250H	MicroMet	
															MNS251	MicroMet	15
															MNS251H	MicroMet	
															MNS252	MicroMet	
															MNS252H	MicroMet	
															MNS253	MicroMet	
															MNS253H	MicroMet	20
250	311														MNS700	MicroMet	
300	112														ADOC128MAC	Datal	
															AKOC128WB	Datal (2574)	
5000	15														APD7002	NEC	
20000	20														6145	TeledyneP	25
24000	20														ABC16128	Datal (2575)	
	25														TSC8702	TeledyneS	
															TSC8705	TeledyneS	
100000	20														ICL7109	GE/Intersil (2667)	
															ICL7109	MicroMet	30
															TSC7109BC	TeledyneS	
															TSC7109C	TeledyneS	
															TSC7109M	TeledyneS	
11	15	2350*													ADC83C	Burr-Brown (2541)	
25	705														ADC22M17	Burr-Brown (2541)	35
200	210														ADC1210	National	
															ADC1210C	National	
	500														ADC7109	Datal (2575)	
0.5	4300														ADC00300	ILC DDC	
1.5	3050														ADC0043-103	ILC DDC	40
															ADC0043-203	ILC DDC	
															ADC0040-103	ILC DDC	
															ADC0040-203	ILC DDC	
2	2700														ADH8516-11	ILC DDC	
5	100*														827572	AD (7413)	45
															827572S	AD (7413)	
															R1776AJD-S	Harris (2738, 2746, 2748)	

(Cont'd)

Compl.—Complementary; Magn.—Magnitude; CTC—Comp. 7's Compl. or 10's Internal Reference; Mult. In.—Multiplexed Inputs; 5.5V In.—Sample and Hold; Par. Out.—Parallel Output; Ser. Out.—Serial Output

IC MASTER

INTERFACE—Analog to Digital Converters (Cont'd)

Part No.	Linear Error ±LSB	Conversion Time (min)	Power On (min)	Bin Output	DI Bin Output	Control Bin Output	Control DI Bin Output	DTG # 2's Comp Output	Sign Magn Output	Max In	Min In	Ref	Per Out	Seq Out	Device
Binary Output															
12	1	7													HI774ASD-2
															HI774ATB-2
10	500														AM6112
12	85														ADC9612B † PSE
															ADC9612Y PSE
															ADC9612B PSE
15	500														HSS74T † Hybrids
															HSS74U † Hybrids
	720														ADC574AJ † Semi-Dcm
															ADC574AS † Semi-Dcm
															RM744JB-B
															RM74ASD-2 †
															RM74ASB/BD †
25	720														HY967AJ Harris
															ADC574AJ Harris
															HI574AD-5 Harris
															HI574ASB-2 † Harris
															BS74ASB/BD † Harris
															TP574AJ Tecon
															TP574AS † Tecon
	725														AD574AJ AD
															AD574AS † AD
	750														MP574J MicroPer
															MP574S † MicroPer
	780														ADC574AJ Burn-Brown
															ADC574A1 † Burn-Brown
27.5	300														ML2200C MicroLiner
															ML2230C MicroLiner
															ML2230G MicroLiner
30	750														HSS74AJ Hybrids
															HSS74ASB † Hybrids
	780														AD574J AD
	800														HSS474J Hybrids
															HSS474S † Hybrids
															HSS474S8 † Hybrids
															HSS474T † Hybrids
	1100														HSS410J Hybrids
															HSS410S8 † Hybrids

† Military Temperature Range (-55° to 125° C)

‡ High Radiation Resistance

* Typical Value

† MicroPer

‡ Available in Surface Mount

Build face indicates additional data is provided on the page behind.

MASTER SELECTION GUIDE

INTERFACE—Analog to Digital Converters (Cont'd)

Model	Resolution (bits)	Power Supply Voltage (max)	Bit Output	Comp Out Output	Compl Out Output	Comp Out Output	CTC or 2's Compl Output	Sign Magn Output	Max In	S&H	Int Ref Input	Int Ref Input	Par Out	Ser Out	Form Factor	Source	Line
(Cont'd)																	
10	30	1340	x	x					x	x						HS9406J HybridSys	
			x	x					x	x						HS9406SB † HybridSys	
		1520	x	x					x	x						HS9404J † HybridSys	
			x	x					x	x						HS9406SB † HybridSys	
35	620		x	x												ACS742J AD	3
			x	x												AD5742K AD	
50	725		x													AD5264B AD	
100			x													AD7578K AD	
			x													AD7578T † AD	
175	80				x											HS52560 † HybridSys	10
						x										HS5251B † HybridSys	
							x									HS5252B † HybridSys	
								x								HS5253B † HybridSys	
14	15	150	x	x				x	x	x	x	x	x	x		HADC6742 † HoneywellIPT (2997, 2999)	
		720	x	x												H16744B-5 Harris (2703, 2738, 2744, 2748)	15
			x	x												H16744L Harris (2703, 2738, 2744, 2748)	
			x													H16744D-2 † Harris (2703, 2738, 2744, 2748)	
			x													H16747B/2B1 † Harris (2703, 2738, 2744, 2748)	
25	150		x	x				x	x	x	x	x	x	x		HADC6742 † HoneywellIPT (2995, 3000)	
		720	x	x												H15744B-5 Harris (2703, 2738, 2744, 2748)	20
			x	x												H15744B-5 Harris (2703, 2738, 2744, 2748)	
			x													H15744D-2 † Harris (2703, 2738, 2744, 2748)	
			x	x												H15744D/2B1 † Harris (2703, 2738, 2744, 2748)	
			x													H15744D-2 † Harris (2703, 2738, 2744, 2748)	
			x	x												H15744D-4 † Harris (2703, 2738, 2744, 2748)	25
			x	x												TP5744K TeledyneP	
			x	x												TP5744T † TeledyneP	
			x	x												TP5744U † TeledyneP	
750			x	x												MP574K MicroPer	
			x	x												MP574L MicroPer	30
			x	x												MP574T † MicroPer	

(Continued)

Comp — Complementary
Magn — Magnitude

CTC — Compl. 2's Compl.
Int. Ref. — Internal Reference

Max. In — Multiplexed Inputs
S&H — Sample and Hold

Par. Out — Parallel Output
Ser. Out — Serial Output

Form. Factor — Form Factor

IC MASTER

INTERFACE—Analog to Digital Converters (Cont'd)

Part No.	Logic	Conv. Rate	Power	On	Conv.	Comp	CTC	Sign	Mult	Int	Par	Sur	Device	Package
Pin	Pin	Pin	Pin	Pin	Pin	Pin	Pin	Pin	Pin	Pin	Pin	Pin		
1-16	1-16	1-16	1-16	1-16	1-16	1-16	1-16	1-16	1-16	1-16	1-16	1-16		
Binary Output														
12	1/2	25	750	x	x								MP574U	1 MicroPer
	1 1/2	2400	50	x									ADCE129C	Dual
	2	200	210	x									ALC1211	1 Narrow
				x									ADC1211C	Narrow
	4	21	950*	x	x	x	x						ADC80A-16	8-pin Dual
12 Plus Sign														
	—	160	—	x									AD755Z	AD
	1/2	100*	15*										ADC1205BC	Narrow
													ADC1205BC-1	Narrow
													ADC1225BC	Narrow
													ADC1225BC-1	Narrow
													TLG1206M	† TI
													TLG1225M	† TI
	1	100*	15*										ADC1205CC	Narrow
													ADC1205CC-1	Narrow
													ADC1225CC	Narrow
													ADC1225CC-1	Narrow
12 (2 devices max)														
	1/2	15	785	x									HS5210B	† HybridSip
				x									HS5210C	HybridSip
				x									HS5212B	† HybridSip
				x									HS5211C	HybridSip
				x									HS5212B	† HybridSip
				x									HS5212C	HybridSip
				x									HS5213B	† HybridSip
				x									HS5213C	HybridSip
				x									HS5214B	† HybridSip
				x									HS5214C	HybridSip
				x									HS5215B	† HybridSip
				x									HS5215C	HybridSip
				x									HS5216B	† HybridSip
				x									HS5216C	HybridSip
	250000	40		x									IC17184-12	† E1/Analog
	360			x									IC18452A	† E1/Analog
12 (3-Digit BCD)														
	1 1/2	1200	20										ADGEA120C	• Dual
	1	6000	50										AD7000	AD
13														
	1/2	10	2400	x									MP2713C	Analog
		4000*	64										MP750B	MicroPer
		72											AD7506	AD
13 (D/A, A/D)														
	1/2	30		x									MC16542	• Motorola
14														
	1/2	2735		x	x								DA53714	† Intech
		2000		x									MP2734	Analog
		10	2400	x									MP2714C	Analog
				x									AD63714	† Intech
		3000		x	x								MP8014	Analog
	16	150*		x	x	x	x						CS5014	Crystal
	40												ICL7115	• E1/Analog
	50	1100		x	x								AD714V	• E24 Analog

* Military Temperature Range (-55° to 125°C)

† High Radiation Resistance

* Typical value

• Macrocell

• Available in Surface Mount

Small face indicates additional data is provided on the page noted

ADC1210, ADC1211 12-Bit CMOS A/D Converters

General Description

The ADC1210, ADC1211 are low power, medium speed, 12-bit successive approximation, analog-to-digital converters. The devices are complete converters requiring only the application of a reference voltage and a clock for operation. Included within the device are the successive approximation logic, CMOS analog switches, precision laser trimmed thin film R-2R ladder network and FET input comparator.

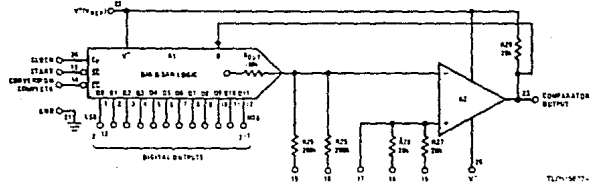
The ADC1210 offers 12-bit resolution and 12-bit accuracy, and the ADC1211 offers 12-bit resolution with 10-bit accuracy. The inverted binary outputs are directly compatible with CMOS logic. The ADC1210, ADC1211 will operate over a wide supply range, convert both bipolar and unipolar analog inputs, and operate in either a continuous conversion mode or logic-controlled START-STOP conversion mode. The devices are capable of making a 12-bit conversion in 100 μ s typ, and can be connected to convert 10 bits in 30 μ s.

Both devices are available in military and industrial temperature ranges.

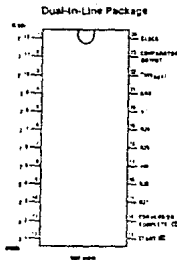
Features

- 12-bit resolution
- $\pm 1/2$ LSB or ± 2 LSB nonlinearity
- Single -5 v to $+15$ v supply range
- 100 μ s 12-bit, 30 μ s 10-bit conversion rate
- CMOS compatible outputs
- Bipolar or unipolar analog inputs
- 200 k Ω analog input impedance

Block Diagram



Connection Diagram



Order Number ADC1210HD,
ADC1210HCD, ADC1211HD,
ADC1211HCD
See NS Package D24D

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Maximum Reference Supply Voltage (V ⁺)	16V
Maximum Negative Supply Voltage (V ⁻)	-20V
Voltage At Any Logic Pin	V ⁺ + 0.3V
Analog Input Voltage	±15V
Maximum Digital Output Current	±10 mA
Maximum Comparator Output Current	50 mA

Comparator Output Short-Circuit Duration	5 Seconds
Power Dissipation	See Curves
Operating Temperature Range	
ADC1210HD, ADC1211HD	-55°C to +125°C
ADC1210HCD, ADC1211HCD	-25°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C
ESD Susceptibility (Note 4)	TBD V

DC Electrical Characteristics (Notes 1 and 2)

Parameter	Conditions	ADC1210			ADC1211			Units
		Min	Typ	Max	Min	Typ	Max	
Resolution		12			12			Bits
Linearity Error	(Note 3) I _{CLK} = 65 kHz, T _A = 25°C I _{CLK} = 65 kHz			±0.0183 ±0.0366			±0.0488	% FS % FS
Full Scale Error	T _A = 25°C, Unadjusted			0.20			0.50	% FS
Zero Scale Error	T _A = 25°C, Unadjusted			0.20			0.50	% FS
Quantization Error				±1/2			±1/2	LSB
Input Resistor Values	R27, R28		20			20		kΩ
Input Resistor Values	R25, R26		200			200		kΩ
Input Resistor Ratios	R25/R26, R27/R28			0.8			0.8	%
Logic "1" Input Voltage		8			8			V
Logic "0" Input Voltage				2			2	V
Logic "1" Input Current	V _{IN} = 10.24V			1			1	μA
Logic "0" Input Current	V _{IN} = 0V			-1			-1	μA
Logic "1" Output Voltage	I _{OUT} = -1 μA	9.2			9.2			V
Logic "0" Output Voltage	I _{OUT} = 1 μA			0.5			0.5	V
Positive Supply Current	V ⁺ = 15V, I _{CLK} = 65 kHz, T _A = 25°C		5	8		5	8	mA
Negative Supply Current	V ⁻ = -15V, T _A = 25°C		4	6		4	6	mA

AC Electrical Characteristics T_A = 25°C, (Notes 1 and 2)

Parameter	Conditions	Min	Typ	Max	Units
Conversion Time			100	200	μs
Maximum Clock Frequency			130	65	kHz
Clock Pulse Width		100	50		ns
Propagation Delay From Clock to Data Output (Q0 to Q11)	t _s ≤ t _s 10 ns		60	150	ns
Propagation Delay from Clock to Conversion Complete	t _s ≤ t _s 10 ns		60	150	ns
Clock Rise and Fall Time				5	μs
Input Capacitance			10		pF
Start Conversion Set-Up Time		30			ns

Note 1: Unless otherwise noted, these specifications apply for V⁺ = 10.24V, V⁻ = -15V, over the temperature range -55°C to +125°C for the ADC1210HD, ADC1211HD and -25°C to +85°C for the ADC1210HCD, ADC1211HCD.

Note 2: All typical values are for T_A = 25°C.

Note 3: Unless otherwise noted, the specification applies over the temperature range -25°C to +85°C. Provision is made to adjust zero scale error to 0V and full scale to 10.2371V during testing. Standard inventory test circuit as shown in Figure 34.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

APENDICE D

Working Type Z S P	Power OH with (Power)	Bin Input	OH Bin Input	Comp Bin Input	Comp OH Bin Input	OTC or Z's Current Input	Sign Input	TL Logic	CMOS Logic	IC Logic	MR Bin	M-1	Location	Device	Source	Line
Y1	35													AD7545	AD	(Cont'd)
														AD7545U	AD	
	0 003 *													BT104	† Brocotee	
														BT105	† Brocotee	
	0 01													AD667	AD	5
														AD667S	† AD	
	0 020 1000													TR242	† Tektronix	
	0 035													AD568J	AD (2403)	
														AD568K	AD (2403)	
														AD568S	† AD (2403)	10
	855													AD51250	AD	
														AD51250M	† AD	
	0 04 1150													DAC638M	† Burr-Brown	
															(2542)	
														DAC63CC	† Burr-Brown	(2542)
														DAC63CM	† Burr-Brown	(2542)
														DAC63T	† Burr-Brown	(2542)
															(2542)	15
	0 045 1160													DAC638G	† Burr-Brown	(2542)
	0 05													AD430H 12	†	
															ILC-DDC	
	780													DACH128M2	† Data	
														DACH128M	† Data	(2578)
	NR													HS9393B	† HybridsSys	
														HS9393C	† HybridsSys	
														HS9394B	† HybridsSys	
														HS9394C	† HybridsSys	
	1200													DAC391B 12	† HybridsSys	
														DAC391C 12	† HybridsSys	25
	1330													DAC397B 12	† HybridsSys	
														DAC397C 12	† HybridsSys	
	1451													MC4000	† HyComp	
														MC4000-BB3	† HyComp	
	0 06 395													AD65	† TeledyneP	
														AD65HP	† TeledyneP	
	0 06 575													DAC657B 12	† ILC-DDC	
	0 065 1600													DAC812C	† Burr-Brown	(2542)
	0 1 645													AD65HP	† TeledyneP	35
	0 2 430 *													DAC10H	† Burr-Brown	
	0 21 117 *													AMP0124C	† Maxam	
														AMP0124M	† Maxam	
	245													AD565AJ	AD	
														AD565AS	† AD	
														AD565A	† Maxam	40
														AD565AS	† Maxam	
														MC5655AJ	† MCE	
														MC5655AS	† MCE	
														MN565AJ	† Microphot	45
														MN565AS	† Microphot	

(Continued)

Map - MacBuck Comp - Componentary MR Ref - Internal Reference

IC MASTER

INTERFACE—Digital to Analog Converters (Cont'd)

Line No.	Logic Error	Setting	Power On	OH	OH	Control	Comp	ETC or	Sign	TL	CMOS	EO	Int	Multi	Latches	Device	Source
10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
17	1/2	0.25	900			X	X			X						A080	↑ Transducer
						X	X			X						A080HR	↑ Transducer
						X	X			X						A081	Transducer
						X	X			X						A081HR	↑ Transducer
						X	X			X						A082	Transducer
						X	X			X						A082HR	↑ Transducer
		0.1*				X	X			X						DAC854-CB14	Burr-Brown
						X	X			X						DAC874-CB11	↑
																	Burr-Brown
																	CMOS
		0.3	270	X						X						DAC1256L	National
				X						X						DAC1256LC	National
			345	X						X						DAC1255L	National
				X						X						DAC1255LC	National
		0.3*	800*			X	X	X								DAC850-CB11	Burr-Brown
						X	X	X								DAC851-CB11	↑
																	Burr-Brown
		0.3	1000			X				X						H1568R	Keith
						X				X						H1568J	Keith
						X				X						H1567J	↑ Keith
																	ETC
			1200			X	X	X		X						DAC882-CB11	Burr-Brown
		0.3/1.5*	800*			X	X	X		X						DAC820-CB11	Burr-Brown
						X	X	X		X						DAC820-CB11	↑ Burr-Brown
						X	X	X		X						DAC851-CB11	↑
																	Burr-Brown
		0.3.3*	500			X	X	X								DAC80-CB11	Burr-Brown
			850			X	X	X								AD0A21/CR	↑ AD
						X	X	X								DAC85	Micro
			925			X	X	X								AD0A20/CR	AD
						X	X	X								AD0A21	CR
						X	X	X									↑ AD
						X	X	X								AD0A20/CR	AD
		0.35	300	X		X				X						AD566AJ	Max
				X		X				X						AD566AS	↑ Max
				X		X				X						AD566J	AD
		0.4		X		X				X						AD566J	AD
				X		X				X						AD566S	↑ AD
				X		X				X						AD566S	↑ AD
			275	X		X				X						DAC4565	↑ MCI
			300	X		X				X						AD566AJ	AD
				X		X				X						AD566AS	↑ AD
				X		X				X						AD566J	AD
				X		X				X						AD566S	↑ AD
				X		X				X						MCE565J	↑ MCI
				X		X				X						MCE565S	↑ MCI
				X		X				X						MCE566AJ	↑ MCI
				X		X				X						MCE566AS	↑ MCI
				X		X				X						MCE566J	↑ MCI
				X		X				X						MCE566S	↑ MCI

* Military Temperature Range (-55° to 125°C)

† High Resolution Resistance

* Typical value

† Microcode

‡ Available in Surface

Blank box indicates additional data is provided on the page next

INTERFACE—Digital to Analog Converters (Cont'd)

Series Type & Part No.	Power Diss. mW	Pin 1	DIP Pin Input	Control Pin Input	Range		CTC # Z's	Exp. Magn. Input	TTL Logic	CMOS Logic	ECL Logic	V _H Ref.	V _{CC} Ref.	Latches	Devices	Source	Line
					Centr. Bin Input	Ext. Bin Input											
04	345		x	x					x	x					AD5651	AD	(Cont'd)
			x	x					x	x					AD5655	† AD	
			x	x						x	x				AS651C	† Fairchild	
400			x	x					x	x					AS655M	† Fairchild	5
			x	x	x	x				x	x				PC6012	NEC	
780			x	x	x	x				x	x				PC648	NEC	5
			x	x	x	x				x	x				W5628-S	• Harris (2733, 2734, 2748, 2749)	
05															FBAC7500AC	• HoneywellSPT (2997)	10
															FBAC7500AJ	• HoneywellSPT (2997)	
															EMC7500B	† HoneywellSPT (2997)	
										x	x				FBAC75412AC	HoneywellSPT (2997, 2999)	
											x	x			FBAC75412AJ	HoneywellSPT (2997, 2999)	
											x	x			EMC75412M	† HoneywellSPT (2997, 2999)	
															FBAC7542AC	HoneywellSPT (2997, 2999)	
															FBAC7542AJ	HoneywellSPT (2997, 2999)	
															FBAC7543AC	HoneywellSPT (2997, 2999)	
															FBAC7543AJ	HoneywellSPT (2997, 2999)	
															FBAC7543AM	† HoneywellSPT (2997, 2999)	
															FBAC7543AN	† HoneywellSPT (2997, 2999)	
006			x	x						x	x				DAC8128C	Datal (2574)	25
			x	x						x	x				DAC8128M	† Datal (2574)	
20			x	x						x	x				DAC8128C-1	Datal (2574)	25
			x	x							x	x			MC8128-1	† Datal (2574)	
312*			x	x	x	x				x	x				AM6012M	† AMD	30
			x	x	x	x					x	x			AM6012C	Mazom	
			x	x	x	x					x	x			AM6012M	† Mazom	
			x	x	x	x					x	x			MC6012C	MACE	
			x	x	x	x					x	x			MC6012M	† MACE	
375			x	x	x	x				x	x				W5645D-S	• Harris (2733, 2749)	5
			x	x							x	x			W5645D-5	† Harris (2733, 2749)	
495			x	x						x	x			AD5671	AD		

Magn.—Magnitude Centr.—Complementary V_H Ref.—Internal Reference CTC—Compl. Z's Compl. M.X.—Multiplying

IC MASTER

INTERFACE—Digital to Analog Converters (Cont'd)

Part No.	Linear Input	Settling Time to 1/2 LSB (µs)	Power Diss. (max)	Bin Input	OH Bin Input	Control Bin Input	Control OH Bin Input	OTC or 2 ⁿ Control Input	Sign. Length Input	TTL Logic	CMOS Logic	CLC Logic	VI Ref	MAK	Latch	Device	Package
12	1/2	0.5	495	x	x				x	x	x	x	x			AD5675	1 AD
				x	x				x	x	x	x	x			MN5677	Microfit
				x	x				x	x	x	x	x			MN5679	1 Microfit
	0.5 *	1300		x	x				x	x	x	x			HM11205	AD	
				x	x	x	x	x	x	x	x	x			HM11206	1 AD	
				x	x	x	x	x	x	x	x	x			DA075414B	8-pin DIP	
	0.6	450		x	x	x	x	x	x	x	x	x			DA075414A	8-pin DIP	
				x	x	x	x	x	x	x	x			DA075414B	8-pin DIP		
				x	x	x	x	x	x	x	x			DA075414C	1 8-pin DIP		
	0.6 *	470		x	x				x	x	x	x			S7541AK	Submini	
				x	x				x	x	x	x			S7541K	Submini	
				x	x				x	x	x	x			S7541AT	1 Submini	
	0.6	1410		x	x				x	x	x	x			S7541T	1 Submini	
				x	x				x	x	x	x			DAC2929-12	Hybrid	
				x	x				x	x	x	x			DAC2929C-12	Hybrid	
	0.75 *	555		x	x	x	x		x	x	x	x			H15490V	8-pin DIP	
				x	x	x	x		x	x	x	x			H15495V	8-pin DIP	
				x	x	x	x		x	x	x	x			H15497V	1 8-pin DIP	
1				x	x				x	x	x	x			DA08012	8-pin DIP	
				x	x				x	x	x	x			DA08112	Quad	
				x	x				x	x	x	x			DA08212	PMI	
1 *	11 *			x	x	x	x		x	x	x			MP7622K	Microfit		
1	20 *			x	x	x	x		x	x	x	x			AD7541B	AD	
				x	x	x	x		x	x	x	x			AD7541K	AD	
				x	x	x	x		x	x	x	x			AD7541T	1 AD	
				x	x	x	x		x	x	x	x			AD7541B	CL/standard	
				x	x	x	x		x	x	x	x			AD7541K	CL/standard	
				x	x	x	x		x	x	x	x			AD7541T	CL/standard	
				x	x	x	x		x	x	x	x			AD7541B	Mask	
				x	x	x	x		x	x	x	x			AD7541A	Mask	
				x	x	x	x		x	x	x	x			AD7541AT	1 Mask	
				x	x	x	x		x	x	x	x			AD7541B	Mask	
1 *	20 *			x	x	x	x		x	x	x	x			AD7541K	Mask	
				x	x	x	x		x	x	x	x			AD7541T	1 Mask	
				x	x	x	x		x	x	x	x			MP7541B	Microfit	
				x	x	x	x		x	x	x	x			MP7541K	Microfit	
				x	x	x	x		x	x	x	x			MP7545	Microfit	
				x	x	x	x		x	x	x	x			MP7621B	Microfit	
				x	x	x	x		x	x	x	x			MP7621A	Microfit	
				x	x	x	x		x	x	x	x			MP7621T	1 Microfit	
				x	x	x	x		x	x	x	x			MP7623B	Microfit	
				x	x	x	x		x	x	x	x			H57541A	Hybrid	
30 *	30			x	x				x	x	x	x			H57541B-2	1 Hybrid	
				x	x				x	x	x	x			H57541C-2	Hybrid	
				x	x				x	x	x	x			DAC1208	Nature	
				x	x				x	x	x	x			DAC1218	Nature	
				x	x				x	x	x			DAC1230	Nature		

* Military Temperature Range (-55° to 125°C)

† High Radiation Resistance

* Typical Value

† Microfit

‡ Available in Surface

‡ Bold face indicates additional data is provided on the page noted.

MASTER SELECTION GUIDE

INTERFACE—Digital to Analog Converters (Cont'd)

Order Code	Part No.	Part Name	Power Supply Voltage (VDC)	Input Type	Output Type	Comp. Type	Control Type	CTC Type	Exp. Type	TTL Logic	CMOS Logic	EC Logic	IC Type	Mount.	Package	Device	Source	Line
1	30			X	X					X	X				X	PM7541A	± PMI (2974, 2976)	(Cont'd)
				X	X					X	X				X	PM7541E	PMI (2974, 2976)	
				X	X					X	X				X	PM7541G	PMI (2974, 2976)	
1	40*			X	X	X	X		X	X	X				X	MP7627B	MicroPer	
1	45			X	X					X	X				X	PM7548A	± PMI (2974, 2976)	5
				X	X					X	X				X	PM7548B	± PMI (2974, 2976)	
				X	X					X	X				X	PM7548E	PMI (2974, 2976)	
				X	X					X	X				X	PM7548F	PMI (2974, 2976)	
				X	X					X	X				X	PM7548G	PMI (2974, 2976)	
				X	X					X	X				X	PM7548H	PMI (2974, 2976)	10
	50			X	X					X	X				X	DAC8012A	± PMI (2974)	
				X	X					X	X				X	DAC8012E	PMI (2974)	
				X	X					X	X				X	DAC8012G	PMI (2974)	
				X	X					X	X				X	DAC812A	± PMI (2964, 2974, 2976)	
				X	X					X	X				X	DAC812E	PMI (2964, 2974, 2976)	15
				X	X					X	X				X	DAC812G	PMI (2964, 2974, 2976)	
	450			X	X					X	X				X	RAC7941	Relco (2976)	
				X	X	X	X		X	X	X				X	MP7623M	MicroPer	
				X	X	X	X		X	X	X				X	MP7623T	± MicroPer	
				X	X					X	X				X	DAC8543	PMI (2976)	20
				X	X					X	X				X	PM7542A	± PMI (2974, 2976)	
				X	X					X	X				X	PM7542B	± PMI (2974, 2976)	
				X	X	X	X		X	X	X				X	PM7542E	PMI (2974, 2976)	
				X	X	X	X		X	X	X				X	PM7542F	PMI (2974, 2976)	
				X	X	X	X		X	X	X				X	PM7542G	PMI (2974, 2976)	25
				X	X	X	X		X	X	X				X	PM7542H	PMI (2974, 2976)	
				X	X	X	X		X	X	X				X	PM7543A	± PMI (2974, 2976)	
				X	X	X	X		X	X	X				X	PM7543B	± PMI (2974, 2976)	
				X	X	X	X		X	X	X				X	PM7543E	PMI (2974, 2976)	
				X	X	X	X		X	X	X				X	PM7543G	PMI (2974, 2976)	30
				X	X	X	X		X	X	X				X	PM7543H	PMI (2974, 2976)	
				X	X					X	X				X	TP7541B	TeledyneP	
				X	X					X	X				X	TP7541K	TeledyneP	
				X	X					X	X				X	TP7541T	± TeledyneP	
	470			X	X	X	X	X	X	X	X				X	S7545	Sicon	35
	750			X	X					X	X				X	H5CA3003	HybriSys	

(Cont'd)

Exp—Exponential Comp—Complementary IC Ref—Internal Reference

CTC—Comp. Zs Control M.A.—Multiplying

INTERFACE—Digital to Analog Converters (Cont'd)

Part No.	Linear Rr Error % (LSB)	Setting Time (µs)	Power Diss. (mW)	Pin. Count	Ch. No. Input	Comp. Bin. Input	Comp. OR Bin. Input	CYC or Z's Comp. Input	High Imp. Input	TC Input	CHACK Logic	TC Logic	Ref. Pin.	Max. Rate	Label	Device	Notes						
12	0.2	1	800		x		x	x	x	x	x	x	x	x	x	S7545U	† MicroPwr						
		1*	975		x	x										DAC811A	Burr-Brown						
						x	x										DAC811B	† Burr-Brown					
				1000		x	x	x	x								MP7622T	† MicroPwr					
		1.0	30			x	x											PM7545A	† Pwr				
							x	x											PM7545B	Pwr			
						x	x											PM7545C	Pwr				
						x	x											PM7545D	† Pwr				
						x	x											PM7545E	Pwr				
						x	x											PM7545F	Pwr				
	1.2	800			x	x												H5811J-5	Hydra				
		1.5																AD7549K	AD				
1.5*					x	x												PM5619	† Pwr				
						x	x											PM561T	Pwr				
						x	x											PM561W	Pwr				
1.8		200			x	x												MP562H	MicroPwr				
					x	x											MP562J	MicroPwr					
					x	x											MP562K	MicroPwr					
1.5*	465			x	x												AD562K/80N	AD					
	475			x	x												AD562J/80N	AD					
	750			x	x	x	x										MSDAC800B-Y	HydraGen					
	800*			x	x	x	x										DACS800B-Y	Burr-Brown					
2	30			x	x	x	x											DACS810B-Y	Burr-Brown				
						x	x											DACS754J	Burr-Brown				
						x	x												BAC8-12	Intech			
																				H57542K	HydraGen		
																				H57542T	† HydraGen		
																				H57543K	HydraGen		
	30																			H57543T	† HydraGen		
																					H57545K	HydraGen	
																					H57545T	† HydraGen	
																					AD7545C	Maxim	
																					AD7545CC	Maxim	
																					AD7545DL	Maxim	
40																				AD7545GU	† Maxim		
																					AD7545L	Maxim	
																					AD7545U	† Maxim	
																					AD754-2B	AD	
																					AD7542K	AD	
																					AD7542T	† AD	
																					AD7543B	AD	
																					AD7543K	AD	
																						AD7542B	Maxim
																						AD75420B	Maxim
																						AD75420K	Maxim
																						AD75420T	† Maxim
																					AD7542K	Maxim	
																					AD7542T	† Maxim	
																					AD7543B	Maxim	
																						AD75430B	Maxim

† Military Temperature Range (-55° to 125°C)

‡ High Resolution Resistance

* Typical Value

† Microcost

‡ Available in Surface Mount

Bold face indicates additional data is provided on the page inside.

MASTER SELECTION GUIDE

INTERFACE—Digital to Analog Converters (Cont'd)

Order No.	Setting	Power	Ch	Comp	Comp	Comp	CTC	Set	T ₁	CHOS	ETC	Int	Ref	Mult	Factor	Device	Source	Line
10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
42	2	AD														AD75430K	Maxim	(Cont'd)
																AD75430T	† Maxim	
																AD7543K	Maxim	
																AD7543T	† Maxim	
	375 *															HC3120B-2	† HydrusSys	5
																HC3120C-2	HydrusSys	
	375															AC68	† TeledyneP	
	1900															H001206J	AD	
																H001206S	† AD	
25	---															DAC338-12-2	HydrusSys	10
	645															AC258R	† TeledyneP	
3	30															DAC318-12	† HydrusSys	
																DAC31C-12	HydrusSys	
	500															BAC7134BJ	Datal	(2576)
																BAC7134BJ	Datal	(2576)
	675															BAC870U	Barr-Brown	(2544)
																BAC870V	† Barr-Brown	(2544)
																DAC80	MicroNet	
	850															MFGAC87	† MicroNet	
	900															BACR1178C	Datal	(2576)
																BACR1178C-2	Datal	(2576)
																BACR1178W	†	
																Datal	(2574, 2576)	
																BACR1386-2	† Datal	(2576)
																DACH125CC	Intech	
																DACH1254W	† Intech	
	1000															HS5687V	Harris	(273A, 2749)
																HS5685V	Harris	(273A, 2749)
																HS5687V	Harris	(273A, 2749)
	1050															BACR1178C	Datal	(2576)
																BACR1178W	†	
																Datal	(2574, 2576)	
11	465															AD562A, BCD	AD	
																AD562A, BCD	AD	
4	320															DAC336B-12	† HydrusSys	
																DAC336C-12	HydrusSys	
	575															DACH	† MicroNet	35
	1955															AS282	AD	(2482)
14																DAC258-CE11	Barr-Brown	(2542)
																BAC78-CE-11	†	
																Barr-Brown	(2542, 2544)	
1	600															HC33806	† HydrusSys	
	610 *															HSB338-2	HydrusSys	
	615 *															MAN3850	† MicroNet	40
																MAN3850H	MicroNet	
	110 *															MAN3860	MicroNet	

(Continued)

Mag. — Magnitude Comp. — Complementary Int. Ref. — Internal Reference CTC — Comp. 2's Comp. Mult. — Multiplying

MASTER SELECTION GUIDE

INTERFACE—Digital to Analog Converters (Cont'd)

Part No.	Power Diss. (max)	Bit Input	DR Bit Input	Comp. Bit Input	Chan. DR Bit Input	CTC or Z's Control Input	Seg. Magn. Input	ITL Logic	DATA Logic	SEL Logic	Int. Ref.	Multi.	Control	Driver	Output	Line
30		x	x					x	x			x		PM7541N	PMB	(7174, 2975)
40*		x	x	x	x			x	x			x	x	MP7522A	MicroPhet	
		x	x	x	x			x	x			x	x	MP7522J	MicroPhet	
		x	x	x	x			x	x			x	x	MP7522S	† MicroPhet	
50*		x	x	x	x			x	x			x	x	AD75415	† AD	5
		x	x	x	x			x	x			x	x	AD7541L	GE/Teconal	(7645)
		x	x	x	x			x	x			x	x	AD7541S	† GE/Teconal	(2664)
450		x	x					x	x					TP7541A	TeleTypeP	
		x	x					x	x					TP7541J	TeleTypeP	
		x	x					x	x					TP7541S	† TeleTypeP	10
470		x	x	x	x	x	x	x	x				ST545K	Silicon		
1* 500		x	x	x	x	x	x	x	x					S8045K	Silicon	
		x	x					x	x					MP1205A	MicroPhet	
		x	x					x	x					MP1205J	MicroPhet	
		x	x					x	x					MP1205S	† MicroPhet	15
		x	x					x	x					MP1231A	MicroPhet	
		x	x					x	x					MP1231J	MicroPhet	
		x	x					x	x					MP1231S	† MicroPhet	
		x	x					x	x					MP1232N	MicroPhet	
		x	x					x	x					MP1232R	† MicroPhet	20
1 700		x	x					x	x					RS312	Sharp	
	900	x	x	x	x	x	x	x	x					S7545T	† Silicon	
		x	x	x	x	x	x	x	x					S8045T	† Silicon	
1.5								x	x					AD7537	AD	25
								x	x					AD7547J	AD	
								x	x					AD7547K	AD	
								x	x					AD7547S	AD	
								x	x					AD7549J	AD	
								x	x					AD757J	AD	30
2 20								x	x					HS7542J	HybridSys	
								x	x					HS7542S	† HybridSys	
								x	x					HS7543J	HybridSys	
								x	x					HS7543S	† HybridSys	
								x	x					HS7545J	HybridSys	35
								x	x					HS7545S	† HybridSys	
30		x	x					x	x					AD7545B	Maxim	
		x	x					x	x					AD7545K	Maxim	
		x	x					x	x					AD7545T	† Maxim	
40		x	x	x	x			x	x					AD7542A	AD	40
		x	x	x	x			x	x					AD7542J	AD	
		x	x	x	x			x	x					AD7542S	† AD	
		x	x					x	x					AD7543A	AD	
		x	x					x	x					AD7543J	AD	
		x	x					x	x					AD7542A	Maxim	45
50		x	x					x	x					AD7542J	Maxim	
		x	x					x	x					AD7542S	† Maxim	
		x	x					x	x					AD7543A	Maxim	
		x	x					x	x					AD7543J	Maxim	
		x	x					x	x					AD7543S	† Maxim	50
		x	x	x	x			x	x					S8021A	† Silicon	
	x	x	x	x			x	x					S8021C	Silicon		

(Continued)

Control—Complementary

Magn.—Magnetic

Int Ref.—Internal Reference

CTC—Control Z's Control
Mux.—Multiplexing

IC MASTER

INTERFACE—Digital to Analog Converters (Cont'd)

Bus Res	Line #	LSB	Settling Time t _S (ms)	Power Diss (mW)	Pin Count	CM Pin Input	Compa Pin Input	Compa On Pin Input	CTC 2 ⁿ Compa Input	Sign Magn Input	TTL Logic	CMOS Logic	ECL Logic	V _{CC} Ref	MAE	Lowest Power	Device	Notes
12	1	2	450		X	X						X					MP7547S	1 Kern
		2.5	—		X	X					X	X		X			DAC338-121	Hybrid
		4	500		X	X				X	X	X		X	X	X	AD7167	1 AB
			800		X	X								X			DAC8111	BiCMOS
		5	450*		X	X					X	X					HC9328-1	Hybrid
		10	65		X	X				X	X	X		X	X	X	AD7245	1 AD
					X	X				X	X	X		X	X	X	AD7248	1 AB
		20*	500		X	X					X	X				X	DACS377-165	Hybrid
		30	—		X		X				X	X			X		M72A2005	Hybrid
		35	150				X					X					AD371K	1 D
							X					X					AD3715	1 AD
							X					X					AD7C40K	1 AD
		550*	30		X	X					X	X					AD77407	1 AD
					X	X					X	X					AD5600*	BiCMOS
1/4	0.1	10000			X	X					X	X					HCDA637AS	1 Hybrid
1/2	6*	260*			X	X					X	X						
		1/2	0.5	330		X	X				X	X					H15640-2	1 Kern
						X	X				X	X					H15640-3	1 Kern
						X	X				X	X					H15640A-8	1 Kern
						X	X				X	X					H15640A-2	1 Kern
		1*	20*		X	X					X	X					MP120EB	1 Micro
					X	X					X	X					MP120B	1 Micro
					X	X					X	X					MP120E	1 Micro
					X	X					X	X					MP120S	1 Micro
					X	X					X	X					MP120K	1 Micro
					X	X					X	X					MP120T	1 Micro
					X	X					X	X					MP7542B	1 Micro
					X	X					X	X					MP7542K	1 Micro
					X	X					X	X					MP7542T	1 Micro
					X	X					X	X					MP7543B	1 Micro
					X	X					X	X					MP7543K	1 Micro
					X	X					X	X					MP7543T	1 Micro
1/4	1*	500			X	X					X	X					MP12104	1 Micro
					X	X					X	X					MP12106	1 Micro
					X	X					X	X					AD7242	1 Micro
1/2	550*	30			X	X					X	X					AD7242	1 AD
					X	X					X	X					AD7245	1 AD
					X	X					X	X					AD7545A	1 AB
					X	X					X	X					AD7545J	1 AD
					X	X					X	X					AD7545S	1 AD
0.04	—				X	X					X	X					DA4000	1 Hybrid
0.05	—				X	X					X	X					ADN036410	1 B.C. DAC
0.25					X	X					X	X					DA6011AC	1 BiCMOS
					X	X					X	X					DA6012AM	1 BiCMOS
					X	X					X	X					DA6012C	1 BiCMOS
					X	X					X	X					DA6012M	1 BiCMOS
		375			X	X					X	X					DAC3129	1 PM1
					X	X					X	X					DAC3121	1 PM1
0.25*	473				X	X					X	X					HA17012B	1 Hybrid
0.5	10*				X	X					X	X					DAC1220	1 National

* Maximum Temperature Range (-55° to 125°C)

† High Radiation Resistant

* Typical Value

* Microport

* Available in Surface Mount

Serial face indicates additional data is provided on the page noted.

INTERFACE—Digital to Analog Converters (Cont'd)

Number of Bits (n)	Setting Time (t _{SET}) (μs)	Power On Reset (POR)	Ref. Input	Diff. Input	Comp. In Input	Comp. Out Input	CTC In Input	Sign. Magn. Input	TTL Logic	CMOS Logic	ECL Logic	Int. Ref.	Mult.	Leads	Device	Source	Line	
2	0.5	10*	x						x	x					DAC1200C	National		
	0.5*	20*	x	x	x	x			x						AD7521L	AD		
			x	x	x	x			x	x					AD7521U	† AD		
			x	x	x	x			x	x				x		MP7531L	GE/Internl	(2648)
			x	x	x	x			x	x				x		AD7521U	† GE/Internl	(2648)
			x	x	x	x		x	x					MP7531L	GE/Internl	(2648)		
0.5	20	x	x	x	x			x	x						AD7521L	Maxim		
		x	x	x	x			x	x						AD7521U	† Maxim		
		x	x	x	x			x	x						AD7531L	Maxim		
3.5*	20*	x	x	x	x			x	x						MP7521L	MicroPer		
		x	x	x	x			x	x						MP7521U	† MicroPer		
		x	x	x	x			x	x						MP7531L	MicroPer		
40*		x	x	x	x			x	x						MP7622H	MicroPer		
		x	x	x	x			x	x						MP7622R	† MicroPer		
		x	x	x	x			x	x						MP7622Z	MicroPer		
0.5	357		x	x	x	x		x	x	x				AM6012	Sigmacore			
1*	20*		x	x	x	x		x	x	x				MP76212	MicroPer			
1	30								x	x					DAC1210	National		
									x	x					DAC1232	National		
	470								x	x					S7545J	Siliconix	20	
	900		x	x	x	x	x		x	x					S7545S	† Siliconix		
2	30		x	x	x	x			x	x					AD7545A	Maxim		
									x	x					AD7545J	Maxim		
									x	x					AD7545S	† Maxim		
	40		x	x	x	x		x	x					S8C20A	† Siliconix			
			x	x	x	x		x	x					S8C20C	Siliconix			
	375*		x	x	x	x		x	x					DAC3100B-0	† HybridSys			
			x	x	x	x		x	x					DAC3120C-0	HybridSys			
2.5	—		x	x	x	x		x	x					DAC3388-12-0	HybridSys			
5	450*		x	x	x	x		x	x					H89338-0	HybridSys			
20*	500		x	x	x	x		x	x					DAC9377-16-4	HybridSys			
35*	—		x	x	x	x		x	x					DOC1250-10-1	ILC-DOC			
	500*	24	x	x	x	x		x	x					DOC1250-10-3	ILC-DOC			
			x	x	x	x		x	x					AD7521L	National			
									x	x				AD7521U	† National			
3	6*	360*	x	x	x	x		x	x					HSDACE7AT	† HybridSys			
									x	x					DAC1200K V	Burr-Brown		
4		800*							x	x					DAC1201K V	Burr-Brown		
		975	x	x	x	x		x	x						DAC1201K V	Burr-Brown		
0.25*	473		x	x	x	x		x	x						HA17012C	Hitachi		
									x	x					AD7521K	AD		
									x	x					AD7521T	† AD		
									x	x					AD7531K	AD		
									x	x					AD7521K	GE/Internl	(2648)	
			x	x	x	x		x	x					AD7521T	† GE/Internl	(2648)		
			x	x	x	x		x	x					AD7531K	GE/Internl	(2648)		
0.5	20		x	x	x	x		x	x						AD7521K	Maxim		
									x	x					AD7521T	† Maxim		
									x	x					AD7531K	Maxim		
0.5*	20*		x	x	x		x	x						MP7521K	MicroPer			

CTC—Control Z's Comp

Magn.—Magnitude

Comp.—Complementary

Int Ref.—Internal Reference

Mult.—Multiplying

IC MASTER

INTERFACE—Digital to Analog Converters (Cont'd)

Line No.	Linear Err % IFS	Setting Time S Max at	Power Dis Rate (max)	Min Input	OP Bit Input	Control Bit Input	Control OF Bit Input	CTC or EIA Control Input	Sign Magn Input	TTL Logic	CMOS Logic	ESD Logic	PL Ref	Max Temp	Min Temp	Notes			
12	A	0.5*	20*	X	X	X	X	X	X	X	X	X	X	X	MP75217	1 MicroPh			
				X	X	X	X	X	X	X	X	X	X	X	X	MP75314	MicroPh	A	
				X	X	X	X	X	X	X	X	X	X	X	X	AD7521K	National		
				X	X	X	X	X	X	X	X	X	X	X	X	AD7521T	1 National		
				X	X	X	X	X	X	X	X	X	X	X	X	DAC1221	1 National		
				X	X	X	X	X	X	X	X	X	X	X	X	DAC1221C	National	10	
	B	0.5*	20*	X	X	X	X	X	X	X	X	X	X	X	AD7521J	1 AD			
				X	X	X	X	X	X	X	X	X	X	X	AD7521S	1 AD			
				X	X	X	X	X	X	X	X	X	X	X	X	AD7531J	AD		
				X	X	X	X	X	X	X	X	X	X	X	X	AD7531	EL/1000	11	
				X	X	X	X	X	X	X	X	X	X	X	X	AD7521S	1 EL/1000	12	
				X	X	X	X	X	X	X	X	X	X	X	X	AD7531J	EL/1000	13	
	C	0.5	20	X	X	X	X	X	X	X	X	X	X	X	AD7521J	Maxim			
				X	X	X	X	X	X	X	X	X	X	X	AD7521S	1 Maxim			
				X	X	X	X	X	X	X	X	X	X	X	X	AD7531J	Maxim		
				X	X	X	X	X	X	X	X	X	X	X	X	MP7521J	MicroPh		
				X	X	X	X	X	X	X	X	X	X	X	X	MP7521S	1 MicroPh		
				X	X	X	X	X	X	X	X	X	X	X	X	MP7531J	MicroPh		
	D	0.5*	20*	X	X	X	X	X	X	X	X	X	X	X	AD7521J	National			
				X	X	X	X	X	X	X	X	X	X	X	X	AD7521S	1 National		
				X	X	X	X	X	X	X	X	X	X	X	X	DAC1222	1 National		
				X	X	X	X	X	X	X	X	X	X	X	X	DAC1222C	National	14	
				X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
				X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
12 (cont)	1	450	X	X	X	X	X	X	X	X	X	X	X	X	DAC8222K	1 PMI			
			X	X	X	X	X	X	X	X	X	X	X	X	DAC8222E	PMI	15		
			X	X	X	X	X	X	X	X	X	X	X	X	DAC8222G	PMI	16		
			X	X	X	X	X	X	X	X	X	X	X	X	DAC8248A	1 PMI	17		
			X	X	X	X	X	X	X	X	X	X	X	X	DAC8248E	PMI	18		
			X	X	X	X	X	X	X	X	X	X	X	X	DAC8248G	PMI	19		
			X	X	X	X	X	X	X	X	X	X	X	X	AD7537B	AD			
			X	X	X	X	X	X	X	X	X	X	X	X	AD7537C	AD			
			X	X	X	X	X	X	X	X	X	X	X	X	AD7537K	AD			
			X	X	X	X	X	X	X	X	X	X	X	X	AD7537L	AD			
			X	X	X	X	X	X	X	X	X	X	X	X	AD7537T	1 AD			
			X	X	X	X	X	X	X	X	X	X	X	X	AD7537U	1 AD			
	1	1	450	X	X	X	X	X	X	X	X	X	X	X	AD7541	AD			
				X	X	X	X	X	X	X	X	X	X	X	AD7547B	AD			
				X	X	X	X	X	X	X	X	X	X	X	AD7547C	AD			
				X	X	X	X	X	X	X	X	X	X	X	AD7547T	1 AD			
				X	X	X	X	X	X	X	X	X	X	X	AD7547U	1 AD			
				X	X	X	X	X	X	X	X	X	X	X	X	DAC8221B	1 PMI	20	
				X	X	X	X	X	X	X	X	X	X	X	X	DAC8222F	PMI	21	
				X	X	X	X	X	X	X	X	X	X	X	X	DAC8222H	1 PMI	22	
				X	X	X	X	X	X	X	X	X	X	X	X	DAC8248F	PMI	23	
				X	X	X	X	X	X	X	X	X	X	X	X	DAC8248H	PMI	24	
				X	X	X	X	X	X	X	X	X	X	X	X	AD7537A	AD		
				X	X	X	X	X	X	X	X	X	X	X	X	AD7537S	1 AD		
X	X	X	X	X	X	X	X	X	X	X	X	AD7537S	1 AD						
X	X	X	X	X	X	X	X	X	X	X	X	AD7547A	AD						

* Military Temperature Range (-55° to 125°C)

2 High Radiation Resistance

* Typical Value

* MicroC

1 Available in SO-8 and MSOP

See Lead indicators additional data is provided on the page opposite.

MASTER SELECTION GUIDE

INTERFACE—Digital to Analog Converters (Cont'd)

Rating Temp (°C)	Power Diss (mW)	Bit Input	Out Input	Control Input	Control Input	Control Input	Control Input	Sign Input	TT, Logic	CMOS Logic	EQ, Logic	Int Par	M.A.C.	Latches	Drivers	Source	Line				
0.5	192								x							AM6077C	AMD				
																	AM6072M	1 AMD			
0.5	207								x	x	x					DA286E	Phil				
																	AM6070C	AMD			
0.5	192								x							AM6070M	1 AMD				
									x	x	x						DA286C	PMI	5		
	207																				
1.5*	465								x	x							MN390	1 MicroNet			
1.5*	475								x	x							AD562K/BCD	AD			
																	AD562S/BCD	1 AD			
									x	x							AD5631/BCD	AD	10		
									x	x							AD563K/BCD	AD			
									x	x							AD563S/BCD	1 AD			
									x	x							AD563T/BCD	1 AD			
0.3/3*	925								x	x							ADDA280	CCD AD			
																	ADDA28S	CCD	1 AD		
																	ADDA28C	CCD	AD		
																			15		
3	900																BACR812DGE	Batal	(257E)		
																	BACR128M	1	Datal	(257E)	
3*	1050																BACR12DGE	Batal	(257E)		
																	BACR128MC	Batal	(257E)		
																	BACR128M	1	Datal	(257E)	
																			20		
0.3	1200																BACB-CCD-1	Barr-Brown	(2547)		
																	BACB2-CCD-1	Barr-Brown	(2547)		
																			15		
0.3/3*	850*																	DAC25-CCD	1 MicroNet		
																		DA2KA12DC	Batal	(257E)	
0.5*	0.05																	DA2KA12DM	1	Batal	(257E)
																		DA2KA12DC-1	Batal	(257E)	
0.5	32																	DA2KA12DM-1	1	Batal	(257E)
																				25	
15	300																	DAC3496-3D	HydraSys		
																		DAC349C-3D	HydraSys		
																		DAC34F-3D	HydraSys	30	
20*	500																	DAC9317-4D	HydraSys		
																		DA271348E	Batal	(257E)	
3	500																	DA271340E	Batal	(257E)	
																				35	
E.1	580																	2615-12	R.C-DOC		
																		SDAC12	+ R.C-DOC		
E.2	580																	2615-11	R.C-DOC		
																		SDAC11	+ R.C-DOC		
E.3	580																	2615-10	R.C-DOC		
																		SDAC10	+ R.C-DOC		
E.4	1100																			40	
																		DA2CS331-14	HydraSys		

(Continued)

Mag. — Magnitude Comp. — Complementary M.R. Ref. — Internal Reference

C.T.C. — Control 2's Control
M.A.C. — MicroNet



National
Semiconductor
Corporation

DAC1218, DAC1219 12-Bit Binary Multiplying D/A Converter

General Description

The DAC1218 and the DAC1219 are 12-bit binary, 4-quadrant multiplying D to A converters. The linearity, differential non-linearity and monotonicity specifications for these converters are all guaranteed over temperature. In addition, these parameters are specified with standard zero and full-scale adjustment procedures as opposed to the impractical best fit straight line guarantee.

This level of precision is achieved through the use of an advanced silicon-gate (Si-CM) R-2R resistor ladder network. This type of thin-film resistor eliminates the parasitic diode problems associated with diffused resistors and allows the applied reference voltage to range from -25V to 25V, independent of the logic supply voltage.

CMOS current switches and drive circuitry are used to achieve low power consumption (20 mW typical) and minimize output leakage current errors (10 nA maximum). Unclamped digital input circuitry maintains TTL compatible input threshold voltages over the full operating supply voltage range.

The DAC1218 and DAC1219 are direct replacements for the AD7541 series, AD7521 series, and AD7531 series with a significant improvement in the linearity specification. In applications where direct interface of the D to A converter to

a microprocessor bus is desirable, the DAC1208 and DAC1230 series eliminate the need for additional interface logic.

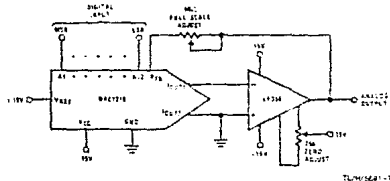
Features

- Linearity specified with zero and full-scale adjust only
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Works with ±10V reference—full 4-quadrant multiplication
- All parts guaranteed 12-bit monotonic

Key Specifications

- Current Setting Time 1 μs
- Resolution 12 Bits
- Linearity (Guaranteed over temperature) 12 Bits (DAC1218) 11 Bits (DAC1219)
- Gain Tempco 1.5 ppm/°C
- Low Power Dissipation 20 mW
- Single Power Supply 5 V_{DD} to 15 V_{DD}

Typical Application

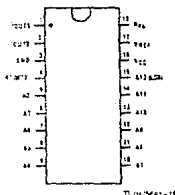


$$V_{OUT} = -V_{REF} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{12}}{4096} \right)$$

where A_N = 1 if digital input is high
A_N = 0 if digital input is low

Connection Diagram

Dual-In-Line Package



Top View

Ordering Information

Temperature Range	0°C to +70°C	-40°C to +65°C	Package Outline
Non-Linearity	0.012%	DAC1218LQ, -1	DAC1218LQ
Linearity	0.024%	DAC1219LQ, -	DAC1219LQ
			J18A Corp
			J18A Corp

Absolute Maximum Ratings*

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Maximum Reference Supply Voltage (V^+)	16V
Maximum Negative Supply Voltage (V^-)	-20V
Voltage At Any Logic Pin	$V^+ + 0.3V$
Analog Input Voltage	$\pm 15V$
Maximum Digital Output Current	$\pm 10\text{ mA}$
Maximum Comparator Output Current	50 mA

Comparator Output Short-Circuit Duration

5 Seconds

Power Dissipation

See Curves

Operating Temperature Range

ADC1210HD, ADC1211HD -55°C to +125°C

ADC1210HCD, ADC1211HCD -25°C to +85°C

Storage Temperature Range -65°C to +150°C

Lead Temperature (Soldering, 10 seconds)

300°C

ESD Susceptibility (Note 4)

TEO

DC Electrical Characteristics (Notes 1 and 2)

Parameter	Conditions	ADC1210			ADC1211			Units
		Min	Typ	Max	Min	Typ	Max	
Resolution		12			12			Bits
Linearity Error	(Note 3) $I_{CL} = 65\text{ kHz}$, $T_A = 25^\circ\text{C}$ $I_{CL} = 65\text{ kHz}$			± 0.0183 ± 0.0366			± 0.0488	% FS % FS
Full Scale Error	$T_A = 25^\circ\text{C}$, Unadjusted			0.20			0.50	% FS
Zero Scale Error	$T_A = 25^\circ\text{C}$, Unadjusted			0.20			0.50	% FS
Quantization Error				$\pm 1/2$			$\pm 1/2$	LSB
Input Resistor Values	R27, R28		20			20		k Ω
Input Resistor Values	R25, R26		200			200		k Ω
Input Resistor Ratios	R25/R26, R27/R28			0.8			0.8	%
Logic "1" Input Voltage		8			8			V
Logic "0" Input Voltage				2			2	V
Logic "1" Input Current	$V_{IN} = 10.24V$			1			1	μA
Logic "0" Input Current	$V_{IN} = 0V$			-1			-1	μA
Logic "1" Output Voltage	$I_{OUT} \leq -1\text{ }\mu\text{A}$	2.2			2.2			V
Logic "0" Output Voltage	$I_{OUT} \leq 1\text{ }\mu\text{A}$			0.5			0.5	V
Positive Supply Current	$V^+ = 15V$, $I_{CL} = 65\text{ kHz}$, $T_A = 25^\circ\text{C}$		5	8		5	8	mA
Negative Supply Current	$V^- = -15V$, $T_A = 25^\circ\text{C}$		4	6		4	6	mA

AC Electrical Characteristics $T_A = 25^\circ\text{C}$, (Notes 1 and 2)

Parameter	Conditions	Min	Typ	Max	Units
Conversion Time			100	200	μs
Maximum Clock Frequency			130	65	kHz
Clock Pulse Width		100	50		ns
Propagation Delay From Clock to Data Output (D0 to O11)	$t_s \leq t_c \leq 10\text{ ns}$		60	150	ns
Propagation Delay from Clock to Conversion Complete	$t_s \leq t_c \leq 10\text{ ns}$		60	150	ns
Clock Rise and Fall Time				5	μs
Input Capacitance			10		pF
Start Conversion Set-Up Time		30			ns

Note 1: Unless otherwise noted, these specifications apply for $V^+ = 10.24V$, $V^- = -15V$ over the temperature range -55°C to +125°C for the ADC1210-C and -25°C to +85°C for the ADC1210HCD, ADC1211HCD.

Note 2: All in-circuit values are for $T_A = 25^\circ\text{C}$.

Note 3: Unless otherwise noted, this specification applies over the temperature range -25°C to +85°C. Provision is made to adjust zero scale error to 0V and full scale to +12.251V during testing. Second in-circuit test circuit is shown in Figure 5a.

Note 4: Human body model: 100 pF discharged through a 1.5 k Ω resistor.

BIBLIOGRAFIA

Analog Product data book industrial/commercial. Vol. 6.
Harris Semiconductor, 1988.

Bishop, Ron. Basic microprocessors and the 6800. Hyden Book
Company. E.U.A., 1979.

Carr, Joseph J. Microcomputer interfacing Handbook: A/D and
D/A. Ed. Tab. 1a. Edición. E.U.A., 1980.

CNOS Integrated Circuits databook. RCA.

Coughlin, Robert F. y Driscoll, Frederick F. Circuitos inte-
grados lineales y amplificadores operacionales. Ed. Prentice
Hall interamericana, 1987.

Data Conversion Products databook. Analog Devices Inc.,
1988.

Gault, James W y Pimmel Rusell I. Sistemas digitales basados
en microprocesador. Ed. Mc. Graw-Hill. México, 1983.

Gordon, Wolfe, Gordon W. Computer Peripherals that can you
build. Ed. Tab. 2a. Edición. E.U.A., 1986.

Hilburn, J. Microcomputers/Microprocessors: Hardware,
Software and applications. Ed. Prentice Hall, 1986.

IC MASTER, Vols. 1, 2 y 3. Hearst Business Communications,
Inc., 1988.

Kernighan, B y Ritchie, D. El lenguaje de programación C. Ed. Prentice Hall. México, 1985.

Linear databook. Vols. 1, 2 y 3. National Semiconductor Corporation, 1988. Rev. 1.

Microsystem Components Handbook, Vols. 1 y 2. Intel Corporation, 1985.

Morrison, E. Grounding and shielding techniques in instrumentation. Ed. Wiley Interscience, 3a. edición.

Norton, Peter. Assembly language for the IBM PC. Microsoft.

Norton, Peter. Programer's guide to the IBM PC. E.U.A., 1985. Microsoft.

Schildt, Hebert. Turbo C, the complete reference. Borland Osborne/Mc. Graw-Hill, 1988.

Schildt, Hebert. Programación en turbo C. Ed. Mc. Graw-Hill. España, 1988.

Sistema operativo MS DOS 3.3. Microsoft-Printaform. 1986.

The TTL databook. Vol. 2. Texas instruments, 1985.

Versello, Robert J. y Reutter III, John. Procesamiento de datos, conceptos y sistemas. Ed. Mc Graw-Hill. México, 1982.

8 bit microprocessor and peripheral data. Motorola Inc., 1983.