

22
12



**UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO**

**FACULTAD DE ESTUDIOS SUPERIORES
"CUAUTITLAN"**



**DISEÑO DE UN LECTOR / DECODIFICADOR PORTATIL DE
BOLETOS DIGITALES PARA EL SISTEMA DE TRANSPORTE
COLECTIVO DE LA CIUDAD DE MEXICO**

T E S I S

**QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA**

P R E S E N T A :

FERMIN SALAZAR HERNANDEZ

DIRECTORES DE TESIS :

ING. JORGE BUENDIA GOMEZ

ING. AARON BARONA VELAZQUEZ

CUAUTITLAN IZCALLI, EDO. DE MEX.

1991

**TESIS CON
FALLA DE ORIGEN**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INTRODUCCION

Para tener acceso al Sistema de Transporte Colectivo de la ciudad de México (metro), los usuarios deben adquirir un boleto con información digital. Un sistema lector incluido dentro de un torniquete lee la información que el boleto posee para el paso al usuario a la red del sistema de transporte.

Debido a que se presentan ciertas desviaciones de los parámetros y dimensiones de boletos digitales, ya sea unitarios o temporales durante su fabricación se puede presentar rechazo del boleto por el torniquete.

El rechazo del boleto implica el no poder utilizar el sistema de transporte por el usuario. Esto no sería problemático si éste se presentara esporádicamente, pero desafortunadamente no es el caso.

Así se tiene que de un total de 640 millones de boletos unitarios digitales, son rechazados 73 millones, 203 mil boletos que representan un 11.438% ... (1).

En cuanto a las pruebas realizadas a los boletos temporales se encuentra un porcentaje de rechazo de introducción de 1.63 % y un rechazo definitivo de 6.74%...(2)

(1): Datos proporcionados por el Sistema de Transporte Colectivo, Subdirección de Operación.-Gerencia de Ingeniería y Desarrollo.

(2): Pruebas realizadas por COMISA (Corporación Mexicana de Impresiones, S.A.) Organismo encargado de la fabricación de boletos.

Boletos de reintroducción: Son boletos que son rechazados por el equipo y se demanda de ellos el que sean reintroducidos en el mismo o en el otro sentido, después de lo cual vuelven a ser aceptados.

Boletos rechazados definitivamente: Son boletos que no fueron aceptados al ser reintroducidos en cualquier otro equipo

Ahora bien, si tomamos en cuenta la cantidad de usuarios transportados en un mes (del 1ro. al 31 de mayo de 1989) la cual asciende a la cantidad de 116 millones, 531 mil, 736; siendo: 92 millones, 176 mil 603, que representa un 79.1% de usuarios con boleto simple y 24 millones 355 mil 132 que representan el 20.9% de usuarios con boleto abono. Se puede concluir que, en un mes puede existir el siguiente número de boletos rechazados a lo largo de las líneas que se contemplan actualmente:

Tipo Unitario: 10,543,156 al mes.
351,438 al día.

Tipo Abono: 396,988 al mes Rechazo de introducción.
13,233 al día

26,757 al mes Rechazado definitivo.
892 al día.

El procedimiento que deben seguir los usuarios que les haya sido rechazado su boleto definitivamente para poder utilizar el sistema de transporte es el siguiente (según el reglamento):

El usuario acudirá a la taquilla a solicitar le sea cambiado su boleto defectuoso, por otro en buen estado.

En caso de rechazo de un boleto múltiple (este boleto aún no se ha implantado) o abono.

La persona se dirigirá por indicaciones del personal de vigilancia, a la terminal de operación...(3), donde se procederá a verificar el boleto defectuoso, mismo que puede presentar los siguientes casos:

(3):Terminal de operación:Equipo encargado del control de los torniquetes que cuenta con un sistema lector de boletos.

CASO 1:

El verificador determina que el boleto defectuoso aún conserva un número determinado de viajes (múltiple) o está vigente (abono). En este caso se procederá a bonificar a la persona afectada, una cantidad igual con boletos nuevos ya sea múltiples o únicamente unitarios.

CASO 2:

El verificador determina que el boleto defectuoso carece de información. En este caso, para hacer problemática la posibilidad de fraude, se establecerá una oficina de quejas que operará exclusivamente para la línea.

El problema del constante rechazo de boletos, fue detectado por el sistema actual de peajes, dando como solución la instalación de una terminal de operación por cada estación de la red. Esta terminal se encuentra alojada en un local jefe de estación, ubicado aproximadamente a 10 m de los torniquetes y generalmente cerca de las taquillas.

En sus inicios, esta terminal cumplía satisfactoriamente las necesidades del momento para la atención de personas que presentaban el problema de rechazo de boleto.

Pero por el desconocimiento la cantidad de personas que actualmente se enfrentan al problema, difícilmente pueden ser atendidas adecuadamente puesto que deben ser conducidas por una persona de vigilancia, hacia el local jefe de estación para la verificación de su boleto, además de los inconvenientes a los cuales se tiene que enfrentar que se traducen en pérdida de tiempo para el usuario.

Por lo tanto se vio la necesidad de implementar de un sistema el cual al introducir el boleto que presente problemas, nos indique la causa de falla, definiendo de una manera inmediata en qué hacer cuando se presente una personal con problemas en su boleto.

Por otra parte, este sistema tiene como cualidad principal el que sea portátil y de fácil utilización.

Características que el sistema actual no posee, ya que como se indicó, este sistema debe estar en un lugar adecuado (local jefe de estación), además de que sólo personal muy seleccionado y capacitado puede hacer uso de este equipo.

En cuanto a los costos, una terminal de operación por ser de origen francés, requiere de asesoría al mantenimiento, la instalación de la misma por personal extranjero y el pago de la terminal en francos franceses (124 F. Francesés Aprox. 68 Millones de pesos), lo que trae como consecuencia una merma en la economía del país.

Con la implantación del nuevo sistema, se plantea la opción de ser producido en México, abatiendo de esta manera el costo, la utilización de la mano de obra y el mantenimiento por técnicos mexicanos, además de propiciar la inversión en México para la producción de este sistema.

CONTENIDO

	Página.
Introducción	2
Índice	6
CAPITULO 1	
1.1 Cabeza Magnética de Lectura	8
1.2 El boleto Magnético	14
CAPITULO 2	
2.1 Circuito de Alimentación	26
2.2 Cadena de Amplificación y Filtrado	32
2.3 Sistema de Arrastre	42
2.4 Microcontrolador MCS-49	47
2.5 Sistema de Visualización	63
CAPITULO 3	
1.1 Programa de Control del Lector/Decodificador.	85
CAPITULO 4	
1.1 Conclusiones	134

ANEXOS

ANEXO A Manual de Usuario

1.1 Lector de Boletos Digitales Instrucciones de Funcionamiento.

ANEXO B Características de los Componentes

1.1 Características de la Tinta Magnética, Tipo de Grabación y Soporte (PVC ó Papel) Utilizado en la Fabricación de los Boletos.

1.2 Características y Dimensiones Electromecánicas de la Cabeza de Lectura.

1.3 Características de la Familia MCS-48

1.4 Vistas del Sistema de Arrastre.

ANEXO C Características del Display

1.1 Código de Generación de Caracteres del HD 44780.

1.2 Características Eléctricas y Dimensionales del Display.

1.3 Diagrama de Tiempos del Display Para los Ciclos de Lectura y Escritura.

ANEXO D Características de los Elementos Según el Fabricante

Compuertas NAND	CD 4011
Flip-Flop doble	CD 4013
Amp. Operacionales	LM 324 y LM 741
Reguladores de Voltaje	LM 78XX (5 y 12V)
Timer	LM 555
Transistores	BC 337; CD 233 TIP 120 y 25

BIBLIOGRAFIA

CAPITULO 1

1.1 CABEZA MAGNETICA DE LECTURA

Este capítulo tratará de una manera general, la estructura física de una cabeza de lectura, sus elementos constitutivos, de una manera breve, su funcionamiento y los parámetros básicos para poder determinar su calidad.

REGISTRO Y LECTURA SOBRE SOPORTE MAGNETICO.

Un registro es todo aquel proceso que permite conservar una información temporal en un trazo material, fiel, permanente y explotable.

Una de las formas más recientes y más útiles, es el registro magnético que ha contribuido al impulso de la informática.

El soporte del registro magnético es un material ferromagnético presentado en forma de una delgada capa (algunos microns) extendida sobre una banda. La dimensión a registrar se pone en forma adecuada y se aplica a la cinta magnética de registro.

El proceso de lectura es tal que al circular la banda magnética delante de un circuito de lectura, su imantación remanente crea por variación de flujo, una fuerza electromotriz, obteniendo así la información registrada en la cinta.

Dependiendo de los valores que tome la inducción remanente, las señales registradas pueden presentarse de dos formas:

- De forma continua: El registro es llamado analógico.
- De forma discreta: Donde el número de valores posibles es finito, el registro es llamado lógico. En este caso, la inducción remanente no toma más que dos valores positivos o negativos.

ESTRUCTURA DE LAS CABEZAS MAGNETICAS:

La estructura básica de las cabezas modernas constan principalmente de tres elementos: Un corazón de material ferromagnético, un embobinado alrededor del corazón y un entrehierro en el corazón.

Generalmente las cabezas son encerradas en una caja cuya función es la de proteger el embobinado y evitar distorsiones por ruidos de campos magnéticos externos.

DESCRIPCION DE UNA CABEZA DE LECTURA:

La cabeza de lectura utilizada en este trabajo y que es también utilizada en el sistema de peaje automático en vigor, están constituidas de los elementos siguientes. (Ver fig.1.1.1)

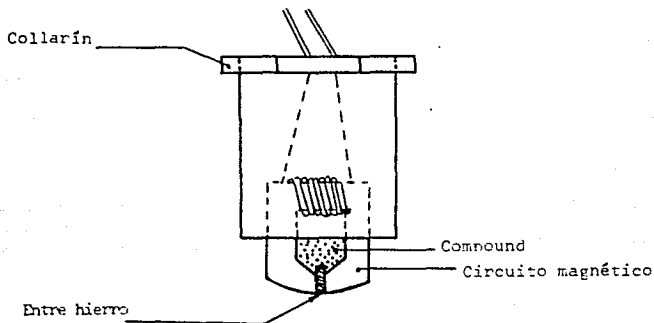


Fig. 1.1.1

Un circuito magnético de 3.00 mm. de ancho, formado por la yuxtaposición de dos semi-circuitos de ferrita dura.

- Los entrehierros: El entrehierro trasero, situado a nivel del embobinado, no juega más que un rol pasivo en el funcionamiento de la cabeza y su fabricación se hace lo más reducida posible.
- El entrehierro delantero juega un rol muy importante en el funcionamiento de la cabeza. Está constituido por una laminilla de bronce al berilio de espesor calibrado y de dureza equivalente a la de la ferrita o por una capa de algún producto magnético.

- Un embobinado de hilo de cobre aislado constituyendo una selenoide de sección rectangular con N espiras.
- Un cuerpo cilíndrico hueco conteniendo el embobinado, una parte del circuito magnético y el entrehierro trasero. Una materia llamada "Compound" fija la posición de estos elementos.
- Un collarín de posicionamiento axial situado debajo del cuerpo cilíndrico; que comprende dos ranuras destinadas a asegurar igualmente el posicionamiento transversal de la cabeza.
- Dos hilos conductores con el conector de derivación.

CARACTERISTICAS GEOMETRICAS DE LA CABEZA DE LECTURA:

- Ancho del circuito magnético: 3,00 mm.
- Ancho del entrehierro: 62 Mm.
- Diámetro del cuerpo de la cabeza: 8.0 mm.

PRINCIPIO DEL FUNCIONAMIENTO DE UNA CABEZA DE LECTURA:

El funcionamiento de la cabeza magnética se inicia cuando una pista magnética grabada pasa a velocidad constante en contacto con el circuito magnético de la cabeza de lectura.

De manera general, la pista magnética comprende zonas imantadas alternativamente en un sentido, después en el otro. Cada una de esas zonas constituyen un imán permanente cuyo campo da un flujo de inducción magnética.

La repartición de las líneas del campo dependen de:

La intensidad de imantación remanente de la pista.

De la permeabilidad magnética del soporte y del aire.

De la permeabilidad magnética de la cabeza de lectura, así como de las características del entrehierro.

Así pues, una parte del flujo de inducción magnética de la porción de pista magnética, situada aproximada del circuito magnético de la cabeza, es canalizada por el entrehierro como lo indica la fig. 1.1.2.

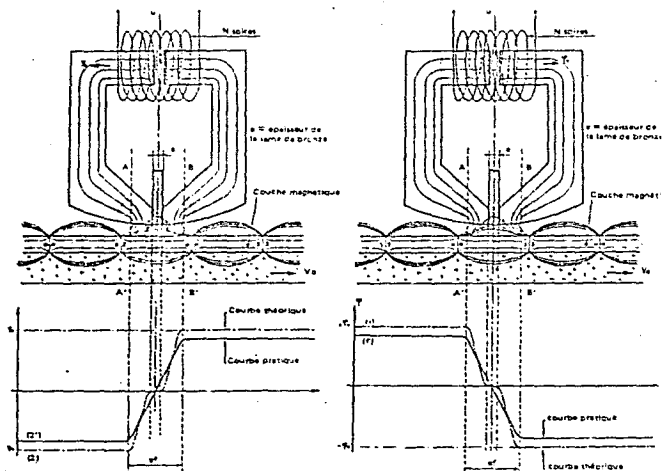


Fig. 1.1.2

Donde algunas líneas del campo de inducción se cierran a través del entrehierro, pero la mayoría de ellas atraviesan la bobina. Así, las variaciones de la intensidad de imantación remanente de la pista producen variaciones de flujo y una tensión eléctrica en los bornes de la cabeza de lectura.

El comportamiento de la variación del flujo está indicado en la fig.1.1.2. por el gráfico. La distancia que separa los puntos donde las variaciones de flujo comienzan y terminan, es de hecho el ancho del entrehierro eficaz.

PARAMETROS DE CALIDAD DE UNA CABEZA MAGNETICA:

El rendimiento magnético de una cabeza de lectura está determinado por la razón de flujo magnético captado por la cabeza canalizado a través de la bobina y el flujo emitido por la banda magnética.

El entrehierro en cabezas de alta calidad son generalmente del orden de 0.00025 pulgadas de ancho, las cabezas de carácter comercial su entrehierro es del orden de 0.00020 a 0.0015 pulgadas (ver nota 1).

La calidad de la cabeza mejora si su entrehierro es estrecho, esto reduce las pérdidas de reproducción a bajas velocidades.

Por otra parte, se deben tener en cuenta las siguientes particularidades que pueden provocar un cambio directo en la calidad de lectura de una banda magnética.

- Velocidad de circulación de esta banda.
- Características magnéticas de la banda donde está grabada la señal leída.
- Longitud de onda de la señal.
- Impedancia de carga de la cabeza.

Si se tiene una alta impedancia se origina una limitación en el flujo de corriente a través de la bobina, ocasionando una distorsión. Generalmente se puede decir que la cantidad de corriente de audio requerida para cabezas de alta impedancia, es del orden de 0.02 ma a 0.08 ma.

NOTA 1: El ancho mínimo aceptable del entrehierro en las cabezas de los torniquetes (norma de la RATP) es del orden de 62 Mm.

En el anexo B. podrá encontrarse las características geométricas y electromecánicas de la cabeza magnética utilizada en este trabajo.

1.2 EL BOLETO MAGNETICO

En el presente inciso se hablará sobre el tipo de tratamiento que se le da a un boleto que depende directamente de la forma en que este fue grabado (frecuencia o digital).

Posteriormente se hará una semblanza de los tipos de boletos de acuerdo a su utilización. Asimismo se hablará de la información contenida en la pista magnética del boleto para concluir con las dimensiones que debe cumplir el soporte de dicha pista.

El control del acceso a los andenes está condicionado a la introducción de un boleto grabado magnéticamente, dentro de un torniquete de entrada.

Este equipo de peaje efectúa una verificación completa y exhaustiva de su validez, destruyéndolo al final de este periodo (boleto unitario) o en su defecto, graba nueva información en él, para ser reutilizado (boleto abono). En ambos casos si la lectura fue correcta, el mecanismo tripode se desbloquea permitiendo el acceso al usuario.

Dependiendo del tipo de boleto en cuestión, el equipo de peaje lo tratará de manera diferente. Estos tipos de tratamiento pueden ser:

1. TRATAMIENTO A FRECUENCIA.

Dentro de este modo de tratamiento la electrónica del lector realiza la lectura del boleto y sin distinguir su tipo, procede a borrarlo y depositarlo en el cesto recolector de boletos. Dentro de este tratamiento únicamente se tiene en cuenta las transiciones que lleva el boleto (boleto de prueba).

2. TRATAMIENTO DIGITAL.

En este modo el boleto procesa su información en la siguiente forma:

- a) Si el boleto es de tipo unitario, se lee la información que lleva y si la tarifa corresponde a la programada en el equipo, se procede a grabarle nuevamente la información, pero poniendo el bit de invalidación para que éste no pueda ser utilizado posteriormente o bien corta el boleto y lo deposita en el cesto recolector de boletos.
- b) Si el boleto es del tipo abono. Se lee la información verificando si la tarifa corresponde a la programada en el equipo.

a su vez se le escribirá nuevamente la información pero dejándolo momentáneamente invalidado por un tiempo aproximado de 8 minutos.

Esto es con la finalidad de evitar el uso inadecuado del boleto al traspasarse el boleto de una persona a otra después de utilizarlo.

Todo boleto que tenga una fecha anterior a la programada en el equipo, será depositado en el cesto de boletos con el bit de invalidación del boleto escrito en él. En caso contrario será devuelto al usuario.

Existen diferentes tipos de boletos que podrán ser utilizados por el público a futuro de acuerdo a sus necesidades.

A continuación se describirá brevemente cada uno de ellos.

BOLETO UNITARIO.

Este boleto permite el uso del transporte solamente una vez, posteriormente el boleto es destruido.

BOLETO DIGITAL.

Este tipo de boleto permite hacer uso del transporte un número ilimitado de veces durante 15 días, al cabo del cual el boleto será destruido o devuelto al usuario pero invalidado.

BOLETO ANALOGICO.

Este boleto es utilizado para probar los equipos de peajes.

Boletos Múltiples, con las siguientes variantes:

BOLETO MULTIPLE para 5 viajes.

Este tipo de boleto está enfocado para usuarios que visualizan la ventaja de obtener cinco boletos en uno, cuya ventaja es menor costo al usuario por viaje.

BOLETO MULTIPLE para 10 viajes.

Este boleto ampara 10 viajes el cual podría ser utilizado para cinco días laborables "Ida y Vuelta" sin límite de fecha.

BOLETO MULTIPLE 30 ó 63 viajes.

Se realizó este boleto pensando en los pagos quincenales de empleados, obreros, etc., propiciando con ello el usuario podrá hacer uso del transporte por 30 ó 63 viajes (15 ó 30 días) sin condicionamiento de fecha.

ABONO MENSUAL.

La creación de este boleto fue contemplado para ser incorporado al sistema de viaje multimodal (toda la red de transporte urbano R-100 y transporte eléctrico) y podrá ser utilizado durante un mes sin límite de viajes.

CARTA DE SERVICIO

Este tipo de boleto fue diseñado para ser utilizado por el personal técnico que labora en el sistema de transporte el cual técnicamente es posible implementarlo, pero debido a su restringida utilización no se amerita su implantación.

NOTA 1: En este trabajo únicamente se trataron los boletos unitarios y quincenales, puesto que son los que en la actualidad se encuentran en uso.

NOTA 2: En el anexo A, se pueden consultar las características de la tinta magnética, tipo de grabación y tipo de soporte (PVC o papel) utilizado en la fabricación de los boletos.

CODIGO DE LOS BOLETOS DE TRANSPORTE

Los boletos de transporte son impresos y codificados en el momento de la distribución, de esta manera podemos encontrar que exista algunos campos que son comunes en todos los boletos, los de orientación y sentido. Este código está representado por un "0" lógico en una orilla del inicio del boleto y por un par de "1" lógicos en el costado final, así pues tenemos:

- En un extremo: Bits de sincronización de valor 0.
Bits de orientación y sentido de valor 1 y 0
- En el otro extremo: Bits de sincronización de valor 0.
Bits de orientación y sentido de valor 1 y 1.
- Al centro del boleto: 56 bits de información, los cuales constituyen el mensaje útil.

Esto se puede observar más claramente en la fig. 1.2.1.



Fig. 1.2.1 Pista Magnética

Sobre la pista magnética y a todo lo largo del boleto, se encontrará grabada la siguiente información. (mensaje).

Tipo de boleto: Codificación sobre tres bits (sólo puede ser unitario o quincenal).

Tipo de tarifa: Codificación sobre dos bits (en México solamente existe un solo tipo).

Bit de invalidación: Este bit vale uno cuando no ha sido invalidado el boleto.

Bit de Paridad Tipo: Este bit vale uno cuando el número de bits a uno del tipo es par.

Bit de Prueba: Este bit vale uno cuando se trata de boletos de prueba.

Sobre los boletos temporales o los que así lo requieran, se incluye la siguiente información.

PERIODO DE VALIDEZ.

Indicará el año, mes y quincena. El código de fecha está representado por nueve bits que representan la fecha de entrada del pasaje, en jornada absoluta computada después del primero de enero del año en curso. Esto quiere decir que si en el boleto se encuentra una serie de nueve "1" significará que el boleto aún no se ha utilizado.

FECHA DE ENTRADA A LA RED O DE ULTIMA UTILIZACION.

Indicará día del mes, hora y minuto que servirá para establecer la invalidación temporal. Además este código representa las horas y los minutos compuestos en paquetes de 8 minutos a partir de 0 horas 0 minutos.

Ejemplo: 16 horas, 60 minutos, estará representados por 120.

$$(16 \times 60)/8 = 120.$$

Para entender más claramente lo antes mencionado la fig.1.2.2 presenta la configuración del mensaje digital que se encuentra en el boleto.

5 Bits de - Sincronía	.Orientación y Sentido del Boleto
2 Bits	.Tipo de Boleto Unit. o Quincenal
3 Bits	.Tarifa del Boleto.
2 Bits	.Bit de invalidación.
1 Bit	.Bit de Paridad.
1 Bit	.Quincena (1a. o 2a.)
4 Bits	.Año
4 Bits	.Mes
5 Bits	.Día
5 Bits	.Hora
6 Bits	.Minuto
23 Bits	.Reserva
1 Bit	.Bit de Prueba
2 Bits	.Orientación y Sentido.
5 Bits Sincronía	

Lista
Mensajes

Fig. 1.2.2 distribución de la Información Digital en el Boleto.

De los 56 bits utilizados para la información la configuración de los parámetros es la siguiente (refiérase a la fig. 1.2.2).

DESCRIPCION	CODIGO	FUNCION
- Código del sentido normal.	10	Inicio.

DESCRIPCION	CODIGO	FUNCION	
- Tipo de boleto	000	Sin utilidad.	
	001	Boleto unitario.	
	010	Boleto quincenal.	
	011	Boleto mensual.	
	100	Reserva.	
	.	"	
	.	"	
	111	Reserva	
- Tarifa de vigencia	00	Tarifa 0	
	01	Tarifa 1	
	10	Tarifa 2	
	11	Tarifa 3	
- Validación del boleto	0	Válido	
	1	Inválido	
- Paridad	1	Par	
	0	Impar	
- Número de quincena	0	Primera quincena.	
	1	Segunda quincena.	
- Año (este código se repite sucesivamente cada 10 años)	0000	1990	
	0001	1991	
	0010	1992	
	0011	1993	
	0100	1994	
	0101	1985	
	0110	1986	
	0111	1987	
	1000	1988	
	1001	1989	
	- Mes	0000	No utilizado
		0001	Enero
0010		Febrero	

DESCRIPCION	CODIGO	FUNCION
	0011	Marzo
	0100	Abril
	0101	Mayo
	0110	Junio
	0111	Julio
	1000	Agosto
	1001	Septiembre
	1010	Octubre
	1011	Noviembre
	1100	Diciembre
- Dia	00001	01
	.	.
	.	.
	.	.
	11111	31
- Hora	00000	0 Horas
	.	.
	.	.
	.	.
	10111	23 horas
- Minutos	000000	0 Minutos
	.	.
	.	.
	.	.
	111011	59 Minutos
- Normal/Pruebas	0	Boleto normal
	1	Boleto prueba
- 23 Bits adicionales de reserva de "0'S lógicos".		
- Código de sentido inverso.	11	Código de fin

A continuación se expone un ejemplo de la información contenida en boleto quincenal y lo que ésta significa (cabe señalar que la información fue obtenida a partir de una terminal de operación).

0 1 0 0 0 0 0 0
 A B C D E

Octeto 1

1 0 0 0 0 0 1 0
 F G

Octeto 2

0 1 1 1 1 0 1 0
 H I

Octeto 3

0 1 0 1 0 0 1 1
 J

Octeto 4

0 0 0 0 0 0 0 0
 0 0 0 0 0 0 0 0
 0 0 0 0 0 0 0 0
 K L

Octeto 5

Octeto 6

Octeto 7

REFERENCIA

DESCRIPCIÓN

SIGNIFICADO

A	Tipo de boleto	Boleto quincenal
B	Tarifa del boleto	Tarifa cero
C	Bit de invalidación	Boleto válido
D	Bit de paridad.	Paridad Impar.
E	Quincena	Primera quincena.
F	Año	Año 1988
G	Mes	Febrero
H	Día	Día 15
I	Hora	9:00 horas
J	Minuto	0*19 minutos
K	- - -	Bits de reserva.
L	Bit de prueba	Boleto normal.

DIMENSIONES DEL BOLETO.

Las dimensiones de los boletos de cualquier tipo y soporte son las siguientes:

Largo: $55 \text{ mm} + 1 \text{ mm}$
- 0.5 mm

Ancho: $31 \text{ mm} + 0.1$
- 0.0

Espesor: $0.27 + 0.02 \text{ mm}$
-

Ancho de la pista magnética: $5.00 + 0.25 \text{ mm}$
- 0.0 mm

Centrado de la pista: La diferencia máxima entre el eje del boleto y el eje de la pista serán de 0.5 mm

Centrado longitudinal de la grabación: $0 + 0.2 \text{ mm}$.
-

Los 56 bits de información útil y los 4 bits de orientación y sentido, estarán repartidos en una longitud de $43 \text{ mm} + 1 \text{ mm}$
- 3 mm .

Las longitudes de las zonas para los bits de sincronía, deben satisfacer las condiciones siguientes:

En un extremo: $6 \text{ mm} + 1$ con un tolerancia máxima de 7 mm y
- 0.5
tolerancia mínima 5.5 mm .

En el otro: 4 mm . con una tolerancia máxima de 9.0 mm . y una tolerancia mínima de 4.0 mm .

Estos datos se representan en la figura 1.2.3.

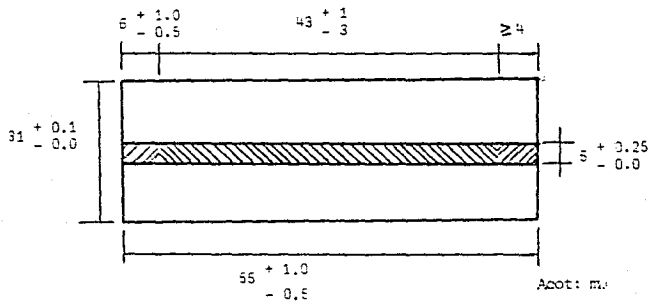


Fig. 1.2.3 Dimensiones del Boleto

CAPITULO 2

2.1 CIRCUITO DE ALIMENTACION

En esta sección se expone el circuito encargado de suministrar la alimentación necesaria para el funcionamiento de los elementos que constituyen el sistema.

Originalmente el suministro de energía es proporcionado por cuatro pilas de 9 volts. Este voltaje es tratado por un par de reguladores, encargados de suministrar voltaje de 12 v y 5 v. requeridos por el sistema. El encendido o no de éstos será mandados en su sección de potencia por un par de transistores-controlados por un circuito de encendido que fue diseñado para que se active automáticamente al introducir un boleto dentro del sistema de arrastre, además de poder introducir una serie de boletos sin afectar la condición de encendido. Apagándose después de que hayan transcurrido 20 segundos sin haber utilizado el sistema.

Se incluye además, un circuito que indica cuando las pilas tienen un nivel de energía por debajo del mínimo necesario para el buen funcionamiento de los reguladores y del sistema en si.

El circuito de encendido permanentemente se encuentra funcionando en la espera de la introducción de un boleto para activar el sistema de alimentación y poder de esta manera, leer uno o varios boletos. Como este estado de espera puede durar un largo periodo de tiempo, se utilizó para su construcción circuitos con tecnología C-MOS por su bajo consumo de energía (para mayor información técnica de los elementos, consúltese el anexo D).

Las características de funcionamiento del circuito de encendido, son los siguientes:

- Al introducir un boleto al sistema de arrastre, el detector de entrada de boleto es accionado dos veces: cuando es introducido y en la expulsión de éste. Por lo tanto, no deben existir cambios en las condiciones de encendido ante tal situación.
- En caso de la lectura de una serie de boletos, el introducir el primer boleto enciende el sistema y en la subsecuente introducción de boletos no se afectará la condición de encendido.
- El apagado del sistema está controlado por el microprocesador, el cual mandará un pulso a través del Pin P25 del puerto dos (pata 36), cuando éste no detecte la presencia de un boleto al cabo de 20 segundos.

El circuito que cumple con tales condiciones, se muestra en la fig.2.1.0. El cual fue realizado con compuertas NAND para utilizar la menor cantidad posible de elementos.

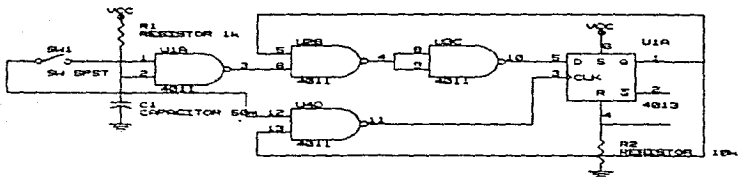


Fig. 2.1.0

Las condiciones que presentan las compuertas en diferentes estados, están indicadas en la tabla 2.1.1.

A	B	C	D	Q	Q	RESET	COMENTARIOS
1	0	0	0	0	1	0	Condiciones iniciales.
0	1	1	1	1	0	0	Cambio de estado por presencia o ausencia de boleto
1	0	1	0	1	0	0	
x	x	x	x	0	1	1	Pulso del microcontrolador

Tabla 2.1.1.

El manejo de la potencia para alimentar el sistema se lleva a cabo através del transistor Q2.

donde la función del transistor Q1 es la de manejar la potencia a utilizar por los reguladores, además de acoplar la diferencia de voltajes, esto es logrado conexionando los elementos como se indica en la figura 2.1.1.

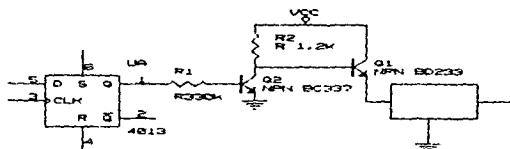


Fig. 2.1.1.

Como deseamos que el transistor Q1 maneje como máximo 1 amp. y tomando en cuenta que la B del transistor está comprendido entre 40 y 250, se consideró una B de 80, por lo tanto, se tiene que:

$$I = I_c / B = 1 \text{ amp} / 80 = 12.5 \text{ mA}$$

Considerando que:

$$V_{CC} - I_c R_c - V_{ce} = 0 \text{ se tiene } R_c = 1.26 \text{ K ohms.} \\ (1.8 \text{ K comercial}).$$

Por otro lado la β del transistor Q2 es 100, se tiene que:

$$I_B = I_c / \beta = 12.5 \text{ mA} / 100 = 125 \text{ UA.}$$

Por lo que:

$$V_{BB} - I_B R_{BE} - V_{BE} = 0 \text{ Se tiene } R_{BE} = 330 \text{ K ohms.}$$

Para alimentar el sistema se requiere dos tipos de alimentación (12V y 5V). Para tal efecto se utilizó un par de reguladores: el UA 7812C para suministrar el voltaje de 12V y el UA 7805C para el voltaje de 5V.

Dichos reguladores son alimentados por dos pilas dispuestas en serie, mismas que nos suministran aproximadamente 18 volts pasando antes por el circuito de control.

El consumo de energía provocará que las pilas se descarguen por debajo de las tolerancias mínimas de voltaje requeridas por los reguladores, los que en un momento dado no podrán alimentar de una manera adecuada los elementos manejados por ellos.

Por lo tanto, al circuito se le anexo un dispositivo tal que nos indique cuando el voltaje de las pilas sea menor al mínimo requerido para el buen funcionamiento del circuito. El Sistema que cumple con estas características es el amplificador de voltaje, ilustrado en la figura 2.1.2.

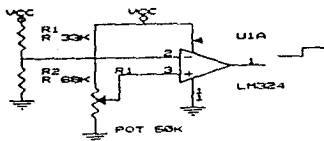


Fig. 2.1.2

Aprovechando las características del operacional, de tener una ganancia de voltaje muy grande, provoca que cualquier pequeña diferencia en las entradas de polarización, por lo tanto, cuando el voltaje suministrado por el regulador (V_e) es menor al voltaje suministrado por las pilas (V_{ref}) el voltaje de salida es de 0V, caso contrario esto es cuando V_e es mayor y V_{ref} , el voltaje de salida es 12V.

Aunado a la salida del comparador se encuentra un transistor, cuya función es la de acoplar los niveles de voltaje, de tal forma que al presentarse un nivel bajo a la salida del comparador se obtenga un pulso de 5 volts en el colector del transistor. Este pulso al ser detectado por el Puerto uno del microcontrolador (Pin 34) generará una rutina encargada de mostrarnos un letrero indicándonos que la Batería se encuentra baja y así evitar su subsecuente utilización

las características eléctricas de los elementos involucrados podrán ser encontrados en el anexo D.

2.2 CADENA DE AMPLIFICACION Y FILTRADO

El inciso que a continuación se aborda, expondrá el tema concerniente a la cadena de amplificación.

El amplificador consta de seis etapas, dos de ellas utilizadas para filtrar ruidos de altas y baja frecuencias, una etapa pre-amplificadora, una más para la eliminación de los ruidos propios de la cabeza magnética, otra que lleve la señal a saturación y un cuadrador de señal.

El conjunto de las etapas adecúa la señal obtenida de la cabeza magnética para que ésta pueda ser utilizada por el microcontrolador.

La señal que se obtiene a la salida de la cabeza magnética es de aproximadamente 660 mV pp (ver nota 1), y prácticamente sinusoidal, esta se requiere amplificarla hasta un nivel de voltaje tal que pueda ser utilizable por el microcontrolador. Por otra parte, es necesario un filtrado de los ruidos que pudiesen provocar algún tipo de error en la lectura de la información contenida en el boleto magnético.

Para cumplir con lo anterior se ideó un sistema que fuese capaz de realizar dicho filtrado. Este sistema se compone de seis etapas básicas:

- 1a. ETAPA. Pre-amplificadora (diferenciador cuya función es la de aumentar el rango de voltaje en una proporción de aproximadamente diez veces la obtenida a la salida de la cabeza magnética, además de eliminar el ruido obtenido a modo común.
- 2a. ETAPA. De filtrado de ruidos de alta frecuencia.
- 3a. ETAPA. De filtrado de ruidos de baja frecuencia.
- 4a. ETAPA. De eliminación de ruidos producidos por la cabeza magnética.
- 5a. ETAPA. Amplificadora, la cual lleva la señal filtrada hasta saturación.
- 6a. ETAPA. De adaptación de nivel. La señal casi cuadrada y de un nivel de hasta 12 V. Se transforma mediante esta etapa en una señal de 5 VCD + TTL.

Cada una de las etapas mencionadas, se explicarán a continuación:

NOTA: Este dato fue obtenido a la salida de la cabeza de lectura, cuando el boleto magnético pasa a una velocidad de 610 mm/s.

PRIMERA ETAPA:

En esta primera etapa se utilizó un amplificador diferencial. La razón es que en este tipo de amplificadores ninguna de sus dos entradas está conectada a la tierra del circuito, trayendo como consecuencia la reducción de la cantidad de ruido inyectado al amplificador. Dado que el ruido es una señal a modo común y ésta aparece simultáneamente en ambas terminales de entrada, el circuito amplificador lo rechaza. La figura 2.2.0 muestra un amplificador diferencial cuya ecuación que relaciona la salida con la entrada es:

$$V_s = R_2/R_1 (V_2 - V_1)$$

Donde: $R_3/R_1 = R_4/R_2 = 1$

Con lo que se obtiene un amplificador diferencial con ganancia R_2/R_1 cuya impedancia de entrada en la entrada uno es variable y en la entrada dos es $R_3 + R_4$.

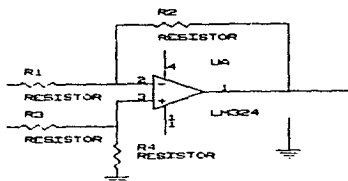


Fig. 2.2.0

Como deseamos que el circuito tenga una ganancia de 10 veces la señal de entrada, tomamos los siguientes valores de resistencias:

$$R_2 = 10 \text{ K ohms y } R_1 = 1 \text{ K ohm.}$$

Dado que:

$$R_1 = R_3 \text{ y } R_4 = R_2$$

Tenemos:

$R3 = 1K \text{ ohm}$ y $R4 = 10 K \text{ ohms}$.

SEGUNDA Y TERCERA ETAPA:

La información obtenida en los bornes de salida de la cabeza magnética, es necesario filtrarla de ruidos de alta frecuencia tales como: impulsos eléctricos (encendido de motores, lámparas, etc.), así como de ruidos de baja frecuencia, principalmente producidos por inducción de 60 Hz y de la eliminación de C.d que se pudiese presentar.

Para tal efecto se pensó en la realización de un par de filtros que delimitaran la banda en la que el mensaje se encuentre contenido.

La configuración básica de un filtro activo con amplificadores para segundo o más orden, visto en forma generalizada, es la mostrada en la figura 2.2.1

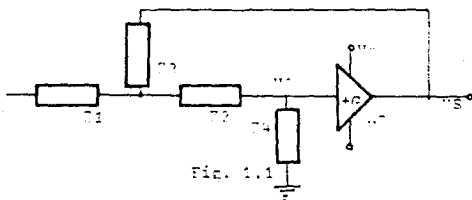
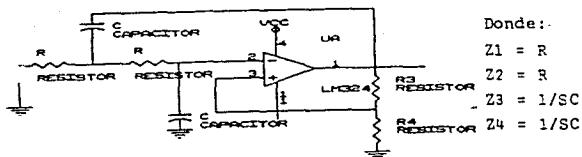


Fig. 2.2.1

Cuya función de transferencia es la siguiente:

$$V_s/V_e = A = \frac{Z_3 Z_4 G}{Z (Z_2 + Z_4) + Z_3 (Z_1 + Z_2 + Z_4) - Z_1 Z_4 G}$$

Tomando las impedancias como se muestra, se obtiene un filtro para la eliminación de ruidos de alta frecuencia (pasa bajos) fig. 2.2.2.



Donde:

$$Z1 = R$$

$$Z2 = R$$

$$Z3 = 1/SC$$

$$Z4 = 1/SC$$

Fig.2.2.2

Sustituyendo estos valores en la función de transferencia del filtro de segundo orden, se obtiene:

$$V_s/v_e = \frac{\frac{A V_o}{2} \frac{V_o}{2}}{S + S \frac{3 - A V_o + 1}{CR} \frac{1}{2} \frac{1}{2}} \frac{C R}{2}$$

Si se compara esta función de transferencia con la forma canónica de un sistema de segundo orden.

$$H(S) = \frac{A V_o}{S^2 + \omega_0 + \omega_0}$$

Forma canónica de un sistema de segundo orden con respuesta en bajas frecuencias.

Se obtiene:

$$A V_o = 3 - 2 \xi$$

ξ representa el coeficiente de amortiguamiento para un sistema de segundo orden. Este es un valor constante e igual a 0.7071 y se obtiene a partir de las tablas de polinomios normalizados Butterworth.

De igual manera se obtiene la frecuencia angular de corte (ω_0).

$$\omega_0 = 1/(RC) \text{ } 1/2$$

Ahora bien, si se escogen las impedancias de la siguiente manera, se obtiene un filtro que elimina las bajas frecuencias (pasa altos), mostrado en la fig. 2.2.3.

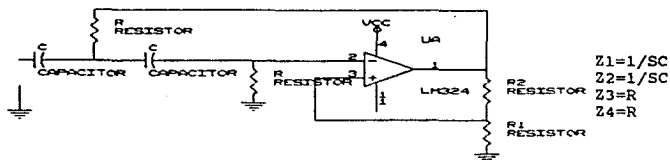


Fig. 2.2.3

cuyas ecuaciones son similares a las obtenidas para un filtro pasa bajos de segundo orden, esto es:

$$A_{V0} = 3 - 2\zeta \quad \text{y} \quad \omega_0 = 1/(CR) \text{ } 1/2$$

Haciendo referencia a lo anteriormente expuesto, se tiene:

$$\begin{aligned} \zeta &= 0.7071 \\ A_V &= 3 - 2\zeta \\ A_V &= 3 - 2 \times 0.7071 = 1.586 \end{aligned}$$

Que es la máxima ganancia que se puede obtener del circuito para evitar grandes dispersiones en los valores de los elementos y elevadas sensibilidades, mismas que traen inestabilidad al circuito.

FILTRO PASA BAJA.

Se tiene que $A_0 = 1 + R_2/R_1$.

Entonces: $R_2/R_1 = 1.586 - 1 = 0.586$

Si tomamos a $R_1 = 47 \text{ K}$ obtenemos a $R_2 = 27 \text{ K}$

como:

$$F_c = \omega_0/2$$

y puesto que:

$$\omega_0 = 1/(RC)^{1/2}$$

se tiene:

$$F_c = 1/2 (RC)^{1/2}$$

Por lo tanto, si queremos que la frecuencia de corte de circuito sea de 150 Hz. escogemos a $R = 1 \text{ M ohm}$ tenemos que $C = 1000 \text{ pF}$ quedando el circuito como se muestra en la figura 2.2.4 que permite rechazar las bajas frecuencias.

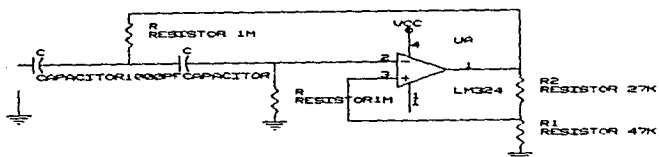


Fig. 1.4

Como se mencionó, se requiere el filtrado de ruidos de alta frecuencia producidos por ruidos industriales, además la señal que se está procesando no es completamente senoidal, por tanto, se requiere de un rango de frecuencias dentro de las que puedan ser incluidas las armónicas que reflejen más fielmente la señal tratada, en base a esto se tomó como límite superior de la banda, una frecuencia de corte de 10 KHz.

El cálculo para la obtención del filtro es similar al que se realizó para los valores del filtro para bajas frecuencias, de esta manera se obtienen los siguientes valores.

en donde:

$$A_v = 1.586$$

y

$$R_2/R_1 = 0.586$$

Si tomamos $R_1 = 47 \text{ K ohms}$ obtenemos, $R_2 = 27 \text{ K ohms}$

puesto que queremos que el circuito corte a 10 KHz y escogiendo los capacitores con un valor de 1600 pF y sustituimos en $F = 1/2 RC$ se tiene que $R = 10 \text{ K}$.

Con los valores obtenidos e intercambiando la posición de los elementos con respecto al filtro para baja frecuencias, se obtiene el circuito indicado en la fig. 2.2.5 que corresponde a un filtro pasa altos de segundo orden.

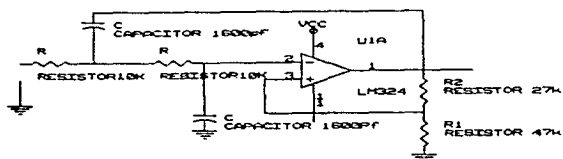


Fig. 2.2.5 filtro pasa altos.

CUARTA ETAPA:

Puesto que la señal obtenida de la cabeza magnética no es perfectamente senoidal, si no que presenta distorsiones Refiérase a la figura 2.2.6.

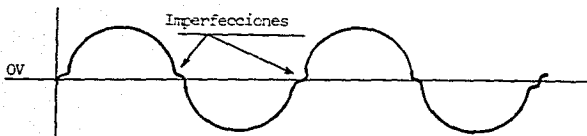


Fig. 2.2.6 Señal obtenida a la salida de la cabeza magnética.

Es necesario no tomar en cuenta la zona central de la señal que es donde se encuentra la distorsión producido por la cabeza magnética. Para lograrlo, se utiliza el voltaje de umbral del diodo. Así pues, si se anexa un par de diodos en antiparalelos, se impedirá el paso de este ruido por encima y debajo de 0.7V. Utilizándose diodos de recuperación rápida (BAWG2) para tal efecto.

QUINTA ETAPA:

La información filtrada de ruidos indeseables es necesario amplificarla hasta saturación (para que pueda ser utilizada por la siguiente etapa).

Por lo tanto, se utilizó un amplificador no inversor, cuya configuración fundamental se presenta en la figura. 2.2.7.

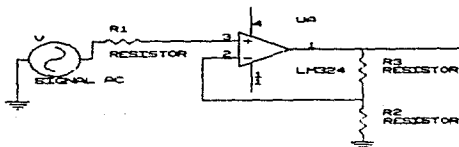


Fig. 2.2.7

La ecuación característica para este tipo de circuito es:

$$V_S/V_2 = A_v = 1 + R_3/R_2$$

Como se pretende que la señal original sea llevada a saturación, se eligió que el circuito amplifique 10 veces la señal de entrada.

Si se toma $R_2 = 10 \text{ Kohms}$ se tiene que $R_3 = 90 \text{ Kohms}$ como el valor obtenido para la resistencia R_3 no es comercial, se eligió una resistencia de 100 K obteniéndose de esta manera una ganancia de 11 veces la señal de entrada.

Para evitar el corrimiento en corriente en la entrada del amplificador, se eligió una resistencia R_1 que cumpliera con la siguiente característica:

$$R_1 = R_1/R_3$$

dando como resultado una resistencia R_1 con valor de 10 K ohms .

SEXTA ETAPA

La señal amplificada y llevada a saturación presenta cierto ángulo en los flancos de subida y bajada. Por tal motivo aún no puede ser considerada como una señal digital y ser utilizada por el microcontrolador.

Para evitar este inconveniente se utilizó un circuito que tenga como función el cuadrar la señal y llevarla a un nivel de voltaje utilizable por el microcontrolador (5V TTL). El circuito que cumple con esta características es el schmitt trigger, cuya configuración es la que se muestra en la fig.2.2.8.

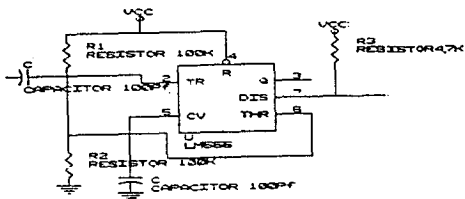


Fig. 2.2.8 Schmitt Trigger

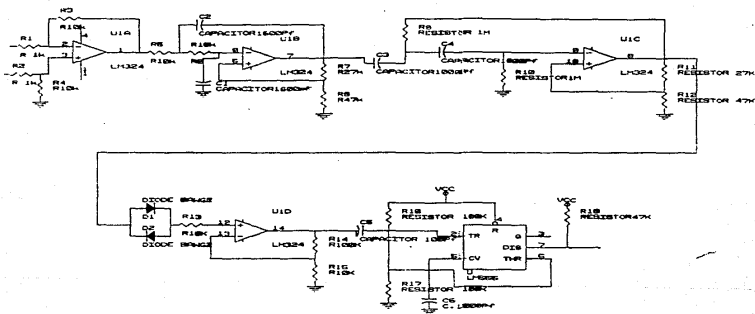
Quando la señal de entrada a este circuito excede los niveles de referencia ($1/3 V_{CC}$, y $2/3 V_{CC}$) causa que el flip flop interno cambie alternativamente produciendo una señal de salida cuadrada la cual es sujeta a 5V mediante una resistencia de 4.7 K, con el propósito de ser utilizada por el microcontrolador.

DISPOSITIVOS UTILIZADOS.

En cuanto a la implementación práctica del circuito y en lo que se refiere a las etapas amplificadores y de filtrado, se utilizó un circuito integrado LM 324 (el cual contiene dentro del encapsulado cuatro amplificadores operacionales) por sus características de funcionamiento (refiérase al anexo D), versatilidad y fácil obtención en el mercado nacional fue considerado como el adecuado para este caso.

La implementación del Schmitt Trigger se efectúa mediante un circuito integrado LM555. (Para mayor información de este circuito refiérase al anexo D).

Aunando las etapas de filtrado, amplificación y la etapa encargada de cuadrar la señal al Diagrama de el Circuito, es el que muestra la Fig. 2.2.9.



2.3 SISTEMA DE ARRASTRE

La presente sección indica el funcionamiento del sistema de arrastre. Cuando es introducido un boleto, el control que el microcontrolador debe realizar ante tal situación para ejecutar el mando del motor. Ya sea para que el boleto sea introducido, detenido o expulsado.

Por otra parte, en el anexo B puede ser encontradas algunas características del sistema de arrastre para su ensamble.

SISTEMA DE ARRASTRE DEL BOLETO.

El sistema de arrastre del boleto utilizado sobre el probador de boleto está constituido de un sistema de arrastre mecánico reversible, con una cabeza magnética montada y dos sensores de lectura.

Las interconexiones del sistema de arrastre del boleto se reparten en tres conectores:

- 1.- Switches de entrada/salida: (4 contactos) sirven para la detección de entrada del boleto Pin T0 (pata 1) y para la salida o terminación de pase del boleto Pin T1 (pata 39).
- 2.- Mando del motor: (2 contactos) sirve para las señales de mando del motor de arrastre del boleto, (dicho mando se analizará posteriormente). Las señales provienen de los pines P26 y P27 del puerto dos (patas 37 y 38).
- 3.- Cabeza Magnética: (2 contactos) un conector provisto de 2 cables que sirven para las señales de emisión de la cabeza magnética. Las señales de emisión, son conectada directamente a la entrada del amplificador.

PRINCIPIO DE FUNCIONAMIENTO.

Se introduce el boleto en la canaleta de entrada del aparato que está comunicado directamente con el arrastre del boleto. Tan pronto como el sensor delantero (switch) del arrastre de boleto es accionado, una señal procedente del microcontrolador manda al motor de arrastre arrancar y "tragar el boleto". El boleto obstruye a continuación el sensor trasero, se detiene por un período de tiempo y sigue su ruta en el sentido inverso.

A continuación de este mando de inversión (siempre contralado por el microcontrolador), el boleto será leído hasta el final de su trayectoria.

Este final de trayectoria es finalizado cuando el boleto libera el sensor delantero. Después de esta liberación un periodo de tiempo es mandado por el microcontrolador antes de que el motor se detenga.

MANDO DEL MOTOR DEL SISTEMA DE ARRASTRE DEL BOLETO.

Este mando tiene la función de proveer la alimentación necesaria al motor, cuando por indicación del microcontrolador se requiera, pudiendo dividirse en tres fases:

- 1.- "Tragado del Boleto"
- 2.- Detención del giro del motor (paro).
- 3.- Expulsión del boleto.

El circuito encargado de realizar el mando del motor, es mostrado en la fig. 2.3.0.

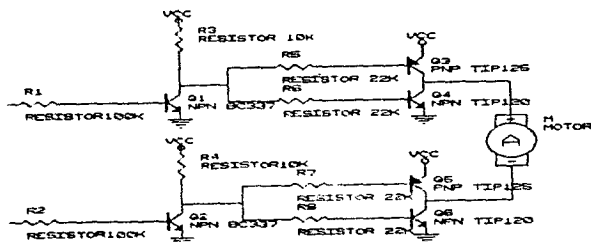


Fig. 2.3.0

FUNCIONAMIENTO.

- TRAGADO DEL BOLETO.

Cuando por mando del microcontrolador sea requerido que el motor "trague el boleto" (marcha adelante). éste mandará un pulso de uno lógico a través del PIN P26 del P2 y un cero lógico a través del PIN P27, estos pulsos al ser detectados por los transistores BC337 provocarán que conduzcan los transistores Q1 y Q3 haciendo girar el motor hacia adelante.

- PARO DEL MOTOR.

Esto se logra cuando el microcontrolador al sensar el switch trasero envía un pulso de uno lógico a través de los Pines P26 y P27 del puerto dos. Estos pulsos al ser censados por los transistores BC337 harán que conduzcan los cuatro transistores (Q1 a Q4) poniendo ambas terminales de alimentación del motor a tierra deteniendo con ello el motor.

- EXPULSION DEL BOLETO.

Es similar al proceso de tragado del boleto, excepto que en este caso se mandará un cero lógico por el Pin P26 y un uno lógico a través del Pin P27, que al acoplarse con los transistores BC 337 pondrán en conducción los transistores Q2 y Q4 provocando con ello la expulsión del boleto.

ESPECIFICACIONES MECANICAS DEL ARRASTRE DEL BOLETO.

El arrastre del boleto, concebido al principio para leer las cartas de crédito standards, ha sido especialmente modificado para aceptar los boletos de México. He aquí las características:

10. Arrastre previsto para los boletos con un:
 - ancho = $31.0 - .00 + .05$ mm.
 - ancho de pista magnética = $5\text{mm} - .0 + .2$ mm.

20

Motor:

- Tipo micro-motor $V_1 = 0-12$ VcD (típico) $I_n = 1.5$ amperios durante 100 m. seg. y 250 miliamperios después de 100 m. seg.
- Velocidad de introducción y lectura del boleto
 $V_{in} = V = 115$ mm/seg. (Típico).
lec.

CONSTRUCCION

Las características de los elementos utilizados para la construcción del sistema de arrastre pueden ser encontrados en el anexo B y D, conteniendo específicamente los elementos electrónicos utilizados en la construcción para el mando del motor de arrastre, vistas de arriba y abajo del sistema de arrastre, además un dibujo en explotado mostrando la forma de ensamble del sistema de arrastre.

2.4 EL MICROCONTROLADOR MCS-49

En el presente inciso se expondrán las características principales de los bloques que componen la familia del microcontrolador MCS-48, indicando su potencialidad y lo que motivó su utilización.

Así mismo se describirá su composición interna que con el objeto de lograr una mayor comprensión fue dividido en bloques funcionales, además se indicará el funcionamiento y aplicación de las entradas y/o salidas con lo que cuenta el procesador. Por último, se explicará la manera del como se utilizó el procesador en base a las necesidades del proyecto.

CARACTERISTICAS DEL MICROCONTROLADOR MCS-49.

El elemento principal que encabeza la familia es el microcontrolador 8048H, el cual se encuentra empaquetado en un circuito integrado de 40 patas teniendo las siguientes características:

- Un CPU de 8 bits.
- Memoria de solo lectura (ROM 1Kx8).
- Memoria de acceso aleatorio (RAM 64x8).
- 27 líneas de entrada y salida.
- Contador de eventos y temporizador de 8 bits.

El procesador MCS-48 está diseñado para tener un control eficiente de los procesos aritméticos e implementar funciones lógicas, por otra parte se le ha dado especial atención a la eficiencia del código, así, cerca del 70% de las instrucciones son de un sólo bit y las restantes de dos bits de longitud. Esto significa que muchas funciones que requieren 1.5K ó 2 K. bytes en otros computadores podrán ser comprimidas e integrarse al 8048H que tiene únicamente 1K byte de memoria.

Para el caso de otros microcontroladores con 3 ó 4 K bytes se puede utilizar el 8049H que tiene únicamente 2 K bytes de memoria interna.

DESCRIPCION DEL MICROCONTROLADOR MCS-49.

Para comprender los diferentes bloques funcionales que describen el microcontrolador es necesario tener presente el diagrama representado en la figura 2.4.1.

SECCION ARITMETICA.

La sección aritmética del controlador contiene las funciones básicas de manipulación de datos del 8048H que puede ser dividida dentro de los siguientes bloques.

- Sección Aritmética Lógica (ALU).
- Acumulador.
- Bandera de Acarreo.
- Decodificador de instrucciones.

SECCION ARITMETICA LOGICA (ALU).

La ALU permite efectuar operaciones lógicas y aritméticas en binario, y es capaz de combinar palabras de 8 bits, que estarán bajo el control del decodificador de instrucciones.

Las ALUs tienen otras funciones incluidas que pueden permitir las siguientes funciones:

- Suma con o sin acarreo.,
- AND, OR y OR Exclusiva.
- Funciones de incremento y decremento.
- Complemento de bit (inverso)
- Rotar a la izquierda o derecha.
- intercambio de nibbles.

ACUMULADOR

El acumulador es simplemente el registro más importante de datos del procesador, siendo uno de los accesos de entrada de la ALU y casi siempre el destino del resultado de la operación realizada en la ALU.

La disponibilidad de este registro de propósito general, elimina la necesidad de "arrastrar" resultados intermedios entre la memoria y el acumulador, trayendo como consecuencia un proceso rápido y eficiente.

BANDERA DE ACARREO

Esta se activará si la operación realizada por la ALU sobrepasa más de 8 bits (sobre flujo del bit más significativo, la señal obtenida se enviará a la palabra de status (PSW) en donde podrá ser tratada de acuerdo a nuestras necesidades.

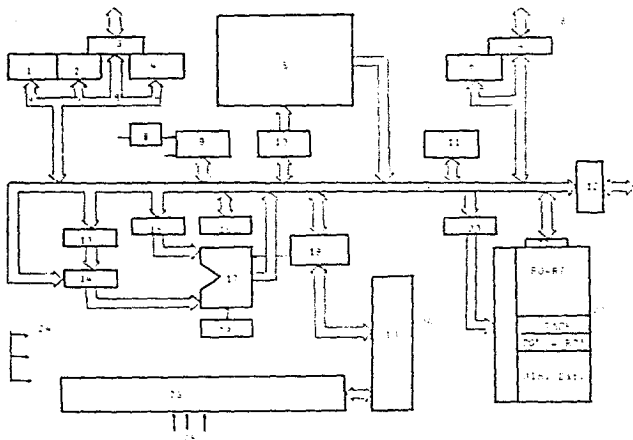


FIG. 2.4.1

- | | |
|--|---|
| <ul style="list-style-type: none"> 1. Bits más sig. del P2 2. Bits menos sig. del P2. 3. Buffer de P2 4. Contador de Prog.(par.alta) 5. Memoria EPROM y ROM 6. Almacenamiento de datos 7. Buffer del BUS 8. Oscilador 9. Temporizador/cont.de eventos 10. Contador de prog.(part.baja) 11. Prog.de cambio de palabra 12. Puerto uno. 13. Acumulador 14. Alin.de los datos del acumulador. 15. Reg. de temporización. 16. Banderas. | <ul style="list-style-type: none"> 17. Unidad Aritmética lógica 18. Decod. y reg.de Inst. 19. Detector de líneas de Ent. Lóg. 20. Reg.de Direcc.(RAM). 21. Memoria RAM. 22. Multiplexor. 23. Detector de líneas de control y tiempo. 24. Líneas de alimentación. 25. Líneas de control y Temp. 26. Líneas de Ent. Lóg. 27. Salida/Ent. para expansion 28. Ajuste decimal. |
|--|---|

DECODIFICADOR DE INSTRUCCIONES:

El código de operación como parte de cada instrucción de programa, es almacenado en el bloque de decodificación y convertida en una señal de salida, la cual controla la función de cada bloque de la sección aritmética.

Estas líneas controlan el flujo de datos y el destino de los registros, tal y como es indicado en el ALU.

MEMORIA PROGRAMABLE:

La memoria programable y borrable EPROM, contenida en el procesador, consiste de 2048 palabras de 8 bits, las cuales son direccionadas por el contador de programa (PC).

Existen tres localidades en la memoria programable de especial importancia como muestra la figura 2.4.2.

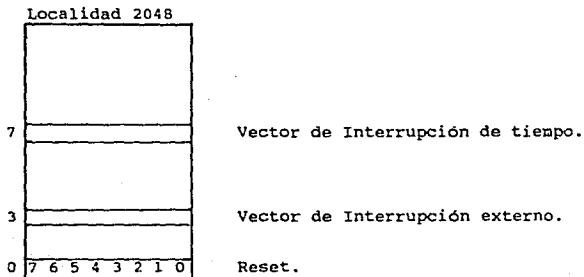


Fig. 2.4.2 Memoria Programable.

Localidad 0:

Cuando se activa la línea Reset de el controlador causa que la primera instrucción del programa sea llevada a la localidad cero de la memoria.

Localidad 3:

Activando la entrada de interrupción del controlador provoca un salto a la subrutina indicada por la localidad tres.

Localidad 7:

Una interrupción resultante de un sobreflujo obtenida en un ciclo temporizador/contador, causa salto a la subrutina localizada por el bit 7.

La memoria programable es usada para almacenar instrucciones de programa, también puede ser utilizada para almacenar constantes y generar tablas, las instrucciones MOVPL y MOVPL3 permiten un fácil acceso a los datos de estas tablas de datos.

MEMORIA DE DATOS:

La memoria de datos está formada de 128 palabras de 8 bits. Estas localidades de memoria son indirectamente direccionables mediante cualquiera de los dos punteros que se encuentran en las localidades uno y dos de los registros de trabajo (R0 y R1).

Como se muestra en la figura 2.4.3 las primeras 8 localidades (0-7) del arreglo son designadas como registros de trabajo directamente direccionables mediante diferentes instrucciones.

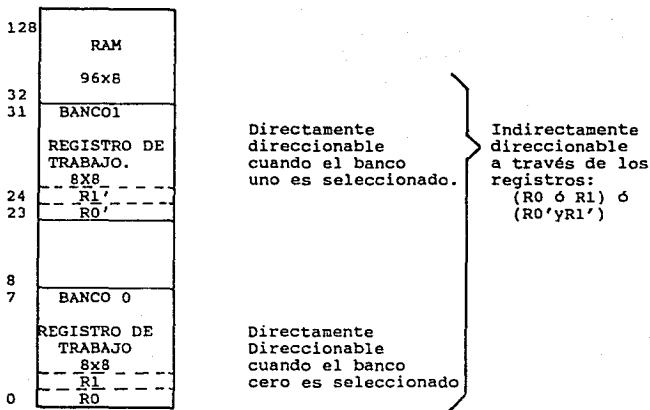


Fig. 2.4.3

El microcontrolador normalmente funciona con el banco 0, pero puede ser seleccionado el banco uno mediante la instrucción (SEL RB1), trayendo como consecuencia que las localidades 24 a 31 sean designadas como registros de trabajo directamente direccionables, en lugar de las localidades 0-7 (Banco 0).

Así se tiene que al cambiar el banco se crean dos punteros más RO' y R1' que pueden ser utilizados conjuntamente con RO y R1. Por lo tanto, se tienen cuatro punteros que pueden acceder fácilmente cuatro áreas de trabajo en la RAM al mismo tiempo.

Las localidades 8-23 también sirven para un doble propósito, pueden ser direccionados por el Apuntador de Stack durante las llamadas subrutinas o pueden ser usadas como una RAM de propósito general.

Si los niveles de las subrutinas anidadas es menor de 8, todos los registros del apuntador no son requeridos y pueden ser usados como localidades RAM de propósito general.

LINEAS DE ENTRADA Y SALIDA

El 8749H tiene 27 líneas, que pueden ser usadas para las funciones de entrada y salida. Estas líneas son agrupadas como tres puertos de 8 líneas cada una, que sirven indistintamente como entradas, salidas o puertos bidireccionales y tres entradas de prueba, las cuales pueden alterar la secuencia del programa cuando detecta una instrucción de salto condicional.

PUERTOS 1 Y 2:

Los puertos 1 y 2 son de 8 bits, con características idénticas. Los datos escritos en estos puertos son estáticamente latchados (quedan permanentemente inalterables hasta que sean reescritos).

Como entradas, estos puertos no son latchados (la señal de entrada debe estar presente hasta que sea leída por una instrucción de entrada).

Las líneas del puerto 1 y 2 son llamadas cuasibidireccionales, ya que la configuración del circuito contiene una estructura que permite indicar a cada línea cuándo se utilizará como entrada, salida o ambas, y siempre sus salidas son estáticamente latchadas.

El puerto cuasibidireccional en combinación con las instrucciones lógicas de ANL y/o ORL proveen un manejo significativo en la utilización de las entradas y salidas de datos.

BUS:

El tercer puerto (BUS) es también de 8 bits, es un puerto bidireccional, el cual asocia datos de entrada y salida. Tiene

como ventaja el no requerir que sea bidireccional, este puede servir también como un puerto de salida latchable o un puerto de entrada no latchable.

Como un puerto estático, el dato es escrito y latchado usando la instrucción OUTL, y leído usando la instrucción INS. Las instrucciones INS y OUTL generan pulsos en las correspondientes patas de salida RD y WR del microcontrolador.

Una escritura en el puerto genera un pulso en la línea de salida WR, el dato de salida es entonces válido en el corte de la instrucción de lectura. Una lectura del puerto genera un pulso de RD en la respectiva línea, en ese momento un dato de entrada será leído.

Cuando no se está leyendo o escribiendo las líneas del BUS, se ponen en alta impedancia.

ENTRADAS DE INTERRUPCION Y MEDICION:

Tres patas del microcontrolador sirven como entradas y están relacionadas con una instrucción de salto incondicional, estas son T0, T1 e INT.

Si alguna de estas patas detecta una señal de entrada causa que el apuntador de programa salte a alguna sección del programa (salto que será indicado por el propio programa) sin la necesidad de utilizar un puerto de entrada. Las entradas de interrupción T0, T1 e INT tienen otras funciones posibles, las cuales se verán posteriormente.

CONTADOR DE PROGRAMA Y STACK:

El procesador tiene una especial manera de manejar las subrutinas asegurando un ordenado retorno al programa principal.

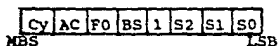
Cuando se recibe una instrucción de llamada (CALL) incrementa al contador de programa y almacena el contenido de sus contadores en una área de memoria reservada, conocida como

stack, por lo tanto, el stack almacena la dirección de la instrucción a ser ejecutada después que la subrutina es completada.

PALABRA DE STATUS (PSW):

La palabra de Status es una serie de Flip-Flops, los cuales el procesador puede leer o escribir como uno sólo. Los cuatro bits más altos del PSW son almacenados en la pila del contador de programa con cada llamada a una subrutina o vector de interrupción y pueden ser recuperados opcionalmente utilizando la instrucción RETR.

A continuación se muestra la información disponible en la palabra (véase figura 2.4.4) y las de funciones de los bits del programa de cambio de palabra.



Cy= Acarreo
AC= Acarreo Auxiliar.
FO= Bandera Cero.
BS= Selección de Banco.
MSM= Bit más significativo
LSB= Bit menos significativo.

Fig.2.4.4. Palabra de Status

Bits 0-2: Apuntador de pila bits (S0, S1, S2).

Bit 3: No es utilizado (nivel alto "1" cuando lee).

Bit 4: Selector del banco de registros de trabajo bit BS.

0= Selección del banco cero.

1= Selección del banco uno.

Bit 5: Bandera cero bit FO, usada para controlar la bandera. La cual puede ser complementada, limpiada y censada con la instrucción de salto condicional JFO.

- Bit 6: Auxiliar de carry bit AC, el bit de carry generado por una instrucción de suma (ADD) es usado por la instrucción de ajuste decimal DA A.
- Bit 7: Bit de acarreo (carry Cy) esta bandera indica que en una previa operación se ha obtenido un sobreflujo del acumulador.

INTERRUPCIONES:

En el 8749H una secuencia de interrupción es iniciada por la aplicación de un nivel bajo "0" en la entrada de la pata de interrupción (INT),

Cuando es detectada una interrupción, causa un salto a la localidad 3 de la memoria programable.

El fin de una subrutina de interrupción es indicada por la ejecución de una instrucción de retorno y restauración de estado RETR.

Si una interrupción de tiempo interna y una interrupción externa son detectadas al mismo tiempo, únicamente será reconocida la interrupción externa.

CONTADOR:

El contador binario de 8 bits puede ser leído mediante dos instrucciones MOV las cuales transfieren el contenido del acumulador y viceversa. El contenido del contador es afectado por el RESET y es inicializado desde OOH.

Puede ser inicializado como un temporizador por una instrucción STRT T o como un contador de eventos por una instrucción STRT CNT, una vez inicializado, el contador se incrementará hasta un máximo de FF y sobre flujo a cero, continuando contando hasta ser detenido por una instrucción STOP, TCNT o RESET.

El estado de una bandera de sobreflujo es detectada con la instrucción de un salto condicional JTF. La bandera es modificable por JFO, JFI o RESET. La petición de interrupción es almacenada en un latch y tratada como una compuerta OR conjuntamente con la entrada interna de interrupción INT.

El contador de interrupciones puede ser habilitado o deshabilitado independientemente de una interrupción externa mediante las instrucciones EN TCNTI y DIS TCNTI.

Si se encuentra en el contador un sobreflujo, causará una subrutina de llamada a la localidad 7 de la memoria programable.

Si el temporizador y una interrupción externa ocurren simultáneamente, la señal externa será reconocida y la llamada será en la localidad tres.

El tiempo que quedó pendiente al realizarse una interrupción podrá ser removido por la ejecución de una instrucción DIS TCNTI.

Como contador de eventos:

La ejecución de una instrucción de STRT CNT conecta la entrada TI a la entrada del contador. La entrada TI es censada al comienzo del registro 3. Subsecuentemente una transición de alto o bajo sobre TI causará que el contador se incremente. TI deberá ser mantenido por al menos un ciclo de instrucción para asegurar que éste no desaparezca, la máxima razón a la cual el contador puede ser incrementado es uno por cada tres ciclos de instrucción (cada 7.5 micro. seg., si se usa un cristal de 6 MHz). No existe mínima frecuencia. La entrada TI debe permanecer alta por lo menos 1/5 de ciclo de instrucción antes de cada transición.

Como temporizador.

La ejecución de una instrucción STRT T conecta un reloj interno a la entrada del contador y habilita el contador. El reloj interno es derivado por el paso del ciclo básico de máquina

(400.0 KHz para 6 MHz) del reloj del ALE a través de un divisor de escala (132). El divisor de escala es inicializado durante la instrucción START T. El resultado es un reloj de 12.5 KHz que incrementa el contador cada 80 micros.seg.. Varios retardos entre 80 micro. seg. y 20.48 micro. seg. (256 pulsos) pueden obtenerse, pero ajustando el contador y detectando un sobreflujo. Tiempos tan largos como 20.48 micro. seg. pueden ser guardados por la múltiple acumulación de sobreflujos en registros bajo el control del software.

Para tiempos menores de 80 micro. seg. un reloj externo puede ser aplicado desde la entrada T1.

ALE dividido por 3 o más puede servir para este reloj externo.

Los retardos de tiempo muy pequeños o muy grandes pueden ser generados fácilmente, por ciclos de retardo mediante software.

CIRCUITO DE TEMPORIZACION Y RELOJ:

La generación de temporización está totalmente contenida en el microcontrolador con excepción de la frecuencia de referencia, la cual puede ser generada por un inductor o un dispositivo fuente.

OSCILADOR:

El tren de oscilación es un circuito resonante de alta ganancia en paralelo dentro de un rango de frecuencia de 1 a 8 MHz. La pata externa X1 es la entrada a la etapa del amplificador, mientras que X2 es la salida.

Un cristal o inductor conectado entre X1 y X2 proveen una alimentación y fase de corrimiento requerida para la oscilación.

Si no se requiere una frecuencia exacta de referencia y de igual manera no se requiere que el procesador funcione a una

alta velocidad, un inductor puede ser usado en lugar de un cristal. Con un inductor la frecuencia de oscilación puede ser aproximadamente de 3 a 5 MHz.

Un cristal de 5.9904 MHz se utilizó en el presente trabajo por su fácil derivación para todas las frecuencias de comunicación externas.

CONTADOR DE ESTADOS:

La salida del oscilador es dividida en tres por el contador de estados, creando un reloj que define los tiempos de estado de la máquina (CLK).

CLK puede ser disponible en la pata externa TO siempre y cuando se ejecute una instrucción ENTO CLK, y la salida de CLK en la pata TO puede ser deshabilitada mediante RESET.

CONTADOR DE CICLOS:

La señal de reloj (CLK) es dividida por cinco en el contador de ciclos, generando un reloj que define un ciclo de máquina, consistente de cinco estados de máquina (como se muestra en la fig.2.4.5). Este reloj es llamado habilitador de direcciones, el cual puede ser censado continuamente en la pata externa de ALE del procesador.

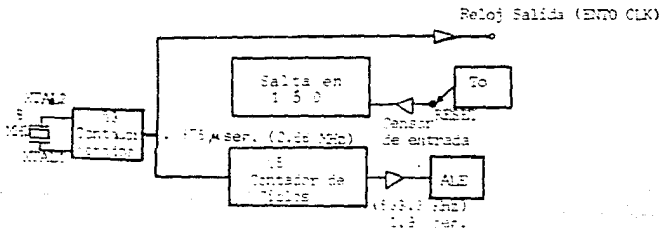


Fig. 2.4.5

RESET.

La entrada de reset le indica al procesador que se iniciará un proceso. Esta entrada tiene una resistencia interna la cual en combinación con un capacitor externo de 1 μ f provoca un pulso de habilitación lo suficientemente grande para garantizar que todos los circuitos internos sean inicializados. Esto se muestra en la fig. 2.4.6 El pulso de reset es generado externamente. Este pulso debe permanecer a tierra (0-0.5v) al menos 10 milisegundos después que la fuente de poder (alimentación) esté dentro de la tolerancia para el funcionamiento del procesador.

Solamente 5 ciclos de máquina (12.5 micro.seg. a 6 MHz) son requeridos, siempre y cuando la fuente de poder esté lista y el oscilador se halla estabilizado.

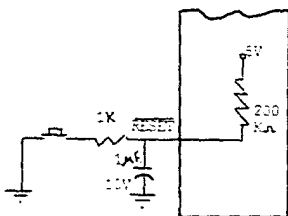


Fig. 2.4.6

Al activar la pata de reset se realizan las siguientes funciones:

1. Mando el contador de programa a cero (PC=0).
2. Manda el contador de stack a cero (SP=0).
3. Seleccionar el banco de registro cero (selecciona RO a R7)
4. Seleccionar el banco de memoria cero (MB=0).

5. Manda el BUS a estado de alto impedancia (excepto cuando EA=5V).
6. Manda los puertos 1 y 2 en modo de entrada.
7. Deshabilita las interrupciones.
8. Detiene los contadores.
9. Borra las banderas de temporización.
10. Limpia FO y F1.
11. Deshabilita el reloj de salida de TO.

2.5 SISTEMA DE VISUALIZACION

En la siguiente sección se expone el sistema de despliegado de datos utilizado en el presente trabajo.

El LCD II (HD44780) es un display de cristal líquido capaz de desplegar caracteres alfanuméricos. Maneja una matriz de puntos de cristal líquido que puede ser controlado por un microcomputador o un microprocesador de 4 u 8 bits, en el que todas las funciones requeridas en la matriz de puntos de cristal líquido son internamente proporcionadas en un solo chip y su capacidad de manejo de caracteres puede ser ampliada conectando un manejador LSI HD44100 H.

El LCD II es producido con tecnología CMOS, de esta manera la combinación del display con un microprocesador con la misma tecnología puede proporcionar una baja disipación de potencia.

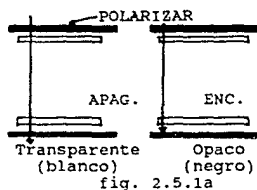
ESTRUCTURA Y PRINCIPIO DE MANEJO DEL DISPLAY DE CRISTAL LIQUIDO.

Generalidades:

El cristal líquido es una fase intermedia entre los estados líquido y sólido, en apariencia es un líquido, pero eléctricamente y ópticamente muestra las propiedades de un cristal. Básicamente existen dos tipos de displays de cristal líquido.

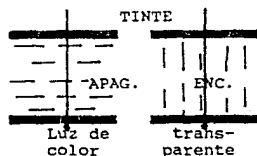
1er. TIPO.

Un campo eléctrico mueve las moléculas de cristal líquido entrelazadas horizontalmente a un enlace vertical. Este tipo es el más ampliamente usado en la actualidad (Fig. 2.5.1a).



2o. TIPO.

Un campo eléctrico mueve las moléculas de cristal líquido conteniendo moléculas de color. Este tipo tiene mejor visibilidad desde cualquier punto de vista (ángulo) que el anterior, además que es posible tener displays de color (fig. 2.5.1b).



PRINCIPIO DE MANEJO.

Un display de cristal líquido puede ser descrito como un obturador electrónico, que es transparente cuando no existe voltaje pero que se opaca cuando se suministra voltaje (o viceversa). Este efecto es usado para desplegar números, caracteres u otros patrones.

El principio de operación de un display de cristal líquido, es mostrado en la figura 2.5.2a.

- (1) El display de cristal líquido está intercalado entre dos polarizadores cuyos ejes de polarización normalmente están cruzados a 90 grados.
- (2) Cuando no hay voltaje, las moléculas de cristal líquido están alineadas a 90° y están rotadas en el plano de polarización de luz 90° como muestra la figura 2.5.2a de esta manera la luz pasa a través de ambos polarizadores.
- (3) Cuando un voltaje es aplicado, las moléculas de cristal líquido se alinean perpendicularmente a el sustrato, por lo tanto, la luz es cortada por el segundo polarizador, como muestra la figura 2.5.2b.

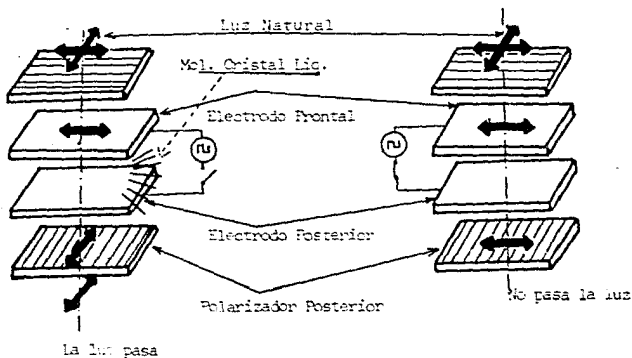


Fig. 2.5.2a

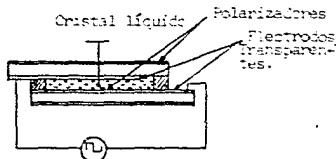
Fig. 2.5.2b

PROPIEDADES BASICAS DEL CRISTAL LIQUIDO.

El cristal líquido necesariamente tiene que ser manejado con corriente alterna, en caso contrario, la reacción de los electrodos que inciden en las células de cristal líquido rápidamente degradarían la calidad del display. La manera básica para utilizar el sistema es el manejo estático. Mostrado en la figura 2.5.3a.

La señal característica de manejo es una onda rectangular simétrica con un voltaje pico V_0 .

Las características voltaje-brillante son mostradas en la fig. 2.5.3b, tomando el máximo de brillante cuando no hay voltaje (100%). El voltaje al cual la brillantez cae al 70% es llamada el voltaje de inicio de encendido o umbral de voltaje (V_{th}). El umbral de voltaje depende de la frecuencia de manejo, incrementándose en la región de alta frecuencia (en general en la región por encima de 1 KHZ a 25 C), pero puede operar a frecuencias de varias décimas y a varios cientos de hertz, así que no es necesario tomar esto en consideración para el control de la brillantez del display.



- a) Alabrado.
- b) Señal.

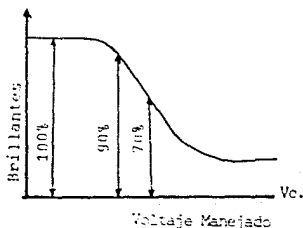


Fig. 2.5.3b

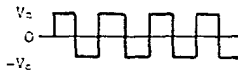
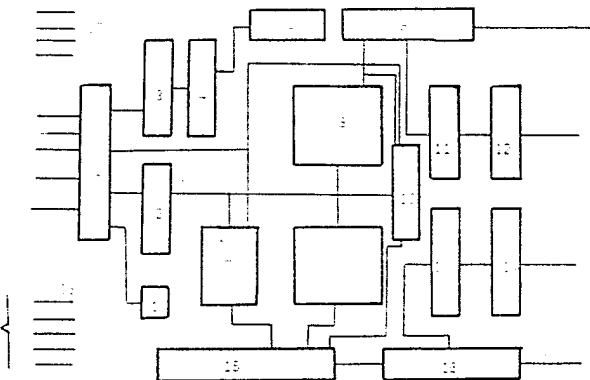


Fig. 2.5.3a

DIAGRAMA A BLOQUES Y FUNCION DE CADA BLOQUE.

Refiérase al siguiente diagrama a bloques:



0. Bufere de entrada/salida.
1. Bandera de Ocupación.
2. Registro de datos.
3. Registro de Instrucción.
4. Decodificador de Instrucciones.
5. Contador de Dirección (AC).
6. Circuito generador de tiempo.
7. RAM Generadora de caracteres (CGRAM de 512 bits).
8. RAM de desplegado de datos (DDRAM de 80 x 8 bits).
9. RAM Generadora de caracteres (CGRAM de 7200 bits).
10. Registro de corrimiento de 16 bits.
11. Circuito de control del cursor y parpadeo de la matriz de puntos.
12. Manejador de las líneas comunes del display.
13. Circuito de almacenamiento de datos de 40 bits.
14. Manejador de los segmentos del display.
15. Convertidor de datos (paralelo-serie).
16. Registro de corrimiento de 40 bits.
17. Líneas de voltaje de alimentación.
18. Líneas de alimentación (para el cristal líquido).

REGISTROS.

El HD44780 tiene dos registros de 8 bits, un registro de instrucción (IR) y un registro de datos (DR).

El registro de instrucción almacena códigos de instrucción tales como: limpiar el display, correr el cursor, direccionar la información para la memoria RAM de desplegado de datos (DDRAM) y la memoria RAM generadora de caracteres (CGRAM).

En el registro de instrucción (IR) se puede escribir desde el microprocesador (MPU), pero no se puede leer por éste.

El registro de datos (DR) almacena temporalmente datos para que sean escritos dentro del DDRAM o el CGRAM. El dato mandado desde el MPU es almacenado en el DR y se escribe automáticamente dentro del DD RAM o el CGRAM por una operación interna. El DR también es usado para almacenar datos provenientes del DDRAM o el CGRAM que posteriormente será leídos por el MPU.

Se puede seleccionar estos dos registros controlando la señal del selector de registro (RS).

BANDERA DE OCUPACION (BF).

Cuando en la bandera de ocupación existe un "1", el HD44780 se encuentra operando internamente y la siguiente instrucción no podrá ser aceptada. El estado de la bandera de ocupación puede ser censado en la pata DB7 cuando RS=0 y R/W=1, como se muestra en la tabla 2.5.I.

La siguiente instrucción puede ser escrita después de asegurarse que la bandera de ocupación es "0".

RS	R/W	E	OPERACION
0	0		IR Escribe mientras se encuentra operando internamente (limpiar display, etc.).
0	1		Lee la bandera de ocupación (DB7) y el contador de dirección (DB0 DB7).
1	0		DR Escribe mientras se encuentra en operación interna (DR a DDOCG RAM).
1	1		DR lee mientras se encuentra en operación interna (DD o CG RAM a DR).

TABLA 2.5.I.

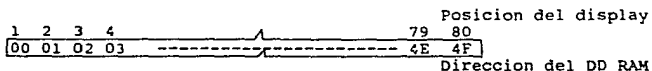
CONTADOR DE DIRECCION (AC):

El contador de dirección (AC) asigna la dirección al DD RAM o a el CG RAM. Cuando una instrucción es escrita en el registro de instrucción (IR) la dirección de la información es mandada del IR al AC donde su contenido puede ser obtenido en las patas DBO a DB6 cuando RS = 0 y R/W = 1 como se mostró en la tabla 2.5.I

RAM DE DESPLEGADO DE DATOS (DDRAM).

La RAM de desplegado de datos (DDRAM) almacena los datos presentados en el display en paquetes de 8 bits teniendo una capacidad de 80 x 8 bits u 80 caracteres. La RAM de despliegue de datos si no se utiliza para desplegados, puede ser usada como una memoria RAM. La relación entre la dirección de la RAM de desplegado de datos y su posición en el display de cristal líquido se explica a continuación.

La dirección del DDRAM (ADD) es enviada al contador de dirección (AC) y representada en hexadecimal como indica el siguiente dibujo.



Cuando los caracteres del display son menos de 80, el display inicia en la primera posición, esto es en la posición del display "1" y la dirección del DDRAM en "0".

Cuando se ejecuta una operación de corrimiento la dirección del DDRAM se mueve de la siguiente manera:

01 02 03 ————— OE OF 10 Corrimiento del display a la izquierda.

4F 00 01 ————— OC OD OE Corrimiento del display a la derecha.

ROM GENERADORA DE CARACTERES (CGROM).

La ROM Generadora de Caracteres genera patrones de puntos (matriz) de 5 x 7 ó 5 x 10 con códigos de caracter de 8 bits. Puede generar 160 tipos de caracteres patrón de 5 x 7 puntos y 312 tipos de caracteres patrón de 5 x 10 puntos. Las tablas muestran la relación entre los códigos del caracter y los caracteres patrón.

RAM GENERADORA DE CARACTERES (CGRAM).

La RAM Generadora de Caracteres es una memoria que al utilizarla puede reescribir caracteres patrón por programa. Ocho tipos de caracteres patrón pueden ser reescritos cuando se utiliza una matriz de 5 x 7 puntos y 4 tipos cuando es utilizada una matriz de 5 x 10 puntos.

CIRCUITOS DE GENERACION DE TIEMPO:

El circuito de generación de tiempo manda señales de tiempo para que operen los circuitos internos, tales como: el DDRAM, CGROM y CGRAM. Las operaciones de tiempo del display y el MPU son accedadas separadamente, por lo tanto, no existe posibilidad de interferencia entre ellas, sin embargo, cuando se escribe un dato al DDRAM se presentan efectos indeseables

tales como parpadeos en el display (prácticamente no se distingue). Este circuito también genera señales de tiempo para operar externamente, conectando manejadores externos LSI HD44100H.

CIRCUITO MANEJADOR DEL DISPLAY DE CRISTAL LIQUIDO

El circuito manejador de cristal líquido, consiste de 16 señales manejadoras comunes y 40 señales manejadoras de segmentos.

Estas señales son las encargadas de enviar el dato del caracter patrón en serie a través de un registro de corrimiento de 40 bits y almacenarlo cuando todas las necesidades del dato sean recibidas.

CIRCUITO DE CONTROL DEL CURSOR Y PARPADEO DE LA MATRIZ DE PUNTOS.

Este es el circuito que genera el cursor y el parpadeo. el cursor o el parpadeo aparece en el dígito residente de la RAM de despliegue de datos (DDRAM) direccionada por el contador de dirección (Véase control del encendido en la sección de instrucciones).

INSTRUCCIONES.

LINEA DE SALIDA:

Como se mencionó, únicamente dos registros del HD 44780 pueden ser directamente controlados por el microprocesador, estos son: el registro de instrucciones (IR) y el registro de datos. Antes de la operación de inicio, el control de la información es temporalmente almacenada en estos registros, permitiendo así, interfazar las operaciones internas del HD4470 con varios tipos de microprocesadores que operen a diferentes velocidades o permitir a circuitos integrados el control periférico de las señales de control del display.

Estas señales incluyen registros de selección de señal (RS), señales de lectural escritura (R/W) y señales del bus de datos (DB0 a DB7) las que llamaremos instrucciones. Estas instrucciones pueden ser clasificadas en 4 tipos

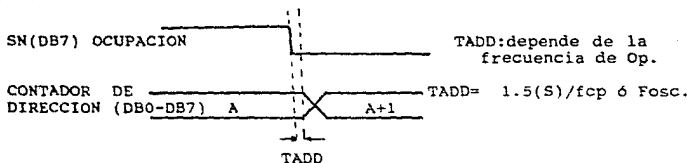
1. Las que realizan funciones tales como dar el formato del desplegado, la longitud del dato, etc.
2. Las encargadas de dar direcciones internas a la RAM.
3. Las que despliegan datos que fueron transferidos dentro de la RAM interna.
4. Otros.

Las instrucciones de la categoría (3) son utilizados más frecuentemente e incluso pueden ser mezcladas, como es el caso del corrimiento del display y la escritura de datos mismos que pueden ser utilizados conjuntamente cuando se efectúa un desplegado de datos, facilitando el uso del sistema un tiempo mínimo y con una máxima eficiencia en la programación.

Cuando una instrucción es ejecutada, se genera una operación interna impidiendo que alguna otra instrucción pueda ser leída hasta que la bandera de ocupación se encuentre libre. Por lo tanto, es necesario estar seguro que el HD4478 no se encuentra en estado de ocupación (BF = 0) antes de enviar la instrucción del microcontrolador al HD44780. Si la instrucción es enviada sin checar la bandera de ocupación, el tiempo entre la primera y la siguiente instrucción será más corto que el tiempo que tarda en efectuar una instrucción, provocando un error en la lectura de datos.

Después de ejecutar una instrucción, leer o escribir un dato en el CG/DD, el contador de dirección de la RAM se incrementa por uno automáticamente (o decremента por 1). Este incremento/decremento es ejecutado después que la bandera de ocupación es enviada a nivel bajo.

TADD estipula el tiempo desde el corte de caída de la bandera de ocupación, a el fin de la renovación del contador de dirección, esto se representa en la siguiente figura.



La tabla 2.5.II del anexo C muestra las instrucciones y sus tiempos de ejecución cada una de las cuales será explicada con mayor profundidad posteriormente.

BORRADO DEL DISPLAY:

Código	RS	R/W	DB7	DB0
	0	0	0 0 0 0 0 0 0 0	1

Al realizar esta instrucción se genera un código de carácter 20 hexadecimal que corresponde a un blanco en el código patrón cargando este código en todas las direcciones del DDRAM. Se manda el cursor a modo de incremento ($1/D = 1$) y se habilita el modo de entrada. En otras palabras, el display se pone en blanco y el cursor se posiciona en el extremo izquierdo del display disponiéndose de esta manera a recibir instrucciones.

POSICIONAR EL CURSOR AL EXTREMO IZQUIERDO:

Código	RS	R/W	DB7	DB0
	0	0	0 0 0 0 0 0 0 0	.

Manda el DDRAM a la dirección cero del contador de dirección, si existió un corrimiento retorna el display a su estado original sin cambiar el contenido del DDRAM, en síntesis, al ejecutar esta instrucción se manda al cursores a que se posicionen en el extremo izquierdo del display sin afectar el contenido de la RAM de desplegado de datos.

PONER A MODO DE ENTRADA:

Código	RS	R/W	DB7						DB0	
	0	0	0	0	0	0	0	0	1/D	S

La dirección del DDRAM puede ser incrementada o decrementada por "1".

El cursor se mueve a la derecha cuando es incrementado por 1 y a la izquierda cuando es decrementado. Esto mismo puede ser aplicado para escribir o leer del CGRAM.

Con esta instrucción también se puede correr todo el display a la izquierda o a la derecha cuando $S = 1$.

A la izquierda cuando $1/D = 1$ y a la derecha cuando $1/D = 0$.

El display no puede rotar cuando está leyendo del DDRAM lo mismo sucede cuando escribe o lee del CGRAM, unicamente lo puede hacer cuando $S = 0$.

CONTROL DE ENCENDIDO.

Código	RS	R/W	DB7				DB0			
	0	0	0	0	0	0	1	D	C	S

El display enciende cuando $D = 1$, caso contrario, cuando $D = 0$.

El cursor que está formado por la unión de 5 puntos formando una línea, enciende cuando $C = 1$ y no lo hace cuando $C = 0$. Cuando se utiliza una matriz de 5×7 puntos, el cursor es desplegado en la onceava línea.

El caracter indicado por el cursor, parpadea cuando $B = 1$. Este parpadeo se obtiene al encender cada uno de los puntos que

componen la matriz (5 x 7 ó 5 x 10), y encendiendo el caracter en cuestión cuando se apagan todos los puntos de la matriz (véase fig.2.5.4), el parpadeo se presenta con un intervalo de 409.6 ms cuando $fosc = 250$ KHZ teniéndose la ventaja de que el cursor y el parpadeo pueden ser ajustados simultáneamente (la frecuencia del parpadeo cambio acorde al recíproco de $fosc$ $409.6 \times 250/270 = 379.2$ ms cuando $fosc = 270$ KHZ).

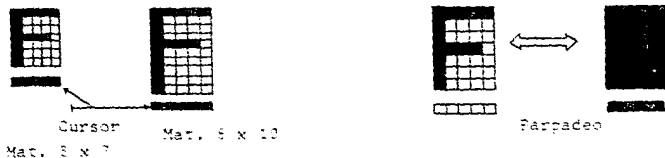


Fig. 2.5.4

CORRIMIENTO DEL CURSOR Y DISPLAY

Código	RS	R/W	DB7	DB0
	0	0	0 0 0	1 S/C R/L . .

Corre el cursor y/o el display de posición ya sea a la izquierda o a la derecha sin leer o escribir el dato del display. Esta función es usada para corregir, buscar caracteres o si se usa repetidamente se puede correr el display.

A continuación se muestra una tabla indicando las posibles combinaciones que se pueden obtener para el corrimiento del display.

 NOTA: - No importa

S/L	R/L	
0	0	Corre la posición del cursor a la izquierda (El contador de dirección es decrementado en uno).
0	1	Corre la posición del cursor a la derecha (El contador de dirección es incrementados en uno).
1	0	Corre todo el display a la izquierda. El cursor sigue el corrimiento del display.
1	1	Corre todo el display a la derecha. el cursor sigue el corrimiento del display.

Si únicamente se realiza un corrimiento del display, el contador de dirección no cambia.

FUNCION DE AJUSTE:

CODIGO	RS	R/W	DB7				DB0			
		0	0	0	0	1	DL	N	F	.

DL ajusta la extensión del dato. Cuando DL = 1 el dato puede ser enviado o recibido en paquetes de 8 bits (DB7 - DB0) si DL = 0 el dato será enviado o recibido en paquetes de 4 bits (DB7 - DB4). en este caso, el dato debe ser enviado o recibido dos veces.

Se puede ajustar el número de líneas del display al variar N (no es utilizado en nuestro caso). También es posible ajustar el caracter de la matriz al variar F. La tabla que a continuación se muestra, indica el cómo se puede ajustar la matriz de puntos al variar N y F.

N	F	Num. de Líneas Desplegadas	Orden de la Matriz de Puntos
0	0	1	5x7
0	1	1	5x10
1	.	2	5x7

AJUSTE DE LA DIRECCION DEL CGRAM (RAM Generadora de Caracteres)

Código	RS	R/W	DB7							DB0
	0	0	0	A	A	A	A	A	A	A

Manda la dirección del CGRAM dentro del contador de dirección en binario A A A A A A . El dato es entonces escrito o leído por el microcontrolador desde el CGRAM.

Ajuste de la dirección del DDRAM (RAM de desplegado de datos):

Código	RS	R/W	DB7							DB0
	0	0	1	A	A	A	A	A	A	A

Manda la dirección del DDRAM dentro del contador de dirección en binario A A A A A A . El dato es entonces escrito o leído por el microcontrolador desde el DDRAM.

LECTURA DE LA BANDERA DE OCUPACION Y DIRECCION:

Código	RS	R/W	DB7							DB0
	0	1	BF	A	A	A	A	A	A	A

Esta instrucción lee la bandera de ocupación (BF). Si B = 1 indica que el sistema está operando internamente como consecuencia de la ejecución de una instrucción recibida anteriormente, por lo tanto, la siguiente instrucción no será aceptada hasta que BF sea mandada a "0".

Al mismo tiempo, el valor del contador de dirección expresado en binario podrá ser leído por el microprocesador, teniendo su principal aplicación el direccionar el CG y DDRAM.

ESCRIBIR UN DATO AL CG A AL DDRAM

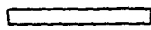
Código	RS	R/W	DB7							DB0
	1	1	D	D	D	D	D	D	D	D

Esta instrucción lee un dato binario de 8 bits DDDDDDDD desde el CG o el DDRAM. Antes de entrar a la instrucción de lectura, se debe ejecutar una instrucción que direcciona el CGRAM o el DDRAM, si esto no se hace, el primer dato leído será inválido. Si se ejecuta una instrucción de lectura en serie, la dirección del dato será normalmente leída en la segunda lectura. La instrucción de inicio de dirección no necesariamente tiene que ser ejecutada justo antes de la instrucción de lectura, puesto que se puede correr el cursor con una instrucción de corrimiento y así evita la pérdida del primer dato.

NOTA: El contador de dirección (AC) es incrementado o decrementado automáticamente por "1" después de escribir una instrucción en el CGRAM o en el DDRAM; sin embargo, el dato de RAM seleccionado por el AC no podrá ser leído si una instrucción de lectura externa es ejecutada. Las condiciones para una correcta lectura de datos son:

Ejecutar una instrucción de inicio de dirección o ejecutar una instrucción de corrimiento (únicamente con el DDRAM), y justo antes de una lectura externa ejecutar una instrucción de lectura, de esta manera, si se ejecuta una instrucción de lectura en serie, se podrá leer el primer dato en la segunda lectura.

Para comprender de una manera más clara lo anteriormente expuesto, a continuación se expone un ejemplo que indica por una parte, la instrucción que se está realizando en el momento, el efecto que ésta tiene sobre el display y en el extremo derecho un comentario acerca de la operación efectuada.

INSTRUCCION	DISPLAY	COMENTARIO
Inicialización RS RW DB7 -----DBO - - - - -		El HD44780 se inicializa automáticamente cuando se enciende la alimentación usando un circuito interno de RESET.

ESTA TESIS NO DEBE SALIR DE LA BIBLIOTECA

INSTRUCCION	DISPLAY	COMENTARIO
Función de Ajuste RS RW DB7 - - - DBO 0 0 0 0 1 1 0 0 . .	<input style="width: 80px; height: 15px; border: 1px solid black;" type="text"/>	Selecciona longitud del dato de 8 bits, así como 1 línea. Las características del carácter será una matriz de puntos de 5 x 7 (estas características no podrán ser cambiadas después).
Control de Encendido RS RW DB7 - - - DBO 0 0 0 0 0 0 1 1 0	<input style="width: 80px; height: 15px; border: 1px solid black;" type="text"/>	Enciende el display, enciende el cursor y no parpadea el carácter en el que el cursor se encuentra posicionado.
Poner a Modo de Entrada RS RW DB7 - - - DBO 0 0 0 0 0 0 0 0 1 1 0	<input style="width: 80px; height: 15px; border: 1px solid black;" type="text"/>	Incrementa la posición del cursor en uno, pero sin correr el display.
Escribir un dato al CG o al DDRAM RS RW DB7 - - - DBO 1 0 0 1 0 0 0 1 1 0	<input style="width: 80px; height: 15px; border: 1px solid black;" type="text"/>	Escribe "F". El cursor es incrementador por uno y corrido a la derecha.
Escribir un dato al CG o al DDRAM RS RW DB7 - - - DBO 1 0 0 1 0 0 0 1 0 1	<input style="width: 80px; height: 15px; border: 1px solid black;" type="text"/>	Escribe "E"
Escribir un dato al CG o al DDRAM. RS RW DB7 - - - DBO 1 0 0 1 0 1 0 0 1 1	<input style="width: 80px; height: 15px; border: 1px solid black;" type="text"/>	Escribe "S".
Escribir un dato al CG o al DDRAM RS RW DB7 - - - DBO 1 0 0 1 0 0 1 1 1 0	<input style="width: 80px; height: 15px; border: 1px solid black;" type="text"/>	Escribe "N"

INSTRUCCION	DISPLAY	COMENTARIO
Corrimiento del Cursor y Display. RS RW DB7 - - - - DBO 0 0 0 0 0 1 0 0 . .	FES CUATITLON	Mueve unicamente el cursor hacia la izquierda sin cambiar el contenido del DDRAM.
Corrimiento del cursor y Display RS RW DB7 - - - - DBO 0 0 0 0 0 1 0 0 . .	FES CUATITLON	Corre el cursor una posición a la izquierda.
Escribir un dato al CG o al DDRAM RS RW DB7 - - - - DBO 1 0 0 1 0 0 0 0 1	ES CUATITLAN	Escribir "A" (corrección) el display se mueve a la izquierda
Corrimiento del cursor y Display RS RW DB7 - - - - DBO 0 0 0 0 0 1 1 1 . .	FES CUATLITAN	Corre la posición del display y el cursor hacia la derecha (juntos).
Posicionar el cursor al extremo izquierdo RS RW DB7 - - - - DB 0 0 0 0 0 0 0 1 0	FES CUAUTITLAN	Posicionar el cursor en el extremo izquierdo del display sin cambiar el contenido del DDRAM.

Es importante aclarar que inmediatamente después de la ejecución de cada instrucción, es necesario checar la Bandera de ocupación del Display.

INSTRUCCION	DISPLAY	COMENTARIO
Lectura de la bandera de Ocupación RS RW DB7 - - - - DBO 0 1 BF ← AC →	SIN EFECTO	Lee la Bandera de Ocupación, además lee el contenido del contador de dirección.

La sincronización entre el microcontrolador y el display es un factor preponderante para la correcta lectura de los datos.

La comunicación entre ambos elementos se lleva a cabo por una parte a través de las patas RD y WR del microcontrolador, por otro lado al censar la Bandera de ocupación del Display (Bit 7) mediante software. Esta sincronización se lleva de la siguiente manera:

Se manda por el puerto dos (bits 0 y 1) la información adecuada para el registro de selección de señal (RS) y la señal de lectura/escritura (RW), posteriormente se saca por el BUS el dato, esto genera un pulso por la pata de WR misma que es censada por la pata E del display.

Mientras el dato es almacenado en el CGRAM, el microcontrolador censa el Bit 7 del display para comprobar si este ha terminado su proceso interno, generando de esta manera un pulso en la pata de RD del procesador (cada vez que checa la ocupación), señal que es enviada a la pata E del display. Este proceso se repite para cada lectura de dato.

Atendiendo los ciclos de lectura/escritura tanto del display como del microcontrolador (ver anexo C), para interfazar las señales de ambos elementos se empleó una compuerta OR EXCLUSIVA, puesto que es la compuerta que cumple con las características deseadas.

ALIMENTACION.

Existen tres terminales de suministro de voltaje para el HD44780 VDD, GND y Vo. Únicamente el módulo de cristal líquido es alimentado por un voltaje igual a VDD - Vo. Este manejo de voltaje puede ser ajustado por VR como se muestra en la figura 2.4.5 que también es útil para compensar la influencia de la temperatura circundante.

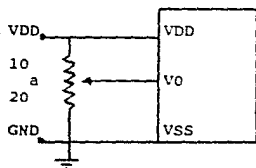


Fig. 2.4.5

DESCRIPCION DE LAS PATAS DEL DISPLAY:

No.DE PATA	SIMBOLO	NIVEL	FUNCION
1	Vss	--	0V
2	VDD	--	+5V
3	Vo	--	Depende del ajuste (ver alimentación.
4	RS	H/L	L:Entrada del codigo de Inst. H:Entrada del dato.
5	R/W	H/L	H:Lee dato (LCD - MPU)
6	E	H,HL	Señal de habilitación
7 a 14	DB0-DB7	H/L	Líneas del Bus de datos.

INICIALIZACION:

El HD44780 se inicializa automáticamente (RESET) cuando se enciende la alimentación, usando un circuito interno de RESET,

La bandera de ocupación (BF=0) es puesta en estado de ocupación hasta que la inicialización termina (BF=1). El estado de ocupación permanece 10 ms después de que Vcc sube a 4.5 V.

Las siguientes instrucciones son ejecutadas en la inicialización.

1. Limpiar el Display.

2. Función de Inicialización:

- a) DL = 1 ; Selecciona una interface de datos de 8 bits de longitud.
- b) N = 0 ; Selecciona una línea en el display.
- c) F = 0 ; Selecciona una matriz de 5 x 7 puntos.

3. Control de encendido del display.

- a) D = 0 ; Enciende el display.,
- b) C = 0 ; Enciende el curso.
- c) B = 0 ; Se apaga la función de parpadeo.

4. Ajuste del modo de entrada

- a) 1/D= 1 ; Incrementa en uno.
- b) S = 0 ; No rota.

DIAGRAMA DE CONEXIONADO DEL MODULO DE CRISTAL LIQUIDO CON EL MICROCONTROLADOR.

En base a lo anteriormente expuesto, la figura 2.5.6 muestra el conexionado entre el LCD y el MPU.

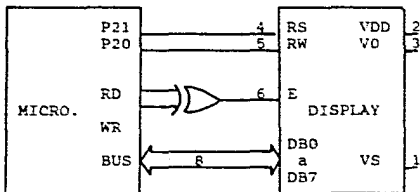


Fig. 2.5.6

Como se puede observar, se utilizó el puerto dos del microcontrolador para mandar al display, donde el bit 0 (P20), controlan la señal de entrada RS (Registro de Selección) y el bit 1 (P21) controlan las señales de lectura y escritura.

Las instrucciones se mandan al display a través del BUS y la señal de habilitación es manejada por la pata de lectura y escritura del display. Para sincronizar estas señales se hacen a través de una compuerta OR EXCLUSIVA.

CAPITULO 3

1.1 PROGRAMA DE CONTROL DEL MCS-8749H

En esta sección se abordará el tema referente al programa encargado del manejo del mensaje contenido en el boleto digital, una vez que éste fue captado por la cabeza magnética y la señal fue procesada para ser utilizada por el microcontrolador.

El manejo del mensaje básicamente consiste en captar la información del boleto por un puerto del microcontrolador, determinar la frecuencia de paso de los datos contenidos en el, tratar su información adecuadamente y controlar un dispositivo de visualización encargado de desplegar la información del boleto de una manera legible para el operador.

Por otra parte, el programa está encargado de indicar al microcontrolador qué hacer para controlar los elementos externos, como es el sistema de arrastre del boleto. El interpretar las señales externas como pueden ser: la detección de baterías bajas, proveer de un control para elegir la forma de desplegado del mensaje, censar cuándo se desea leer un boleto o una serie de ellos y controlar automáticamente el encendido o apagado del sistema.

LENGUAJE DE PROGRAMACION

Las instrucciones en lenguaje ensamblador utilizados por el MCS-49 se lista en el anexo B en el que se puede encontrar su mnemónico, código de máquina, una breve descripción verbal y la cantidad de bits y ciclos utilizados.

El programa contenido en el microcontrolador, básicamente se compone de 18 subrutinas, listadas a continuación:

- 1.- Rutina de inicialización.
- 2.- Rutina para controlar el sistema de arrastre del boleto.
- 3.- Rutina de de desecho de bits.
- 4.- Rutina de introducción de datos.
- 5.- Rutina para convertir las datos en pulsos largos y/o cortos.
- 6.- Rutina de decodificación y repetición de pulsos cuando estos son largos.
- 7.- Rutina de ordenamiento de octetos.
- 8.- Rutinas de eliminación de información redundante.
- 9.- Rutina de detección de bit de bandera.
- 10.- Rutina de ordenamiento de mensaje.
- 11.- Rutina de suma de datos.
- 12.- Rutina de comparación de datos.
- 13.- Rutina de desplegado de datos.
- 14.- Rutina de encendido del display.
- 15.- Rutina de desplegado de fecha
- 16.- Rutina de desplegado de datos decodificados (octetos).

17.- Rutina de finalización del programa.

18.- Auxiliares para la correcta utilización del sistema.

1.- RUTINA DE INICIALIZACION.

Esta rutina básicamente consiste en indicarle al microcontrolador si se trata de un primer boleto a leer o si se desea leer una serie de ellos.

En caso de tratarse de la lectura de un primer boleto, el sistema se encontraba apagado y en estado de RESET. Cuando se desea la lectura de una serie de boletos, el programa genera una rutina de reinicialización y borrado del display.

2.- RUTINA PARA CONTROLAR EL SISTEMA DE ARRASTRE DEL BOLETO.

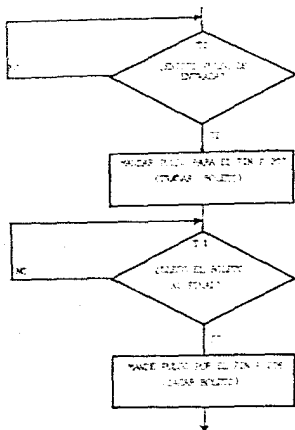
La detección de entrada del boleto se logra cuando en la pata T0 del microprocesador se detecta un uno lógico, en ese momento se manda un pulso por la pata P207 del puerto dos que indicará al sistema de arrastre que haga girar el motor y traque el boleto. El giro del motor continuará hasta que el boleto llegue al final del sistema de arrastre.

Cuando el boleto llega al final del sistema de arrastre, se activa el switch de fin de carrera enviando un uno lógico hacia la pata T1.

Al detectarse un uno lógico por la pata T1, se presenta el pulso en el PIN P206 del puerto dos, que mandará al sistema de arrastre para que invierta el giro del motor y saque el boleto.

A partir de este momento, se inicia el proceso de lectura del boleto.

DIAGRAMA DE FLUJO PARA EL CONTROL DEL SISTEMA DE ARRASTRE DEL BOLETO



3 RUTINA DE DESECHO DE BITS

Como se mencionó, existen aproximadamente de 9 a 15 bits de sincronía en el sentido directo y de 9 a 15 bits de sincronía en el sentido inverso. Para el proceso de lectura no se requiere esa cantidad de pulsos de sincronía (ver nota 1). Por lo tanto, se creó una rutina encargada de desechar 8 pulsos de sincronía y de latched al puerto 1 (PO1) que es por donde entran los datos al microcontrolador.

4 RUTINA DE INTRODUCCION DE DATOS

Esta rutina básicamente consiste en determinar cuántos periodos t caben en cada semiperíodo de los 140 que componen el mensaje del boleto.

La localidad de memoria 16, contendrá el primer semiperíodo y cada uno de ellos será almacenado en una localidad diferente.

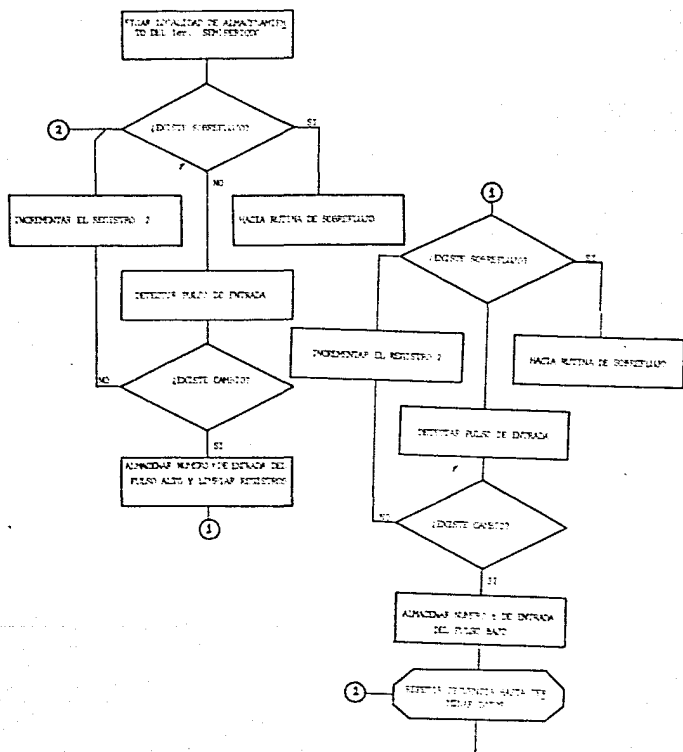
Cuando se detecta un flanco de subida, se genera un período de tiempo t equivalente a 19 ciclos de máquina (47 microsegundos) al término del cual el microprocesador censa el pulso de entrada y detecta si éste a cambiado de estado, si esto no sucedió, nuevamente se genera un período T al cabo del cual se censa el pulso de entrada, el proceso continúa cíclicamente hasta que sea detectado un cambio de estado o se presente un error de lectura.

Para cada detección del pulso de entrada se incrementa el registro R_2 hasta un límite de 170 períodos de tiempo T . (si se sobrepasa este límite, se indicará un error de lectura).

El anterior proceso se repite pero esta vez para un pulso negativo, terminándose la totalidad de la rutina hasta leer los 140 pulsos que componen el mensaje del boleto.

NOTA 1: Un bit equivale a dos pulsos de sincronía.

DIAGRAMA DE FLUJO DE LA RutINA DE INTRODUCCION DE DATOS



5 RUTINA PARA CONVERTIR LOS PULSOS LARGOS Y/O CORTOS

Al paso de un boleto se encontro que la longitud de los bits de inicio son mas largos que los de fin del boleto (por cambiar la velocidad de arrastre). Así se creo una rutina que compare el bit leído con el precedente a todo lo largo del mensaje y asu vez se ajuste en cada lectura.

Esta rutina se realiza en base a la cantidad de período t detectados si el dato es corto o largo respecto al dato inmediato superior. La manera de determinarlo se indica a continuación:

Se toma el primer dato, se incrementa un 50% y se almacena en su misma localidad de memoria. Se extrae el segundo dato, se compara con el primero, obteniéndose de esta manera cuatro posibles combinaciones.

10.- Cuando los dos pulsos sean cortos:

Si el segundo pulso fue corto se pone un número 00H en la primera localidad de memoria, indicando con esto que fue un pulso corto.

20. Cuando el primer pulso sea corto y el segundo largo:

Pone un número 01H en la primera localidad de memoria.

30. Cuando el primer pulso sea largo y el segundo corto:

Se toma el segundo pulso, se incrementa un 50% y se almacena en su misma localidad de memoria (antes de haber sido incrementado). Posteriormente se compara con el primer dato, que para este caso resultará más corto, por lo tanto, se pondrá un 00H en la primer localidad de memoria.

40. Cuando los dos pulsos sean largos:

El procedimiento es similar a la combinación tres, salvo que en este caso, el segundo pulso incrementado resultará más grande que el primero, por tal motivo se pondrá un 01H en la primer localidad de memoria indicando con esto que el segundo pulso fue mayor.

Estas rutinas continuarán ejecutándose hasta la terminación de los datos.

6 RUTINA DE DECODIFICACION Y REPETICION DE PULSOS CUANDO ESTOS SEAN LARGOS

El proceso de decodificación consiste en detectar cuando un pulso fue largo (01H). Al momento de censar, dicho pulso (bit de bandera) se pone un número 01H (dato decodificado) en una localidad de memoria (ver nota 1).

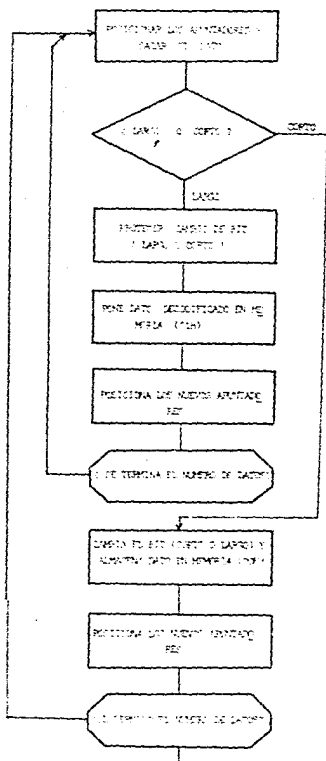
Se toma otro dato, si este es corto se almacenará en la siguiente localidad de memoria una vez más, un número 01H, este proceso continuará efectuándose hasta que se encuentre un pulso largo.

Cuando se detecte este pulso, se cambiará el dato a almacenar, que para este caso será 00H, al tomarse otro dato y si este es corto, se almacenará en esta localidad de memoria un número 00H y cambiará hasta que sea detectado nuevamente un pulso largo, repitiéndose alguno de estos dos ciclos hasta el término de la decodificación de los datos.

En esta rutina también se incluye una rutina consistente en poner dos veces el mismo dato en diferente localidad de memoria cuando el pulso sea largo (la razón de ello se explicará posteriormente, en la rutina de eliminación de información redundante).

NOTA 1: Es necesario tomar en cuenta que se tiene alrededor de 9 bits de sincronía, a uno u otro lado del boleto, los cuales desde el punto de vista de longitud, son cortos (00H). Motivo por el cual al inicio del mensaje de decodificación se pondrá un 01H.

DIAGRAMA DE FLUJO PARA LA RUTINA DE DECODIFICACION Y REPETICION DE PULSOS



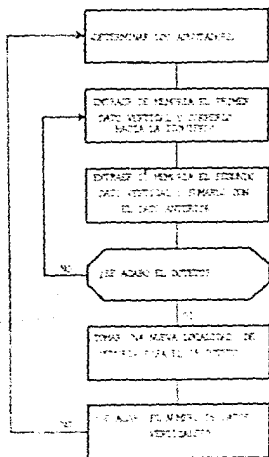
7.- RUTINA DE ORDENAMIENTO DE OCTETOS

La función de esta rutina es la de optimizar la capacidad de memoria del microcontrolador.

Al inicio del programa y hasta la rutina anterior, por necesidad se utilizó una localidad de memoria por cada dato, pero ahora como se manejan únicamente un bit del octeto, el emplear toda una localidad de memoria (8 bits) para cada dato lógico resulta innecesario.

El desarrollo de esta rutina consiste básicamente en tomar el primer dato significativo (de localidad de memoria 016H a 128H) y ponerlo en una nueva localidad de memoria (061H) en el bit menos significativo, correr este dato hacia la izquierda, sacar el siguiente dato significativo (de la siguiente localidad de memoria), y sumar este con el dato anterior. Esta rutina continuará hasta agotar la capacidad del octeto. Finalizando la rutina hasta que se acaben todos los datos significativos y estos sean puestos en octetos.

DIAGRAMA DE FLUJO DE LA RUTINA DE ORDENAMIENTO DE OCTETOS

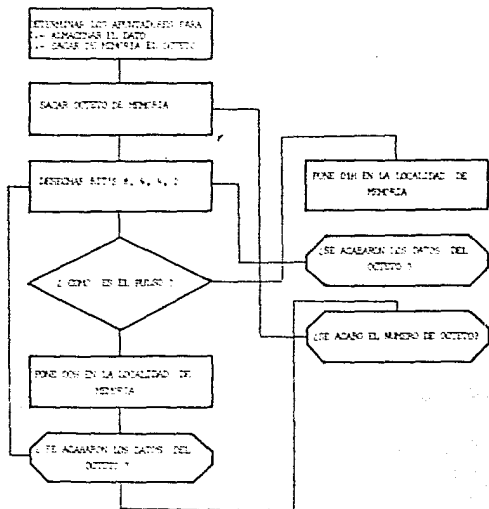


8 RUTINA DE ELIMINACION DE INFORMACION REDUNDANTE

Como se indicó el código del Boleto está es SPLIT-PHASE (1B 2B) esto a nivel programa es redundante, por lo tanto se ideó una subrutina que decodifique dicha redundancia la manera en cómo se desarrolló la rutina es la siguiente:

Tomar el primero octeto, desplazar dicho octeto hacia la izquierda un bit y desechar ese bit, desplazar el octeto nuevamente y determinar si el bit en cuestión es cero o uno, almacenando cada uno de estos bits en una localidad de memoria, repitiendo el proceso hasta el fin de los octetos.

DIAGRAMA DE FLUJO DE LA RUTINA DE ELIMINACION DE INFORMACION REDUNDANTE

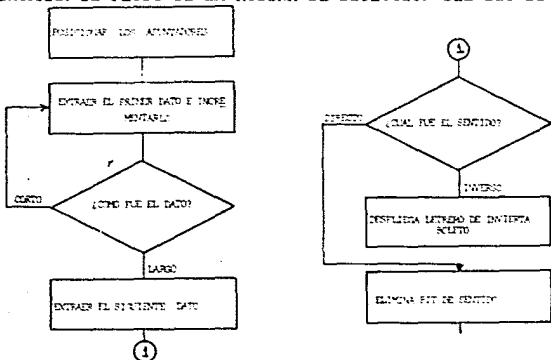


9 RUTINA DE DETECCION DEL BIT DE BANDERA

Esta rutina consiste en detectar el primer bit largo que de acuerdo con lo especificado para el código del boleto se tiene primero el bit de bandera, que determinará el inicio del mensaje. El desarrollo de la rutina es el siguiente:

Se extraen los datos (desde el inicio) hasta detectar un pulso largo (01H), el siguiente dato puede ser largo (01H) o corto (00H). En caso de ser largo implicará sentido directo, en caso contrario será sentido inverso.

DIAGRAMA DE FLUJO DE LA RUTINA DE DETECCION DEL BIT DE BANDERA



10 RUTINA DE ORDENAMIENTO DEL MENSAJE

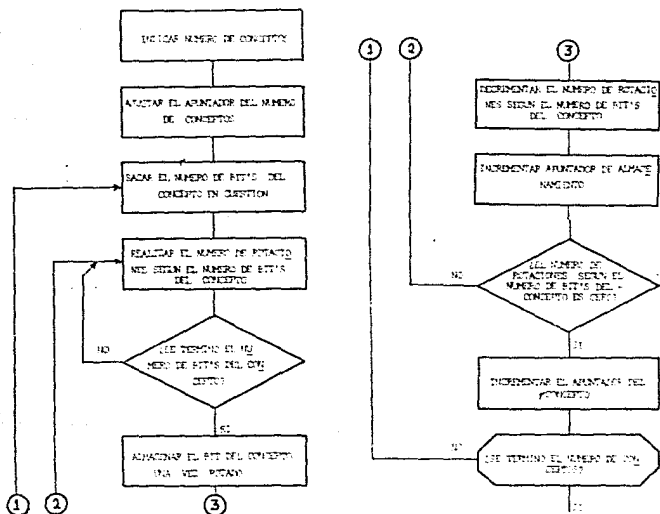
Los datos en el proceso de decodificación queda almacenado en una localidad de memoria (en el bit menos significativo). La rutina de ordenamiento del mensaje permite ordenar estos datos decodificados para su posterior tratamiento.

El proceso de ordenamiento de datos consiste básicamente en rotar los datos hacia la izquierda de acuerdo al número de bits utilizados por cada concepto del mensaje.

Ejemplo: Tenemos el concepto referente al tipo de boleto. Para este concepto se utilizan tres bits quedando almacenados en la memoria del microcontrolador de la siguiente manera: (supóngase que el mensaje obtenido una vez decodificado sean 1'S).

0 0 0 0 0 0 1	localidad de memoria 27
0 0 0 0 0 1 0	localidad de memoria 28
0 0 0 0 0 1 0 0	localidad de memoria 29

DIAGRAMA DE FLUJO DE LA RUTINA DE ORDENAMIENTO DEL MENSAJE



11 RUTINA DE SUMA DE DATOS

Los datos una vez ordenados por concepto, se suman de acuerdo al número de bits del concepto. El resultado de esta suma es almacenado a partir de la localidad de memoria 32, repitiendo este proceso para todos y cada uno de los conceptos de que consta el mensaje.

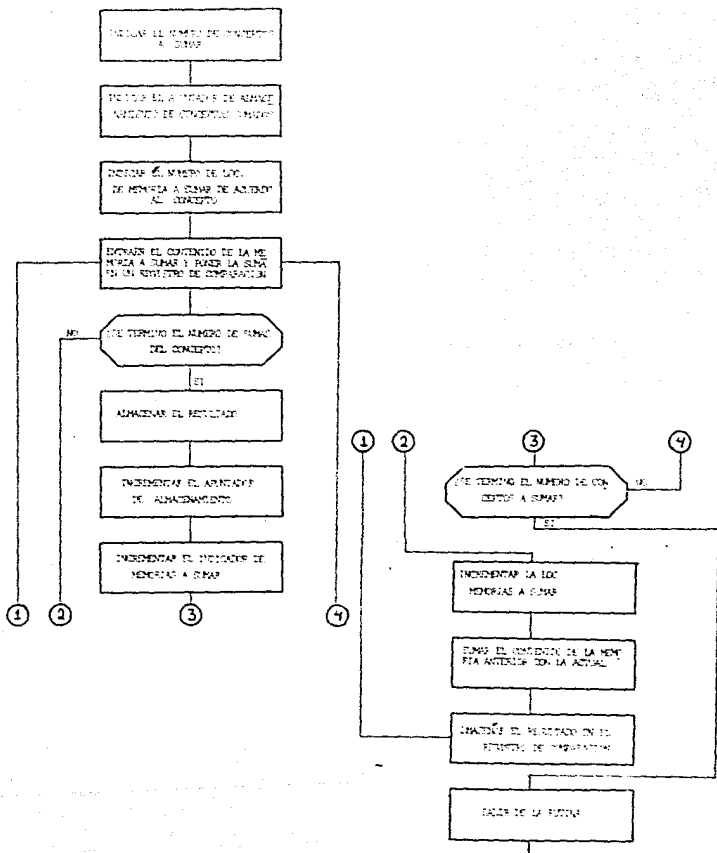
Ejemplo: Tomemos nuevamente el concepto referente al tipo de boleto y bajo las condiciones descritas en el ejemplo planteado en la rutina de ordenamiento del mensaje.

El resultado obtenido es el 0 0 0 0 0 0 0 1 loc. de memoria 27
proceso de ordenamiento de 0 0 0 0 0 0 1 0 loc. de memoria 28
datos. Para el concepto del 0 0 0 0 0 1 0 0 loc. de memoria 29
tipo de boleto es:

Y el resultado de la suma
del tipo de boleto es: 0 0 0 0 0 1 1 1 loc. de memoria 32

Como se puede observar, el almacenar cada tipo de concepto en una localidad de memoria diferente, trae como ventaja el poder manipular los conceptos (mensajes individuales). Únicamente haciendo referencia la localidad de memoria en la cual el concepto deseado se encuentre.

DIAGRAMA DE FLUJO DE LA RUTINA DE SUMA DE DATOS



12 RUTINA DE VALIDACION DE DATOS

La presente rutina consiste en comparar los conceptos obtenidos en la lectura del boleto (mensaje), con las combinaciones que se pueden obtener en cada uno de ellos y así determinar si cada uno de los conceptos del mensaje leído es falso o verdadero.

Por ejemplo: Existe la posibilidad de leer en el concepto del mes, un código erróneo 1101 (las combinaciones posibles son de 001 a 1100), provocando un salto a la rutina de despliegue del mensaje, el cual nos indicará que en el concepto de mes existe un error de lectura.

DIAGRAMA DE FLUJO DE LA RUTINA DE VALIDACION DE DATOS

El programa consiste en crear dos apuntadores que limiten el rango de validez del concepto, de esta manera al comparar el concepto leído con el rango de aceptación nos indicará si este es válido o no.

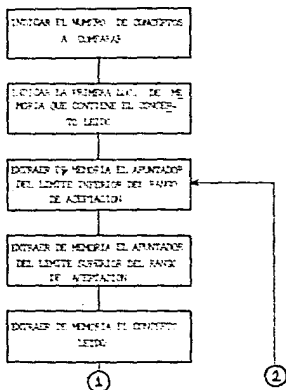
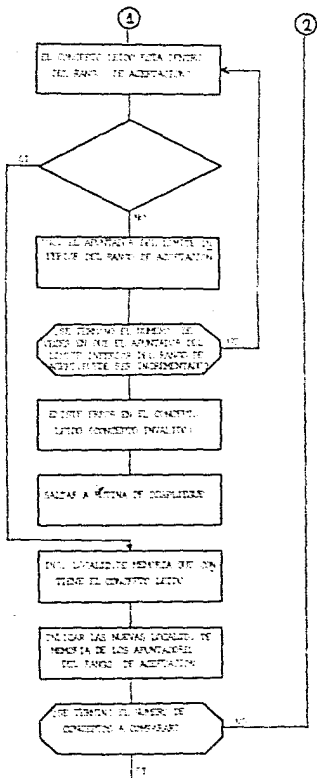


DIAGRAMA DE FLUJO PARA LA RUTINA DE VALIDACION DE DATOS



13 RUTINA DE DESPLEGADO DE DATOS

Una vez almacenados los datos por conceptos (día, mes, año, etc.) en la memoria del microprocesador, es necesario transformar estos datos binarios, en un código que pueda interpretar el controlador de despliegue (Código ASCII).

A continuación se indicará como cada concepto del mensaje del boleto útil para el operador, se trata para convertirlo a código ASCII.

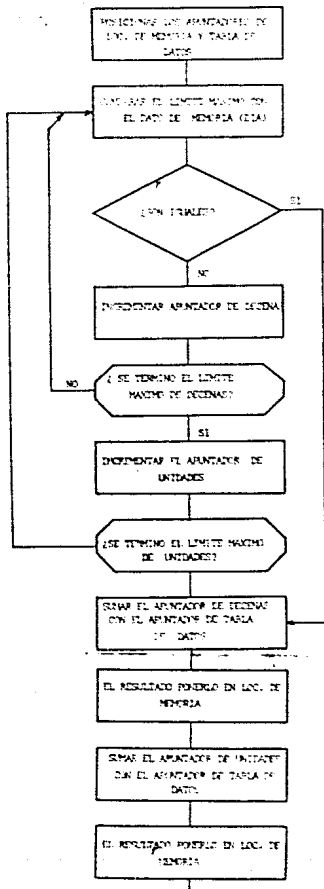
CONCEPTO DEL DIA

En la lectura de este concepto pueden existir 31 posibilidades, la manera de determinar de cuántas unidades y decenas se compone el dato, es el siguiente:

Se extrae de memoria el concepto del día (límite máximo), se inicia un contador el cual se compara por dígito cada incremento con el límite máximo. Si este contador llega a un límite de nueve y no fue igual al límite máximo, entonces incrementa el apuntador de unidades en uno, repitiendo el proceso hasta encontrar el límite máximo.

Una vez que se determinaron las unidades y decenas que componen el límite máximo, se toma de la tabla de datos su correspondiente valor en código ASCII y se almacena en una localidad de memoria.

DIAGRAMA DE FLUJO PARA DETERMINAR EL CONCEPTO DEL DIA

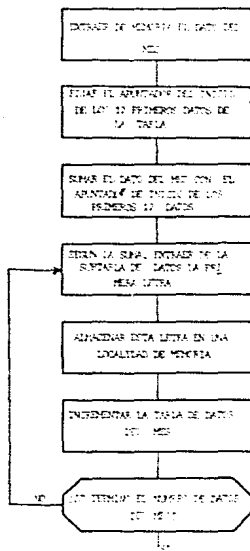


CONCEPTO DEL MES

Para este caso existen 12 posibilidades. El procedimiento para determinar el dato leído y convertirlo a código ASCII es el siguiente:

Se genera una tabla de datos en la cual los primeros 12 datos determinan cada uno el inicio de una subtabla de datos que indica el código ASCII de cada uno de los caracteres meses del año. Así según sea el dato en binario (de 1 a 12) tendrá una posición de memoria dentro de los primeros 12 datos de la tabla, posicionándose en la localidad de memoria del código ASCII del mes en cuestión. Posteriormente cada uno de estos códigos (letras del mes en ASCII) serán almacenados en una localidad de memoria.

DIAGRAMA DE FLUJO PARA DETERMINAR EL CONCEPTO DEL MES



CONCEPTO DEL AÑO

En el concepto del año existen 10 posibilidades, donde las decenas que representan el año pueden variar de 0 a 9, mientras que las unidades únicamente pueden tener dos valores 8 ó 9.

El proceso de programación que determina las unidades y decenas del dato es como se indica:

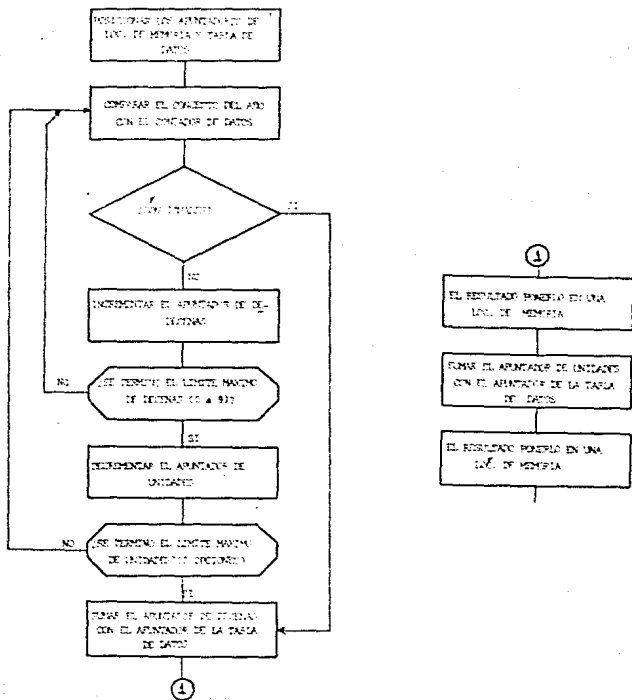
Se extrae de memoria el concepto de año, se inicializa un contador que se compara en cada ciclo con el concepto del año, iniciando de 0 hasta 9, si no se encontró el valor del concepto del año, se sale del ciclo decrementando el apuntador de unidades.

El apuntador de unidades inicialmente está posicionado en la tabla de datos que contiene el número en código ASCII del nueve, éste al decrementarse apuntará la localidad de memoria en la tabla que contiene el valor del 0 en ASCII, por lo tanto, al sumar el número de ciclos (0 a 9) con el apuntador de la tabla de datos, encontraremos el valor en código ASCII que representa el dato leído.

CONCEPTO DE HORA Y MINUTO

El proceso de programación para transformar estos conceptos que constan de 12 posibilidades para la hora y de 60 posibilidades para el minuto a un código que pueda interpretar el dispositivo de visualización, es similar al utilizado en el proceso para encontrar el concepto del día, salvo que los apuntadores de límite máximo y localidades de memoria para almacenar y extraer datos cambian.

DIAGRAMA DE FLUJO PARA DETERMINAR EL CONCEPTO DEL AÑO



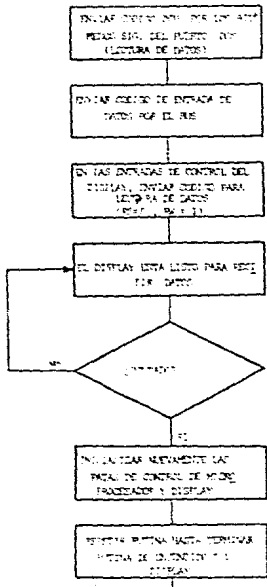
14 Rutina de Encendido del Display

Esta rutina es la encargada de inicializar el display y de fijar las características que los dígitos se desea tengan, constando básicamente de tres puntos (ver nota 1).

- Función de entrada de datos.
- Encendido del cristal líquido.
- Modo de entrada de datos.

El código de cada uno de estos puntos se manda del bus del microcontrolador hacia el bus de datos del sistema de visualización (display). Al enviar cada código se genera una rutina de detección entre el microcontrolador y el display que será controlado por una parte por los dos bits menos significativos del puerto dos y las patas de RD y WR, y por la otra será manejada por las entradas de control del display. De tal suerte que el microcontrolador podrá enviar la información (conceptos) al sistema de visualización cuando éste le indique que está listo para recibirla.

DIAGRAMA DE FLUJO PARA EL ENCENDIDO DEL DISPLAY

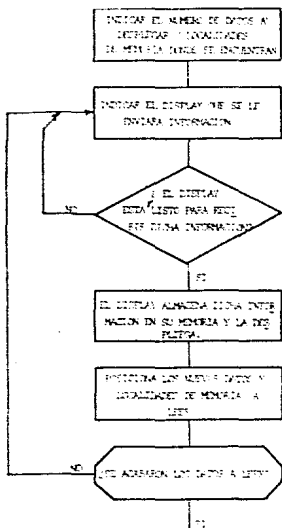


15 RUTINA DE DESPLEGADO DE FECHA

Esta rutina consiste en desplegar los conceptos leídos por sistema de visualización. La rutina de despliegado de fecha es como sigue:

Se determina cuántos datos y en qué posición de memoria se encuentra, el microcontrolador pregunta al display si está dispuesto a recibir cada uno de los datos que componen el letrero de fecha, si es así, el microcontrolador envía el código del caracter a leer al display. En caso contrario, se generará una rutina que le indicará al microcontrolador cuándo enviar el código del caracter para ser leído.

DIAGRAMA DE FLUJO PARA EL DESPLEGADO DE FECHA



16 RUTINA DE DESPLEGADO DE DATOS DECODIFICADOS (OCTETOS).

Esta rutina fue ideada para determinar cuál bit o bits presentan error al ser leídos conforme al código binario que se pretende encontrar y el que se visualiza.

La rutina que se siguió para el despliegado de datos decodificados, es como a continuación se indica:

Se determina la localidad de memoria donde se encuentra el primer bit, se toma el primer bit y se pregunta al display si está listo para leer el dato. Cuando se encuentre listo, se suma el bit (0 1) con un número 030H el bit, en caso de ser cero, sumará 030H que es equivalente al número cero en ASCII (031H es igual al número uno), este código será enviado por el bus de microcontrolador hacia el bus de entrada de datos del display para ser leído, almacenado en memoria y ser desplegado, repitiéndose el proceso hasta terminar con los ocho bits del primer octeto.

Posteriormente a esto se le indica al sistema de visualización, despliegue un espacio en blanco, no sin antes haber checado el estado de ocupación y/o desocupación del display.

A continuación se genera una rutina que indique a que octeto nos estamos refiriendo en el momento, esto se logra creando un apuntador el cual estará posicionado en la localidad de memoria que hace un llamado al código ASCII de la tabla de datos. Así, por cada ciclo, este apuntador se incrementará indicándonos el octeto correspondiente, desplegándose este valor cuando el display se encuentre listo.

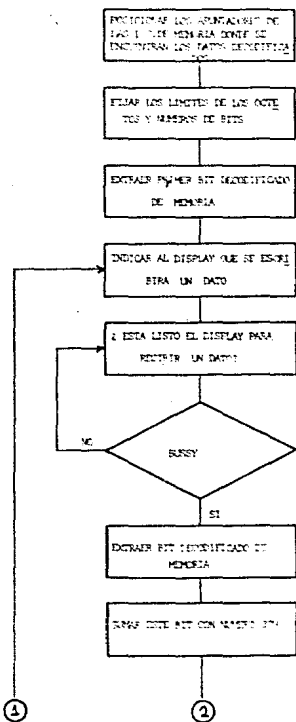
En seguida se despliega la palabra octeto encontrándose el código ASCII de cada letra de la palabra en la tabla de datos. Por lo tanto, al posicionarse el apuntador en la localidad de memoria, misma que tiene un salto para extraer el código de la letra, el microcontrolador podrá enviar dicho código al display, siempre y cuando éste esté listo para recibir el dato.

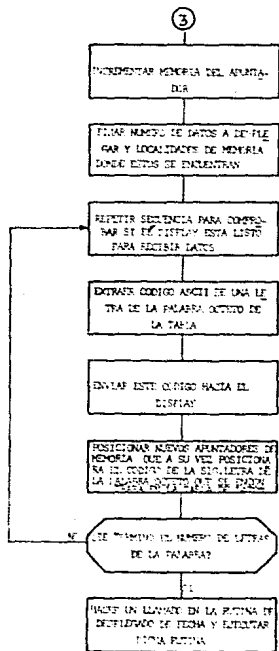
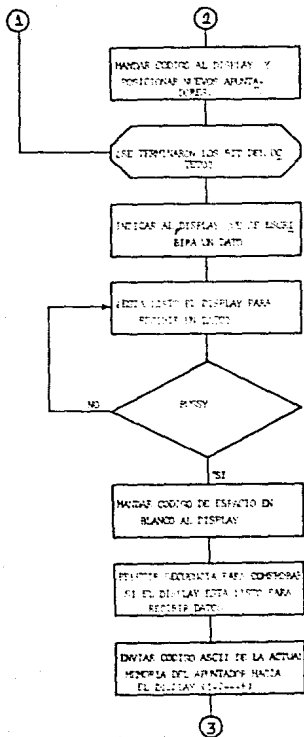
El mensaje se visualizará durante diez segundos al término de los cuales se recorrerá el mensaje para dar paso a la

visualización del siguiente octeto hasta desplegar un máximo de seis octetos.

Al término de la visualización de los seis octetos, se hará una llamada a la rutina de desplegado de fecha que nos servirá para que de una manera más confiable puedan ser confrontados los datos binarios con los desplegados.

DIAGRAMA DE FLUJO PARA EL DESPLEGADO DE DATOS DECODIFICADOS (OCTETOS)



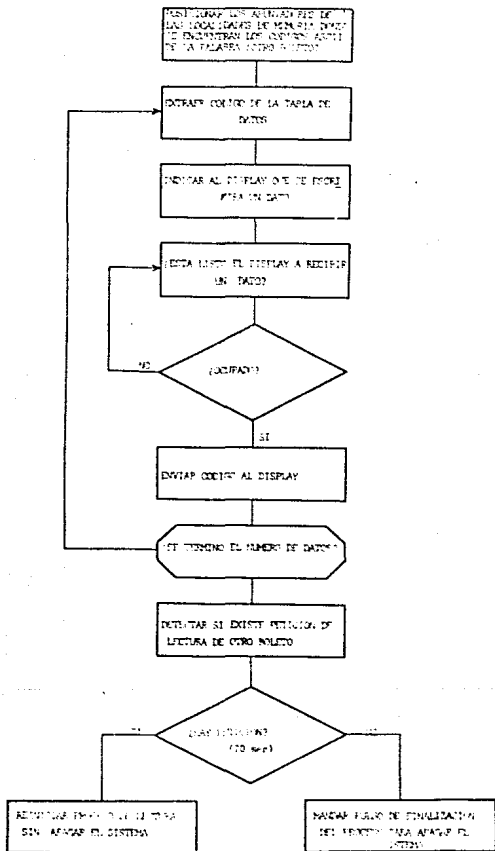


17 RUTINA DE FINALIZACION DE PROGRAMA

Esta rutina es la encargada de preguntar al operador si desea leer un boleto o una serie de ellos, mediante un letrero que preguntará si se desea leer otro boleto. En caso de que así sea, el operador únicamente insertará un boleto en el sistema de arrastre para con ello indicar al procesador que inicie nuevamente todo el proceso de lectura del boleto, pero sin apagar el sistema.

En caso contrario, el anuncio de petición de reinicio desaparecerá al cabo de 20 segundos al término de los cuales enviará un pulso por una pata del puerto dos que indicará al sistema de encendido que apague el sistema.

DIAGRAMA DE FLUJO PARA LA RUTINA DE FINALIZACION DE PROGRAMA



18 AUXILIARES PARA LA CORRECTA UTILIZACION DEL SISTEMA

Estas rutinas son las encargadas de ayudar al operador en el funcionamiento del sistema, constando básicamente de tres indicaciones visuales, a saber:

- a) Indicador de batería baja.
- b) Indicador de error de lectura.
- c) Indicador de petición para invertir el boleto.

a) INDICADOR DE BATERIA BAJA

Esta rutina es la encargada de interpretar el pulso de indicación de batería baja, proporcionado por el sistema de encendido hacia el microcontrolador para que se lo haga saber al operador mediante una indicación visual.

La rutina de programación consiste en tomar los códigos ASCII de cada letra de la palabra batería baja que se encuentran en la tabla de datos y enviársela al sistema de visualización cuando éste se encuentre listo.

b) INDICADOR DE ERROR DE LECTURA

Este tipo de indicador aparecerá cuando al introducir un boleto, alguno de sus pulsos largos y/o cortos sobrepasen los 170 periodos de tiempo t (47 microsegundos por periodo), indicando con esto que el boleto es defectuoso.

La rutina de programación es similar a la mencionada en el indicador de batería baja, tan sólo es necesario cambiar los apuntadores donde se encuentren los códigos de la palabra ERROR DE LECTURA.

c) INDICADOR DE PETICION PARA INVERTIR EL BOLETO

Esta indicación aparecerá cuando no pueda ser leído el boleto en un sentido, indicándole al operador que invierta el boleto y lo reintroduzca nuevamente, para de esta manera obtener el mensaje que el boleto contiene.

El proceso de programación es similar al utilizado por el indicador de lectura.

Acontinuación se enlista el programa del lector decodificador de boletos digitales

SOURCE FILE NAME: LECTORH.PAS

```

-----
;
;           1  RUTINA DE INICIALIZACION
-----
0000 040C                JMP   BAJA   ; SALTO + RESET
0003                    ORG   0003#
0003 5483    LOCTRES:  CALL  BUSSY
0005 2300                MOV   A,#00H
0007 3A                    OUTL P2,A
0008 2301                MOV   A,#01H
000A 547C                CALL  BUSSYEN
;
-----
000C 09                BAJA:   IN   A,P1
000D 5380                ANL   A,#080H ;CHECA BATBAJA EN PIN 8
000F C613                JZ    MOTORUNO
0011 4442                JMP   BATBAJ
;
-----
;           2  RUTINA PARA EL CONTROL DEL SISTEMA DE
;           ARRASTRE DEL BOLETO
-----
0013 00                MOTORUNO: NOP
0014 2613                JNTO  MOTORUNO
0016 2380                MOV   A,#080H
0018 3A                    OUTL P2,A
0019 00                MOTORDOS: NOP
001A 4619                JNT1  MOTORDOS
001C 2340                MOV   A,#040H
001E 3A                    OUTL P2,A
;
-----
001F B916                MOV   R1,#016H ;APUNT MEM ALMACENAMIENTO
0021 BB28                MOV   R3,#028H ;20 # DE PULSCOS P PRUEBA
0023 BC56                MOV   R4,#056H ; 190 LIM SUP CICLOS
;
-----
;           3  RUTINA DE DESECHO 8 BITS
-----
0025 BA04                MOV   R2,#04H ;# DE BITS A DESECHAR 8
0027 09                UNO:   IN   A,P1
0028 5301                ANL   A,#01H
002A 3669                JTO   ALREVES
002C 9627                JNZ   UNO
002E 09                CERO:  IN   A,P1
002F 5301                ANL   A,#01H
0031 3669                JTO   ALREVES
0033 C62E                JZ    CERO
0035 EA27                DJNZ  R2,UNO
;
-----
;           4  RUTINA DE INTRODUCCION DE DATOS
-----
0037 BA00                CUARENTA: MOV  R2,#00H ;LIMPIA REG ACUM CICLOS
0039 FA                ALTO:  MOV  A,R2 ;DETECC SOBREFLUJO 190
003A 6C                ADD  A,R4
003B C667                JZ   SOBFLU

```

SOURCE FILE NAME: LECTORH.PAS

```

003D BF02          MOV    R7,#02H    ;AJUSTE DE TIEMPO 8CICLOS
003F 00          AJUSTEA: NOP
0040 EF3F        DJNZ  R7,AJUSTEA
0042 09          IN     A,P1      ;CENSA PULSO
0043 5301        ANL   A,#01H    ;ENMASCARA P1
0045 1A          INC   R2        ;INC # DE PULSO t
0046 9639        JNZ   ALTO
0048 FA          MOV   A,R2
0049 A1          MOV   @R1,A      ;ALM # DE t
004A 19          INC   R1
004B BA00        MOV   R2,#00H    ;LIMPIA REG ACUM CICLOS
004D FA          BAJO:  MOV   A,R2      ;INICIA PULSO BAJO
004E 6C          ADD   A,R4
004F C667        JZ    SOBFLU
0051 BF02        MOV   R7,#02H    ;AJUSTE DE TIEMPO 8CICLOS
0053 00          AJUSTEB: NOP
0054 EF53        DJNZ  R7,AJUSTEB
0056 09          IN     A,P1      ;CENSA PULSO BAJO
0057 5301        ANL   A,#01H    ;ENMASCARA P1
0059 1A          INC   R2
005A C64D        JZ    BAJO
005C FA          MOV   A,R2
005D A1          MOV   @R1,A
005E 19          INC   R1
005F EB37        DJNZ  R3,CUARENTA
;-----
0061 54AD        NOEXISTE: CALL  TIMEN   ;SECCION PARA PARAR
0063 27          CLR   A          ;EL MOTOR
0064 3A          OUTL  P2,A
;-----
0065 046B        JMP   SALTLONG
0067 4428        SOBFLU: JMP   SOBFLUJO
0069 64CA        ALREVES: JMP  ALREVEST
;-----
;          5  RUTINA PARA CONVERTIR LOS DATOS EN PULSOS
;          LARGOS Y/O CORTOS
;-----
006B BB50        SALTLONG: MOV   R3,#050H  ;40 LIM DE DATOS P PRUEBA
006D B818        MOV   R0,#018H  ;APUNT 1 DATO
006F F0          CORTO:  MOV   A,@R0  ;SACAR 1 DATO
0070 AA          MOV   R2,A
0071 97          CLR   C
0072 67          RRC   A
0073 6A          ADD   A,R2
0074 AA          MOV   R2,A      ;ALM DATO INCREMENTADO
0075 18          INC   R0
0076 F0          MOV   A,@R0    ;SACAR 2 DATO
0077 37          CPL   A
0078 6A          ADD   A,R2
0079 E6E3        JNC   LARGOAA
007B CB          DEC   R0

```

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTORH.PAS

```

007C B000      MOV    @R0,#00H ;PONE 00 EN CORTO
007E 18        INC    R0
007F EB6F      DJNZ  R3,CORTO ;DEC LIM MAX DE DAT
0081 04A1      JMP    LARCOR  ;SALTA P ORDENAR OCTETO
;-----
0083 EB87      LARGOAA: DJNZ  R3,LARGOAA
0085 04A1      JMP    LARCOR
;-----
0087 C8        LARGOA:  DEC    R0
0088 B001      LARGO:   MOV    @R0,#01H ;PONE 01 P LARGO
008A 18        INC    R0
008B 18        INC    R0 ;TOMA EL 2 PULSO
008C F0        MOV    A,@R0 ;INC EL 2 DATO %
008D AA        MOV    R2,A
008E 97        CLR    C
008F 67        RRC    A
0090 6A        ADD    A,R2
0091 AA        MOV    R2,A ;ALM 2 DAT INC
0092 C8        DEC    R0
0093 F0        MOV    A,@R0 ;SACA 1 PULSO
0094 37        CPL    A ;CUAL ES MAYOR
0095 6A        ADD    A,R2
0096 F69F      JC     LARGOB
0098 B000      MOV    @R0,#00H
009A 18        INC    R0
009B EB6F      DJNZ  R3,CORTO
009D 04A1      JMP    LARCOR
009F EB88      LARGOB:  DJNZ  R3,LARGO
;-----
00A1 B818      LARCOR:  MOV    R0,#018H
00A3 F0        FERCERO: MOV    A,@R0
00A4 18        INC    R0
00A5 C6A3      JZ     FERCERO
00A7 F0        MOV    A,@R0
00A8 96AC      JNZ   LARFER
00AA 4450      JMP    INVBOL
;-----
;          6 RUT DE DECODIFICACION Y REPETICION DE
;          PULSOS CUANDO ESTOS SEAN LARGOS
;-----
00AC BB50      LARFER:  MOV    R3,#050H ;#DATOS 80
00AE B818      MOV    R0,#018H ;APUNTADOR DE DAT 24
0CB0 B908      MOV    R1,#08H ;APUNT DAT DECODIFICADO
00B2 BA00      MOV    R2,#00H
00B4 F0        DECPLONG: MOV   A,@R0
00B5 C6C0      JZ     DATCORTO
00B7 DA        XRL   A,R2 ;OR ECLUSIVA A=1 R2=X
00B8 AA        MOV    R2,A ;PROTEGE CAMBIO
00B9 A1        MOV    @R1,A ;PONE DAT DEC EN MEM
00BA 19        INC    R1
00BB A1        MOV    @R1,A ;PONE DAT DEC REF

```

SOURCE FILE NAME: LECTORH.PAS

```

00BC 18          INC    R0
00BD 19          INC    R1
00BE EBB4       DJNZ   R3,DECPLONG
00C0 FA          DATCORTO: MOV   A,R2
00C1 A1          MOV   @R1,A      ;PONE UN SOLO DATO
00C2 19          INC    R1
00C3 18          INC    R0
00C4 EBB4       DJNZ   R3,DECPLONG

```

```

-----
:          7.-RUT DE ORDENAMIENTO DE DATOS EN OCTETOS
-----

```

```

00C6 B961       MOV   R1,#061H  ;LOC 1 OCT
00C8 BC0C       MOV   R4,#0CH   ;NUM OCT 96
00CA B808       MOV   R0,#06H  ;LOC SE ENC 1 DAT
00CC BB07       INOCTETO: MOV  R3,#07H  ;NUM OCT -1 NEC
00CE F0         MOV   A,@R0
00CF 97         OCTETO:  CLR   C
00D0 F7         RLC   A
00D1 AA         MOV   R2,A
00D2 18         INC    R0
00D3 F0         MOV   A,@R0
00D4 6A         ADD   A,R2
00D5 ESCF       DJNZ   R3,OCTETO
00D7 A1         MOV   @R1,A
00D8 18         INC    R0
00D9 19         INC    R1
00DA ECCC       DJNZ   R4,INOCTETO

```

```

-----
:          8 ORDENAMIENTO DE DATOS EN FORMA VERTICAL
:          ELIMINACION DE INFORMACION REDUNDANTE
-----

```

```

00DC BB0C       MOV   R3,#0CH  ;NUM OCT HORIZ
00DE B920       MOV   R1,#020H ;AFUNT 1 VERT
00E0 B961       MOV   R0,#061H ;AFUNT 1 HORIZ
00E2 BA04       SACOCTE: MOV  R2,#04H
00E4 F0         MOV   A,@R0
00E6 F7         CEROUNO: RLC  A
00E8 F6FC       JC    PULSOUNO
00EA B10C       MOV   @R1,#00H ;CERO PONE CERO
00EB 19         INC    R1
00EC E7         RL   A
00ED EAES       DJNZ   R2,CEROUNO
00EE C4FE       JMP   FINOCT
00F0 B101       PULSOUNO: MOV  @R1,#01H ;UNO PONE UNO
00F2 19         INC    R1
00F3 E7         RL   A
00F4 EAES       DJNZ   R2,CEROUNO
00F6 18         FINOCT:  INC   R0
00F7 EBE2       DJNZ   R3,SACOCTE

```

```

-----
:          9  Rutina de deteccion del bit de bandera
-----

```

SOURCE FILE NAME: LECTORH.PAS

```

;          (SENTIDO 1-0)
;-----
00F9 B820          MOV    R0,#020H ;APUNT 1 DAT VER
00FB F0           SINCO:  MOV    A,@R0
00FC 18           INC    R0
00FD C6FB        JZ     SINCO
00FF 18           INC    R0
;-----
;          10  RUTINA DE ORDENAMIENTO DEL MENSAJE
;          ROTACION DE DATOS
;-----
0100 B952          MOV    R1,#052H ;APUNT DE ALM DAT ROT
0102 BEOA          MOV    R6,#0AH ;NUM DE CONCEPTO
0104 BA00          MOV    R2,#00H
0106 FA           DATOUNO: MOV    A,R2 ;EXTRAE 3 CONCEP DE TAB
0107 E3           MOVVP3 A,@A
0108 AC           RIZQUNO: MOV    R4,A ;PROTEGE # BITS CONC
0109 AD           MOV    R5,A
010A F0           MOV    A,@R0 ;EXTRAE DATO VER
010B 77           RR     A
010C E7           RIZQ:  RL     A
010D EC0C          DJNZ  R4,RIZQ
010F A1           MOV    @R1,A ;ALM DATO ROTADO
0110 FD           MOV    A,R5
0111 07           DEC    A
0112 18           INC    R0
0113 19           INC    R1 ;INC LUGAR DE ALM DAT ROT
0114 960B         JNZ   RIZQUNO
0116 1A           INC    R2 ;EXTRAE EL SIG #DE BITS DEL C.
0117 EE06         DJNZ  R6,DATOUNO
;-----
;          11  RUTINA DE SUMA DE DATOS
;-----
0119 BEOA          MOV    R6,#0AH ;INDICA EL # DE CONCEPTOS
011B B951          MOV    R1,#051H ;APUNT DE ALM DE DATOS
011D B652          MOV    R0,#052H ;INDICA 1 DATO ROTADO
011F BB00          MOV    R3,#00H ;EXTRAE EL # DE BITS DEL C.
0121 FB           SUMAUNO: MOV    A,R3
0122 E3           MOVVP3 A,@A
0123 AC           MOV    R4,A ;IND #DE VECES A SUM SEG C.
0124 F0           MOV    A,@R0
0125 AF           MOV    R7,A
0126 EC30         SUMOTRO: DJNZ  R4,SUMOTUN
0128 A1           MOV    @R1,A ;ALM C. ROTADO Y SUMADO
0129 18           INC    R0
012A 1B           INC    R3
012B 19           INC    R1
012C EE21         DJNZ  R6,SUMAUNO
012E 2436         JMP   COMPARA
0130 18           SUMOTUN: INC    R0
0131 F0           MOV    A,@R0

```

SOURCE FILE NAME: LECTORH.PAS

```

0132 6F          ADD  A,R7
0133 AF          MOV  R7,A
0134 2426        JMP  SUMOTRO
;-----
;          12  RUTINA DE COMPARACION
;-----
0136 BE0A        COMPARA: MOV  R6,#0AH  ;IND # DE C. A COMPARAR
0138 B851        MOV  R0,#051H ;APUNT DE ALM DE DAT.
013A 230B        MOV  A,#0BH
013C AD          MOV  R5,A
013D E3          COMPMAS: MOVFP3 A,#A
013E A9          MOV  R1,A
013F 1D          INC  R5
0140 FD          MOV  A,R5      ;2 DATO ROM
0141 E3          MOVFP3 A,#A
0142 AA          MOV  R2,A
0143 F0          MOV  A,#R0    ;ALMACENA DATOS
0144 AC          MOV  R4,A
0145 37          REvisa: CPL  A
0146 17          INC  A
0147 69          ADD  A,R1
0148 C650        JZ   VALIDO
014A 19          INC  R1
014B FC          MOV  A,R4
014C EA45        DJNZ R2,REvisa
014E B03F        MOV  #R0,#03FH
0150 18          VALIDO: INC  R0
0151 1D          INC  R5
0152 FD          MOV  A,R5
0153 EE3D        DJNZ R6,COMPmas
;-----
;          13  INICIA RUTINA DE DESPLEGADO DE DATOS
;-----
0155 B960        MOV  R1,#C60H
;-----
0157 B858        MOV  R0,#058H  ;LOC DE MEM DE -DIA-
0159 BF51        MOV  R7,#051H  ;MARCA CERO
015B BC04        MOV  R4,#C4H  ;# DE CICLOS 10
015D 545C        CALL NUEVE
;-----
015F 235C        MOV  A,#05CH  ;PONE /
0161 E3          MOVFP3 A,#A
0162 A1          MOV  #R1,A
0163 19          INC  R1
;-----
0164 B857        MOV  R0,#057H  ;LOC DE MEM DE -MES-
0166 F0          MOV  A,#R0
0167 BD20        MOV  R5,#020H  ;PUNT DE INICIO
0169 6D          ADD  A,R5
016A E3          MOVFP3 A,#A
016B AB          MOV  R3,A

```

SOURCE FILE NAME: LECTORH.PAS

```

016C BA03          MOV     R2,#03H
016E E3           MES:    MOVVP3 A,@A
016F A1           MOV     @R1,A
0170 19           INC     R1
0171 1B           INC     R3
0172 FB           MOV     A,R3
0173 EA6E         DJNZ   R2,MES
;-----
0175 235C         MOV     A,#05CH ;PONE /
0177 E3           MOVVP3 A,@A
0178 A1           MOV     @R1,A
0179 19           INC     R1
;-----
017A B856         MOV     R0,#056H ;LOC DE MEM DE -ANO-
017C BE09         MOV     R6,#09H ;PUNT DE INICIO 90
017E BB00         MOV     R3,#00H
0180 BD00         MOV     R5,#00H
0182 BC02         MOV     R4,#02H
0184 BA05         CINCO:  MOV     R2,#05H
0186 F0         CUATRO: MOV     A,@R0
0187 37           CPL     A
0188 17           INC     A
0189 6D           ADD     A,R5
018A C693         JZ     DESREP
018C 1D           INC     R5
018D 1B           INC     R3
018E EA86         DJNZ   R2,CUATRO
0190 CE           DEC     R6
0191 EC84         DJNZ   R4,CINCO
0193 FE         DESREP: MOV     A,R6
0194 6F           ADD     A,R7
0195 E3           MOVVP3 A,@A
0196 A1           MOV     @R1,A
0197 19           INC     R1
0198 FB           MOV     A,R3
0199 6F           ADD     A,R7
019A E3           MOVVP3 A,@A
019B A1           MOV     @R1,A
019C 19           INC     R1
;-----
019D 235D         MOV     A,#05DH ;PONE FLECHA
019F E3           MOVVP3 A,@A
01A0 A1           MOV     @R1,A
01A1 19           INC     R1
;-----
01A2 B859         MOV     R0,#059H ;LOC DE MEM -HORA-
01A4 BC03         MOV     R4,#03H ;NUM CICLOS 10
01A6 545C         CALL   NUEVE
;-----
01A8 235B         MOV     A,#05BH
01AA E3           MOVVP3 A,@A

```

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTORH.PAS

```

01A8 A1          MOV    @R1,A
01AC 19          INC    R1
;-----
01AD B85A       MOV    R0,#05AH ;LOC MEM -MINUTO-
01AF BC06       MOV    R4,#06H ;NUM CICLOS 10
01B1 545C       CALL   NUEVE
;-----
;          RUTINA PARA DETECTAR TIPO DE BOLETO
;-----
01B3 B951       MOV    R1,#051H ;LOC. MEM. TIPO BOLETO
01B5 2301       MOV    A,#01H
01B7 D1         XRL   A,@R1
01B8 96C0       JNZ   BOLQUIN
01BA BA9A       MOV    R2,#09AH ;LOC. MEM. BOL. UNIT
01BC 74D0       CALL   TIPOUNIT
;-----
01BE 4438       JMP    OSTRO
01C0 2302       BOLQUIN: MOV   A,#02H
01C2 D1         XRL   A,@R1
01C3 96CB       JNZ   BOLPRUE
01C5 BAAA       MOV    R2,#0AAH ;LOC. MEM. BOL. QUIN
01C7 74DB       CALL   TIPOBOL
01C9 24CF       JMP    RUTENCD
01CB BABA       BOLPRUE: MOV  R2,#0BAH ;LOC. MEM. BOL. PRUE
01CD 4438       JMP    OSTRO
;-----
;          14 ENCENDIDO DEL DISPLAY
;-----
01CF 09         RUTENCD: IN   A,P1
01D0 5340       ANL   A,#040H
01D2 C6D6       JZ    DESOCTBI
01D4 440C       JMP    FECHA
;-----
;          16 RUTINA DE DESPLEGADO DE DATOS DECODIFICADOS
;          (OCTETOS) DESPLEGADO DE LA INFORMACION -
;          EN FORMA BINARIA
;-----
01D6 BE06       DESOCTBI: MOV   R6,#06H ;PARA CORRER EL DISP
01D8 B820       MOV   R0,#020H ;LOC DEL 1 1-0
01DA BA31       MOV   R2,#031H ;ASCII #1
01DC B908       FINOCTBI: MOV  R1,#08H ;LIM DE OCT (DAT)
01DE 548C       DATOCT: CALL  BUSSYWR ;ESCRIBE
01E0 F0        MOV   A,@R0 ;SACA @ LOC DE MEM
01E1 0330       ADD   A,#030H ;CAMBI A ASCCII
01E3 02        OUTL  BUS,A
01E4 15        INC   R0 ;SIG DATO A EXTRAER
01E5 E9DE       DJNZ  R1,DATOCT
01E7 548C       CALL  BUSSYWR ;ESCRIBE
01E9 2320       MOV   A,#020H ;ASCII "SPACE"
01EB 02        OUTL  BUS,A ;ESCRIBE UN BLANCO
;-----

```


SOURCE FILE NAME: LECTORH.PAS

```

01EC 548C          CALL  BUSSYWR  ;ESCRIBE
01EE FA           MOV   A,R2
01EF 02           OUTL  BUS,A    ;PONE 1,2..6 EN BUS
01FO 1A           INC   R2      ;APUNTA (2,3..6)
;-----
01F1 BB06         MOV   R3,#06H  ;# DE LET OCTETO
01F3 BC5E         MOV   R4,#05EH ;APUNT DE OCT TAB
01F5 548C         DESPLIOC: CALL  BUSSYWR  ;ESCRIBE
01F7 FC           MOV   A,R4      ;APUNTA 5E IN PAL OCT
01F8 E3           MOVP3 A,#A
01F9 02           OUTL  BUS,A    ;DESPLIEGA
01FA 1C           INC   R4      ;INC LETRA DE OCT
01FB EBF5         DJNZ  R3,DESPLIOC
;-----
0200              ORG   0200H
0200 EE04         DJNZ  R6,SEL
0202 440C         JMP   FECHA
0204 D5          SEL:  SEL   RB1
0205 BC10         MOV   R4,#010H ;17 CORRI (OCT)
0207 54DF         CALL  CORRIOCT
0209 C5          SEL   R80
020A 24DC         JMP   FINOCTBI
;-----
;          15 RUTINA DE DESPLEGADO DE FECHA
;-----
020C BA0F         FECHA:  MOV   R2,#0FH  ;# DAT A DESP
020E B960         MOV   R1,#060H ; MEM 1 DATO
0210 548C         SACARDA: CALL  BUSSYWR  ;ESCRIBE
0212 F1           MOV   A,@R1
0213 02           OUTL  BUS,A
0214 19           INC   R1
0215 EA10         DJNZ  R2,SACARDA
;-----
0217 09           IN    A,P1
0218 5340         ANL  A,#040H
021A C622         J2   CORCUR
021C BC0F         CORRFECH: MOV  R4,#0FH  ;# DE CORRIMIENTOS
021E 54D1         CALL  CORRIMIF
0220 4438         JMP   OSTRO
;-----
CORCUR:  MOV   R4,#010H ;16 CORRIMIENTOS (OCT)
0222 BC10         CALL  CORRIMIF
0224 54D1         JMP   CORRFECH
0226 441C
;-----
;          16 AUXILIARES PARA LA CORRECTA UTILIZACION
;          DEL SISTEMA
;-----
;          DESPLEGADO DE LETRERO ERROR LECTURA
;-----
0228 54B2         SOBFLUJO: CALL  TIMENPM
022A 27          CLR   A

```

SOURCE FILE NAME: LECTORH.PAS

```

022B JA          OUTL  P2,A
022C 54B7        CALL  ENCDISP ;ENCENDIDO DISP
022E BB0D        MOV   R3,#0DH ;/ LET ERROR LECT
0230 BA64        MOV   R2,#064H ;MEM LET REINT TAB
0232 5492        CALL  WRITEDIS
0234 BC0D        MOV   R4,#0DH ;/ DE ROTACIONES
0236 54D1        CALL  CORRIMIF

```

```

-----
;
; DESPLIEGE LETRERO ?OTRO BOLETO?
;
-----

```

```

0238 BB0D        OSTRO: MOV   R3,#0DH
023A BA71        MOV   R2,#071H
023C 5492        CALL  WRITEDIS
023E 54AD        CALL  TIMEN
0240 64E6        JMP   SAL

```

```

-----
;
; BATERIA BAJA
;
-----

```

```

0242 54B7        BATBAJ: CALL  ENCDISP
0244 BB0C        MOV   R3,#0CH
0246 BA7E        MOV   R2,#07EH
0248 5492        CALL  WRITEDIS
024A 54A8        CALL  TIEMPO
024C 54C7        CALL  RETHOME
024E 64E6        JMP   SAL

```

```

-----
;
; INVIERTA BOLETO
;
-----

```

```

0250 54B7        INVBOL: CALL  ENCDISP
0252 BB10        MOV   R3,#010H ;/CARACTERES INV.BOL.
0254 BA6A        MOV   R2,#08AH ;LOC NEM 1 CARACTER
0256 5492        CALL  WRITEDIS
0258 54AD        CALL  TIMEN
025A 64E6        JMP   SAL

```

```

-----
;
; SUB RUTINAS
;
-----

```

```

;
; SUBROUTINA DE NUEVE CICLOS
;
-----

```

```

025C BD00        NUEVE:  MOV   R5,#00H ;SUBROUTINA NUEVE
025E BE00        MOV   R6,#00H
0260 BB00        UNIDADES: MOV   R3,#00H
0262 BAOA        MOV   R2,#0AH
0264 F0          DECENAS: MOV   A,ERO
0265 37          CPL   A
0266 17          INC  A
0267 6D          ADD  A,R5
0268 C671        JZ   DESPLI
026A 1B          INC  R3
026B 1D          INC  R5
026C EA64        DJNZ R2,DECENAS

```

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTORH.PAS

```

026E 1E          INC    R6
026F EC60       DJNZ  R4,UNIDADES
0271 FE         DESPLI: MOV   A,R6
0272 6F         ADD   A,R7
0273 E3         MOVP3 A,@A
0274 A1         MOV   @R1,A
0275 19         INC   R1
0276 FB         MOV   A,R3
0277 6F         ADD   A,R7
0278 E3         MOVP3 A,@A
0279 A1         MOV   @R1,A
027A 19         INC   R1
027B 83         RET

;-----
;          SUBROUTINA DE OCUPACION DE ENTRADA
;-----
027C 02         BUSSYEN: OUTL  BUS,A
027D 5483       CALL  BUSSY
027F 2300       MOV   A,#00H ;PONE RS=0 R/W=0
0281 3A         OUTL  P2,A
0282 83         RET

;-----
;          SUBROUTINA DE OCUP DE DISPLAY
;-----
0283 2301       BUSSY:  MOV   A,#01H
0285 3A         OUTL  P2,A
0286 97         BUSSYA: CLR   C
0287 08         INS   A,BUS
0288 F7         RLC   A
0289 F686       JC    BUSSYA
028B 83         RET

;-----
;          SUBROUTINA DE ESCRITURA
;-----
028C 5483       BUSSYWR: CALL  BUSSY
028E 2302       MOV   A,#02H
0290 3A         OUTL  P2,A
0291 83         RET

;-----
;          SUBROUTINA DE ESCRITURA EN DISPLAY (LETRERO)
;-----
0292 548C       WRITEDIS: CALL  BUSSYWR
0294 FA         MOV   A,R2
0295 E3         MOVP3 A,@A
0296 02         OUTL  BUS,A
0297 1A         INC   R2
0298 EB92       DJNZ  R3,WRITEDIS
029A 83         RET

;-----
;          18  Rutina de tiempo de salida (Auxiliar)
;-----

```

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTORH.PAS

```

0298 00      RETARDO:  NOP
029C BEFF   CICLOA:  MOV    R6,#0FFH
029E BDFE   CICLOB:  MOV    R5,#0FFH
02A0 00      CICLOC:  NOP
02A1 EDA0   DJNZ    R5,CICLOC
02A3 EE9E   DJNZ    R6,CICLOB
02A5 EF9C   DJNZ    R7,CICLOA
02A7 83      RET
;-----
02A8 BF0F   TIEMPO:  MOV    R7,#0FH
02AA 549B   CALL   RETARDO
02AC 83      RET
;-----
02AD BF01   TIMEN:  MOV    R7,#01H
02AF 549B   CALL   RETARDO
02B1 83      RET
;-----
02B2 BF02   TIMENPM: MOV    R7,#02H
02B4 549B   CALL   RETARDO
02B6 83      RET
;-----
;          SUBROUTINA DE ENCENDIDO DEL DISPLAY
;-----
02B7 2300   ENCDISP:  MOV    A,#00H ;ENCEN DISPLAY
02B9 3A      OUTL   P2,A
02BA 2330   MOV    A,#030H ;FUN SET
02BC 547C   CALL   BUSSYEN
02BE 230E   MOV    A,#00EH ;CN/OFF
02C0 547C   CALL   BUSSYEN
02C2 2306   MOV    A,#006H ;ENTRY MODE SET
02C4 547C   CALL   BUSSYEN
02C6 83      RET
;-----
;          SUBROUTINA PARA POCICIONAR EL CURSOR AL INICIO
;-----
02C7 5483   RETHOME:  CALL   BUSSY
02C9 2300   MOV    A,#00H
02CB 3A      OUTL   P2,A
02CC 2302   MOV    A,#02H
02CE 547C   CALL   BUSSYEN
02D0 83      RET
;-----
;          SUBROUTINA PARA CORRER EL DISPLAY
;-----
02D1 54A8   CORRIMIF: CALL   TIEMPO
02D3 2300   MOV    A,#00H
02D5 3A      OUTL   P2,A
02D6 2318   CORRE:  MOV    A,#018H
02D8 547C   CALL   BUSSYEN
02DA 54AD   CALL   TIMEN
02DC ECD6   DJNZ   R4,CORRE

```

SOURCE FILE NAME: LECTORH.PAS

```

02DE 83                RET
;-----;
;          SUBROUTINA PARA CORRER EL CURSOR
;-----;
02DF 54A8             CORRIOCT: CALL TIEMPO
02E1 2300             MOV     A,#00H
02E3 JA              OUTL   P2,A
02E4 2310             CORREOCT: MOV   A,#010H
02E6 547C             CALL   BUSSYEN
02E8 ECE4             DJNZ   R4,CORREOCT
02EA 83              RET
;-----;
;          TABLA DE DATOS
;-----;
0300                ORG     300H
0300 03             TABLA:  DB     003H ;NUM DE BITS DEL CONCEP
0301 02             DB     002H
0302 01             DB     001H
0303 01             DB     001H
0304 01             DB     001H
0305 04             DB     004H
0306 04             DB     004H
0307 05             DB     005H
0308 05             DB     005H
0309 06             DB     006H
030A 01             DB     001H
;-----;
030B 01             DB     001H ;TIPO DE BOLETO
030C 02             DB     002H
030D 00             DB     000H ;TARIFA
030E 04             DB     004H
030F 00             DB     000H ;INVALIDACION
0310 02             DB     002H
0311 00             DB     000H ;PARIDAD
0312 02             DB     002H
0313 00             DB     000H ;QUINCENA
0314 02             DB     002H
0315 00             DB     000H ;ANO
0316 0A             DB     00AH
0317 01             DB     001H ;MES
0318 0C             DB     00CH
0319 01             DB     001H ;DIA
031A 1F             DB     01FH
031B 00             DB     000H ;HORA
031C 18             DB     018H
031D 00             DB     000H ;MINUTO
031E 3C             DB     03CH
031F 00             DB     000H ;PRUEBA
0320 01             DB     001H
;-----;
0321 2D             DB     02DH

```

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTCRH.PAS

```

0322 30          DB      030H
0323 33          DB      033H
0324 36          DB      036H
0325 39          DB      039H
0326 3C          DB      03CH
0327 3F          DB      03FH
0328 42          DB      042H
0329 45          DB      045H
032A 48          DB      048H
032B 4B          DB      04BH
-----
032C 4E          DB      04EH ;INICIO  ASCII
032D 45          DB      045H ;ENE
032E 4E          DB      04EH
032F 45          DE      045H
0330 46          DB      046H ;FEB
0331 45          DB      045H
0332 42          DB      042H
0333 4D          DB      04DH ;MAR
0334 41          DB      041H
0335 52          DB      052H
0336 41          DB      041H ;ABR
0337 42          DB      042H
0338 52          DB      052H
0339 4D          DB      04DH ;MAY
033A 41          DB      041H
033B 59          DB      059H
033C 4A          DB      04AH ;JUN
033D 55          DB      055H
033E 4E          DB      04EH
033F 4A          DB      04AH ;JUL
0340 55          DB      055H
0341 4C          DB      04CH
0342 41          DB      041H ;AGO
0343 47          DB      047H
0344 4F          DB      04FH
0345 53          DB      053H ;SEP
0346 45          DB      045H
0347 50          DB      050H
0348 4F          DB      04FH ;OCT
0349 43          DB      043H
034A 54          DB      054H
034B 4E          DB      04EH ;NOV
034C 4F          DB      04FH
034D 56          DB      056H
034E 44          DB      044H ;DIC
034F 49          DB      049H
0350 43          DB      043H
0351 30          DB      030H ; 0 AL 9
0352 31          DB      031H
0353 32          DB      032H

```

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTORH.PAS

0354 33	DB	033H	
0355 34	DB	034H	
0356 35	DB	035H	
0357 36	DB	036H	
0358 37	DB	037H	
0359 38	DB	038H	
035A 39	DB	039H	
035B 3A	DB	03AH	
035C 2F	DB	02FH	
035D 7F	DB	07FH	; FIN DE ASCII
035E 4F	DB	04FH	;O IN PALABRA OCTETO
035F 43	DB	043H	;C
0360 54	DB	054H	;T
0361 45	DB	045H	;E
0362 54	DB	054H	;T
0363 4F	DB	04FH	;O
0364 45	DB	045H	;E RROR LECTURA
0365 52	DB	052H	;R
0366 52	DB	052H	;R
0367 4F	DB	04FH	;O
0368 52	DB	052H	;R
0369 20	DB	020H	;
036A 4C	DB	04CH	;L
036B 45	DB	045H	;E
036C 43	DB	043H	;C
036D 54	DB	054H	;T
036E 55	DB	055H	;U
036F 52	DB	052H	;R
0370 41	DB	041H	;A
0371 3F	DB	03FH	;; OTRO BOLETO?
0372 4F	DB	04FH	;O
0373 54	DB	054H	;T
0374 52	DB	052H	;R
0375 4F	DB	04FH	;O
0376 20	DB	020H	;
0377 42	DB	042H	;B
0378 4F	DB	04FH	;O
0379 4C	DB	04CH	;L
037A 45	DB	045H	;E
037B 54	DB	054H	;T
037C 4F	DB	04FH	;O
037D 3F	DB	03FH	;;
037E 42	DB	042H	;B BATERIA BAJA
037F 41	DB	041H	;A
0380 54	DB	054H	;T
0381 45	DB	045H	;E
0382 52	DB	052H	;R
0383 49	DB	049H	;I
0384 41	DB	041H	;A
0385 20	DB	020H	;
0386 42	DB	042H	;B

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTORH.PAS

```

0387 41      DB      041H  ;A
0388 4A      DB      04AH  ;J
0389 41      DB      041H  ;A
038A 49      DB      049H  ;I  INVIERTA BOLETO
038B 4E      DB      04EH  ;N
038C 56      DB      056H  ;V
038D 49      DB      049H  ;I
038E 45      DB      045H  ;E
038F 52      DB      052H  ;R
0390 54      DB      054H  ;T
0391 41      DB      041H  ;A
0392 20      DB      020H  ;]
0393 42      DB      042H  ;B
0394 4F      DB      04FH  ;O
0395 4C      DB      04CH  ;L
0396 45      DB      045H  ;E
0397 54      DB      054H  ;T
0398 4F      DB      04FH  ;O
0399 7F      DB      07FH  ;-FLECHA-
039A 42      DB      042H  ;BOLETO--UNITARIO
039B 4F      DB      04FH  ;O
039C 4C      DB      04CH  ;L
039D 45      DB      045H  ;E
039E 54      DB      054H  ;T
039F 4F      DB      04FH  ;O
03A0 20      DB      020H  ;-
03A1 20      DB      020H  ;-
03A2 55      DB      055H  ;U
03A3 4E      DB      04EH  ;N
03A4 49      DB      049H  ;I
03A5 54      DB      054H  ;T
03A6 41      DB      041H  ;A
03A7 52      DB      052H  ;R
03A8 49      DB      049H  ;I
03A9 4F      DB      04FH  ;O
03AA 42      DB      042H  ;BOLETO-QUINCENAL
03AB 4F      DB      04FH  ;O
03AC 4C      DB      04CH  ;L
03AD 45      DB      045H  ;E
03AE 54      DB      054H  ;T
03AF 4F      DB      04FH  ;O
03B0 2C      DB      020H  ;-
03B1 51      DB      051H  ;Q
03B2 55      DB      055H  ;U
03B3 49      DB      049H  ;I
03B4 4E      DB      04EH  ;N
03B5 43      DB      043H  ;C
03B6 45      DB      045H  ;E
03B7 4E      DB      04EH  ;N
03B8 41      DB      041H  ;A
03B9 4C      DB      04CH  ;L

```


SOURCE FILE NAME: LECTORH.PAS

```

03BA 42          DB      042H  ;BOLETO-DE-PRUEBA
03BB 4F          DB      04FH  ;O
03BC 4C          DB      04CH  ;L
03BD 45          DB      045H  ;E
03BE 54          DB      054H  ;T
03BF 4F          DB      04FH  ;O
03C0 20          DB      020H  ;-
03C1 44          DB      044H  ;D
03C2 45          DB      045H  ;E
03C3 20          DB      020H  ;-
03C4 50          DB      050H  ;P
03C5 52          DB      052H  ;R
03C6 55          DB      055H  ;U
03C7 45          DB      045H  ;E
03C8 42          DB      042H  ;B
03C9 41          DB      041H  ;A

```

```

-----
03CA 54AD        ALREVST: CALL  TIMEN
03CC 27          CLR      A
03CD 3A          OUTL   P2,A
03CE 4450        JMP     INVBOL

```

```

-----
;          18 RUTINA PARA DESPLIEGE BOLETO UNITARIO (AUX)
-----

```

```

03D0 54B7        TIPOUNIT: CALL  ENCDISP
03D2 BB10        MOV     R3,#010H
03D4 5492        CALL   WRITEDIS
03D6 BC10        MOV     R4,#010H
03D8 54D1        CALL   CORRIMIF
03DA 83          RET

```

```

-----
;          18 RUTINA DE DESPLIEGE DEL TIPO DE BOLETO (AUX)
-----

```

```

03DB 54B7        TIPOBOL: CALL  ENCDISP
03DD BB10        MOV     R3,#010H ;#CARAC. TIPO BOLETO
03DF 5492        CALL   WRITEDIS
03E1 BC10        MOV     R4,#010H
03E3 54DF        CALL   CORRIOCT
03E5 83          RET

```

```

-----
03E6 BF15        SAL:    MOV     R7,#015H
03E8 BEFF        INTA:   MOV     R6,#0FFH
03EA B0FF        INTE:   MOV     R5,#0FFH
03EC 00          INTC:   NOP
03ED EDEC        DJNZ   R5,INTC
03EF J6FA        JTO    REPITE
03F1 EEEA        DJNZ   R6,INTB
03F3 EFES        DJNZ   R7,INTA
03F5 232C        MOV     A,#020H ;PULSO SALIDA
03F7 3A          OUTL   P2,A ;DE APAGADO
03F8 64FC        JMP     FINEND

```

AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: LECTORH.PAS

03FA 0403	REPITE:	JMP	LOCTRES
03FC 00	FINEND:	NOP	
0000		END	

CAPITULO 4

CONCLUSIONES

Los resultados obtenidos en la elaboración del Lector Decodificador de Boletos Digitales fueron sumamente satisfactorios, puesto que el sistema diseñado resulto ser compacto, portátil de fácil utilización, confiable y sobre todo económico. Características que su similar francés (terminal de operación) no posee.

Así, se tiene que el lector decodificador diseñado en este trabajo puede ser transportado fácilmente y funcionar autonomamente, mientras que la terminal de operación requiere de un lugar para su instalación (local jefe de estación) y de una alimentación especial.

El costo del sistema lector decodificador es de aproximadamente 700 mil pesos y no requiere personal extranjero para su mantenimiento, mientras que la terminal de operación su costo es de 124 francos franceses (Aprox. 68 millones de pesos) y requiere de mantenimiento especializado de origen francés

Por su confiabilidad podemos concluir, que el sistema lector descrito en este trabajo cumple satisfactoriamente el objetivo principal, que es el de determinar cuando un boleto magnético esta defectuoso, las causas de falla (bit o bits defectuosos) para de esta manera ayudar al personal a tomar una decisión inmediata en que hacer cuando se presente un rechazo de boleto.

ANEXO A

LECTOR DE BOLETOS DIGITALES

INSTRUCCIONES DE FUNCIONAMIENTO

INTRODUCCION

El lector de boletos digitales para el sistema de transporte colectivo de la Ciudad de México (Metro), es compacto, funciona con pilas, realiza sus funciones de manera completamente automática con la simple introducción del boleto a ser leído.

Estas características hacen que el lector de boletos sea un aparato de fácil utilización.

CARACTERISTICAS:

- Encendido automático
- Control a modo usuario o técnico.
- Indicado de pilas gastadas.
- Indicador de modo de colocación del boleto.
- Indicador de sentido de boleto
- Indicador de lectura errónea.
- Indicador de petición de introducción de boleto.
- Funcionamiento con pilas.

DATOS TECNICOS:

- | | |
|----------------------------------|---|
| - Alimentación: | Cuatro pilas 9 V. |
| - Consumo: | Funcionando 400 mw
en espera 50 mw |
| - Display: | Cristal líquido 1 línea
16 caracteres. |
| - Pilas gastadas: | Letrero batería baja,
aparece en el display. |
| - Temperatura de funcionamiento: | 0 a 40 C. con 80% de
humedad relativa, |
| - Temperatura de almacenamiento: | -20 a + 60 C. con 70%
de humedad relativa. |
| - Dimensiones: | 15x15x7.5 cms. |
| - Peso: | 400 gr. |

FUNCIONES:

LECTURA DE BOLETOS MODO USUARIO

Acciones interruptor de control a modo usuario, inserte boleto a leer por la taquilla de entrada con la pista magnética hacia abajo hasta que éste sea tragado. Al ser devuelto retirelo y lea el mensaje en el display.

Pueden presentarse los siguientes casos:

Caso 1.- Batería baja.

Las baterías están agotadas y es necesario cambiarlas.

Caso 2.- Error de lectura.

Inserte nuevamente el boleto y lea el mensaje en el display, en caso de persistir, el boleto está defectuoso.

Caso 3.- Invierta boleto.

Es necesario girar el boleto 180° e introducirlo nuevamente con la pista magnética hacia abajo.

Caso 4.- Lectura.

Indicará tipo de boleto, unitario o quincenal. En caso de ser quincenal, indicará que éste es quincenal y la fecha de última introducción del mismo (ver nota 1). En caso de ser unitario, indicará que se trata de un boleto unitario.

Posterior a esto, desplegará el letrero "¿Otro boleto?" indicando con ello si se desea leer otro boleto, si es así, se dispone de 20 segundos para la introducción del boleto antes que se apague el sistema.

NOTA 1: Es necesario recordar que el torniquete maculará los boletos durante 8 minutos y no los aceptará hasta que transcurra ese tiempo.

LECTURA DE BOLETOS A MODO TECNICO

Accionar el interruptor a modo técnico y proceder como se indicó en modo usuario. Los indicadores serán similares, sólo que en este caso se tendrá una visualización de los bits que componen el mensaje del boleto en octetos para de esta manera tener la capacidad de determinar el bit o bits erróneos en el boleto.

COLOCACION DE LAS PILAS ; (Utilizar 4 pilas de 9 volts).

Retire los 4 tornillos situados en la parte inferior del aparato, remueva el conector del display para permitir separar el capot superior. Coloque las nuevas psilas respetando las polaridades.

PRECAUCIONES

- a) Si el aparato no va ser utilizado en un corto periodo o será almacenado, ponga el interruptor general de encendido a modo de apagado.
- b) Cuando la tensión de las pilas alcancen un valor inferior al necesario para el buen funcionamiento del aparato, en el display se visualizará la leyenda "Batería Baja". En este caso, sustituir inmediatamente las pilas.
- c) Si el boleto se atora en el sistema de arrastre (medidas incorrectas del boleto), ponga el interruptor general de encendido a modo de apagado, proceda a desensamblar el aparato (procedimiento similar al utilizado para colocar las pilas), afloje los 4 tornillos laterales del sistema de arrastre, levante el motor y retire el boleto defectuoso.

ANEXO B

CARACTERISTICAS DE LA TINTA MAGNETICA

Se presenta una tabla comparativa de las características de la tinta magnética especificadas y las encontradas por el S.T.C.

<u>CONCEPTO</u>	<u>VALOR ENCONTRADO (STC)</u>	<u>VALOR PROPUESTO (ESPECIFICADO)</u>	<u>DESVIACION</u>
Tamaño de la partícula (micras)	<= 1	1	- -
Relación entre ancho y largo. Forma de la partícula	Gama a circular	a definir	- -
Ep Br (10-10Mt)	6500+1600 -1000	- - -	
Br/Bs	>=0.7	>=0.5	-0.2
HTC (A/m)	2000 [±] 1000	21514	+514

Donde:

Ep Br: Flujo de inducción por unidad de longitud de la pista - expresada en metros

Ep: Densidad de la pista.

Br: Inducción remanente de la pista.

Br/Bs: Relación de la inducción remanente Br en la inducción - de saturación Bs de la pista.

HTC: Campo coercitivo que la pista experimenta en Amperios x metro.

Las características de la tinta magnética utilizada para los boletos del Metro de la ciudad de México, fueron obtenidas a partir de las características que tienen sus similares franceses - (incluso en los inicios del Metro se utilizaron boletos franceses). A continuación se presenta un análisis comparativo en -

tre tinta nacional y tinta de origen Francés y las consecuencias que estas divergencias traen consigo.

- El pigmento de la tinta Nacional no tiene forma definida - - (amorfa), mientras que el de la tinta francesa se asemeja a prismas cilíndricos.
- El tamaño de la partícula del pigmento Nacional es aproximadamente 10 veces más grande que el pigmento Francés.
- En cuanto a la distribución porcentual, el pigmento nacional presenta una mayor concentración de partículas entre 3.6 y - 4.5 micras, mientras que la tinta francesa presenta la mayor concentración de partículas entre 0.26 y 0.30 micras.

El hecho de que el pigmento nacional no tenga forma definida y presente un tamaño de partícula mayor al del pigmento Francés, trae como consecuencias:

- a) Dipolos magnéticos mal definidos.
- b) Mayor dificultad de pre-orientación.
- c) Inducción remanente menor.
- d) Mayor abrasividad para las cabezas magnéticas.
- e) No homogeneidad de la aplicación de la tinta sobre el soporte, dando por resultado una capa irregular que -- puede provocar ruptura en las transiciones magnéticas.
- f) Variación del espesor o inducción magnética, espesor x Br.

SOPORTE

La pista magnética de los títulos de transporte esta depositado sobre dos tipos de soporte, los cuales estan en función a la duración de utilización de los títulos.

- A cartón para los boletos a corta duración.
- En PVC para los boletos de mediana duración.

Las características del cartón y su modalidad de control son definidas en la tabla A1. En cuanto a las características de los boletos con superficie en PVC se definen en la tabla A2.

Cabe mencionar que la tabla A1 muestran de forma comparativa los valores proporcionados por el fabricante COMISA (Corporación Mexicana de Impresiones, S.A.) y los encontrados por el laboratorio del STC.

TABLA A1

Características de la materia prima (papel).

<u>CONCEPTO</u>	<u>VALOR ESPECIFICADO (COMISA)</u>	<u>VALOR ENCONTRADO (STC)</u>	<u>DESVIACION</u>
Espesor (mm)	0.27 ± 0.02	0.27 ^{+ 0.003} - 0.02	+ 0.01
Gramaje (g/m ²)	235 ± 12	223-247	- - - -
Contenido de cenizas(%)	≤ 8	6.5 ± 1	- - - -
Humedad (%)	7 ± 1	4 - 6	- 2
Porosidad	>= 4	- - - - -	- - - -
Índice de estallamiento (lb/pulq.)	>= 72	>= 60	- 12
Longitud de ruptura (m).			
a) Sentido de la máquina(m)	>= 5500	>= 4000	- 1500
b) Sentido transversal (m)	>= 3100	>= 2000	- 1100
Resistencia al doble dobles (carga 1.77 Kgf)			
a) Sentido de la máquina (ciclos).	>= 1400	>= 600	- 800
b) Sentido transversal (ciclos)	>= 600	>= 400	- 200
Resistencia a la separación por capas (B&R)			
	>= 4.5	- - - -	- - - -
Grado de adherencia.	14 a 21	- - - -	- - - -

Características de Grabación Magnética.

La grabación de los mensajes serán:

- A todo lo ancho de la pista.
- A saturación.
- Monopista Split-Phase
- Las transiciones de polaridad deberán ser perpendiculares al eje longitudinal de la pista con una tolerancia de $\pm 1^\circ$ (un grado).

Al igual que como se hizo en el soporte a continuación se presenta una tabla comparativa de las características de grabación magnéticas especificada y las encontradas por el laboratorio -- del S.T.C.

<u>CONCEPTO</u>	<u>VALOR ESPECIFICADO</u>	<u>VALOR ENCONTRADO</u>	<u>DESVIACION</u>
Centrado longitudinal (mm)	± 2	± 2	- - - - -
Centrado transversal.	plena pista	plena pista	- - - - -
Densidad (Bit/cm)	1.4	1.4 \pm 10%	\pm 10%
Sincronía (Bits a cada <u>la</u> do).	= 5	= 5	- - - - -
Amplitud (mv pico)	33 + 8 - 5	33 + 40% - 30%	\pm 5
Metodo.	Split-phase	Split-phase	- - - - -
Tipo	monopista	monopista	- - - - -
Porcentaje de Modulación	≤ 20	35 valor pro medio.	+ 15
Mensaje	Correcto al 100%	Correcto al 100%	- - - - -

TABLA A2

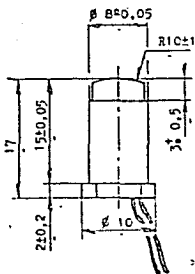
Características de la materia prima (FVC).

<u>CONCEPTO</u>	<u>VALOR</u>
Espesor (mm).	0.27 ± 0.02
Resistencia al desgarre (da N)	
a) Longitudinal.	> 3.5
b) Transversal.	> 3.5
Resistencia a la tracción.	
Esfuerzo de ruptura (Bars)	
a) Sentido transversal.	360 a 450
b) Sentido longitudinal.	350 a 520
c) Resistencia a la deformación permanente 4 mm (ver nota A0).	
d) Opacidad.	

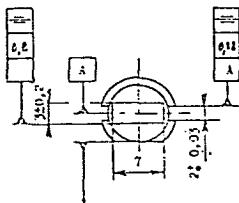
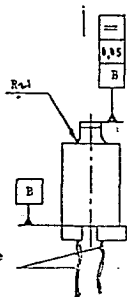
La opacidad debe ser tal que el soporte pueda ocultar los -
captoreos optoelectrónicos.

NOTA A0: Si se toma una muestra del tamaño de una hoja carta, -
y se enrolla longitudinalmente hasta formar un cilindro con diámetro de 4 cm. Esta al soltarla deberá recuperar su forma original permitiendo que en los extremos queden levantados un máximo de 4 mm. En promedio, respecto a la horizontal.

PROVISOIRE : Les caractéristiques électriques et mécaniques peuvent être n. Inées sans préavis.
 PROVISIONAL DATA : Electrical and mechanical characteristics can be changed without notice.



2 Fils de sortie



Plat tangent au Ø 5

Tolérances générales : $\pm 0,1$

Désignation commerciale - Ordering code :

Tête magnétique réf : TL 001 A 50

TÊTE MAGNETIQUE
MAGNETIC HEAD

TL 001 A 50

PRINCIPALES CARACTERISTIQUES ELECTROMAGNETIQUES
TYPICAL ELECTRICAL DATA

- Inductance mesurée à 1 KHz - 100 mV : 200 mH ± 20 %
Inductance measured at 1 KHz - 100 mV
- Résistance courant continu : 550 Ω ± 20 %
DC resistance
- Entrefers * : 50 μm ± 20 %
Airgap *
- Azimut : < 20' d'arc
Azimut
- Tension de lecture Peak to Peak (sur 10 KΩ) : > 150 mV
Reading tension Peak to Peak (on 10 KΩ)
- Bande de référence : 3M/777 enregistrée à saturation
Tape used : 3M/777 recorded at saturation
- Vitesse : 1m/sec.
Tape speed
- Sorties :
Polarity connections : Rouge +
Red
Bleue -
Blue
- Largeur de piste : 3 m/m
Track width
- Avantages : Très haute résistance à l'usure
Très haute homogénéité de structure entre l'entrefers et les
pôles du circuit magnétique
Advantages : Exceptional resistance to abrasion, very high structure
homogeneity between the airgap and the magnetic circuit poles
- Utilisation : lecteur de cartes et tickets magnétiques
Application : reading of cards and magnetic tickets.

* par procédé breveté : n°7430336 (France)
patented procedure
Patent : n°401966 (USA)
Patent : n°1012717 (GB)

FUNCION	NUM. INT.	DESCRIPCION	COMENTARIOS
Microprocesador	8021H	1K ROM	Integrados compatibles con mascara programable borrables con luz.
	8022H	2K ROM con A/V	
	8048H	1K ROM	
	8035	NO ROM, 64x8 RAM	
	8035HL	8035 con menor capacidad.	
	8049H	0V ROM	
	8039H	NO ROM, 128x8 RAM	
	8039HL	8039H con menor capacidad.	
	87-8-8	1K EPROM	
8038H-8	NO ROM		
87-8-8	1K EPROM 0°C-55°C, 5MSD		
Dispositivos para expansión de Memoria y líneas de Entrada y Salida.	8355	2Kx8EPROM con 16 líneas I/O.	Dispositivos que permiten la expansión directa de las funciones del MCS-48 sin componentes externos.
	8755A	2Kx8EPROM con 16 L. I/O.	
	8150/56	256x8 RAM con 22 L. I/O y timer.	
	8195	1Kx8 RAM.	
Expansión I/O.	8243	16 líneas adicionales de I/O.	Expansor de I/O de bajo costo.
ROM Standard	2308	1K x 8 450 ns.	Permiten un bajo costo para la expansión de ROM además de poder ser intercambiable con una EPROM.
	2316E	2K x 8 450 ns.	
	2332	4K x 8 450 ns.	
EPROM Standard	2708	1K x 8 450 ns borrable con luz.	Programable y borrable
	2716	2K x 8 450 ns borrable con luz.	
	2732	4K x 8 450 ns borrable con luz.	

FUNCION	NUM. INT.	DESCRIPCION	COMENTARIOS
I/O Standard	8212	Puerto de I/O 8 bits.	-Sirve como latch de --
	8255A	Periferico de interface - programable.	diferencia o puerto de I/O.
	8251A	Interface de comunicaci3n programable.	-8 bits x tres prograna ble puerto de I/O.
	8278	Controlador programable - HDLC/SDLC.	-Transmisor/receptor de comunicaci3n en serie.
Perifericos Standard.	8205	Decodificador binario 1-8.	Los dispositivos peri- fericos del MCS-80 son compatibles con el MCS 48 y permiten una f3- cil adici3n de las in- terfaces especializa- das como el 8278. En un futuro los dispo- sitivos de interface del MCS-80/85 ser3n -- compatibles.
	8214	Controlador de interrupci3- nes.	
	8216	Manejador de bus bidirec- cional.	
	8228	Manejador de bus bidirec- cional (Inn).	
	8253	Temporizador programable - de int. de tiempo.	
	8279/78	Interface programable para teclado y display (64/128 teclas).	
	8281	Intercomunicador.	
	8284	Unidad de escritura de da- tos.	
	8286	Controlador de escritura - de la matriz de puntos.	
	8641A	ROM (Memoria programable)	Facilmente programable permitiendo cualquier -- necesidad de I/O y con- trol de las funciones.
	8741A	EPROM (Memoria programa- ble).	

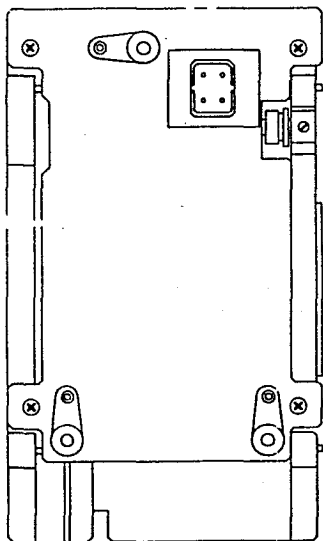
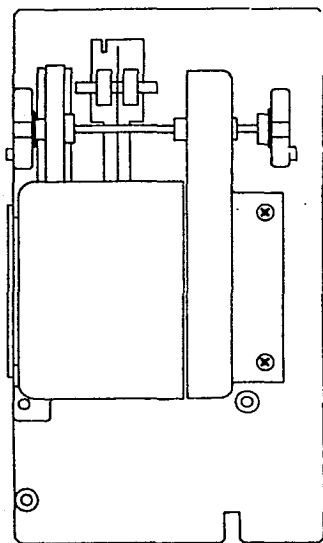
COMPONENTES DEL MICROPROCESADOR MCS-80

ANEXO B

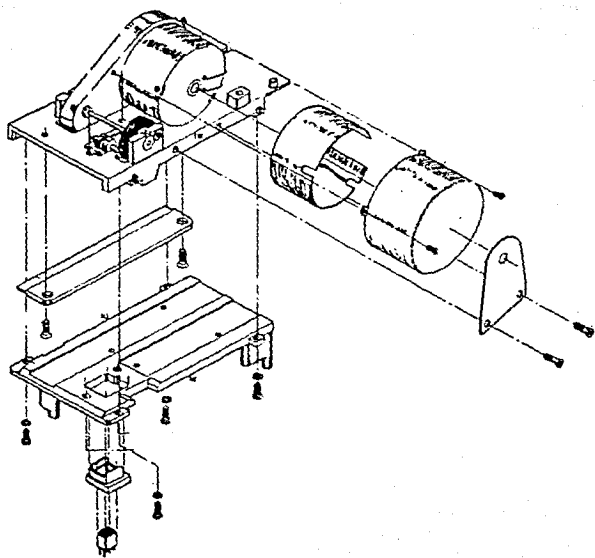
I.4

VISTA DE ARRIBA

VISTA DE ABAJO



VISTAS DEL SISTEMA DE ARRASTRE



ENSAMBLE DEL SISTEMA DE ARRASTRE MICROMOTOR.

ANEXO C

Table 5
CORRESPONDENCE BETWEEN CHARACTER CODES AND CHARACTER PATTERN

1) 5 x 10 dot, applied type: H2570, H2571, H2572, LM027

HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE	HEX CODE
00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F
20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F
30	31	32	33	34	35	36	37	38	39	3A	3B	3C	3D	3E	3F
40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F
50	51	52	53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F
60	61	62	63	64	65	66	67	68	69	6A	6B	6C	6D	6E	6F
70	71	72	73	74	75	76	77	78	79	7A	7B	7C	7D	7E	7F
80	81	82	83	84	85	86	87	88	89	8A	8B	8C	8D	8E	8F
90	91	92	93	94	95	96	97	98	99	9A	9B	9C	9D	9E	9F
A0	A1	A2	A3	A4	A5	A6	A7	A8	A9	AA	AB	AC	AD	AE	AF
B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	BA	BB	BC	BD	BE	BF
C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	CA	CB	CC	CD	CE	CF
D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	DA	DB	DC	DD	DE	DF
E0	E1	E2	E3	E4	E5	E6	E7	E8	E9	EA	EB	EC	ED	EE	EF
F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	FA	FB	FC	FD	FE	FF

①: ROM is character generator ROM having a storage function of character pattern which enable to change freely by user program.
②: When the setting of initialization is 3 (hex), pattern becomes 5 x 7 dot.

- 16 character x 1 line
- Controller LSI HD44780 is built-in (see section 6).
- +5V single power supply

MECHANICAL DATA (Nominal dimensions)

Module size	53W x 36H x 12D (max) mm
Effective display area	64.5W x 13.6H mm
Character size (5 x 10 dots)	3.15W x 7.9H mm
Character pitch	3.75 mm
Dot size	0.55W x 0.7H mm
Weight	about 25g

ABSOLUTE MAXIMUM RATINGS

	min.	max.
Power supply for logic ($V_{DD}-V_{SS}$)	0	7.0 V
Power supply for LCD drive ($V_{DD}-V_D$)	0	13.5 V
Input voltage (V_i)	V_{SS}	V_{DD} V
Operating temperature (T_a)	0	50°C
Storage temperature (T_{stg})	-20	70°C

ELECTRICAL CHARACTERISTICS

$T_a = 25^\circ\text{C}$, $V_{DD} = 5.0 \text{ V} \pm 0.25 \text{ V}$	
Input "high" voltage (V_{IH})	2.2 V min.
Input "low" voltage (V_{IL})	0.6 V max.
Output high voltage (V_{OH}) ($I_{OH} = 0.2 \text{ mA}$)	2.4 V min.
Output low voltage (V_{OL}) ($I_{OL} = 1.6 \text{ mA}$)	0.4 V max.
Power supply current (I_{DD}) ($V_{DD} = 5.0 \text{ V}$)	0.5 mA typ. 2.0 mA max.
Power supply for LCD drive (Recommended) ($V_{DD}-V_D$)	
	Duty = 1/8 Duty = 1/11
$T_a = 0^\circ\text{C}$	3.95 4.15 V typ.
$T_a = 25^\circ\text{C}$	3.7 3.8 V typ.
$T_a = 50^\circ\text{C}$	3.3 3.3 V typ.

OPTICAL DATA See page 15.

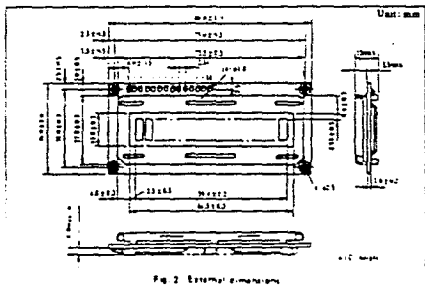
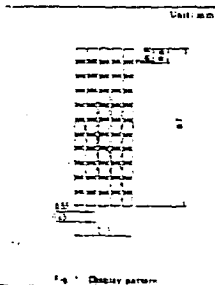
INTERNAL PIN CONNECTION

Pin No.	Symbol	Level	Function
1	V_{SS}	-	0V
2	V_{DD}	-	+5V
3	V_D	-	-
4	RS	H/L	L: Instruction code input H: Data input
5	R/W	H/L	H: Data read (LCD module=MPU) L: Data write (LCD module=MPU)
6	E	H, H=L	Enable signal
7	DB0	H/L	Data bus line Note (1), (2)
8	DB1	H/L	
9	DB2	H/L	
10	DB3	H/L	
11	DB4	H/L	
12	DB5	H/L	
13	DB6	H/L	
14	DB7	H/L	

NOTE:

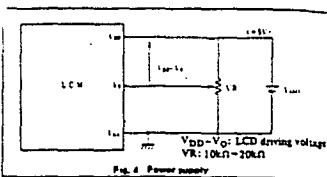
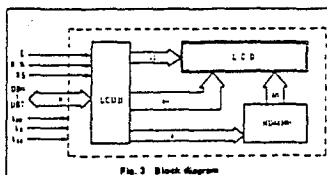
In the HD44780, the data can be sent in either 4-bit 2-operation or 8-bit 1-operation so that it can interface to both 4 and 8 bit MPU's.

- When interface data is 4 bits long, data is transferred using only 4 buses of DB₀-DB₃ and DB₄-DB₇ are not used. Data transfer between the HD44780 and the MPU completes when 4-bit data is transferred twice. Data of the higher order 4 bits (contents of DB₄-DB₇, when interface data is 8 bits long) is transferred first and then lower order 4 bits (contents of DB₀-DB₃, when interface data is 8 bits long).
- When interface data is 8 bits long, data is transferred using 8 data buses of DB₀-DB₇.



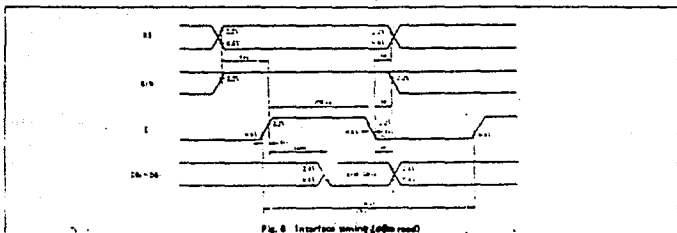
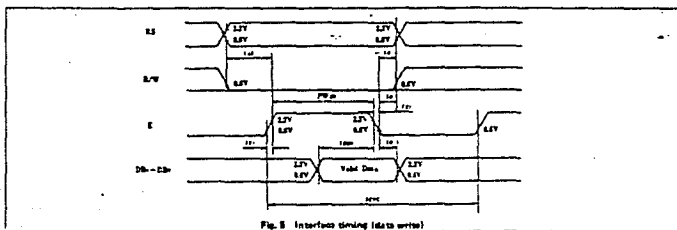
ANEXO C

I.3



TIMING CHARACTERISTICS

Item	Symbol	Test condition	Min.	Typ.	Max.	Unit
Enable cycle time	t_{EVC}	Fig. 5, Fig. 6	1.0	—	—	μs
Enable pulse width	P_{ENH}	Fig. 5, Fig. 6	450	—	—	ns
Enable rise/fall time	t_{cr}, t_{cf}	Fig. 5, Fig. 6	—	—	25	ns
RS, R/W set up time	t_{AS}	Fig. 5, Fig. 6	140	—	—	ns
Data delay time	t_{DDR}	Fig. 5	—	—	320	ns
Data set up time	t_{DSW}	Fig. 5	195	—	—	ns
Hold time	t_{H}	Fig. 5, Fig. 6	20	—	—	ns



INSTRUCCION	C O D I G O									DESCRIPCION	TIEMPO DE EJECUCION CUANDO LA FASE ES - 250 KHZ
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1		
Ajuste de la dirección del CGRAM	0	0	1	← A _{CG} →						Indica la dirección del DGRAM. El dato es ajustado y recibido después se envía al DGRAM.	40
Lectura de la bandera de ocupación.	0	1	BF	← AC →						Lee la bandera de ocupación -- (BF) que indica que una operación interna se está efectuando, además lee el contenido -- del contador de dirección.	1
Escribir un dato al CG o al ED RAM.	1	0	← Escribir Dato →						Escribe un dato dentro del ED RAM o el CG RAM.	40	
Leer un dato al CG o al ED RAM.	1	1	← lee Dato →						Lee un dato del DGRAM o del CG RAM.	40	

I/D = 1 Incrementa (+1) I/D = 0 Decrementa (-1)
 C = 1 Corrimiento del display.
 S/C = 1 Corre el display S/C = 0 Mueve el cursor.
 R/L = 1 Corrimiento a la derecha.
 R/L = 0 Corrimiento a la izquierda.
 DL = 1 8 bits DL = 0 4 bits.
 N = 1 7 líneas N = 0 1 línea.
 F = 1 Matriz de 5 x 10 puntos. F = 0 matriz de 5 x 7.
 BF = 1 Operando internamente.
 BF = 0 Puede aceptar instrucción.
 ED RAM: RAM de desplazado de datos.
 CG RAM: RAM Generalista de caracteres.
 A_{CG}: Dirección del CG RAM.
 A_{DG}: Dirección del DGRAM que corresponde a la dirección del cursor.
 BF: Bandera de ocupación leído para las direcciones del ED o CGRAM

TABLA II

NOTA: La ejecución del tiempo cambia cuando la frecuencia cambia, ejemplo: cuando la frecuencia de oscilación (fosc) es de 270 KHz.

$$40 \times \frac{250}{270} = 37$$

INSTRUCCION	C O D I G O									DESCRIPCION	TIEMPO DE EJECUCION CUANDO LA FOSC. ES - 250 KHZ	
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1			DB0
Borrado del display	0	0	0	0	0	0	0	0	0	1	Borra el display y posiciona el cursor en el extremo izquierdo del display.	82 - 1.64 ms.
Posicionar el cursor al extremo izquierdo	0	0	0	0	0	0	0	0	0	1	Posiciona el cursor en el extremo izquierdo del display sin cambiar el contenido del DGRAM.	40 - 1.6 ms.
Proer a modo de entrada.	0	0	0	0	0	0	0	1	1/D	S	Se utiliza durante una escritura o lectura de datos indicando al cursor y al display la dirección de su movimiento.	40
Control de encendido.	0	0	0	0	0	0	1	D	C	B	(D) Apaga o enciende el display. (C) Apaga o enciende el cursor. (B) Hace que parpadee el caracter en el que el cursor se encuentra posicionado.	40
Corrimiento del cursor y display.	0	0	0	0	0	1	S/C	R/L	.	.	Mueve el cursor y corre el display sin cambiar el contenido del DGRAM.	40
Función de ajuste.	0	0	0	0	1	DL	N	F	.	.	(DL) Controla la longitud del dato (N) el número de líneas del display y (F) las características del caracter.	40
Ajuste de la dirección del DGRAM	0	0	0	1	← A _{OG} →						Indica la dirección del DGRAM El dato es ajustado y recibido después se envía al DGRAM.	40

ANEXO D



CD4011M/CD4011C Quad 2-Input NAND Gate
CD4012M/CD4012C Dual 4-Input NAND Gate
CD4023M/CD4023C Triple 3-Input NAND Gate

general description

These NAND gates are monolithic complementary MOS (CMOS) integrated circuits. The N and P channel enhancement mode transistors provide a symmetrical circuit with output swings essentially equal to the supply voltage. This results in high noise immunity over a wide supply voltage range. No DC power other than that caused by leakage current is consumed during static conditions. All inputs are protected against static discharge and latching conditions.

features

- Wide supply voltage range 3V to 15V

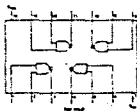
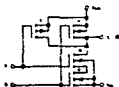
- Low power 10 nW (typical)
- High noise immunity 0.45 V_{DD} (typical)

applications

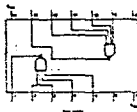
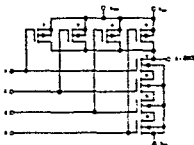
- Automotive
- Data Terminals
- Instrumentation
- Medical Electronic
- Alarm System
- Industrial Controls
- Remote Metering
- Computers

schematic and connection diagrams

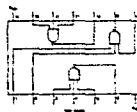
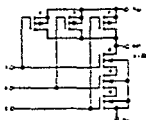
CD4011M/CD4011C SCHEMATIC



CD4012M/CD4012C SCHEMATIC



CD4023M/CD4023C SCHEMATIC





National
Semiconductor

CD4013BM/CD4013BC Dual D Flip-Flop

general description

The CD4013B dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P channel enhancement transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "Q̄" outputs. These devices can be used for shift register applications, and by connecting "Q̄" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 VDD typ

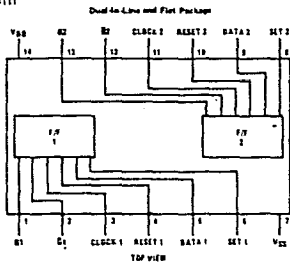
- Low power TTL compatibility

fan out of 2
driving 74L
or 1 driving 74LS

applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

connection diagram



truth table

CLY	D	R	S	Q	Q̄
0	0	0	0	0	1
0	1	0	0	1	0
0	X	0	0	0	0
0	X	1	0	0	1
0	X	0	1	1	0
0	X	1	1	1	1

No change

1 = Level change

X = Don't care case



Operational Amplifiers/Buffers

LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902
Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high-gain, internally frequency compensated, operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltage. Operation from dual power supplies is also possible and the low power consumption of these amplifiers is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks, and all the conventional op-amp circuits which may be performed with a single power supply. For example, the LM124 series can be directly operated from the standard 5 Vdc power supply voltage. Most of the integrated systems are well suited to portable, space-sensitive applications without requiring the additional 15 Vdc supply voltage.

Unique Characteristics

- In the linear mode the output common-mode voltage range includes ground and the output voltage can also swing to ground from the single operated from only a single power supply voltage.
- The unity-gain cutoff frequency is temperature compensated.
- The input bias current is also temperature compensated.

Advantages

- Eliminated need for dual supplies
- Four internally compensated amplifiers in a single package
- Allows direct switching near GND and V_{CC} also gain to 0dB
- Compact 14-pin DIP, SO, and TO-9 packages
- Power dissipation suitable for battery operation

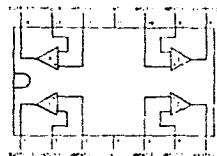
Features

- Noise: 10 nV/√Hz (typical) at 1 kHz, gain
- Unity-gain frequency: 100 kHz
- With feedback fully compensated frequency response: 1 MHz
- With feedback, typical:

Input offset voltage	1 mV (typ) V _{CC}
Input offset current	10 nA (typ) V _{CC}
Common-mode rejection ratio	70 dB (typ) V _{CC}
- Voltage supply current: 1000 μA (typical) per amplifier at supply voltage 15 V, 100 μA/min at 5 V_{CC}
- Low input bias current: 45 nA (typ)
- Input impedance: 100 MΩ (typ)
- Low input offset voltage and offset current: 2 mV (typ), 5 nA (typ)
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing: 0 V to V_{CC} - 1.5 V (typ)

Connection Diagram

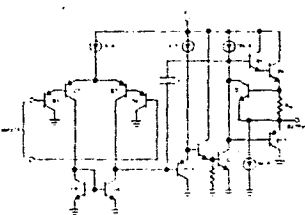
Dual in Line Package



Order Number LM124J, LM124AJ,
LM224J, LM224AJ, LM324J,
LM324AJ or LM2902J
See NS Package J14A

Order Number LM124N, LM324AN
or LM2902N
See NS Package N14A

Schematic Diagram (each amplifier)





**National
Semiconductor**

Operational Amplifiers/Buffers

LM741/LM741A/LM741C/LM741E Operational Amplifier

General Description

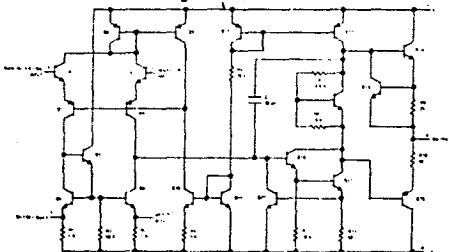
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct plug-in replacements for the 709C, LM201, MC1429 and 748 in most applications.

The amplifiers offer many features which make them applicable to nearly any general purpose application:

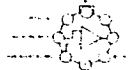
• Protection in the input and output, no latch up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741, LM741E are identical to the LM741, LM741A, except that the LM741C, LM741E have their performance guaranteed down to 0°C to +70°C temperature range, instead of 55°C to +125°C.

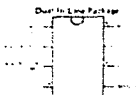
Schematic and Connection Diagrams (Top Views)



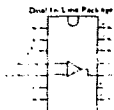
Meta-Cer Package



Order Number LM741M, LM741AM,
LM741CM or LM741EM
See NS Package M08C



Order Number LM741N or LM741EN
See NS Package M08D
Order Number LM741CJ
See NS Package M08A



Order Number LM741N, 14
See NS Package M08B
Order Number LM741C, 14, LM741CJ, 14
or LM741CJ, 14
See NS Package M08A

LM741/LM741A/LM741C/LM741E

3

Absolute Maximum Ratings

Input Voltage (V_I = 5V, 12V and 15V)	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range (TA)	0°C to +70°C
Maximum Junction Temperature (K Package)	150°C
(T Package)	125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	
TO-3 Package K	300°C
TO-220 Package T	230°C

Electrical Characteristics LM78XXC (Note 2) 0°C < Tj < 125°C unless otherwise noted.

OUTPUT VOLTAGE		5V	12V	15V								
INPUT VOLTAGE (unless otherwise noted)		12V	18V	22V								
PARAMETER	CONDITIONS	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	UNITS	
V_O	Output Voltage	$T_j = 25^\circ\text{C}$, $I_O = 5\text{ mA}$ & $I_Q < 1\text{ A}$	4.8	5	5.2	11.5	12	12.5	14.2	15	15.8	V
		$P_D < 15\text{ W}$, $I_O = 5\text{ mA}$ & $I_Q < 1\text{ A}$ $V_{IN} < V_{OUT} + V_{MAX}$	4.75	5.25	11.4	11.8	14.25	15.75				
ΔV_O	Line Regulation	$I_O = 500\text{ mA}$		3	30	116.3 & $V_{IN} < 25$	4	120	4	150	150	mV
		$0^\circ\text{C} < T_j < 125^\circ\text{C}$			30		120		150		150	mV
		ΔV_{IN}			30		120		150		150	mV
		$I_Q < 1\text{ A}$			17.3 & $V_{IN} < 20$	114.8 & $V_{IN} < 25$	117.3 & $V_{IN} < 30$	117.3 & $V_{IN} < 30$				mV
ΔV_O	Load Regulation	$T_j = 25^\circ\text{C}$		5	60	116.8 & $V_{IN} < 25$	80	120	80	150	150	mV
		$I_O = 500\text{ mA}$, $0^\circ\text{C} < T_j < 125^\circ\text{C}$ ΔV_{IN}			25		116.8 & $V_{IN} < 25$	120	80	120	150	mV
I_O	Quiescent Current	$I_Q < 1\text{ A}$		8	85	8	8	8	8	8	8	mA
		$0^\circ\text{C} < T_j < 125^\circ\text{C}$			0.5		0.5		0.5		0.5	mA
ΔI_O	Quiescent Current Change	$T_j = 25^\circ\text{C}$, $I_Q < 1\text{ A}$ $V_{IN} < V_{OUT} + V_{MAX}$		1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	mA
		$I_Q = 500\text{ mA}$, $0^\circ\text{C} < T_j < 125^\circ\text{C}$ $V_{IN} < V_{OUT} + V_{MAX}$			1.0		1.0		1.0		1.0	mA
V_{IN}	Output Noise Voltage	$f_s = 25\text{ Hz}$, $10\text{ Hz} < f < 100\text{ kHz}$		40		75		80		80	mV	
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	$I_O < 1\text{ A}$, $T_j = 25^\circ\text{C}$ or $I_O = 500\text{ mA}$, $0^\circ\text{C} < T_j < 125^\circ\text{C}$		62	80	55	72	54	75	54	75	dB
		$V_{IN} < V_{OUT} + V_{MAX}$			62		55		54		54	dB
P_D	Dropout Voltage Output Resistance Short Circuit Current Peak Output Current Average TC of V_{OUT}	$T_j = 25^\circ\text{C}$, $I_{OUT} = 1\text{ A}$		2.0		2.0		2.0		2.0	V	
		$f = 1\text{ kHz}$		8		8		18		18	m Ω	
		$T_j = 25^\circ\text{C}$		2.1		1.5		1.2		1.2	A	
		$0^\circ\text{C} < T_j < 125^\circ\text{C}$, $I_O = 5\text{ mA}$		2.4		2.4		2.4		2.4	A	
		$0^\circ\text{C} < T_j < 125^\circ\text{C}$, $I_O = 5\text{ mA}$		0.6		1.5		1.8		1.8	mV/°C	
V_{IN}	Input Voltage Required to Maintain Line Regulation	$T_j = 25^\circ\text{C}$, $I_O < 1\text{ A}$		7.3		14.8		17.7		V		

NOTE 1: Thermal resistance of the TO-3 package (K, K): is typically 4°C/W junction to case and 35°C/W case to ambient. Thermal resistance of the TO-220 package (T) is typically 4°C/W junction to case and 50°C/W case to ambient.

NOTE 2: All characteristics are measured with capacitor across the input of 0.03 μF , and a reactor across the output of 0.1 μF . All characteristics at each noise voltage and ripple rejection rate are measured using pulse techniques (10:1 duty cycle < 1%). Output voltage changes due to changes in internal temperature must be taken into account separately.

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

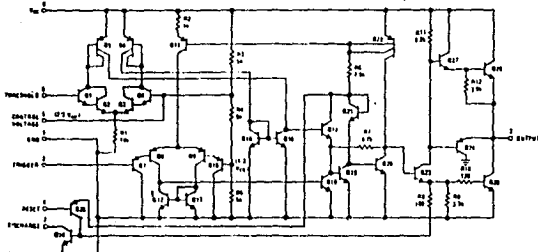
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

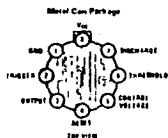
Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

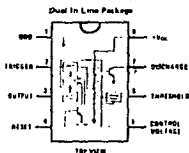
Schematic Diagram



Connection Diagrams



Order Number LM555M, LM555CM
See NS Package H06C



Order Number LM555CN
See NS Package M05B
Order Number LM555J or LM555CJ
See NS Package M05A

BIBLIOGRAFIA

Analog Systems for Microprocessors and Minicomputers
Patrick H. Garret
Reston Publishing Co. 1978

Amplificadores operativos
Gene E. Tobey y otros
Ed. DIANA 1979

How to use Hitachi's Built-in Controlled Driver
LCD-II (HD 44780) Dot Matrix LCD module
HITACHI 1986

MCS-48 Family of Single Chip Microcomputers
INTEL 1982