

112
241



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

" DISEÑO Y CONTRUCCION DE UN SISTEMA
DE ADQUISICION DE DATOS OCEANOGRAFICOS "

TESIS CON
FALLA DE ORIGEN

TESIS PROFESIONAL

QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA

Area de Ingeniería Eléctrica y Electronica

P R E S E N T A :

FELIPE DE JESUS RAUDA GARCIA

DIRECTOR DE TESIS:

M. EN I. ARTURO GONZALEZ HERMOSILLO

México, D. F.

1990



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

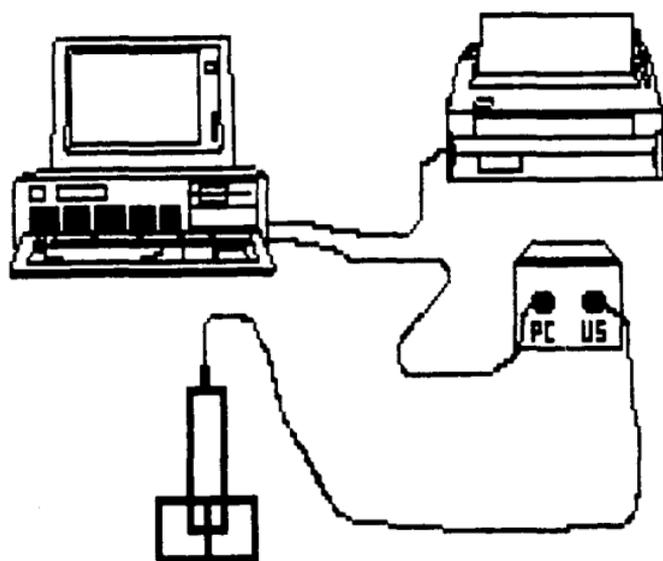
El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

1 RESUMEN	1
2 INTRODUCCION	3
3 DESCRIPCION GENERAL DEL SISTEMA	6
3.1 Transductores	13
3.1.1 Selección del transductor	13
3.1.2 Extensómetros eléctricos	15
3.1.3 Configuración del extensómetro eléctrico	15
3.2 Amplificador de instrumentación	18
3.2.1 Descripción general del ICL7605	18
3.2.2 Características del ICL7605	20
3.2.3 Descripción detallada del ICL7605	21
3.2.4 Sección amplificador operacional CAZ	22
3.2.5 Convertidor de voltaje de ganancia unitaria de diferencial a una sola terminal	25
3.2.6 Control del BIAS del ICL7605	27
3.2.7 Carga de salida resistiva en el ICL7605	27
3.2.8 Carga de salida capacitiva en el ICL7605	28
3.2.9 Consideraciones del oscilador y la circuitería digital	29
3.2.10 Efectos termoelectricos	30
3.2.11 Selección de componentes	31
3.2.12 Efectos transitorios de voltaje debidos a la conmutación	31
3.2.13 Consideraciones de circuito impreso	32
3.3 Circuito muestreador retenedor	33
3.3.1 Descripción general del LF398	37
3.3.2 Características del LF398	38
3.3.3 Capacitor de mantenimiento (CH)	39
3.3.4 Cerro de D.C. y A.C.	39
3.3.5 Tiempo lógico de rizo	40
3.4 Multiplexor analógico	42
3.4.1 Descripción general del IH6208	42
3.4.2 Características del IH6208	43
3.5 Convertidor analogo digital	44

3.5.1	Teorema de muestreo	44
3.5.2	Cuantización	45
3.5.3	Descripción general del ICL7104-16	46
3.5.4	Características del ICL7104-16	47
3.5.5	Descripción detallada del ICL7104-16	47
3.5.6	Selección del valor de las componentes	51
3.5.7	Descripción detallada de la parte digital del ICL7104-16	54
3.5.8	Tierra analógica y digital	61
3.6	Referencias de voltaje	62
3.6.1	Descripción general de la REF-01	64
3.6.2	Características de la REF-01 y -02	65
3.7	Modem	67
3.7.1	Modulación FSK	68
3.7.2	Descripción general del Am7911	70
3.7.3	Transmisor (Modulador)	71
3.7.4	Receptor (Desmodulador)	72
3.7.5	Operación del modem en baja velocidad	73
3.7.6	Generación del reloj	74
3.7.7	Inicialización automática de encendido	74
3.8	Microcomputador	75
3.8.1	Microprocesador Z-80 CPU	79
3.8.2	Ciclos de instrucción del Z-80	81
3.8.3	Familia del microprocesador Z-80	81
3.9	Interfase PC	83
3.9.1	Tarjeta prototipo	83
3.9.2	Bus del sistema PC	84
3.9.3	Diseño de puertos de entrada salida	84
3.9.4	Conceptos básicos de entrada salida	84
3.9.5	Mapa de entrada salida en la computadora personal	85
3.9.6	Estructura de las interrupciones	85
3.9.7	Proceso de las interrupciones	85
3.9.8	Interrupciones en la PC	88
3.9.9	Interrupciones por "Hardware"	88
3.9.10	Interfase de comunicación programable 8251A	90
3.9.11	Descripción de operación del 8251A	91
3.9.12	Programación del 8251A	92
3.10	Regulación lineal	95
3.10.1	Reguladores discretos de voltaje	96
3.10.2	Regulador de voltaje	96
3.10.3	Regulador de corriente	97
3.10.4	Reguladores de voltaje de tres terminales	98
4	CONSTRUCCION DEL SISTEMA	100
4.1	Unidad sumergible	101
4.1.1	Tarjeta "AMP-S/H"	102
4.1.2	Tarjeta "A/D-MUX"	106

4.1.3 Tarjeta "MIC"	112
4.1.4 Tarjeta "UNION"	122
4.1.5 Tarjeta "MODEM"	126
4.1.6 Tarjeta "FUENTE"	130
4.2 Unidad de abordo	134
4.2.1 Tarjeta "INTERFASE"	135
4.2.2 Tarjeta "FC"	138
5 DESCRIPCION GENERAL DE FUNCIONAMIENTO	141
5.1 Programa monitor de la unidad sumergible	142
5.1.1 Programación de las interfases	142
5.1.2 Señales de control	143
5.1.3 Lectura y transmisión de los convertidores A/D	145
5.2 Programa monitor de la unidad de abordo	148
5.2.1 Programación de las interfases	148
5.2.2 Recepción de datos de la unidad sumergible	148
6 PRUEBAS Y CONCLUSIONES	152
6.1 Pruebas	153
6.1.1 Salida de las etapas de amplificación y muestreo sostenimiento	153
6.1.2 Salida de la etapa de multiplexaje	154
6.1.3 Estabilidad de los convertidores A/D	155
6.1.4 Comunicación entre la U.S. y la U.A.	155
6.1.5 Consumo de energía	159
6.1.6 Construcción final del equipo	159
6.2 Conclusiones	161
APENDICE A (Programa monitor de la unidad sumergible en lenguaje ensamblador)	164
APENDICE B (Programa monitor de la unidad de abordo en Pascal)	169
BIBLIOGRAFIA	175

DISEÑO Y CONSTRUCCION DE UN SISTEMA
DE ADQUISICION DE DATOS OCEANOGRAFICOS



Se presenta un sistema de adquisición de datos oceanográficos, en el cual el proceso y control de la información obtenida en la unidad sumergible, se encuentra a cargo de un microprocesador (Z-80 CPU) así como en sus interfaces (Z-80 CTC, PIO, SIO).

La unidad de abordo se ha instrumentado en base a una computadora del tipo personal, lo que permite su fácil programación y manejo de la información recibida. La instrumentación ha sido ideada con las técnicas recientes haciendo del sistema una herramienta de trabajo de gran potencial. El sistema general de adquisición de datos consta de cuatro etapas:

1. ETAPA DE ENTRADA, consiste en los transductores apropiados, y los acondicionadores de la señal, en esta aplicación se utilizan amplificadores de instrumentación por conmutación de auto-cero (CAZ), circuitos muestreadores-retenedores (S/H) y un multiplexor analógico. Con esta arquitectura se aumenta el número de variables físicas a ser medidas.

2. ETAPA DE CONVERSION DE SENAL, la cual transforma el nivel analógico de la señal en un valor digital; la conversión en forma digital se lleva a cabo mediante un convertidor análogo digital que utiliza el método de conversión de integración de doble pendiente con una resolución de 16 bits.

3. ETAPA DE SALIDA, la cual maneja y procesa la señal

digital, mediante el microprocesador Z-80 y la lógica del programa de aplicación así como con los elementos de acoplamiento, esta etapa también cuenta con la circuitería para realizar la comunicación con la unidad de abordo via modem.

4. ETAPA UNIDAD DE ABORDO. se encarga de realizar la recepción de los datos de la unidad sumergible y presentarlos en la computadora personal en una forma adecuada para el usuario.

Con el sistema anterior el objetivo perseguido es el de medir variables oceanográficas tales como presión, temperatura, conductividad y oxígeno disuelto, (perfilador de conductividad y temperatura) comunmente denominado CTD. En la figura 1.1 se muestra un diagrama de bloques general del sistema.

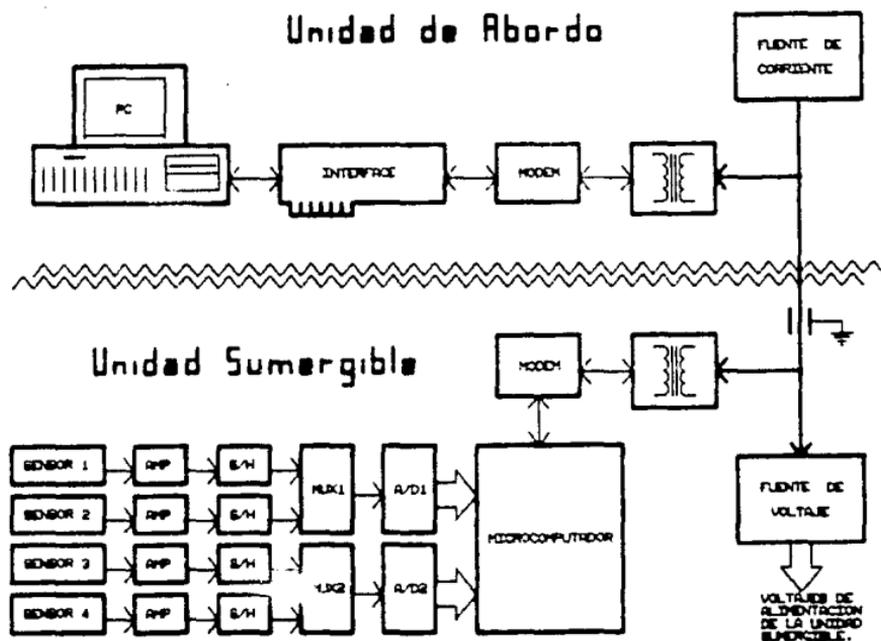


Fig. 1.1. Diagrama de bloques general del sistema de adquisición de datos.

Desde épocas pasadas el hombre a buscado la forma de transformar los recursos con los que cuenta con el objeto de satisfacer de la mejor manera posible sus necesidades. La óptima transformación de los recursos se puede llevar a cabo mediante el estudio, la experimentación y el análisis de las variables físicas que los afectan (tales como: presión, temperatura, conductividad, humedad, etc.), según el fenómeno que se este analizando. Debido a esto, surge la necesidad de crear aparatos y equipos de instrumentación y medición para el avance en los distintos campos de la investigación científica.

En el desarrollo de la investigación en las ciencias del mar, uno de los instrumentos de mayor utilización es el C.T.D. (Conductivity, Temperature and Depth) aparato que sirve para medir: presión, temperatura, conductividad y niveles de oxígeno, de perfiles marinos, parámetros de gran interés para los oceanografos, de hecho hoy en día el avance del método científico en la investigación en oceanografía física depende enormemente de la capacidad de hacer mediciones con dispositivos de este tipo.

En la actualidad existen varios diseños de CTD's en el mercado internacional, pero el precio de estos instrumentos, por ser equipos de importación, es bastante elevado además para asegurar un buen servicio en el mantenimiento y la calibración, el equipo se debe enviar fuera del país, lo que representa: transportación, tramites administrativos, aduanas, y el pago de todos estos servicios (aproximadamente 6,000 dólares anuales).

llevándose en todo este tiempo, que reduce significativamente los periodos de servicio activo de el instrumento. Por tal motivo se manifiesta la importancia que tiene la capacidad de construir, mejorar y dar mantenimiento a un sistema alternativo de CTD, desarrollado en México, y que tenga un costo relativamente bajo, siendo uno de los objetivos de este proyecto, con esto además de reducir la dependencia que actualmente se tiene de los fabricantes extranjeros, se disminuirían notablemente los gastos de compra, calibración, reparación y mantenimiento ya que todos estos servicios se llevarán a cabo en nuestro país y por lo tanto los periodos de servicio activo del instrumento aumentarán significativamente.

El sistema desarrollado presenta dos unidades: una unidad sumergible y una unidad a bordo.

La unidad sumergible, es la que se introduce en el agua, toma las lecturas provenientes de los sensores, las cuales se representan en niveles de voltaje, y son amplificadas para poder ser digitalizadas y transmitidas a la unidad de a bordo. Además como la unidad sumergible se encuentra bajo el control de un microprocesador, en cualquier momento se le pueden transmitir comandos de operación desde la unidad de a bordo, realizandose subrutinas de auto calibración, cambios en el intervalo de muestreo, etc.

La unidad de a bordo, es la que permanece dentro del barco, se encarga de recibir los datos provenientes de la unidad sumergible y presentarlos en una forma adecuada para el usuario, además como se mencionó anteriormente, también transmite comandos de operación a la unidad sumergible. Básicamente la unidad de a bordo se compone de: una computadora personal (PC) y una interfase entre la unidad sumergible y la computadora. Esto permite realizar una gran variedad de procesos sobre los datos recibidos, de la manera que mayor le convenga al usuario.

En este diseño se presentan ventajas técnicas que lo hacen sobresalir de los sistemas existentes, tales como:

- El sistema de adquisición de datos elaborado tiene la capacidad de manejar hasta ocho transductores diferentes a su entrada.
 - Tiene en su etapa de amplificación, un amplificador de instrumentación por conmutación de auto cero elegido por su alta inmunidad al ruido, alto rechazo en modo común y sus características que presenta de amplificación en cuanto a la precisión requerida por el sistema.
 - Con el objeto de aumentar la velocidad de conversión, hasta ocho muestras convertidas en un segundo, se utilizan dos convertidores A/D, que tienen el método de conversión de integración de doble pendiente con una resolución de 16 bits. La elección de este tipo de convertidores se hizo en base a su resolución, a su etapa de auto cero y su fácil interfase con los microprocesadores.
 - El manejo de los datos obtenidos se encuentra a cargo de un microprocesador, lo que permite hacer una gran variedad de procesos sobre los mismos.
 - La comunicación de la unidad de a bordo y la unidad sumergible se encuentra a cargo de un modem con operación en full-duplex para la transmisión de los datos y de los comandos de operación.
 - Manejo de los datos en la unidad de a bordo mediante una computadora personal (PC) teniendo una gran variedad de formas de presentar los datos al usuario, así como la posibilidad de programar la unidad sumergible desde la unidad de abordó mediante la computadora.
 - Dimensiones reducidas, de 13 a 15 cm de diametro y de 35 a 40 cm de largo.
-

DESCRIPCION GENERAL DEL SISTEMA.

La selección de la instrumentación apropiada y el análisis de las incertidumbres experimentales son, ambos, parte del proceso de diseño.

El proceso de adquisición de datos puede consistir simplemente en que algunas personas (o quizás una sola persona) tomen las lecturas de instrumentos y escriban las observaciones en una hoja de datos. El procesamiento de los datos podría llevarse a cabo de muchas maneras, desde los cálculos sencillos que se efectúan con ayuda de una calculadora, hasta la rutina complicada de una computadora digital.

En la actualidad, existen sistemas capaces de recopilar y procesar gran cantidad de datos y de presentar los resultados deseados en varias formas.

Un elemento esencial en los sistemas modernos de adquisición de datos es el transductor de los instrumentos, los cuales presentan una señal eléctrica que es una indicación de las variables físicas que se están midiendo.

En nuestro caso se dispone de los transductores apropiados que convierten las variables físicas de interés a señales eléctricas.

El objetivo de un sistema de adquisición de datos es recopilar y registrar los datos en una forma adecuada para su

procesamiento y/o presentación.

El sistema de adquisición de datos diseñado se constituye fundamentalmente de dos unidades: la unidad sumergible y la unidad de abordó, cada unidad presenta las siguientes etapas:

UNIDAD SUMERGIBLE

a) TRANSDUCTORA. Se encargará de trasladar parámetros físicos a señales eléctricas aceptables para el sistema de adquisición. En este caso los parámetros físicos de interés son: la presión, la temperatura, la conductividad y los niveles de oxígeno.

b) AMPLIFICADORA. Amplifica la señal de salida del transductor, a parte de contar con el control de la ganancia, con el objeto de calibrar las lecturas.

c) CIRCUITO MUESTREADOR RETENEDOR. (S/H) Mantiene constante el voltaje de entrada al multiplexor, durante el tiempo que tarde el convertidor analógico digital en realizar su conversión y el tiempo que tarde en llegar la siguiente muestra.

d) MULTIPLEXOR ANALÓGICO. Maneja las entradas analógicas a los convertidores, con el objeto de aumentar el número de variables físicas ha ser medidas.

e) CONVERTIDOR ANALÓGO-DIGITAL. Realiza la conversión de las señales analógicas entregadas por los sensores en señales digitales para que los datos generados puedan ser manejados por el microprocesador y sus interfaces.

f) MICROCOMPUTADOR. Procesan la información elaborada por los convertidores además de generar las señales de control del sistema.

a) **MODEM.** Realiza la comunicación "full duplex" entre la unidad sumergible y la unidad de abordo.

b) **FUENTE DE VOLTAJE.** Provee la alimentación requerida por la unidad sumergible para la adecuada polarización de sus tarjetas.

UNIDAD DE ABORDO.

a) **MODEM.** Realiza la comunicación "full duplex" entre la unidad de abordo y la unidad sumergible.

b) **INTERFASE PC.** Se encarga de recibir y transmitir información, mediante el modem y un puerto serie paralelo, entre la unidad sumergible y la computadora personal.

c) **FUENTE DE CORRIENTE.** Suministra la alimentación requerida por la unidad sumergible.

Como se muestra en el diagrama general del sistema de adquisición de datos utilizado, figura 3.1, presenta una topología típica, sin embargo varias de las ventajas presentadas en el diseño dependen de las componentes seleccionadas.

En la unidad sumergible las señales que entregan los sensores, instrumentados con extensómetros eléctricos, se suministran a los amplificadores de instrumentación por conmutación de auto cero, los cuales le pueden dar a la señal de entrada hasta una ganancia de voltaje de 1000 veces su valor original, las salidas de las etapas de amplificación se conectan a la entrada de los circuitos muestreadores-retenedores (S/H) en donde en un ciclo de muestreo todos los circuitos muestreadores-retenedores toman su muestra en el mismo instante de captura, y permanecen en ese valor durante el tiempo que tardan los convertidores A/D en realizar la conversión de cada uno de los sensores a su cargo, hasta un máximo de cuatro en cada

convertidor. De los circuitos muestreadores-retenedores se pasa a los multiplexores analógicos, etapa en la cual se alimentan las señales de entrada a los convertidores, los multiplexores se incluyeron en esta parte del diseño con el objeto de aumentar el número de variables físicas a ser medidas, en nuestro diseño se eligió un multiplexor de cuatro canales y tomando en cuenta que se utilizaron dos convertidores A/D (para aumentar la velocidad de conversión), en un momento dado se pueden llegar a tener hasta un máximo de ocho transductores diferentes que pueden ser medidos por el sistema.

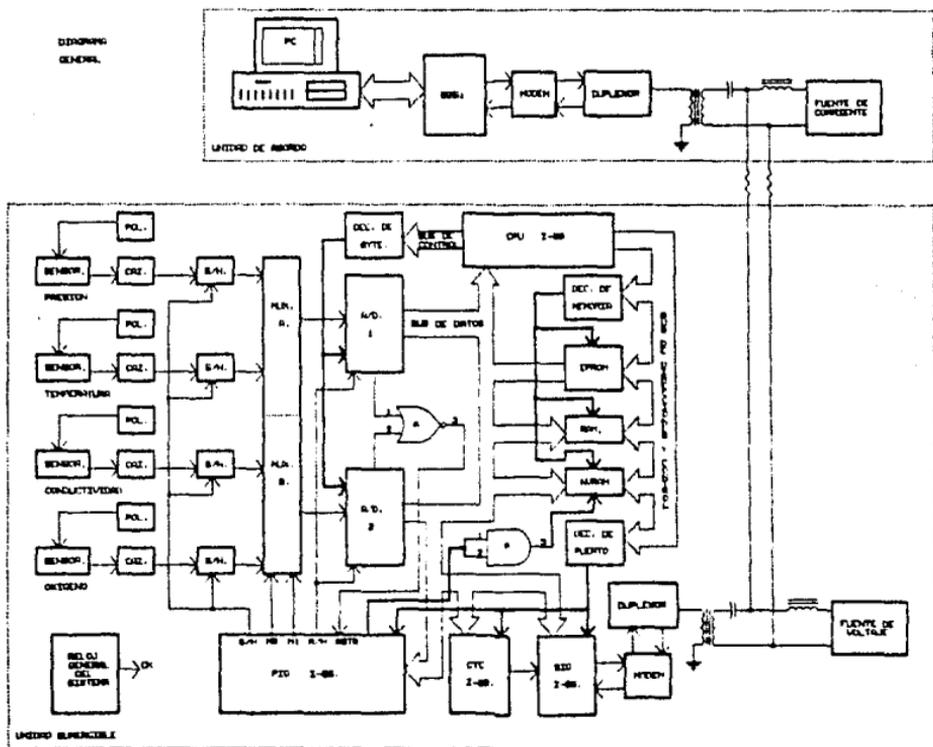


Fig. 3.1. Diagrama general del sistema de adquisición de datos oceanográficos en base a un microprocesador.

Los convertidores A/D elegidos utilizan el método de conversión de integración de doble pendiente (dual slope integrator), método que los hace ser muy precisos, pero el tiempo de conversión en este tipo de convertidores depende enormemente del número de bits utilizados en el convertidor y del valor del voltaje analógico, a ser convertido, a su entrada.

En nuestro sistema la exactitud es más importante que la rapidez de conversión ya que las variables físicas que se pretenden medir, bajando a una velocidad razonable la unidad sumergible, no cambian significativamente y por tal motivo los tiempos de muestreo se pueden ajustar fácilmente a la velocidad de conversión de los convertidores A/D.

En la elección de este tipo de convertidores el fabricante lo presenta en la versión de 12, 14 y 16 bits, esto representa que en un momento dado en donde se requiera mayor velocidad de conversión se puede utilizar el convertidor de 12 bits y en donde se requiera mayor exactitud se puede utilizar el convertidor de 16 bits.

La acción coordinada de las etapas anteriores llevan a las señales de salida de los transductores a un acoplamiento directo con el microcomputador el cual con la ayuda de sus interfaces se encarga de controlar y procesar, los datos provenientes de los convertidores.

De esta manera la interfase tiempo-contadora CTC genera el tiempo de muestreo en los sensores y la base de tiempo para la transmisión y la recepción de los datos; la interfase paralelo PIO genera las señales de control para los circuitos muestreadores-retenedores, para las líneas de control de los multiplexores analógicos y el comienzo de conversión de los convertidores, además recibe la señal de fin de conversión de los convertidores; la interfase serie SIO genera la comunicación asíncrona entre el microcomputador y el modem.

El modem del sistema se encarga de entablar la comunicación asincrónica "full-duplex" entre la unidad de abordó (demodulador y PC) y la unidad sumergible, lo que permite en un momento dado, aparte de la transmisión de los datos, correr subrutinas de calibración, modificar el intervalo de muestreo, deshabilitación de algún sensor, etc. realizándose todas estas operaciones mediante una palabra de control transmitida desde la unidad de abordó hacia la unidad sumergible.

Para la polarización adecuada de los circuitos utilizados, dentro de la unidad sumergible se necesitan tres valores distintos de alimentación, una línea de transmisión de datos, una línea de recepción de datos y una línea de tierra, lo que implica tener seis líneas de unión entre la unidad de abordó y la unidad sumergible, esto no es posible debido a que dentro de la instrumentación oceanográfica es muy frecuente contar tan solo con un cable blindado de enlace, conducto por el cual se tienen que realizar todas las operaciones de alimentación y comunicación, por tal motivo dentro de la señal de alimentación se tienen que sumar las señales de comunicación, objeto que se cumple conectando un duplexor con un arreglo de acceso directo (D.A.A.) entre el modem y el cable de alimentación.

Por otra parte para la elaboración de la fuente de voltaje de la unidad sumergible, se penso en un principio en su fabricación con fuentes conmutadas, debido a su eficiencia, pero el ruido generado en la conmutación provoca inestabilidad en los bits menos significativos del convertidor, motivo por el cual se decidió utilizar una fuente con regulación lineal en base a zenera, eliminando la inestabilidad del convertidor pero disminuyendo la eficiencia de la fuente.

En la unidad de abordó, mediante otro modem, se reciben los datos provenientes de la unidad sumergible, los cuales son entregados a un puerto serie paralelo conectado directamente en una de las ranuras de expansión de la computadora personal (PC).

El puerto serie cada vez que tiene un dato válido interrumpe al procesador central de la computadora, saltando a una subrutina de interrupción que se encarga de manejar y procesar el dato para presentarlo de la mejor manera posible a el usuario.

Los datos son transmitidos por la unidad sumergible dentro de un formato: dos bytes de inicio de campo, posteriormente cuatro canales de tres bytes cada canal. La subrutina de interrupción busca los dos bytes de inicio de campo, al ser reconocidos lee los doce bytes subsecuentes considerando la asignación por canal. Esta información es almacenada en variables que se despliegan en el monitor de la computadora.

Finalmente para la alimentación de la unidad sumergible desde la unidad de abordo, y debido a que el cable de enlace es considerablemente largo, se utiliza una fuente de corriente para compensar la caída de voltaje en el cable.

Esto es en forma general, el sistema de adquisición de datos diseñado, en los capítulos siguientes se explica en forma detallada cada uno de los circuitos utilizados en el sistema.

3.1. TRANSDUCTORES.

Un sistema de instrumentación electrónica consiste de un número de componentes los cuales se usan para realizar una medición y registrar los resultados.

La variable de entrada de la mayoría de los sistemas de instrumentación no es eléctrica. Para utilizar los métodos electrónicos para la manipulación, medida, control, la variable no eléctrica se debe convertir en una señal electrónica por medio de un dispositivo llamado transductor. De tal manera que un transductor puede convertir fuerza o desplazamiento mecánico en señales eléctricas. Estos dispositivos forman un grupo importante y muy grande de transductores encontrados comunmente en el área de instrumentación. Muchos otros parámetros físicos (tales como calor, intensidad luminosa, humedad, etc.) se pueden también convertir en energía eléctrica por medio de los transductores. En todos los casos, sin embargo, la salida eléctrica se mide por los métodos convencionales, dejando la magnitud de la cantidad de entrada en términos de una medida eléctrica análoga.

Los transductores se pueden clasificar de acuerdo a su aplicación, método de conversión de energía, naturaleza de la señal de salida, etc.

3.1.1. SELECCION DEL TRANSDUCTOR.

En un sistema de medición el transductor es el elemento de entrada con la función crítica de transformar alguna variable física en una variable eléctrica proporcional. La selección del transductor apropiado es por consiguiente el primero y tal vez el paso más importante en la obtención de resultados exactos. Un buen número de parámetros se deben de tomar en cuenta antes de

seleccionar al transductor adecuado, tales como:

- a) *Parámetros fundamentales de los transductores:* tipo e intervalo de la medición, sensibilidad, excitación.
- b) *Condiciones físicas:* conexiones eléctricas y mecánicas, condiciones de montaje, resistencia a la corrosión.
- c) *Condiciones ambientales:* efectos de la temperatura, aceleración, choques, vibración, efectos de no linealidad, efectos de histerisis, respuesta de frecuencia, resolución.
- d) *Compatibilidad con el equipo asociado:* condiciones de balance nulo, tolerancia de la sensibilidad, acople de impedancias, resistencia de aislamiento.

El error total en la medición en un sistema activado por transductor se puede reducir para que caiga dentro de los límites requeridos de exactitud por medio de las siguientes técnicas:

- a) *Utilizando un sistema de calibración en el lugar con las correcciones efectuadas al tomar las muestras.*
- b) *Registrando simultáneamente el ambiente y corrigiendo los datos con base en ese registro.*
- c) *Controlando artificialmente el ambiente para minimizar posibles errores.*

Algunos errores son predecibles y se pueden calibrar por fuera del sistema. Cuando todo el sistema está calibrado estos datos de calibración se pueden usar para corregir los datos registrados. Los errores ambientales se pueden reducir corrigiendo y reduciendo los datos si los efectos ambientales se han registrado simultáneamente con los datos actuales. Entonces los datos se corrigen usando las características ambientales conocidas de los transductores. Estas dos técnicas pueden suministrar un incremento en la exactitud del sistema.

Otro método para mejorar la exactitud global del sistema es controlar artificialmente el ambiente del transductor. Si el

ambiente del transductor se puede mantener sin cambios, estos errores se reducen a cero. Este tipo de control puede requerir el movimiento físico del transductor a una posición más favorable o suministrarle aislamiento del ambiente por medio de envases a prueba de calor, aislamiento de vibración o medios similares.

En el sistema de adquisición de datos diseñado los transductores utilizados son los extensómetros eléctricos los cuales se describen brevemente a continuación.

3.1.2. EXTENSOMETROS ELECTRICOS.

Un extensómetro eléctrico convierte un desplazamiento mecánico en un cambio de resistencia. Los extensómetros eléctricos metálicos se fabrican con alambres de resistencia de pequeño diámetro, tal como el Constantan¹, o de pequeñas y delgadas hojas metálicas. La resistencia del alambre o de la lámina cambia con la longitud a medida que el material al cual está adosado el extensómetro sufre tensiones o compresiones. Este cambio en la resistencia es proporcional a la tensión aplicada y se mide por medio de un puente de Wheatstone especialmente adaptado.

La sensibilidad de un extensómetro eléctrico se describe en términos de una característica llamada factor del extensómetro, K , definido como la unidad de cambio de la resistencia por unidad de cambio de la longitud, o

$$\text{factor de extensómetro } K = \frac{\Delta R/R}{\Delta l/l}$$

donde

- K = factor de extensómetro
- R = resistencia nominal del extensómetro
- ΔR = cambio en la resistencia del extensómetro
- l = longitud normal del espécimen (condición sin esfuerzos)

¹Constantan es el nombre comercial dado a la aleación de cobre y níquel en proporción del 60% de cobre y el 40% de níquel.

Δl = cambio en la longitud del espécimen

El tamaño de un extensómetro finalizado y la manera en la cual el alambre se arregla varía con la aplicación. Algunos extensómetros soldados son tan pequeños como de $1/8$ de pulgada por $1/8$ de pulgada, aunque generalmente son más grandes. En la aplicación normal, el extensómetro eléctrico está adosado a la estructura cuya tensión mecánica se desea medir. El problema de obtener una buena soldadura o pega entre el extensómetro y la estructura es muy difícil. El material adhesivo debe sostener el extensómetro firmemente a la estructura, debe tener suficiente elasticidad bajo condiciones de esfuerzo y no perder sus propiedades adhesivas. El adhesivo también tiene que ser resistente a la temperatura, humedad y otras condiciones ambientales.

3.1.3. CONFIGURACION DEL EXTENSOMETRO ELECTRICO.

La forma del elemento sensor se selecciona de acuerdo a la tensión mecánica a medir: uniaxial, biaxial o multidireccional. Las aplicaciones uniaxiales a menudo emplean elementos sensores delgados y largos, como en la figura 3.1.1, para maximizar la

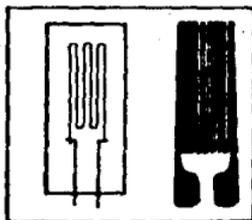


Fig. 3.1.1. Extensómetros eléctricos uniaxiales.

sensibilidad del material en la dirección de interés. Las partes finales del extensómetro, en sus puntas, son pocas y cortas de tal forma que se tenga una sensibilidad a la tensión transversal baja. La longitud del extensómetro se selecciona de acuerdo al tipo de tensión a analizar.

Mediciones simultáneas de esfuerzos y tensiones en más de una dirección se pueden lograr colocando extensómetros de elementos simples en localizaciones apropiadas. Sin embargo para simplificar esta tarea y suministrar una mayor exactitud se tienen extensómetros de elementos múltiples o rosetas.

Las rosetas de dos elementos, mostrados en la figura 3.1.2, se usan a menudo en los transductores de fuerza. Los extensómetros

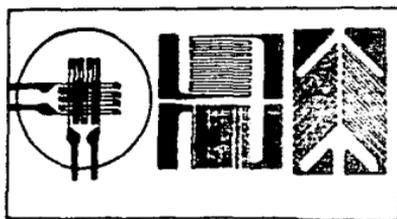


Fig. 3.1.2. Rosetas de dos elementos.

se alambran en un circuito puente de Wheatstone para lograr una salida máxima. Para análisis de esfuerzos, los elementos axial y transversal pueden tener diferentes resistencias que se pueden combinar para que la salida sea proporcional al esfuerzo.

3.2. AMPLIFICADOR DE INSTRUMENTACION.

Las señales de las mediciones se presentan en una gran variedad de formas: la salida de voltaje de un circuito puente, la señal de frecuencia de un circuito contador, las señales de voltaje como función de un cambio en la capacitancia, etc. En muchos casos estas señales son bastante débiles y deben amplificarse antes de que puedan representarse adecuadamente en el aparato de registro. En otros casos existe un serio desacoplamiento entre el transductor y el circuito de salida, de tal forma que se utiliza un amplificador para proporcionar una conversión apropiada de impedancias.

En nuestro caso estos problemas se solucionan utilizando un amplificador por conmutación de auto cero (CAZ-ICL7605) el cual se explica detalladamente a continuación.

3.2.1. DESCRIPCION GENERAL DEL ICL7605.

El ICL7605 es un amplificador de instrumentación por conmutación de auto cero (CAZ) fue diseñado para reemplazar a la mayoría de los actuales amplificadores de instrumentación híbridos o monolíticos para aplicaciones de baja frecuencia; desde D.C. hasta 10 Hz. Esto se hace posible por la construcción única de este nuevo dispositivo del fabricante (INTERSID), el cual toma un diseño nuevo, aprovechando los amplificadores de baja frecuencia.

A diferencia de los diseños convencionales de amplificadores de instrumentación, los cuales emplean tres amplificadores operacionales y requieren de una alta precisión en el valor de sus resistencias, el amplificador de instrumentación CAZ no requiere elementos resistivos, excepto para la ganancia.

El ICL7605 es un circuito integrado monolítico CMOS el cual consiste de dos secciones analógicas; -el convertidor de ganancia unitaria de voltaje diferencial a un voltaje de una sola terminal y un amplificador operacional conmutado de auto cero -. La primera sección sensa la entrada diferencial y la aplica a la sección amplificadora CAZ. Esta sección consiste de un amplificador operacional el cual continuamente se corrige de entradas erróneas de voltaje tales como voltaje de offset a la entrada, efectos térmicos y desviaciones en largos periodos.

El ICL7605 está hecho para operar a bajas frecuencias en aplicaciones tales como extensómetros eléctricos, los cuales requieren ganancias de voltaje desde 1 hasta 1000 y anchos de banda desde D.C. hasta 10 Hz. Como el amplificador CAZ se corrige por sí mismo de errores internos el único ajuste periódico requerido es el de la ganancia la cual se establece por medio de dos resistencias externas. La característica de no tener que hacerle ajustes, combinado con bajo nivel de offset y bajo coeficiente de temperatura, hacen al amplificador de instrumentación CAZ muy deseable para operar en severas condiciones ambientales (temperatura, humedad, radiaciones tóxicas, etc.) donde se dificulta el servicio de los equipos.

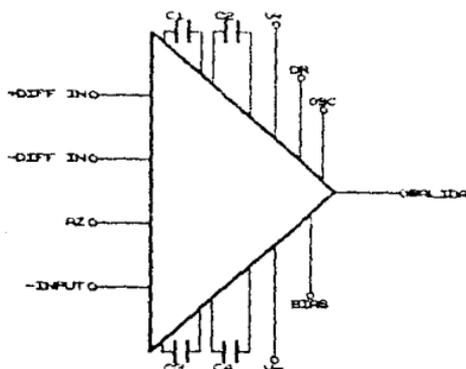


Fig. 9.2.1. Representación simbólica del CAZ.

3.2.2. CARACTERISTICAS DEL ICL7605.

- Bajo nivel de voltaje de offset a la entrada $2\mu\text{V}$.
- Baja desviación del voltaje de offset a la entrada por largos periodos $0.2\mu\text{V/año}$.
- Baja desviación del voltaje de offset a la entrada provocada por la temperatura $0.05\mu\text{V}/^\circ\text{C}$.
- Amplio rango del voltaje de entrada en modo comun 0.3V por arriba de la alimentación.
- Alta relación de rechazo en modo comun 100 dB .
- Opera con un voltaje de alimentación tan bajo como $\pm 2\text{V}$.
- Protección de corto circuito sobre salidas para $\pm 5\text{V}$ de operación.
- Entradas protegidas contra estática, no requiere un manejo especial.

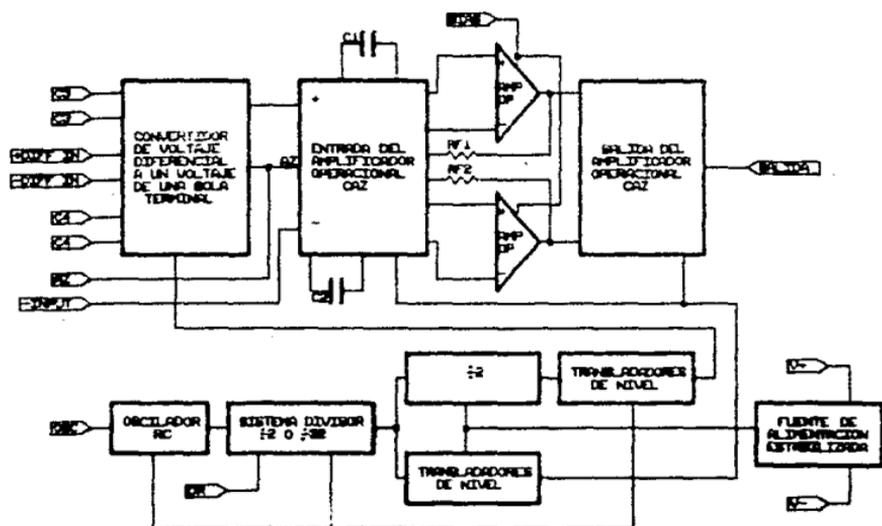


Fig. 3.2.2. Diagrama de bloques interno del amplificador de instrumentación CAZ.

3.2.3. DESCRIPCIÓN DETALLADA DEL ICL7605.

El amplificador de instrumentación CAZ opera con principios muy diferentes a los diseños convencionales de tres amplificadores operacionales los cuales deben de utilizar resistencias de precisión. Una importante ventaja del ICL7605 es la compensación por sí mismo de voltajes externos erróneos, si se derivan de las condiciones de estado estable, temperatura, fluctuaciones del voltaje de alimentación o variaciones por largos periodos.

El amplificador de instrumentación CAZ se construye con la tecnología monolítica CMOS como se dijo anteriormente, y consiste de tres secciones distintas dos analógicas y una digital. Las dos secciones analógicas (un convertidor de voltaje diferencial a voltaje de una sola terminal y el amplificador operacional CAZ) tienen interruptores analógicos para manejar la señal de entrada. Los interruptores analógicos son manejados por la sección digital la cual consiste de un oscilador RC, un divisor programable y sus asociados transladores de voltaje.

Un diagrama funcional del ICL7605 se muestra en la figura 3.2.3.

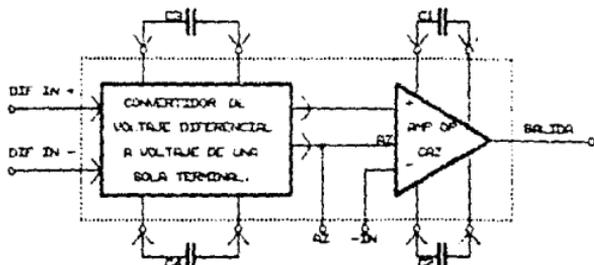


Fig. 3.2.3. Diagrama de bloques simplificado del CAZ.

El ICL7608 tiene un voltaje de ruido aproximadamente constante a la entrada, relación de rechazo en modo común, voltaje de offset a la entrada y desviaciones independientes de la configuración de ganancia. Por comparación con los módulos de tipo híbrido los cuales utilizan la tradicional configuración de tres amplificadores operacionales tiene, relativamente, poco rendimiento a bajas ganancias (1 a 100) con mejor rendimiento arriba de ganancias de 100.

La única limitación del ICL7608 es su operación a bajas frecuencias (10 a 20 Hz máximo). Sin embargo en muchas aplicaciones la velocidad de respuesta no es un parámetro importante.

3.2.4. SECCION AMPLIFICADOR OPERACIONAL CAZ.

La operación de la sección de amplificación CAZ del ICL7608 se ilustra en la figura 3.2.4.

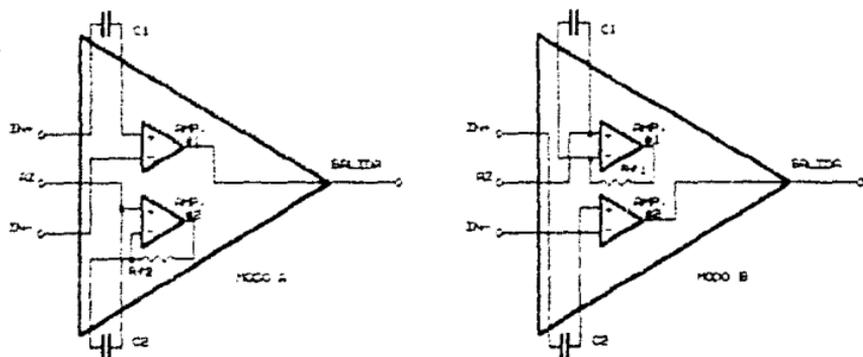


Fig. 3.2.4 Representación esquemática de los dos modos de operación del AMP OP CAZ.

La configuración básica de un amplificador, representada por un triángulo, tiene una entrada más de las que se tienen regularmente en los amplificadores operacionales (la terminal de auto cero). El voltaje en la entrada de AZ es aquel nivel en el cual cada uno de los amplificadores operacionales internos será automáticamente puestos a cero. En el modo A, el amplificador operacional #2 es conectado en modo de ganancia unitaria a través de los interruptores analógicos. Este carga al capacitor externo C_2 a un voltaje igual a el voltaje de offset de D.C. a la entrada del amplificador más el voltaje instantáneo de ruido de baja frecuencia. Un corto tiempo después, los interruptores analógicos reconectan los amplificadores operacionales internos en la configuración mostrada en modo B. En este modo, el amplificador operacional #2 tiene el capacitor C_2 (el cual se carga a un voltaje igual a el voltaje de offset y el voltaje de ruido del amplificador operacional #2) conectado en serie a su entrada no inversora (+) de manera que se anula el voltaje de offset y el voltaje de ruido a la entrada del amplificador. Mientras uno de los amplificadores operacionales internos está procesando la señal de entrada, el segundo amplificador operacional se encuentra en el modo de auto cero, cargando al capacitor a un voltaje igual a su equivalente en D.C. y voltajes erróneos de baja frecuencia. Los amplificadores operacionales internos son conectados y reconectados en una proporción designada por la frecuencia de conmutación (f_{com}), de modo que en todo momento uno u otro de los amplificadores operacionales internos se encuentra procesando a la señal de entrada, mientras que los voltajes en los capacitores C_1 y C_2 se están actualizando para compensar las variables tales como ruido de baja frecuencia y voltajes de offset a la entrada, cambios debidos a la temperatura, desviaciones o variaciones en el voltaje de alimentación.

Comparando con las entradas de los amplificadores operacionales convencionales de tecnología bipolar y tecnología FET el amplificador de instrumentación CAZ muestra un número importante de ventajas:

- El voltaje de offset efectivo a la entrada puede ser reducido hasta 1000 veces.
- La desviación del voltaje de offset por largos periodos puede ser compensado y reducido significativamente.
- Los efectos térmicos pueden ser compensados en un amplio intervalo de temperatura. Pueden hacerse reducciones tanto como 100 veces o más.
- La sensibilidad a variaciones del voltaje de alimentación es reducida.

El proceso CMOS es ideal para implementar la estructura del amplificador de instrumentación CAZ. La sección digital es fácilmente fabricada, y las compuertas de transmisión (interruptores analógicos) las cuales conectan los amplificadores operacionales internos pueden ser construidas para una mínima inyección de carga y amplio rango de voltaje de operación. La sección analógica, la cual incluye los amplificadores operacionales internos, contribuye al rendimiento el cual es similar a los diseños con entrada bipolar o fet. La estructura CMOS provee al amplificador de instrumentación CAZ con ganancias de lazo abierto más grandes que 100 dB, el voltaje típico de offset de entrada de 15 mV, y baja corriente de fuga, típicamente 1pA.

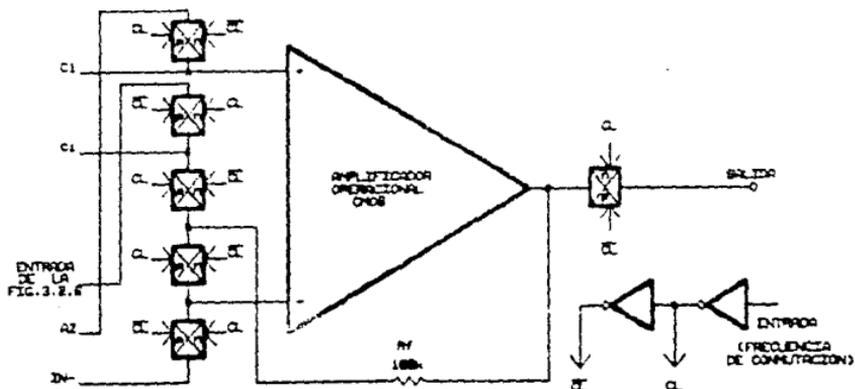


Fig. 3.2.5. Esquema de los interruptores analógicos, conectando cada amp op a sus entradas y a la salida.

Las compuertas de transmisión CMOS conectan a los amplificadores operacionales internos a la entrada externa y a las terminales de salida, como se muestra en la figura 3.2.5. Aquí, un amplificador operacional y sus asociados interruptores analógicos son requeridos para conectar cada amplificador operacional interno, de modo que en cualquier momento tres interruptores están abiertos y tres interruptores están cerrados. Cada interruptor analógico consiste de un transistor canal P en paralelo con un transistor canal N.

3.2.5 CONVERTIDOR DE VOLTAJE DE GANANCIA UNITARIA DE DIFERENCIAL A UNA SOLA TERMINAL.

Un esquema idealizado del convertidor de voltaje se muestra en la figura 3.2.6.

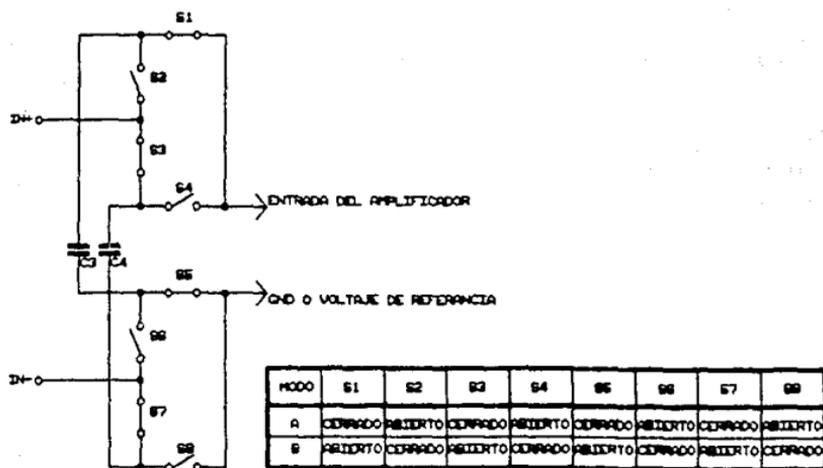


Fig. 3.2.6. Esquema del convertidor de voltaje diferencial a voltaje de una sola terminal.

El modo de operación es simple e incluye dos capacitores y ocho interruptores analógicos. Los interruptores están arreglados de modo que cuatro están abiertos y cuatro están cerrados. Los cuatro interruptores cerrados conectan uno de los capacitores a través de la entrada diferencial, y el otro capacitor lo conectan a una tierra o referencia de voltaje en la entrada del amplificador de instrumentación CAZ. La señal de salida de esta configuración se muestra en la figura 3.2.7, donde los pasos de voltaje son iguales al diferencial ($V_A - V_B$), en los tiempos de conmutación a, b, c, etc. La forma de onda de salida así representa toda la información contenida en la señal de entrada desde D.C. hasta la frecuencia de conmutación.

La teoría de muestreo (1) establece que para preservar la información íntegra ha ser procesada, por lo menos dos muestras deben ser tomadas dentro del periodo ($1/f$) de la frecuencia más alta de la señal que está siendo muestreada. Consecuentemente este esquema preserva información hasta la frecuencia de conmutación. Arriba de la frecuencia de conmutación, la señal de entrada es transferida a una baja frecuencia. Dando lugar al fenómeno conocido como deslizamiento.

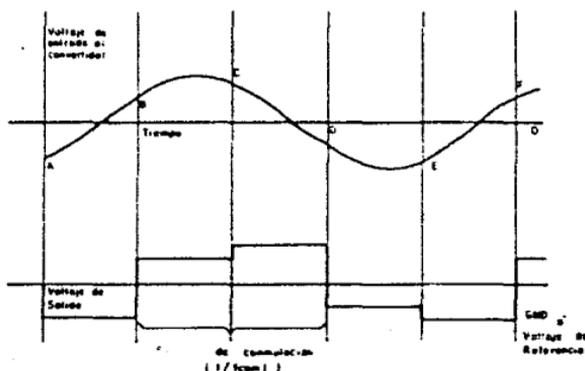


Fig. 3.2.7. Formas de onda de la entrada y la salida del convertidor de voltaje diferencial a voltaje de una sola terminal.

El convertidor de voltaje es fabricado con interruptores analógicos CMOS, los cuales contienen una combinación de transistores en paralelo canal N y canal P. Los interruptores tienen impedancia finita de encendido (C_{on}) de 30 k Ω , más capacitancias parásitas. Por los efectos de inyección de carga los cuales aparecen en ambos interruptores y la salida del convertidor de voltaje el valor de los capacitores C_1 y C_2 deben ser cerca de 1 μ F para preservar la traslación de la señal con precisión de 0.01%. El capacitor de 1 μ F, acoplado con los 30 k Ω de impedancia del interruptor produce un filtro paso bajas con frecuencia de corte en 10 Hz.

3.2.6. CONTROL DEL BIAS EN EL ICL7605.

Los amplificadores operacionales internos consumen sobre el 90% de la potencia requerida por el amplificador de instrumentación CAE. Por esta razón, los amplificadores operacionales internos tienen programación externa del nivel de bias. Estos niveles se fijan conectando la terminal de BIAS a V_+ , GND ó V_- para bajo, mediano y alto nivel de bias respectivamente. La diferencia entre cada puesta de bias es cercana a un factor de tres, permitiendo una relación de 9 a 1 de la fuente de alimentación contra los niveles de bias. Este tipo de programación permite al usuario escoger: el nivel de potencia de disipación del dispositivo, el slew rate y los errores de offset debidos a efectos térmicos. En la mayoría de los casos la puesta de bias medio (MED BIAS) se encontrará que es la mejor elección.

3.2.7. CARGA DE SALIDA RESISTIVA EN EL ICL7605.

Con una carga de 10 k Ω , el "swing" del voltaje de salida puede variar a través del intervalo entero del voltaje de alimentación y el dispositivo puede ser utilizado con cargas tan bajas como 2 k Ω .

Sin embargo, con cargas menores que 50 k Ω , los amplificadores operacionales internos empezaran a presentar las características de un amplificador de transconductancia, debido a que su respectiva impedancia de salida está cercana a los 50 k Ω . Así, la ganancia de lazo abierto es 20 dB menor con una carga de 2 k Ω que podría ser con una carga de 20 k Ω . Por esto, para configuraciones de alta ganancia que requieren precisión, se recomienda una carga de salida de 100 k Ω o más.

Hay otra consideración en la aplicación de los amplificadores de instrumentación CAZ que no se ha mencionado, y que es la disipación de potencia adicional del circuito integrado provocada por un largo "swing" de voltaje a la salida dentro de una baja resistencia de carga. Este aumento de potencia de disipación puede afectar el voltaje de "offset" inicial de la entrada bajo ciertas condiciones.

3.2.8. CARGA DE SALIDA CAPACITIVA EN EL ICL7605.

En muchas aplicaciones, es deseable incluir un filtro paso bajas a la salida del amplificador de instrumentación CAZ para reducir el ruido de alta frecuencia externo de la señal deseada. Una solución obvia cuando se utilizan amplificadores operacionales convencionales podría ser poner un capacitor a través de la resistencia externa de retroalimentación y así producir un filtro paso bajas.

Sin embargo con el concepto del amplificador CAZ esto no es posible debido a la naturaleza de los "spikes" de conmutación. Estos voltajes de pico presentan la característica de baja impedancia en la dirección del voltaje de auto cero y una característica de alta impedancia en el filo de recuperación, como se muestra en la figura 3.2.8. Esto puede ser visto como el efecto de un gran capacitor de carga que produce una área errónea en la onda de salida, y de aquí un error efectivo en la ganancia. El

filtro paso bajas a la salida debe ser del tipo de alta impedancia para evitar estas áreas erróneas. Por ejemplo un filtro con frecuencia de corte en 1.5 Hz requerirá una resistencia de 100 k Ω y un capacitor de 1 μ F ó una resistencia de 1 M Ω y un capacitor de 0.1 μ F.

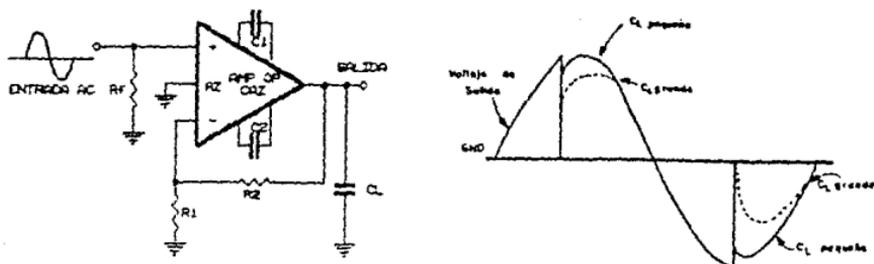


Fig. 3.2.8 Efecto de una carga capacitiva en el voltaje de salida del CAZ

3.2.9. CONSIDERACIONES DEL OSCILADOR Y LA CIRCUITERIA DIGITAL.

El oscilador ha sido diseñado para trabajar a 5.2 kHz, cuando la terminal OSC es dejada en circuito abierto. Si el sistema del divisor completo es utilizado, esto resulta en una frecuencia de conmutación nominal de aproximadamente 160 Hz. La frecuencia de conmutación es aquella frecuencia a la cual los amplificadores operacionales internos son conmutados entre el proceso de la señal y el modo de auto cero. A una frecuencia de conmutación de 160 Hz representa el mejor compromiso entre el voltaje de offset de entrada y el ruido de baja frecuencia. Otras frecuencias de conmutación proveen la optimización de algunos parámetros, pero siempre a expensas de otros.

El oscilador tiene una impedancia de salida muy alta, por eso cargando la terminal OSC con solo unos cuantos picofaradios se

presenta un significativo corrimiento en frecuencia. Por esto es recomendado que si se desea la frecuencia natural de conmutación (5.2 kHz) la terminal permanezca en circuito abierto. En otros casos, será deseable sincronizar el oscilador con una fuente externa de reloj u oscilador en otra frecuencia. El ICL7605 provee dos grados de flexibilidad en este aspecto. Primero la terminal DR (relación de división) permite escoger un divisor para el oscilador entre 32 (terminal DR conectada a V+) ó entre 2 (terminal conectada a GND) para obtener la frecuencia de conmutación. Segundo, el oscilador puede tener un descenso en su frecuencia por medio de agregar un capacitor externo conectado entre la terminal OSC y la terminal V+ ó GND del sistema. Para situaciones donde se requiere que la frecuencia de conmutación se sincronice con un reloj maestro la terminal OSC puede ser impulsada por lógica TTL (con resistencia de pull up) ó por lógica CMOS, previendo que el V+ con respecto a tierra es +5 V ($\pm 10\%$) y la lógica opere con la misma fuente de alimentación. La razón de este requerimiento es que la sección de la lógica (incluyendo al oscilador) opera desde una fuente interna de -5 V, referido a la fuente V-, la cual no tiene acceso externamente.

3.2.10. EFECTOS TERMOELECTRICOS.

Las últimas limitaciones de los amplificadores de ultra alta sensibilidad de D.C. son debidos a efectos termoelectricos. Peltier ó acoplamientos térmicos en las uniones electricas consistiendo de varios metales (bismuthones, silicon, etc.). A menos que todas las juntas estén a la misma temperatura, pequeños voltajes termoelectricos serán producidos, generalmente cerca de $0.1 \mu\text{V}/^\circ\text{C}$. Sin embargo, estos voltajes pueden ser varias decenas de microvolts por $^\circ\text{C}$ para ciertos acoplamientos térmicos en distintos materiales.

Para realizar un bajo voltaje de offset el cual el amplificador de instrumentación CAZ puede producir, es necesario

Las producciones para evitar gradientes de temperatura. Todos los componentes deben estar cercados para eliminar los movimientos de aire a través de la superficie del dispositivo.

Además, los voltajes de alimentación y la disipación de la potencia deben mantenerse al mínimo utilizando la puesta de MED BIAS. Emplear una carga de alta impedancia y mantenerse el circuito alejado del equipo que disipa el calor.

3.2.11. SELECCION DE COMPONENTES.

Los cuatro capacitores (C_1 a C_4) deben ser cada uno de cerca de 1 μ F. Este es un valor relativamente alto para un capacitor no electrolítico, pero si la energía almacenada en ellos cambia significativamente, se presentarían problemas de absorción dieléctrica y pérdidas de carga. Valores que podrían ser significativos en la aplicación del convertidor A-D por integración de doble pendiente. Para C_3 y C_4 se recomienda el polypropileno y para C_1 y C_2 capacitores de Milar.

Excelentes resultados se han obtenido, para rangos comerciales de temperatura, utilizando varios de los capacitores pequeños y baratos, puesto que los valores absolutos de los capacitores no son críticos.

3.2.12. EFECTOS TRANSITIVOS DE VOLTAJE DEBIDOS A LA CONMUTACION.

Aunque en todo en lo que respecta a los amplificadores de instrumentación CAE se asemejan a los amplificadores operacionales convencionales, su principal aplicación será en muy bajos niveles, preamplificador de baja frecuencia limitada desde D.C. hasta 10 Hz. Esto es debido a los transitorios finitos de conmutación los cuales ocurren tanto a la entrada como en la salida provocados por los efectos de la conmutación. Estos transitorios tienen un

dentro en frecuencia que empieza en la frecuencia de conmutación, e incluyen todas las altas armónicas de la frecuencia de conmutación. Asumiendo que la frecuencia de conmutación es más alta que la más alta dentro de la banda de frecuencias, entonces los transitorios de la conmutación pueden ser filtrados con un filtro paso bajas. Los transitorios de conmutación a la entrada empiezan a elevarse cuando los amplificadores operacionales internos experimentan un corrimiento en voltaje el cual es igual al voltaje de offset de entrada (cerca de 5 a 10 mV). Usualmente ocurre durante la transición entre el modo de procesamiento de la señal y el modo de auto cero. Debido a que la capacitancia de entrada de los amplificadores operacionales internos son típicamente del rango de los 10 pF y debido a que es deseable reducir el voltaje de offset de entrada cerca de 10000 veces, el voltaje de offset de auto cero del capacitor C_1 y C_2 deben tener por lo menos un valor de 10000×10 pF ó 0.1 μ F cada uno. La carga que es suministrada a las entradas de cada amplificador operacional cuando están siendo conmutados dentro del modo de proceso de la señal se produce un cambio repentino de voltaje a la entrada, más una equivalente corriente de bias de D.C. promediada sobre el ciclo completo. Esta corriente de bias es directamente proporcional a la frecuencia de conmutación, y en la mayoría de los casos será tan grande que excedera las corrientes inherentes de fuga de la entrada de los interruptores analógicos, los cuales son típicamente de 1 pA a la temperatura ambiente de 25 °C.

3.2.13. CONSIDERACIONES DE CIRCUITO IMPRESO.

Se debe tener cuidado en la posición de los componentes en el circuito impreso, particularmente en los capacitores C_1 , C_2 , C_3 y C_4 todos los cuales deben estar resguardados de la terminal OSC. También, las capacidades de fuga parásitas en el circuito impreso asociadas con estos cuatro capacitores debe mantenerse tan bajas como sea posible, y así minimizar los efectos de suministro de carga.

3.3. CIRCUITO MUESTREADOR RETENEDOR (S/H).

El circuito muestreador retenedor se utiliza para muestrear una señal analógica en un instante de tiempo y mantener el valor de la muestra tanto tiempo como sea requerido. El instante de muestreo y la duración del mantenimiento están determinados por la lógica de las señales de control y el intervalo de mantenimiento depende de la aplicación en el cual el circuito se este utilizando. La mayoría de los circuitos muestreadores retenedores utilizan un capacitor para mantener el voltaje muestreado. Un interruptor controlado electrónicamente provee el medio por el cual el capacitor se carga rápidamente al valor del voltaje muestreado y después el voltaje de entrada es removido, por eso el capacitor debe retener el voltaje muestreado. Tal circuito se diagrama en la figura 3.3.1.a., con V_a como la fuente analógica y R_g su impedancia interna. La forma de onda idealizada se observa en la figura 3.3.1.b.

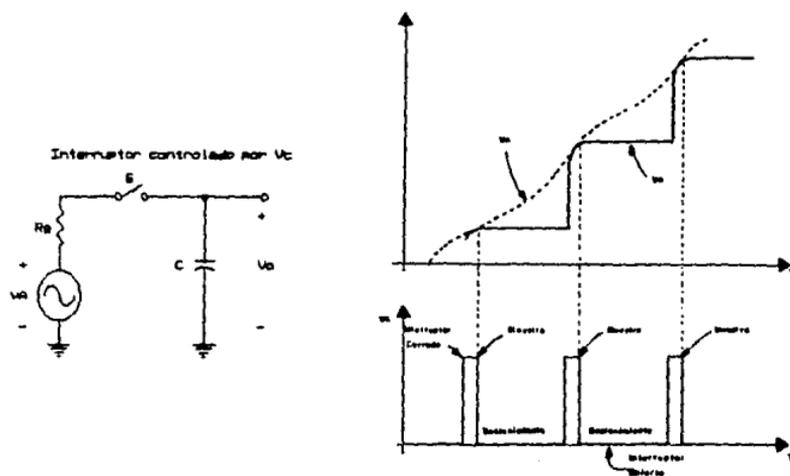


Fig. 3.3.1. Circuito muestreador retenedor: (a) simple circuito con un interruptor (b) formas de onda.

El interruptor S se cierra mientras la forma de onda de la lógica de control V_c mantiene un nivel alto, y bajo la consideración de que RyC es una constante de tiempo muy pequeña, el voltaje de salida tratará de seguir al voltaje de entrada y serán iguales hasta el instante en que la lógica de control vaya a un nivel bajo, abriendo el interruptor. Durante el intervalo de mantenimiento, mientras la señal de control permanezca baja, el interruptor está abierto y el capacitor C mantendrá el último valor de entrada. Idealmente la salida permanecerá constante durante el intervalo de mantenimiento.

En la práctica, los interruptores electrónicos y los capacitores no son perfectos, y varias diferencias ocurren con respecto a lo ideal. Entre las especificaciones importantes dadas por el fabricante están: el tiempo de apertura y el tiempo de adquisición. El tiempo de apertura se puede entender refiriéndonos a la figura 3.3.2. en la cual vemos que el tiempo de apertura es el máximo retardo entre el tiempo que la lógica de control comanda al interruptor a que se abra y el tiempo en que se abre. El tiempo

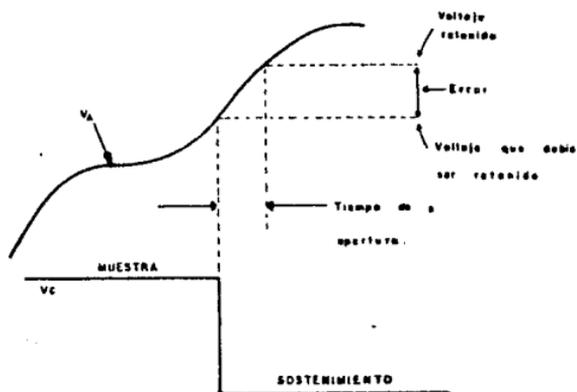


Fig. 3.3.2. Tiempo de apertura y sus efectos.

de apertura requerido de un sistema, esencialmente determina el tipo de interruptor que se debe utilizar. Con interruptores FET el tiempo de apertura es típicamente entre 50 y 100 ns. Como un resultado del tiempo de apertura hay una incertidumbre en la relación de muestreo que podría degradar el rendimiento del sistema. Usualmente se selecciona un interruptor con un tiempo de apertura el cual es mucho menor que el recíproco de la relación de muestreo.

Después que la señal de entrada está cambiando, durante el intervalo de muestreo, está toma un cierto tiempo antes de que la señal de salida sea igual a la señal de entrada. El tiempo de adquisición (figura 3.3.3) es el tiempo más corto después de que un comando de muestra ha sido dado en seguida de un comando de retención y resulta en un voltaje de salida en el cual se aproxima al voltaje de entrada con una cierta precisión.

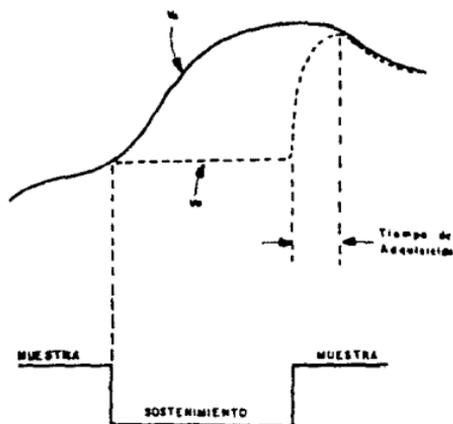


Fig. 3.3.3. Tiempo de adquisición.

El peor caso ocurre cuando la entrada es una función escalón la cual tiene una amplitud igual al máximo voltaje pico a pico del swing del circuito. En el circuito de la figura 3.3.1.a. la

velocidad con la cual la salida puede seguir a la entrada depende de las características de la señal fuente V_a . Considerando el efecto de la impedancia R_g , V_o será una exponencial con constante de tiempo $R_g C$, y si V_o se mantiene del orden del 0.01% de la entrada, el tiempo requerido para esta condición es de aproximadamente $9R_g C$. Además la señal de entrada debe de ser capaz de suministrar la corriente de carga requerida por el capacitor C . Usualmente la entrada analógica es impulsada por un amplificador operacional en la configuración de seguidor de voltaje para asegurar una impedancia de salida R_g muy pequeña.

El tiempo de establecimiento también es usualmente especificado por el fabricante. Este es el tiempo desde que el interruptor se abre (mantenimiento) hasta el punto en el cual la salida se ha estabilizado en su valor final, dentro de un porcentaje específico (usualmente 0.01% de plena escala). Si el circuito muestreador retenedor está antes de un convertidor análogo digital, la conversión no podrá empezar hasta que la señal se haya estabilizado, sino un voltaje erróneo podría ser el resultado de la conversión.

Algunas veces la relación de decaimiento de la salida (droop) también se especifica. Esto representa el cambio de voltaje a través del capacitor durante el tiempo de mantenimiento y es inversamente proporcional a la capacitancia, entonces:

$$\frac{dV_o}{dt} = \frac{I}{C}$$

donde I es la corriente de fuga del capacitor. La corriente de fuga puede aumentar como un resultado de la corriente de bias en un amplificador operacional, la corriente de fuga a través del interruptor, ó fugas internas en el capacitor. Dentro de nuestro sistema el circuito muestreador retenedor utilizado es el LF398 de National semiconductors.

3.3.1. DESCRIPCIÓN GENERAL DEL LF398.

El LF398 es un circuito monolítico muestreador retenedor el cual utiliza tecnología BI-FET para obtener ultra alta precisión de D.C. con una rápida adquisición de la señal y baja relación de decaimiento a la salida. Operando con un seguidor de ganancia unitaria, la precisión de la ganancia de D.C. es típicamente de 0.002% y el tiempo de adquisición es tan bajo como 6 μ s al 0.01%. La etapa de entrada bipolar es utilizada para lograr un bajo voltaje de "offset" y un amplio ancho de banda. La entrada de ajuste de "offset" es establecida con una sola terminal y no degrada la tendencia de "offset" a la entrada. El amplio ancho de banda permite al LF398 a ser incluido dentro de un lazo de retroalimentación de 1 MHz sin tener problemas de inestabilidad en los amplificadores operacionales. La impedancia de entrada de 10 G Ω permite utilizar altas impedancias a la entrada sin degradar la precisión.

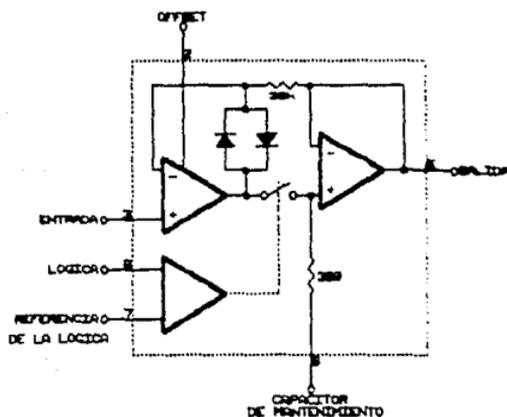


Fig. 3.3.4. Diagrama funcional del LF398.

La juntura de canal F de los FET's se combinó con dispositivos bipolares en la salida del amplificador para dar relaciones de decaimiento a la salida tan bajas como 5 mV/min con un capacitor de retención de 1 μ F. Los JFET's tienen mucho más bajo ruido que los dispositivos MOS utilizados en previos diseños y no presentan altas inestabilidades provocadas por la temperatura. El diseño general garantiza que no haya alimentación a través de entrada a salida en el modo de retención para señales de entrada igual a los voltajes de alimentación. En las figuras 3.3.4 y 3.3.5 se muestran el diagrama funcional y la conexión típica de este circuito.

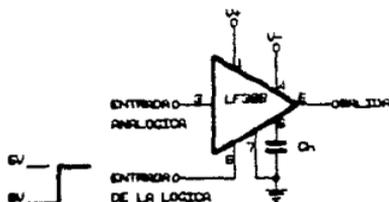


Fig. 3.3.5. Conexión típica del LF398.

3.3.2. CARACTERÍSTICAS DEL LF398.

- Opera desde ± 5 V hasta ± 18 V.
- Tiempos de adquisición menores de 10 μ s.
- Lógica de entrada compatible con TTL, PMOS y CMOS.
- Grado de retención típico de 0.5mV con $C_h = 0.01\mu$ F.
- Bajo offset de entrada.
- Precisión en la ganancia del 0.002%.
- Bajo ruido de salida en el modo de mantenimiento.
- Las características de entrada no cambian durante el modo de mantenimiento.
- Alta relación de rechazo de las fuentes de alimentación en

- el modo de muestraes 1 de retención.
- Amplio ancho de banda

3.3.3. CAPACITOR DE MANTENIMIENTO (C_M).

El paso de mantenimiento, el tiempo de adquisición y la relación de decaimiento de la salida son los mayores elementos de juicio para la selección del valor del capacitor de mantenimiento. El tamaño y el costo también llegar a ser importantes en valores grandes. Utilizando las curvas incluidas en el manual serán de gran ayuda en la selección del valor razonable de capacitancia. Teniendo en mente que para rápidas relaciones de repetición o manejo de señales rápidas el manejo de corriente en el capacitor causará un significativo aumento de temperatura en el LF398.

Una fuente de error significativa en la precisión de los circuitos muestreadores retenedores es la absorción dieléctrica en el capacitor de mantenimiento. Dieléctricos con muy baja histerisis son el poliestireno, el polipropileno y el teflon. Otros tipos como la mica y el policarbonato no son tan buenos.

El error de histerisis se puede reducir significativamente si la salida del LF398 es procesada rápidamente después de que el modo de mantenimiento haya sido inicializado.

Si la conversión analógica digital puede ser hecha dentro de 1ms, los errores provocados por histerisis se reducirán en un factor de 10.

3.3.4. CERO DE D.C. Y A.C.

El cero de D.C. se logra conectando la terminal de ajuste de offset al cursor de un potenciómetro de 1k Ω el cual tenga una de sus terminales a V₊ y la otra terminal a través de una resistencia

a GND (como se muestra en la figura 3.3.5.). La resistencia se debe escoger de tal manera que por el potenciómetro de $1k\Omega$ circulen aproximadamente $\cong 0.6$ mA.

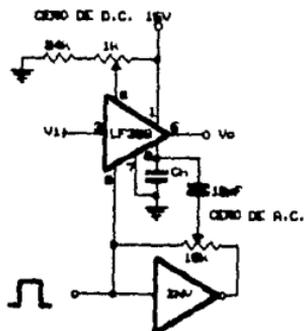


Fig. 3.3.6. Cero de AC y DC para el circuito LF398.

El cero de A.C. se puede obtener agregando un inversor con las terminales de un potenciómetro de ajuste conectado entre la entrada y la salida. Un capacitor de 10 pF conectado entre el cursor del potenciómetro y el capacitor de mantenimiento dará ± 4 mV de ajuste en el paso de mantenimiento con $0.01\mu\text{F}$ de capacitor de mantenimiento y fuente de 5V . Para "swings" más grandes, un capacitor menor puede ser utilizado (≤ 10 pF).

3.3.5. TIEMPO LOGICO DE RIZO.

Para una apropiada operación, las señales lógicas en el LF398 deben tener un mínimo dV/dt de 0.2 V/ μs . Señales lentas ocasionaran un excesivo paso de mantenimiento. Si un sistema RC es utilizado en frente de la lógica de entrada para retardar la señal, se debe calcular la pendiente de la forma de onda en el punto umbral para asegurar al menos 0.2 V/ μs .

En la figura 3.3.7 se ilustra la conexión típica del circuito muestreador retenedor, LF398, para tener niveles compatibles TTL.

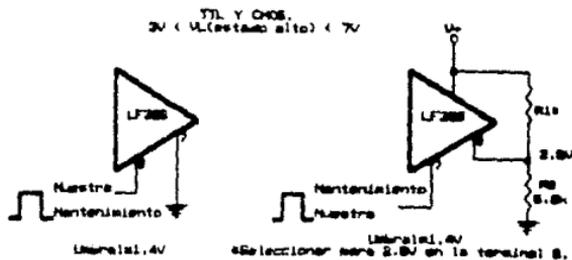


Fig. 3.3.7. Configuración del circuito muestreador retenedor para tener niveles compatibles TTL.

3.4. MULTIPLEXOR ANALÓGICO.

Como se mencionó en la descripción general del sistema, se pueden llegar a muestrear hasta ocho canales diferentes, esto se logra mediante el multiplexor analógico el cual da secuencialmente a cada una de las entradas su turno de conversión analógica digital.

Para esto se eligió un multiplexor analógico dual (IH6208) de 4 a 1 con dos señales de selección común a los dos multiplexores.

3.4.1. DESCRIPCIÓN GENERAL DEL IH6208.

El IH6208 es un multiplexor analógico monolítico CMOS 2 de 8. Dos líneas de decodificación binaria se utilizan (A_0 y A_1) de tal manera que los ocho canales pueden ser controlados en pares por las entradas binarias, adicionalmente una tercera entrada se encuentra disponible como habilitador del sistema (EN). Cuando la entrada de habilitación tiene un nivel alto (5V) los canales de entrada están disponibles y pueden ser seleccionadas por las dos líneas de entrada binaria, y cuando tiene un nivel bajo (0V) todos los canales se encuentran apagados. Las dos entradas de selección son controladas por lógica TTL o lógica CMOS con un "0" correspondiente a cualquier voltaje menor que 0.8V y un "1" correspondiente a cualquier voltaje mayor que 2.4V. Notar que la entrada de habilitación (EN) debe tomar un nivel alto (5V) para habilitar al sistema, y menor que 0.8V para deshabilitar al sistema. En la figura 3.4.1 se muestra un diagrama funcional del circuito multiplexor IH6208 del fabricante INTERSIL. La configuración de las entradas y las salidas del multiplexor se ilustran en la tabla de verdad decodificada de la figura 3.4.2.

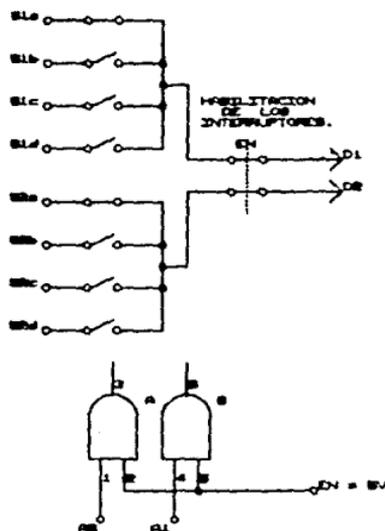


Fig. 3.4.1. Diagrama funcional del circuito IH6208.

3.4.2. CARACTERISTICAS DEL IH6208.

- Baja corriente de fuga - $I_{\text{hoff}} \leq 100\mu\text{A}$.
- $R_{\text{pston}} < 400\Omega$ sobre plena escala y rango de temperatura.
- Corriente de polarización menor que $100\mu\text{A}$.
- Rango de la señal analógica de entrada de $\pm 14\text{V}$.
- Entradas de control binarias (2 entradas de control para 2 salidas de 8 canales).
- Compatible con TTL y CMOS.

A1	A2	DN	PAR DE INTERRUPTORES ENCENDIDOS
X	X	0	NINGUNO
0	0	1	1a, 1b
0	1	1	2a, 2b
1	0	1	3a, 3b
1	1	1	4a, 4b

Fig. 3.4.2. Tabla de verdad decodificada del circuito IH6208.

3.5. CONVERTIDOR ANALOGO DIGITAL.

Idealmente las señales digitales, están representadas por formas de onda las cuales tienen una transición abrupta entre dos valores (2). Las señales las cuales varían su valor en un intervalo continuo se les denomina señales analógicas. Cuando una señal analógica es procesada, existe una gran ventaja convirtiendo la señal a una forma digital y hacer el proceso digitalmente.

Por ejemplo para nuestro sistema las señales provenientes de los sensores, una vez amplificadas, se presentan en forma analógica y se requiere de un proceso que consiste en determinar su valor procesado y transmitirlo de tal manera que se minimicen los efectos del ruido. La manera más efectiva de supresión de ruido es transmitiendo y procesando la señal digitalmente. Un sistema de comunicación el cual opere de esta manera, será, convertir la señal analógica a una forma digital y transmitirla mediante un modulador.

El proceso completo de convertir una señal analógica a una forma digital involucra una secuencia individual de cuatro procesos: muestreo, mantenimiento de la señal, cuantización y codificación. Estos procesos no necesariamente se tienen que realizar como operaciones separadas. Generalmente, como se discutió en el inciso 3.3, el muestreo y mantenimiento de la señal se hace simultáneamente con el circuito denominado de muestreo y mantenimiento (S/H), mientras que la cuantización y la codificación se hacen simultáneamente con el circuito convertidor analógico digital (A/D).

3.5.1. TEOREMA DE MUESTREO.

Considerando una señal $M(t)$ la cual tiene banda limitada,

por lo tanto tiene una componente espectral de alta frecuencia máxima denominada f_m . Los valores de $M(f)$ serán determinados en intervalos T_s tales que $T_s \leq 1/2f_m$; esto es, la señal será muestreada regularmente cada tiempo T_s ó más. Entonces estas muestras unicamente determinaran la señal, y la señal podra ser reconstruida a partir de estas muestras sin error.

El tiempo T_s se denomina tiempo de muestreo. Notar que el teorema requiere que la relación de muestreo ($f_s = 1/T_s$) sea lo suficientemente rápida, por lo menos dos muestras deben de ser tomadas durante el curso del periodo correspondiente a la componente espectral de más alta frecuencia de la señal $M(f)$.

3.5.2. CUANTIZACION.

La validez del teorema de muestreo hace posible transmitir ó procesar una señal analógica por un medio digital. Ya que no necesitamos tomar toda la señal analógica en todo momento si no solo en los tiempos de muestreo, por lo tanto entre los intervalos de toma de las muestras se tiene tiempo para convertir cada voltaje muestreado a una forma digital. Las muestras son continuas variaciones de voltajes analógicos. En forma digital las variaciones permisibles no son continuas puesto que los valores de las muestras podrian diferir, en un mínimo, por el dígito menos significativo utilizado en la representación digital. De aquí que el proceso de digitalización de las muestras involucra una aproximación. Este proceso de aproximación se le denomina de cuantización.

Por lo tanto una señal cuantizada es una aproximación de la señal original. La calidad de la aproximación dependerá del número de bits utilizados por el convertidor.

Para nuestro sistema se eligió un convertidor análogo digital (ICL7104-16) de 16 bits y que utiliza el método de

conversión de integración de doble pendiente.

3.5.3. DESCRIPCION GENERAL DEL ICL7104-16.

El circuito integrado ICL7104-16 combinado con el circuito integrado ICL8052 forman parte del convertidor analógico digital de alto rendimiento de 16 bits. La versión de 16 bits está formado por interruptores analógicos y funciones digitales que realizan la conversión A/D de 16 bits en forma binaria, con salida de tres estados, capacidad de manejo de UART, además de contar con otras salidas para interfaces.

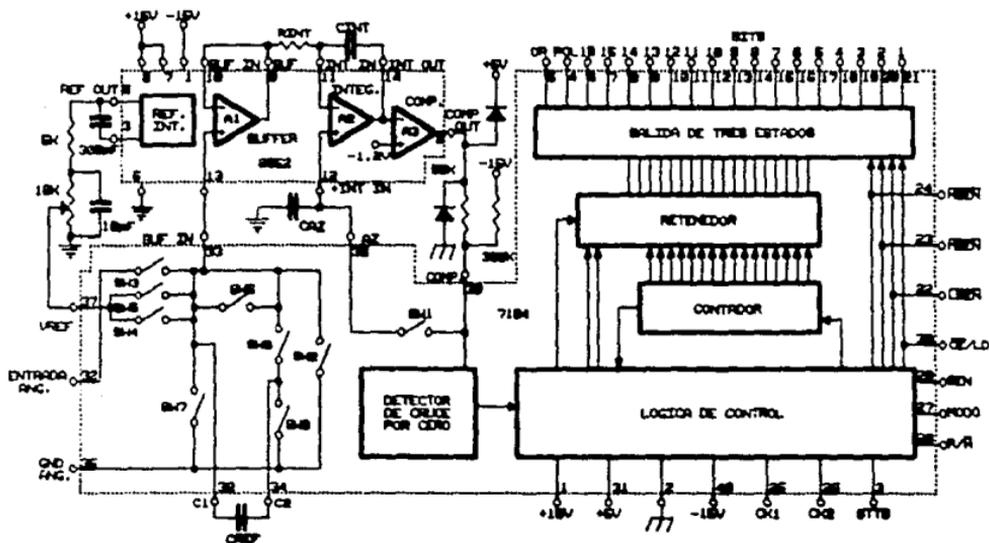


Fig. 3.5.1. Diagrama funcional del convertidor A/D de 16 bits 8052/7104-16.

La sección analógica provee completa precisión de auto cero, auto prioridad, operación con una sola referencia de voltaje, muy alta impedancia de entrada, integración real de la entrada en un período constante para máximo rechazo de interferencia electromagnética, indicación de sobrerango, y una fuente de voltaje de referencia de mediana calidad. El par de circuitos integrados también ofrece en forma opcional ganancia en el buffer de entrada para aplicaciones de alta sensibilidad, oscilador interno y señales de salida para proveer la capacidad externa de auto cero, sincronización externa de multiplexores, etc.

3.5.4. CARACTERISTICAS DEL ICL7104-16.

- 16 bits (forma binaria) con salida de tres estados, polaridad y sobrerango.
- Ideal para interfase con UART's, microprocesadores y otros circuitos complejos.
- Conversión sobre demanda o continua.
- Garantizada la lectura de cero para 0V de entrada.
- Utiliza solo una referencia de voltaje.
- Reloj y voltaje de referencia incluidos.
- Auto cero y autopolaridad.
- Precisión garantizada a una cuenta.
- Todas las salidas compatibles TTL.
- $\pm 10V$ rango de entrada analógica.
- Señal de estatus para sincronización externa.

3.5.5. DESCRIPCION DETALLADA DEL ICL7104-16.

SECCION ANALOGICA.

La figura 3.5.2. muestra el circuito equivalente de la sección analógica de los circuitos integrados ICL7104/8052 en sus

tres diferentes fases de operación. Si la terminal P/H (Comienzo/mantenimiento) es conectada a V^+ , el sistema realiza las conversiones de acuerdo a la frecuencia de operación del reloj: 131,072 periodos de reloj por ciclo.

1. FASE I DE AUTO CERO. Figura 3.5.2.a.

Durante el auto cero, la entrada del buffer es conectada a la tierra analógica mediante el interruptor 2, y el interruptor 1 cierra el lazo a través del integrador y el comparador. El propósito del lazo es el de cargar el capacitor del auto cero hasta que la salida del integrador no presente cambios con respecto al tiempo. También los interruptores 4 y 9 recargan el capacitor de referencia hasta un valor igual a V_{ref} (voltaje de referencia).

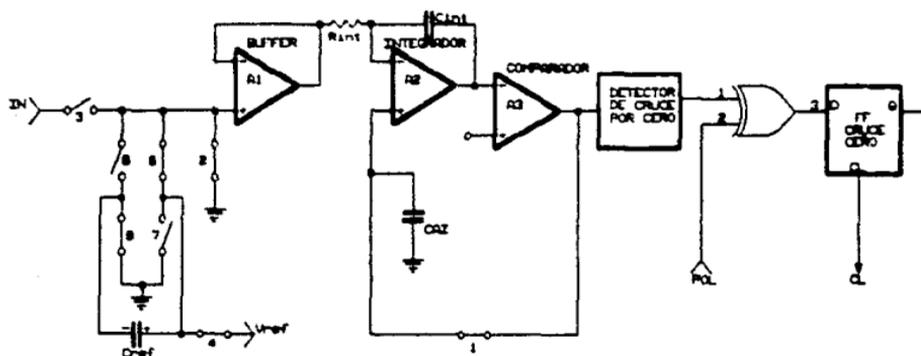


Fig. 3.5.2. a. Fase I Auto-cero.

2. FASE II INTEGRACION DE LA ENTRADA. Figura 3.5.2.b.

Durante la integración de la entrada, el bucle de auto cero es abierto y la entrada analógica es conectada a la entrada del

buffer por medio del interruptor 3. (El capacitor de referencia todavía se encuentra cargado a un voltaje equivalente V_{ref} durante este tiempo). Si la señal de entrada es cero, el buffer, el integrador y el comparador verán el mismo voltaje que existía en el estado previo (auto cero). De aquí que la salida del integrador no cambiará pero permanecerá estática durante el ciclo de integración de la entrada. Si V_{in} no es igual a cero, una condición de desbalance existirá en comparación con la fase de auto cero, y el integrador genera una rampa cuya pendiente es proporcional a V_{in} . Al final de esta fase el signo de la rampa es almacenado en el biestable de polaridad.

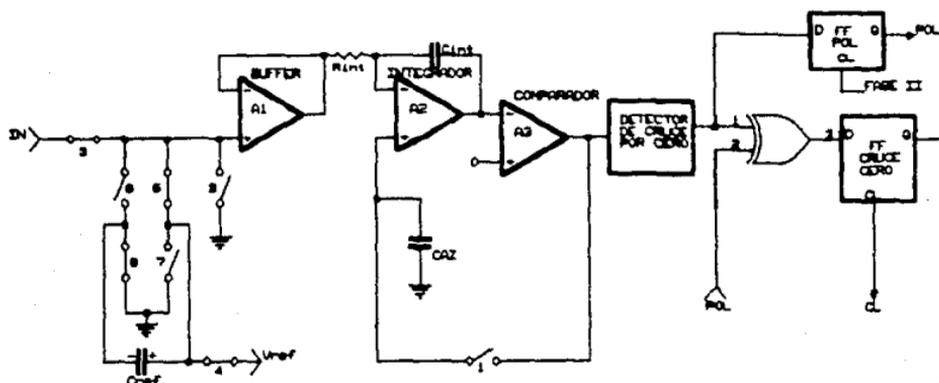


Fig. 3.5.2.b. Fase II Integración de la entrada.

3. FASE III DESINTEGRACION. Figura 3.5.2.c y d.

Durante la fase de desintegración, la lógica que abre y cierra los interruptores utiliza la salida del biestable de polaridad para determinar cuales interruptores se cierran 6 y 9 ó 7 y 8. si la señal de entrada fue positiva los interruptores 7 y 8 se cierran y ocasionan un V_{ref} negativo a la entrada del buffer. Una entrada negativa ocasiona un V_{ref} positivo a la entrada del buffer por medio de los interruptores 6 y 9.

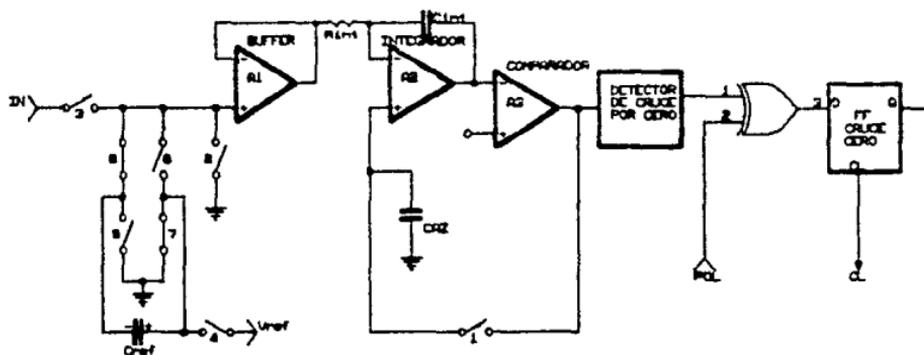


Fig. 3.5.2.c. Fase III Desintegración (+).

De aquí que, el capacitor de referencia genera el equivalente de una referencia (+) ó una referencia (-) mediante una sola referencia de voltaje con un error mínimo. La referencia de voltaje retorna, a la salida del integrador, a el punto de cruce por cero establecido en la fase I. El tiempo o número de cuentas, requerido para hacer esto, es proporcional al voltaje de entrada. Donde la fase de desintegración puede ser dos veces el largo de la fase de integración de la entrada, de esta manera el

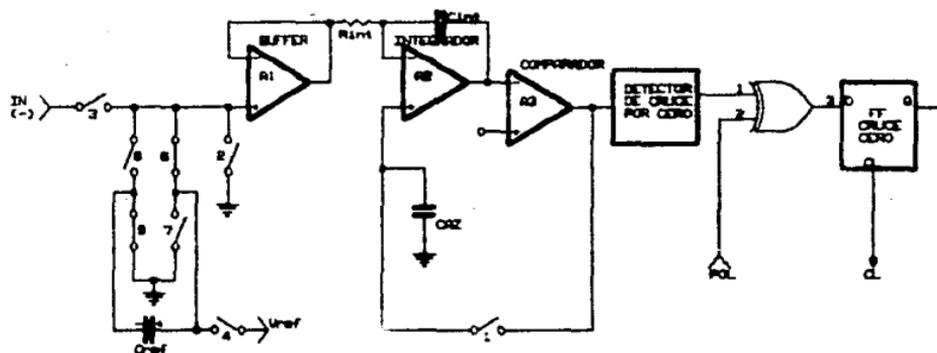
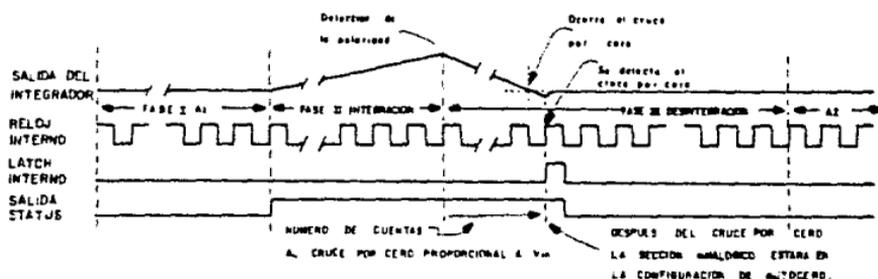


Fig. 3.5.2.d. Fase III Desintegración (-).

voltaje de entrada requerido para dar una lectura de plena escala es igual a dos veces el V_{ref} .

Una vez que el cruce por cero es detectado el sistema automáticamente puede saltar a la fase de auto cero, para ahorrarse el tiempo dejado por la fase de desintegración esto puede hacerse siempre y cuando se manipule la terminal de R/H que se explicará más adelante. En la figura 3.5.3 se ilustra un diagrama de tiempos pasando por las fases anteriores.



CUENTAS			
	FASE I	FASE II	FASE III
- 16	32768	32768	65536
- 14	8192	8192	16384
- 12	2048	2048	4096

Fig. 3.5.3. Tiempos de conversión.

3.5.6. SELECCION DEL VALOR DE LAS COMPONENTES.

Para un óptimo rendimiento de la sección analógica, se debe tener cuidado en la selección de los valores de los componentes, de el capacitor y la resistencia del integrador, el capacitor de auto cero, así como la correcta selección del voltaje de referencia y la relación de conversión. Estos parámetros se deben escoger de acuerdo a la aplicación particular.

RESISTENCIA DEL INTEGRADOR.

La resistencia del integrador es determinada por el voltaje de entrada a plena escala y la corriente de salida del buffer, utilizada para cargar el capacitor del integrador. Esta corriente debe de ser pequeña, comparada con la corriente de salida de corto circuito, tal que los efectos térmicos se mantengan mínimos y la linealidad no sea afectada. Valores de 5 a 40 μ A dan buenos resultados con un nominal de 20 μ A. El valor exacto debe de ser escogido mediante:

$$R_{int} = \frac{\text{Voltaje a plena escala}}{20\mu\text{A}}$$

Nota. Si se le da ganancia al buffer utilizándolo como amplificador entonces:

$$R_{int} = \frac{(\text{Ganancia del Buffer})(\text{Voltaje de plena escala})}{20\mu\text{A}}$$

CAPACITOR DEL INTEGRADOR.

El producto de la resistencia del integrador por el capacitor del integrador debe dar 5V de swing para entradas a plena escala. Este es un compromiso entre la posible saturación del integrador (a +14V) que hace crecer la tolerancia entre la resistencia, el capacitor y el reloj y los errores de bajo "swing" de voltaje que puede inducir "offset" referido a la salida del comparador.

En general, el valor de C_{int} está dado por:

$$C_{int} = \frac{(32768)(T_{ct})(20\mu\text{A})}{\text{Swing voltaje de salida del integrador}}$$

Una importante característica del capacitor del integrador es que este tenga baja absorción dieléctrica para prevenir "roll-over" o errores radiométricos. Una buena prueba para la absorción dieléctrica es utilizando un capacitor con la entrada enlazada a la referencia. Esta condición debe provocar una lectura de la mitad de la escala (100...000) y cualquier desviación es probablemente provocada por la absorción dieléctrica.

Capacitores de polipropileno dan errores indetectables a un costo razonable. Capacitores de poliestireno y policarbonato podrían utilizarse en aplicaciones menos críticas.

CAPACITOR DE AUTO CERO Y DE REFERENCIA.

El tamaño del capacitor de auto cero tiene alguna influencia en el ruido del sistema. Capacitores grandes dan menos ruido. El capacitor de referencia debe ser lo suficientemente grande tal que la capacitancia de pérdida a tierra en sus nodos sea imperceptible.

VOLTAJE DE REFERENCIA.

La entrada analógica requerida para generar una salida, en el convertidor, a plena escala es $V_{in} = 2V_{ref}$.

La estabilidad del voltaje de referencia es un factor importante en la precisión del convertidor. La resolución del convertidor ICL7104-16 es de una cuenta en 65536 cuentas, ó 15.26ppm. De aquí que, si la referencia tiene un coeficiente de temperatura de 50ppm/°C (incluida en el circuito integrado) un cambio de temperatura de 1/3°C introducirá un error absoluto de un bit. Por esta razón se recomienda que se utilice una referencia externa de alta calidad, donde la temperatura ambiente no es controlable o donde se requieren mediciones de alta precisión.

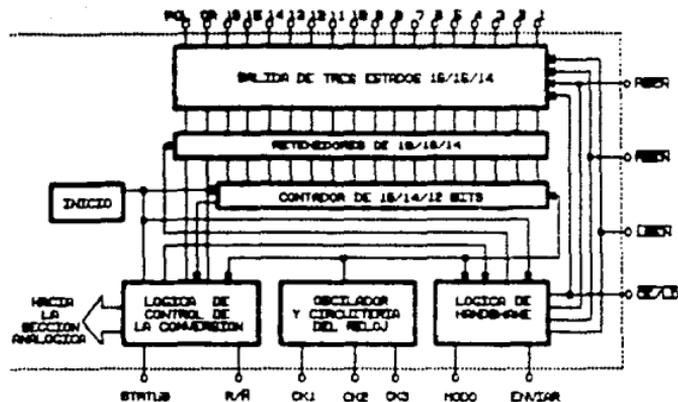


Fig. 3.5.5. Sección digital.

A través de esta descripción, los niveles lógicos serán referidos como "alto" y "bajo". Para mínimo consumo de potencia, todas las entradas deberán tener un swing desde GND (bajo) a $V+$ (alto). Las entradas controladas por compuertas TTL deben tener una resistencia de pull-up de 3 a $5k\Omega$ para máxima inmunidad al ruido.

ENTRADA DE MODO.

La entrada de modo es utilizada para controlar el modo de salida del convertidor. Cuando la terminal de modo es conectada a GND o dejada abierta, esta entrada tiene conectada una resistencia de "pull down" para asegurar un nivel bajo cuando es dejada abierta, el convertidor se encuentra en modo de salida "directo", donde los datos de salida son manejados directamente por las entradas de control de habilitación del circuito y de byte (CE, LBEN, MBEN y HBEN). Cuando la entrada de modo es pulsada, el convertidor entra en el modo de UART "handshake" y saca los datos divididos en tres bytes, y después regresa al modo directo. Cuando

la entrada de modo se lleva a un nivel alto, el convertidor entrega los datos en modo "handshake" al final de cada ciclo de conversión.

SALIDA DE ESTATUS.

Durante el ciclo de conversión, la salida de estatus toma un nivel alto al comienzo de la integración de la entrada (fase II), y toma un nivel bajo medio periodo de reloj después de que un nuevo dato a sido almacenado en los biestables de salida del convertidor. Ver la figura 3.5.3 para los detalles del tiempo. Esta señal puede ser utilizada como una bandera de "dato válido" *el dato nunca cambia mientras la señal de estatus permanece baja.* para generar interrupciones o para monitoriar el estado del convertidor.

ENTRADA DE CONVERSION Y SOSTENIMIENTO (RUN HOLD).

Cuando la entrada R/H (conversión/sostenimiento) es conectada a V+ o se dejada abierta (esta entrada tiene una resistencia de pull-up para asegurar un nivel alto cuando la terminal es dejada abierta), el circuito continuamente realiza ciclos de conversión, actualizando los datos de salida al final de cada desintegración (fase III) parte del ciclo de conversión. En este modo de operación, el ciclo de conversión estará formado por 131072 periodos de reloj sin importar el valor resultante.

Si R/H toma un nivel bajo en cualquier momento durante la desintegración (fase III) después de que el cruce por cero ocurra, el circuito, inmediatamente terminará de desintegrar y saltará a la fase de auto cero. Esta propiedad puede ser utilizada para eliminar el tiempo que el convertidor se toma en desintegrar después de que se detecto el cruce por cero. Si R/H permanece o se activa con un nivel bajo el convertidor reducirá al mínimo la fase

de auto cero y se esperará en esta fase hasta que la entrada R/H se active con un nivel alto. El convertidor empezara la integración (fase II) de la siguiente conversión (y la salida de estatus se activara con un nivel alto) siete ciclos de reloj después de que un nivel alto es detectado en la entrada R/H. Ver figura 3.5.6 para los detalles.

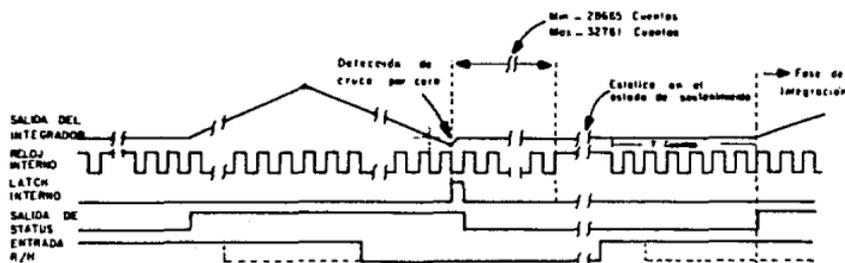


Fig. 3.5.6. Operación de inicio sostenimiento (R/H).

Utilizando la entrada de R/H en esta forma, se permite una fácil interfase de "demanda de conversión". El convertidor permanece en la fase de auto cero mientras la entrada R/H permanezca baja. Cuando la terminal de R/H toma un nivel alto, la conversión comienza, y cuando la salida de estatus toma un nivel bajo existe un nuevo dato válido. La terminal R/H puede ahora tomar un nivel bajo para terminar con la fase de desintegración y asegurar un mínimo de tiempo en auto cero antes de detenerse a esperar para la siguiente conversión. Alternadamente, R/H puede ser utilizada para minimizar el tiempo de conversión, asegurándose que tome un nivel bajo durante la desintegración, después del cruce por cero, y tomando un nivel alto después de que el punto de sostenimiento es alcanzado. En este modo el tiempo de conversión depende del valor de entrada a ser medido.

Si la entrada R/H toma un nivel bajo y permanece bajo

durante la fase de auto cero (fase I), el convertidor simplemente se detendrá al final del auto cero y se esperará hasta que la entrada *Pun-Hold* tome un nivel alto como se muestra en la figura 3.5.6. La integración (fase II) empieza siete periodos de reloj después de que el nivel alto a sido detectado.

MODO DIRECTO.

Cuando la terminal de modo se lleva a un nivel bajo, la salida de los datos son controladas por las entradas de habilitación de circuito y de byte (EN). Estas entradas su habilitación son activo bajas, tienen una resistencia de "pull up" para asegurar un nivel alto cuando se dejan abiertas. Cuando la entrada de habilitación de circuito es baja, y presentándose una entrada de habilitación de byte baja, permitirá las salidas de el byte que haya sido activado. Esto permite que puedan ser utilizadas varias técnicas de acceso de datos en paralelo. Los requerimientos de tiempo para este tipo de salida, se muestran con sus características de A.C. en la tabla 3.5.1.

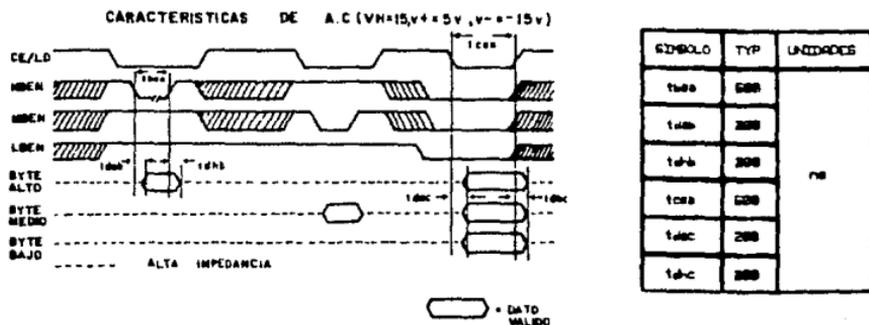


Tabla 3.5.1. Requerimiento de tiempos en el modo directo.

Se debe de hacer notar que estas entradas de control son asincrónicas con respecto al reloj del convertidor (se puede tener un acceso de datos en cualquier momento). Por esto existe la posibilidad de tener acceso a un dato cuando se está actualizando el convertidor, ocasionándose la posibilidad de que los datos de salida se revuelvan. Para prevenir esto se puede monitorear la salida de estatus para sincronizar el acceso a los datos con el ciclo de conversión. El dato nunca se actualiza mientras la salida de estatus permanezca en un nivel bajo.

INICIALIZACION DEL CIRCUITO.

La lógica interna del ICL7104-16 es alimentada por un regulador interno entre V_{++} y GND digital. El regulador tiene un detector de bajo voltaje el cual limpiará varios registros. Esto se hace con el objeto de que al levantar el sistema el convertidor inicie en la fase de auto cero con el 2do, 3er y 4to bits más significativos limpios.

OSCILADOR.

El ICL7104-12 y -14 vienen con oscilador versátil de tres terminales para generar el reloj interno. El oscilador puede ser impulsado por un reloj externo o puede operar con un oscilador RC ó en base a un cristal.

La figura 3.5.7 muestra la configuración del oscilador RC. El reloj interno será de la misma frecuencia y fase tal que el voltaje en la terminal clock 3. La resistencia y el capacitor deben conectarse tal como se muestra en la figura 3.5.7. El circuito oscilará a una frecuencia dada por $f=0.45/RC$. Una resistencia entre 50 y 100k Ω es recomendable para rangos útiles de frecuencia. Para un óptimo rechazo de la línea de 60Hz el valor del capacitor se debe escoger tal que los 32768(-16), 8192(-14),

2048(12) periodos de reloj sean un múltiplo del periodo de 60 Hz.

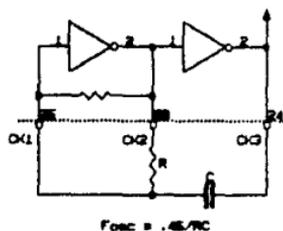


Fig. 3.5.7. Oscilador RC.

Como un resultado de la limitación en el número de terminales en el ICL7104-16, solo se tiene acceso al "clock" 1 y "clock" 2, y por lo tanto no se puede utilizar como un oscilador RC. El reloj interno corresponderá al inverso de la señal en "clock" 2. La figura 3.5.8 muestra un circuito oscilador con cristal, el cual puede ser utilizado en todas las versiones del ICL7104. Si un reloj externo es utilizado se debe aplicar a la terminal de "clock" 1. El reloj interno en este caso corresponderá al aplicado en esta terminal.

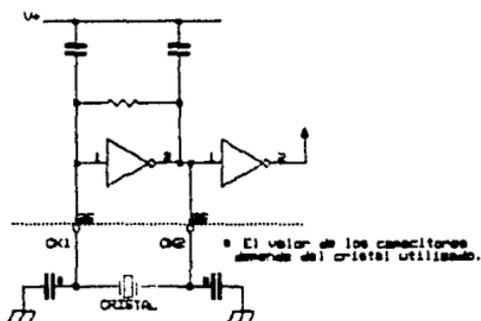


Fig. 3.5.8. Oscilador con cristal.

3.5.8. TIERRA ANALÓGICA Y DIGITAL.

Se debe de tomar un extremo cuidado para evitar regresos de corriente de tierra, en el circuito impreso de los componentes ICL7104-16/8052 especialmente en el de 16 bits y en circuitos de alta sensibilidad. Esto es que los retornos de corriente de la lógica digital no se mezcle con la tierra analógica. Una secuencia recomendada de conexión para las líneas de tierra se muestra en la figura 3.5.9.

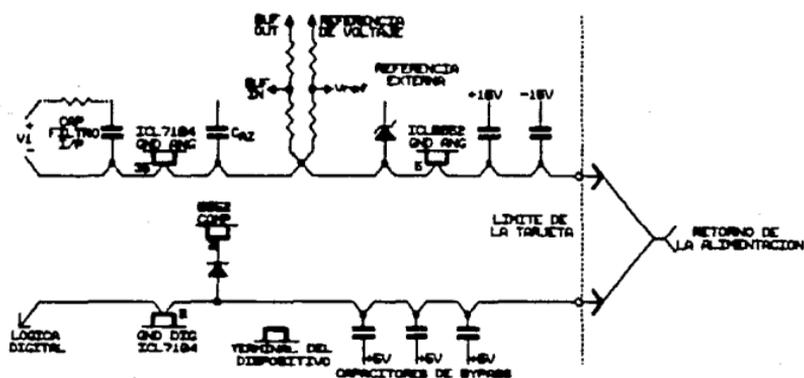


Fig. 3.5.9. Secuencia de tierras.

3.6. REFERENCIAS DE VOLTAJE.

INTRODUCCION.

Las referencias de voltaje proveen un voltaje constante de salida, independientemente de los cambios en el voltaje de entrada, en la corriente de salida ó de temperatura. Las referencias se necesitan en una diversidad de equipos.

La regulación de línea, la regulación de carga (impedancia de salida activa), y las especificaciones del coeficiente de temperatura indican que tan cercana será una referencia a una fuente ideal de voltaje. La regulación de línea especifica voltaje de referencia de salida contra los cambios de voltaje a la entrada. Los cambios de voltaje a la salida debidas a las variaciones de corriente en la carga son reflejados por las especificaciones de regulación de carga. Las especificaciones del coeficiente de temperatura indican las variaciones de voltaje a la salida sobre temperatura.

Las referencias PMI (3) utilizan el principio "bandgap" el cual suma los voltajes con coeficientes de temperatura negativos y positivos para producir una salida estable contra temperatura. El voltaje de la juntura base emisor de un transistor (V_{BE}) presenta un coeficiente de temperatura negativo. Dos transistores operando con desigual densidad de corriente tendran diferente V_{BE} y la diferencia, ΔV_{BE} , presentará un coeficiente positivo de temperatura. Cuando ΔV_{BE} es amplificado y agregado a V_{BE} , resultará un coeficiente de temperatura muy cercano a cero si la suma es igual a 1.23V. El nivel de 1.23V se amplifica para proveer el voltaje estable de salida de +5.0V y +10.0V. La técnica "bandgap" tiene la ventaja de consumir baja potencia, bajo ruido, y excelente estabilidad a largo periodo.

Las REF-01 y REF-02 son referencias de voltaje, de +10.00V y +5.00V, monolíticas y que utilizarán la técnica bandgap. Los voltajes de salida son ajustables con pequeñas variaciones en el coeficiente de temperatura sobre el voltaje de salida.

REGULACION DE LINEA.

La razón del cambio en el voltaje de salida contra los cambios producidos en el voltaje de entrada (línea). Esto incluye los efectos de autocalentamiento.

REGULACION DE CARGA.

La razón de cambio en el voltaje de salida contra los cambios en la corriente de carga. Esto incluye los efectos de autocalentamiento.

CAMBIOS EN LA SALIDA CONTRA CAMBIOS DE TEMPERATURA (ΔV_{OT}).

La diferencia absoluta entre el máximo voltaje de salida y el mínimo voltaje de salida sobre un determinado rango de temperatura expresado como un porcentaje de el voltaje típico de salida.

$$\Delta V_{OT} = \left| \frac{V_{MAX} - V_{MIN}}{V_{OT(típico)}} \right| \times 100$$

COEFICIENTE DE TEMPERATURA DE SALIDA (TCV_o).

La razón de cambio en la salida con variaciones de temperatura dentro de un intervalo especificado de temperatura expresado en ppm/°C. Por ejemplo, TCV_o esta definido como ΔV_{OT}

dividido por el rango de temperatura.

$$TCVo(0^{\circ}C \text{ a } +70^{\circ}C) = \frac{\Delta V_{or}(0^{\circ}C \text{ a } +70^{\circ}C)}{70^{\circ}C}$$

$$TCVo(-55^{\circ}C \text{ a } +125^{\circ}C) = \frac{\Delta V_{or}(-55^{\circ}C \text{ a } +125^{\circ}C)}{180^{\circ}C}$$

TIEMPO DE ENCENDIDO (t_{on}).

Es el tiempo requerido por el voltaje de salida para alcanzar su valor final dentro de una banda de error específica, después de la aplicación de un voltaje de entrada, V_{in} .

VOLTAJE DE RUIDO DE SALIDA (e_{np-p}).

Es la salida pico a pico del voltaje de ruido dentro de una banda específica de frecuencia.

FUENTE DE CORRIENTE SIN CARGA (I_{SY}).

Es la corriente requerida de la alimentación para que el dispositivo opere sin corriente de carga.

3.6.1. DESCRIPCION GENERAL DE LA REF-01.

La referencia de voltaje de precisión REF-01 provee una salida estable de +10V la cual puede ser ajustada sobre un rango de $\pm 3\%$ con mínimos efectos en la estabilidad contra cambios de temperatura. Su operación se logra con solo una fuente sobre un

intervalo de voltaje de entrada desde 12V hasta 40V, baja corriente de polarización 1mA, y excelente estabilidad contra cambios de temperatura ya que se utiliza la técnica "bandgap", explicada anteriormente.

El bajo costo, bajo nivel de ruido y bajo consumo de potencia, hacen la REF-01 una excelente elección donde quiera que se requiera una referencia estable de voltaje, sus aplicaciones incluyen convertidores A/D y D/A, instrumentación portátil y voltímetros digitales.

3.6.2. CARACTERISTICAS DE LAS REF-01 Y -02.

- Salidas de 10V y 5V..... $\pm 0.3\%$ Max
- Rango de ajuste..... $\pm 3\%$ Min
- Excelente estabilidad contra temperatura..... $8.5\text{ppm}/^{\circ}\text{C}$ Max
- Bajo nivel de ruido.....(-01)... $30\mu\text{Vp-p}$ Max
.....(-02)... $15\mu\text{Vp-p}$ Max
- Baja corriente de alimentación..... 1.4mA Max
- Amplio rango de voltaje de entrada.....(-01)...13V a 33V
.....(-02)...8V a 33V
- Capacidad de carga..... 20mA
- No requiere componentes externos.
- Protegidos contra cortos circuitos.

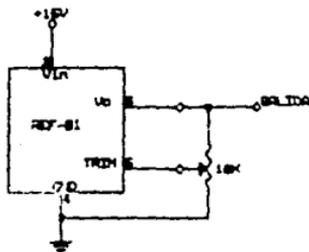


Fig. 3.6.1. Referencia REF-01.

La terminal TRIM de la REF-01 puede ser utilizada para ajustar el voltaje de salida sobre un intervalo de $10 \pm 300\text{mV}$ como se muestra en la figura 3.6.1. Esta propiedad permite poner a la referencia de voltaje en otro valor diferente al de 10 V. Claro, que la salida se puede poner exactamente en 10V o en 10.24V para aplicaciones binarias.

El ajuste de la salida no afecta significativamente las compensaciones de temperatura del dispositivo. Típicamente el coeficiente de temperatura cambia $0.7\text{ppm}/^\circ\text{C}$ por cada 100mV de ajuste de salida.

3.7. MODEM.

El modem ó modulator demodulator tiene como función principal, la interconexión de equipos digitales. Como se muestra en la figura 3.7.1 el modem modula el dato binario de entrada para ser transmitido en el medio disponible.

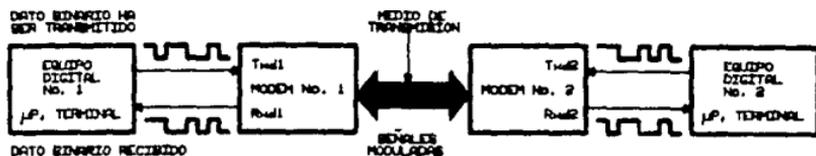


Fig. 3.7.1. Diagrama de bloques de un sistema Modem.

Consecuentemente en la terminal opuesta, el otro modem demodula la señal recibida de la línea. En esta figura, Rxd_2 el dato recibido debe ser idéntico a el dato transmitido Txd_1 y Rxd_1 igual a Txd_2 . Esta es la apropiada operación del modem, recibiendo una señal modulada se debe reproducir exactamente de como salió del modem transmisor en su entrada Txd . El modem que inicializa la "conversación" se le denomina originador y el modem que recibe se le denomina contestador. La figura 3.7.1 ilustra a los modems los cuales tienen la habilidad de comunicarse en ambas direcciones, lo cual cuando es posible hacer esto simultáneamente se dice que se realiza una operación "full-duplex".

Las velocidades de transmisión y recepción del modem se especifican en BPS (bits por segundo). Este término describe el número de datos binarios, bits, que pueden ser transmitidos por

segundo. El término de relación de baudaje también es utilizado. Los modems de baja velocidad son aquellos que están entre 0 y 1200 BPS, los de velocidad media entre 2400 y 9600 BPS y los de alta velocidad arriba de 9600 BPS. La mayoría de los modems están generalmente clasificados de acuerdo a dos estándares el Bell ó el CCITT. Estos estándares indican la velocidad del modem la generación y la técnica de modulación utilizada, como se muestra en la tabla 3.7.1.

ESTÁNDAR	VELOCIDAD	OPERACIÓN	TÉCNICA DE MODULACIÓN
Bell	V.120	2400	FSK
	V.120B	2400	FSK
	V.120C	2400	FSK
(A)			
V.22	V.22	1200	FSK
	V.22B	1200	FSK
	V.22C	1200	FSK
V.23	V.23	1200	FSK
	V.23B	1200	FSK
	V.23C	1200	FSK
(B)			

Tabla 3.7.1. Estándares Bell (A) y CCITT (B).

3.7.1. MODULACION FSK.

La modulación FSK ó modulación por corrimiento de frecuencia, se ilustra en la figura 3.7.2, modula el dato binario en dos frecuencias discretas.

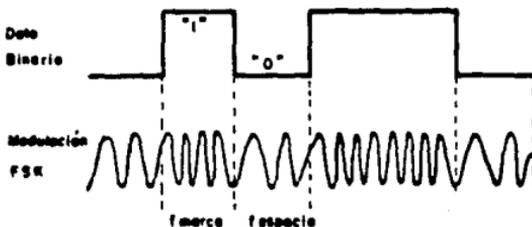


Fig. 3.7.2. Modulación FSK.

El par de frecuencias utilizadas en el esquema FSK se escogen de tal manera que estén dentro del ancho de banda de la frecuencia media utilizada. Con el esquema FSK la frecuencia más alta se conoce como la frecuencia de marca y la más baja como frecuencia de espacio. El valor de las frecuencias, como se mencionó, dependen enormemente de la media del ancho de banda, sin embargo, el espaciamiento entre las frecuencias de marca y espacio también depende de la técnica de demodulación utilizada.

En el sistema "full-duplex" se deben utilizar dos pares de frecuencias para la marca y el espacio, una para el modo de respuesta y la otra para el originador. Esto es necesario por que en la operación "full-duplex" se establece una comunicación simultánea en ambas direcciones. Las fases de las frecuencias, debidas a las transiciones, de marca a espacio o de espacio a marca pueden ser coherentes o no coherentes. Coherente indica que la fase es continua sobre las transiciones de frecuencia. No coherente que la fase de la nueva frecuencia no tiene relación con la anterior. Aquí de nuevo la técnica de demodulación utilizada será el factor que determina la necesidad de la coherencia en la fase.

TECNICAS DE DEMODULACION.

Una vez que el dato ha sido modulado y representado en una portadora, T_{car} , por el modulador FSK el modem receptor debe decodificar o demodular la portadora recibida, R_{car} . Para la codificación FSK, técnicas analógicas y digitales se utilizan para la demodulación. Un esquema popular analógico emplea un PLL para la demodulación. Utilizando este metodo un PLL amarra las frecuencias provenientes de la modulación FSK y produce dos diferentes errores de voltaje de D.C. a la salida del detector de fase. Estos voltajes se comparan con una referencia para indicar si la frecuencia de entrada esta por arriba o por debajo de la frecuencia de referencia.

3.7.2. DESCRIPCIÓN GENERAL DEL Am7911.

El Am7911 es un circuito integrado modem asincrono con modulación por corrimiento de frecuencia (FSK). Tiene selector para la relación de baudaje de 300, 600 ó 1200 bits por segundo y son compatibles con los estándares recomendados Bell 103/113/108, Bell 202, CCITT V.21 y CCITT V.23.

En el Am7911 se emplea una técnica de proceso digital de la señal para realizar la mayoría de las funciones tales como modulación, demodulación y filtrado. El Am7911 contiene circuitos convertidores análogo digital y digital analógico internos para minimizar las componentes externas del sistema. Este dispositivo contiene lo esencial para la interfase RS-232/CCITT V.24 con señales de control compatibles TTL.

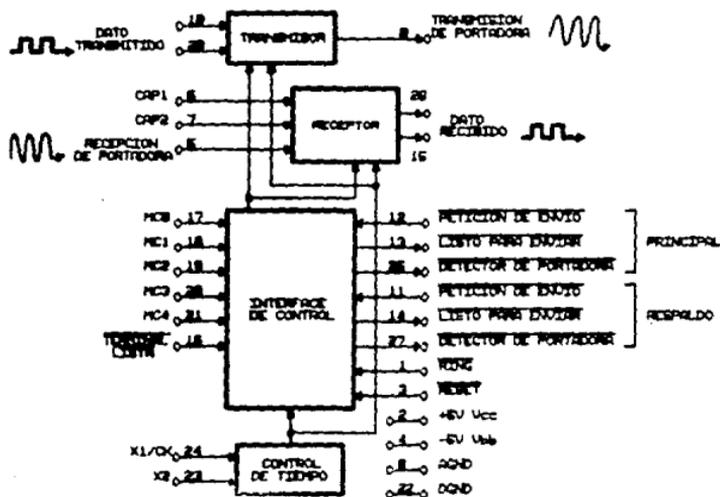


Fig. 3.7.3. Diagrama de bloques del Modem Am7911.

El Am7911 es fabricado utilizando tecnología de canal N MOS. Todas las entradas digitales y las señales de salida (excepto la señal externa de reloj y reset) son compatibles TTL. Los requerimientos de la fuente de alimentación son $\pm 5V$.

3.7.3. TRANSMISOR (Modulador).

El transmisor mostrado en la figura 3.7.4, recibe un dato digital binario de una fuente tal como un UART y convierte el dato en una señal analógica utilizando la modulación por corriente de frecuencia (FSK). Esta señal analógica es aplicada a un arreglo de acceso directo o a un acoplador. Un uno lógico aplicado a la entrada de dato transmitido ocasiona una onda senoidal a una frecuencia dada que aparece en la salida analógica de la transmisión de la portadora.

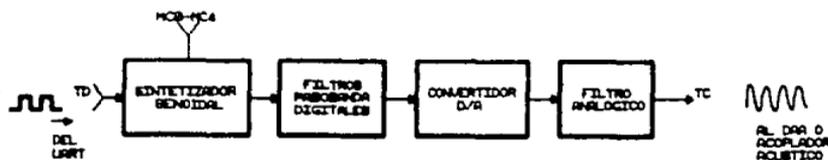


Fig. 3.7.4. Diagrama de bloques del transmisor.

Un cero lógico aplicado a la entrada TD ocasiona una onda senoidal de diferente frecuencia a la salida de TC. Como el dato de entrada a la terminal TD varía entre unos y ceros lógicos, la salida TC variará entre dos frecuencias. En el Am7911 la transición entre las dos frecuencias se realiza con fase continua (coherente). Las frecuencias se sintetizan digitalmente en funciones senoidales.

El proceso de transición entre las dos frecuencias como en FSK se genera energía en muchas más frecuencias que en las dos utilizadas en la modulación. Toda la información transmitida puede ser recuperada desde una frecuencia de ancho de banda B Hz, donde B es la máxima relación de cambio del dato digital en la entrada TD. Esta banda es centrada cerca de f_c , donde $f_c = (f_1 + f_2) / 2$, donde $f_1 =$ frecuencia baja en la modulación FSK y $f_2 =$ frecuencia alta de la modulación FSK. Además de esta información primaria, existen bandas laterales con información redundante eliminada con filtros paso bandas. Después de los filtros digitales paso banda, la señal filtrada FSK se convierte a una señal analógica por un convertidor digital analógico interno operando en una alta relación de muestreo. Esta señal analógica FSK finalmente es limpiada por un simple filtro paso bajas interno.

3.7.4. RECEPTOR (Demodulador).

Un diagrama de bloques simplificado del receptor FSK del Am7911 se muestra en la figura 3.7.5.

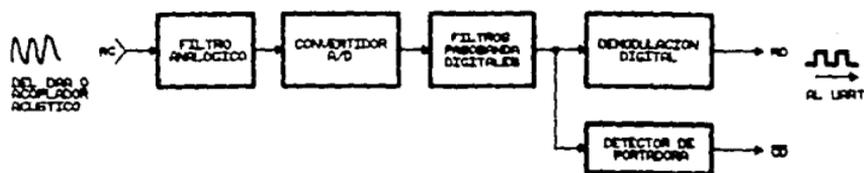


Fig. 3.7.5. Diagrama de bloques del receptor.

El dato transmitido desde un modem remoto es una portadora analógica modulada en FSK. Esta portadora es aplicada a la terminal recepción de portadora (RC) por medio de una etapa de acoplamiento. La primera etapa del demodulador es un simple filtro paso bajas interno. La salida de este es convertido en una forma

digital y filtrado por un filtro paso banda digital para mejorar la relación señal ruido y rechazar otros canales independientes asociados con estas frecuencias en el caso de la configuración "full-duplex". La salida del filtro paso banda es demodulada digitalmente para recuperar el dato binario. La señal de detección de portadora también es extraída digitalmente de la línea portadora recibida para indicar la presencia de un dato válido.

3.7.5. OPERACION DEL MODEM EN BAJA VELOCIDAD.

Con los antecedentes se puede describir ahora como trabaja un modem en baja velocidad, a 300 bauds (norma BELL 103-113). La figura 3.7.6 muestra la banda de voz dividida en dos sub-bandas para la transmisión simultanea en ambos sentidos. Tal transmisión en ambas direcciones es la conocida como "full-duplex", que significa que el mismo ancho de banda está disponible en ambas direcciones. La separación de las sub-bandas se realiza cuando un modem se pone en el modo originador y el otro en el modo contestador. El modem que llama usualmente trabaja en el modo originador y al que se llama en modo contestador.

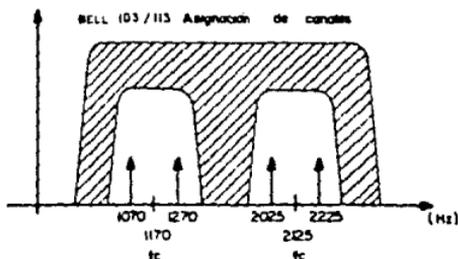


Fig. 3.7.6. Comunicación "full-duplex".

En la figura 3.7.6, se observa que el modem originador transmite 0's (espacios) a 1070 Hz y 1's (marcas) a 1270 Hz. El

modem contestador también transmite espacios y marcas, pero a 2025 y 2225 Hz, respectivamente.

3.7.6. GENERACION DEL RELOJ.

La generación del reloj interno del modem, se lleva a cabo mediante la conexión de un cristal entre las terminales XTAL1 y XTAL2 ó mediante un oscilador externo alimentando a la terminal de entrada de XTAL1. Cuando se utiliza un cristal, se debe conectar como se muestra en la figura 3.7.7. El cristal debe ser del tipo de resonancia en paralelo y su valor debe ser de 2.4576 MHz \pm 0.1%.

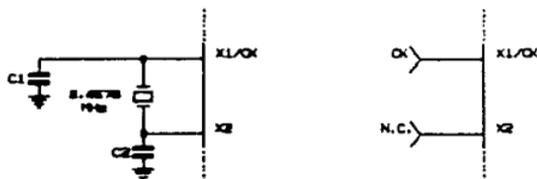


Fig. 3.7.7. Generación del reloj.

3.7.7. INICIALIZACION AUTOMATICA DE ENCENDIDO.

La figura 3.7.8 muestra el circuito sugerido para inicializar automáticamente al modem cuando el voltaje de alimentación Vcc es aplicado.

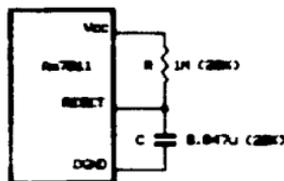


Fig. 3.7.8. Reinicio automático.

3.8. MICROCOMPUTADOR.

Existe una gran variedad de microprocesadores en el mercado y aunque la nomenclatura de sus instrucciones es diferente para cada uno, el proceso computacional lógico básico es similar en todos los dispositivos.

La arquitectura interna del microprocesador determina los requerimientos de los dispositivos de soporte para realizar un sistema microcomputador.

Un microcomputador es una máquina lógica que manipula y procesa números binarios (bits) por medio de una secuencia organizada de pasos programados, referidos como instrucciones.

Todo microcomputador, como todas las computadoras, tienen las siguientes características:

1. **ENTRADA.** Debe existir la facilidad de permitir la entrada de datos o instrucciones.

2. **MEMORIA.** La secuencia del programa debe estar almacenada antes y después de la ejecución, y se debe contar con los recursos necesarios para almacenar el resultado de cualquier operación.

3. **UNIDAD ARITMÉTICA LÓGICA.** Realiza las operaciones lógicas y aritméticas sobre una entrada o dato almacenado.

4. **SECCIÓN DE CONTROL.** Toma las decisiones necesarias con respecto al flujo del programa y al proceso de control basado en los estados internos de los resultados de las operaciones aritméticas.

5. **SALIDA.** Los resultados son liberados al usuario o almacenados en un medio apropiado.

El microprocesador es un circuito integrado alrededor del cual se construye el microcomputador. El microprocesador es un dispositivo; el microcomputador es un sistema. En una forma más simple, el microprocesador realiza sólo las funciones de los puntos 3 y 4, mencionados anteriormente, y debe contar con dispositivos externos unidos a sus buses (de datos, de direcciones y de control) para poder realizar las otras tareas. La figura 3.8.1 es el diagrama de bloques básico de un microcomputador de 8 bits y muestra la interconexión de estos buses y de sus elementos de soporte.

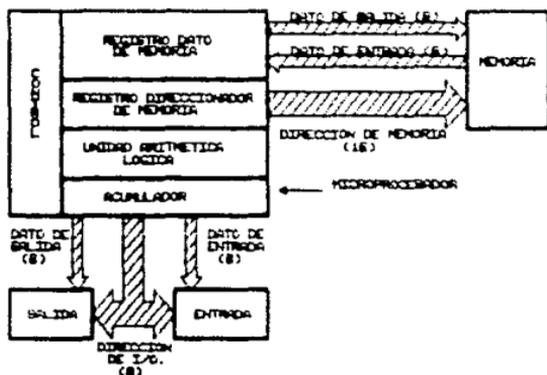


Fig. 3.8.1. Diagrama de bloques básico de un microcomputador ilustrando el concepto de los buses de datos. Los números dentro de los paréntesis representan las cantidades usualmente requeridas por el alambrado físico de un microprocesador de 8 bits.

La computadora en la figura 3.8.1 utiliza seis buses separados: dirección de memoria, dato de memoria de entrada, dato de memoria de salida, dirección de entrada salida, dato de entrada y dato de salida. El microprocesador contiene un procesador central, que consiste de la circuitería requerida para el acceso apropiado de la memoria y las localidades de entrada salida e

interpretar el resultado de las instrucciones que también se ejecutan en esta unidad. El procesador central también contiene la unidad aritmética lógica (ALU), el cual es un circuito combinatorial que realiza las operaciones lógicas y aritméticas sobre los datos. Adicionalmente el procesador central incluye una sección de control que gobierna las operaciones de la computadora, y de varios registros utilizados para almacenar y manipular los datos y las instrucciones.

En la actualidad pocos microprocesadores soportan seis buses separados. El número de terminales que se requerirían en el circuito integrado serían bastantes. Por lo tanto para reducir el número de terminales, el fabricante combina los buses de datos de entrada y salida y lo hace bidireccional. Durante una instrucción de salida, el dato fluye desde el microprocesador al dispositivo de salida y viceversa en una instrucción de entrada. Además para seguir reduciendo el número de terminales del procesador central el bus de direcciones de la memoria también puede servir como el bus de direcciones para los dispositivos de entrada salida. Durante una instrucción de entrada salida la dirección presente en las líneas de dirección, hacen referencia a un dispositivo particular de entrada salida. El resultado de la configuración

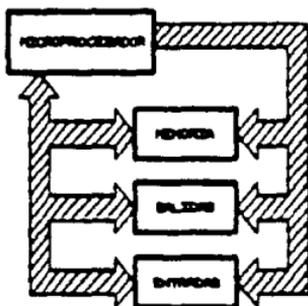


Fig. 8.8.2. Diagrama de bloques de un microcomputador utilizando la técnica del bus bidireccional multiplexado, para reducir el número de terminales en el microprocesador.

reducida se muestra en la figura 3.6.2.

El concepto de dos buses es fácil de entender y desde un punto de vista del "hardware", fácil de utilizar.

Un sistema microcomputador es extremadamente simple de construir utilizando componentes Z-80. Cualquiera de estos sistemas consisten de tres partes:

1. CPU (Unidad Central de Proceso).
2. Memoria.
3. Circuitos interfase para los dispositivos periféricos.

El CPU es el corazón del sistema. Su función es obtener instrucciones desde la memoria y realizar las operaciones deseadas. La memoria es utilizada para contener instrucciones y en la mayoría de los casos datos para ser procesados. Por ejemplo una secuencia típica de instrucción podría ser leer un dato desde un dispositivo específico periférico, almacenarlo en una localidad de memoria, revisar la paridad y escribirlo o sacarlo por otro dispositivo periférico. Note que la familia Z-80 incluye el CPU y varios dispositivos controladores de entrada salida de propósito general, mientras un amplio margen de memorias pueden ser utilizadas de cualquier fuente. De aquí que todos los componentes requeridos pueden ser conectados juntos en una manera muy simple y sin necesidad de otro tipo de lógica externa. El esfuerzo de los usuarios radica entonces en el desarrollo del software. Esto es, el usuario puede concentrarse describiendo su problema y trasladarlo a una serie de instrucciones que puedan ser cargadas en la memoria de la microcomputadora. La familia Z-80 se ha dedicado en hacer este paso de la generación de software tan simple como sea posible. Un buen ejemplo de esto es el lenguaje ensamblador en el cual un simple mnemónico es utilizado para representar cada instrucción que el CPU puede realizar. Este lenguaje esta hecho de tal manera que desde el mnemónico el usuario puede entender exactamente que esta haciendo la

instrucción sin necesidad de estar consultando las tablas de instrucciones constantemente.

3.8.1. MICROPROCESADOR Z-80CPU.

La figura 3.8.3 es un diagrama funcional de bloques del CPU Z-80 que aparece en el manual técnico del CPU Z-80 publicado por Zilog.

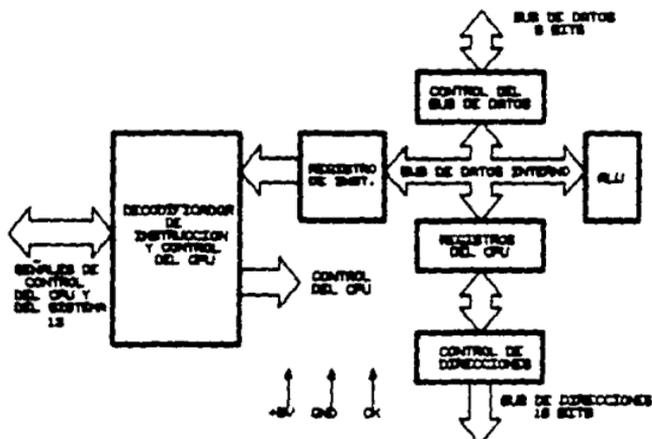


Fig. 3.8.3. Diagrama de bloques de la arquitectura interna del microprocesador Z-80 CPU.

Tal como el CPU Z-80 ejecuta un programa residente en su memoria asociada, se lee cada instrucción en secuencia desde la memoria colocando la dirección contenida en el registro contador de programa (PC), en el bus de direcciones, generando las apropiadas señales de control en el bus de control para activar la memoria y leyendo entonces el dato, en el bus de datos, para

situarlo en el registro adecuado dentro del CPU. Esta claro que el tiempo es crítico para asegurar que el contenido de la posición de memoria direccionada esta en el bus de datos cuando el CPU lee el bus de datos. Las funciones de control del CPU coordinan estas tareas y aseguran que los códigos de operación de las instrucciones sean colocados en el registro de instrucción y decodificados propiamente. Así mismo, esta función controla la ALU para que realice todas las operaciones aritméticas y lógicas soportadas por el conjunto de instrucciones del Z-80. Estas operaciones incluyen, suma, resta, operación lógica AND, operación lógica OR, operación lógica OR-exclusivo, comparación, desplazamientos y rotaciones a la izquierda o derecha, incrementos, decrementos, colocar a 1 un bit, colocar a cero, y hacer pruebas de bit. Al realizar estas operaciones la ALU se comunica mediante el bus de datos interno con los 22 registros internos, el registro de instrucción y el controlador del bus de datos. Los controladores de los buses de datos y direcciones, vigilan todas las actividades relacionadas con el intercambio de datos entre el CPU y el mundo exterior, mediante sus buses

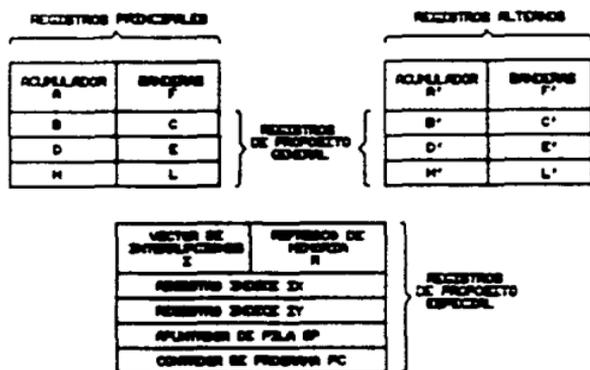


Fig. 2.8.4. Configuración de los registros internos del microprocesador Z-80 CPU.

respectivos. Notese que mientras el bus de datos es bidireccional, el bus de direcciones es unidireccional, en salida del CPU. El CPU no recibe datos desde el bus de direcciones. En la figura 3.8.4 se muestra un diagrama de la configuración de los registros del CPU.

Cada pequeño recuadro es un registro de 8 bits, cada recuadro mayor representa un registro de 16 bits. Obsérvese que 12 de estos registros de 8 bits se pueden utilizar en pares para formar 6 registros de 16 bits.

3.8.2. CICLOS DE INSTRUCCION DEL Z-80.

Cada instrucción del Z-80 consiste en una serie de operaciones básicas llamadas ciclos de máquina. Solamente hay siete operaciones básicas, o ciclos de máquina que puede realizar el Z-80. Estos siete ciclos de máquina del Z-80 son:

1. *Busqueda del código de operación de la instrucción.*
2. *Ciclos de lectura y escritura de datos en la memoria.*
3. *Ciclos de lectura y escritura de datos de entrada salida.*
4. *Ciclos de petición o reconocimiento de los buses.*
5. *Ciclos de petición o reconocimiento de interrupción.*
6. *Ciclos de petición o reconocimiento de interrupciones no mascarables.*
7. *Salida desde una instrucción de paro (HALT).*

Las seis primeras están relacionadas con las cuatro tareas principales de las interfases.

3.8.3. FAMILIA DEL MICROPROCESADOR Z-80.

El microprocesador Z-80 es el elemento central del producto de una familia. Esta familia trabaja en conjunto en la mayoría de

las aplicaciones con un mínimo requerimiento de lógica adicional, facilitando el diseño de eficiencia y costo efectivo de un sistema basado en un microcomputador.

El fabricante ha diseñado varios componentes para proveer un extensivo soporte para el microprocesador Z-80. Pero sólo tres de éstos componentes se utilizaron en el diseño de nuestro sistema los cuales son:

- El PIO (Entrada/Salida en paralelo) opera en dos modos: en el modo de transferencia de datos (bytes) de entrada salida (con handshaking) y en el modo de bit (sin handshaking). El PIO debe ser configurado para realizar interfases con estandares de periféricos paralelos.

- El CTC (Circuito Reloj/Contador) tiene cuatro circuitos reloj/contador programables de 8 bits, los cuales cuentan con un prescalador de 8 bits. Cada uno de los cuatro canales deben ser configurados para operar en el modo contador o en el modo de reloj.

- El SIO (Entrada/Salida en serie) controlador que ofrece dos canales. Es capaz de operar en una gran variedad de modos programables para comunicaciones sincronicas y asincronicas.

La tarjeta prototipo utilizada en nuestro diseño fue la JDR PR-2 del fabricante JDR Microdevices.

3.9.2. BUS DEL SISTEMA PC.

El bus del sistema PC es una extensión del bus del microprocesador de Intel 8088. Este es, sin embargo, demultiplexado y mejorado agregando señales para el soporte del acceso directo de memoria (DMA), interrupciones y otras cualidades. Todas las señales tienen niveles compatibles TTL, y hay terminales de alimentación y tierra. La figura 3.9.1 muestra la asignación de las 62 terminales del bus de la PC. Todas las señales son activas nivel alto a menos que se especifique lo contrario.

3.9.3. DISEÑO DE PUERTOS DE ENTRADA SALIDA.

La computadora personal, a pesar de su alto potencial en el proceso de datos, necesita un medio para comunicarse con el mundo exterior. El "hardware" de entrada salida y su correspondiente "software" provee la interfase para transferir datos entre la computadora y un dispositivo periférico.

3.9.4. CONCEPTOS BASICOS DE ENTRADA SALIDA.

Existen varias formas de inicializar y controlar una transferencia de datos.

1. Controlador de entrada salida por programa.
 2. Controlador de entrada salida por el servicio de una rutina de interrupción.
 3. Controlador de entrada salida (DMA) por "hardware".
-

3.9.5. MAPA DE ENTRADA SALIDA EN LA COMPUTADORA PERSONAL.

Para generar la correcta señal de selección de circuito integrado necesitamos conocer el direccionamiento del puerto de entrada salida y el mapa asignado al puerto. El diseño de la P.C. provee 10 bits para el direccionamiento de puertos, del bit A₀ al bit A₉, para un total de 1024 direcciones de puerto. El mapa de direccionamiento de los puertos de entrada salida se dividen en dos partes. Las 512 direcciones desde la localidad 0000H hasta la 01FFH están asignadas a la tarjeta principal del sistema de la P.C. El espacio de direcciones de la 0200H hasta la 03FFH, direcciones de 512 puertos, están disponibles para las tarjetas en las 5 ranuras de expansión. Los puertos diseñados para la tarjeta prototipo están desde la dirección 0300H hasta la 031FH, solo 32 direcciones de puerto.

3.9.6. ESTRUCTURA DE LAS INTERRUPCIONES.

Una importante cualidad de las computadoras es su estructura de interrupciones. Su principal tarea es la de proveer una manera eficiente para que el microprocesador responda rápidamente a un evento impredecible. El proceso de las interrupciones incrementa la versatilidad del sistema computacional permitiendo al dispositivo periférico hacer peticiones de servicio desde el microprocesador cuando lo necesite en vez de requerir al microprocesador para polear al dispositivo periférico para una petición de servicio. Adicionalmente, muchos microprocesadores tienen generadores internos de interrupciones.

3.9.7. PROCESO DE LAS INTERRUPCIONES.

Una computadora es una máquina de estados finitos que tiene muchos estados únicos. La ejecución de un programa se puede

describir como una secuencia de estados de máquina S_0, S_1, \dots, S_n . Los elementos de los estados del programa son: (1) la instrucción, (2) el dato, (3) el contador de programa y (4) el estado del proceso. Si la computadora se programa para ir de S_3 a S_4 , entonces en cualquier momento que esté en S_3 , irá a S_4 . No hay diferencia entre la búsqueda de S_3 durante la ejecución del programa en S_3 .

El proceso de interrupción temporalmente cambia los estados de máquina mientras se ejecuta el servicio de la rutina de interrupción. Para regresar al estado previo de la petición de interrupción, el estado de máquina debe ser almacenado. El microprocesador automáticamente salva el contenido del contador de programa y el estado del proceso cuando la interrupción es reconocida. El servicio de la rutina de interrupción debe salvar todos los registros del microprocesador que cambiaran, durante el servicio de la rutina de interrupción, y restablecer éstos registros antes de que el contador de programa y el estado del proceso regresen a sus estados previos. El sistema de "pila" se utiliza comunmente para salvar el contador de programa, el estado del proceso y los registros. Esta "pila" se mantiene por un registro apuntador de pila del microprocesador 8088.

La transferencia del control de la rutina principal a el servicio de la rutina de interrupción toma lugar después de que el contador de programa y el estado del proceso son almacenados. La dirección de la rutina de servicio de interrupción es almacenada en una tabla de vectores de interrupción. Un vector es una dirección de una rutina de servicio.

Cada dispositivo utiliza entradas separadas en la tabla de vectores de interrupción para apuntar a su rutina de servicio de interrupción. La figura 3.0.2 muestra estos conceptos en un diagrama de flujo, y la interrupción realiza la siguiente secuencia:

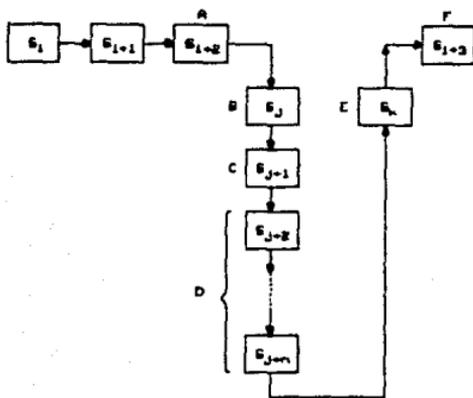


Fig. 3.9.2. Proceso de las interrupciones.

- A. Una petición de interrupción ocurre durante la ejecución del estado S_{1+z} .
- B. El microprocesador empieza a servir la petición después de la ejecución del estado S_{1+z} y terminar en S_j con el estado S_{1+z} salvado en la "pila".
- C. La dirección de la rutina de servicio de interrupción se encuentra en la tabla de vectores de interrupción durante el estado S_{j+1} .
- D. La rutina de servicio de interrupción se ejecuta en los estados de S_{j+z} hasta S_{j+n} .
- E. El estado S_{1+z} es reestablecido por el estado S_k .
- F. La rutina principal se continúa ejecutando con el estado S_{1+s} .

La rutina de servicio de interrupción puede ser anidada en una gran variedad de sistemas computacionales. Esto es, un dispositivo puede interrumpir la ejecución de una rutina de servicio de interrupción. La figura 3.9.3 muestra la transferencia del control durante el proceso de peticiones de interrupción anidadas.

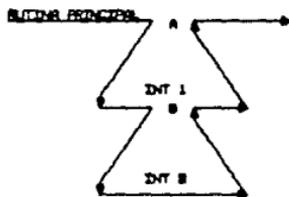


Fig. 3.9.3. Proceso de las interrupciones anidadas.

3.9.8. INTERRUPCIONES EN LA P.C.

La capacidad del manejo de las interrupciones del 8088 son mejoradas por el "hardware" en la P.C. ya que permite a multiples dispositivos hacer peticiones de rutinas de servicio de interrupción sobre la línea (INTR) petición de interrupción mascarable del 8088. La tabla de vectores de interrupción se inicializa con las direcciones de las rutinas del BIOS (Basic Input Output System) de la P.C. de tal manera que el programador puede utilizar interrupciones por "software" accedando al BIOS.

3.9.9. INTERRUPCIONES POR "HARDWARE".

La P.C. utiliza un controlador programable de interrupciones, el 8259A, para el manejo de peticiones externas de interrupción sobre la línea INTR del microprocesador 8088. El 8259A acepta ocho líneas de petición de interrupción desde dispositivos externos, y genera un código en respuesta al reconocimiento de la interrupción. El 8259A utiliza el modo anidado. La inicialización del modo de operación y prioridades ocurre cuando la computadora se reinicia (Reset).

La figura 3.9.4 muestra las ocho interrupciones ocasionadas por el controlador 8259A indicadas de IRQ0 a IRQ7. Solo de IRQ2 a IRQ7 se encuentran disponibles en el bus del sistema de la P.C.

Como se esperaba, la P.C. tiene ciertos dispositivos que requieren

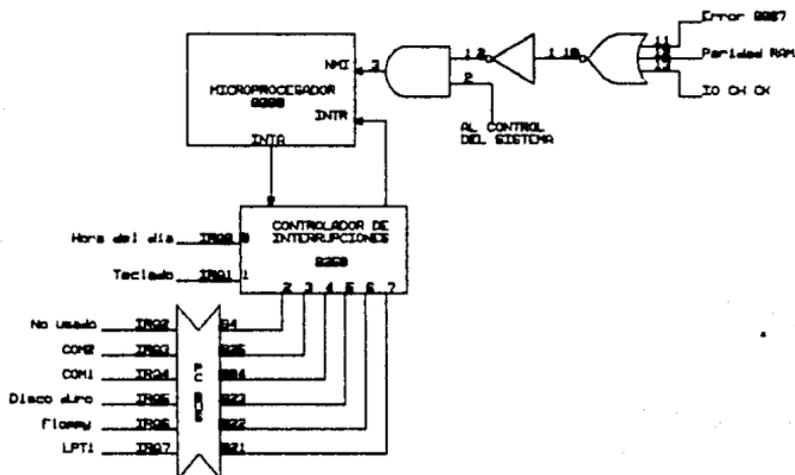


Fig. 3.9.4. Asignación de las interrupciones por "hardware" en la PC.

del proceso de interrupciones. El sistema del disco, el teclado y el reloj calendario, cada uno requieren de líneas de interrupción.

Como lo muestra la figura 3.9.5, cada una de estas interrupciones tiene asignado un apuntador de interrupciones en el vector de interrupciones. La tabla ocupa 1024 bytes de la parte baja de la memoria. Cada vector de interrupción consiste de cuatro bytes, esta tabla incluye información para el proceso de los 256 tipos de interrupciones.

A cada interrupción se le ha dado un número de tipo de acuerdo a su localidad en la tabla de vectores.

La instrucción en lenguaje ensamblador, INT n, genera una interrupción por "software" del tipo n. El número n simplemente designa la localidad de la tabla del vector de interrupción.

TIPO DE INTERRUPCION	TIPO DE INTERRUPCION (HEX)	NOMBRE	
0	0		Direccion 8000H
1	1		
2	2		
3	3		
4	4		
5	5		
6	6		
7	7		
8	8	hora del dia	Lineas de interrupcion del 8259A.
9	9	Teclado	
10	A	No usado	
11	B	COM1	
12	C	COM2	
13	D	No usado	
14	E	Drive	
15	F	LPT1	
16	10		Puntos de entrada del BIOS.
17	11		
18	12		
19	13		
20	14		
21	15		
22	16		
23	17		
24	18		Rutinas de alimentacion para el usuario.
25	19		
26	1A		
27	1B		
28	1C		Interrupciones DOS y BASIC.
29	1D		
30	1E		
31	1F		
32	20		Direccion 8007H
33	21		
34	22		
35	23		
36	24		
37	25		
38	26		
39-43	27-2F		
44-4E	40-4F		
48-103	50-5F		
104-177	60-6F		
178-17D	70-7F		
134-240	80-8F		
241-255	F1-FF		

Fig. 3.9.5. Interrupciones de la PC.

3.9.10. INTERFASE DE COMUNICACION PROGRAMABLE. 8251A.

El circuito integrado 8251A (4) de Intel es un receptor-transmisor sincrónico-asincrónico universal (USART) diseñado para la comunicación de datos con la familia de microprocesadores de Intel tales como MCS-68, 80, 85 y iAPX-86, 88. El 8251A se utiliza como un dispositivo periférico y es programado por el CPU para operar utilizando virtualmente cualquier técnica de transmisión de datos en serie. El USART acepta caracteres (datos)

del CPU en un formato paralelo y los convierte en una cadena continua de datos en serie para ser transmitidos. Simultáneamente, puede recibir una cadena de datos en serie y convertirla en un dato en paralelo para el CPU. El USART le indica al CPU cada vez que puede aceptar un nuevo carácter para ser transmitido o cada vez que haya recibido un carácter para el CPU. El CPU puede leer el estado interno del USART en cualquier momento. Esto incluye, errores en la transmisión de datos y señales de control tales como SYNDET, TXEMPTY. El circuito integrado ha sido fabricado utilizando la tecnología de canal N. En la figura 3.9.6 se muestra un diagrama de bloques del USART 8251A.

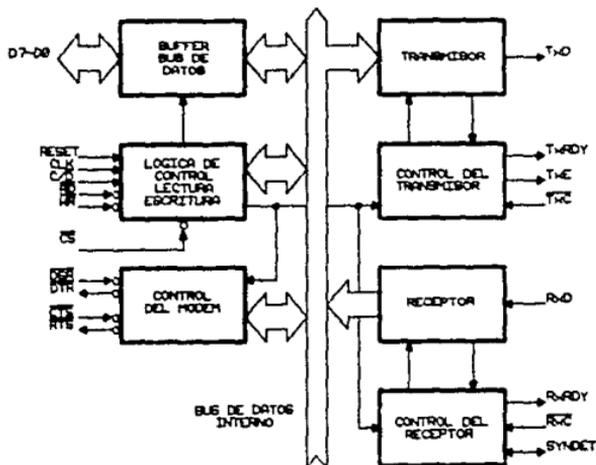


Fig. 3.9.6. Diagrama de bloques del USART 8251A.

3.9.11. DESCRIPCION DE OPERACION.

La completa definición funcional del 8251A es programada por el "software" del sistema. Un grupo de palabras de control deben ser enviadas por el CPU para inicializar al 8251A para soportar el formato deseado de comunicación. Estas palabras de control

programan: la relación de baudaje, la longitud de los caracteres, el número de los bits de paro, la operación síncrona o asíncrona, paridad apagada/par/impar, etc.

Una vez realizada la programación, el 8251A está listo para realizar sus funciones de comunicación. La salida TxRDY toma un nivel alto, para indicarle al CPU que el 8251A está listo para recibir un dato del CPU. Esta salida (TxRDY) se reinicia automáticamente cuando el CPU escribe un carácter dentro del 8251A. En su otro puerto, el 8251A recibe datos en serie desde un modem o un dispositivo de entrada salida. Al recibir un carácter entero, la salida RxRDY toma un nivel alto para indicarle al CPU que el 8251A tiene un carácter completo listo para que el CPU lo lea. RxRDY se reinicia automáticamente en el momento que el CPU realiza la operación de lectura sobre el 8251A.

El 8251A no puede empezar a transmitir hasta que el bit para habilitar la transmisión se pone en la instrucción de comando y éste ha recibido una señal de listo para enviar en la entrada CTS. La salida TxD se mantendrá en el estado de marca al reiniciar al 8251A.

3.0.12. PROGRAMACION DEL 8251A.

Antes de comenzar la transmisión o la recepción de datos, el 8251A debe ser cargado con un grupo de palabras de control generadas por el CPU. Estas señales de control definen la función completa del 8251A y deben inmediatamente seguir de una operación de reinicio (Reset interno o externo).

Las palabras de control se dividen dentro de dos formatos:

1. Instrucción de modo.
2. Instrucción de comando.

INSTRUCCION DE MODO.

Esta instrucción define las características de operación general del 8251A. Debe seguir después de una operación de reinicio (interno o externo). Una vez que la instrucción de modo ha sido escrita en el 8251A por el CPU, se deben escribir las instrucciones de comando. En la figura 3.9.7 se ilustra el formato de la palabra de la instrucción de modo en modo asíncrono.

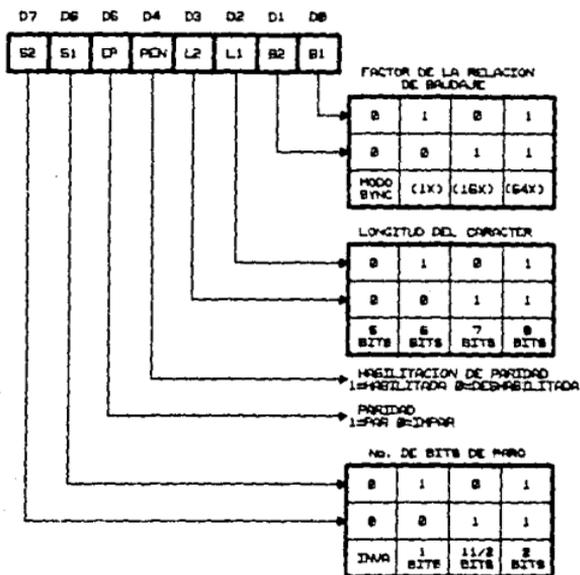


Fig. 3.9.7. Formato de la palabra de la instrucción de modo en modo asíncrono.

INSTRUCCIONES DE COMANDO.

Esta instrucción define una palabra que se utiliza como operación actual del control del 8251A.

Ambas instrucciones de modo y de comando deben conformarse por una secuencia específica para una apropiada operación del dispositivo.

Todas las palabras de control escritas en el 8251A después de que la instrucción de modo se cargo se referiran a instrucciones de comando. En la figura 3.9.8 se ilustra el formato de la palabra de la instrucción de comando.

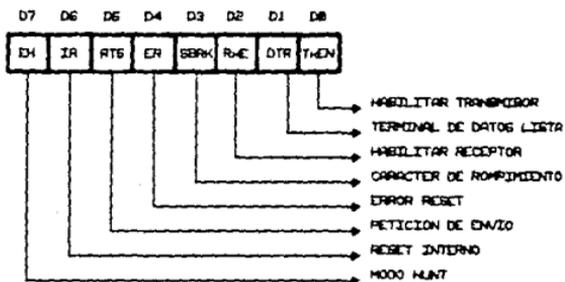


Fig. 3.9.8. Formato de la palabra de la instrucción de comando.

3.10. REGULACION LINEAL.

Los reguladores de voltaje, reciben una entrada de voltaje de corriente directa relativamente constante y suministran como salida un valor más bajo de corriente directa, que el regulador mantiene fijo o regulado sobre un amplio intervalo de corriente de carga, y voltaje de entrada. Partiendo de un voltaje de suministro de corriente alterna, se puede desarrollar un voltaje de corriente continua de estado estacionario rectificando el voltaje de corriente alterna, posteriormente filtrando a un nivel de corriente directa, y finalmente regulando con un circuito regulador de voltaje.

Los reguladores de voltaje integrados que proporcionan un voltaje de salida fijo se encuentran disponibles en una gran variedad de voltajes de salida. Los reguladores integrados son seleccionados para operar con voltajes relativos positivos o negativos.

El voltaje proporcionado a la salida, sin carga, se reduce cuando se tiene que drenar corriente de la fuente de suministro. Cuando cambia este voltaje con respecto al valor cargado o no cargado es de considerable interés para cualquiera que utilice la fuente de suministro. Este cambio de voltaje se describe por un factor denominado regulación de voltaje, definido como:

$$\text{Regulacion de voltaje} = \frac{\text{Voltaje sin carga} - \text{Voltaje a plena carga}}{\text{Voltaje a plena carga}}$$

y expresado en porcentajes, como:

$$\% \text{ V.R.} = \frac{V_{NL} - V_{FL}}{V_{FL}} \times 100 \%$$

3.10.1. REGULADORES DISCRETOS DE VOLTAJE.

Hay fundamentalmente, dos configuraciones básicas para establecer regulación de voltaje o de corriente, la regulación en serie y la regulación en paralelo, cada una de ellas se muestran en la figura 3.10.1.

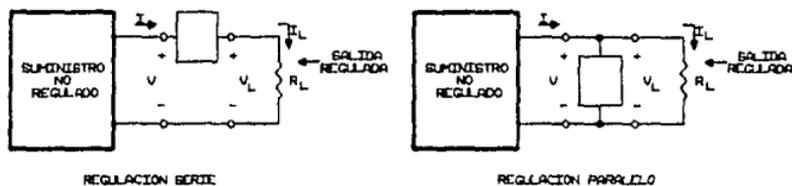


Fig. 3.10.1. Reguladores discretos de voltaje.

3.10.2. REGULADOR DE VOLTAJE.

El más simple de los reguladores de voltaje de transistores de tipo serie se muestra en la figura 3.10.2. En esta configuración el transistor se comporta como una simple resistencia variable, cuya resistencia es determinada por las condiciones de operación.

Para este circuito una demanda de corriente en aumento

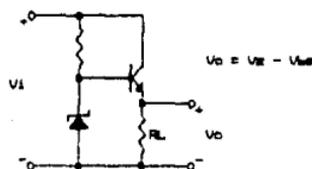


Fig. 3.10.2. Regulador de voltaje.

asociada con una reducción en R_i se traduce en una tendencia por parte de V_o a reducirse también en magnitud. Si, sin embargo:

$$V_{BE} = V_Z - V_o$$

Una reducción en V_o (puesto que V_Z está fijo en magnitud) se traducirá en un incremento en V_{BE} . Este efecto a su vez, aumentará el nivel de conducción del transistor obteniéndose una reducción en su resistencia terminal (colector a emisor). Este efecto mantiene a V_o en un nivel fijo.

3.10.3. REGULADOR DE CORRIENTE.

Un regulador de corriente transistorizado se muestra en la figura 3.10.3.

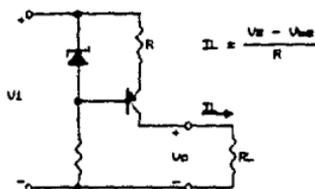


Fig. 3.10.3. Regulador de corriente.

Un regulador de corriente está diseñado para mantener una corriente fija a través de las variaciones de carga en el voltaje terminal. Una reducción en I_L debido a una caída en V_o se traducirá en una reducción en I_E y, a su vez, en una caída en V_{CE} . El voltaje base emisor es: $V_{BE} = V_Z - V_{CE}$. Una reducción en V_{CE} se traducirá en un aumento en V_{BE} y la conductividad del transistor,

manteniendo I_L a un nivel fijo.

3.10.4. REGULADORES DE VOLTAJE DE TRES TERMINALES.

Los reguladores de voltaje que proporcionan un voltaje constante dentro de un intervalo de corriente de carga se representan esquemáticamente en la figura 3.10.4. El regulador de voltaje fijo tiene un voltaje no regulado, V_{IN} , aplicado a una terminal, y entrega un voltaje de salida regulado, V_o , desde una segunda terminal, con un tercera terminal conectada a tierra. Para una unidad particular de circuito integrado, las especificaciones del dispositivo listan un intervalo de voltaje sobre el cual el voltaje de entrada puede variar para mantener el voltaje de salida regulado, V_o , sobre un intervalo de corriente de carga, I_o . Un voltaje diferencial salida entrada debe mantenerse para que el circuito integrado opere, lo cual significa que el voltaje variable de entrada debe mantenerse siempre lo suficientemente alto para mantener una caída de voltaje a través del circuito integrado que permita una operación adecuada del circuito interno.

Las especificaciones del dispositivo también listan la cantidad del cambio de voltaje de salida V_o , que resulta de cambios de la corriente de carga (regulación de carga) y también de cambios en el voltaje de entrada (regulación de línea).

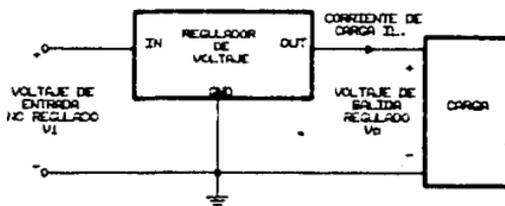


Fig. 3.10.4. Representación de bloques de un regulador de voltaje de tres terminales.

REFERENCIAS.

- 1 B. P. Lathi: " Sistemas de comunicación". Interamericana, 1986. Pags. 61 a 64.
- 2 H. Taub y D. L. Schilling: "Digital integrated electronics", Mc Graw Hill, 1985. Pags. 491 a 494.
- 3 PMI: "Linear and conversion products databook", PMI, 1986/1987. Pags. 10-3 a 10-18.
- 4 Intel: "Microprocessor and peripheral handbook", Intel, 1983. Pags. 6-122 a 6-138.

CONSTRUCCION DEL SISTEMA

La construcción del sistema se llevó acabo en el Instituto de Investigaciones en Matemáticas Aplicadas y en Sistemas (I.I.M.A.S. U.N.A.M.), en el Departamento de Diseño de Sistemas Digitales el cual cuenta con el equipo necesario para: la elaboración de circuitos impresos y para las pruebas necesarias que requiere el sistema.

De ésta manera se logró la elaboración de 11 tarjetas constitutivas del sistema así como el soporte necesario del equipo y de todo el material empleado.

La selección de cada una de las componentes se hicieron en base a sus características, explicadas en el capítulo anterior, y en la precisión requerida por el sistema.

Por tratarse de un equipo de medición, evidentemente, la precisión de las lecturas tomadas dependeran enormemente de los transductores seleccionados, sin embargo, el sistema se puede adaptar a cualquier transductor segun la variable que se desee medir.

Como se mencionó desde un principio el sistema cuenta con dos unidades: la unidad sumergible y la unidad de abordó, las cuales se describen detalladamente a continuación.

4.1. UNIDAD SUMERGIBLE.

La parte principal del sistema se encuentra en la unidad sumergible.

La unidad sumergible consta de 9 tarjetas distribuidas dentro de un contenedor, al cual en su parte externa se sujetan los sensores requeridos. Las dimensiones del contenedor así como la distribución interna de las tarjetas se muestra en la figura 4.1.1.

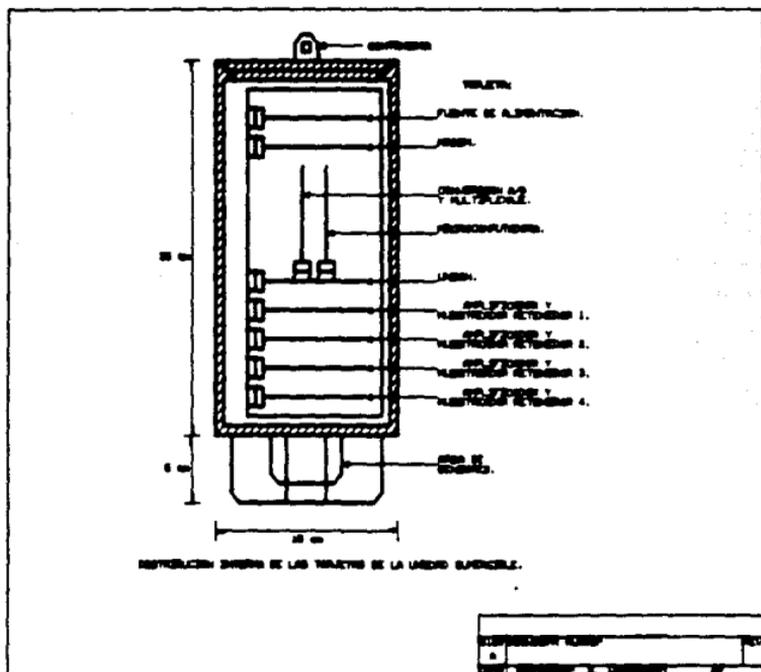


Fig. 4.1.1. Contenedor de la unidad sumergible.

Las tarjetas de la unidad sumergible son las siguientes:

4. Tarjetas de amplificación y de muestreo-retención (S/H), (TARJETA "AMP-S/H").
1. Tarjeta de conversión analógica a digital y de multiplexaje (TARJETA "A/D-MUX").
1. Tarjeta Microcomputadora (TARJETA "MIC").
1. Tarjeta de enlace entre A/D-MUX y MIC (TARJETA "UNION").
1. Tarjeta de modulación-demodulación (TARJETA "MODEM").
1. Tarjeta de alimentación (TARJETA "FUENTE").

4.1.1. TARJETA "AMP-S/H".

Esta tarjeta tiene como objetivo amplificar la señal proveniente de los sensores, mediante el amplificador de instrumentación por conmutación de auto-cero CAZ (ICL7605), polarizar los sensores con un voltaje de referencia (REF-01) estable contra variaciones de temperatura, y realizar las muestras requeridas por el sistema, mediante un circuito muestreador retenedor (LF398); la

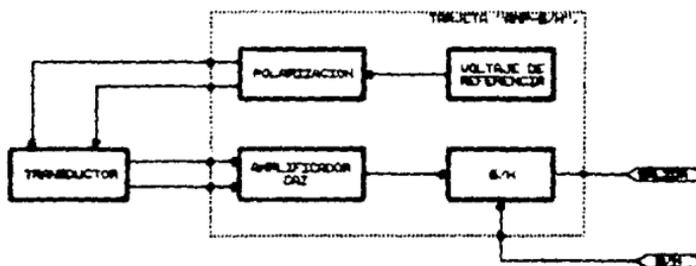


Fig. 4.1.2. Diagrama de bloques de la tarjeta "AMP-S/H".

figura 4.1.2 muestra estas tres etapas, en un diagrama de bloques de la tarjeta "AMP-S/H".

Por lo tanto esta tarjeta cuenta con solo una señal de control (S/H), que le indica, a la tarjeta, en que momento realizar la muestra.

A continuación se muestran los diagramas constitutivos de esta tarjeta.

DIAGRAMA ELECTRONICO DE LA TARJETA "AMP-S/H".

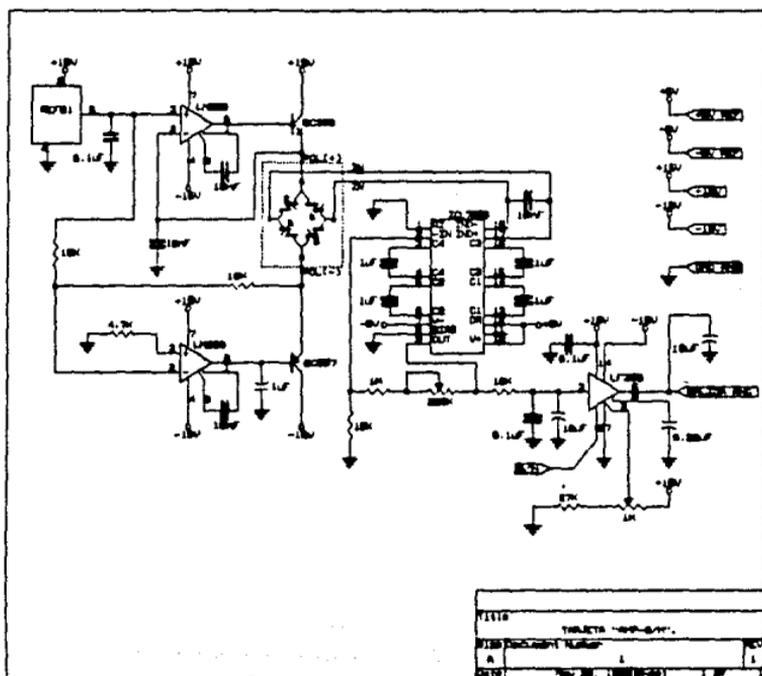


Fig. 4.1.3. Diagrama electrónico de la tarjeta "AMP-S/H".

DIAGRAMA DE COMPONENTES DE LA TARJETA "AMP-S/H".

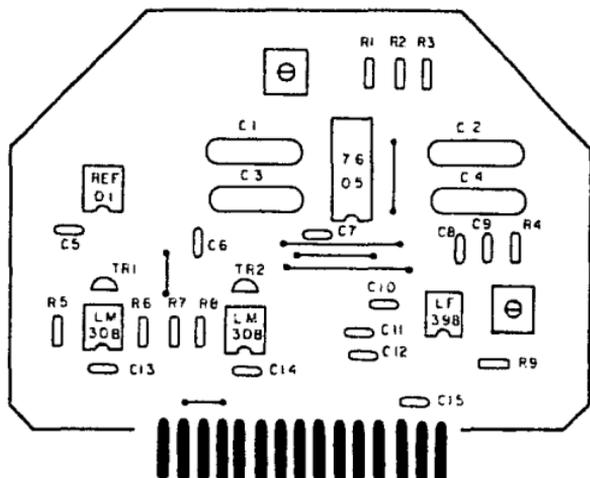


Fig. 4.1.4. Diagrama de componentes de la tarjeta "AMP-S/H".

Lista de componentes principales:

1. ICL7605 (CAZ).
1. LF398 (S/H).
1. REF-01 (Referencia de voltaje).
2. LM308
1. BC338
1. BC557
4. CAP $1\mu\text{F}$ a 250V
1. POT 200k Ω
1. POT 1k Ω

CIRCUITO IMPRESO Y CARTA DE ENTRADA SALIDA DE LA TARJETA "AMP-S/H"

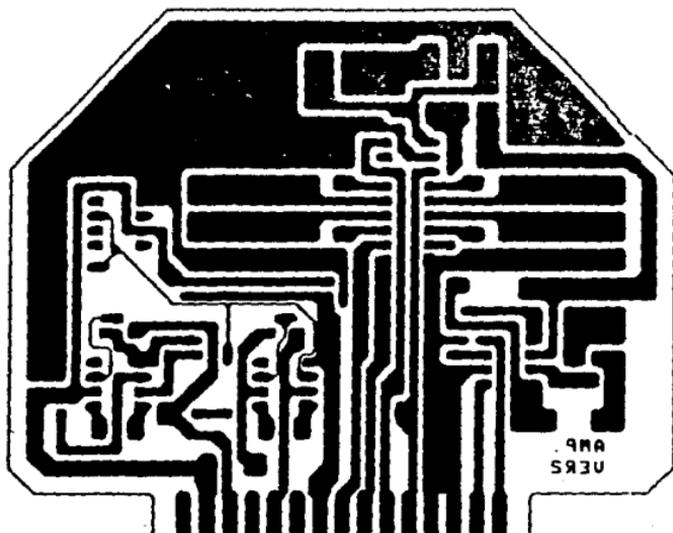


Fig. 4.1.5. Circuito impreso tarjeta "AMP-S/H" lado de pistas.

NO DE TERMINAL	NO CONEXION	ENTRADA	SALIDA
1			DA. RNC.
2		E-H	
3		RNC QND	
4		RNC QND	
5		-5Vref	
6		+5Vref	
7		IN	
8		IN	
9		-15V	
10	NC		
11			POL(+)
12	NC		
13			POL(-)
14		+15V	
15	NC		

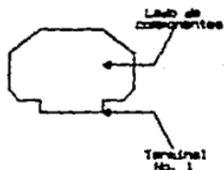


Fig. 4.1.6. Carta de entradas salidas de la tarjeta "AMP-S/H".

4.1.2. TARJETA "A/D-MUX".

Esta tarjeta tiene como objetivo realizar el multiplexaje (IHG208) de los cuatro canales, provenientes de las tarjetas "AMP-S/H", con los convertidores analógicos digitales para realizar la conversión digital del sensor en turno. El convertidor A/D es de 16 bits de resolución y utiliza el método de conversión de doble pendiente (ICL7104-18 e ICL9052). En esta tarjeta se hace uso de dos convertidores A/D de este tipo con el objeto de aumentar la velocidad de conversión de las señales analógicas entregadas por el multiplexor.

Por lo tanto se requieren tres señales de control una que active el inicio de conversión (R/H) y las otras dos para la selección del canal adecuado en el multiplexor (M0 y M1). En respuesta al inicio de conversión la tarjeta entrega una señal que nos indica el fin de conversión (ASTB).

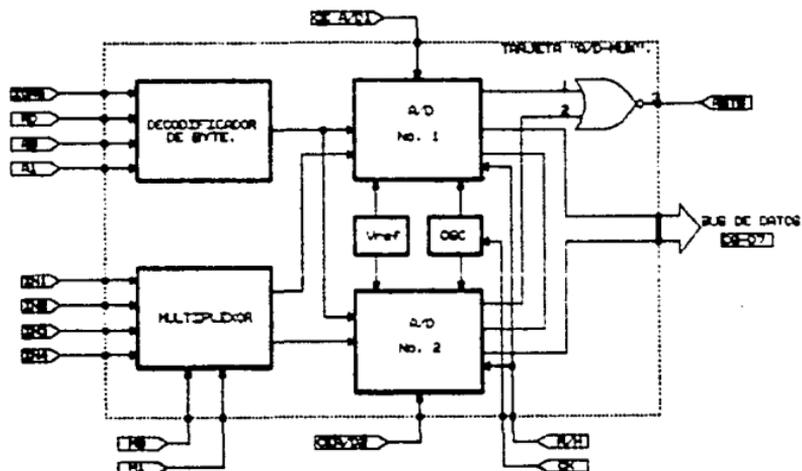


Fig. 4.1.7. Diagrama de bloques de la tarjeta "A/D-MUX".

Un diagrama de bloques de ésta tarjeta se muestra en la figura 4.1.7 en la cual se muestra un bus de datos común a los dos convertidores. La selección de los componentes constitutivos del convertidor se hicieron en base a la tabla, mostrada en la figura 4.1.8, utilizando un voltaje de referencia de 2V y una frecuencia de operación de 200 kHz.

$V_{ref} = +15V$, $V_c = 5V$, $V_r = -15V$, $f_{clk} = 200$ kHz.

CON IC:MSZ	ICL7104-16		ICL7104-14		ICL7104-12		UNIDADES	
UI PLANA ESCALA	200	500	4000	100	4000	60	4000	mV
CONVERSION BUFFER	10	1	1	10	1	10	1	
R _{int}	100	40	200	47	100	27	200	K Ω
C _{int}	.33	.33	.33	0.1	0.1	.002	.002	μ F
CRZ	1.0	1.0	1.0	1.0	1.0	.47	.47	μ F
CRF	10	1.0	1.0	10	1.0	4.7	4.7	μ F
V _{ref}	100	400	2000	60	2000	25	200	mV
RESOLUCION	3.1	12	61	6.1	244	12	200	μ V

Fig. 4.1.8. Selección de los componentes de los convertidores A/D.

Para las lecturas de las conversiones los convertidores A/D generan una señal de control (ASTB), a partir de sus salidas de

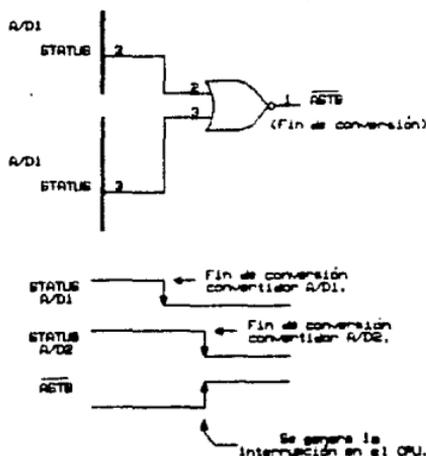


Fig. 4.1.9. Manejo del fin de conversión de A/D1 y A/D2.

status, que indican el fin de conversión de ambos convertidores, como se muestra en la figura 4.1 9. Esta señal de control se utiliza en la tarjeta "MIC" (que se explica en el inciso 4.1.3) como generador de una interrupción que le indica al CPU Z-80 que hay un dato válido, a la salida de los convertidores, que puede ser leído. A continuación se muestran los diagramas constitutivos de esta tarjeta:

DIAGRAMA ELECTRONICO DE LA TARJETA "A/D-MUX".

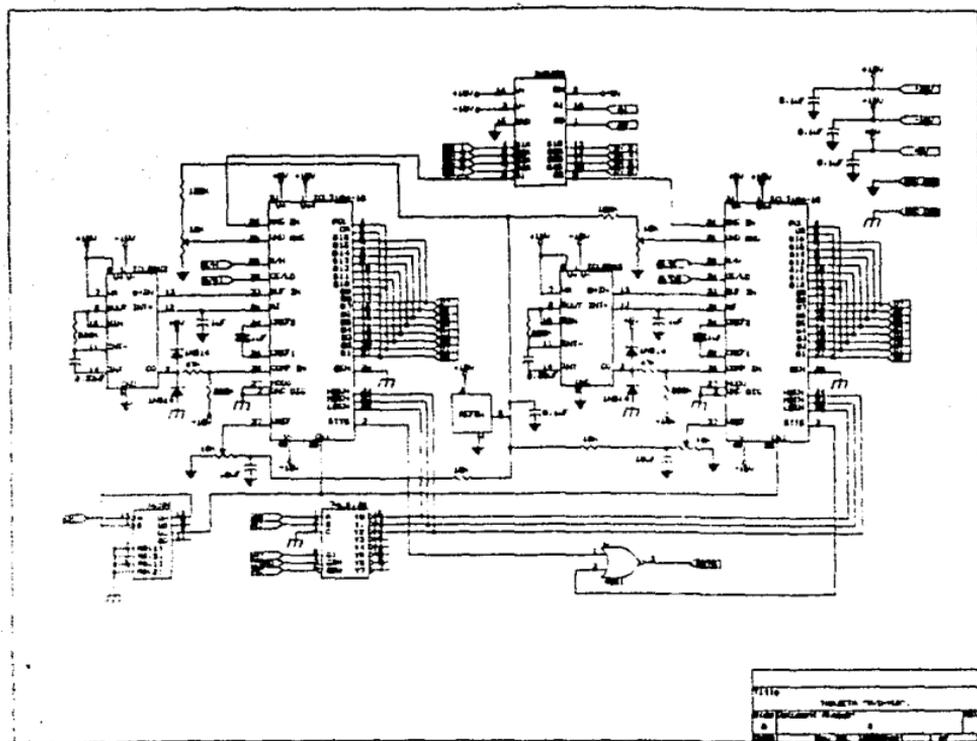


Fig. 4.1.10. Diagrama electrónico de la tarjeta "A/D-MUX".

DIAGRAMA DE COMPONENTES DE LA TARJETA "A/D-MUX".

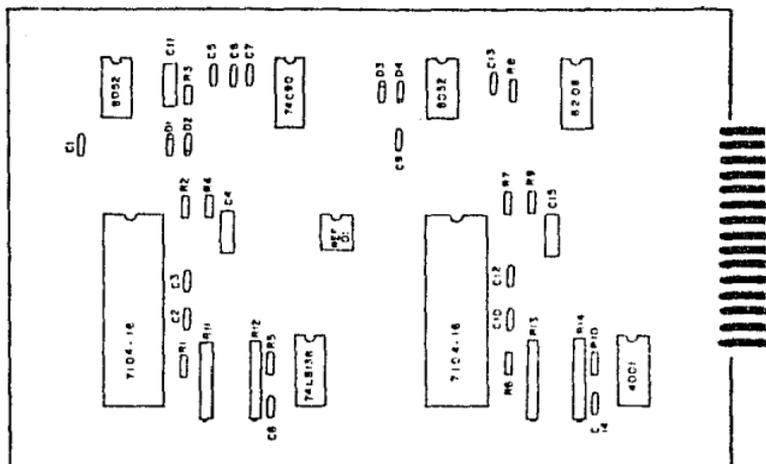
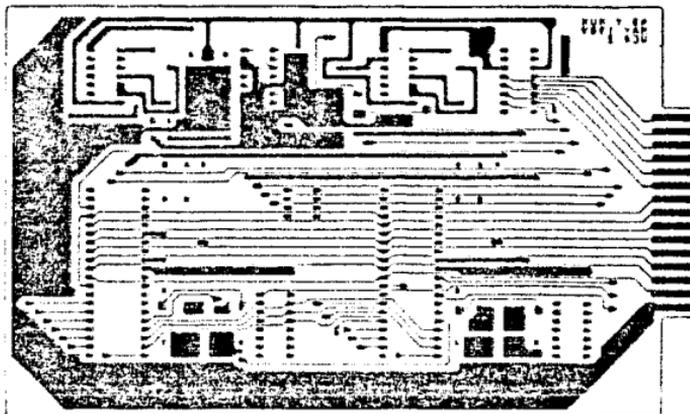


Fig. 4.1.15. Diagrama de componentes de la tarjeta "A/D-MUX".

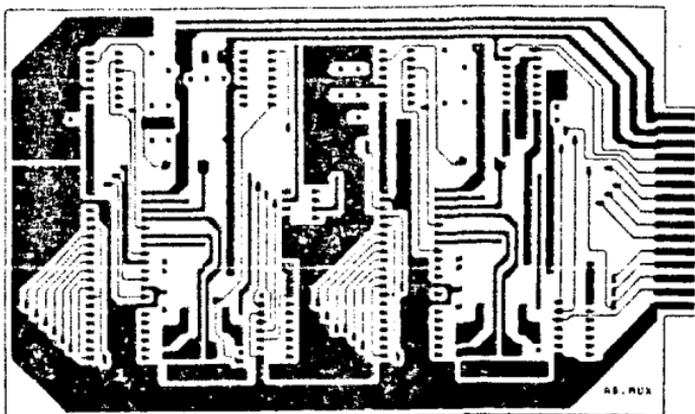
Lista de componentes principales:

2. ICL7104-16 (Convertidor A/D sección digital).
2. ICL8052 (Convertidor A/D sección analógica).
1. IH6208 (Multiplexor analógico).
1. REF-01 (Referencia de voltaje).
1. 74LS138
1. 4001
1. 74C90
4. POT 10kΩ

CIRCUITO IMPRESO TARJETA "A/D-MUX".



LADO DE PISTAS



LADO DE COMPONENTES.

Fig. 4. 1. 12. Circuito impreso tarjeta "A/D-MUX".

CARTA DE ENTRADA SALIDA DE LA TARJETA "A/D-MUX"

NO DE TERMINAL	NO CONEXION	ENTRADA	SALIDA
1		INA	
2		INI	
3		INE	
4		IN2	
5		INE	
6		IN3	
7			D1
8			D2
9			D3
10			D6
11			D5
12			D4
13			D3
14			D2
15		AINC GND	
A		+15V	
B		-15V	
C		+5V	
D		PE	
E		MI	
F		CLK	
H		A/D1	
J		A1	
K		IOF0	
L		AD	
M		A/D2	
N		AS	
P		A/A	
R			ASTB
S		DIC GND	

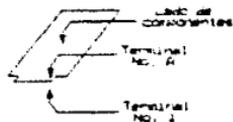


Fig. 4.1.13. Carta de entradas salidas de la tarjeta "A/D-MUX".

4.1.3. TARJETA "MIC".

La tarjeta microcomputadora tiene como objetivo el control y manejo de los datos obtenidos en el sistema para poder ser transmitidos a la unidad de abordo via modem.

La figura 4.1.14 muestra un diagrama de bloques de esta tarjeta.

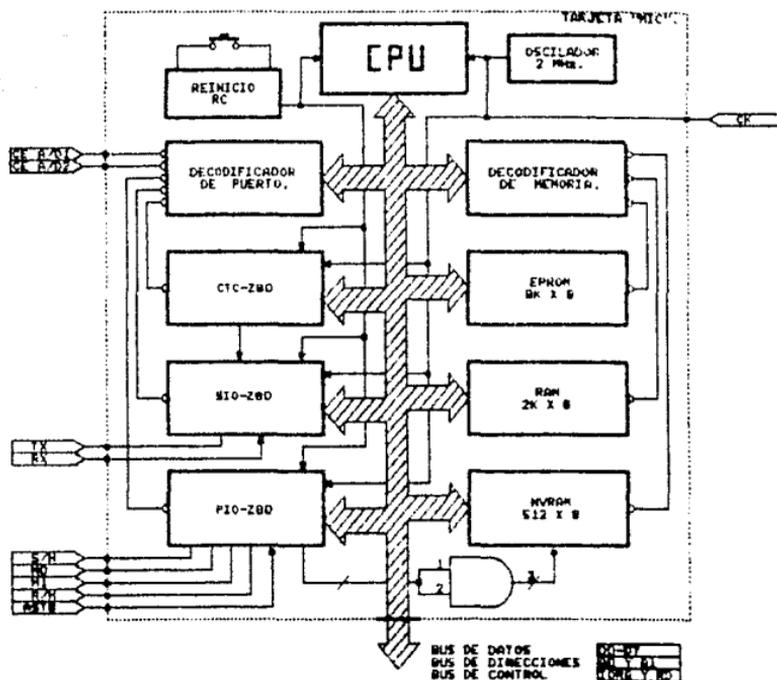


Fig. 4.1.14. Diagrama de bloques de la tarjeta "MIC".

El microcomputador diseñado se basa en el microprocesador Z-80 CPU y sus siguientes interfases:

Z-80 PIO. Controlador de entrada salida de datos en paralelo. Utilizado para generar las señales de control del circuito muestreador retenedor, del multiplexor analógico y del inicio de conversión de los convertidores A/D. También recibe el fin de conversión de los convertidores generando una interrupción sobre el CPU. Además se utiliza para generar las señales de control necesarias para la memoria NVRAM.

Z-80 CTC. Controlador de tiempo y conteo. Utilizado para generar los intervalos de muestreo en el sistema y generar el reloj necesario para la interfase serie (Z-80SIO)

Z-80 SIO. Controlador de entrada salida de datos en serie. Utilizada para la comunicación "full duplex" del microcomputador con el modem.

Además el microcomputador cuenta con los siguientes bancos de memoria:

MEMORIA EPROM (2764 con capacidad de 8k x 8). Utilizada para almacenar el programa monitor del sistema.

MEMORIA RAM (2114 con capacidad de 1k x 8). Utilizada para almacenar en forma temporal los datos obtenidos en el sistema, así como para el respaldo necesario de los registros en los saltos a las subrutinas.

MEMORIA NVRAM (X2004 con capacidad de 512 x 8). Utilizada para almacenar las auto calibraciones que realice el sistema.

Debido a que su diseño se lograba en base a un solo circuito integrado (74LS138) el decodificador de puerto está configurado

como lo muestra la figura 4.1.15.

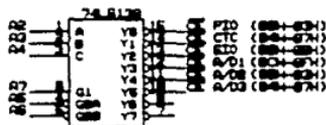


Fig. 4.1.15. Decodificador de puertos.

Por lo tanto la decodificación de los puertos quedó de la siguiente manera:

PIO (80H-83H).

- 80H Puerto A de datos.
- 81H Puerto B de datos.
- 82H Puerto A de control.
- 83H Puerto B de control.

CTC (84H-87H).

- 84H Canal 0.
- 85H Canal 1.
- 86H Canal 2.
- 87H Canal 3.

SIO (88H-8BH).

- 88H Puerto A de datos.
- 89H Puerto B de datos.
- 8AH Puerto A de control.
- 8BH Puerto B de control.

A/DI (8CH-8FH).

- 8CH Habilidadación del byte menos significativo. (LBEN).
- 8DH Habilidadación del byte medio. (MBEN).
- 8EH Habilidadación del byte más significativo. (HBEN).

ALD2 (00H-3FFH)

00H Habilitación del byte menos significativo. (LBEN0).

57H Habilitación del byte medio. (MBEN0).

62H Habilitación del byte más significativo. (HBEN0).

También, el decodificador de memoria se construyó en base a un solo circuito integrado (74LS138) y se elaboró como se muestra en la figura 4.1.16.



Fig. 4.1.16. Decodificador de memoria.

Por lo tanto la decodificación de la memoria quedó como lo muestra la tabla de la figura 4.1.17.

AL5	AL4	AL3	AL2	AL1	AL0	AB											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LBEN0
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	MBEN0
0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	HBEN0
0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	

Fig. 4.1.17. Mapa de memoria.

MAPA DE MEMORIA.

De acuerdo a la tabla de la figura 4.1.17 las localidades de las memorias quedaron de la siguiente manera.

EPROM 0000H - 1FFFH.
RAM 2000H - 23FFFH.
NVRAM 4000H - 41FFFH.

CONTROL MEMORIA RAM NO VOLATIL (NVRAM).

Debido a que la memoria NVRAM requiere de señales adicionales para su manejo, se hizo uso de uno de los puertos del PIO para generar estas señales, realizándose las conexiones mostradas en la figura 4.1.18.

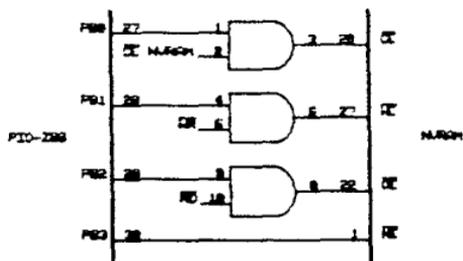


Fig. 4.1.18. Conexiones necesarias para generar las señales de control de la memoria NVRAM.

El circuito utilizado como oscilador se muestra en la figura 4.1.19 de tal manera que el sistema cuenta con un reloj con frecuencia de oscilación de 2MHz.

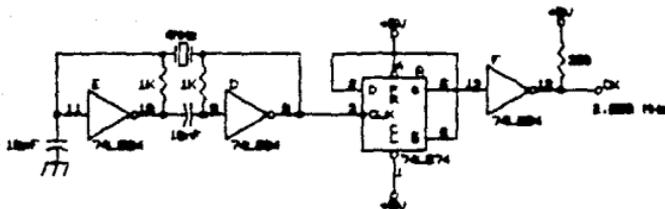


Fig. 4.1.19. Circuito oscilador.

El circuito utilizado como reinicio (reset) del microcomputador se muestra en la figura 4.1.20.

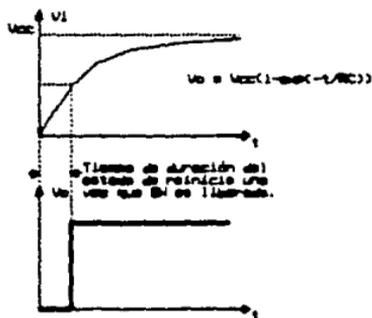
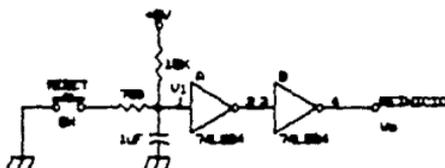


Fig. 4.1.20. Circuito reiniciador.

A continuación se muestran los diagramas constitutivos de esta tarjeta.

DIAGRAMA ELECTRONICO DE LA TARJETA "MIC".

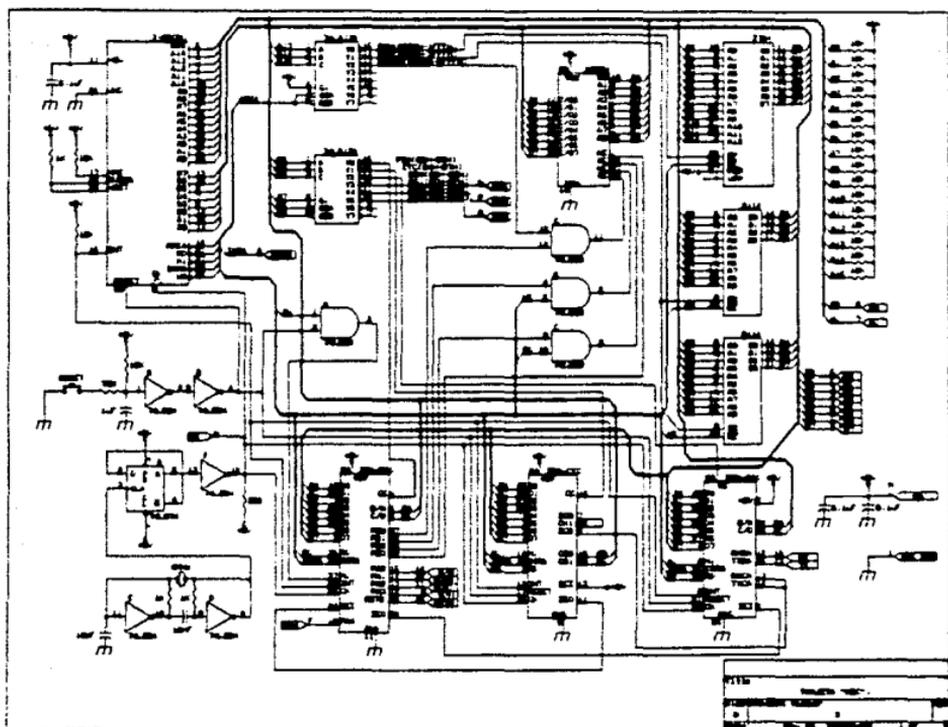
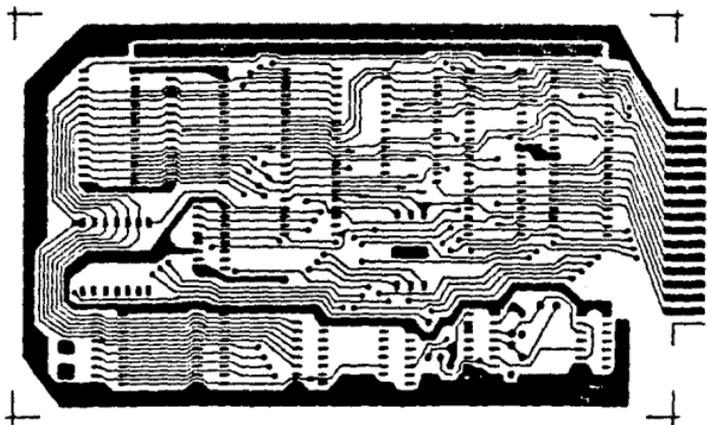
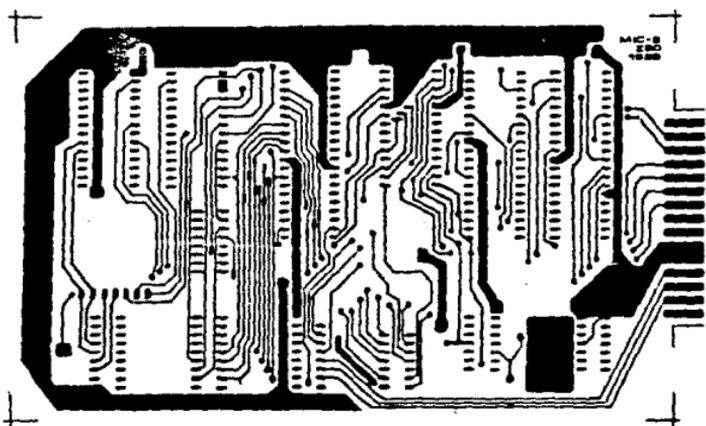


Fig. 6. 1. 21. Diagrama electrónico de la tarjeta "MIC".

CIRCUITO IMPRESO TARJETA "MIC".



LADO DE PISTAS.



LADO DE COMPONENTES.

Fig. 4.1.23. Circuito impreso tarjeta "MIC".

CARTA DE ENTRADA SALIDA DE LA TARJETA "MIC".

NO. DE TERMINAL	NO. CONEXION	ENTRADAS	SALIDAS
1		DIC DNE	
2		D3	D3
3		D2	D2
4		D4	D4
5		D7	D7
6			ZORG
7			M1
8			M2
9			R/H
10		R-	
11			M1
12			M2
13			T+
14			S/H
15		ASTB	
A	NC		
B		D5	D5
C		D6	D6
D		D8	D8
E		D1	D1
F			PS4
H			Q-
J	NC		
K	NC		
L		+5V	
M		+5V	
N			A/D1
P			A/D2
R			A/D3
S	NC		

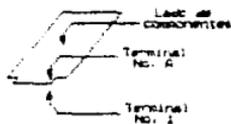


Fig. 4.1.24. Carta de entradas salidas de la tarjeta "MIC".

4.1.4. TARJETA "UNION".

El objetivo de esta tarjeta es el de hacer una conexión entre la tarjeta "A/D-MUX", la tarjeta "MIC", las tarjetas "AMP-S/H", la tarjeta "MODEM", y la tarjeta "FUENTE", reduciendo el número de conexiones externas que se tendrían que hacer entre todas las tarjetas. Además, debido al número de componentes, las tarjetas "A/D-MUX" y "MIC" son más grandes, en comparación con las demás, diferencia que se compensa con la tarjeta "UNION" poniendo a éstas dos tarjetas en una posición vertical, tal y como se muestra en la figura 4.1.1. En la figura 4.1.25 se muestra un diagrama de bloques de las tarjetas unidas por la tarjeta "UNION".

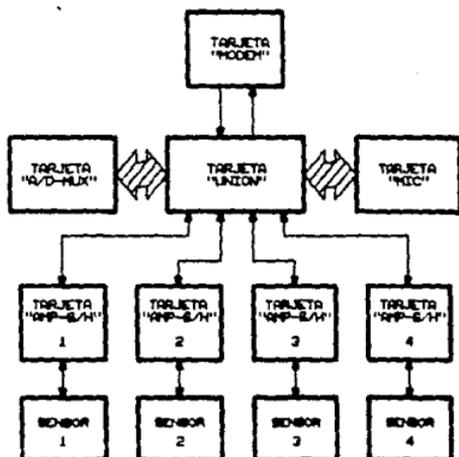


Fig. 4.1.25. Conexión de todas las tarjetas con la tarjeta "UNION".

A continuación se muestran los diagramas constitutivos de esta tarjeta:

DIAGRAMA DE COMPONENTES DE LA TARJETA "UNION".

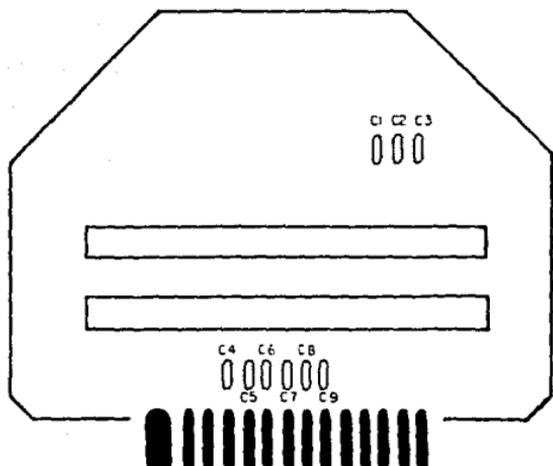
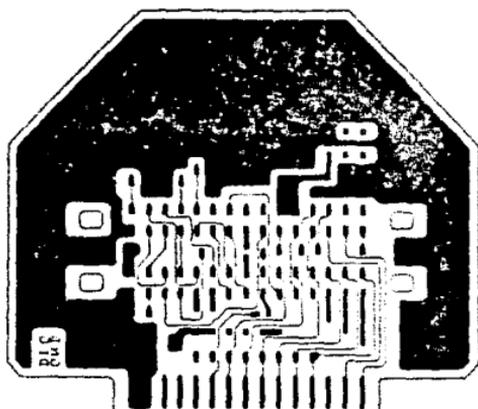


Fig. 4.1.26. Diagrama de componentes de la tarjeta "UNION".

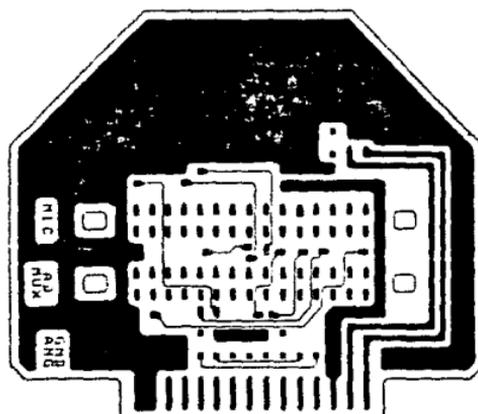
Lista de componentes principales:

2. Conectores de 30 pines.
9. Capacitores 0.1 μ F a 25V.

CIRCUITO IMPRESO TARJETA "UNION".



LADO DE PISTAS.



LADO DE COMPONENTES.

Fig. 4.1.27. Circuito impreso de la tarjeta "UNION".

CARTA DE ENTRADA SALIDA DE LA TARJETA "UNION".

NO DE TERMINAL	NO CONEXION	ENTRADA	SALIDA
1			EM
2			TM
3	NC		
4		D4	
5		D5	
6		D6	
7		D2	
8		D6	
9		D3	
10		Rv	
11	NC		
12	NC		
13	NC		
14		DIG GND	
15		DIG GND	
A		+15V	
B		-15V	
C		+5V	
D	NC		
E	NC		
F	NC		
H	NC		
J	NC		
V	NC		
L	NC		
M	NC		
N	NC		
P	NC		
R		ANG GND	
S		ANG GND	

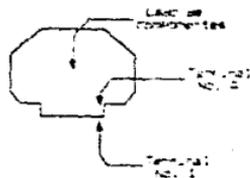


Fig. 4. 1. 2P. Carta de entradas salidas de la tarjeta "UNION".

4.1.5. TARJETA "MODEM".

El objetivo de esta tarjeta es el de modular los datos transmitidos de la tarjeta "MIC" a la unidad de abordaje, y demodular los datos transmitidos de la unidad de abordaje a la tarjeta "MIC", mediante un modem programable (7911A). Además esta tarjeta, con la ayuda de un duplexor y un transformador de acoplamiento, suma los niveles de voltaje requeridos para la comunicación a la alimentación de D.C. necesaria para la polarización adecuada de la unidad sumergible. En la figura 4.1.29 se muestra un diagrama de bloques de esta tarjeta.

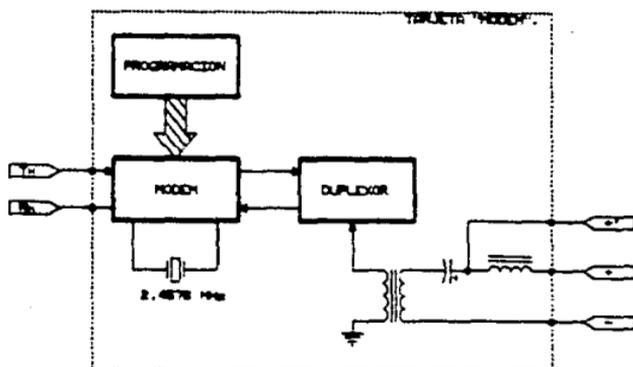


Fig. 4.1.29. Diagrama de bloques de la tarjeta "MODEM".

A continuación se muestran los diagramas constitutivos de esta tarjeta.

DIAGRAMA ELECTRONICO DE LA TARJETA "MODEM".

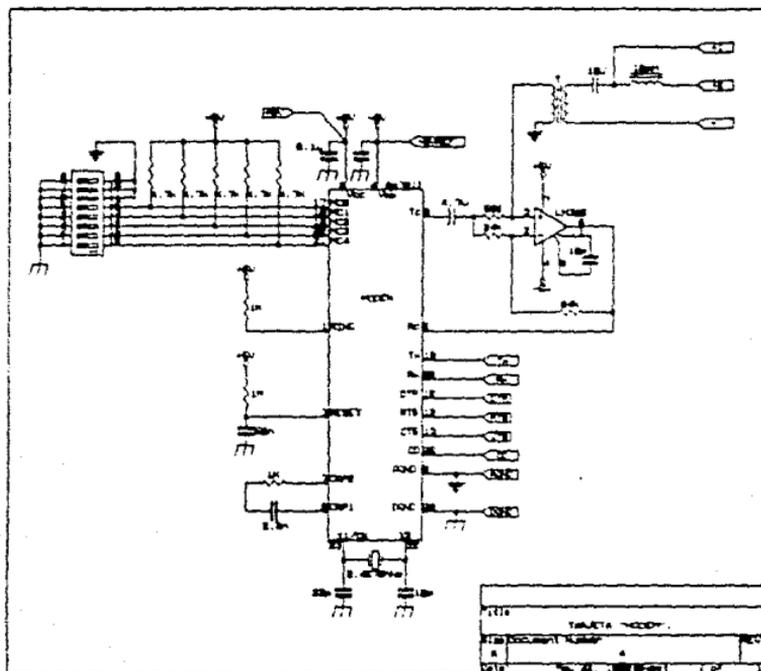


Fig. 4.1.30. Diagrama electrónico de la tarjeta "MODEM".

DIAGRAMA DE COMPONENTES DE LA TARJETA "MODEM".

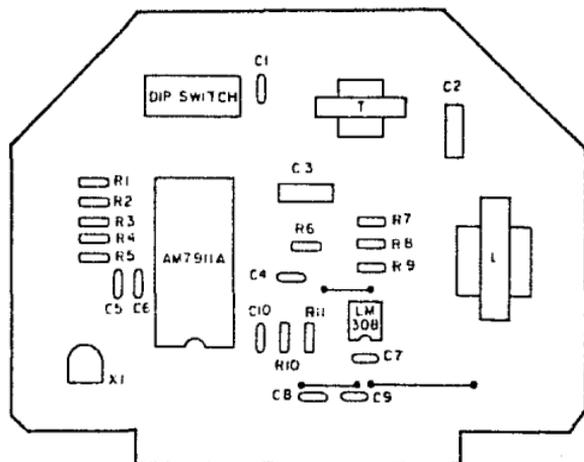


Fig. 4.1.90. Diagrama de componentes de la tarjeta "MODEM".

Lista de componentes principales:

1. 7911A.
1. LM308.
1. Transformador de acoplamiento.
1. Inductor 80mH a 4Ω.
1. Cristal 2.4576MHz.
- 1 Dip switch de 16 pines.

CIRCUITO IMPRESO Y CARTA DE ENTRADA SALIDA DE LA TARJETA "MODEM".

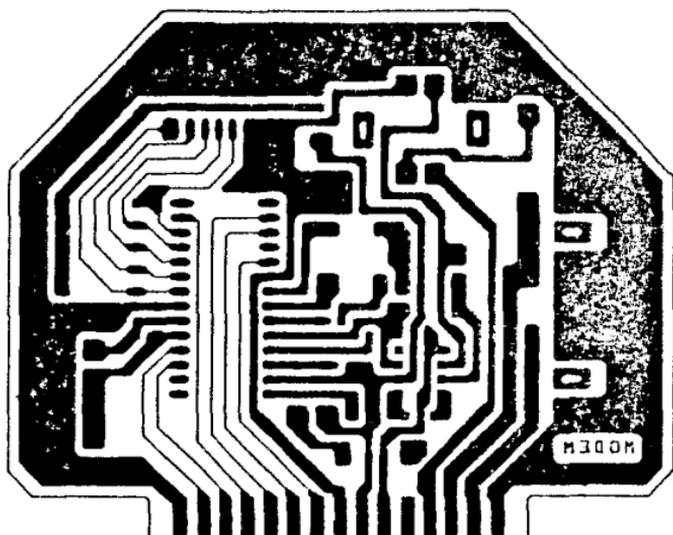


Fig. 4.1.31. Circuito impreso tarjeta "MODEM".

NO DE TERMINAL	NO CONEXION	ENTRADAS	SALIDAS
1		DIC GND	
2			C
3			R _h
4		DTR	
6			CTS
6		RTS	
7		Tx	
6		Rx GND	
8		+5V	
10		-5Vref	
11	NC		
12			-
13		+	
14		-	
16		Rx GND	

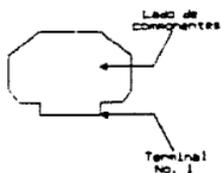


Fig. 4.1.32. Carta de entradas salidas de la tarjeta "MODEM".

4.1.6. TARJETA "FUENTE".

El objetivo de esta tarjeta es el de proveer los niveles de voltaje requeridos para la polarización adecuada de todas las tarjetas de la unidad sumergible. Esta tarjeta opera en base a la regulación lineal, con diodos zeners y transistores Darlington, y hace una transformación de corriente, suministrada por la unidad de abordado, a voltaje. También cuenta con fuentes de voltaje de referencia para la polarización de los amplificadores de instrumentación CAZ. La figura 4.1.34 muestra un diagrama de bloques de esta tarjeta.

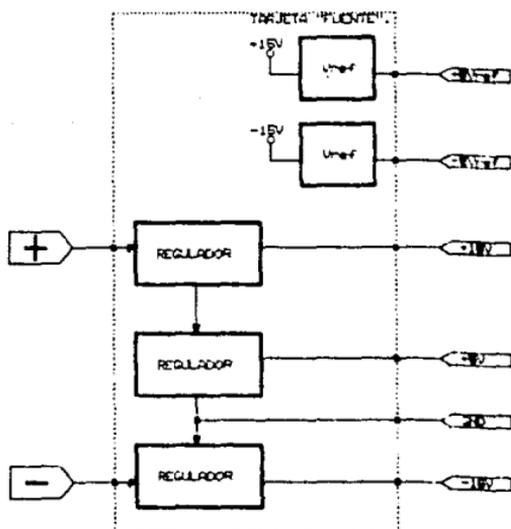


Fig. 4.1.34. Diagrama de bloques de la tarjeta "FUENTE".

A continuación se muestran los diagramas constitutivos de esta tarjeta:

DIAGRAMA ELECTRONICO DE LA TARJETA "FUENTE".

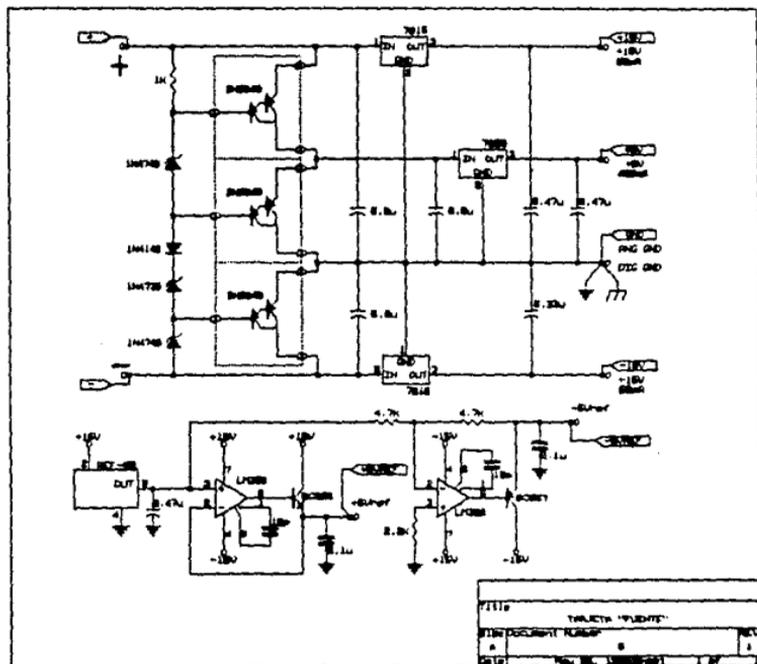


Fig. 4.1.85. Diagrama electrónico de la tarjeta "FUENTE".

DIAGRAMA DE COMPONENTES DE LA TARJETA "FUENTE".

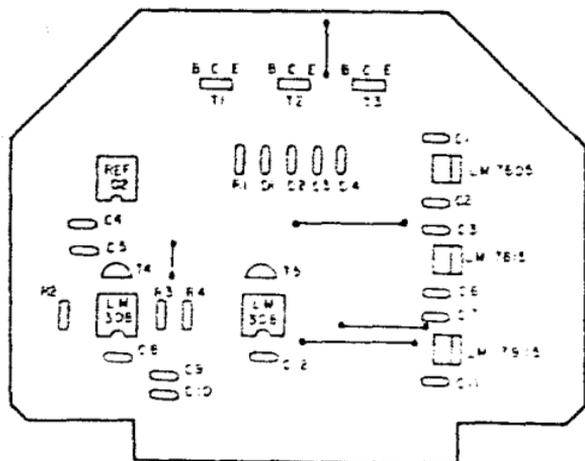


Fig. 4.1.30. Diagrama de componentes de la tarjeta "FUENTE".

Lista de componentes principales:

- 3. 2N5040.
- 1. LM7805.
- 1. LM7815.
- 1. LM7915.
- 2. LM308.
- 1. REF-02.
- 1. BC107.
- 1. BC107.
- 1. 1N4148.
- 1. 1N4740A.
- 1. 1N4738A.
- 1. 1N4748A.

CIRCUITO IMPRESO Y CARTA DE ENTRADA SALIDA DE LA TARJETA "FUENTE".

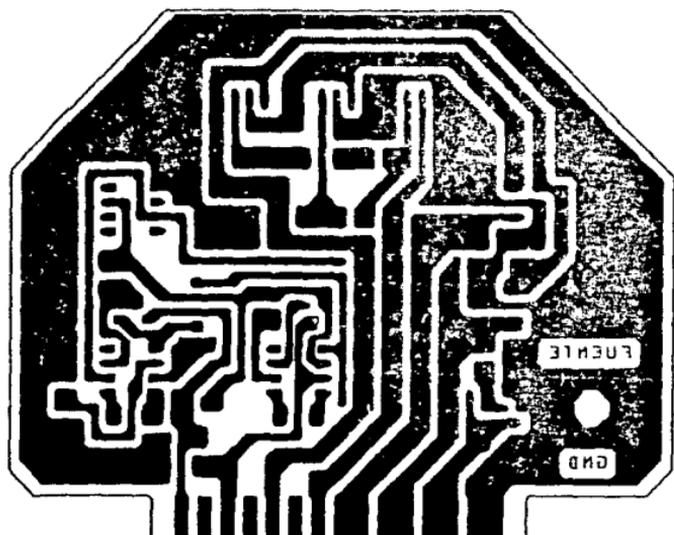


Fig. 4.1.37. Circuito impreso de la tarjeta "FUENTE".

NO DE TERMINAL	NO CONEXION	ENTRADA	SALIDA
1			GND
2			GND
3			-15V
4			-15V
5			+15V
6			-15V
7			-5V
8			+5V
9		=	
10	KC		
11		+	
12	KC		
13			+5Vref
14	KC		
15			-5Vref



Fig. 4.1.38. Carta de entrada salida de la tarjeta "FUENTE".

4.2. UNIDAD DE ABORDO.

Consta de: una computadora personal (PC, XT o AT) y de dos tarjetas. Una se conecta internamente en la computadora, en una de sus ranuras de expansión, y la otra tarjeta es un módulo externo constituido por una fuente de corriente.

Las tarjetas de la unidad de abordó son las siguientes:

1. Tarjeta que recibe y transmite información entre la unidad sumergible y la computadora (TARJETA "INTERFASE").
1. Tarjeta que provee la alimentación requerida por la unidad sumergible, fuente de corriente (TARJETA "FC").

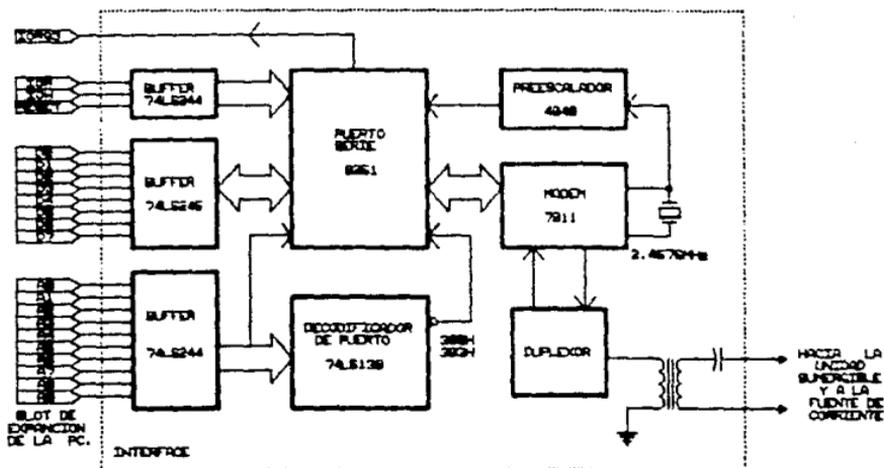


Fig. 4.2.1. Diagrama de bloques de la tarjeta "INTERFASE".

4.2.3. TARJETA "INTERFASE".

El objetivo de esta tarjeta es el de recibir y transmitir información entre la computadora personal y la unidad sumergible.

La arquitectura de la tarjeta interfase se muestra en la figura 4.2.1 donde se puede observar los circuitos dedicados al modem, los circuitos dedicados al direccionamiento del puerto y los dedicados al aislamiento de los buses.

El modem está basado en el circuito integrado T411, se ha programado su uso dentro de nombres BIOS. El transformador T₁ es empleado para el acoplamiento a la línea de comunicación.

El circuito T411 se encarga de la dirección del bus de direcciones y es activado con la presencia de la señal procedente del bus de control, de modo que de cumplirse la decodificación, el circuito BIOS es activado, cargando el dato presentado por los circuitos T41544 de aislamiento, proveniente del bus de datos.

El circuito 6851 es un puerto paralelo serie, dedicado a comunicación, cuenta con las señales de control hacia el modem y como es obvio, una salida serie directamente conectada a la entrada correspondiente del modem.

Se encuentra disponible a través de las ranuras de expansión la señal IRQ3, la cual es una conexión directa con el controlador de interrupciones (control) de la computadora. De esta manera cada vez que se encuentra un dato disponible en el puerto serie del BIOS se habilita la señal IRQ3 produciendo una interrupción al procesador central y el procesador carga en su contador de programa la dirección de inicio de una subrutina de interrupción.

Los datos son transmitidos por la unidad sumergible dentro de un formato dos bytes de inicio de campo, posteriormente cuatro canales de tres bytes cada canal. La subrutina de interrupción

búsqueda los dos bytes de inicio de campo, al ser reconocidos lee los doce bytes subsiguientes considerando la asignación por canal. Esta información es almacenada en variables que se despliegan en el monitor. El programa de aplicación permite el manejo de los datos para crear archivos, en memoria, escritura a disco, impresión en papel y transmisión a la computadora del banco. También se hace uso del reloj en tiempo real de la computadora personal para el registro de las lecturas en día y hora. A continuación se muestran los diagramas constitutivos de esta tarjeta:

DIAGRAMA ELECTRONICO DE LA TARJETA "INTERFASE".

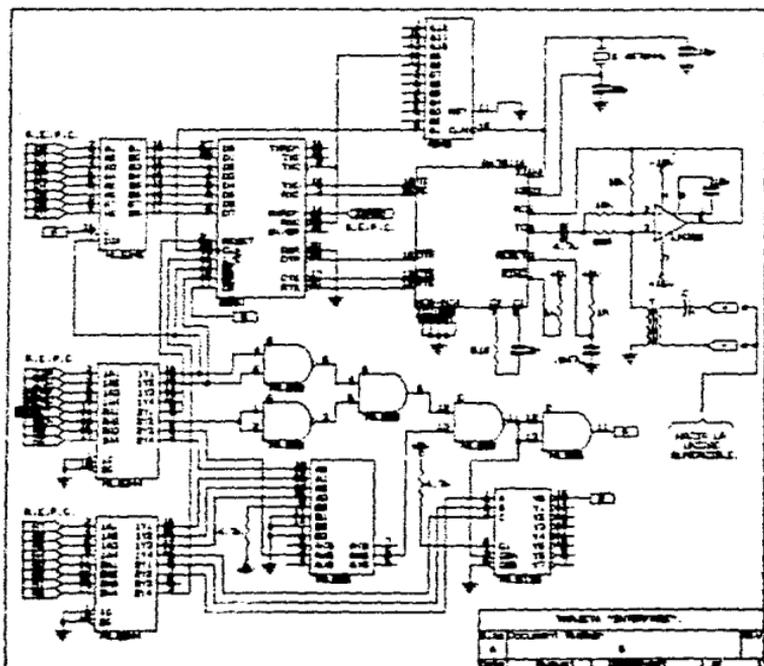


Fig. 4.2.2. Diagrama electrónico de la tarjeta "INTERFASE".

DIAGRAMA DE COMPONENTES DE LA TARJETA "INTERFASE".

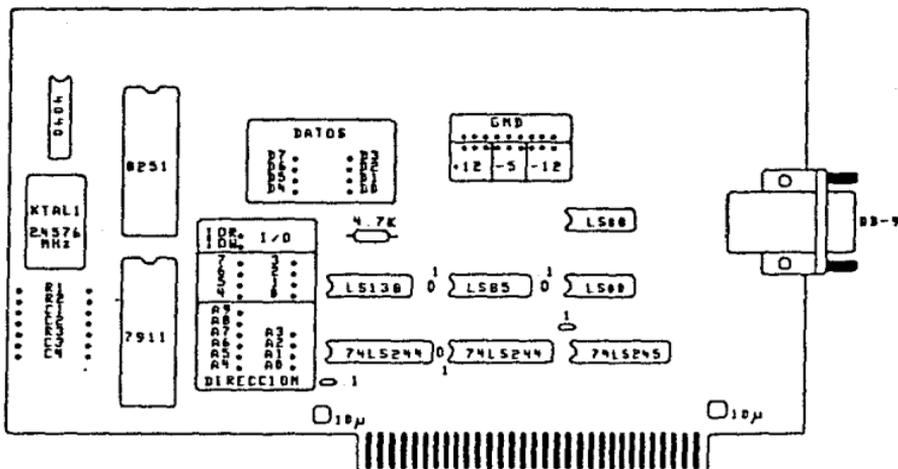


Fig. 4.2.8. Diagrama de componentes de la tarjeta "INTERFASE".

Lista de componentes principales:

1. Am7911. (Modem).
1. B251A. (Interfase serie paralelo).
1. Transformador de acoplamiento.
1. Cristal 2.4576 MHz.
1. 4040.
1. 74LS00.
1. 74LS08.
1. 74LS85.
1. 74LS138.
2. 74LS244.
1. 74LS245.

4.2.2. TARJETA "F.C."

El objetivo de esta tarjeta es el de suministrar la energía requerida por la unidad sumergible desde la unidad de abordo.

Se utiliza una fuente de corriente, en base a la regulación lineal, con una alta impedancia de salida y suministro de corriente de 500mA sobre la unidad sumergible. El hecho de utilizar la fuente de corriente, se debió a la necesidad que se tenía de compensar las pérdidas provocadas por la longitud del cable de enlace, entre las dos unidades. En la figura 4.2.4 se muestra un diagrama de bloques de esta tarjeta.

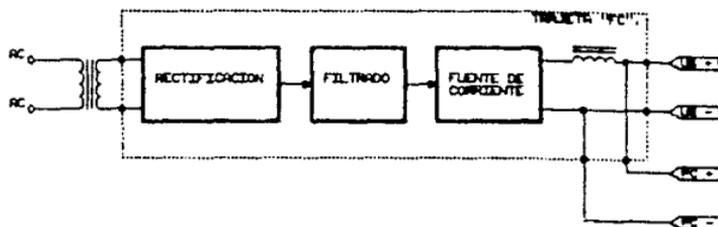


Fig. 4.2.4. Diagrama de bloques de la tarjeta F.C.

A continuación se muestran los diagramas constitutivos de esta tarjeta:

DIAGRAMA ELECTRONICO DE LA TARJETA "F.C."

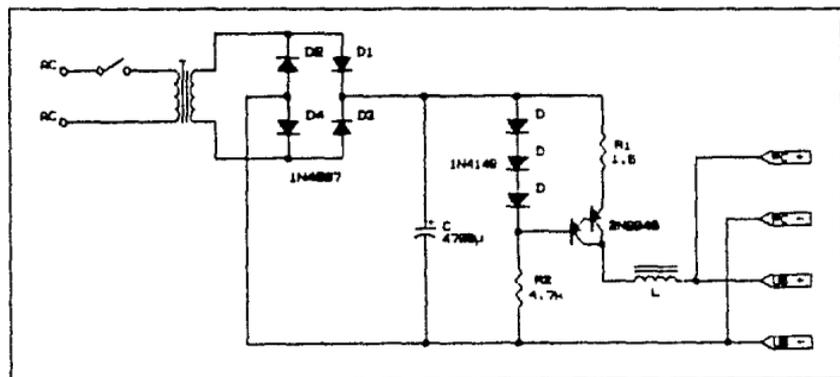


Fig. 4.2.5. diagrama electrónico tarjeta FC.

DIAGRAMA DE COMPONENTES DE LA TARJETA "F.C."

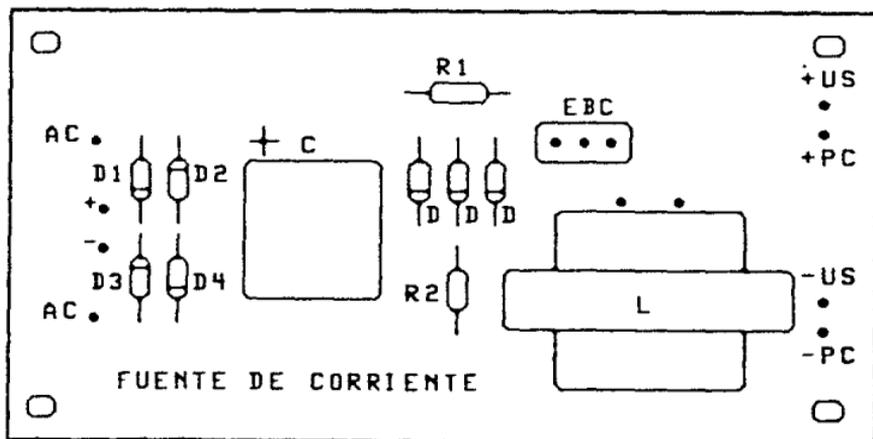


Fig. 4.2.6. Diagrama de componentes de la tarjeta "FC".

Lista de componentes principales:

1. 2N6040.
3. 1N4148.
1. Puente de diodos 50V a 1A.
4. Capacitores de 1000 μ F a 100V.
1. Transformador de 80V a 1A.

CIRCUITO IMPRESO TARJETA "F.C."

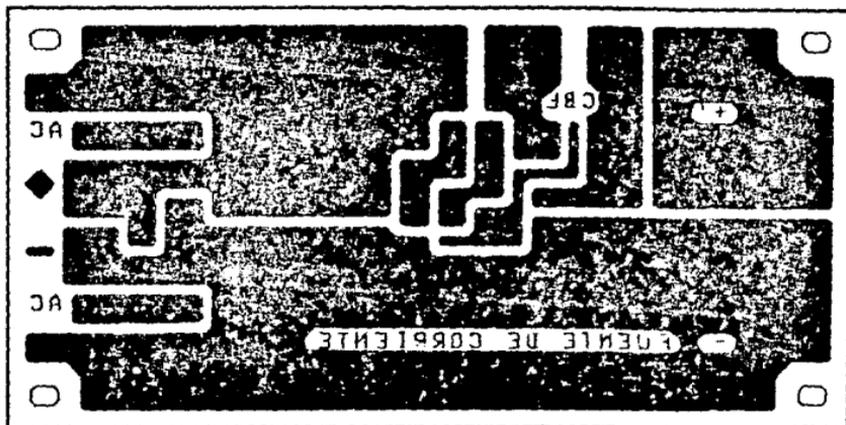


Fig. 4. 2. 7. Circuito impreso tarjeta "FC".

CAJITA DE ENTRADA SALIDA TARJETA "F.C."

ENTRADAS

AC1
AC2

SALIDAS

+ Unidad Sumergible
+ PC.
- Unidad sumergible
-PC

DESCRIPCIÓN GENERAL DE FUNCIONAMIENTO

Para lograr el desempeño adecuado entre la unidad sumergible y la unidad de abordó ambas cuentan con un programa residente, que les indica la función que deben realizar.

De ésta manera se cuenta en el sistema con dos programas: uno residente en la unidad sumergible (en lenguaje ensamblador Z-80) y el otro residente en la computadora personal (en Pascal).

Los programas desarrollados realizan las funciones básicas que puede desempeñar el sistema, sin embargo, la enorme ventaja que se presenta, al utilizar un microcomputador y una computadora personal, hace que estos programas puedan cambiar, y realizar una infinidad de tareas que pueden ser más útiles en la medición de otro tipo de variables que sean de interés por el usuario, ya que el sistema cuenta con el soporte necesario para poder implementar otras funciones, sin ningún problema, de esta forma se pueden transmitir comandos de operación desde la unidad de abordó a la unidad sumergible, cambiar los periodos de muestreo, realizar calibraciones o autocalibraciones, aumentar el número de transductores a la entrada del sistema, detección de errores en las lecturas, preescalamientos a niveles adecuados, etc.

A continuación se explica cada uno de estos programas, en diagramas de flujo.

5.1. PROGRAMA MONITOR DE LA UNIDAD SUMERGIBLE.

El programa debe realizar las siguientes funciones:

1. Programar las interfaces.
2. Generar las señales de control de:
 - a) Los circuitos muestreadores retenedores (S/H).
 - b) Las líneas de selección del multiplexor analógico (MO y MI).
 - c) Inicio de conversión de los convertidores A/D.
 - d) De la memoria NVRAM.
3. Reconocer el fin de conversión de los convertidores A/D, tomar las lecturas y transmitir las a la unidad sumergible.

5.1.1. PROGRAMACION DE LAS INTERFASES.

Las interfaces deben de operar de la siguiente manera:

PIO. El puerto A debe de operar en el modo de salida con las interrupciones habilitadas como lo muestra la figura 5.1.1.

El puerto B debe de operar en el modo de salida como lo muestra la figura 5.1.1.

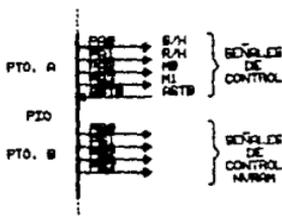


Fig. 5.1.1. Configuración de las salidas del PIO.

- CTC.** El canal cero debe de operar en el modo timer.
 El canal uno debe de operar en el modo contador y se deben de habilitar las interrupciones.
 El canal dos debe de operar en el modo timer a una frecuencia de 4800 Hz.
- SIO.** El puerto A debe de operar en el modo asíncrono para recibir y transmitir a 300 bauds, con 8 bits/caracter, paridad par y 2 bits de paro.

La figura 5.1.2 muestra la configuración del CTC y del SIO.

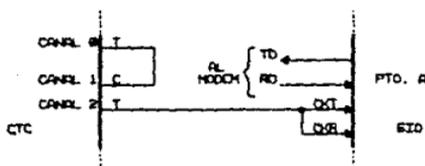


Fig. 5.1.2. Configuración del CTC y del SIO.

5.1.2. SEÑALES DE CONTROL.

Las señales de control, como se mencionó anteriormente, están a cargo del puerto A del PIO y son:

- S/H Señal de control para los circuitos muestreadores retenedores.
- R/H Inicio de conversión de los convertidores A/D.
- M0 y M1 Líneas de selección del multiplexor analógico.

Y se deben generar como lo muestra la figura 5.1.3, cuando se utilizan cuatro transductores a la entrada del sistema.

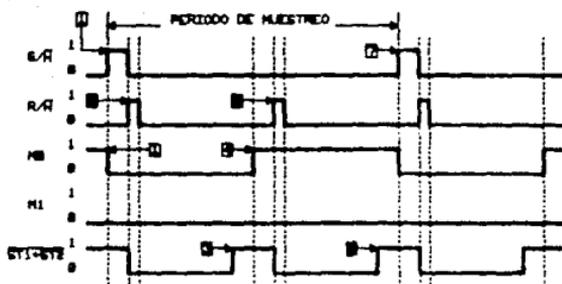


Fig. 5.1.3. Señales de control del sistema.

De la figura 5.1.3 se observan los siguientes puntos:

1. En este instante se toma una muestra de los cuatro transductores y se activa el canal cero del multiplexor seleccionándose a los transductores 1 y 3.
2. Se da el inicio de conversión de los convertidores A/D que tienen a su entrada los transductores 1 y 3.
3. Los convertidores responden, por medio de la señal ASTB, con el fin de conversión indicando que tienen listas las lecturas de los transductores 1 y 3.
4. Se activa el canal uno del multiplexor analógico seleccionándose los transductores 2 y 4.
5. Se da el inicio de conversión de los convertidores A/D que ahora tienen a su entrada a los transductores 2 y 4.
6. Los convertidores nuevamente responden con el fin de conversión indicando que tienen listas las lecturas de los transductores 2 y 4.

7. Se repite el ciclo desde el paso 1.

5.1.3. LECTURA Y TRANSMISION DE LOS CONVERTIDORES A/D.

Debido a la compatibilidad de los convertidores A/D con los microprocesadores la lectura de los mismos se lleva a cabo mediante un acceso directo de puerto.

Para la comunicación entre las unidades sumergible y de abordo se utiliza una comunicación serie asincrónica con las siguientes características:

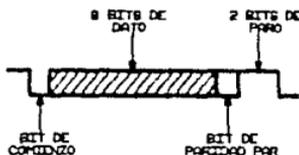


Fig. 5.1.4. Comunicación serie asincrónica.

- 1 Bit de comienzo.
- 8 Bits de dato.
- 1 Bit de paridad par.
- 2 Bits de paro.

Debido a que el convertidor utiliza 16 bits para realizar su conversión y de dos más para indicar la polaridad y el sobreflujo se utilizan 3 bytes de dato para la transmisión de la lectura de un transductor.

Además como el sistema maneja cuatro transductores diferentes a su entrada, al transmitir la lectura de los transductores se hace necesaria la introducción de un inicio de campo, con el objeto de que el receptor identifique cual es la

lectura del primer transductor y una vez que se haya reconocido se podrán identificar las lecturas de los demás transductores de acuerdo al patron presentado en la figura 5.1.5.

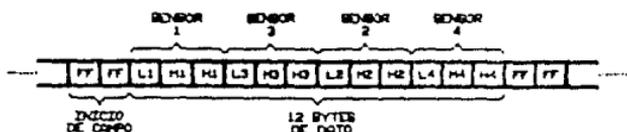


Fig. 5.1.5. Formato de la transmisión de las lecturas tomadas.

L Byte menos significativo del convertidor A/D.

M Byte medio del convertidor A/D.

H Byte mas significativo del convertidor A/D.

Para el inicio de campo se escogieron dos palabras conteniendo el valor hexadecimal FFH, debido a que es un patron que se repite continuamente y por lo tanto poco probable que se presente en las lecturas de los convertidores formando un enlace con muy baja probabilidad de errores.

De acuerdo a las funciones anteriores, el programa se estructuró como lo muestra el diagrama de flujo de la figura 5.1.6. En el diagrama de flujo se observa que se utilizan interrupciones para el proceso de lecturas de datos y para la generación de las señales de control. Cuando el CTC interrumpe se generan las señales de control que correspondan en ese momento y cuando el PIO interrumpe se hacen las lecturas y la transmisión de los datos. La única restricción en el programa es que los intervalos de muestreo sean mayores que los tiempos requeridos por los convertidores para realizar su conversión, de otra manera se crearia un conflicto entre la demanda de conversión y la demanda de muestreo.

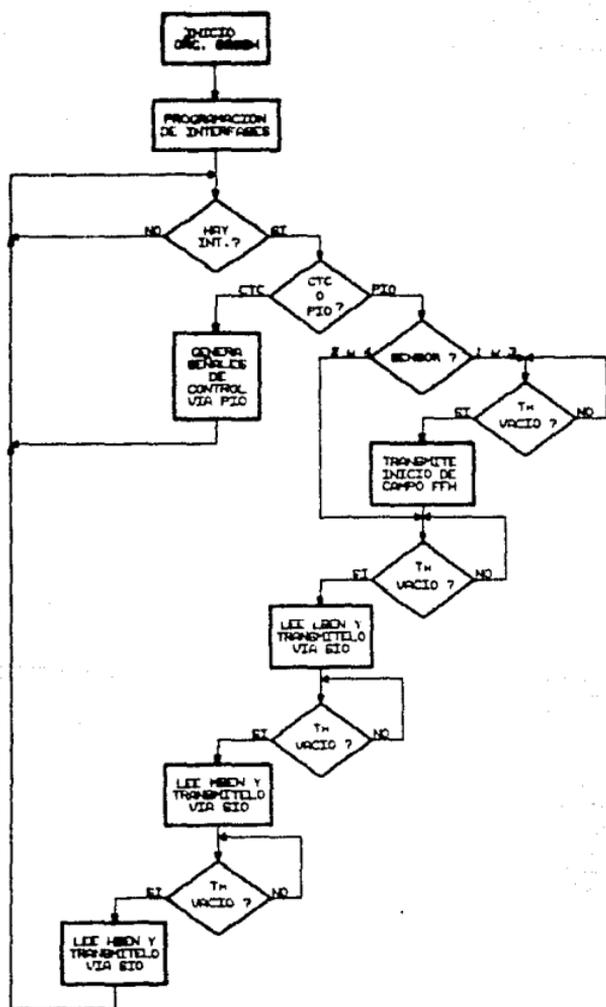


Fig. 5.1.6. Diagrama de flujo del programa monitor de la U. S.

En el apéndice A se muestra el programa monitor de la unidad sumergible en lenguaje ensamblador Z-80.

5.2. PROGRAMA MONITOR DE LA UNIDAD DE ABORDO.

El programa tiene que realizar las siguientes funciones:

1. Programar interfaces (8251A y 8259A).
2. Recibir los datos de la unidad sumergible.

5.2.1. PROGRAMACION DE LAS INTERFASES.

Las interfases debe de operar de la siguiente manera:

8251A. Comunicación serie asincrónica con recepción a 300 bauds, 8 bits/caracter, paridad par, y un bit de paro.

8259A. Enmascarar IRQ3.

Además el programa tiene que salvar el estado actual de las interrupciones para que al salir del programa se restauren las condiciones iniciales de las interrupciones.

5.2.2. RECEPCION DE DATOS DE LA UNIDAD SUMERGIBLE.

Los datos se reciben desde la unidad sumergible mediante interrupciones generadas por el modem, cuando tiene un dato disponible, sobre la línea de interrupción IRQ3. Una vez que existe un dato válido se tiene que reconocer el inicio de campo, para que al ser identificado se asignen los datos siguientes a sus variables correspondientes y poderlas mostrar en el monitor de la computadora.

En la figura 5.2.1 se muestra el diagrama de flujo del programa monitor de la unidad de abordó y en el apéndice B el programa en Pascal.

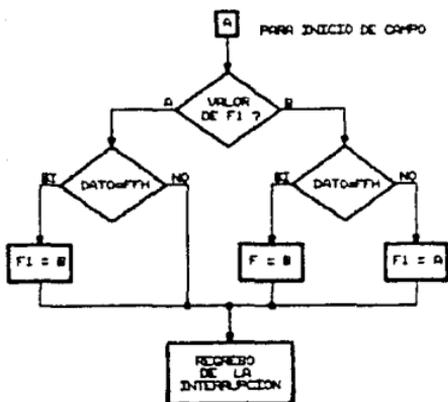
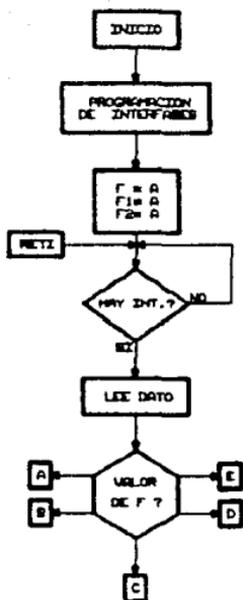


Fig. 5.2.1. Diagrama de flujo del programa monitor de la UA.

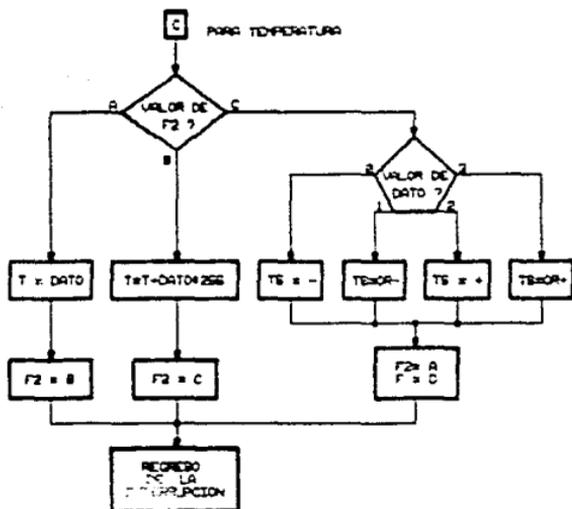
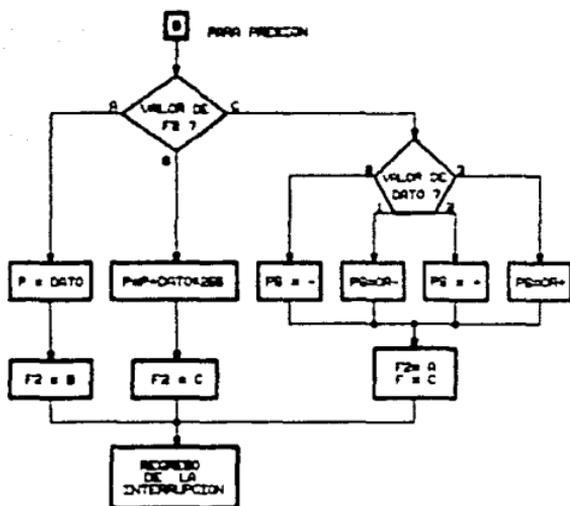


Fig. 3.2.1. Diagrama de flujo del programa monitor de la UA. (cont.).

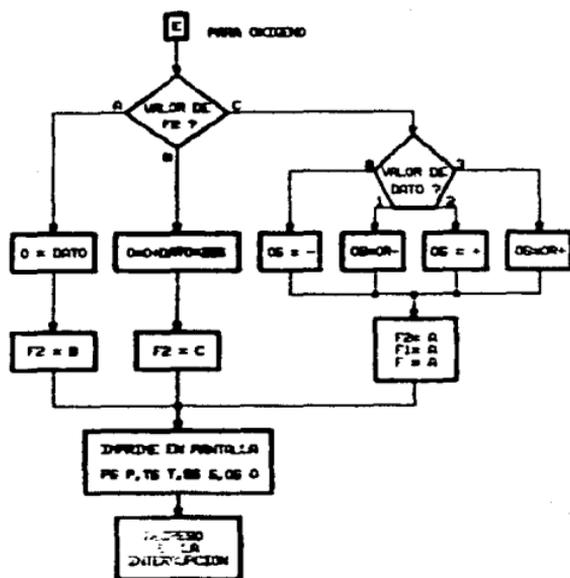
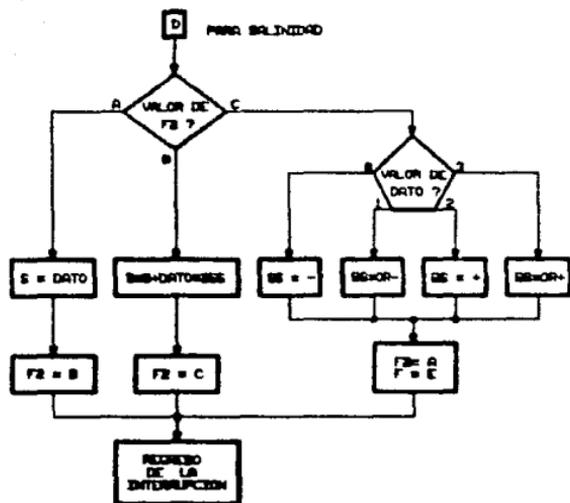


Fig. 5.2.1. Diagrama de flujo del programa monitor de la UA. (cont.).

PRUEBAS Y CONCLUSIONES

Actualmente el sistema se encuentra construido en un 100% en pruebas de laboratorio, sin embargo falta la estructura final del contenedor y los sensores adecuados, los cuales quizás requieren de su propia interfase para interactuar con el equipo, pero de acuerdo a la configuración presentada por el sistema, fácilmente se pueden implementar las funciones que requieran las interfases del transductor asociado.

Las pruebas de laboratorio que se han venido realizando, sobre los canales, se basan en extensómetros eléctricos colocados sobre una estructura de aluminio con un arreglo puente de Wheatstone.

Con la ayuda de este transductor se verificó la estabilidad que presenta el sistema en cada una de sus partes (Amplificación, muestreo, sostenimiento, multiplexaje, conversión A-D y transmisión), también se comprobó la comunicación entre la unidad sumergible y la unidad de abord, que dependen de los duplexores conectados con el modem y el cable de enlace, consumo de energía y requerimiento mínimo de voltaje de la unidad sumergible.

A continuación se presentan los resultados obtenidos en cada una de las etapas.

6.1. PRUEBAS.

La correcta operación del equipo se refleja en los resultados obtenidos en las pruebas de laboratorio, de acuerdo a las tareas que debe realizar el instrumento de medición.

6.1.1. SALIDA DE LAS ETAPAS DE AMPLIFICACION, Y MUESTREO SOSTENIMIENTO.

Para apreciar la respuesta de estas dos etapas se conectó a la entrada del amplificador de instrumentación CAZ un extensómetro eléctrico en un arreglo puente.

En el oscilograma de la figura 6.1.1 se muestran las salidas presentadas por el amplificador de instrumentación CAZ y el

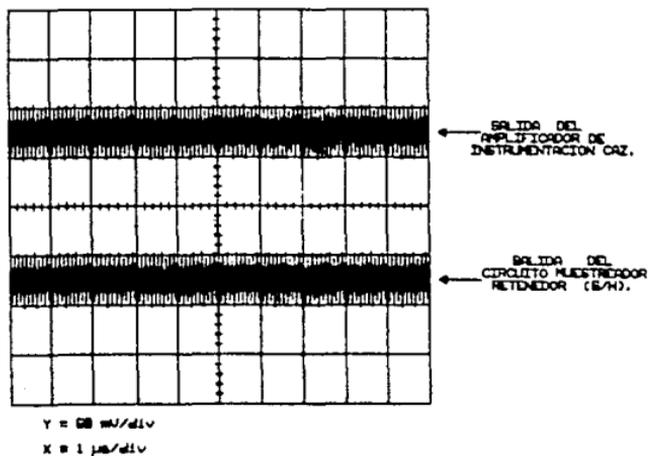


Fig. 6.1.1. Oscilograma de las salidas del amplificador CAZ y del circuito muestreador retenedor (S/M).

circuito muestreador retenedor (S/H), en donde se observan las transiciones provocadas por la conmutación de auto cero del amplificador CAZ y el bajo nivel de voltaje de ruido reflejado íntegramente en la salida del circuito muestreador retenedor (S/H).

6.1.2. SALIDA DE LA ETAPA DE MULTIPLEXAJE.

En la figura 6.1.2 se ilustra el oscilograma de la salida presentada por el multiplexor analógico, monitoreándose los canales 1 y 3 del equipo. El canal uno se encuentra conectado al extensómetro eléctrico, por medio de las dos etapas anteriores, y el canal tres se encuentra conectado a tierra, localizada en algún lugar del sistema. En la salida se observa el mismo nivel de las etapas anteriores, además se aprecia claramente el tiempo tomado por el intervalo de muestreo, dado por el programa de aplicación. (que en este caso particular es de 1.2 seg).

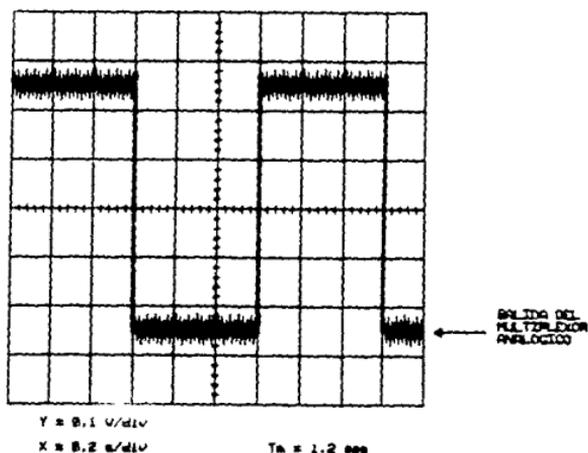


Fig. 6.1.2. Salida de la etapa de multiplexaje.

6.1.3. ESTABILIDAD DE LOS CONVERTIDORES A/D.

Como el sistema utiliza convertidores A/D de 16 bits con un voltaje de referencia de 2V y el voltaje de plena escala es igual a 2 veces el voltaje de referencia, se tiene una resolución en el convertidor de:

$$\frac{4 \text{ V}}{2^{16}} = 0.000061035 \text{ V} \approx 61 \mu\text{V}$$

este nivel de voltaje es muy pequeño, lo que representa una alta sensibilidad en los bits menos significativos (LSB) del convertidor, esto nos indica que, si el voltaje de entrada al convertidor presenta un alto nivel de voltaje de ruido, los LSB del convertidor variarían notablemente presentando una inestabilidad aparente. Sin embargo, el sistema en esta etapa presentó una buena estabilidad. En la figura 6.1.3 se muestran diferentes tablas de resultados, obtenidos a la salida de los convertidores, en los cuales se observa la estabilidad presente en los bits menos significativos, presentándose una variación de hasta 6 cuentas en la conversión de una muestra. El primer canal (CANAL 1) se encuentra conectado al extensómetro eléctrico, via las etapas anteriores, el segundo canal (CANAL 2) se encuentra conectado al voltaje de referencia de 2V, finalmente el tercero y el cuarto canal (CANAL 3 y CANAL 4) se conectaron a tierra localizada en distintos lados en el sistema.

6.1.4. COMUNICACION ENTRE LA U.S. Y LA U.A.

En la misma figura, 6.1.3, se observa el adecuado enlace entre la unidad sumergible (U.S.) y la unidad de abordo (U.A), proporcionándose a cada canal su dato correspondiente sin error. Los datos fueron tomados de la unidad sumergible, en la forma secuencial en que fueron transmitidos, por la PC.

CANAL 1	CANAL 2	CANAL 3	CANAL 4
- 8152	- 3	+ 2	+ 32668
- 8153	- 3	+ 1	+ 32667
- 8154	- 3	+ 0	+ 32668
- 8153	- 3	+ 1	+ 32668
- 8153	- 3	+ 1	+ 32667
- 8152	- 3	+ 0	+ 32668
- 8155	- 3	+ 0	+ 32668
- 8155	- 3	+ 1	+ 32667
- 8154	- 3	+ 1	+ 32668
- 8154	- 3	+ 0	+ 32668
- 8149	- 3	+ 1	+ 32667
- 8152	- 3	+ 0	+ 32668
- 8154	- 3	+ 1	+ 32668
- 8150	- 3	+ 1	+ 32667
- 8151	- 3	+ 1	+ 32668
- 8155	- 3	+ 1	+ 32668
- 8155	- 3	+ 1	+ 32668
- 8154	- 3	+ 1	+ 32668
- 8154	- 3	+ 1	+ 32668
- 8152	- 3	+ 0	+ 32667
- 8156	- 3	+ 0	+ 32668
- 8154	- 3	+ 2	+ 32668
- 8153	- 3	+ 1	+ 32668
- 8154	- 3	+ 1	+ 32668
- 8152	- 3	+ 2	+ 32668
- 8152	- 3	+ 1	+ 32667
- 8155	- 3	+ 1	+ 32668
- 8151	- 3	+ 0	+ 32668
- 8155	- 3	+ 1	+ 32667
- 8150	- 3	+ 1	+ 32667
- 8155	- 3	+ 0	+ 32668
- 8153	- 3	+ 2	+ 32668
- 8150	- 3	+ 1	+ 32668
- 8154	- 3	+ 1	+ 32668
- 8152	- 3	+ 1	+ 32668
- 8155	- 3	+ 1	+ 32667
- 8154	- 3	+ 1	+ 32668
- 8151	- 3	+ 2	+ 32668
- 8155	- 3	+ 1	+ 32667
- 8154	- 3	+ 1	+ 32668
- 8151	- 3	+ 0	+ 32668
- 8155	- 3	+ 0	+ 32668
- 8154	- 3	+ 2	+ 32668
- 8155	- 3	+ 0	+ 32668
- 8153	- 3	+ 0	+ 32668
- 8153	- 3	+ 0	+ 32668
- 8151	- 3	+ 1	+ 32668

Fig. d. 1. 3. a. Tabla de datos recibidos de la unidad sumergible
(Tamb = 24°C celda libre de carga).

CANAL 1	CANAL 2	CANAL 3	CANAL 4
- 8146	- 3	+ 1	+ 32668
- 8148	- 3	+ 1	+ 32668
- 8148	- 3	+ 1	+ 32667
- 8147	- 3	+ 1	+ 32669
- 8146	- 3	+ 1	+ 32668
- 8146	- 3	+ 0	+ 32667
- 8148	- 3	+ 2	+ 32668
- 8149	- 3	+ 1	+ 32667
- 8145	- 3	+ 1	+ 32667
- 8147	- 3	+ 1	+ 32668
- 8147	- 3	+ 1	+ 32668
- 8147	- 3	+ 1	+ 32667
- 8147	- 3	+ 0	+ 32668
- 8146	- 3	+ 1	+ 32668
- 8146	- 3	+ 1	+ 32667
- 8148	- 3	- 0	+ 32669
- 8148	- 3	+ 1	+ 32668
- 8140	- 3	+ 1	+ 32667
- 8146	- 3	+ 1	+ 32668
- 8150	- 3	+ 1	+ 32668
- 8147	- 3	+ 1	+ 32667
- 8148	- 3	+ 1	+ 32667
- 8148	- 3	+ 1	+ 32668
- 8148	- 3	+ 0	+ 32667
- 8145	- 3	+ 2	+ 32668
- 8147	- 3	+ 1	+ 32668
- 8148	- 3	+ 1	+ 32667
- 8148	- 3	+ 1	+ 32667
- 8146	- 3	+ 1	+ 32668
- 8145	- 3	+ 1	+ 32668
- 8146	- 3	+ 1	+ 32667
- 8147	- 3	+ 1	+ 32668
- 8146	- 3	+ 1	+ 32668
- 8148	- 3	+ 2	+ 32668
- 8147	- 3	+ 1	+ 32667
- 8146	- 3	+ 1	+ 32668
- 8145	- 3	+ 2	+ 32668
- 8148	- 3	+ 0	+ 32667
- 8146	- 3	- 0	+ 32668
- 8144	- 3	+ 0	+ 32668
- 8146	- 3	+ 1	+ 32668
- 8145	- 3	+ 1	+ 32667
- 8147	- 3	+ 1	+ 32667
- 8147	- 3	+ 1	+ 32668
- 8145	- 3	+ 2	+ 32667
- 8147	- 3	+ 1	+ 32668
- 8144	- 3	+ 1	+ 32668
- 8145	- 3	+ 2	+ 32667
- 8147	- 3	+ 1	+ 32668
- 8144	- 3	+ 1	+ 32668
- 8145	- 3	+ 2	+ 32668

Fig. 0.1.3.b. Tabla de datos recibidos de la unidad sumergible
(Tamb = 20°C celda libre de carga).

CANAL 1	CANAL 2	CANAL 3	CANAL 4
8140	3	0	32667
8138	3	1	32668
8141	3	1	32668
8136	3	1	32667
8138	3	1	32668
8137	3	0	32667
8139	3	1	32668
8138	3	3	32668
8138	3	1	32667
8140	3	1	32668
8139	3	0	32668
8138	3	0	32668
8136	3	1	32667
8138	3	1	32668
8137	3	1	32668
8139	3	1	32667
8141	3	1	32667
8139	3	2	32668
8138	3	1	32667
8139	3	1	32667
8136	3	1	32668
8138	3	2	32668
8138	3	1	32667
8138	3	1	32668
8140	3	1	32667
8140	3	1	32667
8139	3	1	32668
8139	3	1	32667
8140	3	1	32667
8136	3	1	32668
8138	3	1	32668
8137	3	1	32667
8141	3	2	32667
8138	3	1	32668
8140	3	1	32667
8138	3	1	32667
8139	3	1	32668
8137	3	0	32668
8138	3	1	32667
8139	3	1	32667
8137	3	1	32667
8139	3	1	32667
8140	3	1	32668
8137	3	0	32667
8139	3	1	32667

Fig. 6. 1. 9. c. Tabla de datos recibidos de la unidad sumergible
($T_{amb} = 18^{\circ}\text{C}$ celda libre de carga).

8.1.5. CONSUMO DE ENERGIA.

Debido a la regulación lineal el consumo de energía se vuelve un tanto ineficiente, reflejándose en pérdidas térmicas absorbidas por los transistores Darlington principalmente.

La unidad sumergible requiere de un voltaje mínimo de polarización de 36.2V, con un consumo de corriente de 450mA, para que tenga un funcionamiento adecuado. Por lo que requiere de un consumo de energía de $36.2 \times 0.45 = 16.29$ Watts.

Dentro de la unidad sumergible la tarjeta que más requiere de consumo de corriente es la tarjeta "MIC", aproximadamente 380mA, debido a los componentes que pertenecen a la familia Σ -80. Este consumo se puede minimizar notablemente, debido a que esta familia también se fabrica en tecnología CMOS, ocasionando una reducción en el consumo de corriente de hasta el 80% en esta tarjeta, lo que representaría tener un consumo de corriente de aproximadamente 76mA y por lo tanto un consumo total de 146mA y un consumo de energía de 5.285 Watts. Esta reducción inmediatamente se reflejaría en la disipación térmica de los transistores Darlington, disminuyendo significativamente. Esta consideración se hace si es que se piensa en un equipo portátil alimentado por baterías.

8.1.6. CONSTRUCCION FINAL DEL EQUIPO.

La construcción final del equipo quedaría como lo muestra la figura 8.1.4, en donde se observa a la unidad de abordó compuesta por la computadora del tipo personal, con los accesorios necesarios para el manejo de los datos, y un pequeño módulo que, alimenta a la unidad sumergible y separa los datos de comunicación entre ambas unidades, también se observa el malacate del barco que sostiene a la estructura final del contenedor de la U.S.

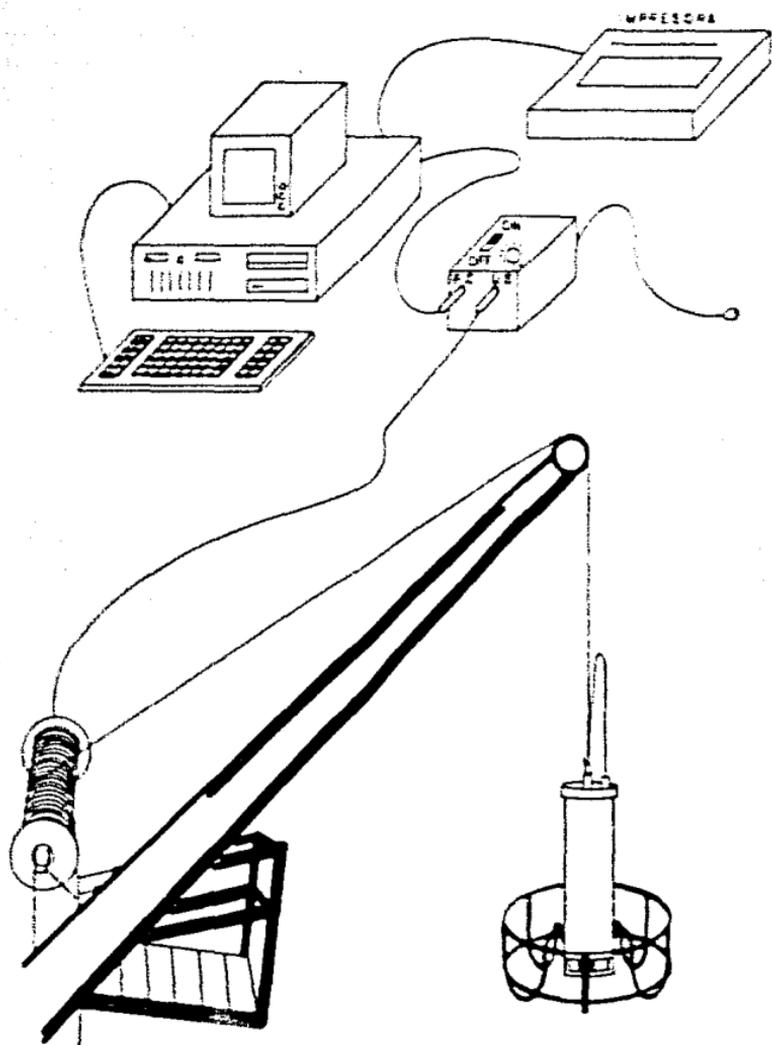


Fig. 6.1.4. Construcción final del equipo de adquisición de datos seismográficos.

6.2. CONCLUSIONES.

Durante el desarrollo del proyecto se observaron los diferentes problemas que se pueden presentar en cada una de las etapas de un sistema de adquisición de datos, según los requerimientos establecidos por el equipo.

En la figura 6.2.1 se enlistan algunos de los problemas encontrados con su respectiva solución.

PROBLEMAS PRESENTADOS	SOLUCIONES
Amplificador de instrumentación con un alto rechazo en modo común.	Utilización de un amplificador de instrumentación por conversión de auto-corro. (OAZ).
Precisión.	Uso de conversiones A/D de 16 bits.
Retorno de las corrientes de la parte digital y la parte analógica.	Se hicieron dos planos de tierra dentro del sistema una analógica y una digital.
Inestabilidad en los LSB de los conversiones A/D utilizando fuentes conmutadas.	Uso de fuentes con regulación lineal.
Tiempo de conversión.	Uso de dos conversiones A/D.
Sistema inteligente.	Uso de una microcomputadora y una computadora del tipo personal.
Adecuamiento entre alimentación e información.	Uso de transformadores de acoplamiento y dobleces.
Interfaz de las tarjetas "MIC" y "A/D-PLD".	Uso de la tarjeta "UNION".
Comunicación full-duplex sobre dos hilos en enlace.	Uso de Modems.
Dato válido presente en la PC transmitido desde la unidad sumergible.	Uso de interrupciones mediante el BUSBA de la PC.

Fig. 6.2.1. Problemas encontrados en el desarrollo del sistema de adquisición de datos

Así la adecuada selección de los componentes utilizados, desempeña un papel importante en la elaboración final de cualquier instrumento de medición, ya que depende de ellos la precisión de las lecturas que se vayan tomando.

Las tareas a realizar por el sistema marcan la pauta del inicio de diseño y a través de este se establece la estructura final del equipo, aunque en nuestro caso también se hizo uso de los antecedentes que se tenían de equipos de este tipo para llegar al diseño definitivo.

Una vez seleccionados y probados los componentes elegidos para cada una de las etapas el compromiso siguiente es el de elegir la distribución más óptima dentro del sistema, en cuanto a la estructura final que se le quiera dar al equipo, donde también nos basamos en arreglos y estructuras típicas utilizadas dentro de la instrumentación oceanográfica.

Un sistema de adquisición de datos oceanográficos realiza una importante tarea en la investigación oceanográfica. Por lo tanto la calidad del equipo influirá notablemente en el desarrollo de las lecturas que se tomen de las variables que se pretenden medir.

Dentro del sistema uno de los puntos más sobresalientes fue el hecho de realizar una interfase entre el sistema de adquisición de datos y una computadora del tipo personal, ya que la computadora se encargara de procesar los datos de la forma que más le convenga al usuario, almacenar en memoria, preescalamientos a niveles adecuados para compatibilidad de unidades, salida directa a impresora, etc.

El sistema desarrollado presentó varias ventajas comparadas con los equipos convencionales de este tipo, en la figura 8.2.2 se muestran algunas ventajas encontradas.

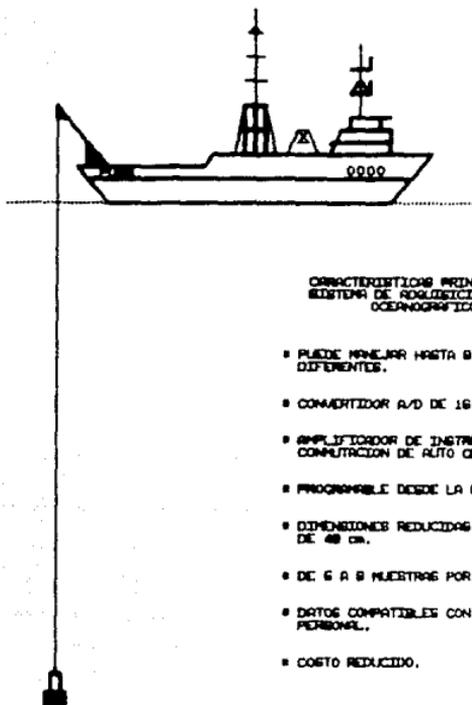


Fig. n. 2.2. Características principales del sistema de adquisición de datos oceanográficos.

Aparte de las ventajas encontradas se manifiesta la importancia que tendría el de construir equipos de este tipo en México tanto en costo como en mantenimiento.

APENDICE A

PROGRAMA MONITOR DE LA UNIDAD SUMERGIBLE
EN LENGUAJE ENSAMBLADOR Z-80

```

1. 0000: ;
2. 0000: ;
3. 0000: ;
4. 0000: ;
5. 0000: ;
6. 0000: ;
7. 0000: ;
8. 0000: ;
9. 0000: .ORG 0000H ;Inicio del programa localidad 0000H.
10. 0000: ;
11. 0000: 00 NOP
12. 0001: 00 NOP
13. 0002: ED 5E IM 2 ;Modo 2 de interrupciones.
14. 0004: 31 00 21 LD SP,2100H ;Definicion de SP.
15. 0007: 2E 01 LD A,01H ;Parte alta del inicio de la tabla de
16. 0009: ED 47 LD I,A ;direcciones de las subrutinas de int.
17. 000B: ;
18. 000B: ; Programacion del PIO.
19. 000B: ;
20. 000B: 3E 87 LD A,87H
21. 000D: D3 82 OUT (82H),A ;Habilitar int. en el PIO Pto. A.
22. 000F: 3E 0F LD A,0FH
23. 0011: D3 82 OUT (82H),A ;Pto. A del PIO modo de salida.
24. 0013: ;
25. 0013: ; Programacion del CTC.
26. 0013: ;
27. 0013: 3E 02 LD A,02H
28. 0015: D3 84 OUT (84H),A ;Vector de interrupcion CTC.
29. 0017: 3E 25 LD A,25H
30. 0019: D3 84 OUT (84H),A ;Canal 0 del CTC en modo timer.
31. 001B: 3E 20 LD A,20H
32. 001D: D3 84 OUT (84H),A ;Constante de tiempo canal 0 CTC.
33. 001F: ;
34. 001F: 3E F5 LD A,0F5H
35. 0021: D3 85 OUT (85H),A ;Canal 1 del CTC en modo contador.
36. 0023: 2E A9 LD A,0A9H
37. 0025: D3 85 OUT (85H),A ;Constante de tiempo canal 1 CTC.
38. 0027: ;
39. 0027: 3E 05 LD A,05H
40. 0029: D3 86 OUT (86H),A ;Canal 2 del CTC en modo timer.
41. 002B: 3E 1A LD A,1AH
42. 002D: D3 86 OUT (86H),A ;Constante de tiempo canal 2 CTC.
43. 002F: ;
44. 002F: ; Programacion del SIO.
45. 002F: ;
46. 002F: 3E 04 LD A,04H
47. 0031: D3 8A OUT (8AH),A ;Registro 4 de escritura del SIO.
48. 0033: 3E 7F LD A,7FH
49. 0035: D3 8A OUT (8AH),A ;Paridad par, 2 bits de paro, X16.
50. 0037: 3E 05 LD A,05H
51. 0039: D3 8A OUT (8AH),A ;Registro 5 de escritura del SIO.
52. 003B: 3E 68 LD A,68H
53. 003D: D3 8A OUT (8AH),A ;Habilitar transmisor, 8 bit/caracter.
54. 003F: ;
55. 003F: 06 03 LD B,03H
56. 0041: ;
57. 0041: FB ET1:EI ;Habilitar interrupciones en el CPU.

```

```

58. 0042: C3 41 00      JP ET1
59. 0045: C3 41 00      JP ET1
60. 0048:
61. 0049:      TABLA DE LOS VECTORES DE INTERRUPCION.
62. 0049:
63. 0100:      .ORG 0100H
64. 0100:
65. 0101: 10      .DEFB 10H
66. 0101: 01      .DEFB 01H      ;Para el pto. A del PIO 0110H.
67. 0102: 00      .DEFB 00H
68. 0102: 02      .DEFB 02H      ;Para el pto. A del PIO 011AH.
69. 0104: 1A      .DEFB 1AH
70. 0105: 01      .DEFB 01H      ;Para el canal 1 del CTC 0200H.
71. 0106:
72. 0106:      Subrutina de interrupcion del PIO Pto. A.
73. 0106:      El PIO interrumpe al CPU cada vez que los convertidores A/D
74. 0106:      tienen un dato valido para poder ser leído y transmitido.
75. 0106:
76. 0110:      .ORG 0110H
77. 0110:
78. 0110: FB      DI ;Deshabilita interrupciones en el CPU.
79. 0111: CD 5B 01      CALL TX      ;Buffer del transmisor vacío?.
80. 0114: 3E FF      LD A,0FFH
81. 0116: D3 8B      OUT (8BH),A      ;Transmite inicio de campo.
82. 0118: D3 8B      OUT (8BH),A
83. 011A:
84. 011A:      Lecturas y transmisiones del primer convertidor A/D1.
85. 011A:
86. 011A: FB      DI
87. 011B: CD 5B 01      CALL TX      ;Buffer del transmisor vacío?.
88. 011E: DE 91      IN A,(91H)      ;Lee el primer dato LBEN.
89. 0120: 00      NOP
90. 0121: 00      NOP
91. 0122: D3 8B      OUT (8BH),A      ;Transmite el primer dato LBEN.
92. 0124: CD 5B 01      CALL TX      ;Buffer del transmisor vacío?.
93. 0127: DE 91      IN A,(91H)      ;Lee el segundo dato MBEN.
94. 0129: 00      NOP
95. 012A: 00      NOP
96. 012B: D3 8B      OUT (8BH),A      ;Transmite el segundo dato MBEN.
97. 012D: CD 5B 01      CALL TX      ;Buffer del transmisor vacío?.
98. 0130: DE 90      IN A,(90H)      ;Lee el tercer dato HBEN.
99. 0132: 00      NOP
100. 0133: 00      NOP
101. 0134: E6 03      AND 03H
102. 0136: D3 8B      OUT (8BH),A      ;Transmite el tercer dato HBEN.
103. 0138:
104. 0138:      Lecturas y transmisiones del segundo convertidor A/D2.
105. 0138:
106. 0138: CD 5B 01      CALL TX      ;Buffer del transmisor vacío?.
107. 013B: DE 8E      IN A,(8EH)      ;Lee el primer dato LBEN.
108. 013D: 00      NOP
109. 013E: 00      NOP
110. 013F: D3 8B      OUT (8BH),A      ;Transmite el primer dato LBEN.
111. 0141: CD 5B 01      CALL TX      ;Buffer del transmisor vacío?.
112. 0144: DE 8D      IN A,(8DH)      ;Lee el segundo dato MBEN.
113. 0146: 00      NOP
114. 0147: 00      NOP

```

```

115. 0148: D3 88      OUT (88H),A      ;Transmite el segundo dato MBEN.
116. 014A: CD 5B 01  CALL TX          ;Buffer del transmisor vacio?.
117. 014D: DB 8C      IN A,(8CH)       ;Lee el tercer dato HBEN.
118. 014F: C0         NOP
119. 0150: C0         NOP
120. 0151: E6 03      AND 03H
121. 0153: D3 88      OUT (88H),A      ;Transmite el tercer dato HBEN.
122. 0155: CD 5B 01  CALL TX
123. 0158: FB         EI ;Habilita interrupciones en el CPU.
124. 0159: ED 4D      RETI ;Regreso de la interrupcion.
125. 015B:
126. 015B: ; Subrutina TX que pregunta por el buffer de
127. 015B: ; transmision si esta vacio?.
128. 015B: 3E 00 TX: LD A,00H
129. 015D: D3 8A      OUT (8AH),A      ;Registro 0 de lectura del SIO.
130. 015F: DB 8A      IN A,(8AH)
131. 0161: CB 57      BIT 2,A
132. 0163: CA 5B 01  JP Z,TX          ;Buffer de transmision vacio?
133. 0166: C9         RET
134. 0167:
135. 0167: ; Subrutina de interrupcion del canal 1 del CTC
136. 0167: ; Cada vez que el canal 1 del CTC interrumpe, el PIO genera las
137. 0167: ; senales de control del convertidor (R/H), del multiplexor
138. 0167: ; (M0 y M1) y del circuito muestreador retenedor (S/H). Estos
139. 0167: ; pulsos pueden tener ancho de pulso, periodo y ciclo de trabajo
140. 0167: ; variables, en funcion de la duracion de sus subrutinas de
141. 0167: ; retardo T1 y T2.
142. 0167:
143. 0200: ; ORG 0200H
144. 0200:
145. 0200: F3         DI ;Deshabilita interrupciones en el CPU.
146. 0201: 05         DEC B
147. 0202: 3E 02      LD A,02H         ;Pregunta por el primer ciclo
148. 0204: 90         SUB B            ;por el segundo ciclo ?.
149. 0205: 28 07      JR Z,C1
150. 0207: 3E 01      LD A,01H
151. 0209: 90         SUB B
152. 020A: 28 1A      JR Z,C2
153. 020C: ED 4D      RETI
154. 020E:
155. 020E: 3E 01 C1: LD A,01H         ;Genera el pulso de muestreo, de inicio
156. 0210: D3 80      OUT (80H),A     ;de conversion y selecciona el canal 1
157. 0212: CD 46 02  CALL T2         ;del multiplexor.
158. 0215: 3E 08      LD A,08H
159. 0217: D3 80      OUT (80H),A
160. 0219: CD 40 02  CALL T1
161. 021C: 3E 00      LD A,00H
162. 021E: D3 80      OUT (80H),A
163. 0220: 3E 00      LD A,00H
164. 0222: D3 82      OUT (82H),A
165. 0224: ED 4D      RETI
166. 0226:
167. 0226: 3E 02 C2: LD A,02H         ;Genera el inicio de conversion nuevamente
168. 0228: D3 80      OUT (80H),A     ;pero ahora selecciona el canal 2 del
169. 022A: CD 40 02  CALL T1         ;multiplexor.
170. 022D: 3E 0A      LD A,0AH
171. 022F: D3 80      OUT (80H),A

```

```

172. 0230: CD 40 02    CALL T1
173. 0231: 3E 02      LD A,02H
174. 0232: D3 80      OUT (80H),A
175. 0233: 3E 04      LD A,04H
176. 023A: D3 82      OUT (82H),A
177. 023C: 06 03      LD B,03H
178. 023E: ED 4D      RETI
179. 0240:
180. 0240:      ; SUBROUTINA DE RETARDO T1
181. 0240:
182. 0240: 1E 05      T1: LD E,05H
183. 0242: 1D          P1: DEC E
184. 0243: 20 FD      JR NZ,P1
185. 0245: C9          RET
186. 0246:      ; SUBROUTINA DE RETARDO T2
187. 0246:
188. 0246: 16 05      T2: LD D,05H
189. 0248: CD 40 02 P2: CALL T1
190. 024B: 15          DEC D
191. 024C: 20 FA      JR NZ,P2
192. 024E: C9          RET
193. 0000:      END

```

IIMAS UNAM SISTEMA DE ADQUISICION DE DATOS OCEANOGRAFICOS.

Línea	Identificador	Valor
57	ET1	0041
183	P1	0242
189	P2	0248
155	Q1	020E
167	Q2	0226
182	T1	0240
186	T2	0246
128	TX	015B

APENDICE B

PROGRAMA MONITOR DE LA UNIDAD DE ABORDO
EN PASCAL

```
program recepcion_por_interrupciones;
```

```
uses dos, crt, windows;
```

```
const
```

```
    StatReg8259 = $20;  
    MaskReg8259 = $21;  
    EO1         = $63; { FOI especifico en IRQ3}  
    EnableMask  = $F7; { habilitar IRQ3 }
```

```
var
```

```
    flag        : char;  
    flag1       : char;  
    flag2       : char;  
    presion     : word;  
    temperatura : word;  
    salinidad   : word;  
    oxigeno     : word;  
    OldMask     : integer;  
    IntVector   : integer;  
    SaveOff     : integer;  
    SaveSeg     : integer;  
    dato        : byte;  
    ventana_error : boolean;  
    ps          : string;  
    ts          : string;  
    ss          : string;  
    os          : string;  
    peso        : real;
```

```
procedure uart;
```

```
begin
```

```
    port[$301] := $00;  
    delay(1);  
    port[$301] := $00;  
    delay(1);  
    port[$301] := $00;  
    delay(1);  
    port[$301] := $40;  
    delay(1);  
    port[$301] := $7E;  
    delay(1);  
    port[$301] := $26;  
    delay(1);
```

```
end;
```

```
procedure inicio;
```

```
begin
```

```
    case flag1 of  
        'A' : if dato= 255 then flag1:= 'B';  
        'B' : if dato= 255 then flag:= 'B' else flag1:= 'A';  
    end;
```

```
end;
```

```

procedure dato1;
begin
  case flag2 of
    'A' : begin
      presion:= dato;
      flag2:= 'B';
    end;
    'B' : begin
      presion:= presion+dato*256;
      flag2:= 'C';
    end;
    'C' : begin
      case dato of
        0 : ps:= ' - ';
        1 : ps:= 'or-';
        2 : ps:= ' + ';
        3 : ps:= 'or+';
      end;
      flag2:= 'A';
      flag:= 'C';
      clrscr;
      textcolor(blue);
      textbackground(lightgray);
      write(' ',ts,temperatura:6,' ');
      textbackground(cyan);
      write(' ');
      textcolor(blue);
      textbackground(lightgray);
      write(' ',ts,peso:10,' ');
      textbackground(cyan);
      write(' ');
      textcolor(blue);
      textbackground(lightgray);
      write(' ',ss,salinidad:6,' ');
      textbackground(cyan);
      write(' ');
      textcolor(blue);
      textbackground(lightgray);
      write(' ',os,oxigeno:6,' ');
      textbackground(cyan);
      textcolor(cyan);
      writeln;
    end;
  end;
end;

```

```

procedure dato2;
begin
  case flag2 of
    'A' : begin
      temperatura:= dato;
      flag2:= 'B';
    end;
    'B' : begin
      temperatura:= temperatura+dato*256;
      flag2:= 'C';
      peso:=(temperatura-8055)/3.6;
      { temperatura:=trunc(peso);}
    end;
    'C' : begin
      case dato of
        0 : ts:= ' - ';
        1 : ts:= 'or-';
        2 : ts:= ' + ';
        3 : ts:= 'or+';
      end;
      flag2:= 'A';
      flag:= 'D';
    end;
  end;
end;

```

```

procedure dato3;
begin
  case flag2 of
    'A' : begin
      salinidad:= dato;
      flag2:= 'B';
    end;
    'B' : begin
      salinidad:= salinidad+dato*256;
      flag2:= 'C';
    end;
    'C' : begin
      case dato of
        0 : ss:= ' - ';
        1 : ss:= 'or-';
        2 : ss:= ' + ';
        3 : ss:= 'or+';
      end;
      flag2:= 'A';
      flag:= 'E';
    end;
  end;
end;

```

```

procedure dato4;
begin
  case flag2 of
    'A' : begin
      oxigeno:= dato;
      flag2:= 'B';
    end;
    'B' : begin
      oxigeno:= oxigeno+dato*256;
      flag2:= 'C';
    end;
    'C' : begin
      case dato of
        0 : os:= ' - ';
        1 : os:= 'or-';
        2 : os:= ' + ';
        3 : os:= 'or+';
      end;
      flag2:= 'A';
      flag1:= 'A';
      flag:= 'A';
    end;
  end;
end;

```

```

procedure InterruptHandler;

```

```

begin
  inline($50/      { PUSH AX  }
    $53/          { PUSH BX  }
    $51/          { PUSH CX  }
    $52/          { PUSH DX  }
    $57/          { PUSH DI  }
    $56/          { PUSH SI  }
    $06/          { PUSH ES  }
    $1E/          { PUSH DS  }
    $B8/$00/$00/  { MOV  AX,0 }
    $50/          { PUSH AX  }
    $1F/          { POP  DS  }
    $FB);        { STI      }

  dato := port[$300];
  case flag of
    'A': inicio;
    'B': dato1;
    'C': dato2;
    'D': dato3;
    'E': dato4;
  end;
  Port[StatReg8259] := EOI;
  inline($1F/      { POP  DS  }
    $07/          { POP  ES  }
    $5E/          { POP  SI  }
    $5F/          { POP  DI  }
    $5A/          { POP  DX  }
    $59/          { POP  CX  }
    $5B/          { POP  BX  }

```


- W. D. Cooper: "Instrumentación electrónica y mediciones", Prentice Hall, 1987.
- H. Taub y D. L. Schilling: "Digital integrated electronics", Mc Graw Hill, 1985.
- D. A. Hodges y H. G. Jackson: "Analysis and design of digital integrated circuits", Mc Graw Hill, 1983.
- F. J. Tocci: "Sistemas digitales: principios y aplicación", Prentice Hall, 1987.
- B. P. Lathi: "Sistemas de comunicación", Interamericana, 1966.
- D. L. Schilling y Ch. Belove: "Electronic circuits: discrete and integrated", Mc Graw Hill, 1985.
- E. A. Nichols y J. C. Nichols: "Z-80 microprocessor book 1. Programming", Marcebo, 1984.
- P. Grogono: "Programación en pascal", Addison-Wesley Iberoamericana, 1986.

MANUALES

- Advanced Micro Devices: "Analog and communications products", AMD, 1983.
 - Exar: "Databook", Exar, 1984.
 - Intel: "Microprocessor and peripheral handbook", Intel, 1983.
 - Intersil: "Databook", Intersil, 1981.
 - National Semiconductor: "CMOS logic databook", NS, 1988.
 - National Semiconductor: "Data conversion/aquisition databook", NS, 1984.
 - National Semiconductor: "Linear databook", NS, 1981.
 - National Semiconductor: "TTI databook", NS, 1985.
 - PMI: "Linear and conversion products databook", PMI, 1988
/1987.
 - SD Systems: "Z-80 Starter kit", SD Systems, 1978.
 - Texas Instruments: "MOS memory databook", TI, 1982.
 - Texas Instruments: "The voltage regulator handbook", TI, 1977.
 - Xicor: "Databook", Xicor, 1985.
 - Zilog: "Databook", Zilog, 1981.
-