

106 2dy

RECEBIDA EN LA  
SECRETARIA DE EDUCACION  
PUBLICA

UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO  
FACULTAD DE INGENIERIA

DISEÑO Y CONSTRUCCION DE UN SISTEMA  
DE ALMACENAMIENTO DE DATOS SISMICOS  
EN MEMORIA DE SEMICONDUCTOR

T E S I S

QUE PARA OBTENER EL TITULO DE:  
INGENIERO MECANICO ELECTRICISTA

AREA ELECTRONICA

P R E S E N T A:

LUIS EDUARDO DE PAVIA GALVAN

DIRECTOR DE TESIS

M. EN ING. PABLO ROBERTO PEREZ ALCAZAR

MEXICO, D.F.

1990

COPIA CON  
FALLA DE ORIGEN



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

DISEÑO Y CONSTRUCCION DE UN SISTEMA DE ALMACENAMIENTO  
DE DATOS SISMICOS EN MEMORIA DE SEMICONDUCTOR

INDICE

I.	INTRODUCCION	1
II.	ANTECEDENTES	4
	1.- Almacenamiento de datos en casete.	4
	2.- Objetivos del sistema de almacenamiento.	7
	3.- Medios alternativos de almacenamiento.	8
	A) ROM	9
	B) PROM	9
	C) EPROM	9
	D) EEPROM	10
	E) FLASH	11
	F) NVRAM	11
	G) SRAM con bateria de soporte	12
	H) Memoria de burbuja	13
	4.- Comparación y elección del medio de almacenamiento.	14
III.	DESCRIPCION DEL SISTEMA	21
	1.- Bloque de decodificación y presentación de palabra.	23
	2.- Bloque de control y procesamiento.	28
	A) Microprocesador	28
	B) Reloj	31
	C) Reset	31
	D) "Latches"	32

	E) Memoria	34
	F) Lógica de decodificación	40
	G) Control de interrupciones, de voltaje de programación y VCC.	51
	3.- Bloque de comunicación con el usuario.	58
	A) Entrada de información	58
	B) Presentación de información numérica al usuario	63
	C) Comunicación con PC a través de un puerto serie	65
	1) Palabra de modo de instrucción	72
	2) Palabra de comando	73
IV.	DESCRIPCIÓN DEL PROGRAMA DE CONTROL	76
	1.- Inicio.	76
	2.- NMI	91
V.	RESULTADOS	101
VI.	CONCLUSIONES	108
VII.	RECONOCIMIENTOS	112
VIII.	BIBLIOGRAFIA	112

## I. INTRODUCCION

México es un país en el que existen zonas con un riesgo sísmico muy elevado, por lo que es necesario establecer una sólida infraestructura instrumental para el registro de temblores. Con el objeto de cubrir esta necesidad, en los últimos ocho años el Instituto de Ingeniería ha adquirido del extranjero una gran cantidad de acelerógrafos digitales, los cuales actualmente se encuentran instalados formando una red. Estos acelerógrafos registran en casete la aceleración proveniente de tres sensores, colocados en direcciones mutuamente perpendiculares, junto con la información referente a la fecha y hora en la que ocurrió el registro.

Para reducir la dependencia tecnológica del país, en la sección de Instrumentación Sísmica del Instituto de Ingeniería, se desarrolló un acelerógrafo digital, con registro también en casete y, simultáneamente, una lectora de casetes, de tal forma que se tuviera un sistema completo de procesamiento de información sísmica.

Sin embargo, debido a las múltiples desventajas que presenta el almacenamiento de información en casete, se están buscando medios alternativos para retener los datos adquiridos por los acelerógrafos. Entre estos medios alternativos de almacenamiento se tienen el disco magnético y la memoria semiconductora.

El sistema de almacenamiento en disco no se planteó por considerarse que las limitantes mecánicas y ambientales que éstas unidades poseen, son similares al sistema tradicional de casete.

La otra alternativa considerada como adecuada es la del empleo de memorias, esto tomando en cuenta que la densidad de información en ellas cada vez va creciendo y su costo reduciéndose. Además se han ido desarrollando nuevas tecnologías de fabricación que permiten tener algunas características convenientes para el sistema a desarrollar.

El presente trabajo se enfoca específicamente a evaluar los diferentes tipos de memorias semiconductoras existentes en el mercado y describir el sistema de almacenamiento de información sísmica digital, diseñado y construido con el objeto de substituir el sistema con casete; pero permitiéndo mantener compatibilidad con los acelerógrafos de este tipo, para

que en los casos que se requiera se pueda tener un aparato funcionando con los dos sistemas simultáneamente, como una forma para respaldar la información.

## II. ANTECEDENTES

La inquietud por encontrar un sistema de almacenamiento de datos diferente al empleado en este momento, surgió motivada por las diversas desventajas que éste tiene y que durante su manejo han ido aflorando paulatinamente.

### 1.- Almacenamiento de datos en casete

En este sistema, el medio de almacenamiento es magnético y los datos son registrados en la cinta por medio de una cabeza de grabación con dos canales, la cual se polariza en un determinado sentido, creando un campo magnético que orienta los dipolos magnéticos de la cinta.

Como se había mencionado anteriormente, la utilización de casetes presenta múltiples desventajas tanto desde el punto de vista funcional, como técnico.

Funcionalmente es poco práctico, ya que cada determinado intervalo de tiempo se realizan visitas a las estaciones acelerográficas con el objeto de recoger los casetes, mismos que tienen que esperar a ser transportados al laboratorio en el D.F. para ser reproducidos y transferidos a una computadora para su procesamiento.



El proceso de lectura de casetes es laborioso e implica la atención cuidadosa de una persona; y si tomamos en cuenta que cada vez que se realiza una visita se recogen de 20 a 40 casetes, veremos que no es posible obtener información tan rápidamente como sería deseable. Además, dada la naturaleza de la cinta, el acceso que se tiene a la información contenida en ella es en forma secuencial, lo que impide acceder directamente bloques de información correspondientes a eventos de importancia, y por tanto hace el proceso de localización más lento.

Técnicamente presenta las siguientes desventajas:

a) No se tiene un desplazamiento uniforme de la cinta sobre la cabeza de grabación debido a la deformación que sufren algunas piezas mecánicas de hule del transporte. Al no ser uniforme este desplazamiento, existen problemas para leer el casete a pesar de que la lectora tiene un servocontrol de velocidad para tratar de reproducir los casetes con una velocidad tal que el flujo de datos grabados en cinta sea uniforme.

b) La inclinación de la cabeza grabadora respecto a la cinta, es decir el azimut, varía de un acelerógrafo a otro y por lo tanto es necesario ajustar el azimut de la

lectora para cada casete: este procedimiento es muy tedioso, puesto que en ocasiones, cuando se cree que ya está ajustado y se regresa la cinta al inicio para empearzar la transferencia a PC, cambia el ajuste debido a que se modifica la posición de la cinta.

c) En ocasiones la cinta del casete es enrollada defectuosamente, lo cual provoca que ésta se atore y sea difícil, si no imposible su lectura.

d) El número de veces que un casete puede ser reutilizado es relativamente bajo, dado que durante el tiempo que se encuentra colocado en el acelerógrafo, la cinta permanece presionada por dos rodillos, deformándola en esos pequeños segmentos. Estas deformaciones no permiten que la cinta haga un contacto adecuado con la cabeza de grabación en esos puntos.

e) La cinta queda expuesta al polvo y a la humedad, ya que a pesar de tener ciertas protecciones, las estaciones se encuentran en un medio agreste.

f) En el momento en que el motor del transporte arranca, se produce una gran demanda de corriente; y si la capacidad de la fuente no es suficiente, baja brusca-

mente el voltaje de alimentación, alterando momentáneamente el funcionamiento del acelerógrafo.

g) El inicio de la grabación de datos en cinta no es inmediato, ya que se da un intervalo de aproximadamente 200ms. para que se estabilice el motor.

Todas las desventajas técnicas mencionadas anteriormente, tienen como consecuencia directa, una pérdida de información que es invaluable cuando se trata de un sismo, ya que son eventos que ocurren con un patrón único e irrepetible. De ahí la importancia de tener un sistema de almacenamiento de información seguro:

## 2.- Objetivos del sistema de almacenamiento

Para el diseño del sistema, se plantearon los siguientes objetivos:

a) Seguridad en el almacenamiento de información, tratando de no utilizar partes mecánicas, para evitar así los problemas ocasionados por la posición de las piezas, velocidad del motor, polvo, humedad y temperatura.

b) Capacidad de transferir la información almacenada

a una PC, por un puerto serie, sin necesidad de utilizar una lectora o algún otro dispositivo adicional.

c) Disipación de potencia menor al del sistema de casete, y que no presentara transitorios de corriente tan notorios.

d) Costo igual o menor al del sistema con casete.

e) Capacidad de almacenamiento igual o mayor que el sistema antes mencionado.

f) Medio de almacenamiento reutilizable un número mayor de veces.

g) Tamaño similar.

h) Posibilidad de acceder directamente bloques de información.

### 3.- Medios alternativos de almacenamiento

Para cumplir con los objetivos planteados, se consideró que una memoria semiconductora no volátil sería una posible solución. Por esto se revisaron las caracte-

risticas que ofrecen cada una de ellas. Esta descripción se desarrolla a continuación.

a) ROM:

Es un tipo de memoria de solo lectura (Read Only Memory), cuyo contenido es el código binario dado por el diseñador y puesto en la memoria por el fabricante de acuerdo a una cierta mascarilla de fabricación.

Son memorias cuya fabricación es muy costosa, por ello son ocupadas en aplicaciones donde existe un alto volumen de producción, de tal forma que el costo se amortice entre una gran cantidad de unidades.

b) PROM:

Son memorias de solo lectura, programables por el usuario, las cuales utilizan para almacenar información la ruptura de fusibles o uniones metálicas interiores. El fabricante las entrega con todos los fusibles intactos y el usuario se encarga de fundirlos a medida que va almacenando la información. Se fabrican memorias de este tipo con capacidades de 32 bytes a 32 Kbytes.

c) EPROM:

Son memorias de solo lectura, programables eléctricamente y borrables por medio de luz ultra-

violeta. Utilizan una técnica de almacenamiento diferente a las memorias ROM y PROM. En lugar de conexiones mediante finas líneas metálicas, los datos son representados por la alteración del voltaje de encendido de un transistor de almacenamiento.

Las memorias EPROM han tomado la delantera en lo que se refiere a memorias no volátiles de alta densidad.

Este tipo de memorias son ideales para prototipos, ya que se pueden programar y borrar hasta tener un código adecuado. En cuanto a consumo de potencia, para aplicaciones donde este parametro es critico, existen EPROMs en versión CMOS. Adicionalmente, la tecnología CMOS permite mayor velocidad y manejo de corriente que la tecnología NMOS.

#### d) EEPROM:

Son memorias ROM eléctricamente borrables, y funcionalmente idénticas en el modo de lectura a las EPROMs; sin embargo, tienen una ventaja significativa respecto a éstas, y es que pueden ser borradas y reprogramadas un byte a la vez, sin quitarlas del circuito en que se encuentran. Además la distribución de patas es compatible con las RAMs estáticas y las EPROMs.

Una desventaja es que las EEPROMs requieren de cinco milisegundos aproximadamente para realizar una operación

de borrado/escritura, y pueden escribir hasta 32 bytes en el mismo intervalo, lo que resulta en un tiempo de aproximadamente 312 microsegundos por byte.

Las EEPROM tienen la posibilidad de ser borradas y programadas por lo menos 10.000 veces, además, pueden almacenar información válida por lo menos durante 10 años.

#### e) Memorias FLASH:

Son un tipo de memoria EEPROM, que tienen un alto grado de integración, alta velocidad de escritura, baja disipación de potencia, y costo medio; son borrables eléctricamente en su totalidad o por sectores, pero no permiten modificaciones parciales. Debido a su reciente aparición en el mercado, resulta difícil encontrarlas en México.

#### f) NVRAM:

Son memorias no volátiles de lectura y escritura, (Nonvolatile Random Access Memory). Consisten de dos planos paralelos de memoria, uno de los cuales está implementado en memoria RAM (Memoria de lectura y escritura, volátil), y el otro en memoria EEPROM, en el cual se almacena la información cuando se interrumpe el suministro de potencia, respaldándola en este tipo de

memoria que es no volátil.

La ventaja de manejar memoria RAM, mientras se tiene suministro de energía, es que todos los accesos a memoria se realizan a velocidades mayores que las empleadas para memoria EEPROM.

Tienen poca densidad de información por circuito integrado (de 128 a 512 bytes) y son utilizadas para retener poca cantidad de información. Por lo general se almacena en ella la información vital para el sistema, como pueden ser el apuntador de "pila", el apuntador de programa, parámetros del sistema, etc.

Las NVRAMs tienen la posibilidad de ser borradas y programadas por lo menos 10,000 veces y pueden almacenar información válida por lo menos durante 10 años.

g) SRAM con batería de soporte:

Por la facilidad que representa el manejo de las memorias RAM, resulta muy conveniente utilizarlas. Para resolver la desventaja de que son volátiles, se les puede añadir una batería para alimentar a la memoria únicamente cuando el sistema se encuentra desenergizado; de esta manera la memoria retiene la información, comportándose como una memoria no volátil.

Las memorias RAM estáticas respaldadas por batería tienen algunas limitaciones, como el tiempo de vida útil



y la sensibilidad a cambios de temperatura. El tiempo de vida de las baterías no recargables puede ir de unos meses a 10 años; mientras que, para baterías recargables no se puede precisar, ya que su carga, está siendo mantenida constantemente por la fuente principal.

#### h) Memorias de burbuja:

Las burbujas magnéticas son pequeños dominios cilíndricos creados en delgadas capas de ferrita cristalina sintética o en una película ferromagnética amorfa, que se forman al ser aplicado un campo magnético estacionario externo (llamado campo de polarización), perpendicularmente al plano de las películas. Estos dominios son móviles en la presencia de otro campo magnético y la dirección de movimiento puede ser controlada por estructuras especiales depositadas en la parte superior de la película y por un campo magnético móvil.

Conforme se aumenta el campo magnético de polarización hacia un valor óptimo, se van creando dominios con forma de serpentina que posteriormente se convierten en burbujas. La presencia de una burbuja corresponde a un "1" lógico y la ausencia a un "0".

La memoria magnética de burbuja es un medio de almacenamiento masivo de información, no volátil.

A pesar de ser memorias relativamente caras, las

memorias de burbuja son la única opción cuando se requiere de una memoria masiva, no volátil, que ocupe poco espacio y que pueda funcionar en ambientes sucios. Existen memorias de burbuja de 1 y 4 megabits para emular disketes en computadoras personales, sin embargo el consumo de potencia es elevado en comparación con las memorias semiconductoras.

#### 4.- Comparación y elección del tipo de memoria

De acuerdo a las características propias de cada tipo de memoria, se puede notar que cada una de ellas tiene ventajas sobre las demás en determinados aspectos, como: velocidad, costo, facilidad de programación, grado de integración y por tanto densidad de información. A continuación se presenta una comparación de ellas para finalmente elegir la más adecuada.

Las memorias ROM, aunque son memorias no volátiles, no son útiles para ésta aplicación, ya que se necesita un tipo de memoria con capacidad de ser programada por el usuario, y este tipo de memorias son programadas por el fabricante de acuerdo a una mascarilla, que indica las conexiones necesarias para poder almacenar un código que no será modificado después de su implementación.

Las memorias PROM, tienen una ventaja sobre las ROM, son memorias que pueden ser programadas por el usuario, sin embargo por su baja densidad de información, alta disipación de potencia y por ser programables una sola vez, el utilizarlas no nos llevaría a cumplir los objetivos planteados.

Las memorias EPROM tienen mayores ventajas que las PROM, ya que pueden ser programadas y borradas por el usuario, tienen una alta densidad de información, consumo de potencia menor y tiempo de acceso adecuado; pero con un tiempo de escritura muy grande. Además requieren ser borradas fuera del circuito donde se encuentran y puestas dentro de una lámpara ultravioleta por lo menos durante quince minutos.

En cuanto a las memorias EEPROM, presentan múltiples ventajas, ya que pueden ser borradas eléctricamente, y la información queda almacenada en un medio no volátil; pero el tiempo de escritura es muy lento, su densidad de información baja y su costo es elevado.

Las memorias FLASH tienen bastantes ventajas sobre las anteriores, ya que presentan un tiempo de escritura mas rápido, mayor densidad de información que las EEPROM, baja disipación de potencia y costo menor. A diferencia de las EEPROM, las memorias FLASH son borradas en su totalidad o por sectores y no permiten modi-

ficaciones parciales, lo que podría ser una desventaja. Dada su reciente aparición en el mercado, resulta difícil su adquisición en México.

Las memorias NVRAM, tienen la ventaja sobre las anteriores de tener un tiempo de escritura como el de una memoria RAM, y poder almacenar la información en su sección interna correspondiente a EEPROM cuando se retira el voltaje de polarización; pero la desventaja que las hace inútiles para el sistema que necesitamos es que tienen muy baja densidad de información, (de 128 a 512 bytes) y además son muy difíciles de conseguir comercialmente.

Las memorias RAM con respaldo de baterías resultan tener varias ventajas sobre las anteriores, como son los tiempos de acceso, densidad de información alta, bajo consumo de potencia, disponibles comercialmente con relativa facilidad y bajo costo. Sin embargo su mayor desventaja es el requerimiento de baterías para conservar la información, lo cual disminuye su seguridad y complica su mantenimiento.

Las memorias de burbuja resultan ser muy caras comparativamente con las memorias anteriores; además de requerir circuitería externa para su manejo, son sensibles a la presencia de campos magnéticos y requieren un suministro de potencia muy superior al requerido por

los demás tipos de memoria mencionados, por lo que son inadecuadas para esta aplicación.

En la tabla 1, se comparan las diferentes memorias, indicando las características consideradas para su elección.

Las comparaciones anteriores nos permiten realizar una preselección del tipo de memoria a utilizar. A continuación se hace un análisis temporal de los ciclos de lectura y escritura del microprocesador para determinar las características específicas de las memorias para el sistema y posteriormente se da una breve descripción de cada una.

De acuerdo al diagrama de tiempos del 80C86, (ver anexo), el tiempo de acceso que debe tener la memoria debe ser un máximo de 3 ciclos de reloj, que en este caso:

$$T = 1/(2.4576\text{MHz})$$

$$T = 407 \text{ ns.}$$

$$T_{\text{acc.}} = 3 (407\text{ns})$$

$$t_{\text{acc.}} = 1.22 \mu\text{s}$$

Por lo que este parámetro no implica una restricción importante, ya que todas las memorias mostradas en la tabla 1 del capítulo II poseen un tiempo de acceso mucho menor.

TIPO DE MEMORIA			TIEMPO DE ACCESO (ns)	TIEMPO DE ESCRITURA	I. POLARIZAC. (ma)	I. ESCRITURA (ma)	RETENCION DE DIRECC.	DISPONIBLE.
ROM	HN62404P	(4Mbits)	200	Imposible	50	Inexistente	NO	NO
PROM	HN27C256FP	(256Kbits)	250	1.05 ms	30	70	NO	SI
UVEPR0M	87C257	(256Kbits)	170	122 $\mu$ s	30	80	SI	SI
UVEPR0M	27C010	(1Mbit)	120	122 $\mu$ s	30	90	NO	SI
UVEPR0M	HN27C256G	(256Kbits)	170	1.05 ms	30	70	NO	SI
EEPROM	HN58C65	(64Kbits)	250	15 ms	8	8	NO	DIFICIL
EEPROM	28C256	(256Kbits)	150	10 ms	60	60	SI	SI
EEPROM	M28C010	(1Mbit)	250	10 ms	70	70	SI	SI
SRAM	62256LP-15	(256Kbits)	150	150 ns	15	15	NO	SI
SRAM	CYM1461	(4Mbits)	70	70 ns	120	120	NO	DIFICIL
SRAM	HM628128	(1Mbit)	120	120 ns	30	30	NO	NO
FLASH	28F256	(256Kbits)	170	150 $\mu$ s	30	30	NO	DIFICIL
FLASH	48F512	(512Kbits)	200	1.5 ms	60	40	SI	SI
FLASH	48F010	(1Mbit)	200	1.5 ms	40	40	SI	SI

TABLA 1

COMPARACION DE LOS DIFERENTES TIPOS DE MEMORIAS

El tiempo de escritura si es un parámetro importante para ésta aplicación, ya que el registrador enviará la información que requiere almacenar a una velocidad de transmisión determinada, 4800 bits por segundo, lo que equivale a una palabra de 16 bits cada 3.33 ms.

Tesc. = 3.33 ms.

De los valores presentados en la tabla 1 se puede concluir que las memorias EEPROM, por tener tiempos de escritura mayores a los que se requieren, no son adecuadas para el prototipo. Dado que anteriormente se había eliminado la posibilidad de usar memorias ROM, PROM y UVEPROM, por la dificultad o imposibilidad de ser programadas, se observa que solo queda por elegir entre las memorias SRAM y FLASH presentadas.

De las RAM posibles, la CYM1461 tiene una capacidad de almacenamiento de 512 Kbytes, siguiéndole la memoria HM62812 con capacidad de 128 Kbytes y por último la memoria HM62256 con capacidad de 32Kbytes. Sin embargo, la de mayor capacidad posee una disipación de potencia considerable, la cual no es adecuada para esta aplicación, y por otro lado, la HM62812, que podría ser útil, resultó muy difícil de conseguir; por lo que se eligió la memoria HM62256 con 32 Kbytes de capacidad y características ideales en cuanto a tiempos de acceso, de escritura, disipación de potencia, disponibilidad en el

mercado y precio.

De las memorias FLASH, la memoria 28F256 de Intel es la que menor capacidad tiene, además de no tener la posibilidad de retener internamente la dirección que se le envía; entonces, la opción fueron las memorias FLASH de SEEQ, de las cuales se pudo encontrar la memoria 48f512 de 64 Kbytes de capacidad, características de sincronía aceptables, disipación de potencia baja y precio no muy elevado. Hay que recordar que las memorias FLASH tienen como características atractivas: la facilidad para programarse y borrarse eléctricamente y la seguridad con que almacena la información sin tener que depender de una fuente de alimentación constante.



### III. DESCRIPCION DEL SISTEMA

El diagrama a bloques del sistema de almacenamiento de datos sísmicos en memoria semiconductora, que realiza las funciones planteadas en los objetivos descritos anteriormente, se presenta en la figura 1. Este diagrama pretende mostrar de manera general los bloques que constituyen el sistema y la forma en que se relacionan.

Se puede observar que la parte central está compuesta por un microprocesador, memoria ROM, RAM y FLASH, constituyendo una microcomputadora dedicada que cuenta con memoria suficiente para cumplir adecuadamente con el propósito requerido y capacidad para controlar el funcionamiento de cada uno de los bloques restantes.

La lógica de decodificación es la encargada de generar las señales de selección que permiten determinar cual dispositivo se encontrará utilizando el BUS en un momento específico, también genera las señales necesarias para controlar las interrupciones enviadas al microprocesador y el voltaje de programación ( $V_p$ ) de las memorias FLASH.

La sección de decodificación y presentación de palabra se encarga de tomar la información procedente del acelerógrafo, que viene codificada en formato NRZ contenida en dos canales (G0 y G1) en forma serie, la deco-

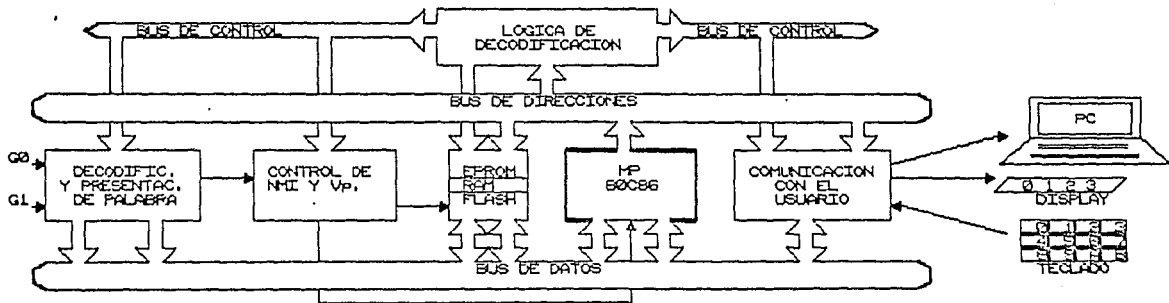


FIGURA 1  
DIAGRAMA DE BLOQUES DEL SISTEMA

Title		DIAGRAMA DE BLOQUES DEL SISTEMA	
Size	Document Number	REV	
A	FIGURA 1		
Date:	July 25, 1990	Sheet	of
3	2		1

difica y la presenta en palabras de 16 bits en paralelo.

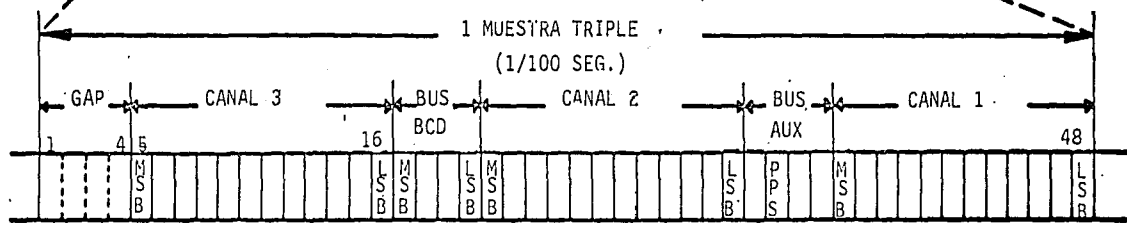
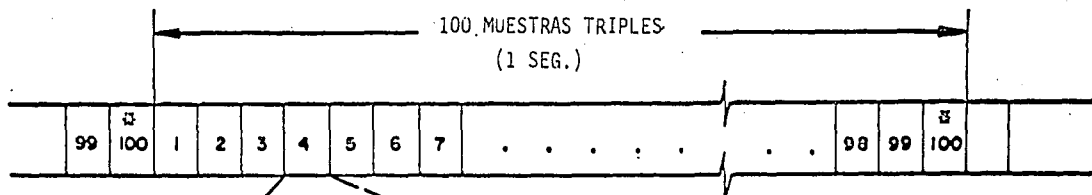
El control de interrupciones y Vp. retiene las señales enviadas por la lógica de decodificación y las dirige hacia su destino para activar o desactivar estas funciones.

Finalmente se tiene un bloque de comunicación con el usuario, que le permite enviar comandos de control mediante un teclado, visualizar cierta información en un "display" y proporcionar al sistema la posibilidad de transmitir los datos registrados por el acelerógrafo a una computadora por medio de un puerto serie.

#### 1.- Bloque de decodificación y presentación de palabra:

La mayor parte de los acelerógrafos digitales a cargo del Instituto de Ingeniería, manejan el formato de información establecido por la compañía Terra Technology, el cual consiste en muestras de 12 bits de información acelerográfica proveniente de cada sensor y 4 bits de información adicional contenida en el bus BCD y en el bus AUX, como se explicará posteriormente.

En la figura 2 se puede observar el formato antes mencionado, en el que se ilustra una muestra triple de 48 bits.



Title		FORMATO DE GRABACION "TERRA TECH."	
Size Document Number		REV	
A	FIGURA 2		
Date:	August 18, 1990	Sheet	of

Este tipo de información no es proporcionada directamente en palabras de 16 bits en paralelo por los acelerógrafos, sino que en el punto donde se toma, en la conexión del acelerógrafo a la cabeza de grabación, la información se encuentra en serie y codificada con un formato NRZ, contenida en los canales G0 y G1. Debido a lo anterior, resulta necesario decodificarla para recuperar el dato serie, el reloj de 4800, una señal de sincronía que separa cada muestra triple, llamada SYNC, y una señal que separa la información correspondiente a cada canal llamada STROBE.

Todo esto se realiza en la sección de decodificación que se muestra en la figura 3, correspondiente al bloque de decodificación y presentación de palabra.

Para el manejo adecuado de la información dentro del sistema se requirió convertir la información serie a palabras de 16 bits en paralelo que correspondieran a un canal, añadiendo además su respectivo identificador. Esta tarea la realiza la sección de presentación de palabra, que básicamente está constituida por monoestables, registros de corrimiento, contadores y compuertas.

Cabe mencionar que éste bloque de presentación de palabra ya había sido diseñado y utilizado en otros prototipos del Instituto de Ingeniería (1), por lo cual no se describe detalladamente dentro de éste trabajo; sin

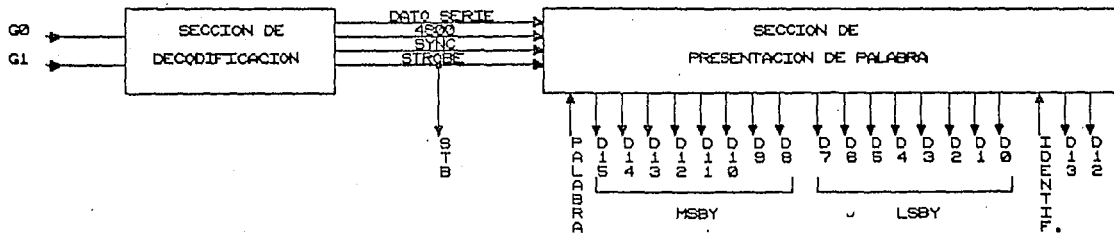


FIGURA 3  
 BLOQUE DE DECODIFICACION Y PRESENTACION DE PALABRA

26

Title	
BLOQUE DE DECODIFICACION Y PRESENTACION DE P	
Size Document Number	
A	FIGURA 3
Date:	July 25, 1990 Sheet of

TABLA DE DATOS CONTENIDOS EN EL BUS BCD

Número de Muestra	Información contenida en BCD
0	Unidades de horas
1	Decenas de segundos
2	Decenas de minutos
3	Decenas de horas
4	Unidades de segundos
5	Unidades de minutos
6	Centenas de días
7	Decenas de días
8	Unidades de días
9	Unidades del número de serie del registrador
10	Sin uso
11	Sin uso
12	Decenas del número de serie del registrador
13	Centenas del número de serie del registrador
14	Decenas de eventos
15	Unidades de eventos
16	Unidades del rango del sensor
17	Décimas del rango del sensor
18	Centésimas del rango del sensor
19	Decenas del voltaje de la batería
20	Unidades del voltaje de la batería
21	Décimas del voltaje de la batería
22	Unidades de segundos del reloj auxiliar
23	Decenas de segundos del reloj auxiliar
24	Unidades de minutos del reloj auxiliar
25	Decenas de minutos del reloj auxiliar
26	Unidades de horas del reloj auxiliar
27	Decenas de horas del reloj auxiliar
28	Día de la semana del reloj auxiliar
29	Unidades del número de interrupciones
30	Decenas del número de interrupciones
31	Unidades del día del mes del reloj auxiliar
32	Decenas del día del mes del reloj auxiliar
33	Unidades de meses del reloj auxiliar
34	Decenas de meses del reloj auxiliar
35	Unidades de años del reloj auxiliar
36	Decenas de años del reloj auxiliar
37	Revisión de los circuitos ("Hardware")
38	Unidades de número de versión del programa
39	Decenas del número de versión del programa

embargo, fué necesaria su implementación con ligeras modificaciones, como parte del sistema, para presentar la información de manera entendible al microprocesador.

La información contenida en la sección correspondiente al bus BCD se muestra en la tabla 2, éstos datos agregados a los registros sísmicos son muy valiosos porque nos dan a conocer el tiempo preciso en que inició un evento y bajo qué condiciones de operación se encontraba el aparato.

## 2.- Bloque de control y procesamiento:

### A) Microprocesador:

Como se había mencionado, constituye la parte central del sistema, y se desarrolló alrededor de un microprocesador cuyas características eran adecuadas a las necesidades de la aplicación. Para la elección se tomaron en cuenta los siguientes criterios:

a) Baja disipación de potencia, dado que la fuente de alimentación de los registradores es por medio de una celda solar y baterías automotrices.

b) Registro acumulador por lo menos de 16 bits, ya que las palabras de información acelerográfica son de 12



bits, y el hecho de poder manejarlos conjuntamente en el acumulador ofrece la ventaja de poder realizar diferentes operaciones lógicas y aritméticas fácilmente.

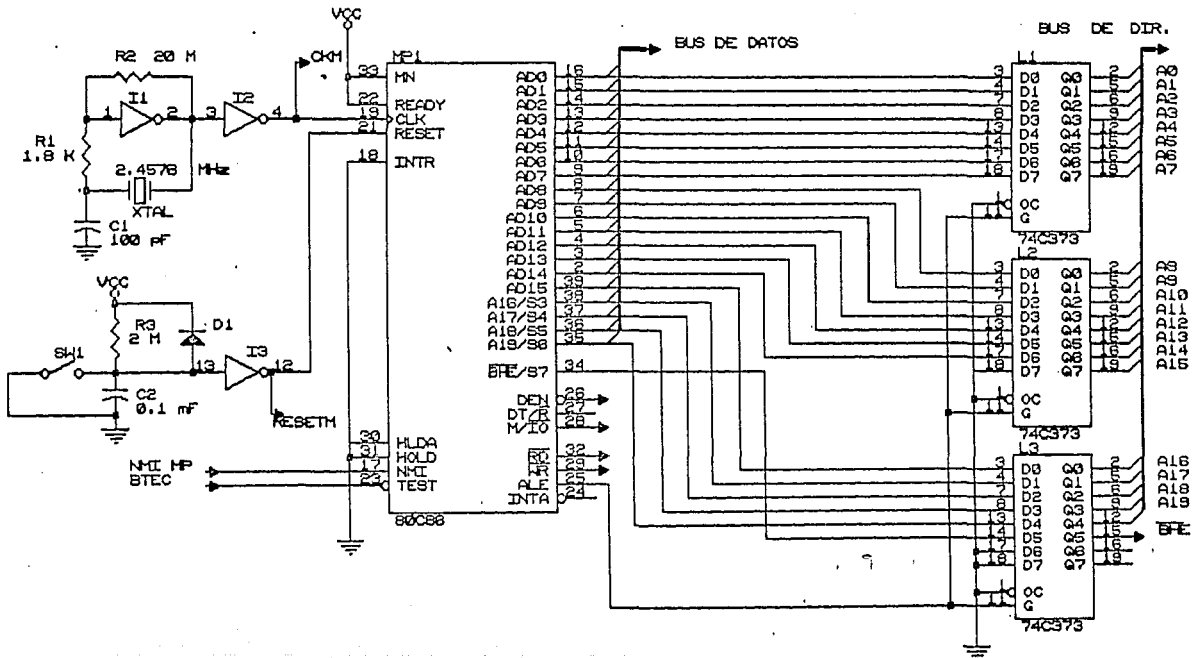
c) Disponible comercialmente, para que en un futuro en caso de convenir su fabricación en serie, sea posible conseguirlo fácilmente.

d) Programa ensamblador y un simulador, para facilitar la tarea de programación.

Al considerarse todos éstos puntos, se llegó a la elección de los microprocesadores de intel 80C88 ó el 80C86, que son versiones en tecnología CMOS de los microprocesadores 8088 y 8086 respectivamente.

De los dos microprocesadores anteriores se utilizó el 80C86 pensando en la ventaja de contar con un bus de datos externo de 16 bits que permitiría la lectura de palabras de 16 bits en un solo ciclo de lectura. Además serviría como experiencia, ya que anteriormente no se habían utilizado en la Sección de Sismología microprocesadores de éste tipo.

La figura 4 muestra parte del bloque de control y procesamiento, que está compuesto por el microprocesador 80C86 (MP1) configurado en su modo mínimo, tres



Title		BLOGUE CENTRAL	
Size Document Number		REV	
A	FIGURA 4		
Date:	July 25, 1990	Sheet	of

"latches" 74C373 (L1,L2,L3), y los circuitos de RELOJ y de RESET implementados con inversores 74C04 (I1,I2,I3). La figura 5 muestra las memorias EPROM 27C32 (EH,EL), memorias RAM 62256 (RH0,RL0), y las memorias FLASH 48F512 (FH,FL). Finalmente lógica de decodificación constituida por los decodificadores 74C154 (DH,DL,DF) es mostrada en las figuras 6a) 6b) y 8.

A continuación se dará una descripción mas detallada de cada una de las partes enunciadas.

#### B) Reloj:

Todo el sistema se encuentra sincronizado por medio de la señal de reloj producida por la oscilación de un cristal de cuarzo de 2.4576MHz, cuya frecuencia fué elegida por ser múltiplo exacto de la requerida por el puerto serie para transmitir a un baudaje estandarizado. También es parte del oscilador la resistencia R2 y el circuito RC compuesto por R1 y C1.

#### C) Reset:

El circuito de RESET es un circuito RC, formado por una resistencia de 2M $\Omega$  (R3) en serie con un capacitor de .1 $\mu$ F (C2) y cuyo nodo común se encuentra conectado a un inversor (I3), a un diodo de descarga (D1) para que funcione como RESET DE ENCENDIDO (Power on Reset), y a un

interruptor (SW1) del tipo normalmente abierto. Para que el microprocesador reconozca la señal de Reset y ejecute el ciclo correspondiente, es necesario que la señal se mantenga en un nivel alto, de voltaje, durante un periodo mínimo correspondiente a 4 ciclos de reloj, lo cual se logra dando cierto margen con la constante de tiempo fijada por el circuito RC.

#### D) "Latches":

Los retenedores, "latches" 74C373, son ocho flip-flops tipo D integrados en un solo circuito, con salida de tres estados; éstos "latches" fueron necesarios para retener las direcciones enviadas al bus por el microprocesador, ya que el 80C86 maneja el bus multiplexado en el tiempo, de tal manera que en un determinado intervalo de tiempo funciona como bus de direcciones y en otro como bus de datos, lo cual imposibilita la conexión directa del bus con los dispositivos que carecen de "latches" internos en sus entradas, que en nuestro caso son la mayoría.

Cuando la señal de control G se encuentra en estado alto, las salidas de los "latches" siguen a las entradas, pero al verificarse un estado bajo en ésta entrada, se conservan internamente los datos que se presentan en las entradas cuando G toma un nivel bajo. Para tener

los datos presentes en la salida, es necesario que la entrada UC se encuentre en estado bajo, de otra manera se tendría la salida en alta impedancia.

El microprocesador proporciona una señal de control para indicar en qué momento se encuentra una dirección válida presente en el bus, esta señal es ALE y es la que se utilizó para tomar las direcciones en el momento adecuado y retenerlas en los "latches", logrando de esta manera separar el bus de datos del de direcciones. Además, se puede ver que nunca se va a dar la condición de tercer estado a la salida de los "latches", ya que se conectó su entrada UC permanentemente a tierra.

Por otra parte, se tomó como bus de datos el bus multiplexado, pero utilizando la lógica de decodificación con el fin de generar las señales de habilitación para tomar o entregar datos en el momento en que estos son válidos. De esta manera se evitó el uso de un "reforzador" bidireccional, que es el dispositivo comúnmente empleado en los sistemas con bus multiplexado.

## E) Memoria:

En el prototipo se utilizaron tanto memoria FLASH como RAM para poder evaluar cada una de ellas y obtener conclusiones con una visión más amplia.

Después de definir el tipo de memoria para retener los datos a registrar, es necesario seleccionar la memoria no volátil adecuada para guardar el programa de control y también la memoria RAM para guardar algunas variables y apuntadores; en cuanto a memoria RAM se refiere, se utilizó la misma memoria HM62256, y para el programa se eligió la memoria EPROM 27C32, de 4 Kbytes, que posee características adecuadas para nuestra aplicación. La figura 5 muestra la manera en que se encuentran integradas al sistema.

### a) Cuantificación de memoria:

Una vez definido el tipo de memoria, se calculó la cantidad requerida para almacenar el equivalente de información que se puede tener en casete. A continuación se presentan los cálculos realizados con esta finalidad.

La frecuencia de muestreo de los acelerógrafos digitales de los que se toma la información a guardar, es de 100 muestras por segundo por canal. El acelerógrafo trabaja con 3 canales, muestras de 16 bits de información y

BUS DE DATOS

CE FH

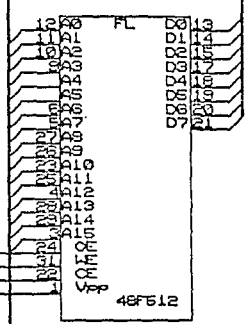
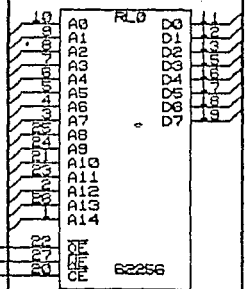
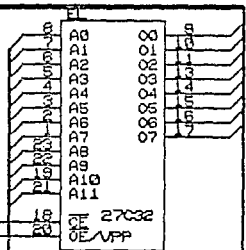
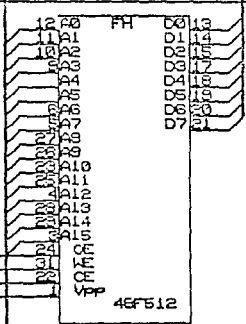
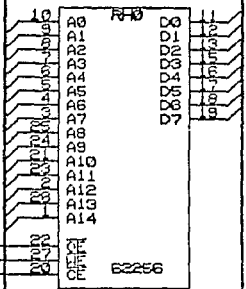
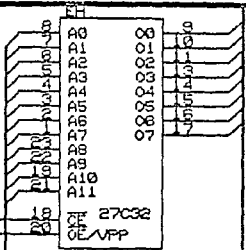
CE EL

CE FH

CE FH

CE FH

BUS DE DIRECCIONES



Size Document Number

A FIGURA 5, MEMORIAS

REV

Date: August 14, 1990 Sheet of

un sistema que permite grabar información durante 900 segundos.

De lo anterior tenemos:

$$f_m = 100 \text{ m/s}, \quad m = 3(16) \text{ bits} \quad t = 900 \text{ seg.}$$

$$\text{Capacidad} = (100 \text{ m/s}) (48 \text{ bits}) (900 \text{ s})$$

$$\text{Capacidad} = 4\,320\,000 \text{ bits}$$

$$\text{Si } 1 \text{ KB} = 8\,192 \text{ bits, entonces}$$

$$\text{Capacidad} = 527.3 \text{ Kbytes}$$

Suponiendo que la totalidad de las memorias que se fueran a usar tuvieran una capacidad de 32 KB, se necesitarían:

$$\text{Cantidad de memorias} = 527.3 \text{ KB}/32 \text{ KB}$$

$$= 16.47 \text{ piezas}$$

Como no es posible encontrar una parte fraccionaria de memoria, se determinó que serían necesarias 16 piezas para almacenar la información de la misma manera que en casete; sin embargo, se ha pensado en implementar algún algoritmo de compresión de información, el cual pudiera reducir la cantidad de memoria requerida sin que por ello disminuyera la cantidad de información guardada.



En el desarrollo del proyecto, se utilizaron únicamente dos memorias RAM de 32 KB cada una, y dos memorias FLASH de 64 KB cada una; como una primer prueba, que permite guardar hasta 5 minutos 26 segundos de información. La lógica de decodificación y demás componentes, están diseñados para permitir aumentar fácilmente esta capacidad.

b) Respaldo de alimentación con batería para SRAM:

Como se había comentado, para poder tener un sistema de almacenamiento no volátil utilizando memoria SRAM es necesario implementar un tipo de fuente de alimentación que permita mantener el nivel de voltaje mínimo de retención de los datos, el cual, para las memorias utilizadas, es de 2.0 V., y que suministre una corriente de 10  $\mu$ A por memoria.

Dadas las características anteriores, un sistema de respaldo formado por baterías de litio número CR2032 de 3.0 V fué suficiente para conseguir el objetivo buscado.

Para mantener las memorias en un estado de baja disipación de potencia, mientras no se encuentran activas, se requiere que su entrada de selección (CS) se mantenga en un nivel de voltaje alto, igual al de alimentación ó 0.2 V. por debajo pero no menor. Esta condición llevó a diseñar un circuito que, en el momento de detectar una

baja en el voltaje de polarización, permitiera alimentar las memorias por medio de las baterias y simultaneamente llevara la entrada de seleccion de cada memoria a un nivel tan cercano de Vcc como se pudiera.

Esto se logro con el circuito mostrado en la figura 7 (b). En ella se observa que las entradas de seleccion (G2) de cada decodificador estan conectadas mediante un interruptor bilateral 4016 (SWA), el cual al tener un nivel alto en su entrada de control, mientras esta polarizado el circuito con +5 V., se comporta como un circuito cerrado, permitiendo la conexi3n de la se1al de habilitaci3n MZID, procedente de MPI, con las entradas G2 de los decodificadores DH y DL y poniendo en operaci3n las memorias cuando el microprocesador lo requiere.

Al tener un nivel bajo en su entrada de control, el interruptor SWA se abre, aisl3ndo las entradas G2 y G1 de los decodificadores DH y DL respectivamente, del resto de los componentes, y por medio de una resistencia de "pull-up" se lleva esta entrada de habilitaci3n a un nivel alto, tal como es requerido, y por lo tanto las salidas de los decodificadores permanecen todas con un nivel l3gico "1", mismo que es aplicado a las entradas de seleccion de las memorias, lo cual las lleva al estado de baja disipaci3n de potencia deseado.

Las baterías de respaldo se encuentran "aisladas" de la fuente de alimentación por medio de diodos de germanio (DG), como se muestra en la figura 6. De esta manera se permite el paso de corriente únicamente en el sentido de alimentación hacia las memorias, evitando así, que sean descargadas por suministrar energía al resto del sistema.

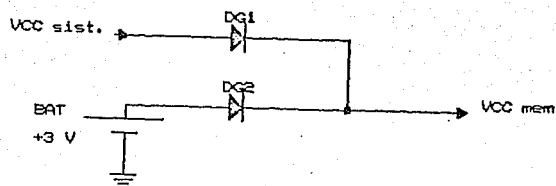


FIGURA 6  
RESPALDO DE BATERIA PARA MEMORIAS

## F) Lógica de decodificación:

La lógica de decodificación es la sección encargada de seleccionar el dispositivo que utilizará el bus en un determinado momento; para el sistema, los dispositivos son principalmente memorias RAM, EPROM y FLASH, un puerto paralelo de 2 bits para tomar el identificador de canal, un puerto paralelo de 16 bits para tomar información procedente del bloque de presentación de palabra, un puerto serie USART, un manejador de teclado, y un manejador de "display" de cristal líquido.

Para el diseño de la lógica de decodificación se planteó el mapa de memoria tratándo que tuviera cierta flexibilidad para posibles modificaciones en un futuro.

### a) Mapa de Memoria:

Dirección (HEX)	B15	B0
00000	INT0	DIV/0
00002		
00004	INT1	PASO A PASO
00006		
00008	INT2	NMI
0000A		
0000C	INT3	BRK
0000E		
00010	INT4	OF
00012		--
00014	INT5	:
00016		:
:		USD GENERAL
:		:
003FD	INT255	:
003FF		--
00400	VARIA-	
004FF	BLES-	

00500	PILA
006FF 00700	
0FFFF	DATOS ADQ. (RAM)

Primeros 64 Kbytes de RAM.

Dirección (HEX)	B15	B0
10000	DATOS ADQ. (FLASH)	
1FFFF		
2FFFF	DISFO- NIBLE	
30000		
:	PARA	
:		
:	DATOS ADQ.	
:		
EFFFF	PROGRAMA (EPROM)	
F0000		
F0FFF	VECTOR RESET	
F1FF0		
F1FFF	REPETI- CION	
F2000		
	DEL	
FFFFF	MAPA	

Del mapa de memoria conviene hacer las siguientes

observaciones:

El primer Kbyte está reservado para los vectores de interrupción, de los cuales, los 5 primeros han sido reservados por el fabricante para interrupciones por división entre cero, ejecución paso a paso, interrupciones no mascarables, puntos de prueba y sobreflujo. Los 251 restantes son de uso general para el usuario. Este espacio de memoria se decidió respetarlo a pesar de que no se utilizarían todos los vectores, pero de esta manera se podría tener mayor flexibilidad para versiones futuras.

Dentro del mapa, a continuación de los vectores de interrupción se reservaron 256 bytes para guardar variables y apuntadores necesarios para el programa. De la misma manera se reservó una zona de 512 bytes para la pila.

De éste primer segmento de memoria de 64 Kbytes, nos quedaron 62.25 Kbytes para almacenar los datos provenientes del registrador.

Los siguientes dos segmentos de 64 Kbytes cada uno (10000H-2FFFFH) son ocupados por las memorias FLASH para guardar los datos provenientes del registrador.

La zona de memoria comprendida entre las direcciones 30000H y EFFFFH, que equivale a 12 segmentos de 64 Kbytes cada uno, es decir 768 Kbytes, quedan disponibles por el momento para expansión de memoria de almacenar

miento conforme se vaya requiriendo.

El último segmento del mapa de memoria está ocupado por las memorias EPROM 27C32, que contienen el código del programa monitor del sistema. A pesar de que sólo ocupan 8 Kbytes entre las dos, se decidió reservar todo el segmento para futuras versiones y además para simplificar la circuitería de decodificación.

#### b) Circuito decodificador:

Para la implementación de este circuito, se estableció una relación directa entre el bus de direcciones del microprocesador y sus señales de control con el mapa de memoria antes presentado.

El microprocesador 80C86 tiene capacidad de direccionar 1Mbyte en forma directa a través de sus líneas de A0 a A19; maneja un bus de datos externo de 16 bits, con medio Mbyte ligado a la parte alta del bus de datos (B8-B15) y la otra mitad a la parte baja del bus (B0-B7), el cual puede llevar información sobre la parte alta, la baja o ambas. Para distinguir entre estos casos se cuenta con una señal de control llamada BHE "Bus High Enable", es decir, un habilitador de la parte alta del bus, y la señal A0 del bus de direcciones.

Las señales RD y WR se conectaron directamente a las memorias.

En este diseño se tomaron los cuatro bits más significativos como entradas a un decodificador 74C154, tal como se muestra en la figura 7a), para dividir todo el direccionamiento de memoria en segmentos de 64 Kbytes, utilizando como habilitador del decodificador la señal M/IO, que selecciona puertos o memoria. Hasta este punto ya se tenía la lógica para seleccionar las memorias; pero para agregar las señales BHE y A0, que controlan la activación de la memoria alta, baja o ambas, se colocaron inicialmente compuertas OR en cuyas entradas se tenía la señal BHE o A0, para parte alta o baja respectivamente.

Si se generalizara la misma lógica para seleccionar los ocho pares de memorias requeridos, sería necesario utilizar una compuerta OR para cada memoria, lo que implicaría agregar 4 circuitos integrados más al sistema; por lo que se implementó la misma función en forma simplificada como se ilustra en la figura 7b), en la que se utilizan dos decodificadores que son habilitados de la siguiente manera: para la parte alta, se utiliza el estado bajo de BHE y la señal M/IO que pasa a través de un inversor, y para la baja se utiliza la línea de A0, al verificarse en bajo, junto con M/IO des-



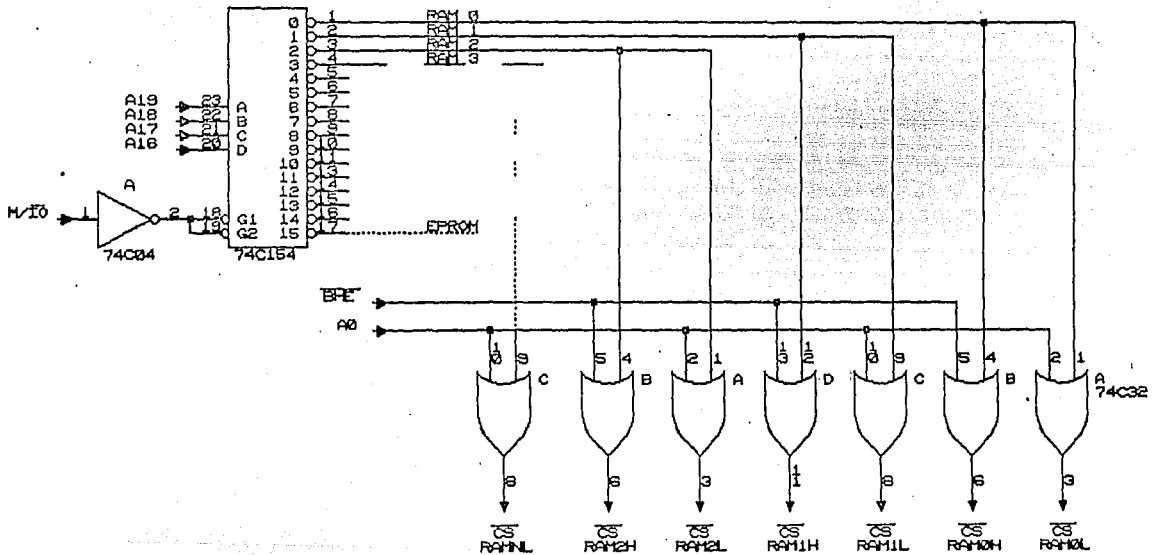


FIGURA 7a)  
LOGICA DE DECODIFICACION

Title		LOGICA DE DECODIFICACION
Size Document Number		REV
A	FIGURA 7a)	
Date:	August 17, 1980	Sheet of



pués de pasar por el inversor, con ello se evita el uso de 16 compuertas OR.

Haciendo el análisis de éste nuevo circuito se vió que tenía la desventaja de incrementar el tiempo de propagación, ya que una compuerta OR 74C32 presenta un tiempo máximo de 150 ns, y el decodificador 74C154 uno de 400 ns., pero como se indicó anteriormente, en el análisis de tiempos para la elección de la memoria, se tiene un margen bastante grande: por lo que no es significativo un retraso extra de 250 ns si se utiliza la segunda opción; además, la disipación de potencia típica para los dos circuitos es la misma.

#### c) Mapa de puertos:

El mapa de puertos se manejó independientemente del de memoria, para aprovechar los recursos que ofrece éste microprocesador y de ésta manera no quitarle capacidad en el direccionamiento de memoria.

A continuación se presenta el mapa de puertos utilizado.

Puerto (HEX)

00	SALIDA	"DISPLAY"
10	ENTRADA	"TECLADO"
20	ENTRADA	"IDENTIFICADOR"
30	ENTRADA	"PALABRA"
40	SALIDA	"Vp=0"
50	SALIDA	"Vp=12v"
60	SALIDA	"PRENDE NMI"
70	SALIDA	"APAGA NMI"
80	SALIDA	"REESTABLECE NMI"
90	BIDIRECC.	"DATOS USART"
92	BIDIRECC.	"REGISTROS USART"
A0	i	
B0	i	
C0	i	
D0	SIN USO ACTUAL	
E0	i	
F0	i	

La lógica para decodificar puertos se implementó en un solo decodificador conectado como se muestra en la figura 8. Se decidió utilizar las líneas de dirección A4 a A7 para poder seleccionar los puertos conectados tanto

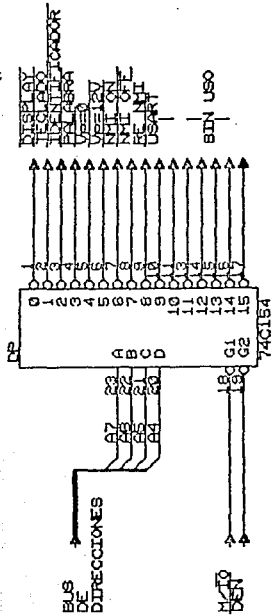


FIGURA B  
LOGICA DE DECODIFICACION DE PUERTOS

Title	LOGICA DE DECODIFICACION DE PUERTOS
Size	Document Number REV
A	FIGURA B
Date:	August 14, 1990 Sheet 2 of 2

en la parte alta como en la baja del bus de datos sin que se vieran afectados por la presencia del bit menos significativo del bus de direcciones.

Las entradas de selección del decodificador se activan únicamente con las señales IO y DEN. La primera se verifica en bajo en el momento en que se ejecuta alguna instrucción de IN ó OUT y la segunda se verifica en bajo cada vez que hay un dato válido en el bus; de tal manera que el decodificador estará activo cuando se den ambas condiciones, en cualquier otro caso presentará su salidas en estado de alta impedancia.

## G) CONTROL DE INTERRUPCIONES (NMI) , VOLTAJE DE PROGRAMACION (Vp), Y VOLTAJE DE ALIMENTACIÓN (VCC):

### a) Interrupciones:

El microprocesador 80C86 tiene la capacidad de manejar interrupciones mascarables (INTR) e interrupciones no mascarables (NMI); las primeras ofrecen la ventaja de permitir enmascarar su acción, es decir, activar o desactivar por programa la revisión de la entrada respectiva; mientras que para las segundas (que tienen la mayor prioridad), no se tiene la posibilidad de enmascararlas y son atendidas por la subrutina localizada en la dirección apuntada por el vector de interrupción 2.

En el caso de las mascarables, la interrupción es atendida por la subrutina que se encuentra en la dirección apuntada por el vector de interrupción correspondiente. Este vector puede ser uno de los 256 vectores mostrados en el mapa de memoria, y se forma multiplicando por cuatro el valor del byte adquirido en el momento de la interrupción.

El tipo de interrupciones mascarables ofrece muchas ventajas cuando se necesita manejar una gran cantidad de dispositivos periféricos que pueden interrumpir al microprocesador. Sin embargo, implica que los dispositi-

vos tengan la capacidad de proporcionar un byte que los identifique en el momento de realizar la interrupción y, por lo tanto, agregar un circuito más complicado al dispositivo que interrumpe, si es que éste no lo tiene integrado.

En el diseño del sistema de almacenamiento, se requiere del manejo de una interrupción para tomar el dato existente en el bloque de presentación de palabra en el momento en que se presenta la señal de "STROBE", que indica la presencia de una palabra de 16 bits correspondiente a la información de un canal. Esta interrupción requirió ser la de mayor prioridad por la importancia de la información que se adquiere con ella, y también, porque se necesitaba que se interrumpiera únicamente con la presencia de una señal en una de las entradas del microprocesador sin necesitar de la circuitería externa para proporcionar un byte de identificación. Por estas razones se decidió manejar en el prototipo la interrupción no mascarable (NMI) mediante la señal "STROBE". Sin embargo, si se aplica directamente la señal de "STROBE" a la entrada NMI, se tiene el inconveniente de no poder controlar el encendido de dichas interrupciones y si se llega a presentar una de ellas antes de que el programa hubiera inicializado el vector de NMI o algún apuntador, se corre el riesgo de



que el microprocesador se pierda por no tomar los apun-  
tadores adecuados.

Para resolver este problema, se implementó un cir-  
cuito con un "flip-flop" doble, tipo "D" 74C74 (FF1),  
como se muestra en la figura 9a).

El primer "flip-flop" fué configurado para funcionar  
como uno tipo SR, ya que su entrada de datos se encuen-  
tra conectada permanentemente a +5 Volts, por lo tanto,  
cuando se presenta un flanco de subida en su entrada de  
reloj (CK), la celda toma un valor lógico de "1" sin  
importar su estado anterior, y cuando se presenta un  
pulso de 0 Volts en la entrada de borrado (CLR), toma un  
valor lógico de "0". Las entradas tanto CK como CLR pro-  
vienen de las salidas 60H y 70H, del decodificador de  
puertos respectivamente.

De esta manera se implementó una bandera para habi-  
litar las NMI, cuya salida se tiene en la terminal 5 del  
circuito FF1A. Esta bandera en combinación con la señal  
de "STROBE", verificada en alto, generan la señal "NMI  
MP" que va a la entrada de interrupciones no mascarables  
del microprocesador. La manera en que se realiza la fun-  
ción AND de "STROBE" y "NMI" es mediante el segundo  
"flip-flop" de FF1B, teniendo en su entrada de datos la  
bandera de "NMI" y en su entrada de reloj la señal de  
"STB", de tal manera que cuando está prendida la bandera

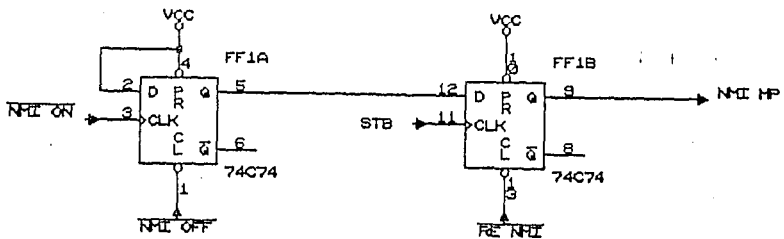


FIGURA 9a)  
CONTROL DE INTERRUPCIONES NMI

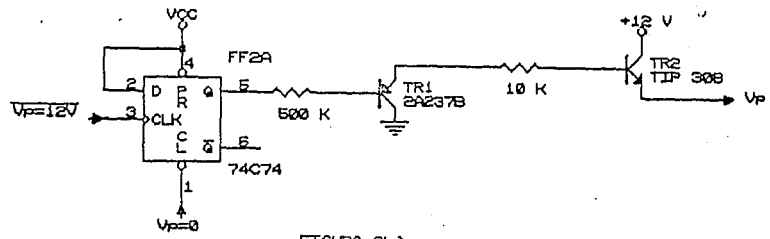


FIGURA 9b)  
CONTROL DE VOLTAJE DE PROGRAMACION

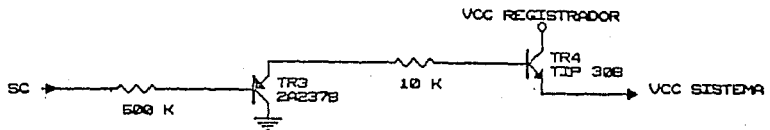


FIGURA 9c)  
CONTROL DE VOLTAJE DE ALIMENTACION

54

Title		CONTROL NMI, Vp, VCC	
Size	Document Number	REV	
A	FIGURAS 9a) 9b) y 9c)		
Date:	August 14, 1990	Sheet	of
		2	1

de reloj y se presenta el flanco de subida de NMI, se genera "NMI MP". Después que el microprocesador recibe la señal "NMI MP" se inicia el ciclo de atención de la interrupción, durante el cual se manda borrar al segundo "flip-flop", verificándose en bajo la salida "80H" del decodificador de puertos. Podría haber resultado más fácil utilizar una compuerta AND en esta segunda parte pero no se hizo así porque implicaba agregar otro circuito integrado.

#### b) Voltaje de programación:

Una de las condiciones necesarias para poder programar las memorias FLASH es que en su entrada Vp (Voltaje de programación) se presenten +12 Volts mientras se está escribiendo información en ella.

Sin embargo, para realizar el borrado de un sector de 512 bytes o de la memoria completa es necesario que por un momento la entrada Vp se encuentre con un nivel de voltaje TTL y posteriormente cambie a +12 Volts. Por esta razón fué necesario diseñar un circuito que permitiera la conmutación de voltajes bajo control del programa. El circuito se muestra en la figura 9b) y consiste únicamente de un "flip-flop" tipo D, 74C74 (FF2), configurado para funcionar como uno tipo RS, teniendo el control de "Vp.=12" a través de la salida "50H" del

decodificador de puertos, la cual causa que el "flip-flop" tome un estado lógico de "1". Por otro lado, la salida "40H" del decodificador de puertos limpia el estado presente en el "flip-flop" y lo obliga a tomar un valor de "0".

La señal de control a la salida de FF2 es aplicada a la base de un transistor 2A237B (TR1) que activa, a su vez, a un transistor de potencia TIP30B (TR2), configurados para funcionar como interruptores de la fuente de +12 Volts.

#### c) Voltaje de alimentación:

Todo el sistema de almacenamiento de información sísmica se alimenta de +5 Vdc, el cual en el momento inicial en que se presentan en la línea de alimentación obliga a la ejecución de un ciclo de RESET y a que el programa de control empiece a correr.

Este voltaje de alimentación proviene del acelerógrafo y está presente en el sistema únicamente en el momento en que ocurre un disparo y el acelerógrafo se encuentra enviando datos para almacenar. La señal de control llamada SC generada por el acelerógrafo, no se utilizó directamente para polarizar el sistema porque proviene de una compuerta y su capacidad de suministro de corriente es muy limitada, por lo que fue necesario

implementar una configuración de transistores similar a la utilizada para el control de  $V_p$ . El circuito se muestra en la figura 9c).

### 3.- Comunicación con el usuario:

A continuación se presentan los medios establecidos para que el sistema pueda recibir los comandos enviados por el usuario, y a su vez mostrar a este la información pertinente al funcionamiento del prototipo. También se describe la sección referente a la transmisión de datos a computadora por medio del puerto serie.

#### A) Entrada de información:

Como medio para indicarle al sistema la tarea que debe realizar, el operador cuenta con un teclado de membrana de 20 teclas, conformadas en un arreglo matricial de 5 renglones y 4 columnas, como se puede apreciar en la figura 10.

Un sistema empleando un teclado matricial debe ejecutar un algoritmo de decodificación para determinar la tecla que se ha pulsado, y un algoritmo codificador que presente la información en forma entendible. En ocasiones dicha función es realizada por el microprocesador del sistema, sin embargo, dado que ésta tarea ocupa tiempo valioso de procesamiento, se decidió efectuarla mediante un circuito integrado dedicado, MT1, que es un manejador de teclado. Este componente tiene 5 salidas del tipo "tres estados", en las cuales se obtiene el

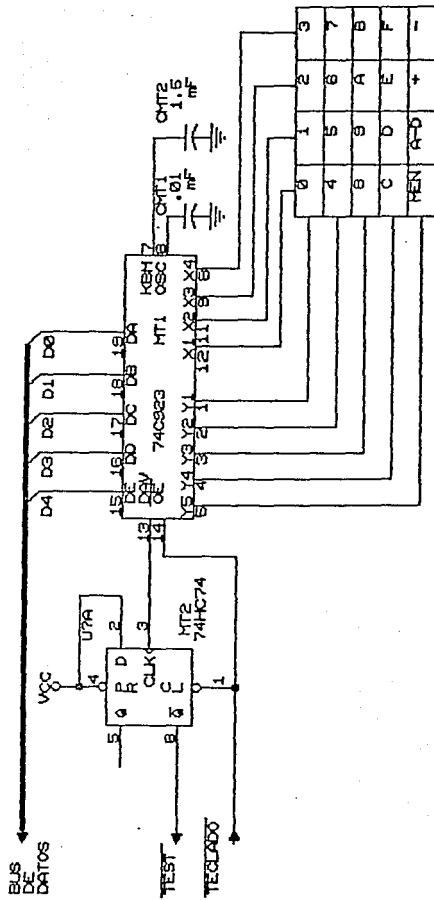


FIGURA 10  
ENTRADA DE INFORMACION POR TECLADO

Titulo	ENTRADA DE INFORMACION POR TECLADO
Size	Document Number
A	FIGURA 10
Date:	August 14, 1990 Sheet 2 of 2

código binario que identifica a la tecla pulsada.

La conexión del teclado con el circuito antes mencionado se realizó de tal manera que se tuviera una relación directa entre la tecla presionada y el código binario obtenido, como se muestra a continuación:

Nombre asignado a la tecla.	Código mostrado por MT.
"0"	00000
"1"	00001
"2"	00010
:	:
:	:
:	:
"F"	01111

Las cuatro teclas del último renglón tienen asociado el siguiente código:

Nombre asignado a la tecla.	Código mostrado por MT.
"MENU"	10000
"A D"	10001
"+"	10010
"-"	10011



El circuito MT1 realiza la decodificación mediante la exploración sucesiva de las columnas del teclado con una periodicidad determinada por la frecuencia de un oscilador interno, la cual se ajusta con el valor del capacitor CMT1.

MT1 cuenta, además, con un circuito "eliminador de rebotes" que valida el dato sólo cuando la tecla permanece cerrada sin interrupciones ("rebotes") durante el intervalo escogido mediante CMT2. Cuando esto ocurre, el dato es considerado válido, lo cual se indica mediante un estado o nivel alto en la salida de "DATO DISPONIBLE". Esta señal se mantiene en un nivel alto únicamente mientras la tecla permanece oprimida, lo cual implica una desventaja para manejarla con el bloque de control y procesamiento, ya que si no se almacena de alguna manera, requeriría que se le diera atención inmediata al presentarse o desaparecería sin haber sido detectada.

Para solucionar este inconveniente se le agregó al circuito MT1 un "flip-flop" tipo D, activado por "flanco ascendente", identificado como MT2. Cuando un dato se acepta como válido, la señal de "DATO VALIDO" del codificador provoca un flanco de subida a la entrada de reloj de MT2, lo que establece en él un estado lógico de "1", ya que su entrada de datos está conectada perma-

mentemente a +5 Volts. De este modo, el estado del "flip-flop" funciona como una "bandera de teclado" la cual indica cuando se ha presionado una tecla y el momento en que el código correspondiente a la tecla se encuentra disponible en MT1.

El bloque de control y procesamiento puede revisar en cualquier momento el estado de esa "bandera", tomada de la salida complementaria de MT2 a través de la entrada "TEST" del microprocesador. Esta entrada se revisa en el momento en que se ejecuta la instrucción "WAIT", que es interpretada por el microprocesador como una orden de no hacer nada (esperar) hasta que la señal en la terminal de "TEST" tome un estado lógico de "0".

En el programa de control como, se verá posteriormente, cuando el microprocesador necesita adquirir un comando del teclado, inmediatamente después de ejecutar la instrucción "WAIT", toma el dato existente en MT1 al verificarse en bajo la salida del decodificador de puertos correspondiente al puerto "10H" y aplicarse a la entrada OE (salida de datos) de MT1. Simultáneamente, esta misma señal se utiliza para borrar la bandera de teclado que entra a la terminal de CLR de MT2, con lo que se deja preparado para la siguiente pulsación.

B) Presentación de información numérica al usuario:

Con la finalidad de que el usuario pudiera tener conocimiento del correcto funcionamiento del sistema, se eligió como medio de salida de información numérica un "Display" de Cristal Líquido (LCD), con cuatro dígitos de 7 segmentos.

La elección de este tipo de despliegue se hizo considerando su ventajosa característica de baja potencia. Por otra parte, los 4 dígitos de que se dispone son suficientes para mostrar al operador la información necesaria sobre el funcionamiento.

Para controlar este "display" (DP1) se empleó el circuito integrado 7211M (DP2), que se conectó de la manera mostrada en la figura 11. Este circuito manejador de "display" tiene solamente cuatro terminales de entrada para datos (las correspondientes a un solo dígito hexadecimal expresado en binario), pero cuenta también con 2 entradas para seleccionar el dígito que desea utilizar en un momento determinado, de acuerdo a las siguientes combinaciones:

D1	D2	SELECCION *
0	0	DIGITO 4
0	1	DIGITO 3

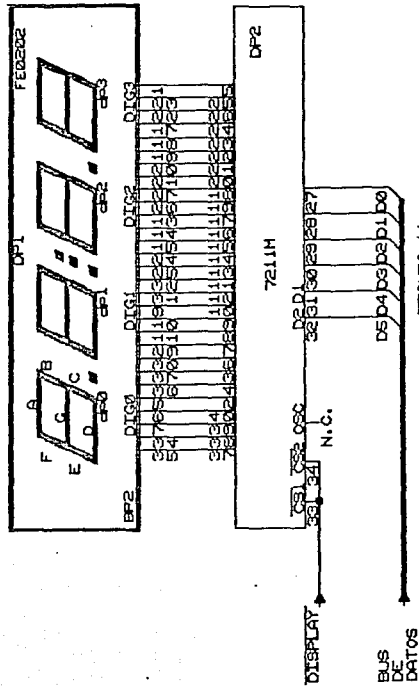


FIGURA 11  
PRESENTACION DE INFORMACION NUMERICA I

Title	PRESENTACION DE INFORMACION NUMERICA	
Size Document Number	A	
REV	FIGURA 11	2
Date	August 17, 1980	Sheet 2 of 2

D5QB1	D5QB2	SELECCION *
1	0	DIGITO 2
1	1	DIGITO 1

\* El dígito 1 corresponde al primer dígito de la derecha visto de frente.

Tanto los 4 bits del dato como los 2 bits del código de selección de dígito (D1 y D2) son admitidos por los registros de retención de DP2 cuando sus 2 entradas CS1 y CS2 son llevadas a un nivel bajo, las cuales son manejadas a través de la salida "00H" del decodificador de puertos. Sin embargo, la representación del dígito seleccionado no ocurrirá sino hasta que CS1 y CS2 vuelvan a un nivel alto.

C) Comunicación con PC a través de un puerto serie:

En la Sección de Instrumentación Sísmica se tiene un programa para procesar la información proveniente de los registradores; este programa posee una sección dedicada a la adquisición de datos provenientes de la lectora de casetes por medio del puerto serie RS-232.

El uso de memoria semiconductora como medio alternativo de almacenamiento, permite tomar los datos guarda-

dos y transmitirlos a una computadora a través de un puerto serie sin requerir de una lectora especial.

Para el diseño de la sección encargada de ésta comunicación, se eligió el circuito integrado 82C51, (PS1), el cual es un microprocesador de uso particular cuya función es la de Receptor/Transmisor Universal para comunicación Síncrona o Asíncrona (USART), diseñado específicamente para ser utilizado por la familia de microprocesadores de Intel y fabricado con tecnología CMOS. El 82C51 es utilizado como un dispositivo periférico y puede ser programado por el CPU para operar virtualmente con cualquier técnica de transmisión serie utilizada actualmente. El circuito integrado PS1 acepta datos provenientes del CPU con formato en paralelo y los convierte en serie, adecuándolos para su transmisión; de la misma manera, puede recibir datos serie y convertirlos en paralelo para entregarlos al CPU.

En el diseño de este prototipo, se consideró únicamente la transmisión de datos hacia computadora; pero se tiene en consideración la comunicación bidireccional, para que de esta manera se evite el uso de teclado y "display", simplificando la electrónica empleada.

El tipo de comunicación que se establece con la computadora que recibe los datos es de tipo simplex y

asíncrona, con las siguientes características:

Velocidad de recepción: 9-600 bauds

Paridad: Nula

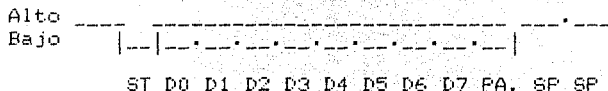
Bits de información: 8

Bits de parada: 1

Bit de inicio: 1

Para la transmisión asíncrona, cada dato tiene un bit que identifica su inicio y 1 ó 2 que identifican su fin. Ya que cada caracter es identificado individualmente, estos pueden ser transmitidos en cualquier momento (asíncronamente), de manera similar a la forma en que una persona teclea, haciéndolo con velocidad variable para cada tecla.

A continuación se presenta un formato utilizado frecuentemente en la transmisión serie y asíncrona de datos:



Cuando no se están enviando datos, la línea de señal permanece en un estado de "marca" o alto. El inicio de un caracter es indicado por un estado bajo en la línea de señal, con una duración correspondiente a un bit (ST), llamado bit de inicio. Después de éste bit son

enviados secuencialmente los bits de datos (D0-D7), empezando por el bit menos significativo. A continuación sigue el bit de paridad (PA), que es utilizado para detectar errores en los datos recibidos; algunos formatos no utilizan éste bit de paridad, como en nuestro caso. Después de los bits de datos y el bit de paridad la línea de señal regresa al estado alto por lo menos durante el tiempo correspondiente a un bit para identificar el fin de carácter. A este bit que siempre está en alto se le llama bit de parada (SP), que en algunos sistemas son dos.

En la figura 12, se muestra la manera en que se tiene conectado el circuito PSI. Se puede observar que las líneas D0 a D7 se encuentran conectadas directamente con la parte baja del bus de datos y a través de ellas se envían los comandos para programar el puerto, así como los datos para transmitir a computadora. A través de la entrada TxC el circuito recibe la señal de reloj requerida para su funcionamiento; la frecuencia de ésta señal para transmisión asíncrona debe ser 16 ó 64 veces mayor que la tasa a que se va a transmitir, éste factor es programado mediante la palabra de control que se le proporciona al puerto serie. Como se había mencionado anteriormente, el reloj maestro de todo el sistema trabaja a 2.4576 MHz., que es una frecuencia que dividida



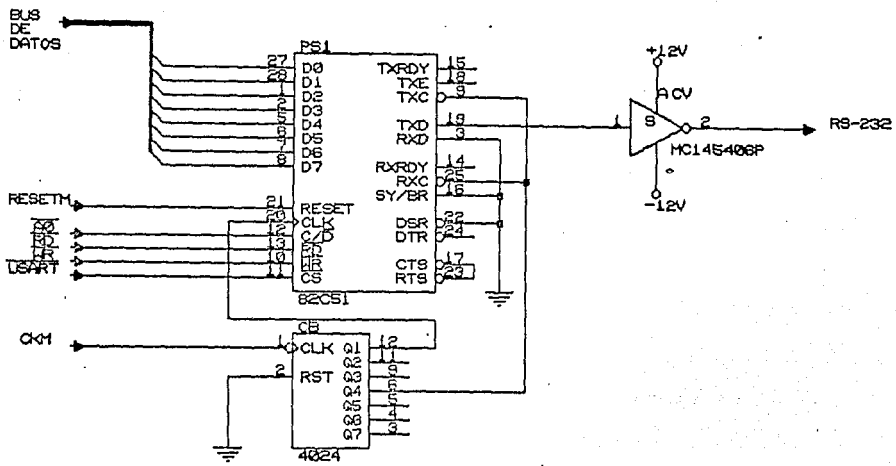


FIGURA 12  
 COMUNICACION CON PC A TRAVES DE UN PUERTO SERIE

Title	
COMUNICACION CON PC	
Size	Document Number
A	FIGURA 12
Date:	August 14, 1990 Sheet of
3	2 1

entre 256 nos proporciona la posibilidad de transmitir a los 9600 bauds requeridos. Debido a que por programación no se puede dividir por ese factor, se agregó a la salida del reloj un contador binario 4024 (CB) de 7 etapas, utilizándolo como divisor de frecuencia, del cual se tomó la salida Q4, correspondiente a una división entre 16, y se aplicó como reloj del PS1. El uso del circuito CB, proporcionó flexibilidad a la sección de comunicación con computadora, ya que con él resulta muy fácil modificar la frecuencia de reloj del PS1 y se puede tener una gama mas amplia de velocidades de transmisión o recepción en el puerto.

Las entradas RD, WR, CS y C/D, son las señales de control que le indican al puerto serie si se envía o se recibe un dato y además si es un comando, palabra de estatus o dato externo el que está utilizando el bus.

Las señales RD y WR se verifican en bajo e indican si se realizará una lectura o una escritura del puerto serie; se manejan de la misma forma que las señales RD y WR de las memorias.

La señal CS es el habilitador del circuito y también es reconocida cuando toma un nivel bajo.

La entrada C/D es la que indica si el dato a leer (si se verifica RD) o escribir (si se verifica WR) se trata de un caracter, de un comando de control, o del

registro de status.

A continuación se presenta una tabla donde se visualizan claramente las combinaciones mencionadas y la función de cada una de ellas.

$C/\bar{D}$	$\bar{R} \bar{D}$	$\bar{W} \bar{R}$	$\bar{C} \bar{S}$	FUNCIÓN
0	0	1	0	LECTURA DE UN DATO RECIBIDO
0	1	0	0	ESCRITURA DE UN DATO A TRANSMITIR
1	0	1	0	LECTURA DEL REGISTRO DE ESTATUS
1	1	0	0	ESCRITURA DE UN COMANDO AL PUERTO
X	1	1	0	BUS DE DATOS EN TERCER ESTADO
X	X	X	1	BUS DE DATOS EN TERCER ESTADO

La manera de conectar estas señales con la lógica de decodificación fué la siguiente:

Las señales de RD y WR se conectaron directamente con las líneas correspondientes que salen del microprocesador. La de CS se conectó al decodificador de puertos en su salida correspondiente al puerto 90H.

La señal C/D (Control/Dato) se conectó a la línea A0 del bus de direcciones, de manera que cuando ésta línea tuviera un nivel alto (en direcciones impares), se trataría de una palabra de control o de estatus; y al tomar un nivel bajo (en direcciones pares), se trataría de un dato a transmitir. Una vez conectado el puerto serie, su manejo se limita a la ejecución de las siguientes

instrucciones por parte del 80C86:

INSTRUCCION	FUNCION
IN AL, 92H	LECTURA DEL REG. DE ESTATUS
IN AL, 90H	LECTURA DE DATO RECIBIDO *
OUT 92H, AL	ESCRITURA DE PAL. DE CONT.
OUT 90H, AL	ESCRITURA DE DATO A TRANSMITIR

\* NO UTILIZADO EN ESTE PROTOTIPO.

Las palabras de control con las que se programa a PS1 para proporcionarle el formato y condiciones de transmisión son las siguientes:

1) Palabra de modo de instrucción:

Esta palabra es la primera que debe ser enviada después del reset para programar al puerto y su contenido es el siguiente:

D7 D6 D5 D4 D3 D2 D1 D0

S2 S1 EP PE L2 L1 B2 B1

Donde S2 y S1 definen el número de bits de parada, EP define la paridad par o impar, PE habilita la genera-

ción de paridad, L2 y L1 definen la longitud del carácter, y B2 y B1 definen el factor entre el que se divide la frecuencia de reloj para fijar la velocidad de transmisión.

En el sistema, la palabra de modo de instrucción utilizada fué 4EH, con la que se le proporcionaron las características que requerimos para el formato.

## 2) Palabra de comando de instrucción:

Esta palabra tiene que ser enviada al puerto después de que se le ha dado la palabra de modo de instrucción y su contenido es el siguiente:

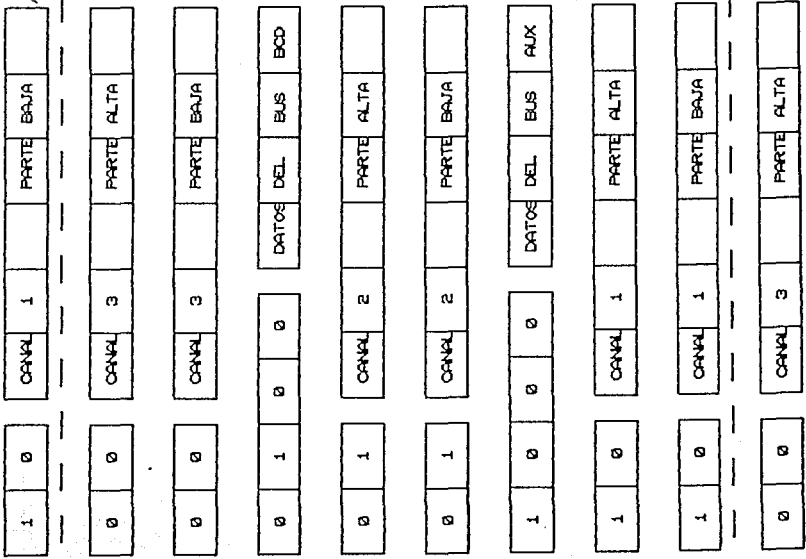
D7	D6	D5	D4	D3	D2	D1	D0
EH	IR	RTS	ER	SBRK	RxE	DTR	TxEEN

Donde EH habilita la búsqueda de un carácter SYNC, IR es un reset interno, RTS programa el nivel de la salida RTS, ER limpia las banderas de error, SBRK programa el nivel de la salida TxD, RxE habilita para recepción, DTR programa el nivel de la salida DTR, TxEN habilita para transmisión.

Para nuestra aplicación, no se utilizaron los bits de EH, RTS, SBRK, ni RxE, por lo que la palabra empleada fué 33H.

Una vez programado PS1 correctamente, nos entrega en su terminal de salida los datos serie, con niveles de voltaje de +5v para "1" lógico y 0v. para "0"; por lo que fué necesario agregar un circuito que tomara esta salida y cambiara los niveles de voltaje para que pudieran ser reconocidos por el puerto serie de la computadora. El circuito es el MC145406P (CV), el cual hace la conversión de voltaje de +5 volts a +12 v. y de 0 volts a -12 v. para finalmente ser enviada a través de la terminal 3 de un conector DB25, con su correspondiente línea de tierra en las terminales 1 y 7.

Es conveniente mencionar que el programa de procesamiento de datos sísmicos residente en PC recibe la información de acuerdo a un formato específico, en el que se reciben datos de 8 bits, de los cuales los 2 primeros son identificadores y los demás son de información correspondiente a la aceleración o a la enviada a través del bus BCD o AUX. Este formato se muestra en la figura 13 y posteriormente se hará referencia a él en la descripción del programa.



MUESTRA  
TRIPLE

Title

FORMATO PARA TRANSMISION SERIE

Size Document Number

A

FIGURA 13

Date: July 27, 1950

3

2

of

#### IV. DESCRIPCION DEL PROGRAMA DE CONTROL

Después de la descripción del funcionamiento de los circuitos electrónicos que constituyen el sistema de almacenamiento, realizada en el capítulo anterior; a continuación se explica el funcionamiento del programa de control, el cual esta conformado por dos partes:

El programa principal llamado INICIO, y la subrutina de atención a interrupciones no mascarables, llamada NMI.

Para facilitar la descripción se presentan diagramas de flujo con las mismas etiquetas que aparecen en los listados, de tal manera que se pueda seguir en forma precisa el programa.

##### 1.- INICIO:

Esta sección del programa es la encargada de:

- Inicializar los registros, apuntadores y contadores.
- Controlar el paso de las interrupciones no mascarables.
- Conmutar el voltaje de programación ( $V_p$ ) para las memorias FLASH y borrar las mismas.
- Tomar los datos almacenados en memoria, proporcionarles el formato adecuado y transmitirlos a PC.



Estas funciones se ejecutan de acuerdo a lo que el usuario desee e indique a través del teclado y tomando en cuenta ciertas condiciones que se presenten en el programa.

En la figura 14 se muestra el diagrama de flujo correspondiente a esta parte. En primer término el programa inhibe la activación de las interrupciones no mascarables para evitar que se den antes de haber cargado el vector correspondiente, posteriormente, inicializa el valor de los registros y apuntadores, carga el vector de interrupción con la dirección donde se encontrará la subrutina de atención, se asegura que el voltaje de programación de las memorias FLASH sea TTL y habilita las NMI.

En la etiqueta llamada "ESPE", se ejecuta la instrucción "WAIT", que pone en estado de espera al microprocesador hasta que sea pulsada una tecla; cuando esto sucede, en base al valor de la tecla elegida se toma la decisión de seguir a la sección de "BORRA", a la de "PC", o a la "ESPE".

Si el programa sigue por la opción llamada "BORRA", entonces se realiza el algoritmo de borrado que se muestra en la figura 15, en el cual inicialmente se pone  $V_p=TTL$  y posteriormente se espera un valor proporcionado por el usuario, que indica el número de ciclos de bo-

rrado que desea. En la siguiente parte, que inicia con la etiqueta "EXE", se encuentra un ciclo de borrado de acuerdo a las indicaciones del fabricante, incluyendo dentro de este ciclo un pequeño programa de retardo. Como parte final de esta opción, se realiza un procedimiento para verificar el borrado de las memorias FLASH, mostrado en la figura 16, en el que de resultar un error se envía un mensaje de "CUIDADO", representado por un "3" en el display, y en caso de estar bien borradas se despliega un "7"; en el primer caso el programa continúa en la etiqueta "BORRA", y en el segundo en la de "ESPE".

Si el programa sigue por la opción "PC", como se indica en la figura 17, entonces se ejecutan las instrucciones necesarias para tomar los datos de memoria y enviarlos adecuadamente al USART y posteriormente a PC. Esta sección inicialmente programa el USART, lee el registro de estado, lo despliega, permitiendo de esta manera que el usuario confirme la disponibilidad de este puerto y, después, espera hasta que se oprima cualquier tecla. Cuando esto ocurre, despliega un "6" y pasa a la sección llamada "ENVIA", para empezar el envío de datos, que inicia preguntando por el valor del registro de índice; si éste es mayor de 64 Kbytes, realiza un cambio de DS e inicializa SI, y si es menor, continúa en "SIG", donde toma de memoria la parte alta del canal 3, la aco-

moda de acuerdo al formato "Terra", mostrado en la figura 13, y la envía por el USART hacia la PC via RS-232. Una vez que se carga el dato en el USART, y se empieza a transmitir, se ejecuta la revisión del registro de estados del puerto por medio de "poleo". Al detectar que el USART esta listo para recibir el siguiente dato, toma la parte baja del canal 3, la dispone de acuerdo al formato antes mencionado y la carga en el puerto; iniciando de nuevo la transmisión y el "poleo" como se muestra en la etiqueta "STAT1". Cuando nuevamente se encuentra listo para recibir el dato siguiente, el programa incrementa el apuntador fuente (SI) y repite el proceso para cada uno de los siguientes canales, siguiendo la guía mostrada en la figura 13.

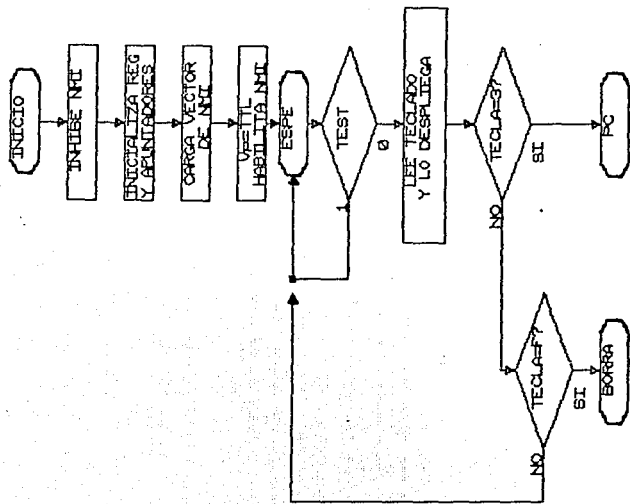


FIGURA 14

Title	DIAGRAMA DE FLUJO
Size Document Number	FIGURA 14
A	REV
Date:	AUGUST 14, 1950/Sheet of
3	2

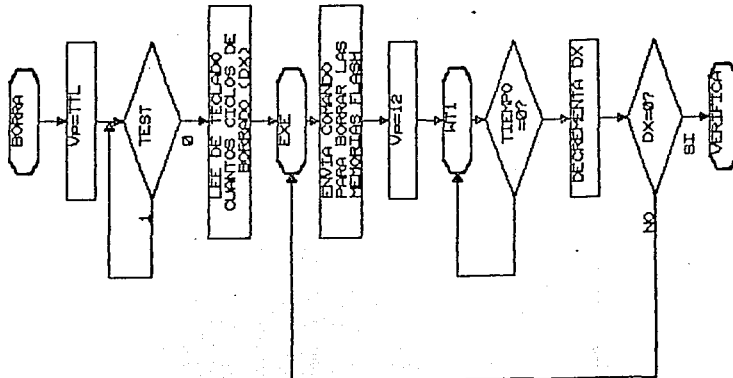


FIGURA 15

Title

DIAGRAMA DE FLUJO

Size Document Number

A FIGURA 15

Date:

August 31, 1980 Sheet

of

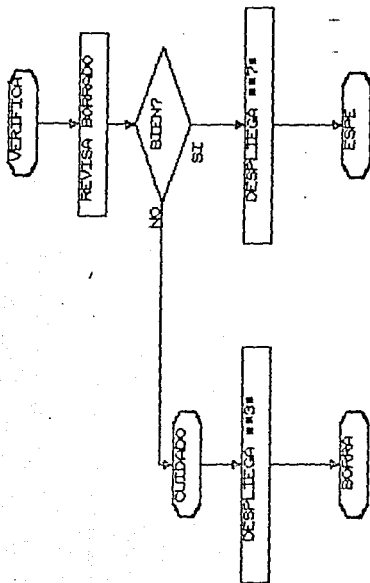


FIGURA 16

Title	DIAGRAMA DE FLUJO
Size Document Number	FIGURA 16
A	REV
Date:	AUGUST 5, 1950

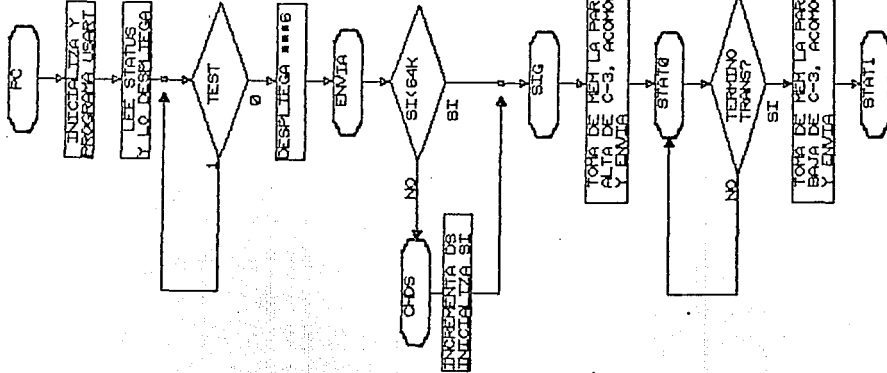


FIGURA 17

TITULO	DIAGRAMA DE FLUIDO
Size Document Number	REV
A	FIGURA 17
Date: 3 August 57, 1958	Sheet 2 of 2

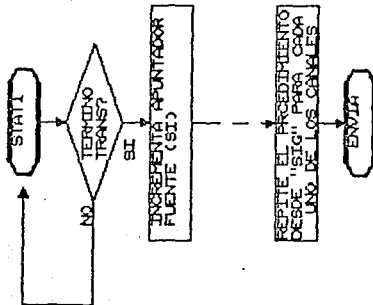


FIGURA 17 (CONTINUACION)

Title	DIAGRAMA DE FLUJO
Size Document Number	REV
A	FIGURA 17 (CONTINUACION)
Date:	AUGUST 5, 1960
	Sheet 07



```

code_name segment
assume cs:code_name, ds:code_name
; ; PROGRAMA INICIO
; ; -INICIALIZA REGISTROS Y APUNTAORES.
; ; -CONTROLA NMI Y Vp.
; ; -BORRA LAS MEMORIAS.
; ; -PROPORCIONA UN FORMATO ADECUADO A LOS DATOS Y LOS
; ; TRANSMITE A PC.
; ; -TOMA COMANDOS DEL TECLADO Y MUESTRA INFORMACION
; ; AL USUARIO.
;
; ; CONTENIDO DE ALGUNAS LOCALIDADES DE
; ; MEMORIA UTILIZADAS COMO APUNTAORES O
; ; VARIABLES.
;
; ; 0000:0400; CONTADOR DE MUESTRAS
; ; 0000:0406; APUNTAOR DE DESTINO
; ; 0000:0410; APUNTAOR DE DS
; ; 0000:040A; APUNTAOR DE RAM
; ; 0000:040E; BANDERA DE LLENO
; ; 0000:0500; INICIO DE LA PILA
; ; F000:1000; PROGRAMA DE ATENCION A NMI

```

```

START:   OUT 70H,AL           ;INHIBE NMI
         OUT 80H,AL           ;
         MOV AX,0000H         ;INICIALIZA
         MOV DS,AX
         MOV SI,0008H
         MOV BX,1000H         ;CARGA VEC. NMI
         MOV(SI),BX
         INC SI
         INC SI
         MOV BX,1111000000000000B
         MOV(SI),BX
         NOP
         MOV BL,00H           ;LIMPIA BANDERA DE LLENO
         MOV SI,040EH         ;CON 00
         MOV(SI),BL
         MOV BX,076EH         ;CARGA APUNTAOR RAM
         MOV SI,040AH         ;CON 076EH
         MOV(SI),BX           ;
         NOP
         MOV AX,0000
         MOV BX,AX
         MOV CX,AX
         MOV DX,AX
         MOV SS,AX
         MOV DS,AX
         MOV AX,0700H

```

```

MOV DI,AX
MOV SI,AX
MOV AX,0500H
MOV SP,AX
MOV BX,0400H
MOV AX,0000H
MOV [BX],AX
OUT 40H,AL          ;PONE Vp=TTL P. FLASH
OUT 80H,AL
OUT 60H,AL          ;HABILITA NMI
MOV AX,0000H        ;CARGA PARA DS
MOV SI,0410H
MOV [SI],AX
ESPE:
WAIT
IN AL,10H
AND AL,0FH
OR AL,30H
OUT 00H,AL
CMP AL,33H          ;SI T=3, TRANS A PC
JZ PC
CMP AL,3FH          ;SI T=F, BORRA FLASH
JNZ ESPE
BORRA:
MOV AX,1000H
MOV DS,AX           ;PONE DS PARA FLASH
MOV SI,0000H
MOV AX,[SI]         ;LEE FLASH
AND AL,0FH          ;DESPLIEGA
OR AL,30H
OUT 00H,AL
OUT 40H,AL          ;PONE Vp=TTL
WAIT                ;ESPERA TECLA
IN AL,10H
AND AX,000FH        ;CUANTAS VECES BORRAR
MOV DX,AX
MOV DI,1111111111111111B
EXE:
MOV [SI],DI         ;PROG. P. BORRAR
OUT 50H,AL          ;PONE Vp=12v
MOVSI,DI            ;EJECUTA BORRADO FLASH
MOV CX,9FFFH
WT1:
LOOP WT1            ;DA TIEMPO P. BORRAR
DEC DX
CMP DX,00H
JG EXE
MOV CX,1111111111111111B
OUT 40H,AL
VERIFICA: CMP [SI],DI ;CHECA BORRADO
JNZ CUIDADO
INC SI
LOOP VERIFICA
MOV AL,17H          ;DESPL. 7 EN DISP.1
OUT 00H,AL          ;SI OK.

```

```

                JMP BORRA                ; VUELVE A DESPLEGAR
CUIDADO:      MOV AL,13H                ; SI NO BORRO O.K.
                OUT 00H,AL              ; 3 EN DISP 1
                JMP BORRA                ; VUELVE A DESPLEGAR
PC:           MOV AL,00H                ; MANDA 3 00'S AL REG.
                OUT 92H,AL              ; DE CONTROL
                MOV CX,10H
D0:           LOOP D0                    ; DA TIEMPO AL PUERTO
                OUT 92H,AL
                MOV CX,10H
D1:           LOOP D1
                OUT 92H,AL
                MOV CX,10H
D2:           LOOP D2
                MOV AL,40H                ; MANDA RESET Y ESPERA
                OUT 92H,AL              ; MODO PALABRA
                MOV CX,10H
D3:           LOOP D3
                MOV AL,01001110B        ; PROG. MODE WRD.
                OUT 92H,AL
                MOV CX,10H
D4:           LOOP D4
                MOV AL,00110011B        ; PROG. COMM. WRD.
                OUT 92H,AL
                MOV CX,10H
D5:           LOOP D5
                IN AL,92H                ; LEE STATUS
                AND AL,0FH
                OUT 00,AL                ; DESPL. STATUS
                IN AL,92H
                MOV CL,04H
                ROR AL,CL
                AND AL,0FH
                OR AL,10H
                OUT 00,AL
                WAIT                    ; ESPERA HASTA
                IN AL,10H                ; TECLA *****
                MOV AL,06H                ; PONE 6 EN DISP
                OUT 00H,AL              ; AL TRANSMITIR
                MOV DX,0000H            ; INICIALIZA DS
                MOV DS,DX                ; PARA GUARDAR
                MOV SI,0770H
ENVIA:        MOV AX,1111111111110000B
                CMP AX,SI
                JNB SIG
                JMP CHDS
SIG:          MOV AX,[SI]
                MOV CL,02H
                SHL AX,CL
                AND AH,3FH
                MOV AL,AH

```

```

        OUT 90H, AL
STAT0:  IN  AL, 92H          ; TERMINO DE TRANSMITIR P
        AND AL, 0FH        ; ALTA CANAL 3?
        AND AL, 05H
        CMP AL, 05H
        JNE STAT0
        MOV AX, [SI]
        AND AL, 3FH
        OUT 90H, AL
STAT1:  IN  AL, 92H          ; TERMINO DE TRANSMITIR P
        AND AL, 0FH        ; BAJA CANAL 3?
        AND AL, 05H
        CMP AL, 05H
        JNE STAT1
        INC SI
        MOV AX, 1111111111110000B
        CMP AX, SI
        JNB SIG1
        JMP CHDS
SIG1:   INC SI              ; PASA A CH2 Y BCD
        MOV AX, [SI]       ; A)
        MOV CL, 04H
        ROR AH, CL
        OR  AH, 40H
        AND AH, 4FH
        MOV AL, AH
        OUT 90H, AL
STAT2:  IN  AL, 92H          ; TERMINO DE TRANSMITIR
        AND AL, 0FH        ; DATOS DEL BUS BCD?
        AND AL, 05H
        CMP AL, 05H
        JNE STAT2
        MOV AX, [SI]       ; B)
        MOV CL, 02H
        SHL AX, CL
        OR  AH, 40H
        AND AH, 7FH
        MOV AL, AH
        OUT 90H, AL
STAT3:  IN  AL, 92H          ; TERMINO DE TRANSMITIR
        AND AL, 0FH        ; PARTE ALTA DEL C2?
        AND AL, 05H
        CMP AL, 05H
        JNE STAT3
        MOV AX, [SI]       ; C)
        OR  AL, 40H
        AND AL, 7FH
        OUT 90H, AL
STAT4:  IN  AL, 92H          ; TERMINO DE TRANSMITIR
        AND AL, 0FH        ; PARTE BAJA DEL C2?
        AND AL, 05H

```

```

CMP AL,05H
JNE STAT4
INC SI
MOV AX,1111111111110000B
CMP AX,SI
JNB SIG2
JMP CHDS
SIG2: INC SI ;FASA A CH1 Y AUX.
MOV AX,(SI) ;A)
MOV CL,04H
ROR AH,CL
OR AH,80H
AND AH,8FH
MOV AL,AH
OUT 90H,AL
STAT5: IN AL,92H ;TERMINO DE TRANSMITIR
AND AL,0FH ;DATOS DEL BUS AUX?
AND AL,05H
CMP AL,05H
JNE STAT5
MOV AX,(SI) ;B)
MOV CL,02H
SHL AX,CL
OR AH,80H
AND AH,10111111B
MOV AL,AH
OUT 90H,AL
STAT6: IN AL,92H ;TERMINO DE TRANSMITIR
AND AL,0FH ;PARTE ALTA DEL C1?
AND AL,05H
CMP AL,05H
JNE STAT6
MOV AX,(SI) ;C)
OR AL,80H
AND AL,10111111B
OUT 90H,AL
STAT7: IN AL,92H ;TERMINO DE TRANSMITIR
AND AL,0FH ;PARTE BAJA DEL C1?
AND AL,05H
CMP AL,05H
JNE STAT7
INC SI
MOV AX,1111111111110000B
CMP AX,SI
JNB SIG3
JMP CHDS
SIG3: INC SI ;FASA A CH3
CHDS: MOV SI,0000H
MOV DS,SI
MOV SI,0410H

```

```
MOV AX, (SI)
INC AH ;INCREMENTA DS
MOV (SI),AX
MOV CL,04H ;CORRE AH 4 BITS
SHL AH,CL
MOV DS,AX
OUT 10100000B,AL
MOV SI,0000H
JMP SIG
```

```
code_name ends
end start
```

## 2.- NMI:

La subrutina de atención a interrupciones no mascarables tiene las siguientes funciones:

- Localizar el bit de sincronía que aparece en el bus AUX cada segundo, llamado PPS.
- Tomar las palabras de 16 bits del bloque de presentación de palabra y guardarlas en memoria.
- Separar la información contenida en el bus BCD para tomar los segundos y decenas de segundos y desplegarlos durante la adquisición.

El programa NMI es ejecutado cuando se presenta un flanco de subida en la señal "NMI-MP", el cual ocurre cada vez que hay un dato presente en el bloque de presentación de palabra.

En la figura 18 se observa el inicio de esta rutina, cuya primera tarea es guardar los registros en la pila para no perderlos en el proceso siguiente. Posteriormente, tomar el valor del apuntador destino, donde se guardaran los datos enviados por el registrador, y revisar la bandera de memoria llena. Si la bandera esta prendida, va a la parte indicada con "REGRE"; en caso contrario, toma de una localidad de memoria el valor de un contador de muestras "CONTM". Si el contador es igual a cero, con lo cual se indica que es el valor inicial, entra en un algoritmo de sincronía llamado "SYNC", y si

es diferente de cero, entonces va a la sección denominada "GUARDA".

La parte correspondiente a "SYNC", en la figura 19, busca el bit correspondiente a un pulso por segundo (PPS), incluido en el bus AUX del canal identificado con "00", que corresponde al canal 1 del formato "Terra", como se vió en la figura 2. Una vez localizado "PPS", se tiene el plenamente reconocido el canal presente y la secuencia que seguirán los siguientes canales; por lo que se puede empezar a guardar datos en memoria.

La sección "GUARDA" toma una palabra de 16 bits del puerto de entrada, que procede del bloque de presentación de palabra, actualiza los apuntadores de destino tomándolos de memoria, guarda la palabra y, posteriormente, como se puede ver en la figura 19, revisa cómo es el valor del apuntador SI comparado con 64 K. Si SI es mayor, entonces es necesario incrementar el DS para empezar el llenado del siguiente segmento de memoria correspondiente a memoria FLASH, de cuyo manejo se encarga la parte llamada con el mismo nombre. En el caso de que el apuntador SI continuara siendo menor a los 64 K, se lee el identificador para encontrar al canal 2 (que es en el que van los cuatro bits de información del bus BCD, tal como se mostró en la tabla 2). Cuando se ha localizado al canal 2, se toma el dato BCD y se



guarda en una tabla en RAM. Tal como se observa en el diagrama de la figura 19, no hay renovación de la información existente en el display hasta que se han guardado en memoria los datos coorespondientes al bus BCD de 100 muestras consecutivas, a partir de la siguiente de donde viene "PPS". Después de tener los 100 datos BCD, se pasa a la sección de despliegue "DESPL", en la que se toman los datos referentes a segundos y decenas de segundos de la tabla antes mencionada, se envían al display para que el usuario pueda verificar el correcto funcionamiento del sistema y finalmente se pasa a la sección "REGRE".

En el procedimiento indicado con la etiqueta "FLASH", se pone el voltaje de Programación ( $V_p$ ) de las memorias a 12 volts para habilitar la escritura en las mismas, se incrementa el DS cuidando que no pase de 2000H que es la máxima capacidad de almacenamiento que se tiene con las dos memorias FLASH y se reinicia a 0000H el apuntador SI. En caso de que DS sea mayor que 2000H, se pasa a "FLASH1" que pone fin a la adquisición de datos con el regreso de  $V_p$  a un nivel TTL, despliega un aviso en el display con "FF", prende la bandera de "lleno", inicializa DS, inhibe las interrupciones no mascarables y va a "REGRE".

"REGRE" es una etiqueta que significa regreso y a ella se llega proveniente de varias partes del programa;

esta sección recupera los registros guardados en la pila y regresa el apuntador al programa INICIO donde se encontraba en el momento de ocurrir la interrupción no mascarable.

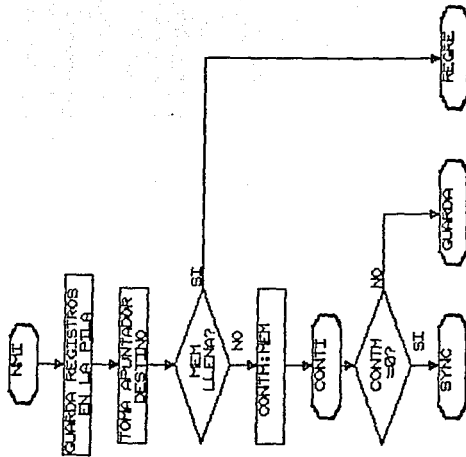


FIGURA 18

Title	DIAGRAMA DE FLUJO DE NFE
Size/Document Number	FIGURA 18
REV	REV
Date:	August B. 1980/2/2

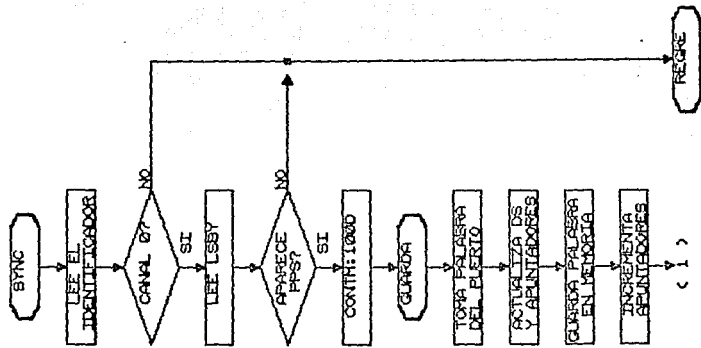


FIGURA 19

Title	DIAGRAMA DE FLUJO NH1
Size Document Number	REV
A	FIGURA 19
Date:	Arcuni 18, 1980
	2 of 2

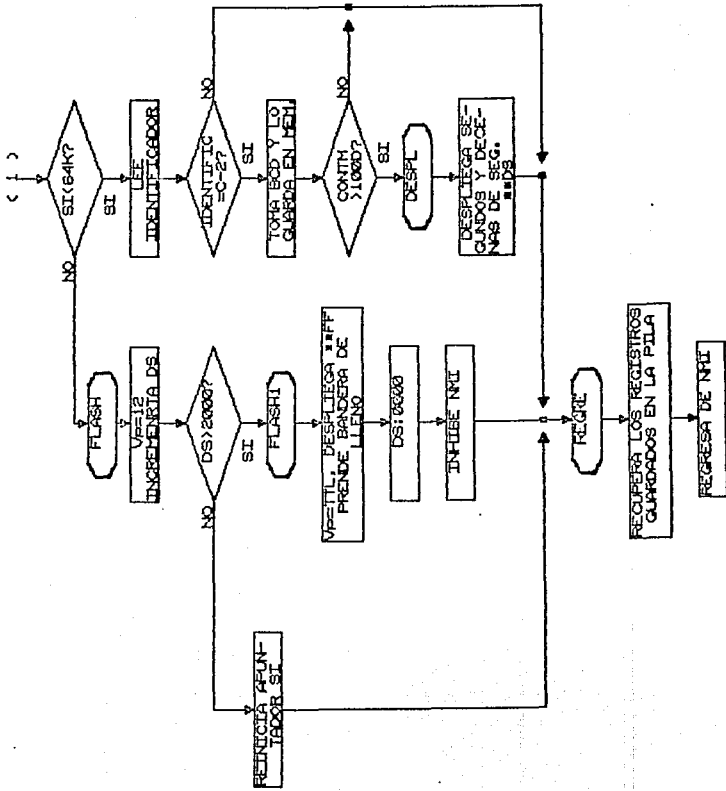


FIGURA 19 (CONTINUACION)

Title	DIAGRAMA DE FLUJO NMI
Size Document Number	REV
	A
FIGURA 19 (CONTINUACION)	
Date:	AUGUST 27, 1980
Sheet	2

```

code_name segment
assume cs:code_name, ds:code_name
;
; PROGRAMA NMI
;
; SUBROUTINA DE ATENCION A INTERRUPCIONES
; -LOCALIZA LA MARCA DE SINCRONIA (PPS)
; -TOMA LAS PALABRAS DE 16 BITS DEL BLOQUE DE PRESENTA-
; CION DE PALABRA Y LAS GUARDA EN MEMORIA.
; -SEPARA LA INFORMACION DEL BUS BCD Y DESPLIEGA SEGUN-
; DOS Y DECENAS DE SEGUNDOS DURANTE LA ADQUISICION.
;

START:  PUSH AX           ;GUARDA REGS. EN LA PILA
        PUSH BX
        PUSH CX
        PUSH DX
        PUSH DI
        PUSH SI
        CLC              ;CLEAR CARRY FLAG
        MOV SI,0408H
        MOV DI,ISIJ      ;CARGA APUNTAOR DE DESTINO
        MOV SI,040EH     ;REVISA BANDERA DE LLENO
        MOV CL,(SI)
        CMP CL,11H
        JNZ CONTI        ;SI ESTA PRENDIDA REGRE
HERE:   JMP REGRE        ;SI NO, CONTINUA
CONTI:  MOV SI,0400H
        MOV CX,(SI)      ;CARGA CONTADOR DE MUESTRAS
        CMP CX,00H
        JG GUARDA
SYNC:   NOP              ;SINCRONIZAR *****
        IN AL,20h        ;LEE IDENTIFICADOR
        AND AL,03h       ;LOS 2 LSBY
        CMP AL,00H       ;VERIFICA SI ES CANAL 00
        JNZ HERE        ;SI NO ES, SALE
        IN AX,30h        ;LEE LSBY
        AND AH,40h
        CMP AH,40h
        JNZ HERE        ;SI NO PRENDIDO PPS, SALE
        MOV AL,AH
        MOV CX,0064H     ;CARGA CONT. MUES CON 32H
        MOV BX,0400H
        MOV [BX],CX
GUARDA: PUSH CX          ;GUARDA CX EN STACK
        IN AX,30H        ;TOMA DATO DEL BLOQUE DE
        MOV SI,040AH     ;PRESENTACION DE PALABRA
        MOV BX,ISIJ      ;ACTUALIZA APUNTAOR OFFSET
        MOV SI,0410H
        MOV DX,(SI)      ;ACTUALIZA DS
        MOV CL,04H

```

```

SHL DH,CL
POP CX
MOV DS,DX
MOV[BX],AX
MOV DX,0000H ;REGRESA DS PARA EL PROGRAMA
MOV DS,DX
INC BX
INC BX
MOV AX,111111111110000B
MOV SI,040AH
MOV[SI],BX
CMP AX,BX
JB FLASH
IN AL,20h ;LEE IDENTIFIC.
AND AL,03h
CMP AL,02h ;BUSCA CH-2
JNZ REGRE
IN AX,30h ;LEE LSBY
MOV [DI],AH ;GUARDA DATO BCD EN RAM
IN AL,20H
AND AL,0FH
OR AL,20H
OUT 00H,AL
INC DI
MOV BX,0406H
MOV [BX],DI ;GUARDA APUNT. EN MEMORIA
DEC CX
MOV BX,0400H
MOV [BX],CX
JG REGRE ;SI NO HA TOMADO 50 MUES.
;VA A REGRE
DESPL: MOV AL,[SI]
MOV CL,04h
ROR AL,CL
AND AL,0FH
OUT 00,AL ;DESPLIEGA SEG. EN DISP 0
MOV BX,0701h
MOV AL,[BX]
ROR AL,CL
AND AL,0FH
OR AL,10h
OUT 00,AL ;DESPLIEGA DEC. DE SEG
MOV BX,0406H ;EN DISP1
MOV [BX],0700H
JMP REGRE
FLASH: IN AL,90H ;PTO. PARA PROBAR PASO
OUT 50H,AL ;PONE Vp=12v
MOV SI,0410H ;INCREMENTA DS P. SELEC FLASH
MOV AX,[SI]
INC AH
MOV [SI],AX

```

```

                                CMP AH,02H                ;SI DS > 2, FLASH1
                                JG FLASH1
                                MOV BX,0000H            ;SI NO, REINICIA EL APUNTADOR
                                MOV SI,040AH
                                MOV [SI],BX
                                JMP REGRE
FLASH1:                          OUT 40H,AL          ;PONE Vp=TTL
                                MOV AL,0FH            ;DESPLIEGA **FF INDICA RAM
                                OUT 00H,AL           ;LLENA
                                OR AL,10H
                                OUT 00H,AL
                                MOV BL,11H           ;PRENDE BANDERA DE LLENO
                                MOV SI,040EH
                                MOV [SI],BL
                                MOV AX,0000H          ;INICIALIZA DS PARA
                                MOV SI,0410H          ;TRANSMITIR
                                MOV [SI],AX
                                OUT 70H,AL           ;INHIBE NMI
                                OUT 80H,AL
REGRE:                            POP SI
                                POP DI
                                POP DX
                                POP CX
                                POP BX
                                POP AX
                                OUT 80H,AL          ;REESTABLECE NMI
                                IRET
code_name ends
end start

```



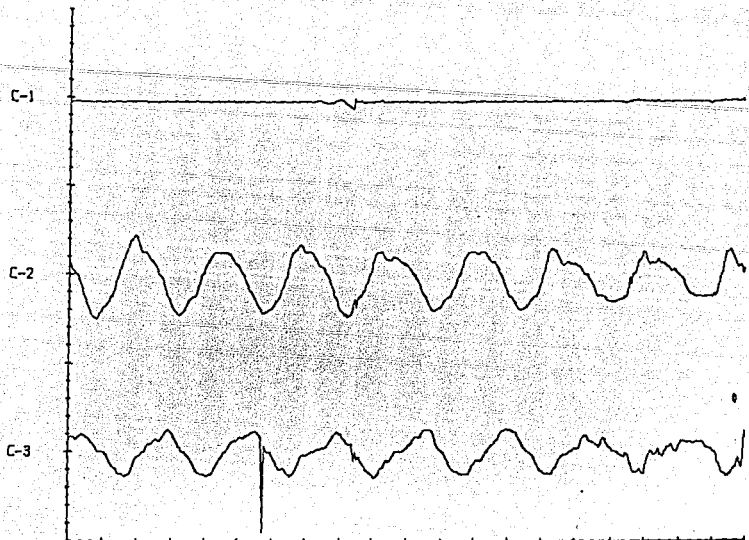
## V. RESULTADOS

Como resultado final del trabajo realizado se obtuvo un primer prototipo del sistema de almacenamiento de datos sísmicos digitales en memoria semiconductora, en el cual se probaron algunas ideas relativas al funcionamiento del sistema.

La memoria empleada fue de tipo RAM con batería de soporte, para los primeros 64 Kbytes, y memorias FLASH para los siguientes 128 Kb, con lo que se obtuvo una capacidad total de almacenamiento de 5 minutos y 26 segundos; teniendo la posibilidad de agregar memorias suficientes para poder guardar hasta 27 minutos y 16 segundos.

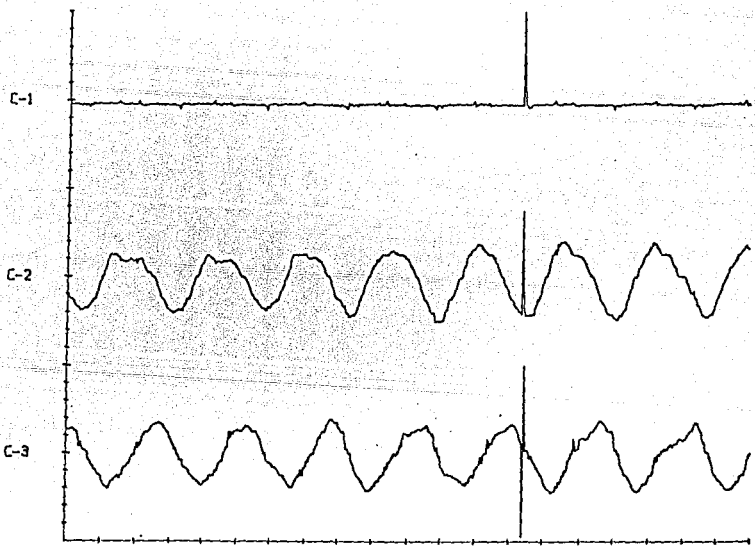
Con la configuración anterior se pudo observar que la información almacenada en memoria RAM sufre algunas modificaciones de importancia debidas a las transiciones del voltaje de polarización, ejemplo de estas modificaciones se muestran en las figuras 20 a) y 20 b); sin embargo, la información que fué grabada en las memorias FLASH, permaneció intacta como se aprecia en la figura 20 c).

Al haber utilizado el microprocesador 80C86 se evaluaron las ventajas y desventajas que el uso de este microprocesador presenta en comparación con el 80C88,



DATOS EN RAM 10 DE AGOSTO DE 1990	To: 08:04:02.00	Y: 196 gals/div
	Duracion: 326.00 seg	X: .25 seg/div
	TESIS/ NS 149/ 1g	Declinacion: 1

FIGURA 20a)



DATOS EN RAM 10 DE AGOSTO DE 1990	To: 08:04:47.00	Y: 196 gals/div
	Duracion: 326.00 seg	X: .25 seg/div
	TESIS/ NS 149/ 1g	Declinacion: 1

FIGURA 20b)

El presente informe describe los resultados obtenidos en el estudio de la actividad sísmica en la zona de estudio, durante el periodo comprendido entre el 10 de agosto de 1990 y el 10 de septiembre de 1990. Los datos fueron obtenidos a través de un sistema de adquisición de datos en tiempo real, que permitió registrar y almacenar en disco los datos de las estaciones C-1, C-2 y C-3. Los datos fueron procesados y se generó este informe, el cual contiene los resultados de los análisis realizados, así como los gráficos correspondientes.

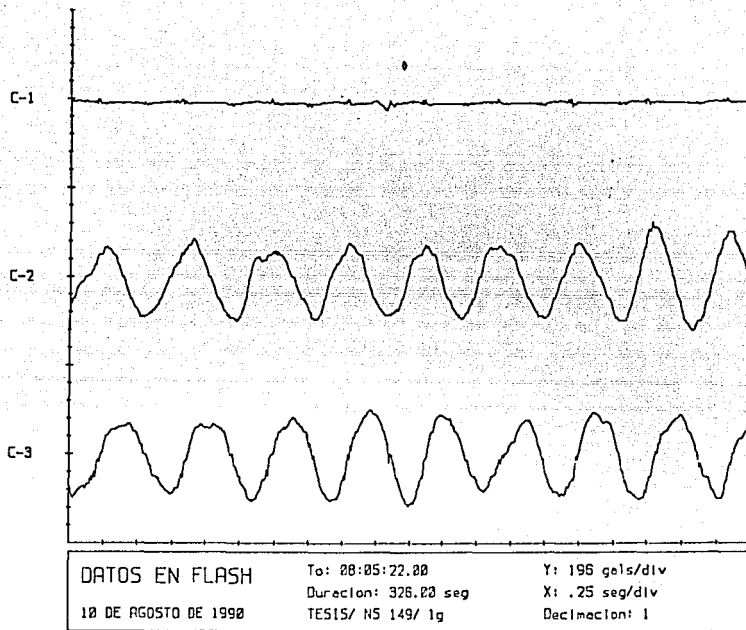


FIGURA 20c)

respecto a la aplicación considerada, llegando a las siguientes observaciones:

A) El uso del 80C86 permite una ejecución más rápida del programa, debido a que su ciclo de "búsqueda de instrucción" toma el código de memoria en palabras de 16 bits en un solo ciclo de lectura. El mismo procedimiento requiere de dos ciclos de lectura para el microprocesador 80C88.

B) El 80C86 permite tomar palabras de 16 bits del bloque de presentación de palabra en un solo ciclo de lectura, y utilizando el 80C88 hubiera requerido de dos.

C) El empleo del 80C86 implica una circuitería más sofisticada y con mayor número de componentes que para el caso del 80C88, por la manera en que se maneja la parte baja y la parte alta del bus.

D) En cuanto a programación, el haber utilizado el 80C86 implicó la realización de un programa para separar el código binario del programa ejecutable en dos partes (alta y baja) y guardarlas con dos nombres distintos, para posteriormente grabar cada parte en la memoria correspondiente. Este procedimiento se tornó tedioso al tener que repetirlo numerosas veces. Con el 80C88 no hubiera sido necesario realizar este proceso.

E) La disipación de potencia es mayor en el sistema

con 80C86 debido a la mayor cantidad de componentes requeridos y también por la potencia disipada en el microprocesador, que es casi el doble de la disipada en el 80C88 operando bajo las mismas condiciones.

El sistema tiene la capacidad de transmitir la información guardada en memoria hacia una PC, sin necesidad de conectarse a ninguna interfaz externa; en la figura 21 se presenta una tabla con los datos binarios adquiridos por la PC en una prueba realizada.

En el prototipo, el usuario se comunica con el sistema mediante el teclado y el display de cristal líquido. Con el teclado, el usuario puede indicar el momento en que quiere realizar la transmisión a PC y cuándo borrar las memorias FLASH. Simultáneamente, el sistema, mediante el display, muestra al usuario la tecla que oprimió y algunos indicadores de la tarea que está realizando en cada momento.

La disipación de potencia de todo el sistema fue de 240 mW, con un voltaje de polarización de 5 V y una corriente de 48 mA; esta potencia es disipada únicamente durante la adquisición de los datos, ya que en cualquier otro instante el sistema excepto por las memorias RAM y decodificadores, se encuentra sin polarización.

La disipación de potencia de los decodificadores y de las memorias RAM respaldadas por batería es de 270

$\mu\text{W}$ , con un voltaje de batería de 3.0 V y una corriente de 90  $\mu\text{A}$ , cuando se encuentran en estado de bajo consumo.

DESPLIEGUE NUMERICO DE LOS DATOS A PARTIR DE LA MUESTRA  
CORRESPONDIENTE AL SEGUNDO: 1 DEL ARCHIVO: ''

MUESTRA	SYN	CANAL-3	HEX	BCD	CANAL-2	HEX	AUX	CANAL-1	HEX
100	┘	0000	100000000000-0800	0000	100000111110-083E	0000	100001001100-084C		
101	┘	0000	100000000100-0804	0000	100000111000-0838	0000	100001001111-084F		
102	┘	0000	100000000000-0800	0000	100000110000-0830	0000	100001001100-084C		
103	┘	0000	100000000100-0804	0000	100000110000-0830	0000	100001001100-084C		
104	┘	0000	100000000000-0800	0101	100000110101-5835	0000	100001010000-0850		
105	┘	0000	100000000100-0804	0000	100000111100-083C	0000	100001001110-084E		
106	┘	0000	100000000000-0800	0000	100000111010-083A	0000	100001001100-084C		
107	┘	0000	100000000111-0807	0000	100000110010-0832	0000	100001001101-084D		
108	┘	0000	100000000000-0800	0000	100000110000-0830	0000	100001010000-0850		
109	┘	0000	100000000100-0804	1001	100000110010-9832	0000	100001010000-0850		
110	┘	0000	100000000000-0800	0000	100000111100-083C	0000	100001010000-0850		
111	┘	0000	100000000100-0804	0000	100000111010-083A	0000	100001010000-0850		
112	┘	0000	100000000000-0800	0100	100000110010-4832	0000			

OPRIMA: [Pausa]=PARAR, [End]=TERMINAR, [Shft-PrSc]=IMPRIMIR...

FIGURA 21

## VI. CONCLUSIONES

Con el diseño y construcción de este prototipo se logró substituir el sistema tradicional de almacenamiento en casete por uno que guarda los datos en memoria semiconductora siguiendo la tendencia actual en este tipo de registradores; sin embargo, se tuvo un avance importante al utilizar las memorias FLASH de reciente aparición en el mercado, ya que los demás sistemas utilizan comunmente memoria RAM con respaldo de batería, y se encuentran limitados por la duración y la calidad de estas últimas.

Se compararon las características tanto de la memoria RAM como de la FLASH para esta aplicación, y al observar los problemas que se presentaron con la memoria RAM se concluyó que:

A) Es mucho mas seguro y confiable el uso de memorias FLASH para este tipo de aplicación, y dada la tendencia actual de incrementar la escala de integración y disminuir el costo, que actualmente es un poco mayor al de las memorias RAM; es conveniente continuar empleando las memorias FLASH para los proyectos futuros en este sentido.

B) Si se pretende continuar utilizando RAM respaldadas, es necesario mejorar el circuito que las pone en



estado de bajo consumo, ya que el implementado en el prototipo actual no es lo suficientemente refinado y produce alteraciones en la información en forma aleatoria, como se mostró en la figura 14 a).<sup>(20a) y (20b)</sup> Por otro lado, sería conveniente emplear las memorias RAM HM628128 que poseen prácticamente las mismas características que las HM62256, pero con la ventaja de ser de mayor densidad, ya que tienen capacidad de 128 Kbytes, a diferencia de las anteriores que son de 32 Kbytes.

De lo discutido en el capítulo anterior, se concluye que para versiones futuras, dado que no es alta velocidad de procesamiento lo que se requiere, resultaría conveniente la implantación del sistema en base a un microprocesador 80C88. El uso del microprocesador 80C86 fue de utilidad para conocer las dificultades implícitas en su uso y valorar las ventajas y desventajas que presenta en cuanto a velocidad de procesamiento con respecto a otros microprocesadores.

El sistema desarrollado presenta un panorama muy amplio por el que se puede continuar en el área de instrumentación sísmica, ya que proporciona las bases para cualquiera de los siguientes proyectos:

A) Elaboración de un programa más completo, que permita al usuario conocer en forma de tabla el número de eventos registrados, fecha y hora en la que ocurrieron,

máxima amplitud de cada uno de ellos, memoria ocupada y memoria disponible.

B) Implementación por programa de un algoritmo de compactación de información para aumentar la eficiencia en el uso de memoria.

C) Eliminar el uso de display y teclado, y mantener comunicación con el usuario a través de la PC conectada por medio del puerto serie.

D) Agregar un módem al sistema para poder ser interrogado vía telefónica o por radio, aprovechando las ventajas de tener un acceso directo a los datos guardados en memoria y las características que posee el USART 82C51 para manejar módem.

E) Simplificar el sistema eliminando la sección de comunicación con el usuario y con PC, de tal manera que el acceso a la información almacenada involucre la separación del acelerógrafo de un pequeño módulo de memorias FLASH, como si fuera un casete, su reemplazo y transportación a otro sistema que tome los datos de las memorias y los transfiera a PC.

F) La elaboración de un acelerógrafo digital basado en el microprocesador 80C86 e implementación en él de todos o algunos de los incisos anteriores.

La elaboración de este proyecto permite establecer una nueva línea de trabajo dirigida a la disminución de la dependencia tecnológica en el área de instrumentación sísmica, que debido a la zona sísmica en que se encuentra México es de vital importancia.

## VII. RECONOCIMIENTOS

El presente trabajo se desarrolló gracias al apoyo del Instituto de Ingeniería de la UNAM con el proyecto No. 0701, "Diseño, desarrollo y evaluación de un dispositivo de almacenamiento de información sísmica en semiconductor". Prototipo (1a. parte), bajo la dirección del M. en I. Pablo Roberto Pérez Alcázar.

Agradezco la cooperación de todo el personal de la Coordinación de Sismología e Instrumentación Sísmica que fué muy valiosa para la realización del presente trabajo.

A los profesores de la Facultad de Ingeniería, gracias a los cuales pude adquirir los conocimientos necesarios para llevar a cabo mi tesis.

## VIII. BIBLIOGRAFIA

1. Bursky, D.: "MEMORY SYSTEMS, DESIGN AND APPLICATIONS", Hayden Book Co., New Jersey, 1980.

2. Hall, D. V.: "MICROPROCESSORS AND INTERFACING", Mc Graw-Hill Book Company, New York, 1986.

3. Pérez F., Barreto A.: "MODULO PORTATIL DE COMUNICACION PARA EL ACELEROGRAFO DIGITAL DESARROLLADO EN EL I. DE I.", Instituto de Ingenieria, UNAM, octubre, 1987.

4.\* Pérez P., Barreto A., Pavia E.: "UNIDAD DE REPRODUCCION DE DATOS SISMICOS DIGITALES REGISTRADOS EN CASETE (RDS-1)", Memorias del V Simposio Nacional de Instrumentación, SOMI, 1988. \* (1)

5. Featman, J.B.: "MICROCOMPUTER-BASED DESIGN", Mc Graw-Hill Book Company, New York, 1977.

6. Renwick W., Cole A.: "DIGITAL STORAGE SYSTEMS", Cox & Wyman Ltd., Great Britain, 1971.

7. SEEG.: FLASH MEMORIES, EDN MAGAZINE, No.17, pp. 38-39, August, 1989.

8. Cypress Semiconductor Corporation: "CMOS BiCMOS DATA BOOK", San Jose, CA., 1989.

9. Hitachi America Ltd.: "IC MEMORY DATA BOOK", San Jose, Ca., March, 1988.

10. Intel Corporation: "MEMORY COMPONENTS DATA BOOK", Santa Clara, Ca., 1989.
11. Intel Corporation: "MICROSYSTEM COMPONENTS HANDBOOK", vol.I y II, Santa Clara, Ca., 1985.
12. Intersil, G.E. Company: "COMPONENT DATA CATALOG", Mountain View, Ca., 1986.
13. National Semiconductor Corporation: "MOS MEMORY DATABOOK", Santa Clara, Ca., 1984.
14. National Semiconductor Corporation: "CMOS DATABOOK", Santa Clara, Ca., 1981.
15. SEEQ Technology Incorporated: "SEEQ DATA BOOK", San Jose, Ca., 1990.
16. IBM: "GUIA DEL USUARIO DEL SISTEMA OPERATIVO EN DISCO VERSION 3.10", Barcelona, Esp., 1985.
17. Columbia Data Products, Inc.: "MS-DOS 2.1", Columbia, Md., 1984.



PRELIMINARY

## 80C86/80C86-2 16-Bit CMOS Microprocessor

- Pin-for-Pin and Functionally Compatible to Industry Standard HMOS 8086
- Fully Static Design with Frequency Range from D.C. to:
  - 5 MHz for 80C86
  - 8 MHz for 80C86-2
- Low Power Operation
  - Operating  $I_{CC} = 10$  mA/MHz
  - Standby  $I_{CCS} = 500$   $\mu$ A max
- Bus-Hold Circuitry Eliminates Pull-Up Resistors
- Direct Addressing Capability of 1 MByte of Memory
- Architecture Designed for Powerful Assembly Language and Efficient High Level Languages
- 24 Operand Addressing Modes
- Byte, Word and Block Operations
- 8 and 16-Bit Signed and Unsigned Arithmetic
  - Binary or Decimal
  - Multiply and Divide
- Will Be Available in 40-Lead Plastic DIP and 44-Lead PLCC Packages  
(See Packaging Specs., Order # 231269)

The Intel 80C86 is a high performance, CMOS version of the industry standard HMOS 8086 16-bit CPU. It is available in 5 MHz clock rate and will be available in 8 MHz clock rate in the 1st half of 1986. The 80C86 offers two modes of operation: MINimum for small systems and MAXimum for larger applications such as multiprocessing. It is available in 40-pin DIP and will be available in 44-pin plastic leaded chip carrier (PLCC) package in the 1st quarter of 1986.

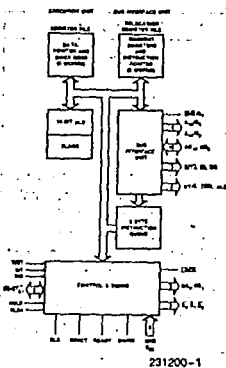


Figure 1. 80C86 CPU Block Diagram

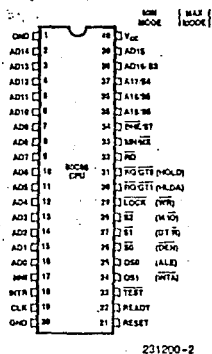


Figure 2a. 80C86 40-Lead DIP Configuration

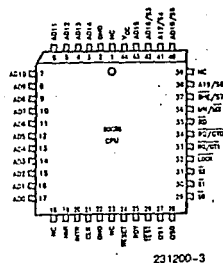


Figure 2b. 80C86 44-Lead PLCC Configuration



**A.C. CHARACTERISTICS** (8086:  $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 10\%$ )  
 (8086-1:  $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )  
 (8086-2:  $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

**MINIMUM COMPLEXITY SYSTEM  
 TIMING REQUIREMENTS**

Symbol	Parameter	8086		8086-1 (Preliminary)		8086-2		Units	Test Conditions
		Min.	Max.	Min.	Max.	Min.	Max.		
TCLCL	CLK Cycle Period	200	500	100	500	125	500	ns	
TCLCH	CLK Low Time	118		53		68		ns	
TCHCL	CLK High Time	69		39		44		ns	
TCH1CH2	CLK Rise Time		10		10		10	ns	From 1.0V to 3.5V
TCL2CL1	CLK Fall Time		10		10		10	ns	From 3.5V to 1.0V
TDVCL	Data in Setup Time	30		5		20		ns	
TCLDX	Data in Hold Time	10		10		10		ns	
TRIVCL	RDY Setup Time into 8284A (See Notes 1, 2)	35		35		35		ns	
TCLR1X	RDY Hold Time into 8284A (See Notes 1, 2)	0		0		0		ns	
TRYHCH	READY Setup Time into 8086	118		53		68		ns	
TCHRYX	READY Hold Time into 8086	30		20		20		ns	
TRYLCL	READY Inactive to CLK (See Note 3)	-8		-10		-8		ns	
TRVCH	HOLD Setup Time	35		20		20		ns	
TINVCH	INTR, NMI, TEST Setup Time (See Note 2)	30		15		15		ns	
TILH	Input Rise Time (Except CLK)		20		20		20	ns	From 0.8V to 2.0V
TIHL	Input Fall Time (Except CLK)		12		12		12	ns	From 2.0V to 0.8V





A.C. CHARACTERISTICS (Continued)

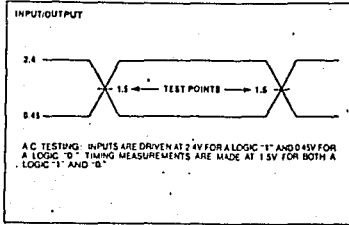
TIMING RESPONSES

Symbol	Parameter	8086		8086-1 (Preliminary)		8086-2		Units	Test Conditions
		Min.	Max.	Min.	Max.	Min.	Max.		
TCLAV	Address Valid Delay	10	110	10	50	10	60	ns	*C <sub>L</sub> = 20-100 pF for all 8086 Outputs (in addition to 8086 self-load)
TCLAX	Address Hold Time	10		10		10		ns	
TCLA2	Address Float Delay	TCLAX	80	10	40	TCLAX	50	ns	
TLHLL	ALE Width	TCLCH-20		TCLCH-10		TCLCH-10		ns	
TCLLH	ALE Active Delay		80		40		50	ns	
TCHLL	ALE Inactive Delay		85		45		55	ns	
TLLAX	Address Hold Time to ALE Inactive	TCHCL-10		TCHCL-10		TCHCL-10		ns	
TCLDV	Data Valid Delay	10	110	10	50	10	60	ns	
TCHDX	Data Hold Time	10		10		10		ns	
TWYDX	Data Hold Time After WR	TCLCH-30		TCLCH-25		TCLCH-30		ns	
TCVCTV	Control Active Delay 1	10	110	10	50	10	70	ns	
TCHCTV	Control Active Delay 2	10	110	10	45	10	60	ns	
TCVCTX	Control Inactive Delay	10	110	10	50	10	70	ns	
TAZRL	Address Float to READ Active	0		0		0		ns	
TCLRRL	R $\bar{D}$ Active Delay	10	165	10	70	10	100	ns	
TCLRH	R $\bar{D}$ Inactive Delay	10	150	10	60	10	80	ns	
TR $\bar{D}$ AV	R $\bar{D}$ Inactive to Next Address Active	TCLCL-45		TCLCL-35		TCLCL-40		ns	
TCLHAV	HLDA Valid Delay	10	160	10	60	10	100	ns	
TRLRH	R $\bar{D}$ Width	2TCLCL-75		2TCLCL-40		2TCLCL-50		ns	
TWLWH	WR Width	2TCLCL-60		2TCLCL-35		TCLCL-40		ns	
TAVAL	Address Valid to ALE Low	TCLCH-60		TCLCH-35		TCLCH-40		ns	
IOLOH	Output Rise Time		20		20		20	ns	From 0.8V to 2.0V
IOHOL	Output Fall Time		12		12		12	ns	From 2.0V to 0.8V

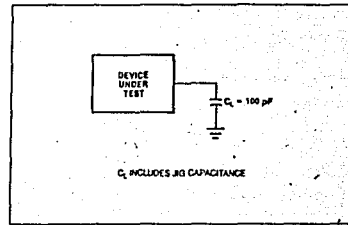
NOTES:

- Signal at 8284A shown for reference only.
- Setup requirement for asynchronous signal only to guarantee recognition at next CLK.
- Applies only to T2 state. (8 ns into T3).

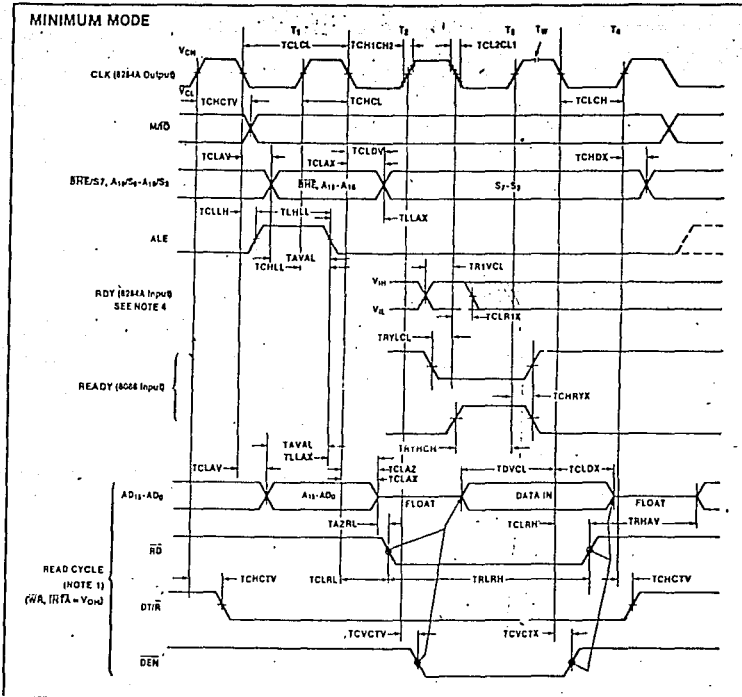
A.C. TESTING INPUT, OUTPUT WAVEFORM



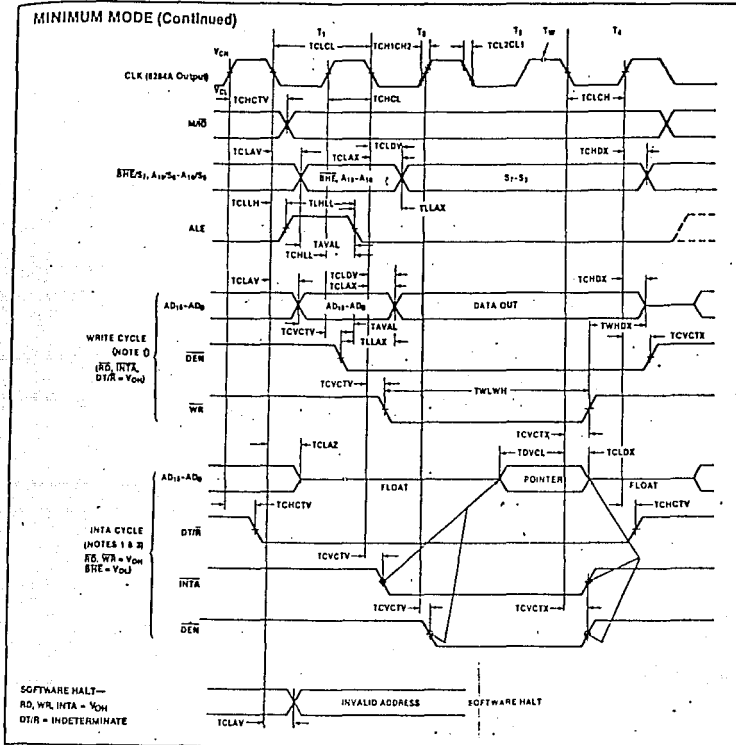
A.C. TESTING LOAD CIRCUIT



WAVEFORMS



## WAVEFORMS (Continued)


**NOTES:**

1. All signals switch between V<sub>OH</sub> and V<sub>OL</sub> unless otherwise specified.
2. RDY is sampled near the end of T<sub>2</sub>, T<sub>3</sub>, T<sub>4</sub> to determine if T<sub>W</sub> machines states are to be inserted.
3. Two INTA cycles run back-to-back. The 8086 LOCAL ADDR/DATA BUS is floating during both INTA cycles. Control signals shown for second INTA cycle.
4. Signals at 8284A are shown for reference only.
5. All timing measurements are made at 1.5V unless otherwise noted.



## 8251A PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5-8 Bit Characters; Clock Rate—1, 16 or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate—DC to 64K Baud
- Asynchronous Baud Rate—DC to 19.2K Baud
- Full-Duplex, Double-Buffered Transmitter and Receiver
- Error Detection—Parity, Overrun and Framing
- Compatible with an Extended Range of Intel Microprocessors
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Available in EXPRESS
  - Standard Temperature Range
  - Extended Temperature Range

The Intel® 8251A is the enhanced version of the industry standard, Intel 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's microprocessor families such as MCS-48, 80, 85, and iAPX-86, 88. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is fabricated using N-channel silicon gate technology.

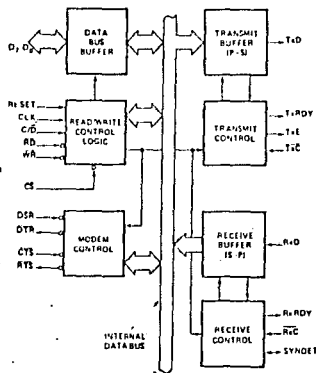


Figure 1. Block Diagram

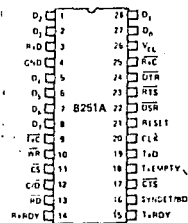


Figure 2. Pin Configuration

# HM62256 Series

32768-word x 8-bit High Speed CMOS Static RAM

## ■ FEATURES

- High Speed: Fast Access Time 85/100/120/150ns (max.)
- Low Power Standby and Low Power Operation; Standby: 200 $\mu$ W (typ)/10 $\mu$ W (typ) (L-version), Operation: 40mW (typ.) ( $f = 1$ MHz)
- Single 5V Supply
- Completely Static RAM: No clock or Timing Strobe Required
- Equal Access and Cycle Time
- Common Data Input and Output, Three-state Output
- Directly TTL Compatible: All Input and Output
- Capability of Battery Back Up Operation (L-/L-SL version)

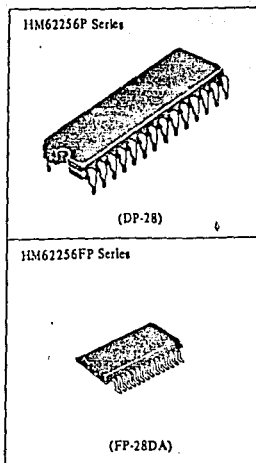
## ■ ORDERING INFORMATION

Type No.	Access Time	Package
HM62256P-8	85ns	600 mil 28 pin Plastic DIP
HM62256P-10	100ns	
HM62256P-12	120ns	
HM62256P-15	150ns	
HM62256LP-8	85ns	
HM62256LP-10	100ns	28 pin Plastic SOP
HM62256LP-12	120ns	
HM62256LP-15	150ns	
HM62256LP-10SL	100ns	
HM62256LP-12SL	120ns	
HM62256LP-15SL	150ns	
HM62256FP-8T	85ns	
HM62256FP-10T	100ns	
HM62256FP-12T	120ns	
HM62256FP-15T	150ns	
HM62256LP-8T	85ns	
HM62256LP-10T	100ns	
HM62256LP-12T	120ns	
HM62256LP-15T	150ns	
HM62256LP-10SLT	100ns	
HM62256LP-12SLT	120ns	
HM62256LP-15SLT	150ns	

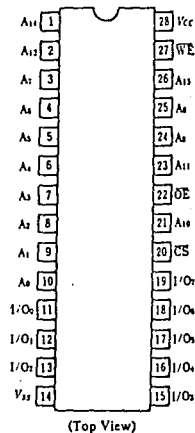
## ■ ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on any pin with relative to $V_{SS}$	$V_T$	-0.5*1 to +7.0	V
Power Dissipation	$P_T$	1.0	W
Operating Temperature	$T_{opr}$	0 to +70	*C
Storage Temperature	$T_{sig}$	-55 to +125	*C
Temperature Under Bias	$T_{bia}$	-10 to +85	*C

Note) \*1. -3.0V for pulse width  $\leq$  50ns



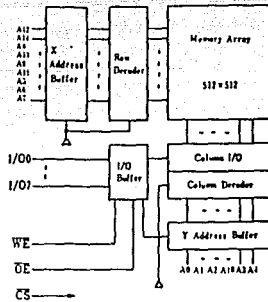
## ■ PIN ARRANGEMENT



HITACHI

Hitachi America Ltd. • 2210 O'Toole Ave. • San Jose, CA 95131 • (408) 435-8300

■ BLOCK DIAGRAM



■ TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	Mode	$V_{CC}$ Current	I/O Pin	Reference Cycle
H	X	X	Not Selected	$I_{SB}, I_{SBI}$	High Z	-
L	L	H	Read	$I_{CC}$	Dout	Read Cycle No. 1~3
L	H	L	Write	$I_{CC}$	Din	Write Cycle No. 1
L	L	L	Write	$I_{CC}$	Din	Write Cycle No. 2

X means H or L

■ RECOMMENDED DC OPERATING CONDITIONS ( $T_a = 0$  to  $+70^\circ\text{C}$ )

Item	Symbol	min.	typ.	max.	Unit
Supply Voltage	$V_{CC}$	4.5	5.0	5.5	V
	$V_{SS}$	0	0	0	V
Input Voltage	$V_{IH}$	2.2	-	6.0	V
	$V_{IL}$	$-0.5^{*1}$	-	0.8	V

Note) \*1.  $-3.0\text{V}$  for pulse width  $\leq 50\text{ns}$

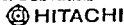
■ DC AND OPERATING CHARACTERISTICS ( $V_{CC} = 5\text{V} \pm 10\%$ ,  $V_{SS} = 0\text{V}$ ,  $T_a = 0$  to  $+70^\circ\text{C}$ )

Item	Symbol	Test Condition	min	typ <sup>*1</sup>	max	Unit	
Input Leakage Current	$I_{LI1}$	$V_{IN} = V_{SS}$ to $V_{CC}$	-	-	2	$\mu\text{A}$	
Output Leakage Current	$I_{LO1}$	$\overline{CS} = V_{IH}$ or $\overline{OE} = V_{IH}$ or $\overline{WE} = V_{IL}$ , $V_{IO} = V_{SS}$ to $V_{CC}$	-	-	2	$\mu\text{A}$	
Operating Power Supply Current	$I_{CC}$	$\overline{CS} = V_{IL}$ , $I_{IO} = 0\text{mA}$	-	8	15	$\text{mA}$	
Average Operating Power Supply Current	$I_{CC1}$	Min. Cycle, duty=100%, $\overline{CS} = V_{IL}$ , $I_{IO} = 0\text{mA}$	HM62256-8	-	50	70	$\text{mA}$
			HM62256-10	-	40	70	
			HM62256-12	-	35	70	
			HM62256-15	-	33	70	
Standby Power Supply Current	$I_{SB}$	$\overline{CS} = V_{IL}$ , $V_{IH} = V_{CC}$ , $V_{IL} = 0\text{V}$ , $I_{IO} = 0\text{mA}$ , $f = 1\text{MHz}$	-	0.5	3	$\text{mA}$	
		$\overline{CS} = V_{IH}$	-	0.04	2	$\text{mA}$	
	$I_{SBI}$	$\overline{CS} \geq V_{CC} - 0.2\text{V}$	-	2 <sup>*2</sup>	100 <sup>*2</sup>	$\mu\text{A}$	
Output Voltage	$V_{OL}$	$I_{OL} = 2.1\text{mA}$	-	-	0.4	V	
	$V_{OH}$	$I_{OH} = -1.0\text{mA}$	2.4	-	-	V	

Notes) \*1. Typical values are at  $V_{CC} = 5.0\text{V}$ ,  $T_a = 25^\circ\text{C}$  and specified loading.

\*2. This characteristics is guaranteed only for L-version.

\*3. This characteristics is guaranteed only for L-SL version.



■ CAPACITANCE ( $T_c = 25^\circ\text{C}$ ,  $f = 1\text{MHz}$ )

Item	Symbol	Test Condition	typ.	max.	Unit
Input Capacitance	$C_{in}$	$V_{in} = 0\text{V}$	-	6	pF
Input/Output Capacitance	$C_{I/O}$	$V_{I/O} = 0\text{V}$	-	8	pF

Note) This parameter is sampled and not 100% tested.

■ AC CHARACTERISTICS ( $V_{CC} = 5\text{V} \pm 10\%$ ,  $T_a = 0$  to  $+70^\circ\text{C}$  unless otherwise noted)

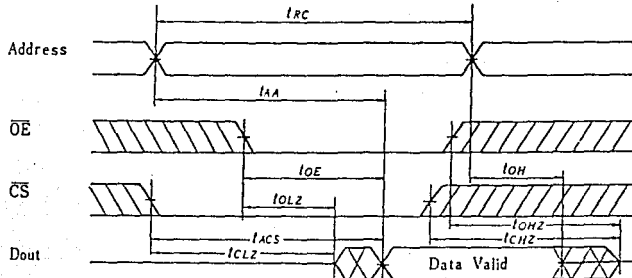
● AC Test Conditions

- Input pulse levels: 0.8V to 2.4V
  - Input and Output timing reference levels: 1.5V
  - Input rise and fall times: 5ns
  - Output load: 1TTL Gate and  $C_L$  (100pF)
- (Including scope and jig)

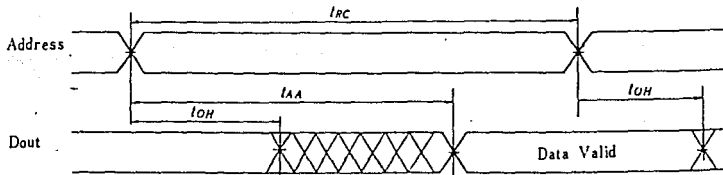
● Read Cycle

Item	Symbol	HM62256-8		HM62256-10		HM62256-12		HM62256-15		Unit
		min.	max.	min.	max.	min.	max.	min.	max.	
Read Cycle Time	$t_{RC}$	85	-	100	-	120	-	150	-	ns
Address Access Time	$t_{AA}$	-	85	-	100	-	120	-	150	ns
Chip Select Access Time	$t_{ACS}$	-	85	-	100	-	120	-	150	ns
Output Enable to Output Valid	$t_{OE}$	-	45	-	50	-	60	-	70	ns
Output Hold from Address Change	$t_{OH}$	5	-	10	-	10	-	10	-	ns
Chip Selection to Output in Low Z	$t_{CLZ}$	10	-	10	-	10	-	10	-	ns
Output Enable to Output in Low Z	$t_{OLZ}$	5	-	5	-	5	-	5	-	ns
Chip Deselection to Output in High Z	$t_{CHZ}$	0	30	0	35	0	40	0	50	ns
Output Disable to Output in High Z	$t_{OHZ}$	0	30	0	35	0	40	0	50	ns

● Timing Waveform of Read Cycle No. 1<sup>(1)</sup>

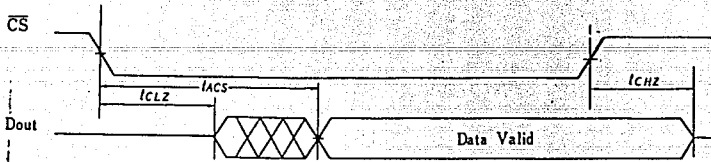


● Timing Waveform of Read Cycle No. 2<sup>(1)(2)(4)</sup>



Hitachi America Ltd. • 2210 O'Toole Ave. • San Jose, CA 95131 • (408) 435-8300

• Timing Waveform of Read Cycle No. 3<sup>(1)(3)(4)</sup>

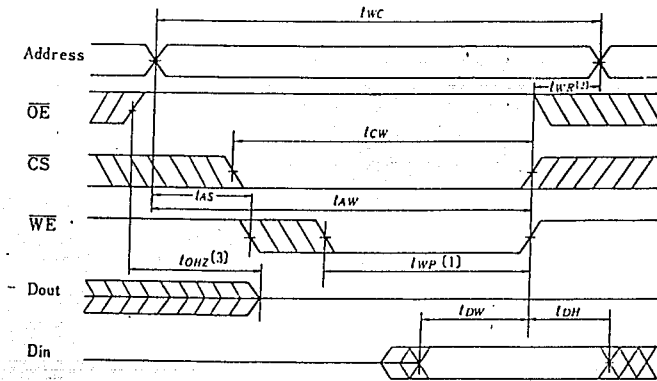


- Notes) 1. WE is High for Read Cycle.  
 2. Device is continuously selected, CS =  $V_{IL}$ .  
 3. Address Valid prior to or coincident with CS transition Low.  
 4. OE =  $V_{IL}$ .

• Write Cycle

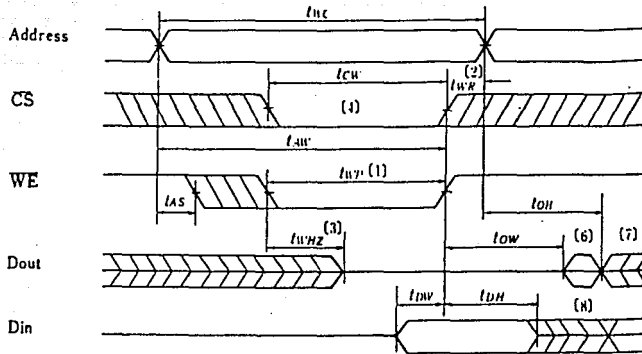
Item	Symbol	HM62256-8		HM62256-10		HM62256-12		HM62256-15		Unit
		min.	max.	min.	max.	min.	max.	min.	max.	
Write Cycle Time	$t_{WC}$	85	-	100	-	120	-	150	-	ns
Chip Selection to End of Write	$t_{CW}$	75	-	80	-	85	-	100	-	ns
Address Valid to End of Write	$t_{AW}$	75	-	80	-	85	-	100	-	ns
Address Set Up Time	$t_{AS}$	0	-	0	-	0	-	0	-	ns
Write Pulse Width	$t_{WP}$	60	-	60	-	70	-	90	-	ns
Write Recovery Time	$t_{WR}$	10	-	0	-	0	-	0	-	ns
Write to Output in High Z	$t_{WHZ}$	0	30	0	35	0	40	0	50	ns
Data to Write Time Overlap	$t_{DW}$	40	-	40	-	50	-	60	-	ns
Data Hold from Write Time	$t_{DH}$	0	-	0	-	0	-	0	-	ns
Output Disable to Output in High Z	$t_{OHZ}$	0	30	0	35	0	40	0	50	ns
Output Active from End of Write	$t_{OW}$	5	-	5	-	5	-	5	-	ns

• Timing Waveform of Write Cycle No. 1 (OE Clock)





• Timing Waveform of Write Cycle No. 2<sup>(1)</sup> ( $\overline{OE}$  Low Fixed)



- Notes:
1. A write occurs during the overlap ( $t_{WHZ}$ ) of a low  $\overline{CS}$  and a low  $\overline{WE}$ .
  2.  $t_{WHZ}$  is measured from the earlier of  $\overline{CS}$  or  $\overline{WE}$  going high to the end of write cycle.
  3. During this period, I/O pins are in the output state. The input signals out of phase must not be applied.
  4. If the  $\overline{CS}$  low transition occurs simultaneously with the  $\overline{WE}$  low transition or after the  $\overline{WE}$  low transition, outputs remain in a high impedance state.
  5.  $\overline{OE}$  is continuously low. ( $\overline{OE} = V_{IL}$ )
  6.  $Dout$  is in the same phase of written data of this write cycle.
  7.  $Dout$  is the read data of next address.
  8. If  $\overline{CS}$  is low during this period, I/O pins are in the output state. The input signals out of phase must not be applied to I/O Pins.

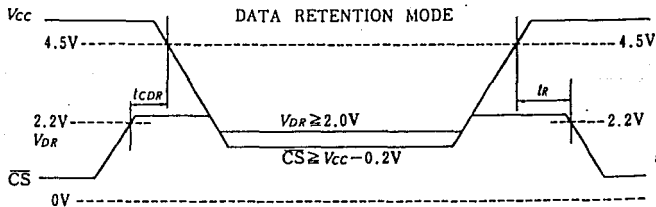
■ LOW  $V_{CC}$  DATA RETENTION CHARACTERISTICS ( $T_a = 0$  to  $+70^\circ\text{C}$ )

(This characteristics is guaranteed only for L- and L-SL version)

Item	Symbol	Test Conditions	min.	(tp)	max.	Unit
$V_{CC}$ for Data Retention	$V_{DR}$	$\overline{CS} \geq V_{CC} - 0.2\text{V}$	2.0	-	-	V
Data Retention Current	$I_{CCDR}$	$V_{CC} = 3.0\text{V}$ , $\overline{CS} \geq 2.8\text{V}$	-	-	50**	$\mu\text{A}$
Chip Deselect to Data Retention Time	$t_{CDR}$	See Retention Waveform	0	-	-	ns
Operation Recovery Time	$t_R$	See Retention Waveform	$t_{RC}^{*1}$	-	-	ns

- Note) \*1.  $t_{RC}$  = Read Cycle Time  
 \*2. This characteristic is guaranteed only for L-version, 20 $\mu\text{A}$  max. at  $T_a = 0$  to  $40^\circ\text{C}$ .  
 \*3. This characteristic is guaranteed only for L-SL version, 3 $\mu\text{A}$  max. at  $T_a = 0$  to  $40^\circ\text{C}$ .

• Low  $V_{CC}$  Data Retention Waveform



- Note) In Data Retention Mode,  $\overline{CS}$  controls the Address,  $\overline{WE}$ ,  $\overline{OE}$ , and  $Din$  Buffers.  $V_{in}$  for these inputs can be in high impedance state in data retention mode.



Hitachi America Ltd. • 2210 O'Toole Ave. • San Jose, CA 95131 • (408) 435-8300