



**UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO**

**FACULTAD DE INGENIERÍA**

**DISEÑO Y CONSTRUCCIÓN DE UN MICRO-  
CONTROLADOR LÓGICO PROGRAMABLE DE  
VARIABLES MÚLTIPLES**

**T E S I S**

QUE PARA OBTENER EL TÍTULO DE:

**INGENIERO MECÁNICO ELECTRICISTA  
ÁREA INGENIERÍA ELÉCTRICA  
Y ELECTRÓNICA**

**P R E S E N T A N**

**LUIS VARELA BONILLA  
ARTURO PADILLA VILLALPANDO**



**MEXICO, D. F.**



**1990**



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

# TESIS CON FALLA DE ORIGEN

# INDICE

## INTRODUCCION

VENTAJAS DEL SISTEMA .....	4
CONFIGURACION DEL HARDWARE Y SU FUNCIONAMIENTO .....	5
CIRCUITO DE REINICIALIZACION (RESET) .....	7
CIRCUITO DE VELOJ .....	9
ARQUITECTURA INTERNA DEL PROCESADOR CENTRAL .....	10
FUNCION DE LOS REGISTROS DEL PROCESADOR CENTRAL .....	11
- UNIDAD LOGICA ARITMETICA	
- REGISTRO DE INSTRUCCIONES Y CONTROL DEL PROCESADOR CENTRAL .....	11
DESCRIPCION DE SALIDA DEL 2-80 .....	12
INTERFACI 8255 .....	13
DESCRIPCION DE LOS PINES DE LA INTERFACI 8255 .....	15
2-80 CIC COUNTER/TIME CIRCUIT .....	16
DESCRIPCION DE PINES DE CIC 2-80 .....	17
CONVERTIDOR ADC 0816 .....	19
DESCRIPCION DE PINES DEL CONVERTIDOR ADC 0816 .....	20
DESCRIPCION DE PINES DE LA MEMORIA RAM 6116 .....	21
DESCRIPCION DE PINES DE LA MEMORIA EPROM 2764 .....	21
PROCEDIMIENTO DE ENCENDIDO .....	22
TECLADO .....	22
DISPLAY .....	27
OPERACION DE CONVERSION .....	24
FUNCIONAMIENTO DEL MICROCONTROLADOR P.L.C. ....	25
FUNCIONAMIENTO DEL PLC COMO REGULADOR (PRIMERA ETAPA) .....	27
FUNCIONAMIENTO DEL PLC COMO CONTROLADOR (SEGUNDA ETAPA) .....	30
FUNCIONAMIENTO DEL PLC COMO REGULADOR Y CONTROLADOR (TERCERA ETAPA) .....	32
DIRECCIONES DE MEMORIA MP MAESTRO .....	33
DIRECCIONES DE MEMORIA MP ESCLAVO .....	34
DECODIFICACION TECLADO .....	35
DECODIFICACION EXADECIMAL DEL DISPLAY .....	36
MAPA DE MEMORIA MP MAESTRO .....	37
CONTENIDO MEMORIA ROM MAESTRO .....	38
MAPA DE MEMORIA MP ESCLAVO .....	44

CONTENIDO ROM ESCLAVO .....	45
CONTENIDO RAM ESCLAVO .....	46
ESQUEMATICO .....	47
ALGORITMOS .....	57
SECUENCIA DE ENCENDIDO .....	57
INICIO (MAESTRO) .....	58
PRUEBA MEMORIA RAM .....	58
ENTRADA COMANDOS .....	60
ACCESO MEMORIA PROGRAMACION .....	61
INICIO (ESCLAVO) .....	64
START .....	65
CONTROL .....	66
INTERRUPCION FIN DE CONVERSION .....	71
INTERRUPCION REFRESCO DISPLAY .....	73
SUBROUTINA ERROR / 0 .....	74
SUBROUTINA ERROR / 1 .....	74
SUBROUTINA ERROR ESCLAVO .....	74
SUBROUTINA ALARMA .....	75
SUBROUTINA DELAY .....	75
SUBROUTINA TESTEO .....	76
PROGRAMA MAESTRO .....	77
PROGRAMA ESCLAVO .....	80
INSTRUCTIVO PARA USUARIO .....	83
TABLA DE PROGRAMACION PARA CONVERSION VOLTAJE/HEXADECIMAL .....	89
EJEMPLO DE APLICACION .....	102
PLANTAMIENTO DEL PROBLEMA .....	102
SIMULACION DEL PROCESO .....	105
DIAGRAMA DE FLUJO ESTERA .....	106

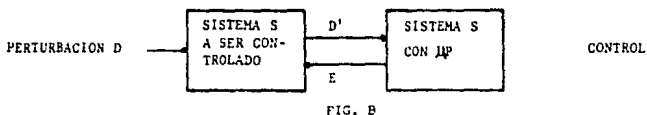
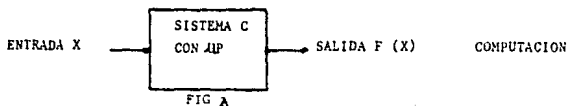
## I N I C I O

CONTROLADOR ENTRADA AL SISTEMA PLC .....	102
CONTROLADOR SALIDA DEL SISTEMA PLC AL SISTEMA EXTERNO .....	102
REGULADOR .....	102
CONVERTIDA MMIO .....	102

ECUACIONES DE CONTROL .....	108
MASCARAS .....	109
CONCLUSIONES .....	110
CARACTERISTICAS .....	112
BIBLIOGRAFIA .....	113

## INTRODUCCION

Los sistemas que emplean microprocesadores pueden dividirse en 2 grandes categorías, las que principalmente tienen el objetivo de computar (Fig. A) y las que su objetivo principal es el control (Fig. B).



Este proyecto se enfocará específicamente al de microcontrolación, su función es:

En un sistema de control, el objetivo del microprocesador es mantener dentro de un límite de funcionamiento, especificados, algún otro sistema S (Fig. B), sujeto a perturbaciones variables D y que tienden a llevar a S fuera de su rango de funcionamiento aceptable. S facilita al sistema de control C ciertos datos D, indicándole la naturaleza de la perturbación D'. Esta información la utiliza S para calcular las señales de corrección E, que son realimentados a S con objeto de contrarrestar la perturbación.

El propósito de este proyecto es diseñar un dispositivo capaz de controlar y regular los estados de un proceso en la industria. La forma en que se pretende realizar este, es mediante el principio de microcontrolación en el cual se utilizarán elementos como;

Microprocesadores cuya función es procesar la información y controlar el sistema.

Dispositivos de entrada salida; constituyen estos medios para adquirir y entrega de datos e instrucciones.

Dispositivos de almacenamiento; esta formado por memorias en las que se almacenan datos e instrucciones del programa a ejecutarse.

Dispositivos para lógica de decodificación; constituido por circuitos combinatoriales para el control del mapa de memoria y la habilitación de puertos externos.

Estos dispositivos son necesarios para realizar las funciones necesarias, y en el cual se tomarón en consideración el costo, el tamaño y la versatilidad de los mismos.

Se pretende que este dispositivo microcontrolador no sea particular o dedicado, sino tenga un campo más amplio. Para propósitos prácticos, se desarrollará este proyecto aplicandose a una área en específico. Así se hará notar que la única diferencia entre un proceso microcontrolado y otro, serán los dispositivos actuadores, sensores y transductores utilizados. Y los rangos que especifiquen el operador.

El control de procesos tiene enormes beneficios para los procesos industriales. Usando este tipo de sistemas, la necesidad de la intervención del ser humano sería menor, permitiendo al mismo dedicarse a otras áreas de mayor interes.

El dispositivo considera 2 puntos de interes:

- 1) Regular un proceso y mantenerlo dentro de ciertos rangos y con



diciones que fije el operador de acuerdo a los requerimientos del sistema a controlar.

2) Controlar los eventos del proceso (llevar a cabo rutinas específicas que den como resultado, repetidos ciclos del sistema).

#### VENTAJAS DEL SISTEMA

- 1) Los sistemas de multiproceso operan bajo el control de un simple sistema, operando, distribuyendo y tomando parte de los recursos tan necesariamente como ejecutar las tareas requeridas.
- 2) Comparando a un simple sistema centralizado, un sistema de multi proceso ofrece una respuesta mucho mayor.
- 3) El costo de construcción es bajo.
- 4) No es complejo.
- 5) Tiene un adecuado nivel de eficiencia y confiabilidad.
- 6) Puede adaptarse a cargas adecuadas y debidamente asignadas de -- trabajo, lo cual permite adaptarse a cambios e incrementos sobre el sistema.
- 7) El sistema con memoria independiente y compartida simplifica las tareas de comunicación entre ambos procesadores. Todos los datos son tranferidos sobre un mismo bus común. Esto reduce el costo del desarrollo de una red de comunicación.

## CONFIGURACION DEL HARDWARE Y FUNCIONAMIENTO

El microcontrolador (PLC) (2) está constituido por dos microprocesadores los cuales trabajan independientemente uno del otro. Así, cada procesador llevará claramente definido sus funciones, las tareas o rutinas a ejecutar.

Cada procesador tendrá la capacidad de procesar su propia información, y en su debido caso, esperar la información necesaria del otro microprocesador, para continuar su rutina. (La información es accesada por sus puertos).

El microprocesador Z-80 [llamado U 1] es el procesador que gobierna el dispositivo (PLC) microcontrolador. El microprocesador [U 1] puede inhabilitar al microprocesador Z-80 [llamado (U2)] solo para transferirle información en el momento de ser programado por el operador.

Las funciones que realizará cada procesador se mencionan a continuación:

### Procesador U1

Regular: flujo, fuerza, presión, peso, temperatura, torque, velocidad, vibración, volumen, etc.

### Procesador U2

Activar cada evento del proceso con: reveladores, válvulas, solenoides, transistores de potencia, tiristores, motores de paso, etc.

Se debe mencionar que las anteriores características en que cada procesador podrá actuar, requerirá de los sensores, transductores y actuadores adecuados restricciones necesarias para que el procesamiento del sistema sea real y confiable.

(2) PCL-controlador lógico programable.

El PLC requiere de la adquisición de datos para conocer el estado actual del proceso. Es por esto que los sensores, transductores y actuadores forman la primera, y hacen el más importante eslabón en el desarrollo de una adquisición de datos y sistemas de control de procesos (3). Los sensores son utilizados para obtener los datos muestreados de un estado del proceso. Una vez muestreada la señal (convertir las señales físicas en señal eléctrica) esta será adquirida por el sistema P.L.C. (por sus puertos) la cual, la interpretará y la correlacionará.

Considerando que los sensores producen un voltaje muy pequeño, su rango se establece entre los microvolts y/o milivolts, en proporción al parámetro monitoreado, es necesario utilizar amplificadores que establezcan la señal al nivel lógico del dispositivo PLC.

Obtenida esta fase el sistema comparará el valor medido (señal muestreada) con el valor deseado de la variable, realizado esto por el sistema mediante algoritmos desarrollados para esta finalidad. Una vez procesada la información, ésta será transportada por el bus de datos hacia los puertos de salida (sea ya para el control de cada estado del proceso o de regulación del o varios estados) y las cuales manipularán a transductores y/o actuadores adecuados.

Mientras el estado de el proceso se mantenga estable el sistema tomará la condición de solo monitorearlo, así si la condición de monitoreo esta dentro del rango deseado, entonces, no será necesario transmitir un dato para ser procesado y corregir la condición actual para mantenerlo estable. Pero si la condición ha sido insatisfactoria y después de varios intentos de corrección este permanece fuera de su rango estable, existirá entonces, una condición de interrupción y el sistema mandará una alarma indicando que el estado o proceso está fuera de control.

- (3) para la selección adecuada de un transductor se debe tomar en cuenta la exactitud, precisión y su rango, siendo la parte más importante - en esta selección, la compatibilidad con el sistema y la habilidad del dispositivo para detectar los cambios, es decir, su sensibilidad.

## CIRCUITO DE REINICIALIZACION (RESET)

Es un dispositivo necesario para el control del sistema. Este circuito permite al operador reinicializar el programa, es decir, cuando se lleva a cabo en forma incorrecta la ejecución del programa, se activará este dispositivo.

La condición de ejecución de reset sobre el sistema se presentará en la forma que a continuación se describe:

### i) Z-80 CPU

Entrada activa a nivel bajo  $\overline{\text{RESET}}$ , interrumpe la ejecución y carga el contador del programa con 00H. Ello permite la inicialización del CPU el cual incluye:

- a) Deshabilitar la báscula (Flip Flop) de interrupción
- b) Colocar el registro I=00H
- c) Colocar el registro R=00H
- d) Colocar el Modo 0 de interrupción

Durante el tiempo de reset, el bus de direcciones y el bus de datos permanecerán en un estado de alta impedancia y todas las señales de control de salida pasarán a estado inactivo. (1)

### ii) Z-80 CTC

Reset-Reinicio. Entrada activa a nivel bajo.

Esta señal detiene todos los canales de conteo y pone a cero los bits de habilitación del canal en todos los registros de control, bloqueando así las interrupciones generadas en el CTC. Las salidas ZC/TU e INT van a su estado inactivo, IEO refleja IEI, y los amplificadores del bus de datos del CTC van a su estado de alta impedancia.

(1) El Z-80 permanecerá en RESET mientras se mantenga oprimido el botón y no comenzará a funcionar de nuevo hasta que el botón sea liberado.

PUERTO - 8255

Reset.- Un "high" sobre sus entradas limpia todos sus registros internos incluyendo los registros de control y todos los puertos (A, B, C) son enviados a el modo de entrada.

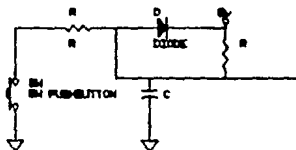


FIG. 1

### CIRCUITO DE RELOJ

El microprocesador funciona sobre una base de reloj de 4 MHz (Z-80A). Cada instrucción u operación básica es completada en 3 ó 6 periodos de reloj. El circuito de reloj propuesto se muestra en el diagrama principal. Este circuito tiene una resistencia de activación de 330 ohms para 5v. Este arreglo es conveniente cuando el tiempo de operación es constante.

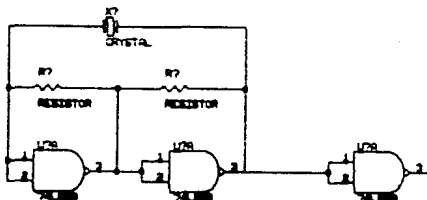


FIG. 2

#### ARQUITECTURA INTERNA DEL PROCESADOR CENTRAL.

El 830-A es un microprocesador de propósito general que admite una señal de reloj de 4 MHz.

El número de instrucciones alcanza a 158, que si se tiene en cuenta los diferentes modos de direccionamiento puede llegar hasta 696.

Los modos de direccionamiento, de los que trataremos en el apartado de software, son: Implícito, Inmediato, Relativo, Directo e Indexado.

Su alimentación también es únicamente de 5 voltios.

En cuanto a las interrupciones admite dos tipos INT (Interrupción Enmascarable) y NMI (No Enmascarable).

En cuanto a sus particularidades, el uP 280 dispone:

Unas entradas y salidas para direccionar hasta 256 puertos para acceso a periféricos.

Un contador de siete bits y los circuitos lógicos correspondientes para obtener las funciones de refresco al conectarsele memorias dinámicas (DRAM).

Dispone de instrucciones adecuadas para la manipulación a nivel de bit de registros y memoria.

Instrucciones de copia y comparación a nivel de bloque.



## **FUNCION DE LOS REGISTROS DEL PROCESADOR CENTRAL**

- A:** Registro acumulador, en él se realizan todas las operaciones lógicas y aritméticas de 8 bits que realiza el microprocesador.
- F:** Registro indicador de estado, se encarga de monitorear el funcionamiento de la ALU, tales como paridad, signo, acarreo, etc.
- B,C,D,E,H y L:** Registros de propósito general, pueden ser utilizados como acumuladores temporales ó bien como contadores, pueden contenerse en registros de 16 bits (BC, DE, HL).
- PC:** Registro contador del programa, contiene una dirección de memoria que se actualiza conforme se ejecutan las instrucciones.
- SP:** Registro de apilamiento, es una zona reservada de memoria en la que pueden almacenarse temporalmente el contador PC y otros datos.
- IX,IY:** Registros de índice, son utilizados para transferencia rápida de datos de tablas.
- I:** Registro de interrupción, se utiliza durante programa de interrupción en modo 2.
- R:** Registro de refresco de memoria, empleado para regeneración de memorias dinámicas.

## **UNIDAD LOGICA Y ARITMETICA**

Las manipulaciones aritméticas y las operaciones lógicas se tratan como 8 bits simultáneos en la ALU. Esta se comunica internamente con los registros del procesador central y no es directamente accesible por el programador.

## **REGISTRO DE INSTRUCCIONES Y CONTROL DE PROCESADOR CENTRAL**

Este registro retiene el contenido de la posición de memoria direccionada por el PC y se carga durante el ciclo de búsqueda de cada instrucción. La unidad de control del procesador central ejecuta las funciones definidas por la instrucción en el registro de instrucciones y genera las señales de control necesarias para transmitir los resultados a los registros adecuados.

- I.- Arquitectura interna del procesador central.
- II.- Descripción de salida del Z-80.

AO-A15	Bus de direcciones
DO-D7	Bus de datos, E/S de 3 estados.
MI	Ciclo de máquina, indica el ciclo de búsqueda del código de operación de una ejecución de instrucción.
<u>MRQ</u>	Peticion de memoria, indica que el bus de direcciones retie ne una dirección valida para una operación de lectura de me moria.
<u>IORQ</u>	Peticion de entrada, salida, indica que la mitad inferior - del bus de direcciones retiene una dirección de 2'S válid... para una operación de lectura o de escritura de E/S.
<u>RD</u>	Lectura de memoria, se activa cuando el procesador central - desea la lectura de memoria o de un dispositivo de E/S.
<u>WR</u>	Escritura de memoria, indica que el bus de datos del procesa dor central retiene datos válidos a almacenarse en la memo - ria o dispositivo de E/S.
<u>RFSH</u>	Refresco, indica que los siete bits inferiores del bus de di recciones contiene una dirección de refresco para memorias - dinámicas.
<u>HALT</u>	Indica que el procesador esta esperando una interrupción no enmascarable o mascarable antes de reanudar la operación.
<u>WAIT</u>	Espera, introduce estados de espera a fin de sincronizar la ejecución con otros dispositivos más lentos.
<u>INT</u>	Interrupción, cuando se recibe esta señal acusa de recibido y se envía al principio del siguiente ciclo de interrupción. (Modo 0, modo 1, modo 2; interrupciones).
<u>NMI</u>	Interrupción no mascarable, tiene una prioridad mayor que - INT.

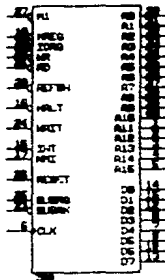


Fig. 2

## INTERFASE 8255

La interfase 8255 es un dispositivo de E/S programable y el propósito general. La interfase 8255 tiene 3 puertos de 8 pines cada uno los cuales -- pueden ser programados individualmente en 2 grupos de 12 y usados en 3 modos de operación. El primer modo (Modo 0), cada grupo de 12 pines E/S pueden ser programados en grupos de 4 de forma E/S. El segundo modo (Modo 1) cada grupo puede ser programado para tener 8 líneas cada uno de E/S. De los restantes 4 pines, 3 son usados para handshaking y para señales de control de interrupción. El tercer modo (Modo 2) es la operación del bus en modo bidireccional el cual usa 8 líneas para handshaking (ver fig. 4 y programación de palabra de control).

Operación básica de la interfase 8255 (diagramas)

A <sub>1</sub>	A <sub>0</sub>	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A - DATA BUS
0	1	0	1	0	PORT B - DATA BUS
1	0	0	1	0	PORT C - DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS - PORT A
0	1	1	0	0	DATA BUS - PORT B
1	0	1	0	0	DATA BUS - PORT C
1	1	1	0	0	DATA BUS - CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS - 3-STATE
1	1	0	1	0	ILLEGAL CONDITION

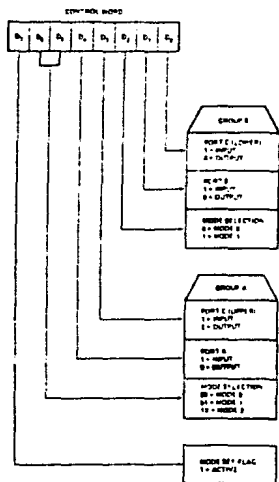
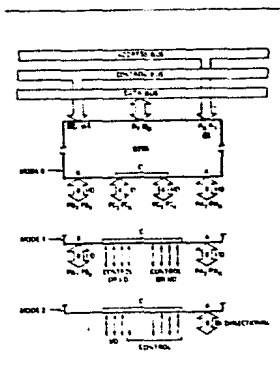


FIG. 4

DESCRIPCION DE LOS PINES DE LA INTERFACE 8255.

- D7-D0 bus de datos E/S bufereados de 3 estados. Control de palabras y estatus de información son también transferidos al bus de datos.
- READ/WRITE Y CONTROL LOGICO La función de este bloque es manejar todo de la transferencia interna y externa de ambos, datos y control ó estatus de palabra.
- $\overline{CS}$  Un "Low" habilitó la comunicación 8255 y CPU 2-80.
- $\overline{RD}$  Lectura un Low habilitó al 8255 para enviar la información de datos ó estatus al C.P.U. sobre el bus de datos.
- $\overline{WR}$  Escritura. Un low habilita al C.P.U. para escribir datos o palabras de control dentro del 8255.
- A0 Y A1 Selección del puerto 0 y selección del puerto 1 esta señal de entrada en conjunción con  $\overline{RD}$  y  $\overline{WR}$ , controlan la sección de uno de los 3 puertos o el registro de palabra de control.
- PA7-PA0 Puerto A (8 bits)
- PB7-PB0 Puerto B (8 bits)
- PC7-PC0 Puerto C (8 bits)

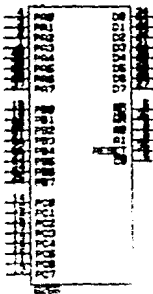


FIG 5

**Z-80 CTC ( CONTROLLER TIMER COUNTER )**

El Z-80 CTC tiene cuatro canales independientes counter/timer. Cada canal es programado individualmente con 2 palabras: una palabra de control y una palabra de constante de tiempo. La palabra de control selecciona el modo de operación (counter o timer), habilita o deshabilita el canal de interrupciones, y selecciona otros parámetros de operación. Para propósitos de el sistema se programará el Z-80-CTC en modo timer. El modo timer determina los intervalos de tiempo tan pequeños como 4 Ms sin ningún software o lógica adicional. Los intervalos de tiempo son generados dividiendo el reloj del sistema con un preescalar que decrementa. (Un preset down counter).

El valor preescalar (16 o 256) y la constante de tiempo son preset en el down-counter. El timer es un disparador automático cuando su constante de tiempo es programado, en una salida externa CLK/TRG.

El Down counter tiene prioridad para cada ciclo de conteo y el mismo es cargado con una constante de tiempo de tiempo en el contenido de un registro. El contador es entonces decrementado en alguno de los dos canales dependiendo del modo de operación.

- Para la salida preescalar (modo timer)
- Para los disparadores de pulsos dentro de la salida CLK/TRG (counter mode).

Sin ser modificado el down count, el Z-80 CPU puede leer el contador permaneciendo algún tiempo en operación de lectura I/O asignado al puerto de direcciones de los canales del CTC. Cuando el down counter llega hasta el conatador cero la salida ZC/TO genera un pulso positivo. Cuando la interrupción es habilitada, el zero count también dispara una señal de petición de interrupción INT desde la lógica de interrupción. (ZC/TO es una salida zero count/timecount).

El canal seleccionado se direcciona con los pines CS1 y CS2, como el modo que se usará, será de count timer la palabra de time constant será como sigue:

DESCRIPCION DE PINES DE CTC 2-80

CE Chip enable

CLK reloj del sistema

CLK/TRGO-CLK/TRCS reloj externo/disparador del timer (activo alto ó bajo) con 4 canales. En modo contador, cada estado activo sobre este pin decrementa el contador. En modo timer un estado activo comienza el timer.

CS0-CS3 Selector de canales (activo alto). Selector del código de direcciones de 2 bit binarios uno de los 4 canales para una E/E de escritura o lectura.

D0-D7 bus de datos del sistema (bidireccional y 8er. estado) transfiriere todos los datos y comandos entre el CPU y el CTC.

IEI Entrada habilitadora de interrupción. Un high indica que ninguna otra interrupción de dispositivo de alta prioridad sobre un busy chain son atendidas por el CPU.

IED Salida habilitadora de interrupción. High solo si IEI es high y el IEO CPU no atiende una interrupción de algún canal del CTC.

INT Petición de interrupción. (Salida, open drain, activo bajo). - bajo cuando algún canal del CTC ha sido para habilitar interrupciones, tiene una condición de contador cero en su contador bajo.

IOBQ Petición de E/S.  $\overline{IOBQ} = \overline{CE} + \overline{IE}$  = Transfiere datos y control de palabra de canal entre IN, OUT y CTC. Durante un ciclo de escritura =  $\overline{IOBQ} = \overline{CE}$  e inversa  $\overline{IO}$ , el CTC genera internamente su propia señal de escritura. Si  $\overline{IOBQ}$  y  $\overline{MI}$  son verdaderas, el CPU reconoce una petición de interrupción y la más alta interrupción de prioridad de canal tomará su acción de interrupción sobre el bus de datos del CPU.

MI Un ciclo de máquina

$\overline{MI} = \overline{IOBQ}$  = Reconoce el IN una petición de interrupción al CPU y genera acción de interrupciones sobre el bus de datos en este modo una alta petición = si un canal a requerir una interrupción INT.

$\overline{\text{RD}}$

Ciclo de lectura  $\overline{\text{RD}} + \overline{\text{IORQ}} + \overline{\text{CE}}$  = Transfiere datos y palabra de control de canal entre CPU y CTC.

ZC/T00-ZC/T02 Contador cero/timeout. En ambos contadores y el modo timer la salida es un pulso de activo alto cuando el contador - bajo decremента a cero.

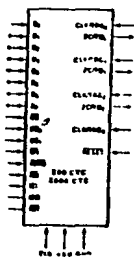


FIG 6



## CONVERTIDOR A/D ADC0816

El ADC0816 es un dispositivo convertidor de una señal analógica a una señal digital. El convertidor ADC0816 su función será convertir la señal analógica (nivel de voltaje de entre 0V y 5V) a una señal binaria de 8 bits. (Formato del sistema PLC).

El dispositivo cuenta con 16 canales multiplexados y están provisto -- con una lógica adicional para expansión de canales. Cuenta además con latch - y un decodificador de dirección multiplexado de entrada y con salidas latched con lógica TTL Tri-state. Este dispositivo ofrece una alta velocidad, alta exactitud, dependencia mínima de temperatura, un excelente exactitud de -- long term, repetibilidad y un consumo mínimo de potencia.

El convertidor utiliza una técnica de conversión de aproximación sucesiva, una alta impedancia con un estabilizador es particionado comparador y un divisor de voltaje. Así el convertidor es particionado en 3 secciones:

- a) Una red de carga de 256R basada en R/2R convencional, el cual garantiza que no existan variaciones sobre el voltaje de referencia y que no se -- cambien el código de dígitos binarios.
- b) Un registro de aproximación sucesiva (SAR) el cual, para cada ciclo, ejecuta 8 iteración para aproximar el código binario al voltaje de entrada -- (se requieren N-iteraciones para convertir n-bits).
- c) Un comparador (el chopper-stabilized comparator) convierte la señal de entrada DC en una señal AC. La señal es entonces alimentada dentro de un -- amplificador AC de alta ganancia y que tiene almacenado el nivel de DC. Esta técnica limita la componente para drenarlo por el amplificador hasta que el drift es una componente DC la cual no es pasada por el amplificador AC. Esto hace al convertidor extremadamente insensible a temperaturas, al long term - drift y a una entrada de error de offset.

**ENTRADAS DEL CONVERTIDOR ADC0816.**

- CLK - Reloj de entrada al dispositivo.
- VREF (-) Voltaje de referencia negativo
- VREF (+) Voltaje de referencia positivo
- START - Comienzo de conversión SC
- ALE - Adress latch enable
- AD0 - AD3 Son los cuatro bit de direccionamiento de los canales

Expansión control - Cuando se requiere mayor número de canales se enlaza con este punto el siguiente clip de expansión.

- VCC Voltaje de alimentación
- GND Nivel de tierra
- OE Habilitador de salida para controlar los 8 bit en código binario.
- EOC Fin de conversión para indicar que ya la ha realizado.
- DS0 - DS7 Son los 8 bit LSB - MSB de la conversión
- IN0 - IN15 Su rango de entrada es de 5V analógicos son los canales analógicos que son multiplexados para su conversión cada uno a un código de 8 bits.

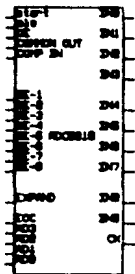


FIG 5

DESCRIPCION DE LOS PINES DE LA MEMORIA RAM 6116

- A0 - A10** - Direcciones de memoria
- CE**            habilitador del circuito
- OE**    Activo bajo: habilita al circuito en forma de lectura
- WE**    Activo bajo: habilita al circuito en forma de escritura
- D0 - D7**    Bus de datos del circuito.

DESCRIPCION DE LOS PINES DE LA MEMORIA EPROM 2764

- A0 - A12** - Direcciones de memoria
- CE**            Habilita del circuito
- OE**            Habilita al circuito para ser leídos los datos programados en el
- PCM**           Señal que permite grabar información (datos de 8 bits) a la memoria
- D0 - D7**    Bus de datos, los datos sólo podran ser leídos de la memoria

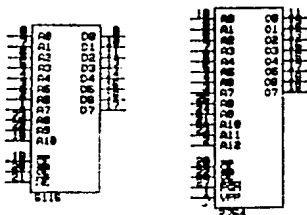


FIG 8

## PROCEDIMIENTO DE ENCENDIDO

[Cuando se enciende el sistema, el dispositivo ejecutará pruebas internamente, así ambos procesadores (maestro y esclavo) inicializan sus puertos y verifican el estado actual de sistema.

Si por alguna razón el sistema detecta alguna falla en su procedimiento de verificación de estatus, generará una interrupción indicando la naturaleza de falla, es decir, enviará por el display un mensaje (referirse a las rutinas y mensajes de error pag 74). Si el procesador ha pasado sus rutinas, esperará los resultados de procesador esclavo, el cual almacenará su información en cierta localidad de la memoria y ésta será transferida por el bus de datos. Una vez que el procesador maestro a enviado un señal de BUSRECK al procesador esclavo este la retornará -- con una señal de BUSACK y en la cual, el procesador esclavo permanecerá en estado de alta impedancia, mientras el procesador maestro recibe la información del estatus de las pruebas del procesador esclavo (el procesador maestro toma la memoria del procesador esclavo como parte alta de su misma, referirse a direcciones de memoria del microprocesador maestro pag 37) dirección 6000ha 67FFh de memoria.

Si las pruebas han pasado satisfactoriamente el procesador maestro enviará un mensaje de "OK" el cual permanecerá 2 seg. y después de recibir el estatus del procesador esclavo aparecerá otro mensaje de "OK" y el sistema volverá a su estado normal y entrará en modo de programación (ver diagrama pag 61).

El puerto 8255 (U11) se utiliza en el sistema para controlar el teclado hexadecimal y el puerto de salida display.

### TECLADO

El sistema utiliza un teclado hexadecimal, el cual nos permite -- acceder datos e instrucciones. Además de las 16 teclas, el teclado cuenta con 4 teclados que se utilizan para funciones especiales: F1, F2, F3 y FM (referirse a mapa de memoria ROM maestro, decodificación de teclado pag 35).

F1 : No se usa  
F2 : Start (inicio)  
F3 : Esc (escape)  
FM : Ret 'rn (retorno)

El puerto B de la interfase 8255 es direccionado por el 2-80 CPU para codificar el teclado. La forma de detectar que una tecla ha sido pulsada es mediante los bits PBO-PB4 (PBO-PB4 estan en modo entrada). Se direcciona una palabra para habilitar PB5 y PB6 (son salida), estas direccionan un multiplexor (U13) (multiplexan cuatro líneas del teclado), así si una tecla ha sido oprimida el sistema procesará la última enviada PB5 y PB6 con la información recibida de PBO-PB4. El sistema considera un programa especialmente dedicado al teclado para protegerlo contra posibles rebotes al ser oprimida una tecla (ver pag. 76). La palabra recibida por el 2-80 CPU la compara con el contenido en la dirección de memoria 1000h-10FLh y 1400h-1413h (referirse a subrutina de tecléo pag. 74).

### DISPLAY

El sistema utiliza un display de 6 dígitos de 7 segmentos cada uno, los puertos A y C de la interfase 8255 (U11) son utilizados para direccionar la información que será desplegada en el display.

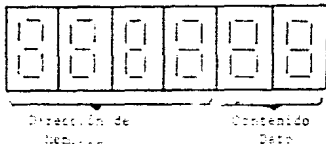
Los pines PA0-PA2 del puerto A es utilizado para direccionar un decodificador 74LS138 con el que se seleccionan los 6 dígitos, utilizando un 74LS08 como buffer de corriente para cada uno. Los pines PC0-PC3 del puerto C son direccionados para habilitar los 7 segmentos de cada dígito (como etapa de preamplificación buffer se utiliza un dispositivo 74LS244).

El sistema utiliza un programa de conversión de código para poder codificar en 7 segmentos. El programa realiza una conversión del código de tecla a binario, y de binario a 7 segmentos (ver mapa de código de tecla y diagrama de flujo pag. 76). Se a diseñado un programa que sirva de refresco para el display ya que el mismo se enciende aproximadamente 100 veces por segundo (ver diagrama de flujo interrupción refresco de display pag. 71).

El display se ha dividido en 2 secciones. De derecha a izquierda los dos primeros son asignados para el área de programación contenido de memoria y los cuatro restantes para las direcciones Nota.

Formato del display

Mensajes



NOTA: En los 4 dígitos de direcciones y mensajes, cada tecla oprimida se va recorriendo de posición como un registro de corrimiento.

#### OPERACION DE CONVERSION

Se alimenta los pines START/ALE con un pulso el cual posibilita el comienzo de una conversión (SC). Esta conversión estará lista de realizarse cuando se presente el pulso en nivel alto, mientras que el registro -- del convertidos AD de aproximación sucesiva permanecerá en estado de reset. La conversión (SC) se ejecutará cuando el pulso se presente en estado de bajada (1).

El fin de conversión EOC permanecerá en estado bajo entre 0 y 8 pulsos de reloj, después del estado de subida del comienzo de conversión. El fin de conversión se presentará entonces EOC y enviará una interrupción - por el pin EOC, el cual identificará al procesador y enviará el procesador un dato de lectura (READ a la entrada DE) para enviar la información de 8 bits por el bus de datos al procesador.

(1) Una conversión en proceso puede ser interrumpida para recibir un nuevo pulso de comienzo de conversión (SC).

El propósito de utilizar un dispositivo Z-80 CTC, es para generar un reloj de tiempo  $T_c$  el cual será enviado al convertidor ADC081b. Debido a las características del convertidor, no podrá aceptar este, [el reloj del sistema que es de 4 MHz] ya que su rango de funcionamiento estable se establece como siguiente:  $10\text{KHZ} \leq T_c \leq 1280\text{KHZ}$ .

La frecuencia que deberá generar el Z-80 CTC oscilará en función del tiempo mínimo de conversión del convertidor.

Los cálculos que se realizarán a continuación son los que se tomarán bajo las condiciones de operación del Z-80 CTC y con las características de operación de convertidor Z-80 CTC.

El intervalo de tiempo es el producto de  $\Phi \times P \times T$ .

$\Phi$  Periodo del reloj del sistema.

P factor prescaler, el cual se considera entre 16 ó 256

T Constante de tiempo

Como se requiere obtener el tiempo mínimo de conversión, la mínima resolución del timer que establece el Z-80 CTC es  $16 \times 4$  (4 microsegundos con un reloj de 4MHz). Así el cálculo será:

$$T_c = 16 \times 4 = 16 \times \frac{1}{4 \times 10^6 \text{HZ}} = 4 \text{ [microseg.]}$$

$$\text{Y SI } F_c = \frac{1}{T_c} = \frac{1}{4 \times 10^{-6} \text{s}} = 250 \text{KHZ}$$

podemos observar que  $F_c = 250 \text{ KHZ}$ , valor que entra dentro del rango en que trabaja el convertidor es el tiempo mínimo en que puede trabajar el Z-80 CTC en modo timer.

De este valor se deduce que : puesto que del convertidor se utilizarán sólo 10 canales y la conversión será a 8 bits, el Z-80 se programará de la siguiente manera:

Cada que detecte una señal en un canal tardará tan sólo 32 microsegs. en realizar la conversión (cada bit tardará en su conversión 4 microsegs) -- cuando sea elegido.

#### **FUNCIONAMIENTO DEL MICROCONTROLADOR P.L.C.**

El microcontrolador P.L.C. podrá ser utilizado de 3 formas distintas en función de los requerimientos del o los sistemas a controlar.

- I.- Regulador
- II.- Controlador de estados
- III.- Cuando intervienen en el proceso ambos puntos I y II en el proceso.

A continuación se describirá el funcionamiento de cada una de las -- etapas.



**FUNCIONAMIENTO DEL PLC COMO REGULADOR (PRIMERA ETAPA)**

El convertidor ADC0816 cuenta con 16 canales multiplexados, de los cuales se utilizarán solo 10 canales. Cada canal será seleccionado por A3, A2, A1, A0 de la línea de direcciones. La tabla siguiente muestra los estados de entrada para las líneas de dirección de los canales del convertidor.

SELECTOR ANALOG CHANNEL	ADDRESS LINE				EXPANSION CONTROL
	D	C	B	A	
CH0	L	L	L	L	H
CH1	L	L	L	H	H
CH2	L	L	H	L	H
CH3	L	L	H	H	H
CH4	L	H	L	L	H
CH5	L	H	L	H	H
CH6	L	H	H	L	H
CH7	L	H	H	H	H
CH8	H	L	L	L	H
CH9	H	L	L	H	H
CH10	H	L	H	L	H
CH11	H	L	H	H	H
CH12	H	H	L	L	H
CH13	H	H	L	H	H
CH14	H	H	H	L	H
CH15	H	H	H	H	H
All Channels OFF	X	X	X	X	L

16 Channels

Los ciclos de trabajo del convertidor son controlados a través de una señal de reloj generado por Z-80 CTC (referirse a programación del Z-80 CTC para obtener una constante de tiempo pag. 25).

El microcontrolador (MPU) elegirá un canal a la vez (comenzando con el menos significativo). Los pines AD0-AD3 del convertidor serán direccionados por A0-A3 del bus de direcciones del CPU para elegir cada canal. De esta manera, elegido el canal, la señal será leído por el convertidor (1) habilitando la entrada START/ALE del convertidor, la cual determina el comienzo de la conversión (SC) y la habilitación del latch de direcciones (AD0-AD3) del convertidor. (referirse a diagrama de esquemático).

(1) A4-A6 del bus de direcciones del MPU, controla un demultiplexor 74CS138, y la salida Y0 es usada para elegir lectura (del AD al CPU) o escritura (lectura de dato por canal).

Una vez comenzada la operación de conversión (SC) el convertidor tardará 32NS en realizar la misma (refierase a programación del 7-50 CIC) terminada la conversión el convertidor enviará una señal EOC (de fin de conversión) que inicializará una interrupción NMI en el MPU1, la cual determina que el convertidor tiene un dato listo para ser enviado al MPU1. Así el MPU1 enviará una señal de lectura (a Y) para habilitar a VR del convertidor) para leer el dato de 8 bits, para ser transportado por el bus de datos y almacenarlo en un registro después de pasarlo por el acumulador A. Obtenido el dato el MPU1 accederá otro dato de la memoria (almacenado en la memoria RAM) a otro registro, esto para ser manipulada la información (ver rutinas del control y programa pag. 68 ).

Después de obtener ambas señales el MPU1 y reternerlas en ciertos registros, el MPU1 realizará una operación de comparación (CP) de la señal obtenida con la señal deseada (programada esta por el usuario), el resultado de la operación se reflejará en las banderas (en este caso se tomará el carry para ser manipulado) del MPU1 e indicará las condiciones y los movimientos que deberá realizar el controlador (MPU1) para estabilizar el sistema (refierase a rutinas y programas de control pag. 68 ). Las 4 condiciones que se presentarán serán las siguientes:

a) Si el contenido del carry es un 0, indicará que el estado se encuentra estable y el controlador no enviará ninguna corrección. Lo único que se indicará es que el estado está listo para realizar los movimientos necesarios y continuar al siguiente estado.

b) Si el contenido del carry es un "1" como consecuencia de un resultado negativo, es decir, en el resultado de la operación el valor leído es menor que el valor deseado, el controlador (MPU1) enviará un dato de corrección por el pin del puerto asignado (considerados para este caso los pines pares de los puertos A, B y C de la interfase 8255).

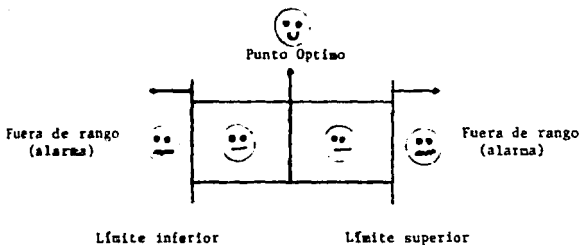
NOTA 1 Cuando se va a realizar algún movimiento en algún estado el controlador (MPU1) utilizará la interfase 8255 (U6) para actuar sobre el sistema a regular, utilizando el MPU1, los pines pares de los puertos A, B y C para encender el ( o los) actuadores y regular cada estado en el rango (se envía un bit "1") ó utilizará los pines nones de los puertos A, B y C para apagar el (o los) actuator (es) que regulan el estado. En ambos casos para estabilizar el (o los) estado (s) en el rango deseado por el operador.

c) Si el contenido del carry es un "1" como consecuencia de un resultado positivo, es decir, en el resultado de la operación el valor leído es mayor que el valor deseado, el controlador (MPU1) enviará un dato de corrección por el pin del puerto asignado (considerados para este caso los pines nones de los puertos A, B y C de la interfase 8255) para encender el actuator del estado que estabilizará el mismo. (refierase a nota 1 del inciso B).

d) El controlador MPUI en este punto considera: más halla de la frontera del límite superior y más halla de la frontera del límite inferior. - Cuando el sistema en algún estado o (s) se ha salido de los límites y después de algunos intentos por estabilizarlo (regularlo a su rango) no lo logra, detendrá el proceso y activará una alarma que el sistema esta fuera de control.

Se considera en este procedimiento que para realizar estos mismos, - los datos que se consideran en los incisos "a, b y c" oscilan en el rango del dato óptimo. En el caso del inciso "d" se considera que el dato - obtenido, se sale del rango límite superior y límite inferior del dato - óptimo para el cual el controlador intentará regularlo en su debido caso - que no lo logrará se detendrá el proceso y se activará una alarma (aviso - de fallo del sistema).

El controlador MPUI de 3 datos para su función, ya que para que se - cumplan las condiciones de los incisos a, b, c y d requerirá de estos. El siguiente diagrama muestra las condiciones (operación básica).



Condición de control para estabilidad

## FUNCIONAMIENTO DEL PLC COMO CONTROLADOR. (SEGUNDA ETAPA)

El controlador (MPU2) utiliza una interfase 8255 (U16) para recibir información del sistema. El puerto A (PA0-PA7) se utiliza para recibir información y el puerto B (PB0-PB7) para enviar información al sistema. Ambos puertos utilizan un circuito 74LS244 (U18 y U19) como buffer y para protección del puerto.

El operador tiene como máximo 8 funciones booleanas para ser programadas con un total de  $2^8$  minterminos (ver programación del controlador - PLC pag. 93).

El microcontrolador MPU2 introduce un dato en el puerto A de la interfase 8255 (U16) el cual es direccionado por el demultiplexor 74 (S138) (Y3) este circuito a su vez es direccionado por los pines A3-A15 del bus de direcciones de MPU2. Introducido el dato, es transportado a través del bus de datos al registro A y después a un registro específico para poder ser manipulada la información. Una vez almacenado el dato el controlador MPU2 realizará el siguiente procedimiento:

I - Se dirigirá el apuntador a la localidad de memoria 6001h en la cual indica el número de ecuaciones (máximo 8) que han sido programadas.

II - Tomará la primera ecuación, e identificará el número de minterminos con que cuenta la ecuación.

III - El apuntador se colocará en la primera máscara del primer mintermino. Almacenará la primera máscara en cierto registro.

IV - Con ambos datos almacenados en diferentes registros (el dato -- que proporciona información del sistema y la primera máscara del primer mintermino) realizará una operación lógica AND.

V - Con esta operación eliminará los bits "don't care" que no necesita y con el resultado lo comparará con el primer mintermino.

VI - Si este no es el mismo, tomará la máscara del segundo mintermino (si existiera) y realizará la misma operación AND. Y con el resultado de la operación lo comparará con el segundo mintermino y así sucesivamente hasta encontrar en la primera ecuación el mintermino que cumpla con las condiciones del estado (1). Esta primera ecuación cumple con un sólo estado de proceso.

VII - Terminado con la primera ecuación el controlador MPU2 seguirá con la siguiente ecuación y realizará el mismo procedimiento que en los incisos I - VI, hasta concluir con la condición del inciso I, es decir, con el número de ecuaciones programadas.

VIII - Terminado con todas las ecuaciones iniciará un nuevo ciclo inciso I al VIII (2).

(1) El procedimiento antes mencionado simplifica y da la opción al operador para que se cumpla una condición (controlar un estado), de acuerdo al número de alternativas que el mismo (operador) designe.

(2) Ver diagramas de flujo de control para MPU2 esclavo pag. 64.

### FUNCIONAMIENTO DEL PLC COMO REGULADOR Y CONTROLADOR. (TERCERA ETAPA)

Cuando en un proceso se requiere controlar los estados y regular algún (os) estado o (s) se utilizan las dos etapas I y II del microcontrolador.

Para su funcionamiento se requiere conocer previamente el funcionamiento de la etapa I y la etapa II ya que la forma de operar es la misma exceptuando en la etapa de salida del microcontrolador MPU1.

Como se puede apreciar en el esquemático del circuito, el sistema microcontrolador MPU1 consta de 10 compuertas NAND, las cuales, están asignadas a la entrada de las mismas los pines de la interfase 8255 (U6). El pin PA0, asignado con I+, y el pin PA1, asignado con I- ambos se conectan uno a cada pin de entrada de la compuerta NAND y así, se conecta cada compuerta NAND. - Identificando esto, el funcionamiento de la compuerta NAND es como sigue:

Tabla

Entradas				Salida	
I+ --	I0+	I- --	I0-	A ---	F
0	0	0	0	1	Estado estable se activa cuando esta listo el proceso después de ser regulado.
0	0	1	0	0	Se apaga el estado para alcanzar el nivel óptimo.
1	0	0	0	0	Se enciende el estado para alcanzar el nivel óptimo.
1	1	1	0	0	Condición que no se presentó (error).

Como se puede apreciar, el estado en que la respuesta es un "1" lógico cuando sus entradas son "0" lógicos, es cuando el estado ha sido regulado y es estable el mismo. Considerando esta condición, para el microcontrolador MPU2, sólo requiere de un bit de nivel 5 V lógico a la entrada de su (s) canal (es) de la interfase 8255 para reconocer que ese (os) estado (s) está (n) listo (s) para llevar a cabo el procedimiento de ese (os) estado (s) y continuar a otro (s).

DIRECCIONES MEMORIA MP MAESTRO

	NRQ	IORQ	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	HEX
ROM1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000h
8KX0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFFh
RAM1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	8000h
2KX0	0	1	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	27FFh
ROM2	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000h
8KX0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	5FFFh
RAM2	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	6000h
2KX0	0	1	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	67FFh

DIRECCIONES PUERTOS MP MAESTRO

	NRQ	IORQ	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	HEX	PUERTO
B255(1)	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000h	PTO.A DATOS
TECLADO												0	0	0	0	0	1	0010h	PTO.B DATOS	
												0	0	0	0	1	0	0020h	PTO.C DATOS	
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0030h	PTO. CONTROL	
B255(2)	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0010h	PTO.A DATOS	
RESPUESTAS												0	0	1	0	0	0	1	0011h	PTO.B DATOS
												0	0	1	0	0	1	0	0012h	PTO.C DATOS
	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0013h	CONTROL	
CIC	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0020h	CANAL 0	
												0	1	0	0	0	1	0021h	CANAL 1	
												0	1	0	0	1	0	0022h	CANAL 2	
	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0023h	CANAL 3	
A/D	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0030h	TRANSD. 1	
												0	1	1	0	0	1	0031h	TRANSD. 2	
												0	1	1	0	0	1	0032h	TRANSD. 3	
												0	1	1	0	0	1	0033h	TRANSD. 4	
												0	1	1	0	1	0	0034h	TRANSD. 5	
												0	1	1	0	1	0	0035h	TRANSD. 6	
												0	1	1	0	1	1	0036h	TRANSD. 7	
												0	1	1	0	1	1	0037h	TRANSD. 8	
												0	1	1	1	0	0	0038h	TRANSD. 9	
	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0039h	TRANSD. 10

DIRECCIONES MEMORIA MP ESCLAVO

	<u>MEMO</u>	<u>IOBO</u>	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	HEX	PUERTO
ROM 2	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000h	X
8Kx8	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFFh	
RAM2	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000h	X
2Kx8	0	1	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	27FFh	
	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000h	PTO.A
B255(3) SALIDAS	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4001h	PTO.B
MP ESCLAVO	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	4002h	PTO.C
	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	4003h	CONTRO

IMPORTANTE: Notese que el dispositivo I/O B255 es direccionado como si se tratase de una localidad de memoria.



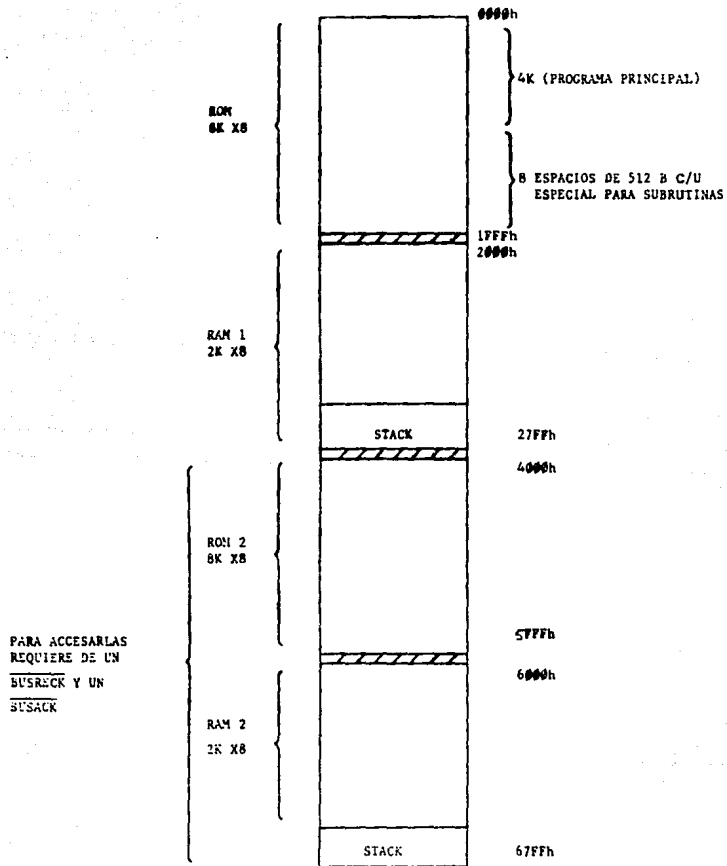
DECODIFICACION TECLADO

PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	TECLA	HEX
1	1	1	1	1	1	1	0	0	FE
1	1	0	1	1	1	1	0	1	DE
1	1	0	1	1	1	0	1	2	DD
1	1	0	1	1	0	1	1	3	DB
1	0	1	1	1	1	1	0	4	BE
1	0	1	1	1	1	0	1	5	BD
1	0	1	1	1	0	1	1	6	BB
1	0	0	1	1	1	1	0	7	9E
1	0	0	1	1	1	0	1	8	9D
1	0	0	1	1	0	1	1	9	9B
1	0	0	1	0	1	1	1	A	97
1	0	1	1	0	1	1	1	B	B7
1	1	0	1	0	1	1	1	C	D7
1	1	1	1	0	1	1	1	D	F7
1	1	1	1	1	0	1	1	E	FB
1	1	1	1	1	1	0	1	F	FD
1	0	0	0	1	1	1	1	F1	8F
1	0	1	0	1	1	1	1	F2(START)	AF
1	1	0	0	1	1	1	1	F3(ESC)	CF
1	1	1	0	1	1	1	1	F4(RET)	EF

MODIFICACION HEXADECIMAL DEL DISPLAY

	d6	d5	d4	d3	d2	d1	d0
	g	f	e	d	c	b	a
0	0	0	1	1	1	1	1
1	0	0	0	0	1	1	0
2	0	1	0	1	1	0	1
3	0	1	0	0	1	1	1
4	0	1	1	0	0	1	0
5	0	1	1	0	1	1	0
6	0	1	1	1	1	1	0
7	0	0	0	0	0	1	1
8	0	1	1	1	1	1	1
9	0	1	1	0	1	1	1
A	0	1	1	1	0	1	1
B	0	1	1	1	1	1	0
C	0	0	1	1	1	0	0
D	0	1	0	1	1	1	0
E	0	1	1	1	1	0	0
F	0	1	1	1	0	0	0

MAPA DE MEMORIA MF MAESTRO





CONTENIDO 7 SEG.

3F	1200h
06	1201h
5B	1202h
4F	1203
66	1204
6D	1205
7D	1206
07	1207
7F	1208
6F	1209
77	120A
7C	120B
39	120C
5E	120D
79	120E
71	120F
	12F1
	12F2
	12F3
	12F4

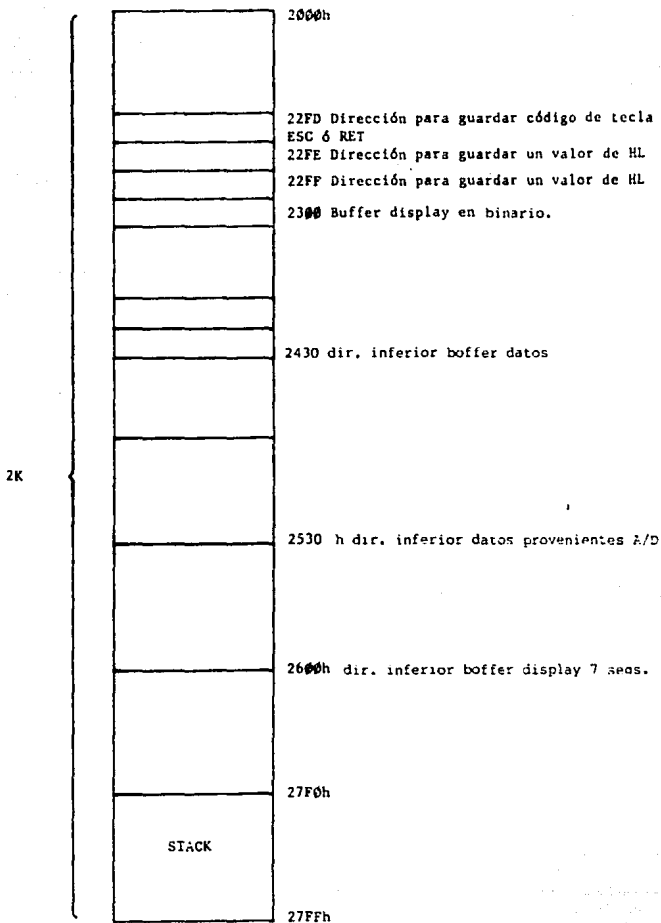
CONTINUA

CONTENIDO CODIGO TECLAS

FE	1400h
DE	1401
DD	1402
DB	1403
BE	1404
BD	1405
BB	1406
9E	1407
9D	1408
9B	1409
97	140A
87	140B
07	140C
F7	140D
FB	140E
FD	140F
BF	1410
AF	1411
CF	1412
EF	1413

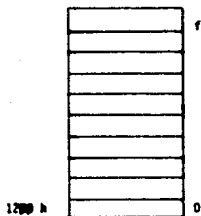
SUB RUTINA ERROR # 0		1600h
SUB RUTINA ERROR # 1		
SUB RUTINA ERROR ESCLAYO		
SUB RUTINA ALARMA		
SUB RUTINA DELAY		
SUB RUTINA TECLEO		

CONTENIDO RAM MAESTRO

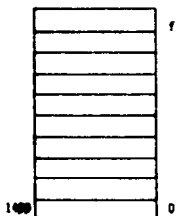




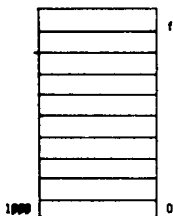
BUFFER CONTENIDO  
CODIGO 7 SEG.



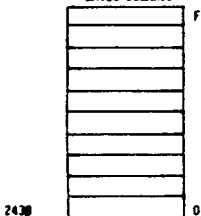
BUFFER CONTENIDO  
CODIGO TECLAS



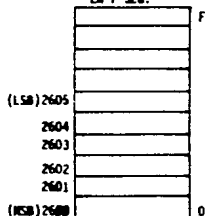
BUFFER CONTENIDO  
CODIGO TECLAS A BINARIO



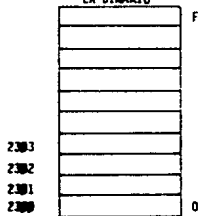
BUFFER CONTENIDO  
DATOS USUARIO



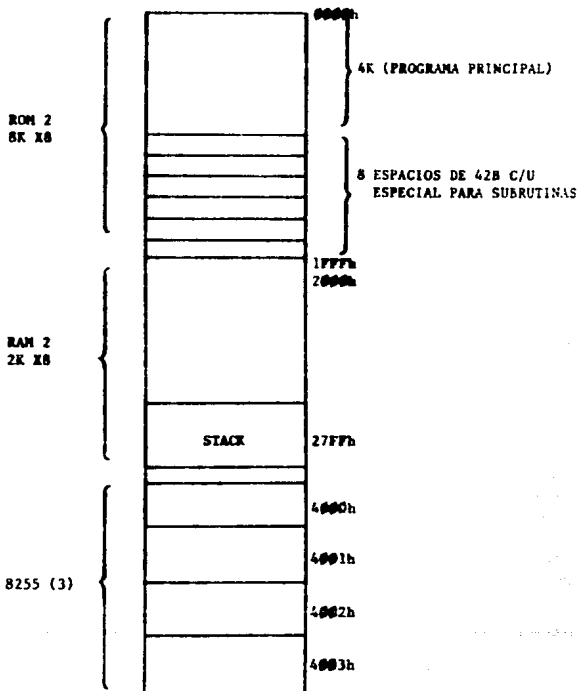
BUFFER DISPLAYS  
EN 7 SEG.



BUFFER DISPLAYS  
EN BINARIO



MAPA DE MEMORIA MP ESCLAVO



CONTENIDO ROM ESCLAVO

PROGRAMA INICIO PROGRAMA ESCLAVO	0000h [4097h]
INICIO PROGRAMA ESCLAVO	0200h [4200h]
INICIO SUBROUTINAS ERROR ESCLAVO A. ERROR ESCLAVO B. DELAY	1000h [5000h]

**CONTENIDO RAM ESCLAVO**

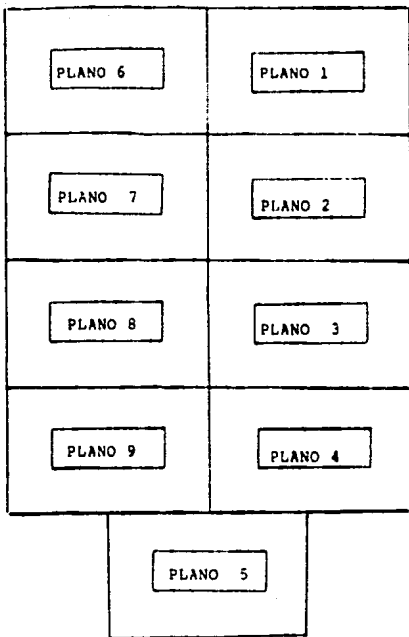


**2000 h**

**2001 h comienza datos usuarios**

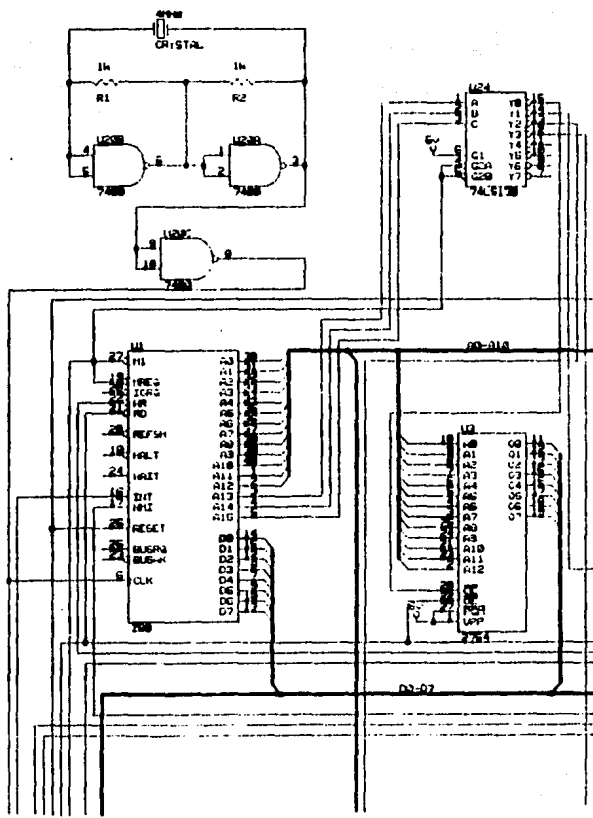
**2777**

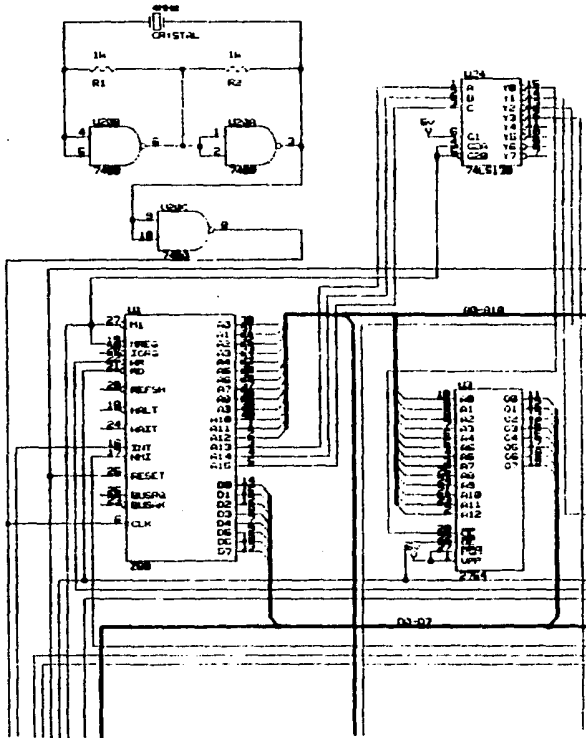
**STACK**



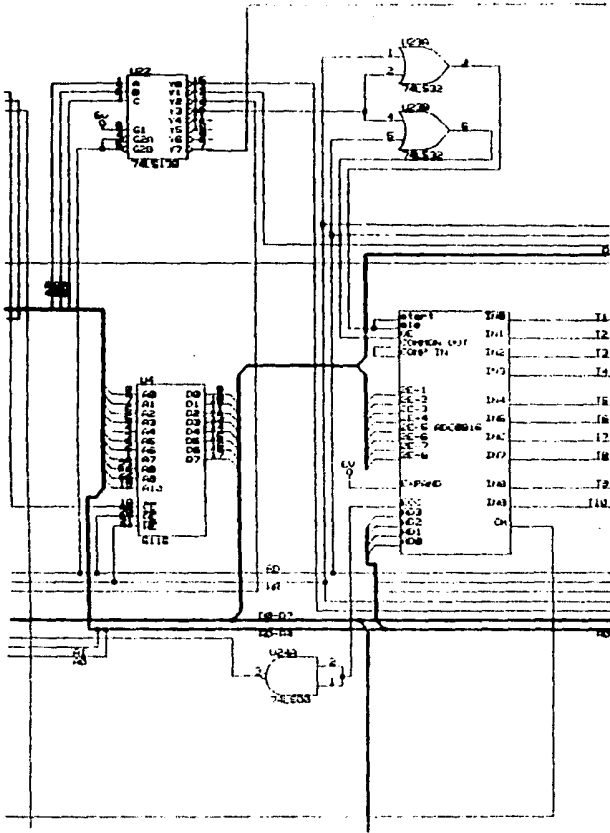
PLANO LAATE

PLANO 1

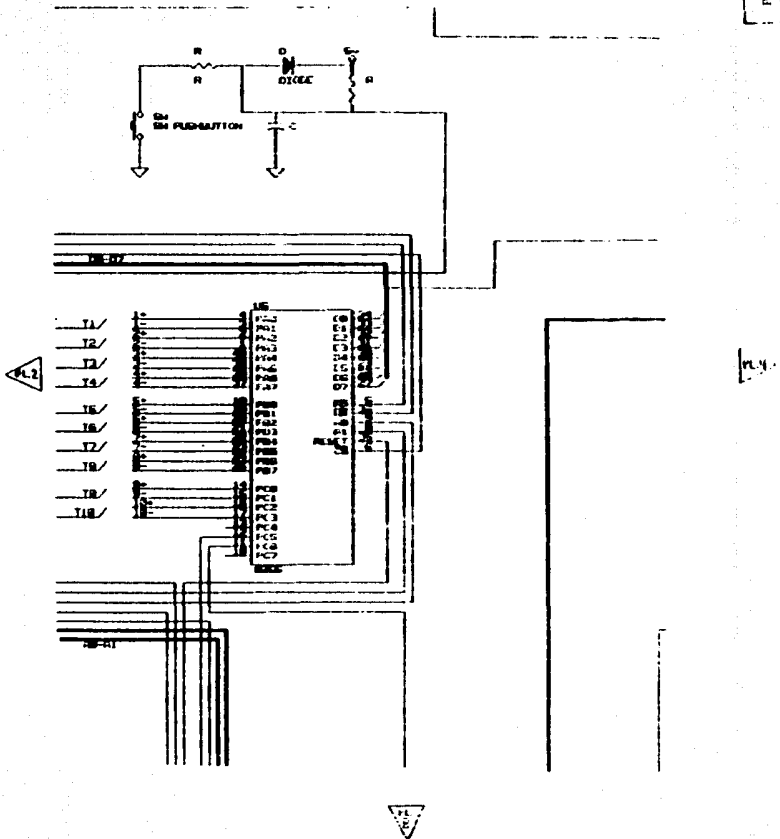




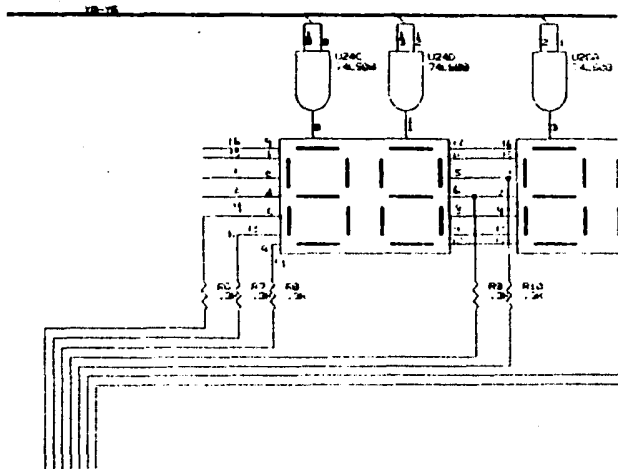
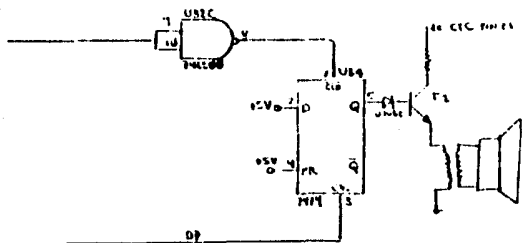
PLANO 2



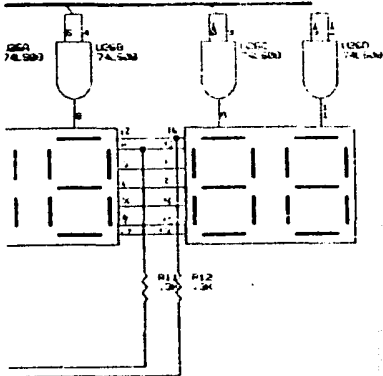




PLANO 4

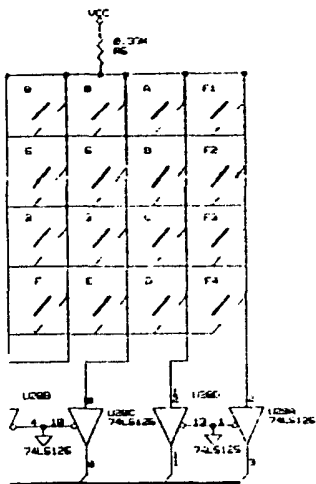


PL  
51

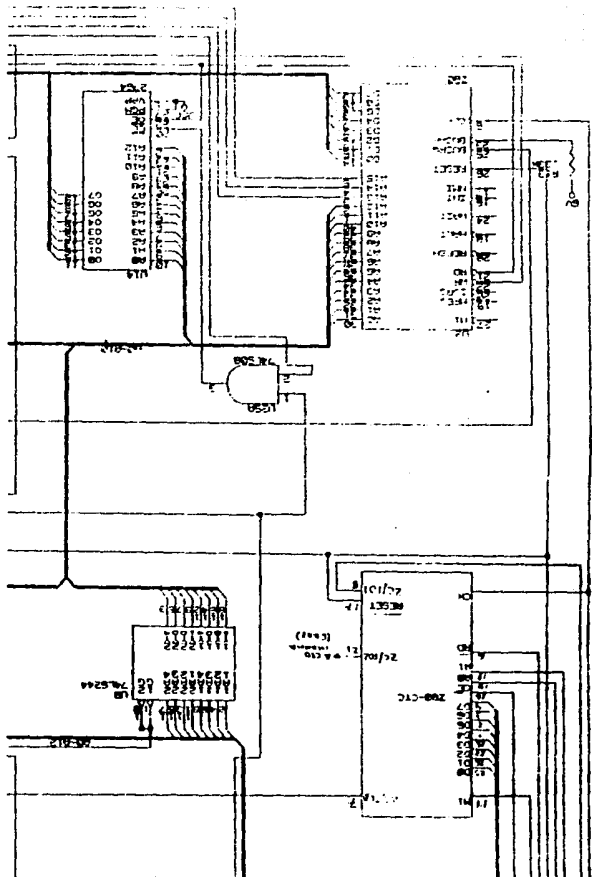


PLANO 5

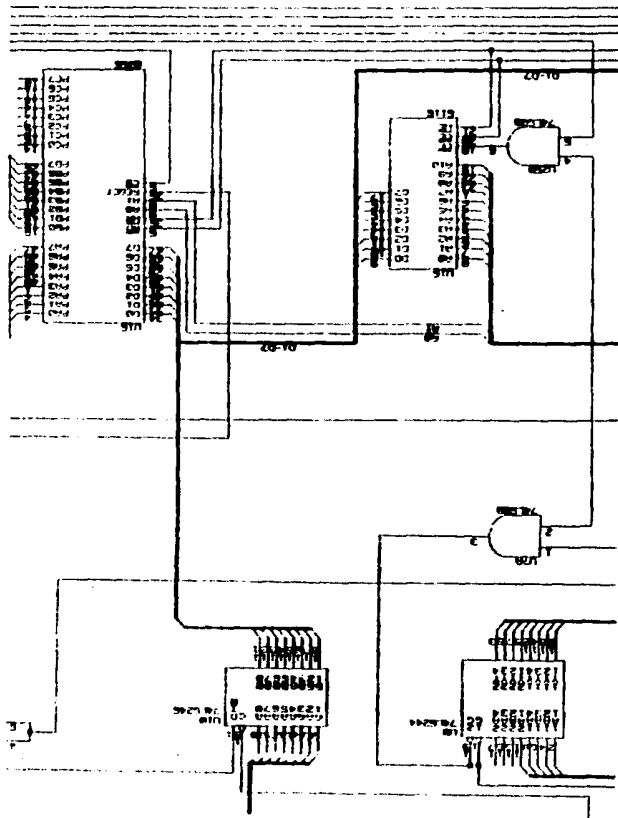
PL. 4  
PL. 4



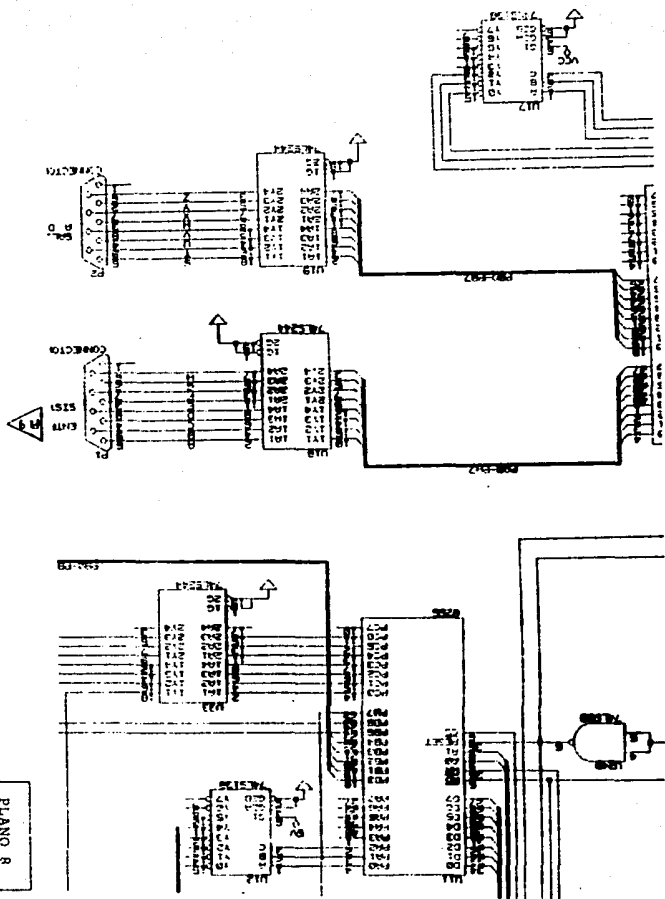
PROYECTO REALIZADO POR: LUIS WANDA G. VILLA 19311001 INC. JUAN VILLAMARQUE	
Revisor: <b>ESQUEMATICA</b>	
DIB. MECANICO TRAM. <b>PCU</b>	
D	
FECHA: Jun. 28. 1973	



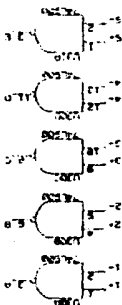
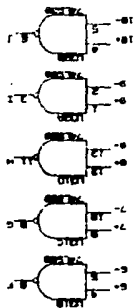
PLANO 6



PLANO 7

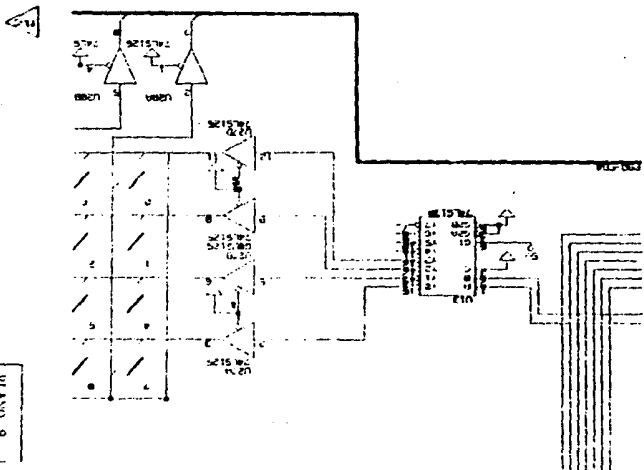


PLANO 8



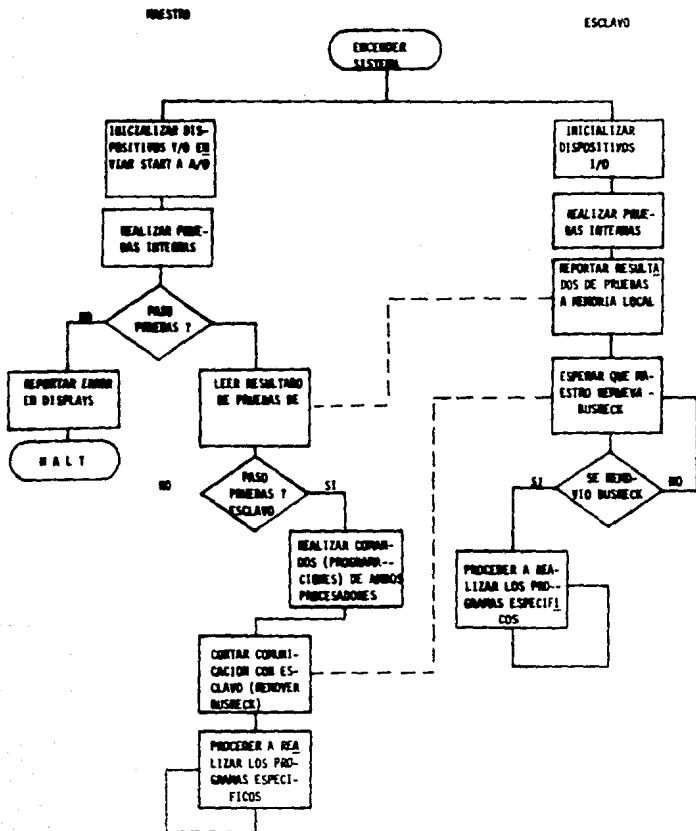
SECTOR 100  
 2  
 3  
 4  
 5  
 6  
 7  
 8  
 9  
 10  
 11  
 12  
 13  
 14  
 15  
 16  
 17  
 18  
 19  
 20  
 21  
 22  
 23  
 24  
 25  
 26  
 27  
 28  
 29  
 30  
 31  
 32

SECTOR 101  
 2  
 3  
 4  
 5  
 6  
 7  
 8  
 9  
 10  
 11  
 12  
 13  
 14  
 15  
 16  
 17  
 18  
 19  
 20  
 21  
 22  
 23  
 24  
 25  
 26  
 27  
 28  
 29  
 30  
 31  
 32



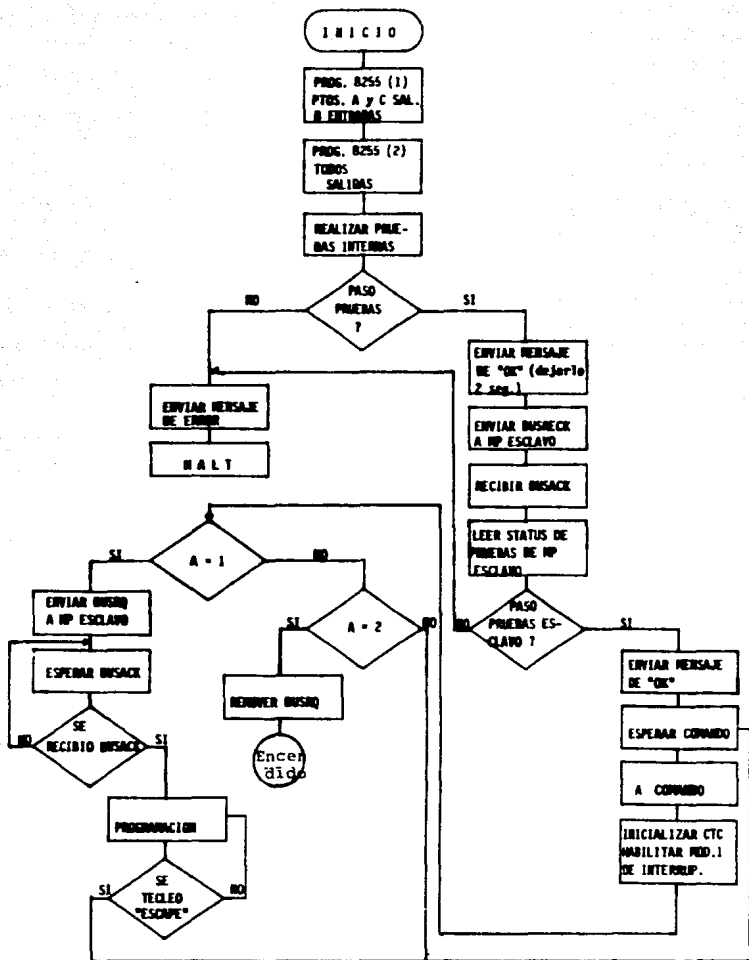
PIANO 9

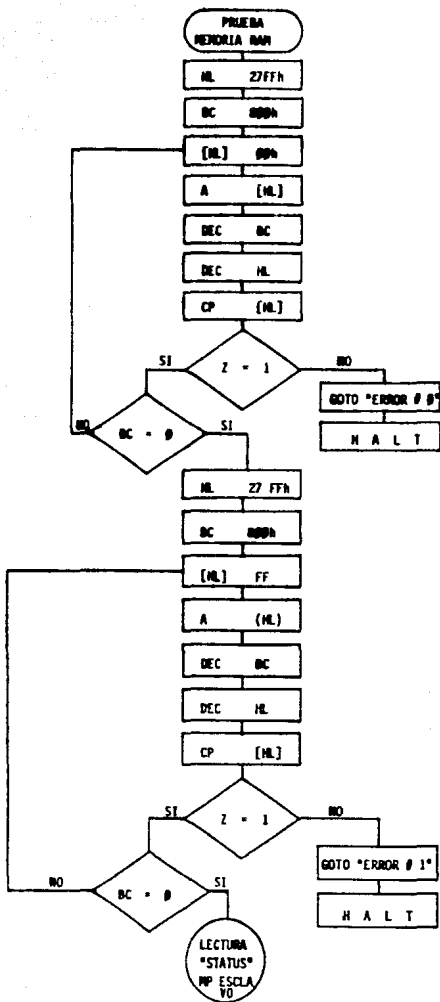
SECUENCIAS DE ENCENDIDO

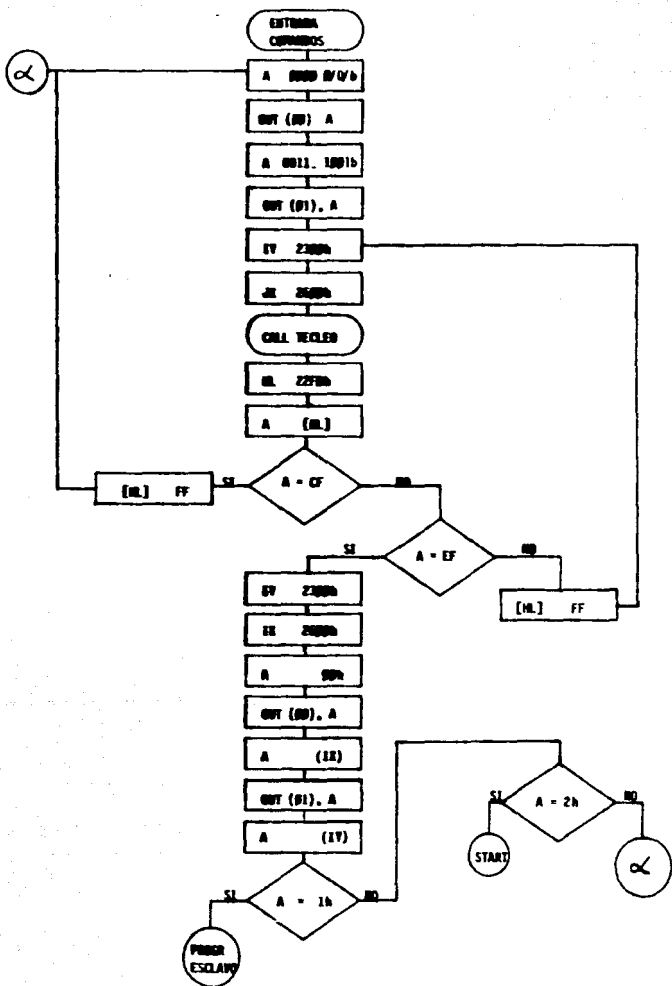


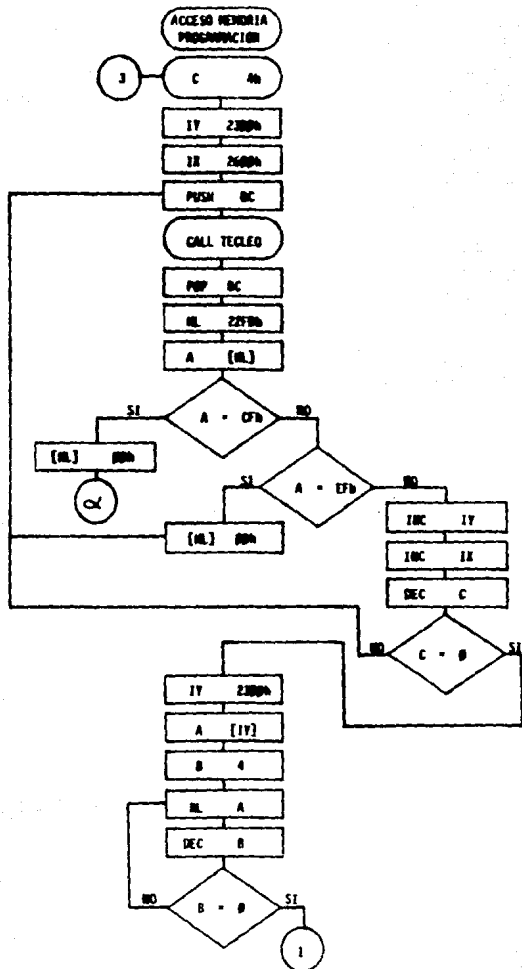
El anterior representa la secuencia de encendido del sistema bi-procesador, por supuesto cada bloque implica programas y sub-rutinas específicas, que se irán desglosando a continuación.

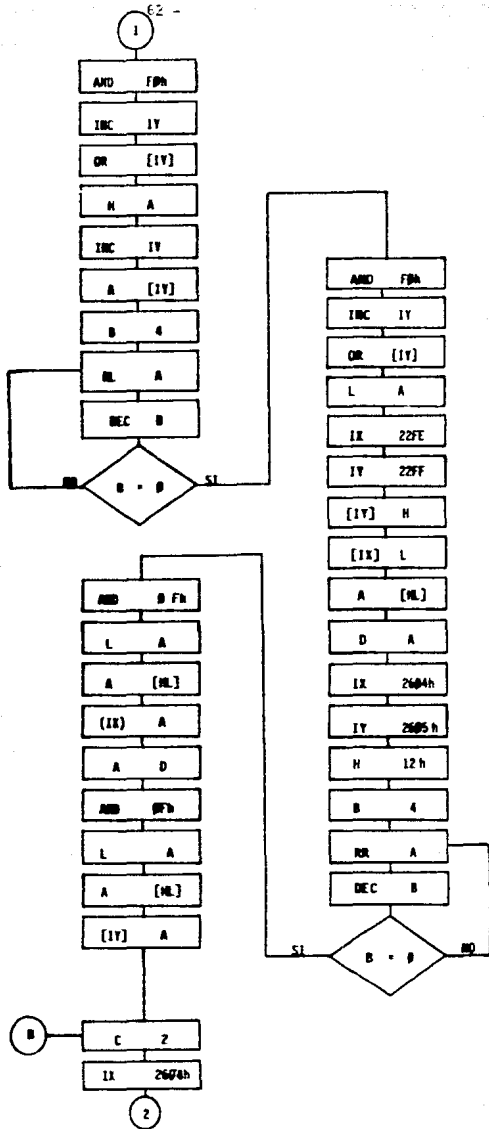


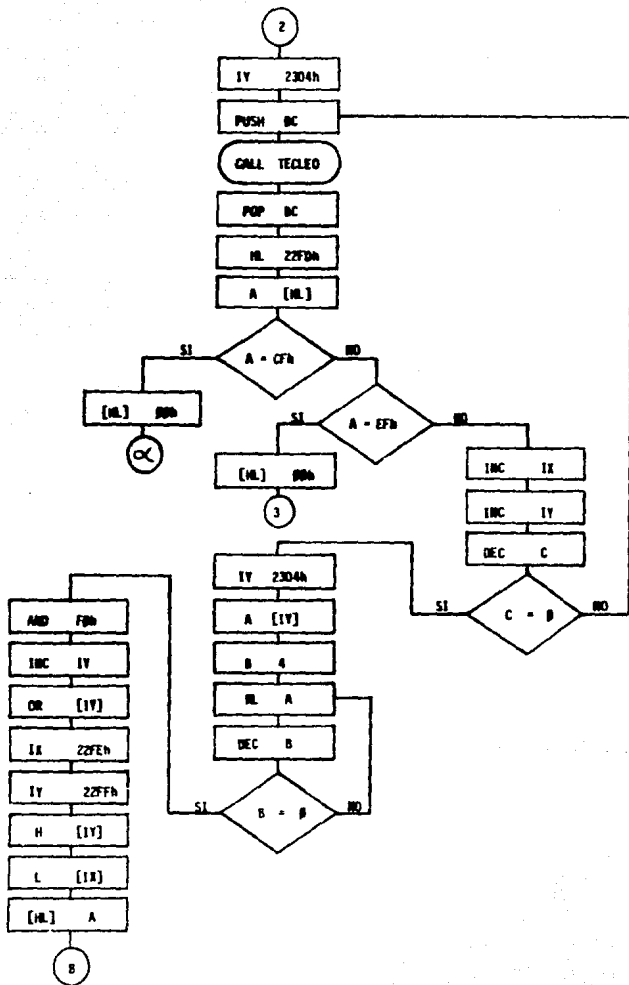












INICIO

HL 2000h

dir p/sacar datos

[HL] 00h

D 00h

Contador de ecuaciones

IX 2001h

A (4000h)

dir 8255 pto. A

E A

B [IX]

INC IX

C [IX]

No. wintérminos

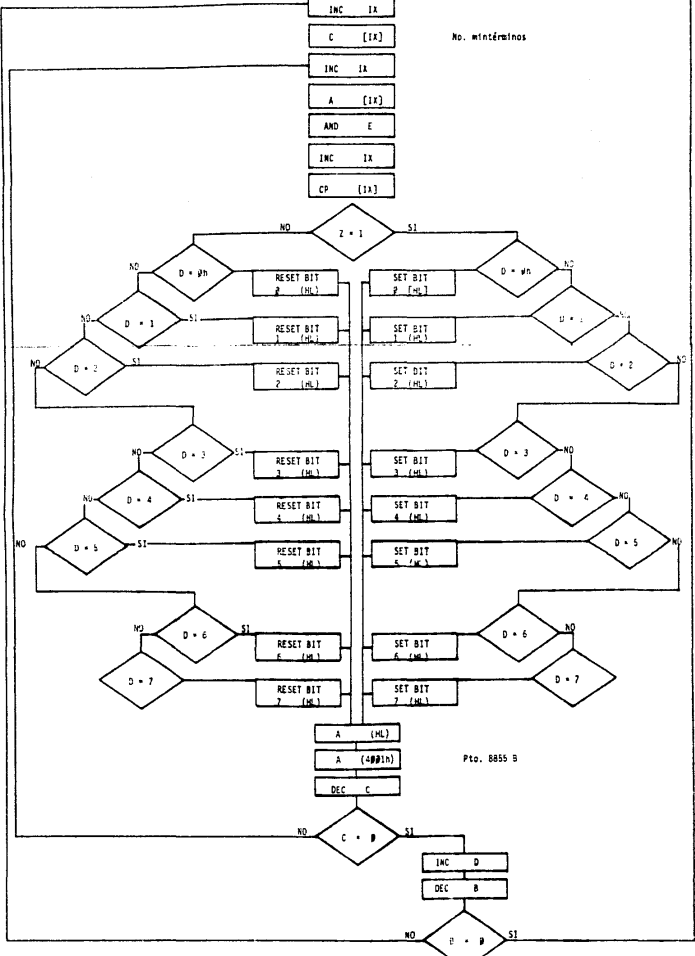
INC IX

A [IX]

AND E

INC IX

CP [IX]



A (HL)

A (4001h)

Pto. 8855 B

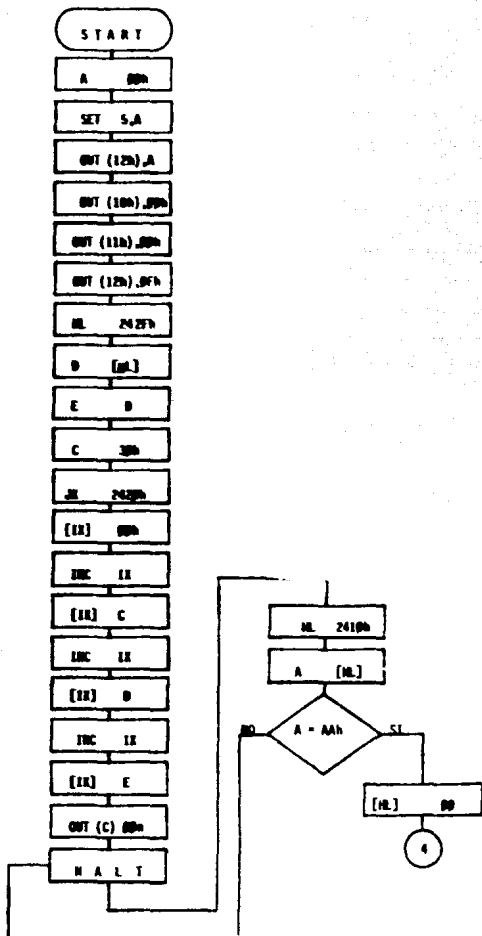
DEC C

C = B

INC D

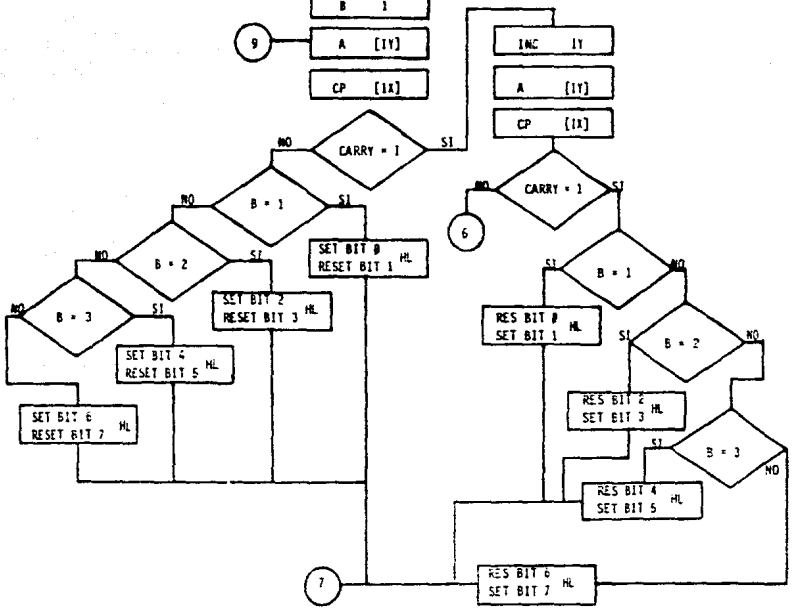
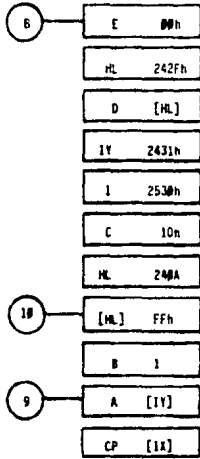
DEC B

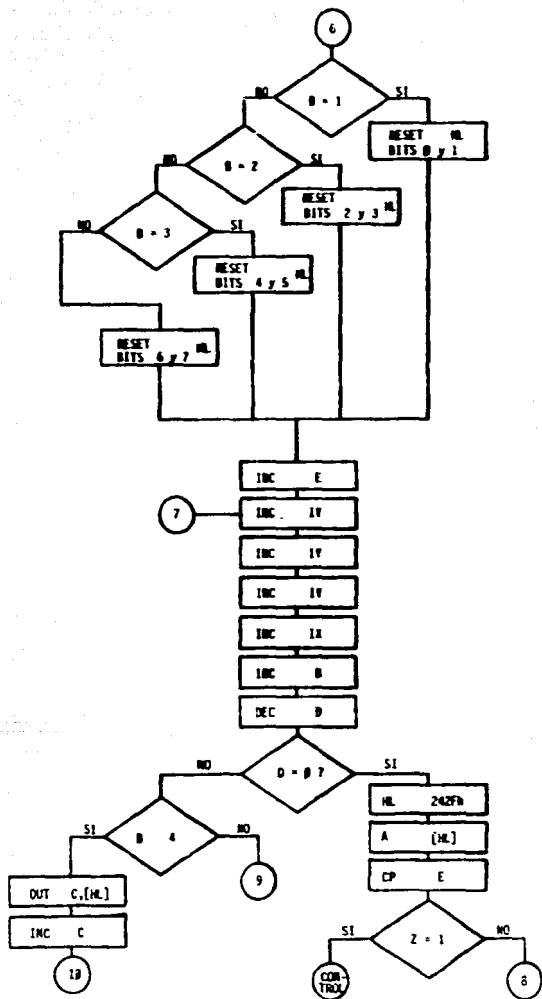
B = B

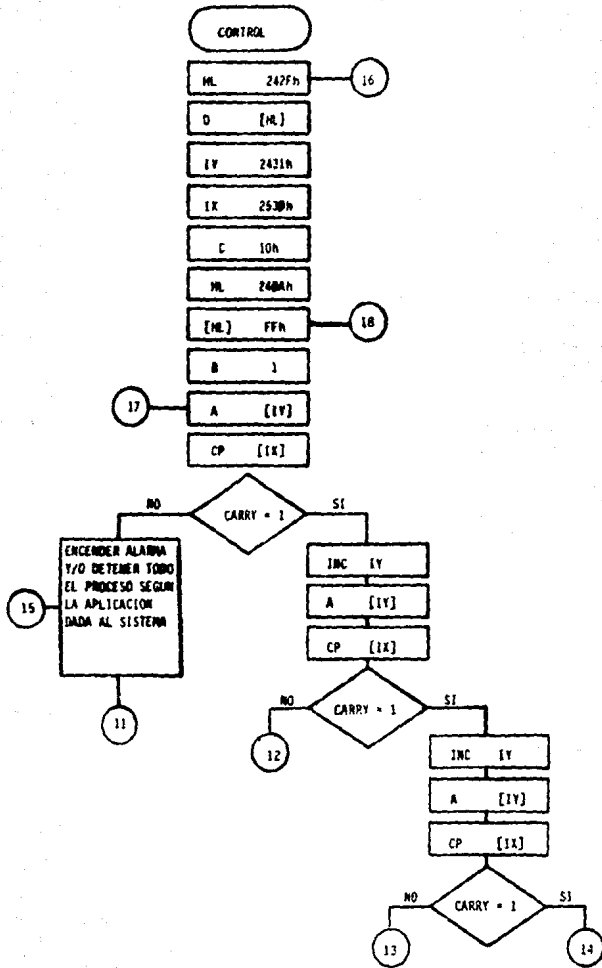


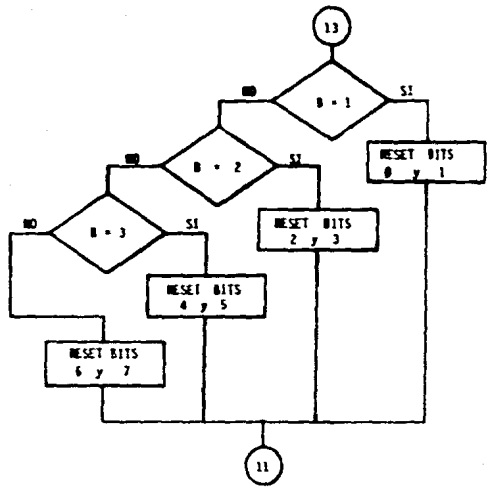
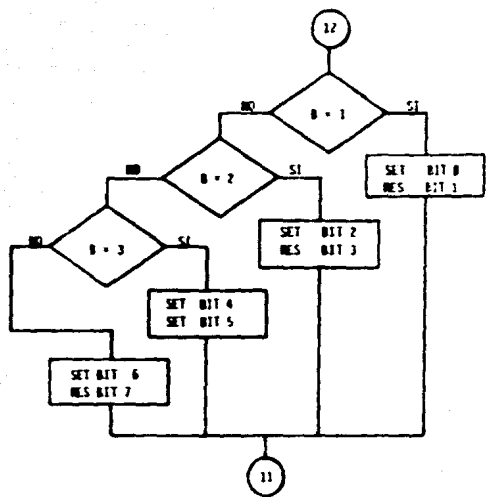


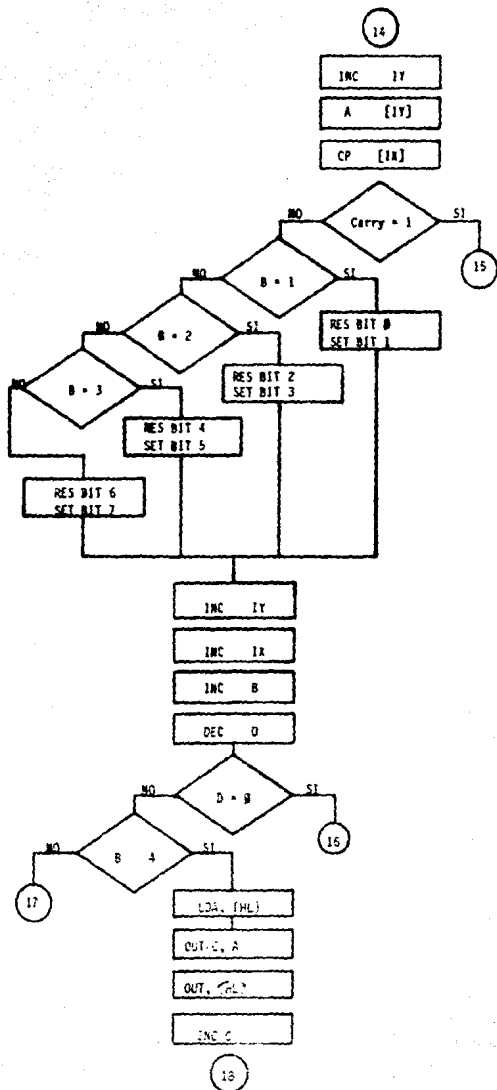
4

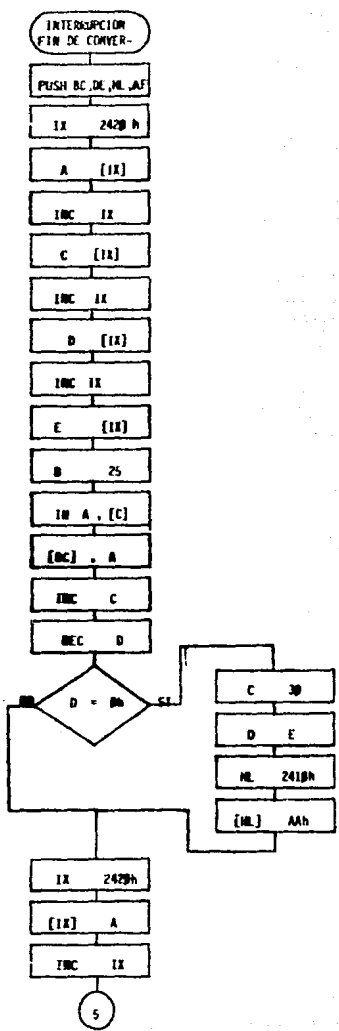


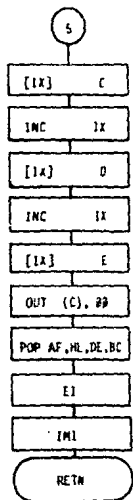






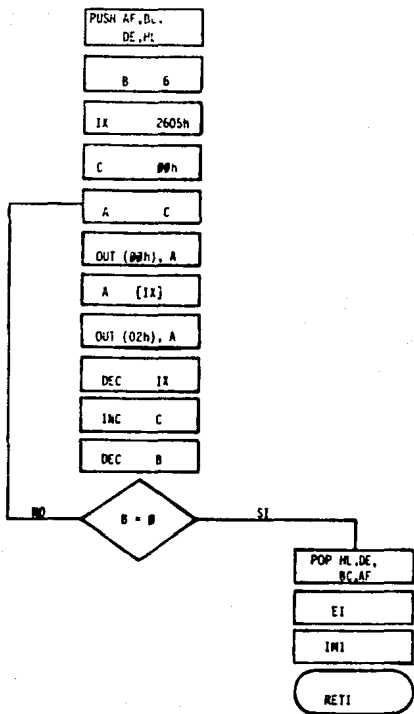






INTERUPCIÓN  
REFRESCO DISPLAY

(cada mseg.)





SUBROUTINA  
ERROR # 0

A 00

OUT (00h),A

A 79h

OUT (02h),A

SUBROUTINA  
ERRGR # 1

A 01h

OUT (00),A

A 79h

OUT (02h),A

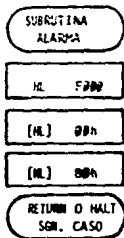
SUBROUTINA  
ERROR ESCLAVO

A 02h

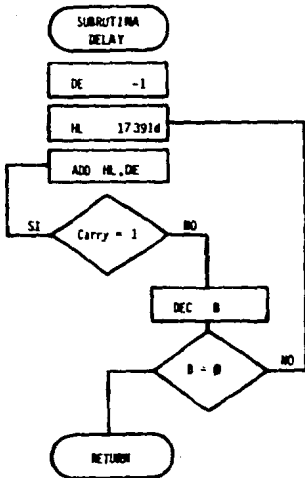
OUT (00),A

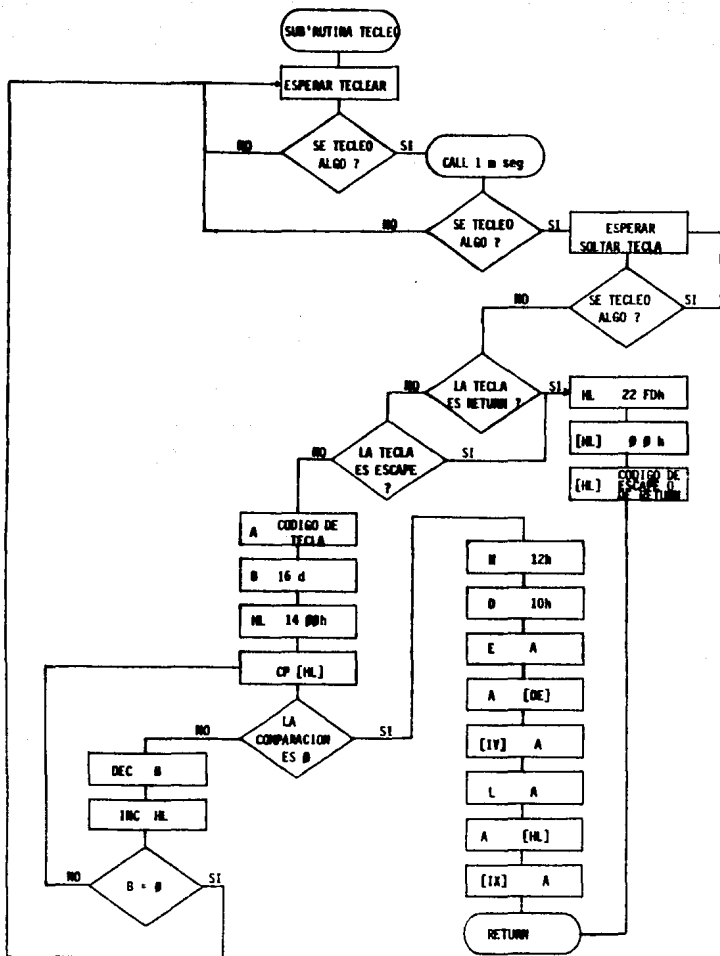
A 79h

OUT (02h),A



el CK del 7474 va de 0 a 1 (pulso de subida)





INPUT FILENAME : PROYECTO.PAS  
 OUTPUT FILENAME : TESIS1.OBJ

```

1
2 0000 .org 0000h
3 0000 C3 00 02 jp inicio
4 0200 .org 0200h
5 0200 31 FF 27 inicio: ld sp,27ffh
6 0203 3E 82 ld a,82h
7 0205 D3 03 out (03h),a
8 0207 3E 80 ld a,80h
9 0209 D3 13 out (13h),a
10 020B 21 FF 27 ld hl,27ffh
11 020E 01 00 08 ld bc,800h
12 0211 36 00 otro: ld (hl),00h
13 0213 7E ld a,(hl)
14 0214 ED A9 cpd
15 0216 C2 00 16 jp nz,errs0
16 0219 78 ld a,b
17 021A B1 or c
18 021B C2 11 02 jp nz,otro
19 021E 21 FF 27 ld hl,27ffh
20 0221 01 00 08 ld bc,800h
21 0224 36 FF sigue: ld (hl),ffh
22 0226 7E ld a,(hl)
23 0227 ED A9 cpd
24 0229 C2 09 16 jp nz,errs1
25 022C 78 ld a,b
26 022D B1 or c
27 022E C2 24 02 jp nz,sigue
28 0231 3E 04 ld a,0000100b
29 0233 D3 00 out (00h),a
30 0235 3E FF ld a,ffh
31 0237 D3 02 out (02h),a
32 0239 06 14 ld b,14h
33 023B CD 21 16 call delay
34 023E 3E FF ld a,ffh
35 0240 CB AF res 5,a
36 0242 D3 12 out (12h),a
37 0244 DB 01 aca: in a,(01h)
38 0246 CB 7F bit 7,a
39 0248 C2 44 02 jp nz,aca
40 024B 21 00 63 ld hl,6300h
41 024E 7E ld a,(hl)
42 024F FE A5 cp a5h
43 0251 C2 12 16 jp nz,erres
44 0254 3E 05 ld a,00000101b
45 0256 D3 00 out (00h),a
46 0258 3E FF ld a,ffh
47 025A D3 01 out (01h),a
48 025C 06 14 ld b,14h

```

49	025E	CD 21 16		call delay
50	0261	3E 05	coman:	ld a,00000101b
51	0263	D3 00		out (00h),a
52	0265	3E 39		ld a,00111001b
53	0267	D3 02		out (02h),a
54	0269	06 14		ld b,14h
55	026B	CD 21 16		call delay
56	026E	FD 21 00 23	contin:	ld iy,2300h
57	0272	DD 21 00 26		ld ix,2600h
58	0276	CD 2D 16		call tecleo
59	0279	21 FD 22		ld hl,22fdh
60	027C	7E		ld a,(hl)
61	027D	FE CF		cp cfh
62	027F	CA A8 02		jp z,regre
63	0282	FE EF		cp efh
64	0284	C2 AD 02		jp nz,vuelta
65	0287	FD 21 00 23		ld iy,2300h
66	028B	DD 21 00 26		ld ix,2600h
67	028F	3E 00		ld a,00h
68	0291	D3 00		out (00h),a
69	0293	DD 7E 00		ld a,(ix+0)
70	0296	D3 01		out (01h),a
71	0298	FD 7E 00		ld a,(iy+0)
72	029B	FE 01		cp 01h
73	029D	CA DA 02		jp z,program
74	02A0	FE 02		cp 02h
75	02A2	CA C2 03		jp z,start
76	02A5	C3 61 02		jp coman
77	02A8	36 FF	regre:	ld (hl),ffh
78	02AA	C3 61 02		jp coman
79	02AD	36 FF	vuelta:	ld (hl),ffh
80	02AF	C3 6E 02		jp contin
81				;acceso a memoria
82	02B2	3E FF		ld a,ffh
83	02B4	CB AF		res 5,a
84	02B6	D3 12		out (12h),a
85	02B8	DB 01	noc:	in a,(01h)
86	02BA	CB 7F		bit 7,a
87	02BC	C2 B8 02		jp nz, noc
88	02BF	3E 15		ld a,15h
89	02C1	D3 21		out (21h),a
90	02C3	3E 00		ld a,00h
91	02C5	D3 21		out (21h),a
92	02C7	3E 15		ld a,15h
93	02C9	D3 20		out (20h),a
94	02CB	3E 01		ld a,01h
95	02CD	D3 20		out (20h),a
96	02CF	3E 15		ld a,15h
97	02D1	D3 22		out (22h),a
98	02D3	3E 32		ld a,32h
99	02D5	D3 22		out (22h),a
100	02D7	FB		ei
101	02D8	ED 56		IM 1
102	02DA	0E 04	program:	ld c,4h
103	02DC	FD 21 00 23		ld iy,2300h
104	02DE	DD 21 00 26		ld ix,2600h
105	02E4	05	quitat:	push bc

# ESTA TESIS NO DEBE SALIR DE LA BIBLIOTECA

106	02E5	CD 2D 16		call teclen
107	02E6	C1		pop br
108	02E9	21 FD 22		ld hl,22f:dh
109	02EC	7E		ld a,(hl)
110	02ED	FE CF		cp cfh
111	02EF	C2 F7 02		jp nz,amient
112	02F2	36 00		ld (hl),00h
113	02F4	C3 61 02		jp coman
114	02F7	FE EF	amient:	cp eih
115	02F9	C2 01 03		jp nz,vamos.
116	02FC	36 00		ld (hl),00h
117	02FE	C3 E4 02		jp quiza
118	0301	DD 23	vamos:	inc ix
119	0303	FD 23		inc iy
120	0305	0D		dec c
121	0306	CA 0C 03		jp z,ace
122	0309	C3 E4 02		jp quiza
123	030C	FD 21 00 23	ace:	ld iy,2500h
124	0310	FD 7E 00		ld a,(iy+0)
125	0313	06 04		ld b,4h
126	0315	CB 17	equit:	rl a
127	0317	05		dec b
128	0318	C2 15 03		jp nz,aqui
129	031B	E6 F0		and f0h
130	031D	FD 23		inc iy
131	031F	FD B6 00		or (iy+0)
132	0322	67		ld h,a
133	0323	FD 23		inc iy
134	0325	FD 7E 00		ld a,(iy+0)
135	0328	06 04		ld b,4h
136	032A	CB 17	plan:	rl a
137	032C	05		dec b
138	032D	C2 2A 03		jp nz,plan
139	0330	E6 F0		and f0h
140	0332	FD 23		inc iy
141	0334	FD B6 00		or (iy+0)
142	0337	6F		ld l,a
143	0338	DD 21 FE 22		ld ix,22feh
144	033C	FD 21 FF 22		ld iy,22ffh
145	0340	FD 74 00		ld (iy+0),H
146	0343	DD 75 00		ld (ix+0),L
147	0346	7E		ld a,(hl)
148	0347	57		ld d,a
149	0348	DD 21 04 26		ld ix,2604h
150	034C	FD 21 05 26		ld iy,2605h
151	0350	26 12		ld h,12h
152	0352	06 04		ld b,4h
153	0354	CB 1F	mas:	rr a
154	0356	05		dec b
155	0357	C2 54 03		jp nz,mas
156	035A	E6 0F		and 0fh
157	035C	6F		ld l,a
158	035D	7E		ld a,(hl)
159	035E	DD 77 00		ld (ix+0),a
160	0361	7A		ld a,d
161	0362	E6 0F		and 0fh
162	0364	6F		ld l,a

163	0365	7E			ld a,(hl)
164	0366	FD 77 00			ld (iy+0),a
165					;cambiar dato direccion teclado
166	0369	0E 02	perros:		ld c,2h
167	0368	0E 02			ld c,2
168	036D	DD 21 04 26			ld ix,2604h
169	0371	FD 21 04 23			ld iy,2304h
170	0375	C5	lejos:		push bc
171	0376	CD 2D 16			call tecleo
172	0379	C1			pop bc
173	037A	21 FD 22			ld hl,22fdh
174	037D	7E			ld a,(hl)
175	037E	FE CF			cp cfh
176	0380	C2 88 03			jp nz,yaque
177	0383	36 00			ld (hl),00h
178	0385	C3 61 02			jp coman
179	0388	FE EF	yaque:		cp efh
180	038A	C2 92 03			jp nz,mono
181	038D	36 00			ld (hl),00h
182	038F	C3 DA 02			jp program
183	0392	DD 23	mono:		inc ix
184	0394	FD 23			inc iy
185	0396	0D			dec c
186	0397	C2 75 03			jp nz,lejos
187	039A	FD 21 04 23			ld iy,2304h
188	039E	FD 7E 00			ld a,(iy+0)
189	03A1	06 04			ld b,4h
190	03A3	CB 17	cuco:		rl a
191	03A5	05			dec b
192	03A6	C2 A3 03			jp nz,cuco
193	03A9	E6 F0			and f0h
194	03AB	FD 23			inc iy
195	03AD	FD B6 00			or (iy+0)
196	03B0	DD 21 FE 22			ld ix,22feh
197	03B4	FD 21 FF 22			ld iy,22ffh
198	03B5	FD 66 00			ld H,(iy+0)
199	03BB	DD 6E 00			ld L,(ix+0)
200	03BE	77			ld (hl),a
201	03BF	C3 69 03			jp perro
202					;comienza start
203	03C2	3E 00	start:		ld a,00h
204	03C4	CB EF			set 5,a
205	03C5	D3 12			out (12h),a
206	03C6	3E 00			ld a,00h
207	03CA	D3 10			out (10h),a
208	03CC	3E 00			ld a,00h
209	03CE	D3 11			out (11h),a
210	03D0	3E 00			ld a,0fh
211	03D2	D3 12			out (12h),a
212	03D4	D1 FF 24			ld hl,24ffh
213	03D7	56			ld d,(hl)
214	03D8	5A			ld e,d
215	03D9	0E 30			ld c,30h
216	03DB	DD 01 24 1			ld ix,2420h
217	03DF	DD 06 24 0			ld (ix+0),00h
218	03E1	DD 07			inc ix
219	03E3	DE 00			ld (ix+0),c

220	03E8	DD 23		inc ix
221	03EA	DD 72 00		ld (ix+0),d
222	03ED	DD 23		inc ix
223	03EF	DD 73 00		ld (ix+0),e
224	03F2	3E 00		ld a,00h
225	03F4	ED 79		out (c),a
226	03F6	76	gomas:	halt
227	03F7	21 10 24		ld hl,2410h
228	03FA	7E		ld a,(hl)
229	03FB	FE AA		cp aah
230	03FD	C2 F6 03		jp nz,goma
231	0400	36 00		ld (hl),00h
232	0402	1E 00	punt:	ld e,00h
233	0404	21 2F 24		ld hl,242fh
234	0407	56		ld d,(hl)
235	0408	FD 21 31 24		ld iy,2431h
236	040C	DD 21 30 25		ld ix,2530h
237	0410	0E 10		ld c,10h
238	0412	21 0A 24		ld hl,240ah
239	0415	36 FF	gato:	ld (hl),fh
240	0417	06 01		ld b,01h
241	0419	FD 7E 00	punta:	ld a,(iy+0)
242	041C	DD BE 00		cp (ix+0)
243	041F	DA 4E 04		jp c,lapiz
244	0422	78		ld a,b
245	0423	FE 01		cp 01h
246	0425	CA 39 04		jp z,set1
247	0428	FE 02		cp 02h
248	042A	CA 40 04		jp z,set2
249	042D	FE 03		cp 03h
250	042F	CA 47 04		jp z,set3
251	0432	CB F6		set 6,(hl)
252	0434	CB BE		res 7,(hl)
253	0436	C3 B2 04		jp siete
254	0439	CB C6	set1:	set 0,(hl)
255	043B	CB BE		res 1,(hl)
256	043D	C3 B2 04		jp siete
257	0440	CB D6	set2:	set 2,(hl)
258	0442	CB 9E		res 3,(hl)
259	0444	C3 B2 04		jp siete
260	0447	CB E6	set3:	set 4,(hl)
261	0449	CB AE		res 5,(hl)
262	044B	C3 B2 04		jp siete
263	044E	FD 23	lapiz:	inc iy
264	0450	FD 7E 00		ld a,(iy+0)
265	0453	DD BE 00		cp (ix+0)
266	0456	D2 85 04		jp nc,pluma
267	0459	78		ld a,b
268	045A	FE 01		cp 01h
269	045C	CA 70 04		jp z,res1
270	045F	FE 02		cp 02h
271	0461	CA 77 04		jp z,res2
272	0464	FE 03		cp 03h
273	0466	CA 7E 04		jp z,res3
274	0469	CB B6		res 6,(hl)
275	046B	CB FE		set 7,(hl)
276	046D	C3 B2 04		jp siete



277	0470	CB 86	res1:	res 0,(hl)
278	0472	CB CE		set 1,(hl)
279	0474	C3 B2 04		jp siete
280	0477	CB 96	res2:	res 2,(hl)
281	0479	CB DE		set 3,(hl)
282	047B	C3 B2 04		jp siete
283	047E	CB A6	res3:	res 4,(hl)
284	0480	CB EE		set 5,(hl)
285	0482	C3 B2 04		jp siete
286	0485	78	pluma:	ld e,b
287	0486	FE 01		cp 01h
288	0488	CA 9D 04		jp z,ambr1
289	048B	FE 02		cp 02h
290	048D	CA A5 04		jp z,ambr2
291	0490	FE 03		cp 03h
292	0492	CA AD 04		jp z,ambr3
293	0495	CB B6		res 6,(hl)
294	0497	CB BE		res 7,(hl)
295	0499	1C		inc e
296	049A	C3 B2 04		jp siete
297	049D	CB 86	ambr1:	res 0,(hl)
298	049F	CB 8E		res 1,(hl)
299	04A1	1C		inc e
300	04A2	C3 B2 04		jp siete
301	04A5	CB 96	ambr2:	res 2,(hl)
302	04A7	CB 9E		res 3,(hl)
303	04A9	1C		inc e
304	04AA	C3 B2 04		jp siete
305	04AD	CB A6	ambr3:	res 4,(hl)
306	04AF	CB AE		res 5,(hl)
307	04B1	1C		inc e
308	04B2	FD 23	siete:	inc iy
309	04B4	FD 23		inc iy
310	04B6	FD 23		inc iy
311	04B8	DD 23		inc ix
312	04BA	04		inc b
313	04BB	15		dec d
314	04BC	C2 CA 04		jp nz,taja
315	04BF	21 2F 24		ld hl,242fh
316	04C2	7E		ld a,(hl)
317	04C3	BB		cp e
318	04C4	CA DA 04		jp z,trol
319	04C7	C3 02 04		jp punt
320	04CA	78	tajar:	ld a,b
321	04CB	FE 04		cp 04h
322	04CD	D2 D4 04		jp nc,s1
323	04D0	C3 19 04		jp punta
324	04D3	7E		ld a,(hl)
325	04D4	ED 79	si:	out (c),a
326	04D6	0C		inc c
327	04D7	C3 15 04		jp gato
328				{comienzo control
329	04DA	21 2F 24	trol:	ld hl,242fh
330	04DD	56		ld d,(hl)
331	04DE	FD 21 2F 24		ld iy,2431h
332	04E2	DD 21 2F 24		ld ix,2530h
333	04E6	0E 15		ld c,10h

334	04E6	21 0A 24		ld hl,240ah
335	04EB	36 FF	diecho:	ld (hl),fin
336	04ED	06 01		ld b,01h
337	04EF	FD 7E 00	diecet:	ld a,(iy+0)
338	04F2	DD BE 00		cp (ix+0)
339	04F5	DA 00 05		jp c,pulga
340	04F8	E5	quince:	push hl
341	04F9	CD 19 16		call alarma
342	04FC	E1		pop hl
343	04FD	C3 50 05		jp once
344	0500	FD 23	pulga:	inc iy
345	0502	FD 7E 00		ld a,(iy+0)
346	0505	DD BE 00		cp (ix+0)
347	0508	DA 0E 05		jp c,araba
348	050B	C3 66 05		jp doce
349	050E	FD 23	araba:	inc iy
350	0510	FD 7E 00		ld a,(iy+0)
351	0513	DD BE 00		cp (ix+0)
352	0516	DA 1C 05		jp c,cator
353	0519	C3 92 05		jp trece
354	051C	FD 23	cator:	inc iy
355	051E	FD 7E 00		ld a,(iy+0)
356	0521	DD BE 00		cp (ix+0)
357	0524	DA F8 04		jp c,quince
358	0527	78		ld a,b
359	0528	FE 01		cp 01h
360	052A	CA 3E 05		jp z,halcon
361	052D	FE 02		cp 02h
362	052F	CA 45 05		jp z,aguila
363	0532	FE 03		cp 03h
364	0534	CA 4C 05		jp z,buitre
365	0537	CB B6		res 6,(hl)
366	0539	CB FE		set 7,(hl)
367	053B	C3 50 05		jp once
368	053E	CB 86	halcon:	res 0,(hl)
369	0540	CB CE		set 1,(hl)
370	0542	C3 50 05		jp once
371	0545	CB 96	aguila:	res 2,(hl)
372	0547	CB DE		set 3,(hl)
373	0549	C3 50 05		jp once
374	054C	CB A6	buitre:	res 4,(hl)
375	054E	CB EE		set 5,(hl)
376	0550	FD 23	once:	inc iy
377	0552	DD 23		inc ix
378	0554	04		inc b
379	0555	15		dec d
380	0556	CA DA 04		jp z,trol
381	0559	78		ld a,b
382	055A	FE 04		cp 04h
383	055C	DA EF 04		jp c,diecet
384	055F	7E		ld a,(hl)
385	0560	ED 79		out (c),a
386	0562	0C		inc c
387	0563	C3 EB 04		jp diecho
388	0566	78	docet	ld a,b
389	0567	FE 01		cp 01h
390	0569	CA 7D 05		jp z,pija

391	056C	FE 02			cp 02h
392	056E	CA 84 05			jp z,gorro
393	0571	FE 03			cp 03h
394	0573	CA 8B 05			jp z,masc
395	0576	CB F6			set 6,(hl)
396	0578	CB BE			res 7,(hl)
397	057A	C3 50 05			jp once
398	057D	CB C6	pija:		set 0,(hl)
399	057F	CB AE			res 1,(hl)
400	0581	C3 50 05			jp once
401	0584	CB D6	gorro:		set 2,(hl)
402	0586	CB 9E			res 3,(hl)
403	0588	C3 50 05			jp once
404	058B	CB E6	masc:		set 4,(hl)
405	058D	CB AE			res 5,(hl)
406	058F	C3 50 05			jp once
407	0592	78	trece:		ld a,b
408	0593	FE 01			cp 01h
409	0595	CA A9 05			jp z,pelo
410	0598	FE 02			cp 02h
411	059A	CA B0 05			jp z,ceja
412	059D	FE 03			cp 03h
413	059F	CA B7 05			jp z,pesta
414	05A2	CB B6			res 6,(hl)
415	05A4	CB BE			res 7,(hl)
416	05A6	C3 50 05			jp once
417	05A9	CB 86	pelo:		res 0,(hl)
418	05AB	CB AE			res 1,(hl)
419	05AD	C3 50 05			jp once
420	05B0	CB 96	ceja:		res 2,(hl)
421	05B2	CB 9E			res 3,(hl)
422	05B4	C3 50 05			jp once
423	05B7	CB A6	pesta:		res 4,(hl)
424	05B9	CB AE			res 5,(hl)
425	05BB	C3 50 05			jp once
426	0066				.org 0066h
427	0066	C5			push bc
428	0067	D5			push de
429	0068	E5			push hl
430	0069	F5			push af
431	006A	DD 21 20 24			ld ix,2420h
432	006E	DD 7E 00			ld a,(ix+0)
433	0071	DD 23			inc ix
434	0073	DD 4E 00			ld c,(IX+0)
435	0076	DD 23			inc ix
436	0078	DD 56 00			ld d,(ix+0)
437	007B	DD 23			inc ix
438	007D	DD 5E 00			ld e,(ix+0)
439	0080	06 25			ld b,25h
440	0082	ED 78			in a,(c)
441	0084	02			ld (bc),a
442	0085	0C			inc c
443	0086	15			dec d
444	0087	C2 92 00			jp nz,manana
445	008A	0E 30			ld c,30h
446	008C	53			ld d,e
447	008D	21 10 24			ld hl,2410h

```

448 0090 36 AA          ld (hl),aah
449 0092 DD 21 20 24    manana:  ld ix,2420h
450 0096 DD 77 00          ld (ix+0),a
451 0099 DD 23          inc ix
452 009B DD 71 00          ld (ix+0),c
453 009E DD 23          inc ix
454 00A0 DD 72 00          ld (ix+0),d
455 00A3 DD 23          inc ix
456 00A5 DD 73 00          ld (ix+0),e
457 00A8 3E 00          ld a,00h
458 00AA ED 79          out (c),a
459 00AC F1          pop af
460 00AD E1          pop hl
461 00AE D1          pop de
462 00AF C1          pop bc
463 00B0 FB          ei
464 00B1 ED 56          ia 1
465 00B3 ED 45          retn
466 0038          .org 0038h
467 0038 F5          push af
468 0039 C5          push bc
469 003A D5          push de
470 003B E5          push hl
471 003C 06 06          ld b,6
472 003E DD 21 05 26    ld ix,2605h
473 0042 0E 00          ld c,00h
474 0044 79          collar: ld a,c
475 0045 D3 00          out (00h),a
476 0047 DD 7E 00          ld a,(ix+0)
477 004A D3 02          out (02h),a
478 004C DD 2B          dec ix
479 004E 0C          inc c
480 004F 05          dec b
481 0050 C2 44 00          jp nz,collar
482 0053 E1          pop hl
483 0054 D1          pop de
484 0055 C1          pop bc
485 0056 F1          pop af
486 0057 FB          ei
487 0058 ED 56          ia 1
488 005A ED 4D          reti
489 1600          .org 1600h
490          ;subrutina error 0
491 1600 3E 00    err0:  ld a,00h
492 1602 D3 00          out (00h),a
493 1604 3E 79          ld a,79h
494 1606 D3 02          out (02h),a
495 1608 76          halt
496          ;subrutina error 1
497 1609 3E 01    err1:  ld a,01h
498 160B D3 00          out (00h),a
499 160D 3E 79          ld a,79h
500 160F D3 02          out (02h),a
501 1611 76          halt
502          ;subrutina error esclavo
503 1612          err2:
504 1612 D3 00          out (00h),a

```

505	1614	3E 79		ld a,79h
506	1616	D3 02		out (02h),a
507	1618	76		halt
508				;subrutina alaraa
509	1619	21 00 F0	alaraa:	ld hl,000h
510	161C	36 00		ld (hl),00h
511	161E	36 80		ld (hl),80h
512	1620	C9		ret
513				;subrutina delay
514	1621	11 FF FF	delay:	ld de,-1
515	1624	21 EF 43	loop1:	ld hl,17391d
516	1627	19	loop2:	add hl,de
517	1628	38 FD		jr c,loop2
518	162A	10 F8		djnz loop1
519	162C	C9		ret
520				;subrutina tecleo
521	162D	06 1F	tecleo:	ld b,lfh
522	162F	78	cerca:	ld a,b
523	1630	E6 F8		and 11111000b
524	1632	C6 07		add a,07h
525	1634	D3 00		out (00),a
526	1636	DB 01		in a,(01h)
527	1638	E6 1F		and 00011111b
528	163A	FE 1F		cp 00011111b
529	163C	C2 44 16		jp nz,siteop
530	163F	10 EE		djnz cerca
531	1641	C3 2D 16		jp tecleo
532	1644	06 04	siteop:	ld b,04h
533	1646	CD 21 16		call delay
534	1649	DB 01		in a,(01h)
535	164B	57		ld d,a
536	164C	E6 1F		and 00011111b
537	164E	FE 1F		cp 00011111b
538	1650	CA 56 16		jp z,solte
539	1653	C3 2D 16		jp tecleo
540	1656	DB 01	solte:	in a,(01h)
541	1658	E6 1F		and 00011111b
542	165A	FE 1F		cp 00011111b
543	165C	CA 62 16		jp z,lecte
544	165F	C3 56 16		jp solte
545	1662	7A	lecte:	ld a,d
546	1663	FE EF		cp efh
547	1665	CA 70 16		jp z,return
548	1668	FE CF		cp cfh
549	166A	CA 70 16		jp z,return
550	166D	C3 75 16		jp existe
551	1670	21 FD 22	return:	ld hl,22fdh
552	1673	77		ld (hl),a
553	1674	C9		ret
554	1675	06 10	existe:	ld b,10h
555	1677	21 00 14		ld hl,1400h
556	167A	BE	poco:	cp (hl)
557	167B	CA 81 16		jp z,nana
558	167E	23		inc hl
559	167F	10 F9		djnz poco
560	1681	26 12	nana:	ld h,12h
561	1683	16 10		ld d,10h

562	1665	5F
563	1686	1A
564	1687	FD 77 00
565	168A	6F
566	168B	7E
567	168C	DD 77 00
568	168F	C9
569	1690	

```
ld e,a
ld a,(de)
ld (iy+0),a
ld l,a
ld a,(hl)
ld (ix+0),a
ret
end
```

\*\*\*\*\* SYMBOLIC REFERENCE TABLE \*\*\*\*\*

aca	0244	ace	030C	aguila	0545	alarma	1619
ambri	049D	ambr2	04A5	ambr3	04AD	aqui	0315
araba	050E	buitre	054C	cator	051C	ceja	05B0
cerca	162F	collar	0044	coman	0261	contin	026E
cucu	03A3	delay	1621	diecet	04EF	diecho	04EB
doce	0566	erro0	1600	errr1	1609	erres	1612
existe	1675	gato	0415	goma	03F6	gorro	0584
halcon	053E	inicio	0200	lapiz	044E	lecte	1662
lejos	0375	loop1	1624	loop2	1627	manana	0092
mas	0354	asc	0588	mient	02F7	moc	02B8
mono	0392	nana	1681	once	0550	otro	0211
pelo	05A9	perro	0369	pesta	05B7	pija	057D
plan	032A	pluma	0485	poco	167A	program	02DA
pulga	0500	punt	0402	punta	0419	quince	04F8
quiza	02E4	regre	02A8	resi	0470	res2	0477
res3	047E	return	1670	set1	0439	set2	0440
set3	0447	si	04D4	siete	04B2	sigue	0224
sitcop	1644	solte	1656	start	03C2	taja	04CA
tecleo	162D	trece	0592	troi	04DA	vamos	0301
vuelta	02AD	yaque	0388				

LINES ASSEMBLED : 569

ASSEMBLY ERRORS : 0

INPUT FILENAME : ESCLAVO.BAK  
 OUTPUT FILENAME : TESIS2.OBJ

```

1 0000                                .org 0000h
2                                ;comienza programacion esclavo
3 0000 C3 00 02                        jp inicio
4 0200                                .org 0200h
5 0200 31 FF 27                        inicio: ld sp,27ffh
6 0203 3E 90                          ld a,90h
7 0205 32 03 40                        ld (4003h),a
8                                ;pruebas internas
9 0208 21 FF 27                        ld hl,27ffh
10 020B 01 00 08                       ld bc,0800h
11 020E 36 00                          marco: ld (hl),00h
12 0210 7E                              ld a,(hl)
13 0211 ED A9                          cpd
14 0213 C2 02 03                       jp nz,eres_a
15 0216 78                              ld a,b
16 0217 B1                              or c
17 0218 C2 0E 02                       jp nz,marco
18 021B 21 FF 27                       ld hl,27ffh
19 021E 01 00 08                       ld bc,800h
20 0221 36 FF                          cuadros: ld (hl),ffh
21 0223 7E                              ld a,(hl)
22 0224 ED A9                          cpd
23 0226 C2 08 03                       jp nz,eres_b
24 0229 78                              ld a,b
25 022A B1                              or c
26 022B C2 21 02                       jp nz,cuadro
27 022E 21 00 23                       ld hl,2300h
28 0231 36 A5                          ld (hl),A5h
29 0233 06 14                          ld b,14h
30 0235 CD 0E 03                       call delay
31 0238 21 00 23                       ld hl,2300h
32 0239 36 00                          ld (hl),00h
33 023D 16 00                          alla: ld d,00h
34 023F DD 21 01 20                    ld ix,2001h
35 0243 3A 00 40                       ld a,(4000h)
36 0246 5F                              ld e,a
37 0247 DD 46 00                       ld b,(ix+0)
38 024A DD 23                          otros: inc ix
39 024C DD 4E 00                       ld c,(ix+0)
40 024F DD 23                          sigue: inc ix
41 0251 DD 7E 00                       ld a,(ix+0)
42 0254 A3                              and e
43 0255 DD 23                          inc ix
44 0257 DD BE 00                       cp (ix+0)
45 025A CA A9 02                       jp z,flan
46 025D 7A                              ld a,d
47 025E FE 00                          cp 00h
48 0260 CA 86 02                       jp z,cero

```



49	0263	FE 01		cp 01h
50	0265	CA 8B 02		jp z,uno
51	0268	FE 02		cp 02h
52	026A	CA 90 02		jp z,dos
53	026D	FE 03		cp 03h
54	026F	CA 95 02		jp z,tres
55	0272	FE 04		cp 04h
56	0274	CA 9A 02		jp z,cuatro
57	0277	FE 05		cp 05h
58	0279	CA 9F 02		jp z,cinco
59	027C	FE 06		cp 06
60	027E	CA A4 02		jp z,seis
61	0281	CB BE		res 7,(hl)
62	0283	C3 F2 02		jp largo
63	0286	CB 86	ceros:	res 0,(hl)
64	0288	C3 F2 02		jp largo
65	028B	CB 8E	uno:	res 1,(hl)
66	028D	C3 F2 02		jp largo
67	0290	CB 96	dos:	res 2,(hl)
68	0292	C3 F2 02		jp largo
69	0295	CB 9E	tres:	res 3,(hl)
70	0297	C3 F2 02		jp largo
71	029A	CB A6	cuatro:	res 4,(hl)
72	029C	C3 F2 02		jp largo
73	029F	CB AE	cinco:	res 5,(hl)
74	02A1	C3 F2 02		jp largo
75	02A4	CB B6	seis:	res 6,(hl)
76	02A6	C3 F2 02		jp largo
77	02A9	7A	flan:	ld a,d
78	02AA	FE 00		cp 00h
79	02AC	CA D2 02		jp z,ceros
80	02AF	FE 01		cp 01h
81	02B1	CA D7 02		jp z,unoo
82	02B4	FE 02		cp 02h
83	02B6	CA DC 02		jp z,doso
84	02B9	FE 03		cp 03
85	02BB	CA E1 02		jp z,treso
86	02BE	FE 04		cp 04h
87	02C0	CA E6 02		jp z,cuato
88	02C3	FE 05		cp 05
89	02C5	CA EB 02		jp z,cincoo
90	02C8	FE 06		cp 06
91	02CA	CA F0 02		jp z,seiso
92	02CD	CB FE		set 7,(hl)
93	02CF	C3 F2 02		jp largo
94	02D2	CB C6	ceros:	set 0,(hl)
95	02D4	C3 F2 02		jp largo
96	02D7	CB CE	unoo:	set 1,(hl)
97	02D9	C3 F2 02		jp largo
98	02DC	CB 5b	doso:	set 2,(hl)
99	02DE	C3 F2 02		jp largo
100	02E1	CB DE	treso:	set 3,(hl)
101	02E3	C3 F2 02		jp largo
102	02E6	CB E6	cuato:	set 4,(hl)
103	02E8	C3 F2 02		jp largo
104	02EB	CB EE	cincoo:	set 5,(hl)
105	02ED	C3 F2 02		jp largo

106	02F0	CB F6	seiso:	set 6,(hl)
107	02F2	7E	largo:	ld a,(hl)
108	02F3	32 01 40		ld (4001h),a
109	02F6	0D		dec c
110	02F7	C2 21 02		jp nz,cuadro
111	02FA	14		inc d
112	02F8	05		dec b
113	02FC	C2 0E 02		jp nz,marco
114	02FF	C3 3D 02		jp alla
115				;subrutina error esclavo a
116	0302	21 00 23	eres:	ld hl,2300h
117	0305	36 73		ld (hl),73h
118	0307	76		halt
119				;subrutina error esclavo b
120	0308	21 00 23	eresb:	ld hl,2300h
121	0308	36 37		ld (hl),37h
122	030D	76		halt
123				;subrutina delay
124	030E	11 FF FF	delay:	ld de,-1
125	0311	21 EF 43	loop1:	ld hl,1739h
126	0314	19	loop2:	add hl,de
127	0315	36 FD		jr c,loop2
128	0317	10 F8		djnz loop1
129	0319	C9		ret
130	031A			end

\*\*\*\*\* SYMBOLIC REFERENCE TABLE \*\*\*\*\*

alla	023D	cero	0286	ceroo	02D2	cinco	029F
cincoo	02EB	cuadro	0221	cuato	02E6	cuatro	029A
delay	030E	dos	0290	doso	02DC	eresa	0302
eresb	0308	flan	02A9	inicio	0200	largo	02F2
loop1	0311	loop2	0314	marco	020E	otro	024A
seis	02A4	seiso	02F0	sigue	024F	tres	0295
treso	02E1	uno	028B	unoo	02D7		

LINES ASSEMBLED : 130

ASSEMBLY ERRORS : 0

INSTRUCTIVO PARA USUARIOS

1.- Encender sistema y esperar que pase las pruebas de encendido hasta que aparezca el dígito " " en el display #5.

2.- Teclar <1> para acceso a memoria.

3. Introducir datos; para ello hágase lo siguiente:

- a) acceder localidad 242f e introducir número de transductores a usar (máximo 10 = Ah).
- b) introducir a partir de localidad 2430 los datos de los límites inferior, óptimo y superior (en ese orden) por cada transductor, valiéndose para ello de la tabla de conversión (pag. 99).
- c) acceder localidad 6001h para introducir el No. de ecuaciones booleanas que se programarán en procesador esclavo (máximo = 8).
- d) acceder localidad 6002h e indicar No. de mintérminos de ecuación #1.
- e) acceder localidad 6003h e introducir "máscara" de ecuación #1.
- f) introducir en localidad 6004h el primer mintérmino de ecuación #1.
- g) continuar la programación de acuerdo al siguiente formato.



## FUNCIONAMIENTO Y PROGRAMACION

- 1.- Al encender el sistema, éste se " reseteará " enviando el PC (contador de programa) a la localidad 0000h de la memoria ROM, en donde se localizará una instrucción de salto al programa principal.
- 2.- El monitor del sistema realizará una prueba interna de memoria RAM escribiendo dentro de ésta el valor 00h y verificando inmediatamente, si la prueba es satisfactoria se repetirá nuevamente solo que con el valor ffh.

Si alguna de las pruebas anteriores detecta algún error, éste se reportará en los " displays " de la siguiente manera:

Falla prueba con dato 00h reporta en " display 0 " una " f " .

Falla prueba con dato ffh reporta en " display 1 " una " f " .

Ambas fallas detendrán el resto de los procesos.

- 3.- Si la prueba anterior resulta satisfactoria, el sistema enviará -- por " display 2 " un dígito = 8, y posteriormente leerá el "status" de prueba del procesador " esclavo " (el cual ya habrá realizado su prueba interna de memoria de manera idéntica a la anterior). Si la prueba tiene éxito el programa pasará a la fase de ENTRADA DE COMANDOS, mostrando un dígito " 8 " en " display 5 " de otra manera el sistema reportará error con un dígito " f " en el " display 3 " .
- 4.- El programa estará ahora listo para aceptar comandos por medio del teclado (un dígito " C " aparecerá en display 5). Los comandos aceptados pueden ser cualquiera de los siguientes:

<1> = acceso a memoria

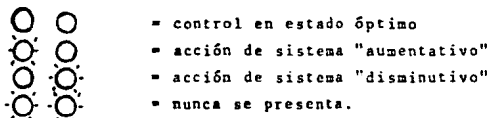
<2> = " START " (inicio de control)

A partir de éste momento el programa " rastreará " el teclado para detectar si se ha oprimido algún valor.

4.- Una vez introducidos los datos necesarios para ambos procesadores continuar tecleando ahora <esc> , lo que retornará el programa al modo " comandos " .

5.- Oprimir tecla 2 para comenzar la ejecución del programa de control. Tómese en consideración que en esta fase el proceso sólo será interrumpido utilizándose la llave de RESET.

El panel de Led's del procesador central status actual del control de la siguiente forma:



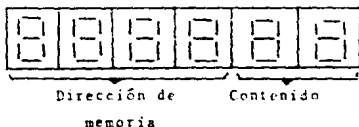
El controlador llevará cada dispositivo a su valor óptimo de función, la manera de observar esta fase será facilitada por los led's indicadores. Cuando éstos estén apagados en su totalidad los dispositivos habrán sido llevados dentro de los márgenes de seguridad programados por el usuario.

Si posteriormente a esta fase, cualquiera de los dispositivos sobrepasara en cualquier dirección los límites de función óptima el controlador enviará una señal de alerta mediante el " buzzer " de alarma sin alterar el control de los demás instrumentos, incluso el infractor.

De la misma forma, el panel de led's del procesador esclavo, mostrará el momento en que alguna de las condiciones establecidas por las ecuaciones " booleanas " es verificada como "verdadera". Nótese que mediante " jumpers " adecuados las salidas del sistema central pueden conectarse como entradas del esclavo.

El programa no avanzará hasta que un comando sea introducido por el usuario.

- 5.- Se debe teclear <1> para cargar la memoria del sistema con los datos requeridos. Es importante notar que el usuario puede acceder tanto la RAM del procesador " Maestro " como la del " Esclavo ", solo tomando en cuenta que el ~~mapa~~ de la memoria se hará desde el procesador " maestro ". De cualquier forma las localidades donde se guardarán los datos ya están definidos y su valor no debe ser alterado.
- 6.- Las direcciones y su contenido aparecerán en el siguiente formato:



El usuario tendrá ahora oportunidad de cambiar el contenido de la dirección o bien, la dirección misma mediante el teclado.

Debe considerarse que una vez accedidos 2 dígitos hexadecimales (dato), si éstos fueran equivocados pueden corregirse inmediatamente, ya que el sistema los reconocerá hasta oprimir " ENTRAR "

- 7.- Una vez accedidos los datos de las localidades de memoria necesarias para la programación del sistema, debe oprimirse <esc>, lo que regresará el programa a la fase de " comandos " desde don de puede invocarse la ejecución del programa principal oprimiendo la tecla <2> .
- 8.- En caso de llamar al programa principal éste comenzará leyendo el valor del voltaje de transductor No. 1, lo compara con el dato introducido por el programador y de no ser igual, enviará señales a sistemas " aumentativos " o " disminutivos " e inmediatamente hará lo mismo con todos y cada uno de los transductores -- (tantos como los conectados al sistema y no más de 10). Cuando las lecturas de todos los transductores caen dentro de los límites requeridos, el programa enciende una bandera inicializando -



el sistema de alarma y manteniendo ciclicamente el valor adecuado mediante las señales a los sistemas mencionados anteriormente. Si la lectura de un transductor cae por debajo o por encima de -- los límites de seguridad, inmediatamente la alarma indicará el -- desperfecto.

- 9.- El control sólo podrá ser interrumpido mediante el uso de la llave de RESET y se recomienda utilizar como fuente de alimentación un dispositivo " NO BREAKE " para evitar fallas por corte de energía.

TABLE 10. EQUIVALENT BINARY CODES

VOLTAJE EN VOLTIOS

Valor Hexad	Valor binario	Equivalencia en volts	Valor Hexad	Valor binario	Equivalencia volts
0	0000	0.0195312 E10-4	30	0011	0000 957.03 E10-3
1	0000	0.0390624 E10-4	31	0011	0001 976.56 E10-3
2	0000	585.936 E10-4	32	0011	0010 996.091 E10-3
3	0000	781.248 E10-4	33	0011	0011 1.1056 V
4	0000	976.56 E10-4	34	0011	0100 1.015
5	0000	117.187 E10-3	35	0011	0101 1.054
6	0000	136.718 E10-3	36	0011	0110 1.074
7	0000	156.249 E10-3	37	0011	0111 1.0937
8	0000	175.7808 E10-3	38	0011	1000 1.111 V
9	0000	195.312 E10-3	39	0011	1001 1.132
A	0000	214.843 E10-3	3A	0011	1010 1.152
B	0000	234.374 E10-3	3B	0011	1011 1.172
C	0000	253.905 E10-3	3C	0011	1100 1.191
D	0000	273.436 E10-3	3D	0011	1101 1.211
E	0000	292.968 E10-3	3E	0011	1110 1.230
F	0000	312.499 E10-3	3F	0011	1111 1.249
10	0001	332.03 E10-3	40	0100	0900 1.269 V
11	0001	351.561 E10-3	41	0100	0001 1.289
12	0001	371.092 E10-3	42	0100	0010 1.308
13	0001	390.624 E10-3	43	0100	0011 1.328
14	0001	410.155 E10-3	44	0100	0100 1.347
15	0001	419.686 E10-3	45	0100	0101 1.367
16	0001	449.217 E10-3	46	0100	0110 1.386
17	0001	468.748 E10-3	47	0100	0111 1.406
18	0001	488.28 E10-3	48	0100	1000 1.425 V
19	0001	507.811 E10-3	49	0100	1001 1.445
1A	0001	527.342 E10-3	4A	0100	1010 1.464
1B	0001	546.873 E10-3	4B	0100	1011 1.484
1C	0001	566.404 E10-3	4C	0100	1100 1.503
1D	0001	585.936 E10-3	4D	0100	1101 1.523
1E	0001	605.467 E10-3	4E	0100	1110 1.542
1F	0001	624.998 E10-3	4F	0100	1111 1.562
20	0010	644.529 E10-3	50	0101	0900 1.582 V
21	0010	664.060 E10-3	51	0101	0001 1.601
22	0010	683.592 E10-3	52	0101	0010 1.621
23	0010	703.123 E10-3	53	0101	0011 1.64
24	0010	722.654 E10-3	54	0101	0100 1.66
25	0010	742.185 E10-3	55	0101	0101 1.68
26	0010	761.716 E10-3	56	0101	0110 1.699
27	0010	781.248 E10-3	57	0101	0111 1.718
28	0010	800.779 E10-3	58	0101	1000 1.738 V
29	0010	820.31 E10-3	59	0101	1001 1.757
2A	0010	839.841 E10-3	5A	0101	1010 1.777
2B	0010	859.372 E10-3	5B	0101	1011 1.796
2C	0010	878.903 E10-3	5C	0101	1100 1.816
2D	0010	898.435 E10-3	5D	0101	1101 1.836
2E	0010	917.966 E10-3	5E	0101	1110 1.855
2F	0010	937.497 E10-3	5F	0101	1111 1.875

60	0110	0000	1.894	V	90	1001	0000	2.832	V
61	0110	0001	1.914		91	1001	0001	2.851	
62	0110	0010	1.933		92	1001	0010	2.871	
63	0110	0011	1.953		93	1001	0011	2.89	
64	0110	0100	1.972		94	1001	0100	2.91	
65	0110	0101	1.992		95	1001	0101	2.93	
66	0110	0110	2.0117		96	1001	0110	2.95	
67	0110	0111	2.031		97	1001	0111	2.968	
68	0110	1000	2.05	V	98	1001	1000	2.958	V
69	0110	1001	2.07		99	1001	1001	3.007	
6A	0110	1010	2.089		9A	1001	1010	3.027	
6B	0110	1011	2.109		9B	1001	1011	3.047	
6C	0110	1100	2.128		9C	1001	1100	3.066	
6D	0110	1101	2.148		9D	1001	1101	3.086	
6E	0110	1110	2.168		9E	1001	1110	3.105	
6F	0110	1111	2.187		9F	1001	1111	3.125	
70	0111	0000	2.207	V	A0	1010	0000	3.144	V
71	0111	0001	2.226		A1	1010	0001	3.164	
72	0111	0010	2.246		A2	1010	0010	3.183	
73	0111	0011	2.265		A3	1010	0011	3.203	
74	0111	0100	2.285		A4	1010	0100	3.222	
75	0111	0101	2.304		A5	1010	0101	3.242	
76	0111	0110	2.324		A6	1010	0110	3.261	
77	0111	0111	2.343		A7	1010	0111	3.281	
78	0111	1000	2.363	V	A8	1010	1000	3.300	V
79	0111	1001	2.383		A9	1010	1001	3.320	
7A	0111	1010	2.402		AA	1010	1010	3.339	
7B	0111	1011	2.422		AB	1010	1011	3.360	
7C	0111	1100	2.441		AC	1010	1100	3.378	
7D	0111	1101	2.461		AD	1010	1101	3.398	
7E	0111	1110	2.48		AE	1010	1110	3.418	
7F	0111	1111	2.499		AF	1010	1111	3.437	
80	1000	0000	2.519	V	E0	1011	0000	3.457	V
81	1000	0001	2.539		E1	1011	0001	3.476	
82	1000	0010	2.558		E2	1011	0010	3.496	
83	1000	0011	2.578		E3	1011	0011	3.515	
84	1000	0100	2.597		E4	1011	0100	3.535	
85	1000	0101	2.617		E5	1011	0101	3.554	
86	1000	0110	2.636		E6	1011	0110	3.574	
87	1000	0111	2.656		E7	1011	0111	3.593	
88	1000	1000	2.675	V	E8	1011	1000	3.613	V
89	1000	1001	2.695		E9	1011	1001	3.632	
8A	1000	1010	2.715		EA	1011	1010	3.652	
8B	1000	1011	2.734		EB	1011	1011	3.671	
8C	1000	1100	2.754		EC	1011	1100	3.691	
8D	1000	1101	2.773		ED	1011	1101	3.711	
8E	1000	1110	2.793		EE	1011	1110	3.730	
8F	1000	1111	2.812		EF	1011	1111	3.749	

C0	1100	0000	3.7694	E0	1110	0000	4.394
C1	1100	0001	3.789	E1	1110	0001	4.414
C2	1100	0010	3.808	E2	1110	0010	4.433
C3	1100	0011	3.826	E3	1110	0011	4.453
C4	1100	0100	3.847	E4	1110	0100	4.472
C5	1100	0101	3.867	E5	1110	0101	4.492
C6	1100	0110	3.886	E6	1110	0110	4.511
C7	1100	0111	3.906	E7	1110	0111	4.531
C8	1100	1000	3.925	E8	1110	1000	4.550
C9	1100	1001	3.945	E9	1110	1001	4.570
CA	1100	1010	3.964	EA	1110	1010	4.587
CB	1100	1011	3.984	EB	1110	1011	4.609
CC	1100	1100	4.003	EC	1110	1100	4.628
CD	1100	1101	4.023	ED	1110	1101	4.648
CE	1100	1110	4.042	EE	1110	1110	4.667
CF	1100	1111	4.062	EF	1110	1111	4.687
D0	1101	0000	4.082	F0	1111	0000	4.707
D1	1101	0001	4.101	F1	1111	0001	4.726
D2	1101	0010	4.121	F2	1111	0010	4.746
D3	1101	0011	4.140	F3	1111	0011	4.765
D4	1101	0100	4.160	F4	1111	0100	4.785
D5	1101	0101	4.179	F5	1111	0101	4.804
D6	1101	0110	4.199	F6	1111	0110	4.824
D7	1101	0111	4.218	F7	1111	0111	4.843
D8	1101	1000	4.238	F8	1111	1000	4.863
D9	1101	1001	4.257	F9	1111	1001	4.882
DA	1101	1010	4.277	FA	1111	1010	4.902
DB	1101	1011	4.296	FB	1111	1011	4.921
DC	1101	1100	4.316	FC	1111	1100	4.941
DD	1101	1101	4.335	FD	1111	1101	4.960
DE	1101	1110	4.355	FE	1111	1110	4.980
DF	1101	1111	4.375	FF	1111	1111	5.000

### EJEMPLO DE APLICACION

#### PLANTEAMIENTO DEL PROBLEMA:

Se tiene un sistema que requiere ser controlado y el medio por el que se pretende hacer esto es mediante el uso de un P.L.C. (Controlador Lógico Programable).

Se requiere transportar cierta sustancia a determinada temperatura mediante una vagoneta basculante desde una estación de llenado (llamado límite izquierdo) a otra estación de vaciado (llamado límite derecho) ver fig. La sustancia se encuentra en un depósito térmico (el cual se encuentra regulada a cierta temperatura). El depósito térmico consta de los siguientes transductores: un transductor enfriador, un transductor calentador, un indicador de nivel del depósito y 2 válvulas (uno para indicar el llenado del depósito y el otro para el vaciado del mismo). Una vez alcanzado el nivel óptimo de temperatura y del depósito, se abrirá la válvula de vaciado (descarga) del depósito, (cuando la vagoneta se encuentra en posición o Estación de Carga) y descargará su contenido en la vagoneta, la cual permanecerá en esta posición hasta que el indicador de nivel de la vagoneta marque lleno. En ese momento se cerrará la válvula y se desplazará la misma (la vagoneta) al otro extremo o límite derecho, al llegar se activará el sensor de llegada y se detendrá la vagoneta (Estación de descarga) y se procederá a continuación a vaciar su contenido (sustancia) con la ayuda de un depósito hidráulico. Una vez descargado el contenido de la vagoneta retornará a la estación de carga o llenado (Límite izquierdo) y se iniciará el ciclo nuevamente. Nota 1

NOTA: En este lugar se podrán hacer modificaciones a la programación del sistema.

El proceso de control contará con los siguientes puntos:

- a) Estación de descarga
- b) Estación de carga
- c) Depósito térmico

a) Estación de descarga:

Límite izquierdo: Este microswitch es presionado cuando el carro se ha desplazado hasta el extremo final (llamado límite de fin).

Indicador de nivel izquierdo: Este es activado cuando el carro ha vaciado su contenido en un depósito.

Dispositivo de vaciado hidráulico: Este es activado cuando el carro ha habilitado el microswitch de llegada izquierda.

Cuando se ha llevado a cabo toda la operación el carro retorna a su lugar de inicio y comienza el ciclo nuevamente.

b) Estación de carga.

Límite derecho: Este microswitch es habilitado al ser presionado por el carro al retornar de la estación de descarga, este lugar es donde se inicia la primera operación.

Válvula de llenado: Esta es habilitada cuando el carro ha retornado y rdys en posición inicial (Límite de inicio) y el cual determina que el carro permanece quieto mientras es llevado a cabo la operación de llenado hasta que el indicador de nivel es activado.

Indicador de nivel: Este indicador determina cuando el carro ha sido llenado hasta su límite. (Nivel óptimo).

En ambos puntos A, B no se han mencionado ciertos sensores, actuadores que completarían todo el sistema y que se mencionan a continuación.

Reset: Push-button este se encontrará en el sistema PLC de control; al presionarlo se iniciará el ciclo de reestablecimiento de el sistema.

Emergencia push-button del teclado de control que se accionará para interrumpir la tarea que se esté llevando a cabo.

Para: push-button del teclado de control que se accionará para interrumpir después de la última secuencia.

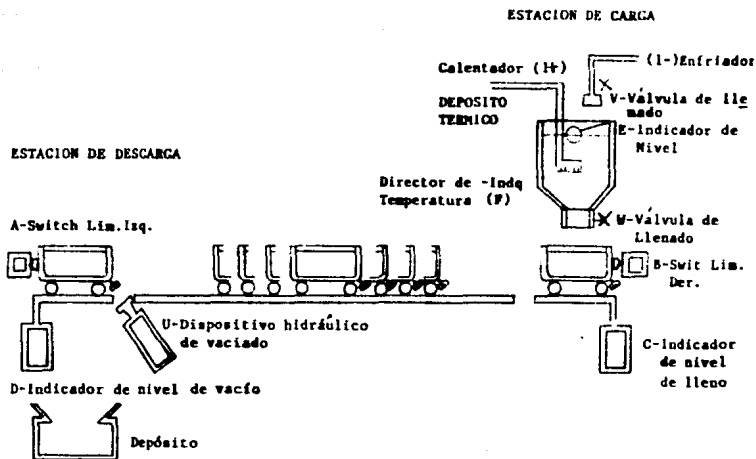
Arranque push-button del teclado de control que activará la alimentación del circuito completo.

- 1) Velocidad regulada del carro.
  - 3) Giro de motor hacia la izquierda
  - 4) Giro de motor hacia la derecha
  - 5) Regulador de flujo controlado por la válvula
  - 6) Regulador del sistema hidráulico para vaciado
- c) Depósito térmico.

Válvula de llenado: Esta es habilitada cuando el depósito no mantiene su nivel.

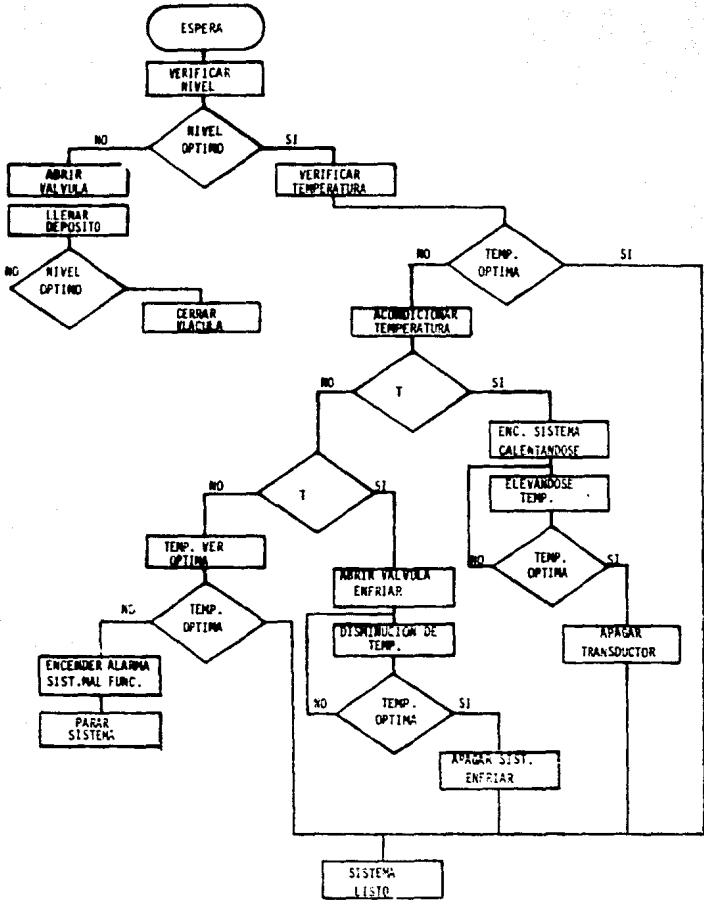
Sensor de temperatura: Indica si el depósito mantiene un nivel óptimo de temperatura, eh indica si debe habilitar el calentador de la sustancia en el depósito o deberá inhabilitarlo.

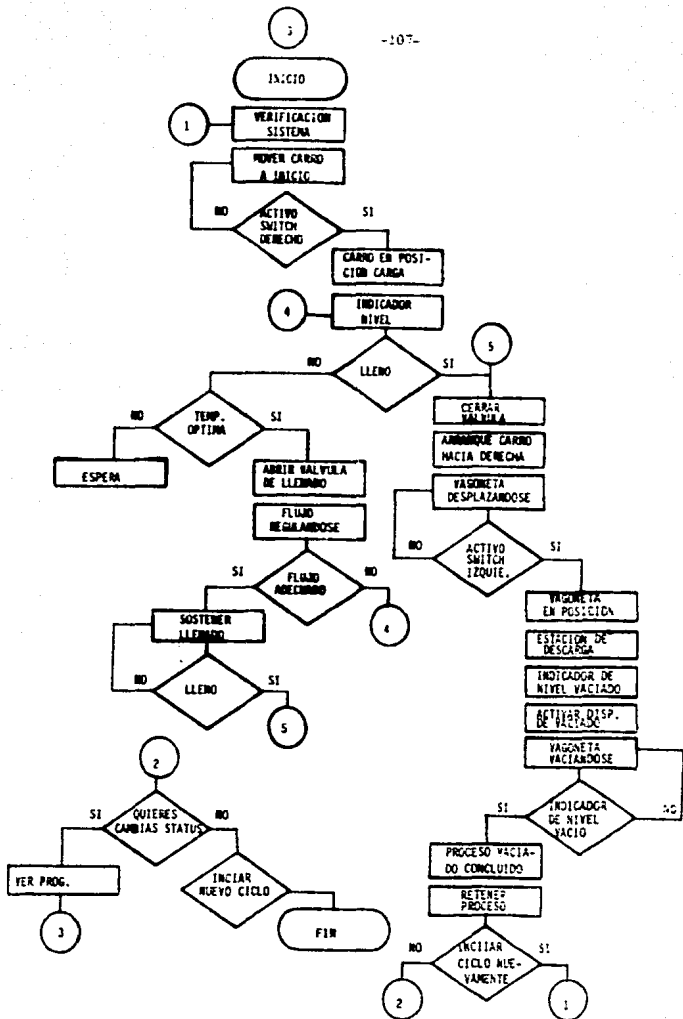
SIMULACION DE PROCESO



- F - Falla de energía
- G - Detector de incendios
- X - Alarma
- Y - Válvula de agua contra incendios







**CONTROLADOR ENTRADA AL SISTEMA PLC.**

- A - Sensor límite izquierdo.
- B - Sensor límite derecho.
- C - Sensor de nivel de llenado de vagoneta
- D - Sensor de nivel de vaciado de vagoneta
- E - Sensor de nivel de llenado del depósito térmico
- F - A (INØ) nivel de temperatura del depósito térmico
- G - Sensor contra incendios
- H - Sensor de falla de energía

**SALIDAS DEL SISTEMA PLC AL SISTEMA EXTERNO**

- S - Actuador (motor giro izquierdo)
- T - Actuador (motor giro derecho)
- U - Actuador para dispositivo hidráulico de vaciado de vagoneta
- V - Actuador para válvula de llenado del depósito térmico
- W - Actuador para válvula de vaciado del depósito térmico
- X - Actuador para alarma de incendios
- Y - Transductor para activar válvulas de agua para incendios
- Z - ACTUADOR DE "P.O.-BRASS"

**REGULADOR**

- T1 - (ADDC0816) - Sensor de temperatura
- I(H - (PAO) - Encender sistema de calentamiento
- I(-) - PA1) - Apagar sistema de calentamiento (enfriamiento encenderlo).

**COMPUERTA NAND**

- A - F (8255 controlador) - Sistema térmico estable.

**ECUACIONES DE CONTROL**

- E1 =  $S = \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C}$
- E2 =  $T = A \overline{B} \overline{C} + A B \overline{C}$
- E3 =  $U = A D$
- E4 =  $V = E C$
- E5 =  $W = B C F$
- E6 =  $X = G$
- E7 =  $Y = G$
- E8 =  $Z = H$

**MINITERMINOS Y SUS MASCARAS**

EQUACION	NUMERO	1ER. MINITERMINO	MASCARA	2o. MINITERMINO	MASCARA	3ER. MINITERMINO	MASCARA
E1	S	$\overline{A} \overline{B} C D E F G H$	11100000	$\overline{A} B C D E F G H$	11100000	-----	-----
E2	T	$\overline{A} B C D E F G H$	11010000	$\overline{A} \overline{B} C D E F G H$	11010000	-----	-----
E3	U	$A B C D E F G H$	10010100	-----	-----	-----	-----
E4	V	$A B C D E F G H$	00101000	-----	-----	-----	-----
E5	W	$A B C D E F G H$	01100100	-----	-----	-----	-----
E6	X	$A B C D E F G H$	00000100	-----	-----	-----	-----
E7	Y	$A B C D E F G H$	01000100	-----	-----	-----	-----
E8	Z	$A B C D E F G H$	00000001	-----	-----	-----	-----

## CONCLUSIONES:

La necesidad de acrecentar niveles de producción con menores costos y menos esfuerzos ha llevado al hombre a la creación de todo tipo de herramientas, primero mecánicas, luego eléctricas, electrónicas y conjuntos de ellas con la única finalidad de conseguir objetivos de optimización principalmente económica.

Debido a todo esto se han creado dispositivos que sin desplazar el trabajo humano permiten acelerar actividades y alejar tareas sucias y peligrosas que antes sólo podían ser ejecutadas directamente por el hombre, un ejemplo de estas máquinas son los microcontroladores industriales, los cuales mediante el uso de microprocesadores y lógica integrada son capaces de actuar como centinelas incansables de uno o varios procesos (de cualquier tipo), para los cuales hayan sido programados o diseñados. La finalidad de esta tesis tuvo por objetivo el diseñar y construir uno de estos dispositivos tratando de conseguir alguna ventaja sobre algunos de los sistemas conocidos.

Luego de investigar diversos sistemas microcontroladores P.L.C. (Programmable Logic Controller), se descubrió que por lo general éstos se presentan en el mercado en dos facetas: como Regulador de uno o varios procesos (temperatura, presión, etc.) o como controlador de estados de un evento (función booleana de diversas variables independientes). El sistema diseñado ofrece ambos beneficios, lo que hace evidente su ventaja. Además al utilizar un convertidor analógico/digital multiplexado permite manejar "simultáneamente" los valores de hasta 10 variables de entrada (10 sensores ó transductores de las variables a monitorear).

Una vez fijados los requisitos se pensó en el mejor manera de construir el aparato de forma que tuviera un bajo costo y sobre todo un nivel de respuesta adecuado considerando que su uso no es de instrumentación. Para lograr tal objetivo se utilizó una arquitectura multiprocesador, en la cual cada uno de los microprocesadores manejados (dos en nuestro caso) tienen una tarea específica y ejecutando durante la etapa de control y regulación

cada uno de los mismos trabaja independientemente del otro y sólo cuando el usuario lo requiere uno de ellos actuará como MAESTRO teniendo acceso a la lectura y escritura de las localidades de memoria del otro (ESCLAVO). Este tipo, de arquitectura permite además utilizar un tipo de comunicación de "bus común" para ambos sistemas separado por buffers tri-state que pueden ser activados para dar acceso a la transferencia de datos en uno u otro sentido. Aunado a esto un panel frontal de indicadores luminosos facilita al usuario la visualización del status actual de todas las variables del proceso controlado.

Otra ventaja importante en relación a los comentarios anteriores es que nuestro microcontrolador puede operarse sólo como regulador ó sólo como controlados (ó bien ambos), pudiendo interconectar las salidas (respuestas) de uno de ellos, como entradas (lecturas) del otro. La parte reguladora mantendrá la variable procesada, (temperatura, flujo, presión, etc.) alrededor de un nivel de valor óptimo previamente elegido por el usuario y programado en la memoria del sistema en localidades de RAM fijas (ver manual); una vez que el P.L.C. se encuentra en su etapa de regulación y la variable bajo control no pueda llevarse a su valor establecido dentro de los límites óptimos se encenderá una señal de alarma a través de un "buzzer" y por medio del panel luminoso el usuario identificará fácilmente de cual de los 10 canales previene el error.

La parte Controladora permitirá al usuario programar hasta ocho funciones booleanas de ocho variables cada una en donde cada una de ellas puede representar una condición de "verdadero" para el proceso controlado y en donde la variable leída puede ser una salida del sistema regulador.

Los conceptos "Procesar" y "Programar" no serían significativos en un sistema microcontrolador P.L.C. sin un procedimiento adecuado de adquisición de datos, el cual se trató de forma independiente al diseño del aparato, por considerarlo que es de vital importancia como actuador con el medio ambiente. La conclusión es que el sistema es capaz de manejar cualquier transmittir, sensor ó actuador siempre que estos cumplan con las condiciones y rangos eléctricos (ver especificaciones) para un adecuado acoplamiento.

CARACTERISTICAS

Alimentación: 5 V.D.C.  
 Disipación de potencial: Nota 1  
**ENTRADAS**  
 del proceso Analógicas: 10 rango (0v-5v) -- 255 combinaciones  
 Digitales: 8 rango (0log' - 1 log)

Nivel de la señal:

**SALIDAS**  
 del proceso S.Controlador: 8  
 S.Regulador : 20 para S.Regular y 10 para S.Controlador.  
 Forma de acoplamiento : libre potencial  
 Numero de funciones MP2 : 8 funciones con  $2^{8-1}$  mintermino por ecuación

RANGO MPI limite inferior A : 0v A valor estable  
 limite superior B : 5v B valor estable  
 valor estable C : A C B

**PROGRAMACION**

Tipo de memoria: Ram, 2000 de datos programados por el usuario.  
 Vigilancia para marcha del proceso existente

**CONDICIONES AMBIENTALES**

Temperatura ambiente admisible de servicio.

**CONEXIONADO**

S.Controlador conector DB9 para salida  
 conector DB9 para entrada  
 S.Regulador individual 20, conjunto 2 por cada una individual para enlace con S.Cent.

Nota 1: El potencial total del circuito se calculó según los valores típicos mostrados en los manuales del fabricante, abjo las condiciones de operación que estos por ellos, pero lo que puede existir variaciones con respect a los de real del circuito contruido.

**BIBLIOGRAFIA**

- **Z-80 ASSEMBLY LANGUAGE PROGRAMMING.**  
**AUTOR: LANCE A. LEVENTHAL**  
**EDITORIAL: MACGRAWHILL, 1985 BERKELEY CALIFORNIA.**
  
- **Z-80 ZILOG PROGRAMMING MANUAL**
  
- **NATIONAL SEMICONDUCTOR CORPORATION**  
**ALS/AS LOGIC DATA BOOK**  
**LINEAR DATA BOOK**