

11
2 ejempl



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

Escuela Nacional de Estudios Profesionales
"ARAGON"

DESARROLLO DE UN SISTEMA PARA MEDIR EL PERFIL DE PELICULAS GRUESAS EN CIRCUITOS HIBRIDOS UTILIZANDO UNA MICROCOMPUTADORA

T E S I S
QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A
FILIBERTO GUZMAN MORALES

FALLA DE ORIGEN



San Juan de Aragón, Edo. de México
1989



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

CONTENIDO

	pag.
PROLOGO	1
INTRODUCCION	2
I DISEÑO DE UN OSCILADOR EXCITADOR DE UN	
SENSOR DEL TIPO TDL.	6
I.1 INTRODUCCION.	7
I.2 TRANSDUCTORES.	8
I.2.a TRANSDUCTOR DE RESISTENCIA VARIABLE.	8
I.2.b TRANSDUCTORES INDUCTIVOS DE DESPLAZAMIENTO.	9
I.2.c TRANSDUCTOR CAPACITIVO.	10
I.2.d TRANSDUCTOR FOTOELECTRICO.	11
I.2.e OTROS.	12
I.3 CUADRO SINOPTICO DE LOS TRANSDUCTORES.	13
I.4 TRANSDUCTOR DEL TIPO TDL.	15
I.5 CONSTRUCCION DEL TDL.	17
II DISEÑO DE UN DETECTOR SINCRONO PARA EVALUAR LA	
MAGNITUD Y SENTIDO DEL DESPLAZAMIENTO.	20
II.1 INTRODUCCION.	21
II.2 CIRCUITO DE DETECCION.	21
II.2.a GENERADOR DE ONDA SENOIDAL.	22
II.2.a.1 RESULTADO PRACTICO.	24
II.2.b AMPLIFICADOR PARA EL TDL.	27
II.2.b.1 AMPLIFICADOR ANTES DEL TDL.	27
II.2.b.1.1 RESULTADO PRACTICO.	28
II.2.b.2 AMPLIFICADOR DESPUES DEL TDL.	29
II.2.b.2.1 RESULTADO PRACTICO.	30
II.2.c RED DE COMPENSACION EN FASE.	31
II.2.d MULTIPLICADOR.	34
II.2.e AMPLIFICADOR.	38

III ADAPTACION DE UN SISTEMA PARA LA ADQUISICION DE DATOS, UTILIZANDO UNA PC.	40
III.1 INTRODUCCION.	41
III.2 NORMA IEEE-488.	41
III.2.a DESCRIPCION GENERAL.	41
III.2.a.1 BUS DE DATOS.	43
III.2.a.2 BUS PARA EL CONTROL DE TRANSFERENCIA	43
III.2.a.3 BUS PARA EL CONTROL GENERAL DE INTERCONEXIONES.	45
III.2.a.4 TRANSFERENCIA DE DATOS (HANDSHAKED).	46
III.2.b CARACTERISTICAS ELECTRICAS.	49
III.2.c CARACTERISTICAS MECANICAS.	54
III.3 CIRCUITO DE ADQUISICION DE DATOS.	57
III.3.a CONVERTIDOR ANALOGICO-DIGITAL.	58
III.3.a.1 MULTIPLEXOR.	62
III.3.a.2 DISEÑO DE LA SEÑAL DE RELOJ.	63
III.3.a.3 METODO DE CONVERSION.	64
III.3.a.4 DIAGRAMA DE TIEMPO.	67
III.3.b SEÑAL DE SINCRONIA.	68
IV DESARROLLO DEL SOFTWARE DE CAPTURA DE DATOS, PROCESAMIENTO Y DESPLIEGUE DE INFORMACION.	75
IV.1 INTRODUCCION.	76
IV.2 INPUT/OUTPUT	76
IV.2.a COMPATIBILIDAD MECANICA.	77
IV.2.b COMPATIBILIDAD ELECTRICA.	78
IV.2.c COMPATIBILIDAD DE ENVIO DE DATOS.	79
IV.2.d COMPATIBILIDAD DE TIEMPO.	79
IV.3 FORMATOS DE ENTRADA Y SALIDA (I/O).	81
IV.3.a FORMATO DE SALIDA (OUTPUT).	82
IV.3.b FORMATO DE ENTRADA (ENTER).	85
IV.4 INSTRUCCION TRANSFER.	86
IV.5 DIAGRAMA DE FLUJO.	87
CONCLUSIONES	91
APENDICE A	92
APENDICE B	94
GLOSARIO	116
BIBLIOGRAFIA	118

PROLOGO

La necesidad que tiene el laboratorio en el Departamento de Comunicaciones, del Instituto de Investigaciones Eléctricas, por contar con un dispositivo que pueda medir los perfiles de la Película Gruesa en los proyectos relacionados con los Circuitos Híbridos. Hizo posible la realización de este trabajo de investigación, cuyo tema es: "Desarrollo de un Sistema para medir el Perfil de Películas Gruesas en Circuitos Híbridos utilizando una Microcomputadora".

En este trabajo se mostrará el diseño que se hizo por medio de un transductor, del tipo Transformador de Desplazamiento Lineal (TDL). A su vez será adaptado a una microcomputadora, en la que se manejarán los datos enviados por el transductor. Después estos mismos serán desplegados en pantalla y/o papel.

Mediante este Sistema es posible conocer el perfil, no sólo de Películas Gruesas en los Circuitos Híbridos, sino también en cualquier superficie del orden microscópica. Donde exista este tipo de mediciones se tendrá la ayuda de este Sensor de Microdesplazamiento.

INTRODUCCION

Recientemente se ha estado utilizando una nueva forma de tarjetas impresas, las cuales muestran una modalidad, la Tecnología de Película Gruesa.

Estas tarjetas son circuitos microelectrónicos híbridos del tipo película gruesa. Se trata de un circuito relativamente complejo que consta de sustrato, componentes de película gruesa, componentes de integrados, interconexiones de alambre corrido y paquetes o cápsulas. En la Fig. 1 se muestra una tarjeta de un circuito microelectrónico híbrido.

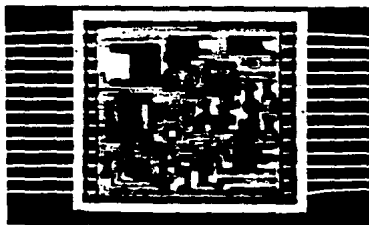


Fig. 1 Circuito microelectrónico híbrido.

El sustrato es la estructura que sostiene al circuito y actúa como depositario de todos los componentes de la película gruesa, integrados, elementos de paquete e interconexiones de alambre corrido, también proporciona una base de apoyo mecánico para los componentes del integrado. Debe ser muy buen aislante

eléctrico para aislar los componentes del circuito y contar con muy buena conductividad térmica para la eliminación del calor.

El material más común para trabajos de película gruesa es el de 96% de óxido de aluminio (Al_2O_3), o alumina. Existen otros materiales que se utilizan muy poco estos son: 99% de óxido de aluminio y óxido de berilio (BeO). La alumina al 99% posee una superficie más lisa por lo que se utiliza como película delgada, a cambio de la alumina al 96% que se utiliza para película gruesa.

Los componentes de película gruesa son patrones conductivos, resistivos y de película dieléctrica sobre la superficie del sustrato. Estos materiales se encuentran en la forma de tinta compuesta de diversos polvos de metal, óxido, cerámica y vidrio suspendidos en un vehículo orgánico. Estas tintas se depositan sobre el sustrato mediante un procedimiento de impresión con pantalla y ya secado se somete a un horneado que permite eliminar polvos y el vehículo, quedando una película dura y permanentemente en contacto íntimo con el sustrato.

Por componentes en paquete entendemos que son elementos del circuito activos y pasivos no encapsulados que se diseñan para utilizarse en los circuitos microelectrónicos híbridos. En esta categoría se incluyen capacitores, resistores, transistores, diodos y circuitos integrados.

Los alambres delgados son de aluminio u oro y se denominan alambres corridos, sirven para la interconexión entre los componentes unidos cara arriba y los conductores de sustrato, o

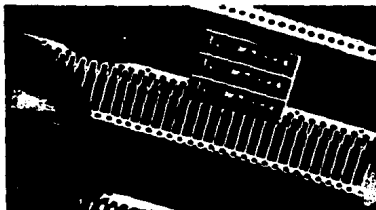


Fig. 2 Circuito Híbrido de película gruesa
unido a un marco conductor

entre los conductores de sustrato y los cables de la cápsula o la base. Los alambres oscilan entre 0.0018 y 0.038 cm. de diámetro, utilizándose con mayor frecuencia alambres de 1 milésima de pulgada (0.0025 cm.).

CAPITULO I

I.1 INTRODUCCION.

La determinación de las longitudes en el campo de la ciencia y la tecnología constituye una gran actividad. Y se estima que el 80% de todas las mediciones en la industria son de desplazamiento.

Con frecuencia son utilizados los transductores de desplazamiento. Un transductor es un dispositivo que opera bajo el principio de transformar una entrada que representa una variable física en alguna otra variable, también física.

La corriente científica ha dado su aprobación para algunos transductores que transforman a señales eléctricas. Estos transductores son de femtómetros a perseg, los cuales no son universalmente aceptados dentro de este espectro de región. Se tiene otro grupo que comprende transductores de microdesplazamiento (arriba de micra de metro), de industria (una micra de metro a un decámetro), de superficie (un decámetro hasta 10 kilómetros) y de mediciones celestiales que son del orden de cientos de kilómetros hacia arriba.

Nuestra atención será para los desplazamientos que se encuentran dentro del orden de los milímetros hasta la micras, lo que aunado con el avance de la electrónica es posible realizar estas mediciones con circuitos e implementaciones de esta área.

También existen instrumentos capaces de realizar este tipo de mediciones, los cuales por lo general son de instrumentación en la Geofísica, como un gravímetro, un medidor de inclinación, un medidor de movimientos telúricos, etc.

I.2 TRANSDUCTORES.

El transductor requerido para este trabajo es del tipo de desplazamiento a señal eléctrica. Para esto existen varios métodos en la realización de transductores, los más importantes son los que a continuación se enumeran.

- a) Resistencia Variable.
- b) Inductivo.
- c) Capacitivo.
- d) Fotoeléctrico.

I.2.a. Transductor de Resistencia Variable.

El transductor de resistencia variable es un dispositivo muy común, el cual se puede construir en forma de un contacto que se mueve sobre una bobina de alambre, ya sea con un movimiento lineal o angular, o un contacto que se mueve angularmente sobre un conductor sólido, como una pieza de grafito. A este dispositivo también se le denomina potenciómetro o reóstato y se puede conseguir en diferentes tamaños, diseños y rangos. Su costo varía de acuerdo a la aplicación, desde un control de volumen de un simple radio hasta un trabajo de precisión en un laboratorio.

I.2.b. Transductores Inductivos de desplazamiento.

Existe una gran variedad de esquemas para la medición de desplazamiento usando métodos basados en la variación de la inductancia de bobinas, así como también en la inductancia mutua de dos bobinas. Algunos de estos ejemplos se encuentran en la figura 1.1. Los esquemas (a) - (c) son basados en el cambio de la inductancia de una bobina a través del cambio de la geometría o a través del cambio en las propiedades de la parte magnética. Los métodos que utilizan dos o más bobinas son las de los dibujos (d) y (e). Donde hacen uso del cambio del acoplamiento mutuo, resultado del desplazamiento del núcleo, que está magnéticamente acoplado.

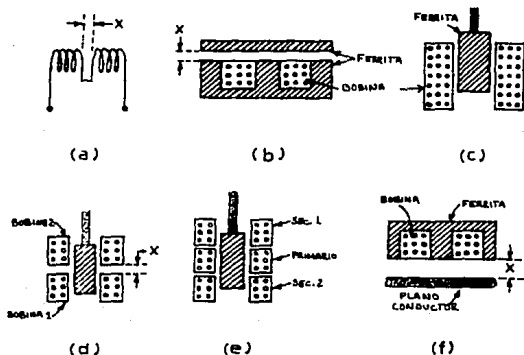


Fig. 1.1 Transductores inductivos de desplazamiento.

I.2.c. Transductor Capacitivo.

Considere el dibujo del transductor capacitivo de la figura 1.2, en la que se muestra su forma más común de estos transductores. La capacitancia esta dada por:

$$C = \frac{\epsilon A}{d} \quad \dots \text{ I.1}$$

y en picofaradios por:

$$C = 0.225 k \frac{A}{d} \quad \dots \text{ I.2}$$

donde: d = distancia entre las placas, in.

A = área común de coincidencia, in².

k = constante dieléctrica del material entre las placas.

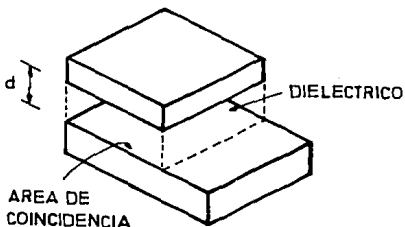


Fig. 1.2

Con esta disposición podemos obtener un cambio de la capacitancia variando la distancia (d) entre las placas, el área de coincidencia de las mismas o modificando la constante dieléctrica que se encuentra entre las placas.

El valor absoluto de la impedancia de un capacitor esta dada por:

$$Z = \frac{1}{2 \pi f c} \quad \dots \quad I.3$$

donde: Z = impedancia, ohms.
 f = frecuencia, herz.
 C = capacitancia, farads.

La impedancia de salida de un transductor capacitivo es alta, por lo que se debe tener cuidado para diseñarlo, así como los circuitos que se le conecten.

El transductor capacitivo se puede utilizar para mediciones de desplazamiento, pero por lo general se utiliza para la medición de niveles de líquidos.

I.2.d. Transductor fotoeléctrico.

El más utilizado es un detector sensitivo de posición (PSD). El cual tiene una salida eléctrica que esta relacionada con la posición transversal de un haz de radiación que entra a al sistema de detención y en la cual atravieza una sección de área y el haz es dividido proporcionalmente.

El haz que se utiliza con mayor frecuencia es el de la luz blanca, pero, también se tiene noticia del uso de partículas de alta energía.

Se tienen informes sobre fotosensores utilizados, siendo uno de los más simples el mostrado en la figura 1.3.

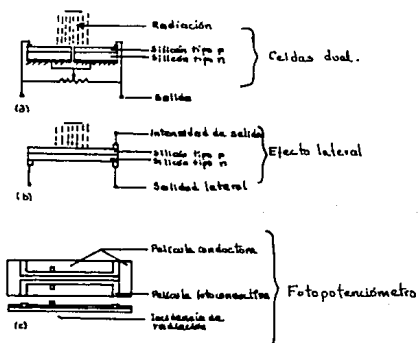


Fig. 1.3

1.2.e. Otros.

Existen otros tipos de transductores de microdesplazamiento como son:

1. Transductor Interfómetro.
2. Transductor por Ionización

COMPARACION SIMBOLICO DE LOS TRANSDUCTORES.

TABLA 1. CARACTERISTICAS DE LOS TRANSDUCTORES - PARTE 1B.

PRINCIPIO DE OPERACION	TRANSDUCTOR RESISTIVO	TRANSDUCTOR T.D.L.
TIPO DE ENTRADA	DESPLAZAMIENTO LINEAL.	DESPLAZAMIENTO LINEAL.
RANGO O NIVEL DE ENTRADA	NIVEL MÍNIMO TAN BAJO COMO 0.1% DE LA RESISTENCIA TOTAL.	RANGO TOTAL DE *** 3 IN.
CARACTERISTICAS DE LA IMPEDANCIA DE ENTRADA	VARIA GRANDEMENTE, DEPENDE DE LAS CARACTERÍSTICAS DE LA RESISTENCIA TOTAL Y SU TAMAÑO FÍSICO.	DEPENDEN DEL TAMAÑO, GENERALMENTE SE OBTIENEN EFECTOS DE 0.1 A 0.5 GRAMOS.
SENSIBILIDAD DE ENTRADA	LOS POTENCIOMETROS COMERCIALES PUEDEN TENER UNA SENSIBILIDAD MENOR QUE 0.05 IN. O 2 GRADOS EN LA MEDICIÓN ANGULAR.	0.5% DEL RANGO TOTAL DE LA ENTRADA.
CARACTERISTICAS DE ERROR Y RUIDO	LAS DESVIACIONES POR LA NO LINEALIDAD SON DEL ORDEN DE 0.5% DE LA RESISTENCIA TOTAL GENERALMENTE EL RUIDO ES DESPRECIABLE, DEL ORDEN DE 100 EN EL CONTACTO, EL RUIDO SE INCREMENTA CON EL GOLPE DEL CURSOR.	LAS DESVIACIONES DE LA LINEALIDAD SON DE APROXIMADAMENTE EL 0.5% GENERALMENTE TIENE UNA EXACTITUD DE *** 1%.
RESPUESTA A LA FRECUENCIA	GENERALMENTE NO EN ADECUADA ARRIBA DE 100 HZ EN LOS POTENCIOMETROS COMERCIALES.	LA FRECUENCIA DEL VOLTAJE APLICADO DEBE SER MENOR QUE LA FRECUENCIA DE RESPUESTA DE LA FRECUENCIA DE RESISTENCIA TAMBIÉN LIMITACIONES MECANICAS.
EFFECTOS DE LA TEMPERATURA	DE 0.002 A 0.1% SOBRE GRADOS CENTIGRADOS DE RUIDO SU CAMBIO EN LA PRESENTACION TAMBIÉN PRESENTA EFECTOS TERMOELECTRICOS QUE DEPENDEN DEL TIPO DE CONTACTO EMPLEADO.	LAS PEQUEÑAS INFLUENCIAS DE LA TEMPERATURA SE PUEDEN REDUCIR UTILIZANDO UN CIRCUITO CON TERMISTOR.
TIPO DE SALIDA	VOLTAJE O CORRIENTE DEPENDIENDO DEL CIRCUITO AL QUE SE CONECTA.	VOLTAJE PROPORCIONAL AL DESPLAZAMIENTO DE ENTRADA.
RANGO O NIVEL DE SALIDA	AMPLIO.	APROXIMADAMENTE DE 0.1 A 10 VOLTS DE VOLTAJE DEPENDIENDO DE LA FRECUENCIA DE ENTREGA, EFECTO MENOR SEA LA FRECUENCIA SE OBTIENE MENOR SALIDA.
CARACTERISTICAS DE LA IMPEDANCIA DE SALIDA	VARIABLE.	PRINCIPALMENTE RESISTIVA, EN BAJA Y MEDIANA IMPEDANCIA; PUEDE SER TAN BAJA COMO 50Ω, DEPENDIENDO DEL TAMAÑO.
APLICACION	SE USA EN MEDICIONES DE DESPLAZAMIENTO.	SE USA EN MEDICIONES DE DESPLAZAMIENTO.
OBSERVACIONES	SENCILLO, BARATO, FÁCIL DE USAR, TIENE UNA VARIEDAD DE TIPOS COMERCIALES.	SENCILLO, RESISTENTE, BARATO, ALTO NIVEL DE RESPUESTA, REQUIERE POCO RUIDO Y AGUENTADO SENCILLO, SE DEBE TENER CUIDADO CON LOS CAMBIOS MAGNETICOS PARASITOS.

TABLA II. CARACTERISTICAS DE LOS TRANSDUCTORES (PARTE II).

PRINCIPIO DE OPERACION	TRANSDUCTOR CAPACITIVO	TRANSDUCTOR POR IONIZACION
TIPO DE ENTRADA	DESPLAZAMIENTO O CAMBIO DE LA CONSTANTE DIELECTRICA ENTRE LAS PLACAS. TAMBIEN CAMBIO DEL AREA DE LAS PLACAS.	DESPLAZAMIENTO FRECUENCIA DE EXCITACION: 0.1 A 10 MHZ.
RANGO O NIVEL DE ENTRADA	MUY AMPLIO, DESDE 10E-8 TROS, HASTA ALCUNOS METROS.	DESDE MENOS DE 1 MM. HASTA ALCUNAS PULGADAS.
CARACTERISTICAS DE LA IMPEDANCIA DE ENTRADA	LOS REQUERIMIENTOS DE FUERZA DE ENTRADA SON MUY PEQUEÑOS, DE ALCUNAS DINAS.	SE REQUIERE DE UNA FUERZA PEQUEÑA.
SENSIBILIDAD DE ENTRADA	SUMAMENTE VARIABLE. SE PUEDEN OBTENER SENSIBILIDADES DEL ORDEN DE 10 ¹⁰ , 0001 IN EN LAS MEDICIONES DE DESPLAZAMIENTO CON SEPARACION DE AIRE.	DE 1 A 10 VOLTS/cm.
CARACTERISTICAS DE ERROR Y RUIDO	LOS ERRORES PUEDEN RESULTAR POR FALTA DE CUIDADO EN LA CONSTRUCCION MECANICA, VARIACIONES DE HUMEDAD, RUIDO Y CAPACITANCIAS PARASITARIAS DE LOS CABLES CONECTADOS.	PUEDA OBTENER EXACTITUDES HASTA DEL ORDEN DE PULGADAS.
RESPUESTA A LA FRECUENCIA	DEPENDEN GRANDEMENTE DE LA CONSTRUCCION MECANICA, PERO PUEDE ALCANZAR 50,000 HZ.	DE 0 A 3,000 HZ.
EFFECTOS DE LA TEMPERATURA	ESTOS EFFECTOS NO SON SIGNIFICATIVOS SI SE TOMAN EN CUENTA EN EL DISEÑO.	PEQUEÑOS.
TIPO DE SALIDA	CAPACITIVA.	VOLTAJE.
RANGO O NIVEL DE SALIDA	ENTRE 10E-3 Y 10E+8 DI DE CAMBIO EN LA CAPACITANCIA SOBRE EL RANGO DE SALIDA.	DEPENDEN DEL CIRCUITO DE EXCITACION; VEASE SENSIBILIDAD DE ENTRADA.
CARACTERISTICAS DE LA IMPEDANCIA DE SALIDA	GENERALMENTE DE 10E+8 A 10E+7 OHMS.	ALTA, DEL ORDEN DE 1 MEGAOHMS.
APLICACION	DESPLAZAMIENTO, AREA, NIVEL DE LIQUIDOS, MEDICIONES DE NIVEL, SONO, NO, ETC. UTILIZA PARTICULAS MENOR QUE EXISTAN FUERZAS PEQUEÑAS QUE OPEREN AL TRANSDUCTOR.	SE PUEDE UTILIZAR DONDE SE NECESITEN MEDICIONES EXACTAS DE DESPLAZAMIENTO.
OBSERVACIONES	DEBIDO A SU ALTA IMPEDANCIA SE PUEDEN NECESITAR DE UNA CONSTRUCCION CUIDADOSA DE LOS CIRCUITOS DE SALIDA.	RELATIVAMENTE INSENSIBLE A LA FRECUENCIA DE LOS CIRCUITOS DE EXCITACION.

I.4. TRANSDUCTOR DEL TIPO TDL.

Con las ventajas que ofrece el TDL de acuerdo con las características mostradas en las tablas del inciso anterior, y la rapidez con la que es posible construir en el laboratorio de Comunicaciones, se decidió construir el transductor del tipo: Transformador de Desplazamiento Lineal (TDL).

El tipo de transductor TDL tiene la siguiente gráfica que muestra el rango de linealidad. Se podrá observar en la figura 1.4 una pequeña región en la parte central llamada zona de linealidad.

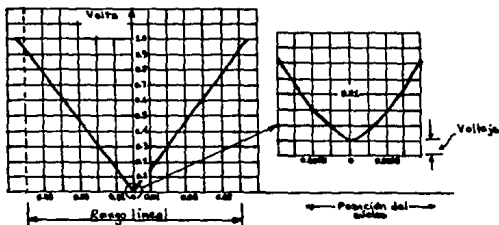


Fig. 1.4 Gráfica en "V" para el TDL mostrando una ligera no linealidad en la región central.

El TDL se construye con un primario y dos secundarios, donde el centro es de un material ferromagnético, este centro es el que da nombre al transductor, porque tiene un desplazamiento lineal a través de las bobinas primaria y secundaria, figura 1.5.a y b.

El transductor requiere una señal de excitación alterna, por lo que su salida será también alterna.

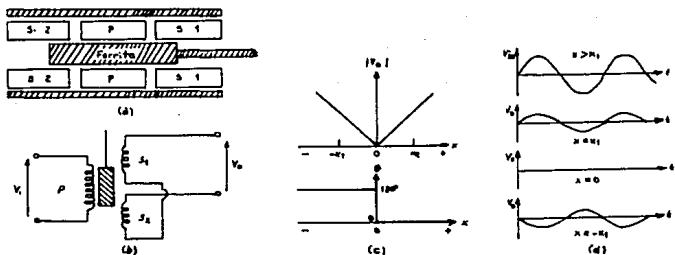


Fig. 1.5 Principio del TDL.

Cuando el núcleo de ferrita (material ferromagnético), se encuentra en el centro del arreglo de las tres bobinas, se tiene salida cero, al desplazarse hacia alguna de las dos bobinas secundarias se produce una salida proporcional al desplazamiento, con una defasamiento de 0° o 180° , dependiendo de la bobina en la cual se refuerza con el núcleo, figura 1.5.c y d.

El voltaje de alimentación junto con su frecuencia nos dará la sensibilidad del transductor, debido a que a frecuencias bajas el conductor del transformador tendrá muy poca resistencia, lo que ocasionará un corto circuito, y a frecuencias altas tendremos una gran caída de la señal de salida, debido a que la corriente tiende a viajar en la superficie del conductor, teniendo el efecto skin o piel.

NOTA: Entre mayor sea la frecuencia de la señal de excitación se tendrá mayor salida de señal, pero es recomendable las frecuencias medias de la señal.

I.5 CONSTRUCCION DEL TDL.

La construcción del TDL se realizó en la forma mostrada en el inciso anterior. El alambre para los devanados es de un grosor muy pequeño debido a que el sensor debe ser muy práctico y versátil en su tamaño. Este conductor es el utilizado para los relevadores, con material aislante, figura 1.6.

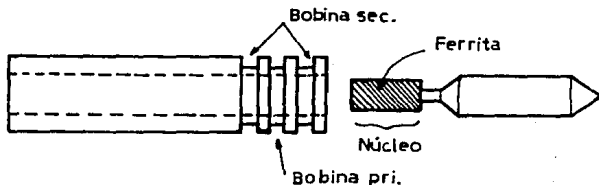


Fig. 1.6

El TDL ya embobinado se muestra a continuación:

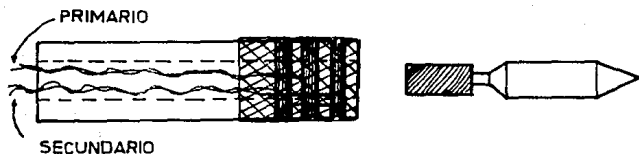


Fig. 1.7

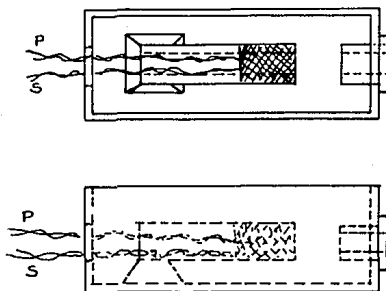


Fig. 1.0

TABLA 1.2 CARACTERISTICAS DEL TDL.

BOBINADO PRIMARIO

F (KHZ)	L (mH)	Q	D	R (Ω)	X _L (Ω)	Z (Ω)	W (%)
70	0.2410	3.4	0.2074	31.2	106.2	110.7	78.05
80	0.2410	3.0	0.2574	31.3	121.4	125.4	75.0
90	0.2410	4.4	0.2201	31.3	130.0	140.1	77.13
100	0.2410	4.8	0.2060	31.4	151.8	155.0	78.30
110	0.2410	5.3	0.1870	31.4	167.0	169.0	79.38
115	0.2410	5.0	0.1724	31.1	176.1	178.0	79.02
120	0.2410	5.8	0.1782	31.4	182.2	184.0	80.24

BOBINADO SECUNDARIO

F (KHZ)	L (mH)	Q	D	R (Ω)	X _L (Ω)	Z (Ω)	W (%)
70	0.4040	4.1	0.3227	66	204.3	214.7	72.13
80	0.4040	4.5	0.3025	66	233.5	242.7	74.25
90	0.4040	4.0	0.2510	66.1	262.7	270.0	75.0
100	0.4040	4.4	0.2307	66.2	291.0	299.4	77.25
110	0.4040	4.8	0.2062	66.2	321.2	328	78.38
115	0.4040	5.1	0.1953	66.2	338.0	345.3	78.08
120	0.4040	5.3	0.1802	66.3	350.5	352.3	79.11

Las características de las tablas anteriores se obtuvieron con la ayuda de un analizador de impedancias que se tiene en el laboratorio de Comunicaciones del IIE.

Con las características mostradas y probando el transductor con un generador de funciones se observó que a la frecuencia de 77 KHz se tiene una ganancia de señal de salida por el secundario aceptable y con un defasamiento de aproximadamente 58° a la señal de excitación.

CAPITULO II

II.1 INTRODUCCION.

En este capítulo veremos el diseño de un detector síncrono, para evaluar la magnitud y sentido del desplazamiento.

Será conforme a la generación de una señal alterna, la que excitará el sensor, su salida será comparada en fase y magnitud. Lo que al final obtendremos es una señal de voltaje directa, la que será proporcional a la variación de la magnitud en el TDL.

II.2 CIRCUITO DE DETECCION.

En el siguiente dibujo se muestra a bloques el circuito a utilizar para poder evaluar la magnitud y sentido del desplazamiento que sufra el sensor, del tipo TDL.

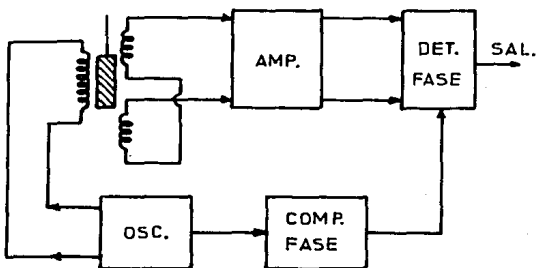


Fig. 2.1 Circuito de detección.

Este circuito muestra un generador de señal alterna que excitara al sensor, un amplificador de la señal de salida, un detector de fase y una red de compensación de fase. Cada una de estas etapas serán tratadas a continuación.

II.2.a Generador de onda senoidal.

Para un generador se recurrio a varios diseños como son:

1. Oscilador con puente de Wien.
2. Oscilador doble T.
3. Generador de onda cuadrada, entre otros.

Pero se tiene hoy en día la variedad de obtener chips generadores de señales alternas (senoidal, cuadrada y triangular) a bajo precio y todos en mismo circuito integrado. La figura 2.2 se muestra el diagrama del circuito integrado XR 8038, el cual es un generador de funciones.

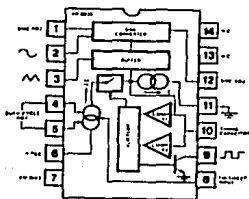


Fig. 2.2

Sus características son:

1. Salida simultanea de onda senoidal, triangular y cuadrada.
2. Baja distorsión THD = 1 %.
3. Rango de frecuencias de 0.001 Hz a 1 Mhz.
4. Alta FM y triangulo lineal.
5. Bajo corrimiento de frecuencia $-50\text{ppm}/^{\circ}\text{C}$ máx.

Sus aplicaciones son:

1. Generador de funciones (seno, triangular, cuadrada, pulso).
2. SWEEP y generación de FM.
3. Generación de tonos.
4. Instrumentación, diseño de equipo de prueba.
5. Diseño de PLL (Phase Locked Loop).

Como nuestro proposito es la generación de una onda senoidal tendremos la siguiente configuración.

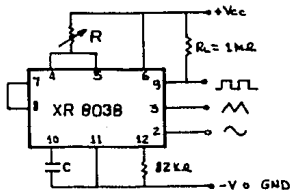


Fig. 2.3

donde:

$$f = \frac{0.15}{RC} \quad \dots \quad \text{II.1}$$

Para tener una frecuencia de 77 KHz con un capacitor de $C = 1.5 \text{ nf}$. Y de acuerdo a la ecuación II.1 tenemos una R de:

$$R = \frac{0.15}{f C} = \frac{0.15}{(77 \text{ khz})(1.5 \text{ nf})}$$
$$R = 1.298 \text{ k}\Omega$$

II.2.a.1 Resultado práctico.

Con el arreglo anterior el generador proporciona una señal senoidal de 77 KHz, esta frecuencia se obtuvo mediante un potenciómetro de 10 k Ω . La señal de salida tiene una deformación en su forma, la fig. 2.4. muestra parte de esta deformación.

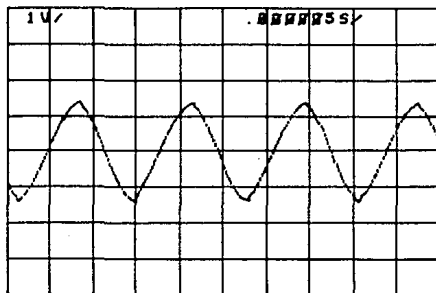
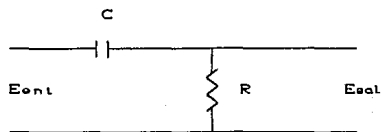


Fig. 2.4 Señal senoidal con deformación.

Para poder eliminar esta deformación en la señal, se añadió a la salida una resistencia, la resistencia incorporada es de 22

KΩ, pero el problema no se eliminó del todo, por lo que se diseñó un filtro paso altas, y así eliminar las frecuencias bajas, que ocasionaban el problema de la deformación. El filtro utilizado es el siguiente:



Con:

$$T = R C \quad \dots \text{ II.2}$$

$$\frac{E_{sal}}{E_{ent}} = \frac{1}{\sqrt{1 + \frac{1}{\omega^2 T^2}}} \quad \dots \text{ II.3}$$

Para tener un corte de -3dB a 100 Hz y con una $C = 0.022\mu\text{f}$.

Si $\omega = 2 \pi f$, entonces:

$$\omega = 2 \pi (100 \text{ Hz}) = 628.176 \text{ rad/seg} \quad \text{y,}$$

$$\omega^2 = 394784.176 \text{ (rad/seg)}^2$$

$$\frac{E_{sal}}{E_{ent}} = -3 \text{ dB}, \text{ donde } -3\text{dB} = 0.708$$

Por lo tanto: $\frac{E_{sal}}{E_{ent}} = 0.708$

Desarrollando la ecuación II.3 tenemos:

$$T^2 = \frac{1}{\omega^2} = \left[\frac{1}{\frac{1}{\left[\frac{E_{sal}}{E_{ent}} \right]^2 - 1}} \right] \quad \dots \text{II.4}$$

$$T^2 = \frac{1}{394789.176} \left[\frac{1}{\frac{1}{(0.708)^2 + 1}} \right]$$

Y resolviendo tenemos:

$$T^2 = \left(\frac{1}{394784.176} \right) \left(\frac{1}{1.995 - 1} \right)$$

$$T = 1.5955 \text{ mseg.}$$

Si $C = 0.022 \mu\text{f}$ y de acuerdo a la ecuación II.2

$$R = \frac{T}{R} = \frac{1.5955 \text{ mseg}}{0.022 \mu\text{f}} \rightarrow R = 72.52 \text{ K}\Omega$$

La resistencia comercial más cercana es de 68 K Ω , por lo tanto el circuito terminado es el de la figura 2.5.

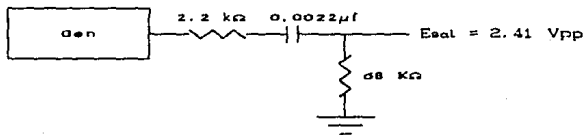


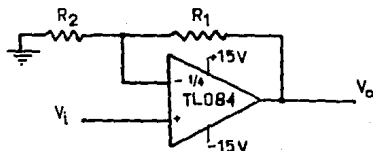
Fig. 2.5 Generador senoidal.

II.2.b Amplificadores para el TDL.

II.2.b.1 Amplificador antes del TDL.

Para tener una señal que excitara al TDL. se hizo necesario amplificar la señal del generador.

Con un amplificador no inversor se logró la magnitud de señal requerida.



$$V_o = V_i \left(\frac{R_1}{R_2} + 1 \right) \quad \dots \quad \text{II.5}$$

Fig. 2.6 Amplificador no inversor.

Si queremos una amplificación de $A_v = 11$ con una $R_2 = 6.8 \text{ k}\Omega$ y si sabemos que:

$$A_v = \frac{V_o}{V_i} \quad \dots \quad \text{II.6}$$

De acuerdo a las ecuaciones II.5 y II.6 tenemos:

$$R_1 = \left(\frac{V_o}{V_i} - 1 \right) R_2 \rightarrow R_1 = (11 - 1) 6.8 \text{ k}\Omega$$
$$R_1 = 68 \text{ k}\Omega$$

II.2.b.1.1 Resultado práctico.

Con los valores de resistencia de R_1 y R_2 tenemos una amplificación de $A_v = 11$, pero en la práctica se obtuvo un resultado de amplificación de $A_v = 10.37$.

Para poder acoplar la salida del amplificador al TDL se añadió un segundo amplificador operacional en configuración seguidor de señal.

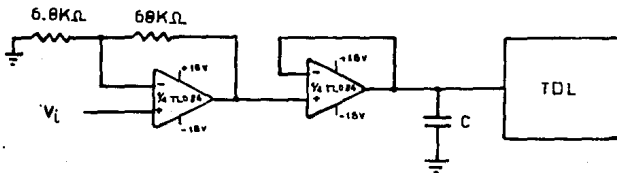


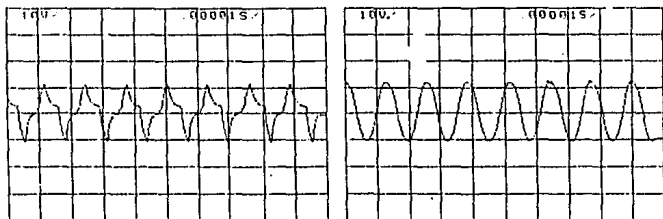
Fig 2.7 Amplificación antes del TDL.

Para poder acoplar mejor esta salida a el TDL, se puso un capacitor a la salida del OPAMP 2 para poder tener un acoplamiento sintonizado.

Con esto, el sensor no deformó la señal que se le aplicaba, debido a la baja resistencia del mismo. El capacitor utilizado fué de 6.8 nf .

En los siguientes dibujos se muestra la forma en que se mejoro la señal antes de utilizar el capacitor y después de este,

ya conectado al sensor TDL. Además, hay un aumento en la ganancia, esto de acuerdo a las pérdidas que se tenían al conectar el TDL al amplificador.



Figs. 2.8 y 2.9 Señales antes del capacitor y después del capacitor.

II.2.b.2 Amplificador después del TDL.

Para esta etapa se utilizó un amplificador diferencial.

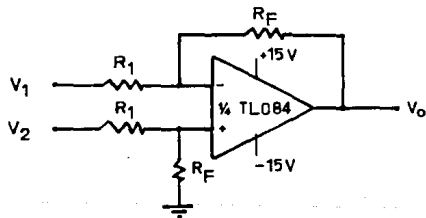


Fig. 2.10 Amplificador diferencial.

donde por superposición:

$$V_{o1} = - \frac{R_F}{R_1} V_1$$

y

$$V_o = V_2 - V_1$$

$$V_{o2} = \frac{R_F}{R_2} V_2$$

Si $R_1 = R_2$, entonces:

$$V_{o1} + V_{o2} = - \frac{R_F}{R_1} V_1 + \frac{R_F}{R_1} V_2$$

$$V_o = \frac{R_F}{R_1} (V_2 - V_1) \quad \dots \quad 11.6$$

11.5.3.2.1 Resultado practico.

Con el anterior amplificador diferencial nuestra señal de salida se deformaba aparte de tener una ganancia regular, pero incluyendo un capacitor para tener un acoplamiento sintonizado a la misma frecuencia de la etapa anterior nuestra señal se mejoro aun con el aumento en la ganancia de voltaje pico a pico.

El capacitor utilizado es de 0.01 nF. Este capacitor se puso en la entrada del amplificador diferencial, figura 2.11. Hay que notar que la amplificación de voltaje es de $A_v = 3.3$.

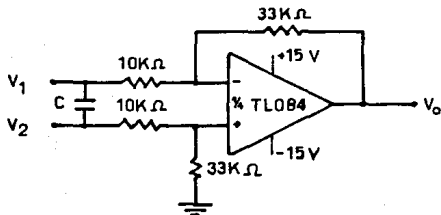


Fig. 2.11 Amplificador diferencial modificado.

II.2.c Red de compensación en fase.

Con las dos señales, la de referencia y la que nos entrega el amplificador diferencial, que es la señal que nos da nuestro transductor TDL, tenemos un corrimiento en fase de nuestras dos señales de aproximadamente 58° . Es importante tener nuestras dos señales con un defasamiento a 0° y 180° , porque de esta manera es como se llevará mas adelante la multiplicación de ambas señales. Si llegara el caso de encontrarse cualquiera de las dos señales con un defasamiento diferente a la de 0° y 180° , la multiplicación tendrá errores en magnitud y fase, con lo que ocasionaría que no se tuviera una lectura verdadera del desplazamiento del núcleo del TDL. Por lo que es necesario diseñar una red de compensación en fase que nos reduzca este error de fase, lo más cercano a 0° , por lo tanto, la red es la que se muestra en la figura 2.12.

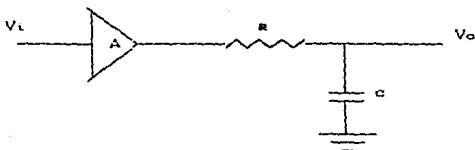


Fig. 2.12 Red de compensación en fase.

Sus ecuaciones son:

$$A_v = \frac{1}{1 + j(f/f_d)} \quad A_v \quad \dots \quad \text{II.7}$$

$$f_d = \frac{1}{2\pi RC} \quad \dots \quad \text{II.8}$$

Si nuestras dos señales tienen un defasamiento de $\phi = 58^\circ$, y de acuerdo a la red queremos una ganancia de $A_v = 10$, pero con una atenuación de la mitad para la red RC, tenemos entonces:

$$A'_v = 5 \angle -58^\circ \quad \text{a la frecuencia de trabajo (77kHz).}$$

$$A'_v = 0.5 \angle -58^\circ A_v \quad \rightarrow \quad A_v = 10 \quad \text{ganancia del amplificador.}$$

$$A'_v = \frac{1}{2 \angle 58^\circ} A_v \quad \rightarrow \quad 2 \angle 58^\circ = 1.0598 + j1.6961 \\ \approx 1 + j1.6961 \quad \dots \quad \text{II.9}$$

Si relacionamos la ecuación II.7 con la II.9

$$\frac{1}{1 + j(f/f_d)} = \frac{1}{1 + j1.6961}$$

donde: $j(f/f_d) = j1.6961$ y si $f = 77 \text{ kHz}$

$$f_d = \frac{77 \text{ kHz}}{1.6961} \quad \rightarrow \quad f_d = 45398 \text{ hz}$$

y de acuerdo a la ecuación II.8

$$f_d = \frac{1}{2\pi RC} \quad \text{si } C = 0.01 \mu\text{f}$$

$$R = \frac{1}{2\pi f_d C} = \frac{1}{2\pi(45398 \text{ hz})(0.01 \mu\text{f})} = 350.57 \Omega$$

La resistencia comercial es de 330 Ω , se recalculan todos los valores.

$$f_d = \frac{1}{2\pi RC} = \frac{1}{2\pi(330\Omega)(0.01 \mu\text{f})} = 48.228 \text{ kHz} \approx 48 \text{ kHz}$$

entonces:

$$A'_v = \frac{A_v}{1 + j(f/f_d)} = \frac{10}{1 + j(77 \text{ kHz}/48 \text{ kHz})} \\ = \frac{10}{1 + j1.604} = \frac{10}{1.908 \angle 58.06^\circ}$$

$$A'v = 5,29 \angle -88,06^\circ \approx 5,3 \angle -90^\circ$$

Si necesitamos un 1 Vpp de salida, entonces tendremos que alimentar nuestra red con:

$$V_o = A'v V_i \rightarrow V_i = \frac{V_o}{A'v} = \frac{1 \text{ Vpp}}{5,3}$$

$$V_i = 0,1887 \text{ Vpp} \approx 190 \text{ mVpp}$$

La red de compensación en fase quedará de la siguiente manera:

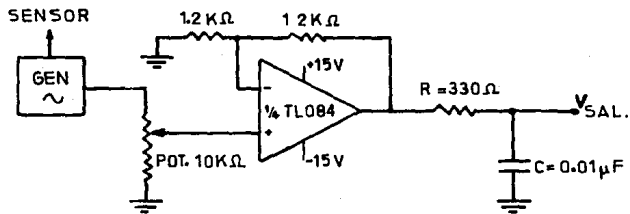


Fig 2.13 Circuito de la red de compensación en fase.

II.2.d Multiplicador.

En esta etapa se realiza la multiplicación de las dos señales corregidas en fase. Lo que resta es mostrar el análisis matemático de la multiplicación y la manera en que se obtendrá la detección de fase y sentido de la señal del sensor TDL, con respecto a una señal ya establecida o de referencia.

Si tenemos las siguientes señales:

$$A = 1 \cos \omega t \text{ Volts} \rightarrow \text{señal de referencia.}$$

$$B = X \cos(\omega + \phi)t \quad \text{donde: } \phi \text{ tiene el valor de } 0^\circ \text{ y } 180^\circ$$

Cuando $\phi = 0$, se tiene una multiplicación de:

$$A \cdot B = (\cos \omega t) \cdot (X \cos \omega t)$$

$$A \cdot B = X \cos^2 \omega t \quad \text{donde: } \cos^2 \omega t = \frac{1}{2}(1 + \cos 2\omega t) \dots \text{II.10}$$

de acuerdo a la ecuación anterior tenemos:

$$A \cdot B = X \left(\frac{1}{2} + \frac{1}{2} \cos 2\omega t \right) = \frac{X}{2} + \frac{X}{2} \cos 2\omega t$$

entonces, tenemos un voltaje de DC y otro voltaje que es alterno, los cuales son:

$$\text{voltaje de directa} \rightarrow \frac{X}{2} \text{ Vdc}$$

$$\text{voltaje alterno} \rightarrow \frac{X}{2} \cos 2\omega t \text{ Volts}$$

Cuando $\phi = 180^\circ$ tenemos que:

$$A \cdot B = (\cos \omega t) \cdot (X \cos(\omega + \phi)t)$$

donde $\cos(\omega + \phi)t = -\cos \omega t$, por lo tanto:

$A \cdot B = -X \cos^2 \omega t$, y conociendo la relación trigonométrica tendremos como resultado

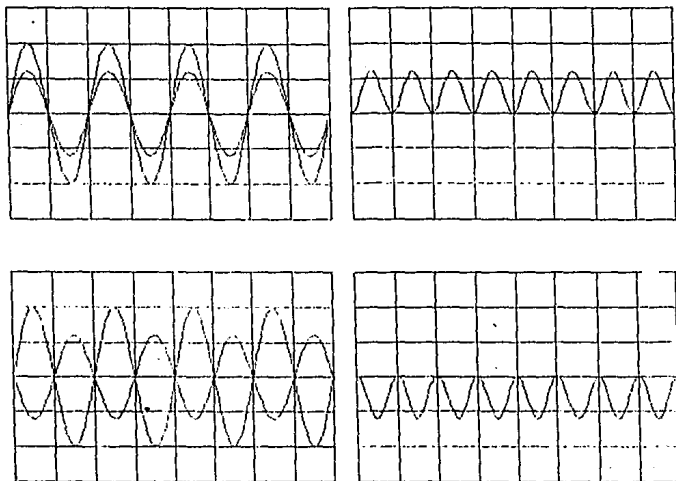
$$A \cdot B = -\frac{X}{2} - \frac{X}{2} \cos 2\omega t$$

$$\text{voltaje de directa} \rightarrow \frac{X}{2} \text{ Vdc}$$

$$\text{voltaje alterno} \rightarrow \frac{X}{2} \cos 2\omega t \text{ Volts}$$

En la figura 2.14 se muestran las dos señales con su resultado, para cada una de sus multiplicaciones hechas.

El número dos que aparece al lado de la frecuencia (2ω), representa que se van a tener dos periodos en el mismo tiempo en que se tenía uno, antes de pasar por la multiplicación.



Figs. 2.14 Representación de las señales antes y después de la multiplicación.

Con esta multiplicación podemos tener una detección en fase y sentido. Esto se logra si filtramos la señal resultante y obteniendo solamente la componente de voltaje directo, la que es una representación de la magnitud de la señal del sensor, esto es, si el sensor tiene una salida de voltaje con respecto a la variación de desplazamiento se obtendrá esta misma variación de señal a la salida del multiplicador, que es una trasducción de desplazamiento a voltaje.

La salida del multiplicador se puede amplificar y digitalizar, para manejarla a conveniencia.

Existen en el mercado circuitos integrados capaces de hacer esta multiplicación, pero se encontró un circuito integrado que tiene la ventaja de tener un amplificador operacional junto con las ganancias mismas del multiplicador, este C.I. es el XR-2208 de la EXAR.

La siguiente configuración es la óptima para nuestro trabajo, y se muestra en la figura 2.15.

Donde G_x y G_y son las ganancias para las entradas X y Y del multiplicador.

Se tiene una configuración del amplificador operacional en modo diferencial con una ganancia de:

de acuerdo a la ecuación II.12 :

$$V_o = (V_2 - V_1) \frac{R_f}{R_1} \quad \rightarrow \quad A_v = \frac{V_o}{V_2 - V_1} = \frac{R_f}{R_1}$$

$$A_v = \frac{33 \text{ k}\Omega}{10 \text{ k}\Omega} \quad \rightarrow \quad A_v = 3.3$$

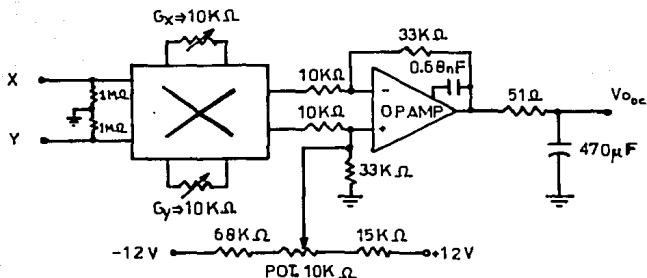


Fig. 2.15 Multiplificador analógico con amplificador operacional y filtro de salida.

Los potenciómetros que se tienen en el amplificador operacional nos sirven para el control de offset del mismo. Se han puesto en forma tal que se tenga un control fino para el offset.

El filtro a la salida nos eliminará la señal indeseable de alterna, para solo manejar la de DC y así poder hacer como ya se dijo anteriormente una digitalización y poder manejarla por medio de una microcomputadora de instrumentación, que utiliza la norma IEEE-488.

II.2.e Amplificación.

Debido a que la señal que nos entrega el filtro es de magnitud pequeña se hace necesario utilizar un amplificador de voltaje y así tener un rango de salida de 0 a 5 volts de corriente directa, para despues digitalizarla.

El amplificador utilizado es un operacional en configuración no inversor con su respectivo control de offset, con variación fina de acuerdo aun arreglo de resistencias.

En la figura 2.18 se muestra al amplificador con ganancia de voltage de 2.67.

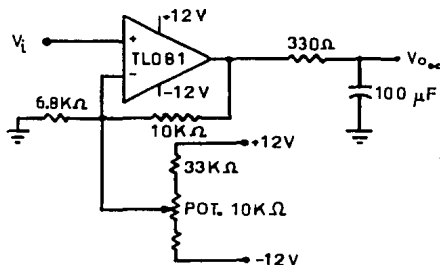


Fig. 2.18 Amplificador operacional no inversor.

$$A_v = \left(\frac{R_F}{R_I} + 1 \right)$$

donde: $R_F = 10 \text{ k}\Omega$
 $R_I = 6.8 \text{ k}\Omega$

$$A_v = \left(\frac{10 \text{ k}\Omega}{6.8 \text{ k}\Omega} + 1 \right) = 2.67$$

A la salida del amplificador se hace necesario poner otro filtro, para eliminar la componente alterna que se había amplificado.

CAPITULO III

III.1 INTRODUCCION.

En este capítulo veremos algunas definiciones que se utilizan en la norma IEEE-488 para la adquisición de datos. También veremos el diseño del hardware para poder transmitir datos a la microcomputadora HP 85, mediante la norma ya antes mencionada.

III.2 NORMA IEEE-488.

III.2.a Descripción general.

La norma IEEE-488 es utilizada para el bus de interconexiones Hewlett - Packard (HP-IB), la cual simplifica la integración de varios dispositivos programables y sistemas de cómputo.

Proporciona una interconexión digital para transferir mensajes entre dos o más dispositivos compatibles con la HP-IB. Un instrumento compatible puede ser un instrumento de medición, una calculadora, una computadora o algún dispositivo periférico diseñado para usarse con el bus HP-IB.

El bus paralelo HP-IB consta de 16 líneas activas agrupadas en tres arreglos de acuerdo a su función. Existe un máximo de 15 dispositivos conectados al bus. Un diagrama de conexiones de la interfase y la estructura del bus, es la figura 3.1.

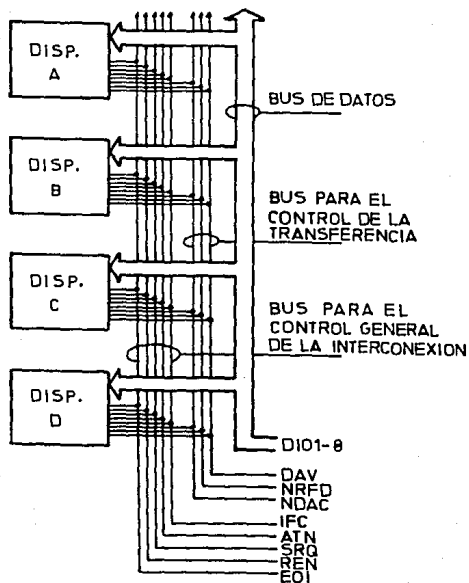


Fig. 3.1 Estructura del bus de la Norma IEEE-100.

Los tres grupos del bus son:

- a) Bus de datos (8 líneas).
- b) Bus para el control de transferencia (3 líneas).
- c) Bus para el control general de interconexión (5 líneas).

III.2.a.1 Bus de datos.

La ocho líneas para datos, son líneas usadas para transmitir datos en forma de mensajes codificados. Estos mensajes son usados para programar la función de algún instrumento, transferir los datos medidos, coordinar la operación del instrumento y para manejar el sistema. La entrada y salida de los mensajes son por medio de bits en paralelo. Es posible también transferir en serie. El código ASCII de siete bits representa un dato por lo general. En nuestro caso solo se mandaran datos a una microcomputadora HP-85.

La denominación de las líneas son:

DIO 1	(Data Input-Output 1)	→	Dato de entrada-salida 1
DIO 2	(Data Input-Output 2)	→	Dato de entrada-salida 2
.	.	.	.
.	.	.	.
.	.	.	.
DIO 7	(Data Input-Output 7)	→	Dato de entrada-salida 7
DIO 8	(Data Input-Output 8)	→	Dato de entrada-salida 8

III.2.a.2 Bus para el Control de Transferencia.

Los datos son transferidos por medio de una técnica de entrelazamiento denominada "Handshake", la cual permite la transferencia de datos en forma asíncrona.

Las tres líneas usadas para transmitir un dato entre un

locutor y un oyente (término utilizado para definir a un dispositivo que en algún tiempo esta disponible para ser controlado), a través de las señales DIO son:

- DAV (Data Valid). - Dato válido.

Es emitida por el locutor donde informa que los datos estan en el bus y listos para ser aceptados.

- NRFD (Not Ready For Data). - No listo para dato.

Es emitida por el oyente de la transferencia e indica que no esta listo para recibir nuevos datos.

- NDAC (Not Data Accepted). - Dato no aceptado.

Es emitida por el oyente de la transferencia e indica al locutor que debe mantener los datos en el bus por que aun no han sido almacenados.

El diagrama de tiempo de estas líneas se muestra en la figura 3.2.

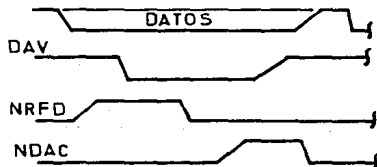


Fig. 3.2 Diagrama de tiempo de las señales DAV, NRFD y NDAC.

III.2.a.3 Bus para el control general de interconexión.

Las cinco líneas restantes son para el control general de interconexión y son usadas para manejar los dispositivos conectados al bus HP-IB. Mantienen el flujo ordenado de la información a través del bus.

Las cinco líneas son:

- ATN (Attention). - Atención.

Es empleada por el dispositivo que hace las funciones de controlador del bus e indica a todos los demás que está enviando un mensaje de interés general.

Cuando se activan los dispositivos deben monitorear el bus "control/dirección", cuando no se activa la información del bus es del tipo dato.

- IFC (Interface Clear). - Limpiar la interface.

El controlador indica al resto de los dispositivos que deben volver a su estado inicial (reset) o de reposo.

- SQR (Service Request). - Petición de servicio.

Los dispositivos no controladores utilizan esta línea para indicar al controlador el deseo de utilizar el bus para efectuar una transferencia de datos.

- REN (Remote Enable). - Válido control remoto.

El controlador indica a los dispositivos direccionados que deben ignorar el control local, panel frontal o similar, para obedecer el control remoto recibido a través del bus.

- EOI (End Or Identify). - Fin o identificación.

Puede ser activada por el dispositivo locutor o por el controlador. En el primer caso indica un fin de la transmisión de un bloque de datos. En el segundo, el controlador indica a los dispositivos que han pedido servicio que se identifiquen.

III.2.a.4 Transferencia de datos (Handshake).

Las líneas de datos y handshake son usadas por la fuente y el receptor en la transferencia de datos. Se sabe que existen dos funciones a realizar para cada dispositivo durante la secuencia de handshake, ellas son el protocolo fuente o handshake fuente y el protocolo receptor o handshake receptor.

La figura 3.3 muestra los estados de las líneas DAV, NRFD y NDAC cuando son usadas por un orador como handshake fuente y por un oyente como un handshake receptor. Nótese que en el diagrama de tiempo se relacionan las señales eléctricas del bus con los estados del handshake receptor o fuente. Para observar las dos funciones de fuente y receptor, podemos entender fácilmente la secuencia del handshake entrelazando las dos funciones.

- 1). La fuente al principio está en estado de Fuente Generadora (Source Generate States = SGNS). En el siguiente estado nos se tiene ningún byte de datos asegurados en las líneas u datos válidos (DAV). Cuando la línea DAV tiene un nivel alto los datos no son aceptados.

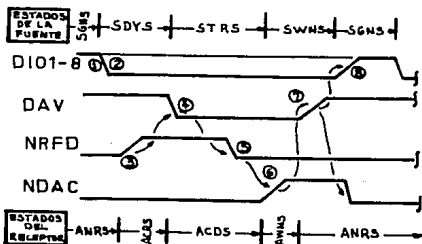


Fig. 3.3 Secuencia del Handshake.

20. La fuente coloca el byte de dato en las líneas de datos y entra al Estado de Retardo de la Fuente (Source Delay State = SDYS). Si este es el último byte de datos del mensaje la fuente afirma el fin o identificación (EOL) de la línea, al mismo tiempo. La fuente espera para que el dato sea fijado en las líneas y para que todos los receptores llegen al Estado Receptor Listo (Acceptor Ready State = ACRS).
21. Cada receptor dice "yo estoy listo" levantando la línea NRFD; para mover al receptor al Estado de Receptor Listo (ACRS). Es uno de los puntos del handshake diseñados para acomodar los oyentes que son lentos. Algun

- receptor puede retener al handshake fuente mediante la línea NRFD.
- 4). Cuando la fuente detecta que la línea NRFD esta alta, entra en Estado de transferencia de la fuente (Source transfer State = STRS), para validar el dato con la línea DAV. Entonces la fuente espera para que el dato sea aceptado.
 - 5). Cuando los dispositivos receptores ven la línea de datos baja, se van al estado de Aceptor de Datos (Accept Data State = ACDS). Cada dispositivo afirma que no esta listo para recibir datos (NRFD), porque esta ocupado con el byte de datos en turno y no puede atender otro.
 - 6). Mientras que cada dispositivo acepta los datos, el dispositivo levanta la línea NDAC para moverse desde el Estado Aceptor de Datos (ACDS), al estado en que el receptor espera un nuevo ciclo (Accept Wait for Cycle = AWNS). Una vez mas todos los receptores deberan de levantar la línea NDAC, para que la fuente detecte un nivel alto. Cuando la fuente detecta NDAC en estado alto (todos los oyentes tuvieron que aceptar el dato), entonces la fuente entra a un estado para esperar un nuevo ciclo.
 - 7). La fuente continúa y se coloca en el estado SGHS, estado inicial del handshake, para prepararse a transmitir un nuevo byte de datos.

III.2.b Características Eléctricas.

A continuación veremos las especificaciones que tiene esta norma en cuanto al aspecto eléctrico, para poder usarla en los sistemas de interface, donde :

- 1) La distancia física entre dos dispositivos es corta.
- 2) El ruido es relativamente bajo.

Las especificaciones para los circuitos de entrada y salida (drivers y receivers), son basados en la tecnología TTL (Transistor Transistor Logic).

A continuación daremos algunas especificaciones eléctricas.

a) Relación eléctrica de los estados lógicos.

Los estados lógicos manejados en las líneas son las que se muestran en la tabla siguiente, hay que hacer notar que se tiene una lógica negativa.

Estado lógico	Nivel de señal eléctrica
0	Corresponde a 2.0 V llamado estado alto.
1	Corresponde a 0.8 V llamado estado bajo.

Los estados alto y bajo son basados en los niveles estandares de la logica TTL en el que la fuente no se excede a más de +5.25 Vdc, con una referencia de tierra lógica.

b) Requerimiento de los drivers.

Los mensajes pueden ser enviados en una manera pasiva o activa hacia la interface. Todos los mensajes pasivos verdaderos concurren con una transferencia, en estado alto, portados en una línea, usando drivers de colector abierto.

c) Tipos de drivers.

Los drivers de colector abierto, son usados para las líneas SQR, NRFD y NDAC.

Los drivers de colector abierto o de tres estados, son usadas para las líneas de DIO 1-8, DAV, IFC, ATN, REN y EOI.

Los drivers de tres estados, son usados para sistemas donde se necesita alta velocidad.

d). Especificación de los drivers

Drivers de:

bajo estado: Salida de voltaje (tres estados o colector abierto) < +0.5 V a 48 mA de corriente pico.

alto estado: Salida de voltaje (tres estados) \geq +2.4 V a - 5.2 mA.

e) Requerimientos de los Receivers.

Las especificaciones de los receivers con inmunidad al ruido nominal es:

Estado bajo: voltaje de entrada \leq + 0.8 V

Estado alto: voltaje de entrada \geq + 2.0 V

f) Capacitancia máxima.

La carga de la capacitancia interna en cada línea de la señal, no debe de exceder los 100 pF en cada dispositivo. Los efectos de la capacitancia en los dispositivos sobre el bus, es muy crítica en voltajes bajos.

g) Configuración del circuito típico.

La figura 3.4 enseña el circuito típico para las líneas de entrada y salida. La base del circuito es compatible con los circuitos TTL y los dispositivos.

Las especificaciones para la configuración típica son:

R₁ : 3 kΩ ± 5 % (a V_{cc})

R_{1,2} : 8.2 kΩ ± 5 % (a tierra)

Driver: Salida de corriente de fuga (colector abierto) + 0.25 mA max a V_o = + 5.25 V

Salida de corriente de fuga (tres estados)
± 40 μA max a V_o = + 2.4 V

Receiver: Corriente de entrada

- 18 mA max a V_o = + 0.4 V

entrada de corriente de fuga

+ 40 μA máx a V_o = + 2.4 V

+ 1.0 mA max a V_o = + 5.25 V

V_{cc}: + 5 V ± 5 %

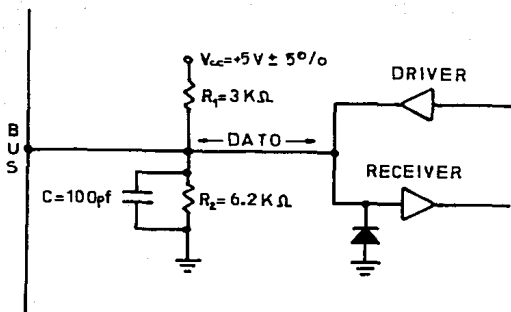


Fig. 3.4 Circuito de entrada y salida.

NOTA : Solo un driver y un receiver puede ser conectado a cada línea de acuerdo a la figura 3.4.

h) Velocidad de transmisión de datos.

Para distancias mayores de 20 m., el bus opera a una velocidad máxima de 250 000 bytes por segundo, con una equivalencia estándar de carga de cada 2 m. de cable, usando 48 mA en drivers de colector abierto.

En interfaces con una distancia arriba de 20 m., se tiene una velocidad máxima de transmisión de 500 000 bytes por segundo, con una equivalencia estándar de

carga por cada 2 m. de cable usando 48 mA en drivers de tres estados.

Para conseguir alta velocidad de operación (nominalmente arriba de los 1 000 000 de bytes por segundo), en el sistema se deben tomar en cuenta las siguientes recomendaciones:

1. Todos los dispositivos suponen que el hablante esta en alta relacion de velocidad, la cual utiliza un tiempo T_1 mínimo de 350 ns.
2. Todos los dispositivos suponen al operar una alta relación que usarán de 48 mA en drivers de tres estados.
3. La capacitancia del dispositivo en cada una de las líneas (excepto REN y IFC), debe ser menor de 50 pf por dispositivo. En la configuración del sistema, el total de las capacitancias no debe ser mayor de 50 pf. por cada resistencia equivalente de carga en el sistema.
4. Todos los dispositivos del sistema deben estar encendidos.
5. Los cables de interconexión deben ser lo mas cortos posibles, a un máximo de 15 metros de longitud por sistema, con al menos una equivalencia de carga por cada metro de cable.

III.2.c Características Mecánicas.

En esta parte veremos algunas especificaciones mecánicas para la norma IEEE-488, la cual tiene un máximo de 20 metros entre dispositivos, con un bus de 2 metros de longitud máximo.

Se debe tener 15 o más dispositivos y la longitud del mismo entre dispositivos no debe de exceder en 4 metros.

El conector utilizado es el de la norma IEEE-488, el cual consta de las siguientes características:

a) Consideraciones Eléctricas.

capacidad de voltaje: 200 Vdc

capacidad de corriente: 5 amperes por contacto

resistencia del contacto: < 10 mΩ

material del contacto: oro o cobre

resistencia a la insulación: > 10 GΩ

b) Consideraciones mecánicas.

número de contactos: 24

superficie del contacto: autosoldadura

forma del conector: trapesoidal

material del conector: resistente a la corrosión

resistencia: ≥ 1000 inserciones

diámetro de la terminación del conductor: menor de

0.35 mm² (standard)

c) Contactos del conector.

Contacto	Señal	Contacto	Señal
1	DIO 1	13	DIO 5
2	DIO 2	14	DIO 6
3	DIO 3	15	DIO 7
4	DIO 4	16	DIO 8
5	EOI (24)	17	REN (24)
6	DAV	18	GND (6)
7	NRFD	19	GND (7)
8	NDAC	20	GND (8)
9	IFC	21	GND (9)
10	SRQ	22	GND (10)
11	ATN	23	GND (11)
12	SHIELD	24	GND LOGIC

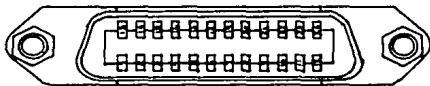


Fig. 3.5 Asignación de las líneas del bus a las terminales del conector.

d) Tipo de conector.

Cada dispositivo necesita tener un conector de dos hileras, de 12 conectores cada uno. Centrados de tal manera que tiene la figura de un trapecoide. El conector tiene dos perforaciones para poderlo ensamblar al tipo del bus de la interface, mediante dos tornillos (figura 3.5).

III.3 CIRCUITO DE ADQUISICION DE DATOS.

Despues de conocer las características de la norma IEEE-488, el siguiente paso es el diseño de la circuiteria logica necesaria para la transmisión de datos hacia el bus de la interface HP-IB de la microcomputadora HP-85 (utilizada en el ramo de la instrumentación).

En la figura 3.6 se muestra a bloques el sistema para la transmisión de datos y la adquisición por la HP-85.

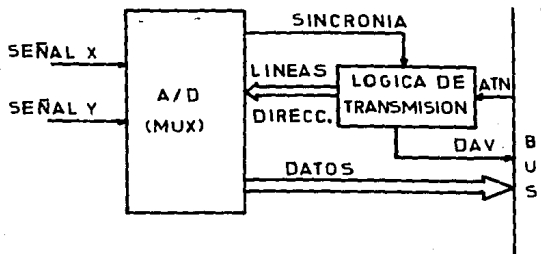


Fig. 3.6 Diagrama de la adquisición de datos.

III.3.a Convertidor Analógico-Digital.

En el primer bloque se aprecia un digitalizador, el cual se encargara de convertir las señales analógicas, de los sensores utilizados (en el eje vertical llamado "Y" y en el eje horizontal llamado "X"), a señales discretas (digitales), y así poder mandar estas señales a la computadora.

Para esta etapa se utilizo un convertidor analógico-digital ADC0808, con una resolución a 8 bits en paralelo, con un tiempo de conversión promedio de 100 μ s a una frecuencia de reloj de 840kHz. Además tiene la ventaja de que en el mismo circuito viene integrado un multiplexor de 8 a 3, o sea ocho canales de entrada con tres señales de dirección).

En la figura 3.7 se muestra al convertidor (ADC0808), el cual es un circuito integrado de la tecnología CMOS con 28 pines o patas, las cuales son:

- 1-8 y 25-27: pines de entrada de las señales analógicas.
- 9: pin de START (inicio de otra conversión).
- 10: pin de ECC (final de conversión).
- 11: pin ENABLE de salida.
- 12: pin de la señal de reloj.
- 13: pin de polarización a V_{cc} .
- 14: pin de referencia positiva.
- 15: pin de tierra (GND).
- 16-18: pines de las direcciones del multiplexor.
- 19: pin de ENABLE de las direcciones.
- 20: pin de referencia negativa.

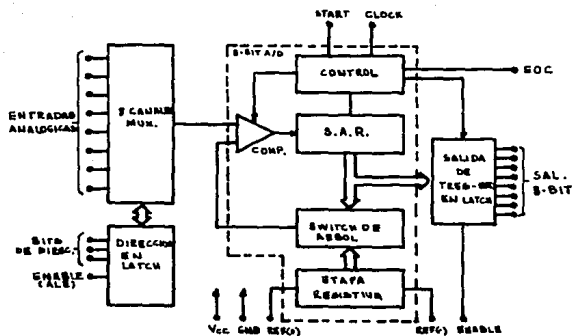


Fig. 9.7 Convertidor ADC0808.

El convertidor analógico digital ADC0808 tiene salida compatible con la tecnología TTL (Lógica Transistor Transistor), además tiene salida en forma de latch de tres estados, el cual mantiene la información hasta que no se presente un cambio y aísla el circuito interno con toda la parte externa del convertidor.

Su entrada es de 0 a 5V de señal analógica. Tiene un error de bit de $\pm 1/2$ LSB a ± 1 LSB (para mayor información vease las hojas de los manuales referentes a este convertidor).

Para nuestro trabajo uniremos los pines de START y EOC para que al final de cada conversión se inicie otra. La señal que

resulta de esta unión, que son unos pulsos de poca duración, es el tiempo que tarda en iniciar otra conversión y el tiempo entre pulso y pulso es el tiempo de la conversión, que aproximadamente son 89 pulsos de reloj. Este resultado se obtiene de las hojas de especificaciones, dadas por el fabricante. Este dato es el tiempo de conversión el cual es de $t_c = 8 + 2\mu s$ de pulsos de reloj, este dato es el máximo.

Para poder encontrar el tiempo que tarda en realizar la conversión es necesario tomar en cuenta que se tienen 8 canales, los cuales son multiplexados. Entonces el tiempo máximo de conversión $t_c = 84 + 18\mu s$ de pulsos de reloj, que representa el tiempo de separación de los pulsos que tiene la señal de salida, que es la unión de los pines de START y EOL. Además representan el tiempo que tarda en realizar una conversión pasando por los 8 canales multiplexados.

Por ejemplo en las hojas de especificaciones se da el siguiente dato: a una frecuencia de reloj de 840 KHz se tiene un tiempo de final de conversión (t_{foc}) de 90 μs mínimo, 100 μs típico y 110 μs máximo.

si $f_{CLK} = 840 \text{ khz}$

$t_{cnp} = 84 \text{ pulsos de reloj}$

$$t_{cnp} = \frac{1}{840 \text{ khz}} \times 84 = 100\mu s$$

$t_{cmdx} = 84 \text{ pulsos de reloj} + 18\mu s$

$$t_{cmdx} = \frac{1}{840 \text{ khz}} \times 84 + 18\mu s = 110\mu s$$

lo que corresponde con los datos dados por el fabricante.

Entonces para nuestro convertidor tenemos un máximo de

conversion de 64 pulsos de reloj mas 16 microsegundos.

Si le inyectamos una frecuencia de reloj de 480 khz tendremos un tiempo de conversión de $t_c = 140\mu s$. Pero en la practica no se tiene esta frecuencia, por lo que procedimos a realizarlo experimentalmente. El resultado fue de $144.5\mu s$ lo que corresponde a:

$$144.5\mu s \times 480 \text{ khz} = 69.36 \approx 69 \text{ pulsos de reloj}$$

En la figura 3.6 se muestra la señal de salida de la unión de START y EOC.

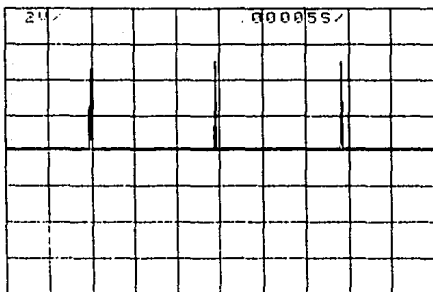


Fig. 3.6 Señal de salida de START y EOC.

Los pines de Vcc y REFC(+) se unen y se polarizan a 5Vdc, y los pines GND y REFC(-) a tierra, con esto tenemos una salida digital de 8 bits de 0 a 255 en lógica binaria que representa el rango de 0 a 5V de referencia.

Por lo tanto tenemos una resolución de:

$$\frac{5}{255 \text{ bits}} = 19.53 \text{ mV/bit}$$

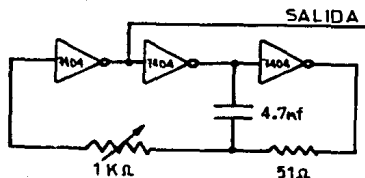
III.3.a.1 Multiplexor.

El circuito integrado ADC0808 contiene 8 canales para señales analógicas los cuales pueden seleccionarse mediante tres líneas de dirección, en la siguiente tabla se muestra los canales que se pueden seleccionar.

Canal Seleccionado	Dirección		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

III.3.3.2 Diseño de la señal de Reloj.

Para generar una señal de reloj existen varias formas, pero aquí utilizaremos una manera sencilla, que es mediante tres compuertas inversoras arregladas de tal manera para obtener esta señal. Deben de ser tres compuertas para que exista una realimentación positiva que permita que el arreglo oscile a una frecuencia dada por un capacitor y una resistencia, con un tiempo de RC. En la siguiente figura se muestra el arreglo de un oscilador el cual nos permite tener frecuencias de 500 khz a 1.3 mhz.



Con un capacitor de menor valor, se redujo el rango de frecuencia, de 280 khz a 750 khz. El capacitor tiene un valor de 2.7 nF.

III.3.4.3 Método de conversión.

El convertidor analógico-digital ADC0808 funciona mediante la técnica de aproximaciones sucesivas. En el siguiente dibujo, 3.9, se muestra la teoría de operación de este convertidor.

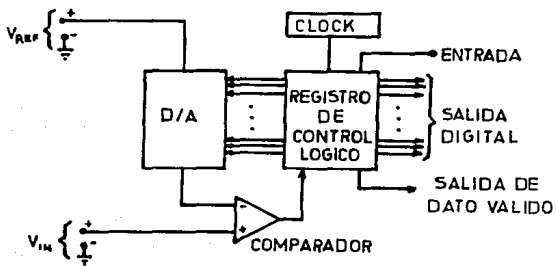


Fig. 3.9 Convertidor de aproximaciones sucesivas.

En la figura 3.10 enseña la conversión a tres bits. Primero se compara la entrada de la señal analógica con la salida del convertidor A/D, y este es controlado por una circuitería lógica conocida como Registro de Aproximaciones Sucesivas (SAR - Successive Approximation Register).

La circuitería del SAR es bastante complejo. Están

disponibles en circuitos integrados donde el diseño es simplificado. El SAR esta bajo el control del reloj, la salida del SAR son fijadas a cero. Existe en esta parte un arreglo de valores correspondientes a los bits del más significativo (MSB) hasta el menos significativo (LSB).

Cuando se tiene una entrada positiva, el SAR turna al bit más significativo. Si el comparador decide que la salida del D/A es menor que esta entrada, entonces se quita este bit y se turna a otro más bajo. El mismo procedimiento es llevado a cabo con cada uno de los bits.

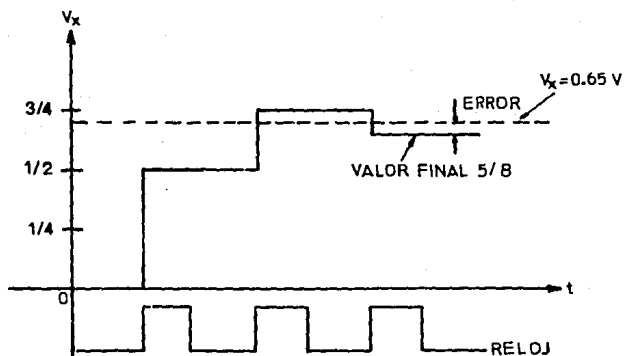


Fig. 3.10 Ejemplo del convertidor de aproximaciones sucesivas.

Para poder entender esto, tomemos el ejemplo de la figura 3.10, en donde se requiere convertir 0.65 volts. La siguiente figura nos ayudara a entender la secuencia del convertidor de tres bits.

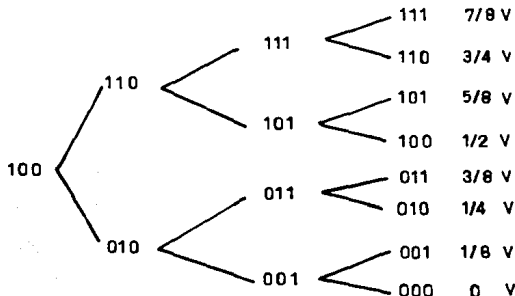


Fig. 3.11 Secuencia de un convertidor A/D de sucesivos para tres bits.

Como el voltaje de entrada (V_x) es 0.65 volts y es mayor que $5/8$ y menor que $3/4$ se tiene la siguiente secuencia:

Se pone 100 es decir 0.5 y se compara con V_x , resultando que V_x es mayor, por lo tanto se retiene el uno y se agrega el siguiente uno, o sea, 110 que equivale a $3/4$, se compara resultando que V_x es menor se retira este uno. Se procede a agregar el siguiente uno quedando 101 equivalente a $5/8$, de nuevo se hace la comparación resultando que V_x es mayor y se queda el uno, entonces el resultado es 101. Esta operación se muestra en

la figura anterior (3.10). Nótese que se tiene un error, el que disminuirá a medida que sean más dígitos o bits para realizar la conversión.

En este tipo de convertidores el tiempo de conversión es fijo e independiente del valor de V_x . Para que se complete una conversión es necesario saber que se necesitan tantos pulsos de reloj como bits tenga el convertidor.

Si se supone un convertidor de N bits, con una frecuencia de reloj f_R , entonces el tiempo de conversión será de:

$$t_c = \frac{N}{f_R} \quad \dots \text{III.1}$$

Este tipo de convertidor es muy rápido, por ejemplo: si se tiene un convertidor de 16 bits con una frecuencia de 1MHz, se tiene un tiempo de conversión de 16 microsegundos.

En la práctica la rapidez está restringida por la respuesta en frecuencia del convertidor D/A y el comparador analógico.

III.3.a.4 Diagrama de tiempo.

Para que el convertidor analógico-digital funcione, es necesario seguir las siguientes recomendaciones mostradas en el diagrama de tiempos, de la figura 3.12.

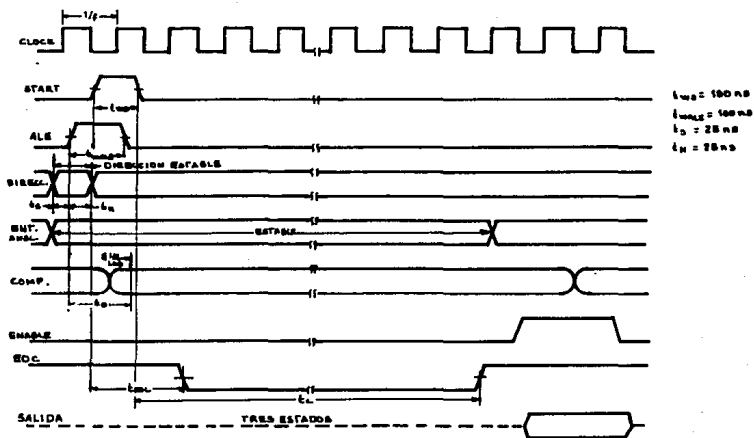


Fig. 3.12 Diagrama de tiempo.

111.3.b Señal de sincronía.

Para que el circuito no tenga problemas para transmitir y

este en sincronía con la interfaz, es necesario crear esta señal para poder eliminar errores de lectura.

Para crear la señal de sincronía utilizaremos la señal de salida de START y EOC, la cual es perfecta, porque en cada tiempo de conversión, tenemos la oportunidad de enviar la información tal y como sale del convertidor analógico-digital.

Como la señal muestra unos pulsos de poca duración, apenas de nanosegundos, es necesario alargar este tiempo. El problema se resuelve con la introducción de un one-shot (circuito monostable) que tiene como función alargar este pulso.

Con un C.I. MC14538 de la tecnología CMOS se realiza esta función. Además este circuito es compatible con la tecnología TTL. Incluye dos salidas una llamada Q y otra invertida denominada como \bar{Q} , las cuales utilizaremos para sincronizar.

El ciclo de trabajo lo dan el arreglo de una resistencia con un capacitor, $t_p=RC$.

El one-shot se puede disparar con el flanco de subida o de bajada. Para nuestro trabajo lo dispararemos con el flanco de bajada por lo que el arreglo será el que se muestra en la figura 3.13. Para el ciclo de trabajo se ajustará con un potenciómetro.

Con la \bar{Q} se alimenta un contador debidamente programado, que alimentará a las líneas de direccionamiento del multiplexor, o sea, que cuente de 000 a 111 (canal 0 al canal 7). Y al mismo tiempo utilizaría como señal de ALE, que habilitara las direcciones de C, B y A.

El contador utilizado es el SN74LS193 de la familia TTL con cuatro líneas de salida A, B, C y D.

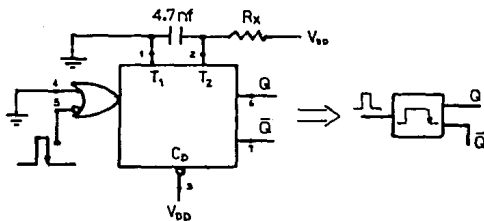


Fig. 3.13 Configuración del circuito monoestable.

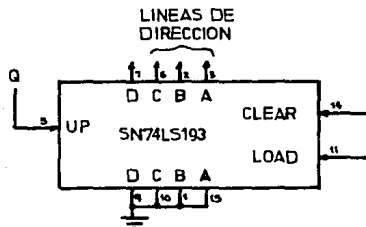


Fig. 3.14 Contador digital SN74LS193 con la señal de \bar{Q} .

La salida Q se utiliza para mandar la línea DAV hacia el bus. Pero para poder mandar la línea DAV en el momento preciso en que se tienen los datos listos para enviar, es necesario inicializar la línea DAV, así como el contador que dará las direcciones de las señales analógicas a convertir.

Es necesario saber que cada vez que en el software, se inicializa el buffer de entrada de la interface, ésta misma manda un tiempo de espera, para que este lista, este tiempo

lo manda por la línea ATN (Atención), que es un tiempo de estado bajo, porque esta línea se encuentra por lo general en estado alto. Cuando la interface esta lista, sube la línea ATN.

Para nuestro propósito es de gran importancia la línea ATN porque inicializara al contador, para que cuando la interface este inicializandose, no haya direccionamiento en el multiplexor ni envío de datos a través del bus.

La línea DAV se mantendrá en nivel alto mientras dure la señal ATN en nivel bajo. Después de esto se mandaran los datos que existan después de la conversión.

Hay que hacer notar que es necesario tener un tiempo mayor que el de la línea ATN, para inicializar nuestros circuitos y así poder enviar los datos en el tiempo en que la maquina este en condiciones estables de recibirlas.

Para esto se requiere otro circuito one-shot, el cual nos dará este tiempo de seguridad.

Con el siguiente software se encontro el tiempo en que la maquina baja la línea ATN.

```
10 DIM Z$(16)
20 IOBUFFER Z$
30 TRANSFER 711 TO Z$ FHS
40 FOR I=1 TO 8
50 ENTER Z$ USING "#B"; ZC10
60 NEXT I
70 END
```

El tiempo en que baja la línea ATN es de aproximadamente 7

ms.

Con un capacitor de $C=0.22\mu$ y con un tiempo de aproximadamente 39 ns encontramos la resistencia necesaria para este tiempo.

$$R = \frac{t}{C} = \frac{39\text{ns}}{0.22\mu\text{F}} = 17727 \Omega \approx 180 \text{ k}\Omega$$

El diagrama queda de la siguiente manera:

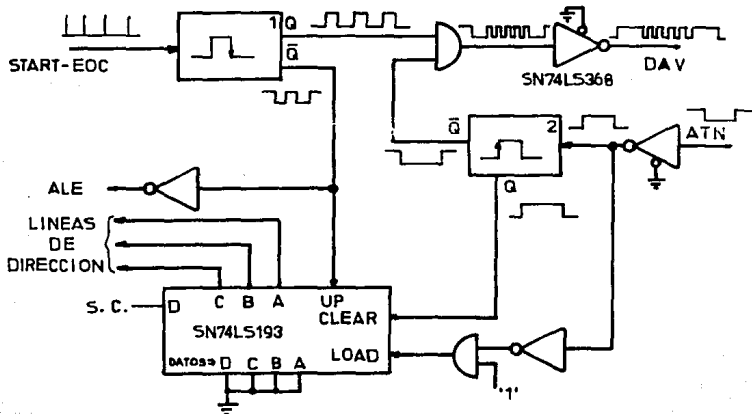


FIG. 3.15

La salida Q del segundo one-shot que va al pin de clear, se utiliza para limpiar el contador y resetearlo a cero. La señal de la línea ATN que va al pin de LOAD del contador, carga los datos antes programados por los datos D, C, B y A los cuales son ceros y de esta forma se limpia y se resetea el contador.

La compuerta AND que se muestra en el dibujo nos sirve para que a la salida solo pase la línea DAV cuando la línea ATN este en un nivel alto.

Para terminar el diseño, es necesario tener al final de esta etapa los drivers de entrada y salida, que se especifican en la norma IEEE-488.

Uniendo todas las etapas tenemos el diseño final el cual se muestra en la siguiente figura.

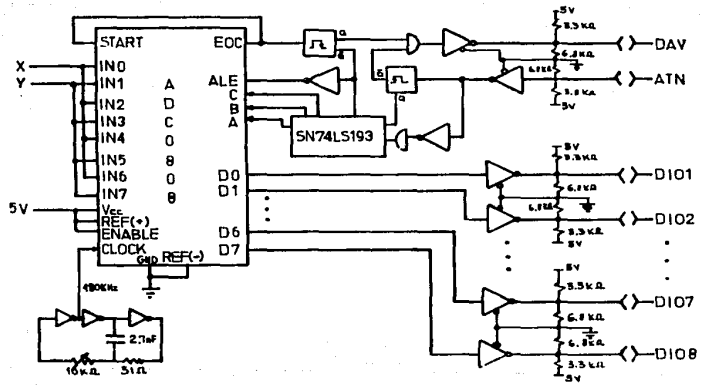


Fig. 3.10 Circuit de acquisition de données.

CAPITULO IV

IV.1 INTRODUCCION.

La HP-IB, cuyas letras son: Hewlett-Packard Interface Bus. Es una implementación de Hewlett Packard para la interface estandarizada de la IEEE-488-19781. Tiene la finalidad de proveer una compatibilidad mecánica, eléctrica, de tiempo y de envío de datos mediante un mismo lenguaje, entre todos los dispositivos unidos al bus.

A través del bus HP-IB se mandan los datos registrados y digitalizados por el circuito sensor y convertidor-transmisor. La HP-85 maneja este bus, por lo que se desarrollará el software en esta computadora.

En este capítulo se mostrará el programa requerido para la captura de datos. Así como el despliegue por pantalla de los mismos.

IV.2 INPUT/OUTPUT.

La I/O (Input/Output), es una capacidad de la computadora HP-85 para entrada y salida de datos.

En una programación se tienen variables que pueden ser letras o números, se puede ver la impresión o el despliegue por pantalla de estas variables. Con sólo utilizar el teclado se pueden obtener letras, números o símbolos.

Algunas actividades cotidianas pueden ayudar a definir la terminología de I/O.

Input, es el medio por el cual el dato entra en la computadora (llamada fuente), desde un dispositivo externo.

Output, es el medio en el que el dato va desde la computadora, hacia un dispositivo externo, llamado destino.

Un dispositivo que tenga comunicacion con la computadora se le da el nombre de: dispositivo periferico.

En la HP-85, existe este medio de I/O. Este trabajo es realizado por la interface HP-IB.

La interface es un complicado hardware, que se encarga de la comunicacion entre la computadora y los dispositivos externos.

El trabajo de la interface es generar una compatibilidad en cuatro areas, las cuales son:

- a) Compatibilidad Mecanica.
- b) Compatibilidad Eléctrica.
- c) Compatibilidad de envio de datos.
- d) Compatibilidad de tiempo.

En el dibujo de la figura 4.1 se muestra el papel que desempeña la interface con respecto al dispositivo periferico.

IV.2.a Compatibilidad Mecanica.

La compatibilidad mecanica, es el simple medio por el cual se conectan la interface, ya sea por medio de plugs y/o conectores que la unen con el dispositivo periferico. La serie 829XX de la interface, son diseñados para ser compatibles con la

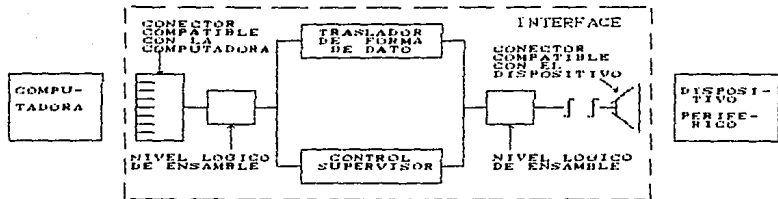


Fig. 4.1 Función de la interface HP-IB

HP-85. La interface HP-IB es también diseñada con conectores, para ser ensamblada a sus periféricos.

1V.2.b Compatibilidad Eléctrica.

La compatibilidad eléctrica es el medio que utiliza la interface para poder cambiar los niveles de voltaje usados por la computadora y el dispositivo periférico. La situación es similar al caso de la compatibilidad mecánica. La interface de la HP-85 es eléctricamente compatible con la propia computadora.

IV.2.c Compatibilidad de envío de datos.

La compatibilidad mecánica y eléctrica no garantiza que la computadora y el dispositivo periférico tengan comunicación. Otra característica es necesario para que ambos puedan entenderse y transmitirse entre ellos los datos requeridos.

Es como en el caso de dos personas, que no hablan el mismo idioma y requieren de un transductor. Así mismo es con la computadora y el dispositivo periférico. La programación necesaria para esta comunicación se tiene en la HP-85. Sin embargo este trabajo es usualmente dado a la interface.

IV.2.d Compatibilidad de tiempo.

El hablar y escuchar entre dos personas, es un proceso de relación en que cada una espera su turno, por lo que existe un ensamble en tiempo, o sea que existe un tiempo de espera para hablar y escuchar.

Entre la computadora y su dispositivo periférico existe un rango de operación de velocidad, que es un mecanismo por el cual se tiene la comunicación entre los dos. A este mecanismo se le da el nombre de Handshake. El cual se dio una explicación en el capítulo anterior.

En el siguiente dibujo se muestra un diagrama simplificado del handshake.

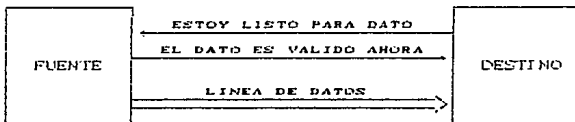


Fig. 4.2 Proceso del handshake.

Cuando se envía un mensaje cualquiera a través del servicio postal, se especifica la dirección ante la oficina postal. Lo mismo sucede cuando se quiere comunicación con un dispositivo periférico. La selección de este periférico se le da el nombre de direccionamiento.

La HP-85 direcciona al dispositivo periférico a través del uso de un dispositivo selector, que se encuentra en la declaración de I/O. Un dispositivo selector es un número, que es similar a la dirección en una carta postal.

Por lo tanto se tienen dos clases de selector de dispositivo. La HP-85 maneja estas dos, las cuales son:

a) Dispositivo selector.

Es un código por el cual la interface se conecta. El número de código de selección es entre 3 y 10. Este número identifica a la interface. Cada interface es fijada con su número de selección desde su fabricación. Por ejemplo:

Numero de Parte	Nombre	Codigo de seleccion
B2937A	HP-IB	7

Otros tipos de interface pueden tener otro numero de seleccion de codigo.

Los conflictos electricos serios surgen cuando se conectan dos interfaces con el mismo codigo de seleccion. Si sucede esto, es necesario cambiar el numero de cualquiera de las dos interfaces.

L3 Numero de direccion.

Si se necesitan utilizar mas de un dispositivo periferico es necesario tener un tipo de seleccion para cada uno.

El dispositivo selector es un numero de 3 a 4 digitos.

Acontinuacion se muestran algunos ejemplo:

*Dispositivo selector de 721, especifica: dispositivo 21 en la interface 7.

*Dispositivo selector de 301, especifica: dispositivo 01 en la interface 3.

*Dispositivo selector de 1002, especifica: dispositivo 2 en la interface 10.

IV.3 FORMATOS DE ENTADA Y SALIDA (I/O).

Existen situaciones en la se requiere adquirir un dato con alguna característica en especial, como por ejemplo: con un punto

decimal, con dos decimales o quizás tres decimales, con dos dígitos de exponente o simplemente una sola línea de números.

Hay una gran variedad de razones durante I/O, en la que se desea un formato para la entrada y salida de estos datos.

El formato enviado o recibido a través de la interfaz es controlada por el uso de especificaciones de imágenes. Estas especificaciones pueden ser puestas en una instrucción de imagen o ser incluidas directamente en una instrucción de OUTPUT o ENTER.

IV.3.a Formato de salida (OUTPUT).

En una imagen de salida, todas sus características son controladas, incluyendo espacios, apariencia del campo, forma del dato representado y el uso del final de una secuencia. La HP-25 usa una imagen de salida, cuando alguna instrucción de la forma OUTPUT USING es encontrada en alguna parte del programa. Hay dos formas que se puede utilizar esta instrucción, las cuales son:

- a. 10 IMAGE <imagen de salida>
20 OUTPUT sd USING 10;<lista la salida>
- b. OUTPUT sd USING <imagen de salida>;<lista de salida>

He aquí algunos ejemplos que muestran las formas de utilizar la imagen de salida.

```

10 IMAGE "Total=",ZZ.D
20 IMAGE SA,2X,17A
.
.
50 OUTPUT 4 USING 10;C1,C2,C3
70 OUTPUT 701 USING 20;A$,B$
80 OUTPUT 9 USING "#.B";X
90 OUTPUT S3 USING "MDDD.DD";TC10,TC20
100 OUTPUT 710,711 USING 1$;N$,A

```

La forma "ed", son las siglas de selección de dispositivo. El simbolo (imagen de salida), representa la especificación de la imagen. La especificación de imagen puede ser en forma literal o encerrada por comillas, despues de esto, las variables son separadas por comas.

Para tener una idea de estas especificaciones y la forma en que actuan, acontinuacion veremos las diferentes especificaciones para las imagenes.

a) Caracteres de digito.

En este grupo se tienen los que dan forma al numero y determinan los digitos antes y despues del punto decimal, asi como el despliegue y/o supresión de ceros, tambien es posible eliminar o no los exponentes.

- D Representa un digito a la salida.
- Z Representa un digito a la salida.
- * Representa un digito a la salida.
- E Exponente, 5 caracteres de secuencia: la letra "E", el signo y tres digitos.
- e Representa lo mismo que la letra "E".
- K El numero de salida esta en forma compacta.

b) Caracteres de signo.

S Indica el signo, positivo o negativo.

M Se indica el signo, solamente al numero negativo.

c) Caracteres de puntuación.

. Punto decimal (en America).

P Coma (en Europa).

C Coma, separa un grupo de tres digitos.

P El mismo que "C", pero separa a grupos de digitos (convención Europea).

d) Imagenes de condición.

A Espacio en blanco.

"literal" La salida es una literal.

X Un espacio.

e) Imagen binaria.

B Salida binaria de 8 bits.

W Salida binaria de 16 bits.

f) Imagen de fin de línea.

/ Fin de una línea de secuencia.

* Suprime el fin de una línea de secuencia.

Frecuentemente usado como una imagen binaria, proveniente de un dispositivo, interpretando el fin de línea como datos binarios.

IV.3.b Formato de entrada (ENTER).

Para el formato de la instrucción ENTER, existen tambien dos formas, como la del formato OUTPUT.

- a. 10 IMAGE <imagen de entrada>
20 ENTER sd USING 10; <lista de entrada>
- b. ENTER sd USING <imagen de entrada>;<lista de entrada>

He aqui algunos ejemplos:

```
10 IMAGE 2CA),K
20 IMAGE 5D,2X,3De
.
.
50 ENTER 4 USING 10;A$,B$,X
70 ENTER 711 USING 20;I,J
80 ENTER 9 USING "#,B";AC1),AC2)
90 ENTER 82 USING "%,BA,/K";C$,R$
100 ENTER 712 USING I$,N$,A
```

Para el formato ENTER, las definiciones de sd, <imagen de entrada> y <lista de entrada> son identicas que las del formato OUTPUT.

Acontinuacion daremos una imagen adicional para el formato de ENTER.

Imagen de datos.

La especificacion de imagen en estos grupos son usados para decir a la computadora que hacer con el dato de entrada. La seleccion basica son:

- Uso de caracteres para construir una variable numerica.
- Entrada de una variable.
- Entrada de bits como valor binario.
- Salto de un numero de caracteres.

Las siguientes especificaciones de imagen numerica, imagen de condición, imagen binaria y caracteres de salto son idénticas que el formato OUTPUT.

El símbolo de "#", se utiliza para eliminar un line-feed al terminar una instrucción ENTER.

IV.4 INSTRUCCION TRANSFER.

Esta instrucción es muy poderosa, ya que permite transmitir a una velocidad mayor que OUTPUT y ENTER.

La instrucción ENTER implica una relación con otra instrucción llamada: IOBUFFER, o buffer de entrada y salida. Un buffer es una sección de memoria, de lectura/escritura, que se utiliza para el propósito de un dato guardado. También se utiliza para adquirir cualquier dato de entrada y/o salida por medio de una instrucción TRANSFER. El buffer es el que está en contacto con el dispositivo periférico.

En la figura siguiente se muestra la relación del buffer con transfer, conversión de tablas y variables.

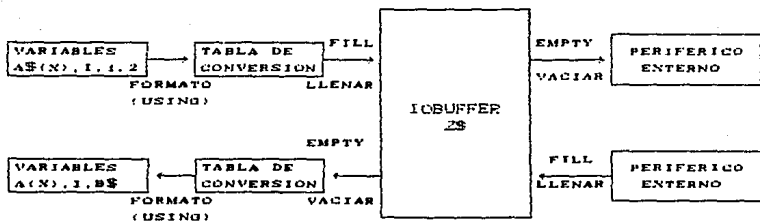
Cualquier operación de TRANSFER requiere un IOBUFFER. Este IOBUFFER necesita una variable dimensionada y adecuada al tamaño. Por ejemplo: si tenemos una variable de entrada de 2000 datos, necesitamos un buffer con una variable de 2008.

```
10 DIM AS(2008),AC(2000)
```

```
20 IOBUFFER AS
```

Las ocho localidades extras de memoria son utilizadas por el IOBUFFER.

ENTER Z\$ USING 20; A\$(X), I, I, 2



ENTER Z\$ USING 20; A(I), X, B\$

Fig. 4.3 Relación del IOBUFFER con TRANSFER.

IV.5 DIAGRAMA DE FLUJO.

Para la adquisición de datos, se utilizó primero un pequeño programa para adquirirlos, sin dibujarlos ni graficarlos. El diagrama de este programa es el siguiente:

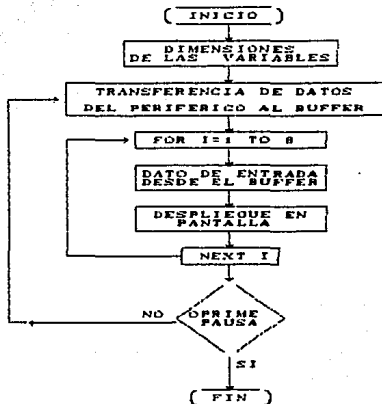


Fig. 4.4 Dídgrama de flujo del programa original.

El programa es el que acontinuación se muestra.

```

10 DIM Z$(15),ZC(8)
20 IOBUFFER Z$
30 TRANSFER 711 TO Z$ FHS
40 FOR I=1 TO 8
50 ENTER Z$ USING "#,B";ZC(I)
60 DISP ZC(I)*5./255.
70 NEXT I
80 GO TO 20
90 END
  
```

Con el anterior programa se obtuvieron los siguientes datos.

Fijando un canal a 0 volts y el otro a 5 volts.

3. Programa para el cuadrículado de la pantalla, representando a los dos ejes, "X" y "Y".

El programa correspondiente es el que a continuación se muestra.

```
10 ! PROGRAMA DEL SENSOR PASO P
20 OP PASO
30 CLEAR
40 DISP "ESCOGE LA ESCALA QUE"
50 DISP "DESEAS"
60 DISP "EN X:DE" ; @ INPUT A@ DI
70 DISP "EN Y:DE" ; @ INPUT C@ DI
80 DISP "DIVISIONES EN EL EJE X"
90 DISP "DIVISIONES EN EL EJE Y"
100 GCLR
110 SCALE A,B,C,D
120 FOR I=A TO B STEP E
130 YAXIS I @ NEXT I
140 FOR J=C TO D STEP F
150 XAXIS J @ NEXT J
160 LDIR 44
170 FOR K=A TO B STEP E
180 MOVE K,C @ LABEL VAL$(K)
190 NEXT K
200 FOR L=C TO D STEP F
210 MOVE A,L @ LABEL VAL$(L)
220 NEXT L
230 BEEP
240 ! ADQUISICION DE DATOS
250 DIM Z$(16),Z(8)
260 MOVE 0,0
270 IOBUFFER Z$
280 TRANSFER 711 TO Z$ FHS
290 FOR H=1 TO 8
300 ENTER Z$ USING "#,B" ; Z(H)
310 NEXT H
320 X=(Z(4)+Z(6)+Z(8))/3
330 Y=(Z(3)+Z(5)+Z(7))/3
340 DRAW :15/255,Y*5/255
350 GOTO 286
360 END
```

Nótese que se suprimieron los dos primeros datos obtenidos. Por lo que para el valor de "X", se tomaron los datos de Z(4), Z(6) y Z(8). Para "Y" se tomaron: Z(3), Z(5) y Z(7).

CONCLUSIONES

El Perfilómetro o Sensor de Microdesplazamientos, ayudara a conocer la forma del perfil que presentan las pinturas de Pelicula Gruesa, de los Circuitos Híbridos.

El perfil encontrado, será proporcional al desplazamiento que sufra el nucleo del sensor con respecto a la ganancia que se tenga del voltaje obtenido, de dicho desplazamiento.

Este sistema de medición no solamente es aplicable para el estudio de los circuitos híbridos, si no tambien, es una herramienta para el estudio de los perfiles microscopicos que se deseen conocer en cualquier rama de la ciencia. Donde existan mediciones de microdesplazamientos, ahí estara el trabajo para el sensor de microdesplazamientos.

APENDICE A

En este apéndice, mostraremos una parte de los resultados obtenidos por el sensor de microdesplazamientos. Hay que hacer notar que la sensibilidad obtenida al final de la etapa de diseño del sensor, fue de aproximadamente $19 \text{ mV}/\mu\text{m}$.

Para obtener los siguientes dibujos, se realizó una modificación al programa de software, esta modificación consistió en eliminar un canal, el "X", y en lugar de éste se utilizó un contador, simulado por el propio software. A cada dato del canal "Y" que se adquiría, se le asignaba un número y se graficaba.

A continuación se dan dos ejemplos del perfil, tomados de un arreglo de capas de diurex sobre un placa de cristal. El arreglo de estos diurex se muestra en la figura A-1.

El grueso de cada placa de diurex es de aproximadamente de $63 \mu\text{m}$.

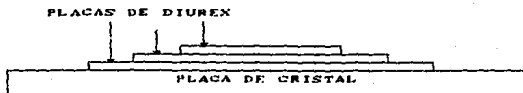


Fig. A-1 Arreglo de los diurex sobre la placa de cristal

Los dibujos obtenidos mediante el sistema de microdesplazamiento son los siguientes:



Fig. A-2

APENDICE B

En esta parte se muestran los diagramas de los circuitos de los impresos de: la parte del sensor y la parte de adquisición de datos. También se muestra en un dibujo la parte física del sensor y de la forma en que se tomaron las lecturas sobre la superficie antes mencionada.

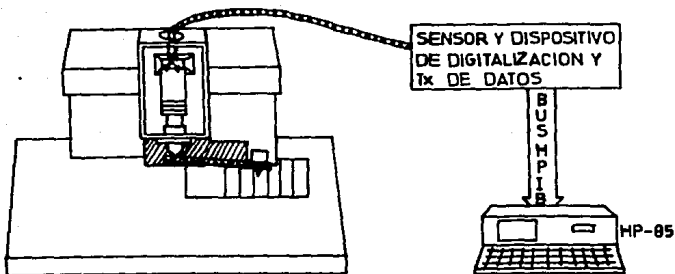


Fig. B-1 Aspecto físico del sensor.

LISTA DE COMPONENTES DEL SENSOR.

C. I. 1 XR2038 GENERADOR DE FUNCIONES.
 C. I. 2 TL084 AMPLIFICADORES OPERACIONALES (4).
 C. I. 3 XR2208 MULTIPLICADOR CON AMPLIFICADOR OPERACIONAL.
 C. I. 4 TLC01 AMPLIFICADOR OPERACIONAL.

C1	1.5 nf.	C5	5.8 nf.
C2	0.022 μ f.	C6	0.58 nf.
C3	0.01 μ f.	C7	470 μ f.
C4	5.8 nf.	C8	100 μ f.

P1 = P2 = P3 = P4 = P5 = P6 = 10 k Ω .

R1	82 k Ω .	R10	10 k Ω .	R19	10 k Ω .
R2	1 M Ω .	R11	33 k Ω .	R20	5.8 k Ω .
R3	2.2 k Ω .	R12	33 k Ω .	R21	330 Ω .
R4	58 k Ω .	R13	10 k Ω .	R22	15 k Ω .
R5	5.8 k Ω .	R14	33 k Ω .	R23	58 k Ω .
R6	58 k Ω .	R15	33 k Ω .	R24	33 k Ω .
R7	1.2 k Ω .	R16	10 k Ω .	R25	33 k Ω .
R8	12 k Ω .	R17	10 k Ω .	R26	1 M Ω .
R9	330 Ω .	R18	51 Ω .	R27	1 M Ω .

LISTA DE COMPONENTES DE LA PARTE DIGITAL.

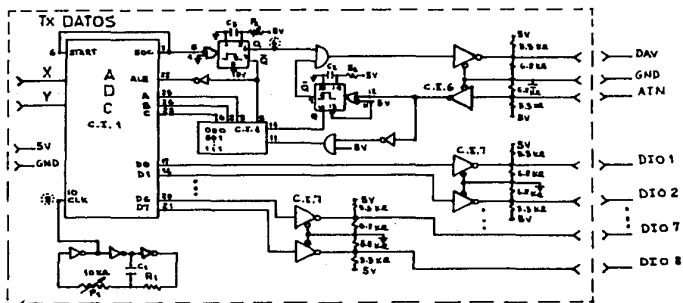
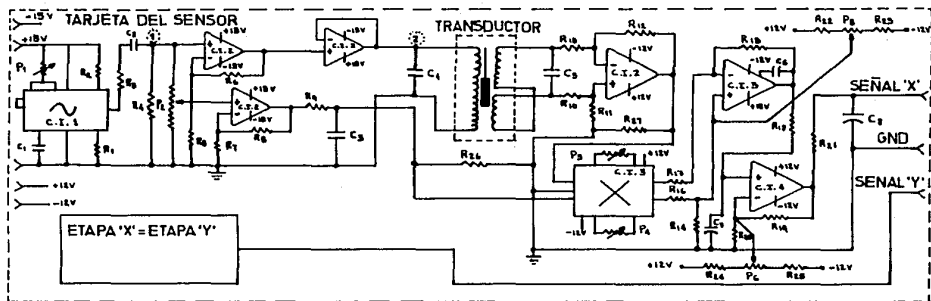
C. I. 1 ADC0808 CONVERTIDOR ANALOGICO-DIGITAL.
 C. I. 2 SN74LS04 COMPUERTAS INVERSORAS.
 C. I. 3 MC14538 CIRCUITO MONOESTABLE.
 C. I. 4 SN74LS193 CONTADOR DE 0-15, HACIA ARRIBA Y HACIA ABAJO.
 C. I. 5 SN74LS08 COMPUERTA AND.
 C. I. 6 = C. I. 7 BUFFERS INVERSORES DE TRES ESTADOS.
SN74LS368

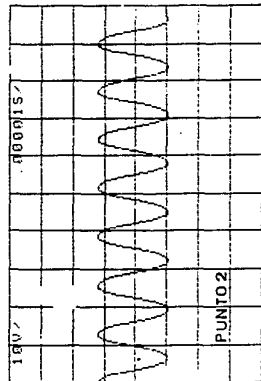
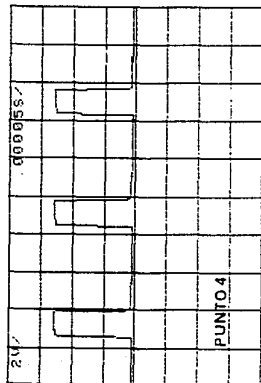
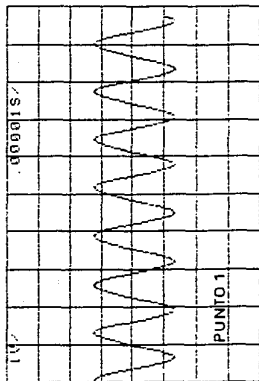
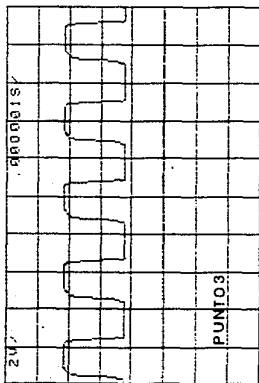
C1	2.7 nf.	C2	0.22 μ f.	C3	4.7 nf.
C4 = C5 = C6 = C7 = C8 = C9	0.1 μ f.				

P1 = P2 10 k Ω .

R1	51 Ω .	R3-R19	3.3 k Ω .
R2	180 k Ω .	R20-R35	5.8 k Ω .

TODAS LAS RESISTENCIAS SON A 1/2W DE POTENCIA.



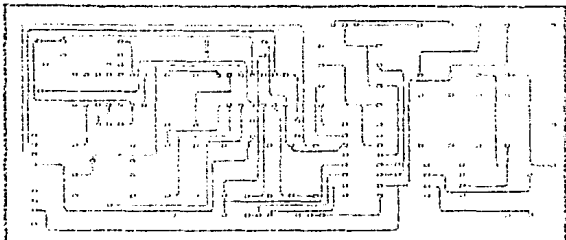


1X checkplot 2 Aug 1989 16:59:56

SENSOR

v1.2 r3 holes: 151 solder side

approximate size: 4.70 by 2.20 inches

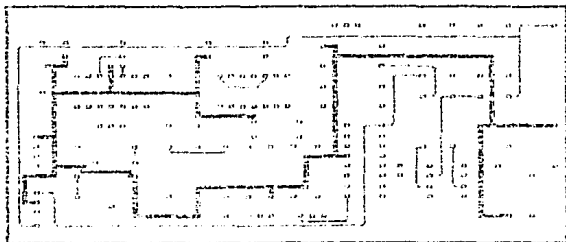


1X checkplot 2 Aug 1989 17:01:30

SENSOR

v1.2 r3 holes: 151 component side

approximate size: 4.70 by 2.20 inches

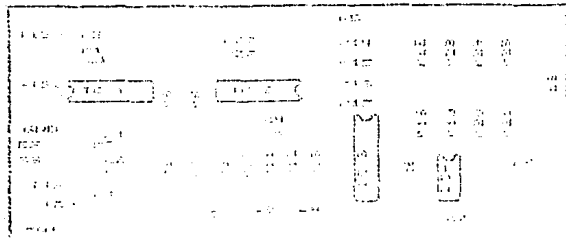


1X checkplot 2 Aug 1989 17:02:22

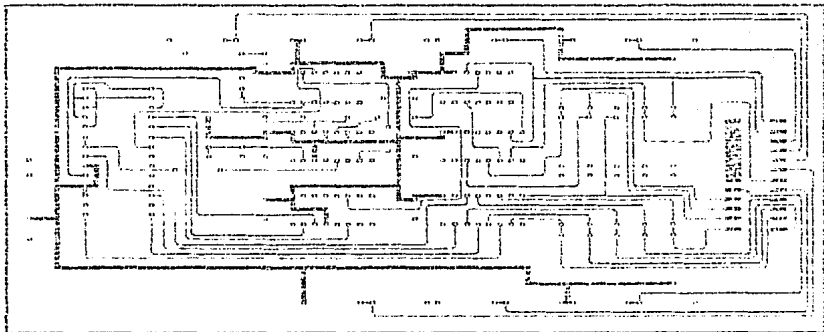
SENSOR

v1.2 r3 holes: 151 silkscreen

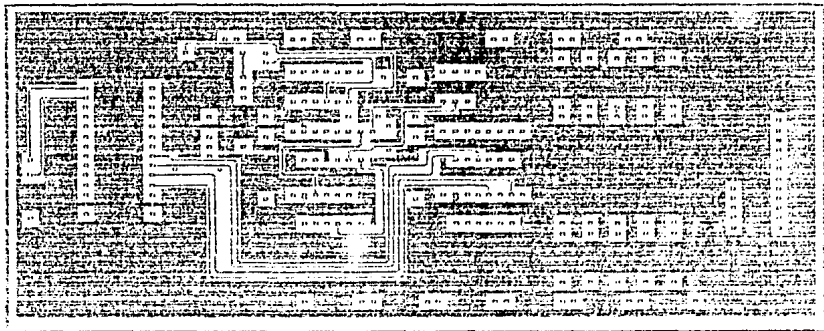
approximate size: 4.70 by 2.20 inches



11X checkplot 2 Aug 1989 17:06:30
Tx DATOS
v1.2 r3 holes: 250 solder side
approximate size: 7.15 by 3.15 inches



1X checkplot 2 Aug 1989 17:08:01
Tx DATOS
v1.2 r3 holes: 250 component side
approximate size: 7.15 by 3.15 inches



ix checklot 2 Aug 1989 17:07:37
 Tx DATOS
 vi.2 r3 holes: 250 silkscreen
 approximate size: 7.15 by 3.15 inches

REF	AS	CA	NZ 1	RAE	ST	US	US 1
21		1.2	3.0	1.2			
22		1.2	3.0	1.2			
23		1.2	3.0	1.2			
24		1.2	3.0	1.2			
25		1.2	3.0	1.2			
26		1.2	3.0	1.2			
27		1.2	3.0	1.2			
28		1.2	3.0	1.2			
29		1.2	3.0	1.2			
30		1.2	3.0	1.2			
31		1.2	3.0	1.2			
32		1.2	3.0	1.2			
33		1.2	3.0	1.2			
34		1.2	3.0	1.2			
35		1.2	3.0	1.2			
36		1.2	3.0	1.2			
37		1.2	3.0	1.2			
38		1.2	3.0	1.2			
39		1.2	3.0	1.2			
40		1.2	3.0	1.2			
41		1.2	3.0	1.2			
42		1.2	3.0	1.2			
43		1.2	3.0	1.2			
44		1.2	3.0	1.2			
45		1.2	3.0	1.2			
46		1.2	3.0	1.2			
47		1.2	3.0	1.2			
48		1.2	3.0	1.2			
49		1.2	3.0	1.2			
50		1.2	3.0	1.2			
51		1.2	3.0	1.2			
52		1.2	3.0	1.2			
53		1.2	3.0	1.2			
54		1.2	3.0	1.2			
55		1.2	3.0	1.2			
56		1.2	3.0	1.2			
57		1.2	3.0	1.2			
58		1.2	3.0	1.2			
59		1.2	3.0	1.2			
60		1.2	3.0	1.2			
61		1.2	3.0	1.2			
62		1.2	3.0	1.2			
63		1.2	3.0	1.2			
64		1.2	3.0	1.2			
65		1.2	3.0	1.2			
66		1.2	3.0	1.2			
67		1.2	3.0	1.2			
68		1.2	3.0	1.2			
69		1.2	3.0	1.2			
70		1.2	3.0	1.2			
71		1.2	3.0	1.2			
72		1.2	3.0	1.2			
73		1.2	3.0	1.2			
74		1.2	3.0	1.2			
75		1.2	3.0	1.2			
76		1.2	3.0	1.2			
77		1.2	3.0	1.2			
78		1.2	3.0	1.2			
79		1.2	3.0	1.2			
80		1.2	3.0	1.2			

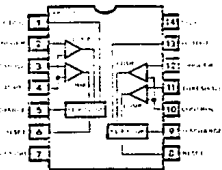
Timing Circuits

XR-2556 DUAL TIMING CIRCUIT

The XR-2556 dual timing circuit contains two independent 555-type timers on a single monolithic chip. Each timer section is a highly stable controller capable of producing accurate time delays or oscillations. Each timer has independent output and control terminals and can be used for monostable or astable operation.

The XR-2556 may be triggered or reset on falling waveforms, and each output can source or sink up to 200 mA of load current, or drive DTL and TTL circuits. The matching and temperature tracking characteristics of the two timer sections of the XR-2556 are superior to those available from timers in separate packages.

FUNCTIONAL BLOCK DIAGRAM



FEATURES

- Replaces Two 555-Type Timers
- TTL Compatible Outputs (GND - Pin 7, V_{CC} - Pin 14)
- Timing from Microseconds Through Hours
- Excellent Matching Between Timer Sections
- Operates in Both Monostable and Astable Modes
- High Current Drive Capability (200 mA each output)
- TTL and DTL Compatible Outputs
- Adjustable Duty Cycle
- Temperature Stability of 0.005%/°C

APPLICATIONS

- | | |
|-----------------------|---------------------------|
| Precision Timing | Missing-Pulse Detection |
| Pulse Generation | Pulse-Width Modulation |
| Sequential Timing | Frequency Division |
| Pulse Shaping | Clock Synchronization |
| Time Delay Generation | Pulse-Position Modulation |

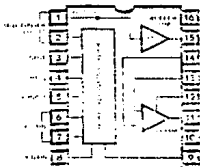
ORDER INFORMATION

Part Number	Package	Operating Temperature
XR-2556M	Ceramic	55°C to +125°C
XR-2556CN	Ceramic	0°C to +75°C
XR-2556CP	Plastic	0°C to +75°C

Multipliers and Modulators

XR-2208 OPERATIONAL MULTIPLIER

The XR-2208 operational multiplier/modulator combines a four-quadrant analog multiplier/modulator, a high frequency buffer amplifier and an operational amplifier in a monolithic circuit that is ideally suited for both analog computation and communications signal processing applications. The multiplier/buffer amplifier combination extends the small signal 3 dB bandwidth to 8 MHz and the transconductance bandwidth to 100 MHz.



FEATURES

- Maximum Versatility
- Independent Multiplier, Op Amp and Buffer
- Excellent Linearity (0.37, typ. 2%)
- Wide Bandwidth
- 3 dB Bandwidth - 8 MHz typical
- 3° Phase Shift Bandwidth - 1.2 MHz typical
- Transconductance Bandwidth - 100 MHz typical
- Simplified Other Adjustments
- Wide Supply Voltage Range (+5.7V to ±15V)

APPLICATIONS

- | | |
|--------------------------|----------------------------------|
| Analog Computation | Triangular-to-Sawtooth Converter |
| Multiplication | AGC Amplifier |
| Division | Phase Detector |
| Signal Processing | Motor Speed Control |
| AM Generation | Phase-Locked AM Transmitter |
| Frequency Doubling | |
| Frequency Translation | |
| Synchronous AM Detection | |

ORDER INFORMATION

Part Number	Package	Operating Temperature
XR-2208M	Ceramic	-55°C to +125°C
XR-2208N	Ceramic	0°C to +75°C
XR-2208P	Plastic	0°C to +75°C
XR-2208CN	Ceramic	0°C to +75°C
XR-2208CP	Plastic	0°C to +75°C

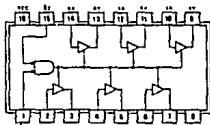
54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

HEX BUS DRIVERS

365 NONINVERTED 3 STATE OUTPUTS
GATED ENABLE INPUTS

See page 6-36

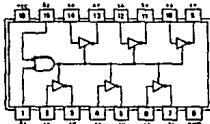


SN54365A (J, W) SN74365A (J, N)
SN54LS365A (J, W) SN74LS365A (J, N)

HEX BUS DRIVERS

366 INVERTED 3 STATE OUTPUTS
GATED ENABLE INPUTS

See page 6-36

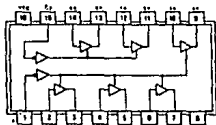


SN54366A (J, W) SN74366A (J, N)
SN54LS366A (J, W) SN74LS366A (J, N)

HEX BUS DRIVERS

367 NONINVERTED 3 STATE OUTPUTS
ORGANIZED TO FACILITATE
HANDLING OF 4-BIT DATA

See page 6-36

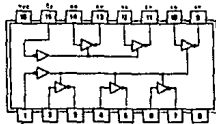


SN54367A (J, W) SN74367A (J, N)
SN54LS367A (J, W) SN74LS367A (J, N)

HEX BUS DRIVERS

368 INVERTED 3 STATE OUTPUTS
ORGANIZED TO FACILITATE
HANDLING OF 4-BIT DATA

See page 6-36



SN54368A (J, W) SN74368A (J, N)
SN54LS368A (J, W) SN74LS368A (J, N)

XR-8038

Precision Waveform Generator

GENERAL DESCRIPTION

The XR-8038 is a precision waveform generator IC capable of producing sine, square, triangular, sawtooth and pulse waveforms with a minimum number of external components and adjustments. Its operating frequency can be selected over nine decades of frequency, from 0.001 Hz to 1 MHz, by the choice of external R-C components. The frequency of oscillation is highly stable over a wide range of temperature and supply voltage changes. The frequency control, sweep and modulation can be accomplished with an external control voltage, without effecting the quality of the output waveforms. Each of the three basic waveforms, i.e. sine wave, triangle and square wave outputs are available simultaneously, from independent output terminals.

The XR-8038 monolithic waveform generator uses advanced processing technology and Schottky-barrier diodes to enhance its frequency performance. It can be readily interfaced with a monolithic phase-detector circuit, such as the XR-2208, to form stable phase-locked loop circuits.

FEATURES

Direct Replacement for Intersil 8038
Low Frequency Drift—50 ppm/°C Max.
Simultaneous Sine, Triangle and Square-Wave Outputs
Low Distortion—THD \approx 1%
High FM and Triangle Linearity
Wide Frequency Range—0.001 Hz to 1 MHz
Variable Duty-Cycle—2% to 98%

APPLICATIONS

Precision Waveform Generation Sine, Triangle, Square, Pulse
Sweep and FM Generation
Tone Generation
Instrumentation and Test Equipment Design
Precision PLL Design

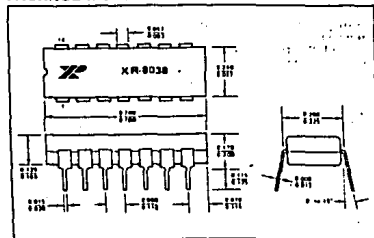
ABSOLUTE MAXIMUM RATINGS

Power Supply	36V
Power Dissipation (package limitation)	
Ceramic package	750 mW
Derate above +25°C	6.0 mW/°C
Plastic package	625 mW
Derate above +25°C	5 mW/°C
Storage Temperature Range	-65°C to +150°C

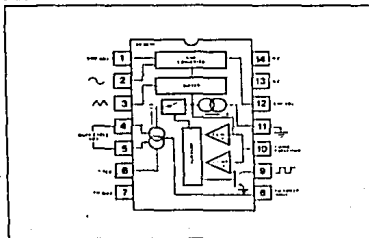
AVAILABLE TYPES

Part Number	Package	Operating Temperature
XR-8038M	Ceramic	-55°C to +125°C
XR-8038N	Ceramic	0°C to +75°C
XR-8038P	Plastic	0°C to +75°C
XR-8038CN	Ceramic	0°C to +75°C
XR-8038CP	Plastic	0°C to +75°C

PACKAGE INFORMATION



FUNCTIONAL BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

Test Conditions: $V_s = \pm 5V$ to $\pm 15V$, $T_A = 25^\circ C$, $R_L = 1 M\Omega$, $R_A = R_B = 10 k\Omega$, $C_1 = 3300 pF$, S_1 closed, unless otherwise specified. See Test Circuit of Figure 1.

CHARACTERISTICS	XR-8038M/XR-8038			XR-8038C			UNITS	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTICS								
Supply Voltage, V_s								
Single Supply	10		30	10		30	V	
Dual Supplies	± 5		± 15	± 5		± 15	V	
Supply Current		12	15		12	20	mA	$V_s = \pm 10V$. See Note 1.
FREQUENCY CHARACTERISTICS (Measured at Pin 9)								
Range of Adjustment		1		1			MHz	$R_A = R_B = < 500\Omega$, $C_1 = 0$, $R_L = 15 k\Omega$
Max. Operating Frequency								$R_A = R_B = 1 M\Omega$, $C_1 = 500 \mu F$
Lowest Practical Frequency		0.001		0.001			Hz	
Max. FM Sweep Frequency		100		100			kHz	
FM Sweep Range		1000:1		1000:1				S_1 Open. See Notes 2 and 3.
FM Linearity		0.1		0.2			%	S_1 Open. See Note 3.
Range of Timing Resistors	0.5		1000	0.5		1000	k Ω	Values of R_A and R_B .
Temperature Stability								
XR-8038M		20	50	--	--	--	ppm/ $^\circ C$	
XR-8038		50	100	--	--	--	ppm/ $^\circ C$	
XR-8038C	--	--	--		50	--	ppm/ $^\circ C$	
Power Supply Stability		0.05		0.05			%/V	See Note 4.
OUTPUT CHARACTERISTICS								
Square-Wave Amplitude	0.9	0.98		0.9	0.98	0.5	$x V_s$	Measured at Pin 9, $R_L = 100 k\Omega$
Saturation Voltage		0.2	0.4		0.2		V	$I_{sink} = 2 mA$
Rise Time		100			100		nsec	$R_L = 4.7 k\Omega$
Fall Time		40			40		nsec	$R_L = 4.7 k\Omega$
Duty Cycle Adj.	2		98	2		98	%	
Triangle/Sawtooth/Ramp Amplitude	0.3	0.33		0.3	0.33		$x V_s$	Measured at Pin 3, $R_L = 100 k\Omega$
Linearity		0.05			0.1		%	
Output Impedance		200			200			$I_{out} = 5 mA$
Sine-Wave Amplitude	0.2	0.22		0.2	0.22		$x V_s$	$R_L = 100 k\Omega$
Distortion Unadjusted		0.7	1.5		0.8	3	%	$R_L = 1 M\Omega$. See Note 5.
Adjusted		0.5			0.5		%	$R_L = 1 M\Omega$

Note 1: Currents through R_A and R_B not included.

Note 2: $V_s = 20V$, $f = 10 kHz$, $R_A = R_B = 10 k\Omega$.

Note 3: Apply sweep voltage at Pin 8.

$(2/3 V_s + 2V) \leq V_{sweep} \leq V_s$

Note 4: $10V \leq V_s \leq 30V$ or $\pm 5V \leq V_s \leq \pm 15V$.

Note 5: 81 k Ω resistor connected between Pins 11 and 12.

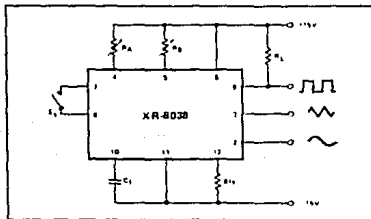
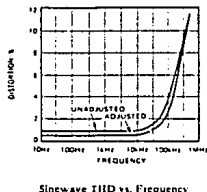
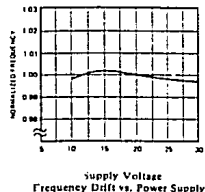
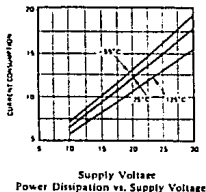


Figure 1. Generalized Test Circuit.

CHARACTERISTIC CURVES



WAVEFORM ADJUSTMENT

The *symmetry* of all waveforms can be adjusted with the external timing resistors. Two possible ways to accomplish this are shown in Figure 2. Best results are obtained by keeping the timing resistors R_A and R_B separate (a), R_A controls the rising portion of the triangle and sine-wave and the "Low" state of the square wave.

The magnitude of the triangle waveform is set at $1/3 V_{CC}$; therefore, the duration of the rising portion of the triangle is:

$$t_1 = \frac{C \times V}{I} = \frac{C \times 1/3 \times V_{CC} \times R_A}{1/5 \times V_{CC}} = \frac{5}{3} R_A \times C$$

The duration of the falling portion of the triangle and the sine-wave, and the "High" state of the square-wave is:

$$t_2 = \frac{C \times V}{I} = \frac{C \times 1/3 \times V_{CC}}{\frac{2}{5} \times \frac{V_{CC}}{R_B} - \frac{1}{5} \times \frac{V_{CC}}{R_A}} = \frac{5}{3} \times \frac{R_A R_B C}{2R_A - R_B}$$

Thus a 50% duty cycle is achieved when $R_A = R_B$.

If the duty-cycle is to be varied over a small range about 50% only, the connection shown in Figure 2b is slightly more convenient. If no adjustment of the duty cycle is desired, terminals

4 and 5 can be shorted together, as shown in Figure 2c. This connection, however, carries an inherently larger variation of the duty-cycle.

With two separate timing resistors, the *frequency* is given by

$$f = \frac{1}{t_1 + t_2} = \frac{1}{\frac{5}{3} R_A C \left(1 + \frac{R_B}{2R_A - R_B} \right)}$$

or, if $R_A = R_B = R$

$$f = 0.3/RC \quad (\text{for Figure 2a})$$

If a single timing resistor is used (Figures 2b and c), the frequency is

$$f = 0.15/RC$$

The frequency of oscillation is independent of supply voltage, even though none of the voltages are regulated inside the integrated circuit. This is due to the fact that both currents and thresholds are direct, linear function of the supply voltage and thus their effects cancel.

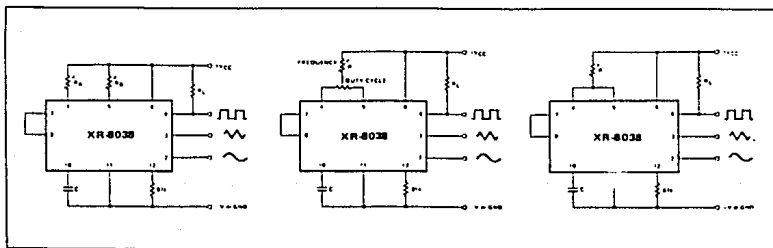


Figure 2. Possible Connections for the External Timing Resistors.

DISTORTION ADJUSTMENT

To minimize sine-wave distortion the 81 k Ω resistor between pins 11 and 12 is best made a variable one. With this arrangement distortion of less than 1% is achievable. To reduce this even further, two potentiometers can be connected as shown in Figure 3. This configuration allows a reduction of sine-wave distortion close to 0.5%.

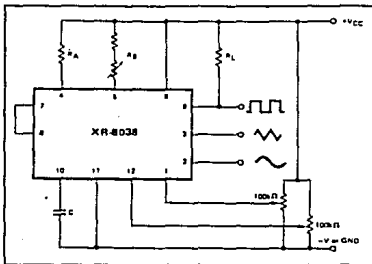


Figure 3. Connection to Achieve Minimum Sine-Wave Distortion.

SELECTING TIMING COMPONENTS

For any given output frequency, there is a wide range of RC combinations that will work. However certain constraints are placed upon the magnitude of the charging current for optimum performance. At the low end, currents of less than 0.1 μ A are undesirable because circuit leakages will contribute significant errors at high temperatures. At higher currents (1 > 5 mA), transistor betas and saturation voltages will contribute increasingly larger errors. Optimum performance will be obtained for charging currents of 1 μ to 1 mA. If pins 7 and 8 are shorted together the magnitude of the charging current due to R_A can be calculated from:

$$I = \frac{R_1 \times V_{CC}}{(R_1 + R_2)} \times \frac{1}{R_A} = \frac{V_{CC}}{5R_A}$$

A similar calculation holds for R_B .

SINGLE-SUPPLY AND SPLIT-SUPPLY OPERATION

The waveform generator can be operated either from a single power-supply (10 to 30 Volts) or a dual power-supply (± 5 to ± 15 Volts). With a single power-supply the average levels of the triangle and sine-wave are at exactly one-half of the supply voltage, while the square-wave alternates between + V_{CC} and ground. A split power supply has the advantage that all waveforms move symmetrically about ground.

The square-wave output is not committed. A load resistor can be connected to a different power-supply, as long as the applied voltage remains within the breakdown capability of the waveform generator (30V). In this way, the square-wave output will be TTL compatible (load resistor connected to +5 Volts) while the waveform generator itself is powered from a higher supply voltage.

FREQUENCY MODULATION AND SWEEP

The frequency of the waveform generator is a direct function of the DC voltage at terminal 8 (measured from + V_{CC}). By altering this voltage, frequency modulation is performed.

For small deviations (e.g. $\pm 10\%$) the modulating signal can be applied directly to pin 8 by merely providing ac coupling with a capacitor, as shown in Figure 4a. An external resistor between pins 7 and 8 is not necessary, but it can be used to increase input impedance. Without it (i.e. terminals 7 and 8 connected together), the input impedance is 8k Ω ; with it, this impedance increases to $(R + 8k\Omega)$.

For larger FM deviations or for frequency sweeping, the modulating signal is applied between the positive supply voltage and pin 8 (Figure 4b). In this way the entire bias for the current sources is created by the modulating signal and a very large (e.g., 1000:1) sweep range is obtained ($f = 0$ at $V_{sweep} = 0$). Care must be taken, however, to regulate the supply voltage; in this configuration the charge current is no longer a function of the supply voltage (yet the trigger thresholds still are) and thus the frequency becomes dependent on the supply voltage. The potential on Pin 8 may be swept from V_{CC} to $2/3 V_{CC} + 2V$.

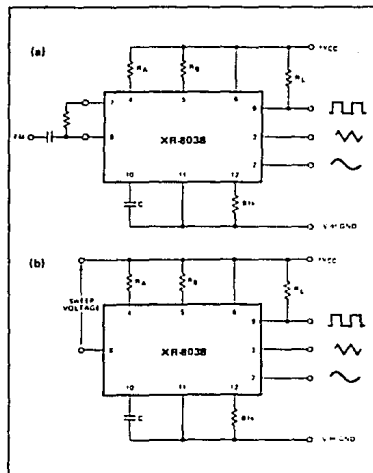


Figure 4. Connections for Frequency Modulation (a) and Sweep (b).



A to D, D to A

ADC0808, ADC0809 8-Bit μ P Compatible A/D Converters With 8-Channel Multiplexer

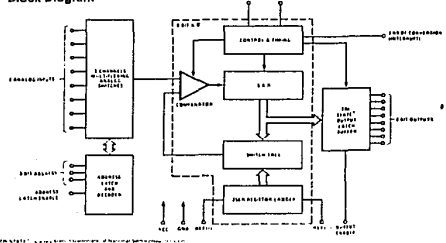
General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer, and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper-stabilized comparator, 25mA voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8 single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched TRISTATE[®] output.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexers, with common output impedance ports see ADC0810 data sheet. (See AN-247 for more information.)

Block Diagram



Features

- Resolution — 8 bits
- Total unadjusted error — ± 1/2 LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μ s
- Single supply — 5 V_{CC}
- Operates ratiometrically or with 5 V_{CC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors or operates "stand alone"
- Outputs meet TTL voltage level specifications
- DV to 5V analog input voltage range with single 5V supply
- No zero or full scale adjust required
- Standard hermetic or molded 28 pin DIP package
- Temperature range — 40°C to +85°C or -55°C to +125°C
- Low power consumption — 15 mW
- Latched TRISTATE[®] output

Absolute Maximum Ratings (Notes 1 and 2)

Supply voltage (V _{CC}) (Notes 1, 2)	5.5V
Input voltage (Notes 1, 2)	-0.3V to V _{CC} + 0.3V
Output voltage (Notes 1, 2)	-0.3V to 1.5V
START, OE, CLOCK, ALE, ADDA, ADD B, ADD C	-0.3V to 1.5V
Storage Temperature Range	-65°C to +150°C
Maximum Operating Temperature	85°C
Lead Temperature Soldering (10 sec. limit)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Notes 1, 2)	0°C to +125°C
Operating Voltage (Notes 1, 2)	+5V ± 0.5V
Operating Current (Notes 1, 2)	+10mA to +20mA
Operating Power (Notes 1, 2)	+150mW to +300mW

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{CC} = V_{REF(1)} = V_{REF(2)} = GND, T_{AMB} = T_S & T_{MAX}, AND I_{CL} = 640 kHz unless otherwise stated.

Parameter	Conditions	Min	Typ	Max	Units
ADC0808 Total Unadjusted Error (Note 3)	25°C			± 1/2	LSB
	T _{MIN} to T _{MAX}			± 3/4	LSB
ADC0809 Total Unadjusted Error (Note 3)	0°C to 70°C			± 1	LSB
	T _{MIN} to T _{MAX}			± 1.14	LSB
Input Resistance	(From Ref(-) to Ref(+))	10	25		k Ω
Analog Input Voltage Range (Note 4) V _{IN(+)} or V _{IN(-)}	GND-0.10		V _{CC}	V _{CC} + 0.10	V
V _{IN(+)} Voltage, Top of Ladder	Measured at Ref(+)		V _{CC}	V _{CC} + 0.10	V
V _{IN(+)} Voltage, Center of Ladder		V _{CC} /2-0.1	V _{CC} /2	V _{CC} /2+0.1	V
V _{IN(-)} Voltage, Bottom of Ladder	Measured at Ref(-)	-0.1	0		V
Comparator Input Current	I _{CL} = 640 kHz (Note 5)	-2	+0.5	2	μ A

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ ± 5V, V_{CC} ± 5V, -55°C ≤ T_A ≤ +125°C unless otherwise noted. ADC0808CJ, ADC0808CEN, and ADC0809CEN 4.75 ≤ V_{CC} ≤ 5.25V, -55°C ≤ T_A ≤ +85°C unless otherwise noted.

Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER					
I _{CH(1)}	OFF Channel Leakage Current V _{CC} = 5V, V _{IN} = 5V, T _A = 25°C		10	200	nA
I _{CH(2)}	OFF Channel Leakage Current V _{CC} = 5V, V _{IN} = 0, T _A = 25°C		-10	10	nA
I _{CH(3)}	OFF Channel Leakage Current V _{CC} = 5V, V _{IN} = 0, T _A = 25°C	-200	-10	10	nA
CONTROL INPUTS					
V _{IN(1)}	Logical "1" Input Voltage		V _{CC} -1.5		V
V _{IN(2)}	Logical "0" Input Voltage			1.5	V
I _{IN(1)}	Logical "1" Input Current (The Control inputs)			1.0	μ A
I _{IN(2)}	Logical "0" Input Current (The Control inputs)		-1.0		μ A
I _{CC}	Supply Current I _{CL} = 640 kHz		0.3	3.0	mA

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ, 4.5V \leq V_{CC} \leq 5.5V, -55°C \leq T_a \leq 125°C unless otherwise noted
 ADC0808CCJ, ADC0808CCH, and ADC0808CCH: 4.75V \leq V_{CC} \leq 5.25V, -45°C \leq T_a \leq 85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)					
Y _{out}	Logical "1" Output Voltage	I _O = -360 μ A			V _{CC} -0.4
Y _{out}	Logical "0" Output Voltage	I _O = 1.6 mA	0.45	1.0	V
Y _{out}	Logical "0" Output Voltage EOC	I _O = 1.2 mA	0.45	1.0	V
Y _{out}	TRI STATE ¹ Output Current	V _O = 5V V _O = 0	3	14	mA

Electrical Characteristics

Timing Specifications: V_{CC} = V_{REF} = 5V, V_{AI}... = GND, I_I = 20 μ A and T_d = 25°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _W	Minimum Setup Pulse Width	(Figure 5)	100	200	75	ns
t _W	Minimum ALE Pulse Width	(Figure 5)	100	200	75	ns
t _{AD}	Minimum Address Set-Up Time	(Figure 5)	25	50	75	ns
t _{AD}	Minimum Address Hold Time	(Figure 5)	25	50	75	ns
t _D	Analog MUX Delay Time From ALE	T _{AI} = DD (Figure 5)	1	2.5	14	ns
t _{OH} (ns)	OE Control to 0 Logic State	C _L = 50 pF, R _L = 10k (Figure 6)	125	250	75	ns
t _{OH} (ns)	OE Control to Hi-Z	C _L = 10 pF, R _L = 10k (Figure 6)	125	250	75	ns
t _{CO}	Conversion Time	f _C = 640 kHz (Figure 5) (Note 7)	90	100	115	ns
f _C	Clock Frequency	0	10	640	1280	kHz
t _{EOC}	EOC Delay Time	(Figure 5)	0	8	2.4	ns
C _{IN}	Input Capacitance	All Control Inputs	10	15	17	pf
C _{OUT}	TRI STATE ¹ Output Capacitance	All TRI STATE ¹ Outputs (Note 12)	10	15	17	pf

Note 1: Absolute maximum ratings are those values between which the IC will operate without damage.

Note 2: All signals are measured with respect to GND, unless otherwise specified.

Note 3: A load device (resistor) must connect Y_{OUT} to GND and not to a non-drainable voltage of V_{CC}.

Note 4: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 5: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 6: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 7: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 8: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 9: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 10: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 11: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Note 12: The output impedance is load dependent and varies with the output current and the load device (resistor) connected to the output.

Functional Description

The device contains an 8-channel single-pole analog signal multiplexer. A particular input channel is selected by using the address decoder. Table 1 gives the input states for the address lines to select any channel. The address is latched into the decoder on the edge of a high transition of the address latch enable signal.

TABLE 1

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	A	B	C
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of the single channel data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (Figure 1) was chosen over the conventional INZ ladder because of its inherent monotonicity, which guarantees non-flipping digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic to the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be asymmetrical with the zero and full scale points of the transfer curve. The first output transition of current when the analog signal has reached $\pm 1/2$ LSB and succeeding output transitions occur every 1.5LSB least up to full scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, 8 iterations are required for an 8-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 10 bits using the 256R network.

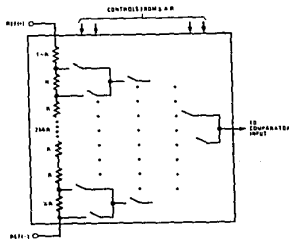


FIGURE 1. Resistor Ladder and Switch Tree

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by timing the onset of conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End of conversion will go low for reset 0 and a clock pulse after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the

comparator drift which has the greatest influence on the repeatability of the device. A copper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The copper-stabilized comparator dominates the DC and high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier and the drift is a DC component which is not passed by the IC amplifier. This makes the entire A/D converter drifting insensitive to temperature, long term drift and initial drift.

Figure 6 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN 179.

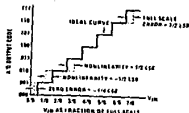


FIGURE 2. 3-Bit A/D Transfer Curve

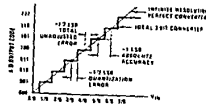


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve



FIGURE 4. Typical Error Curve

004

Connection Diagram



Timing Diagram

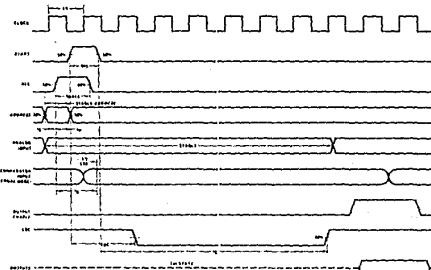
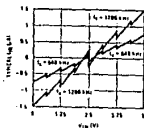
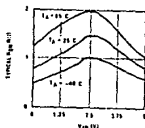


FIGURE 5

065

Typical Performance Characteristics

FIGURE 6. Comparator I_{OL} vs V_{IL}
($V_{CC} = V_{EFL} = 5V$)FIGURE 7. Multiplexer I_{OL} vs V_{IL}
($V_{CC} = V_{EFL} = 5V$)

TRI-STATE® Test Circuits and Timing Diagrams

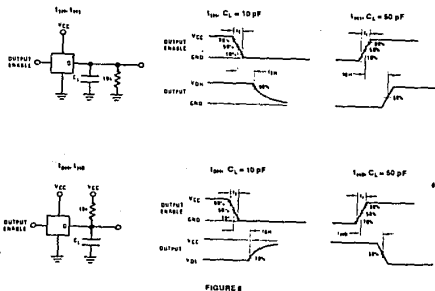


FIGURE 8

866

Applications Information

OPERATION

1) Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full scale and is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation:

$$\frac{V_{IN}}{V_{CC}} = \frac{D_n}{D_{MAX} - D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808
 V_{CC} = Full-scale voltage
 D_n = Zero voltage
 D_n = Data point being measured
 D_{MAX} = Maximum data limit
 D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full scale voltage across it. Since the data is represented as a proportion of full scale, reference measurements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer wiper (Figure 9).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be related to an absolute standard such as voltage or current. This means a system reference must be used which relates the full scale voltage to the standard unit. For example, if $V_{CC} = V_{EFL} = 5.12V$, then the full scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is 19.92 mV.

2) Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input B lines in a comparator. These voltages are compared to the comparator via an analog switch line which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref (+), should not be more positive than the supply, and the bottom of the ladder, Ref (-), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch line changes from trichannel switches to 10 channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

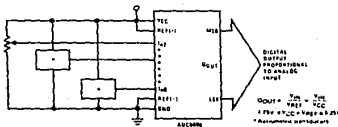


FIGURE 9. Ratiometric Conversion System

867

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current to develop the supply from the reference. Its reference is readily accomplished in Figure 11 if a ground referenced system is shown which generates the supply from the reference. The better shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive. If a capacitor bus is driven to the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM201 is overcompensated to insure stability when loaded by the 10 μ F output capacitor.

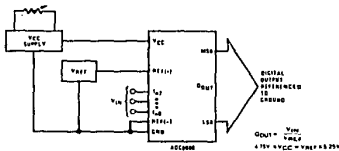


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

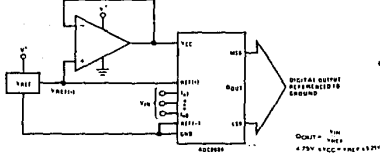


FIGURE 11. Ground Referenced Conversion System with Reference Generating VCC Supply

8-68

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrical, less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 12 a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the bus current flows in identical ladders. This system uses 2.5V reference along the LSB bit to halt the ladder's 5V reference system.

Applications Information

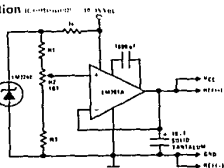


FIGURE 12. Typical Reference and Supply Circuit

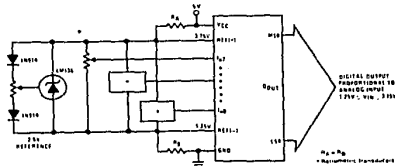


FIGURE 13. Symmetrically Centered Reference

10 Converter Equations

The transition between adjacent codes N and $N+1$ is given by

$$V_{N+1} - V_N = V_{REF} \left[\frac{N+1}{256} - \frac{N}{256} \right] = \frac{V_{REF}}{256} \quad (2)$$

The center of an output code N is given by

$$V_{N+1} - V_{REF} = \frac{N+1}{256} V_{REF} - V_{REF} \quad (3)$$

The output code N for an arbitrary input are the integers within the range

$$N = \frac{V_{IN} - V_{REF}}{V_{REF} - V_{REF}} = 256 \left[\frac{V_{IN} - V_{REF}}{V_{REF} - V_{REF}} \right] \quad (4)$$

where V_{IN} = Voltage at comparator input

V_{REF} = Voltage at V_{REF} pin

V_{REF} = Voltage at V_{REF} pin

V_{REF} = Total unadjusted error voltage typically

$V_{REF} = 512$

4.0 Analog Comparator Inputs

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge is small before the operation of the chosen stabilizing comparator.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in Figure 6.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge is small before the operation of the chosen stabilizing comparator.

If input filter capacitors are desired for noise reduction and a good conditioning they must tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bus current whose effect can be predicted conventionally.

PER

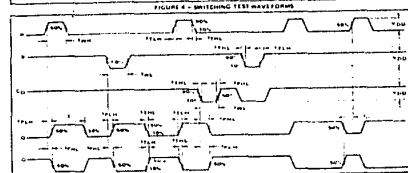
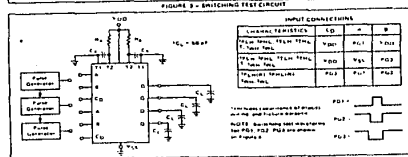
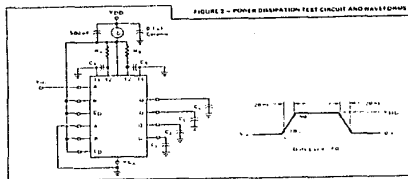
SWITCHING CHARACTERISTICS $V_{CC} = 5V$, $T_A = 25^\circ C$

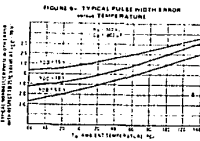
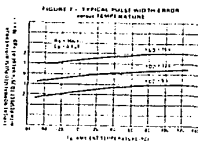
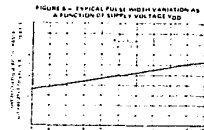
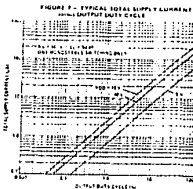
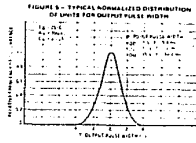
Characteristic	Symbol	AS Type			Units
		Min.	Typ.	Max.	
Set-Up Time	t_{SU}				ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		5.0	-	100	200
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		10	-	50	100
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	-	75	150
Hold Time	t_{HD}				ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		5.0	-	100	200
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		10	-	50	100
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	-	75	150
Propagation Delay Time	t_{PD}				ns
A to B or \bar{C}					ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		5.0	-	100	150
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		10	-	50	100
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	-	75	150
C to B or \bar{C}					ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		5.0	-	750	1000
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		10	-	375	500
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	-	450	600
Maximum Output Pulse Width	t_{PW}				ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		10	-	25	50
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	-	30	60
Minimum Propagation Time	t_{PL}				ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		10	-	-	-
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	-	-	-
Set-Up Time	t_{SU}				ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		5.0	210	225	234
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		10	210	224	234
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	210	224	234
C to B or \bar{C}					ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		5.0	92	96	100
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		10	92	96	100
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	92	96	100
C to B or \bar{C}					ns
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		5.0	0.015	0.065	0.105
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		10	0.015	0.065	0.105
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	0.015	0.065	0.105
Power-Multiplier Maximum External Pin Current	I_{PK}				mA
$V_{IN} = 1.0$ ns of $C_L = 20$ ns		10	0.01	0.06	0.10
$V_{IN} = 0.5$ ns of $C_L = 20$ ns		15	0.01	0.06	0.10

OPERATING CONDITIONS

Supply Voltage	V_{CC}	5.0			V
Operating Temperature	T_A	0	-40	125	$^\circ C$
Maximum Junction Temperature	T_{Jmax}	150			$^\circ C$

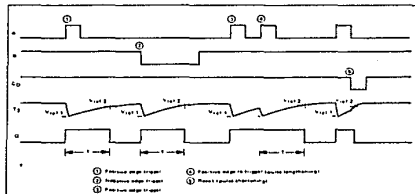
The maximum power dissipation P_{Dmax} is a function of the operating V_{CC} , temperature of the MC14538B, and must not be exceeded and pulse limited.





THEORY OF OPERATION

FIGURE 10 - Timing Diagram



TRIGGER OPERATION

The block diagram of the MC14538B is shown in Figure 1, with detailed operation following.

As shown in Figure 1 and 10, before an input trigger occurs, the monostable in the comparator starts with the Q output low, and the timing capacitor C_1 completely charged to V_{DD} . When the trigger input A goes from V_{DD} to $V_{DD}/2$, the output of B and C_1 are sent to V_{DD} via a valid trigger is recognized when turns on comparator C1 and the CMOS transistor M_1 . At the same time the output latch is set. With transistor M_1 on, the output C_1 rapidly discharges toward $V_{DD}/2$ and $V_{DD}/2$ is reached. At this point the output of comparator C1 changes state and transistor M_1 turns off. Comparator C1 then turns off while at the same time comparator C2 turns on. When transistor M_1 is off, the capacitor C_1 begins to charge through the timing resistor, R_1 , toward V_{DD} . When the voltage across C_1 reaches $V_{DD}/2$, comparator C2 changes state, causing the output latch to reset. Q goes low while at the same time discharging capacitor C_2 . This ends the timing cycle with the monostable in the quiescent state, awaiting for the next trigger.

It should be noted that in the quiescent state C_1 is fully charged to V_{DD} causing the current through resistor R_1 to be zero. Both comparators are "SET" with the total

device current due only to reverse junction leakage. An added feature of the MC14538B is that the output latch is set and the output trigger without regard to the exact voltage. Thus, propagation delay from trigger to Q is independent of the value of C_1 , R_1 , or the duty cycle of the input monostable.

RETRIGGER OPERATION

The MC14538B is retriggered if a valid trigger occurs 2 before the monostable trigger. If before the Q output has returned to the quiescent (initial) state. Any retrigger after the timing node voltage of pin 2 or 16 has returned to rest from $V_{DD}/2$ but has not yet reached $V_{DD}/2$, will cause an increase in output pulse width. When a valid retrigger is introduced, the output at Q will again drop to $V_{DD}/2$ before propagating along the RC timing curve toward V_{DD} . The Q output will remain high until time T_1 after the last valid retrigger.

RESET OPERATION

The MC14538B may be reset during the operation of the output pulse. In the event mode of operation, an input pulse on C_2 sets the reset latch and causes the capacitor to be fast charged to V_{DD} by turning on transistor M_2 . When the voltage on the capacitor reaches $V_{DD}/2$, the

reset latch will clear and will then be ready to accept another pulse. If the C_{EQ} input is held low, any trigger pulses that occur will be inhibited and the Q and \bar{Q} outputs of the output latch will not change. Since the Q output is reset when an input pulse is detected on the EQ input, the output pulse T can be made significantly shorter than the maximum pulse width specification.

POWER LED DRIVE CONSIDERATIONS

Large capacitance input can cause problems due to the large amount of energy stored. In one system containing the MC14538B (or MC14538A) as presented above, the indicator voltage may discharge from V_{DD} through the standard protection diodes at pin 7 or 14. Current through the protection diodes should be limited to 10 mA and therefore the discharge time of the V_{DD} supply must not be faster than $(V_{DD})/(I_{LED})$ (10 mA). For example, if $V_{DD} = 10$ V and $C_{EQ} = 10 \mu\text{F}$, the V_{DD} supply should discharge no faster than $(10 \text{ V}) / (10 \text{ mA}) = 10$ ms. This is normally not a problem unless power supplies are heavily

loaded and cannot discharge at this rate.

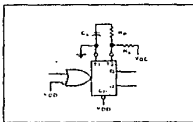
When a more rapid discharge of V_{DD} is required, the MC14538B can be used simply. To avoid this, normally a diode from resistor, R_{EQ} , can be placed between the capacitor C_{EQ} and pin 7 (or 14) of the device to limit the discharge current from the capacitor to the V_{DD} supply. Internally, the protection diode is equivalent to a diode and resistor connected in series between pins 7 and V_{DD} . The diode has a forward bias of 0.625 V and the resistance is about 250 Ω .

To limit the discharge current to 10 mA under the worst case of instantaneous change of pin 16 from V_{DD} to V_{SS} , R_{EQ} is calculated from the equation:

$$R_{EQ} = \frac{(V_{DD} - 0.625 \text{ V})}{10 \text{ mA}}$$

The power-watt formula near changes from $T = 1 \text{ s}$, C_{EQ} to $T = 10 \mu\text{s}$, R_{EQ} + Pin 7. Figure 11 demonstrates the proper connection of the protection resistor.

FIGURE 11 - Use of Resistor to Limit Power Diode Current Surge



TYPICAL APPLICATIONS

FIGURE 12 - Noncapacitive Monostable Circuit

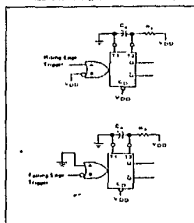


FIGURE 13 - Noncapacitive Monostable Circuit

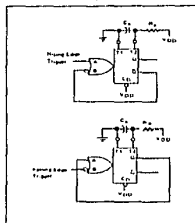


FIGURE 14 - Protection of Power for Output Pulse Width

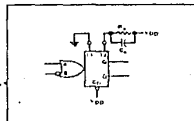
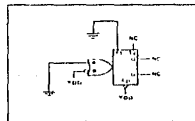


FIGURE 15 - Connection of Unused Sections



GLOSARIO

ACDS (Accept Data State). Estado Acceptor de Datos.

ACRS (Accept Ready State). Estado Receptor Listo.

A/D (Analog to Digital). Analógico-Digital.

ATN (Attention). Atención.

AWNS (Accept Wait for Cycle). Estado de espera de un nuevo ciclo.

D/A (Digital to Analog). Digital-Analógico.

DAV (Data Valid). Dato Válido.

ENABLE. Habilitación.

EOC (End of Conversion). Final de conversión.

EOI (End or Identify). Fin o identificación.

fcx. Frecuencia de Reloj.

fa. Frecuencia de Reloj.

GND. Nivel de referencia.

HANDSHAKE. Técnica de entrelazamiento para la transferencia de datos en forma asíncrona.

HP-IB (Hewlett-Packard Interface Bus). Bus de Interface.

IFC (Interface Clear). Limpiar la Interface.

INO-IN7. Entrada de 0 - 7.

I/O (Input/Ouput). Entrada y Salida.

IOBUFFER. Buffer de entrada y salida.

LOCUTOR. Dispositivo que en algún momento realiza la función de controlador.

LSB. Bit menos significativo.

MSB. Bit más significativo.

NDAC (Not Data Accepted). Dato no aceptado.

NRFD (Not Ready For Data). No listo para dato.

OYENTE. Dispositivo que en algun momento esta disponible para ser controlado.

REN (Remote Enable). Control remoto válido.

REF(+). Referencia positiva.

REF(-). Referencia negativa.

SAR (Successive Approximation Register). Registro de Aproximaciones Sucesivas.

SDYS (Source Delay State). Estado de retardo de la Fuente.

SGNS (Source General State). Estado de la Fuente Generadora.

SQR (Service Request). Peticion de servicio.

START. Inicio de conversión.

STRS (Source Transfer State). Estado de Transferencia de la Fuente.

tc. Tiempo de conversión.

tc_{tip}. Tiempo de conversión típico.

tc_{máx}. Tiempo de conversión máximo.

td. Tiempo de retardo.

tzoc. Tiempo de fin de conversión.

TTL (Transistor Transistor Logic). Lógica Transistor Transistor.

BIBLIOGRAFIA

- 111] REVISTA JOURNAL OF PHYSICS: "MICRODISPLAY TRANSDUCERS".
PAGS. 721-733.
- 112] ELECTRONICA EN SISTEMAS DE COMUNICACION.
SOL LAPATINE. PAG. 39. EDITORIAL LIMUSA, 1986.
- 113] IEEE STANDARD DIGITAL INTERFACE FOR PROGRAMMABLE
INSTRUMENTATION.
AMERICAN NATIONAL STANDARD. SEP. 1979.
- 114] HP-85 I/O PROGRAMMING GUIDE.
HEWLETT-PARCKARD. APRIL 1980.
- 115] INTEGRATED ELECTRONICS.
MILLMAN-HALKIAS. PAGES. 475-478. McGRAW-HILL, 1972.
- 116] LINEAR DATABOOK.
NATIONAL SEMI CONDUCTOR.
- 117] LINEAR AND INTERFACE INTEGRATED CIRCUITS.
MOTOROLA INC., 1987.
- 118] TTL DATABOOK.
TEXAS INSTRUMENTS.
- 119] CMOS INTEGRATED CIRCUITS.
MOTOROLA 1978.
- 1110] MANUAL PARA INGENIEROS Y TECNICOS EN ELECTRONICA.
MILTON KAUFMAN Y ARTHUR H. SEIDMAN.
CAP. 24. McGRAW-HILL, 1984.
- 1111] METODOS EXPERIMENTALES PARA INGENIEROS.
J. P. HOLMAN. EDITORIAL McGRAW-HILL.
PAGS. 143-153.
- 1112] DISEÑO DE UN SISTEMA AUTOMATICO, PARA LA PRUEBA DE TARJETAS
DE CIRCUITO IMPRESO. EMPLEADAS EN EQUIPO DE
TELECOMUNICACIONES.
TESIS PROFESIONAL DE LICENCIATURA DE: JOSE DE LA VEGA
MACIAS.
PAGS. 84-101.