



10
24

UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO

Facultad de Ingeniería

DISEÑO DE UN MEDIDOR UNIVERSAL A
PARTIR DE UN FRECUENCIMETRO

T E S I S

Que para obtener el título de

INGENIERO MECANICO ELECTRICISTA
PRESENTAN

Angeles Rios E. Alejandro
Galván Lobato Aurey
Gómez Viveros Ulises
Lucach Juárez Roger

Director de Tesis

M. I. JUAN CARLOS ROA BEIZA

TESIS CON
FALLA DE ORIGEN

Ciudad Universitaria 1989



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE.

	PAG.
INTRODUCCION.....	1
FRECUENCIOMETRO.....	2
VOLTMETRO.....	20
AMPERMETRO.....	30
MEDIDOR DE GANANCIA.....	36
MEDIDOR DE FASE.....	41
OHMETRO.....	44
MEDIDOR DE TEMPERATURA.....	55
MEDIDOR DE CAPACITANCIA.....	60
MEDIDOR DE INDUCTANCIA.....	69
BIBLIOGRAFIA.....	76
CONCLUSIONES.....	77
APENDICES.....	78

I. INTRODUCCION.

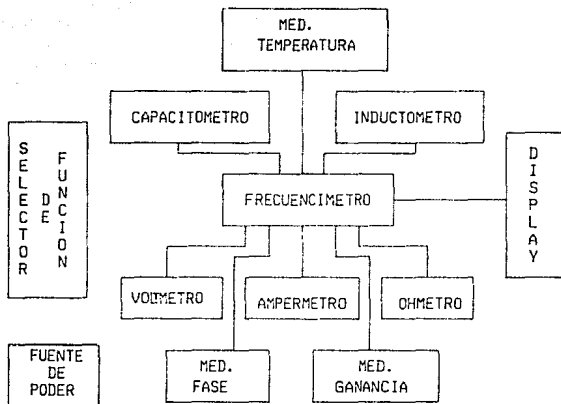
En el trabajo diario de un ingeniero dedicado a la instrumentación electrónica, así como personas que desempeñen labores afines con esta actividad es necesario contar con instrumentos de medición de los diversos elementos o variables que se encuentren manejando.

Existen en el mercado muchos instrumentos con la característica mencionada anteriormente, sin embargo, por lo general la mayoría de ellos mide solo algunas de las variables de interés.

Por lo que el presente trabajo se encaminó al diseño y construcción de un instrumento que reuniera las variables de mayor interés, que fuera confiable y que tratará de ser lo más económico posible, teniendo en cuenta la disponibilidad de componentes existentes en el mercado.

Este medidor universal basa su funcionamiento en un bloque medidor de frecuencia, en el cual se desplegarán los resultados de las mediciones a efectuar. Los bloques que interactúan con el medidor de frecuencia servirán para acondicionar las diferentes variables que se desean medir. De este modo tenemos que todas las mediciones que desplieguen en el frecuencímetro, antes tendrán que ser convertidas a frecuencia.

Los bloques que interactúan con el frecuencímetro son capaces de medir: VOLTAJE, CORRIENTE, RESISTENCIA, FASE, GANANCIA, CAPACITANCIA, INDUCTANCIA Y TEMPERATURA.



F
R
E
Q
U
E
N
C
I
A

II. TEORIA Y DISEÑO DEL FRECUENCIMETRO.

II a.- PRINCIPIO DE OPERACION Y CARACTERISTICAS.

En muchas ocasiones interesa conocer la frecuencia de una señal ya sea de audio, ya sea la portadora de una emisora de radio o ya sea de la red de distribución de energía eléctrica. Existen diferentes métodos: Cuando se trata de medir frecuencias que caen dentro de la gama de audio, puede utilizarse un diapazón, que comienza a vibrar cuando se produce un sonido cuya frecuencia es igual o muy cercana a la de resonancia, ya conocida, del diapazón.

Un método mecánico muy similar a éste es el que se emplea para medir la frecuencia de la red de distribución eléctrica, 60 Hz. Se disponen varias laminas metálicas de longitudes muy similares, pero cuya frecuencia de resonancia sea ligeramente distinta. La aplicación sobre todas ellas simultáneamente de frecuencia de la red pondrá en vibración una sola conociéndose así exactamente el valor de la misma.

También existe un medio óptico de medición de frecuencias o velocidades de giro, que es el estroboscopio. Para ello se emplea una lámpara de destellos a la que se hace llegar una secuencia de impulsos cuya frecuencia puede hacerse variable y conocida. Haciendo que los destellos iluminen el objeto rotatorio, y variando la frecuencia de los mismos hasta que un punto de referencia del objeto "parezca" estar fijo, conseguiremos conocer la velocidad de giro (frecuencia) de tal objeto.

Actualmente existen en el mercado un instrumento que efectúa las operaciones de búsqueda del valor de la frecuencia aplicada

empleando otro sistema, presentando el resultado en forma numérica directa. Se trata del FRECUENCIMETRO DIGITAL. Este equipo trabaja según el método de cuenta del número de ciclos o períodos de la señal desconocida durante un tiempo prefijado, denominado tiempo de puerta. Esto puede variar desde algunos segundos hasta milisegundos, dependiendo del valor buscado y de la resolución que se desee obtener.

El diagrama de bloques simplificado de un contador de frecuencia se muestra en la siguiente figura:

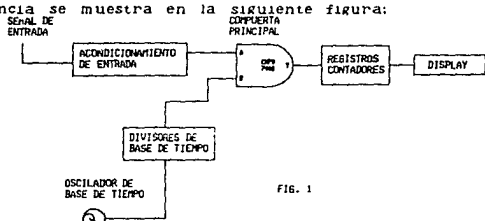


FIG.1. Las mediciones de frecuencia son hechas contando el número de pulsos que ocurren en un período de tiempo que está determinado por los divisores de Base de Tiempo.

La señal de entrada es primero acondicionada de tal manera que el circuito de procesamiento digital pueda manejarla.

La Base de Tiempo es usualmente un oscilador de cristal muy preciso. La frecuencia de este cristal es dividida para proporcionarnos la Base de Tiempo requerida.

La compuerta principal permite el paso de la señal para un período de tiempo determinado por la Base de Tiempo. Mientras la compuerta se encuentre abierta, los pulsos son contados y

entonces desplegados a la salida por medio del Display. Para todo lo anterior, por supuesto, se necesitan señales de control.

II b.- ETAPA CONDICIONADORA DE ENTRADA.

Los principales componentes del circuito acondicionador de la señal de entrada se muestran en la fig. 2:

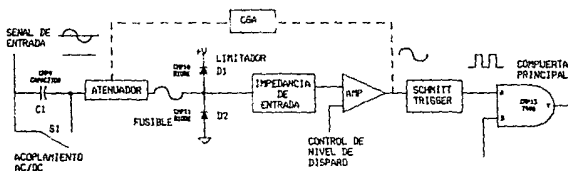


FIG.2. El circuito acondicionador de la entrada de de un frecuencímetro típico es mostrado aquí. El circuito forma las señales a una manera digital para que puedan ser aceptadas por la compuerta principal.

Este circuito adecua las señales a forma digital que así son aceptadas por la compuerta principal.

Primero notemos un switch para seleccionar un acoplamiento para DC o AC. Después de esto vemos un atenuador que es usado para reducir la amplitud de la señal de entrada si esta es demasiado grande. A continuación hay un circuito limitador compuesto de un fusible y diodos D1 y D2 seguido por una red de impedancia de entrada y un amplificador de banda ancha.

Un circuito de Control Automático de Ganancia (CAG) (opcional)

provee una realimentación desde el amplificador a la entrada del atenuador y entonces el Schmitt-Trigger condiciona cualquier señal con un tiempo lento de subida, o un tiempo lento de bajada, o ambas (como una señal senoidal) hacia una salida más rectangular con rápidos tiempos de subida y bajada, de tal manera que la señal de entrada queda propiamente acondicionada alimentándose así el conteo digital y circuito de despliegue.

La SENSIBILIDAD se puede definir como la mínima señal de entrada que puede ser reconocida por el contador. La sensibilidad se especifica usualmente en términos de valores rms de una entrada senoidal.

En general los pulsos deben tener una amplitud de 2.82 veces el valor de voltaje de disparo especificado.

Los Frecuencímetros usualmente poseen un amplificador con un gran ancho de banda de entrada, de tal manera que tan alta sensibilidad puede causar que disparos falsos ocurran.

E aquí el porque se utiliza un disparador Schmitt. Como se muestra en la fig.3 la sensibilidad de pico a pico, o histerésis del contador de frecuencia debe de ayudarnos a deshacernos del ruido en la señal de entrada desde el disparo del circuito de conteo.

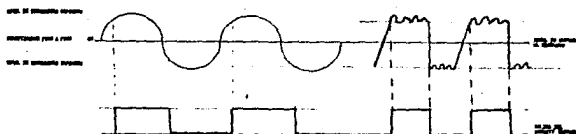


FIG.3. El ruido montado en la señal de entrada puede causar falsos disparos activando el conteo.

ACONDICIONAMIENTO DE LA SERAL DE ENTRADA

El acoplamiento de entrada debe de ser para señales de DC o AC. Como se muestra en la fig. 4 una señal de AC con un componente grande de DC puede correr el nivel de la señal fuera del rango usual de histéresis. Acoplando la señal de entrada a través de un capacitor, la DC es bloqueada, cayendo la señal en el rango correcto de histéresis.

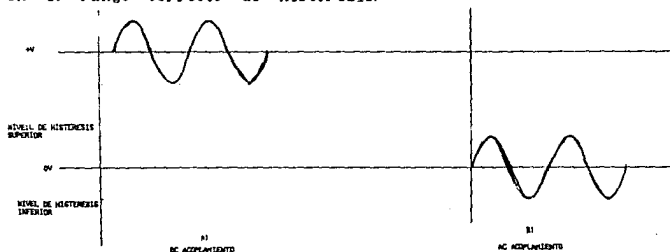


FIG.4. Una señal acoplada en DC, como se muestra en a), puede correr una señal completamente fuera del rango de histéresis. Un acoplamiento en AC, como se muestra en b), trae a la señal al rango adecuado.

Para que el acoplamiento de AC no afecte la señal de entrada se debe de calcular de tal manera que la constante de tiempo de la red exceda el ancho del pulso de entrada.

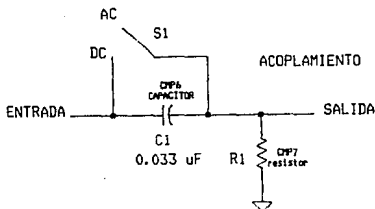


FIG. 5

FIG.5. Esta red RC es usada con diferentes valores de R1 para generar las formas de onda de la fig. 6.

Podemos ver el efecto que tiene la red de entrada en el ancho de los pulsos . Los efectos de la red RC que usamos (fig. 5) se muestran en la fig. 6.

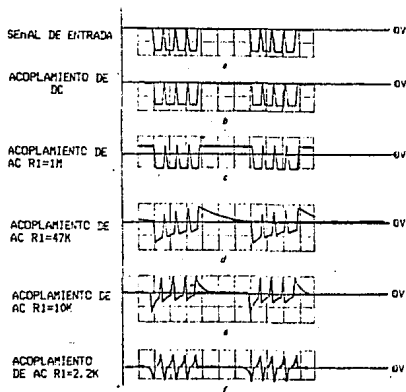


FIG.6. La señal de entrada hacia la red de la fig. 5 es mostrada en a). En b) se muestra la salida acoplada en DC, y en c-f son mostradas las salidas acopladas en AC con el valor de R_1 variando como se indica. La señal de f causaría drásticos errores en el conteo.

El trazo en a) en la fig. 6 muestra la señal de entrada; el trazo en b) muestra la señal de salida cuando S1 se encuentra cerrado, por ejemplo cuando la entrada esta acopiada en DC hacia la salida.

Los trazos siguientes (c-f) muestran como el decremento en el valor de R1 afecta la señal de salida.

En c) (donde R1 tiene un valor de 1 Megaohm) el nivel de voltaje de la señal ha sido desplazado, pero este retiene su forma normal.

El atenuador es una red divisora de voltaje que provee divisiones típicas switcheadas de entre 1, 10 y 100. Los atenuadores son frecuentemente seguidos por una red limitadora la cual guarda que la sensibilidad de la entrada del amplificador no sea rebasada.

La entrada del amplificador generalmente posee una alta impedancia (1 Megaohm) pero algunos contadores de frecuencia permiten escoger alta o baja impedancia (50 ohms) de entrada. Se puede tener una sensibilidad de 20 a 25 mv con una entrada de 50 ohms. Una sensibilidad de 1 mv es posible pero el ruido puede causar falsos disparos y por lo tanto errores en el conteo.

El nivel de disparo se refiere al voltaje en el cual el contador de frecuencia actuará - esto es dará un pulso al circuito de conteo. Si el nivel de disparo se ajusta muy alto, como se muestra en la fig. 7a la señal de entrada nunca caerá abajo de menor voltaje de histerésis, V_L , de tal manera

que ningún pulso será contado . Por debajo del nivel de disparo, fig. 7b , la señal de entrada atravesará el rango completo de histerésis de tal manera que cada pulso de entrada será contado. El nivel de disparo deberá ser el correcto también para las entradas de voltaje negativo (fig. 7c).

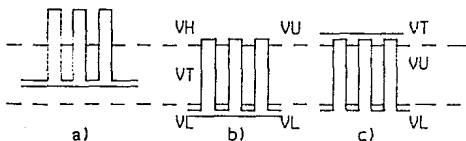


FIG. 7

FIG. 7. Nivel de disparo (Trigger Level), si se ajusta inapropiadamente a) puede causar que un tren de pulsos pase sin detectarse. Nivel de disparo ajustado propiamente en b), un tren de ondas positivas , y en c), un tren de ondas negativas.

IIc.- BASE DE TIEMPO Y CONTROL.

La frecuencia se define como el número de ciclos que ocurren en 1 segundo, de tal manera que utilizaremos 1 segundo de ventana de tiempo en nivel alto y ciclo de trabajo del 50%, la frecuencia entonces será de 0.5 Hz. Como se mencionó al principio para la base de tiempo se utiliza un cristal de cuarzo de 3.57 MHz. Esta señal es pasada a través de un circuito MM5369 que nos proporciona a la salida una señal de 60 Hz. Posteriormente se conecta a un contador 7492 que divide la frecuencia entre 12 y después un contador 7490 que divide la frecuencia entre 10 de tal manera que a la salida del último contador tengamos una frecuencia de 0.5 Hz, es decir un periodo de 2 segundos. La fig. 8 muestra el circuito de base de tiempo en bloques.

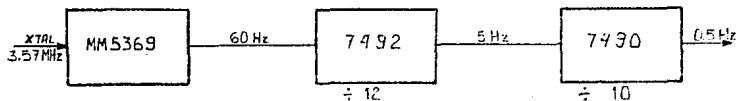


FIG. 8. Base de tiempo.

COMPUERTA PRINCIPAL

La base de tiempo de 0.5 Hz es conectada a una compuerta AND, de tal manera que va a permitir el paso de la señal en ese tiempo. Lo anterior lo podemos ver en la fig. 9.

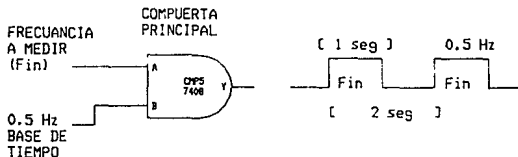


FIG.9. Compuerta principal

SELECCION DE ESCALA AUTOMATICA

Una vez que tengamos la señal perfectamente acondicionada en forma, es necesario, cuando se manejan frecuencias relativamente altas, dividir la frecuencia de entrada entre 10, 100 y 1000 debido a que los contadores se saturan. Para esto se utilizan 2 contadores duales 74390 de década y un multiplexor de 4 a 1: el 74151. Como dividimos entre 10, 100 y 1000 nos sobra 1/2 de un 74390 que utilizaremos para manejar las líneas de control del MUX. De este último contador sólo

utilizaremos dos líneas de salida: Q2 y Q3. A su vez ese contador estará controlado más adelante por el bit más significativo del último contador que se encuentra antes del CI 4511 (Latch-Decoder-Driver) (fig. 10).

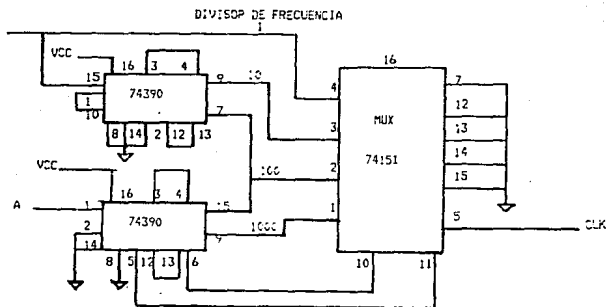


FIG. 10. Selección de escala automática

REGISTROS CONTADORES.DISPLAY

En esta etapa tenemos que hay dos contadores duales 74390 conectados en cascada, a los cuales les llega la frecuencia de entrada ya procesada por el MUX. Cada contador dual maneja dos displays. Las entradas de reset de cada uno de ellos se unen entre si mandandose a la señal RESET.

En cada segundo de la ventana de tiempo, estos contadores llegan a una cuenta determinada. Esta cuenta debe ser cargada en los Latch para que después sea decodificada y mandada a los displays directamente.

Para esto se utiliza un circuito integrado 4511 que tiene en él: LATCH, DECODER y DRIVER. Los displays utilizados son de cátodo común.(fig. 11).

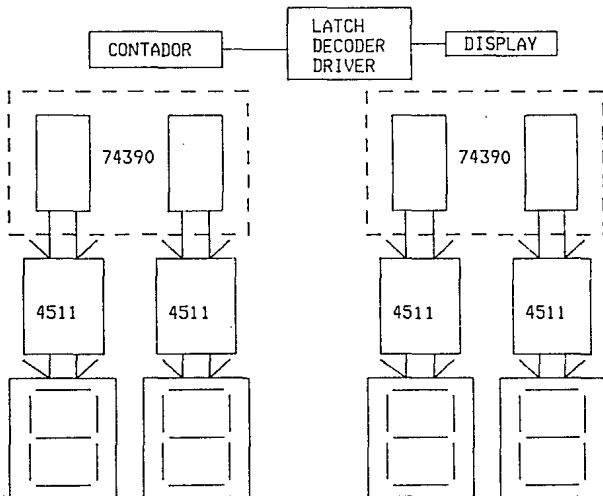


FIG. 11. Despliegue del conteo.

SEÑALES DE CONTROL

Como se mencionó anteriormente la base de tiempo permite el paso de un cierto número de pulsos en cada segundo, lo que equivale a ciclos por segundo. La cuenta de los contadores se carga en el LATCH un momento antes de que los contadores dejen de funcionar, luego estos se borran para iniciar una nueva cuenta.

Todo lo anterior requiere de señales de control. Primero la señal que permite iniciar el conteo (ENABLE). Una que borre los contadores al final de cada cuenta, otra que controle la carga de la última cuenta en los LATCH y otra última que controle el cambio automático de escala (fig. 12).

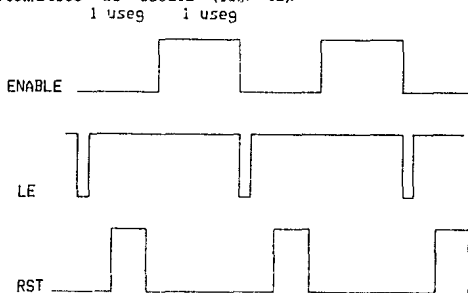


FIG. 12. Señales de control.

Estas señales se obtienen de un monoestable dual 74123 que se encuentra controlado por la señal ENABLE. El primer pulso obtenido del 74123 controla al segundo monoestable del mismo, obteniéndose entonces las señales de LATCH-ENABLE (LE) y RESET (RST).

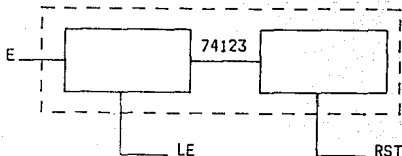
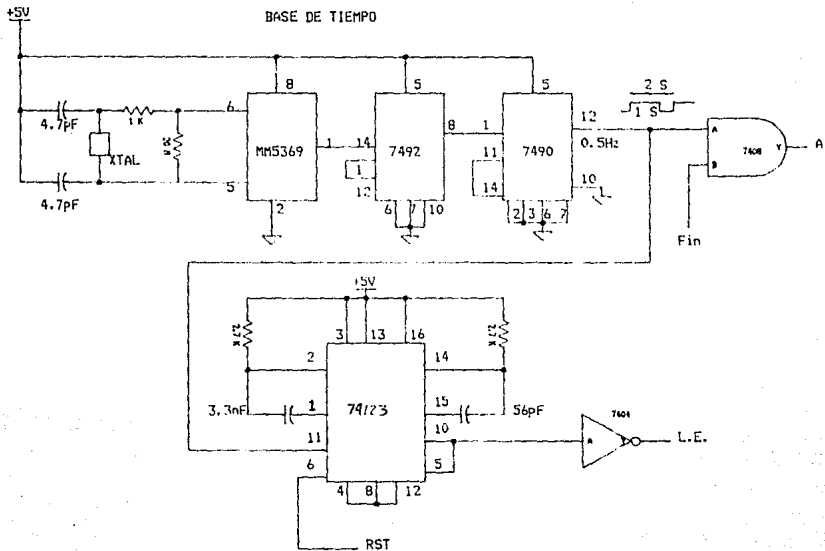


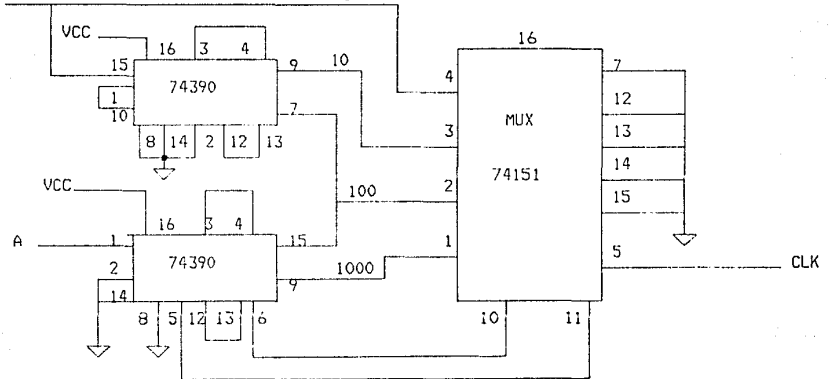
FIG. 13. Señales obtenidas a través del monostable dual 74123.

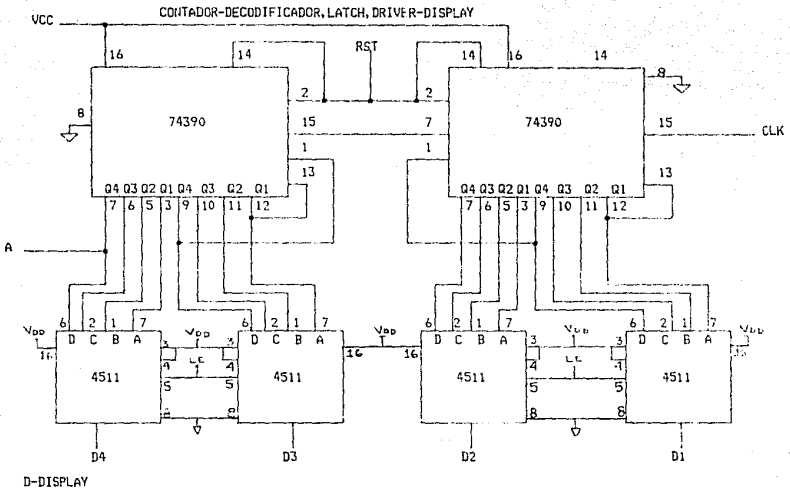
La señal de Cambio Automático de Escala se obtiene del último contador a través de su bit más significativo (BMS), es decir, cuando se satura el último contador su conteo cambia de 1010 a 0000 por lo que la transición de 1 a 0 del BMS se aprovecha para mandarla como control del contador que habilita entonces la siguiente línea de MUX que se encuentra dividida por un factor mayor, de tal manera que esto permite que no se saturen nuevamente los contadores.

En las siguientes páginas se pueden ver los diagramas con sus componentes y conexiones pertinentes.



DIVISOR DE FRECUENCIA
1





51

V
O
L
T
M
E
T
R
O

IIIa. TEORIA Y DISEÑO DE UN VOLTMETRO DE AC Y DC.

El sistema consta de los siguientes bloques, mostrados en la figura 1, y sus funciones son:

RED DE ATENUACION : Se encarga de hacer manejable el voltaje de entrada, dentro de un amplio margen de medida (de 0 a 1000 volts), sin que se dañen las posteriores partes del sistema.

AMPLIFICADOR : En este bloque se linealiza el voltaje de entrada y se le da la polaridad correspondiente antes de ser convertido a frecuencia.

INDICADOR DE SIGNO : Muestra la polaridad correspondiente al voltaje de entrada, ya sea positiva o negativa.

CONVERTIDOR DE VOLTAJE A FRECUENCIA : En esta etapa se pasa de un voltaje de entrada dado , a una frecuencia proporcional a dicho voltaje.

RECTIFICADOR DE PRECISION : Convierte el voltaje de alterna de la señal de entrada, en un voltaje de directa. En el caso de corriente directa , nos permite tener un voltaje de salida proporcional al de entrada, siempre positivo, sin importar la polaridad de la señal aplicada.

FRECUENCIMETRO : Este bloque se encarga del conteo de la frecuencia que representa al voltaje medido, además de generar las señales correspondientes a los displays para la representación visual del valor medido.

DISPLAY : Presenta el valor correspondiente de la señal medida e indica la polaridad de dicha señal.

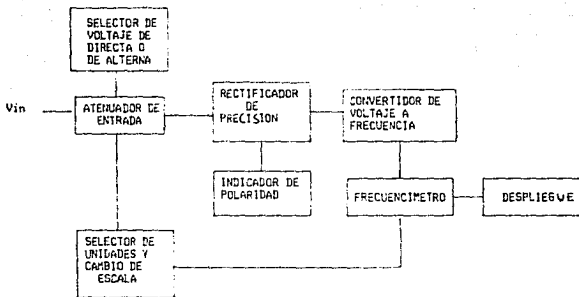


FIG. 1. Diagrama de Bloques del VOLTMETRO.

IIIB.- AMPLIFICADOR DE VALOR ABSOLUTO O RECTIFICADOR DE PRECISION

La salida del amplificador de valor absoluto es siempre positiva no importando la polaridad del voltaje de entrada. Esto es necesario debido a los requerimientos de entrada del XR-4151. Una salida es tomada de la pata 7 del amplificador (IC1-b) para encender un LED y proveer una indicacion de la polaridad de entrada. Cuando el LED esta encendido, el voltaje es positivo; cuando esta apagado, éste es negativo.

Cuando V_{in} es negativo, la salida del primer amplificador va a positivo, apagando el diodo superior y pasando al amplificador a través del diodo inferior conectado a la entrada. El segundo amplificador invierte V_{in} para proveer una salida positiva igual en amplitud a la entrada negativa. Cuando V_{in} es positiva, ambos amplificadores invierten, pero la salida del primero es $-2V_{in}$ por lo cuál, cuando los sumamos con V_{in} a la entrada del segundo, resulta en una entrada igual a $-V_{in}$ y por lo tanto una salida de V_{in} .

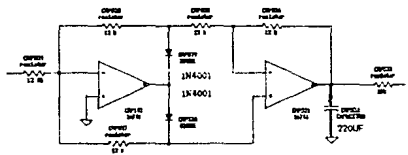


FIG. 2. Rectificador de precisión.

IIIc.- CONVERTIDOR DE VOLTAJE A FRECUENCIA.

XR-4151

El XR-4151 es un dispositivo diseñado para proveer un método simple, y de bajo costo para la conversión de un voltaje de DC en una repetición de pulsos proporcionales en frecuencia. Este es capaz de convertir frecuencia en un voltaje de salida proporcional.

PRINCIPIO DE OPERACION.

El XR-4151 funciona como un convertidor de voltaje a frecuencia operado con una fuente de voltaje positiva. El XR-4151 contiene un comparador de voltaje, un one-shot y una fuente de corriente switchcada. El comparador de voltaje, compara un voltaje de entrada positivo aplicado al pin 7 a el voltaje de la pata 6. Si el voltaje de entrada en el PIN 7 es mayor el comparador disparará el one-shot. La salida del one-shot está conectada a la salida lógica y a la fuente de corriente switchcada. Durante el disparo del one-shot la salida lógica ira al estado bajo y la fuente de corriente encenderá con corriente I. Al final del disparo la salida lógica ira a alto y la corriente se cortará. En este momento la fuente de corriente ha inyectado una cantidad de carga $Q=I_0 \cdot T$ a la red Rb-Cb. Si ésta carga no ha incrementado el voltaje V_b de tal modo que $V_b > V_i$ el comparador otra vez disparará el one-shot y la fuente de corriente inyecta otro paquete de carga, Q, dentro de la malla Rb-Cb. Este proceso continúa hasta que $V_b > V_i$. Cuando esta opción

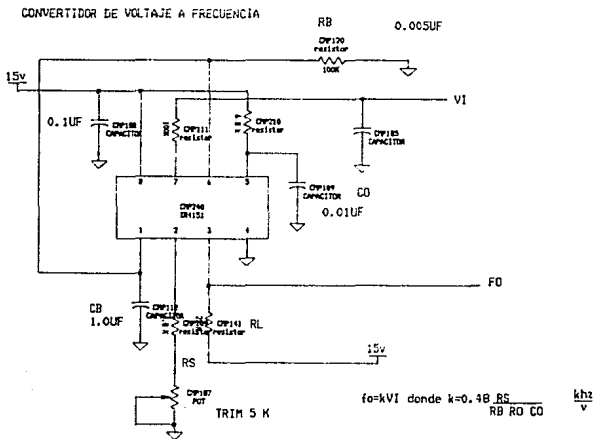
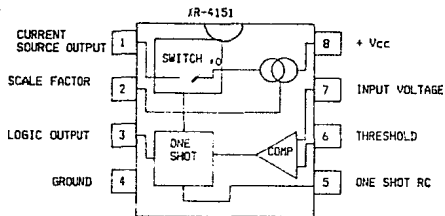


FIG. 3. XR-4151

es alcanzada, la fuente de corriente se apaga y el voltaje V_b decae hasta que V_b es igual a V_i . Esto completa un ciclo. El CVF ahora correrá en un modo de estado estable. La fuente de corriente envia paquetes de carga dentro del capacitor C_b , a una razón de velocidad tal que mantenga V_b/V_i . Dado que la razón de descarga del capacitor C_b es proporcional a V_b/R_b , la frecuencia en la cuál el sistema corre será proporcional al voltaje de entrada.

En esta aplicación el XR-4151 es usado con un amplificador operacional integrador para proveer una linealidad del 0.05% sobre el rango de 0 a -10 volts.

El integrador mejora la linealidad de este circuito manteniendo la salida de la fuente, Pin 1, a una constante de 0V. Por lo tanto el error de linealidad debido a la conductancia de salida de la fuente de corriente es eliminado. El diodo de realimentación previene que el voltaje en el pin 7 del XR-4151 baje a menos de cero.

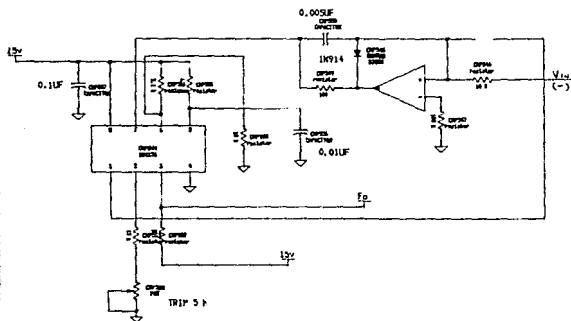


FIG. 4. Convertidor de Voltaje a Frecuencia con V_{in} negativo.

IIIId.-INDICADOR DE SIGNO

Para la indicación de la polaridad de la señal de entrada tomamos de la union de los diodos en el amplificador de valor absoluto, un valor de voltaje que dependerá de la polaridad de la señal de entrada y que dará por tanto un nivel alto o bajo en la terminal de salida del operacional, dicho nivel es alimentado a un compador de voltaje, cuya salida va conectada a un LED para la indicación de la polaridad, como se muestra en la figura.

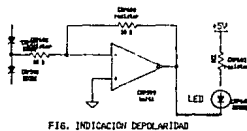


FIG. 5. Indicación de polaridad.

IIIe.- RED ATENUADORA

Debido a que la entrada del VCF está limitada a -10 V DC, un circuito adicional debe ser usado para extender los rangos del medidor. Un divisor de voltaje es usado para extender el rango del voltaje de entrada a + 1000 volts, mientras que en cualquier rango el VCF vera menos de +10 volts.

El divisor de voltaje consiste de nueve resistores conectados en serie a través de las terminales de entrada del medidor. La resistencia total del medidor es de 10 megohms con cada resistor teniendo un décimo del valor del resistor en serie total. Cuando un voltaje es aplicado a las terminales de entrada del medidor una corriente fluye a través del divisor, produciendo un voltaje a través de cada resistor que es proporcional a su resistencia. El divisor cuenta con un switch selector de rango para seleccionar la escala apropiada y activar el punto decimal en su posición adecuada.

El atenuador de entrada para AC y DC de los multímetros es usualmente el mismo. Cuando el atenuador es común, este debe ser compensado para atenuar con precisión tanto a altas como a bajas frecuencias. La figura muestra un atenuador compensado usado en el medidor con 10 megohms de entrada. Los capacitores crean un divisor capacitivo con la misma relación que los resistores en paralelo. Si estos no fueran usados, la razón de división capacitiva dependería enteramente de las capacitancias distribuidas del resistor. Estas son sustanciales para resistores altos y despreciables para resistores pequeños.

La entrada del atenuador está también acoplada en AC con un

capacitor de 0.033 pf. Este sirve para evitar el DC del atenuador y por lo tanto del amplificador y del rectificador, los cuales responden a una combinación de AC y DC. La capacitancia total de entrada del medidor es algo mayor que la capacitancia en paralelo con el divisor debido a las otras capacitancias distribuidas.

El medidor usa un atenuador común para AC y DC que posee un filtro que es conmutable. Este es conmutado en las salidas del atenuador durante la operación de AC y DC. EL filtro ayuda a remover las señales de entrada de AC del amplificador de entrada cuando éste está operando en modo de DC. Por lo que teóricamente el medidor no responderá a señales de AC; excesivo nivel de AC puede perturbar al amplificador y causar error en la lectura de DC.

III f.-INDICACION DE ESCALA

Para la indicación de la escala contamos con un multiplexor/demultiplexor analógico (MC14051B), con el cual se selecciona cada una de las escalas a partir de las salidas que se tengan en los contadores del frecuencímetro, es decir cuando en cada uno de los contadores se llega a 9, es enviado un pulso para activar cada una de las líneas de control del multiplexor y seleccionando cada una de las escalas para efectuar la medición, como se muestra en la figura 6.

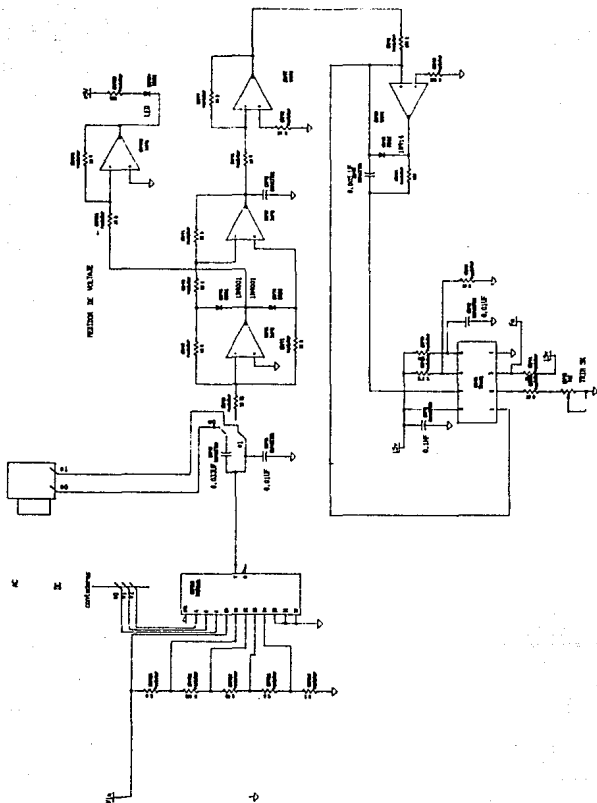


FIG. 6. Circuito medidor de voltaje.

A
M
P
E
R
M
E
T
R
O

IVa.- TEORIA Y DISEÑO DE UN AMPERIMETRO DE AC Y DC.

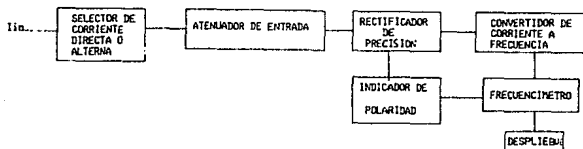


FIG. 1. Diagrama de bloques del medidor de corriente.

En base a la figura anterior , el funcionamiento del medidor de corriente es el siguiente :

Un selector de entrada , para poder optar por una de las dos escalas de medida y el tipo de corriente a medir.

Un atenuador de entrada, para limitar la cantidad de corriente que pasará al circuito y que además nos permite convertir la corriente de entrada en un voltaje proporcional a ésta.

Cuenta además de los siguientes bloques, los cuales fueron expuestos en secciones anteriores, y cuya finalidad es la de poder presentar visualmente el valor de corriente medido, dichos bloques son : RECTIFICADOR DE PRECISION, INDICADOR DE POLARIDAD, CONVERTIDOR DE VOLTAJE A FRECUENCIA, FRECUENCIMETRO Y DESPLIEGU.

IVb.- RED DE MUESTREO DE CORRIENTE

Ambas mediciones de corriente alterna y corriente directa son hechas colocando un resistor conocido en el paso de la corriente y midiendo a través de ella. A causa de la limitación de la corriente de entrada al convertidor de voltaje a frecuencia, ($I_{max}=200uA$), se requerirá de un elemento de atenuación para poder extender el rango de medición. El resistor de cinco resistencias mostrado en la figura 2 es usado para la medición de corriente. Una entrada de corriente separada es usada con el switch de rango. A causa de no estar casi fluyendo corriente al convertidor (resistencia de entrada $100K$) el voltaje a través de los resistores es visto a través de los $100K$ en serie con la entrada. El rango de corriente de 10 amperes tiene una entrada directa, por lo que la corriente de 10 A no será conmutada. Los rangos de potencia de los resistores divisores de corriente va de 3.6 miliwatts para la sección de 900 ohms a 10 watts para el resistor de 0.1 ohm. Posterior al atenuador contamos con un circuito amplificador de valor absoluto para poder lograr rectificar el voltaje de corriente alterna, cuando el aparato está en modo de AC; dicho amplificador no afectará la medición de corriente cuando el aparato esté en modo de DC.

A la salida del rectificador, el voltaje que nos representa la corriente es convertido a frecuencia y alimentado al frecuencímetro, para su despliegue y control de escala

MEDIDOR DE
CORRIENTE

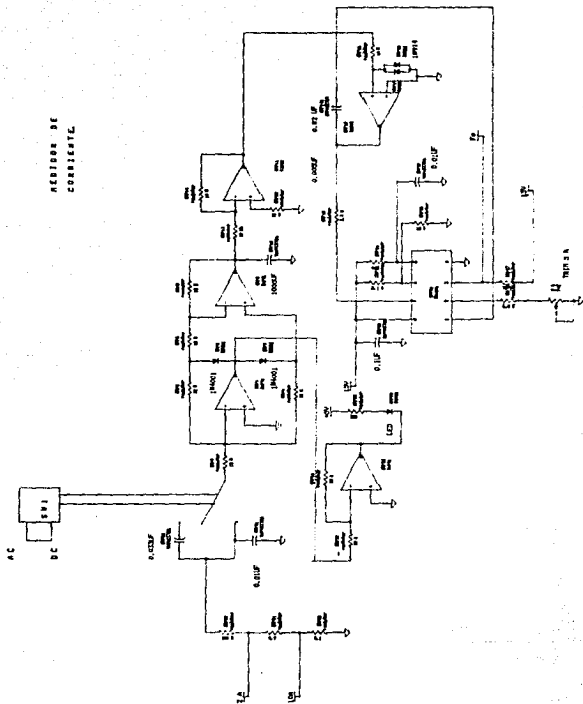


FIG. 2. Medidor de Corriente

IVc.-CONVERTIDOR DE C/V

La conversión de corriente a voltaje se realiza mediante la inserción de una resistencia de valor conocido en el paso de la corriente, produciéndose un nivel de voltaje proporcional a la corriente de entrada en las terminales del resistor y siendo introducido a un integrador para darle más linealidad y precisión al voltaje medido antes de pasar al convertidor de voltaje a frecuencia, el diagrama del sistema es como sigue:

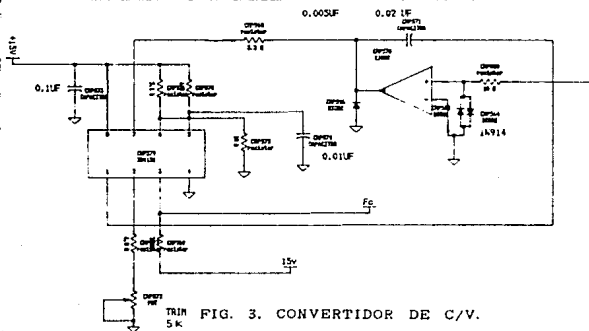


FIG. 3. CONVERTIDOR DE C/V.

IVd.-INDICACION DE SIGNO Y ESCALA

Debido al hecho de que se van a manejar tanto AC como DC y que el convertidor sólo puede manejar una polaridad a la entrada, es necesario hacer uso de un amplificador de valor absoluto, con el cual podamos manejar ambas polaridades y poder obtener a partir de éste la indicación de la polaridad de la señal de

entrada en caso de manejar el circuito en DC. El funcionamiento del amplificador es el siguiente: Cuando V_{in} es negativo, la salida del primer amplificador va a positivo, apagando el diodo superior y pasando al segundo amplificador a través del diodo inferior conectado a su entrada. El segundo amplificador invierte V_{in} para proveer una salida positiva igual en amplitud a la entrada negativa. Cuando V_{in} es positivo, ambos amplificadores invierten, pero la salida del primero es $-2V_{in}$ por lo cual, cuando lo sumamos con V_{in} a la entrada del segundo, resulta en una entrada igual a $-V_{in}$ y por lo tanto una salida de valor igual a V_{in} . Un inversor es conectado a la unión de los dos diodos, para manejar la presentación visual del signo, ya que al ser positivo el voltaje de entrada, a la salida del primer operacional tendremos un voltaje negativo y por tanto a la salida del inversor uno positivo el cual es conectado a un LED o display para la presentación visual de la polaridad.

El circuito es mostrado en la figura:

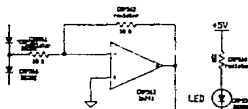


FIG. INDICACION DE POLARIDAD

FIG. 4. Indicación de polaridad

G
A
N
A
N
C
I
A

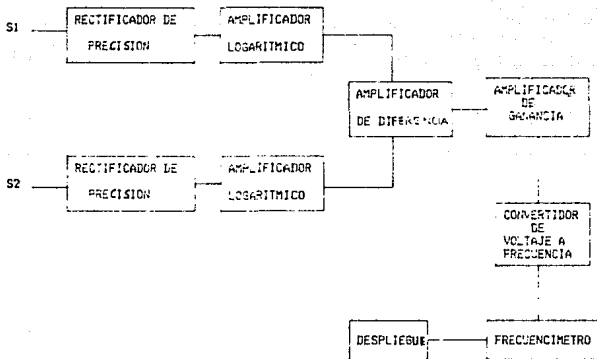


FIG. ESQUEMA DEL MEDIDOR DE GANANCIA

FIG. 1. Diagrama de Bloques del Medidor de Ganancia.

V.- MEDIDOR DE GANANCIA (dB) Y FASE

Va.- TEORIA Y DISEÑO DEL MEDIDOR DE GANANCIA

El medidor de ganancia consta de los siguientes bloques cuya función se explica a continuación y que tienen por objetivo presentar la relación en decibeles, de las dos señales a comparar.

S1.- Se refiere a la señal de referencia a partir de la cual se medirá la ganancia o amplificación de la señal S2.

S2.- Es la señal a comparar con respecto a S1 en la determinación de la ganancia entre ambas.

Rectificador de precisión.- Se encarga de convertir la señal alterna de entrada (senoidal, triangular, cuadrada) en un nivel de DC, que pueda manejar la siguiente etapa.

Amplificador logarítmico.- Se encarga de obtener el logaritmo del voltaje de entrada de acuerdo a la relación: $V_o = nV_i \ln(E_i/R_{i0})$.

Amplificador de diferencia.- Se encarga de obtener el cociente de las dos señales de acuerdo a la relación entre logaritmos siguiente $\ln A/B = \ln A - \ln B$.

Amplificador de ganancia.- Proporciona el factor de multiplicación para que el resultado obtenido anteriormente sea expresado en decibeles.

Convertidor de voltaje/frecuencia.- Convierte el voltaje que representa la relación entre ambas señales en una frecuencia cuyo valor es proporcional.

Frecuencímetro.- Se encarga de evaluar la frecuencia y de convertirla en un código que pueda ser utilizado por la unidad de

despliegue.

Despliegue.- Se encarga de la presentación visual de la medición.

El medidor de ganancia se basa en las leyes de logaritmos, al poder manejar el producto de 2 o más números como sumas o restas de logaritmos es decir:

$$A \cdot B = \text{Antiln} (\ln A + \ln B)$$

$$A/B = \text{Antiln} (\ln A - \ln B)$$

Puesto que la ganancia de una señal en decibeles esta dada por la expresión:

$$G(\text{db}) = 20 \log (V_2/V_1)$$

el implementar esta función con amplificadores logaritmicos, comparadores y amplificadores de ganancia, nos dará la relación de señales deseada.

Amplificador Logaritmico:

Los amplificadores logaritmicos utilizan la relacion no lineal de voltaje-corriente de la propia union p-n. Esta relacion está dada por:

$$I_f = I_o \left(e^{\frac{V_f}{nV_t}} - 1 \right)$$

donde I_o -Corriente de saturación inversa
 $n=2$ para corrientes pequeñas en diodos de silicio
 $V_t = kT/q = T/11000$ volts; T en grados Kelvin.

puesto que $I_1 = E_1/R_1$ y $I_f = I_1$

tenemos que

$$E_1/R = I_o \left(e^{V_f/nV_t} - 1 \right)$$

de donde despejando el valor de V_f tenemos:

$$V_o = -V_f = -nV_t \ln E_1/R I_o$$

Por lo que si consideramos una relación de dos señales E_1 y E_2 , tendremos a la salida de cada amplificador un voltaje E_3 y E_4 dados por la expresión anterior; por lo cual al introducir un amplificador diferenciador con ganancia, tendremos la sustracción de E_3 de E_4 , es decir:

$$V_o = (E_4 - E_3)R_f/R_2$$

de donde sustituyendo los valores de E_4 y E_3 y haciendo las simplificaciones correspondientes tenemos:

$$V_o = (R_f/R_2) nV_t \ln (E_2/E_1)$$

De la expresión anterior tenemos que el circuito a utilizar para obtener la relación de ganancia de dos señales es el siguiente (Fig. 2).

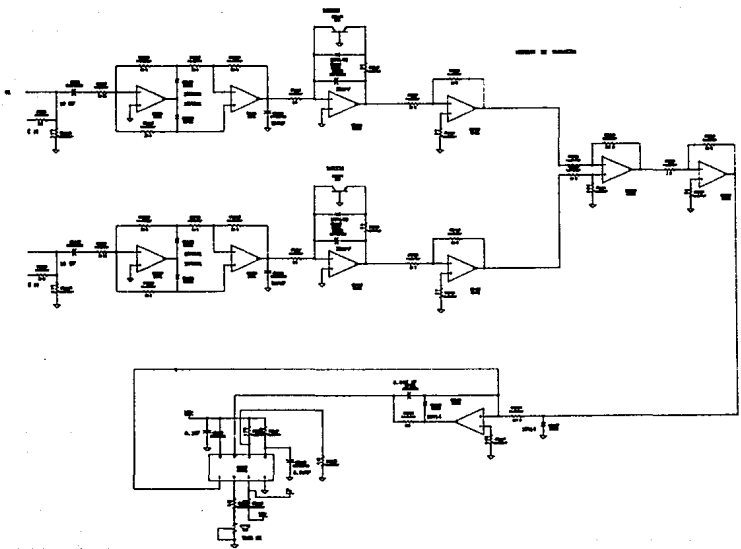


FIG. 2. Circuito Medidor de Ganancia.

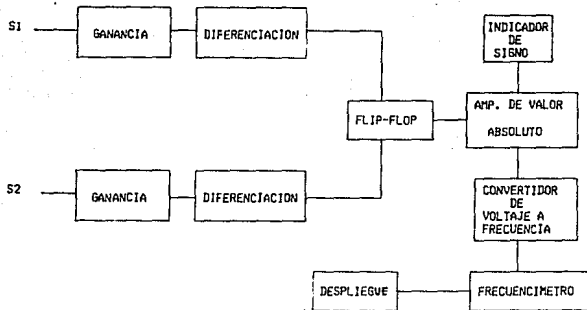


FIG. ESQUEMA DEL MEDIDOR DE FASE

FIG. 1.- Diagrama de bloques del medidor de fase.

Vb.- TEORIA Y DISEÑO DEL MEDIDOR DE FASE

MÉTODOS DE MEDIDA

El medidor de fase consta principalmente de dos bloques principales: 1) generación de tren de pulsos; 2) medición de la información. Dichos bloques se dividen en subbloques, cuya función se detalla a continuación:

S1.- Señal de referencia cuya fase se considera en cero grados, θ_A .

S2.- Señal defasada (θ_B) con respecto a la de referencia θ grados cuya frecuencia es de la misma magnitud que la de la señal de referencia.

Ganancia.- Dichos bloques se encargan de convertir a las señales de entrada en pulsos cuadrados de la misma frecuencia que las señales de entrada.

Diferenciación.- Este bloque se encarga de convertir los pulsos cuadrados a la salida del bloque de ganancia en impulsos que serán utilizados para definir el defasaje entre las dos señales de entrada.

Flip-Flop.- Se encarga de obtener la información del defasaje contenido en los impulsos de diferenciación, y de darlo en un voltaje que lo represente.

Amp. de Valor Absoluto.- Se encarga de mantener a su salida un voltaje de valor positivo, que pueda ser manejado por el convertidor de voltaje en frecuencia.

Indicador de signo.- Muestra cuando la señal S1 se encuentra adelantada o atrasada con respecto a S2.

Convertidor de voltaje a frecuencia.- Convierte el voltaje de entrada en una frecuencia proporcional a éste.

Frecuencímetro.- Módulo que se encarga de medir la frecuencia proporcional al defasamiento de las señales de entrada.

Despliegue.- Se encarga de la presentación visual del valor medido por el sistema.

La medida del defasaje existente entre dos señales de período T puede descomponerse en dos etapas bien definidas:

- 1) Generación de un tren de pulsos que contiene la información del defasaje.
- 2) Extracción de dicha información.

Los pulsos generados son de anchura t , igual a la generación en el tiempo de las dos señales y la frecuencia de generación es el doble de las mismas. La generación se realiza en dos etapas tal como puede observarse en la figura 2.

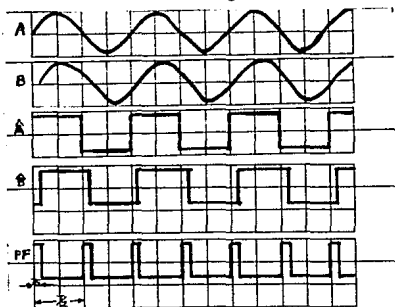


FIG. 2. Tren de pulsos de Fase (PF).

Siendo la frecuencia del tren de pulsos del doble que la de la señal i , el tren de pulsos contiene la información del valor medido del defasaje (que está dado por la expresión $360t/T$) pero no la del signo, puesto que invirtiendo el sentido de las señales en la figura 1, se obtendría el mismo tren de medición de fase. La ambigüedad se resuelve mediante un detector de signo (por ejemplo un flip-flop que detecte el adelanto o atraso de una señal respecto a la otra).

Para extraer la información contenida en el tren de pulsos de fase, pueden utilizarse varios métodos :

a) Medida de la componente continua.

El método clásico consiste en obtener la componente continua del tren de pulsos mediante un integrador y medirla mediante un voltmetro.

b) División algebraica.

Otro posible método consiste en medir t , medir T y obtener el defasaje mediante la evaluación de $360t/T$, con la ayuda de una pastilla de calculador y un microprocesador como elemento de control.

c) Medida con contadores digitales.

El método consiste en el almacenamiento en un contador digital y una cantidad proporcional a t ; ese contador es muestreado en el instante que determina un segundo contador, almacenándose la cantidad contada (que es el defasaje medido) en unos registros cuya salida está conectada a la unidad de presentación visual.

Considerando los tres resultados anteriores tanto como en sus características como en sus ventajas, se resuelve por utilizar el primero. El circuito de la figura 3 puede hacer esta medición exacta, si las amplitudes de entrada son muy diferentes.

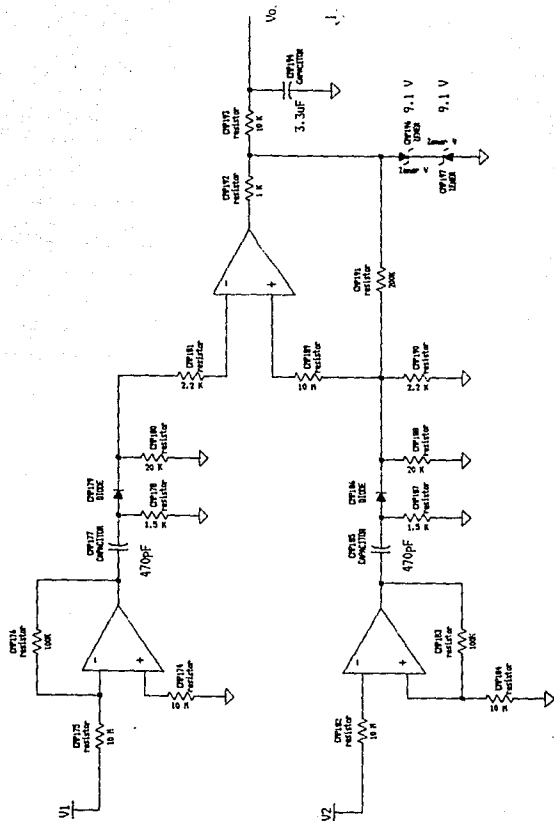


FIG. 3. Medidor de Fase.

La salida V_o será cero si la diferencia de fases entre V_a y V_b es cero. Si la fase de V_b sigue a la fase de V_a , V_o será positivo. Las salidas de voltaje de V_o variará linealmente desde cero a $+V_{z2}$ tal como $\phi_1 - \phi_2$ varia desde cero hasta 180 grados. Del mismo modo, V_o variará linealmente desde cero a $-V_{z1}$ tal como $\phi_1 - \phi_2$ variará de cero a -180 grados. Esto se muestra en la figura 4.

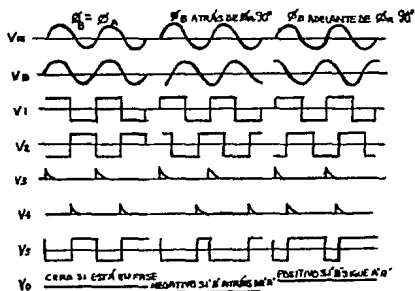


FIG. 4. Formas de onda en varios puntos de la Fig. 3.

El circuito de A_1 y A_2 son detectores de cruce por cero con histéresis. A causa de la gran ganancia de este detector de cruce por cero, V_1 y V_2 tienen forma de onda rectangular.

C_1 , R_7 , C_2 y R_8 son una malla de diferenciación. D_1 y D_2 seleccionan los pulsos positivos resultantes de esta diferenciación. Los pulsos de D_1 hacen que el flip-flop (circuito

A3) vaya a estado bajo tal que $V5-Vz1$. Los pulsos de D2 causan que el flip-flop vaya al otro estado tal que $V5-Vz2$. Si Va está exactamente en fase con Vb, el flip-flop consumirá iguales cantidades de tiempo en los estados alto y bajo. El voltaje en Vb será por lo tanto cero.

Si la fase de Vb sigue a la fase de Va, el flip-flop consumirá el mismo tiempo en el estado alto y Vo será positivo. Del mismo modo, si la fase de Vb sigue a la fase de Va, Vo será negativo. El factor de escala, es decir, volts/grado, es puesto por la elección de Vz1 y Vz2. Si estos diodos son idénticos, el factor de escala es :

$$Vo = (\beta B - \beta A) Vz1 / 180^\circ \cdot (\text{volt/grado})$$

El rango de frecuencia sobre el cual mide precisamente puede ser garantizado por diferentes factores en los límites superior e inferior del espectro. A bajas frecuencias el tiempo de rizo de V1 y V2 puede no ser lo bastante rápidos para transferir los pulsos adecuados de disparo desde la malla de diferenciación hacia el flip-flop.

También, la salida del filtro R15 y C3 será menos eficiente a bajas frecuencias. Estas deficiencias resultan en un Vo para el cual el ruido lo tendrá temporalmente saturado a 1Vz.

A altas frecuencias los límites del slew-rate de A1 y A2 comienzan a reducir la amplitud pico a pico de V1 y V2. Esto causará que los pulsos de disparo de V3 y V4 disminuyan la amplitud de modo que el flip-flop no dispare.

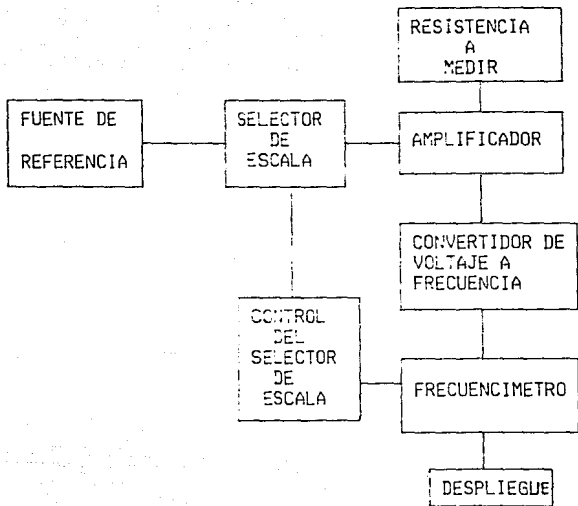


FIG. 1. Diagrama de Bloques del medidor de resistencia.



VI.- OHMETRO

Via.- TEORIA Y DISEÑO DE UN OHMETRO

MEDIDOR DE RESISTENCIA

EL sistema para medir la resistencia en un rango de 1 ohm a 20 megahom, consta de los siguientes bloques operativos:

Fuente de Referencia.- Nos proporciona una fuente de voltaje y corriente constante para poder determinar el valor de la resistencia a medir, mediante el uso de operacionales.

Selector de Escala.- Es un circuito de elección del rango de escala (10 ohm, 100 ohm, 10 Kohm, 100 Kohm, 1 Mohm, 10 Mohm).

Amplificador.- Proporciona un pequeño nivel de amplificación del voltaje de entrada, y sobretodo se encarga de la determinación del valor de la resistencia en voltaje.

Convertidor de voltaje/frecuencia.- Convierte el voltaje de entrada que representa a la resistencia en una frecuencia proporcional a ésta.

Control del selector de escala.- Circuito que se encarga de la conmutación automática de la escala y unidades del sistema.

Frecuencímetro.- Se encarga de la evaluación del valor en frecuencia del valor medido por los bloques anteriores.

Despliegue.- Da la presentación visual del valor medido con su respectiva unidad y rango.

La figura 2 muestra el esquema de un ohmetro en el que se emplea un amplificador operacional como fuente de corriente constante. Esta fuente hace circular por RX una corriente de intensidad constante cualquiera que sea el valor de RX inferior a 100 M . Por otra parte el amplificador suministra por la pata de

salida una tensión proporcional a la caída de tensión en R_X , por lo que el voltaje de salida del amplificador operacional será proporcional al valor de R_X .

Con los valores de la figura 2 y un voltmetro de salida de 0 a 10 V de rango de escala, podemos leer resistencias de hasta 10 Megohms.

Se necesita una alimentación regulada al menos para el positivo de la figura 2, ya que la referencia de la fuente de corriente se toma de esa tensión a través del divisor R_1 y R_2 . Para medir resistencias menores hay que trabajar con intensidades de corriente mayores, por lo que habría que rebajar R_1 - R_2 y tendríamos un consumo excesivo. Es preferible reducir entonces la resistencia interna de la fuente de referencia mediante otro operacional conectado como seguidor de tensión.

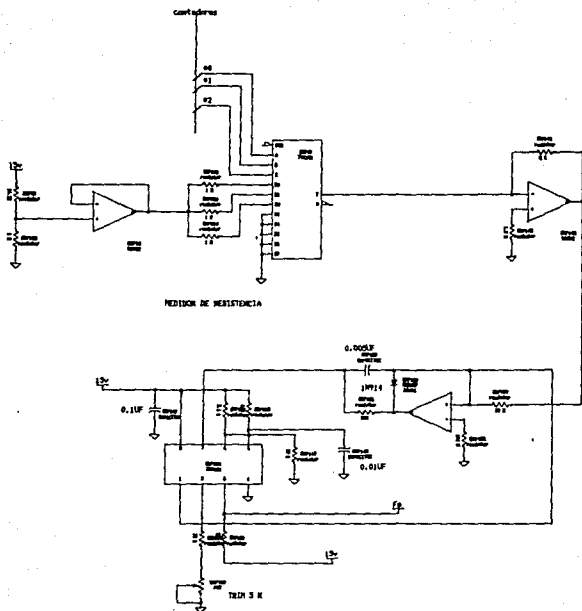


FIG. 2. Circuito Medidor de resistencia.

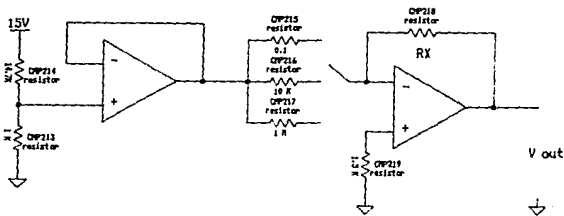


FIG. 3. Fuente de referencia.

Vib.- RED SELECTORA DE ESCALA

Para la selección de la escala dentro de la cual se va a medir la resistencia desconocida, contamos con el siguiente arreglo, el cual es controlado a partir de la cuenta que se tenga en los contadores del frecuencimetro, haciendo conmutar el valor de la escala desde megohms hasta ohms e indicando en su correspondiente LED de unidad el valor a que se está refiriendo la lectura mostrada en los displays.

El esquema a utilizar es el siguiente:

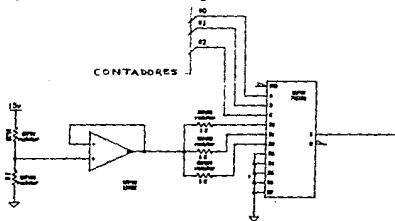


Fig. Red selector de escala y de unidades.

VIC.- CONVERTIDOR DE VOLTAJE A FRECUENCIA

La conversión de voltaje a frecuencia se hace uso del convertidor de voltaje a frecuencia XR-4151, el cual opera con una fuente de voltaje positiva. El XR-4151 contiene un comparador de voltaje, un one-shot y una fuente de corriente conmutada. Es utilizado junto a este circuito un amplificador operacional como integrador, el cual mejora la linealidad del circuito sujetando la salida de la fuente, Pin 1, a un valor constante de 0v.

Por lo que en general el funcionamiento del circuito es el siguiente: el comparador, compara el voltaje de entrada aplicado al pin 6, si el voltaje es alto, el comparador disparará el one-shot, cuya salida esta conectada a ambas salidas lógicas y a la fuente conmutada. Durante el disparo del one-shot la salida lógica irá al estado bajo y encenderá la fuente de corriente. Al final del disparo la salida lógica irá a alto y la corriente se cortará. En este momento la fuente ha almacenado una cantidad de carga dentro de la maila RC. Si ésta carga hace que $V_b > V_1$, el comparador dispara otra vez la fuente de corriente inyectando otro paquete de carga dentro de la maila RC, hasta que $V_b > V_1$. Cuando esto sucede, la fuente de corriente permanece apagada, y el voltaje V_b decae sólo si V_b es igual a V_1 , completándose un ciclo.



MEDIDOR

DE

TEMPERATURA

VII. MEDIDOR DE TEMPERATURA.

VIIa. TEORIA Y DISEÑO DEL MEDIDOR DE TEMPERATURA.

El diagrama de bloques del termómetro se muestra a continuación. Como se puede apreciar se compone de un sensor que nos permite detectar la temperatura; el segundo bloque se encarga de convertirnos esa temperatura a un voltaje determinado que pasará después al tercer bloque que se encarga de convertir el voltaje a frecuencia. Por último esta señal pasa a la etapa de despliegue a través del frecuencímetro.

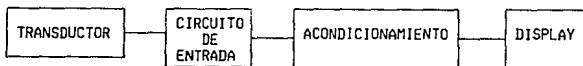
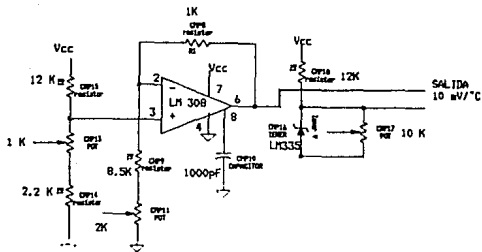


FIG. 1

FIG. 1. Diagrama de bloques del termómetro.

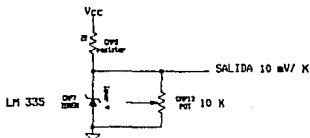
Para el diseño de este dispositivo se utilizó el circuito LM335 que es un sensor de temperatura muy preciso y de fácil calibración. El LM335 opera desde $-10\text{ }^{\circ}\text{C}$ a $+100\text{ }^{\circ}\text{C}$. El circuito utilizado para que la salida nos proporcione $10\text{ mV}/^{\circ}\text{C}$ es el sig.:



* Ajuste para 2.73 volts a la salida del LM308.

FIG. 2. Circuito sensor de temperatura.

La calibración del sensor se hace de la siguiente manera (fig. 3):



* Calibrar para 2.982 volts a 25 ° C.

FIG. 3. Calibración del sensor.

De tal manera que a 25 °C tenemos que a la salida del LM308 hay 2.73 volts y a la salida de la configuración calibrada del LM335 existen 2.982 volts. Por lo tanto a 25 °C tenemos una diferencia de voltaje de : $2.982v - 2.73v = 0.252 v$. Este voltaje es pasado a través de un amplificador de diferencias que se muestra en la fig. 4.

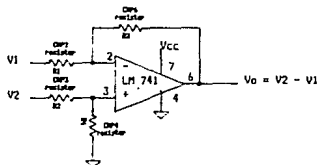
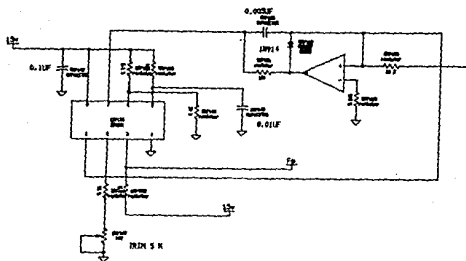


FIG. 4. Amplificador de diferencias.

La ecuación de salida para este tipo de configuración es : $V_o = R_2/R_1(V_2 - V_1)$ de tal manera que si hacemos todas las resistencias de un mismo valor tendremos que $V_o = V_2 - V_1$ obteniéndose entonces la diferencia de las señales de entrada.

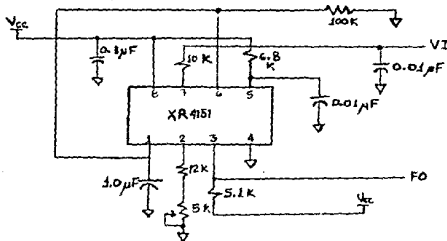
Para el despliegue del voltaje de salida se utilizó un convertidor de voltaje a frecuencia. Este circuito es el XR-4151 de EXAR, ya explicado anteriormente al igual que sus configuraciones que aquí se utilizan.

Cuando se manejan temperaturas positivas el circuito adecuado es el siguiente:



Esta configuración corresponde a un convertidor de voltaje a frecuencia de precisión.

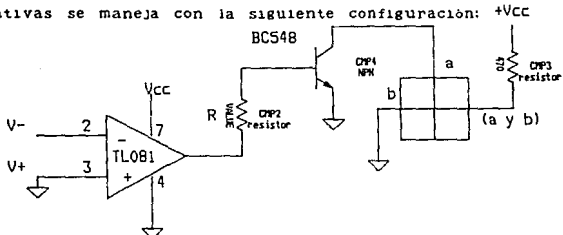
Para lecturas de grados bajo cero utilizamos la siguiente configuración :



El rango de entrada de voltaje es de cero a +10 volts, y la frecuencia de salida es de cero a 10 KHz.

VIIc. INDICADOR DE SIGNO.

El signo que nos indicará si son temperaturas positivas o negativas se maneja con la siguiente configuración: +VCC



Esto es, consiste de un comparador con referencia de cero volts (tierra), un transistor NPN, que se saturará o se cortará dependiendo de la salida del comparador, el display y los componentes pasivos asociados.

Cuando la entrada V^- es menor que cero a la salida del comparador tendremos V_{cc} aproximadamente, de tal manera que el transistor irá a la región de saturación, mostrándonos entonces el signo +.

Cuando la entrada V^- es mayor de cero volts en la salida del comparador tendremos aproximadamente cero volts mandando al transistor a la región de corte, mostrándonos ahora el signo -.

Recuerdese que las configuraciones de los convertidores de voltaje a frecuencia trabajan con voltajes negativos para temperaturas positivas y voltajes positivos para temperaturas negativas.



MEDIDOR

DE

CAPACITANCIA

VIII. MEDIDOR DE CAPACITANCIA E INDUCTANCIA.

VIIIa. TEORIA Y DISEÑO DEL MEDIDOR DE CAPACITANCIA.

El rango total de mediciones de este Medidor de Capacitancia Digital -MCD- es de 1 pf (pico-farad) a 9999 μ f (micro-farad). El MCD tiene una exactitud del 5% a escala llena y resolución de 1 unidad.

Refiriendonos al diagrama de bloques (FIG. 1) del MCD tenemos un primer bloque donde se generan los pulsos de control; un segundo bloque que nos da un pulso proporcional a la capacitancia a medir; encontramos otro bloque selector de frecuencia dependiendo del rango a medir, que se interrelaciona con el anterior, para darnos una cuenta que pasará a la siguiente etapa que nos contará, almacenará y decodificará, para así por último desplegar nos el resultado final.

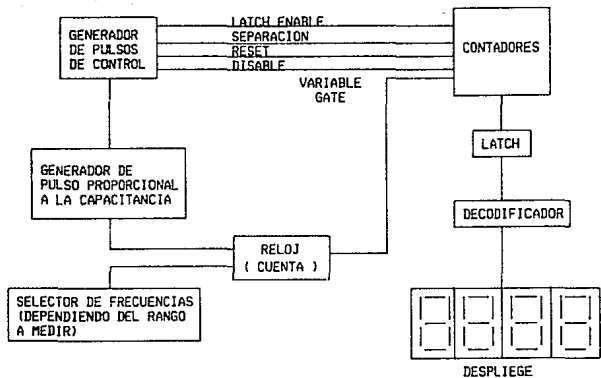


FIG. 1. Diagrama de bloques del MCD.

La teoría de operación, consiste en controlar el período de tiempo de un one shot del capacitor bajo prueba, es decir a partir de un circuito integrado LM-555, nosotros tendremos un pulso variable dependiendo del condensador a medir. Ahora, si nosotros utilizamos ese pulso para controlar el número de pulsos de reloj que serán alimentados a los contadores, entonces nosotros podemos decodificar y desplegar una cuenta, la cuál debe ser igual al valor del capacitor bajo prueba. Nosotros podemos realizar tal diseño, como se dijo, con un Circuito Integrado LM-555 y una compuerta NAND.

Una de las 3 resistencias calibradas (una para cada rango) y el capacitor a medir son los elementos para el circuito de tiempo de ONE-SHOT. Esta salida es alimentada a una compuerta NAND; la otra entrada de la compuerta esta alimentada por los pulsos de reloj, por lo que estos pulsos sólo se presentarán en la salida de la compuerta durante el período en que este presente el pulso variable del LM-555.

Tres diferentes frecuencias de reloj son usadas en el MCD. Así como se observa en la fig. 2 tenemos tres Potenciómetros de precisión (TRIM-POTS) que serán calibrados de acuerdo al pulso deseado para obtener una lectura correcta. Un cristal de 1 MHz proveerá la frecuencia de reloj para el rango de picofaradios. Esta es dividida por un BCD (Contador binario de década) dual 4518, el cual nos entregará 100 KHz y 10 KHz de reloj para el rango de nf (nano-farads) y μ f (micro-farads) respectivamente, las cuales podemos seleccionar para alimentar la compuerta por medio de un switch.

La entrada residual de capacitancia en la escala de picofaradios causará un error en nuestra lectura por lo que para eliminar este problema, generamos un pulso de pocos micro-segundos durante cada ciclo de prueba. Este pulso es usado para inhibir la cuenta de los pulsos de reloj momentáneamente. Así la capacitancia residual estará todavía presente, sin embargo, no será contada y sólo será desplegada la capacitancia presente en las de medición. Este pulso de deshabilitación (DISABLE) es obtenido a partir de un LM-555 como se puede ver en la fig. 2.

El diseño del MCD utiliza cinco LM-555 o bien dos LM-556 y un LM-555 o también un LM-558 y un LM-555. Se escogieron dos LM-556 (TIMERS DOBLES) y un LM-555 (TIMER SIMPLE), que viene siendo el corazón del medidor de capacitancia digital ya que nos provee todos los tiempos de control para la lectura y despliegue de la cuenta.

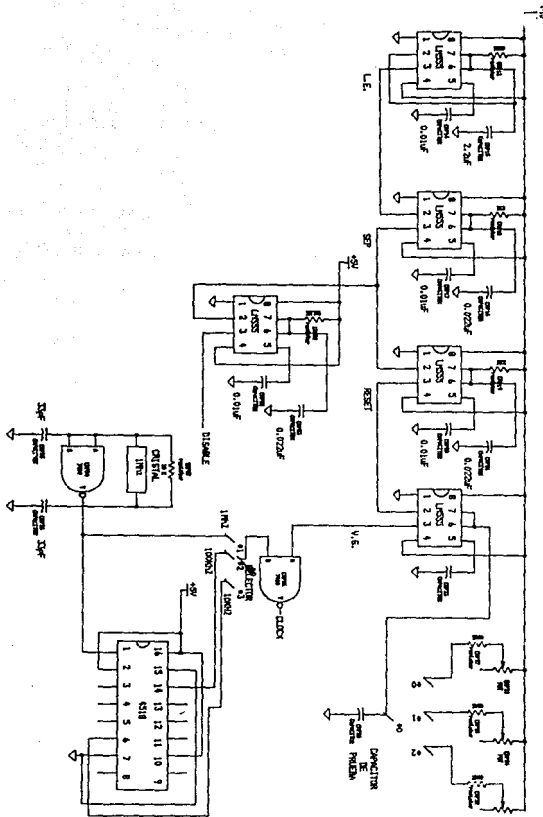


FIG. 2. Circuitos básicos de tiempo y reloj del MCD.

Una etapa es configurada como un oscilador (Forma astable para proveer 1.1 segundo de intervalo de prueba (ver fig. 3) el cual da el LATCH ENABLE, otro de los pulsos de control. Las otras cuatro etapas son configuradas como ONE-SHOT (Monoestable): Uno para la prueba de nuestra capacitancia a medir que nos entregará un pulso variable (VARIABLE GATE) ; otro nos entregará el DISABLE ya mencionado. El siguiente nos dará el RESET y el último la separación entre el LATCH ENABLE y el RESET. Para una mejor comprensión de estos tiempos es necesario remitirnos a la fig. 3, en la cual observamos primeramente la forma de onda de 1.1 segundo , en la que el tiempo negativo de 500 μ segundos es utilizado para disparar el otro timer pero en forma monoestable y así obtener la SEPARACION de aproximadamente 1 milisegundo el cual nos disparará a un segundo y tercer monoestable: El segundo monoestable nos servirá de reset de los contadores para el siguiente intervalo de prueba, este pulso es de aproximadamente 500 μ seg y es el que nos habilita al último monoestable que nos proporcionará el pulso variable para la medición; y el tercero nos entregará el DISABLE.

Así, después tenemos en la misma figura 3 nuestra frecuencia de reloj que variará dependiendo del rango de capacitancia a medir ; y por último esta la salida de nuestra compuerta con una cierta cantidad de pulsos dependiendo del VARIABLE GATE y la frecuencia escogida.

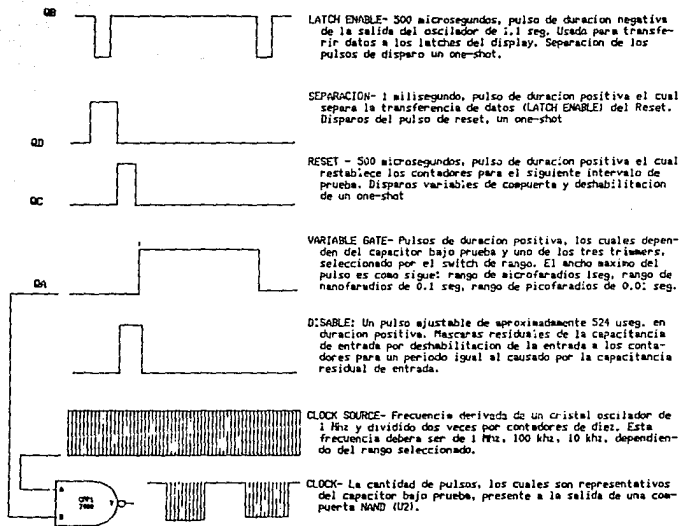


FIG. 3. Diagramas de las formas de onda que se presentan en el MCD.

ETAPA DE DESPLIEGUE

La etapa de despliegue consiste de un par de contadores de BCD 4553 de tres dígitos conectados en cascada los cuales nos darán una salida que entrará a la etapa de decodificación, cuyos encargados son un par de CI 4511, estos por último entregarán un despliegue que aparecerá en el display.

Como ya dijimos los contadores de BCD están conectados en cascada; el primero recibe la cuenta que será desplegada en los primeros tres displays, mientras que el segundo maneja el sobreflujo de la cuenta.

El par de 4511 son utilizados como decodificadores de 7 segmentos que alimentarán a los displays.

Los displays son seleccionados dependiendo de la cuenta que entregue el 4553, así, se ha colocado entre el común de los displays y la selección de estos un transistor pnp para proporcionar corriente a cada uno de ellos, (fig. 4).

Las hojas de características de los circuitos utilizados son proporcionadas al final de este documento.

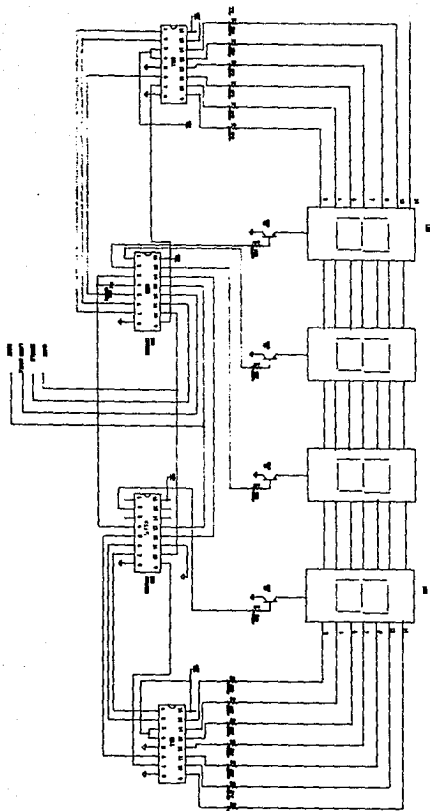


FIG. 4. Etapa de despliegue.

MEDIDOR

DE

INDUCTANCIA

VIIID. TEORIA Y DISEÑO DEL MEDIDOR DE INDUCTANCIAS.

El medidor de reactancias presentado aquí medirá inductancias de $1 \mu\text{H}$ (micro-Henry) a 1 H (Henry) utilizando como elemento de lectura el medidor de voltaje de DC que desplegará la cuenta a través del frecuencímetro base.

El voltaje que cae a través de una inductancia pura es directamente proporcional a la relación en la cual la magnitud de la corriente que fluye a través de ella cambia con el tiempo. Matemáticamente esto es expresado por la ecuación diferencial $V = L \, di/dt$. Si una corriente tiene una relación de flujo constante en un inductor el voltaje que caerá en él será constante. Así, si la forma de la onda de la corriente que fluye por el inductor es una onda triangular, tendremos como resultado en este un voltaje de onda cuadrada.

Observando el diagrama de bloques (fig. 1) diremos que la fuente de onda triangular es el corazón del medidor de inductancias, la cual alimenta a la etapa BUFFER/CONVERTIDOR DE VOLTAJE A CORRIENTE. Así, la generación de la onda de corriente triangular es aplicada a la inductancia cuyo valor está siendo determinado (L_x).

Dos parámetros básicos de la señal generada por la fuente de voltaje triangular deben ser controlados de una manera estrecha para obtener una mayor exactitud: su amplitud y su período. Una etapa de CONTROL AUTOMÁTICO DE GANANCIA (CAG) monitorea la amplitud de pico a pico de la salida de la fuente de voltaje triangular y genera una señal de control para suprimir variaciones indeseables. Para mantener el período de la fuente de

voltaje estable, un reloj controlado por cristal y una serie de etapas divisoras de frecuencia son empleados. La salida de esta parte del medidor de inductancias es una onda cuadrada de voltaje cuya frecuencia es seleccionada por la colocación del switch S1, el cual gobierna la frecuencia (y por supuesto el período) de la salida de la fuente de voltaje triangular.

Cuando el componente bajo prueba se le aplica la señal triangular, un voltaje complejo se presenta en la etapa de demodulación. Esta forma de onda es una onda cuadrada, la cual es dada por la parte reactiva de la impedancia del componente bajo prueba. (Un reactor idealmente no tiene resistencia pero prácticamente sí). Para prevenir cualquier elemento resistivo del componente bajo prueba que influya en la medición, la porción de la onda triangular de la señal presentada a el demodulador es promediada fuera.

El demodulador responde sólo a la parte de la onda cuadrada de la señal aplicada a él, generando una salida de voltaje de DC. Así, un amplificador procesa este voltaje y presenta un voltaje de DC a su salida. Este nivel es presentado al Voltmetro, el cual es escalado para que la lectura del voltaje representado pase por último al medidor de frecuencias y nos de el valor del reactor bajo prueba.

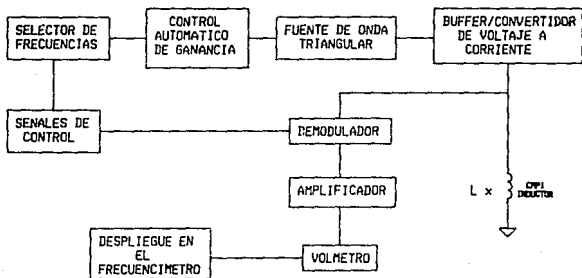


FIG 1. Diagrama de bloques del medidor de inductancias.

DESCRIPCION DEL CIRCUITO

El diagrama del medidor de Inductancias aparece en la fig. 2, un oscilador de cristal de cuarzo, un CI9D y sus elementos pasivos asociados generan una señal de salida de 1 MegaHertz. Esta señal proveerá una onda cuadrada de dicha frecuencia a los divisores de década de CI 2 hasta CI 5. Las salidas de frecuencia son: 1 MHZ, 100 KHZ, 10 KHZ, 1KHZ o 100 HZ; y son seleccionadas por el switch S1A el cual conecta a el divisor de voltaje comprendido por R7,R18 y Q14. El divisor es parte de la etapa del CAG. El capacitor C4 acopla una porción de la señal manejada para el generador de onda triangular comprendido por Q5, Q6 y Q7 y sus componentes pasivos asociados. Este circuito es una fuente bipolar constante de corriente, la cual alternativamente carga y descarga el capacitor que genera la onda triangular seleccionada por S1E, que es apropiada para la frecuencia seleccionada por S1A. La onda triangular de voltaje que aparece en este capacitor es monitoreada por otra parte del circuito de CAG comprendido por Q13, Q14, CI7 y sus componentes pasivos asociados. La señal de entrada a esta parte del CAG se pasa por un buffer Q13 y el pico es detectado por D5 y D6. Esta señal es entonces filtrada y comparada por CI7 a una referencia provista por el divisor de voltaje R21, R22. La salida de CI7 es la polarización aplicada al Gate de Q14 que determina la resistencia del canal del FET. Así, la amplitud de la onda cuadrada provista por el cristal a la fuente de voltaje de onda triangular es mantenida tal que la amplitud de ésta permanezca

constante.

Debido a posibles diferencias en el mecanismo y parámetros del circuito, un desbalance entre los ciclos de carga y descarga puede resultar. Esto podría causar una señal inadecuada, conduciendo al capacitor que genera la onda triangular a saturación. Para prevenir una posible inversión de fase se utiliza Q5, R10, R20, R24, R26 y C36. La salida, defasada 180° de voltaje que aparece en el colector de Q5 es acoplada en AC sumandose en fase con el voltaje acoplado de DC que aparece en el emisor de Q5. Cualquier tendencia del voltaje de DC a elevarse (como resultado de las diferencias entre los parámetros de los transistores complementarios Q6 y Q7) automáticamente cambiará la polarización de ambos para estabilizar el circuito.

La salida del generador de onda triangular maneja la fuente de corriente controlada por voltaje. El generador de corriente controlado por voltaje comprende Q8, Q9 y Q10 y sus componentes pasivos asociados, y es similar al generador de onda triangular. Este convierte las formas de onda de voltaje a corriente defasadas 180°, la cual es aplicada al inductor a ser medido. Cuando se prueba un componente, un voltaje de onda cuadrada cuya amplitud es directamente proporcional a la inductancia aparece a través de él.

El voltaje de onda cuadrada es demodulado sincronamente por C18. La demodulación síncrona requiere la señal de referencia aplicada al demodulador para estar en fase con la señal del componente bajo prueba.

La fuente de voltaje de onda triangular provee los 90° de

defasamiento para asegurar que la señal generada del componente bajo prueba este en fase con la señal de referencia.

El voltaje de onda cuadrada es simultáneamente aplicado a 2 de los 4 switches bilaterales en CI8. Durante la porción positiva de la onda cuadrada de entrada, la señal fluye de la entrada del switch bilateral A (pin 1) a la salida de éste switch (pin 2). Esto sucede porque la señal de referencia aplicada al control de entrada del switch A (pin 13) es positiva. Durante este intervalo, la señal de fase invertida aplicada a la entrada del control del switch bilateral B es negativa. Esto causa que la resistencia del canal entrada-salida sea grande. En la porción negativa de la onda cuadrada de entrada, el switch B se activa mientras que el switch A pasa a alta impedancia. Por lo tanto la porción negativa de la entrada de onda cuadrada aparece en la salida del switch B (pin 3). Las dos salidas de los switches son sumadas y escaladas por CI6. La salida de CI6 es entonces procesada a través del Voltmetro y desplegada por el frecuencímetro.

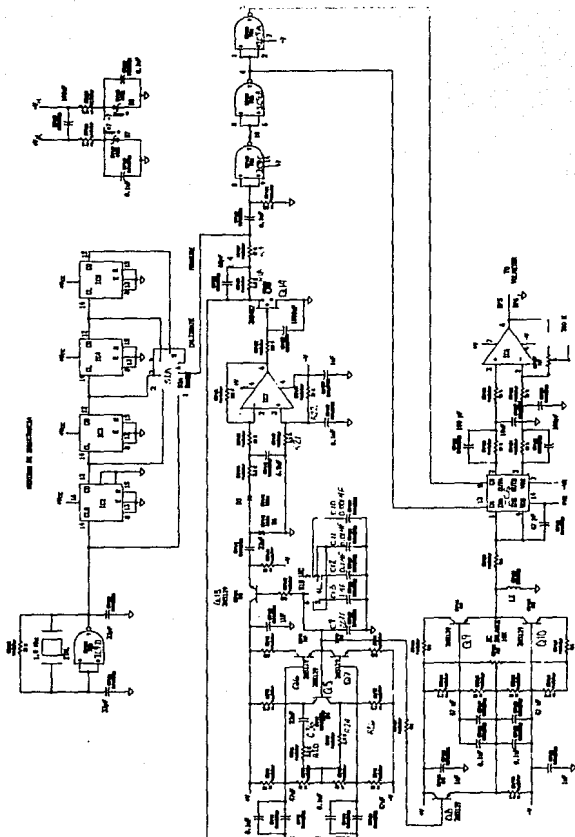


FIG 3. Circuito utilizado para medir inductancias.

BIBLIOGRAFIA

- MOS/CCD DATA BOOK FARCHILD SEMICONDUCTOR.
- AMPLIFICADORES OPERACIONALES
TOBEY, GENE Y. ED. DIANA. 1985.
- LINEAR DATA BOOK
NATIONAL. 1980.
- TTL DATA BOOK. Y THE LINEAR CONTROL CIRCUITS.
TEXAS INSTRUMENTS, 1985.
- SPECIAL PROYECTS
INVIERNO, 1984.
- POPULAR ELECTRONICS
ABRIL, 1977. MARZO, 1981.
- ELECTRONICS EXPERIMENTER'S
1981.
- CMOS DATA BOOK
MOTOROLA.
- RADIO ELECTRONICS
ENERO, 1979; NOV. 1982; JUN. 1985;
JUL. 1983; FEB. 1986.
- MICROELECTRONICS
MILLMAN, JACOB. ED. MCGRAW-HILL.
- INSTRUMENTACION ELECTRONICA
H. DIEFERDORFEN. ED. TRILLAS.
- CIRCUITOS ELECTRONICOS
BOYLESTAD. ED. PRENTICE-HALL.

CONCLUSIONES.

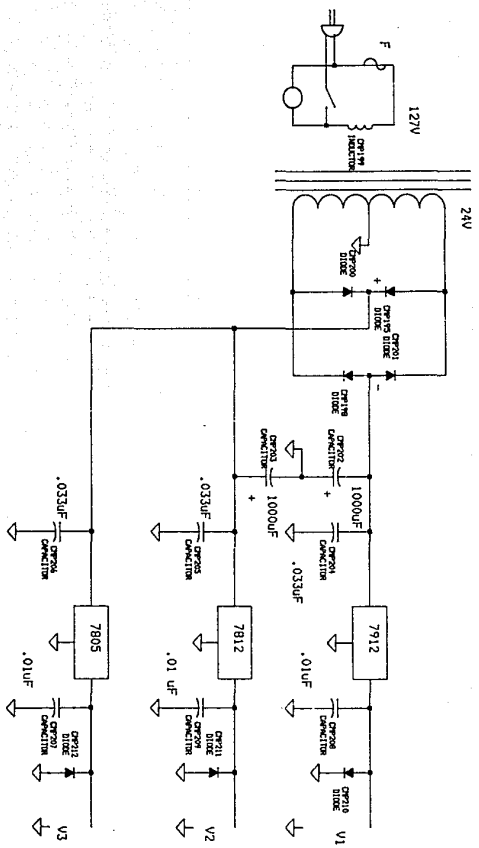
Considerando el costo de los equipos actuales que realizan casi la misma función que el aquí construido, podemos decir que resulta costeable tanto económicamente como en cuestión de características de operación de cada uno de los módulos desarrollados, la construcción del equipo estudiado.

Teniendo en cuenta que la mayoría de los componentes utilizados se pueden conseguir en el mercado nacional, los costos de construcción son por demás mucho menores que si compráramos un equipo ya construido por empresas transnacionales o nacionales.

Otro punto importante resalta en que se utiliza como corazón del equipo al medidor de frecuencia, esto nos permite que las mediciones sean desplegadas a través de él, sin que tengamos que poner diferentes displays para que cada uno de los módulos nos entregue su correspondiente lectura por separado, lo que haría más complicado y costoso el proyecto.

Esta tesis nos permitió conocer y desarrollar prácticamente los conocimientos adquiridos a lo largo de los años de estudios en esta Facultad de Ingeniería, logrando de alguna manera obtener más confianza en el manejo de circuitos integrados además de los dispositivos ya conocidos (transistores, diodos, resistencias, etc.), y el equipo inherente a todo esto.

A
P
E
N
D
I
C
E
S

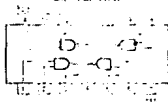


FAIRCHILD SEMICONDUCTORS • 9311-13111 • F4912 34912

F4912 QUAD 2-INPUT NAND GATE • F4912 DUAL 4-INPUT NAND GATE

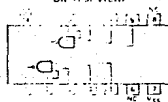
DESCRIPTION: This device is a quad 2-input NAND gate or a dual 4-input NAND gate. It is fabricated using silicon gate technology.

F4912 LOGIC AND CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The flip-chip version has the same pinout as the DIP version. Diagrams at the top of the Package.

F4912 LOGIC AND CONNECTION DIAGRAM DIP (TOP VIEW)



DC CHARACTERISTICS $V_{DD} = 5V$ to $15V$, $V_{SS} = 0V$

SYMBOL	PARAMETER	LIMITS						UNITS	TEMP	TEST CONDITIONS (See Note 1)		
		$V_{DD} = 5V$			$V_{DD} = 10V$						$V_{DD} = 15V$	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
IDD	Quiescent Power			0.5			5.0		10		ns	All inputs common and at 0V or V_{DD}
	Supply Current			15.0			10.0		6.0		ns	
	Static Current			0.0			0.1		0.0		ns	
	Current			3.0			6.0		1.2		ns	

AC CHARACTERISTICS V_{DD} at 5V, $V_{SS} = 0V$, $T_A = 25^\circ C$, F4912 only (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS (See Note 2)
		$V_{DD} = 5V$			$V_{DD} = 10V$			$V_{DD} = 15V$				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
tPLH	Propagation Delay	40	75		20	40		15			ns	$C_L = 15 pF$
		40	75		20	40		15			ns	
tFHL	Output Transition Time	25	75		10	40		8	25		ns	Input Transition Times $\leq 20 ns$
		25	75		10	40		8	25		ns	
tPLH	Propagation Delay	60	110		25	60		20			ns	$C_L = 50 pF$
		60	110		25	60		20			ns	
tFHL	Output Transition Time	60	135		30	70		20	45		ns	Input Transition Times $\leq 20 ns$
		60	135		30	70		20	45		ns	

AC CHARACTERISTICS V_{DD} at 5V, $V_{SS} = 0V$, $T_A = 25^\circ C$, F4912 only

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS (See Note 2)
		$V_{DD} = 5V$			$V_{DD} = 10V$			$V_{DD} = 15V$				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
tPLH	Propagation Delay	54	75		24	40		18			ns	$C_L = 15 pF$
		61	75		23	40		15			ns	
tFHL	Output Transition Time	22	75		16	40		11	25		ns	Input Transition Times $\leq 20 ns$
		31	75		12	40		8	25		ns	
tPLH	Propagation Delay	73	110		33	60		24			ns	$C_L = 50 pF$
		85	110		31	60		20			ns	
tFHL	Output Transition Time	76	135		37	70		27	45		ns	Input Transition Times $\leq 20 ns$
		67	135		25	70		19	45		ns	

NOTES:

- Additional DC Characteristics are listed in this section under 4000 Series CMOS Family Characteristics.
- Propagation delays and output transition times are graphically depicted in the section under 4000 Series CMOS Family Characteristics.

ESTA TESTES NO ESTE BIBLIOTECA
 SALIR DE LA

F4016/34016

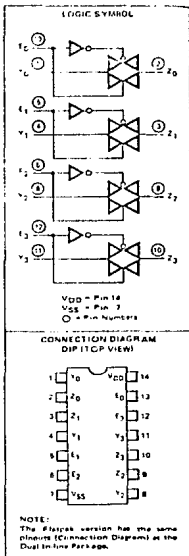
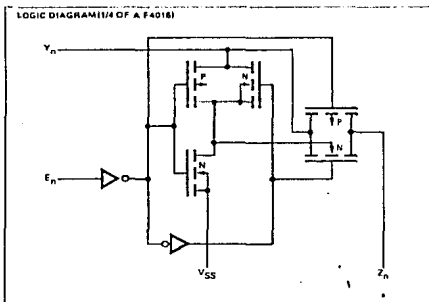
QUAD BILATERAL SWITCHES

DESCRIPTION - The F4016 has four independent bilateral analog switches (transmission gates). Each switch has two Input/Output Terminals (Y_n , Z_n) and an active HIGH Enable Input (E_n). A HIGH on the Enable Input establishes a low impedance bidirectional path between Y_n and Z_n (ON condition). A LOW on the Enable Input disables the switch and maintains a high impedance between Y_n and Z_n (OFF condition).

- DIGITAL OR ANALOG SIGNAL SWITCHING
- INDIVIDUAL ENABLE INPUTS (ACTIVE HIGH)

PIN NAMES

E_0 - E_3 Enable Inputs
 Y_0 - Y_3 Input/Output Terminals
 Z_0 - Z_3 Input/Output Terminals



F4017/34017

5-STAGE JOHNSON COUNTER

DESCRIPTION: The F4017 is a 5-stage Johnson Counter with two outputs per stage. The outputs are HIGH during Q_0 to Q_4 and LOW during \bar{Q}_0 to \bar{Q}_4 . The counter is clocked by an active HIGH and active LOW Clock Input (CP) and an optional Input/Output Master Reset (MR).

The counter is clocked by the active LOW input CP or the active LOW input CP while CP is LOW or is HIGH to LOW transition of CP, while CP is HIGH or the LOW to HIGH transition. When encoding 14017 counters, the Q_0 output, which is LOW during states 0, 1, 2, 3, and 4, can be used to drive the CP input of the next F4017.

A HIGH on the Master Reset Input (MR) will force the counter into $Q_0 = Q_1 = HIGH$, $Q_2 = Q_3 = Q_4 = LOW$ (reset) on the Clock Transition (CP).

- TYPICAL COUNTER EFFICIENCY OF 10% AT $V_{DD} = 10V$
- ACTIVE HIGH DECODED OUTPUTS
- TRIGGERS ON EITHER A HIGH TO LOW OR LOW TO HIGH TRANSITION
- CASCADABLE

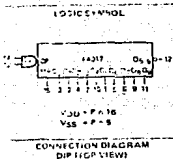
PIN NAMES

CP	Clock Input (Active Low)
CP	Clock Input (High Tri-state)
MR	Master Reset Input
Q_0 - Q_4	Decoded Outputs
\bar{Q}_0 - \bar{Q}_4	Complementary Decoded Outputs

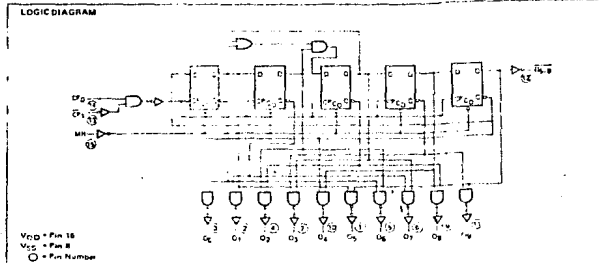
FUNCTIONAL TRUTH TABLE

MR	CP	CP	DESCRIPTION
H	X	X	$Q_0 = Q_1 = H$, $Q_2 = Q_3 = Q_4 = L$
L	H	H=L	Counter Advance
L	L=H	L	Counter Advance
L	L	X	No Change
L	X	H=L	No Change
L	H	L=H	No Change
L	H=L	L	No Change
L	H=L	L	No Change

H = HIGH Level
 L = LOW Level
 L=H = LOW to HIGH Transition
 H=L = HIGH to LOW Transition
 X = Don't Care



NOTE:
 The Flipchip version has the same pinouts (Connection Diagram) as the Dual In-line Package.



F4027/34027

DUAL JK FLIP-FLOP

DESCRIPTION - The F4027 is a Dual JK Flip-Flop which is edge triggered and features independent Direct Set, Direct Clear, and Clock inputs. Data is accepted when the Clock is LOW and transferred to the output on the positive-going edge of the Clock. Features include independent Clear (SD) and Set (SP) and are independent and invertible the J, K, or C inputs. The outputs are buffered for best system performance.

PIN NAMES

J, K	Synchronous Inputs
CP	Clock Input (L - H Edge Triggered)
SD	Asynchronous Direct Set Input (Active HIGH)
CD	Asynchronous Direct Clear Input (Active HIGH)
Q	True Output
\bar{Q}	Complement Output

TRUTH TABLES

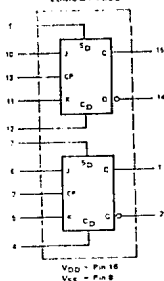
ASYNCHRONOUS INPUTS		OUTPUTS	
SD	CD	Q	\bar{Q}
L	H	L	H
H	L	H	L
H	H	H	H

L = LOW Level
 H = HIGH Level
 J = Positive-Going Transition
 K = Don't Care
 Q_{next} = State After Clock Positive Transition

SYNCHRONOUS INPUTS			OUTPUTS	
CP	J	K	Q _{next}	\bar{Q}_{next}
J	L	L	Q	\bar{Q}
J	H	L	H	L
J	L	H	L	H
J	H	H	Q	\bar{Q}

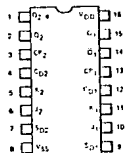
Condition: $\bar{C}_D = C_D = LOW$

LOGIC SYMBOL



CONNECTION DIAGRAMS

DIP (TOP VIEW)



NOTE:
 The Flipflop version has the same pinouts (Connection Diagram) as the Dual in the Package.

F4518/34518

DUAL 4-BIT BCD CADE COUNTER

DESCRIPTION — The F4518 is a Dual 4-Bit Internally Synchronized BCD Counter. Each counter has both an active HIGH Clock Input (CP₀) and an active LOW Clock Input (CP₁), buffered Outputs from all four bits (Q₀, Q₁, Q₂, Q₃) and an active HIGH (enabling) asynchronous Master Reset Input (MR). The outputs of the counter are buffered and the output of the CP₁ input is buffered on the output of the CP₀ input. The CP₀ and CP₁ inputs are tri-state. Either Clock Input (CP₀, CP₁) may be used as the Clock Input to the counter and the other Clock Input may be used as the CP₁ input.

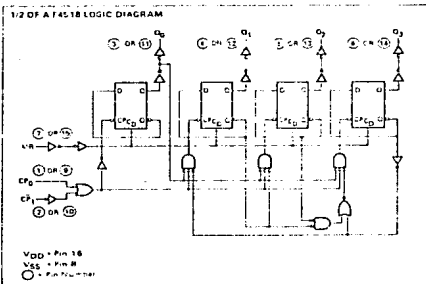
A HIGH on the Master Reset Input (MR) resets the counter. Q₀, Q₁ + Q₂ + Q₃ is independent of the Clock Input (CP₀, CP₁).

- TYPICAL COUNT FREQUENCY OF 10 MHz AT V_{CC} = 10 V
- TRIGGERED ON EITHER A LOW TO HIGH OR A HIGH TO LOW TRANSITION
- ASYNCHRONOUS ACTIVE HIGH MASTER RESET
- BUFFERED OUTPUTS FROM ALL FOUR BIT POSITIONS
- FULLY SYNCHRONOUS COUNTING

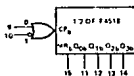
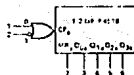
TRUTH TABLE

CP ₀	CP ₁	MR	MODE
H	H	L	Counter Advances
L	L	L	Counter Advances
X	X	L	No Change
X	X	H	No Change
L	L	H	No Change
H	H	H	No Change
X	X	H	Reset (Asynchronous)

X = Don't Care
 L = Low Level
 H = High Level
 — = Positive Going Transition
 / — = Negative Going Transition



LOGIC SYMBOLS



V_{DD} = Pin 16
 V_{SS} = Pin 8

CONNECTION DIAGRAM
 DIP (TOP VIEW)



NOTE

The Pin 16 and Pin 8 are the V_{DD} and V_{SS} connections for the counter. Connect Pin 8 to ground and Pin 16 to V_{CC}.

PIN NAMES

CP₀, CP₁ Clock Input (CP₀ = Positive Going Transition)
 CP₁, CP_{1p} Clock Input (CP₁ = Negative Going Transition)
 MR, MRp Master Reset Inputs
 Q₀ - Q₃ Outputs
 Q_{0p} - Q_{3p} Outputs

**MOTOROLA****THREE-DIGIT BCD COUNTER**

The MC14553B three-digit BCD counter consists of three negative edge triggered BCD counters that are cascaded synchronously. A load latch at the output of each counter permits storage of any given count. The information is then transmitted multiplexed, providing one BCD number of digit at a time. Digits which outputs provide display control. All outputs are TTL compatible.

An on-chip oscillator provides the low frequency scanning clock which drives the multiplexed output selector. This device is used in instrumentation counters, clock displays, digital panel meters, and as a building block for general logic applications.

- TTL Outputs
- On-Chip Oscillator
- Cascadable
- Clock Disable Input
- Pulse Shaping Permits Very Slow Rise Times on Input Clock
- Output Latches
- Master Reset

MAXIMUM RATINGS (Values referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage All Inputs	V _I	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I _I	10	mAdc
DC Current per Pin All Outputs	I _O	20	mAdc
Operating Temperature Range - A ₁ Device	T _A	-55 to +125	°C
Operating Temperature Range - CL ₁ Device	T _{stg}	-65 to +150	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

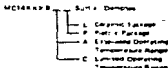
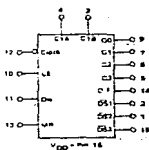
TRUTH TABLE

MASTER RESET	CLOCK	DISABLE	LE	OUTPUTS
0	—	0	0	No Change
0	—	0	0	Advance
0	1	1	X	No Change
0	1	—	0	Advance
0	1	—	X	No Change
0	X	X	X	No Change
0	X	X	1	Latched
1	X	X	0	00 = Q ₁ = Q ₂ 01 = Q ₃

X = Don't Care

MC14553B**CMOS LSI**

LOW POWER COMPLEMENTARY MOS

THREE-DIGIT BCD COUNTERL SUFFIX
CERAMIC PACKAGE
CASE 620P SUFFIX
PLASTIC PACKAGE
CASE 648**ORDERING INFORMATION****BLOCK DIAGRAM**

This device contains circuitry to detect the inputs applied. Damage due to high static voltage or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to any high impedance circuit. For proper operation it is recommended that V_{DD} and V_{SS} be connected to the range V_{DD} < 18V or V_{SS} = 0V_{SS}.

Unused inputs must always be tied to an appropriate logic voltage level, either V_{DD} or V_{SS}.

MC14553B

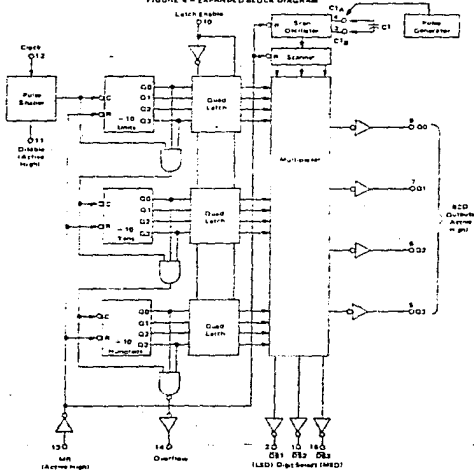
OPERATING CHARACTERISTICS

The MC14553B three digit counter shown in Figure 4 consists of three negative edge triggered BCD counters which are cascaded in a synchronous fashion. A hold latch at the output of each of the three BCD counters permits storage of any given count. The three sets of BCD outputs (active high) after going through the latches, are time division multiplexed, providing one BCD number or digit at a time. Digit select outputs (active low) are provided for display control. All outputs are TTL compatible.

An on-chip oscillator provides the low frequency scanning clock which drives the multiplexer output selector. The frequency of the oscillator can be controlled externally by a capacitor between pins 3 and 4, or it can be overridden and driven with an external clock at pin 4. Multiple devices can be cascaded using the overflow output, which provides one pulse for every 1000 counts.

The Master Reset input when taken high, initializes the three BCD counters and the multiplexer scanning output. While Master Reset is high, the digit scanner is set to digit one, but all three digit select outputs are disabled to prolong display life and the scan oscillator is inhibited. The Disable input when high, prevents the input clock from reaching the counters, while still retaining the last count. A pulse shaping circuit at the clock input permits the counters to continue operating on input pulses with very slow rise times. Information present in the counters when the latch input goes high, will be stored in the latches and will be retained while the latch is high, independent of other inputs. Information can be recovered from the latches after the counters have been reset if Latch Enable remains high during the entire reset cycle.

FIGURE 4 - EXPANDED BLOCK DIAGRAM

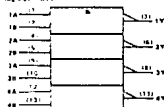


00

QUADRUPLE
2-INPUT
POSITIVE-NAND
GATES

typical performance ¹		
TYPE	POWER	DELAY
LS00	10 mW	22 ns
A ₁ LS01	1.2 mW	16 ns
LS01	2 mW	16 ns

SN5400 (J,F,H)	SN7400 (J,N)
SN54ALS00 (J,F,H)	SN74ALS00 (J,N,F,N)
SN54ALS01 (J,F,H)	SN74ALS01 (J,N,F,N)
SN54ALS01 (J)	SN74ALS01 (J,N)
SN54LS00 (J,F,H)	SN74LS00 (J,N,F,N)
SN54LS01 (J,F,H)	SN74LS01 (J,N,F,N)

input symbols²positive logic: $Y = \overline{AB}$ pin assignments³

DIP PACKAGE		PLD PACKAGE	
pin	symbol	pin	symbol
1	A	1	A
2	B	2	B
3	A	3	A
4	B	4	B
5	A	5	A
6	B	6	B
7	A	7	A
8	B	8	B
9	A	9	A
10	B	10	B
11	A	11	A
12	B	12	B
13	A	13	A
14	B	14	B
15	A	15	A
16	B	16	B

01

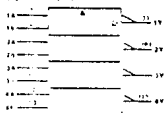
QUADRUPLE
2-INPUT
POSITIVE-NAND
GATES WITH
OPEN-COLLECTOR
OUTPUTS

typical performance ¹		
TYPE	POWER	DELAY
LS01	10 mW	22 ns
A ₁ LS01	1.2 mW	16 ns
LS01	2 mW	16 ns

SN5401 (J,F,H)	SN7401 (J,N)
SN54ALS01 (J,F,H)	SN74ALS01 (J,N,F,N)
SN54LS01 (J)	SN74LS01 (J,N)
SN54LS01 (J,F,H)	SN74LS01 (J,N,F,N)

input symbols, '01', 'ALS01', 'LS01'²positive logic: $Y = \overline{AB}$ pin assignments³ '01', 'ALS01', 'LS01'

DIP PACKAGE		PLD PACKAGE	
pin	symbol	pin	symbol
1	A	1	A
2	B	2	B
3	A	3	A
4	B	4	B
5	A	5	A
6	B	6	B
7	A	7	A
8	B	8	B
9	A	9	A
10	B	10	B
11	A	11	A
12	B	12	B
13	A	13	A
14	B	14	B
15	A	15	A
16	B	16	B

input symbols, '01'²positive logic: $Y = \overline{AB}$

pin assignments, '01'

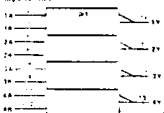
DIP PACKAGE		PLD PACKAGE	
pin	symbol	pin	symbol
1	A	1	A
2	B	2	B
3	A	3	A
4	B	4	B
5	A	5	A
6	B	6	B
7	A	7	A
8	B	8	B
9	A	9	A
10	B	10	B
11	A	11	A
12	B	12	B
13	A	13	A
14	B	14	B
15	A	15	A
16	B	16	B

02

QUADRUPLE
2-INPUT
POSITIVE-NAND
GATES

typical performance ¹		
TYPE	POWER	DELAY
LS02	10 mW	22 ns
A ₁ LS02	1.2 mW	16 ns
LS02	2 mW	16 ns

SN5402 (J,F,H)	SN7402 (J,N)
SN54ALS02 (J,F,H)	SN74ALS02 (J,N,F,N)
SN54LS02 (J)	SN74LS02 (J,N)
SN54LS02 (J,F,H)	SN74LS02 (J,N,F,N)

input symbols²positive logic: $Y = \overline{A \cdot B}$ pin assignments³

DIP PACKAGE		PLD PACKAGE	
pin	symbol	pin	symbol
1	A	1	A
2	B	2	B
3	A	3	A
4	B	4	B
5	A	5	A
6	B	6	B
7	A	7	A
8	B	8	B
9	A	9	A
10	B	10	B
11	A	11	A
12	B	12	B
13	A	13	A
14	B	14	B
15	A	15	A
16	B	16	B

¹ Pin numbers shown on input symbols are for 2 and 4 pin versions only.
NC = NO INTERNAL CONNECTION

0
LOAD COUNTERS

typical performance

TYPE	COUNT	CLEAR	TOTAL POWER
5474	32	100 mV	160 mW
5474A	32	100 mV	20 mW
5474B	32	100 mV	40 mW

5474A(1) 5474B(1) 5474B(2)

5474A(2) 5474B(2) 5474B(3)

5474A(3) 5474B(3) 5474B(4)

logic symbol

pin assignments

pin	function
1	A0
2	A1
3	A2
4	A3
5	A4
6	A5
7	A
8	B
9	Q0
10	Q1
11	Q2
12	Q3
13	Q4
14	Q5

For more chip carrier designs, see 280 or 15280

1
8 BIT SHIFT REGISTERS

typical performance

TYPE	SHIFT FREQUENCY	SERIAL DATA INPUT	TOTAL POWER
5474	10 MHz	CMOS D	135 mW
5474A	20 MHz	CMOS D	135 mW
5474B	20 MHz	GATED D	60 mW

5474A(1) 5474A(2) 5474A(3)

5474B(1) 5474B(2) 5474B(3)

logic symbol

pin assignments

pin	function
1	A
2	B
3	C
4	Q0
5	Q1
6	Q2
7	Q3
8	Q4
9	Q5
10	Q6
11	Q7

For chip carrier information, contact the factory

2
DIVIDE BY 12 COUNTERS

typical performance

TYPE	COUNT	CLEAR	TOTAL POWER
5474	32	100 mV	160 mW
5474A	32	100 mV	20 mW
5474B	32	100 mV	40 mW

5474A(1) 5474B(1) 5474B(2)

5474A(2) 5474B(2) 5474B(3)

logic symbol

pin assignments

pin	function
1	A0
2	A1
3	A2
4	A3
5	A4
6	A5
7	A
8	B
9	Q0
10	Q1
11	Q2
12	Q3
13	Q4
14	Q5

For more chip carrier designs, see 15272

1 Pin numbers shown on logic symbols are for J and N packages only.
 2g - no internal connection.

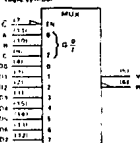
151

1 OF 8 DATA SELECTORS/MULTIPLERS

typical performance

DELAY TIMES				
TYPE	DATA	DATA TO	FROM	TOTAL
	TO INV.	NON-INV.	ENABLE	POWER
	OUTPUT	OUTPUT		
ALS151	0 ns	1.7 ns	4.5 ns	32 mW
ALS151	3.7 ns	2.1 ns	4.5 ns	32 mW
LS151	1.7 ns	2.1 ns	2.7 ns	33 mW
S151	4.5 ns	8 ns	7.9 ns	225 mW

SN54151A (J FET)
 SN54151B (NPN)
 SN54151C (J FET)
 SN54151D (J FET)
 SN54151E (J FET)

logic symbol¹

pin assignments

2	PACKAGE	SN	PACKAGE
1	14	1	14
2	14	2	14
3	14	3	14
4	14	4	14
5	14	5	14
6	14	6	14
7	14	7	14
8	14	8	14
9	14	9	14
10	14	10	14
11	14	11	14
12	14	12	14
13	14	13	14
14	14	14	14

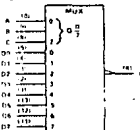
152

1 OF 8 DATA SELECTORS/MULTIPLERS

typical performance

DELAY TIMES				
TYPE	DATA	FROM	TOTAL	
	TO INV.	NON-INV.	ENABLE	POWER
	OUTPUT	OUTPUT		
ALS152	0 ns	1.7 ns	4.5 ns	32 mW
LS152	1.7 ns	2.1 ns	2.7 ns	33 mW

SN54152A (J FET)
 SN54152B (J FET)

logic symbol¹

pin assignments

2	PACKAGE	SN	PACKAGE
1	14	1	14
2	14	2	14
3	14	3	14
4	14	4	14
5	14	5	14
6	14	6	14
7	14	7	14
8	14	8	14
9	14	9	14
10	14	10	14
11	14	11	14
12	14	12	14
13	14	13	14
14	14	14	14

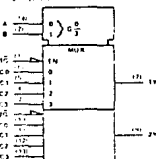
153

DUAL 4 LINE TO 1 LINE DATA
SELECTORS/MULTIPLERS

typical performance

DELAY TIMES				
TYPE	DATA	FROM	TOTAL	
	TO INV.	NON-INV.	ENABLE	POWER
	OUTPUT	OUTPUT		
ALS153	14 ns	1.7 ns	4.5 ns	32 mW
ALS153	5 ns	4.1 ns	3.5 ns	32 mW
ALS153	3.5 ns	8 ns	105 mW	
LS153	2.7 ns	14 ns	93 mW	
LS153	14 ns	17 ns	31 mW	
S153	8 ns	9.5 ns	225 mW	

SN54153 (J FET)
 SN54153A (J FET)
 SN54153B (J FET)
 SN54153C (NPN)
 SN54153D (J FET)
 SN54153E (J FET)
 SN54153F (J FET)

logic symbol¹

pin assignments

2	PACKAGE	SN	PACKAGE
1	14	1	14
2	14	2	14
3	14	3	14
4	14	4	14
5	14	5	14
6	14	6	14
7	14	7	14
8	14	8	14
9	14	9	14
10	14	10	14
11	14	11	14
12	14	12	14
13	14	13	14
14	14	14	14

¹ Pin numbers shown for logic symbols are for JEDEC pin numbers only.
 * Pin assignments are typical.

390

DUAL DECADE COUNTERS
(Secondary or Red Impulses)

Typical performance

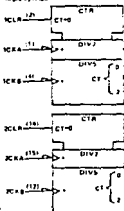
TYPE	COUNT		CLEAR		TOTAL POWER
	10	10	10	10	
LSM	20	20	20	20	25

SN54390 (J,F,H)

SN74390 (J,N)

SN54LS390 (J,F,H)

SN74LS390 (J,N,F,H)

logic symbol¹

pin assignments



393

DUAL 4 BIT BINARY
COUNTERS

Typical performance

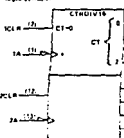
TYPE	COUNT		CLEAR		TOTAL POWER
	16	16	16	16	
LSM	20	20	20	20	25

SN54393 (J,F,H)

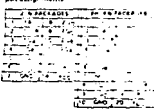
SN74393 (J,N)

SN54LS393 (J,F,H)

SN74LS393 (J,N,F,H)

logic symbol¹

pin assignments



395

4 BIT UNIVERSAL
SHIFT REGISTERS
(Three state outputs)

Typical performance

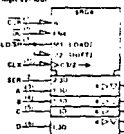
TYPE	SHIFT		SERIAL DATA INPUT	ASYNC CLEAR	TOTAL POWER
	16	16			
LSM	20	20	20	20	25

SN54395 (J,F,H)

SN74395 (J,N,F,H)

SN54LS395 (J,F,H)

SN74LS395 (J,N,F,H)

logic symbol¹

pin assignments



¹ Pin numbers shown in logic symbols are for J and N packages only.
MS - MS (except 390 and 393).

162

SYNCHRONOUS 4-BIT
COUNTERS

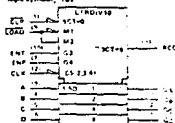
(bistable, synchronous clear)

typical performance

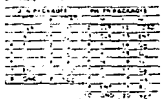
TYPE	COUNT	CLEAR	TOTAL POWER
162	2 ⁿ MHz	SYNC L	305 mW
ALS162A	40 MHz	SYNC L	60 mW
LS162	25 MHz	SYNC L	93 mW
MS162	40 MHz	SYNC L	475 mW

SN54162 (J,F,H) SN74162 (J,N)
 SN54ALS162A (J,F,H) SN74ALS162A (J,N,F,H)
 SN54LS162 (J,F,H) SN74LS162 (J,N,F,H)
 SN54MS162 (J,F,H) SN74MS162 (J,N,F,H)

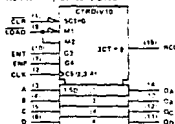
logic symbol, "162"



pin assignments



logic symbol, LS162A, S162†



163

SYNCHRONOUS 4-BIT
COUNTERS

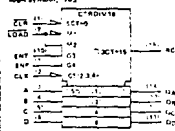
(bistable, synchronous clear)

typical performance

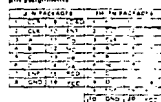
TYPE	COUNT	CLEAR	TOTAL POWER
163	2 ⁿ MHz	SYNC L	315 mW
ALS163A	40 MHz	SYNC L	60 mW
LS163A	25 MHz	SYNC L	93 mW
MS163	40 MHz	SYNC L	475 mW

SN54163 (J,F,H) SN74163 (J,N)
 SN54ALS163A (J,F,H) SN74ALS163A (J,N,F,H)
 SN54LS163 (J,F,H) SN74LS163 (J,N,F,H)
 SN54MS163 (J,F,H) SN74MS163 (J,N,F,H)

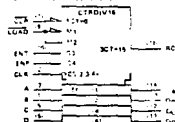
logic symbol, "163"



pin assignments

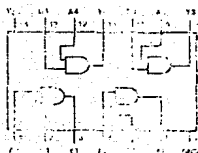


logic symbol, LS163A, S163†



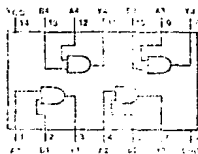
† Pin numbers shown on logic symbols are for J and N packages only.
 †† = no internal connection.

09 Full 2-Input AND Gates



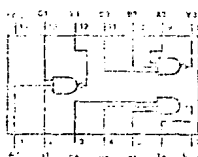
6401 (1)	7406 (1)
6402 (1)	7407 (1)
6403 (1)	7408 (1)
6404 (1)	7409 (1)
6405 (1)	7410 (1)

09 Single Input AND Gates with Open-Collector Output

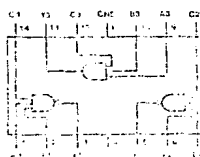


6406 (1)	7411 (1)
6407 (1)	7412 (1)
6408 (1)	7413 (1)
6409 (1)	7414 (1)

10 Three-Input NAND Gates

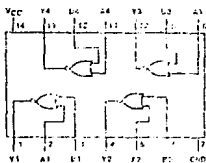


6410 (1)	7415 (1)
6411 (1)	7416 (1)
6412 (1)	7417 (1)
6413 (1)	7418 (1)
6414 (1)	7419 (1)

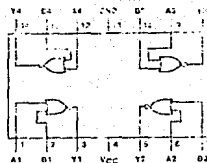


6415 (1)	7420 (1)
6416 (1)	7421 (1)

02 Dual 2-Input NAND Gates



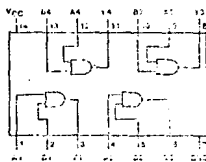
5402 (J)	7402 (K)
54102 (J)	74102 (K)
54LS02 (J,W)	74LS02 (K)
54V02 (J,W)	74V02 (K)



5422 (W)
54L02 (W)

02-0001

03 Dual 2-Input NAND Gates with Open-Collector outputs

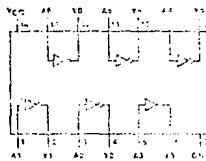


5403 (J)	7403 (K)
54103 (J)	74103 (K)
54LS03 (J,W)	74LS03 (K)
54V03 (J,W)	74V03 (K)

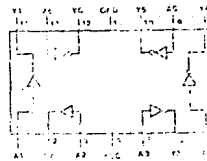
03-0001

03-0002

04 Hex Inverters



5408 (J)	7408 (K)
5408E (J)	7408E (K)
54108 (J)	74108 (K)
54LS08 (J,W)	74LS08 (K)
54V08 (J,W)	74V08 (K)

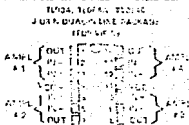


54107 (W)
54L07 (W)

04-0001

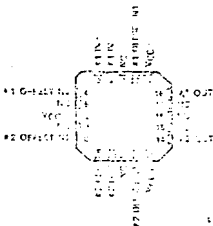
04-0002

TYPE 1000 TRIP POINT, 1000A THROUGH 1000E
TRIP POINTS
1000A THROUGH 1000E

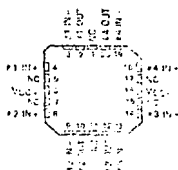


1000C TRIP POINT

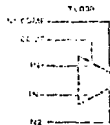
1000C TRIP POINT
 1000C TRIP POINT PACKAGE
 (TOP VIEW)



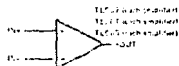
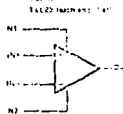
1000D TRIP POINT
 1000D TRIP POINT PACKAGE
 (TOP VIEW)



1000A



1000B



1000D TRIP POINT

1000E TRIP POINT