

8
26j



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

**FACULTAD DE ESTUDIOS SUPERIORES
CUAUTITLAN**

**ANALISIS CUANTITATIVO DEL PATRON DE
DESCARGA NEURONAL UTILIZANDO A EL
MICROPROCESADOR Z-80 COMO ELEMENTO
DE CONTROL**

T E S I S

QUE PARA OBTENER EL TITULO DE:

INGENIERO MECANICO ELECTRICISTA

P R E S E N T A ;

HECTOR BELMONT TAMAYO

**TESIS CON
FALLA DE ORIGEN**

1988



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

CAPITULO I

FUNDAMENTOS Y TECNICAS DE MEDICION DEL POTENCIAL ELECTRICO CEREBRAL.

Introducción	1
1.1) La neurona	3
1.2) Propagación del impulso nervioso	8
1.3) Técnicas de registro con microelectrodos	18
1.4) Electrodo	19
1.5) Métodos de registro	19
1.7) Respuesta de células aisladas	20
1.8) Registro extracelular	21

CAPITULO II

MICROPROCESADOR Z-80

2.1) Historia de los microprocesadores	24
2.2) Estructura del microprocesador Z-80	25
2.3) Señales del bus de control	25
2.4) Registros	28
2.5) Instrucciones del microprocesador	29
2.6) Ciclos de máquina de la CPU Z-80	36

CAPITULO III

HARDWARE DEL SISTEMA

3.1) Planteamiento del problema	51
3.2) Circuito de ventana	51
3.3) Circuito de contadores y microprocesador	59
3.4) Convertidores Digital-Análogos	64

CAPITULO IV

SOFTWARE DEL SISTEMA

4.1) Periferico PPI 8255	75
4.2) Control de contadores y retardo	77
4.3) Transferencia de información a la memoria del micro	80
4.4) Parámetros de calibración	82
4.5) Histograma de frecuencias por segundo	83
4.6) Histograma de frecuencias por minuto	84

CAPITULO V

ANÁLISIS DE COSTOS

5.1) Análisis de costo de material	91
5.2) Análisis de tiempo de desarrollo	92

**CAPITULO VI
ANALISIS DE RESULTADOS**

6.1) Antecedentes de cuantificación de descarga neuronal		94
6.2) Resultados		97
Conclusiones		102
Datos de equipo utilizado	APENDICE I	104
Circuitos integrados utilizados	APENDICE II	108
Códigos de operación y tiempo de ejecución de instrucciones de la CPU Z-80	APENDICE III	117
Manual del usuario	APENDICE IV	133
Bibliografía		135

INTRODUCCION

El cerebro presenta en todos los vertebrados una actividad eléctrica incesante aún en condiciones de reposo, durante el sueño profundo o en situaciones de graves perturbaciones patológicas. La existencia de esta actividad es inherente a la vida; su desaparición es signo de muerte. Esta actividad se manifiesta en forma rítmica en determinadas circunstancias. Al ser registrada tal actividad se le llama electroencefalograma (EEG).

Existen varios ritmos electroencefalográficos que se designan con distintas letras griegas. (α , β , δ)

En lo referente a las relaciones entre los distintos ritmos cerebrales y la conducta deben destacarse algunos hechos. El ritmo α disminuye de amplitud cuando el nivel de atención aumenta, los otros ritmos que se registran en la región central disminuyen de amplitud o se bloquean por efectos de la actividad motora.

La conducta se organiza temporalmente en respuesta a estímulos externos o internos y se expresa fundamentalmente por la contracción de los músculos esqueléticos, que determinan actitudes posturales y/o movimientos. Toda conducta constituye un fenómeno complejo que requiere una activación secuencial precisa de diferentes músculos que deberán contraerse con una intensidad en cada instante. La organización temporal de esta actividad es decisiva, tanto en lo referente a la distribución espacial de la activación de los músculos involucrados, como a la intensidad de la contracción de cada uno de ellos. Para llevarse a cabo lo anterior es lógico suponer que el sistema nervioso central (SNC) debería disponer de relojes que aumentarían y/o disminuirían periódicamente la excitabilidad de grupos de neuronas relacionadas con la generación del movimiento, permitiendo o impidiendo sus descargas. Los candidatos que surgen naturalmente para actuar como relojes son los ritmos eléctricos que genera el cerebro.

De lo anterior, se concluye que es de vital importancia contar con dispositivos que sean capaces de registrar estos ritmos eléctricos, e incluso de poder almacenar esta información para un análisis posterior.

Por lo que el objetivo del presente trabajo de tesis es el implementar un sistema electrónico que sea capaz de cuantificar la descarga neuronal y procesarla.

CAPITULO I
FUNDAMENTOS Y
TECNICAS DE
MEDICION DEL
POTENCIAL
ELECTRICO
GENERAL

CAPITULO I

FUNDAMENTOS Y TECNICAS DE MEDICION DEL POTENCIAL ELECTRICO CEREBRAL.

1.1 LA NEURONA

Las neuronas o células nerviosas son las piezas de construcción del cerebro. A pesar de tener los mismos genes, la misma organización general y el mismo aparato bioquímico que las demás células, ofrecen características únicas que hacen que las funciones cerebrales se realicen de una manera muy distinta a las de otro órgano. Entre las especializaciones importantes de la neurona se incluyen una forma celular característica, una membrana externa capaz de generar impulsos nerviosos y una región altamente especializada, la sinápsis, que permite transferencia de información de una neurona a otra.

Se cree que el cerebro humano consta de (1 exp 11) neuronas. No existen dos neuronas iguales en cuanto a forma. No obstante, sus formas suelen agruparse en unas cuantas categorías y la mayoría de las neuronas comparten ciertas características estructurales que hacen posible distinguir tres regiones celulares: el cuerpo celular, las dendritas y el axón. El cuerpo o soma de la célula contiene el núcleo de la neurona y la maquinaria bioquímica para la síntesis de proteínas y otras moléculas esenciales para la vida de la célula. La forma más común del cuerpo celular es de tipo esférico o piramidal. Las dendritas son delicadas expansiones en forma de tubo que tienden a ramificarse repetidamente formando un arbusto alrededor del cuerpo de la célula. Proporcionan la principal superficie física por la cual la neurona recibe las señales de entrada (aférentes). El axón se extiende a partir del cuerpo celular y contiene la vía por la que las señales pueden viajar largas distancias desde el cuerpo celular a otras partes del cerebro y del sistema nervioso. El axón difiere de las dendritas tanto por su estructura como por las propiedades de su membrana externa. La mayoría de axones son más largos y delgados que las dendritas y presentan un modelo de ramificación distinto: mientras que las ramas de las dendritas tienden a agruparse cerca del cuerpo de la célula, las ramas de los axones tienden a nacer al final de la fibra, allí donde el axón se comunica con otras neuronas. En la figura 1.1 se muestra las partes componentes de una neurona típica.

El funcionamiento del cerebro depende del flujo de información a través de elaborados circuitos formados por redes de neuronas. La información pasa de una célula a otra por puntos de contacto especializados: la sinápsis. Una neurona típica puede tener de 1000 a 10000 sinápsis y puede recibir información de algo así como otras 1000 neuronas. Aunque las sinápsis se realizan con más frecuencia entre el axón de una célula y la dendrita de otra, hay

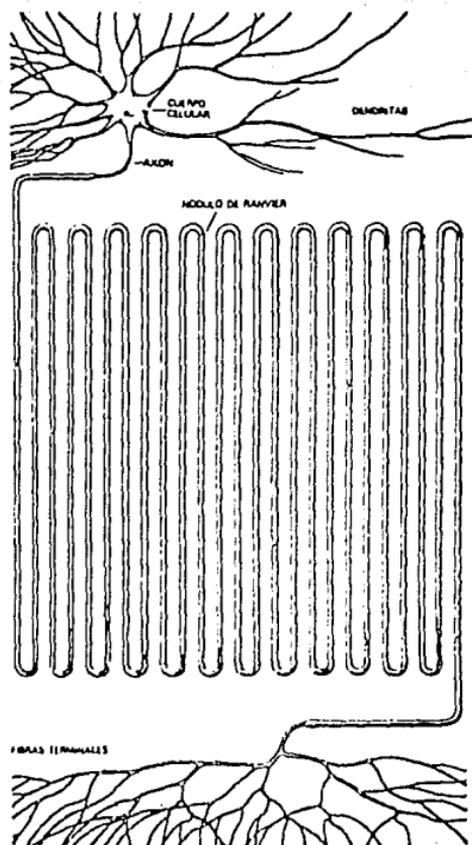


FIGURA 1.1

LA NEURONA TIPICA de un animal vertebrado puede llevar impulsos nerviosos a través de una distancia considerable. Los impulsos nerviosos se originan en el cuerpo de la célula y se propagan a lo largo del axón, que puede tener una o mas ramas. Las ramas terminales del axón llegan a formar sinápsis hasta con otras 1000 neuronas.

otros tipos de union sináptica: entre axón y axón, entre dendrita y dendrita y entre axón y cuerpo celular.

En una sinápsis el axón suele dilatarse para formar el botón terminal, que es la parte de la unión que libera la información. El botón terminal contiene diminutas estructuras esféricas denominadas vesículas sinápticas, cada una de las cuales puede contener varios miles de moléculas de transmisor químico. A la llegada de un impulso nervioso al botón terminal, algunas de las vesículas descargan su contenido en la estrecha hendidura que separa el botón de la membrana de otra dendrita celular, destinada a recibir el mensaje químico. Por lo tanto, la información se pasa de una neurona a otra por medio de un transmisor químico. La puesta en marcha de una neurona, la generación de impulsos nerviosos, refleja la activación de cientos de sinápsis por neuronas adyacentes. Algunas sinápsis son excitadoras porque tienden a provocar activación, mientras que otras son inhibitorias, siendo capaces de cancelar señales que de otra manera excitarían a una neurona para su puesta en marcha. En la figura 1.2 se muestra la sinápsis y sus partes componentes.

Otro tipo de célula que se encuentra por todas partes del sistema nervioso es la célula de Schwann. Todos los axones parecen estar revestidos por células de Schwann. En algunos casos las células de Schwann simplemente encierran el axón dentro de una fina capa. En muchos otros casos, la célula de Schwann se envuelve alrededor del axón en el transcurso del desarrollo embrionario, dando lugar a las múltiples y densas capas de aislamiento conocidas como mielina. La vaina de mielina está interrumpida a cada milímetro mas o menos a lo largo del axón por espacios estrechos llamados nódulos de Ranvier. En los axones así envainados el impulso nervioso viaja saltando de nódulo a nódulo, que es donde el líquido extracelular puede hacer contacto directo con la membrana celular. La vaina de mielina parece haber evolucionado como un medio para conservar la energía metabólica de la neurona. En general, las fibras nerviosas mielínicas conducen los impulsos nerviosos mas rapidamente que las fibras amielínicas. En la figura 1.3 se puede observar el cuerpo celular de una neurona.

Las neuronas pueden funcionar así porque sus membranas externas tienen propiedades especiales. A lo largo del axón la membrana está especializada en propagar un impulso eléctrico. En la terminal del axón la membrana libera transmisores y en las dendritas responde a los transmisores. Además, la membrana interviene en el reconocimiento de otras células en el desarrollo embrionario, de tal forma que cada célula encuentre su propio lugar en la red de (1×10^{11}) células. Por ello, buena parte de la investigación reciente está enfocada sobre las propiedades de la membrana, responsable del impulso nervioso, de la transmisión sináptica, del reconocimiento célula a célula y de los contactos estructurales entre células.

Las proteínas de la membrana de todas las células se agrupan en cinco clases: bombas, canales, receptores, enzimas y proteínas estructurales. Las bombas gastan energía metabólica para trasladar iones y otras moléculas contra gradientes de concentración, con el fin de mantener las concentraciones apropiadas de estas moléculas dentro de la célula. Como las moléculas con carga no pasan a través de la propia bicapa lipídica, las células han desarrollado canales, estructuras proteicas, que proporcionan vías selectivas a través de las

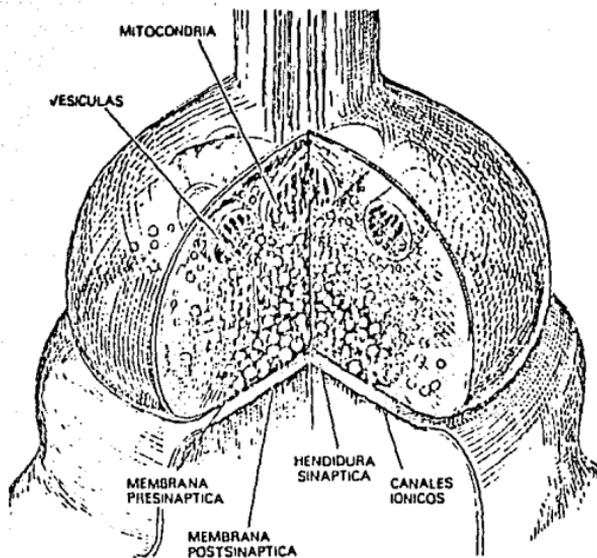


FIGURA 1.2

SINAPSIS. Es el punto de relevo donde los transmisores químicos llevan la información de una neurona a otra. Una sinápsis consta de dos partes: el extremo en forma de botón de un terminal de axón y la región receptora en la superficie de otra neurona.

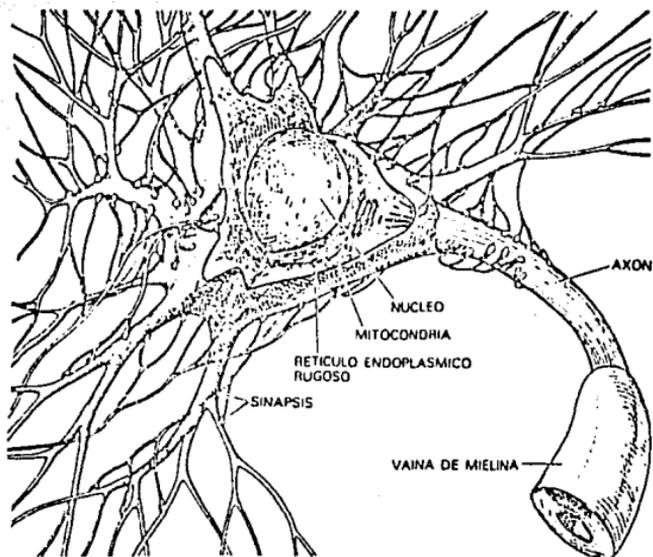


FIGURA 1.3

CUERPO CELULAR DE UNA NEURONA, que contiene el material genético y el complejo aparato metabólico común a todas las células.

cuales pueden difundirse iones específicos. Las membranas celulares deben reconocer y unir a muchos tipos de moléculas. Las proteínas receptoras cumplen estas funciones proporcionando lugares de unión con gran especificidad y alta afinidad. Las enzimas están situadas dentro o sobre la membrana para facilitar las reacciones químicas en su superficie. Finalmente, las proteínas estructurales tanto interconectan células para formar órganos como ayudan a mantener la estructura subcelular. Estas cinco clases de proteínas de la membrana no se excluyen entre si necesariamente.

Como todas las células, la neurona es capaz de mantener en su propio interior un líquido cuya composición difiere marcadamente del líquido exterior. La diferencia más impresionante se da con respecto a la concentración de los iones de sodio y potasio. El medio externo es unas 10 veces más rico en sodio que el interno y el interno es unas 10 veces más rico en potasio que el externo. Tanto el sodio como el potasio se filtran a través de los poros de la membrana celular, de modo que ha de haber una bomba que trabaje continuamente para intercambiar iones sodio que han entrado en la célula por iones potasio que están fuera de ella. El bombeo se lleva a cabo por una proteína intrínseca de la membrana denominada la bomba de sodio-potasio adenosintrifosfatasa, o más a menudo, simplemente la bomba de sodio.

La molécula proteica (o complejo de subunidades proteicas) de la bomba de sodio tiene un peso molecular de unos 275000 dalton y mide aproximadamente 6×8 nanómetros, es decir, algo más que el espesor de la membrana celular. Cada bomba de sodio puede aprovechar la energía almacenada en el enlace fosfato del adenosintrifosfato (ATP) para intercambiar tres iones sodio del interior de la célula por dos iones potasio del exterior. Operando al ritmo máximo, cada bomba puede transportar a través de la membrana unos 200 iones sodio y 130 iones potasio por segundo. El ritmo real, sin embargo, se ajusta para satisfacer las necesidades de la célula. La mayoría de neuronas tiene entre 100 y 200 bombas de sodio por micrometro cuadrado de superficie de membrana, pero en algunas partes de su superficie la densidad llega a ser diez veces mayor. Una neurona pequeña típica tiene quizás un millón de bombas de sodio con capacidad para movilizar unos 200 millones de iones sodio por segundo. Y son los gradientes de sodio y potasio que existen a través de la membrana los que permiten a la neurona propagar los impulsos nerviosos.

Las proteínas de la membrana que sirven como canales son esenciales en muchos aspectos de la función neuronal, en particular para el impulso nervioso y la transmisión sináptica.

1.2 Propagación del impulso nervioso.

Como la concentración de iones sodio y potasio a un lado de la membrana celular difiere de la del otro, el interior de la célula es unos 70 milivolts negativos con respecto al exterior. La propagación del impulso nervioso coincide con cambios repentinos en la permeabilidad de la membrana del axón respecto a los iones sodio y potasio. Cuando un impulso nervioso empieza en el origen del axón, habiendo sido disparado en la mayoría de los casos por el cuerpo celular en respuesta a las sinápsis dendríticas, la diferencia de voltaje a través de la membrana del axón disminuye localmente. Inmediatamente por delante de la región alterada

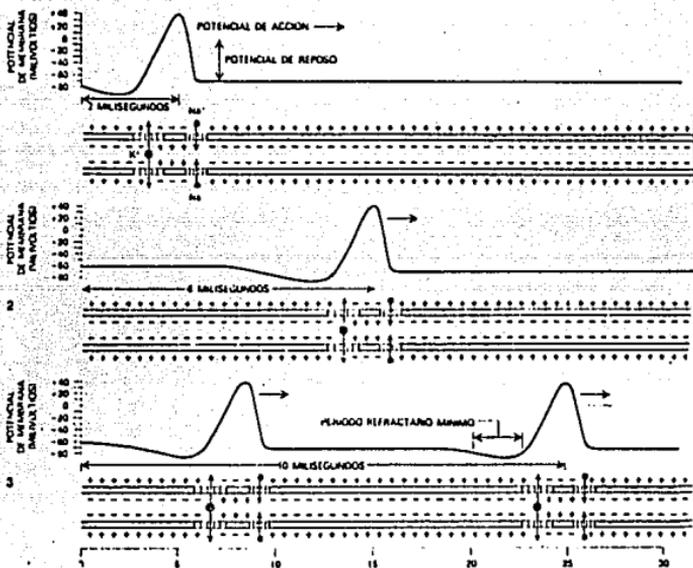


FIGURA 1.4

PROPAGACION DEL IMPULSO NERVIOSO a lo largo del axón, que coincide con una afluencia localizada de iones sodio (Na^+) seguida de una salida de iones potasio (K^+) a través de canales operados a modo de compuerta por cambios de voltaje a través de la membrana del axón.

electricamente (en la dirección en la que se propaga el impulso nervioso) los canales de la membrana se abren, permitiendo que los iones sodio entren a raudales en el axón.

El proceso se refuerza a sí mismo: el flujo de iones sodio a través de la membrana abre mas canales, haciendo más facil la entrada de otros iones ulteriores. Los iones sodio que entran cambian el potencial interno de la membrana de negativo a positivo. Una vez abiertos, los canales sodio se cierran muy pronto, abriéndose otro grupo de canales que dejan salir los iones potasio. Este flujo de salida restablece el voltaje dentro del axón a su valor de reposo de -70 milivolt. La brusca carga positiva primero y negativa luego, que se presenta como una espiga en un osciloscopio, se conoce como el potencial de acción y es la manifestación eléctrica del impulso nervioso. La onda de voltaje avanza hasta alcanzar el extremo del axón.

Esta breve descripción del impulso nervioso ilustra la importancia de los canales para la actividad eléctrica de las neuronas y subraya dos propiedades fundamentales de los canales: su selectividad y su actuación como compuerta.

El mecanismo de compuerta que regula la apertura y cierre de los canales de la membrana adopta dos formas principales. Un tipo de canal mencionado anteriormente en la descripción del impulso nervioso, se abre y se cierra en respuesta a las diferencias de voltaje a través de la membrana celular; se dice pues que es una compuerta operada por el voltaje. Un segundo tipo de canal se gobierna químicamente. Tales canales responden solo ligeramente, si es que lo hacen, a cambios de voltaje, pero se abren cuando una molecula particular "transmisor" se une a una región receptora de la proteína del canal. Los canales operados químicamente se encuentran en las membranas receptoras de las sinápsis y son responsables de la traducción de señales químicas producidas por las terminales axónicas en cambios de permeabilidad iónica durante la transmisión sináptica. Los canales operados por el voltaje generalmente se denominan con el nombre del ion que pasa mas facilmente a través del canal. En la figura 1.5 se muestran los canales de sodio.

Cuando tanto los canales operados por el voltaje, como los operados químicamente se abren y dejan pasar iones, se puede medir la corriente eléctrica resultante. (fig 1.6)

Como hemos visto, el interior de la neurona es de 70 milivolts negativos con respecto al exterior. Este potencial de reposo es una consecuencia del desequilibrio iónico provocado por la bomba de sodio y por la presencia en la membrana celular de una clase de canales permanentemente abiertos y selectivamente permeables a los iones potasio, haciendo que el interior de la célula sea unas 10 veces más rica en iones potasio que el exterior. Los canales potasio de la membrana permiten que los iones potasio inmediatamente adyacentes a la membrana salgan libremente. La permeabilidad de la membrana a los iones sodio es baja en condiciones de reposo, de modo que apenas existe flujo en sentido contrario de iones sodio del exterior hacia el interior, aunque el medio externo es 10 veces más rico en iones sodio que el medio interno. El flujo de potasio, por tanto, da lugar a un déficit neta de cargas positivas en la superficie externa. El resultado es la diferencia de potencial de 70 milivolts, siendo negativo el interior de la membrana.

La propagación del impulso nervioso depende de la presencia en la membrana neuronal de canales de sodio operados por el voltaje

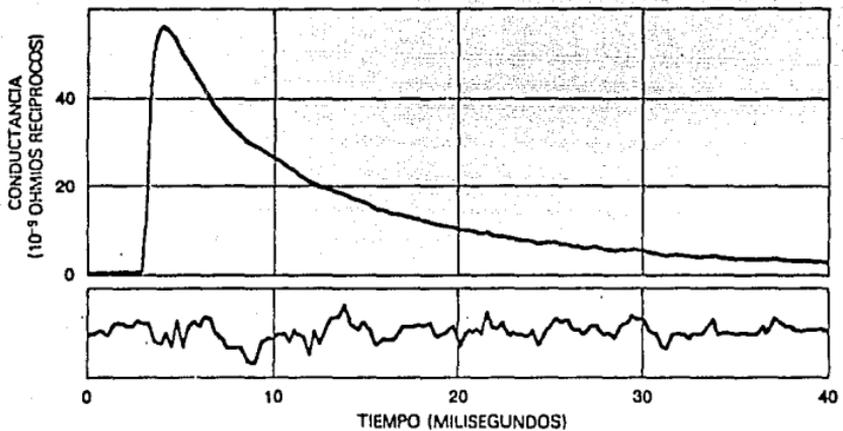


FIGURA 1.5

LOS CANALES DE SODIO en un axón operan también de la sencilla forma de abierto o cerrado, así como independientemente uno de otro.

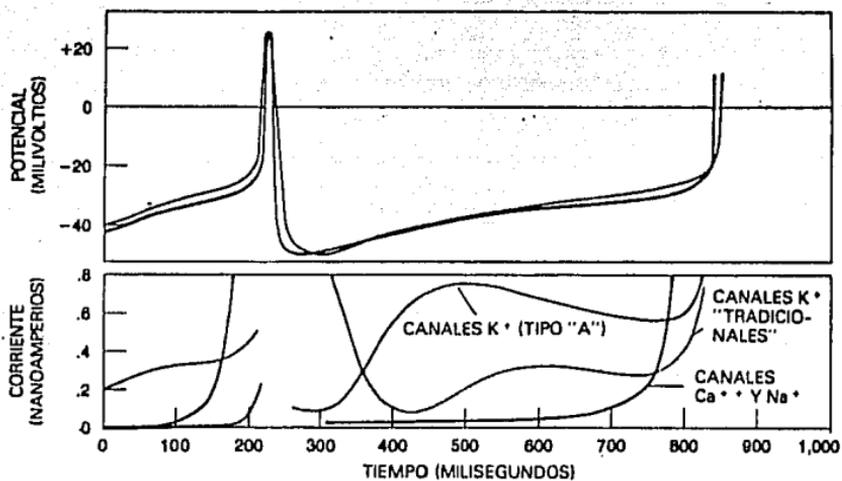


FIGURA 1.6

LOS IMPULSOS NERVIOSOS en los cuerpos de las neuronas requieren al apertura y cierre coordinados de cinco tipos de canal permeables a diversos tipos de ion.

cuya abertura y cierre es responsable del potencial de acción. El canal de sodio es una proteína con peso molecular comprendido entre 250000 y 300000 dalton. El poro del canal mide unos 0.4 por 0.6 nanómetros, un espacio a través del cual pueden pasar los iones asociados a una molécula de agua. El canal tiene muchos grupos cargados dispuestos críticamente en su superficie. Estas cargas confieren al canal un gran momento eléctrico dipolar que varía en dirección y magnitud cuando la conformación molecular del canal cambia al pasar este de un estado cerrado a otro abierto.

Debido a que la membrana de la célula es tan delgada, la diferencia de 70 milivolts a través de la membrana en reposo da lugar a un gran campo eléctrico, del orden de 100 kilovolts por centímetro. De la misma forma que los dipolos magnéticos tienden a alinearse según las líneas de fuerza de un campo magnético, los dipolos eléctricos en la proteína de la membrana del canal de sodio tienden a alinearse según el campo eléctrico de la membrana. Los cambios en la fuerza del campo de la membrana pueden, por tanto, llevar al canal de su conformación cerrada a la de abierta. A medida que la superficie interna de la membrana se hace más positiva con la entrada de la vanguardia de iones sodio, los canales de sodio tienden a pasar una mayor parte de su tiempo en la conformación abierta. El proceso en el cual se abren los canales por un cambio en el voltaje de la membrana se conoce como activación del canal de sodio.

El proceso se termina por un fenómeno denominado inactivación del sodio. Las diferencias de voltaje a través de la membrana que provoca la apertura de los canales de sodio también los conduce a una conformación cerrada especial, diferente de la conformación característica del estado de reposo de los canales. La segunda conformación cerrada, llamada estado inactivo, se desarrolla más lentamente que el proceso de activación, de modo que los canales permanecen abiertos brevemente antes de que sean cerrados por la inactivación. Los canales permanecen en el estado inactivo durante algunos milisegundos, volviendo luego a su estado de reposo normal.

El ciclo completo de activación e inactivación implica normalmente la apertura y cierre de millares de canales de sodio. Se pueden provocar episodios repetidos de apertura de canales y calcular la permeabilidad promedio en un momento determinado y también la permeabilidad exacta en un ensayo dado. La permeabilidad exacta fluctúa algo así como el 10 por ciento del valor medio. El análisis de las fluctuaciones muestra que los canales sodio se abren según la ley del todo o nada y que cada apertura de un canal aumenta la conductancia de la membrana en (8 exp -11) ohms recíprocos.

Los axones también tienen canales potasio operados por el voltaje que ayuda a terminar el impulso nervioso dejando salir iones potasio del axón, contrarrestando así el flujo de entrada de iones sodio. En el cuerpo celular de la neurona la situación es aún más compleja, porque allí la membrana está atravesada por cinco tipos de canal. Los diferentes canales se abren a ritmos distintos, permanecen abiertos durante intervalos diversos y tienen una permeabilidad preferencial para diferentes especies de iones. (sodio, potasio o calcio)

La presencia de los cinco tipos de canal en el cuerpo celular de la neurona, en comparación con solo dos en el axón, da lugar a un sistema de generación de impulsos nerviosos más complejos. Si

a un axón se le presenta un estímulo mantenido, solamente genera un único impulso al principio del estímulo. Los cuerpos celulares por el contrario, generan un tren de impulsos con una frecuencia que refleja la intensidad del estímulo.

Las neuronas son capaces de generar impulsos nerviosos según una amplia gama de frecuencias, desde uno o menos por segundo a varios centenares por segundo. Todos los impulsos nerviosos tienen la misma amplitud, de modo que la información que llevan esta representada por el número de impulsos generados por una unidad de tiempo, un sistema conocido como codificación de frecuencia. Cuanto mayor es la magnitud del estímulo a transmitir, más rápido es el ritmo de activación.

Cuando un impulso nervioso ha viajado a lo largo del axón y ha llegado a un botón terminal, se libera uno de los varios transmisores de la membrana presináptica. El transmisor difunde a la membrana postsináptica, donde induce la apertura de canales operados químicamente. Los iones que fluyen a través de los canales abiertos acarrear los cambios de voltaje conocidos como potenciales postsinápticos.

Cada una de las vesículas sinápticas (fig. 1.7), contiene unas 10000 moléculas del transmisor acetilcolina. Cuando un impulso nervioso alcanza la sinápsis, se pone en movimiento una cadena de acontecimientos que culmina con la fusión de una vesícula con la membrana presináptica y la liberación resultante de acetilcolina a la hendidura situada entre las membranas presináptica y postsináptica.

Durante el breve período en que un canal está abierto pasan por él unos 20000 iones sodio y aproximadamente un número igual de iones potasio. Como resultado de este flujo iónico, la diferencia de voltaje entre los dos lados de la membrana tiende a acercarse a cero. Lo mucho que se acerque a cero depende de cuantos canales estén abiertos y de cuanto tiempo permanezcan así. La acetilcolina liberada por un impulso nervioso típico produce un potencial postsináptico, o cambio de voltaje, que solo dura unos cinco milisegundos. Como los potenciales postsinápticos son producidos por los canales operados químicamente en vez de los operados por voltaje, tienen propiedades muy diferentes de las del impulso nervioso. Normalmente tienen una amplitud menor, una duración mayor y distinto grado de magnitud según la cantidad de transmisor liberado y por ende según el número de canales que se abran.

Distintos tipos de canales operados químicamente exhiben selectividades diferentes. Algunos se parecen al canal de acetilcolina (fig. 1.8), que deja pasar iones sodio y potasio con poca selectividad. Otros son altamente selectivos. El cambio de voltaje que resulta en una determinada sinápsis depende de la selectividad de los canales que se abren. Si entran en la célula iones positivos, el cambio de voltaje es en la dirección positiva. Estos canales de voltaje en dirección positiva tienden a abrir canales operados por voltaje y a generar impulsos nerviosos, que por ello se conocen como potenciales postsinápticos excitadores. Si salen de la célula iones negativos, el cambio de voltaje es en dirección negativa, que tiende a cerrar los canales operados por el voltaje. Tales potenciales postsinápticos se oponen a la producción de impulsos nerviosos, llamándose por ello inhibidores. Ambos potenciales postsinápticos, excitadores e inhibidores, son frecuentes en el cerebro.

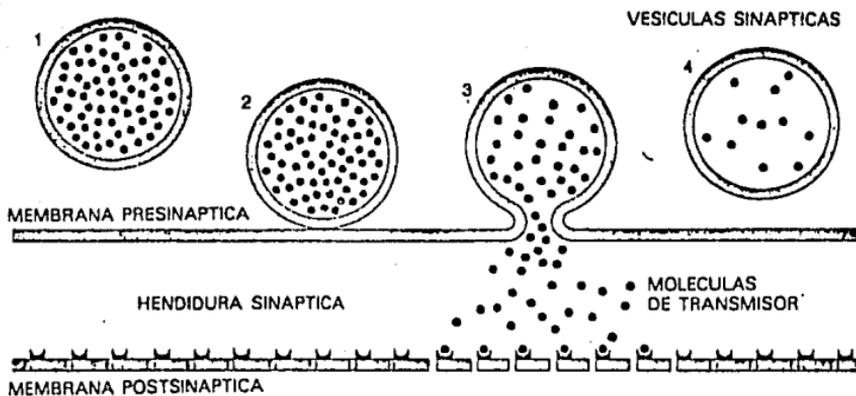


FIGURA 1.7

VESICULAS SINAPTICAS agrupadas junto a la membrana presináptica.

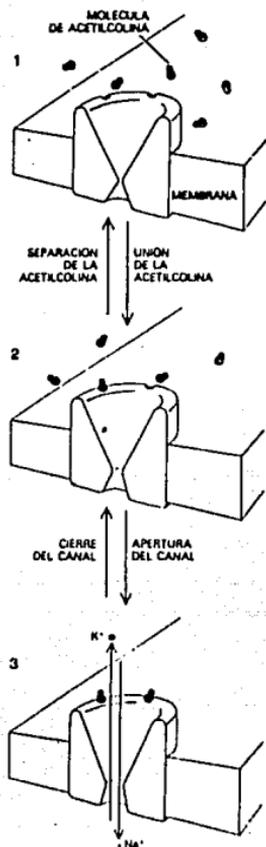


FIGURA 1.8

CANAL DE ACETILCOLINA en una membrana postsináptica que se abre con la descarga de moléculas de acetilcolina a la hendidura sináptica.

Las sinápsis cerebrales difieren de las sinápsis de acción neuromuscular en diversos aspectos. Mientras en la unión neuromuscular la acción de la acetilcolina es siempre excitadora en determinadas sinápsis e inhibidora en otras. Y mientras que la acetilcolina es el transmisor usual en las uniones neuromusculares, las sinápsis cerebrales tienen canales operados por una gran variedad de transmisores. Sin embargo, una terminación sináptica determinada libera solo un tipo de transmisor, y los canales operados por este transmisor están presentes en la correspondiente membrana postsináptica. En contraste con los canales neuromusculares activados por la acetilcolina, que permanecen abiertos durante menos de un milisegundo y otras tienen canales que permanecen abiertos durante centenares de milisegundos.

Como hemos visto, la intensidad de un estímulo viene codificada por la frecuencia de los impulsos nerviosos. El descifrado en la sinápsis se lleva a cabo mediante dos procesos: suma temporal y suma espacial. En la suma temporal, cada potencial postsináptico se añade al total acumulativo de sus predecesores para conseguir un cambio de voltaje cuya amplitud promedio refleje la frecuencia de los impulsos nerviosos entrantes. En otras palabras, una neurona que está produciendo impulsos rápidamente libera más moléculas de transmisión en sus uniones terminales que una neurona que actúa con menor rapidez. Cuantas más moléculas de transmisión se liberan en un tiempo dado, más canales se abren en la membrana postsináptica y, por tanto, mayor es el potencial postsináptico. La suma espacial es un proceso equivalente, con la excepción de que refleja la integración de los impulsos nerviosos que llegan de todas las neuronas que pueda haber en contacto sináptico con una neurona dada. El cambio de voltaje total obtenido por suma temporal y espacial está codificado bajo la forma de frecuencia del impulso nervioso para la transmisión a otras células en la red nerviosa.

1.3 Técnicas de registro con microelectrodos.

Para registrar la actividad eléctrica cerebral se utilizan dos tipos de electrodos: macroelectrodos, que registran la actividad generada en una población de neuronas y microelectrodos, que registran la actividad eléctrica de una neurona. Según la técnica que se utilice, se registrarán dos tipos de actividades eléctricas en los centros nerviosos: potenciales lentos o de campo y potenciales de acción de las neuronas. Los primeros se obtienen con macro o microelectrodos. Son potenciales lentos alternativos, es decir, su polaridad varía alternativamente. El EEG constituye un ejemplo de los mismos. Los potenciales de acción representan la actividad eléctrica de una neurona y se registran solo con microelectrodos. Estos registros pueden ser intracelulares o extracelulares. Cuando se penetra en el interior de una neurona, generalmente en el soma y por excepción en las dendritas, se registran sus potenciales sinápticos y sus potenciales de acción. Con un microelectrodo extracelular se registran los potenciales de acción de una neurona y la actividad de campo de la población neuronal proxima.

A continuación se describirán con mayor detalle las técnicas de registro eléctrico y el equipo requerido para ello.

1.4 Electrodos

Cualquier tipo de procedimiento que consista en el registro de la actividad de más de una célula nerviosa aislada o de una fibra será considerado como el registro de la respuesta de una población celular. Tales procedimientos se llaman frecuentemente, registros gruesos. Los electrodos para este tipo de registro son alambres que se colocan en contacto directo o indirecto con el tejido, a través de un fluido electrofisiológico. Enludando de electrodos que se colocan sobre el cuero cabelludo, es necesario usar una pasta que contenga un electrolito como el cloruro de potasio (KCL) para obtener un mejor contacto con la piel. Cuando se desea obtener registros de la profundidad o de la superficie del cerebro mismo, se utilizan alambres de acero inoxidable aislados en todo su trayecto, excepto en la punta que tomará los registros. El aislamiento que se utiliza es un barniz que puede aplicarse al alambre y mas tarde fijarse mediante el calor. Esto debe hacerse puesto que si introdujeramos simplemente un alambre desnudo en el tejido cerebral registraríamos la actividad en todos los lugares en los cuales el tejido se pusiera en contacto con el alambre y por tanto no podríamos localizar la región del cerebro en la cual tuviera lugar determinada actividad. Así pues, si el alambre esta aislado, hasta las cercanías de su punta podemos saber que la actividad esta siendo registrada solamente

por la porción desnuda del electrodo.

1.5 Metodos de registro

Desde luego, la configuración o el dispositivo que se emplea para colocar los electrodos de registro influye de un modo notable sobre la forma y el significado de las respuestas que se obtengan. El tipo general de fenómeno físico implicado en los registros con macroelectrodos se denomina conducción en volumen. Los cambios de voltaje que se miden en el tejido cerebral son el resultado de gran número de configuraciones diferentes de flujo de corriente. Llamaremos fuente a cualquier origen dado de flujo de corriente y el lugar hacia el cual este flujo se dirige lo denominaremos pozo o sumidero. La localización de la fuente y del pozo determinan la configuración del cambio de potencial, así como la cantidad de flujo de corriente determina la amplitud del cambio del potencial registrado. Esto significa que, por lo menos en teoría, los registros de cualquier lugar del organismo permitirán advertir la actividad proveniente de todas las fuentes-pozo del cuerpo.

Si se conectan dos electrodos a un amplificador diferencial, se tratara entonces de lo que se llama entrada balanceada (push-pull). Pero si el electrodo indiferente también se coloca a tierra para garantizar su neutralidad eléctrica, hablaremos de una entrada asimétrica.

1.6 Amplificadores

Existen dos clases generales de amplificadores de registro fisiológicos: los de corriente alterna (ca) y los de corriente directa (cd).

Los amplificadores de ca se usan en la mayoría de los experimentos en los cuales se quiere estudiar el EEG o la actividad evocada. En sí, la actividad eléctrica del cerebro y de las estructuras corporales no es ni de ca ni de cd, sino que exhiben cambios de voltaje que varían desde muchos segundos para un solo ciclo, hasta 2000 ciclos por segundo o más. Un amplificador de ca no puede registrar cambios muy lentos de potencial y solamente detectará los que consisten en algunos cps, pero, por otra parte, no tiene prácticamente límite superior de frecuencia de respuesta. Los amplificadores de ca tienen por lo común una entrada acoplada de resistencia-capacidad, lo cual significa que las señales que entran pasan a través de un condensador conectado a tierra. Si se aplica a un amplificador de este tipo una corriente continua, las salidas del amplificador sufren un decremento exponencial hasta cero, a medida que el voltaje de entrada establece una carga en el condensador.

El tiempo que se requiere para que la amplitud de la señal caiga hasta un tercio de su valor inicial se denomina constante de tiempo del amplificador. La mayoría de los amplificadores fisiológicos de ca poseen la capacidad de seleccionar los condensadores de entrada, lo cual les permite registrar una gran variedad de frecuencias. Esto puede constituir una ventaja considerable, ya que las señales de radio y televisión que poseen una alta frecuencia contaminan los registros con ruido y pueden ser eliminadas cortando todas las entradas de alta frecuencia al amplificador. La mayor parte de la actividad del cerebro y de las estructuras corporales que se registran mediante microelectrodos

varían desde un ciclo por segundo hasta varios centenares de ciclos por segundo y son operados en forma adecuada por cualquier amplificador ordinario de ca. Las amplitudes de estas señales fisiológicas varían desde un millonésimo de voltio o sea un microvolt (1 μ V) hasta un decimo de voltio (100 milivoltios = 100 mV).

Los sistemas de registro y visualización necesitan ordinariamente señales que estén en el rango de los voltios, para funcionar; por tanto, los amplificadores fisiológicos deben ser capaces de tener un alto poder de amplificación o ganancia.

Los cambios de voltaje medidos con macroelectrodos durante la actividad espontánea o evocada son generados por grandes grupos de células, que pueden ser desde unos cuantos centenares hasta varios millones, dependiendo de las estructuras neurales implicadas. Se ha pensado que tales respuestas registradas con macroelectrodos a partir de poblaciones celulares son simplemente las sumas o el promedio de todas las descargas "todo o nada" disparadas por las células nerviosas individualmente; de hecho, esto sucede en el caso de registros tomados por los nervios periféricos o de grandes fascículos de fibras en el sistema nervioso; sin embargo, la mayoría de los registros con macroelectrodos en el cuerpo se obtienen de regiones tales como la corteza cerebral, la cual esta compuesta de cuerpos celulares y de pequeños grupos de fibras, particularmente dendritas.

1.7 Respuestas de células aisladas

El desarrollo de los métodos de microelectrodos para el registro de la actividad de células aisladas ha añadido una nueva dimensión de gran importancia al estudio del cerebro y de la conducta. Estos procedimientos permiten el análisis de situaciones concretas que pueden excitar o inhibir la actividad de una célula nerviosa dada, así, información sobre los procesos sinápticos afectados. Existen dos tipos básicos distintos de técnicas de microelectrodos: los registros extracelulares y los intracelulares. El método extracelular lleva implícita la colocación de un microelectrodo cerca de la célula, pero fuera de ella y registra así las descargas de impulso todo o nada de esta célula. Los registros intracelulares, por otra parte, implican la penetración de la membrana celular con el microelectrodo y registran la diferencia de potencial a través de esta membrana desde el interior hasta el exterior de esta célula.

1.8 Registro extracelular

Este consiste en introducir en el tejido nervioso un electrodo sumamente fino hasta que su punta llega lo bastante cerca de una célula aislada como para registrar su respuesta. Para llegar a registrar la respuesta aislada extracelular de una sola célula nerviosa y que no se vea complicada por la actividad de otras células, deben usarse electrodos con la punta de alrededor de 10 micras de diámetro o menos. Los electrodos mas utilizados para esto son: agujas metálicas muy aguzadas o pipetas de vidrio extremadamente finas y llenas con materiales conductoras o soluciones. Tales microelectrodos tienen una resistencia muy alta que va desde cien mil ohmios hasta varios millones de ohmios y no pueden usarse directamente con los amplificadores fisiológicos ordinarios. Estos amplificadores no pueden registrar actividad

eléctrica a través de un microelectrodo que posee una resistencia tan alta. Es más, los amplificadores ordinarios generan pequeñas corrientes llamadas corrientes de reja, que tienden a fluir a través de su entrada y por tanto a través del electrodo, hasta el tejido. Tales corrientes no presentan ningún problema cuando se están utilizando macroelectrodos para registrar la respuesta de poblaciones neuronales, a causa de que la densidad de la corriente es muy pequeña. Sin embargo, cuando se está usando un electrodo que tiene una punta que no es mucho mayor que una micra, la corriente que fluye del amplificador puede polarizar la punta del electrodo con gran rapidez, inutilizándolo de este modo. En consecuencia, debemos emplear un tipo de preamplificador especializado, colocado entre el microelectrodo y el amplificador ordinario. Estos dispositivos se denominan preamplificadores de capacitancia negativa o de ganancia unitaria o cátodo seguidor. En efecto estos aparatos tienden a condensar la alta resistencia del electrodo del registro y poseen un circuito de retroalimentación negativa que bloquea en forma constante la corriente de reja.

La señal que registra un microelectrodo extracelular consiste en una punta monofásica o bifásica que dura menos de un milsegundo. Existen dos problemas básicos de técnica implicados en el registro con microelectrodos: el primero concierne la identificación o demostración de que la actividad que se está registrando proviene de una sola célula mas bien que de varias. Este criterio se establece comúnmente basándose en la amplitud de la respuesta registrada. Una célula nerviosa dada, bajo condiciones estables, generará constantemente descargas de puntas, que tendrán la misma amplitud.

El segundo problema básico que se plantea al registrar con microelectrodos está en relación con la magnitud de la lesión que el microelectrodo cause sobre la célula. La demostración práctica de que una célula nerviosa no está dañada estriba en el tiempo en que esta célula es capaz de continuar mostrando actividad. Si la célula continúa descargando como respuesta a la estimulación durante un período de una hora o más, se puede considerar que no está lesionada, si por el contrario primero descarga en forma característica a una alta frecuencia y luego cesa por completo a mostrar actividad entonces es que la célula fue dañada.

Diversos problemas técnicos hacen que el registro con microelectrodos sea un procedimiento algo más difícil que el registro con macroelectrodos. El control mecánico del movimiento del microelectrodo debe ser muy preciso: un avance o un retroceso repentinos, aun de unas cuantas micras, es suficiente para destruir la célula que estamos estudiando. Los manipuladores para electrodos ordinarios no son adecuados para este procedimiento y por consecuencia, debemos usar micromanipuladores. Existe también el problema constante del movimiento del animal. Se pueden seguir dos tipos generales de estrategia, como el empleo de dispositivos masivos para sujetar la cabeza del animal o de micromanipuladores que posean una impedancia mecánica muy grande.

Los resultados de las respuestas unitarias extracelulares pueden transcribirse de diferentes modos. El método más común consiste en fotografiar el trazo del osciloscopio. También puede usarse otra técnica que consiste en alimentar directamente una grabadora ordinaria con la salida del amplificador diferencial de alta ganancia. Mas tarde los datos registrados en la cinta magnética pueden aplicarse a un osciloscopio para ser

fotografiados o a un contador electrónico que contará las descargas, individualmente. De esta forma tendremos una información bastante completa sobre los patrones y características temporales de las descargas de impulsos de la célula que estamos estudiando.

CAPITULO IV

PROCESADOR

7 - 80

CAPITULO II MICROPROCESADOR Z-80.

2.1 Historia de los microprocesadores.

El microprocesador es una unidad central de proceso (CPU), implementada en un solo circuito integrado, utilizando la tecnología MOS o bipolar y es, como puede verse, un sistema digital relativamente complejo y por tanto apto para ser fabricado mediante la técnica de integración a gran escala (LSI). Desde su aparición en 1971 hasta la fecha han aparecido mas de 80 modelos.

Los microprocesadores de la primera generación (introducidos al mercado en 1971, 1972 y 1973) utilizaban la tecnología P-MOS, entre ellos se incluye los Intel 4004, los Fairchild PPS-25, National GPC/P, IMP-16 y Rockwell PPS-8. Esta tecnología es económica y confiable, sin embargo, es lenta y la densidad de integración es limitada.

Los modelos siguientes (segunda generación) han preferido utilizar tecnología N-MOS o C-MOS, que ofrecen ventajas tales como buena velocidad y permiten densidades de integración relativamente altas, la desventaja es que el proceso de fabricación resulta caro y difícil. Algunos microprocesadores de esta generación son: Intel 8080, Motorola 6800, Fairchild F-8, Signetics 2650 y National CMP-8.

En la tercera generación de microprocesadores, que ha sido iniciada con la utilización de tecnologías bipolares, la velocidad de operación que se consigue es de un orden de magnitud superior a los de la tecnología MOS. Representantes de esta generación son: Intel 3000, Raytheon R-16, Motorola 10800, Transiron TMC/1601 y SBP 0400 de Texas Instruments.

En lo referente a la organización interna de los registros y las unidades operativas de los microprocesadores, todos ellos siguen una estructura común, aunque luego existan diferencias notables de detalles entre unos y otros. Las unidades operativas básicas de un microprocesador son: memoria, aritmética y lógica, control y entrada/salida.

La estructuración de estas unidades sigue dos tendencias principales, una de ellas, es la utilizada en todos los microprocesadores de la segunda generación, y agrupa todas las unidades antes mencionadas en un solo circuito integrado. En este caso, la unidad de control, que generalmente esta microprogramada por una ROM, proporciona al usuario un repertorio fijo de instrucciones. La unidad aritmética y lógica (ALU) opera sobre una palabra de 8 bits y efectúa operaciones aritméticas y lógicas

de diversa índole.

Otro tipo de estructura en los microprocesadores es la observada en los de la tercera generación. Estos microprocesadores tienen la unidad de control realizada alrededor de una ROM que aloja la microprogramación (CROM) y el resto de la CPU se distribuye en elementos que contiene una ALU y un conjunto de registros de trabajo. Estos elementos, llamados RALU o CPE, son porciones de 2 o 4 bits que permiten ser encadenados para constituir, cuando se unen a la CROM, procesadores de longitud de palabra de 4, 8, 16, ..., bits. Estos microprocesadores pueden ser programados por el usuario encargando a una ROM la medida para la unidad de control o bien utilizando memorias alterables.

Un nuevo tipo de dispositivo que ha aparecido recientemente es el microcomputador en un solo chip. Responde a la tendencia prevista, que consiste en integrar en un mismo chip una cantidad de funciones cada vez mayor.

2.2 Estructura del microprocesador Z-80.

El Z-80 es un modelo de microprocesador lanzado al mercado en 1976 por Zilog. Este microprocesador tiene un repertorio de 158 instrucciones, entre las cuales se encuentran las 78 del 8080A y ejecuta cada una de esas instrucciones en un tiempo promedio de 1.5 microsegundos. El Z-80 usa una sola tensión de alimentación de 5 volts y trabaja con un reloj de una sola fase que puede ser de 0 a 4 megahertz. El chip de la CPU Z-80 se fabrica usando el proceso de canal N para compuertas MOS, tiene cerca de 8500 transistores en su área, con una densidad aproximada de 133 compuertas por milímetro cuadrado.

La CPU Z-80 esta empaquetada en una pastilla de 40 patas. Esas patas, aparte de las usadas para fuente de poder, tierra y reloj, estan organizadas dentro de 3 buses. Un bus de dirección de 16 líneas que provee la dirección para la memoria (hasta 65536 bytes) e intercambio de datos de entrada o salida. Un bus bidireccional de 8 bits es utilizado para intercambio de datos con la memoria y con dispositivos de entrada/salida. El bus de control es subdividido en control del sistema, control de la CPU y control del bus de la CPU. A continuación se presentan 2 figuras, la primera muestra la estructura de la CPU, y la segunda ilustra las patas de la pastilla de la CPU.

2.3 Señales del bus de control.

Las señales del bus de control son:

$\overline{M1}$ (ciclo de maquina $\overline{M1}$) .- Indica que el ciclo de maquina en proceso es el ciclo Fetch y que se utiliza para obtener el código de operación de la proxima instrucción a ejecutar.

\overline{MEMO} (solicitud de memoria) .- El bus de dirección toma una dirección valida para una operación de lectura o escritura de memoria.

\overline{IORO} (solicitud de entrada/salida) .- El bus de dirección toma una dirección de entrada/salida valida para una operación de entrada o salida. Un \overline{IORO} es generada durante el ciclo $\overline{M1}$ para indicar un reconocimiento de interrupción.

\overline{RD} (lectura de memoria) .- La CPU busca leer un dato desde la memoria o un dispositivo de entrada/salida (I/O).

\overline{WR} (escritura en memoria) .- El bus de datos toma un dato valido

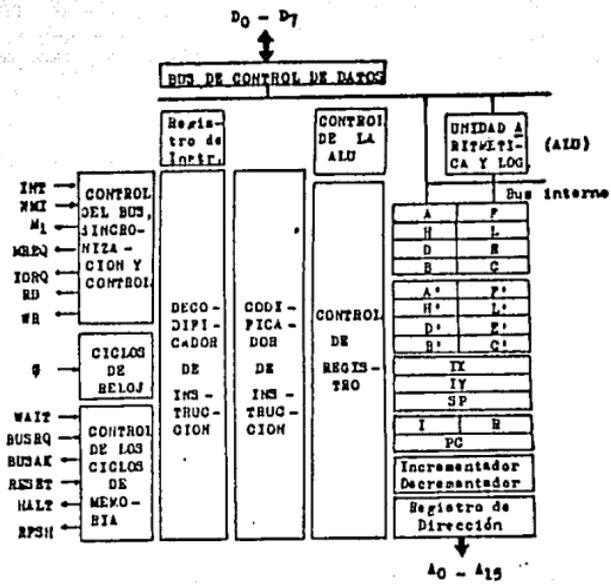


FIGURA 2.1

PROCESADOR CENTRAL. El chip de la CPU Z-80 tiene un banco de registros de 8 y 16 bits que permiten gran flexibilidad en diversas funciones.

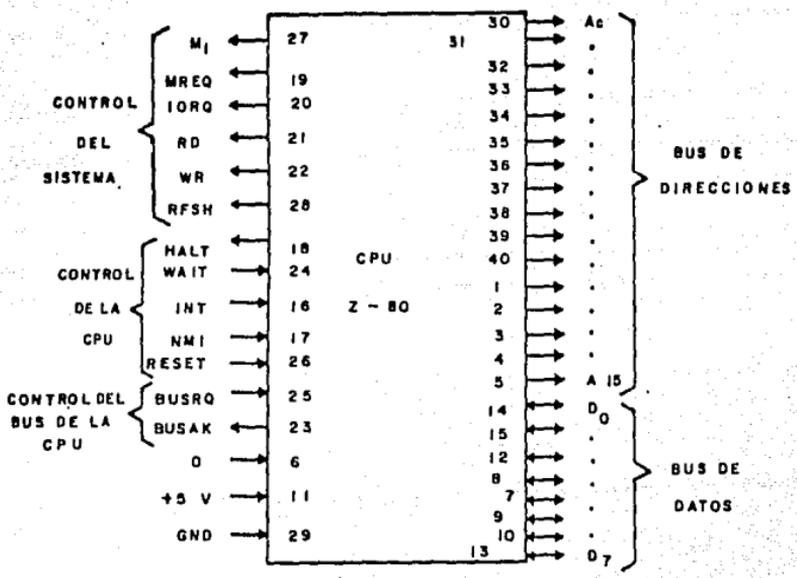


FIGURA 2.2

LINEAS DE CONTROL. El Z-80 tiene tres tipos de buses de control: control del sistema, control de la CPU y control del bus de la CPU.

para ser almacenado en una dirección de memoria o dispositivo I/O.

RFSH (renovador) .- Los 7 bits menos significativos del bus de direcciones toman la dirección de refresco para memorias dinámicas.

Las señales del bus de control de la CPU son:

WAIT (solicitud de espera) .- la dirección de memoria o dispositivo de I/O no esta lista para una transferencia de datos. La CPU continuara dentro de estados de espera tan largos como esta señal este activa.

INT (solicitud de interrupción) .- Es una señal generada por un dispositivo I/O, la solicitud sera aceptada al final de la instrucción actual si el flip-flop interno, habilitador de interrupcion es activado, este es controlado por software.

NMI (solicitud de interrupción no enmascarada) .- Es una interrupción con prioridad más alta que **INT**, y forza a la CPU a continuar en la posición de memoria 066H, independientemente del estado del flip-flop interno habilitador de interrupción.

RESET .- Esta señal es usada para inicializar a la CPU.

HALT (estado de alto) .- La CPU tiene ejecutada una instrucción **RACT**.

Las señales de control del bus de la CPU son:

BUSRD (solicitud de bus) .- Es usada para solicitar a la CPU que los buses de dirección y de datos, así como las líneas **MREQ**, **IORQ**, **RD** y **WR**, vayan a un estado de alta impedancia para que otros dispositivos puedan controlarlos.

BUSAK (reconocimiento del bus) .- Los tres tipos de buses estan en un estado de alta impedancia obedeciendo a la línea **BUSRD**.

2.4 Registros

Un registro es un circuito de almacenamiento temporal, cuya capacidad es, normalmente, de una palabra del microprocesador. Los registros en el microprocesador Z-80 almacenan un solo byte, es decir 8 bits contiguos. Los registros estan formados por un número de flip-flops y cada flip-flop almacena un bit. Los registros básicos de la CPU Z-80 son:

- Registros de proposito general de 8 bits arreglados como A, B, C, D, E, H, L, A', B', C', D', E', H' y L'. Estos registros pueden utilizarse en forma individual o en par, para usarse como registros de 16 bits, en la forma BC, DE, HL. En cada par, los registros B, D, H contienen los bits más significativos y los registros C, E, L los bits menos significativos. El acumulador (A) es un registro en el cual se coloca el resultado de muchas operaciones aritméticas y lógicas.

- Dos registros de banderas (F y F') de 8 bits. El registro de banderas F coloca a uno o a cero cada uno de sus bits de acuerdo al resultado de operaciones aritméticas y lógicas, a cada bit se le conoce como bandera de estado y estas son:

Caracter	Nombre	Bit (reg F)
C	Acarreo	cero
N	Resta	uno
P/V	Paridad/Sobrepasamiento	dos

H	Medio acarreo	cuatro
Z	Cero	seis
S	Signo	siete

* En algunas instrucciones se agrupan A y F para formar un registro de 16 bits.

- Un registro apuntador del programa (PC) de 16 bits, el cual contiene la dirección de la localidad de memoria donde la CPU obtendrá el código de operación de la instrucción que debe procesar. El PC toma valores secuenciales, excepto al ejecutar instrucciones que afecten al PC mismo, el PC tiene una dirección máxima de 65535.
- Un registro apuntador del stack (SP) de 16 bits. Este apuntador señala una dirección dentro de un stack (en una RAM generalmente) para almacenamiento de direcciones de retorno o datos.
- Dos registros de índice (IX e IY) de 16 bits cada uno. Estos registros se usan como base para apuntar a una dirección de memoria generalmente.
- Un registro para dirección a página de interrupción (I) de 8 bits. Este registro es muy útil en las interrupciones, al almacenar los 8 bits más significativos de la dirección mientras que el dispositivo que interrumpe proporciona los 8 bits menos significativos de la dirección.
- Un registro de refrescar memoria (R) de 7 bits, que permite direccionar a las filas de las memorias dinámicas a través de las líneas A0-A6 del bus de dirección. El contenido del registro R se incrementa en uno después de cada ciclo Fetch.

2.5 Instrucciones del microprocesador Z-80.

Una instrucción puede ser definida como un grupo de caracteres que definen una operación o acción a realizar. Las instrucciones de una computadora pueden expresarse de muy variadas formas, en forma binaria, en hexadecimal, en mnemónico, palabra completa de función a realizar, etc.

La CPU Z-80 puede ejecutar 158 tipos de instrucciones, con un total de 696 códigos de operación diferentes, que incluyen las 78 instrucciones de la CPU BOBOA (con un total de 244 códigos de operación). Muchas instrucciones en el conjunto de las que comprende el Z-80 necesitan de un byte, pero otras necesitan hasta de cuatro antes de poder ejecutarse. El número de bytes necesarios para una instrucción, está estrechamente relacionado con la complejidad y la información que necesita la instrucción.

Un programa es una serie de instrucciones organizadas en una forma secuencial, que obligan a la CPU a realizar funciones más complejas que las que se logran con las simples instrucciones. El programa se almacena en la memoria como una secuencia de bits que representan las instrucciones del programa.

- Modos de direccionamiento de la CPU Z-80

El término modos de direccionamiento se refiere a la forma de acceder a las localidades de memoria que contienen los datos que se deben procesar con las instrucciones. La variedad y potencia de los modos de direccionamiento del Z-80 contribuyen en gran medida

a las ventajas que este tiene con respecto a los otros microprocesadores de 8 bits. La CPU Z-80 tiene 10 modos de direccionamiento:

- 1) Implícito.- Se refiere a operaciones en donde el código de operación implica automáticamente a uno o más registros de la CPU como los que contienen a los operandos. Las direcciones fuente y destino son fijas.
- 2) Inmediato.- Se refiere a instrucciones que contienen en el byte 2 o 4 el dato de la transferencia, es decir, el dato es parte integrante de los bytes que constituyen la instrucción.
- 3) Inmediato extendido.- Es en realidad una extensión del anterior, solo que ahora son 2 los bytes que siguen al código de operación los que forman el dato de transferencia, esto permite cargar con un dato de 2 bytes a un par de registros u obtener una dirección a donde deba continuar el procesamiento (jp nn y call nn).
- 4) Registro.- Cuando se utilizan los registros de la CPU para recibir y proporcionar un dato y el código de la instrucción tiene algunos bytes que son usados para especificar el o los registros a usar en la ejecución de la instrucción.
- 5) Registro indirecto.- Utiliza el contenido de un par de registros (BC, DE y HL) como la dirección de una localidad de memoria. El código de operación de la instrucción puede ser de uno o dos bytes.
- 6) Extendido.- Proporciona los 16 bits de la dirección de memoria en los bytes 2 y 3 o 3 y 4 de la propia instrucción. Esta dirección es en donde se almacena y se obtiene un operando.
- 7) Pagina cero modificada.- Usado unicamente con la instrucción Restart (RST).
- 8) Relativo.- Usa el byte que sigue al código de operación para especificar un desplazamiento, a partir del valor actual del PC, al cual el programa debe saltar. El desplazamiento es un número signado por complemento a dos (entre -128 y 127 decimal) que se suma a la dirección que le correspondería a la siguiente instrucción en secuencia.
- 9) Indexado.- Usa el byte que sigue al código de operación para especificar un desplazamiento que se suma a uno de los 2 registros de índice. Los bytes 0 y 1 forman el código de operación y el byte 2 contiene un desplazamiento signado con complemento a dos. Se utilizan parentesis para indicar que este valor se usa como apuntador de una localidad de memoria.
- 10) Este modo es usado en instrucciones que permiten efectuar operaciones a nivel de bits sobre los contenidos de localidades de memoria o registros seleccionados por medio de uno de tres tipos de direccionamiento (registro, registro indirecto y registro indexado), mientras que tres bits del código de operación especifican cual de los 8 bits del operando es el involucrado.

- Serie de instrucciones del microprocesador Z-80

El mnemónico de una instrucción es un término que auxilia al programador a recordar las operaciones que realiza la instrucción. Los mnemónicos de las instrucciones consisten de tres o cuatro letras seguidas por 0, 1 o 2 operandos. Las tablas que proporcionan los mnemónicos y códigos de operación para cada tipo de instrucción. Las instrucciones pueden ser clasificadas en los siguientes grupos:

- 1.- Carga de 8 bits.
- 2.- Carga de 16 bits.
- 3.- Intercambio, transferencia y búsqueda de bloques.
- 4.- Aritmética y lógica de 8 bits.
- 5.- Aritmética de propósito general y control de la CPU.
- 6.- Aritmética de 16 bits.
- 7.- Rotar y girar.
- 8.- Poner, limpiar y probar un bit.
- 9.- Saltos llamadas y retornos.
- 10.- Entradas y salidas.

A continuación se describe brevemente cada una de las instrucciones.

1.- Carga de 8 bits: Las instrucciones de este grupo cargan un dato de 8 bits (que está contenido en un registro, localidad de memoria o un valor inmediato en la instrucción) en un registro o en una localidad de memoria. En todos los casos, la dirección fuente permanece sin alterar su contenido después de la transferencia. El mnemónico en el lenguaje ensamblador de este grupo es LD seguido por el destino y la fuente del dato de la transferencia. Este grupo permite el uso de 6 modos de direccionamiento (implícito, de registro, de registro indirecto, indexado, extendido e inmediato), no obstante, se pueden usar combinaciones de estos modos de direccionamiento.

2.- Carga de 16 bits: Este grupo es muy similar al anterior. El direccionamiento extendido tiene la capacidad de abarcar todos los registros de 16 bits. Note que las operaciones de registro indirecto, específicamente el apuntador del stack, son las instrucciones de colocar y sacar, el mnemónico para estas instrucciones son PUSH y POP respectivamente. Esto último difiere de otros tipos de cargas de 16 bits en el que el apuntador del stack (SP) es automáticamente decrementado o incrementado de acuerdo a como cada byte es colocado o sacado del stack. Los modos de direccionamiento permitidos en este grupo son: de registro, inmediato extendido, extendido y de registro indirecto (y las combinaciones entre ellos).

3.- Intercambio, transferencia y búsqueda de bloques: Las instrucciones de intercambio permiten el intercambio de los datos de 16 bits contenidos en pares de registros de la misma serie de registros (EX DE, HL), entre pares de registros de las dos series de registros (EX AF, AF' y EXX), y entre pares de registros y el contenido de la dirección señalada por el SP (EX (SP), IX, EX (SP), IY y EX (SP), HL).

Las instrucciones cuyo mnemónico es LDI, LDIR, LDDR y LDD permiten la transferencia, de bloques de datos, de un lugar de la memoria a otro. Estas instrucciones operan con los siguientes registros:

HL apunta a la dirección fuente
 DE apunta a la dirección destino
 EC es un contador de bytes

Las instrucciones de búsqueda de bloques tienen el mnemónico CPI, CPIR, CPD y CPDR. Estas instrucciones facilitan el proceso de buscar posiciones de memoria en secuencia hasta que el contenido de la posición actual sea igual al contenido del acumulador. Tal y como en las instrucciones de transferencia de bloques, se debe inicializar ciertos registros antes de la ejecución de cualquier instrucción de búsqueda de bloques, en la format

BC) es el número de posiciones de memoria a explorar.
 HL) es la dirección cuyo contenido se va a comparar con el del acumulador.
 A) su contenido es el valor que se debe encontrar entre bytes sucesivos de memoria.

4.- Aritmética y lógica de 8 bits: Estas instrucciones incluyen las operaciones de sumar, restar, AND, OR, OR exclusiva y comparar dos operandos de 8 bits, uno de los cuales es el acumulador. El otro operando puede ser un dato inmediato, el contenido de un registro o el contenido de una localidad de memoria direccionada por el registro par HL o por los registros de índice Ix e Iy. El resultado de las operaciones se almacena en el acumulador, con excepción de la instrucción de comparar, que no afecta al acumulador. En las instrucciones de ADC y SBC, suman o restan respectivamente, al contenido del acumulador el segundo operando y el estado actual de la bandera de acarreo, el resultado se guarda en el acumulador.

Existen 2 instrucciones adicionales en este grupo, las instrucciones INC y DEC, las cuales incrementan o decrementan en uno el contenido de los registros ó de una localidad de memoria. Todas las instrucciones de este grupo afectan las banderas.

5.- Aritmética de propósito general y control de la CPU: Todas estas instrucciones utilizan direccionamiento implícito con uno o ningún operando. La instrucción DAA (ajuste decimal al acumulador) permite ajustar los resultados en el acumulador para poder realizar operaciones de aritmética BCD. Esta instrucción usa los valores de las banderas de acarreo, medio acarreo y resta para realizar su función. Las instrucciones CPL y NEG complementan a 1 y complementan a 2, respectivamente, el contenido del acumulador. Las instrucciones CCF y SCF complementan a uno y ponen a uno el valor de la bandera de acarreo. La instrucción NOP es una instrucción de no operación. La instrucción HALT suspende la operación de la CPU hasta que recibe una solicitud de interrupción e implementa instrucciones NOP continuamente hasta entonces. Las instrucciones EI y DI habilitan o deshabilitan la capacidad de la CPU a responder a solicitudes de interrupción (ponen o limpian los flip-flops internos del IFF1 e IFF2). La CPU Z-80 tiene 3 modos para responder a las interrupciones en la línea INT. Las instrucciones para seleccionar el modo son: IMO, IMI e IM2.

6.- Aritmética de 16 bits: Estas instrucciones permiten realizar operaciones aritméticas (ADD, ADC, SBC, INC y DECO con datos de 16 bits en los registros BC, DE, HL, Iy, Ix y SP. Las instrucciones INC y DEC no afectan las banderas, las demás de este grupo sí.

7.- Rotar y girar: Estas instrucciones realizan su operación con el dato contenido en el acumulador, en cualquier registro de propósito general o en cualquier localidad de memoria. Las instrucciones RLCA, RLA, RRCA y RRA rotan únicamente el contenido del acumulador. La primera y última letra de estos mnemónicos significan rotar y acumulador, la segunda letra significa izquierda (Left) o derecha (Right), la letra C significa circular. La instrucción RLCA rota el contenido del acumulador una posición a la izquierda, esto es, el bit 7 pasa a la bandera de acarreo y al bit 0, mientras que los contenidos de los demás bits pasan a la siguiente posición a la izquierda. La instrucción RLA rota el contenido del acumulador una posición a la izquierda

a través de la bandera de acarreo, es decir, el contenido del bit 7 pasa a la bandera de acarreo, el contenido de la bandera de acarreo pasa al bit 0 y el resto de los bits pasan a la siguiente posición a la izquierda. Las instrucciones RLC, RL, RRC y RR realizan las mismas funciones que las 4 instrucciones anteriores pero con el contenido de un registro de 8 bits o el de una localidad de memoria direccionada por HL, $Ix+d$ e $Iy+d$. La instrucción RLD permite rotar por cuatro posiciones el contenido de la localidad de memoria direccionada por el par de registros HL con el contenido del acumulador. La instrucción RRD realiza la misma función pero hacia la derecha.

Las instrucciones de girar realizan su función sobre cualquiera de los contenidos de los registros de 8 bits, una localidad de memoria direccionada por los registros HL o de índice. La instrucción SLA (giro aritmético a la izquierda) gira una posición a la izquierda el dato especificado, el bit 7 pasa a la bandera de acarreo y el bit 0 se carga con 0. La instrucción SRA (giro aritmético a la derecha) gira una posición a la derecha el dato especificado, el bit 0 pasa a la bandera de acarreo y el bit 7 no cambia. La instrucción SRL (giro lógico a la derecha) realiza la misma función que SRA pero el bit 7 se carga con 0, esto es, el dato especificado se rota una posición a la derecha, el contenido del bit 0 se carga en la bandera de acarreo y el bit 7 se carga con 0.

B.- Poner, limpiar y probar un bit: Estas instrucciones ponen (set), limpian (reset) y prueban (bit) el estado de un bit de un registro o de una localidad de memoria. Usan 4 tipos de direccionamiento: registro, relativo, registro indirecto e indexado. La instrucción BIT b,r prueba el contenido del bit b del registro r, pone la bandera de cero (Z) si el bit es cero y limpia la bandera Z si el bit es uno. La instrucción SET pone (coloca 1) el bit especificado, la instrucción RES limpia (coloca 0) el bit, ninguna de estas dos instrucciones cambia el estado de las banderas.

9.- Saltos, llamadas y retornos: Todas estas instrucciones provocan que el flujo de las instrucciones del programa sea transferido a otros lugares de la memoria, distintos de los que normalmente habrían ocurrido si no hubieran aparecido estas. Estas instrucciones, entonces, actúan directamente sobre el PC, para cambiar la secuencia en la cual son leídas las posiciones de memoria y ejecutadas como instrucciones.

Los saltos (JP y JR) causan que la ejecución de un programa continúe en otra localidad de memoria (cargando la dirección de esa localidad en el PC), definida en el o los bytes siguientes. Las llamadas (CALL) a subrutinas, realizan la misma función que los saltos, pero salvan el contenido actual del PC en el stack de la memoria, indicando la dirección de la próxima instrucción que sigue a la llamada de la subrutina. Los retornos (RET) realizan el regreso a la instrucción que sigue a la llamada de la subrutina, realizando primero una función de POP al stack para obtener la dirección de regreso y posteriormente cargarla en el PC para continuar la ejecución del programa principal. Estas 3 clases de instrucciones pueden ser incondicionales o condicionales, si son incondicionales se ejecutan de forma inmediata, en caso de que sean condicionales se verifica primero si la condición se cumple o no, cuando la condición se cumple se ejecuta de la manera descrita, en caso contrario el PC sigue incrementándose en forma secuencial.

Los saltos se realizan cargando el PC por la dirección especificada por uno de cuatro modos de direccionamiento inmediato, extendido, indexado, relativo y registro indirecto. La instrucción DJNZ (e) decreuenta el contenido del registro B, si el resultado no es cero salta a la localidad especificada y si es cero se ejecuta la proxima instrucción en secuencia (e = valor relativo que se suma a PC+2). Las instrucciones CALL usan direccionamiento inmediato extendido.

Existen 2 instrucciones especiales de regreso, RETI para regreso de una interrupción y RETN para regreso de una interrupción no enmascarada. Otra instrucción de llamada es RST que utiliza el direccionamiento de pagina cero modificada.

10.- Entrada y salida: El direccionamiento de los dispositivos de entrada salida pueden ser inmediato o de registro indirecto (usando el registro C). La instrucción IN A, (n) coloca el dato presente en el puerto n dentro del registro A. La instrucción IN r, (C) coloca el dato, presente en el puerto cuyo número se encuentra en el registro C, dentro del registro r (A, B, C, D, E, H o L). Cuatro instrucciones más, de entrada, permiten la transferencia de bloques de datos entre dispositivos de entrada y localidades de memoria. La instrucción INI realiza la transferencia entre el dispositivo de entrada cuyo número se encuentra en el registro C y la localidad de memoria señalada por el registro par HL, el contenido del registro par HL se incrementa en 1 y el contenido del registro B se decreuenta en uno. La instrucción INIR realiza la misma función que INI pero la repite hasta que el contenido del registro B sea cero. La instrucción IND realiza la misma función que INI pero en lugar de incrementar el contenido de HL lo decreuenta en uno. La instrucción INDR ejecuta una función idéntica a la que realiza IND pero la repite hasta que el contenido de B sea cero.

En las instrucciones de entrada el flujo de datos es desde los dispositivos hacia los registros o localidades de memoria. En las instrucciones de salida el flujo de datos es desde los registros o localidades de memoria hacia los dispositivos, el Z-80 tiene estas instrucciones de salida similares a las de entrada y son:

OUT (n), A
OUT (C), r
OUTI , OTIR , DUTD y DTDR

- Banderas de estado de la CPU Z-80

A continuación se describe la forma en la cual son afectadas las banderas de estado (bits de registro de banderas F):

1.- Bandera de signo (S): Esta bandera es una copia del bit más significativo del resultado de una operación. Los resultados se guardan normalmente, pero no siempre, en el acumulador. El proposito de esta bandera es el de señalar si el resultado, en complemento a dos, es positivo o negativo. Así la bandera S se coloca a 1 si es negativo y a 0 si es positivo.

2.- Bandera de cero (Z): Las operaciones que afectan al acumulador normalmente afectan también a esta bandera, colocandola a 1 si el contenido del acumulador es cero y a cero si el contenido no es cero. Las instrucciones BIT colocan a 1 esta bandera si el bit especificado esta en cero y la colocan a cero si el bit esta en uno. Las instrucciones de comparación, comprueban si existe igualdad entre el byte especificado y el acumulador, si existe igualdad esta bandera se coloca a 1, si no

a 0.

3.- Bandera de medio acarreo (H): Esta bandera solo es usada en el esquema de codificación binaria (BCD), y no puede probarse por medio de instrucciones de salto condicional. La bandera H registra el acarreo del bit 3 al bit 4 en el resultado de ciertas instrucciones.

4.- Bandera de paridad/sobrepasamiento (P/V): Las 2 funciones de esta bandera son: a) Indicar la paridad del resultado de una instrucción lógica, de rotación, desplazamiento o instrucción de entrada. (b) Indicar sobrepasamiento como resultado de una operación aritmética en complemento a dos.

La palabra paridad se refiere al número de bits en un byte que están al nivel lógico 1. Si el número de bits que están a 1 es impar, el byte tiene paridad impar. Si el número de bits que están a 1 es par, el byte tiene paridad par. La bandera de paridad se coloca a 1 si el resultado tiene paridad par y a 0 si la paridad del resultado es impar.

La bandera de sobrepasamiento queda afectada al ejecutarse operaciones aritméticas con números signados con complemento a dos. Si la suma de 2 números positivos resulta en un número negativo esta bandera se coloca a uno. Similarmente esta bandera se coloca a uno si la suma de 2 números negativos da un número positivo. Esta bandera se coloca a cero si no ocurre un sobrepasamiento.

5.- Bandera de resta (N): Esta bandera indica el tipo de la última instrucción de suma o resta que se ha ejecutado. Esta bandera se coloca a 0 después de una suma y se coloca a 1 después de una resta.

6.- Bandera de acarreo (C): Esta bandera es afectada por las instrucciones de suma, resta, rotación y desplazamiento, indica sobrepasamiento para la suma de números enteros positivos. Durante una operación de suma, se coloca a 1 si se produce un arrastre en el bit más significativo del acumulador. Durante una operación de resta, esta bandera se coloca a uno si se produce un arrastre para la resta en el bit más significativo del acumulador. Dos instrucciones manipulan directamente la bandera de arrastre: SCF (coloca la bandera a 1) y CCF (cambia el nivel lógico actual de la bandera de arrastre).

2.6 Ciclos de máquina de la CPU Z-80

La CPU Z-80 es un dispositivo dinámico, esto es, que sus elementos de almacenamiento y los circuitos de la lógica requieren de señales de tiempo (reloj). La señal de reloj se proporciona en la entrada ϕ , el período de esta señal determina un estado T. Un ciclo de máquina consiste normalmente de 3 a 6 estados T y se requiere cada vez que la CPU tiene acceso a la memoria o a un puerto de entrada/salida. Por último, un ciclo de instrucción consiste de 1 a 6 ciclos de máquina, normalmente, y se define como el tiempo requerido para obtener el código de operación de una instrucción, desde la memoria, y ejecutarla. Existen estados de espera T_w que se pueden incluir mas de una vez en cualquier ciclo de máquina.

La CPU Z-80 tiene 7 ciclos de máquina diferentes:

- 1.- Fetch (ciclo M1).
- 2.- Leer o escribir en memoria.
- 3.- Leer o escribir en dispositivo de entrada/salida.
- 4.- Solicitud y reconocimiento de los buses.
- 5.- Solicitud y reconocimiento de interrupción.
- 6.- Solicitud y reconocimiento de interrupción no enmascarada.
- 7.- Salida de una instrucción HALT.

Enseguida se describen los tiempos que ocurren en cada ciclo de máquina.

- Ciclo Fetch

El ciclo Fetch permite a la CPU leer el código de operación, decodificar la instrucción a ejecutar y ejecutar una parte o posiblemente toda la operación que implica la instrucción. La figura 2.3 muestra las señales que se producen durante el ciclo Fetch. En primer lugar el contenido del PC se coloca en el bus de dirección y se activa la señal $M1$ al comienzo del ciclo M1. Medio período mas tarde se activan las señales $MREQ$ y RD indicando que el bus de dirección contiene una dirección para la memoria. La señal $MREQ$ indica que se hace referencia a la memoria y la señal RD indica que es una función de lectura. La transición alto-bajo de estas dos señales se puede usar para seleccionar a la memoria y ordenar que el contenido de la localidad direccionada se deposite en el bus de datos. La transición bajo-alto de la señal ϕ en el estado T3 coloca en el registro de instrucción el contenido presente en el bus de datos. Un tiempo después, las señales $M1$, RD y $MREQ$ pasan a estado inactivo. Los estados T3 y T4 del ciclo Fetch los usa la CPU para operaciones internas en la decodificación y ejecución de la instrucción (si no requiere de mas ciclos de máquina). Los estados T3 y T4 también los usan para la función de refrescar memoria, con la transición bajo-alto de la señal ϕ , la señal $RFSH$ pasa a estado activo y el contenido del registro R se envía al bus de dirección en las líneas A0-A6, esta dirección permanece hasta la conclusión del estado T4. La señal $MREQ$ se activa de nuevo en el estado T3 indicando que procede la función de refrescar las memorias dinámicas. En el estado T4 la señal $RFSH$ pasa al nivel inactivo señalando que termina la

función de refrescar memoria.

Se debe observar que la señal \overline{RD} no se activa, durante la función de refrescar la memoria, para prevenir que los contenidos de diferentes localidades de memoria se disparen en el bus de datos. La señal \overline{RFSH} no se puede usar por sí sola para iniciar la función de refrescar, ya que la dirección de refresco está estable solo durante el tiempo en que \overline{MREQ} este activa.

En el estado T2, durante la transición alto-bajo de la señal Φ , la CPU muestra el valor de la línea \overline{WAIT} tiene valor bajo (activa), en lugar de continuar con el procesamiento del estado T3, la CPU entra a ejecutar un estado de espera. De nuevo en la transición alto-bajo de la señal Φ en el estado Tw, la CPU muestra el valor de la línea \overline{WAIT} pasando a otro estado Tw si el nivel de esta línea es bajo ó continuara con el procesamiento del estado T3 si es alto.

En la figura 2.3.1 se observa que en el estado T2 y en el primer estado Tw la entrada \overline{WAIT} tiene nivel bajo durante la transición alto-bajo de la señal Φ , por lo que la CPU continuara con un estado de espera. En el segundo estado Tw la entrada \overline{WAIT} tiene nivel alto, por lo que la CPU en el siguiente estado continua con T3.

- Leer o escribir memoria

El ciclo de leer memoria es muy semejante al ciclo Fetch en cuanto a las señales y a la operación. La diferencia principal es que mientras el ciclo Fetch hace un acceso a la memoria para traer el código de operación de una instrucción y depositarlo en el registro de instrucción, el ciclo de leer memoria hace un acceso a la memoria para traer un dato de 8 bits y depositarlo en un registro de la CPU.

La figura 2.4 ilustra los diagramas de tiempos del ciclo de leer memoria. Comparando con la figura 2 se puede notar que la lectura de los datos se realiza durante la transición alto-bajo de la señal Φ en el estado T3 y no en la transición bajo-alto en el mismo estado en el ciclo Fetch. El ciclo normal de leer memoria consiste de 3 estados T. Para ilustrar el ciclo de leer memoria se hará referencia a la ejecución de la instrucción LD A, (HL). Esta instrucción ordena que el contenido de la localidad de memoria direccionada por el registro par HL se deposite en el registro A. La ejecución de esta instrucción consiste de 2 ciclos de máquina (fetch, y leer memoria). Para el ejemplo se considera que ya se ejecuto el ciclo fetch y comienza el ciclo de leer memoria.

El contenido del registro par HL se envía al bus de dirección ($\overline{M1}$ no se activa). Las señales \overline{MREQ} y \overline{RD} no se activan. En este momento la dirección ya está estable, por lo que estas señales se pueden usar para seleccionar la memoria y ordenar que el contenido de la localidad de memoria direccionada se deposite en el bus de datos. En el estado T2 durante la transición alto-bajo de la señal Φ se pregunta por el nivel de la línea \overline{WAIT} , si tiene nivel alto continua el estado T3, y si tiene nivel bajo pasa a un estado de espera Tw. Finalmente durante la transición alto-bajo de la señal Φ en el estado T3 el contenido del bus de datos, se deposita en el registro acumulador (A).

La figura 2.4.A.1 ilustra el diagrama de tiempos del ciclo de leer memoria con dos estados de espera (WAIT) Tw, adicionales. Como se puede observar en la figura, en el estado T2 durante la

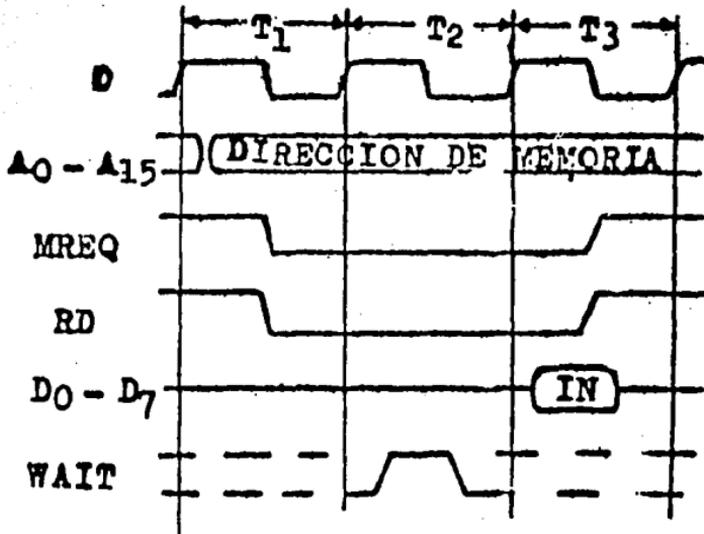


FIGURA 2.4
CICLO DE LEER EN MEMORIA

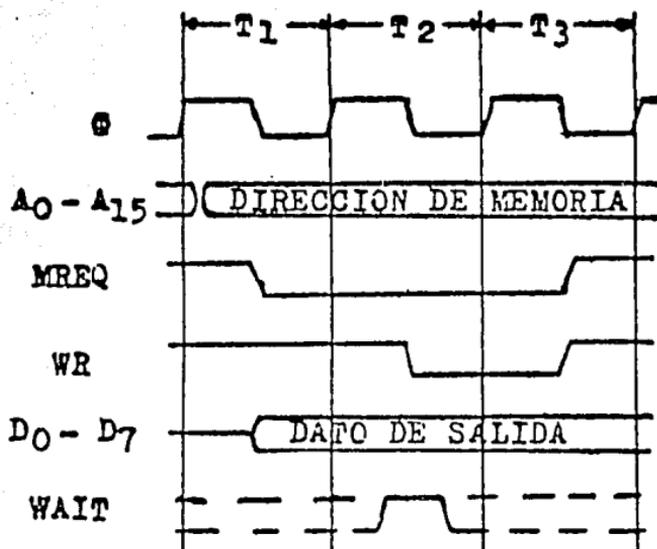


FIGURA 2.4.1
CICLO DE ESCRITURA EN MEMORIA

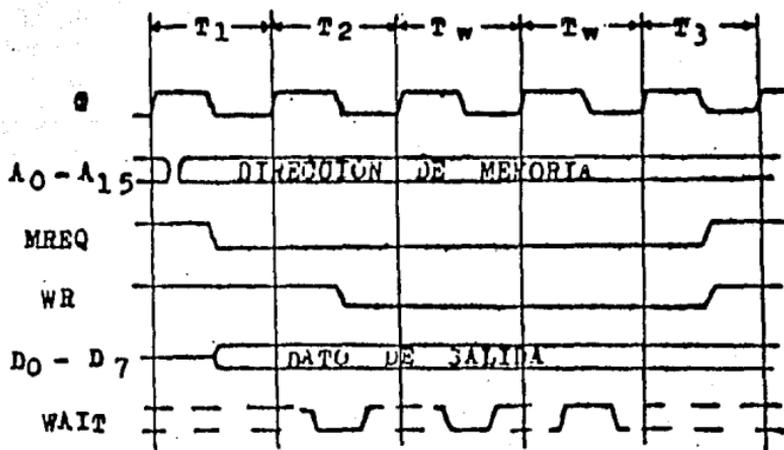


FIGURA 2.4.2

CICLO DE ESCRIBIR EN MEMORIA CON DOS ESTADOS DE ESPERA T_w .

transición alto-bajo de ϕ la línea $\overline{\text{WAIT}}$ tiene nivel bajo por lo que la CPU continúa con un primer estado T_w , durante este estado en la transición alto-bajo de la señal ϕ como la línea $\overline{\text{WAIT}}$ tiene nivel bajo, vuelve a repetir un estado T_w , finalmente en este segundo estado T_w durante la transición alto-bajo de la señal ϕ como la línea $\overline{\text{WAIT}}$ tiene nivel alto, la CPU continúa con el estado T_3 .

La figura 2.4.1 ilustra el diagrama de tiempos del ciclo escribir en memoria. La diferencia con el ciclo leer memoria es que en lugar de activarse la señal $\overline{\text{RD}}$ se activa la señal $\overline{\text{WR}}$. Los eventos propios del ciclo de escritura de memoria son los siguientes.

Envía la dirección de la localidad de memoria al bus de dirección, la señal $\overline{\text{MREQ}}$ se activa. El contenido de la CPU, especificado en la instrucción se envía al bus de datos un tiempo después de la transición alto-bajo de la señal ϕ en T_1 . Durante la transición alto-bajo de la señal ϕ en el estado T_2 , la CPU investiga el valor del nivel de la señal $\overline{\text{WAIT}}$ para checar si se requieren estados T_w . Un tiempo después de la transición alto-bajo de la señal ϕ , en el estado T_2 , se activa la señal $\overline{\text{WR}}$. En el estado T_3 , la señal $\overline{\text{WR}}$ se hace inactiva medio estado T antes que los buses de datos y de dirección cambien su contenido, de tal manera que la transición bajo-alto de la señal $\overline{\text{WR}}$ se puede usar para cargar la localidad direccionada, con el dato del bus de datos.

En la figura 2.4.2 se ilustra el diagrama de tiempos del ciclo de escribir en memoria con dos estados de espera T_w .

- Entrada y salida

En los ciclos de entrada y salida se inserta automáticamente un estado T_w . La razón de este estado es, debido a que durante las operaciones de entrada/salida el tiempo de diferencia, entre cuando la señal $\overline{\text{IORQ}}$ pasa a nivel activo y cuando la CPU debe probar el estado de la línea $\overline{\text{WAIT}}$ es muy corto, y con el estado T_w , el puerto de entrada/salida tendrá suficiente tiempo para decodificar la dirección y activar la línea $\overline{\text{WAIT}}$ si requiere un estado T_w . Es durante este estado T_w adicional cuando se prueba el nivel de la línea $\overline{\text{WAIT}}$.

La figura 2.5 muestra el diagrama de tiempos del ciclo de entrada, y los eventos que se presentan durante este ciclo son:

- Se envía la dirección del puerto de entrada por el bus de dirección (A_0-A_7).
- Al inicio del estado T_2 se activan las señales $\overline{\text{IORQ}}$ y $\overline{\text{RD}}$. Estas señales permiten que el puerto envíe el dato al bus de datos.
- En el estado T_w , durante la transición alto-bajo de la señal ϕ , la CPU pregunta si hay solicitud de un estado T_w probando el nivel de la línea $\overline{\text{WAIT}}$.
- Durante la transición alto-bajo de la señal ϕ en el estado T_3 , la CPU coloca el contenido del bus de datos en un registro de la CPU.

La figura 2.5.1 ilustra el diagrama de tiempos del ciclo de salida, los eventos propios de este ciclo son:

- Se envía la dirección del puerto de salida por el bus de direcciones.
- Al inicio del estado T_2 se activan las señales $\overline{\text{IORQ}}$ y $\overline{\text{WR}}$.
- En el estado T_w , durante la transición alto-bajo de la señal ϕ ,

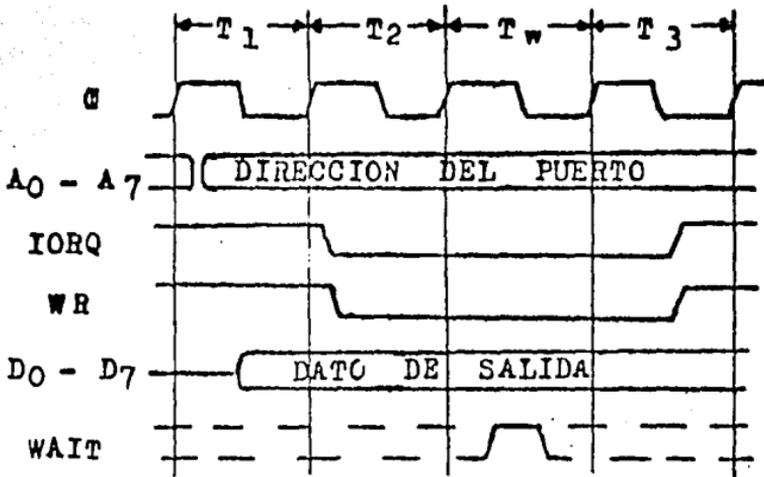
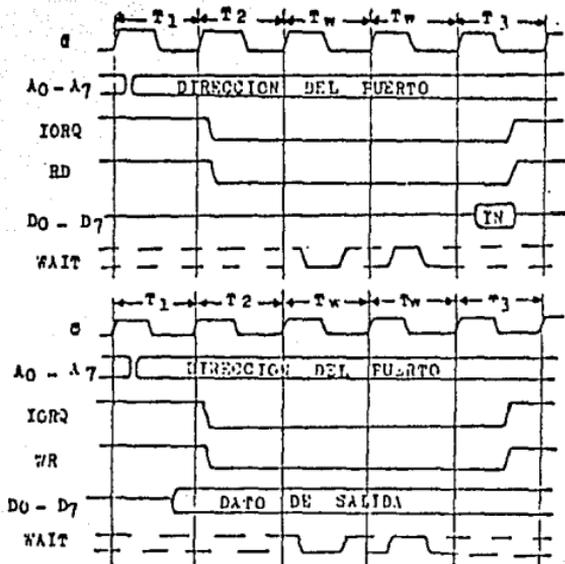


FIGURA 2.5
CICLO DE ENTRADA DE DATOS



FIGURAS 2.5.A.1 y 2.5.A.2

Ilustran los diagramas de tiempos de los ciclos de entrada y salida, respectivamente, con un estado T_w adicional.

la CPU pregunta si hay solicitud de un estado Tw, probando el nivel de la línea WAIT.

d) La transición bajo-alto de la señal WR en el estado T3, se puede usar para depositar el dato del bus de datos, en el puerto seleccionado.

Las figuras 2.5.A.1 y 2.5.A.2 ilustran los diagramas de tiempos de los ciclos de entrada y de salida, con un estado Tw adicional.

- Solicitud y reconocimiento de buses

En cualquier momento, un dispositivo externo puede tomar el control del bus de dirección, bus de datos y de las líneas MREQ, RD, IORQ, WR y RFSH, al habilitar la línea BUSRQ. Esto le permite a un controlador externo comunicarse directamente con la memoria externa para transferencia de datos entre un dispositivo rápido de entrada/salida y la memoria sin la intervención de la CPU.

La figura 2.6 muestra el diagrama de tiempos del ciclo de solicitud y reconocimiento de los buses, los eventos que se presentan en este ciclo son:

Un dispositivo externo realiza una solicitud de los buses en la línea BUSRQ, la CPU detecta la solicitud dentro del ciclo de máquina actual, finaliza este ciclo de máquina. Ahora la CPU habilita la línea BUSAK y pasa al estado de alta impedancia a los buses y a otras líneas. Se retira la solicitud de la línea BUSRQ. La CPU reconoce que se retiró la solicitud deshabilita la línea BUSAK y continúa el proceso interrumpido.

- Solicitud y reconocimiento de interrupción

La CPU Z-80 tiene la entrada INT, por la cual los periféricos pueden solicitar, a la CPU, la interrupción del proceso actual y que continúe con la ejecución de una rutina de servicio especial, para dar atención al periférico solicitante. Una vez terminada esta rutina, la CPU continuará con el proceso interrumpido.

La figura 2.7 ilustra el diagrama de tiempos del ciclo de solicitud y reconocimiento de interrupción. La CPU muestra el valor de la línea INT durante la transición bajo-alto de la señal \bar{f} en el último estado del último ciclo de máquina de la instrucción en proceso. La CPU no aceptará las solicitudes si su flip-flop interno de habilitar interrupción (controlado por programación) no está habilitado o si la señal BUSRQ está activa. Cuando la CPU acepta la solicitud de interrupción, procesa un ciclo M1 especial, en el cual se activa la línea IORQ, para indicar al periférico solicitante que coloque un dato de 8 bits en el bus de datos. La CPU inserta automáticamente en este estado M1 especial 2 estados Tw.

Los eventos propios de un ciclo de solicitud y reconocimiento de interrupción se describen enseguida.

Un periférico solicita la interrupción enviando a nivel bajo la entrada INT. La CPU termina el último estado de la instrucción y reconoce la solicitud procesando un ciclo M1 especial. La señal M1 se activa. En el primer estado Tw, la CPU envía a nivel bajo la señal IORQ. La combinación de las señales IORQ y M1 indican al periférico que la CPU reconoce la solicitud de interrupción, por lo que la interfaz del periférico debe enviar el dato de 8 bits sobre el bus de datos. Durante la transición alto-bajo de la

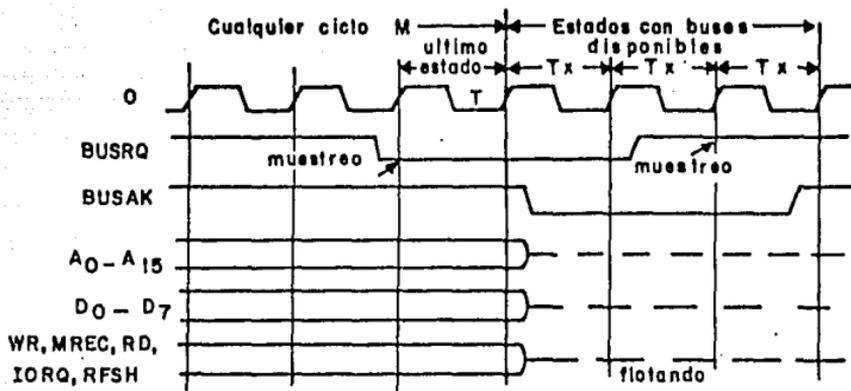


FIGURA 2.6
SOLICITUD Y RECONOCIMIENTO DE BUSES.

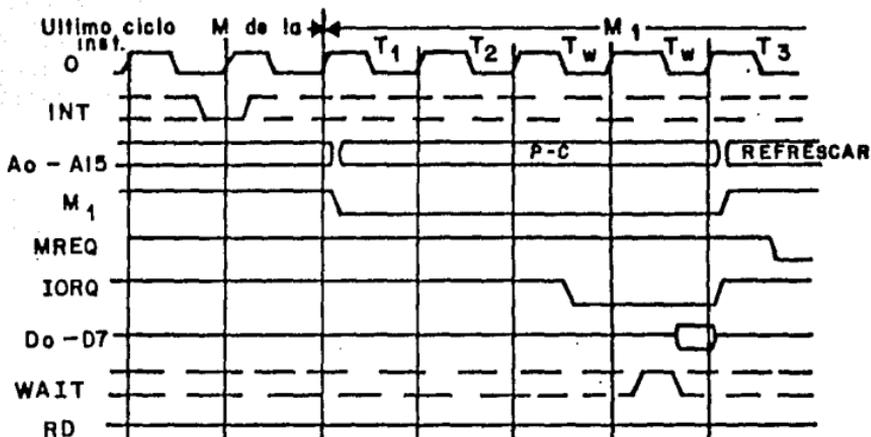


FIGURA 2.7
SOLICITUD Y RECONOCIMIENTO DE INTERRUPCION.

señal \bar{s} del segundo estado Tw, la CPU prueba el nivel de la señal WAIT para investigar si se requiere un estado Tw adicional. La CPU lee el contenido del bus de datos. El contenido actual del PC se salva colocandolo en el stack y enseguida el PC se carga con una dirección, que es formada con el dato enviado por el periférico (la manera de formar esta dirección es determinado por los modos de interrupción IM0, IM1 o IM2).

- Solicitud de interrupción no enmascarada.

La CPU Z-80 cuenta con la línea de interrupción \overline{NMI} , que tiene mayor prioridad que la línea INT, y que no se puede deshabilitar por programación. La CPU reconoce la solicitud \overline{NMI} durante la transición bajo-alto de la señal \bar{s} , en el último estado T del último ciclo de máquina de la instrucción en proceso (en la misma forma que en la línea INT).

La figura 2.8 ilustra el diagrama de tiempos de solicitud de interrupción no enmascarada. La respuesta de la CPU en este ciclo es la ejecución de un ciclo de máquina similar al ciclo Fetch, la diferencia es que no lee el dato del bus de datos. La CPU almacena el contenido del PC en el stack y carga el PC con la dirección 066H, para continuar a partir de ahí el procesamiento. Las rutinas de servicio, para las solicitudes de interrupción no enmascaradas, deben comenzar a partir de esta localidad de memoria. Durante los estados T3 y T4 se realiza la función de refrescar memoria.

- Salida de la instrucción HALT

Al ejecutarse la instrucción Halt, la CPU comienza la ejecución de una serie de instrucciones de no operación (NOP), la cual se termina hasta que la CPU recibe una solicitud de interrupción. La CPU muestrea el valor de las 2 líneas de interrupción (INT y \overline{NMI}), durante la transición bajo-alto de la señal \bar{s} en el estado T4 de la instrucción NOP. La figura 2.9 ilustra el diagrama de tiempos del ciclo de salida de la instrucción Halt.

La CPU sale del estado de alto despues de detectar una solicitud de interrupción y entra a un ciclo de reconocimiento de interrupción, correspondiente al tipo de interrupción que recibió. El proposito de las instrucciones NOP durante un estado alto, es el de continuar realizando la función de refrescar la memoria dinámica. La señal Halt permanece activa mientras que la CPU se encuentra en el estado de alto.

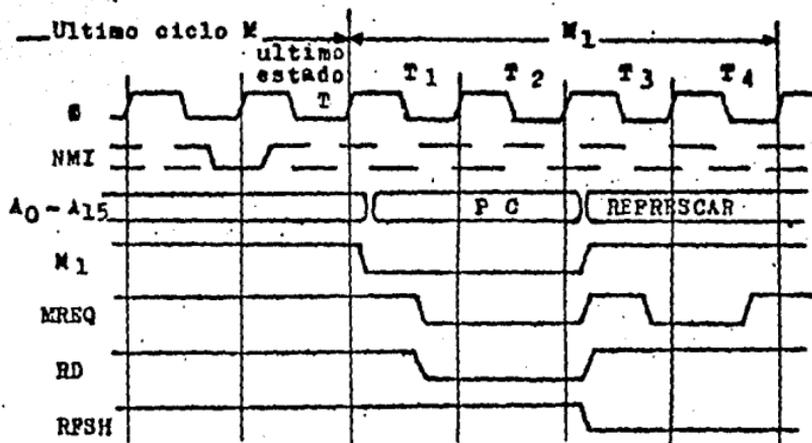
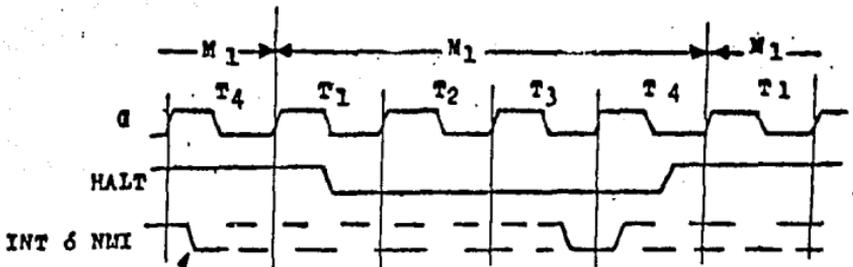


FIGURA 8.

FIGURA 2.8

SOLICITUD DE INTERRUPCION NO ENMASCARADA.

FIGURA 9.



La instrucción HALT
se recibe en éste ciclo de memoria .

FIGURA 2.9

SALIDA DE LA INSTRUCCION HALT.

CAPITULO III

ANÁLISIS DE LA

SISTEMA

CAPITULO III

HARDWARE DEL SISTEMA DE MEDICION

3.1 Planteamiento del problema.

Como se mencionó en el capítulo I la medición del patrón de descarga de una sola célula (neurona) presenta varios problemas, como son:

- Por pequeña magnitud (10-50 μ volt.) se introducen una gran cantidad de señales indeseables (ruido) y además
- Por su corta duración (1 msec. aprox.) dificultad para ser cuantificada.

La técnica que se utiliza para el registro extracelular se describe brevemente enseguida:

Se prepara al animal con el cual se realizará el experimento, gato o rata, anestesiándolo y fijándolo a una mesa de prueba. Se realiza un trepano por donde se introducirá el microelectrodo, generalmente se utiliza una micropipeta de vidrio con una solución conductora dentro de ella. El avance o retroceso del microelectrodo se realiza por medio de un micromanipulador (apendice I), que posee un avance de 1 o 10 micras por paso, a seleccionar según las necesidades. El microelectrodo es avanzado hasta que este se acerque lo suficiente a una célula para que sean registradas sus descargas. La señal que se obtiene del microelectrodo es introducida a un preamplificador P-15 (apendice I), con una escala de amplificación de $\times 100$, teniendo por lo tanto a su salida una señal en un rango de 30 a 60 mVolts. Esta señal es como la que se muestra en la figura 3.1

De la figura podemos observar que además de la señal de interés se encuentran otras señales (descargas eléctricas) de células que se encuentran cercanas al electrodo y además una gran cantidad de ruido, por lo que es necesario aplicarle una serie de procedimientos para así limpiarla y obtener la señal deseada en forma aislada.

La solución de este problema y el procesamiento de la señal se muestra en el diagrama a bloques de la figura 3.2

A continuación se describirá a detalle cada bloque.

3.2 Circuito de ventana

Este circuito fue implementado a base de amplificadores operacionales principalmente. Se le llama circuito de ventana porque su función principal es la de abrir un rango de voltaje por el cual solo pasaran las señales que se deseen. Este rango se limita de forma manual de acuerdo a las necesidades del investigador u operario del sistema. Esta etapa se compone de un acoplador de impedancias, un filtro pasabajos, un amplificador, 2

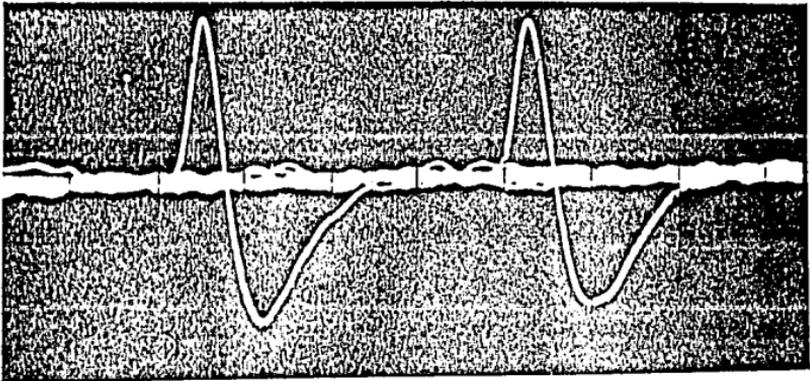


FIGURA 3.1
REGISTRO DEL POTENCIAL ELECTRICO DE DESCARGA NEURONAL (en mV).

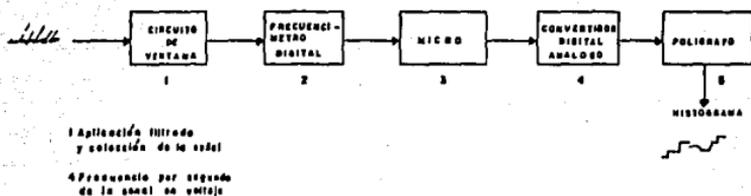


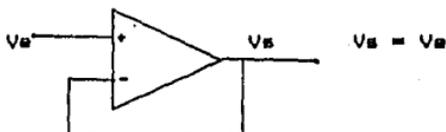
FIGURA 3.2
 DIAGRAMA A BLOQUES DEL SISTEMA DE MEDICION.

comparadores de voltaje, 2 diodos rectificadores y una compuerta l6gica. Su esquema se puede ver en la figura 3.3.

Acoplador de impedancias

Su funci3n es la de acoplar las impedancias, del preamplificador y del circuito de ventana, se le llama tambi3n seguidor de voltaje, sus caracteristicas y diagrama respectivo son:

ganancia unitaria
 Z_{in} = impedancia de entrada tiende a infinito.
 Z_{o} = O impedancia de salida tiende a cero
 Defasamiento de 0 grados en C.A.
 Misma polaridad en C.D.



Filtro pasabajas

Se utiliz3 un filtro activo pasabajas tipo butterworth de tercer orden con una frecuencia de corte de 1000 Hz (1 Kh). Se eligi3 un filtro activo porque estos no poseen inductores y adem3s para frecuencias bajas (menores de 5k) su respuesta es muy buena, y del tipo Butterworth porque su respuesta en frecuencia es muy plana a la mitad de la banda de paso.

Su dise1o se muestra enseguida:
 se tiene que

$f_c = 1000$ Hz y adem3s de tablas de dise1o de filtros
 $C1'' = 1.392$ $C2'' = 3.546$ $C3'' = 0.2024$

se desnormalizan los capacitores de acuerdo a la frecuencia de corte

$$C_1' = \frac{C_1''}{2\pi f_c} = \frac{1.392}{2\pi (1 \times 10^3)} = 2.21 \times 10^{-7}$$

$$C_2' = \frac{3.546}{2\pi (1 \times 10^3)} = 5.64 \times 10^{-7} \quad C_3' = \frac{0.2024}{2\pi (1 \times 10^3)} = 3.22 \times 10^{-8}$$

ahora se desnormalizan de acuerdo a el valor de la resistencia R,

se propone
 $R = 10$ K
 entonces

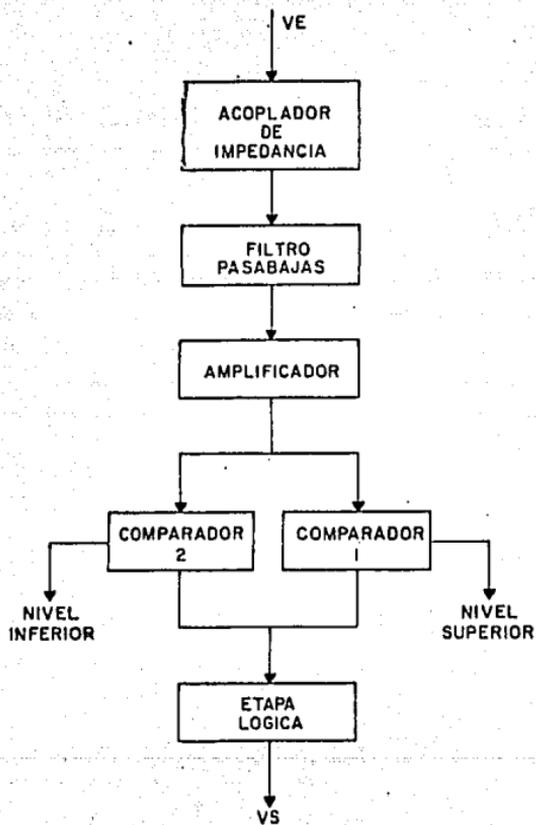


FIGURA 3.3
ESQUEMA DEL CIRCUITO DE VENTANA.

$$C_1 = \frac{C_i}{R} = \frac{2.21 \times 10^{-4}}{10 \text{ K}} = 2.21 \times 10^{-9} = 2.21 \text{ nF}$$

$$C_2 = \frac{5.64 \times 10^{-4}}{10 \text{ K}} = 5.64 \times 10^{-9} = 5.64 \text{ nF}$$

$$C_3 = \frac{2.22 \times 10^{-5}}{10 \text{ K}} = 2.22 \times 10^{-9} = 2.22 \text{ nF}$$

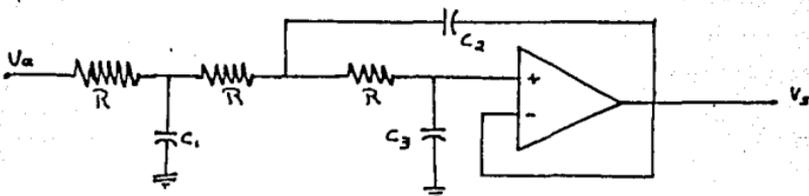
ajustandolos a valores comerciales

$$C_1 = 220 \text{ nF}$$

$$C_2 = 520 \text{ nF}$$

$$C_3 = 2.2 \text{ nF}$$

El diagrama del filtro es:



Amplificador

Como vimos anteriormente, la señal de descarga neuronal es negativa y a la salida del preamplificador P-15 se encuentra en un rango de 30 a 60 mV aproximadamente. Por lo tanto en esta etapa se utiliza un amplificador inversor, para así obtener la señal como positiva y su diseño es el siguiente:

características del amplificador inversor

$$Z_{in} = R \quad \text{impedancia de entrada}$$

$$Z_o = 0 \quad \text{impedancia de salida}$$

función de transferencia

$$\frac{V_s}{V_a} = - \frac{R_f}{R_i}$$

de aquí podemos ajustar la ganancia a nuestras necesidades donde

$$\lim \text{ sup } 60 \text{ mV} = 5 \text{ V}$$

por lo que tenemos que

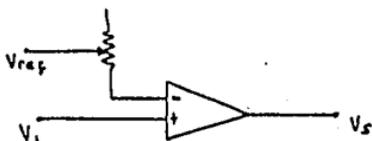
$$G = \frac{5 \text{ V}}{60 \text{ mV}} = 85 \quad \text{y} \quad V_s = - \frac{R_f}{R_i} V_a = -85 V_a$$

$$\frac{R_f}{R_i} = 85 \quad \text{si} \quad R_i = 1K$$

$$\therefore R_f = 85 K$$

Circuito comparador

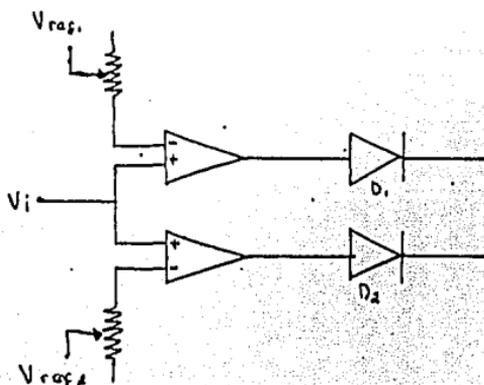
Después del amplificador se procedió a introducir la señal a 2 comparadores de voltaje al mismo tiempo, para así obtener 2 niveles de referencia de C.D., nivel superior y nivel inferior. Ambos comparadores funcionan de la misma forma, un circuito comparador de voltaje se muestra enseguida:



Cuando V_i es menor al voltaje de referencia se tendrá que el voltaje de salida será $V_o = V^+$ (5 V) y si por el contrario el voltaje de entrada V_i es mayor al voltaje de referencia entonces en este caso $V_o = V^-$ (-5 V).

De esta forma al tener 2 comparadores funcionando al mismo tiempo para la misma señal V_i y con distintos valores de referencia (V_{ref}), formamos un rango por el cual pasara nuestra señal deseada, eliminando las señales indeseables.

Como a la salida de cada uno de los comparadores tendremos señales cuadradas de 5 V y -5 V, según sea el caso, el nivel de -5 V lo ajustamos a cero mediante la adición de un par de diodos rectificadores en serie.



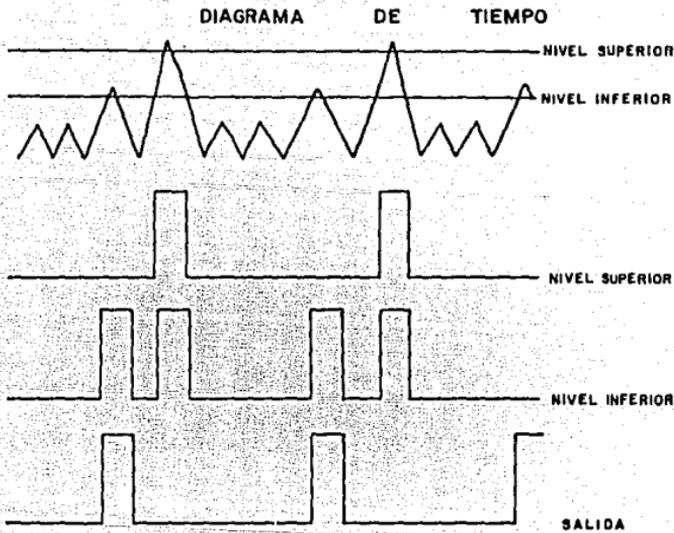


FIGURA 3.4

DIAGRAMA DE TIEMPO DE LA SEÑAL a través del circuito de ventana, la salida está en el orden de 5V.

Para tener solo una respuesta y esta sea la deseada a la salida de este circuito, necesitamos ajustarlo a ciertas condiciones, y estas son que solo cuando tengamos respuesta de cualquiera de los comparadores, nos interesa tener esa condición y no cuando ninguno tenga respuesta, o ambos la tengan. Pasando lo anterior a una tabla de funciones lógicas tenemos:

C1	C2	Salida
0	0	0
0	1	1
1	0	1
1	1	0

Por lo que se elige una compuerta TTL con función de OR exclusiva. El diagrama de tiempos de la señal al pasar por toda esta etapa se muestra en la figura 3.4

El diagrama completo del circuito de esta etapa se muestra en la figura 3.5

De donde concluimos que ya se eliminaron todas las señales indeseables y se tiene la señal de interes en el rango de 3 Volts, como un proceso puntual. Así de esta manera puede ser ya manipulada en forma digital y por lo tanto se procede a ser introducida a la siguiente etapa.

3.3 Circuito de contadores y microprocesador.

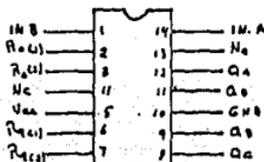
Toda esta etapa fue implementada a base de circuitos digitales TTL (LS), las características particulares de cada circuito utilizado en el sistema se muestran en el apéndice II.

El diagrama a bloques de esta etapa se muestra en la figura 3.6

Contadores

En esta etapa se implemento una serie de contadores controlados por el microprocesador Z-80, en cuanto a borrado de datos y duración de conteo. Se utilizaron 3 contadores tipo BCD de modo que la frecuencia máxima sería de 999Hz, pero en la práctica la mayor parte de frecuencias a medir son bajas, menores de 255 Hz. Para poder ser controlados los contadores por señales que mande el micro se le adicionaron un arreglo de compuertas NAND para que por medio de estas sea posible habilitar y borrar datos de los contadores. Los contadores que se utilizaron fueron 74LS90 con las siguientes características:

cuenta	Qd	Qc	Qb	Qa
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1



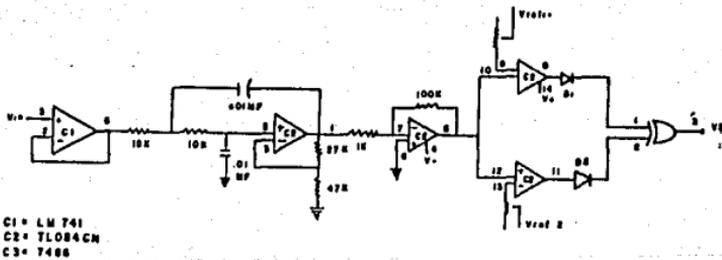


FIGURA 3.5

DIABRAMA ELECTRONICO DEL CIRCUITO DE VENTANA.

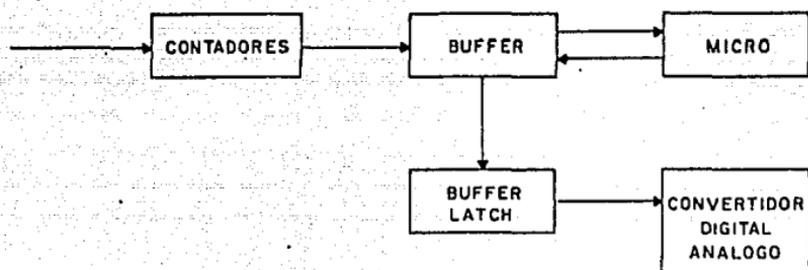


FIGURA 3.6

DIAGRAMA A BLOQUES DEL CIRCUITO DE CONTADORES Y MICROPROCESADOR.

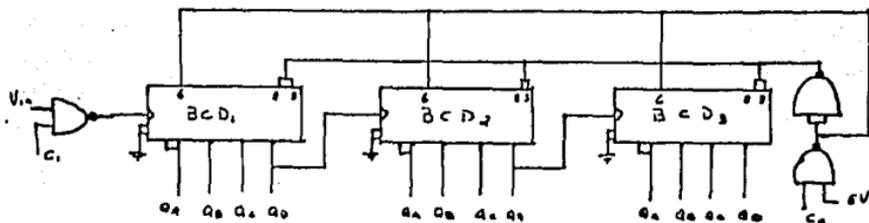
B	1	0	0	0
9	1	0	0	1

tabla de funciones cuenta/reset

Ro(1)	Ro(2)	R9(1)	R9(2)	Qd	Qc	Qb	Qa
1	1	0	x	0	0	0	0
1	1	x	0	0	0	0	0
x	x	1	1	1	0	0	1
x	0	x	0	CUENTA			
0	x	0	x	CUENTA			
x	0	0	x	CUENTA			
0	x	x	0	CUENTA			

Para cuenta BCD INPUT B (1) debe estar conectada a Qa.

Basandose en las características anteriores se implementó el arreglo de compuertas NAND de la siguiente forma



Donde C0 y C1 son condiciones impuestas por el microprocesador por medio de software. Para el circuito anterior tenemos que cuando:

C0 = 0 entonces en R9(1) = 1 y R9(2) = R0(1) = R0(2) = 0 y en estas condiciones los circuitos BCD están listos para contar.

C0 = 1 entonces R9(1) = R9(2) = 0 y R9(1) = R9(2) = 1; para estas condiciones el dato que tenían los contadores es borrado porque Qa = Qb = Qc = Qd = 0.

C1 = 0 no importando lo que tenga en la otra entrada de esta compuerta la salida será siempre de 1 lógico y por lo tanto como no existe ningún cambio de estado lógico los contadores permanecen sin realizar ninguna cuenta.

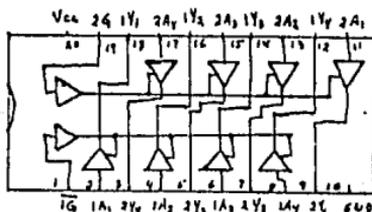
C1 = 1 en este momento cada cambio de estado lógico que tenga la otra entrada de la compuerta (señal) es registrado y mandado a la salida de este y en ese momento los contadores registraran el número de cambios de estado (frecuencia) de dicha señal. Esta

condición permanece fija por un loop de tiempo equivalente a 1 segundo para así obtener las cuentas por segundo, que en este caso sería la frecuencia por segundo. El loop de tiempo es realizado por software.

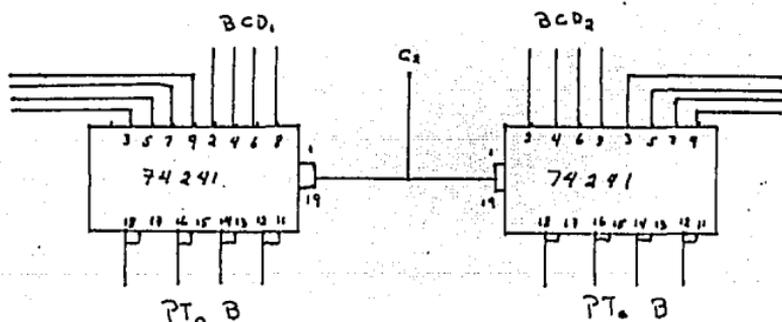
Como tenemos tres contadores BCD, cada uno de 4 bits, en total tenemos 12 bits los cuales los vamos a introducir al micro mediante la utilización de 2 puertos de entrada/salida de datos de 8 bits cada uno. Pero antes de esto se conectó un circuito buffer de tercer estado con la intención de direccionar el flujo de información, que en un caso va a ser de los contadores hacia el puerto del micro y en otro del puerto del micro hacia un convertidor digital-análogo, esto lo haremos exclusivamente para 8 bits, los correspondientes al puerto B.

El circuito utilizado es el 74LS241 cuyo diagrama y características se muestran enseguida:

1B	1An	1Yn
0	0	0
0	1	1
1	x	Z
2B	2An	2Yn
0	x	Z
1	0	0
1	1	1



Se utilizaron 2 circuitos de este tipo, cada uno para 4 bits del puerto del micro, la forma en que fueron conectados es:



utilizando dicha conexión el flujo de datos fue controlado de tal forma que éste es controlado por el micro, esto es cuando:

$C2 = 0$ tenemos que los datos o el número que se encuentra a la salida de los contadores es transferido directamente al puerto B, pasando por el circuito 74241

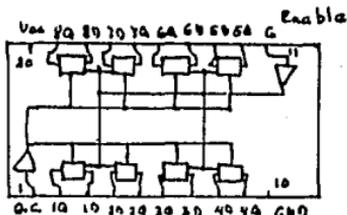
C2= 1 el flujo de información es del puerto hacia un circuito mas, que es un buffer tipo latch de tercer estado.

La utilización de este ultimo circuito es necesaria para mantener una cierta condición fija durante un período de tiempo, sin cambio alguno. El circuito utilizado fue el 74LS373 con las siguientes características:

D.Enable	En.Latch	D	Q
0	1	1	1
0	1	0	0
0	0	x	Q0
1	x	x	Z

Q0 estado anterior

Z alta impedancia



Aprovechando las condiciones de los circuitos anteriores impuestas por el micro para este circuito, de tal forma que C2 controlara también la transferencia de información por el circuito 74LS373 quedando de la forma:

C2= 0 tendremos a la salida de este buffer el estado anterior y al mismo tiempo en el micro la obtención del nuevo dato.

C2= 1 en este momento transferimos el dato desde el micro hasta tenerlo a la salida de este circuito, sin tener el problema de perder información.

Utilizando los arreglos anteriores podemos manejar al puerto B del micro, en cierto momento como entrada de información y en otro como salida, según convenga.

Finalmente en la salida de este circuito se conecta un convertidor digital-análogo, con el fin de tener la frecuencia medida representada en voltaje.

3.4 Convertidores Digital-Análogo

Un convertidor digital-análogo (DAC) acepta una clave de entrada digital. El código de entrada aparece por lo común en paralelo, o sea, simultáneamente, en un conjunto de líneas paralelas. Sin embargo, se puede presentar en serie, como un tren de niveles o impulsos sobre una línea simple. Si se aplica un código dado al DAC, no se podrá saber cual será su salida a menos

que se conozcan dos datos: el significado cuantitativo del código y la relación de conversión que se abarca en el convertidor.

El voltaje de salida de escala completa de un DAC depende del producto del voltaje de referencia y la ganancia de transferencia (transconductancia en el caso de un DAC de salida de corriente). Así pues, para un DAC el voltaje de salida V_o es:

$$V_o = GNV_{ref}$$

donde N = valor fraccionario del código digital.

G = ganancia

V_{ref} = voltaje de referencia

Puesto que V_o depende del producto de N y V_{ref} , se puede usar un DAC como multiplicador de 2 señales, una digital y la otra analógica. Una aplicación común para esta función es la de la amplificación de ganancia variable, en donde la ganancia de una señal analógica se controla mediante una entrada digital.

Un DAC completo de 4 cuadrantes puede multiplicar códigos digitales positivos o negativos por señales analógicas positivas o negativas. La salida obedece también a las reglas de multiplicación en lo que se refiere al signo. Algunos DAC tienen solo una capacidad limitada de multiplicación con disposiciones para entradas de referencia de polaridad simple, y entradas digitales unipolares o bipolares, son DAC de uno o dos cuadrantes respectivamente. Sin embargo, otros DAC tienen referencias internas conectadas permanentemente, se trata de DAC de referencia fija que quizá tengan una gama limitada de recorte de ganancia, pero sin variabilidad.

Al igual que en el caso de los multiplicadores analógicos, los DAC multiplicadores se pueden utilizar para la división mediante el uso de realimentación negativa. Si la función general de transferencia es positiva y no se puede llegar al circuito interno, se puede utilizar un amplificador operacional de inversión externa. Como se puede ver en la figura siguiente, la trayectoria de realimentación en torno al A1 amplificador está cerrada a través del DAC multiplicador. Puesto que el A1 es un amplificador de alta ganancia y debe mantener su entrada negativa cercana a cero, se aplica la condición de:

$$V_i = -GNV_o \text{ y por lo tanto}$$

$$V_o = 1V_i / (GN)$$

El término N puede tener solo valores positivos, pero V_i puede ser positivo o negativo. Como en el caso de todos los divisores de realimentación, los errores y tiempo de respuesta son inversamente proporcionales a N y se hacen muy grandes conforme N tiende a cero. Los valores de V_i y N deben ser de índole tal que V_o no sea nunca mayor que su valor de escala completa.

Los elementos básicos de un DAC completo son la referencia, una red de resistencias para proporcionar un conjunto de voltajes, corrientes o ganancias sopesadas, un conjunto de interruptores para determinar que bits contribuirán a la salida y un transductor para proporcionar una salida que tenga el formato deseado (voltaje o corriente), el nivel y la impedancia

adecuados.

Los circuitos utilizados en los DAC modernos, aunque bastante variados en detalle, incluyen casi universalmente redes resistivas de atenuación que no requieren razones de más de 8:1 y en la mayoría de los casos solo de 2:1. Para minimizar los errores dinámicos, las corrientes de bits sopesados con precisión son constantes y los interruptores dirigen simplemente las corrientes de un lugar (punto suma) a otro (tierra). Puesto que el flujo de corriente no se interrumpe, se minimizan los retardos y los disturbios transitorios.

Algunos DAC utilizan una red de escala R-2R (FIG. 3.7). Esta tiene un conjunto de resistores en serie, R12, R23, R34, etc., de resistencia R, y un conjunto de resistores en paralelo R1, R2, R3, etc., de resistencia 2R. Hay un resistor final de terminación R, de valor 2R. Los interruptores están en serie con los brazos en paralelo y la corriente en cada brazo se dirige ya sea al punto sumador del amplificador (tierra virtual) o a una línea común que va conectada a tierra. En la figura 3.8 se muestra un convertidor digital-analógico con escala R-2R.

El desempeño de la red R-2R se puede entender con mayor facilidad al realizar el análisis hacia atrás:

$$I_4 = V_4/R_4$$

Puesto que R4 y Rt están en paralelo y son iguales, su combinación en paralelo equivale a R34; por ende,

$$V_3 = 2V_4$$

Asimismo, R3= R4; la corriente a través de R3 es:

$$I_3 = 2V_4/R_3 = 2V_4/R_4 = 2I_4$$

Puesto que R34+ (Rt/R4)= 2R34= R3 la combinación en paralelo de resistencia a tierra de V3 es igual a R23 y

$$V_2 = 2V_3 = 4V_4$$

Si se sigue de este modo se tiene:

$$I_1 = 2I_2 = 4I_3 = 8I_4 = V_{ref}/R_1$$

$$V_{ref} = 2V_2 = 4V_3 = 8V_4$$

Por ende, las corrientes que pasan por los brazos en paralelo y los voltajes en los nodos forman una progresión binaria. Resulta evidente que la naturaleza de esta progresión no se ve afectada por el número de celdas tanto si se trata de 4 como de 10 o 12.

Las corrientes sopesadas binarias I1, I2, I3 e I4, dirigidas por los interruptores, contribuyen ya sea al voltaje de salida a través del amplificador operacional o a la corriente común. Si el 1 binario dirige las corrientes a el punto suma y el 0 a la línea común, la corriente en esta última será el complemento de la corriente en la línea del punto suma.

El error de compensación a cero en un DAC es la cantidad en la que su salida difiere de cero cuando el código de entrada pide cero. Si se ajusta la salida para el valor correcto a cero, todos los demás códigos de salida se traducirán de conformidad con el mismo valor.

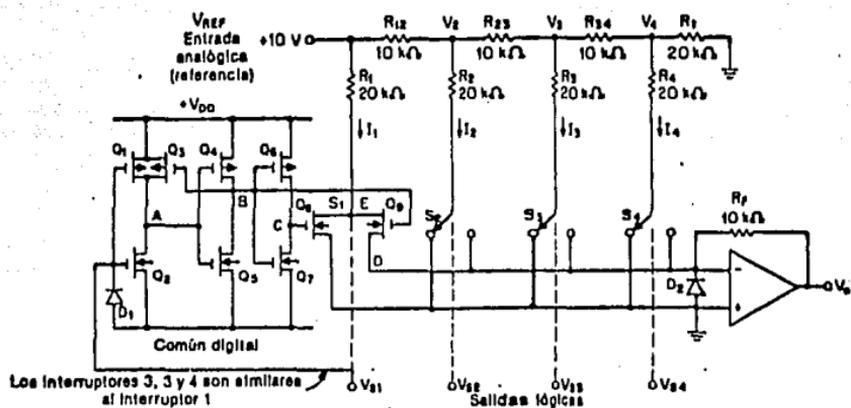


FIGURA 3.7

CONFIGURACION INTERNA DE UN CONVERTIDOR DIGITAL-ANALOGO TIPO R-2R.

Error de ganancia es la cantidad en la que el ámbito de salida difiere del valor teórico. Lo provocan los errores de razón general de resistencias y en los DAC de referencia fija, los errores de referencia.

Cualquier desviación de la mejor línea recta, se denomina error de linealidad. Se encuentran dos clases de errores de este tipo. Uno es de no linealidad diferencial, que se debe a las diferencias de tamaño de los bits. Conduce a errores de magnitud diferente cuando los bits se suman en diversas combinaciones.

Teóricamente, cada etapa de un código al siguiente, en incrementos de LSB, tiene que ser igual a 1 LSB. Una desviación en el tamaño de la etapa de ese valor se denomina error de linealidad diferencial. Si en ciertas transiciones que incluyen interrupciones simultáneas de números grandes de bits, la no linealidad diferencial es mayor que un LSB y de la polaridad apropiada, un incremento de la entrada digital da como resultado una disminución de la salida analógica.

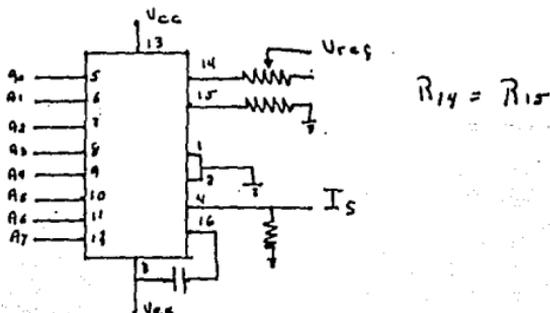
La no linealidad de un tipo más convencional, la integral, se puede deber también a amplificadores no lineales y resistores de realimentación. Incluso si todos los valores de bits son individualmente del todo exactos, su suma puede no ser precisa. En algunos casos, la carga variable presentada por una impedancia de salida de un DAC de salida de corriente o ganancia al voltaje de compensación de salida del amplificador operacional, puede introducir errores aparentes de linealidad.

Después de la información anterior sobre convertidores digital-análogos, procedemos a explicar la parte final del sistema.

Convertidor digital-análogo

El convertidor utilizado fue el MC 1408-BN el cual es un convertidor digital-análogo multiplicador de 8 bits. Es muy conveniente utilizarlo en donde la corriente de salida es un producto lineal de una palabra digital de 8 bits. Es compatible con circuitos TTL y CMOS, además es un convertidor de escalera del tipo R-2R, sus características y configuración son:

$V_{CC} = 5V$. $V_{EE} = -5$ a $-15V$.
tiempo de conversión 30 nseg.



La corriente de salida del circuito viene dada por la ecuación

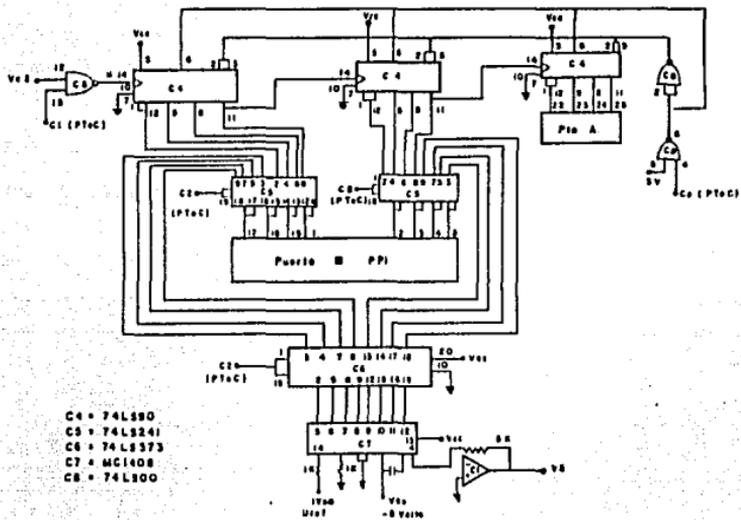


FIGURA 3.8

DIAGRAMA ELECTRONICO DE LA ETAPA DE CONTADORES Y MICRO.

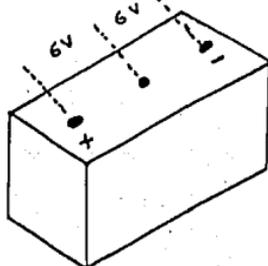
Por lo tanto para cada número expresado en binario, frecuencia en este caso, se tendrá un voltaje equivalente.

FREC.	numero binario	voltaje
0	0 0 0 0 0 0 0 0	0
1	0 0 0 0 0 0 0 1	11.9 mV
2	0 0 0 0 0 0 1 0	39
3	0 0 0 0 0 0 1 1	58.5
	⋮	
	⋮	
	⋮	
	⋮	
	⋮	
	⋮	
255	1 1 1 1 1 1 1 1	4.97 V

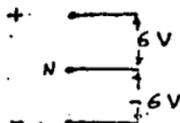
El diagrama de conexión de esta etapa se muestra en la figura 3.8

El diagrama de todo el circuito se muestra en la figura 3.9.

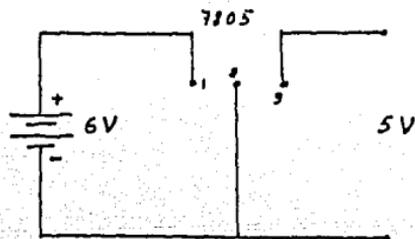
Todo el sistema de hardware funciona con 5 V y -5V. La fuente de alimentación que da estos voltajes a el sistema fue implementada a base de un acumulador recargable de 12 V. entre terminales y con una conexión interna a la mitad de este para obtener 6 V. El diagrama es el siguiente:



De tal forma que obtenemos 6 y -6 Volts, respectivamente, según se muestra la conexión requerida en seguida:



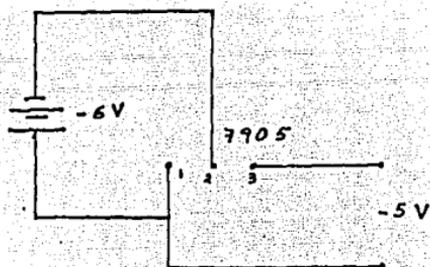
Con reguladores de voltaje de 5 y -5 Volts (7805 y 7905 respectivamente), obtenemos los voltajes deseados. Por otra parte la utilización de un acumulador como fuente de voltaje es porque nos ayuda a eliminar un poco el ruido de la línea en la medición de la señal de interés y por otro lado no depende el experimento de la corriente alterna, de tal forma que el experimento se lleva a cabo en forma continúa aun en ausencia de la corriente alterna.



7805



1: $V_{in} (+)$ 2: GND
3: $V_S (+)$



1: GND 2: $V_{in} (-)$
3: $V_S (-)$

CAPITULO VI

LA VIDA DEL

SISTEMA

CAPITULO IV

SOFTWARE DEL SISTEMA DE MEDICION

4.1 Periférico PPI 8255

La explicación de la parte de programación, se hará en el lenguaje ensamblador únicamente, los códigos equivalentes de cada instrucción se muestran en el apéndice III.

Como el microprocesador, en este sistema trabaja en iteración con la parte de hardware del mismo, el medio por el cual es posible la comunicación entre estas partes es por los puertos entrada/salida de información. Esto se hace por medio del PPI 8255.

El 8255 es una interface periférico programable (PPI) designado para ser usado en sistemas de microprocesadores. Su función es la de una interface periférica de información de entrada/salida de propósito general, tiene la finalidad de comunicar al bus del microprocesador con el exterior del mismo. La configuración funcional de el 8255 es programada por medio del sistema de software del que forma parte.

La configuración interna del PPI 8255 se muestra en la figura 4.1. En donde:

1) Data Buffer: Esta conectado directamente al bus de datos del microprocesador. La palabra de control y la información son transferidos a través de él.

2) Lógica de control de lectura y escritura: Su función es la de manejar todas las transferencias internas y externas de datos. AO, A1, WR y RD controlan la selección de uno de los tres puertos o direccionan el registro de control de acuerdo a la siguiente tabla:

A1	AO	RD	WR	CS	SELECCION
0	0	0	1	0	PTD A-- BUS DE DATOS
0	1	0	1	0	PTD B-- BUS DE DATOS
1	0	0	1	0	PTD C-- BUS DE DATOS
1	1	1	0	0	BUS DE DATOS-- REG CONTROL

El PPI posee tres modos distintos de operación:

- Modo 0= Entrada/Salida básica. En este modo cada puerto puede ser programado para entrada o salida únicamente. Posee 2 puertos de 8 bits cada uno y dos de 4. Las salidas son tipo latch pero las entradas no lo son.

- Modo 1= Entrada/Salida con handshaking. Tiene 2 grupos de 8 líneas que pueden ser programados para entrada/salida, estas son

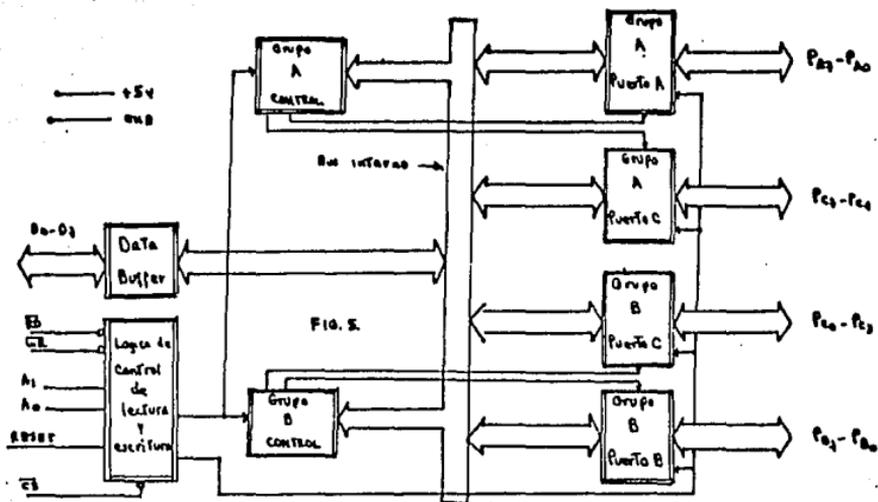


FIGURA 4.1
CONFIGURACION INTERNA DEL PPI 8255.

tipo latch, 4 bits del puerto restante (C) son usados para control de los puertos de 8 bits. - Modo 2= Entrada/Salida bidireccional. En este se usan 8 líneas bidireccionales (puerto A) y 5 líneas de control (puerto C) para la transferencia de información.

3) Grupo A y B de control: Ambos constituyen un registro interno, denominado palabra de control, que establece la forma de operación del PPI. Contiene información como:

- Selección del modo para los puertos A, B y C; Esta selección viene dada de la siguiente forma:

1 D6 D5 D4 D3 D1 D0

donde D0, D1, y D2 corresponden al grupo B y D3, D4, D5 y D6 al grupo A.

D0: Programa al puerto C (bajo) de la siguiente forma: 0= salida y 1= entrada.

D1: Al puerto B, 0= salida y 1= entrada.

D2: Selección del modo, 0= modo 0 y 1= modo 1.

D3: Puerto C (alto), 0= salida y 1= entrada.

D4: Puerto A, 0= salida y 1= entrada.

D5 y D6: Dependiendo de su combinación se tiene para 00= modo 0, 01= modo 1 y 10= modo 2.

El D7 siempre debe tener el valor de 1.

4) Puertos A, B y C: Están constituidos por flip-flops. Los puertos A y B son de 8 bits de información y el puerto C se divide en dos de 4 bits cada uno.

Para este sistema se utilizaron 2 configuraciones del PPI que son:

1. 0 0 1 1 0 1 0 = 9AH A y B como entrada de información y C como salida, todo en modo 0.

1 0 0 0 0 0 0 = 80H A, B y C como salidas en modo 0.

La descripción de la elaboración de los programas que se implementaron para controlar el sistema se explicaran en partes, de acuerdo a como se fueron realizando. Esta serie de programas se dividió en 5 partes fundamentales, que son:

- 1) Control de contadores y tiempo de retardo.
- 2) Transferencia de información hacia la memoria del micro y promedio del mismo.
- 3) Parámetros de calibración.
- 4) Obtención del histograma de frecuencias por segundo.
- 5) Obtención del histograma de frecuencias por minuto.

A continuación se describirán estas 5 partes en forma individual y al último en un solo.

4.2 Control de contadores y retardo

La finalidad de esta primer parte de programación fue la de controlar a los contadores en duración de conteo y en borrado de datos anteriores para realizar inmediatamente después la captura del siguiente dato. Para realizar este tipo de control, si recordamos del capítulo anterior, el micro manda dos condiciones lógicas en particular, C0 y C1, donde C0 controla la condición de enable (0) o reset (1) y a su vez C1 controla la transferencia de los pulsos a contar, esto es, si C1= 0 en ese instante no existe transferencia de información y por lo tanto no se realiza ninguna cuenta y si por el contrario C1= 1, los contadores realizarán su función mientras que esta condición se cumpla (1 seg.). Ambas

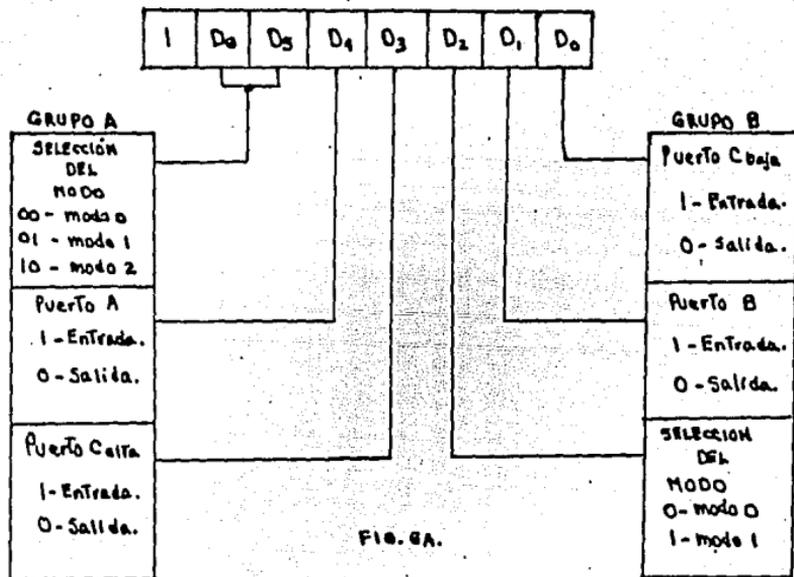


FIGURA 4.2
PROGRAMACION DEL PPI 8255.

condiciones deben estar de una forma coordinada. Los pasos a seguir para la realización de esta rutina son:

- 1) Establecer la configuración del PPI
- 2) Borrar datos anteriores (CO= 1) y habilitar contadores (CO= 0).
- 3) Poner a contar a los circuitos (CI= 1), durante 1 segundo.
- 4) Transferir el dato a un registro del micro.
- 5) Regresar al punto 2 para la obtención del nuevo dato.

La palabra digital de control para la programación del PPI en esta parte es 9AH, la cual programa a los puertos del PPI de la siguiente forma:

Puerto A= entrada
Puerto B= entrada
Puerto C= salida

La subrutina de retardo se implementó de tal forma que fuese equivalente a 1 segundo, esta se muestra enseguida.

Etiqueta	operación	operandos	ciclos de M.	Tiempo
DELAY:	LD	DE,OFFFH	10	5 usec
	LD	IX,00BH	14	7 usec
LOOP1:	LD	HL,01C1FH	10	5 usec.
LOOP2:	ADD	HL,DE	10	5.5 usec
	JR	C,LOOP2	12 o 7	6 o 3.5 usec
	ADD	IX,DE	15	7.5 usec
	JR	C,LOOP1	12 o 7	6 o 3.5 usec
	RET		10	5 usec

Esta etapa comprende un retardo de 1 segundo, primero fue implementado en forma teórica pero después fue ajustado en forma práctica con la ayuda de un reloj de cristal de 10 MHz. Después de tener esto, se procede a poner el programa completo de esta etapa de tal forma que cumpla con los requisitos antes mencionados.

etiqueta	operación	operadores	comentarios
cuanta:	LD	A,9AH	; palabra control
	OUT	07,A	;
BORRA:	LD	A,01H	;
	OUT	06,A	;
	LD	A,00H	;
	OUT	06,A	;
	LD	A,02H	;

```

OUT      06,A ;
CALL     DELAY ;
LD       A,00H ;
OUT      06,A ;
IN       A,04 ; PTD A
LD       L,A ;
IN       A,05 ; PTD B
LD       H,A ;
JP       CUENTA ;

```

De esta forma, los contadores funcionan durante un segundo y su información al término de este es transferida por los puertos hasta tenerla en el registro HL y regresar a obtener el siguiente dato.

4.3 Transferencia de la información a la memoria del micro y promedio del mismo.

En esta parte se implementó un programa que realizara la transferencia del dato obtenido a una localidad de memoria e ir obteniendo la suma acumulativa de los datos, hasta tener la suma de sesenta de estos y luego promediar mediante una rutina de división. Por lo tanto los pasos a seguir por esta rutina son:

- 1) Transferir el dato obtenido a una localidad de memoria.
- 2) Convertir el dato del código BCD a código binario y regresarlo a memoria.
- 3) Obtener la suma del dato anterior y el presente, hasta obtener la sumatoria de 60 datos.
- 4) Dividir el dato anterior entre 60, para obtener el promedio por minuto.
- 5) Transferir el valor promedio de 60 datos a una localidad de memoria específica.
- 6) El siguiente valor promedio mandarlo a la memoria siguiente del anterior.
- 7) Realizar lo anterior en una forma rutinaria.

Primeramente para la conversión del dato de BCD a binario, se tomo el dato por nibles y cada uno fue multiplicado por 1000, 100 10 y 1 respectivamente, y sumados para de esta forma tener el dato en binario. Se fue sacando el promedio de datos en pareja hasta tener el promedio de 60 datos, lo que nos representaría la frecuencia por minuto de la actividad que estamos midiendo, estos datos se almacenaron en memoria, teniendo la dirección de la localidad del ultimo dato en otra memoria. El programa se muestra enseguida:

etiqueta	operación	operadores	comentarios
IN:	LD	(2000H),HL ;	
	LD	HL,0000H ;	
	LD	(2002H),HL ;	
	LD	A,3CH ;	
	LD	(2004H),A ;	
	LD	HL,2200H ;	
	LD	(2006H),HL ;	
	LD	HL,02000H ;	

	LD	A,OOH		
	RLD			PRIMER NIBLE
	LD	DE,OE3BH		1000 DECIMAL
	CALL	MULT		
	PUSH	HL		
	POP	IX		
	LD	HL,02000H		
	LD	A,OOH		
	RLD			SEGUNDO NIBLE
	LD	DE,064H		100 DECIMAL
	CALL	MULT		
	PUSH	IX		
	POP	DE		DATO ANTERIOR
	ADD	HL,DE		SUMA ACUMULATIVA
	PUSH	HL		
	POP	IX		
	LD	HL,02001H		
	LD	A,OOH		
	RLD			TERCER NIBLE
	LD	DE,0AH		10
	CALL	MULT		
	PUSH	IX		
	POP	DE		
	ADD	HL,DE		
	PUSH	HL		
	POP	DE		
	LD	HL,02001H		
	LD	A,OOH		
	RLD			CUARTO NIBLE
	LD	L,A		
	LD	H,OOH		
	ADD	HL,DE		
	LD	BC,(2002H)		
	ADD	HL,BC		
	LD	(2002H),HL		
	LD	A,(2004H)		
	LD	B,A		
	DJNZ	TERM		
	LD	BC,(2002H)		
	CALL	DIV		
	LD	DE,(2006H)		
	LD	A,C		
	LD	(DE),A		
	INC	DE		
	LD	(2006H),DE		
	LD	A,3CH		60
	LD	(2004H),A		
	LD	HL,0000H		
	LD	(2002H),HL		
	JP	CUENTA		
TERM:	LD	A,B		
	LD	(2004H),A		
	JP	CUENTA		
MULT:	LD	B,0BH		
	LD	HL,0000H		
PRODPAR:	SLA	A		

	JP	NC,ROTA	;
	BLA	L	;
	RL	H	;
	ADD	HL,DE	;
	DJNZ	PRODPAR	;
	RET		;
ROTA:	SLA	L	;
	RL	H	;
	DJNZ	PRODPAR	;
	RET		;
DIV:	LD	HL,0000H	;
	LD	A,10H	;
	LD	DE,003CH	;
CH:	RL	C	;
	RL	B	;
	RL	L	;
	RL	H	;
	PUSH	HL	;
	SBC	HL,DE	;
	JR	C,Z	;
	EX	(BP),HL	;
Z:	POP	HL	;
	CCF		;
	DEC	A	;
	JR	NZ,CH	;
	RL	C	;
	RL	B	;
	SRL	D	;
	RR	E	;
	OR	A	;
	SBC	HL,DE	;
	JP	C,X	;
	INC	BC	;
X:	RET		;

Si ensamblamos la rutina anterior (cuenta) y está entonces ya podemos capturar el dato segundo a segundo, y además tener el promedio por minuto del mismo, con la respectiva conversión de ECD a binario.

4.4 Parámetros de calibración.

Como tenemos ya el dato de frecuencia por segundo y en memoria el dato de frecuencia por minuto y la finalidad es la de crear un histograma de frecuencias por segundo primeramente, al momento que tenemos el dato lo vamos a mandar a un convertidor digital-análogo para que este a su vez lo mande a un graficador, en este caso se utilizó un polígrafo marca Grass (apéndice I). Para poder tener una referencia del valor de los datos necesitamos primeramente una serie de factores de calibración con la finalidad de obtener una escala, por lo que se creo esta parte de rutinas.

Esta tiene los siguientes puntos:

- 1) Programar puertos para salida de información.
- 2) Mandar una serie de datos al convertidor digital-análogo para que sean convertidos en voltaje y obtenerlos como tal en el polígrafo.
- 3) Mandar un dato de referencia (nivel 0) e iniciar la captura de datos.

Para cumplir con estos requisitos hay que recordar primeramente que se tiene que controlar el flujo de información a través de el buffer 74241 y por el buffer latch 74373, para que este último mantenga los datos un cierto lapso de tiempo. El programa que cumple estos fines es el siguiente:

etiqueta	operación	operadores	comentarios
INICIO:	LD	A, 80H	
	OUT	07, A	PROGRAMACION PUERTOS
	LD	B, 0AH	
PR1:	LD	C, 0AH	
PR:	LD	A, C	
	OUT	05, A	
	LD	A, 04H	
	OUT	06, A	
	LD	A, 00H	
	OUT	06, A	
	RET		
OTRO1:	CALL	DELAY	
	LD	C, 00H	
	CALL	PR	
	CALL	DELAY	
	DEC	B	
	LD	A, 00H	
	CP	A, B	
	JR	C, OTRO	
	LD	B, 09H	
PR2:	LD	C, 0AH	
	CALL	PR	
	CALL	DELAY	
	DJNZ	PR2	
	LD	B, 05H	
PR3:	LD	C, 00H	
	CALL	PR	
	CALL	DELAY	
	DJNZ	PR3	
	JP	CUENTA	

De esta forma tenemos ya un patrón de calibración en el polígrafo, esto se ve como una serie de pulsos cuadrados con duración de 1 segundo aproximadamente, primero sacamos 10 pulsos equivalentes a 10 Hertz para luego mandar otra serie de 10 pulsos de valor de 20 Hertz, y finalmente el valor de referencia, 0 Hertz. La mecánica que se siguió fue la siguiente, se mando datos de duración de 1 segundo cada uno, con la siguiente secuencia: 10,0,10,0,.....,20,10,20,10,.....20,0,0,0,0, par: luego comenzar a capturar los datos.

4.5 Histograma de frecuencias por segundo.

Tenemos que con las subrutinas anteriores es posible capturar el dato cada segundo, transferirlo a memoria y obtener su promedio, guardar, en memoria el dato de frecuencia por minuto, y obtener unos parámetros de calibración con la finalidad de obtener escalas en el registro poligráfico. Para la obtención del histograma de frecuencias por segundo solo tenemos que sacar el dato en forma binaria por el puerto B antes de promediario y mandarlo a memoria en la parte 2, explicada anteriormente. Para esto solo es necesario insertar una pequeña parte que corresponde a:

- 1) Programación de puertos.
 - 2) Mandar el dato al convertidor digital-análogo.
 - 3) Regresar a la parte de promediación de datos.
- Esto es:

```
LD      A,B0H      ;
OUT     07,A      ;
LD      A,L        ;
LD      (2000H),A  ;
OUT     05,A      ;
LD      A,04H     ;
OUT     06,A      ;
LD      A,00H     ;
OUT     06,A      ;
```

Esta pequeña parte se inserta en el programa de la parte 2 después de la instrucción ADD HL,DE y antes de LD BC,(2002H). Finalmente, el programa completo queda de la forma como se muestra aneeguida, con sus respectivas direcciones y en código I-80, además de mnemonico.

4.6 Obtención del histograma de frecuencias por minuto.

Como los datos de frecuencias por minuto están almacenados a partir de la memoria 2200 hasta el dato de la dirección de memoria que tiene la localidad 2006. Solo necesitamos mandar nuevamente unos parámetros de calibración al polígrafo para luego mandarle cada dato, con su respectivo retardo, hasta que se le manda el último dato registrado. Esto lo hace el siguiente programa.

dirección	codigo	etiqueta	mnemonico
1150	3E80	COM:	LD A,B0H
1152	D307		OUT 07,A
1154	060A		LD B,0A
1156	C9		RET

1157	OE00	CAL1:	LD C,00H
1159	CD1020		CALL PR
115C	CD3220		CALL DELAY
115F	OE0A		LD C,0AH
1161	CD1020		CALL PR
1164	CD3220		CALL DELAY
1167	10EE		DJNZ CAL1
1169	060A		LD B,0AH
116B	C9		RET
116C	OE0A	CAL2:	LD C,0AH
116E	CD1020		CALL PR
1171	CD3220		CALL DELAY
1174	OE14		LD C,14H
1176	CD1020		CALL PR
1179	CD3220		CALL DELAY
117C	10EE		DJNZ CAL2
117E	0605		LD B,05H
1180	C9		RET
1181	OE00	CAL3:	LD C,00H
1183	CD1020		CALL PR
1186	CD3220		CALL DELAY
1189	10F6		DJNZ CAL3
118B	ED5B0620		LD DE,(2006H)
118F	C9		RET
1190	1A	SIG:	LD A,(DE)
1191	4F		LD C,A
1192	ED530020		LD (2000H),DE
1196	CD1020		CALL PR
1199	CD3220		CALL DELAY
119C	ED5B0020		LD DE,(2000H)
11A0	13		INC DE
11A1	2A0620		LD HL,(2006H)
11A4	ED52		SBC HL,DE
11A6	2B36		JR Z,FIN
11AB	C39021		JP SIG
11AB	CD5021	INICIO:	CALL COM
11AE	CD5721		CALL CAL1
11B1	CD6C21		CALL CAL2
11B4	CDB121		CALL CAL3
11B7	2A0620		LD HL,(2006H)
11BA	110022		LD DE,200BH
11BD	CD9021		CALL SIG
11C0	C30000	FIN:	JP 0000H

Este programa utiliza algunas subrutinas del programa fuente, por lo que no fueron descritas en esta parte. Al correr este programa obtenemos, el histograma de frecuencias por minuto, con sus respectivos parametros de calibración.

PROGRAMA COMPLETO DE MUESTRO Y PROMEDIACION DE DATOS
DEL PATRON DE DESCARGA NEURONAL

DIRECCION	CODIGO	MNEMONICO
1000	3E80	INICIO: LD A,80H
1002	D307	OUT 07,A
1004	0609	LD B,09H
1006	0E0A	PR1: LD C,0AH
1008	79	PR: LD A,C
1009	D305	OUT 05,A
100B	3E04	LD A,04H
100D	D306	OUT 06,A
100F	3E00	LD A,00H
1011	D306	OUT 06,A
1013	C9	RET
1014	3E9A	CUENTA: LD A,9AH
1016	D307	OUT 07,A
101B	3E01	BORRA: LD A,01H
101A	D306	OUT 06,A
101C	3E00	LD A,00H
101E	D306	OUT 06,A
1020	3E02	LD A,02H
1022	D306	OUT 06,A
1024	CD2A10	CALL DELAY
1027	C33C10	JP IN
102A	11FFFF	DELAY: LD DE,0FFFFH
102D	DD210B00	LD IX,00BH
1031	211F1C	LOOP1: LD HL,01C1FH
1034	19	LOOP2: ADD HL,DE
1035	3BFD	JR C,LOOP2
1037	DD19	ADD IX,DE
1039	3BF6	JR C,LOOP1
103B	C9	RET
103C	3E00	IN: LD A,00H
103E	D306	OUT 06,A
1040	DB04	IN A,04
1042	6F	LD L,A
1043	DB05	IN A,05
1045	67	LD H,A
1046	220020	LD (2000H),HL
1049	210020	LD HL,02000H
104C	3E00	LD A,00H

104E	ED6F	RLD
1050	11EB03	LD DE,03EBH
1053	CDD510	CALL MULT
1056	E5	PUSH HL
1057	DDE1	POP IX
1059	210020	LD HL,02000H
105C	3E00	LD A,00H
105E	ED6F	RLD
1060	116400	LD DE,064H
1063	CDD510	CALL MULT
1066	DDE5	PUSH IX
1068	D1	POP DE
1069	19	ADD HL,DE
106A	E5	PUSH HL
106B	DDE1	POP IX
106D	210120	LD HL,02001H
1070	3E00	LD A,00H
1072	ED6F	RLD
1074	110A00	LD DE,0AH
1077	CDD510	CALL MULT
107A	DDE5	PUSH IX
107C	D1	POP DE
107D	19	ADD HL,DE
107E	E5	PUSH HL
107F	D1	POP DE
1080	210120	LD HL,02001H
1083	3E00	LD A,00H
1085	ED6F	RLD
1087	6F	LD L,A
1088	2600	LD H,00H
108A	19	ADD HL,DE
108B	3E80	LD A,80H
108D	D307	OUT 07,A
108F	7D	LD A,L
1090	320020	LD (2000H),A
1093	D305	OUT 05,A
1095	3E04	LD A,04H
1097	D306	OUT 06,A
1099	3E00	LD A,00H
109B	D306	OUT 06,A
109D	2A0020	LD HL,(2000H)
10A0	ED4B0220	LD BC,(2002H)
10A4	09	ADD HL,BC
10A5	220220	LD (2002H),HL
10AB	3A0420	LD A,(2004H)
10AB	47	LD B,A
10AC	1020	DJNZ TERM
10AE	ED4B0220	LD BC,(2002H)
10B2	CDEE10	CALL DIV
10B5	ED5B0620	LD DE,(2006H)
10B9	79	LD A,C
10BA	12	LD (DE),A
10BB	13	INC DE
10BC	ED530620	LD (2006H),DE
10C0	3E3C	LD A,3CH
10C2	320420	LD (2004H),A
10C5	210000	LD HL,0000H
10CB	220220	LD (2002H),HL

10CB	C31410	JP CUENTA
10CE	7B	TERM: LD A, B
10CF	320420	LD (2004H), A
10D2	C31410	JP CUENTA
10D5	060B	MULT: LD B, 0BH
10D7	210000	LD HL, 0000H
10DA	CB27	PRODPAR: SLA A
10DC	D2E710	JP NC, ROTA
10DF	CB25	SLA L
10E1	CB14	RL H
10E3	19	ADD HL, DE
10E4	10F4	DJNZ PRDDPAR
10E6	C9	RET
10E7	CB25	ROTA: SLA L
10E9	CB14	RL H
10EB	10ED	DJNZ PRDDPAR
10ED	C9	RET
10EE	210000	LD HL, 0000H
10F1	3E10	LD A, 10H
10F3	113C00	LD DE, 003CH
10F6	CB11	CH: RL C
10F8	CB10	RL B
10FA	CB15	RL L
10FC	CB14	RL H
10FE	E5	PUSH HL
10FF	ED52	SBC HL, DE
1101	3B01	JR C, Z
1103	E3	EX (SP), HL
1104	E1	Z: POP HL
1105	3F	CCF
1106	3D	DEC A
1107	20ED	JR NZ, CH
1109	CB11	RL C
110B	CB10	RL B
110D	CB3A	SRL D
110F	CB1B	RR E
1111	B7	OR A
1112	ED52	SBC HL, DE
1114	DA1B11	JP C, X
1117	03	INC BC
111B	C9	X: RET
1119	CD0010	INI: CALL INICIO
111C	CD2A10	OTRO1: CALL DELAY
111F	0E00	LD C, 00H
1121	CD0B10	CALL PR
1124	CD2A10	CALL DELAY
1127	05	DEC B
1128	3E00	LD A, 00H
112A	BB	CP A, B
112B	3B21	JR C, OTRO
112D	0609	LD B, 0BH
112F	0E0A	PR2: LD C, 0AH
1131	CD0B10	CALL PR

1134	CD2A10	CALL DELAY
1137	0E14	LD C,14H
1139	CD0810	CALL PR
113C	CD2A10	CALL DELAY
113F	10EE	DJNZ PR2
1141	0605	LD B,05H
1143	0E00	PR3: LD C,00H
1145	CD0810	CALL PR
1148	CD2A10	CALL DELAY
114B	10F6	DJNZ PR3
114D	C9	RET
114E	CD0610	OTRO: CALL PR1
1151	C31C11	JP OTRO1
1154	CD1911	START: CALL INI
1157	210000	LD HL,0000H
115A	220220	LD (2002H),HL
115D	210820	LD HL,2008H
1160	220620	LD (2006H),HL
1163	3E3C	LD A,3CH
1165	320420	LD (2004H),A
1168	CD1410	CALL CUENTA
116B	C35411	JP START
116E	(1154)	END START

CAPITULO V

ANALISIS DE

COSTOS

CAPITULO V
ANALISIS ECONOMICO

5.1 Análisis de costo de material.

Se hará el análisis de costo unitario de todas las partes componentes de la parte del sistema creado, ya que, por ejemplo equipo como polígrafo, grabadora, amplificador P- 15 y micromanipulador ya existía en el laboratorio y estos solo fueron partes integrantes del sistema.

La parte que se desarrollo fue el circuito de ventana, contadores, microprocesador y convertidor digital-análogo. En seguida se muestran todos los elementos que componen al hardware desarrollado, junto con su costo unitario. Este costo en forma inicial se calcula en dolares, pero despues es pasado a moneda nacional.

Unidades	Elemento	costo unitario	total
2	diodos 1N4003	\$ 0.12	\$ 0.24
13	res. varios	\$ 0.06	\$ 0.78
2	pot. 10 K	\$ 0.25	\$ 0.50
1	C.I. 74LS00	\$ 0.19	\$ 0.19
1	C.I. 74LS86	\$ 0.19	\$ 0.19
3	C.I. 74LS90	\$ 0.39	\$ 1.17
2	C.I. 74LS241	\$ 1.49	\$ 2.98
1	C.I. 74LS373	\$ 1.95	\$ 1.95
2	C.I. TLOB4N	\$ 0.19	\$ 0.38
1	C.I. LM741	\$ 0.12	\$ 0.12
1	C.I. MC140B-8N	\$ 1.95	\$ 1.95
1	EPROM 2714	\$ 2.49	\$ 2.49
1	ACUMULADOR	\$ 28.26	\$ 28.26
1	R.V. 7805	\$ 0.11	\$ 0.11
1	R.V. 7905	\$ 0.11	\$ 0.11
1	MICROKIT Z-80	\$ 130.25	\$ 130.25

COSTO TOTAL \$ 170.89

en M.N. \$ 395000.00

Cabe aclarar que el presente proyecto se llevo a cabo en el laboratorio de Bioingenieria del Instituto Nacional de Neurologia

y Neurocirugía, y que dicho laboratorio cuenta con cierto material y equipo electrónico y por lo tanto la mayoría de los elementos utilizados en este sistema fueron tomados del mismo laboratorio. En algunos casos, cabe mencionar que el diseño se hizo en base a el material existente.

5.2 Análisis de tiempo de desarrollo del proyecto.

Como se menciona anteriormente, el presente proyecto se realizó en dos laboratorios del instituto de Neurología, y las pruebas del circuito se hicieron por partes en cada laboratorio.

En forma global el tiempo invertido para el desarrollo de este dispositivo fue de aproximadamente:

500 horas/hombre efectivas.

Todas estas invertidas en un lapso de 4 meses y medio aproximadamente, esto es, porque el avance del sistema estaba atenido a la realización de experimentos fisiológicos para su prueba.

CAPITULO VII

PROCESOS DE

RESULTADOS

CAPITULO VI

OBTENCION DE RESULTADOS Y ANALISIS DE ESTOS

6.1 Antecedentes de cuantificación de descarga neuronal.

Como vimos anteriormente este sistema nos permite registrar la señal de descarga neuronal, cuantificarla y obtener histogramas de frecuencias por segundo e histogramas de frecuencias por minuto, antes de ver la forma como nos presenta estos histogramas veremos en forma general, la manera en como han sido medidas estas descargas por medio de computadora, este procedimiento se usa en forma común en los laboratorios de investigación de fisiología.

Desde 1967 Perkel, Gerstein y Moore crearon un método para el análisis de descarga neuronal, mediante la utilización de una microcomputadora. Este consiste en la creación de histogramas de intervalos interespiga, esto es, que se hace la medición del tiempo que tarda en aparecer la siguiente descarga (intervalo) y de ahí se toma el recíproco de este tiempo para tener la frecuencia instantánea. Este proceso se repite varias veces durante un determinado período de tiempo. La figura 6.1 muestra la forma en que se mide este intervalo. Existen intervalos de distinto grado, según sea el intervalo medido, por ejemplo en la misma figura se observa que para un intervalo de primer orden es necesario efectuar la medición entre una descarga y la inmediata siguiente. Para tener un intervalo de segundo orden se hace la medición entre una descarga y la segunda inmediata en aparecer, y el de tercer orden es entre una descarga y la tercera inmediata en aparecer. Al realizar estas mediciones tenemos la frecuencia instantánea por intervalo y de esta forma se puede crear un histograma de intervalos.

Según sea el comportamiento de la descarga neuronal, se parametriza en cualquiera de los siguientes histogramas de intervalos de frecuencias de la figura 6.2. todos ellos de primer orden.

- a) Proceso Pacemaker: Este representa la descarga de una célula en forma constante o de frecuencia constante a través del tiempo.
- b) Proceso distribución Gauss: La duración de este proceso es muy corta, comienza con una frecuencia baja y rápidamente se incrementa en forma exponencial hasta llegar a un máximo para luego decrecerse en la misma forma.
- c) Proceso Poisson: En forma inicial tiene una frecuencia bastante alta, para luego irse decrementando en forma exponencial con cierto amortiguamiento.
- d) Poisson truncada: Es muy similar al anterior su comportamiento, solo que a una escala mas baja.
- e) Proceso Gamma: En este existen 2 tipos de comportamiento, primero la frecuencia de descarga se incrementa en forma

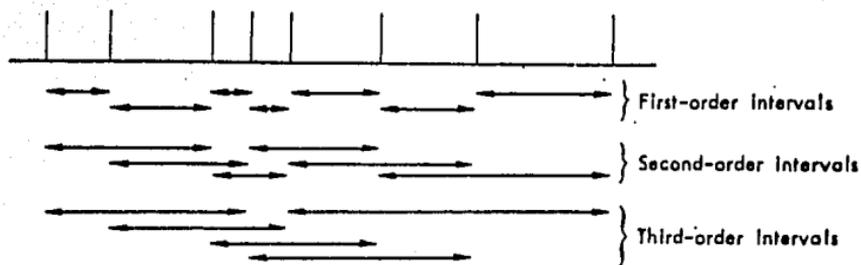


FIGURA 6.1

CÁLCULO DE INTERVALOS INTERESPIGA PARA HISTOGRAMAS DE AUTOCORRELACION.

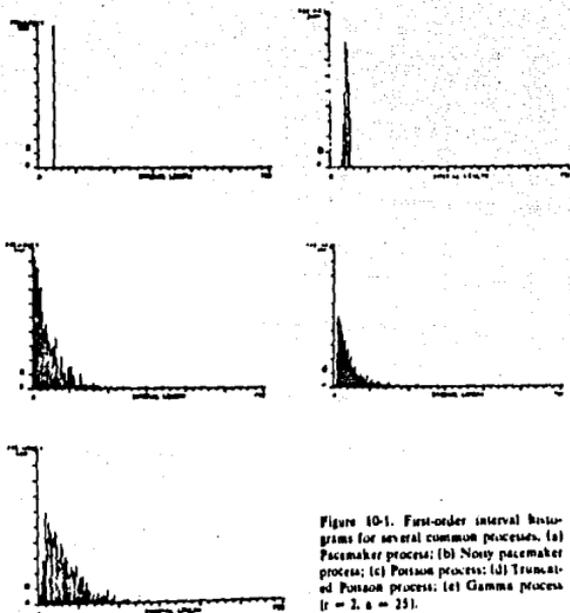


Figure 10-1. First-order interval histograms for several common processes. (a) Pacemaker process; (b) Noisy pacemaker process; (c) Poisson process; (d) Truncated Poisson process; (e) Gamma process ($r = 2, a = 25$).

FIGURA 6.2

HISTOGRAMA DE INTERVALOS DE FRECUENCIA DE PRIMER ORDEN PARA PROCESOS COMUNES.

a) Proceso Pacemaker; b) Distribución de Gauss; c) Proceso Poisson; d) Proceso Poisson truncado; e) Proceso Gamma.

exponencial en un tiempo muy corto, para luego decrementarse con cierto amortiguamiento.

Ademas de esto, tambien es posible crear histogramas de intervalos de frecuencia con una señal de disparo o señal de referencia, denominados histogramas de correlación cruzada. La figura 6.3 muestra la forma en como se crean estos histogramas. Se tiene una señal de referencia y en base a esta la medición de los intervalos se lleva a cabo tiempo antes de la señal y tiempo despues. La figura 6.4 es un ejemplo de un histograma de intervalos de frecuencia de correlación cruzada, la ventaja de este tipo de histogramas es que es posible estudiar la frecuencia de descarga con relación a otro fenomeno (señal de referencia).

Toda esta técnica de histogramas de intervalos obtenidos por computadora proporciona información importante sobre el sistema nervioso al investigador, el unico inconveniente es que el tiempo de muestreo es de 250 mS. a 10 S. como máximo, y esto es una limitante para procesos de larga duración.

6.2 Resultados.

Nuestro sistema tiene la capacidad para crear histogramas de frecuencia por segundo e histogramas de frecuencias por minuto para procesos de larga duración, 40 horas aproximadamente.

Se realizo el experimento de acuerdo a la técnica antes descrita, primeramente se procedio a introducir la señal al circuito de ventana, se fijaron los limites de discriminación y se obtuvo la señal deseada como un proceso puntual. Todo esto se puede apreciar en la figura 6.5, inmediatamente despues el micro comenzo a realizar la captura de datos, obteniendo primeramente el histograma de frecuencia por segundo de la figura 6.6. En esta ocasion el experimento tuvo una duración de 1 hora 38 minutos aproximadamente. La figura 6.7 muestra el histograma de frecuencias por minuto del mismo experimento, este histograma muestra el resumen de toda la actividad registrada en ese intervalo de tiempo. Al observar los histogramas podemos darnos cuenta que se aprecia en forma clara los cambios de frecuencia de la descarga sufridos a través del tiempo.

Por otro lado cabe mencionar que mas adelante al presente trabajo se le adicionara una parte complementaria para que el micro mande la información a una microcomputadora y de esta forma procesarla con un paquete de estadística.

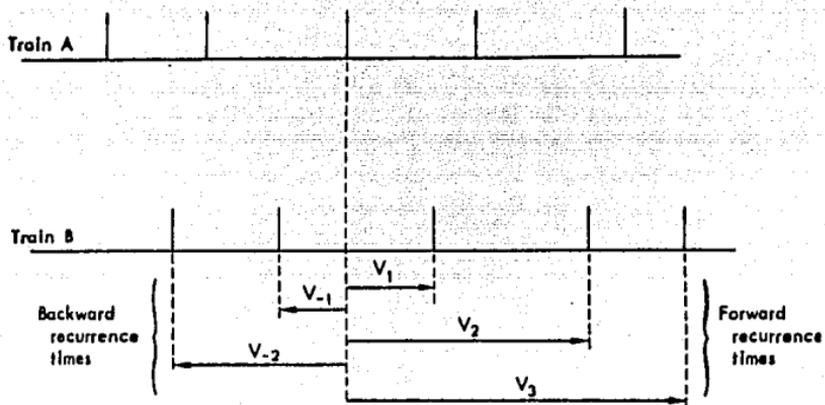


FIGURA 6.3

CALCULO DE INTERVALOS INTERESPIGA PARA HISTOGRAMAS DE CORRELACION CRUZADA.

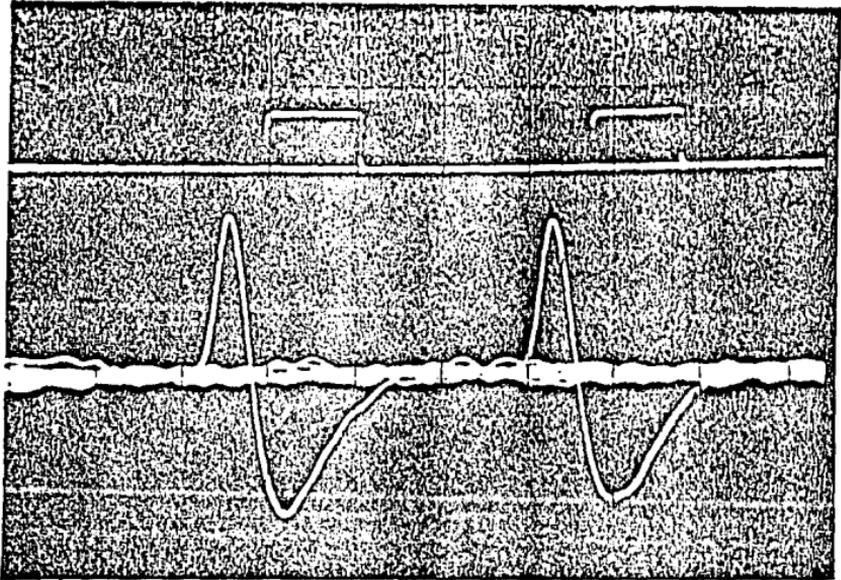


FIGURA 6.5

EJEMPLO DE LA DISCRIMINACION DE SEÑALES indeseables a través del circuito de ventana y conversión de esta a un pulso de 5V.

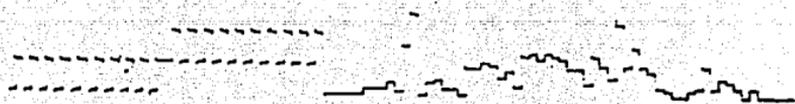


FIGURA 6.6
HISTOGRAMA DE FRECUENCIAS POR SEGUNDO.

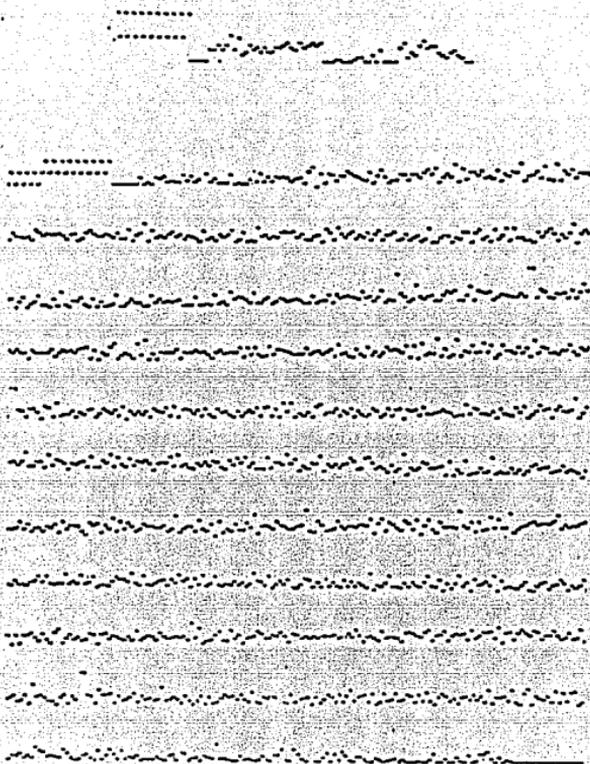


FIGURA 6.7
HISTOGRAMA DE FRECUENCIAS POR MINUTO.

CONFIDENTIAL

CONCLUSIONES

El desarrollo que ha alcanzado la electrónica en los últimos años ha contribuido notablemente al progreso de las ciencias. Es por esto que la optimización y acoplo de equipo existente contribuye aun mas al avance científico y tecnológico en sus diferentes ramas.

El sistema realizado hace el acoplo del equipo ya existente, haciendolo a su vez más funcional.

A partir de este sistema se puede obtener histogramas de intervalos de frecuencia, histogramas de frecuencia por segundo e histogramas de frecuencia por minuto, para la medición de la descarga neuronal.

Tiene gran versatilidad, pues aparte de la aplicación ya mencionada, también es factible medir con el mismo sistema cualquier señal bioeléctrica en frecuencia, o en su defecto obtener histogramas de variación de frecuencias debido a diversos procesos químicos inducidos en forma experimental.

Cabe hacer mención que el equipo existente (polígrafo, grabadora, osciloscopio, etc..) no puede realizar dicho análisis por si solo.

Otra ventaja del sistema construido es que tiene un costo mínimo, todos sus componentes se encuentran en el mercado nacional y por otro lado para la captura de datos de experimentos de larga duración no es necesario tener una microcomputadora esclavizada en tiempo.

PREVENCION I

DATOS DE

EQUIPO UTILIZADO

APENDICE I

OSCILOSCOPIO TEKTRONIC 5113

Este osciloscopio tiene la capacidad de trabajar una señal con un barrido de 20 div/ms durante una hora continua a la intensidad nominal en el display y por 10 horas, reduciendo dicha intensidad. Puede desplegar dos eventos en forma simultanea con una base de tiempo y amplitud común.

Este modelo es particularmente utilizado en el area biomédica donde las señales requieren ser memorizadas para ser observadas y grabadas.

Su rango de trabajo de frecuencias va desde DC hasta 1 Mhz.

Entrada maxima +/- 50 Vcd (+ pico AC)

Alimentación nominal 100, 110, 120, 200, 220, 240 V. a 48-440 Hz.

Posee 4 canales adicionales que puede ser utilizados simultaneamente.

PREAMPLIFICADOR DIFERENCIAL A-C P-15

El preamplificador P-15 es especializado para ser utilizado en el estudio de fenómenos bioelectricos como: Electroencefalograma (EEG), Electrocardiograma (ECG), Electromiograma (EMG), etc.

Sus aplicaciones particulares son para la medición de actividades de nervio, potenciales de acción muscular o registro intracelular.

Sus características son:

Entrada protegida para eliminar voltajes transitorios.

Ganancia maxima de 1000.

Respuesta en frecuencia de 0.1 Hz a 50 KHz.

Impedancia de entrada de 200 Mohms diferencial, con capacitancia acoplada.

Salida compatible con CRD, polígrafo, osciloscopio y sistemas de grabación de alta ganancia.

Maxima compensación capacitiva de 120 pf en un tiempo ajustable de 22 Usec.

Fuente de alimentación de +- 6V dc con +- 25 mA.

Posee además un ajuste manual de offset.

GRABADORA H.P. 3968A.

Esta grabadora posee 8 canales de grabación con 6 velocidades distintas a seleccionar.

Tiene la capacidad de grabar señales desde dc hasta 5 KHz. La grabación para señales de baja frecuencia la realiza modulandola en F.M. o grabación directa para señales con una frecuencia mayor de 64 KHz. Todo el control del funcionamiento es automático, por medio de servocontrol. Es compatible con TTL, puede trabajar en posición vertical u horizontal.

Utiliza cinta magnética de 1/4 de pulgada de ancho (AMPEX 797).

Las velocidades a las que trabaja son:

pasabanda Hz

15 ips	=	38.10 cm/seg	0.2-2500
7 1/2 ips	=	19.05 cm/seg	0.2-1250
3 3/4 ips	=	9.52 cm/seg	0.2-625
1 7/8 ips	=	4.75 cm/seg	0.2-312
15/16 ips	=	2.38 cm/seg	0.2-156
15/32 ips	=	1.19 cm/seg	0.2-78

Total de armónicos de distorsión para 15 ips < 1.25 %, para 15/32 ips < 2%.

Rango de entrada 1V a 30 V (p-p).

Impedancia de entrada 100 Kohms nominal.

Voltaje de salida 1 a 5 V (p-p).

Impedancia de salida 50 ohms.

POLIGRAFO GRASS 7B

Un polígrafo es un equipo que cuenta con varios módulos, como son: amplificadores, filtros, tanto para CD como para CA específicos para señales bioeléctricas. Todos estos módulos están conectados a una plumillas que tienen la capacidad de graficar la

o las señales de interés. Esta graficación se realiza solamente en un solo eje.

Tiene la capacidad de utilizar como máximo 20 canales.

Esta compuesto de un regulador de potencia, unidad de escritura y gabinetes para modulos de amplificación o filtros.

Unidad de escritura: Esta compuesta básicamente de plumillas las cuales son controladas en cuanto a deflexión por galvanómetros y tienen una resolución de 5 ms. Además posee un mecanismo de flujo de papel en forma continua, la velocidad de este flujo es variable dependiendo de el interés en graficación. Las distintas velocidades son:

100, 50, 25, 10, 5, 2.5, mm/seg y 100, 50, 25, 10, 5, 2.5 mm/min.

Cada plumilla tiene una deflexión máxima de 30 mm.

Respuesta en frecuencia 0-65 Hz.

1/2 amplitud frecuencia 90 Hz.

Resolución en amplitud 50:1

Histeresis 0.5 mm.

La fuente de alimentación esta compuesta de una alta regulación para dar estabilidad al mecanismo de operación del sistema, elimina ruido y trabaja de 105 a 130 Vac a 50-60 Hz.

Consumo de potencia nominal 74 W.

WWWEE I

WWWEE

WWWEE

WWWEE

APENDICE II

CIRCUITOS INTEGRADOS UTILIZADOS.

Enseguida se muestran los circuitos integrados utilizados en la parte de hardware, y sus datos técnicos, todos estos datos fueron tomados del manual de circuitos TTL y del de MOTOROLA.

recommended operating conditions

	54 FAMILY	SERIES 54			SERIES 54H			SERIES 54L			SERIES 54LS			SERIES 54S			UNIT
	74 FAMILY	SERIES 74			SERIES 74H			SERIES 74L			SERIES 74LS			SERIES 74S			
		'00, '04, '10, '20, '30			'00, '04, '10, '20, '30			'00, '04, '10, '20, '30			'00, '04, '10, '20, '30			'00, '04, '10, '20, '30			
		MIN	NOM	MAX													
Supply voltage, V _{CC}	54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
	74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	V
High-level output current, I _{OH}	54 Family	-400			-500			-100			-400			-1000			μA
	74 Family	-400			-500			-200			-400			-1000			μA
Low-level output current, I _{OL}	54 Family	16			20			2			4			20			mA
	74 Family	16			20			3.5			8			20			mA
Operating free-air temperature, T _A	54 Family	-55	125	-55	125	125	-55	125	-55	125	-55	125	-55	125	-55	125	°C
	74 Family	0	70	0	70	70	0	70	0	70	0	70	0	70	0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS†	SERIES 54	SERIES 54H	SERIES 54L	SERIES 54LS	SERIES 54S	UNIT						
			SERIES 74	SERIES 74H	SERIES 74L	SERIES 74LS	SERIES 74S							
			'00, '04, '10, '20, '30											
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{IH} High-level input voltage	1, 2		2	2	2	2	2	V						
V _{IL} Low-level input voltage	1, 2	54 Family	0.8	0.8	0.7	0.7	0.8	V						
		74 Family	0.8	0.8	0.7	0.8	0.8	V						
V _{IK} Input clamp voltage	3	V _{CC} = MIN, I _I = I	-1.5	-1.5	-1.5	-1.5	-1.2	V						
V _{OH} High-level output voltage	1	V _{CC} = MIN, I _{OH} = MAX, V _{IL} = V _{IL} max.	54 Family	2.4	3.4	2.4	3.5	2.4	3.3	2.5	3.4	2.5	3.4	V
		74 Family	2.4	3.4	2.4	3.5	2.4	3.7	2.7	3.4	2.7	3.4	V	
V _{OL} Low-level output voltage	2	V _{CC} = MIN, V _{IH} = 2V, I _{OL} = MAX	54 Family	0.2	0.4	0.2	0.4	0.15	0.3	0.25	0.4	0.5	0.5	V
		74 Family	0.2	0.4	0.2	0.4	0.2	0.4	0.25	0.5	0.5	0.5	V	
		Series 74LS							0.4					
I _I Input current at maximum input voltage	4	V _{CC} = MAX	V _I = 5.5V	1	1	0.1		1	mA					
		V _I = 7V				0.1			mA					
I _{IH} High-level input current	4	V _{CC} = MAX	V _{IH} = 2.4V	40	50	10		10	μA					
		V _{IH} = 2.7V					20	50	μA					
I _{IL} Low-level input current	5	V _{CC} = MAX	V _{IL} = 0.3V			-0.18			mA					
		V _{IL} = 0.4V	-1.6	-2		-0.4			mA					
		V _{IL} = 0.5V				-2			mA					
I _{OS} Short-circuit output current‡	8	V _{CC} = MAX	54 Family	-20	-55	-40	-100	-3	-15	-20	-100	-40	-100	mA
		74 Family	-18	-55	-40	-100	-3	-15	-20	-100	-40	-100	mA	
I _{CC} Supply current	7	V _{CC} = MAX	See table on next page											mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

§ I_I = -12 mA for SN54/74, -8 mA for SN54H/74H, and -18 mA for SN54L/74L and SN54S/74S.

* Not more than one output should be shorted at a time, and for SN54H/74H, SN54L/74L, and SN54S/74S, duration of short-circuit should not exceed 1 second.

TTL
MSI

TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93,
SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A,
SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

BULLETIN NO. DL 5 7611807, MARCH 1974--REVISED OCTOBER 1978

'90A, 'L90, 'LS90... DECADE COUNTERS

'92A, 'LS92... DIVIDE-BY-TWELVE
COUNTERS'93A, 'L93, 'LS93... 4-BIT BINARY
COUNTERS

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	20 mW
'LS90	45 mW
'92A, '93A	130 mW
'LS92, 'LS93	45 mW
'L93	16 mW

description

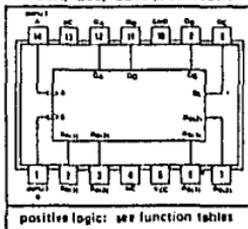
Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A, 'L90, and 'LS90, divide-by-six for the '92A and 'LS92, and divide-by-eight for the '93A, 'L93, and 'LS93.

All of these counters have a gated zero reset and the '90A, 'L90, and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, 'L90, or 'LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A .

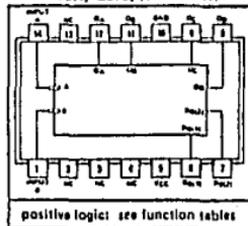
SN54', SN54LS'... J OR W PACKAGE
SN54L'... J OR T PACKAGE
SN54', SN74L', SN74LS'... J OR N PACKAGE

* '90A, 'L90, 'LS90 (TOP VIEW)



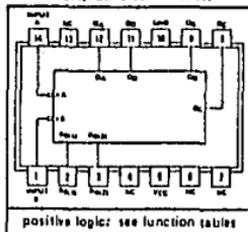
positive logic: see function tables

'92A, 'LS92 (TOP VIEW)



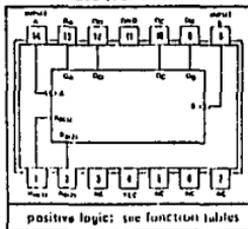
positive logic: see function tables

'93A, 'LS93 (TOP VIEW)



positive logic: see function tables

'L93 (TOP VIEW)



positive logic: see function tables

NC—No internal connection

SN7490A, '92A, '93A, SN74L90, 'L93, SN74LS90, 'LS92, 'LS93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

'90A, 'L90, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'L90, 'LS90
BI-DINARY (16-2)
(See Note B)

COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	H	L	L	L
5	H	L	L	H
6	H	L	H	L
7	H	L	H	H
8	H	H	L	L
9	H	H	L	H

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'93A, 'L93, 'LS93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

'90A, 'L90, 'LS90
RESET/COUNT FUNCTION TABLE

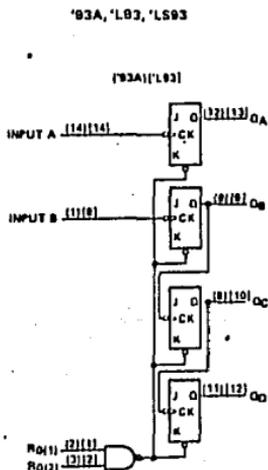
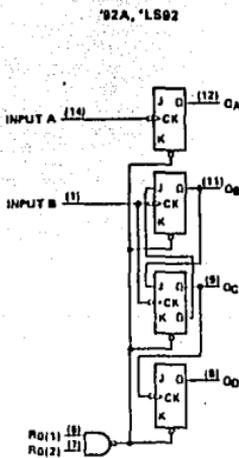
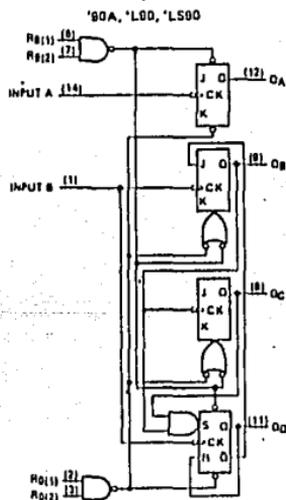
RESET INPUTS				OUTPUT			
R ₀₍₁₎	R ₀₍₂₎	R ₁₍₁₎	R ₁₍₂₎	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92, '93A, 'L93, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R ₀₍₁₎	R ₀₍₂₎	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

- NOTES: A. Output Q_A is connected to input B for BCD count.
 B. Output Q_D is connected to input A for bi-quinary count.
 C. Output Q_A is connected to input B.
 D. H = high level, L = low level, X = irrelevant

functional block diagrams

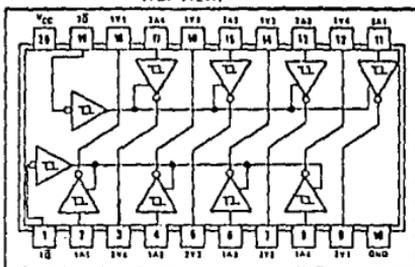


The J and K inputs shown without connection are for reference only and are functionally at a high level.

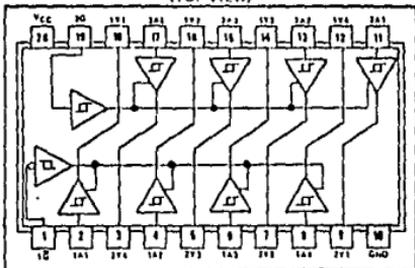
SN74LS240, SN74LS241, SN74LS244, SN74S240, SN74S241 OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

	Typical IOL (Sink Current)	Typical IOH (Source Current)	Typical Propagation Delay Times		Typical Enable/ Disable Times	Typical Power Dissipation (Enabled)	
			Inverting	Noninverting		Inverting	Noninverting
SN54LS*	12 mA	-12 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
SN74LS*	24 mA	-15 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
SN54S*	48 mA	-12 mA	4.5 ns	6 ns	9 ns	450 mW	530 mW
SN74S*	84 mA	-15 mA	4.5 ns	6 ns	9 ns	450 mW	630 mW

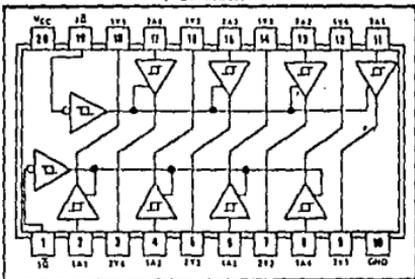
SN54LS240, SN54S240 ... J
SN74LS240, SN74S240 ... J OR N
(TOP VIEW)



SN54LS241, SN54S241 ... J
SN74LS241, SN74S241 ... J OR N
(TOP VIEW)



SN54LS244 ... J
SN74LS244 ... J OR N
(TOP VIEW)



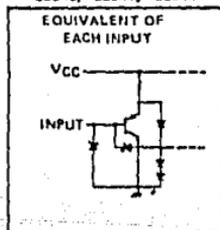
- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- P-N-P Inputs Reduce D-C Loading
- Hysteresis at Inputs Improves Noise Margins

description

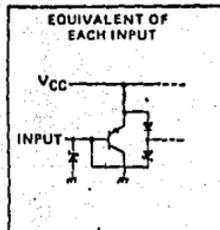
These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical \bar{G} (active-low output control) inputs, and complementary \bar{G} and \bar{G} inputs. These devices feature high fan-out, improved fan-in, and 400 mV noise-margin. The SN74LS* and SN74S* can be used to drive terminated lines down to 133 ohms.

schematics of inputs and outputs

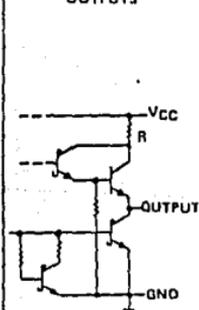
'LS240, 'LS241, 'LS244



'S240, 'S241



TYPICAL OF ALL OUTPUTS



'LS240, 'LS241, 'LS244;
R = 50 Ω NOM
'S240, 'S241;
R = 25 Ω NOM

TYPES SN54LS240, SN54LS241, SN54LS244, SN74LS240, SN74LS241, SN74LS244 BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

recommended operating conditions

PARAMETER	SN54LS*			SN74LS*			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC} (see Note 1)	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-12			-15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	-55		125	0		70	°C

NOTE 1: Voltage values are with respect to network ground terminal.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS*			SN74LS*			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH} High-level input voltage		2			2		V	
V_{IL} Low-level input voltage				0.7		0.8	V	
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$			-1.5		-1.5	V	
Hysteresis ($V_{T+} - V_{T-}$)	$V_{CC} = \text{MIN}$	0.2	0.4		0.2	0.4	V	
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OH} = -3 \text{ mA}$ $V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.5 \text{ V}, I_{OH} = \text{MAX}$	2.4	3.4		2.4	3.4	V	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OL} = 12 \text{ mA}$ $I_{OL} = 24 \text{ mA}$			0.4		0.4	V	
I_{OZH} Off-state output current, high-level voltage applied	$V_{CC} = \text{MAX}, V_{IH} = 2 \text{ V}$			20		20	μA	
I_{OZL} Off-state output current, low-level voltage applied	$V_{IL} = V_{IL \text{ max}}, V_O = 0.4 \text{ V}$			-20		-20	μA	
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 7 \text{ V}$			0.1		0.1	mA	
I_{IH} High-level input current, any input	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$			20		20	μA	
I_{IL} Low-level input current	$V_{CC} = \text{MAX}, V_{IL} = 0.4 \text{ V}$			-0.2		-0.2	mA	
I_{OS} Short-circuit output current*	$V_{CC} = \text{MAX}$	-40		-225	-40	-225	mA	
I_{CC} Supply current	Outputs high	$V_{CC} = \text{MAX}$	All	17	27	17	27	mA
	Outputs low	'LS240		26	44	26	44	
	Outputs open	'LS241, 'LS244		27	46	27	46	
		'LS240		29	50	29	50	
	All outputs disabled	'LS241, 'LS244		32	54	32	54	

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

† All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

‡ Not more than one output should be shorted at a time, and duration of the short circuit should not exceed one second.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	'LS240			'LS241, 'LS244			UNIT	
		MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH} Propagation delay time, low-to-high-level output	$C_L = 45 \text{ pF}, R_L = 687 \Omega,$ See Note 2		9	14		12	18	ns	
t_{PHL} Propagation delay time, high-to-low-level output			12	18		12	18	ns	
t_{PZL} Output enable time to low level				20	30		20	30	ns
t_{PZH} Output enable time to high level				15	23		15	23	ns
t_{PLZ} Output disable time from low level		$C_L = 5 \text{ pF}, R_L = 667 \Omega,$ See Note 2		15	25		15	25	ns
t_{PHZ} Output disable time from high level			10	18		10	18	ns	

NOTE 2: Load circuit and voltage waveforms are shown on page 3-11.

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS363 and SN74LS364 Are Similar But Have Higher V_{OH} For MOS Interface

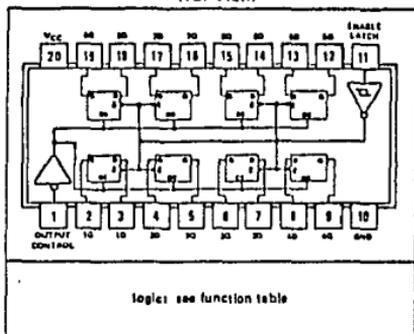
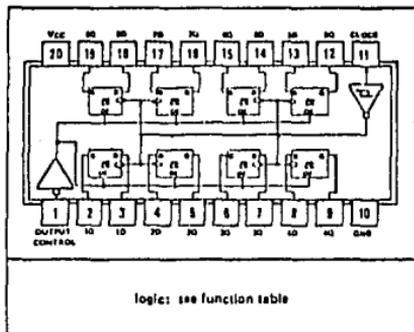
'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_Q
H	X	X	Z

'LS374, 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_Q
H	X	X	Z

See explanation of function tables on page 1-13.

SN54LS373, SN54S373 ... J PACKAGE
SN74LS373, SN74S373 ... J OR N PACKAGE
(TOP VIEW)SN54LS374, SN54S374 ... J PACKAGE
SN74LS374, SN74S374 ... J OR N PACKAGE
(TOP VIEW)

description

These 8-bit registers feature totem-pole three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

TYPES SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

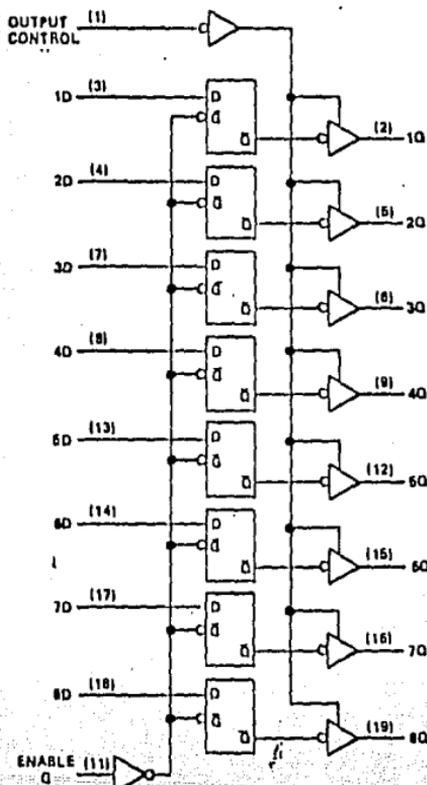
description (continued)

The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

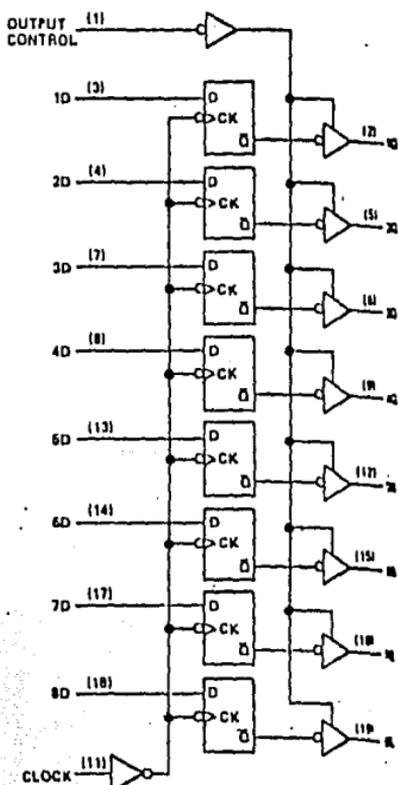
Schmitt-trigger buffered inputs at the enable/clock lines simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

'LS373, 'S373
TRANSPARENT LATCHES



'LS374, 'S374
POSITIVE-EDGE-TRIGGERED FLIP-FLOPS



APÉNDICE III

CONDICIONES DE

EFECTIVIDAD Y TIEMPO

DE EJECUCIÓN

DE LA CPU

APENDICE III

CODIGOS DE OPERACION Y TIEMPOS DE EJECUCION DE LAS INSTRUCCIONES DE LA CPU Z-80.

Las tablas siguientes son una síntesis del conjunto de instrucciones de la CPU Z-80. Las instrucciones están ordenadas dentro de grupos, cada uno de los cuales ejecuta una clase determinada de instrucciones. En cada tabla aparece el Mnemónico en lenguaje ensamblador, una descripción simbólica del funcionamiento de la instrucción, el código de operación (op code) binario, así como los números de bytes, ciclos de máquina (M) y de estados T (periodos externos de reloj), necesarios para leer y ejecutar la instrucción.

Simbólico	Operación simbólica	Op-code 76 543 210	By-tes	Ciclos X	Ejec T	Comentarios
LD r, r'	r ← r'	01 r r'	1	1	4	r, r'. Reglat.
LD r, n	r ← n	00 r 110 ← n →	2	2	7	000 B 001 C
LD r, (HL)	r ← (HL)	01 r 110	1	2	7	010 D
LD r, (IX+d)	r ← (IX+d)	11 011 101 01 r 110 ← d →	3	5	19	011 E 100 H 101 L
LD r, (IY+d)	r ← (IY+d)	11 111 101 01 r 110 ← d →	3	5	19	111 A
LD (HL), r	(HL) ← r	01 110 r	1	2	7	
LD (IX+d), r	(IX+d) ← r	11 011 101 01 110 r ← d →	3	5	19	
LD (IY+d), r	(IY+d) ← r	11 111 101 01 110 r ← d →	3	5	19	<u>TABLA</u>
LD (HL), n	(HL) ← n	00 110 110 ← n →	2	3	10	<u>B.I</u>
LD (IX+d), n	(IX+d) ← n	11 011 101 00 110 110 ← d → ← n →	4	5	19	GRUPG DE CARGA DE 8 BITS
LD (IY+d), n	(IY+d) ← n	11 111 101 00 110 110 ← d → ← n →	4	5	19	
LD A, (BC)	A ← (BC)	00 001 010	1	2	7	
LD A, (DE)	A ← (DE)	00 011 010	1	2	7	
LD A, (nn)	A ← (nn)	00 111 010 ← n → ← n →	3	4	13	
LD (BC), A	(BC) ← A	00 000 010	1	2	7	
LD (DE), A	(DE) ← A	00 010 010	1	2	7	
LD (nn), A	(nn) ← A	00 110 010 ← n → ← n →	3	4	13	
LD A, I	A ← I	11 101 101 01 010 111	2	2	9	
LD A, R	A ← R	11 101 101 01 011 111	2	2	9	
LD I, A	I ← A	11 101 101 01 000 111	2	2	9	
LD R, A	R ← A	11 101 101 01 001 111	2	2	9	

Nota : Las instrucciones LD A, I y LD A, R afectan a las siguientes banderas : en P colocan el contenido del flip-flop habilitador de interrupciones (IPP), en N y H colocan ceros, y S y Z quedan afectadas de acuerdo al resultado de la operación. Las demás instrucciones no afectan las banderas.

TABLA B.2 GRUPO DE CARGA DE 16 BITS

Mnemónico	Operación simbólica	Op - code			By-tes	Ciclos		Est.	Coment.
		76	543	210		M	T		
LD dd, nn	dd ← nn	00	dd0	00I	3	3	10	dd Par 00 BC 01 DE 10 HL 11 SP	
LD IX, nn	IX ← nn	11	011	10I	4	4	14		
LD IY, nn	IY ← nn	11	111	10I	4	4	14		
LD HL, (nn)	H ← (nn+I) L ← (nn)	00	101	010	3	5	16		
LD dd, (nn)	dd _H ← (nn+I) dd _L ← (nn)	11	101	10I	4	6	20		
LD IX, (nn)	IX _H ← (nn+I) IX _L ← (nn)	11	011	10I	4	6	20		
LD IY, (nn)	IY _H ← (nn+I) IY _L ← (nn)	11	111	10I	4	6	20		
LD (nn), HL	(nn+I) ← H (nn) ← L	00	100	010	3	5	16		
LD (nn), dd	(nn+I) ← dd _H (nn) ← dd _L	11	101	10I	4	6	20		
LD (nn), IX	(nn+I) ← IX _H (nn) ← IX _L	11	011	10I	4	6	20		
LD (nn), IY	(nn+I) ← IY _H (nn) ← IY _L	11	111	10I	4	6	20		

continúa

TABLA B.2 (Continuación)

Memónico	Operación simbólica	Op - code			By-tes	Ciclos		Est. T	Coment.
		76	543	2IO		M	T		
LD SP,HL	SP ← HL	II	III	OOI	1	1	6		
LD SP,IX	SP ← IX	II	OII	IOI	2	2	10		
LD SP,IY	SP ← IY	II	III	OOI	2	2	10		
		II	III	OOI					
PUSH qq	(SP-2) ← qq _L	II	qqO	IOI	1	3	II	OO BC	
	(SP-1) ← qq _H	II	OO	IOI					OI DE
PUSH IX	(SP-2) ← IX _L	II	OII	IOI	2	4	15	IO HL	
	(SP-1) ← IX _H	II	IOO	IOI					II AF
PUSH IY	(SP-2) ← IY _L	II	III	IOI	2	4	15		
	(SP-1) ← IY _H	II	IOO	IOI					
POP qq	qq _H ← (SP+1)	II	qqO	OOI	1	3	10		
	qq _L ← (SP)								
POP IX	IX _H ← (SP+1)	II	OII	IOI	2	4	14		
	IX _L ← (SP)	II	IOO	OOI					
POP IY	IY _H ← (SP+1)	II	III	IOI	2	4	14		
	IY _L ← (SP)	II	IOO	OOI					

Notas: dd es cualquiera de los pares de registros BC, DE, HL ó SP .

qq es cualquiera de los pares de registros AF, BC, DE y HL .

qq_H, qq_L se refiere a los 8 bits de mayor y menor peso respectivamente, del par de registros. Por ejemplo DE_H = D , DE_L = E .

Las instrucciones de la tabla B.2 (al igual que la mayoría de las de la tabla B.1) no afectan de ninguna manera a las banderas de estado, del microprocesador Z-80 .

PUSH coloca SP := SP-2 .

POP coloca SP := SP+2 .

TABLA B.3 GRUPO DE INTERCAMBIO, TRANSPERENCIA Y BUSQUEDA DE BLOQUES

Mnemónico	Operación simbólica	Bandas				Op - code			By	Ciclos		Est.	Comentarios
		C	Z	V	N	76	543	210		tér	M		
EX DE, HL	DE ← HL	II	IOI	OII	I	I	4	Intercambio entre el grupo de registros y el grupo de regs. auxiliares
EX AP, AP'	AP ← AP'	00	OOI	000	I	I	4	
EXX	BC ← BC'	II	OII	OOI	I	I	4	
	DE ← DE'							
	HL ← HL'							
EX (SP), HL	H ← (SP+I)	II	I00	OII	I	5	19	
	L ← (SP)							
EX (SP), IX	IX _H ← (SP+I)	II	OII	IOI	2	6	23	
	IX _L ← (SP)	II	I00	OII				
EX (SP), IY	IY _H ← (SP+I)	II	III	IOI	2	6	23	
	IY _L ← (SP)	II	I00	OII				
LDI	(DE) ← (HL)	.	.	a	.	0	II	IOI	IOI	2	4	16	Cargar (HL) en (DE), incrementar HL y DE, y decrementar BC.
	DE ← DE+I	.	.				IO	I00	000				
	HL ← HL+I	.	.										
	BC ← BC-I	.	.										
LDIR	(DE) ← (HL)	.	.	0	.	0	II	IOI	IOI	2	5	21	Si BC ≠ 0
	DE ← DE+I	.	.				IO	I10	000	2	4	16	Si BC = 0
	HL ← HL+I	.	.										
	BC ← BC-I	.	.										
LDD	Repetir hasta BC = 0	.	.										
	(DE) ← (HL)	.	.	a	.	0	II	IOI	IOI	2	4	16	
	DE ← DE-I	.	.				IO	IOI	000				
	HL ← HL-I	.	.										
LDDR	BC ← BC-I	.	.										
	(DE) ← (HL)	.	.	0	.	0	II	IOI	IOI	2	5	21	Si BC ≠ 0
	DE ← DE-I	.	.				IO	III	000	2	4	16	Si BC = 0
	HL ← HL-I	.	.										
CPI	BC ← BC-I	.	.										
	Repetir hasta BC = 0	.	.										
	A ← (HL)	.	b	a	%	I %	II	IOI	IOI	2	4	16	
	HL ← HL+I	.	.				IO	I00	OOI				

Continúa

TABLA B.3 (Continuación)

Mnemónico	Operación simbólica	Banderas					Op - code			By tEs	Ciclos M	Est T	Comentarios	
		C	Z	P/V	S	N	H	76	543					2IO
CPIR	A ← (HL)	.	b	a	%	I	%	II	IOI	IOI	2	5	2I	Si BC≠0 y A≠(HL)
	HL ← HL+I BC ← BC-I Repetir hasta A=(HL) ó BC=0 .							IO	IIO	OOI	2	4	I6	Si BC=0 ó A=(HL)
CPIR	A ← (HL)	.	b	a	%	I	%	II	IOI	IOI	2	4	I6	
	HL ← HL-I BC ← BC-I							IO	IOI	OOI				
CPDR	A ← (HL)	.	b	a	%	I	%	II	IOI	IOI	2	5	2I	Si BC≠0 y A≠(HL)
	HL ← HL-I BC ← BC-I Repetir hasta A = (HL) ó BC = 0 .							IO	III	OOI	2	4	I6	Si BC=0 ó A=(HL)

Notas: a LA bandera P/V es 0 si el resultado de BC-I es cero, de lo contrario P/V = I
 b LA bandera Z es I si A = (HL) , de lo contrario Z = 0

Notación de las banderas :

- . Bandera no afectada
- 0 Bandera colocada a cero
- I Bandera colocada a uno
- X Bandera desconocida
- % La bandera queda afectada de acuerdo con el resultado de la operación

TABLA B.4 GRUPO ARITMETICO Y LOGICO DE 8 BITS

Mnemónico	Operación simbólica	Banderas						Op - code		By	Ciclo	Est.	Comentarios	
		C	Z	P/V	S	N	H	75	5.13					2IC
ADD r	$A \leftarrow A+r$	%	%	V	%	0	%	10	000	r	1	1	4	r Reg.
ADD n	$A \leftarrow A+n$	%	%	V	%	0	%	11	000	IIO	2	2	7	000 B 001 C
ADD (HL)	$A \leftarrow A+(HL)$	%	%	V	%	0	%	10	000	IIO	1	2	7	010 D
ADD (IX+d)	$A \leftarrow A+(IX+d)$	%	%	V	%	0	%	11	011	IOI	3	5	19	011 E 100 H 101 L
ADD (IY+d)	$A \leftarrow A+(IY+d)$	%	%	V	%	0	%	11	111	IOI	3	5	19	111 A
ADC s	$A \leftarrow A+s+CY$	%	%	V	%	0	%	001						s es cualquiera de r, n,
SUB s	$A \leftarrow A-s$	%	%	V	%	1	%	010						(HL), (IX+d), (IY+d), como se muestra en la instrucción ADD.
SBC s	$A \leftarrow A-s-CY$	%	%	V	%	1	%	011						Los bits indicados reemplazan el 000 en el grupo ADD anterior.
AND s	$A \leftarrow A \wedge s$	0	%	P	%	0	%	100						
OR s	$A \leftarrow A \vee s$	0	%	P	%	0	%	110						
XOR s	$A \leftarrow A \oplus s$	0	%	P	%	0	%	101						
CP s	$A - s$	%	%	V	%	1	%	111						
INC r	$r \leftarrow r+1$.	%	V	%	0	%	00	r	100	1	1	4	
INC (HL)	$(HL) \leftarrow (HL)+1$.	%	V	%	0	%	00	IIO	100	1	3	11	
INC (IX+d)	$(IX+d) \leftarrow (IX+d)+1$.	%	V	%	0	%	11	011	IOI	3	6	23	
INC (IY+d)	$(IY+d) \leftarrow (IY+d)+1$.	%	V	%	0	%	00	IIO	100				
DEC d	$d \leftarrow d-1$.	%	V	%	1	%	11	111	IOI	3	6	23	
								00	IIO	100				d es cualquiera de r, (HL), (IX+d), (IY+d), como se muestra para INC. Mismo formato y estados que para INC. Reemplazar 100 con 101 en el código de operación.

Notas: El símbolo V en la columna de la bandera P/V señala que la bandera P/V contiene el sobrepasamiento del resultado de la operación. Similarmente el símbolo P indica paridad, V = 1 indica sobrepasamiento, V = 0 indica que no hay sobrepasamiento, P = 1 significa paridad si el resultado es par, P = 0 significa paridad si el resultado es impar.

Notación de las banderas :

- . Bandera no afectada
- 0 Bandera colocada a cero
- 1 Bandera colocada a uno
- X Bandera desconocida
- % La bandera queda afectada de acuerdo con el resultado de la operación

TABLA B.5 GRUPO ARITMETICO Y DE CONTROL DE LA CPU DE APLICACION GENERAL

Mnemónico	Operación simbólica	Banderas						Op - code			By bits	Ciclos		Est. T	Comentarios	
		C	Z	V	S	N	H	76	543	210		M	T			
DAA	Convierte el contenido de A a ECD empaquetado siguiendo a la suma o resta con operandos empaquetados.	%	%	P	%	.	%	00	100	III	I	I	4	Ajuste decimal del acumulador		
CPL	$A \leftarrow \bar{X}$	I	I	00	101	III	I	I	4	Complementa A (complemento a 1)
NEG	$A \leftarrow 0-A$	%	%	V	%	I	%	II	101	101	2	2	8	Complemento a 2		
SCF	$CY \leftarrow I$	I	.	.	.	0	0	00	110	III	I	I	4	Pone a 1 la bandera de acarreo		
NOP	no operación.	00	000	000	I	I	4			
HALT	CPU parada.	01	110	110	I	I	4			
DI	$IFP \leftarrow 0$	II	110	011	I	I	4			
EI	$IFP \leftarrow I$	II	111	011	I	I	4			
IM 0		II	101	101	2	2	8	Coloca el modo 0 de interrupción		
IM 1		II	101	101	2	2	8	Coloca el modo 1 de interrupción		
IM 2		II	101	101	2	2	8	Coloca el modo 2 de interrupción.		
CCF	$CY \leftarrow \bar{CY}$	%	.	.	.	0	X	00	111	111	I	I	4	Complementa la bandera de acarreo		

Notas: IFP indica el flip-flop habilitador de interrupciones
CY indica la bandera de acarreo

Notación de las banderas :

- . Bandera no afectada.
- 0 Bandera colocada a cero
- I Bandera colocada a uno
- X Bandera desconocida
- % La bandera queda afectada de acuerdo con el resultado de la operación .

TABLA B.6 GRUPO ARITMETICO DE 16 BITS

Mnemónico	Operación simbólica	Banderas						Op - code			By tés	Ciclos		Edo. T	Comentarios
		C	Z	P	V	S	N	H	76	543		210	M		
ADD HL,ss	HL ← HL+ss	%	.	.	.	0	X	00	ssI	OOI	I	3	II	ss Reg. OO BC	
ADC HL,ss	HL ← HL+ss+CY	%	%	V	0	0	X	II	IOI	IOI	2	4	I5	OI DE IO HL	
SBC HL,ss	HL ← HL-ss-CY	%	%	V	%	I	X	II	IOI	IOI	2	4	I5	II SP	
ADD IX,pp	IX ← IX+pp	%	.	.	.	0	X	II	OII	IOI	2	4	I5	pp Reg. OO BC OI DE IO IX II SP	
ADD IY,rr	IY ← IY+rr	%	.	.	.	0	X	II	III	IOI	2	4	I5	rr Reg. OO BC OI DE IO IY II SP	
INC ss	ss ← ss+I	00	ss0	OII	I	I	6		
INC IX	IX ← IX+I	II	OII	IOI	2	2	IO		
INC IY	IY ← IY+I	II	III	IOI	2	2	IO		
DEC ss	ss ← ss-I	00	ssI	OII	I	I	6		
DEC IX	IX ← IX-I	II	OII	IOI	2	2	IO		
DEC IY	IY ← IY-I	II	III	IOI	2	2	IO		

Notas: ss es cualquiera de los pares de registros BC,DE,HL,SP
pp es cualquiera de los pares de registros BC,DE,IX,SP
rr es cualquiera de los pares de registros BC,DE,IY,SP

Notación de las banderas:

- . Bandera no afectada
- 0 Bandera colocada a cero
- I Bandera colocada a uno
- X Bandera desconocida
- % La bandera queda afectada de acuerdo con el resultado de la operación.

TAULA B.7 GRUPO DE ROTACION Y DESPLAZAMIENTO

Mnemónico	Operación simbólica	Banderas					Op - code			By tEs	Ciclos		Ert.	Comentarios
		C	Z	V	S	H	76	543	210		M	T		
RLCA		X	.	.	.	0	0	00 000	III	I	I	4	Rotación izquierda circular de A	
RLA		X	.	.	.	0	0	00 010	III	I	I	4	Rotación izquierda de A	
RRCA		X	.	.	.	0	0	00 001	III	I	I	4	Rotación circular derecha de A	
RRA		X	.	.	.	0	0	00 011	III	I	I	4	Rotación derecha del acumulador	
RLC		X	X	P	X	0	0	11 001 011		2	2	8	Rotación izquierda circular de r	
RLC (HL)		X	X	P	X	0	0	11 001 011		2	4	15	r Reg.	
RLC (IX+d)		X	X	P	X	0	0	00 000 110		4	6	23	000 B 001 C 010 D 011 E 100 H 101 L 111 A	
RLC (IY+d)		X	X	P	X	0	0	11 111 101		4	6	23		
RLA		X	X	P	X	0	0	010		es cualquiera de los registros r, (HL), (IX+d), (IY+d).				
RLC		X	X	P	X	0	0	001						
RRC		X	X	P	X	0	0	011		El formato de la instrucción y estados es como se muestra para RLC. Para formar un nuevo código de operación reemplazar 000 por en RLC con el código mostrado.				
SLA		X	X	P	X	0	0	100						
SRA		X	X	P	X	0	0	101						
SRL		X	X	P	X	0	0	111						
RLD		X	X	P	X	0	0	11 101 101		2	5	18	Rotación de depósito a la izquierda y derecha entre el acumulador y la porción (HL). El contenido de la mitad alta del acumulador no queda afectado.	
RRD		X	X	P	X	0	0	11 101 101		2	5	18		

Notas: Los números de bytes, ciclos M y estados T de la instrucción RLD son los mismos que los de la instrucción RLC. La notación de las banderas es la misma que en las tablas anteriores.

TABLA B.8 GRUPO DE PONER, LIMPIAR Y PROBAR UN BIT

Mnemónico	Operación simbólica	Banderas						Op - code			By tes	Ciclos M	Est. T	Comentarios
		Z	P	V	S	N	II	76	543	210				
BIT b,r	$Z \leftarrow r_b$.	%	X	X	0	I	II	OOI	OII	2	2	8	r Rec. 000 B
BIT b,(HL)	$Z \leftarrow (HL)_b$.	%	X	X	0	I	II	OOI	OII	2	3	12	OOI C
								OI	b	IIO				OIO D
BIT b,(IX+d)	$Z \leftarrow (IX+d)_b$.	%	X	X	0	I	II	OII	IOI	4	5	20	OII E
								II	OOI	OII				IOO H
								$\leftarrow d \rightarrow$						IOI L
								OI	b	IIO				III A
BIT b,(IY+d)	$Z \leftarrow (IY+d)_b$.	%	X	X	0	I	II	III	IOI	4	5	20	b Bit 000 0
								II	OOI	OII				OOI I
								$\leftarrow d \rightarrow$						OIO 2
								OI	b	IIO				OII 3
SET b,r	$r_b \leftarrow I$	II	OOI	OII	2	2	8	OIO 4
SET b,(HL)	$(HL)_b \leftarrow I$	II	b	r	2	4	15	IOO 4
								II	b	IIO				IOI 5
SET b,(IX+d)	$(IX+d)_b \leftarrow I$	II	OII	IOI	4	6	23	IIO 6
								II	OOI	OII				III 7
								$\leftarrow d \rightarrow$						
SET b,(IY+d)	$(IY+d)_b \leftarrow I$	II	b	IIO	4	6	23	
								II	III	IOI				
								II	OOI	OII				
RES b,s	$s_b \leftarrow 0$ $s = r, (HL), (IX+d), (IY+d)$	II	b	IIO	Para formar un nuevo código de operación reemplazar <u>II</u> de SET b,s por <u>IO</u> . Las banderas y números de bytes, ciclos M y estados T son los de la instrucción SET.			
								IO						

Nota : La notación s_b indica bit (0 a 7) de la posición s .

Notación de las banderas :

- . Bandera no afectada
- 0 Bandera colocada a cero
- I Bandera colocada a uno
- X Bandera desconocida
- % La bandera queda afectada de acuerdo con el resultado de la operación .

TABLA B.9 GRUPO DE SALTO (JUMP)

Mnemónico	Operación simbólica	Op - code		By	Ciclos		Est.	Comentarios
		76 543 210	tor		M	T		
JP nn	PC ← nn	II 000	OII	3	3	10	cc Condición	
		← n	→				000 NZ no cero	
		← n	→				001 Z cero	
JP cc, nn	Si la condición es cierta PC ← nn, de lo contrario continuar.	II cc	OIO	3	3	10	OIO NC no acarreo	
		← n	→				OII C acarreo	
		← n	→				I00 PO paridad impar	
		← n	→				IOI PE paridad par	
JR e	PC ← PC+e	00 OII	OOO	2	3	I2	IIO P signo positivo	
		← e-2	→				III M signo negativo	
JR C, e	Si C=0 continuar.	00 III	OOO	2	2	7	Si no cumplió condición.	
		← e-2	→					
JR C, e	Si C=I PC ← PC+e.	← e-2	→	2	3	I2	Si cumplió la condición.	
JR NC, e	Si C=I continuar.	00 IIO	OOO	2	2	7	Si no cumplió condición.	
		← e-2	→					
JR NC, e	Si C=0 PC ← PC+e.	← e-2	→	2	3	I2	Si cumplió la condición.	
JR Z, e	Si Z=0 continuar.	00 IOI	OOO	2	2	7	Si no cumplió condición.	
		← e-2	→					
JR Z, e	Si Z=I PC ← PC+e.	← e-2	→	2	3	I2	Si cumplió la condición.	
JR NZ, e	Si Z=I continuar.	00 IOO	OOO	2	2	7	Si no cumplió condición.	
		← e-2	→					
JR NZ, e	Si Z=0 PC ← PC+e.	← e-2	→	2	3	I2	Si cumplió la condición.	
JP (HL)	PC ← HL	II IOI	OII	I	I	4		
JP (IX)	PC ← IX	II OII	IOI	2	2	8		
		II IOI	OII					
JP (IY)	PC ← IY	II III	IOI	2	2	8		
		II IOI	OII					
DJNZ e	B ← B-I	00 OIO	OOO	2	2	8	Si B = 0 .	
	Si B=0 continuar.	← e-2	→					
	Si B≠0 PC ← PC+e.			2	3	I3	Si B ≠ 0 .	

Notas : Todas las instrucciones de este grupo no afectan las banderas.

e representa la extensión en el modo de direccionamiento relativo, y es un número con signo en complemento a dos en el rango de -126 a 129 .

e-2 en el op-code proporciona una dirección efectiva de PC+e mientras PC es incrementado de 2 antes de la suma de e .

TABLA B.10 GRUPO DE LLAMADAS Y RETORNOS

Mnemónico	Operación simbólica	Op - code			By tEs	Ciclos		Est. T	Comentarios
		76	543	210		M	T		
CALL nn	(SP-1) ← PC _H	II	OOI	IOI	3	5	I7		
	(SP-2) ← PC _L		← n →						
CALL cc,nn	PC ← nn		← n →						
	SP ← SP-2								
	Si la condición cc es falsa con tinuar, de lo contrario lo mis mo que CALL nn.	II cc	IOO		3	3	I0	Si cc es falsa	
			← n →						
			← n →		3	5	I7	Si cc es verdadera	
RET	PC _L ← (SP)	II	OOI	OOI	I	3	I0		
	PC _H ← (SP+1)								
	SP ← SP+2								
RET cc	Si la condición cc es falsa con tinuar, de lo contrario lo mis mo que RET .	II cc	OOO		I	I	5	Si cc es falsa	
					I	3	II	Si cc es verdadera	
								cc Condición	
RETI	Retorno de una interrupción.	II	IOI	IOI	2	4	I4	OOO NZ no cero	
		OI	OOI	IOI				OOI Z cero	
RETN	Retorno de una interrupción no enmascarada.	II	IOI	IOI	2	4	I4	OIO NC no acarreo	
		CI	OOO	IOI				OII C acarreo	
								IOO PO paridad impar	
								OIO PE paridad par	
								OIO P signo positivo	
								OII N signo negativo	
RST p	(SP-1) ← PC _H	II	t	III	I	3	II	t P	
	(SP-2) ← PC _L							OOO OOH	
	PC _H ← 0							OOI O8H	
	PC _L ← p							OIO IOH	
	SP ← SP-2							OII I8H	
								IOO 20H	
								OIO 28H	
								OIO 30H	
								OII 38H	

Nota : Todas las instrucciones de este grupo no afectan a las banderas.

TABLA 2. II GRUPO DE ENTRADA (INPUT) Y SALIDA (OUTPUT)

Operación simbólica	Operación	Banderas					Op - code			By tes	Ciclos	Ecu. T	Comentarios	
		C	Z	P	S	O	76	543	210					
IN A, (n)	A ← (n)	II	OII	OII	2	3	10	n a A ₀ - A ₇ Acc a A ₈ - A ₁₅	
IN r, (C)	r ← (C) Si r=IOO, so- lamente que dan afecta- das las ban- deras.	.	%	P	%	O	%	II	IOI	IOI	2	3	11	C a A ₀ - A ₇ B a A ₈ - A ₁₅
INI	(HL) ← (C) B ← B-I HL ← HL+I	.	a	X	X	I	X	II	IOI	IOI	2	4	15	C a A ₀ - A ₇ B a A ₈ - A ₁₅
INIR	(HL) ← (C) B ← B-I HL ← HL+I Repetir has- ta que B=0	.	I	X	X	I	X	II	IOI	IOI	2	5	20	C a A ₀ - A ₇ B a A ₈ - A ₁₅
IND	(HL) ← (C) B ← B-I HL ← HL-I	.	a	X	X	I	X	II	IOI	IOI	2	4	15	C a A ₀ - A ₇ B a A ₈ - A ₁₅
INDR	(HL) ← (C) B ← B-I HL ← HL-I Repetir has- ta que B=0.	.	I	X	X	I	X	II	IOI	IOI	2	5	20	C a A ₀ - A ₇ B a A ₈ - A ₁₅
OUT (n), A	(n) ← A	II	OIO	OII	2	3	11	n a A ₀ - A ₇ Acc a A ₈ - A ₁₅
OUT (C), r	(C) ← r	II	IOI	IOI	2	3	12	C a A ₀ - A ₇ B a A ₈ - A ₁₅
OUTI	(C) ← (HL) B ← B-I HL ← HL+I	.	e	X	X	I	X	II	IOI	IOI	2	4	15	C a A ₀ - A ₇ B a A ₈ - A ₁₅
OTIR	(C) ← (HL) B ← B-I HL ← HL+I Repetir has- ta que B=0	.	I	X	X	I	X	II	IOI	IOI	2	5	20	C a A ₀ - A ₇ B a A ₈ - A ₁₅
OUTD	(C) ← (HL) B ← B-I HL ← HL-I	.	%	X	X	I	X	II	IOI	IOI	2	4	15	C a A ₀ - A ₇ B a A ₈ - A ₁₅
OTDR	(C) ← (HL) B ← B-I HL ← HL-I Repetir has- ta que B=0	.	I	X	X	I	X	II	IOI	IOI	2	5	20	C a A ₀ - A ₇ B a A ₈ - A ₁₅

Notas: a. Si el resultado de B-I es cero el indicador Z se coloca a 1, de lo contrario a cero. La notación de las banderas es la misma que en las tablas anteriores

WORLD W

WORLD W

WORLD

APENDICE IV

MANUAL DEL USUARIO

El manejo del sistema implementado es muy básico, toda la parte de circuitaría se encuentra en un modulo el cual tiene dos conectores;

1) fuente de alimentación y 2) conector de puerto.

Despues de hacer las correspondientes conexiones en la parte del microprocesador Z-80 se le indica que corra alguna de las rutinas que interesen en ese caso. La distribución de dichas rutinas se muestra enseguida:

RUTINA	DIRECCION
captura de datos y obtención del histograma de frecuencias por segundo.	1000-1140H
Obtención del histograma de frecuencias por minuto.	1150-11C0H

El procedimiento de inicio es el siguiente:

Se realizan las conexiones necesarias, conector de fuente de alimentación, conector de puerto del micro, conector de señal de entrada y conector de señal de salida.

Se procede a seleccionar la señal de interés mediante el circuito de ventana, ya que se realizó esta parte y en consecuencia la señal de interés esta convertida en un pulso cuadrado se procede a indicarle al micro la rutina a ejecutar, si es la de frecuencia por segundo se indica la instrucción 80 y la dirección 113AH y en forma automática el sistema manda primero unos pulsos de calibración al graficador para despues realizar la captura de datos e ir haciendo el respectivo histograma, el tiempo de funcionamiento del sistema depende del interés del experimento, o sea que el operador suspende a placer el funcionamiento de dicho sistema. Si además se quiere el histograma de frecuencias por minuto para resumir la actividad estudiada, entonces se le indica al micro la instrucción 80 11ABH y entonces se tendrá dicho histograma, el micro al vaciar el último dato promediado en forma automática pará.

BIBLIOGRAFIA

BIBLIOGRAFIA

NEUROMUSCULAR TRANSMISSION
Steinbach y C.F. Stevens
Verlag

GATING IN SODIUM CHANNELS OF NERVE
Bertil Hille
Annual review of Physiology

THE HUMAN NERVIOS SYSTEM
Barr, HARPER

Z-80 CPU Technical Manual
Zilog

EMULADOR DEL MICROPROCESADOR Z-80
Ramon Ruiz Lopez (tesis).

INSTRUMENTATION FOR SCIENCES, DIGITAL AND ANALOG DATA
CONVERSIONS.
H.V. Malmtadt, C.G. Enke

MANUAL TTL

MANUAL MOTOROLA