

21  
24



**Universidad Nacional Autónoma de México**

**Escuela Nacional de Estudios Profesionales  
ARAGON**

**DISEÑO OPTIMO  
DE REDES AMORTIGUADORAS  
PARA TRANSISTORES BIPOLARES  
DE POTENCIA  
EN INVERSORES**

**T E S I S**

Para obtener el Título de:  
**INGENIERO MECANICO ELECTRICISTA**

presenta

**EUSEBIO RAMIREZ GOMEZ**

San Juan de Aragón, Edo. de Méx.

1988

**TESIS CON  
FALTA DE ORIGEN**



Universidad Nacional  
Autónoma de México



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE

INDICE . . . . .	i
INTRODUCCION GENERAL . . . . .	1
CAPITULO I.- OPERACION DEL TBJ EN REGIMEN DE CONMUTACION	
I.1	INTRODUCCION. . . . . I-1
I.2	CARACTERISTICAS DEL REGIMEN DE CONMUTACION. . . . . I-3
I.2.1	DESCRIPCION DEL ENCENDIDO. . . . . I-5
I.2.2	DESCRIPCION DEL APAGADO. . . . . I-6
I.3	TIEMPOS DE CONMUTACION. . . . . I-8
I.4	ANALISIS DE PERDIDAS. . . . . I-11
I.4.1	PERDIDAS CON CARGA RESISTIVA. . . . . I-11
I.4.2	PERDIDAS CON CARGA INDUCTIVA. . . . . I-16
I.4.3	ASPECTOS TERMICOS. . . . . I-18
I.5	SEGUNDA RUPTURA. . . . . I-20
I.5.1	ANTECEDENTES. . . . . I-20
I.5.2	CARACTERISTICAS DE LA SEGUNDA RUPTURA. . . . . I-22
I.5.3	CLASIFICACION. . . . . I-24
I.5.4	SEGUNDA RUPTURA CON POLARIZACION DIRECTA. . . . . I-24
I.5.5	SEGUNDA RUPTURA EN POLARIZACION INVERSA. . . . . I-28
I.6	AREAS SEGURAS DE OPERACION. . . . . I-33
I.6.1	DEFINICION.- . . . . I-33
I.6.2	AREA SEGURA DE OPERACION CON POLARIZACION DIRECTA. . . . . I-34
I.6.3	AREA SEGURA DE OPERACION CON POLARIZACION INVERSA. . . . . I-36
I.7	REQUISITOS PARA LA RED AMORTIGUADORA. . . . . I-38
CAPITULO II.- SELECCION DE LA RED AMORTIGUADORA	
II.1	PRINCIPIO DE OPERACION DE LOS INVERSORES. . . . . II-1
II.2	DESCRIPCION DE REDES AMORTIGUADORAS. . . . . II-5
II.2.1	DEFINICION. . . . . II-5
II.2.2	FUNCIONES DE UNA RED. . . . . II-5
II.2.3	CLASIFICACION GENERAL. . . . . II-11
II.2.4	TIPOS DE REDES. . . . . II-13
II.3	COMPARACION ENTRE REDES. . . . . II-40
II.4	SELECCION DE LA RED AMORTIGUADORA. . . . . II-48

### CAPITULO III.- ANALISIS Y DISEÑO DE LA RED AMORTIGUADORA

III.1	INTRODUCCION . . . . .	III-1
III.2	ANALISIS DE LA RED. . . . .	III-1
III.3	ESTABLECIMIENTO DE LAS ECUACIONES DE DISEÑO. . . . .	III-10
III.3.1	RED DE APAGADO. . . . .	III-10
III.3.1.1	CALCULO DEL CAPACITOR. . . . .	III-11
III.3.2	RED DE ENCENDIDO. . . . .	III-14
III.3.2.1	CALCULO DE LA RESISTENCIA $R_s$ . . . . .	III-14
III.3.2.2	CALCULO DEL INDUCTOR $L_s$ . . . . .	III-18
III.3.2.3	CALCULO DE LA RESISTENCIA $R_{sL}$ . . . . .	III-19
III.4	ESPECIFICACIONES DE LOS ELEMENTOS DE LA RED. . . . .	III-25
III.4.1	ELECCION DE LA RESISTENCIA $R_s$ . . . . .	III-25
III.4.2	ELECCION DE LA RESISTENCIA $R_{sL}$ . . . . .	III-25
III.4.3	ELECCION DEL CAPACITOR $C_s$ . . . . .	III-27
III.5	ANALISIS DE LA EFICIENCIA DE LA RED. . . . .	III-37
III.5.1	UTILIZACION DE REDES GRANDES. . . . .	III-44
III.5.2	UTILIZACION DE REDES PEQUEÑAS. . . . .	III-48
III.6	EJEMPLOS DE DISEÑO. . . . .	III-52
III.6.1	REDES DEL INVERSOR MONOFASICO. . . . .	III-52
III.6.2	REDES DEL INVERSOR TRIFASICO. . . . .	III-55

### CAPITULO IV.- PRUEBAS EXPERIMENTALES

IV.1	IMPLEMENTACION DE LAS REDES AMORTIGUADORAS . . . . .	IV-1
IV.2	INVERSOR MONOFASICO. . . . .	IV-3
IV.3	PRUEBAS EN EL INVERSOR MONOFASICO Y RESULTADOS. . . . .	IV-5
IV.3.1	PRUEBA UNO . . . . .	IV-5
IV.3.2	PRUEBA DOS . . . . .	IV-11
IV.3.3	PRUEBA TRES . . . . .	IV-14
IV.4	INVERSOR PUENTE TRIFASICO. . . . .	IV-17
IV.5	PRUEBAS EN EL INVERSOR TRIFASICO Y RESULTADOS. . . . .	IV-21

CONCLUSIONES . . . . .	173
------------------------	-----

APENDICE A . . . . .	176
----------------------	-----

REFERENCIAS . . . . .	187
-----------------------	-----

## INTRODUCCION GENERAL.

Dentro de la industria electrónica, la tendencia actual en el desarrollo de inversores altamente eficientes se enfoca hacia el uso de transistores bipolares de potencia. Lo anterior se justifica debido a que estos dispositivos ( TBJs ) permiten su operación a altas frecuencias, poseen simplicidad en su apagado y las pérdidas durante el mismo son bajas comparadas con la tecnología que usa tiristores.

El transistor bipolar es un dispositivo controlado completamente por la señal de control en su base, de aquí que, para apagarlo no es necesario que su corriente sea interrumpida por dispositivos externos. Consecuentemente, los inversores con transistores no requieren de los complejos circuitos de conmutación que utilizan los inversores con tiristores.

Sin embargo en la mayoría de las situaciones, los inversores con transistores necesitan equiparse con ciertos elementos adicionales, los cuales tienen la función de crear las condiciones favorables durante la conmutación. A los elementos antes mencionados se les conoce como circuitos pasivos de conmutación o simplemente redes amortiguadoras.

El objetivo principal de tales redes es, por un lado asegurar que el transistor opere dentro de su Area Segura de Operación; y por el otro, absorber parte de las pérdidas que se presentan en el transistor durante su conmutación.

De esta manera se tiene que, las redes amortiguadoras constituyen un aspecto fundamental en el desarrollo de inversores, dado que incrementan la confiabilidad del transistor y al reducir sus pérdidas mejoran la eficiencia de todo el sistema.

En este trabajo se plantea una metodología para el diseño óptimo de redes amortiguadoras, enfocada particularmente hacia inversores tipo puente implementados con transistores bipolares.

En el capítulo I se describen las características principales del transistor operando en régimen de conmutación; asimismo se presenta el análisis de pérdidas durante las fases de encendido y apagado cuando no se tienen redes amortiguadoras, tomándose ésto como referencia para un análisis posterior de pérdidas en el transistor en presencia de las redes diseñadas. Se definen también las Areas Seguras de Operación del transistor y los riesgos inherentes a la operación fuera de estos límites. Finalmente se definen los requisitos básicos que idealmente debe satisfacer la red amortiguadora que se pretende diseñar.

En el capítulo II se da la definición de una red amortiguadora y las funciones principales que ésta desempeña en un inversor. Posteriormente se presenta el principio de operación de los inversores y se hace una descripción de las diversas configuraciones de redes que pueden utilizarse en un circuito inversor tipo puente.

Una vez definida cada configuración se presentan las ventajas y desventajas de cada una de ellas de acuerdo al tipo de aplicación que se tiene para finalmente seleccionar la más adecuada.

El capítulo III presenta en primer término el análisis funcional de la red seleccionada ya integrada al inversor puente. Tomando en cuenta lo anterior se establecen las ecuaciones de diseño que nos permiten calcular el valor de cada uno de los elementos que integran la red, en función de las condiciones particulares de operación.

Una vez definido matemáticamente cada elemento se especifican los parámetros asociados con su funcionamiento ( corriente y voltaje máximo que soportan, temperatura máxima de operación, etc. ) para seleccionar el valor y tipo comercial mas adecuado de acuerdo a lo existente en el mercado nacional.

Por último, se desarrolla el análisis matemático de la eficiencia de la red como una función de la magnitud de sus elementos.

Finalmente el capítulo IV describe de manera general el funcionamiento de un inversor monofásico y uno trifásico dado que en estos sistemas se implementaron las redes diseñadas. Posteriormente se describen las pruebas realizadas presentando en cada caso los resultados y observaciones obtenidas.

## CAPITULO I

### OPERACION DEL TBJ EN REGIMEN DE CONMUTACION

#### 1.1 INTRODUCCION.

El transistor bipolar, es uno de los dispositivos más importantes dentro de la industria electrónica en general.

Actualmente, dichos transistores son elementos clave en diversas áreas de aplicación, tales como: interfaces analógico-digitales, sistemas modernos de comunicación, sistemas de conversión de potencia, entre otras.

De acuerdo al área de aplicación, será el tipo de transistor a utilizar. En los sistemas de comunicación, generalmente se utilizan transistores de señal pequeña, cuya estructura interna se diseña de tal manera que pueden operar a elevadas frecuencias. Para lograr una mayor capacidad en frecuencia, las áreas activas y parásitas de su geometría interna deben ser considerablemente pequeñas. De aquí que el encapsulado en su conjunto es relativamente pequeño, en comparación con los dispositivos usados en otras aplicaciones.

Por su parte, el transistor bipolar de potencia se diseña para manipular corrientes y voltajes de magnitudes altas. Debido a éstas condiciones de operación, generalmente se presentan en el dispositivo graves problemas térmicos, razón por la cual el encapsulado debe diseñarse para proporcionar una disipación térmica eficiente.

Dentro de las principales aplicaciones de estos dispositivos, está su utilización en amplificadores de potencia y en circuitos convertidores de energía eléctrica ( convertidores CD-CD y convertidores CD-CA ). Específicamente, este trabajo se ubica dentro del área de los convertidores CD-CA, conocidos como inversores.

En este capítulo se hace un estudio de los fenómenos y parámetros asociados con los transistores de potencia, operando en régimen de conmutación.

## 1.2 CARACTERISTICAS DEL REGIMEN DE CONMUTACION.

Un transistor de potencia puede operar en dos modos básicos de conmutación: modo-saturado y modo-corriente, los cuales se determinan por la curva característica de salida del transistor.

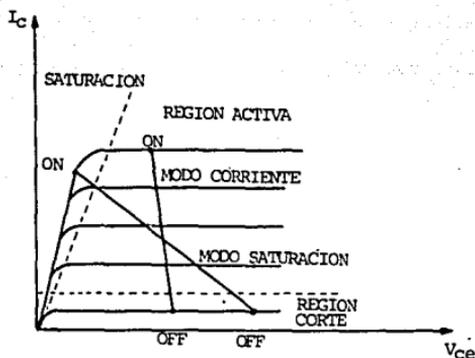


FIGURA 1-1.

En la figura 1-1 puede observarse que el modo de operación se determina fundamentalmente por la localización del punto de operación en la condición de encendido. Sin embargo, para ambos modos de operación la condición de apagado se caracteriza por la excursión de la línea de carga en la región de corte.

El modo de operación más común es el MODO-SATURADO, ya que es el que cumple con mayor exactitud la función de un interruptor ideal. Durante la condición de apagado, el transistor se comporta como un circuito abierto y en la condición de encendido como un corto circuito.

La operación en MODO-CORRIENTE se utiliza para altas frecuencias de conmutación, debido a que se elimina el tiempo de retraso asociado con la excursión de la línea de carga en la región de saturación.

Independientemente del modo que se emplee, el transistor funciona como un interruptor que puede cambiar su estado en un tiempo muy pequeño. Es decir, cambia de una condición de alto-voltaje y baja-corriente (CORTE) a la condición de bajo-voltaje y alta-corriente (SATURACION).

De acuerdo con lo anterior, se define a la CONMUTACION como: el cambio de un estado estable a otro. Dicho cambio, por tanto, implica la existencia de dos estados transitorios, los cuales son:

- 1.-ENCENDIDO ( corte a saturación ).
- 2.-APAGADO ( saturación a corte ).

De aquí en adelante, al hablar de encendido y apagado nos referimos exclusivamente a los estados transitorios antes mencionados.

### 1.2.1 DESCRIPCION DEL ENCENDIDO.

Este proceso podemos dividirlo en tres estados, los cuales se describen brevemente a continuación.

1.-ESTADO INICIAL.- El transistor está apagado completamente, las uniones base-emisor y base-colector se encuentran polarizadas en inversa, por tanto no existe circulación de corriente.

2.-UMBRAL DE CONDUCCION.- Se inicia el impulso de base y la unión base-emisor se polariza a un nivel cercano a conducción. no hay inyección de emisor a base, por tanto no existe aún, corriente de colector.

3.-INICIO DE CORRIENTE DE COLECTOR.- El impulso de base continúa y la corriente tiende hacia su valor final  $I_b$ . Debido a lo anterior, se presenta una acumulación progresiva de cargas en la base, lo cual provoca un aumento de la corriente de colector hacia su valor final  $I_c \text{ max}$ . Por su parte, el voltaje base-emisor alcanza su valor final  $V_{be \text{ sat}}$  y en forma simultánea el voltaje colector-emisor cambia de su valor inicial  $V_{CC}$  a su valor final  $V_{ce \text{ sat}}$ . En este punto, el transistor está en su estado de CONDUCCION y es la base la que proporciona toda la carga requerida para mantener encendido el transistor. Al finalizar esta etapa el transistor se encuentra saturado.

### I.2.2 DESCRIPCION DEL APAGADO.

Durante el proceso de apagado, deben evacuarse todas las cargas acumuladas anteriormente: ya sea por inversión de polaridad de la unión base-emisor a través del circuito impulsor de base, el cual invierte la corriente de base a su valor máximo  $-I_B$ ; o por consumo de cargas debido a la corriente colector emisor.

Este proceso se puede dividir básicamente en dos etapas que son:

1.-CONTINUACION DE CORRIENTE DE COLECTOR.- En esta fase, el transistor está completamente saturado y todo el exceso de cargas en la base puede removerse sin que ocurra cambio alguno en la corriente de colector  $I_C$  o en el voltaje  $V_{ce}$  sat. Únicamente la corriente de base es la que determina la duración de esta fase.

2.-CAIDA DE LA CORRIENTE DE COLECTOR.- La corriente de base continúa evacuando las cargas almacenadas y la corriente de colector consume algunas de estas cargas. A la vez que las cargas van siendo evacuadas, el punto de operación se mueve sucesivamente desde casi-saturación hasta la región lineal sobre la línea de carga.

Sin embargo, las uniones base-emisor y base-colector evolucionan independientemente una de la otra, debido a la influencia de la corriente de base y de la corriente colector-emisor. Por lo tanto, pueden presentarse los siguientes casos:

CASO 1.- LA UNION BASE-EMISOR APAGA AL FINAL: Dado que la unión base-emisor aún no está apagada, sigue circulando corriente de colector mientras que el voltaje colector-emisor empieza a incrementarse. Esto implica que, las pérdidas son considerables dado que simultáneamente se tiene alta corriente y alto voltaje.

CASO 2.- LA UNION BASE-EMISOR APAGA PRIMERO: Tan pronto como dicha unión apaga, la corriente de colector empieza a decrecer y  $V_{ce}$  tiende a incrementarse, por tanto si el transistor es lento pueden presentarse altas pérdidas.

CASO 3.- AMBAS UNIONES APAGAN SIMULTANEAMENTE: Esta es precisamente la situación deseable dado que las pérdidas son mínimas debido a que, la mayoría de las cargas se evacúan mientras  $V_{ce}$  es aún pequeño. Es decir, la corriente de colector decrece rápidamente hasta cero cuando  $V_{ce}$  se está empezando a incrementar.

### I.3 TIEMPOS DE CONMUTACION.

Se definen como los intervalos de tiempo en que el transistor cambia de un estado estable a otro. Obviamente, entre más pequeños sean significa que el transistor responde más rápidamente y por consiguiente las pérdidas son menores.

A diferencia de los transistores de señal, los tiempos de conmutación en los transistores de potencia se miden en la corriente de colector y no en la tensión colector-emisor. La razón es que, en electrónica de potencia, la carga generalmente es reactiva ( inductiva o capacitiva ) y la tensión depende tanto del transistor como de su circuitería asociada.

A continuación se presenta una breve descripción de cada uno de los tiempos de conmutación y para mayor ilustración se muestran gráficamente en la figura 1-2.

TIEMPO DE RETRASO (  $t_d$  ).- Se define como el tiempo que transcurre desde que la corriente de base está en un 10% de su valor hasta que la corriente de colector alcanza también el 10%. Este retraso corresponde a la carga de la capacitancia existente entre base y emisor.

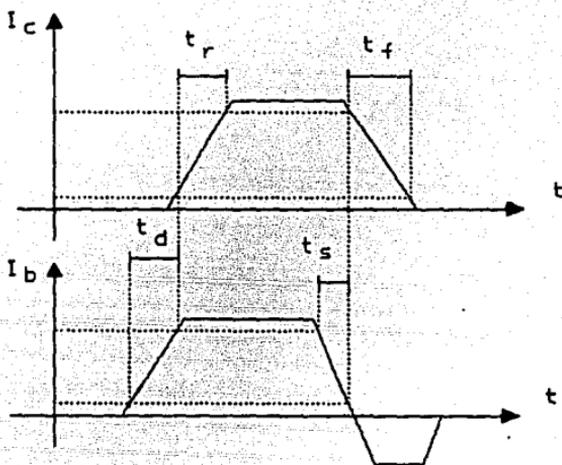


FIGURA 1-2

donde:

$$t_{ON} = t_d + t_r \quad (\text{ tiempo de encendido } )$$

$$t_{OFF} = t_s + t_f \quad (\text{ tiempo de apagado } )$$

TIEMPO DE SUBIDA (  $t_r$  ).- Se mide del 10% al 90% de la corriente de colector. Este parámetro caracteriza la velocidad con que un transistor entra en conducción. La duración de este intervalo se relaciona directamente con la anchura de la base del transistor.

TIEMPO DE ALMACENAMIENTO (  $t_s$  ).- Es el tiempo que transcurre desde que la corriente de base decrece en un 10% de su valor total hasta que la corriente de colector decrece en la misma proporción. Su duración depende tanto de la magnitud de las corrientes de base y colector como del nivel de saturación del transistor. Se recomienda utilizar un circuito antisaturación para mantener al dispositivo en un estado de casisaturación, de esta manera se reduce el tiempo  $t_s$ .

TIEMPO DE CAIDA (  $t_f$  ).- Es el tiempo que se lleva la corriente de colector en decrecer desde el 90% hasta el 10% de su valor. Este intervalo depende básicamente de el nivel de saturación y de la magnitud de la tensión aplicada a la unión base-emisor.

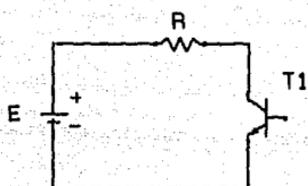
Desde el punto de vista de diseño es de gran importancia la optimización de tales parámetros dado que éstos son un punto clave para la determinación de las pérdidas. Existen principalmente dos alternativas para optimizar los tiempos de conmutación: una de ellas es el empleo de un circuito antisaturación, el cual reduce el grado de saturación del transistor y por consecuencia se tiene un menor tiempo de almacenamiento; la otra alternativa es el diseño adecuado del circuito impulsor de base, el cual proporciona la corriente de base inversa para apagar al transistor.

#### I.4 ANALISIS DE PERDIDAS.

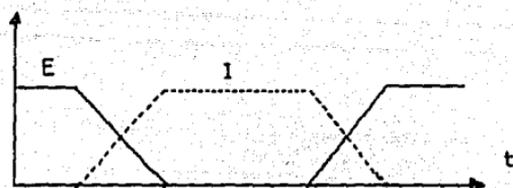
Indudablemente, es indispensable el conocimiento cuantitativo de las pérdidas que se presentan, tanto en el encendido como en el apagado del transistor. La razón es clara: están directamente ligadas con la eficiencia del sistema en general. Lógicamente, uno de los objetivos principales del diseñador es el reducir hasta donde sea posible la magnitud de las pérdidas, lo cual hace necesario por un lado el conocimiento de sus causas y por el otro la implantación de un método para calcularlas. En esta sección se presentan las expresiones matemáticas para evaluarlas, tanto en el encendido como en el apagado, particularmente para los casos con carga resistiva e inductiva.

##### I.4.1 PERDIDAS CON CARGA RESISTIVA.

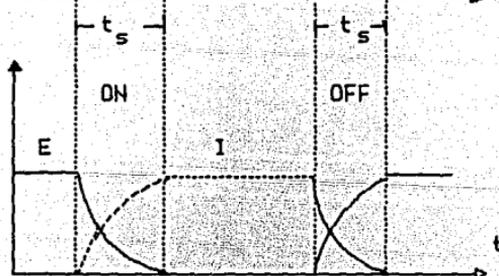
Dentro de los dos casos citados anteriormente, éste es el caso más simple, sin embargo, es aquí donde se establecen las bases para un análisis posterior del proceso de conmutación con otro tipo de cargas y bajo otras condiciones. En la figura 1-3 se muestran las respuestas de un transistor para los casos de CAIDA LINEAL Y EXPONENCIAL, posteriormente se presenta el análisis respectivo de pérdidas.



( A )



( B )



( C )

FIGURA 1-3

### ENCENDIDO.

En la figura 1-3.B se supone que, durante el encendido la curva de voltaje tiene una CAIDA LINEAL y durante el apagado es la curva de corriente la que se supone con caída lineal. Por tanto, las ecuaciones del circuito durante el encendido, son las siguientes:

Para el intervalo  $0 < t < t_s$  el voltaje y la corriente en el transistor están dadas por:

$$e = E \left[ 1 - \frac{t}{t_s} \right]$$

$$i = \frac{E - e}{R} = I \frac{t}{t_s}$$

donde:  $I = E/R$

Por tanto, la disipación de potencia es:

$$p = e i = E I \frac{t}{t_s} \left[ 1 - \frac{t}{t_s} \right]$$

Y las pérdidas totales de energía durante el encendido son:

$$W_R = \int_0^{t_s} p dt = \frac{E I t_s}{6}$$

Finalmente, las pérdidas de potencia son:  $P_R = W_R f$ .

donde:  $f$  representa la frecuencia de conmutación.

Si el transistor se supone con CAIDA EXPONENCIAL tal como lo muestra la figura 1-3.C, se tiene una constante de tiempo ( $\tau$ ) y entonces las ecuaciones para el encendido quedan de la forma siguiente.

Voltaje en el transistor:

$$e = E \exp \left[ - \frac{t}{\tau} \right]$$

Corriente en el transistor:

$$i = I \left[ 1 - \exp \left[ - \frac{t}{\tau} \right] \right]$$

Pérdidas de energía en el encendido:

$$W_R = \int_0^{\tau} e i dt = \frac{E I \tau}{2}$$

Pérdidas totales de potencia:  $P_R = W_R f$ .

#### APAGADO.

El cálculo de las pérdidas en el apagado se realiza de la misma manera, pero el valor de  $t_f$  y de la constante de tiempo generalmente son diferentes. Para propósitos de especificación, el tiempo de conmutación de un transistor se define convencionalmente como el intervalo que existe entre el 90% y el 10%, ya sea curva corriente o de voltaje.

Para CAIDA LINEAL, el intervalo de conmutación es:

$$t_s' = 0.8 t_s$$

Por tanto, las pérdidas pueden expresarse como:

$$W_R = \frac{E I t_s'}{4.8}$$

Para CAIDA EXPONENCIAL, el intervalo de conmutación es:

$$t_s' = \tau \log_e \left[ \frac{0.9}{0.1} \right] = 2.2 \tau$$

Y las pérdidas se expresan como:

$$W_R = \frac{E I t_s'}{4.4}$$

La expresión anterior indica que las pérdidas para el caso de caída exponencial son mayores en comparación con el caso de caída lineal.

#### 1.4.2 PERDIDAS CON CARGA INDUCTIVA.

En general, la expresión para calcular las pérdidas en el encendido y en el apagado es similar en ambos casos, el único término que cambia es el tiempo  $t_f$  suponiendo que los tiempos de encendido y apagado son diferentes.

La figura 1-4 muestra las formas de onda típicas durante el apagado con carga resistiva e inductiva respectivamente.

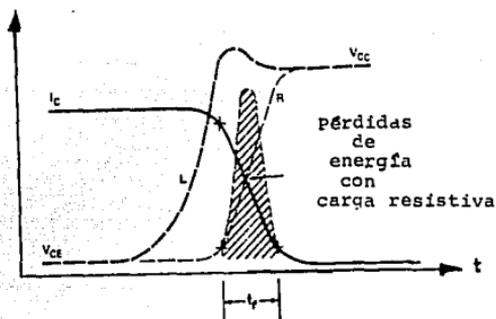


FIGURA 1-4.

La disipación de potencia en el apagado con carga resistiva, es predecible en base a la información que proporcionan las hojas de datos. Sin embargo, la disipación con carga inductiva no puede deducirse de tal información, debido a que no se cuenta con todos los datos necesarios para los cálculos.

La potencia en el apagado es igual al producto de  $V_{CC}$  por  $I_C$ , gráficamente su contorno seguirá la forma de onda de subida del voltaje ( mientras  $I_C$  es constante ) y la forma de onda de bajada de la corriente ( mientras  $V_{CE}$  es constante ). Por tanto, lo anterior podemos aproximarlo a una forma de onda triangular, tal como se muestra en la figura 1-5:

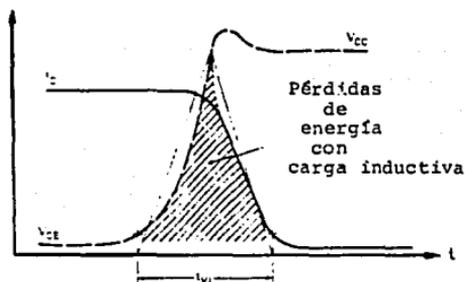


FIGURA 1-5.

En donde, el valor pico es aproximadamente 80% de  $V_{CE} I_C$ , y la base del triángulo puede considerarse como el tiempo que transcurre desde el 10% de  $V_{CC}$  hasta el 10% de  $I_C$ , el cual se define como  $t_{VI}$ .

Así, la energía disipada se obtiene a partir de la ecuación siguiente:

$$W_L = ( 0.8 V_{CC} I_C t_{VI} ) / 2$$

$$W_L = 0.4 V_{CC} I_C t_{VI}$$

La disipación total de potencia se obtiene a partir de:

$$P_L = W_L f$$

Nótese que, si  $t_{VI} = 1.25 t_f$ , entonces  $W_L = 3 W_R$ , lo cual indica que, la disipación en el apagado con carga inductiva es mucho mayor que cuando se tiene carga resistiva.

#### I.4.3 ASPECTOS TERMICOS.

En la figura 1-6 se puede observar que  $V_{CE}$  a  $100^\circ\text{C}$  es casi el doble de su valor a  $25^\circ\text{C}$ . Esto ha sido comprobado en muchos transistores de alto voltaje que pertenecen a tecnologías diferentes.

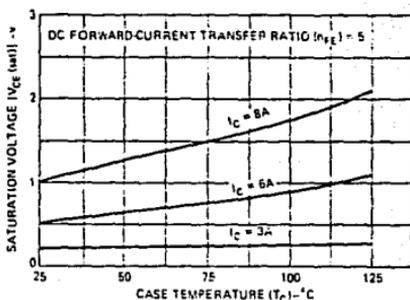


FIGURA 1-6

Durante las fases de encendido y apagado, el dispositivo tiene que soportar altas corrientes y altos voltajes, teniéndose como consecuencia incrementos en la temperatura del encapsulado.

Generalmente, los dispositivos de potencia son tasados considerando que la temperatura de la cápsula es de 25 °C , a pesar de que es poco probable que en la práctica el dispositivo opere a tal temperatura. Por tanto, al hacer una evaluación cuantitativa de las pérdidas debe tomarse muy en cuenta esta consideración.

## I.5 SEGUNDA RUPTURA.

### I.5.1 ANTECEDENTES.

Muchas veces ocurre que un transistor falla a pesar de los cálculos y predicciones analíticas, tal como la potencia de disipación, los cuales se basan en los parámetros dados por el fabricante, el cual garantiza la operación del dispositivo dentro de los límites fijados por él mismo.

La discrepancia anterior ocurre debido a que, la mayor parte de la información contenida en la hoja de datos se basa en mediciones estáticas. En tales hojas se especifican los límites absolutos de voltaje, corriente, potencia y temperatura, pero el dispositivo no es capaz de soportar tales condiciones, si éstas ocurren simultáneamente.

Las fallas que ocurren por una razón no evidente son una de las problemáticas fundamentales para el ingeniero diseñador.

El análisis de los transistores dañados, rara vez muestra el mecanismo exacto de falla, pero gran parte de estas fallas inexplicables pueden deberse a la Segunda Ruptura.

En la práctica, una de las limitaciones de un transistor es, la magnitud del voltaje que puede soportar. El valor al cual se entra en ruptura, es función tanto de las características particulares del mismo como de su circuitería asociada. De hecho, la ruptura por voltaje generalmente ocurre en circuitos con carga inductiva, debido a los altos picos generados los cuales, si no se amortiguan, representan un alto riesgo para la operación del transistor.

Una de las conclusiones a las que se ha llegado respecto al mecanismo de falla es que, su ocurrencia se debe a la interacción de varios factores. Por ejemplo, la disipación de potencia y el calor generado por la corriente elevada que fluye bajo las condiciones de ruptura, trae como consecuencia la degradación permanente de las características del transistor.

Si se permite la operación del dispositivo en el modo de Primera Ruptura por demasiado tiempo, ocurre una condición de fuga térmica que trae como consecuencia la Segunda Ruptura. Este fenómeno es uno de los factores principales que limitan la capacidad del transistor para manejar potencias más elevadas. A pesar de que la Segunda Ruptura no puede ser eliminada completamente, las etapas de diseño deben procurar que ésta no ocurra dentro del rango de operación normal.

### I.5.2 CARACTERISTICAS DE LA SEGUNDA RUPTURA.

La característica más obvia de este fenómeno es, una disminución abrupta del voltaje colector-emisor y un incremento de la corriente de colector.

Fisicamente, la Segunda Ruptura es una consecuencia de la formación de " puntos calientes " en el transistor, causados a su vez por una densidad de corriente no uniforme. Es decir, la concentración de corriente en un área relativamente pequeña, origina que el dispositivo pierda la habilidad para soportar el valor máximo de voltaje con la base abierta. Por tanto, el voltaje entre terminales cae hasta un valor pequeño y hace que el circuito externo aplique una corriente alta, lo cual origina un corto entre colector y emisor que implica obviamente una falla catastrófica.

Asimismo, las concentraciones de corriente pueden ser causadas por defectos en la estructura del transistor y por la aplicación del impulso de base inverso. Es decir, cuando la corriente de base fluye en dirección inversa, una diferencia de potencial polariza en inversa la periferia de la base, pero el centro de la misma está polarizado en directa.

Por tanto, la corriente inyectada por el emisor fluye en una área pequeña hacia el centro de la base y origina una concentración de corriente que forma un " punto caliente ". La temperatura de dicho punto no es tan alta como para causar la falla del dispositivo, pero si puede originar corrientes locales altas y una generación térmica de portadoras. De tal manera que la densidad de corriente llega a ser tan alta que sobrepasa el límite al cual la estructura del dispositivo fue diseñada teniéndose por consecuencia la destrucción del mismo. La figura 1-7 ilustra gráficamente el fenómeno, para diferentes condiciones del impulsor de base.

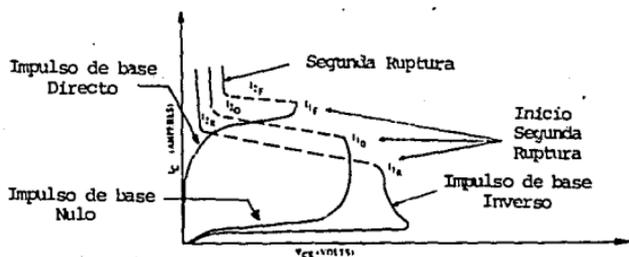


FIGURA 1-7

### I.5.3 CLASIFICACION.

No obstante que la segunda Ruptura puede presentarse en los distintos modos de operación del transistor, puede ser definida en dos categorías principales:

I.- Segunda Ruptura con la unión base-emisor polarizada directamente, la cual ocurre cuando el transistor opera en la región activa.

II.- Segunda Ruptura con la unión base-emisor polarizada en inversa, la cual ocurre durante el modo de corte del transistor.

### I.5.4 SEGUNDA RUPTURA CON POLARIZACION DIRECTA.

Cuando el transistor polarizado en directa, es llevado a la región activa, se produce un campo eléctrico transversal en la región de base y se forma una capa de carga espacial a través de la unión base-colector.

Como la corriente fluye de emisor a colector, el campo transversal concentra la corriente en una región estrecha abajo del borde del emisor. Cuando la corriente circula a través de la capa de carga espacial, se genera una gran cantidad de calor dado que está concentrada en una área pequeña.

Los efectos térmicos se localizan en esa área dando como resultado la formación de puntos calientes dentro de la oblea de silicio.

Si el fenómeno anterior no es controlado, estos puntos calientes admiten un ciclo regenerativo de alta densidad de corriente, lo cual resulta en la destrucción del transistor por Segunda Ruptura.

La concentración de portadoras en la oblea y consecuentemente la gravedad de los puntos calientes, se determina principalmente por la magnitud del campo eléctrico transversal y por el nivel de la tensión aplicada.

La magnitud del campo eléctrico depende de: el ancho de la base del transistor, de la resistencia de base, de la corriente de base y del ensanchamiento de la capa espacial.

Resumiendo, el riesgo a la Segunda Ruptura es directamente proporcional a la magnitud de  $V_{ce}$  y a la corriente de base que resulta de altos niveles de inyección. Por otra parte, el riesgo es inversamente proporcional al ancho de la base del transistor.

Por lo tanto, el nivel de corriente al cual ocurre la Segunda Ruptura, decrece al incrementarse la tensión aplicada.

La figura 1-8 muestra la variación del nivel de corriente al cual ocurre la Segunda Ruptura (  $I_{S/B}$  ), en función de la capacidad en frecuencia (  $f_T$  ) y de la tensión aplicada (  $V_{CE}$  ).

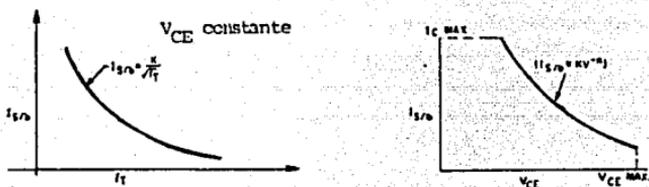


FIGURA 1-8

Las curvas anteriores son representaciones gráficas de las siguientes relaciones empíricas:

I.- Relación con la frecuencia.

$$I_{S/B} = K_1 f_T^{-0.5} \dots\dots(1)$$

II.- Relación con la tensión aplicada.

$$I_{S/B} = K_2 V_{CE}^{-0.5} \dots\dots(2)$$

donde:

$K_1$  y  $K_2$  son constantes propias del transistor y son determinadas por el fabricante en base a pruebas realizadas en circuitos específicamente diseñados.

$N$  es una constante que oscila entre 1.5 y 4.0 dependiendo de la construcción del transistor y de otros factores.

La ecuación (1) indica que se debe seleccionar el transistor con más baja capacidad en frecuencia de acuerdo a los requisitos del circuito, para tener menor riesgo a la Segunda Ruptura.

La ecuación (2) indica que el transistor seleccionado debe tener una capacidad en voltaje lo suficientemente mayor a la tensión aplicada, y además deben amortiguarse los transitorios de voltaje para protegerlo de la ruptura.

### 1.5.5 SEGUNDA RUPTURA EN POLARIZACION INVERSA.

La figura 1-9 muestra la manifestación de la Segunda Ruptura en un transistor con polarización inversa.

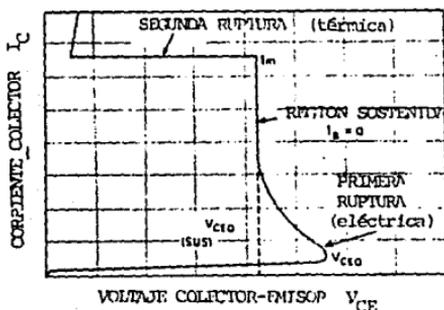


FIGURA 1-9

Nótese que para una corriente de colector baja, el voltaje a través del dispositivo excede el límite máximo de voltaje con la base abierta. El pico de la curva representa la Primera Ruptura (Ruptura Normal) y es un resultado de la acción avalancha en el transistor. De tal manera que, cuando la corriente en el modo de avalancha se incrementa a valores elevados, se llega a una corriente crítica  $I_m$  en la cual, el voltaje  $V_{CE}$  se colapsa hasta un valor pequeño. A este mecanismo se le ha llamado adecuadamente Segunda Ruptura en inversa.

La figura 1-10 muestra la trayectoria de apagado de un transistor con carga inductiva.

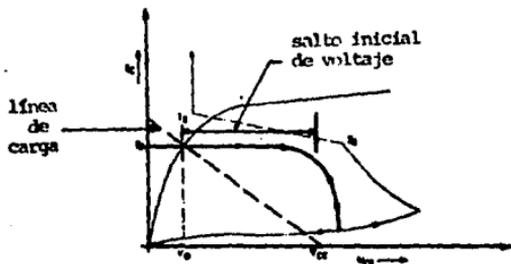


FIGURA 1-10

El punto de operación del dispositivo está dado por  $(I_0, V_0)$ , cuyas coordenadas representan la magnitud de la corriente y del voltaje en el instante en que se inicia el apagado. El valor de  $I_0$  está abajo del punto de ruptura  $I_2$ .

El transistor se apaga repentinamente teniendo carga inductiva, y muestra una trayectoria de apagado que depende de la constante de tiempo  $L/R$  y de la cantidad de energía que fué almacenada en el inductor. El salto inicial de voltaje que se observa, ocurre debido a que la corriente en el inductor no puede cambiar instantáneamente. En este caso el transistor no sufrirá daño alguno, ya que la trayectoria de apagado está dentro del área segura de operación.

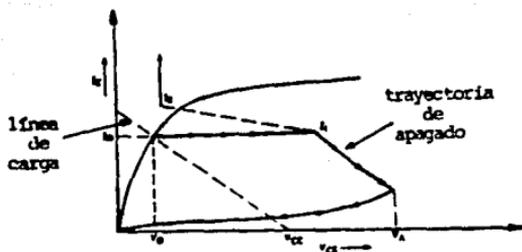


FIGURA 1-11

Con una trayectoria de apagado diferente, tal como la que muestra la figura 1-11 la energía almacenada en la carga inductiva es tan grande que el salto inicial de voltaje, origina una trayectoria de apagado tal, que se alcanza la región de resistencia negativa. Si la energía liberada por el inductor es mayor que la energía que puede disipar el transistor, el dispositivo puede destruirse. Esta energía se identifica en algunas hojas de datos como " $E_{S/B}$ " y es la energía máxima que soporta el transistor sin entrar en Ruptura.

Cuando la unión base-emisor se polariza en inversa, la Segunda Ruptura se describe en términos de la energía debido a que la tensión, la corriente y la duración del pulso dependen entre sí.

Desde un punto de vista interno se tiene que, el flujo de corriente en el transistor origina un campo eléctrico transversal con dirección opuesta al campo producido cuando se tiene polarización directa. Como consecuencia la corriente de emisor se concentra en una región pequeña cerca del centro del emisor.

Debido a que la corriente está concentrada en una región tan pequeña bajo la condición de polarización inversa, el fenómeno de la Segunda Ruptura puede presentarse a niveles más bajos de energía en comparación con los niveles de Segunda Ruptura en polarización directa.

La figura 1-12 muestra la sección transversal de la oblea de un transistor de potencia típico bajo las condiciones antes descritas.

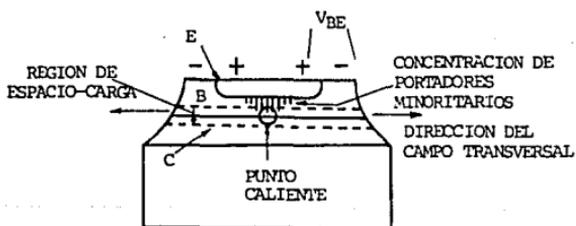


FIGURA 1-12

En transistores de potencia que tienen una base estrecha, un incremento rápido en el campo transversal o el tamaño del emisor insuficiente para su corriente de operación, la Segunda ruptura ocurre a niveles de energía más bajos comparados con transistores que no presentan tales factores.

En cualquiera de los casos, desde un punto de vista externo, la Segunda Ruptura se manifiesta generalmente como un corto circuito entre colector y emisor.

## 1.6 AREAS SEGURAS DE OPERACION.

### 1.6.1 DEFINICION.-

Para transistores de potencia, tales áreas se representan a través de gráficas de  $I_C-V_{CE}$ , en donde los contornos indican los valores absolutos máximos que puede soportar el dispositivo bajo las condiciones definidas en las hojas de datos.

Tales áreas se definen además de acuerdo al tipo de operación del dispositivo, que puede ser:

Operación con corriente continua.

Operación con corriente pulsada.

Específicamente, el Area Segura de Operación con corriente continua de un transistor para una temperatura dada de la base de montaje está limitada por la corriente continua  $I_{Cmax}$ , la tensión  $V_{CE0max}$  y la potencia total máxima  $P_{Tmax}$ . Estos tres límites pueden trazarse en una gráfica  $I_C-V_{CE}$  de escalas lineales, o mejor aún, en una de escalas logarítmicas, en cuyo caso la  $P_{Tmax}$  queda representada como una línea recta a  $45^\circ C$  respecto de los ejes.

Cualquier tipo de operación fuera de dichos rangos trae como consecuencia la falla del mismo.

## I.6 AREAS SEGURAS DE OPERACION.

### I.6.1 DEFINICION.-

Para transistores de potencia, tales áreas se representan a través de gráficas de  $I_C-V_{CE}$ , en donde los contornos indican los valores absolutos máximos que puede soportar el dispositivo bajo las condiciones definidas en las hojas de datos.

Tales áreas se definen además de acuerdo al tipo de operación del dispositivo, que puede ser:

Operación con corriente continua.

Operación con corriente pulsada.

Específicamente, el Area Segura de Operación con corriente continua de un transistor para una temperatura dada de la base de montaje está limitada por la corriente continua  $I_{Cmax}$ , la tensión  $V_{CE0max}$  y la potencia total máxima  $P_{Tmax}$ . Estos tres límites pueden trazarse en una gráfica  $I_C-V_{CE}$  de escalas lineales, o mejor aún, en una de escalas logarítmicas, en cuyo caso la  $P_{Tmax}$  queda representada como una línea recta a  $45^\circ C$  respecto de los ejes.

Cualquier tipo de operación fuera de dichos rangos trae como consecuencia la falla del mismo.

### 1.6.2 AREA SEGURA DE OPERACION CON POLARIZACION DIRECTA.

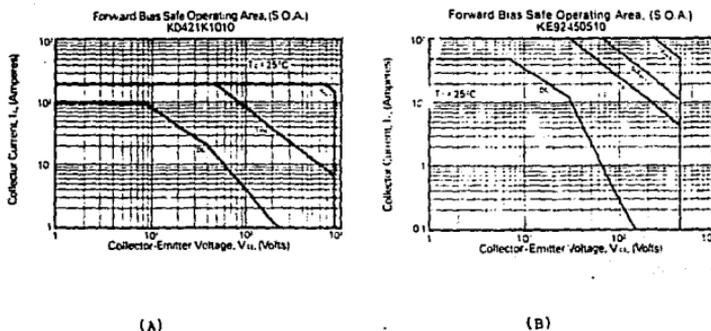


FIGURA 1-13

La figura 1-13.A muestra el Area Segura de Operación con Polarización Directa ( FBSOA ) de un módulo de dos transistores Darlington de 100 Amp y 450/1000 volts. Análogamente la figura 1-13.b muestra el FBSOA de un paquete de seis transistores Darlington de 50 Amp/450 volts los cuales integran al inversor trifásico.

Se observa en la figura 1-13.A que para operación continua el transistor puede conducir 100 Amp a un voltaje máximo de 8 volts; a partir de este punto puede

incrementarse el voltaje en el transistor hasta 40 v siempre y cuando la corriente haya decrecido proporcionalmente, de tal manera que el transistor no debe disipar una potencia mayor a los 600 watts. A mayores niveles de voltaje se tiene que, la potencia que es capaz de proporcionar el dispositivo disminuye gradualmente.

Para el caso de operación pulsada, el dispositivo puede conducir 200 Amp a un voltaje máximo de 50 v durante un tiempo de conducción de 1 milisegundo, sin entrar en ruptura; si el voltaje se incrementa, la corriente debe reducirse proporcionalmente. Del mismo modo, también puede soportar una condición de 200 Amp/800 v pero solo durante un tiempo de conducción de 50 microsegundos.

Al igual que el caso descrito anteriormente, el Area Segura del módulo trifásico establece ciertos límites de operación los cuales, bajo ninguna condición deben rebasarse ya que al hacerlo el transistor entra en ruptura.

### 1.6.3 AREA SEGURA DE OPERACION CON POLARIZACION INVERSA.

Cuando el transistor opera con cargas inductivas, debe soportar simultáneamente corrientes y voltajes elevados y en muchos de los casos con la unión base-emisor polarizada en inversa. Bajo tales condiciones, el voltaje de colector debe mantenerse en un nivel seguro que se especifica como  $V_{ce(sus)}$ , para una corriente de colector dada.

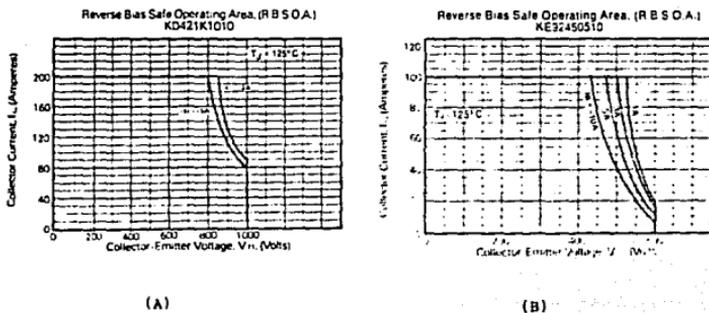


FIGURA 1-14

En las figuras anteriores se muestran las Areas Seguras de Operación con Polarización Inversa (RBSOA) de los transistores mencionados en el punto anterior.

En la figura 1-14.A se tiene que el transistor es capaz de conducir una corriente de 200 Amp. a un voltaje máximo de 850 volts y, en caso extremo, puede soportar un nivel de 1000 volts siempre y cuando la corriente no exceda los 90 Amp., suponiendo además que la corriente de base es de 2 Amp.

Si la corriente de base se incrementa, los límites anteriores son menores. Para  $I_{B2}=5$  Amp. puede tenerse la condición crítica de 200 A/800 v y en caso extremo puede tenerse un voltaje máximo de 1000 volts para una corriente máxima de 80 Amperes.

Para el caso del paquete trifásico, la filosofía es similar con la diferencia que son niveles menores, tal como puede observarse en la figura 1-14.B.

Para ambos casos se considera que la temperatura máxima de la unión es de 125 °C.

Conociendo estos límites el diseñador del circuito tiene la facilidad de comparar su línea de carga con el Area Segura de Operación. Y así, una vez que conoce sus condiciones de apagado y como afectan éstas al Area Segura, él puede asegurar que su diseño no llevará al transistor a un punto de degradación o falla.

## I.7 REQUISITOS PARA LA RED AMORTIGUADORA.

Uno de los principales problemas relacionados con la confiabilidad de un sistema de potencia es, la necesidad de limitar las tensiones o esfuerzos eléctricos a los que se ven sometidos los dispositivos de potencia (en este caso nos referimos al transistor) que integran dicho sistema. Estos esfuerzos son causados por los transitorios de voltaje y corriente que ocurren durante el proceso de conmutación.

Hasta ahora, han sido propuestos muchos métodos que intentan eliminar dichos transitorios, pero el más económico y adecuado es el uso de redes amortiguadoras que proporcionen al dispositivo las condiciones favorables para su conmutación.

La selección y diseño de una red amortiguadora implica considerar diversos factores, entre los cuales destacan los siguientes:

- a).-Las características específicas del dispositivo.
- b).-El tipo de aplicación.
- c).-La configuración de la red amortiguadora.
- d).-Las pérdidas en la red.

e).-Las pérdidas totales en el sistema.

Por tanto, la red elegida debe cumplir con ciertos requisitos básicos, entre los cuales se tienen:

1. Las pérdidas propias de la red deben ser mínimas, para que no contribuya a incrementar las pérdidas totales.
2. La cantidad de elementos que integran la red, debe ser tan pequeña como sea posible.
3. Ninguna corriente adicional de descarga ( o de carga ) causada por la red debe fluir a través de los dispositivos de potencia. Esto es importante principalmente para altas frecuencias de operación, donde son generados altos picos de corriente debido a la carga y descarga rápida del capacitor de la red.
4. No se deben tener dispositivos de conmutación adicionales.
5. No se deben tener fuentes de tensión y/o corriente para alimentar a la red.
6. En los elementos de la red se deben limitar los niveles de tensión y corriente hasta las magnitudes que son capaces de manejar los dispositivos de potencia.
7. La red debe tener una alta confiabilidad y seguridad de operación, lo cual implica utilizar elementos de buena calidad y de características apropiadas para esta aplicación.

8. Su funcionamiento debe ser independiente de las diferentes condiciones de operación, tal como: corriente de carga, frecuencia de conmutación, etc.

## CAPITULO II

### SELECCION DE LA RED AMORTIGUADORA

En este capítulo se describen diversas configuraciones de redes amortiguadoras, presentando en cada caso los parámetros principales que las definen. Posteriormente, se hace una comparación entre ellas para seleccionar finalmente la más adecuada, enfatizando que el enfoque del presente trabajo es hacia inversores con transistores.

#### II.1 PRINCIPIO DE OPERACION DE LOS INVERSORES.

Un inversor es un circuito que convierte la corriente directa en corriente alterna.

Para llevar a cabo tal proceso, existen diversas configuraciones tal como se muestra en las figuras 2-1, 2-2 y 2-3.

Dado que en este trabajo se utilizó un inversor en configuración puente, se tomará éste como referencia para describir el principio de operación de un inversor en general.

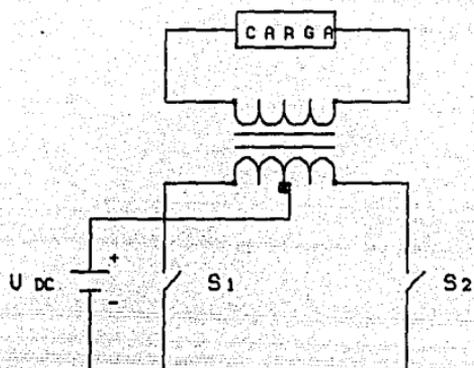


FIGURA 2-1. INU. CONFIGURACION CENTRAL.

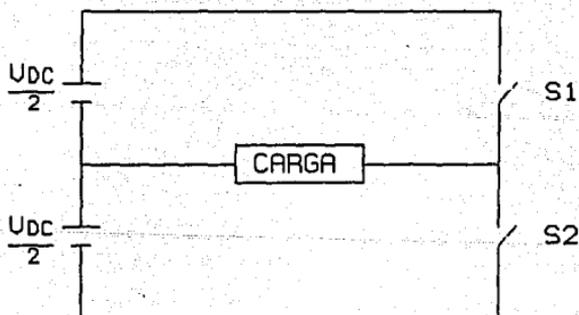
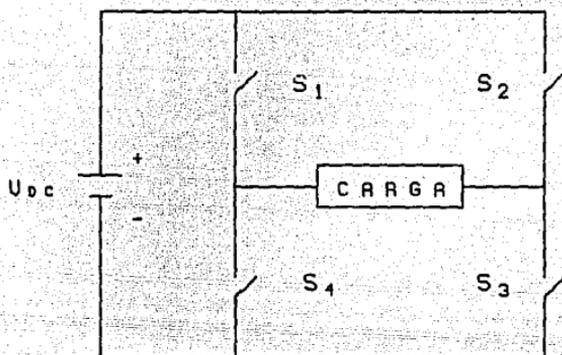
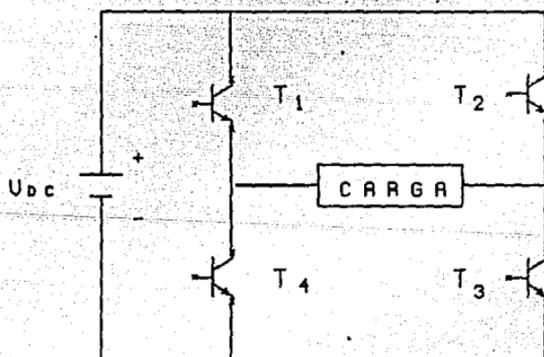


FIGURA 2-2. INVERSOR TIPO MEDIO PUENTE



( A )



( B )

FIGURA 2-3. INVERSOR PUENTE.

El principio básico consiste en conectar y desconectar sucesivamente la batería  $V_{DC}$  de la carga, invirtiéndose la polaridad en cada conexión ( ver la figura 2-3.A ). Es decir, cuando se cierran los interruptores  $S_1$  y  $S_2$ , el extremo izquierdo de la carga es positivo; a su vez, cuando se cierran  $S_3$  y  $S_4$ , el extremo derecho es positivo. De manera que, accionando por pares los interruptores, se genera en la carga un voltaje alterno cuya forma de onda es cuadrada.

Por simplicidad en las configuraciones mostradas se ha representado al dispositivo de potencia como un simple interruptor; sin embargo, en la realidad dicho interruptor puede ser un transistor bipolar ( TBJ ), un transistor de efecto de campo ( FET ) o un rectificador controlado de silicio ( SCR ). Para el caso particular de este trabajo, las pruebas de la red diseñada se llevaron a cabo en un inversor tipo puente implementado con transistores bipolares.

Más adelante se hace una descripción detallada de la operación del inversor puente en presencia de los circuitos de conmutación ( redes amortiguadoras ).

## II.2 DESCRIPCION DE REDES AMORTIGUADORAS.

### II.2.1 DEFINICION.

Una red amortiguadora es un circuito formado por elementos pasivos, tales como: resistencias, inductores y capacitores. El objetivo principal de tal circuito es el crear las condiciones adecuadas en el transistor para que, durante el proceso de conmutación del mismo, éste opere dentro de su área segura de operación y que además las pérdidas de potencia sean mínimas.

### II.2.2 FUNCIONES DE UNA RED.

Dentro de un circuito inversor, las redes amortiguadoras llevan a cabo diversas funciones, las cuales se describen individualmente en los párrafos siguientes.

#### A).-TRANSFERENCIA DE PERDIDAS.

Uno de los propositos fundamentales de las redes amortiguadoras es la reducción de las pérdidas de potencia en el transistor. En el capítulo I se mencionó que tales pérdidas se presentan durante las fases de encendido y apagado; por tanto, se conecta en serie con el dispositivo una red de encendido y en paralelo con el mismo una red de apagado. De esta manera, parte de las pérdidas del transistor se transfieren a la red diseñada para tal fin.

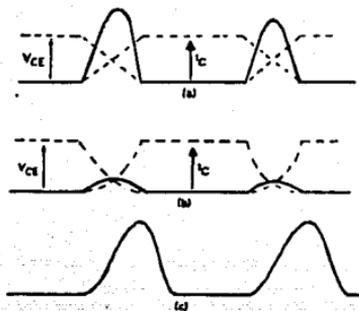


FIGURA 2-4

En la figura 2-4.a) la línea continua muestra la cantidad total de pérdidas que disipa el transistor cuando opera sin redes de amortiguamiento.

Por su parte, la figura 2-4.b) muestra la cantidad de pérdidas que ocurren exclusivamente en el transistor protegido con redes amortiguadoras.

Por último, en la figura 2-4.c) se ilustra la magnitud de las pérdidas que fueron absorbidas por la red. En este caso específico, la curva representa la potencia disipada en la resistencia de la red de apagado ( se está suponiendo que se tiene una red disipativa ).

La suma de la potencia disipada que se mostró en las figuras 2-4.b y 2-4.c representa el total de pérdidas que se tiene, durante la conmutación del transistor protegido con redes. Dicha magnitud es considerablemente menor, comparada con las pérdidas que se tienen en el dispositivo sin protección, lo cual significa que tanto el transistor como el sistema en general tienen menos pérdidas, y por consiguiente su eficiencia es mayor.

#### B).-ELIMINACION O REDUCCION DEL SOBREVOLTAJE.

Uno de los problemas principales relacionados con la confiabilidad de sistemas de potencia, es la necesidad de limitar los transitorios de voltaje que se generan en el transistor cuando éste opera en régimen de conmutación. Tal problema se presenta principalmente cuando se tienen cargas inductivas.

La figura 2-5 muestra un transistor con carga inductiva cuya curva de salida es la que se presenta en el inciso (b).

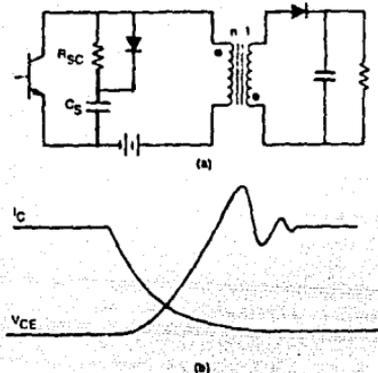


FIGURA 2-5

La naturaleza exacta del sobrevoltaje se determina por las características de los componentes que integran el circuito. Al variar el valor de los componentes de la red, se hace más pronunciado o más suave el sobrevoltaje, el cual debe reducirse hasta donde sea posible. Sin embargo, entre mayor sea el amortiguamiento del transitorio, mayor será también el costo y tamaño de los elementos de la red.

En el ejemplo del circuito mostrado, si no se tuviese la red amortiguadora y el transistor opera lo suficientemente rápido, sería muy probable que el transitorio excediera el voltaje de ruptura del transistor, ocasionándose así la destrucción del mismo.

### C).-PREVENCIÓN DE LA SEGUNDA RUPTURA..

Otra de las funciones más significativas de las redes amortiguadoras, en convertidores con transistores, es el evitar que éstos lleguen a la Segunda Ruptura. Este fenómeno, tal como se ha descrito en el capítulo anterior, se genera a través de distintos mecanismos; mas independientemente de esto, se manifiesta como un deterioro irreversible o como una destrucción total del semiconductor.

La capacidad del dispositivo se representa en gráficas, que comunmente se conocen como Areas Seguras de Operación ( FBSOA, RBSOA ). La línea de carga que resulta de la conmutación con carga inductiva, debe estar en todo momento, dentro de los límites señalados por tales áreas. Para reafirmar lo anterior, analizaremos las gráficas que se muestran a continuación.

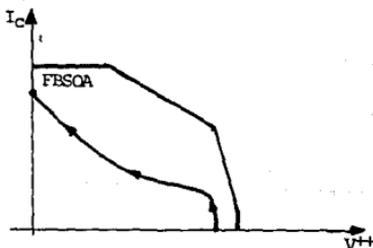


FIGURA 2-6

En la figura 2-6 se observa que, durante la etapa de encendido la línea de carga está dentro del Area Segura de Operación con Polarización Directa ( FBSOA ) lo cual indica que se están respetando los límites de operación fijados por el fabricante.

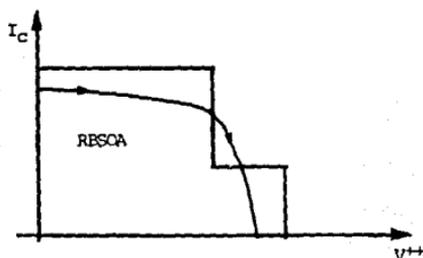


FIGURA 2-7

Sin embargo en la figura 2-7 se observa que la línea de carga durante el apagado cruza los límites definidos por el Area Segura de Operación con Polarización Inversa ( RBSOA ). Lo anterior plantea la necesidad de hacerle una modificación al circuito para asegurar su operación confiable de forma que no se exceda dicha área. Dicha modificación puede ser: cambiar el transistor por uno de mayor capacidad, cambiar las condiciones de polarización ( lo cual implica modificar el circuito impulsor de base) o la adición de una red amortiguadora que influya adecuadamente sobre la línea de carga. De las opciones anteriores, la más adecuada es el uso de redes de amortiguamiento, ya que éstas representan la solución más económica y relativamente sencilla.

La figura 2-8 nos muestra el efecto de la red sobre la línea de carga, durante el apagado del transistor.

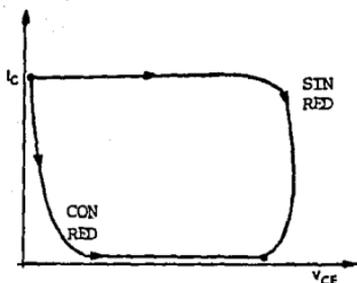


FIGURA 2-8

### II.2.3 CLASIFICACION GENERAL.

Básicamente, las redes amortiguadoras se definen en dos categorías principales:

- 1.-REDES DISIPATIVAS.
- 2.-REDES NO DISIPATIVAS.

La utilización de una o de otra depende de las condiciones particulares de operación y del tipo de aplicación.

1).-El ejemplo más sencillo de una red disipativa es un circuito serie RC ( que se conecta en paralelo con el transistor ), en el cual, la energía almacenada por el capacitor se disipa en la resistencia en forma de calor.

Este tipo de redes disipativas no son recomendables cuando se trabaja a frecuencias elevadas y cuando los niveles de potencia que se conmutan son altos.

Lo anterior significa que no solo se trata de reducir las pérdidas de potencia en el transistor, sino que también las pérdidas en la red no deben ser muy significativas para el sistema en general.

2).-El término NO DISIPATIVO es en sí una idealización, ya que una red de este tipo sí tiene pérdidas pero son de pequeña magnitud comparadas con una red disipativa, lo cual equivale a decir que es una red sin pérdidas fundamentales. De hecho, las pérdidas que se presentan se deben a que las propiedades de los elementos que integran la red, no son precisamente ideales.

Generalmente, se recomienda utilizar las redes disipativas convencionales cuando se trabaja a bajas frecuencias o en bajos niveles de potencia, ya que dentro de estos rangos de operación aún son capaces de absorber las pérdidas, sin tener serias consecuencias. En el caso de la red RC, el capacitor almacena cierta cantidad de energía dada por la siguiente expresión:

$$W_C = 0.5 C V^2$$

Tal energía se descarga durante el encendido, a través de la resistencia, la que a su vez la disipa en forma de calor. Así pues la pérdida de potencia en éste elemento se calcula con la expresión siguiente:

$$P_R = 0.5 C V^2 f$$

donde:  $f$  representa la frecuencia de conmutación.

De esta expresión puede deducirse que, cualquier incremento en el voltaje o en la frecuencia de operación, se refleja directamente en la magnitud de las pérdidas de la red amortiguadora.

#### II.2.4 TIPOS DE REDES.

Existen diversas configuraciones de redes amortiguadoras tanto disipativas como no disipativas, las cuales particularmente ofrecen ventajas y desventajas según sea la aplicación. De aquí que es conveniente hacer la descripción de cada una de ellas, planteando en cada caso los parámetros y ecuaciones básicas que nos permitan entender su operación.

### CONFIGURACION UNO.-

Esta red se conecta en paralelo con el transistor entre sus terminales de colector y emisor, consiste de una red serie RC, la cual representa la configuración más sencilla de todas las existentes. Tal circuito se muestra en la figura 2-9:

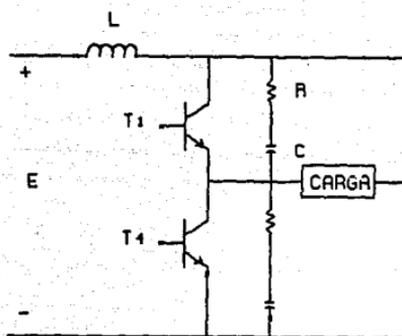


FIGURA 2-9

Como punto de partida para analizar este circuito, se asume que existen condiciones iniciales nulas. De aquí que, cuando se apaga  $T_1$ , entre colector y emisor se tiene el voltaje de la fuente E. Debido a esto, se presenta en el transistor un  $dV/dt$  máximo el cual se calcula con el procedimiento siguiente:

$$E = L \frac{di(t)}{dt} + R i(t) + \frac{1}{C} \int i(t) dt$$

$$\frac{di(t)}{dt} = \frac{E}{L} - \frac{R}{L} i(t) + \frac{1}{LC} \int i(t) dt$$

$$V_{CE} = R i(t) + \frac{1}{C} \int i(t) dt$$

$$\frac{dV_{CE}}{dt} = R i(t) + \frac{1}{C} i(t)$$

$$\left. \frac{dV_{CE}}{dt} \right|_{\max} = E \frac{R}{L}$$

De tal manera que, para valores específicos de E y L, se necesita una resistencia R de bajo valor si se quiere tener un bajo  $dV_0/dt$ .

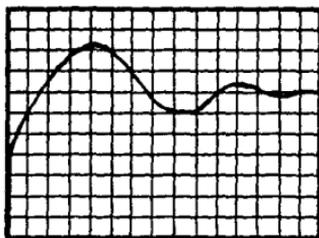
Sin embargo, en aplicaciones donde se manejan altos niveles de potencia, se tienen también altas corrientes de carga. Entonces, en el instante de encendido, el capacitor de la red se descarga a través de el transistor presentandose en él un alto  $di/dt$ . Tal descarga de corriente y su  $di/dt$  asociado, se limitan únicamente por la resistencia R, por las características de encendido del transistor y por la inductancia del cableado de todo el circuito.

Por lo tanto, se corre el riesgo de exceder el límite de  $di/dt$  del transistor si además del  $di/dt$  asociado con la corriente de carga, se tiene una corriente elevada de descarga, por el capacitor de la red. Este problema puede resolverse si se utiliza una resistencia  $R$  de valor grande que limite adecuadamente la corriente de descarga.

Y es precisamente aquí, donde se presenta un conflicto en cuanto al valor adecuado de la resistencia  $R$ . Ya que por un lado se requiere que sea de valor bajo para tener un  $dV_0/dt$  mínimo y, por el otro lado se necesita que  $R$  sea de un valor alto para tener un bajo  $di/dt$ .

La curva de respuesta del transistor durante su apagado, en presencia de la red RC es la siguiente:

$V_{ce}$



$t$

FIGURA 2-10

Nótese que la respuesta transitoria tiene un escalón inicial que se representa como un  $dV/dt$  infinito.

Dada una corriente inicial en el apagado se tiene que la magnitud del escalón es proporcional al valor de la resistencia R.

Lógicamente, no es conveniente tener un escalón de voltaje en el instante inicial del apagado ya que la corriente de colector está en su valor máximo.

CONFIGURACION DOS.-

A diferencia de la red anterior, aquí se tienen diodos de polarización, tal como se muestra en la figura 2-11:

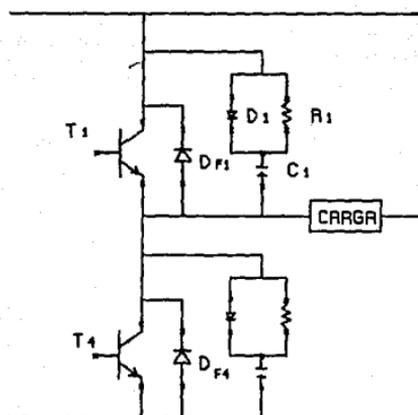


FIGURA 2-11

En el circuito anterior, los diodos ( $D_{F1}, D_{F2}, D_{F3}, D_{F4}$ ) conectados en antiparalelo con cada transistor, tienen como función conducir la corriente reactiva que se presenta durante la conmutación.

Para describir el circuito es suficiente el análisis de una de las ramas del mismo. Considerando la rama izquierda tenemos que: cuando el transistor  $T_1$  recibe en su base la señal de apagado su corriente de colector empieza a disminuir linealmente hasta llegar a cero en un periodo finito  $t_f$ . Durante éste periodo, la corriente en  $T_1$  decrece y en el capacitor  $C_1$  se incrementa. La corriente de carga se supone que permanece constante.

Después de que  $T_1$  se apaga,  $C_1$  continúa cargándose hasta que su voltaje es igual al de la fuente. En éste instante,  $Df_4$  se enciende y en el capacitor sigue presente el voltaje de la fuente.

Cuando  $T_1$  se enciende de nuevo,  $C_1$  se descargaría a través de él si no existiera  $R_1$ . Sin embargo, se utiliza la resistencia y se tiene un circuito RC tal como en la configuración anterior.

En este caso no se tiene el conflicto relacionado con la selección de  $R$  ya que  $D1$  presenta una baja impedancia únicamente para la trayectoria de carga del capacitor.

Durante el encendido, tal diodo presenta una impedancia alta obligando al capacitor a descargarse a través de  $R_1$ , la cual se elige lo suficientemente alta para limitar eficientemente la corriente. Estas trayectorias de carga y descarga se muestran en la figura 2-12.

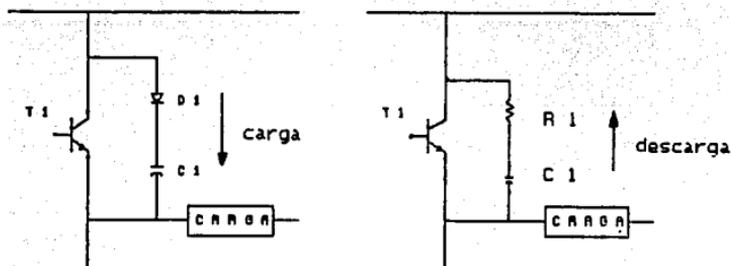


FIGURA 2-12

Como puede observarse, durante el apagado el capacitor se carga únicamente a través del diodo D1, cuya impedancia es tan baja que puede considerarse como un corto circuito. De aquí que, para efectos prácticos la curva de carga del capacitor es similar a la curva de voltaje colector-emisor, ver la figura siguiente:

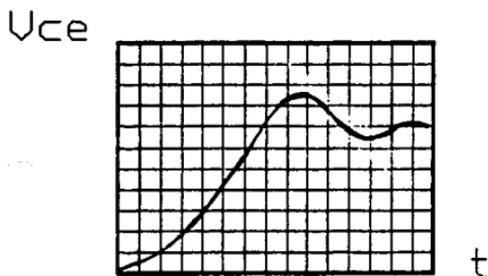


FIGURA 2-13

De igual manera se observa en la figura 2-12 que durante el encendido la descarga es directamente sobre  $R_1$ , por tanto se selecciona la resistencia de acuerdo a la magnitud de la corriente de descarga que se desee. Cabe recordar que, la corriente de descarga sumada con la corriente de la carga, no deben rebasar los límites de corriente del transistor.

A continuación se presentan las ecuaciones básicas que describen el apagado del transistor, además se define la corriente de descarga de la red durante el encendido.

$$V_{CE} = V_C$$

$$V_{C1} = \frac{1}{C} \int_0^t i(t) dt$$

$$\left. \frac{dV_{C1}}{dt} \right|_{t=0} = 0$$

$$V_{CE} = \frac{1}{C_1} \int_0^{t_f} I_L \left[ \frac{t}{t_f} \right] dt$$

$$V_{CE} = \frac{I_L t_f}{2 C_1} \quad \text{para } t = t_f$$

$$I_{des} = \frac{E}{R_1} \quad \text{corriente de descarga}$$

$$[I_{des} + I_L] < I_{C \max} \quad \text{límite de corriente}$$

CONFIGURACION TRES.-

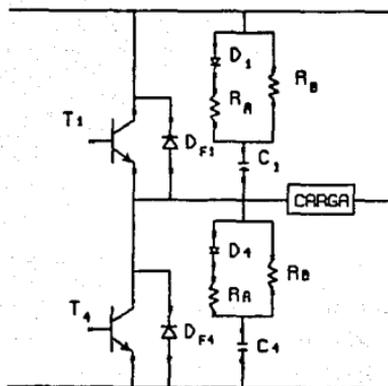


FIGURA 2-14

A diferencia de la red RC polarizada, en esta configuración se ha agregado una resistencia  $R_A$  en serie con el diodo de polarización  $D_1$ , ver la figura 2-14.

Esta resistencia  $R_A$  tiene la función de limitar la corriente que circula por el diodo  $D_1$  durante la carga del capacitor  $C_1$ , su valor debe ser muy pequeño para tener un bajo  $dV/dt$ .

Por su parte, la resistencia  $R_B$  es de un valor mucho más grande que  $R_A$  dado que su función es limitar la corriente de descarga del capacitor para así reducir el  $di/dt$  hasta un valor seguro.

Ahora, las trayectorias de encendido y apagado en cada transistor son las que muestra la figura 2-15.

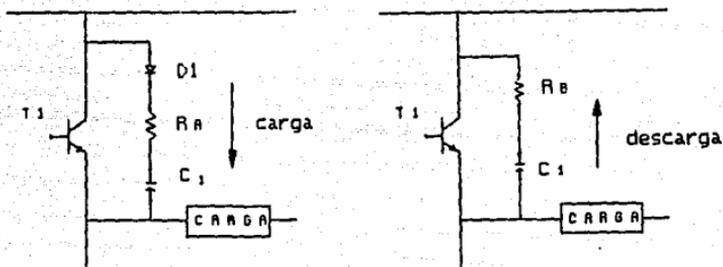


FIGURA 2-15

La curva de respuesta del transistor durante el apagado se presenta en la figura 2-16.

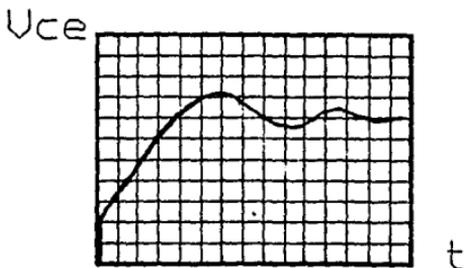


FIGURA 2-16

Nótese que, también existe un escalón al inicio de la respuesta transitoria, sin embargo éste es más pequeño comparado con el que presenta la CONFIGURACION UNO.

Finalmente se tiene que, las expresiones que definen el apagado son :

$$V_{CE} = V_{RA} + V_{C1}$$

$$V_{CE} = R_A I_L \frac{t}{t_f} + \frac{1}{C_1} \int_0^{t_f} I_L \frac{t}{t_f} dt$$

$$V_{CE} = R_A I_L + \frac{I_L t_f}{2 C_1} \quad \text{para } t = t_f$$

$$I_{des} = \frac{E}{R_B}$$

corriente de descarga

$$I_{des} + I_L < I_{C \text{ max}}$$

CONFIGURACION CUATRO.

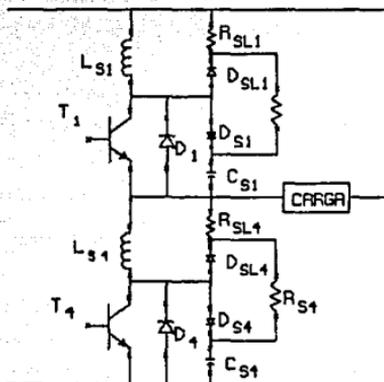


FIGURA 2-17

Esta configuración es más compleja que las presentadas anteriormente, se constituye por una red de apagado y una red de encendido lo cual la hace más eficiente.

APAGADO.-

En el instante de apagado de  $T_1$  se tiene que la corriente en el colector empieza a decrecer mientras el capacitor empieza a cargarse.

De hecho, durante el apagado del transistor el funcionamiento de esta red es similar al de la red polarizada de la configuración DOS. Durante el tiempo de caída de la corriente de colector el transistor ha llegado a un cierto nivel de voltaje, el cual, es inversamente proporcional al valor de la capacitancia  $C_1$ . Las curvas de voltaje y corriente durante el apagado se muestran en la figura 2-18:

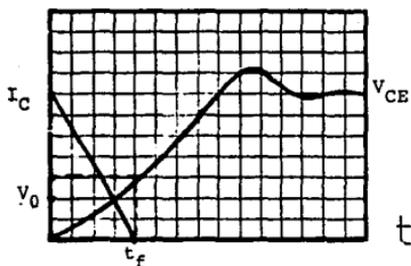


FIGURA 2-18

Entre mayor sea el valor de  $C_1$  será menor la magnitud de  $V_0$  y la intersección de las dos curvas se presenta a niveles más bajos, traduciéndose esto en pérdidas menores en el transistor.

Además, la magnitud del sobrevoltaje es directamente proporcional al valor de  $C_1$ . Esto nos lleva a suponer que si elegimos un valor de capacitancia elevado eliminaremos el sobrevoltaje y reduciremos en gran parte las pérdidas en el transistor.

Lo anterior es cierto, sin embargo hay que considerar que un valor elevado de  $C_1$  implica un mayor almacenamiento de carga. Y dado que en el encendido de  $T_1$  el capacitor se descarga, la corriente asociada será mayor y las resistencias  $R_1$  y  $R_5$  disiparán mayor energía.

En conclusión, si  $C_1$  es de valor elevado se tiene que las pérdidas en el transistor disminuyen y en la red amortiguadora aumentan, teniendo en conjunto pérdidas totales de magnitud considerable.

#### ENCENDIDO.

Al encenderse nuevamente  $T_1$  su voltaje colector-emisor empieza a disminuir linealmente mientras la corriente de colector se eleva. Por su parte,  $C_1$  inicia su descarga a través de  $R_1$  y  $R_5$ . Las curvas de voltaje y corriente en esta fase transitoria se muestran en la figura 2-19:

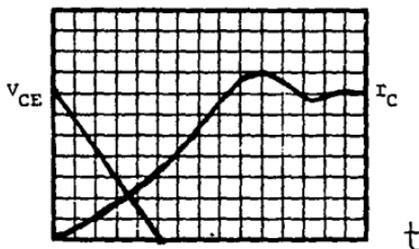


FIGURA 2-19.

El crecimiento suave de la corriente de colector se debe básicamente al inductor  $L_S$  conectado en serie con el colector del transistor. La razón es que el inductor se opone a los cambios bruscos de corriente, su valor debe ser tal, que no permita que el transistor rebase su límite máximo de corriente.

Al igual que en el apagado donde  $C_1$  determina el sobrevoltaje y las pérdidas en el transistor, ahora es el inductor  $L_S$  el elemento principal que determina la magnitud de la corriente transitoria y las pérdidas de encendido.

Obsérvese en el circuito que el diodo  $D_S$  no permite que la corriente de descarga del capacitor fluya hacia el transistor, por lo que la trayectoria de descarga es hacia la fuente.

Lo anterior es muy importante dado que no se tendrá ninguna corriente adicional de descarga durante la fase de encendido, por tanto se contribuye a evitar los riesgos de un  $di/dt$  de magnitud excesiva.

Las expresiones que definen el apagado y encendido cuando se utiliza esta configuración, se presentan en el capítulo siguiente.

### CONFIGURACION CINCO.

Esta configuración en contraste con las anteriores tiene un inductor saturable  $L_1$  conectado en serie con el colector de cada transistor y además, contiene una red RC extra tal como se muestra en la figura 2-20.

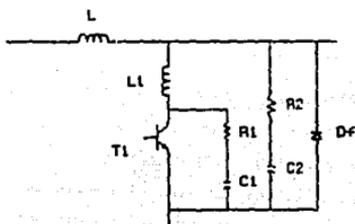


FIGURA 2-20.

Nótese que, esta red no tiene diodos de polarización. Sin embargo tiene una mayor cantidad de elementos almacenadores de energía por lo que su descripción matemática es más compleja.

Las curvas de voltaje y corriente del transistor durante la fase de apagado se presentan en la figura 2-21.

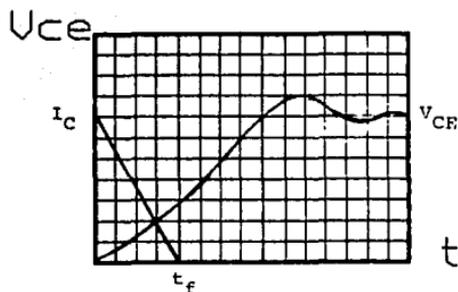


FIGURA 2-21

Al igual que la configuración anterior ésta respuesta no presenta escalón inicial de voltaje, la curva se eleva suavemente mientras la corriente de colector cae hasta cero, traduciéndose en pérdidas menores.

El análisis del circuito no es tan simple dado que se tiene un sistema dinámico de cuarto orden ( se tienen cuatro elementos almacenadores de energía ) y además uno de los elementos no es lineal (  $L_1$  ). Sin embargo, el  $dV_0/dt$  del apagado y el  $di/dt$  del encendido, ocurren cuando el inductor aún no está saturado. Por tanto, para los propósitos de análisis se puede suponer a  $L_1$  como un inductor lineal con inductancia no saturable.

ANÁLISIS DEL APAGADO.- Durante esta fase se deben considerar dos parámetros muy importantes que son: la razón de crecimiento de voltaje (  $dV/dt$  ) y el valor máximo de voltaje (  $V_{op}$  ).

Por tanto, la red se diseña de manera que el voltaje en el transistor llegue a su valor máximo  $V_{op}$ , después de que el inductor  $L_1$  se ha saturado. De ahí que, es necesario que la capacidad volt-segundo del inductor sea tan pequeña como sea posible.

De cualquier manera, para conocer los parámetros antes mencionados es necesario primero determinar, la expresión de la corriente que circula por la rama  $R_1L_1C_1$ , para después calcular el voltaje a través de  $R_1C_1$ .

Pues bien, al inicio del apagado se tienen las siguientes condiciones:

$$I_L(0) = I_{pr}$$

$$V_1(0) = 0$$

$$V_2(0) = 0$$

$$I_{L1}(0) = 0$$

Donde:  $I_{pr}$  representa la corriente máxima de recuperación del diodo  $D_f$ .

Inmediatamente después de que  $D_f$  deja de conducir, la corriente inversa de recuperación que fluía a través de  $L$ , fluirá ahora en la trayectoria  $R_2C_2$  ya que en  $L_1$  la corriente no puede cambiar instantáneamente.

Lo anterior indica que la corriente en la rama  $R_1 C_1 L_1$  se inicia desde cero, y depende también de la corriente en la otra rama  $R_2 C_2$ .

Se tiene entonces que tal corriente es función de todos los elementos del sistema linealizado, y las expresiones de la Transformada de Laplace y su función inversa son:

$$I_1(S) = \frac{\left[ R_2 S + \frac{1}{C_2} \right] \left[ E + L i_L(0) S \right]}{\left[ (L+L_1) S + R_1 S + \frac{1}{C_1} \right] \left[ L S + R_2 S + \frac{1}{C_2} \right] - L S^2}$$

$$i_1(t) = \mathcal{L}^{-1} \left[ I_1(S) \right]$$

Sustituyendo las condiciones iniciales y los valores de los componentes se obtiene la magnitud de  $i_1(t)$ .

Asimismo, el voltaje en el transistor se calcula con la siguiente expresión:

$$V_{CE}(t) = R_1 i_1(t) + \frac{1}{C_1} \int i_1(t) dt$$

La razón de crecimiento de voltaje es:

$$\frac{dV_{CE}(t)}{dt} = R_1 \frac{di_1(t)}{dt} + \frac{i_1(t)}{C_1}$$

La expresión de  $I(s)$  representa un sistema dinámico de cuarto orden y manualmente es muy difícil de obtener su Transformada Inversa. Sin embargo, esto puede lograrse auxiliándose de una computadora.

De manera similar, se obtienen los valores de  $V_0(t)$  y  $dV_0/dt$ .

ANÁLISIS DEL ENCENDIDO.- La figura 2-22 muestra el circuito equivalente para el encendido del transistor:

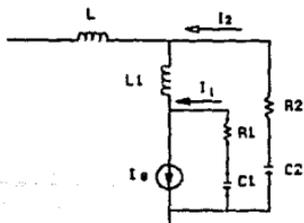


FIGURA 2-22

Ahora el parámetro de mayor importancia es la razón de crecimiento de la corriente de colector. Nótese que la razón  $di/dt$ , originada por la descarga del capacitor, podría ser muy alta ( teóricamente infinita ) ya que no se tiene un inductor en esta rama  $R_1C_1$ . Sin embargo. la descarga es limitada por la inductancia del circuito, por las características de encendido del transistor y por la resistencia  $R_1$ .

Así que, el diseñador del circuito solo tiene control sobre el valor de tal resistencia, por lo que ésta debe ser tan grande como sea posible. Así también,  $C_1$  se elige de manera que la energía que almacene no sea grande, para evitar una descarga elevada.

La Transformada de Laplace del circuito es:

$$I_{L_1}(S) = \frac{\left[ R_2S + \frac{1}{C_2} \right] E + L V_2(0) S^{\#}}{S^{\#} \left[ L L_1 S^{\#} + (L+L_1)R_2S + \frac{L + L_1}{C_2} \right]}$$

Calculando su Transformada Inversa se obtiene  $i_{L_1}(t)$ , y derivando la expresión resultante conoceremos  $di/dt$  cuya magnitud es función de las condiciones iniciales y del valor de los elementos del sistema en general.

Todas las expresiones anteriores son válidas únicamente durante el tiempo en que el inductor no está saturado. Este tiempo puede calcularse de la expresión de voltaje del inductor:

$$V_{L_1}(t) = L_1 \frac{di_1(t)}{dt}$$

$$\frac{di_1(t)}{dt} \Big|_{t=t_s} = 0$$

Para obtener el valor de  $t_s$ , se deriva la expresión de la corriente y se iguala a cero. Finalmente se despeja dicho tiempo, el cual debe ser menor que el tiempo de apagado de la red.

CONFIGURACION SEIS.

La figura 2-23 muestra una RED NO DISIPATIVA cuyos elementos son  $D_1$ ,  $D_2$ ,  $L_S$  y  $C_S$ ; la cual está implementada en un convertidor CD-CD del tipo "FLYBACK". Su característica principal es que no tiene elementos disipadores de energía como en los casos anteriores, entonces la energía que almacena durante el apagado la regresa a la fuente durante la fase de encendido.

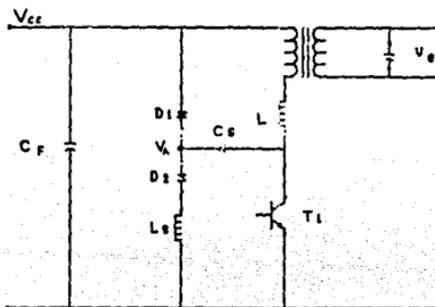


FIGURA 2-23

Dado que no disipa energía, esta red representa una solución óptima para este tipo de convertidores CD-CD.

## FUNCIONAMIENTO DEL CIRCUITO.

El elemento  $L_L$  representa la inductancia de fuga del transformador de potencia, referida al lado primario. El transformador tiene una razón de vueltas  $N:1$  y puede asumirse que su inductancia de magnetización es muy grande comparada con la inductancia de fuga. De aquí que puede omitirse del análisis, el efecto de la inductancia de magnetización en la operación de la red amortiguadora.

Para describir la operación de la red mostrada, se asume inicialmente que el transistor  $T_1$  está saturado.

En el instante  $t=0$  el transistor recibe en su base la señal de apagado y después de un tiempo de almacenamiento su corriente de colector empieza a decrecer. Simultáneamente, la porción de corriente que no conduce el transistor empieza a fluir a través de  $C_S$  y del diodo  $D_1$ . La corriente en el primario del transformador se mantiene constante durante el tiempo de caída  $t_f$ .

Se asume también que antes del inicio del proceso de apagado, el capacitor  $C_S$  estaba cargado a un cierto voltaje entre cero y  $-V_{CC}$ . Dependiendo del valor actual de este voltaje, la acción de la red amortiguadora se inicia cuando el diodo  $D_2$  empieza a conducir. Después de esto, la razón de crecimiento de  $V_{CE}$  se limita por el capacitor de la red.

Con un valor de capacitancia adecuado y un voltaje inicial ( a través del capacitor ) lo suficientemente grande, el voltaje colector-emisor se incrementa solo hasta un valor pequeño durante el tiempo en que la corriente de colector cae hasta cero.

El capacitor  $C_S$  continúa cargandose despues de que el diodo  $D_3$ , conectado en el secundario, sobrepasa la corriente del transformador. En esta fase,  $C_S$  se carga por la energía almacenada en la inductancia de fuga  $L_L$ . Tan pronto como  $L_L$  pierde esta energía, es decir, la corriente  $i_C$  cae a cero, el voltaje colector-emisor del transistor decrece rápidamente. El voltaje de colector será entonces igual al voltaje de amarre reflejado  $V_{CC}+nV_O$ .

En el periodo siguiente, durante la fase transitoria de encendido del transistor  $T_1$ , el voltaje a través del capacitor de la red cambia su polaridad. Esto es el resultado de la acción resonante de  $L_S$  y  $C_S$ , los cuales están conectados en serie a través del diodo  $D_2$ , mientras que la corriente fluye en la rama  $D_2$   $L_S$ . La corriente no puede incrementar el voltaje  $V_A$  a un valor superior a  $V_{CC}+0.7$  debido a que el diodo  $D_1$  entra en conducción y amarra el voltaje en tal valor. A partir de este momento, la corriente en  $L_S$  fluye hacia la fuente siguiendo la trayectoria  $L_S$ ,  $D_2$  y  $D_1$ . De esta manera la energía almacenada en  $C_1$ , se regresa a la fuente.

Por último, es importante conectar a través de la fuente de alimentación un capacitor  $C_F$  de baja inductancia para absorber los transitorios de corriente que se presentan en la línea.

En la siguiente fase de apagado el proceso completo se repite. Las formas de onda características de este circuito se muestran en la figura 2-24.

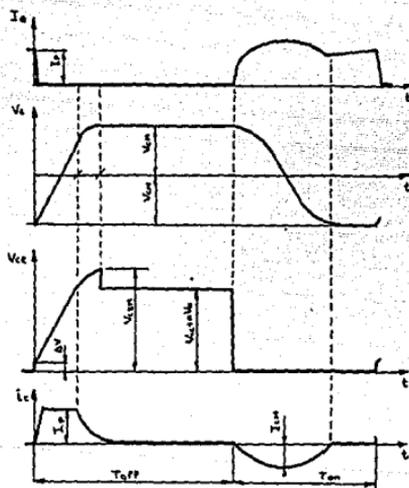


FIGURA 2-24

Por último, es importante conectar a través de la fuente de alimentación un capacitor  $C_F$  de baja inductancia para absorber los transitorios de corriente que se presentan en la línea.

En la siguiente fase de apagado el proceso completo se repite. Las formas de onda características de este circuito se muestran en la figura 2-24.

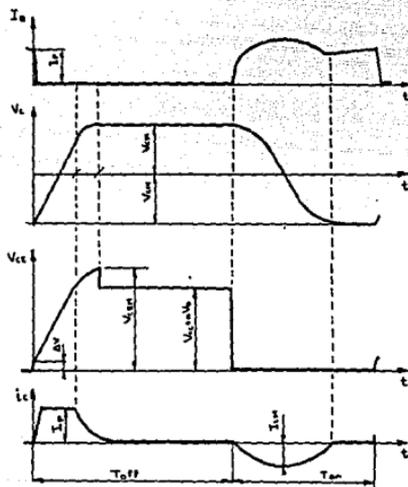


FIGURA 2-24

### II.3 COMPARACION ENTRE REDES.

En esta sección se plantean las ventajas y desventajas que ofrece cada configuración, tomando en cuenta que la aplicación específica de este trabajo se refiere exclusivamente a convertidores CD-CA tipo puente.

#### I.-CONFIGURACION UNO.

##### VENTAJAS:

A).-Está integrada por una cantidad menor de elementos que cualquier otra red .

B).-Dado que es una red muy simple, el cálculo de sus elementos es relativamente fácil.

C).-Si la red se diseña apropiadamente puede ser una solución provisional para amortiguar un poco los transitorios en el transistor.

##### DESVENTAJAS:

A).-Para un valor suficientemente grande de  $C$  y una  $R$  pequeña, se tiene una reducción considerable de las pérdidas de apagado ya que cuando  $I_C$  cae hasta cero  $V_{CE}$  aún es pequeño.

Sin embargo, la energía almacenada es grande y durante el encendido se tiene una corriente alta de descarga hacia el transistor contribuyendo a incrementar el  $di/dt$  y las pérdidas en esta fase.

B).-Si  $R$  es grande la corriente de descarga es menor teniéndose un menor  $di/dt$  que el caso anterior, sin embargo el  $dV/dt$  es mayor y también las pérdidas de apagado.

C).-Si  $R$  es de un valor intermedio, durante el encendido existirá un  $di/dt$  de magnitud intermedia a los casos anteriores. A su vez el  $dV/dt$  en el apagado también será de magnitud intermedia.

D).-De cualquier manera, en los tres casos anteriores se tienen en el transistor pérdidas totales considerables. Obviamente, las pérdidas serían mayores si no se tuviera red amortiguadora.

Si los límites de las Areas Seguras de Operación están muy por encima de los niveles de voltaje y corriente que maneja el inversor, esta red puede ser útil para amortiguar los transitorios de encendido y apagado. Sin embargo, por las razones expuestas esta red es poco eficiente en cuanto a la reducción de pérdidas.

## II.-CONFIGURACION DOS.

### VENTAJAS.

A).-Debido a su diodo de polarización, durante el apagado se tiene un bajo  $dv/dt$ .

B).-No presenta escalón inicial en el instante de apagado, por tanto la curva de  $V_{ce}$  crece suavemente.

C).-Los incisos anteriores indican que se tienen pérdidas mínimas durante el apagado.

D).-Dado que  $R_s$  se elige lo suficientemente grande, la corriente de descarga del capacitor es pequeña comparada con la que se tiene en la configuración anterior.

### DESVENTAJAS.

A).-La corriente de descarga del capacitor aunque es pequeña fluye hacia el transistor, contribuyendo un poco a incrementar el  $di/dt$  en el encendido.

B).-No se tiene algun elemento específico para limitar el  $di/dt$  el cual solo es amortiguado por la inductancia del circuito y por las características de encendido del transistor.

C).-En base a los puntos anteriores se tiene que, el  $di/dt$  puede ser muy elevado representando un riesgo de ruptura por corriente. Las pérdidas de encendido pueden ser considerables.

### III.-CONFIGURACION TRES.

#### VENTAJAS.

A).-La resistencia  $R_A$  conectada en serie con el diodo de polarización limita la corriente de carga del capacitor, lo cual implica menor riesgo de rebasar la capacidad de corriente del diodo.

B).-Se tiene también, al igual que la configuración anterior, una corriente de descarga pequeña si  $R_B$  se elige lo suficientemente grande.

C).-Si  $R_A$  es pequeña las pérdidas en el apagado son menores de las que se tienen en la configuración UNO.

#### DESVENTAJAS.

A).-Debido a la inclusión de  $R_A$  la curva de  $V_{ce}$  presenta un pequeño escalón al inicio del apagado, por tanto su valor debe calcularse cuidadosamente para que el escalón no contribuya a tener pérdidas considerables.

B).-Al igual que la configuración anterior, el  $di/dt$  únicamente es limitado por la inductancia del cableado y por las características propias del transistor.

C).-En base a lo anterior, las pérdidas de encendido pueden ser considerables.

#### IV.-CONFIGURACION CUATRO.

##### VENTAJAS.

A).-Esta configuración es más eficiente que todas las anteriores dado que está integrada por una red de encendido y una red de apagado, lo cual significa que el transistor está protegido en ambas fases.

B).-Esta red combinada posee todas las ventajas enunciadas en la configuración DOS ya que prácticamente la red de apagado es similar.

C).-Debido al inductor  $L_S$  conectado en serie con el colector, durante el encendido no se tienen cambios bruscos de corriente teniéndose por tanto un bajo  $di/dt$ .

D).-A diferencia de las redes anteriores, aquí la corriente de descarga del capacitor no fluye hacia el transistor sino hacia la fuente, o hacia la carga según sea la ubicación del transistor.

E).-En base a lo expuesto anteriormente se puede afirmar que las pérdidas durante el encendido y apagado son mínimas.

##### DESVENTAJAS.

A).-La red está diseñada específicamente para proteger a los transistores de un inversor tipo puente, por lo que, sus ecuaciones y su funcionamiento solo son aplicables a este caso en particular.

## V.-CONFIGURACION CINCO.

### VENTAJAS.

A).-En el instante del apagado no se tiene ningún escalón en la curva de voltaje por lo que el  $dV/dt$  es pequeño.

B).-Si se elige  $R_1$  lo suficientemente grande, la corriente de descarga de  $C_1$  es pequeña, lo cual contribuye a tener un menor  $di/dt$  durante el encendido.

C).-Debido al inductor saturable  $L_1$  se tiene un bajo  $di/dt$  durante el encendido, teniéndose pérdidas mínimas en esta fase.

D).-Si el  $dV/dt$  es pequeño la pérdidas de apagado son mínimas.

### DESVENTAJAS.

A).-La cantidad de elementos es mayor que en todas las configuraciones anteriores.

B).-Dado que durante el encendido y el apagado las dos ramas de la red conducen corriente y puesto que se tienen cuatro elementos almacenadores de energía, esta red es un sistema de cuarto orden cuya solución es muy difícil por la vía convencional (manualmente). La complejidad anterior implica el uso de una computadora.

C).-Durante el encendido, la corriente de descarga de  $C_1$  aunque puede ser pequeña fluye hacia el transistor. Y aunque se tiene  $L_1$  para limitar el  $di/dt$  la descarga puede ser significativa ya que es directamente sobre el colector.

#### VI.-CONFIGURACION SEIS.

##### VENTAJAS.

A).-Es una RED NO DISIPATIVA cuyas pérdidas en la misma pueden considerarse despreciables.

B).-Durante la fase de apagado del transistor, la red mantiene el voltaje en un nivel mínimo teniéndose por tanto pérdidas mínimas.

C).-Durante el encendido debido al efecto resonante el voltaje  $V_{ce}$  es prácticamente nulo y la energía que almacenó  $C_s$  se transfiere a  $L_s$  y finalmente fluye hacia la fuente.

D).-Es una red muy eficiente dado que reduce enormemente las pérdidas en el transistor durante su conmutación.

##### DESVENTAJAS.

A).-Es una red especialmente diseñada para convertidores CD-CD por lo que, no es aplicable en un inversor puente dado que su operación es diferente.

#### II.4 SELECCION DE LA RED AMORTIGUADORA.

La aplicación de este trabajo está dirigida particularmente hacia inversores tipo puente, tanto monofásicos como trifásicos.

De las configuraciones descritas anteriormente, a excepción de la última, todas pueden ser utilizadas en este tipo de aplicación.

Por tal razón, en la sección anterior se presentaron las ventajas y desventajas asociadas a cada una de ellas, en base a lo cual se concluye que la más adecuada dadas sus características es la CONFIGURACION CUATRO.

Sin embargo, dentro de esta configuración aún se tiene una amplia gama de posibilidades en cuanto a la elección de sus elementos. Por tanto se hace indispensable un análisis detallado de su funcionamiento para poder establecer así, las ecuaciones necesarias que determinan a cada elemento.

## CAPITULO III

### ANALISIS Y DISEÑO DE LA RED AMORTIGUADORA

#### III.1 INTRODUCCION.

El análisis detallado de la red seleccionada integrada a todo el circuito inversor sirve como referencia para plantear las ecuaciones de diseño de cada componente de la red.

A su vez, tales ecuaciones proporcionan un intervalo de valores que puede tomar cada elemento, y para elegir un valor determinado, debe hacerse un análisis de pérdidas en el transistor y en la red.

#### III.2 ANALISIS DE LA RED.

El circuito inversor tipo puente puede considerarse como un conjunto simétrico de dos ramas, por tanto, el análisis de una de ellas es plenamente aplicable a la otra.

Así entonces, con el propósito de analizar detalladamente el funcionamiento de las redes amortiguadoras integradas al inversor, consideraremos la rama izquierda del circuito.

Para una mayor claridad, el funcionamiento se divide en intervalos de tiempo, mostrándose en cada uno de ellos las trayectorias de corriente.

Inicialmente se asume que el transistor  $T_4$ , mostrado en la figura 3-1.A, conduce toda la corriente de carga.

INTERVALO  $t_0 < t < t_1$ .

Durante este intervalo el transistor  $T_1$  está apagado por lo que su voltaje entre colector y emisor se aproxima al de la fuente. Ver la figura 3-1.A

INSTANTE  $t=t_1$ .

En este instante  $T_4$  se apaga dado que se le ha aplicado una señal negativa en la base. Por tanto, su corriente de colector empieza a decrecer y el voltaje colector-emisor tiende a incrementarse.

En este mismo instante empieza a elevarse la corriente en el capacitor  $C_{s4}$ , mientras que el voltaje de  $C_{s1}$  empieza a caer iniciándose su descarga. Ver figura 3-1.B.

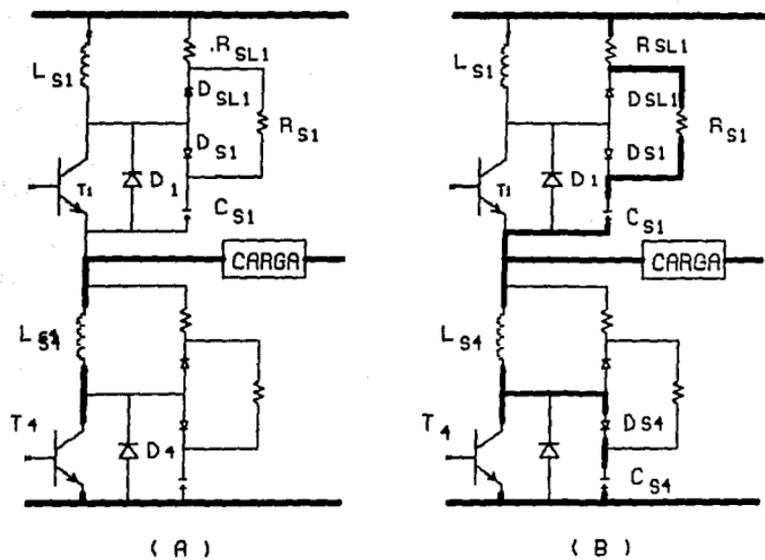


FIGURA 3-1

INTERVALO  $t_1 < t < t_2$ . ( tiempo de caída )

En este intervalo el voltaje a través de  $C_{S4}$  crece gradualmente siguiendo una curva exponencial. Por su parte, la corriente en  $C_{S4}$  se incrementa linealmente, ya que se supone una caída lineal en la corriente del transistor  $T_4$ . Ver figura 3-1.C.

INSTANTE  $t=t_2$ .

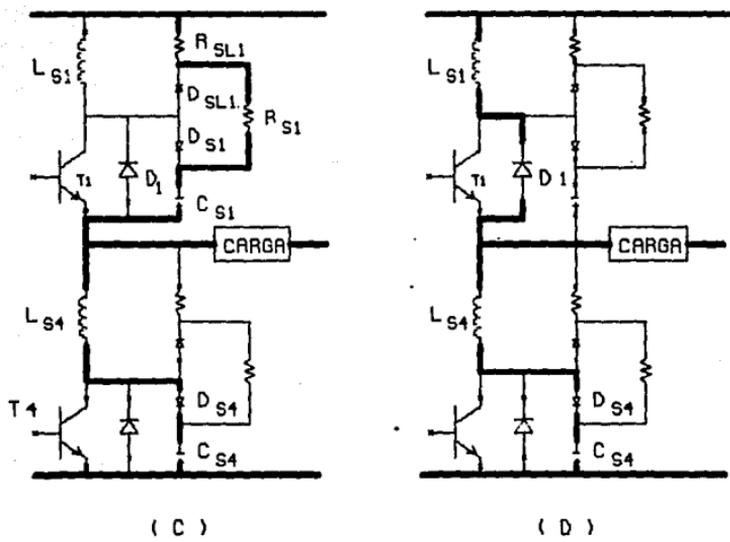
En este instante la corriente en el transistor  $T_4$  cae hasta cero. Por su parte  $C_{S4}$  ha alcanzado el voltaje  $V_{CD}$  mientras su corriente  $i_{CS4}$  llega a su valor máximo.

Simultáneamente  $C_{S1}$  sigue descargándose a través de  $R_{S1}$  y  $R_{LS1}$ . Ver figura 3-1.C.

INTERVALO  $t_2 < t < t_3$ .

En este periodo el capacitor  $C_{S1}$  se ha descargado en su mayor parte, su voltaje tiende a cero.

Por su parte  $C_{S4}$  continúa cargándose mientras su corriente disminuye siguiendo una forma compleja debido a la descarga del capacitor  $C_{S1}$ . Ver figura 3-1.C



( C )

( D )

FIGURA 3-1

INSTANTE  $t=t_3$ .

En tal instante el voltaje a través de  $C_{S4}$  es igual al de la fuente  $V_D$ . A su vez la descarga de  $C_{S1}$  termina y su voltaje es nulo.

Por su parte el diodo  $D_1$  entra en conducción. Ver figura 3-1.D.

INTERVALO  $t_3 < t < t_4$ .

En este lapso de tiempo la corriente de carga  $I_L$  es conducida por el diodo  $D_1$  y el capacitor  $C_{S4}$ . La corriente en  $D_1$  aumenta linealmente y en  $C_{S4}$  disminuye de la misma manera.

Además, en este tiempo el voltaje en el transistor  $T_4$  ha llegado hasta una magnitud superior a la fuente, debido al voltaje en  $R_{LS4}$ . Ver figura 3-1.D.

INTERVALO  $t=t_4$ .

A partir de este momento el diodo  $D_1$  conduce completamente la corriente de carga, por tanto la corriente en  $C_{S4}$  es nula.

Simultáneamente la energía almacenada por  $L_{S4}$  se libera a través del diodo  $D_{LS4}$  y la resistencia  $R_{LS4}$ .

Por su parte el voltaje en el transistor  $T_4$  alcanza su valor máximo  $V_{pico}$  cuya magnitud es igual a  $V_D + V_{RS}$ . Ver figura 3-1.E

INTERVALO  $t_4 < t < t_5$ .

Durante este periodo, el sobrevoltaje en  $T_4$  tiende a establecerse en su valor final.

INSTANTE  $t=t_5$ .

En este instante termina el estado transitorio de la fase de apagado del transistor  $T_4$ . Su voltaje colector-emisor es igual al de la fuente y su corriente de colector es nula.

DESPUES DE  $t > t_5$ .

Unicamente el diodo  $D_1$  conduce la corriente de carga.

Las curvas de respuesta de los elementos de la rama analizada, se presentan en la figura 3-2. De hecho, estas curvas son una representación gráfica de la descripción hecha anteriormente.

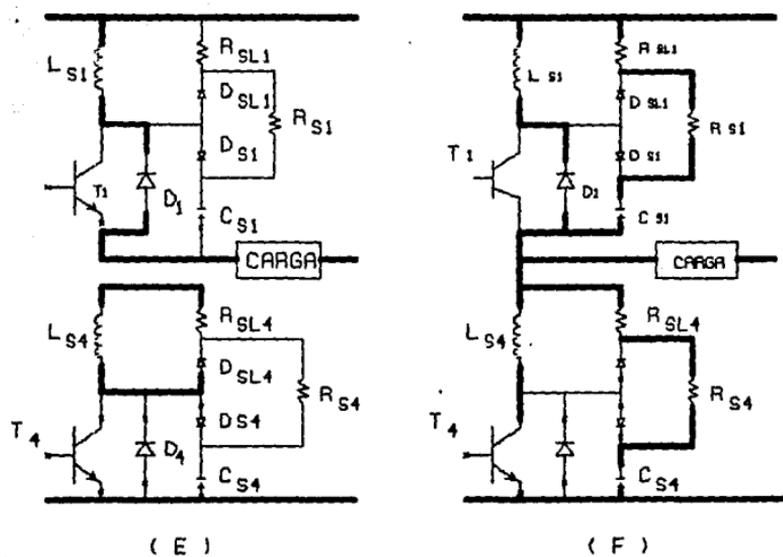


FIGURA 3-1

ESTA TESIS NO DEBE  
SALIR DE LA BIBLIOTECA

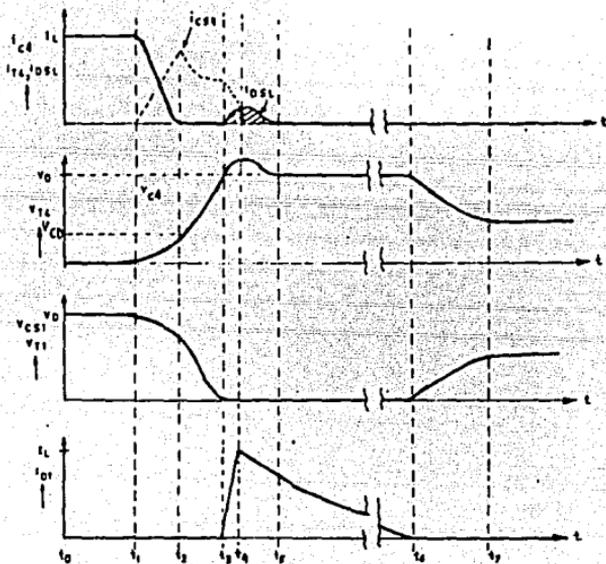


FIGURA 3-2.- CURVAS DE RESPUESTA.

### III.3 ESTABLECIMIENTO DE LAS ECUACIONES DE DISEÑO.

En esta sección se plantean las ecuaciones necesarias para calcular el valor de cada uno de los elementos que integran la red. Dado que la configuración elegida se integra de una red de apagado y una de encendido el análisis matemático se presenta por separado.

#### III.3.1 RED DE APAGADO.

El circuito de la figura 3-3 muestra la red amortiguadora de apagado del transistor  $T_1$ .

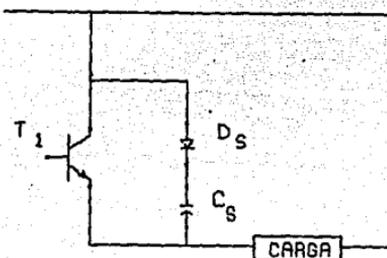


FIGURA 3-3.

Durante el tiempo caída  $t_f$  la corriente de colector decrece linealmente, y simultáneamente la corriente en la red aumenta de la misma forma, manteniéndose constante la corriente de carga.

Por tanto, tal corriente en ese intervalo está dada por:

$$I_T = \frac{I_L t}{t_f}$$

donde:  $I_L$  es la corriente de carga.

### III.3.1.1 CALCULO DEL CAPACITOR. -

Por otra parte tenemos que, el voltaje en un capacitor cualquiera, se calcula con la siguiente expresión:

$$V_C = \frac{1}{C} \int i(t) dt$$

Por lo tanto, de las ecuaciones anteriores tenemos que el voltaje en el capacitor  $C_S$  durante el tiempo de caída, está dado por:

$$V_{CS} = \frac{1}{C_S} \int_0^{t_f} I_L \frac{t}{t_f} dt$$

Resolviendo la integral y evaluando en sus límites nos queda la expresión siguiente:

$$V_{CS} = \frac{I_L t_f}{2 C_S} \dots (1)$$

donde:  $V_{CS}$  es el voltaje que tiene el capacitor en el instante  $t=t_f$ .  
 Para una red normal  $V_{CS}=V_D$ .

Reordenando la expresión (1) se obtiene la expresión para calcular el valor del capacitor:

$$C_S = \frac{I_L t_f}{2 V_{CS}} \dots (2)$$

La magnitud de  $V_{CS}$  en el instante  $t_f$  la define previamente el diseñador de la red, entre mas pequeña sea las pérdidas en el transistor son menores.

Sin embargo, si se elige un valor muy pequeño de  $V_{CS}$  resultará un valor elevado de capacitancia, entonces la energía almacenada por la red será mayor y las pérdidas en la misma también crecerán.

La figura 3-4 presenta las curvas de las curvas de respuesta ideales para la red de apagado que se está analizando.

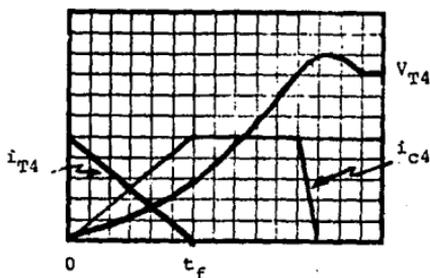


FIGURA 3-4.

En la práctica, debido a la influencia de las redes amortiguadoras de los otros transistores, las respuestas difieren un poco como puede observarse en las curvas de la sección anterior.

Independientemente de lo anterior, la energía almacenada por el capacitor durante el intervalo de apagado se determina por:

$$E_{CS} = 0.5 C_S V_D^2 \dots\dots (3)$$

### III.3.2 RED DE ENCENDIDO.

El circuito siguiente muestra la red amortiguadora de encendido, la cual está conectada en serie con el colector del transistor.

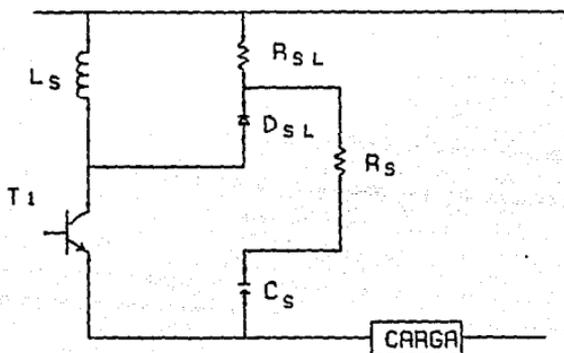


FIGURA 3-5.

A continuación se presentan las expresiones necesarias para calcular cada uno de sus elementos.

#### III.3.2.1 CALCULO DE LA RESISTENCIA $R_S$ . -

Suponiendo que únicamente  $R_S$  limita la corriente de descarga del capacitor y considerando que bajo ninguna situación deben rebasarse los límites del transistor tenemos que:

$$R_S > \frac{V_D}{I_C - I_L} \quad \dots \quad (4)$$

donde:

$I_C$  es la corriente máxima que puede permitir el transistor.

$I_L$  es la corriente de la carga.

La expresión (4) nos permite calcular el valor mínimo que debe tener la resistencia  $R_S$ .

El valor máximo de  $R_S$  depende directamente de el tiempo mínimo que permanece encendido el transistor. Dicho tiempo debe ser mayor que el tiempo de descarga del capacitor.

Suponiendo que  $C_S$  se descarga en tres veces la constante de tiempo  $R_S C_S$  tenemos:

$$T_{ONmin} > 3R_S C_S$$

reordenando tenemos que:

$$R_S < \frac{T_{ONmin}}{3 C_S} \quad \dots \quad (5)$$

Combinando (4) y (5) nos queda la expresión siguiente:

$$R_S < \frac{V_D \cdot T_{ON \min}}{I_C - I_L - 3 C_S} \dots\dots (6)$$

La ecuación anterior nos permite conocer el rango de valores que puede tomar la resistencia  $R_S$ , pudiendose elegir cualquier valor comercial que esté dentro de este intervalo.

En el caso de inversores que utilizan la técnica PWM (Modulación por Ancho de Pulsos) la conducción se alterna entre  $T_1$  y  $D_4$  para diferentes periodos de pulsos, durante la mayor parte de un semiciclo.

Por tanto, cuando  $D_4$  está conduciendo, se enciende  $T_1$  y conducirá además de la corriente de carga la corriente inversa de recuperación del diodo  $D_4$ .

Se tiene entonces que la expresión (4) se modifica quedando como sigue:

$$R_S > \frac{V_D}{I_C - I_L - I_{rr}} \dots\dots (7)$$

Sustituyendo (7) en (6) se obtiene ahora el rango de valores que puede tomar  $R_s$ , si se utiliza la técnica PWM.

$$\frac{V_D}{I_M - I_L - I_{rr}} < R_s < \frac{T_{ONmin}}{3 C_s} \quad \dots (8)$$

La energía que se almacena en el capacitor durante el apagado, se disipa en la resistencia  $R_s$  cuando el transistor se enciende nuevamente. Entonces la potencia disipada en  $R_s$  es:

$$P_{RS} = 0.5 C_s V_D^2 f \quad \dots (9)$$

$f$  es la frecuencia de operación del inversor.

La especificación de potencia de la resistencia elegida debe ser mayor al valor obtenido con la expresión (9).

Obsérvese que al incrementar el valor de  $C_s$  se tienen mayores pérdidas en la red, en contraste, las pérdidas en el transistor disminuyen.

### III.3.2.2 CALCULO DEL INDUCTOR $L_S$ .

El análisis se ubica durante el tiempo de subida  $t_r$  de la corriente del transistor, ya que durante este intervalo su voltaje cae hasta cero, para una red normal.

Suponiendo que en todas las redes se tienen elementos de igual valor, entonces  $L_{S1}=L_{S2}=L_{S3}=L_{S4}=L_S$ . Por lo que el voltaje colector-emisor se determina por:

$$V_{ce} = V_D - 2L_S \frac{di_T}{dt} \quad \dots\dots (10)$$

En el instante  $t=t_r$  el voltaje en el transistor es prácticamente cero y el valor del inductor  $L_S$  puede calcularse de la manera siguiente:

$$0 = V_D - 2L_S \frac{di_T}{dt}$$

$$V_D = 2L_S \frac{di_T}{dt}$$

$$\int V_D dt = 2L_S \int_0^{t_r} \frac{di_T}{dt} dt$$

finalmente:  $L_S = V_D t_r / 2I_C \quad \dots\dots (11)$

Dado que en el instante del encendido de  $T_1$  el diodo  $D_4$  aún conduce la corriente de carga, el valor de  $L_S$  también puede calcularse considerando que, la corriente en

$T_1$  no puede exceder el valor límite  $I_M$  durante el tiempo de recuperación del diodo  $D_4$ .

De esta manera se tiene entonces que:

$$L_S = \frac{V_{Dtrr}}{2 I_M} \dots\dots\dots (12)$$

De las expresiones (11) y (12) se obtienen determinados valores de  $L_S$  y debe elegirse el m<sup>as</sup> grande para mayor seguridad.

El inductor  $L_S$  no debe saturarse a corrientes menores a la máxima permitida, ya que de hacerlo la red no protege al transistor contra los transitorios de corriente.

### III.3.2.3 CALCULO DE LA RESISTENCIA $R_{SL}$ . -

Cuando la energía del inductor  $L_S$  se libera, la corriente (  $I_{LS}=I_L$  ) circula a través de  $R_{SL}$  y  $D_{SL}$ . Y la caída de voltaje a través de la resistencia incrementa el voltaje colector-emisor a un valor superior al de la fuente  $V_D$ .

Si este incremento se limita hasta un valor  $V_{RS}$  entonces el valor de  $R_{SL}$  se obtiene a partir de:

$$R_{SL} = \frac{V_{RS}}{I_L} \dots\dots\dots (13)$$

Por otra parte, la constante de tiempo de este circuito debe satisfacer la relación siguiente:

$$3 \frac{L_S}{R_{SL}} < T_{OFFmin} \dots\dots\dots(14)$$

La expresión anterior significa que la energía del inductor  $L_S$  debe liberarse en un tiempo menor al tiempo de apagado mínimo del transistor.

Se tiene entonces que el valor de  $R_{SL}$  obtenido con la expresión (12) debe satisfacer también la relación (14), combinando ambas expresiones nos queda :

$$3 \frac{L_S I_L}{V_{RS}} < T_{OFFmin} \dots\dots\dots (15)$$

Esto significa que si el tiempo mínimo de apagado lo permite, puede elegirse un sobrevoltaje tan pequeño como sea posible.

Por último, la potencia disipada en  $R_{SL}$  se calcula con la expresión siguiente:

$$P_{RSL} = 0.5 L_S I_L^2 f \dots\dots\dots(16)$$

Todos los diodos usados en las redes amortiguadoras deben ser de recuperación rápida.

Para mayor comodidad en el manejo de las formulas, en la tabla A se presenta un resumen de las ecuaciones planteadas en esta sección.

TABLA A

ECUACIONES DE DISEÑO

$$V_{CS} = \frac{I_L t_f}{2 C} \dots\dots (1)$$

Voltaje del capacitor en el instante  $t = t_f$

$$C_s = \frac{I_L t_f}{2 V_{CS}} \dots\dots (2)$$

Calculo del capacitor

$$E_{CS} = \frac{1}{2} C V_D^2 \dots\dots (3)$$

Energia almacenada en el capacitor

$$R_s > \frac{V_D}{I_M - I_L} \dots\dots (4)$$

Valor minimo de  $R_s$

$$R_s < \frac{T_{ON \min}}{3 C_s} \dots\dots (5)$$

Valor maximo de  $R_s$

TABLA A (continuación)

$$\frac{V_D}{I_M - I_L} < R_E < \frac{T_{ON_{min}}}{3 C_S} \quad \dots\dots (6)$$

Rango de valores que puede tomar la resistencia de descarga

$$R_S > \frac{V_D}{I_M - I_L - I_{rr}} \quad \dots\dots (7)$$

Valor mínimo de  $R_S$  cuando se utiliza la técnica PWM

$$\frac{V_D}{I_M - I_L - I_{rr}} < R_S < \frac{T_{ON_{min}}}{3 C_S} \quad \dots\dots (8)$$

Rango de valores de  $R_S$  cuando se utiliza PWM

$$P_{RS} = \frac{1}{2} C_S V_D^2 f \quad \dots\dots (9)$$

Potencia disipada en la red durante el encendido

$$V_{CE} = V_D - 2 L_S \frac{di_T}{dt} \quad \dots\dots (10)$$

Expresión de  $V_{CE}$  durante la fase de encendido

TABLA A (continuación)

$$L_s = \frac{V_D t_r}{2 I_M} \dots\dots\dots (11)$$

Valor del inductor  $L_s$  en función del tiempo de subida  $t_r$

$$L_s = \frac{V_D t_{rr}}{2 I_M} \dots\dots\dots (12)$$

Valor del inductor  $L_s$  en función del tiempo de recuperación  $t_{rr}$

$$R_{SL} = \frac{V_{RS}}{I_L} \dots\dots\dots (13)$$

Valor de la resistencia de la red de encendido

$$3 \frac{L_s}{R_{SL}} < T_{OFF \text{ min}} \dots\dots\dots (14)$$

Valor máximo de la constante de tiempo durante el encendido

$$3 \frac{L_s I_L}{V_{RS}} < T_{OFF \text{ min}} \dots\dots\dots (15)$$

Valor máximo de la constante de tiempo

$$P_{RS} = \frac{1}{2} L_s I_L^2 f \dots\dots\dots (16)$$

Potencia disipada en  $R_{SL}$  durante el apagado

#### III.4 ESPECIFICACIONES DE LOS ELEMENTOS DE LA RED.

Las ecuaciones de diseño de la TABLA A en conjunto con las especificaciones descritas en esta sección, determinan el criterio para la selección de cada elemento.

##### III.4.1 ELECCION DE LA RESISTENCIA $R_S$ .

Su valor se determina por medio de las expresiones (6) u (8), el valor comercial se selecciona tomando como referencia a tal valor.

La potencia que disipa durante el encendido está dada por la ecuación (9), por tanto, la capacidad de disipación de la resistencia seleccionada debe ser mayor al valor  $P_{RS}$  calculado.

##### III.4.2 ELECCION DE LA RESISTENCIA $R_{SL}$ .

Utilizando las expresiones (13) y (14) se determina el valor teórico que sirve como referencia para elegir el valor comercial.

Al igual que en el caso anterior, la capacidad disipativa de la resistencia debe ser mayor al valor  $P_{RS}$  obtenido por medio de la expresión (16).

Si la potencia que van a disipar las resistencias es menor a 5 watts pueden usarse resistencias de carbón. Para niveles mayores de disipación se recomienda utilizar resistencias de cerámica o de alambre.

### III.4.3 ELECCION DEL CAPACITOR $C_s$ .

Existen varios parámetros que deben tomarse en cuenta para la elección del capacitor:

1).-TEMPERATURA DE OPERACION.- Todo capacitor se diseña para operar dentro de un rango de temperatura, el cual depende del tipo de aplicación para el que fue diseñado, bajo ninguna condición deben rebasarse los límites especificados.

2).-VOLTAJE DE TRABAJO EN D.C.-Es el voltaje máximo de operación para un ciclo de trabajo continuo, especificado a una cierta temperatura.

3).- VOLTAJE MAXIMO.- Es el voltaje máximo que puede soportar el capacitor bajo cualquier condición de operación. Independientemente de que se tengan transitorios de voltaje durante su operación específica o sea expuesto a los rizados de la línea, nunca debe excederse el límite de voltaje máximo.

4).- RESISTENCIA SERIE EQUIVALENTE ( ESR ).

El factor de disipación DF de un capacitor cualquiera es directamente proporcional a su resistencia serie equivalente ( ESR ).

$$DF = \frac{2\pi fRC}{10^4} \quad (\%)$$

donde:

C= capacitancia en microfaradios.

R= ESR en ohms.

f= frecuencia en hertz.

$\pi = 3.1416$

Tal factor de disipación puede medirse en un puente de impedancias y en base a tal valor se determina ESR.

5).- MAXIMO VALOR DE  $dV/dt$ .

$$V_C = \frac{1}{C} \int i(t) dt$$

$$\frac{dV}{dt} = \frac{1}{C} i(t)$$

practicamente :  $\frac{dV}{dt} = \frac{I_L}{C}$  ( volt/seg )

Lógicamente se elige el capacitor con menor ESR dado que es menos disipativo. Obviamente, también se consideran los parámetros señalados en los primeros tres incisos.

Dentro de la tecnología de los capacitores, existe una enorme variedad de estilos, materiales y características de funcionamiento.

Básicamente podemos dividirlos en tres categorías principales:

- 1.-CAPACITORES DE CERAMICA ( 0.3pF-10 $\mu$ F ).
- 2.-CAPACITORES DE PELICULA ( 10 pF-50 $\mu$ F ).
- 3.-CAPACITORES ELECTROLITICOS ( 0.1 $\mu$ F-1 F ).

Obviamente, cada categoría ofrece ciertas ventajas de acuerdo al tipo de aplicación. Sin embargo, existen puntos de comparación entre ellas, lo cual nos permite conocer las ventajas de una sobre otra:

PRIMER PUNTO.- La capacidad para soportar rizados de corriente de un capacitor de película es al menos cinco veces mayor a la de un electrolítico.

SEGUNDO PUNTO.- Los capacitores de película pueden tolerar sobrevoltajes del 200% y voltajes inversos del 100%. Por su parte, un electrolítico normalmente soporta un voltaje inverso máximo de 1 volt y sobrevoltajes del 130%.

TERCER PUNTO.- En un capacitor electrolítico, al elevarse la frecuencia de operación, su ESR se incrementa y el valor de su capacitancia disminuye por lo que, bajo estas condiciones se vuelve muy disipativo.

CUARTO PUNTO.- Desde el punto de vista económico, un capacitor de película cuesta aproximadamente cuatro veces más que un electrolítico.

QUINTO PUNTO.- Desde el punto de vista funcional, tanto los capacitores de película como los de cerámica, presentan una alta confiabilidad dadas sus características de construcción. Sin embargo, los de cerámica generalmente se emplean en aplicaciones de precisión y los de película en circuitos de mayor potencia.

En base a los puntos anteriores se tiene que, dada nuestra aplicación el tipo de capacitor más recomendable es el de película.

A su vez, existen cuatro tipos de capacitores de película:

A).- DE POLIESTER.

B).- DE POLIESTIRENO.

C).- DE POLICARBONATO.

D).- DE POLIPROPILENO.

De los anteriores, el más recomendable a utilizar es el de polipropileno dado que está especialmente diseñado para operar con pulsos de alta tensión y posee características que lo hacen ser el dispositivo ideal para esta aplicación.

CARACTERISTICAS PRINCIPALES.-

- Película de polipropileno como dieléctrico.
- Electródos con poliéster doblemente metalizado y hojas de aluminio.
- Alta relación  $dV/dt$ .
- Alta tensión, mayor a 2000 V.
- Encapsulado de resina epóxica.
- Retardante a la flama.
- Bajas pérdidas.

CARACTERISTICAS ELECTRICAS.-

- Tensión nominal  $V_R$  ( 600 Vcd y 1600 Vcd ).
- Tensión de prueba: 2  $V_R$ .
- Variación de la capacitancia: menor al 1%.
- Factor de disipación (DF): < 0.001 a 1 KHz.  
< 0.0015 a 10 KHz.
- Resistencia de aislamiento:  $RIS > 10^4 M\Omega$ .  
( a 25°C, 100 Vcd durante 1 minuto )

## ESPECIFICACIONES DE LOS DIODOS.

En primer término, todos los diodos utilizados en esta aplicación, deben ser de recuperación rápida.

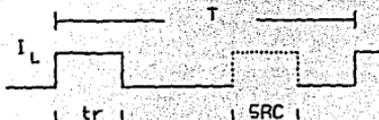
### A).- DIODO DE POLARIZACION $D_S$ .

Teóricamente, la corriente  $I_{MD}$  del diodo crece linealmente durante el apagado hasta alcanzar su valor máximo  $I_L$  mientras la corriente de colector cae hasta cero. La corriente pico máxima que puede soportar el diodo se denota en la hoja de datos como  $I_{FSM}$  (ver APENDICE A), por lo que:  $I_{MD} < I_{FSM}$ .

Por otra parte, la corriente promedio que circula por el diodo se calcula con la expresión del valor medio de la corriente del capacitor:

$$I_{MED} = \frac{1}{T} \int_0^T i_c(t) dt$$

Aproximando la función de carga y descarga del capacitor a una forma de onda cuadrada se tiene:



$$I_{MED} = \frac{1}{T} \int_0^{t_r} I_1 dt + \frac{1}{T} \int_0^{SRC} I_L dt$$

$$I_{MED} = \frac{1}{T} (t_r + SRC)$$

$$I_{MED} < I_0$$

Donde  $I_0$  es la corriente promedio del diodo, especificada en las hojas de datos.

Los diodos utilizados en esta aplicación deben ser de recuperación rápida, dado que presentan bajas pérdidas.

La característica principal de estos diodos es que tienen un tiempo de recuperación inversa ( $t_{rr}$ ) menor al de un diodo típico, lo cual resulta ventajoso en aplicaciones a altas frecuencias.

La figura 3-6 muestra los tiempos de recuperación de varios tipos de diodos rectificadores:

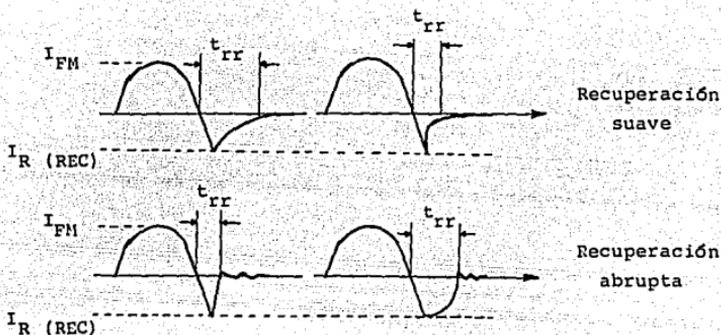


FIGURA 3-6.

Además de tener un  $t_{rr}$  pequeño, los diodos de recuperación rápida tienen también una corriente de recuperación inversa más pequeña que los diodos típicos. Debido a estas características, la carga total almacenada por el diodo durante el tiempo  $t_{rr}$ , es de una magnitud mucho menor comparada con otros diodos.

La expresión para calcular la carga total almacenada es:

$$Q = \int_0^{t_r} -i(t) dt$$

Se observa claramente que, al ser menores las magnitudes de  $i(t)$  y  $t_{rr}$ , la magnitud de  $Q$  se reduce.

Por otra parte, cuando la corriente de recuperación inversa alcanza su valor máximo  $I_R$ , la inductancia del circuito ha almacenado una cierta energía cuya magnitud es directamente proporcional a la carga almacenada por el diodo. Por tanto se tiene:

$$W = \frac{1}{2} Q V = \frac{1}{2} L I_R^2$$

Finalmente, las pérdidas de potencia en el diodo se calculan por medio de:

$$P_D = W f.$$

En la tabla siguiente se muestran los valores típicos de  $Q$  para diversos tipos de diodos:

DIODOS DE RECUPERACION RAPIDA                      DIODOS TIPICOS

TIPO	CARGA TIPICA	TIPO	CARGA TIPICA
1N4933	0.08 $\mu C$	1N4001	2 $\mu C$
MR830	0.12 $\mu C$	1N4719	4 $\mu C$
1N3889	0.16 $\mu C$	MR1120	15 $\mu C$
1N3899	0.19 $\mu C$	1N1183	20 $\mu C$

Para ver la diferencia entre las pérdidas de un diodo de recuperación rápida y uno típico, se toma de la tabla anterior un ejemplo de cada uno.

Las condiciones de operación son:

$$V=150 \text{ V, } f=150 \text{ KHz, } I=1 \text{ A.}$$

$$\text{Para el 1N4933 } Q=0.08 \text{ } \mu\text{C.}$$

$$W = 0.5 Q V = 6 \text{ microjoules.}$$

$$P_D = W f = 60 \text{ milliwatts.}$$

$$\text{Para el 1N4001 } Q=2\mu\text{C}$$

$$W = 150 \text{ microjoules.}$$

$$P_D = 1.5 \text{ Watts.}$$

La razón por la que se recomienda utilizar diodos de recuperación rápida ha quedado demostrada. Son dispositivos con mayor velocidad de respuesta y menos disipativos.

### III.5 ANALISIS DE LA EFICIENCIA DE LA RED.

En cualquier sistema, la eficiencia y las pérdidas del mismo son funciones inversamente proporcionales.

Lógicamente, un objetivo primordial en el desarrollo de equipos es, reducir hasta donde sea posible la magnitud de las pérdidas.

Para este caso específico se tiene que, las pérdidas totales en el inversor se constituyen por dos términos:

1.- PERDIDAS EN EL TRANSISTOR.

2.- PERDIDAS EN LA RED AMORTIGUADORA.

Por su parte, el transistor presenta pérdidas en sus tres etapas de operación : en corte, en conducción y durante su conmutación. Las pérdidas más significativas son las de la última etapa mencionada, de aquí la importancia de utilizar redes amortiguadoras apropiadas.

En la figura 3-7 se muestran las formas de onda teóricas durante la conmutación del transistor con carga inductiva.

En el inciso A) se presenta el caso en que no se tiene red amortiguadora. Se observa que durante el encendido, la corriente de colector se incrementa linealmente desde cero hasta su valor máximo  $I_C$  antes de que su voltaje  $V_{ce}$  inicie su caída.

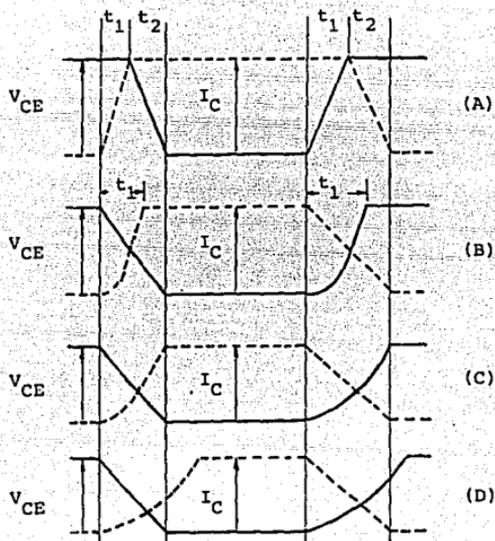


FIGURA 3-7

Similarmente, durante el apagado  $V_{ce}$  completa su subida antes de que la corriente de colector empiece a decrecer.

Las pérdidas de energía para este caso con carga inductiva están dadas por:

$$W_T = 0.5 E I t_S$$

Donde:  $t_S = t_1 + t_2$  y tales tiempos pueden ser diferentes para el encendido y el apagado ( ver figura 3-7.A ).

El caso anterior sirve como referencia para observar el efecto de los diferentes tamaños de la red, mostrado en los incisos restantes.

Las figuras 3-7 B), C) y D) representan la conmutación del transistor con red pequeña, normal y grande respectivamente. En cada caso la respuesta es diferente, sin embargo todos ellos tienen en común cierta dualidad entre su encendido y su apagado.

ENCENDIDO.- Durante esta fase  $V_{ce}$  cae linealmente determinado por las características del transistor, mientras que el incremento de  $I_c$  se determina por la acción de la red de encendido.

APAGADO.- Ahora es la corriente quien decrece linealmente determinada por las características propias del transistor mientras que, el incremento de  $V_{ce}$  se determina por la acción resultante de la red de apagado.

Concretizando, la forma de onda del voltaje durante el apagado, es similar a la forma de onda de la corriente durante el encendido.

Las escalas de voltaje y corriente se seleccionaron de manera que  $I_c$  y  $V_{ce}$  fueran del mismo tamaño, para mostrar así, la dualidad existente entre ambas fases.

En la figura 3-7 se observa también que, al ser mayor el tamaño de la red, la intersección de las curvas de voltaje y corriente se presenta a niveles menores. Esto implica una reducción en las pérdidas del transistor.

De hecho puede utilizarse una red lo suficientemente grande de manera que absorba todas las pérdidas de conmutación. Sin embargo, esto ocasiona un incremento en las pérdidas totales.

En la figura 3-8 se muestran tres gráficas que representan las pérdidas relativas y totales del inversor en función del tamaño de la red amortiguadora.

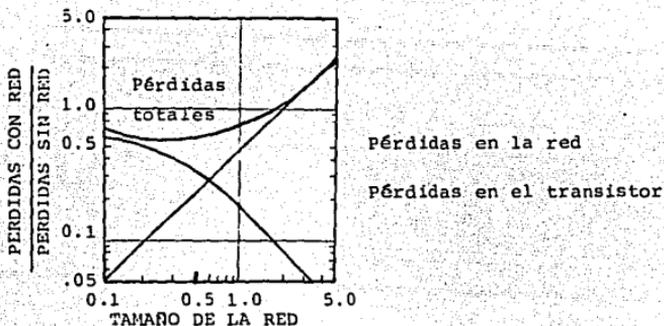


FIGURA 3-8.

Se observa en esta gráfica que, en la curva de pérdidas totales existe un punto en el que se tiene un nivel mínimo por lo que, si se desea un diseño óptimo desde el punto de vista del sistema, la red debe tener el tamaño correspondiente a ese punto de equilibrio. Se observa también que, para un tamaño de red igual a dos veces el normal, las pérdidas totales son iguales al caso del transistor sin red con la diferencia que ahora es la red quien asimila tales pérdidas.

La expresión " tamaño de la red " se refiere básicamente a una normalización. Es decir, dadas ciertas condiciones de operación, los elementos principales (  $L$  y  $C$  ) que integran la red deben tener ciertos valores específicos en función de  $E$ ,  $I$  y  $t_s$  los cuales cambian de acuerdo a la aplicación.

La TABLA I presenta las ecuaciones generales que definen la acción del transistor y de la red, en función de ellas se da la definición de una RED NORMAL.

Si la red tiene valores de capacitancia e inductancia menores a la normal se define como red de tamaño "pequeño". Asimismo, si la inductancia y la capacitancia son mayores a la normal, la red resultante es de tamaño "grande".

Para mayor claridad se resume lo anterior en la tabla siguiente:

TAMAÑO DE LA RED	VALOR DE L	VALOR DE C
PEQUEÑA	$L < L_n$	$C < C_n$
NORMAL	$L = L_n$	$C = C_n$
GRANDE	$L > L_n$	$C > C_n$

Donde  $L_n$  y  $C_n$  son los valores normales de acuerdo a las condiciones de operación, mientras que, L y C son los posibles valores de la inductancia y capacitancia de la red, respectivamente.

TABLA I

ECUACIONES GENERALES

ENCENDIDO

APAGADO

$$e = E \left[ 1 - \frac{t}{t_0} \right]$$

$$i = I \left[ 1 - \frac{t}{t_0} \right]$$

para el transistor

$$i = \frac{1}{L} \int_0^t (E - e) dt$$

$$e = \frac{1}{C} \int_0^t (I - i) dt$$

$$i = \frac{E}{L} \int_0^t \frac{t}{t_0} dt$$

$$e = \frac{I}{C} \int_0^t \frac{t}{t_0} dt$$

$$i = \frac{E t^2}{2 L t_0}$$

$$e = \frac{I t^2}{2 C t_0}$$

para la red amortiguadora

para  $t = t_0$

$$i = I$$

$$e = E$$

entonces:

$$L_n = \frac{E t_0}{2 I}$$

$$C_n = \frac{I t_0}{2 E}$$

DEFINICION DE RED " NORMAL "

Para seleccionar el tamaño de la red, existen diversos puntos a considerar:

1.-Ante todo el objetivo principal es evitar la destrucción del transistor manteniendo su operación dentro de su Area Segura.

2.-Si los niveles de operación están muy cercanos a los límites del transistor, no pueden tolerarse sobrevoltajes grandes entonces deben de utilizarse redes de tamaño grande.

3.-Si las pérdidas totales de conmutación no son muy significativas, se recomienda utilizar redes grandes para que éstas absorban la mayor proporción de las pérdidas.

4.-Cuando se manejan altos niveles de potencia y las pérdidas totales son muy significativas, se recomienda el uso de redes pequeñas.

#### III.5.1 UTILIZACION DE REDES GRANDES.

Este tipo de red se recomienda cuando las pérdidas totales son poco significativas para la eficiencia del convertidor o cuando la aplicación no permite tener sobrevoltajes grandes.

Sin embargo, se observa la figura 3-8 que para  $L > 3 L_n$  y  $C > 3 C_n$  las pérdidas en el transistor son nulas, pero la magnitud de las mismas en la red es mayor que

el caso del transistor sin red amortiguadora. Lo anterior nos lleva a concluir que resulta ineficiente utilizar redes de tamaño mayor a tres veces el nominal.

A continuación se presentan en la TABLA II las ecuaciones básicas para este tamaño de red, en la última expresión puede comprobarse la limitación señalada anteriormente.

TABLA II

ECUACIONES PARA REDES GRANDES

ENCENDIDO	APAGADO
definición:	
$L > L_n$	$C > C_n$
para $t = t_e$	
$i = I_e = \frac{E t_e}{2 L}$	$e = E_e = \frac{I t_e}{2 C}$
para $t > t_e$	
$\frac{di}{dt} = \frac{E}{L}$	$\frac{de}{dt} = \frac{I}{C}$
$t_r = \frac{I - I_e}{di/dt}$	$t_r = \frac{E - E_e}{de/dt}$
$t_r = \left[ \frac{L}{L_n} - 1 \right] \frac{t_e}{2}$	$t_r = \left[ \frac{C}{C_n} - 1 \right] \frac{t_e}{2}$
tiempo para completar la conmutación	
$t_c = t_e + t_r$	
$t_c = \left[ \frac{L}{L_n} + 1 \right] \frac{t_e}{2}$	$t_c = \left[ \frac{C}{C_n} + 1 \right] \frac{t_e}{2}$
tiempo total de conmutación	

TABLA II (continuación)

$$p = e i$$

$$(0 < t < t_e)$$

$$p = \frac{E^2}{2L} \left[ 1 - \frac{t}{t_e} \right] \frac{t^2}{t_e}$$

$$p = \frac{I^2}{2C} \left[ 1 - \frac{t}{t_e} \right] \frac{t^2}{t_e}$$

potencia disipada por el transistor

$$p = p_m$$

cuando  $t/t_e = 2/3$

$$p_m = \frac{2}{27} \frac{E^2 t_e}{L}$$

$$p_m = \frac{2}{27} \frac{I^2 t_e}{C}$$

$$p_m = \frac{4}{27} \frac{L_n}{L} E I$$

$$p_m = \frac{4}{27} \frac{C_n}{C} E I$$

potencia máxima disipada

$$W = \int p dt$$

$$W = \frac{E^2 t_e^2}{24 L} = \frac{E I t_e L_n}{12 L}$$

$$W = \frac{I^2 t_e^2}{24 C} = \frac{E I t_e C_n}{12 C}$$

perdidas de energía en el transistor

$$W_s = \frac{L I^2}{2} = \frac{E I t_e L}{4 L_n}$$

$$W_s = \frac{C E^2}{2} = \frac{E I t_e C}{4 C_n}$$

perdidas de energía en la red

$$W_T = \frac{E I t_e}{2} \left[ \frac{1}{6} \frac{L_n}{L} + \frac{1}{2} \frac{L}{L_n} \right]$$

$$W_T = \frac{E I t_e}{2} \left[ \frac{1}{6} \frac{C_n}{L} + \frac{1}{2} \frac{C}{C_n} \right]$$

PERDIDAS TOTALES DE ENERGIA

### III.5.2 UTILIZACION DE REDES PEQUEÑAS.

Cuando las pérdidas totales son significativas para la eficiencia del convertidor en general, es recomendable repartirlas adecuadamente entre el transistor y la red.

En la figura 3-8 se mostró que existe un punto en que las pérdidas totales son mínimas para un cierto tamaño de red. Por tanto, si se utilizan redes pequeñas debe buscarse ese punto óptimo.

En la TABLA III se presentan las ecuaciones principales que determinan el funcionamiento de este tipo de redes.

TABLA III

ECUACIONES PARA REDES PEQUEÑAS

ENCENDIDO	APAGADO
definición : $L < L_n$	$C < C_n$
$t_1 = \sqrt{\frac{2 L I t_s}{E}}$	$t_1 = \sqrt{\frac{2 C E t_s}{I}}$
$t_1 = \sqrt{\frac{L}{L_n}} t_s$	$t_1 = \sqrt{\frac{C}{C_n}} t_s$
tiempo de subida	
$W_1 = \frac{E^2}{2 L} \left[ \frac{t_s^3}{3 t_s} - \frac{t_s^4}{4 t_s^3} \right]$	$W_1 = \frac{I^2}{2 C} \left[ \frac{t_s^3}{3 t_s} - \frac{t_s^4}{4 t_s^3} \right]$
$W_1 = E I t_s \left[ \frac{1}{3} \cdot \frac{t_s}{t_s} - \frac{1}{4} \left[ \frac{t_s}{t_s} \right]^2 \right]$	
perdidas de energía en el transistor para $0 < t < t_1$	
$p = e I$	$p = E i$
$p = E I \left[ 1 - \frac{t}{t_s} \right]$	$p = E I \left[ 1 - \frac{t}{t_s} \right]$
dissipación de potencia en el transistor en $t_1 < t < t_s$	
$p = E I \left[ 1 - \frac{t_s}{t_s} \right]$	$p = E I \left[ 1 - \frac{t_s}{t_s} \right]$
$p = E I \left[ 1 - \sqrt{\frac{L}{L_n}} \right]$	$p = E I \left[ 1 - \sqrt{\frac{C}{C_n}} \right]$
potencia máxima disipada en el instante $t = t_1$ , si: $t_1/t_s < 2/3$	

$$W_2 = E I \int \left( 1 - \frac{t}{t_0} \right) dt = \frac{E I t_0}{2} \left[ 1 - \frac{t_1}{t_0} \left( 2 - \frac{t_1}{t_0} \right) \right]$$

perdidas de energía en el transistor, entre  $t_1$  y  $t_0$

$$W = \frac{E I t_0}{2} \left[ 1 - \frac{4}{3} \left( \frac{t_1}{t_0} \right) + \frac{1}{2} \left( \frac{t_1}{t_0} \right)^2 \right]$$

$$W = \frac{E I t_0}{2} \left[ 1 - \frac{4}{3} \sqrt{\frac{L}{L_n}} + \frac{1}{2} \frac{L}{L_n} \right]$$

$$W = \frac{E I t_0}{2} \left[ 1 - \frac{4}{3} \sqrt{\frac{C}{C_n}} + \frac{1}{2} \frac{C}{C_n} \right]$$

Perdidas totales de energía en el transistor :  $W = W_1 + W_2$

$$W = \frac{E I t_0}{2} \left[ 1 - \frac{4}{3} \sqrt{\frac{L}{L_n}} + \frac{L}{L_n} \right]$$

$$W = \frac{E I t_0}{2} \left[ 1 - \frac{4}{3} \sqrt{\frac{C}{C_n}} + \frac{C}{C_n} \right]$$

Perdidas totales de energía en el circuito :  $W_T = W + W_s$

De la expresión final mostrada en la TABLA III se deduce que la condición para tener pérdidas totales mínimas es:

$$\frac{L}{L_n} = \frac{4}{9} \quad \text{y} \quad \frac{C}{C_n} = \frac{4}{9}$$

Por lo tanto, se tiene que:

ENERGIA MINIMA: 
$$W_{T \min} = \frac{5}{9} \frac{E I t_s}{2}$$

#### DISTRIBUCION DE LA ENERGIA MINIMA

EN EL TRANSISTOR

$$W = \frac{1}{3} \frac{E I t_s}{2}$$

EN LA RED

$$W_s = \frac{2}{9} \frac{E I t_s}{2}$$

Bajo esta condición las pérdidas en el transistor son de una magnitud tres veces menor, comparada con el caso sin red amortiguadora. Obsérvese también que las pérdidas totales se distribuyen casi equitativamente entre el transistor y la red.

### III.6 EJEMPLOS DE DISEÑO.

En esta sección se presenta el procedimiento de cálculo de las redes de apagado para los inversores monofásico y trifásico. Dado que en estas aplicaciones en particular se utilizan paquetes de transistores, no es posible utilizar redes de encendido puesto que no se tiene acceso al colector de los transistores. Además, debido a la inductancia del cableado y a las características propias del transistor, los problemas asociados con el encendido no representan riesgos mayores.

#### III.6.1 REDES DEL INVERSOR MONOFASICO.

Para esta aplicación se tienen las siguientes condiciones de operación:

$$I_C = 100 \text{ A.}$$

$$I_L = 40 \text{ A.}$$

$$E = 48 \text{ V.}$$

$$f = 60 \text{ Hz.}$$

$$t_f = 3 \mu s$$

$$t_r = 15 \mu s$$

$$t_{ONmin} = 8.33 \text{ ms}$$

$$t_{OFFmin} = 8.33 \text{ ms.}$$

En esta aplicación se tiene como objetivo principal el reducir las pérdidas en el transistor y mantener su operación dentro de su Area Segura. Por tanto, el diseño adecuado es una red de tamaño grande.

Las pérdidas para el caso sin red amortiguadora están dadas por:

$$W = 1/2 E I t_s \dots (A)$$

Si queremos ahora que las pérdidas totales sean de igual magnitud al caso sin red, entonces igualamos la expresión (A) con la última ecuación de la TABLA II y tenemos que:

$$\frac{C}{C_n} = \frac{5}{3}$$

entonces:

$$C = \frac{5}{3} C_n \dots (B)$$

Para estos valores de C y L tenemos que 5/6 de las pérdidas totales las absorbe la red y el 1/6 restante se presentan en el transistor.

De la TABLA I se tiene:

$$C_n = \frac{I_L t_s}{2E} \quad \text{donde: } t_s = t_f$$

sustituyendo valores tenemos:

$$C_n = 1.25 \mu F.$$

Finalmente sustituyendo los resultados anteriores en la ecuación (B):

$$C = 2.08 \mu F$$

En este caso puede elegirse un valor comercial de 2.2  $\mu F$ .

Por otra parte, para el cálculo de las resistencias se utilizan las ecuaciones de la TABLA A.

Sustituyendo valores en la ecuación ( 4 ) se tiene:

$$R_S > 0.8 \Omega$$

Análogamente, de la ecuación ( 5 ):

$$R_S < 1262.5 \ \Omega$$

Sustituyendo valores en la ecuación ( 9 ) se obtiene la potencia que disipa tal resistencia:

$$P_{RS} = 0.152 \text{ watts}$$

Para esta aplicación se eligió una resistencia de  $82 \ \Omega$  a  $1/2 \text{ W}$ .

### III.6.2 REDES DEL INVERSOR TRIFASICO.

Para esta aplicación se procede de manera similar al caso anterior solo que para el cálculo de las resistencias hay que considerar que se utiliza la técnica PWM.

Las condiciones de operación son:

$$I_C = 50 \text{ A.}$$

$$I_L = 20 \text{ A.}$$

$$E = 300 \text{ V}$$

$$f = 600 \text{ Hz.}$$

$$t_f = 3 \ \mu\text{s}$$

$$t_r = 15 \ \mu\text{s}$$

$$t_{ONmin} = 400 \ \mu\text{s}$$

$$t_{OFFmin} = 400 \mu s$$

Suponiendo que la red es de un tamaño igual al del caso monofásico, se tiene que, las pérdidas totales se reparten de manera similar.

Sustituyendo valores en la TABLA I se tiene:

$$C_n = 0.1 \mu F$$

Dado que  $C = 5/3 C_n$  se tiene entonces:

$$C = 0.166 \mu F$$

Por tanto, puede seleccionarse un valor comercial de  $0.15 \mu F$  a un voltaje de 400V o de 600V.

Para calcular la resistencia  $R_S$ , primero se utiliza la expresión ( 7 ) de la TABLA A y se sustituyen valores:

$$R_S > 10.71 \Omega$$

Análogamente, sustituyendo valores en la expresión (8) se obtiene el valor máximo que puede tomar tal resistencia:

$$R_S < 606.06 \Omega$$

La potencia disipada por esta resistencia está dada por:

$$P_{RS} = 4.05 \text{ Watts.}$$

Por lo tanto, puede utilizarse una resistencia de  $100 \Omega$  a 5 W.

Durante las pruebas experimentales se implementaron los valores obtenidos en esta sección, los resultados obtenidos se muestran en el capítulo siguiente.

## CAPITULO IV

### PRUEBAS EXPERIMENTALES

#### IV.1 IMPLEMENTACION DE LAS REDES AMORTIGUADORAS.

En el departamento de Electrónica del Instituto de Investigaciones Eléctricas, se han desarrollado los prototipos de un inversor monofásico y de un inversor trifásico. Para poder hacer las pruebas funcionales a estos equipos fue necesaria la implementación de redes amortiguadoras que protegieran a los transistores durante su operación.

En la práctica, la mayoría de las pérdidas en el transistor se presentan durante su fase de apagado debido a que, la inductancia propia del cableado es significativa y no permite que la corriente de colector crezca rápidamente durante el encendido. Sin embargo tal inductancia se refleja como un sobrevoltaje en el transistor durante su apagado.

Lo anterior significa que la red diseñada, debe tener un control absoluto sobre la magnitud y duración del transitorio de voltaje en el apagado, de esta manera se asegura una operación confiable y una magnitud menor de pérdidas.

En los prototipos de los inversores monofásico y trifásico se implementaron las redes amortiguadoras calculadas en los ejemplos de diseño del capítulo III. La figura 4-1 muestra la etapa de potencia de el inversor monofásico con sus redes implementadas.

Se hicieron diversas pruebas con el tipo de red seleccionada con la finalidad de comprobar su eficiencia bajo diferentes condiciones de operación. Tales pruebas aportaron detalles prácticos de gran utilidad tal como se muestra en las secciones siguientes.

#### IV.2 INVERSOR MONOFASICO.

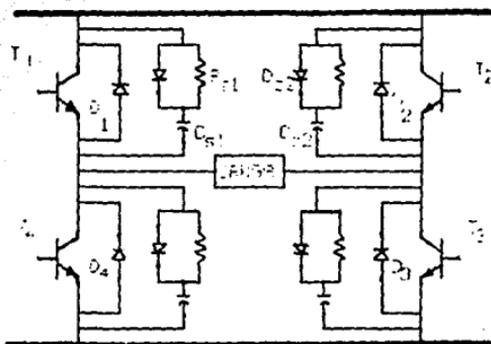
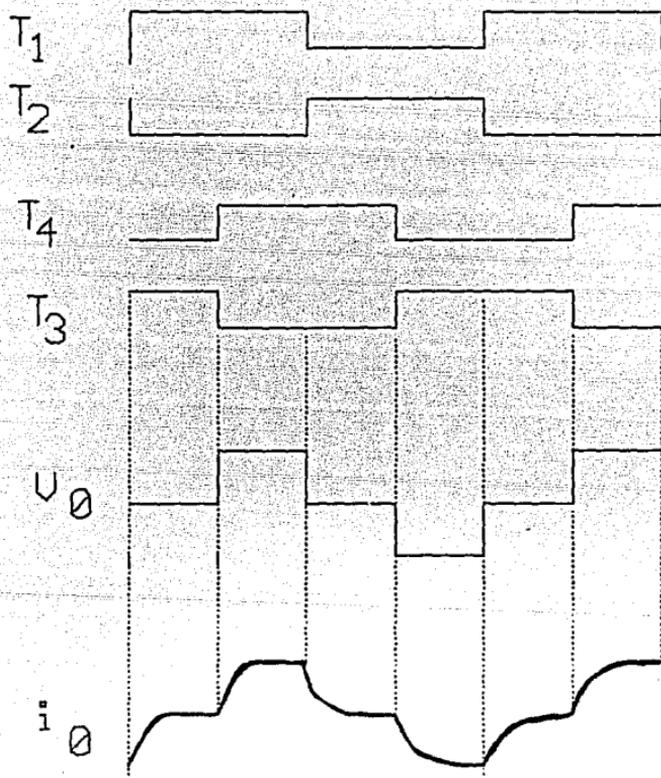


FIGURA 4-1.

Como resultado de la conducción por pares de los transistores  $T_1$ - $T_3$  y  $T_2$ - $T_4$ , se obtiene a la salida del inversor un voltaje alterno. Este nivel de voltaje es elevado por un transformador, teniéndose a la salida de éste, 127 V C.A.

La magnitud y forma de onda de la corriente de salida depende de el tipo de carga. Para el caso de carga resistiva se tiene la respuesta siguiente:



El inversor monofásico con su cargador de baterías constituye un SISTEMA DE ALIMENTACION ININTERRUMPIBLE ( UPS ), el cual se utiliza generalmente en centros de cómputo para casos de falla de la energía eléctrica. Particularmente, el prototipo desarrollado tiene una capacidad de 1 KVA, la cual es suficiente para alimentar a tres computadoras personales durante 15 minutos aproximadamente.

#### IV.3 PRUEBAS EN EL INVERSOR MONOFASICO Y RESULTADOS.

El prototipo de el inversor monofásico en el que se hicieron las pruebas de las redes, se integra de dos paquetes de transistores Darlington. Cada módulo contiene dos transistores conectados internamente, teniéndose así, una rama del inversor.

Las especificaciones de cada Módulo se muestran en las hojas de datos del APENDICE A.

##### IV.3.1 PRUEBA UNO.

El objetivo de esta prueba es obtener prácticamente el valor de la inductancia que se refleja en cada transistor de la rama 1 (  $T_1$  y  $T_4$  ). Este valor de inductancia se toma como referencia para calcular los parámetros de las respuestas transitorias en las pruebas posteriores.

Las redes implementadas en la rama 1, tienen los valores calculados en el ejemplo de diseño del capítulo anterior (sección 3.6.1).

$$R_S = 82 \text{ ohms} \quad 1/2 \text{ W.}$$

$$C_S = 4 \text{ } \mu\text{F} \quad 400 \text{ V.}$$

$$D_S \dots I_P = 3 \text{ A.}$$

Por su parte, en la rama 2 integrada por  $T_2$  y  $T_3$ , se implementaron redes del tipo configuración DOS con la finalidad de observar el contraste en la respuesta de cada rama.

$$R_A = 4.7 \text{ ohms.}$$

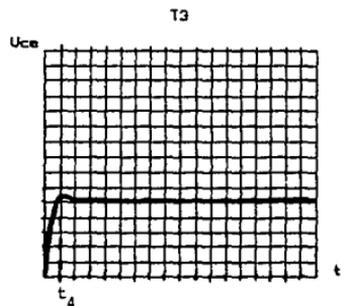
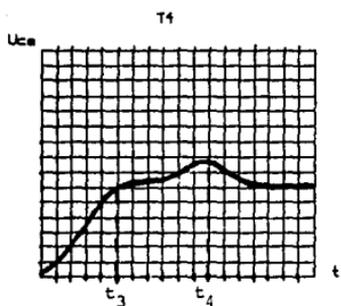
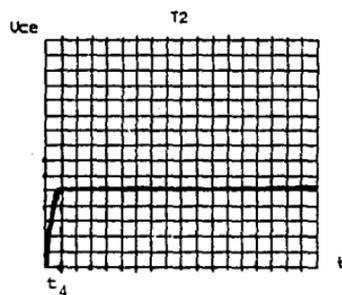
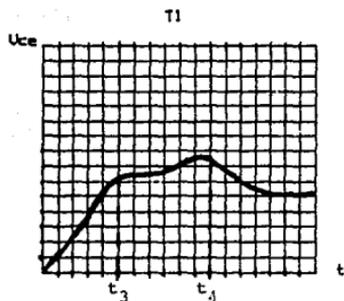
$$R_B = 27 \text{ ohms.}$$

$$C = 2.0 \text{ } \mu\text{F} \quad 400 \text{ V.}$$

$$D_S \dots I_P = 3 \text{ A.}$$

Teóricamente se espera que, los transistores de la misma rama tengan respuestas similares dado que tienen conectadas redes iguales.

Las curvas de respuesta observadas en el osciloscopio son las siguientes:



ESCALA.

VOLTAJE: 10 V / DIV.

TIEMPO : 1  $\mu$ s / DIV.

De las gráficas anteriores se obtienen los parámetros necesarios para calcular el valor de la inductancia reflejada.

RAMA 1

.....  
TRANSISTOR Q<sub>1</sub>

TRANSISTOR Q<sub>4</sub>  
.....

$$t_4 - t_3 = 6 \text{ us}$$

$$t_4 - t_3 = 6 \text{ us}$$

$$t_4 = 10 \text{ us}$$

$$t_4 = 10 \text{ us}$$

$$\Delta V = 28 \text{ v}$$

$$\Delta V = 28 \text{ v}$$

.....

respuestas similares

RAMA 2

.....  
TRANSISTOR Q<sub>2</sub>

TRANSISTOR Q<sub>3</sub>  
.....

$$t_4 - t_3 = 0$$

$$t_4 - t_3 = 0$$

$$t_4 = 0.4 \text{ us}$$

$$t_4 = 0.4 \text{ us}$$

$$\Delta V = 0 \text{ v}$$

$$\Delta V = 0 \text{ v}$$

.....

respuestas similares

El parámetro  $t_4 - t_3$  es el tiempo que transcurre desde que el voltaje del transistor es igual al de la fuente hasta que el sobrevoltaje alcanza su valor máximo.

La relación entre la inductancia reflejada y los parámetros mostrados en las tablas, está dada por las expresiones siguientes:

$$t_4 - t_3 = \frac{\pi}{2} \sqrt{L C} \dots\dots\dots (1)$$

$$\Delta V = I_L \sqrt{\frac{L}{C}} \dots\dots\dots (2)$$

Por tanto, dados los siguientes datos:

$$I_L = 30 \text{ A}$$

$$C_S = 4 \mu F$$

$$t_4 - t_3 = 6 \mu s \quad \text{obtenido experimentalmente.}$$

y despejando L de la expresión ( 1 ) se obtiene que, la inductancia reflejada en cada transistor de la rama 1 es:

$$L = 3.65 \mu H$$

#### OBSERVACIONES.

A).-Los transistores que pertenecen a una misma rama tienen respuestas iguales.

B).-Los transistores de la rama 1 a pesar de tener un sobrevoltaje del 58%, tienen un tiempo de subida aceptable y mucho mayor al de la otra rama.

C).-En los transistores de la rama 2 no existe sobrevoltaje en el apagado lo cual ofrece ventajas, sin embargo el tiempo de subida de la respuesta es extremadamente pequeño ( $t_c=0.4\mu s$ ) lo cual implica que en esta rama se tienen grandes pérdidas.

D).-La solución final es conectar en cada transistor redes de apagado polarizadas. Al menos para cada rama las redes deben ser idénticas.

#### IV.3.2 PRUEBA DOS.

Se implementaron en ambas ramas del inversor redes iguales, el valor de sus elementos es igual al caso de la rama 1 en la prueba anterior.

Se espera teóricamente que ambas ramas respondan de manera similar.

#### DATOS:

$L=3.65\mu\text{H}$  valor obtenido en la prueba uno.

$I_L=30$  A

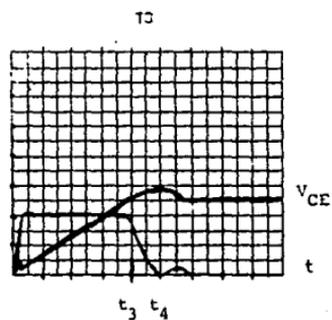
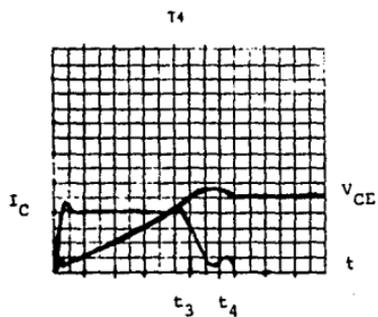
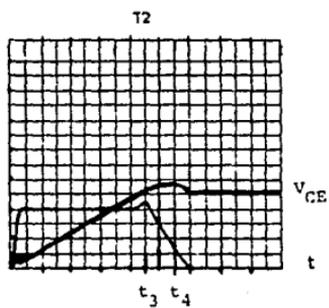
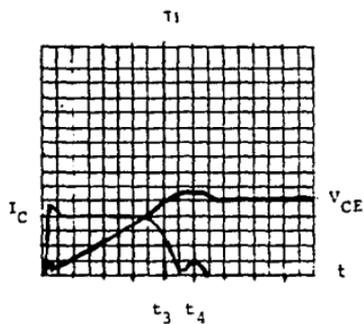
$C_S=4\mu\text{F}$ .

Sustituyendo estos datos en las ecuaciones (1) y (2) definidas en la prueba anterior, se obtiene el valor teórico del sobrevoltaje y el tiempo en que éste se alcanza:

$$t_4-t_3=5.99\mu\text{s}.$$

$$\Delta V=9.5 \text{ v}$$

Las curvas de respuesta obtenidas experimentalmente son las siguientes:



ESCALAS.

VOLTAJE: 20 V / DIV

CORRIENTE: 5 A / DIV

TIEMPO: 5  $\mu$ s / DIV

#### OBSERVACIONES.

- 1.- Todos los transistores responden idénticamente.
- 2.- Experimentalmente  $t_4 - t_3 = 5\mu s$ .
- 3.- La magnitud del sobrevoltaje es de 6 volts en todos los casos.
- 4.- Los parámetros medidos son muy similares a los calculados teóricamente.
- 5.- Suponiendo que la corriente del transistor cae en  $3\mu s$ , se observa claramente que en ese tiempo el voltaje colector-emisor permanece en un nivel pequeño. Por tanto, las pérdidas en el transistor son realmente pequeñas.
- 6.- Después del tiempo de caída de la corriente del transistor, el voltaje  $V_{CE}$  se incrementa linealmente dado que la corriente en el capacitor se mantiene constante.
- 7.- Finalmente se observa que la corriente máxima del capacitor es igual a la magnitud de la corriente de carga, esto es aplicable también al diodo de polarización.

### IV.3.3 PRUEBA TRES.

Esta prueba es similar a la anterior dado que no se han hecho cambios en las redes, sin embargo ahora se tiene una corriente de carga de 20 A.

DATOS:

$$I_L=20 \text{ A} \quad C_S=4\mu\text{F} \quad t_f=3\mu\text{s} \quad E=48 \text{ v}$$

Asumiendo que  $L=4.65\mu\text{H}$  y sustituyendo valores en las ecuaciones (1) y (2) se obtienen:

$$t_4-t_3=5.99\mu\text{s} \quad \text{valor teórico.}$$

$$\Delta V=19 \text{ v} \quad \text{valor teórico.}$$

Sustituyendo los datos en la expresión de RED NORMAL dada en la TABLA I del capítulo anterior se tiene que:

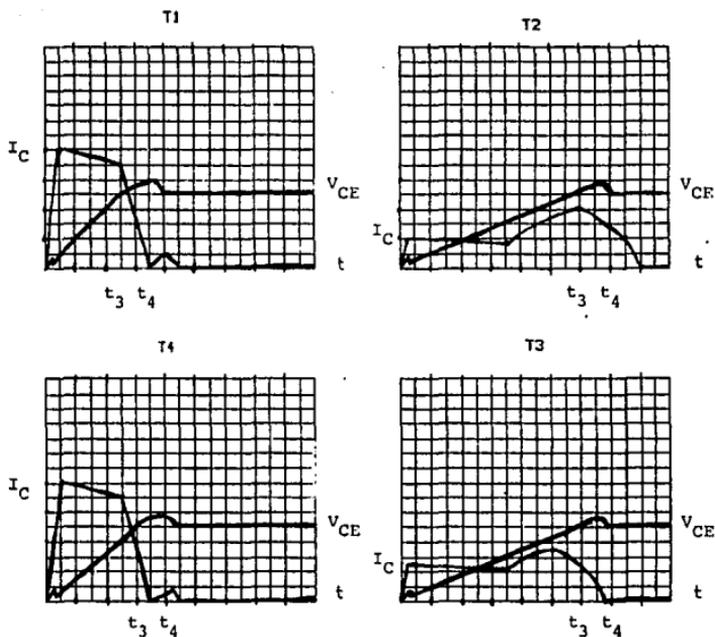
$$C_n=0.625\mu\text{F}.$$

Por lo tanto:  $C/C_n=6.4$  para  $I_L=20 \text{ A}$ .

Sustituyendo el resultado anterior en la expresión del Tiempo total de conmutación, dada en la TABLA II del capítulo anterior, se tiene:

$$t_c=11.1\mu\text{s}$$

Las curvas de respuesta medidas en el osciloscopio son las siguientes:



ESCALAS.

VOLTAJE: 20 V / DIV

CORRIENTE: 5 A / DIV

TIEMPO: 5  $\mu$ s / DIV

#### OBSERVACIONES.

1.-Los transistores que pertenecen a una misma rama tienen respuestas similares.

2.-En los transistores de la rama 1 ( $T_1$  y  $T_4$ ) circula mayor corriente que en los de la otra rama. Lo anterior indica que existe una asimetría entre ambas ramas.

3.-Los transistores de la rama 1 tienen un sobrevoltaje de 10 volts y los de la rama 2 solo de 5 v.

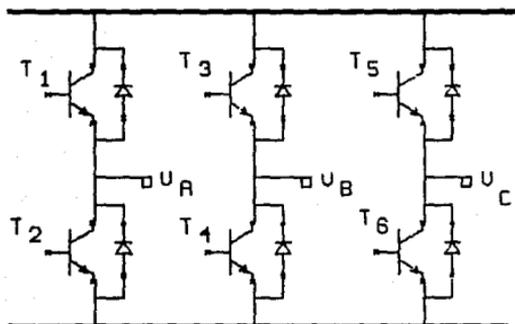
4.-La corriente de los capacitores de la rama 1 permanece casi constante durante el tiempo de conmutación. Sin embargo en la otra rama la corriente presenta un comportamiento no lineal durante la mitad de ese tiempo.

5.-A pesar de la asimetría antes señalada el voltaje colector-emisor crece suavemente en todos los transistores. Cuando la corriente de colector cae hasta cero se tiene que  $V_{CE}$  está en un nivel mínimo, por tanto, las pérdidas de apagado son pequeñas.

6.-Experimentalmente  $t_4-t_3=6\mu s$  y  $t_c=12.5\mu s$ .

7.-Los resultados teóricos comparados con los experimentales son similares.

#### IV.4 INVERSOR PUENTE TRIFASICO.



Para generar la señal de salida, se utiliza en esta aplicación la técnica de Modulación por Ancho de Pulsos ( PWM ).

El encendido y apagado alternado de cada par de transistores Q<sub>1</sub>-Q<sub>2</sub>, Q<sub>3</sub>-Q<sub>4</sub> y Q<sub>5</sub>-Q<sub>6</sub> se lleva a cabo en un intervalo de 120° respecto al par anterior, en un ciclo de 360°.

La amplitud del voltaje en cada fase está en función de la anchura de los pulsos, teniéndose por tanto un control absoluto sobre tal parámetro.

En las gráficas de las páginas siguientes se muestra el efecto de la modulación sobre la amplitud del voltaje de salida.

En el prototipo desarrollado se utilizó un módulo que contiene a los seis transistores Darlington. Es decir, en un solo paquete se tienen las tres ramas del inversor.

El inversor trifásico se utiliza como un SISTEMA DE CONTROL DE VELOCIDAD PARA MOTORES DE C.A.

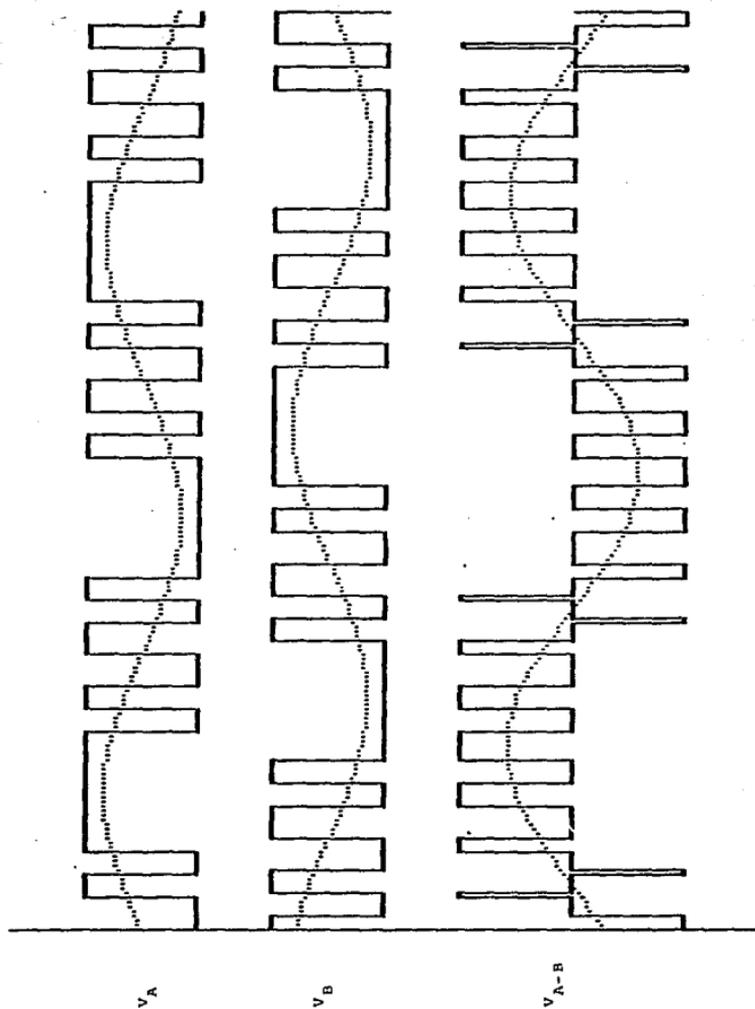


FIGURA 9: AMPLITUD = 50%

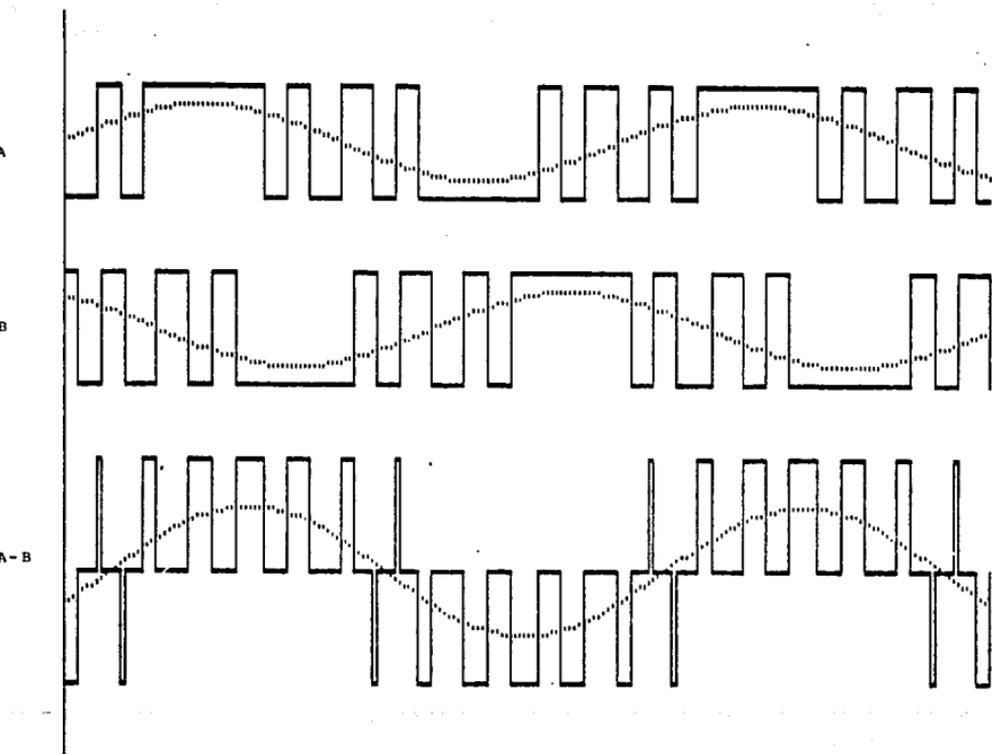


FIGURA 9: AMPLITUD = 50%

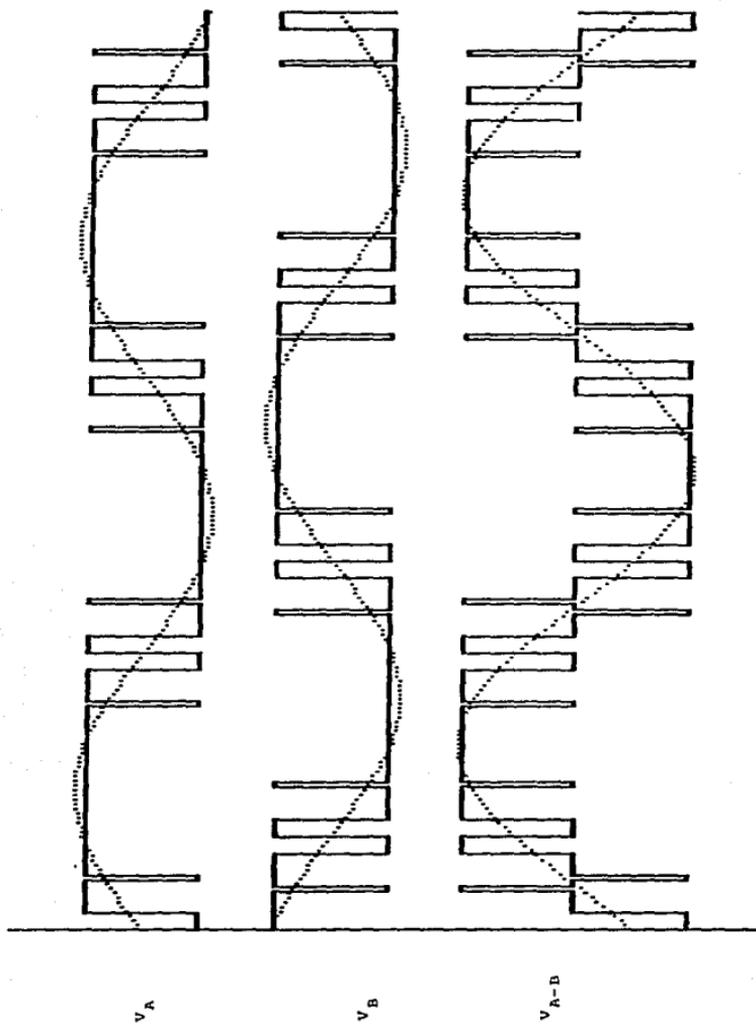


FIGURA 10: AMPLITUD = 90°

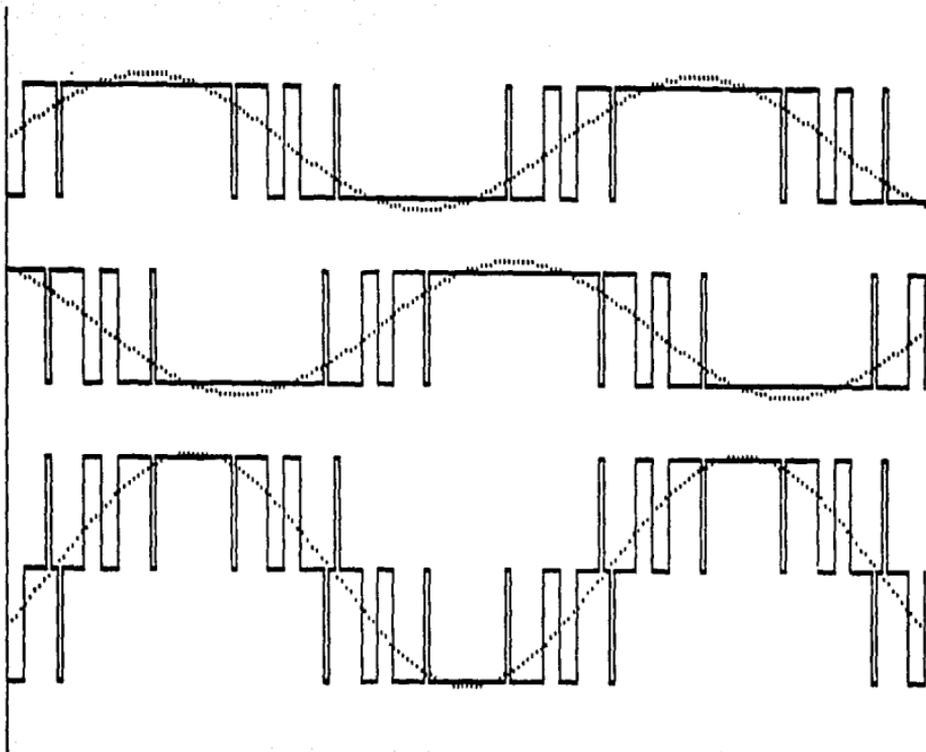


FIGURA 10: AMPLITUD = 90%

#### IV.5 PRUEBAS EN EL INVERSOR TRIFASICO Y RESULTADOS.

En este sistema solamente se hizo una prueba la cual proporcionó resultados satisfactorios puesto que el sobrevoltaje máximo observado fué de magnitud pequeña.

Con el fin de evitar los problemas que se tuvieron en las pruebas del inversor monofásico y en base a los resultados obtenidos en las mismas, se decidió utilizar redes polarizadas de apagado idénticas para todos los transistores. Lo anterior se refiere a que ya no se implementaron redes diferentes para cada transistor, ya que se comprobó que ésto ocasiona efectos negativos de una red sobre otra. Además para eliminar los picos de voltaje que pudieran existir en la fuente de alimentación se conectó en paralelo con la misma, un arreglo de dos capacitores en serie de 19.4 uF a 400 V.

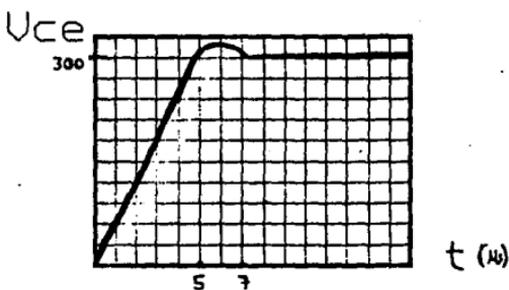
Los valores de los elementos de las redes implementadas fueron los que se obtuvieron en el ejemplo de diseño del capítulo anterior.

$C_S=0.1$  uF .....450 V.

$R_S=100$  ohms ..... 5 W.

$D_s$  .....  $I_p=3$  A.

En esta aplicación, debido a la técnica de modulación usada, el transistor presenta tres conmutaciones adicionales por cada ciclo de operación. Cada conmutación ocurre a diferentes amplitudes de la corriente de salida por lo que, la amplitud del sobrevoltaje en el apagado es diferente para cada una de ellas. En el peor de los casos el sobrevoltaje alcanzó una amplitud del 4% del valor de la fuente, tal como se muestra a continuación:



**OBSERVACIONES.-**

1.-La magnitud del sobrevoltaje es de 12 volts.

2.-Durante el tiempo de conmutación, el voltaje colector-emisor se incrementa linealmente, lo cual indica que la corriente en el capacitor de la red permanece constante en ese intervalo.

3.-La respuesta del transistor es satisfactoria dado que el sobrevoltaje es mínimo, lo cual muestra que las redes implementadas son adecuadas.

## CONCLUSIONES.

La metodología de diseño propuesta cumple plenamente con los objetivos planteados ya que se ha comprobado experimentalmente el control que se tiene sobre la respuesta transitoria del transistor.

Este trabajo es una herramienta de gran utilidad dentro del desarrollo de inversores con transistores, pues con las redes diseñadas se crean las condiciones favorables para que la conmutación se lleve a cabo sin riesgo alguno. Su efecto es tal que se garantiza la operación del transistor dentro de su Area Segura y por consecuencia no se tienen los riesgos asociados con la Segunda Ruptura.

Para aplicaciones donde las pérdidas totales son pequeñas, se recomienda que sean asimiladas completamente por la red amortiguadora.

La red que se diseñó absorbe prácticamente todas las pérdidas asociadas con la conmutación contribuyendo así a eliminar las pérdidas en el transistor y los riesgos de ruptura térmica en el mismo.

En el caso del inversor monofásico, la magnitud de las pérdidas de energía es del orden de 5 milijoules. Para la frecuencia de operación de 60 Hz las pérdidas de potencia son de 0.3 Watts.

Sin embargo si la magnitud de las pérdidas totales es significativa para la eficiencia del sistema, resulta conveniente entonces distribuir adecuadamente tales pérdidas entre el transistor y la red. Esto significa que debe buscarse un punto de equilibrio en el cual se tenga la condición de pérdidas mínimas de energía. Esta condición se logra utilizando una red cuyo tamaño guarde una relación de 5/9 con respecto al normal, tal como se describe en el capítulo III.

Por otra parte se tiene que, además de plantear las ecuaciones de diseño, la metodología propuesta proporciona la especificación adecuada de cada componente de la red, lo cual permite asegurar el funcionamiento confiable de la misma. De esta manera se tiene que el diseño adecuado de redes amortiguadoras elimina los problemas asociados con la conmutación del transistor, incrementando como consecuencia la confiabilidad de éste y de el inversor en general.

Es importante notar que el diseño "óptimo" de una red amortiguadora depende de las características globales del circuito electrónico de potencia. Es decir, en algunos casos interesa mejorar la eficiencia total del sistema y en otros puede interesar minimizar las pérdidas en los transistores (TBJs). Los criterios de diseño a utilizar dependerán de estos factores, tal como se describe en el capítulo IV.

Por último, las pruebas realizadas indican que las respuestas del transistor corresponden a lo esperado teóricamente, lo cual confirma la validez del diseño.

APENDICE A

HOJAS DE DATOS.

100 Amperes  
450-1000 Volts

Dual Darlington  
TRANSISTOR  
Modules



450 Volt Outline Drawing  
KD324S1010

Dim	Inches	Metric
A	3.740 Max	95 Max
B	3.150 ± 0.010	80 ± 0.25
C	.90	23
D		116 ± 10
E	2.44 Max	62 Max
F	1.18	30
G	.848	21.5
H	1.181 Max	30 Max
J	.83	21
K	.28	7
L	.236	6
M	.472	12
N	.216	5.5
P	1.89 ± 0.010	48 ± .25



1000 Volt Outline Drawing  
KD421K1010

Dim	Inches	Millimeters
A	4.250 Max	108 Max
B	3.660 ± 0.020	93 ± 0.25
C	.98	25
D		116
E	2.44 Max	62 Max
F	.59	15
G	.318	8
H	1.457 Max	37 Max
J	.90	23
K	.28	6.5
L	.278	7
M	.551	14
N	.257 Dia (4)	4 Dia 6.5
P	.295	7.5
Q	.236 Typ	6 Typ
R	.295 Typ	7.5 Typ
S	1.89 ± 0.010	48 ± .3
T	.118	3
U	.659	17

Features:

- Isolated Mounting
- Glass Passivated Chips
- Discrete Fast Recovery Feed Back Diode
- High Gain (H<sub>FE</sub>)
- 110 Fast On Base Connections
- Base Emitter Speed Up Diode

Applications:

- Inverters
- DC Motor Control
- Switching Power Supplies
- AC Motor Control

Ordering Information

Part No.	V <sub>CE</sub> (max) Volts	Current Rating Amps	Gain	Q <sub>1</sub>
KD32	450	40	100	10
KD48	1000	10	100	10

Description

Westinghouse Darlington Transistor Modules are medium power devices which are designed for use in switching applications. The modules are insulated, consisting of two Darlington Transistors with each transistor having a reverse parallel connected high-speed diode.

Example: Select the complete ten digit module part number you desire from the shaded area in the table above—i.e. KD421K1010 is a 1000 Volt, 100 Ampere Darlington Module with a gain of 100 at rated current (100 amperes).

Westinghouse Electric Corporation • Semiconductor Division • Youngwood, Pa. 15697



# Dual Darlington TRANSISTOR Modules

100 Amperes  
450/1000 Volts

## Maximum Ratings and Characteristics T<sub>j</sub> = 25°C unless otherwise specified

Symbol	RD33451010		RD421M1010		Units
	Min	Typ	Min	Typ	
Junction temperature	T <sub>j</sub>	-40 to 150	-40 to 150	-	°C
Storage temperature	T <sub>stg</sub>	-40 to 125	-40 to 125	-	°C
Collector-emitter sustaining voltage	V <sub>CE(sus)</sub>	450	-	-	Volts
Collector-emitter sustaining voltage V <sub>CE</sub> = -2V	V <sub>CE(sus)</sub>	-	1000	-	Volts
Collector-base voltage	V <sub>CB(s)</sub>	600	1000	-	Volts
Emitter-base voltage	V <sub>EB(s)</sub>	7	7	-	Volts
Collector-emitter voltage	V <sub>CEV</sub>	600	1000	-	Volts
Continuous collector current	I <sub>C</sub>	100	100	-	Amperes
Diode forward current	I <sub>F</sub>	100	100	-	Amperes
Continuous base current	I <sub>B</sub>	6	5	-	Amperes
Diode surge current	I <sub>FSM</sub>	1000	1000	-	Amperes
Power dissipation	P <sub>T</sub>	620	800	-	Watts
Max. mounting torque terminal and mounting screws	-	17 (M5)	28 (M6)	-	in-lb
Module weight	-	15	17	-	Oz
Module weight	-	420	470	-	Grams
Violation	V <sub>max</sub>	2000	2500	-	Volts

## Electrical and Mechanical Characteristics T<sub>j</sub> = 25°C unless otherwise specified

Symbol	Description	Test Conditions	RD33451010		RD421M1010		Units
			Min	Typ	Min	Typ	
10V	Collector Cutoff Current	V <sub>CE</sub> = 600V, V <sub>BE</sub> = -2V	-	3	-	-	mA
10V	Collector Cutoff Current	V <sub>CE</sub> = 600V, V <sub>BE</sub> = -2V, T <sub>C</sub> = 125°C	-	15	-	-	mA
10V	Collector Cutoff Current	V <sub>CE</sub> = 1000V, V <sub>BE</sub> = -2V	-	-	-	2	mA
10V	Collector Cutoff Current	V <sub>CE</sub> = 1000V, V <sub>BE</sub> = -2V, T <sub>C</sub> = 125°C	-	-	-	20	mA
180	Emitter Cutoff Current	V <sub>BE</sub> = 5V	-	300	-	-	mA
180	Emitter Cutoff Current	V <sub>BE</sub> = 5V, I <sub>C</sub> = 100A	-	-	-	400	mA
h <sub>FE</sub>	DC Current Gain	I <sub>C</sub> = 100A, V <sub>CE</sub> = 2V	75	-	-	-	-
		I <sub>C</sub> = 100A, V <sub>CE</sub> = 5V	100	-	100	-	-
V <sub>BE</sub>	Diode Forward Voltage	I <sub>FM</sub> = 100A	-	1.5	-	1.8	V
V <sub>CE(sat)</sub>	Collector-Emitter Saturation Voltage	I <sub>C</sub> = 100A, I <sub>B</sub> = 1.3A	-	2.0	-	-	V
V <sub>BE(sat)</sub>	Base-Emitter Saturation Voltage	I <sub>C</sub> = 100A, I <sub>B</sub> = 1.3A	-	2.5	-	-	V
V <sub>CE(sat)</sub>	Collector-Emitter Saturation Voltage	I <sub>C</sub> = 100A, I <sub>B</sub> = 2A	-	-	-	2.5	V
V <sub>BE(sat)</sub>	Base-Emitter Saturation Voltage	I <sub>C</sub> = 100A, I <sub>B</sub> = 2A	-	-	-	3.5	V
t <sub>on</sub>	Turn On	V <sub>CC</sub> = 100V	-	2.0	-	-	ns
t <sub>s</sub>	Storage Time	Resistive Load Switch Times	I <sub>C</sub> = 100A	12	-	-	ns
t <sub>f</sub>	Fall Time		I <sub>B</sub> = 2A, I <sub>CE</sub> = 2A	3.0	-	-	ns
t <sub>on</sub>	Turn On	Resistive Load Switch Times	V <sub>CC</sub> = 600V	-	-	3.0	ns
t <sub>s</sub>	Storage Time		I <sub>C</sub> = 100A	-	-	15	ns
t <sub>f</sub>	Fall Time	I <sub>B</sub> = 2A, I <sub>CE</sub> = 2A	-	-	3.0	ns	
R <sub>θJC</sub>	Thermal Resistance, Case to Sink	Per Heat Module	-	0.1	-	0.075	°C/W
R <sub>θC</sub>	Thermal Resistance, Junction to Case	Transistor Part	-	0.7	-	0.155	°C/W
R <sub>θJC</sub>	Thermal Resistance, Junction to Case	Diode Part	-	0.6	-	0.8	°C/W

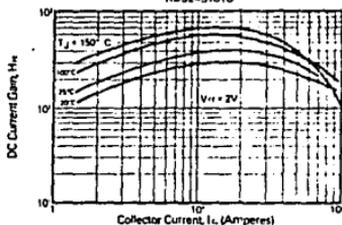
DARLINGTON

100 Amperes  
450/1000 Volts

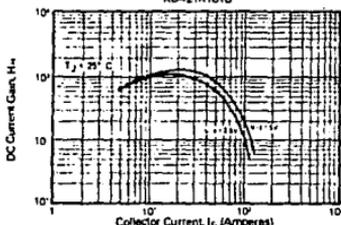
Dual Darlington  
TRANSISTOR  
Modules



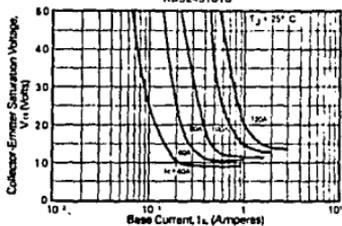
DC Current Gain  
KD32451010



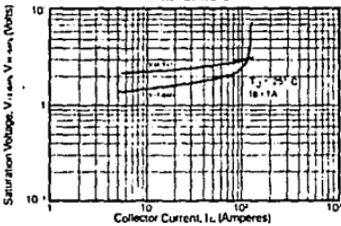
DC Current Gain  
KD421K1010



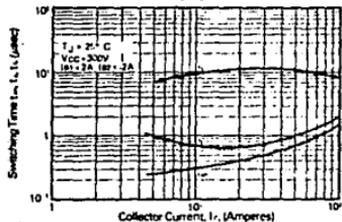
Collector-Emitter Saturation Voltage  
KD32451010



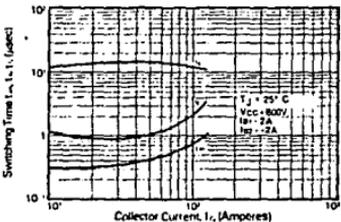
Saturation Voltage  
KD421K1010



Switching Characteristics  
KD32451010



Switching Characteristics  
KD421K1010

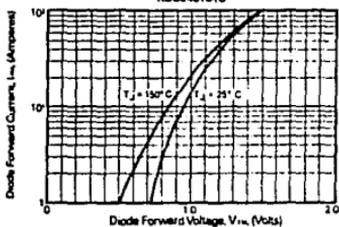




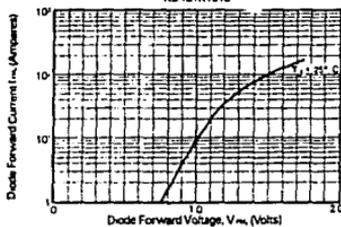
# Dual Darlingon TRANSISTOR Modules

100 Amperes  
450/1000 Volts

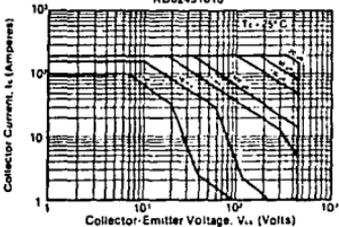
Diode Characteristics  
KD32451010



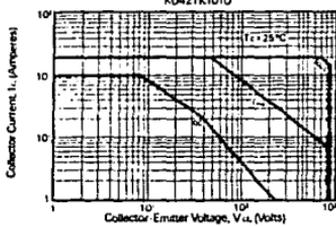
Diode Characteristics  
KD421K1010



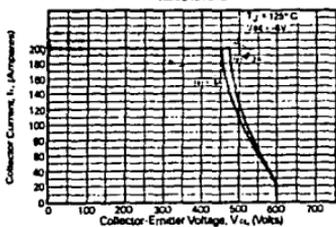
Forward Bias Safe Operating Area (FBSOA)  
KD32451010



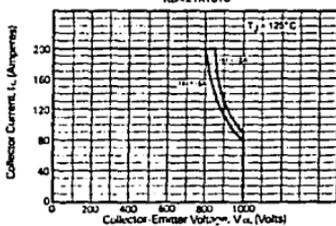
Forward Bias Safe Operating Area (FBSOA)  
KD421K1010



Reverse Bias Safe Operating Area (RBSOA)  
KD32451010



Reverse Bias Safe Operating Area (RBSOA)  
KD421K1010

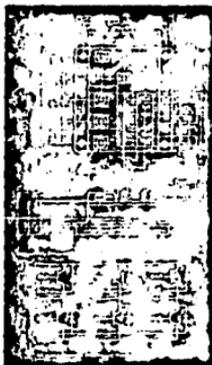


DARLINGTON



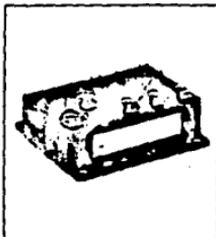
# Six/Pac Darlington TRANSISTOR Modules

50 Amperes  
450 Volts



450 Volt Outline Drawing  
KE92450510

Dim	Inches	Millimeters
A	2.70	69
B	3.150 ± 0.020	80.25
C	7.68	195
D	.70	20
E	.394	10
F	3.385	86
G	2.913	74
H	2.48	63
J	1.89	48
K	.472	12
L	2.36	6
M	1.18	3
N	1.97	5
O	.551	14
P	.709	18
Q	.659	15
R	.217	5.5
S		14.4
T	1.50	38
U	1.22	31
V	1.181	30
W	.339	8.6
X	1.18	3
Y	.295	7.5



DARLINGTON

- Features:**
- Isolated Mounting
  - Planar Chips
  - Discrete Fast Recovery Feed-Back Diode
  - High Gain (Inrs)
  - 110 Fast On Base Connections
  - Base-Emitter Speed Up Diode
  - Base-Emitter Resistors

- Applications:**
- Inverters
  - Switching Power Supplies
  - AC Motor Control

**Ordering Information**

Type	V <sub>CE</sub> (Volts)	Current Rating (Amps)	Gain	Color
KE92	450	4505	100	10

Example: Select the complete ten digit module part number you desire from the shaded area in the table above—i.e. KE92450510 is a 450 Volt, 50 Ampere Darlington Module with a gain of 100 at rated current (50 Amperes)

**Description**

Westinghouse Six/Pac Darlington Transistor Modules are medium power devices which are designed for use in switching applications. The modules are insulated, consisting of six Darlington Transistors with each transistor having a reverse parallel connected high-speed diode. The transistors are connected in a three phase bridge configuration.

Westinghouse Electric Corporation • Semiconductor Division • Youngwood, PA 15897

50 Amperes  
450 Volts

Six/Pac Darlington  
TRANSISTOR  
Modules



Maximum Ratings and Characteristics

T<sub>j</sub> = 25°C unless otherwise specified

	Symbol	KE3450510	Units
Junction temperature	T <sub>j</sub>	-40 to 150	°C
Storage temperature	T <sub>stg</sub>	-40 to 125	°C
Collector-emitter sustaining voltage	V <sub>CE(sus)</sub>	450	Volts
Collector-base voltage	V <sub>CB</sub>	600	Volts
Emitter-base voltage	V <sub>EB</sub>	7	Volts
Collector-emitter voltage	V <sub>CE</sub>	800	Volts
Continuous collector current	I <sub>C</sub>	50	Ampere
Diode forward current	I <sub>F</sub>	50	Ampere
Continuous base current	I <sub>B</sub>	3	Ampere
Diode surge current	I <sub>FSM</sub>	500	Ampere
Power dissipation, each transistor	P <sub>T</sub>	310	Watts
Max. mounting torque	—	12	in-lb
M4 terminal screw	—	17	in-lb
M5 mounting screw	—	18	oz
Module weight (typical)	—	575	Grams
V isolation	V <sub>iso</sub>	2000	Volts

DARLINGTON

Electrical and Mechanical Characteristics

T<sub>j</sub> = 25°C unless otherwise specified

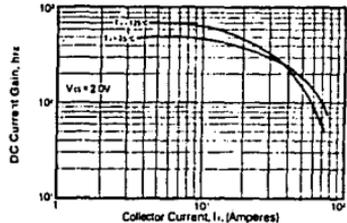
Symbol	Test Conditions	Typ	Max	Units
ICCV	Collector Cutoff Current V <sub>CE</sub> = 600V, V <sub>EB</sub> = -2V		1	mA
ICVB	Collector Cutoff Current V <sub>CE</sub> = 600V, V <sub>EB</sub> = -2V T <sub>c</sub> = 125°C		5	mA
IEBO	Emitter Cutoff Current V <sub>EB</sub> = 2V		200	mA
hFE	DC Current Gain IC = 50A, V <sub>CE</sub> = 2V IC = 50A, V <sub>CE</sub> = 5V	75 100		
V <sub>FM</sub>	Diode Forward Voltage I <sub>F</sub> = 50A		1.75	V
V <sub>CE(sat)</sub>	Collector-Emitter Saturation Voltage IC = 50A, I <sub>B</sub> = 0.65A		2.0	V
V <sub>BE(sat)</sub>	Base-Emitter Saturation Voltage IC = 50A, I <sub>B</sub> = 0.65A		2.5	V
t <sub>on</sub>	Turn-On V <sub>CE</sub> = 300V		1.5	μs
t <sub>s</sub>	Storage Time Resistive Load Switch Times IC = 50A		12	μs
t <sub>f</sub>	Fall Time 181-1A, 182-1A		3.0	μs
R <sub>JC</sub>	Thermal Resistance, Case to Sink		0.15	°C/W
R <sub>JA</sub>	Thermal Resistance, Junction to Case Transistor Fan		0.4	°C/W
R <sub>JC</sub>	Thermal Resistance, Junction to Case Diode Fan		1.3	°C/W



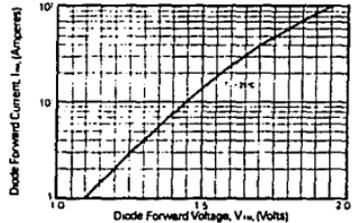
# Six/Pac Darlington 50/Ampere TRANSISTOR 450 Volts Modules

DARLINGTON

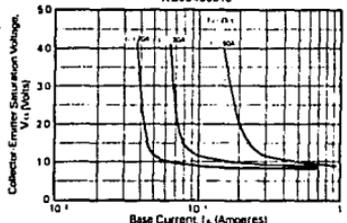
### DC Current Gain (Typical) KE92450510



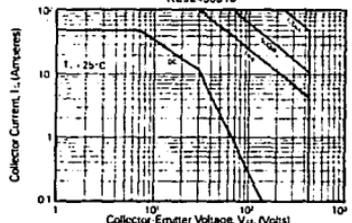
### Diode Characteristics KE92450510



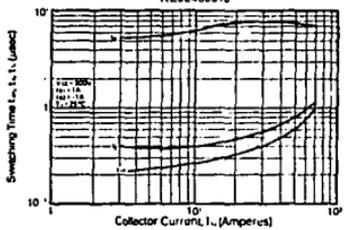
### Collector-Emitter Saturation Voltage (Typical) KE92450510



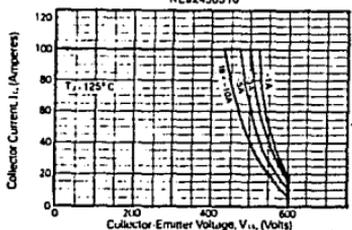
### Forward Bias Safe Operating Area (S.O.A.) KE92450510



### Switching Characteristics (Typical) KE92450510



### Reverse Bias Safe Operating Area (RBSOA) KE92450510



**MOTOROLA****MR850 MR851 MR852  
MR854 MR856****Designers Data Sheet****SUBMINIATURE SIZE, AXIAL LEAD MOUNTED  
FAST RECOVERY POWER RECTIFIERS**

designed for special applications such as power supplies, inverters, converters, ultrasonic systems, choppers, low RF interference and free wheeling diodes. A complete line of fast recovery rectifiers having typical recovery time of 150 nanoseconds providing high efficiency at frequencies to 250 KHz.

**Designer's Data for "Worst Case" Conditions**

The Designer's Data sheets permit the design of most circuits entirely from the information presented. Limit curves - representing boundaries under the criteria sets - are given to facilitate "worst case" designs.

**FAST RECOVERY  
POWER RECTIFIERS  
50-600 VOLTS  
3 AMPERE****MAXIMUM RATINGS**

Rating	Symbol	MR850	MR851	MR852	MR854	MR856	Unit	
Peak Repetitive Reverse Voltage	V <sub>RRM</sub>	50	100	200	400	600	Volt	
Maximum Peak Reverse Voltage DC Block - 1/2 Waveform	V <sub>RM</sub>	75	150	300	600	900	Volt	
Non-Repetitive Peak Reverse Voltage	V <sub>RSM</sub>	75	150	300	600	900	Volt	
Average Rectifier Forward Current (50% duty cycle, 100°C case temp)	I <sub>FM</sub>	10	20	30	30	30	Amp	
Non-Reverse Peak Surge Current (10 ms pulse width, 100°C case temp)	I <sub>FSM</sub>	150	300	450	900	1350	Amp	
Operating and Storage Junction Temperature Range (T <sub>J</sub> )	T <sub>J</sub> , T <sub>STG</sub>	-55 to +125						°C

**THERMAL CHARACTERISTICS**

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Air (R <sub>θJA</sub> ) See Note 8, Page 8	R <sub>θJA</sub>	28	°C/W

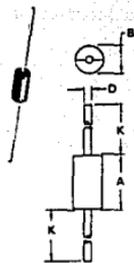
**ELECTRICAL CHARACTERISTICS**

Characteristic	Symbol	Min	Typ	Max	Unit
Forward Voltage (I <sub>F</sub> = 0.8 Amp, T <sub>J</sub> = 75°C)	V <sub>F</sub>	-	0.8	1.1	Volt
Reverse Current (tested at voltage) T <sub>J</sub> = 25°C	I <sub>R</sub>	-	2.0	16	µA
	MR850		60	100	
	MR851		100	150	
	MR852		200	300	
	MR854		600	900	
	MR856		100	300	

**REVERSE RECOVERY CHARACTERISTICS**

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Recovery Time (I <sub>F</sub> = 0.8 Amp, V <sub>R</sub> = 30 Volt, t <sub>rr</sub> = 100 ns, I <sub>R</sub> = 15 Amp at 0.1 + 10 A, t <sub>rr</sub> = 250 ns)	t <sub>rr</sub>	-	140	200	ns
Reverse Recovery Current (I <sub>F</sub> = 0.8 Amp, V <sub>R</sub> = 30 Volt, t <sub>rr</sub> = 250 ns)	I <sub>RR</sub> (A.C.)	-	2	3	amp

<sup>1</sup> See test methods for reverse power dissipation. See Note 8, Page 8.  
<sup>2</sup> See characteristics of Page 8.



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.43	5.33	0.174	0.210
B	1.27	1.32	0.050	0.052
C	7.62	7.72	0.300	0.305

CASE 267-01

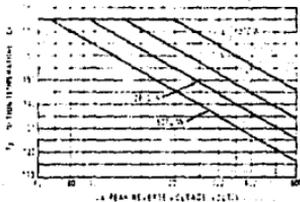
**MECHANICAL CHARACTERISTICS**

Case: Transfer Moulded P-Base  
Finish: External Leads are Plated  
Leads are readily Solderable  
Polarity: Cathode Indicated by Polarity Bands  
Weight: 17 Grams (Approximate)  
Maximum Lead Temperature for Soldering Purposes:  
325°C, 1.8 sec from case for 10 x 5.0 lb tension

MR850, MR851, MR852, MRC 54, MR856

MAXIMUM CURRENT AND TEMPERATURE RATINGS

FIGURE 1 - MAXIMUM ALLOWABLE JUNCTION TEMPERATURE



NOTE 1  
MAXIMUM JUNCTION TEMPERATURE DURING

When operating this device at junction temperatures over 175°C, reverse power dissipation at the positive (+) or negative (-) terminals must be observed. The data of Figure 1 is based upon worst case (near) lower and should be used to derive  $T_{jmax}$  from its maximum allowed 175°C. See Note 2 for additional information on derating for reverse power dissipation.

When current ratings are computed from  $T_{jmax}$  and reverse power dissipation is also included, ratings are with reverse voltage as shown in Figure 2 thru 5.

RESISTIVE LOAD RATINGS

Printed Circuit Board Mounting - See Note 6, Page 8

FIGURE 2 - SINE WAVE INPUT

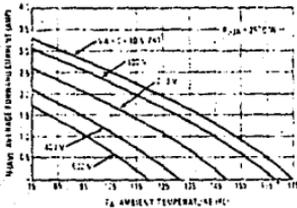


FIGURE 3 - SQUARE WAVE INPUT

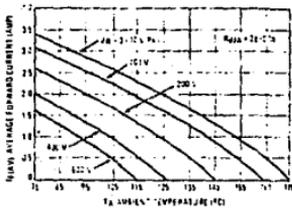


FIGURE 4 - SINE WAVE INPUT

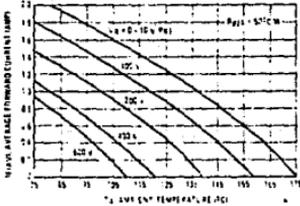
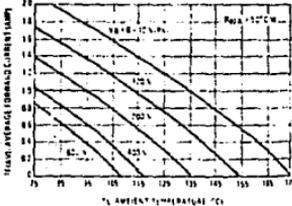


FIGURE 5 - SQUARE WAVE INPUT



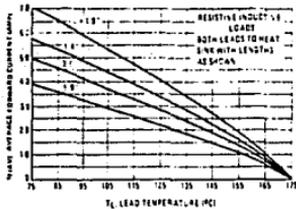
MR850, MR851, MR852, MR854, MR856

MAXIMUM CURRENT RATINGS

On the graphs there is shown with the thermal impedance  $Z_{\theta JC}$  of Figure 20 and the thermal time constant  $\tau_{\theta JC}$  of Figures 18 and 20. Since thermal time constant is not considered in Figures 6 thru 13, assume  $\tau_{\theta JC}$  of 100 s for resistive loads and for inductance to amount of 100 s resistance value since  $\tau_{\theta JC} \ll \tau_{\theta JC}$ . See Note 2.

SINE WAVE INPUTS

FIGURE 6 - EFFECT OF LEAD LENGTHS, RESISTIVE LOAD



SQUARE WAVE INPUTS

FIGURE 7 - EFFECT OF LEAD LENGTHS, RESISTIVE LOAD

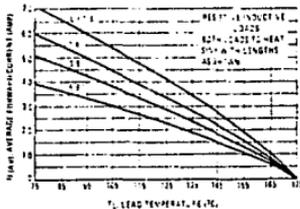


FIGURE 8 - 1/8" LEAD LENGTH, VARIOUS LOADS

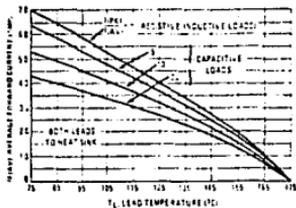


FIGURE 9 - 1/8" LEAD LENGTH, VARIOUS LOADS

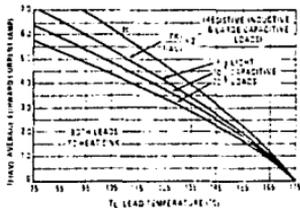


FIGURE 10 - PRINTED CIRCUIT BOARD MOUNTING, VARIOUS LOADS

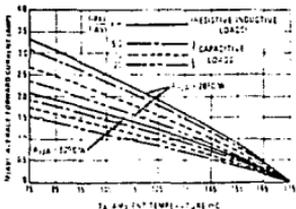
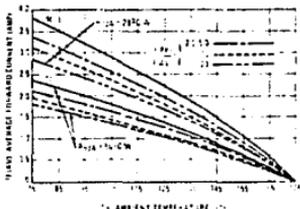


FIGURE 11 - PRINTED CIRCUIT BOARD MOUNTING, VARIOUS LOADS



## REFERENCIAS.

1. An Overview of Low-Loss Snubber Technology for Transistor Converters.

Angelo Ferraro.

Corporate Research and Development General Electric Company.

1982 IEEE, pp 466-476.

2. Applications of Fast-Recovery Rectifiers.

Dave Perkins

Motorola Semiconductor Products Inc.

3. Area Segura de Operación.

Curso de Electrónica de Potencia en Palacio de Minería, diciembre 1982, pp 1-11.

4. Catalogo RIFA de Capacitores.

1981/1982, pp 250-256.

5. Design of Solid-State Power Supplies.

Eugene R. Hnatek

Van Nostrand Reinhold Company.

Second Edición.

6. Guia de Compras DICOPEL

B-3 1986/1987, pp 73-78.

7. Losses in High-Power Bipolar Transistors.

Joseph H. Rockett

IEEE Transactions on Power Electronics

vol. PE-2 No. 1, January 1987, pp 72-80.

8. Modelling and Design of Non-Disipative LC Snubber Networks.

William J. Shauglmessy.

The Superior Electric Company

9. New Lossless Turn-On and Turn-Off (Snubber) Network for Inverters, Including Circuit for Blocking Voltage Limitation.

Franz C. Zach, Karl H. Kaiser y otros.

IEEE Transactions of Power Electronics, vol. PE No. 2, April 1986 pp 65-75.

10. Nondisipative Turn-Off Snubber Alleviates Switching Power Dissipation, Second-Breakdown Stress and Vce Overshoot.

Moshe Domb, Richard Redl, Nathan O. Sokal.

1982 IEEE, pp 445-454.

11. Power Darlington Load Line Considerations.

Robert J. Haver.

Motorola Inc. Semiconductor Group, 1978.

12. POWER TRANSISTOR PROTECTION SCHEMES

A. U. Dubhashi

INT. J. ELECTRONICS, 1985

vol. 59, No. 3, pp 397-403.

13. Power Transistor in its Environment.

Staff of Thompson CSF.

Thompson CSF Semiconductor Division

France 1978.

14. Protection and Switching-Aid Networks for Transistor Bridge Inverters.

K.S. Rajashejara y V. Rajagopalan.

IEEE Transactions on Industrial Electronics.

vol.IE-33, No. 2, May 1986. pages 185-192.

15. Protection of Power Transistor in Electric Vehicle Drives.

Thomas A. Radomsky.

General Motors Research Laboratory

1982 IEEE, pp 455-465.

reprint number 0275-9306/82/0000-0455.

16. RCA Silicon Power Circuit Manual.

17. REVERSE BIAS SAFE OPERATION AREA

Bob Bailey

Motorola Semiconductor Products Inc.

18. Selection of Snubbers and Clamps to Optimize the Design of Transistor Switching Converter.

William McMurray.

IEEE Transactions on Industry Applications.

vol.IA-16, No. 4 July/August 1980, pp 513-523.

19. Switching Circuits of Transistor Inverters.

G.W. Mustafa, R.S. Galustyan y otros.

Elektrotehnika, vol. 53, No. 4, 1982  
pp 41-44.