

52
Zig



**Universidad Nacional Autónoma
de México**

Facultad de Ingeniería

**Captación y Procesamiento de Señales Electrónicas
para Analizar y Determinar Estados Inducidos
Mediante una Onda de Choque.**

Tesis Profesional

Que para obtener el título de

Ingeniero Mecánico Electricista

Area: Sistemas Eléctricos y Electrónicos

p r e s e n t a

LUIS FLORES JUAREZ



México, D. F.

1987



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**CAPTACIÓN Y
PROCESAMIENTO DE SEÑALES
ELECTRÓNICAS PARA
ANALIZAR Y DETERMINAR
ESTADOS INDUCIDOS
MEDIANTE
UNA ONDA DE CHOQUE.**

INDICE.

INTRODUCCION.....	1
CAP. I - ANTECEDENTES.....	4
CAP. II - CIRCUITO PARA EL CALCULO DE LA VELOCIDAD DEL PROYECTIL (PREVIO AL IMPACTO).....	11
CAP. III- CIRCUITO DISCRIMINADOR DE ORDEN DE ENCENDIDO.....	20
CAP. IV - CIRCUITO GENERAL DE MEDICION.....	31
CAP. V - CIRCUITO SIMULADOR DEL DISPARO.....	39
CAP. VI - OSCILADOR DE CIRCUITO INTEGRADO 74S124.....	51
CONCLUSIONES.....	54
BIBLIOGRAFIA.....	56

INTRODUCCION.

El presente trabajo describe el diseño y construcción del Sistema Electrónico Digital de Detección necesario para cuantificar los parámetros de una Onda de Choque, producida en un sólido por impacto. Tal experimentación se realiza con un Generador de Ondas de Amplitud Finita (GOAF) en el Laboratorio de Altas Presiones dentro de las instalaciones del Instituto de Física de la UNAM.

a) ONDAS DE CHOQUE. Se sabe de antemano que la velocidad del sonido varía según el medio en el cual se propague. Dentro de un fluido, una partícula u objeto en movimiento con velocidad mayor a la del sonido en tal medio produce una Onda de Choque. En éstas condiciones de velocidad, la masa de partículas de fluido próximas al frente y en contacto con el móvil ofrecen una mayor resistencia a la penetración y desplazamiento por parte de éste. Es decir, el fluido se comporta como un sólido "cada vez más denso" a medida que la velocidad del móvil aumenta, sobrepasando a la del sonido en un número de veces dado. Estas características forman en el frente del objeto una zona superficial de alta presión causada por el "impacto" del móvil con las moléculas de fluido, existiendo un desplazamiento lateral de las mismas con una velocidad igual a la que tiene el sonido en tal medio, produciéndose lo que se conoce como una Onda de Choque. La propagación de la misma se realiza con dirección transversal y de forma radial a la trayectoria del móvil, de la misma manera en que se propagaría una Onda de Sonido de una fuente móvil. Tales características de comportamiento se muestran en las figuras a).1 y a).2 .

Efectos muy similares ocurren en los sólidos cuando son sometidos a impactos, esto es, se puede producir una Onda de Choque dentro de un material sólido (llamado Blanco) cuando un segundo material (llamado Proyectil) se impacta en el primero, con una velocidad incidente mayor a la de propagación del sonido dentro del primer material. En éste tipo de experimentos, una diferencial de tiempo después del impacto en-

tre los dos sólidos, las superficies en contacto formarán una zona de alta presión que penetrará en ambos cuerpos impactados como resultado del contacto mutuo. La atención se centra sobre la zona de alta presión que entra al primer material (Blanco), a la que se le llama Frente de Onda de la Onda de Choque, siendo muy similar conceptualmente a la zona de alta presión generada en una Onda de Choque dentro de un fluido. El Frente de Onda se desplaza internamente dentro del material con dirección perpendicular al área de contacto en el momento del impacto, con tendencia a diverger en la medida que ocurre el desplazamiento. El Frente de Onda llega a arrastrar tras de sí a las partículas que se encuentran en su trayectoria, las que pueden alcanzar distancias relativamente grandes en intervalos de tiempo muy cortos, provocando finalmente deformaciones y cambios en la estructura cristalina del material. A ésta velocidad con la cual son arrastradas las partículas suele llamársele Velocidad de Partícula ó Velocidad Euleriana, siendo un parámetro muy importante en la predicción del estado final del material.

Los análisis de pruebas teórico-experimentales han dado como resultado las curvas de comportamiento para algunos materiales (fig. a).4). Estos han sido sometidos a altas presiones por medio de impactos u otros métodos y se han cuantificado la Velocidad de Propagación del Frente de Onda y la de Partícula, observándose una relación lineal entre éstas dos variables para algunos materiales. Sin embargo existen sólidos para los cuales la relación lineal no se cumple en determinados intervalos de las gráficas, dando origen a las Zonas de Transición en las que es necesario experimentar para determinar el comportamiento real de dichos materiales (fig. a).5).

El objetivo general de la investigación en torno a éste tema es realizada en el Laboratorio de Altas Presiones del Instituto de Física de la UNAM, y consiste en comprobar experimentalmente el comportamiento hipotético del Germanio en su Zona de Transición. Las predicciones teóricas han sido elaboradas por investigadores del Instituto de Física de la UNAM.

Las aplicaciones prácticas de dichas investigaciones darán como resultado materiales con propiedades diferentes a las que tienen en condiciones normales, y que de otra manera no se pueden lograr. En el caso del Germanio resulta factible variar la conductividad dependiendo del tipo de condiciones de experimentación, y las aplicaciones serían inmediatas en el campo de la optimización de los Circuitos Integrados.

Otro de los materiales con el que se desea experimentar es el Carbón (grafito), al que se le desea convertir en Diamante mediante la modificación de las condiciones normales de la materia prima, previa a la prueba experimental.

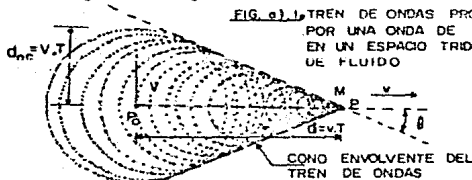


FIG. a) 1. TREN DE ONDAS PRODUCIDAS POR UNA ONDA DE CHOQUE EN UN ESPACIO TRIDIMENSIONAL DE FLUIDO

P_0 = POSICIÓN DEL MOVIL M
 P = POSICIÓN DEL MOVIL M UN TIEMPO " T " DESPUES
 V = VELOCIDAD DEL SONIDO
 v = VELOCIDAD DEL MOVIL
 $d_{oc} = v_s T$ = DESPLAZAMIENTO RADIAL DE UNA ONDA EN EL TIEMPO " T "
 $d = v_s T$ = DESPLAZAMIENTO DEL MOVIL M EN UN TIEMPO " T "

$$\text{SEN } \phi = \frac{v_s T}{v_s T} = \frac{v}{v_s}$$

$$\text{CSC } \phi = \frac{v}{v_s} = N^{\circ} \text{ DE MACH}$$

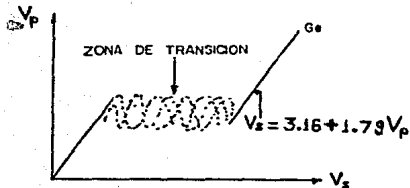


FIG. a) 5. CURVA DE COMPORTAMIENTO PARA EL GERMANIO (Ge)

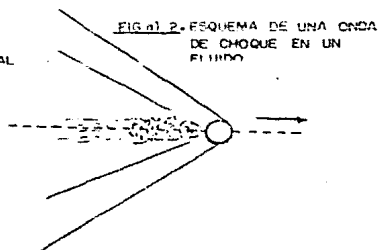


FIG. a) 2. ESQUEMA DE UNA ONDA DE CHOQUE EN UN FLUIDO

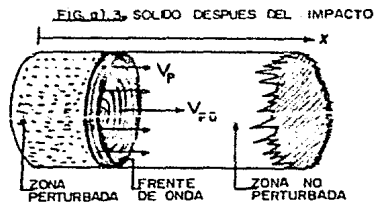


FIG. a) 3. SÓLIDO DESPUES DEL IMPACTO

v_p = VELOCIDAD DE PARTICULA
 v_{FD} = VELOCIDAD DEL FRENTE DE ONDA

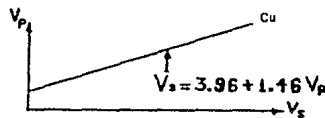


FIG. a) 4. CURVA DE COMPORTAMIENTO PARA EL COBRE (Cu)

CAPITULO I

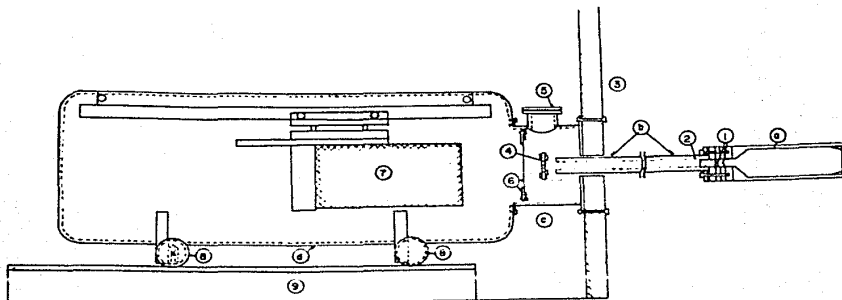
ANTECEDENTES.

I.1-GENERADOR DE ONDAS DE AMPLITUD FINITA (GOAF).

El método más preciso para producir altas presiones dinámicas consiste en la inducción de una Onda de Choque Plana mediante el impacto de un proyectil sobre un blanco fabricado del material que se desea estudiar. El Generador de Ondas de Amplitud Finita (GOAF) permite producir Ondas de Choque Planas mediante un impacto en condiciones controladas, entre una placa inicialmente fija (Blanco) y otra acelerada (Proyectil), a velocidades que varían entre 200 y 1100 m/s. Se entiende por condiciones controladas la alineación entre las dos placas, el estado termodinámico inicial del blanco y la velocidad de la placa acelerada (Proyectil). Los diámetros típicos de éstas placas son de 75.4 mm. para los experimentos primarios y de aproximadamente 35 mm. para las pruebas con Germanio.

En la figura I.1 se muestra esquemáticamente el GOAF, siendo 4 las partes fundamentales del mismo: Tanque de Compresión, Tubo de Aceleración, Cámara de Impacto y Tanque de Recuperación. Se puede notar que en la unión del Tubo de Aceleración y el Tanque de Compresión están colocados dos Diafragmas, los que permiten hacer el vacío en el Tubo de Aceleración, en la Cámara de Impacto y en la Cámara de Recuperación, a la vez que permiten llenar con gas a presión el Tanque de Compresión, en donde la elección del gas (Aire ó Helio a una presión entre 2 y 40 MPa.) dependerá de la velocidad deseada y de la masa del proyectil..

El blanco se fija y alinea cuidadosamente en la Cámara de Impacto, y el proyectil se coloca en el extremo derecho del Tubo de Aceleración junto a los Diafragmas, de tal manera que para producir el impacto se induce la ruptura de los dos Diafragmas, que previamente han sido calibrados para una presión de ruptura determinada. La ruptura se logra cuando la presión interna de la zona entre Diafragmas disminuye al abrir una válvula de alivio. Entonces la presión en la Cámara de Compresión



- | | | |
|---------------------------|----------------------------|---------------------------------------|
| a) Tanque de compresión | 1) Sistema de diafragmas | 5) Chimenea de la cámara de impacto |
| b) Tubo de aceleración | 2) Proyectoil | 6) Porta-membrana y membrana de mylar |
| c) Cámara de impacto | 3) Muro de concreto armado | 7) Para-bala |
| d) Tanque de recuperación | 4) Blanco (muestra) | 8) Ruedas del tanque de recuperación |
| | | 9) Cadena de concreto y riel |

GENERADOR DE ONDAS DE AMPLITUD FINITA

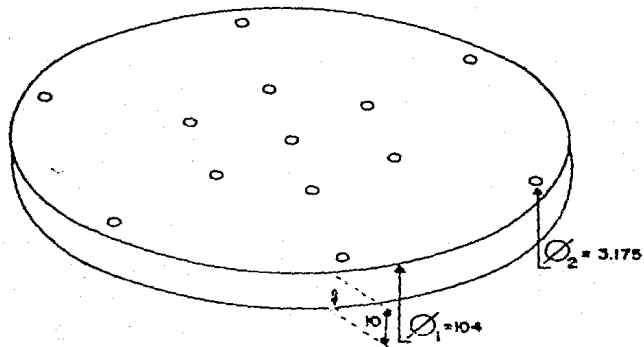
(GOAF)

FIG. I.1

umenta sobre el primer Diafragma, causándole la ruptura y rompiendo el segundo casi simultáneamente, permitiendo que el gas contenido en la Cámara de Compresión actúe sobre el proyectil acelerándolo a lo largo del Tubo de Aceleración (con previa presión de vacío: Pabs.=10 Pa. =0.1 mm. Hg.). De ésta manera el proyectil choca con el blanco, continuando juntos hasta que son frenados por el Parabala que se encuentra dentro del Tanque de Recuperación. El gas utilizado ocupa entonces todo el sistema siendo fácil su recuperación debido a que el ensamble total está herméticamente sellado y conectado a un Sistema Neumático de Recuperación.

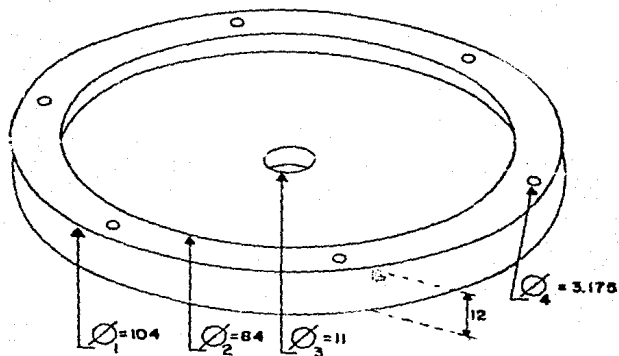
I.2- DESCRIPCION Y ENSAMBLE FISICO DEL BLANCO.

El blanco y las piezas de fijación del mismo dependerán del tipo de experimento a realizarse. En las pruebas con Cobre el ensamble total está constituido principalmente por el siguiente material: 3 Odócronos, un Disco del material a estudiar (Blanco), un Anillo de Acero, un Disco de Lucita (Plástico Acrílico), Agujas de Acero y Cables de Conexión. La forma de cada pieza, el orden de ensamble y un Proyectil se muestran en las figuras I.2.1 a I.2.6. Los 3 Odócronos van apoyados sobre la Cámara de Aceleración y atornillados sobre un Anillo de Acero previamente anclado. Sólo uno de éstos Odócronos contiene 4 Agujas Sensoras, en las que tres de ellas son utilizadas para la medición de la velocidad (previa al impacto) del proyectil y la restante dispara el aparato de medición. Los otros dos Odócronos sirven como soporte mecánico del ensamble total de las piezas. El Disco de Lucita tiene como finalidad el soporte mecánico de las 7 Agujas Sensoras del impacto, (Velocidad de Partícula y Angulo de Incidencia del Proyectil). Entre éste disco y el blanco se coloca un Anillo de Acero con el objeto de crear un "espacio libre" en el cual estarán colocadas las 7 Agujas Sensoras.



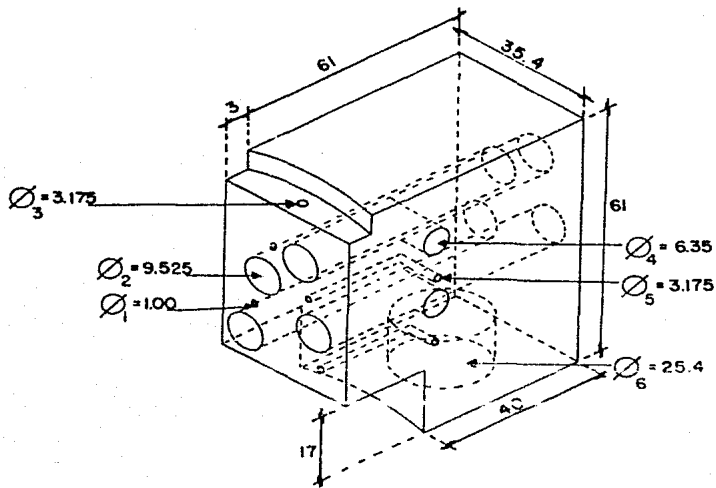
DISCO DE LUCITA

FIG. I.2.1



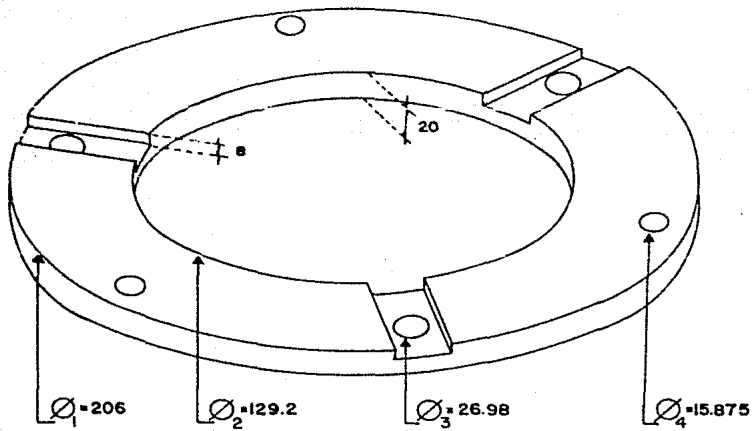
BLANCO

FIG. I.2.2



ODOCRONO

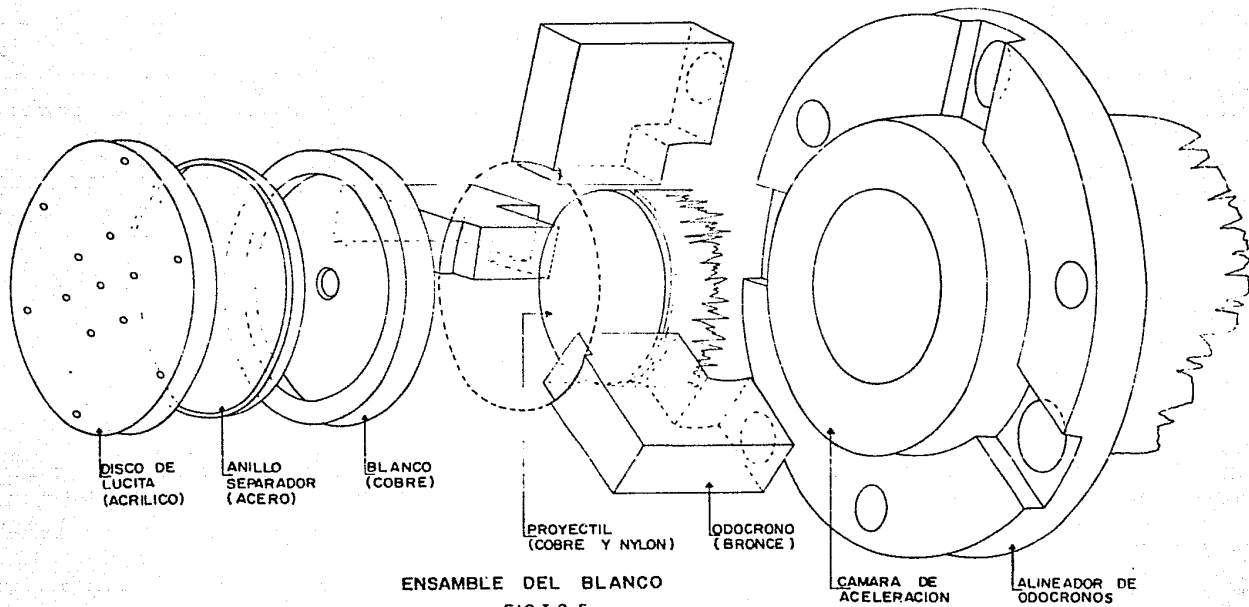
FIG.123

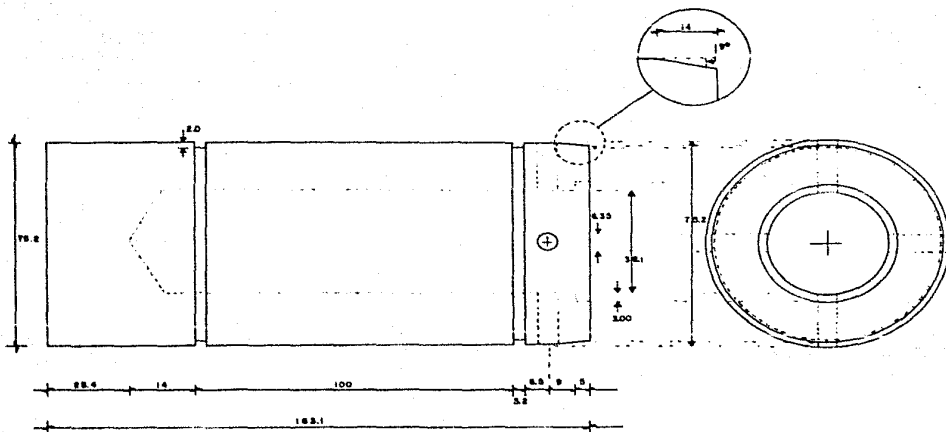


ALINEADOR DE ODOCRONOS

FIG. I.2.4

ACOTACIONES EN MILIMETROS





PROYECTIL (PLACA DESLIZANTE DE COBRE)

FIG. I.2.6

ACOTACION EN MILIMETROS

CAPITULO II

CIRCUITO PARA EL CALCULO DE LA VELOCIDAD DEL PROYECTIL (PREVIO AL IMPACTO).

OBJETIVO PARTICULAR. El objetivo primordial de éste circuito es el de obtener por medios indirectos la velocidad con la que incide el proyectil un instante ántes de impactarse en el blanco. Para ello se han colocado 4 interruptores (agujas detectoras) casi en la parte final de la trayectoria del proyectil. Estas se montan en un Odómetro (Cap. I) en tal forma que las distancias entre cualesquiera de los interruptores es conocida. Al viajar el proyectil incide finalmente sobre éstos interruptores accionando el sistema digital que forma éste conjunto detector.

PRINCIPIO DE FUNCIONAMIENTO. Este sistema detecta un número de pulsos entre contactos sucesivos de los interruptores, de tal forma que entre uno y otro contacto se puede obtener un tiempo de conmutación al paso del proyectil en función de la frecuencia de la señal pulsante (Reloj). Cada interruptor está asociado con un módulo de circuitos de conteo, de tal forma que cuando se cierra el primer interruptor es activado el primer módulo, y cuando se cierra el segundo interruptor se detiene el conteo del primer módulo y se activa el segundo. Esta operación es simultánea por lo que no hay pérdida de pulsos y con ello error en la medición del tiempo de conmutación. Así de ésta manera, la expresión para determinar la velocidad del proyectil está dada por:

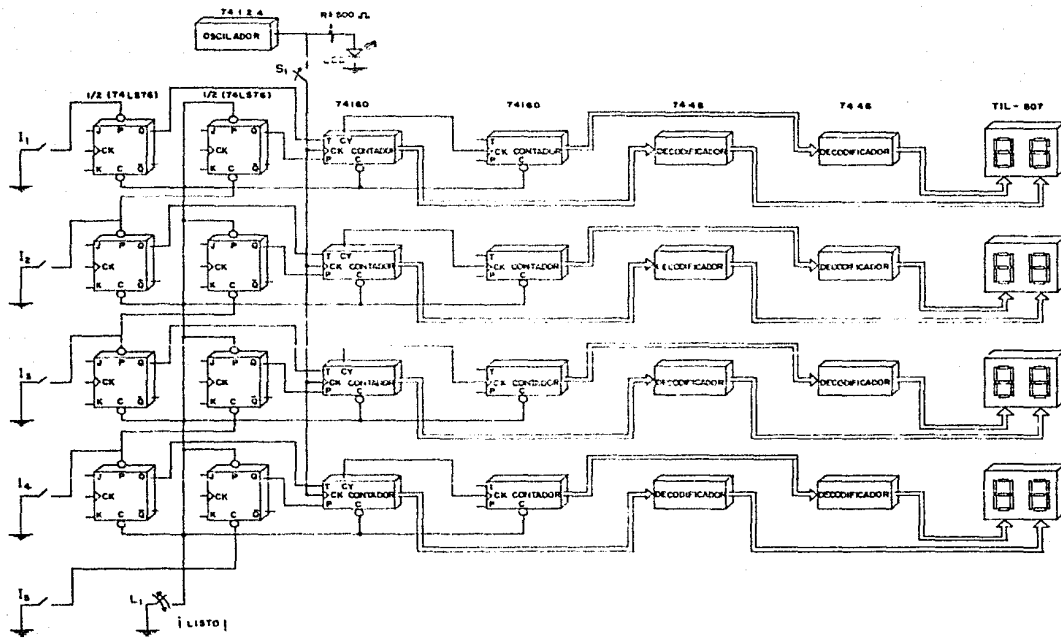
$$v = d/t \quad \text{en donde:} \quad \begin{aligned} d &= \text{distancia entre 2 detectores consecutivos.} \\ t &= nT = n/f ; \quad t = \text{tiempo de conmut. entre los 2 detec.} \\ n &= \# \text{ de pulsos entre los 2 detectores.} \end{aligned}$$

$f = \text{frec. del reloj.}$

IMPLEMENTACION. La construcción del sistema mostrado en las figs. II.1 y II.2 consiste en 4 módulos iguales, en el que cada uno de ellos está formado por: 2 Biestables JK 74LS76, 2 Contadores Decimales 74160, 2 Decodificadores BCD-7 Segmentos (colector abierto) 7446, 1 Despliegue Luminoso Doble de 7 segmentos Anodo Común TIL 807 (con sus

CIRCUITO PARA EL CALCULO DE LA VELOCIDAD DEL PROYECTIL (ANTES DEL IMPACTO)

FIG. II. I

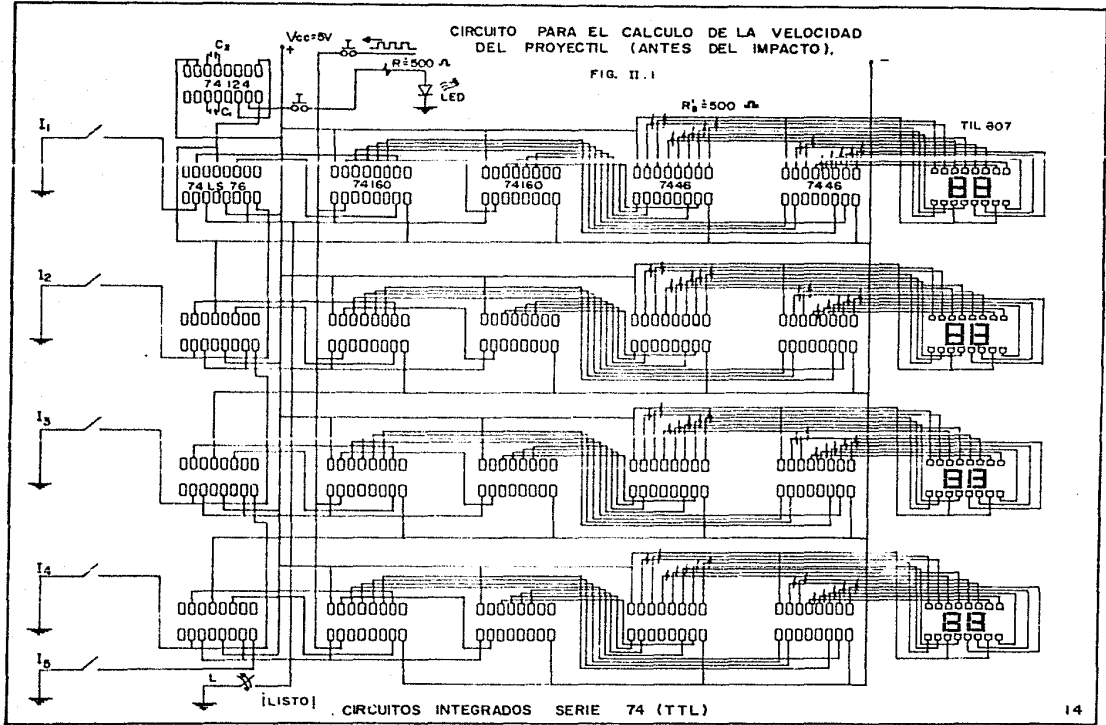


resistencias limitadoras) y un LED indicador con su resistencia. El oscilador mostrado debe ser de frecuencia ajustable, y en éste caso se propone el de circuito integrado 74S124, para el que se muestra su funcionamiento en el Cap. VI. Este oscilador alimenta directamente a un contador menos significativo (LSC), y a éste se conecta un segundo contador más significativo (MSC), de tal forma que el primero cuenta las unidades y el segundo las decenas. Cada contador alimenta a su vez a un Decodificador BCD a 7 Segmentos respectivamente. El par de Biestables JK se utilizan para habilitar e inhabilitar a los contadores en el momento de conmutar los respectivos interruptores, tal como se indicará en el siguiente párrafo.

FUNCIONAMIENTO E INICIALIZACION ELECTRONICA. Después de polarizar el circuito se limpian los Contadores y Biestables JK abriendo y cerrando el interruptor L_1 . Esto se logra porque tal interruptor está conectado a las terminales Limpiadoras CLR (C) de los Contadores y a las terminales CLEAR CLR (C) y PRESET PR (P) de los Biestables. En los primeros tal acción obliga a que la cuenta se inicialice en cero, y en los segundos suministra un cero lógico (nivel bajo) en la salida Q del primer Biestable, y un 1 lógico (nivel alto) en la terminal Q del segundo, para cada módulo de conteo. Estas salidas de los Biestables están conectadas a las entradas habilitadoras T y P de los Contadores 74160, y por tanto en la entrada T aparecerá un cero lógico y en la P habrá un uno lógico. El Contador LSC se habilita cuando T y P tienen ambos un uno lógico, situación que será alcanzada cuando se cierre el primer interruptor (con el paso del proyectil) conectado a la terminal PRESET (P) del primer Biestable JK (para cada módulo). Entonces podemos afirmar que el interruptor L_1 limpia y prepara al sistema para su operación, mostrándose en tal situación por medio de la visualización del cero en ambos despliegues luminosos de 7 segmentos (dígitos). Posterior al cierre del interruptor L_1 es necesario verificar el funcionamiento del oscilador por medio del LED indicador, y cerrar el interruptor de alimentación de pulsos indicado por S_1 . Es entonces cuando el circuito está totalmente listo para su operación. (La verificación

CIRCUITO PARA EL CALCULO DE LA VELOCIDAD
DEL PROYECTIL (ANTES DEL IMPACTO).

FIG. II.1



del funcionamiento del oscilador se puede hacer previamente al cierre del interruptor I_1). Cuando el proyectil conmuta al interruptor I_1 , un 1 lógico aparece en la terminal T del primer Contador y considerando que la entrada P tiene también un 1 lógico (está el contador habilitado para el conteo) y que la señal de pulsos está en la entrada CK del Contador, entonces éste empieza a contar hasta que el proyectil alcanza el interruptor I_2 , el cual coloca un 0 lógico en la terminal P del primer contador y un 1 lógico en la terminal T del contador LSC del segundo módulo. situación que deshabilita al primer contador (conservando éste el número de pulsos ocurridos entre las conmutaciones de I_1 e I_2), y habilitando para el conteo al Contador LSC del segundo módulo. El cierre del interruptor I_3 activa la cuenta del Contador LSC del tercer módulo e inhabilita el conteo del Contador LSC del segundo módulo, conservando éste la cuenta de pulsos transcurridos entre las conmutaciones de I_2 e I_3 , de la misma manera como se realizó entre I_1 e I_2 . Este proceso se repite desde I_1 a I_5 habilitando y deshabilitando sucesivamente a los Contadores LSC de cada módulo al paso del proyectil, y conservando la cuenta de pulsos entre la conmutación sucesiva de los interruptores. El Contador MSC de cada módulo está conectado al Contador LSC por medio de la terminal "Ripple Carry Output" (CY), la cual envía un pulso (1 lógico) simultáneamente con el número máximo de pulsos(10) para volver a iniciar la cuenta de otra década. Esta operación se podrá observar en los diagramas de tiempo de los Contadores mostrado al final del capítulo.

ALGUNAS CARACTERISTICAS TECNICAS Y DE OPERACION.+

ELEMENTO	CIRC.INTEGR.	POLARIZACION	FRECUENCIA	PROPAGACION	FAN OUT
Función	#	(V.) Mín. Típ. Máx.	(MHz.)	(ns.) tiempo de	# de elementos
Biestable	JK 74LS76	4.5 5 5.5	45	$13 \leq t \leq 40$	10
Contador	74160	4.5 5 5.5	25	$11 \leq t \leq 32$	10
Decodificador	7446	4.5 5 5.5	10	$t=100$	5

+ Para mayor información se recomienda consultar el manual del fabricante dado en la bibliografía al final del trabajo.

MEJORAS Y OPTIMIZACIONES: Dado que un circuito de conteo debe ser bastante rápido y con mínimo tiempo de propagación se recomienda el uso de Circuitos Integrados de la serie 74S (TTL). A continuación se muestra una posible sustitución para obtener mejores resultados, aunque con ello resultará más costoso el diseño por ser los circuitos integrados poco comerciales en el país.

Otra posible optimización consistiría en colocar interruptores ópticos en sustitución de los mecánicos que contiene el sistema. Algunos de ellos pueden ser acoplamientos con fototransistores o celdas fotosensibles con incidencia de luz controlada, para lo cual se recomienda consultar un Manual de Optoelectrónica.

D I S EÑO .

S U S T I T U T O .

Elemento	Circ. Int.	Elemento	Circ. Int.	Frec. (MHZ.)
Biestable JK	74LS76	Biestable JK	74S112	125
Contador Déc.	74160	Contador Déc.	74S196	100

OTROS POSIBLES USOS: Este sistema se puede utilizar casi para cualquier medición de velocidad relativamente grande. También puede servir como parte de un módulo de control previamente programado para tomar decisiones en función del número de pulsos (ó tiempo) transcurrido. Otro uso posible sería el de calcular distancias desconocidas entre uno y otro interruptor en función de una frecuencia fija de alimentación y de la velocidad del mecanismo de conmutación previamente conocida, siendo el proceso inverso de funcionamiento para el cual fué diseñado originalmente.

CONFIGURACION ELECTRONICA DE LAS TERMINALES DE LOS CIRCS. INTEGRS.

DUAL J-K FLIP-FLOPS WITH PRESET AND CLEAR

76

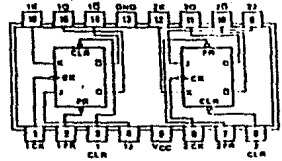
76, 'H76
FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q ₀ Q ₁
L	H	X	X	X	H L
H	L	X	X	X	L H
L	L	X	X	X	H*
H	H	JL	L	L	Q ₀ Q ₀
H	H	JL	H	L	L H
H	H	JL	L	H	H L
H	H	JL	H	H	TOGGLE

PIN ASSIGNMENTS (TOP VIEWS)

'L876A
FUNCTION TABLE

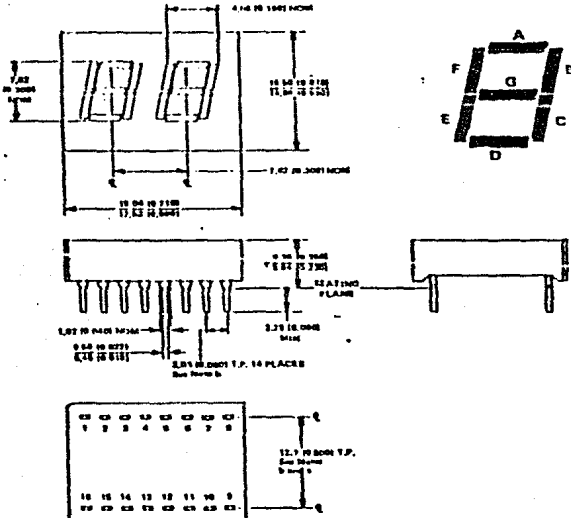
INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q ₀ Q ₁
L	H	X	X	X	H L
H	L	X	X	X	L H
L	L	X	X	X	H*
H	H	J	L	L	Q ₀ Q ₀
H	H	J	H	L	L H
H	H	J	L	H	H L
H	H	J	H	H	TOGGLE
H	H	H	X	X	Q ₀ Q ₀



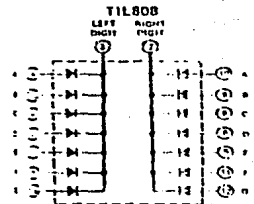
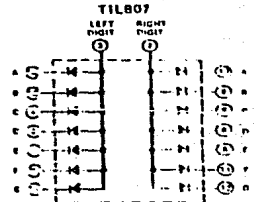
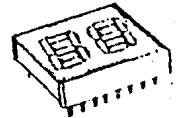
SN5476 (J, W) SN7476 (J, N)
SN64H76 (J, W) SN74H76 (J, N)
SN54LS76A (J, W) SN74LS76A (J, N)

See pages 6-45, 6-50, and 6-56

These displays are formed by mounting light-emitting-diode chips on a lead frame. A filler cavity is used over each of to form individual uniform segments.



- NOTES:
- All dimensions are in millimeters and parenthetically in inches.
 - Each pin centerline is located within 0.28 (0.0110) of its position (1, P.1).
 - The spacing between row centerlines is measured at the seating plane.



TYPES SN5446A, '47A, '48, '49, SN5446, '47, SN5415
 SN7446A, '47A, '48, SN7446, '47, SN7415
 BCD-TO-SEVEN-SEGMENT DE
 BULLETIN NO. DLS 311811, MARCH 19

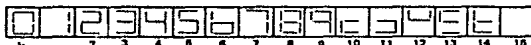
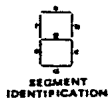
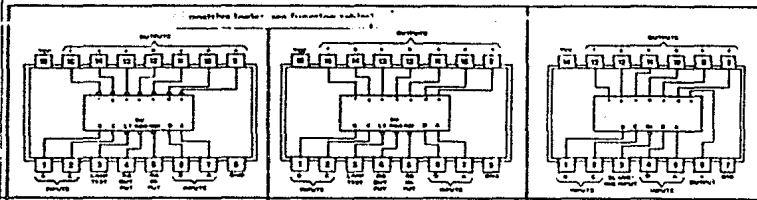
• All Circuit Types Feature Lamp Intensity Modulation Capability

TYPE	DRIVER OUTPUTS				TYPICAL POWER DISSIPATION	PACKAGES
	ACTIVE LEVEL	OUTPUT CONFIGURATION	SINK CURRENT	MAX VOLTAGE		
SN5446A	low	open-collector	40 mA	30 V	320 mW	J, W
SN5447A	low	open-collector	40 mA	18 V	320 mW	J, W
SN5448	high	2-k Ω pull-up	8.4 mA	5.5 V	265 mW	J, W
SN5449	high	open-collector	10 mA	5.5 V	185 mW	W
SN54L46	low	open-collector	20 mA	30 V	160 mW	J
SN54L47	low	open-collector	20 mA	18 V	160 mW	J
SN54L547	low	open-collector	12 mA	15 V	35 mW	J, W
SN54LS48	high	2-k Ω pull-up	2 mA	5.5 V	125 mW	J, W
SN54LS49	high	open-collector	4 mA	5.5 V	40 mW	J, W
SN7446A	low	open-collector	40 mA	30 V	320 mW	J, N
SN7447A	low	open-collector	40 mA	15 V	320 mW	J, N
SN7448	high	2-k Ω pull-up	8.4 mA	5.5 V	265 mW	J, N
SN74L46	low	open-collector	20 mA	30 V	160 mW	J, N
SN74L47	low	open-collector	20 mA	18 V	160 mW	J, N
SN74LS47	low	open-collector	24 mA	15 V	35 mW	J, N
SN74LS48	high	2-k Ω pull-up	8 mA	5.5 V	125 mW	J, N
SN74LS49	high	open-collector	8 mA	5.5 V	40 mW	J, N

'46A, '47A, '48, '49, SN5446, '47, SN5415 (TOP VIEW)

'48, '49, SN5446, '47, SN5415 (TOP VIEW)

'49, '49, SN5446, '47, SN5415 (TOP VIEW)



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, '48, '49, SN5446, '47, SN5415 FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						BUBBO [†]	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	OFF
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	OFF	ON
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	OFF	ON
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	OFF	ON	ON
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	OFF	ON	ON
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	OFF	ON
7	H	X	L	H	H	H	H	ON	OFF	ON	ON	OFF	OFF	OFF	OFF
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	ON
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	OFF	ON	ON
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	OFF	ON
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	OFF	ON
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	OFF	ON	ON
13	H	X	H	H	L	H	H	ON	OFF	ON	ON	OFF	OFF	ON	ON
14	H	X	H	H	H	L	H	ON	OFF	OFF	OFF	ON	ON	ON	ON
15	H	X	H	H	H	H	H	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
BI	X	X	X	X	X	X	L	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	ON

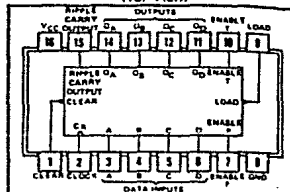
H = high level, L = low level, X = irrelevant

NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The blanking input (RBI) must be open or held at a low logic level when output functions 16 through 19 are desired.

'160, '161, 'LS160A, 'LS161A ... SYNCHRONOUS COUNTERS WITH DIRECT CLEAR
'162, '163, 'LS162A, 'LS163A, 'S162, 'S163 ... FULLY SYNCHRONOUS COUNTERS

- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Synchronous Counting
- Synchronously Programmable
- Load Control Line
- Diode-Clamped Inputs

SERIES 84, 84LS, 84S ... J OR W PACKAGE
SERIES 74, 74LS, 74S ... J OR N PACKAGE
(TOP VIEW)



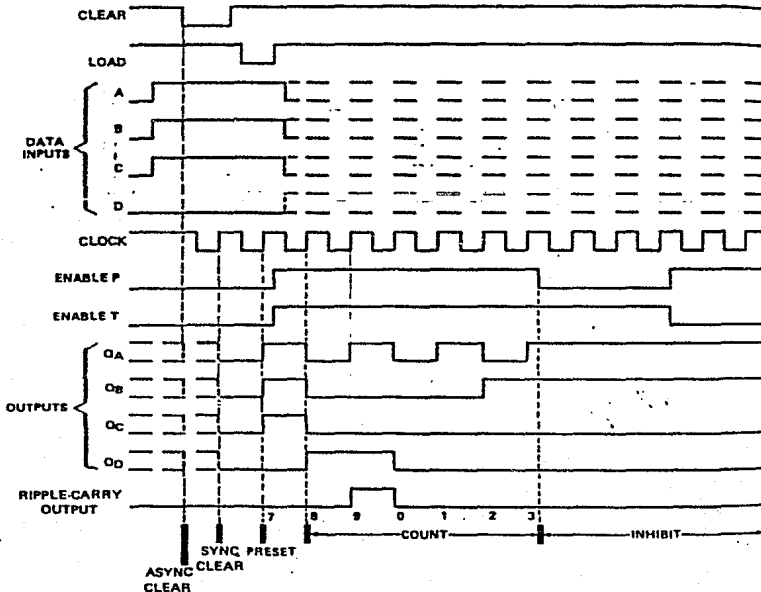
TYPE	TYPICAL PROPAGATION TIME, CLOCK TO Q OUTPUT	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'160 thru '163	14 ns	32 MHz	305 mW
'LS160A thru 'LS163A	14 ns	32 MHz	83 mW
'162 and '163	9 ns	70 MHz	478 mW

'160, '162, 'LS160A, 'LS162A, 'S162 DECADE COUNTERS

typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence:

1. Clear outputs to zero ('160 and 'LS160A are asynchronous; '162, 'LS162A, and 'S162 are synchronous)
2. Preset to BCD seven
3. Count to eight, nine, zero, one, two, and three
4. Inhibit



CAPITULO III

CIRCUITO DISCRIMINADOR DE ORDEN DE ENCENDIDO.

OBJETIVO PARTICULAR. El objetivo particular de éste circuito es el de obtener el orden de conmutación de los 7 interruptores que se activan posteriormente a los correspondientes de la velocidad. Estos se fijan sobre las piezas mecánicas del blanco y Disco de Lucita (figs. I.2.1, I.2.2 y I.2.5) formando un plano paralelo a la superficie de las mismas, con el fin de detectar el ángulo superficial de incidencia del frente del proyectil. Es necesario indicar que la disposición de los interruptores es tal que el orden secuencial de contacto es totalmente aleatorio para 6 agujas de un total de 7. Estas se encuentran colocadas formando los vértices y centro de un hexágono, en la que ésta última es la que primero contacta el proyectil.

PRINCIPIO DE FUNCIONAMIENTO. Una forma sencilla de entender el funcionamiento de éste sistema consiste en considerarlo como un conjunto de interruptores asociado a un conjunto ordenado de despliegues luminosos de 7 segmentos (dígitos). Cada interruptor está codificado (numerado) del 1 al 7, de tal forma que en el momento de conmutar es generado un código binario representativo de un número entre el 1 y el 7, correspondiente al interruptor respectivo. Estos códigos son captados y mantenidos en los despliegues luminosos (visualizando un dígito) ordenándolos en la secuencia de conmutación de arriba hacia abajo, 6, en un orden previamente determinado. Por tanto, si la secuencia de conmutación de los interruptores se realiza en el orden dado por I₅, I₃, I₁, I₂, I₄, I₆, I₇, los despliegues luminosos mostrarán los dígitos en orden descendente 5,3,1,2,4,6,7 .

Nota: En el caso de que ocurra el cierre simultáneo de más de un interruptor entrará sólo un dígito de entre todos los interruptores, y será colocado éste como si sólo hubiese existido una conmutación, insertándose normalmente los dígitos de los interruptores siguientes y finalmente quedando "vacíos" los últimos despliegues luminosos corres-

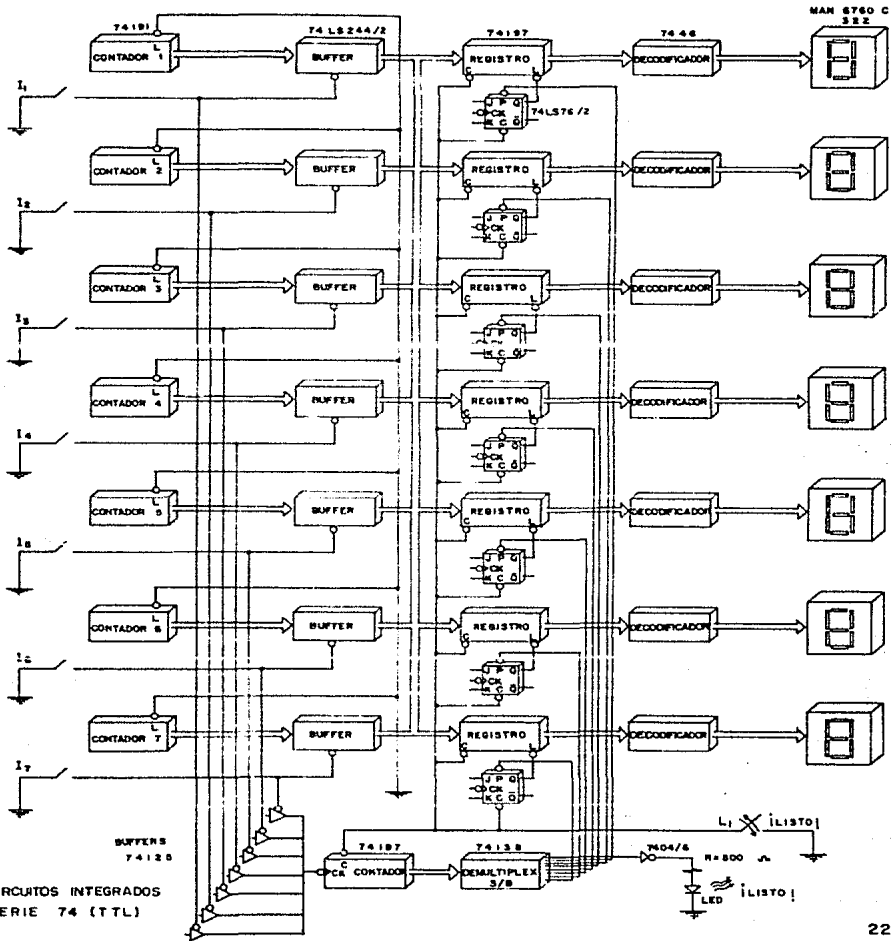
pendientes a las conmutaciones simultáneas anteriores que no entraron. (Para este caso de interrupción múltiple se recomienda el uso del circuito general expuesto en el Capítulo IV).

IMPLEMENTACION. Este sistema está formado por 8 módulos de los cuales 7 son iguales entre sí. Estos últimos están destinados para la captación de las señales de conmutación, y el octavo módulo realiza el control, inserción y ordenación de las conmutaciones que finalmente aparecen en los despliegues luminosos de 7 segmentos. Cada uno de los 7 módulos está formado por: 1 Contador Hexadecimal 74191, 1 Buffer Octuple de 3 estados 74LS244, 1 Contador (usado como registro) 74197, 1 Biestable JK 74LS76, 1 Decodificador BCD a 7 Segmentos (colector abierto) 7446, con sus respectivas resistencias, y un Despliegue Luminoso de 7 Segmentos Anodo Común MAN6760C. El octavo módulo que es el de control está formado por : 1 Contador Binario 74197, un conjunto de 7 Buffers 74125, 1 Demultiplexor de 3/8 Líneas 74138, 1 Inversor 7404 y un LED indicador con su resistencia limitadora.

FUNCIONAMIENTO E INICIALIZACION ELECTRONICA. Después de polarizar el circuito se cierra el interruptor L_1 originando que los registros se limpien y mantengan almacenado internamente el dígito cero, el que es enviado al decodificador y de ahí al Despliegue Luminoso de 7 Segmentos. A la vez el LED indicador del módulo de control se encenderá para mostrar que el sistema está listo para operar. El interruptor L_1 está conectado a las terminales limpiadoras CLEAR (C) de los Contadores utilizados como Registros, del Contador de control y de los Biestables JK de cada módulo. Estas terminales limpian a los circuitos con un nivel bajo (conectando y desconectando a tierra a L_1). En el Contador de control ésta conmutación inicializa la cuenta del mismo con el número cero, el que es alimentado al Demultiplexor que activa en un nivel bajo la salida # "O", motivo por el cual es necesario utilizar un inversor para que el LED indicador conectado en ésta salida se encienda y muestre que el sistema está listo para operar. En el caso de los Biestables es colocado un cero en la salida Q de cada uno, lo que permite

CIRCUITO DISCRIMINADOR DE
ORDEN DE ENCENDIDO

FIG III.1



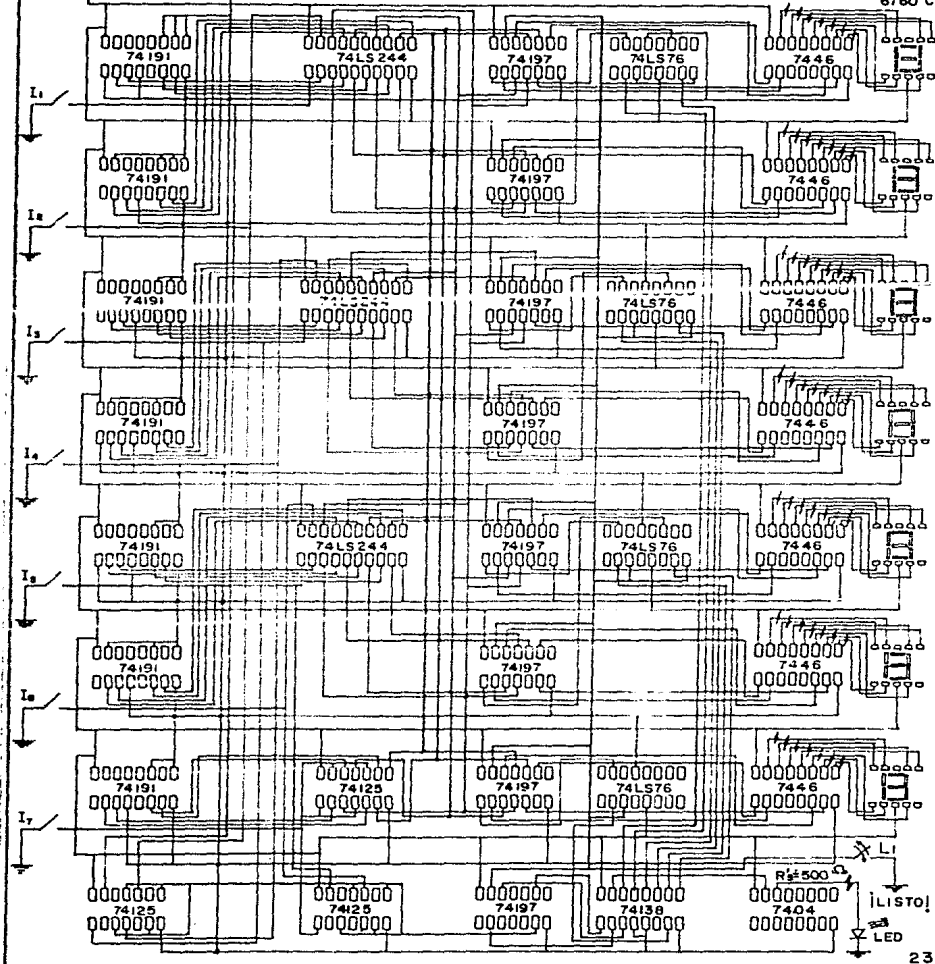
VCC = 5V

CIRCUITO DISCRIMINADOR DE ORDEN DE ENCENDIDO

FIG. III. 2

$R_1 = 500 \Omega$

MAN
6760 C



la habilitación del Registro 74197 para su operación. En éste momento dicho registro con su terminal L conectada a Q (en cero) acepta cualquier número binario que aparezca en sus entradas. Así de ésta forma el sistema estará listo para captar las conmutaciones de los interruptores accionados por la incidencia del proyectil. Por ello, cuando un interruptor conmuta se producen dos sucesos simultáneos importantes; el primero consiste en que se envía un pulso de borde negativo a la terminal de control del Buffer 74LS244 originando que el número binario del Contador 74191 se introduzca en todos los registros 74197 que previamente han sido habilitados mediante los Biestables de control 74LS76. El segundo: es enviado un pulso de borde negativo a la terminal de control del Buffer 74125, generándose en la salida de éste un pulso de borde negativo que es captado en su ascenso por el Contador de control 74197, que originalmente estaba en su disposición de contar inicializado con el no. cero. Ante el descenso de este pulso la cuenta del Contador indica el no. 1, el que es enviado al Demultiplexor de control que activa en bajo la salida no. 1, estando ésta conectada a la terminal PRESET.(P) del Biestable JK correspondiente, causando que aparezca un 1 logico en la salida Q, deshabilitando al Registro 74197 que previamente ha atrapado al dígito binario del respectivo interruptor. Las salidas Q de los restantes Biestables JK permanecen sin cambio y por tanto los respectivos Registros continúan habilitados para las conmutaciones posteriores. Así, para cada conmutación se repiten los dos sucesos anteriores, aumentando sucesivamente la cuenta del Contador de control 74197 y con ello deshabilitando a los Registros 74197 por medio de las salidas del Demultiplexor de control 74138 y los Biestables JK 74LS76. Resumiendo, podemos decir que al iniciar el sistema preparamos a los Registros 74197 para operar, y que las conmutaciones de los interruptores envían los dígitos a los Registros y a la vez "los cierran". Esto se logra porque la transferencia de información y control del Contador 74191 al Registro 74197 a través del Buffer 74LS244 resulta más rápida (son 3 los elementos: 74191, 74LS244, 74197)

en comparación con la transferencia de información y control del módulo de control (son 6 los elementos: 74191, 74125, 74197, 74138, 74LS76, 74197), por lo que al Registro 74197 "le da tiempo" de captar el dígito enviado a sus entradas y posteriormente "cerrarlas" por medio de la terminal L conectada al Biestable JK 74LS76 en la terminal Q.

La función de los Buffers 74LS244 consiste únicamente en evitar el paso del dígito codificado en binario que se encuentra en las salidas del Contador 74191, y éste paso es habilitado cuando ocurre una conmutación en el respectivo interruptor. La función del Decodificador 7446 consiste en convertir a decimal el número codificado en binario que fué atrapado por el Registro 74197, siendo visualizado en un Display Luminoso de 7 Segmentos MAN6760G.

ALGUNAS CARACTERISTICAS TECNICAS Y DE OPERACION⁺

ELEMENTO.	CIRC.	INTEGR.	POLARIZACION.			FRECUENCIA.	PROPAGACION.	PAN OUT.
			(V.)	(V.)	(V.)			
Función	#	Mín.	Típ.	Máx.	(MHZ.)	(ns.)	# de	
						tiempo de	elementos.	
Contador	74191	4.75	5	5.25	25	20	10	
Buffer	74LS244	4.75	5	5.25	-	$12 \leq t \leq 18$	-	
Cont./Reg.	74197	4.75	5	5.25	70	$16 \leq t \leq 38$	10	
Demultiplexor	74138	4.75	5	5.25	-	$13 \leq t \leq 39$	20	
Buffer	74125	4.5	5	5.5	-	$8 \leq t \leq 25$	10	

Biestable JK 74LS76
 Decodificador 7446 $\left. \begin{array}{l} \text{---} \\ \text{---} \end{array} \right\}$ Ver características en el Capítulo II.

+ Para mayor información se recomienda consultar el manual del fabricante dado en la Bibliografía al final del trabajo.

LIMITACIONES. Una gran limitante se presenta en el bloque de control comprendido por el Contador y el Demultiplexor, ya que se requiere necesariamente que los pulsos enviados por los interruptores I_1 a I_7 a través de los Buffers 74125 tengan una transición negativa para que se efectúe la operación del Contador 74197 y la del Demultiplexor 74138. Esto sólo ocurrirá cuando al proyectil se impacte en las 7 agujas del blanco y ocurra un contacto y descontacto casi simultáneo para cada una

de ellas, situación que no se puede asegurar en la prueba experimental, a menos que sean colocadas las agujas en una disposición determinada para que ello suceda. (Se recomienda consultar con el circuito del Capítulo IV que resuelve éste problema).

Otra limitante se relaciona con la frecuencia de operación. Aquí el tiempo de contacto entre dos interruptores sucesivos debe ser siempre mayor al tiempo empleado por el módulo de control en transmitir sus señales desde la conmutación de los interruptores respectivos hasta la operación del "cierre" del Registro 74197, de lo contrario no se asegura el funcionamiento correcto del sistema.

MEJORAS Y OPTIMIZACIONES. Se propone el uso de un Contador de control de transición positiva para el conteo de pulsos con la finalidad de no hacer necesario el borde negativo del pulso de control mencionado anteriormente. También los Biestables JK se pueden eliminar y colocar directamente las salidas del Demultiplexor de control 74138 a la terminal de carga de los Registros, con previas pruebas experimentales. En otro caso es posible sustituir los Buffers por circuitos Monoestables (74122, 74123) de tal forma que sean activados por cada conmutación y envíen un pulso previamente "calibrado" al Contador de control. Con ello no será necesaria la transición negativa de la conmutación ya que el Monoestable la está dando.

En el caso de que se requieran controlar más de 8 módulos se recomienda el uso de un Demultiplexor de control de 16 salidas 74154, y en el caso de que se requiera aumentar la frecuencia de conmutación se sugiere la sustitución de los circuitos por aquellos equivalentes de la serie 74S (TTL). También es importante mencionar que éste sistema es factible de reconstruirlo utilizando memorias LIFO ó FIFO en las que se almacena ordenadamente el dígito binario correspondiente al interruptor respectivo, de tal forma que su recuperación sea ordenada y desplegada en forma visual.

OTROS POSIBLES USOS. Este circuito puede formar parte de un sistema de control más elaborado en el que las decisiones dependerán del dígito

to "atrapado". También con un diseño previamente modificado y utilizando 6 módulos (ó 12) y un circuito que "barra" (Circuito del Cap. V) los 6 (ó 12) interruptores de conmutación se puede simular una jugada al azar de uno (ó dos) dados.

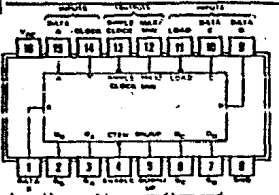
Este circuito previamente mejorado puede formar palabras (de un lenguaje) en un tablero electrónico, y con un sistema de corrimiento ensamblado a un grupo de memorias LIFO ó FIFO podrá ser capaz de escribir mensajes completos que se desplacen en forma visual.

CONFIGURACION ELECTRONICA DE TERMINALES
DE ALGUNOS CIRCUITOS INTEGRADOS DEL
SISTEMA.

- Counts 8-4-2-1 BCD or Binary
- Single Down/Up Count Control Line
- Count Enable Control Input
- Ripple Clock Output for Cascading
- Asynchronously Presetable with Load Control
- Parallel Outputs
- Configurable for n-Bit Applications

SN74191:
SN74LS191

SN54*, SN74LS* ... J OR W PACKAGE
SN74*, SN74LS* ... J OR N PACKAGE
(TOP VIEW)



TYPE	AVERAGE PROPAGATION DELAY	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'190, '191	20 ns	25 MHz	375 mW
'LS190, 'LS191	20 ns	25 MHz	100 mW

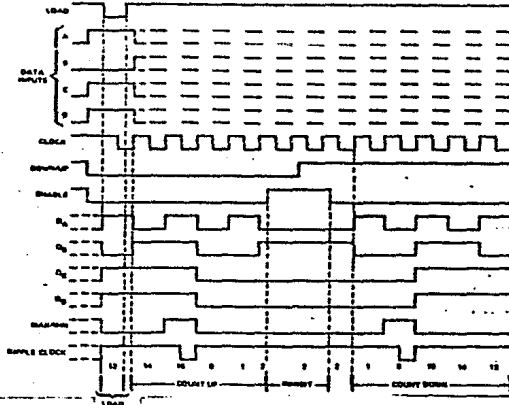
Asynchronous Inputs: Low Input to load sets QA = A,
QB = B, QC = C, and QD = D

'191, 'LS191 BINARY COUNTERS

typical load, count, and inhibit sequences

Illustrated below is the following sequences:

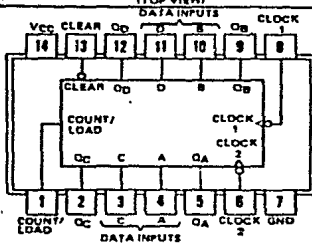
1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.



- Performs BCD, Bi-Quinary, or Binary Counting
- Fully Programmable
- Fully Independent Clear Input
- Input Clamping Diodes Simplify System Design
- Output QA Maintains Full Fan-out Capability in Addition to Driving Clock-2 Input

SN74LS197
SN74S197
SN74197

SN74S, SN74LS, SN74S... J OR W PACKAGE
SN74S, SN74LS, SN74S... J OR N PACKAGE
(TOP VIEW)



TYPES	GUARANTEED		TYPICAL POWER DISSIPATION
	COUNT FREQUENCY	CLOCK 1 CLOCK 2	
'196, '197	0-50 MHz	0-75 MHz	240 mW
'LS196, 'LS197	0-30 MHz	0-18 MHz	80 mW
'196, 'S197	0-100 MHz	0-80 MHz	375 mW

asynchronous input: Low input to clear sets QA, Qc, C, and QD low.

QUADRUPLER BUS BUFFER GATES WITH THREE-STATE OUTPUTS

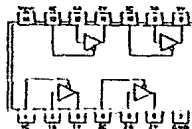
125

positive logic:

Y = A

Output is Hi (tri-state) when C is high.

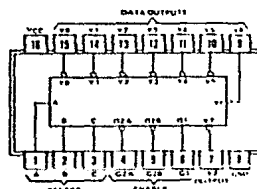
See page 8-33



EN54125 (J, W) SN74125 (J, N)
EN54LS125AJ, W SN74LS125AJ, N

- Designed Specifically for High-Speed Memory Decoders Data Transmission Systems
- 'S138 and 'LS138 3-to-8-Line Decoders Incorporate 3 Enable Inputs to Simplify Cascading and/or Data Reception
- 'S139 and 'LS139 Contain Two Fully Independent 2-to-4-Line Decoders/ Demultiplexers
- Schottky Clamped for High Performance

SN54LS138, SN54S138... J OR W PACKAGE
SN74LS138, SN74S138... J OR N PACKAGE
(TOP VIEW)

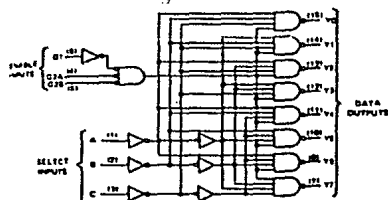


TYPE	TYPICAL PROPAGATION DELAY (2 LEVELS OF LOGIC)		TYPICAL POWER DISSIPATION
	CLOCK 1	CLOCK 2	
'LS138	22 ns		32 mW
'S138	8 ns		245 mW
'LS139	22 ns		34 mW
'S139	7.5 ns		300 mW

positive logic: see function table

functional block diagrams and logic

'LS138, 'S138
FUNCTION TABLE



ENABLE		INPUTS			OUTPUTS							
DI	Q2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	H	L	H	L	H	H	H	H	H	H
H	L	H	L	L	H	H	L	H	H	H	H	H
H	L	H	L	H	H	H	L	H	H	H	L	H
H	L	H	H	L	H	H	H	L	H	H	L	H
H	L	H	H	H	H	H	H	L	H	H	L	H

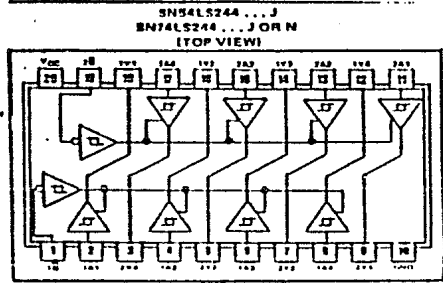
*Q2 = Q2A + Q2B
H = 4-to-1 level, L = 1-to-1 level, X = irrelevant

	Typical IOL (Sink Current)	Typical IOH (Source Current)	Typical Propagation Delay Times		Typical Enable/ Disable Times	Typical Power Dissipation (Enabled)	
			Inverting	Noninverting		Inverting	Noninverting
SN54LS ¹	12 mA	-12 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
SN74LS ¹	24 mA	-15 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
SN54S ¹	48 mA	-12 mA	4.5 ns	6 ns	9 ns	450 mW	538 mW
SN74S ¹	84 mA	-15 mA	4.5 ns	6 ns	9 ns	450 mW	538 mW

- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- P-N-P Inputs Reduce D-C Loading
- Hysteresis at Inputs Improves Noise Margins

Description

These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical \bar{Q} (active-low output control) inputs, and complementary \bar{C} and \bar{D} inputs. These devices feature high fan-out, improved fan-in, and 400-mV noise-margin. The SN74LS¹ and SN74S¹ can be used to drive terminated lines down to 133 ohms.



NOTA.

LA CONFIGURACION DE LAS TERMINALES PARA EL DECODIFICADOR BCD/7 SEG.
7446 SE ENCUENTRA EN ESTA MISMA SECCION DEL CAPITULO II.

CAPITULO IV

CIRCUITO GENERAL DE MEDICION.

OBJETIVO PARTICULAR. El objetivo esencial de éste circuito es el de detectar por medios indirectos el cálculo de la velocidad con la que se impacta el proyectil en el blanco. Para ello se utilizan los últimos 7 interruptores (de un total de 11) ensamblados en las placas de Cobre y Lucita (figs. I.2.1, I.2.2, I.2.5). Es necesario indicar que éste circuito puede sustituir de una forma más eficiente a los 2 circuitos de los Caps. II y III, encargados de la detección de la velocidad del Proyectil previa al impacto y de la discriminación del orden aleatorio de conmutación de los últimos 7 interruptores para la determinación del Angulo del impacto. En el caso de tal sustitución se hace referencia a un sistema formado por 11 módulos iguales entre sí, con su respectivo interruptor de conmutación. Si se desea utilizar dicho circuito para los 7 interruptores entonces el sistema tendrá 7 módulos con sus respectivos conmutadores. Sea una u otra la elección, el análisis de funcionamiento es el mismo por lo que se hará referencia a un sistema de 11 interruptores, tal como está indicado en los diagramas de bloques y electrónico de las Figs. IV.1 y IV.2 .

PRINCIPIO DE FUNCIONAMIENTO. Este sistema reducido a su forma más simple consta de 11 módulos iguales entre sí utilizados para el conteo de pulsos. Un oscilador alimenta simultáneamente a los 11 módulos con una señal cuadrada de una frecuencia previamente determinada. Al paso del proyectil es cerrado el primer interruptor I_M (Interruptor Maestro) ocasionando que todos los módulos de conteo se habiliten y empiecen a contar simultáneamente. Por tanto, hasta aquí todos los módulos indicarán el mismo número de pulsos. Así, en el momento de cerrarse el interruptor I_1 "se para" el módulo # 1 (módulo respectivo al interruptor) conservando y mostrando el número de pulsos transcurridos entre las conmutaciones de I_M e I_1 . Todos los demás módulos continuarán el conteo de pulsos, y , en el momento de cerrarse I_2 se

interrumpe y detiene el conteo del módulo # 2 conservando y mostrando en el despliegue luminoso el número de pulsos transcurridos entre las conmutaciones de I_M e I_2 . Los módulos restantes continuarán el conteo de pulsos, y en el momento de cerrarse I_3 se interrumpe y detiene el conteo del módulo # 3 desplegándose el número de pulsos transcurridos entre I_M e I_3 . Esta operación se realiza desde que conmuta el Interruptor Maestro I_M hasta que conmuta el último interruptor I_{11} . Así tenemos que por medio de una sencilla diferencia entre el número de pulsos que se muestran en los módulos # 2 y # 1 podemos encontrar el número de pulsos transcurridos entre las conmutaciones de los interruptores I_2 e I_1 , o entre dos interruptores consecutivos cualesquiera tomando en consideración el número de pulsos de los módulos respectivos. Debido a que las distancias entre los interruptores siempre son conocidas, resulta muy fácil encontrar la velocidad previa al impacto utilizando las expresiones indicadas en el Cap. II.

Para el caso de los 7 interruptores de discriminación de orden de conmutación se hace necesario asociar un orden ó código posicional a cada despliegue luminoso de 7 segmentos asociado al módulo del respectivo interruptor, con el fin de identificarlos posteriormente a las conmutaciones. (Es decir, se deben colocar los despliegues luminosos en orden progresivo de derecha a izquierda, de arriba hacia abajo, etc., pero siempre identificando la correspondencia para cada uno de los 7 interruptores). Así tenemos que al momento de conmutar el interruptor I_4 (que aún pertenece a los interruptores de la velocidad previa al impacto), es detenido el conteo del módulo # 4, y la conmutación siguiente corresponderá aleatoriamente a cualquiera de los interruptores comprendidos entre I_5 e I_{11} . Entonces, el interruptor que conmute en éste momento será aquel cuyo módulo tenga el número de pulsos inmediatamente mayor al del módulo # 4. Y así, el siguiente interruptor en conmutar tendrá en su módulo respectivo un número de pulsos inmediatamente mayor al del módulo anteriormente descrito. Esta operación se presenta en forma continua para to-

dos los interruptores restantes, de tal forma que el último interruptor en conmutar tendrá en su respectivo módulo el mayor número de pulsos de entre todos los existentes. Por ello en éste sistema, a la vez que se obtiene una secuencia ordenada de conmutación en función del número de pulsos captado, se obtiene una medida del tiempo de conmutación entre uno y otro interruptor consecutivo en función del mismo parámetro de pulsos. Este factor es determinante en el cálculo de la Velocidad del Frente de Onda de la Onda de Choque dentro del blanco, causado por el impacto del proyectil; (ésta velocidad puede ser encontrada con las mismas expresiones indicadas en el Cap.II).

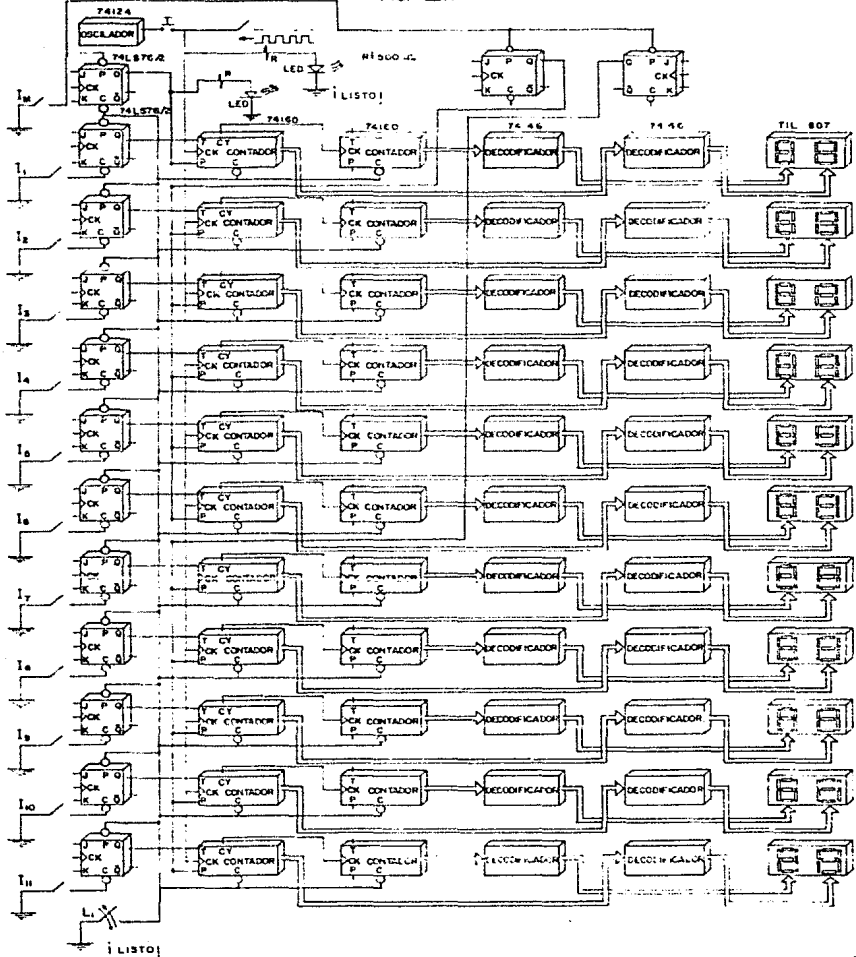
Es muy importante mencionar que en el caso de que sucedan varias conmutaciones simultáneas los módulos respectivos de cada interruptor indicarán el mismo número de pulsos, situación que será muy fácil de identificar. También es importante mencionar que éste circuito no será afectado en su funcionamiento al ocurrir "rebotes" en los interruptores, ó por efectos " al quedarse pegado " un interruptor. Se sugiere leer el funcionamiento e inicialización del circuito para obtener una idea más general de su operación electrónica.

IMPLEMENTACION. Como puede observarse en las Figs. IV.1 y IV.2, cada uno de los 11 módulos están formados por: 1 Biestable JK74LS76, 2 Contadores Decimales 74160, 2 Decodificadores (Colector Abierto) BCD a 7 segmentos 7446 y 1 Desolique (Doble) Luminoso de 7 Segmentos Anodo Común TIL807. Además de los 11 módulos anteriores deberán operar también 1 Oscilador de Pulsos de Frecuencia Ajustable y otros 3 Biestables (Maestros) JK 74LS76, a uno de los cuales se le ha conectado un LED indicador con su respectiva resistencia para mostrar que el sistema está listo para operar. Cada uno de los Biestables Maestros JK 74LS76 "pueden manejar" como máximo 5 Contadores (5 módulos), de ahí el motivo para usar 3 Biestables Maestros JK 74LS76 para 11 módulos de conteo.

FUNCIONAMIENTO E INICIALIZACION ELECTRONICA. Después de polarizar el circuito y de verificar el funcionamiento del Oscilador (por me-

CIRCUITO GENERAL (11 INTERRUPTORES)

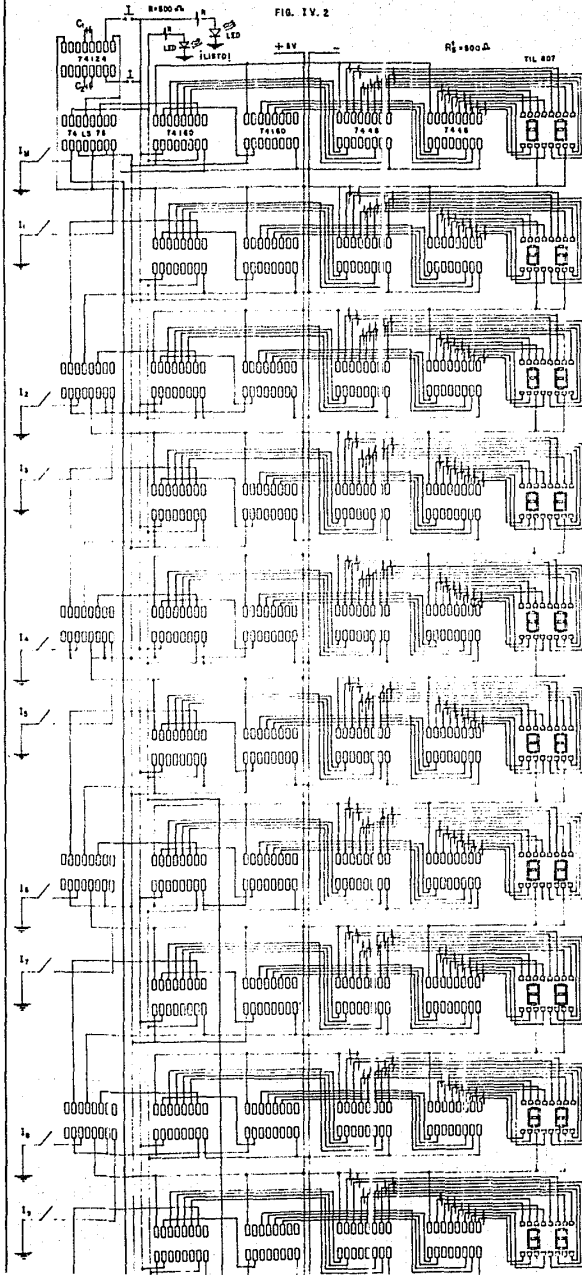
FIG. IX.1

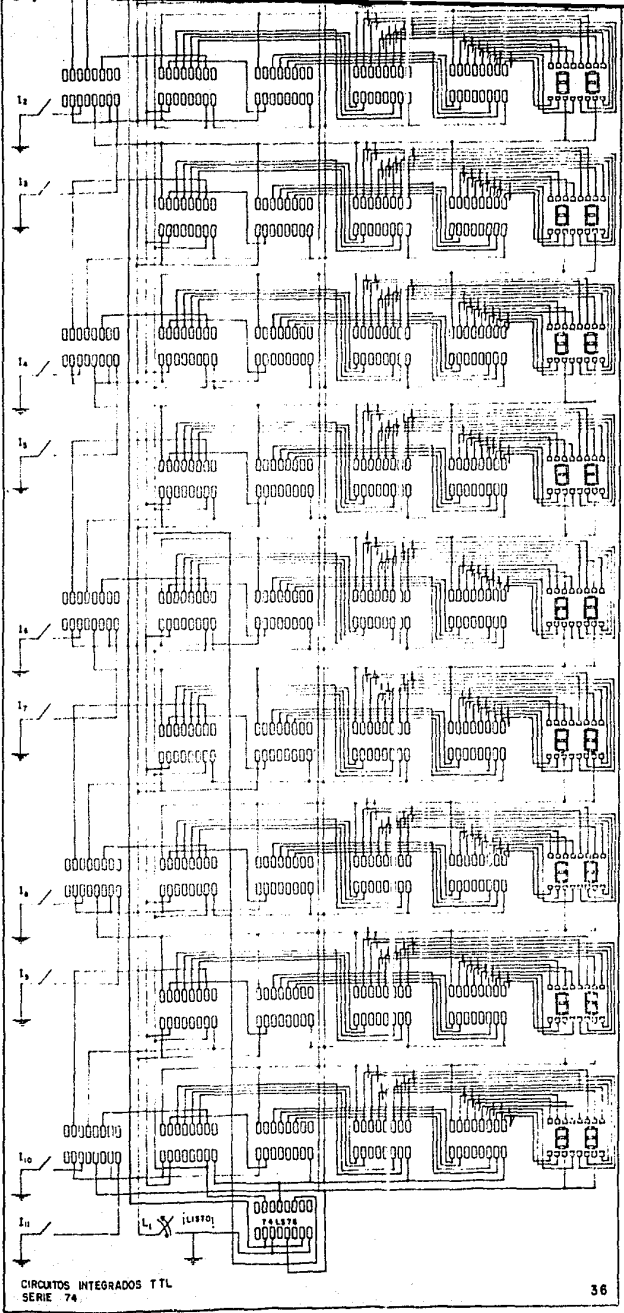


dio del LED indicador), se procede a limpiar el sistema cerrando y abriendo el interruptor I_1 . Este está conectado por una parte, a las terminales limpiadoras CLEAR (C) de los Contadores y a las terminales PRESET (P) de los Biestables JK de cada módulo, y por otra parte, a la(s) terminal(es) CLEAR (C) del(os) Biestable(s) Maestro(s) JK 74LS76 que contiene(n) al interruptor maestro I_M . La conmutación de I_1 obliga a los Contadores a inicializar y almacenar en su interior al número cero, a partir del cual empezará el conteo de pulsos. Este es enviado a los Decodificadores y de aquí a los Despliegues Luminosos de 7 Segmentos en donde es visualizado. También es colocado un 1 lógico en las terminales Q de todos los Biestables JK correspondientes a cada módulo, que coinciden con las entradas habilitadoras T de los Contadores. Es necesario indicar que, para que un Contador 74160 esté habilitado para el conteo, se requiere que las terminales T y P estén ambas con un 1 lógico, de lo contrario no podrán operar. La habilitación sucede cuando al incidir el proyectil sobre el interruptor maestro I_M , obliga a que todas las terminales P de los Contadores de cada módulo tengan un 1 lógico, y, considerando que todas las terminales T tenían también previamente un 1 lógico (debido al cierre de I_1), todos los módulos emprenden el conteo de pulsos alimentados simultáneamente por el Oscilador. Así tenemos que el cierre del interruptor I_1 colocará un 0 lógico en la terminal habilitadora T del Contador del módulo # 1 y con ello éste quedará deshabilitado e interrumpirá el conteo, conservando y mostrando por medio de los Despliegues Luminosos de 7 Segmentos el último número de pulsos previos a dicha conmutación. Los módulos restantes proseguirán con su conteo hasta que el interruptor del módulo respectivo deshabilite al Contador colocando un 0 lógico en la terminal T del mismo. Este funcionamiento es válido para la totalidad de los interruptores, de tal forma que el último interruptor en conmutar será aquél cuyo módulo tenga el mayor número de pulsos. También la secuencia de conmutación estará dada por el orden creciente del número de pulsos correspondien-

CIRCUITO GENERAL
(II INTERRUPTORES)

FIG. IV. 2





tes a cada módulo y con ello consecuentemente al interruptor respectivo. En el caso de que dos o más interruptores conmuten a la vez, serán colocados ceros lógicos en las terminales T de los respectivos Contadores, deshabilitándolos simultáneamente, por lo que todos ellos conservarán el mismo número de pulsos previos a dicha conmutación múltiple. Por otra parte, debido a que las terminales PRESET (P) y CLEAR (C) de los Biestables JK 74LS76 están conectadas a los interruptores, y sólo son sensibles a la primera conmutación, resultan datos de conteo muy fidedignos sin importar los "rebotes" o cierres permanentes de los interruptores. Respecto a los Contadores se puede comentar que aquél (de cada módulo) que está conectado en CK directamente al Oscilador resulta ser el Contador Menos Significativo (LSC) y se encarga de contar las unidades. Conectado a éste en la terminal RIPPLE-CARRY se encuentra el segundo Contador que resulta ser el Más Significativo (MSC), encargado de contar las decenas, (recibe un pulso del LSC cada 10 pulsos tal como se muestra en el diagrama de tiempo reproducido en el Cap. II). Cada Contador alimenta a un Decodificador BCD a 7 Segmentos, y éstos a su vez están conectados a un Despliegue Luminoso de 7 Segmentos, con la finalidad de visualizar la cuenta registrada por los Contadores.

ALGUNAS CARACTERISTICAS TECNICAS Y DE OPERACION. Las características más importantes de los circuitos integrados que forman parte de éste diseño se pueden encontrar en el Capítulo II, en la parte correspondiente a éste mismo párrafo.

LIMITACIONES. Es muy importante mencionar que se requiere un Oscilador lo suficientemente enérgico en su salida para que se puedan alimentar simultáneamente los 11 módulos del sistema. El oscilador de Circuito Integrado 74124 mostrado en los diagramas de bloques y electrónico sólo es capaz de manejar simultáneamente 6 módulos, por lo que se hace necesario el uso de 2 Osciladores de éste tipo dentro del sistema con 11 interruptores. (Se recomienda leer el Cap. VI, relacio-

nado con éste Circuito Integrado).

MEJORAS Y OPTIMIZACIONES. Este circuito se puede mejorar notablemente en su frecuencia de operación utilizando los circuitos integrados TTL de la Serie 74S. Las posibles sustituciones en éste sistema para cada elemento pueden ser las mismas que están indicadas en el Cap. II en éste mismo párrafo, y con las mismas implicaciones económicas que ahí se mencionan.

OTROS POSIBLES USOS. Los posibles usos que se le pueden dar a éste circuito son los mismos (en parte) a los correspondientes del circuito del Cap. III, y en su totalidad a los correspondientes del circuito del Cap. II. Esto se debe a que el circuito en cuestión puede realizar las funciones de los dos anteriores.

NOTA.

Los CIRCUITOS INTEGRADOS utilizados en éste sistema son los mismos que forman el circuito del Cap. II, por ello, la configuración electrónica de las terminales de los mismos se encuentran en el capítulo ya mencionado.

CAPITULO V

CIRCUITO SIMULADOR DEL DISPARO.

OBJETIVO PARTICULAR. EL objetivo particular de éste circuito es el de generar niveles de bajo voltaje (ceros lógicos) en varias salidas, con el fin de simular las conmutaciones a tierra de los interruptores pertenecientes a los circuitos detectores al paso del proyectil. Estas conmutaciones simuladas deberán cumplir con las características que presenta un disparo con baja, mediana ó alta velocidad por parte del proyectil. Esta simulación ayuda a preparar la instrumentación y circuitería encargada de detectar los parámetros esperados de la prueba experimental.

PRINCIPIO DE FUNCIONAMIENTO. Este es un circuito que contiene 48 terminales de salida y un interruptor para simular el disparo. La simulación se realiza abriendo y cerrando el interruptor D (normalmente cerrado) originando que las 48 salidas se activen sucesivamente una a una en un nivel bajo de voltaje (cero lógico), y una vez que ha llegado a la última salida el circuito "se para" y "espera" otra simulación con el interruptor ya mencionado. A la vez, en cada simulación se incrementa en una unidad el número que aparece en el Despliegue Luminoso de 7 Segmentos, con la finalidad de indicar que la conmutación "barrió" totalmente las 48 salidas. La velocidad de conmutación en el barrido total de las 48 salidas está determinada (dentro de ciertos límites) principalmente por la frecuencia del Oscilador con el que se alimenta al circuito. A medida que ésta aumenta el tiempo de barrido total disminuye y viceversa. Existe un límite para la mayor frecuencia utilizada en éste circuito, y está determinada por el tiempo de respuesta de cada uno de los elementos, y, en última instancia por el de los circuitos que contienen las salidas, (Demultiplexores).

En su operación completa éste sistema debe ensamblarse con los restantes (ó instrumentación) que captarán los parámetros de la prueba

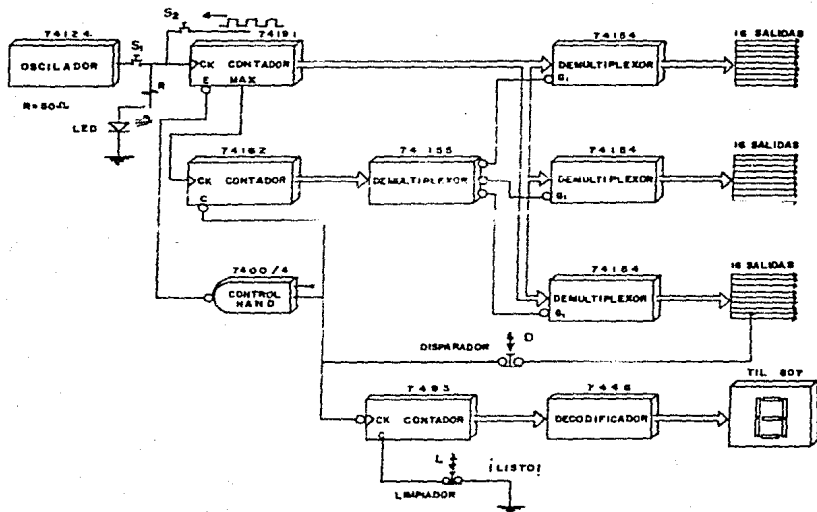
experimental. Dicho ensamble se realiza conectando las Agujas Senso-
ras ó interruptores con cualesquiera de las 48 terminales de salida
del circuito, y , el hecho de que cada una de ellas obtenga un nivel
de cero lógico durante el barrido total implica el cierre de los in-
terruptores respectivamente conectados a las mismas. Es importante
indicar que se pueden obtener diferentes tiempos de conmutación para
los interruptores de los circuitos detectores, con el sólo hecho de co-
nectarlos a intervalos de 2,3 ó 4 salidas (según convenga) del cir-
cuito simulador. Así tenemos que el tiempo mínimo de conmutación en-
tre 2 interruptores consecutivos sucede al conectar los mismos entre
dos terminales sucesivas de salida, y el máximo tiempo se logrará cuan-
do los interruptores se conecten en la salida # 1 y en la salida # 48
También es muy factible variar la frecuencia de alimentación del cir-
cuito para variar la frecuencia de conmutación de los interruptores
previamente conectados en las terminales del circuito simulador.

IMPLEMENTACION. Como se puede observar en las Figs. V.1 y V.2 el sis-
tema está formado por: 1 Contador Hexadecimal 74191, 1 Contador Deci-
mal 74162, 1 Demultiplexor 2/4 Líneas 74155, 3 Demultiplexores 4/16
Líneas 74154, 1 Compuerta Nand 7400, 1 Contador Octal 7493, 1 Decodi-
ficador BCD-7 Segmentos 7446, 1 Despliegue Luminoso de 7 Segmentos
(con las resistencias limitadoras) y 2 Interruptores normalmente ce-
rrados tipo Push. Este circuito deberá estar alimentado por un Oscil-
lador de frecuencia ajustable, la cual se elige dependiendo del tipo
de prueba. En los esquemas de bloques y electrónico se muestra el Os-
cillador de Circuito Integrado 74124, el cual es desarrollado en el
Capítulo VI, y se sugiere la lectura del mismo.

FUNCIONAMIENTO E INICIALIZACION ELECTRONICA. Se puede considerar al
circuito formado por los tres módulos siguientes: el Módulo de Salida
con 3 Demultiplexores 74154 y 48 salidas; el Módulo de Control con
1 Contador 74162, 1 Demultiplexor 74155 y una Compuerta Nand 7400;
el Módulo de Conteo con 1 Contador 7493, 1 Decodificador BCD-7 Seg-
mentos 7446 y un Despliegue Luminoso de 7 Segmentos. Prácticamente el

CIRCUITO SIMULADOR DEL
DISPARO.

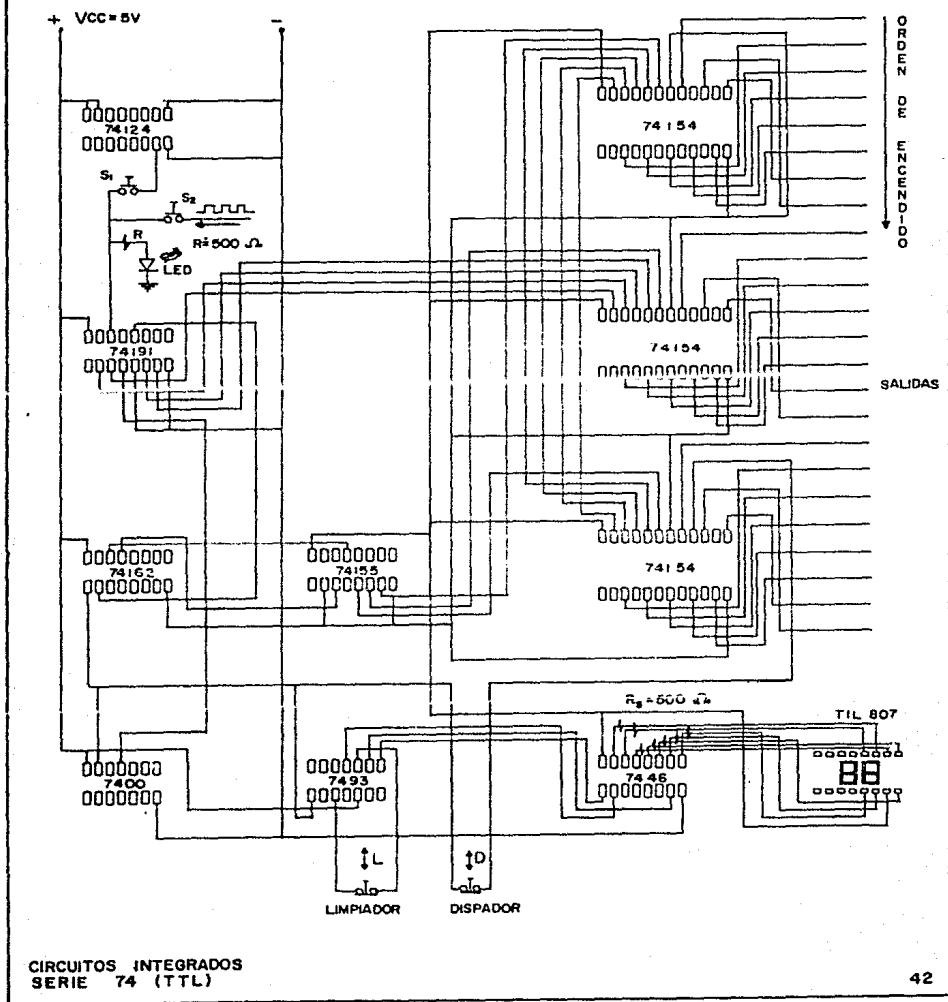
FIG. 5.1



CIRCUITOS INTEGRADOS TTL
SERIE 74

CIRCUITO SIMULADOR DEL DISPARO

FIG. V.2



CIRCUITOS INTEGRADOS
SERIE 74 (TTL)

circuito barre las 48 terminales en grupos secuenciales de 16 salidas, colocándolas una a una en un nivel bajo de voltaje (0 lógico) Estos conjuntos de 16 terminales corresponden al número de salidas de cada Demultiplexor 74154 que están alimentados y habilitados por el Contador 74191 y el Demultiplexor 74138 respectivamente. El funcionamiento detallado del sistema se explica a continuación: Un Oscilador alimenta al Contador 74191 el cual tiene sus salidas conectadas en paralelo (Bus Común) con las entradas de los 3 Demultiplexores 74154. Así, el conteo que realiza éste Contador es introducido simultáneamente a las entradas de los 3 Demultiplexores anteriores, aceptando dichas entradas aquí que se encuentre habilitado (en la terminal G_1) por el Demultiplexor de control 74155. A la vez éste se encuentra alimentado por el Contador de control 74162, que está conectado a la terminal MAX del Contador 74191. Cuando el sistema se polariza se produce el barrido de las 48 salidas, en donde la última terminal queda con un nivel bajo, alimentando así a la terminal limpiadora CLEAR (C) del Contador de control 74162, que entrega el número cero al Demultiplexor de control 74155, el cual activa con ello su salida # cero, habilitando con ello en G_1 al Demultiplexor # 0 que aceptará la cuenta que le envía el Contador 74191. Sin embargo éste contador se encuentra deshabilitado en su terminal E por medio de una Compuerta Nand 7400 que se encuentra conectada a la última terminal de salida (con nivel bajo) del bloque de los tres Demultiplexores 74154. Por ello, en el momento de presionar el disparador D, es habilitado (mediante la Compuerta Nand 7400) el Contador 74191, que inmediatamente alimenta durante 16 pulsos al Demultiplexor # 0 (74154) que se encontraba habilitado. Al término de éstos 16 pulsos (que barren las 16 salidas del Demultiplexor # 0), es enviado un pulso por la terminal MAX del Contador 74191 hacia el Contador 74162, el que incrementa en uno la cuenta (estaba en cero). Con ello el Demultiplexor 74155 activa su salida # 1 habilitando así en G_1 al Demultiplexor # 1 (74154), el cual acepta durante 16 pulsos la cuenta que le envía el Contador 74191. Al término de és-

tos 16 pulsos (que barren las 16 salidas del Demultiplexor # 1) es enviado otro pulso por la terminal MAX del Contador 74191 hacia el Contador 74162, el que de nuevo incrementa en uno la cuenta y con ello se habilita el Demultiplexor # 2 (74154), que acepta durante 16 pulsos la cuenta del Contador 74191, barriendo las últimas 16 salidas. Aquí, al adquirir nivel bajo la 16ª. salida, la Compuerta Nand 7400 deshabilita al Contador 74191 (interrumpiéndose la alimentación hacia los Demultiplexores 74154), y es limpiado el Contador 74162, habilitándose el Demultiplexor # 0 para su operación. Por otra parte es enviado un pulso negativo al Contador 7493 incrementando en uno la cuenta mostrada en el Desoliegue Luminoso de 7 Segmentos. En éste momento el sistema está preparado para simular "otro disparo" por medio del interruptor D y generarse un nuevo ciclo de funcionamiento. El análisis del funcionamiento de la Compuerta Nand 7400 dentro del pannel habilitador del Contador 74191 es muy sencillo. Se podrá observar que una de sus entradas está siempre en un nivel alto, por lo que cuando la entrada restante (conectada a la salida No. 48) obtenga un nivel bajo, en la salida de ésta (conectada a la terminal habilitadora E del Contador 74191) se tendrá un nivel alto, desactivando al Contador 74191. Y cuando ésta misma terminal de entrada obtenga un nivel alto (durante el barrido de las terminales entre la No.1 y la No. 47) el nivel de salida es bajo, por lo que el Contador 74191 permanece habilitado durante todo éste intervalo de tiempo, desactivándose al barrer la terminal No. 48 .

El Contador de Octavas 7493 tiene la única función de registrar la cuenta de los "barridos totales" que se realizan en cada disparo*. Al estar conectada la terminal de reloj (CK) del Contador en la terminal No. 48, y operando éste con transición negativa, se espera que éste cuente cuando la salida No. 48 se active en un nivel bajo. Así, en cada disparo el Contador incrementará en uno su cuenta indicando que se han barrido las 48 salidas una sola vez. El Decodificador 7446 sólo es utilizado para decodificar a decimal el número binario que le en-

trega el Contador 7493 y así visualizarlo en el Despliegue Luminoso de 7 Segmentos.

+ NOTA: Es necesario indicar que en el caso de que el interruptor D permanezca "abierto" durante un lapso de tiempo mayor que el que transcurre en el barrido de las 48 salidas, entonces automáticamente se inicializará otro barrido total de las mismas. Así tenemos que si el interruptor D siempre está abierto una tras de otra vez se generarán los barridos de las 48 salidas, siendo registrados éstos ciclos en el Contador 74193 por medio del Despliegue Luminoso. Este conteo de ciclos terminará cuando el interruptor D se cierre (su estado normal es cerrado) y el circuito dejará de barrer las salidas, "parándose" en la No. 48. Por ello se puede pensar que cuando a éste circuito se le alimente con un Oscilador de Alta Frecuencia y se oprima el disparador D, ocurrirán varios barridos totales (uno tras de otro) debido al tiempo mínimo de cada uno de ellos, comparado con el tiempo de conmutación manual empleado en el interruptor D. Para lograr un sólo barrido con una conmutación normal del interruptor D, se recomienda leer el párrafo correspondiente a las modificaciones probables dadas con el título de "mejoras y optimizaciones".

ALGUNAS CARACTERISTICAS TECNICAS Y DE OPERACION.

ELEMENTO	CIRC.INTEGR.	POLARIZACION (V.)			FRECUENCIA (MHZ.)	PROPAGACION (ns)	FAN OUT # de elementos
Función	#	Mín.	Tip.	Máx.		tiempo de	
Comp.Nand	7400	4.5	5	5.5	-	$7 \leq t \leq 22$	10
Contador	7493	4.75	5	5.25	42	$10 \leq t \leq 70$	5
Contador	74162	4.75	5	5.25	32	$11 \leq t \leq 35$	10
Demultiplexor	74154	4.75	5	5.25	-	$18 \leq t \leq 36$	10
Demultiplexor	74155	4.75	5	5.25	-	$13 \leq t \leq 32$	10
Contador	74191	4.75	5	5.25	25	20	10
Decodificador	7446	Información dada en el Cap. II.					

LIMITACIONES. Una limitación se ha indicado en la nota correspondien-

te al párrafo de Funcionamiento e Inicialización.

Otra limitante dentro de éste circuito se relaciona con la frecuencia de operación. Se requiere que los circuitos integrados sean suficientemente rápidos para una simulación eficiente. Se recomienda leer el párrafo de Mejoras y Optimizaciones.

Una limitante más es aquella relacionada con el Fan Out del sistema. Es necesario y muy conveniente revisar cuidadosamente el acoplamiento de éste sistema con los restantes (encargados de detectar los parámetros del impacto), y verificar que los Demultiplexores 74154 (Módulo de Salida) no estén sobrecargados. Otra recomendación (limitación) que se menciona es la relacionada con la verificación del tiempo de conmutación (con la frecuencia de operación) entre la última y la primera terminal de dos Demultiplexores 74154 subsecuentes. Este tiempo es mayor que el de conmutación entre dos terminales consecutivas pertenecientes al mismo Demultiplexor 74154.

MEJORAS Y OPTIMIZACIONES. Para que el circuito barra una sólo vez las 48 salidas sin importar el tiempo que permanezca abierto el interruptor D, se requiere colocar un Monoestable acoplado al funcionamiento del simulador, de tal forma que el sistema sólo responda e inicie el barrido de las 48 señales en la transición positiva (ó negativa) del Monoestable activado por el interruptor D. Así, con un pulso varias veces mayor al tiempo de barrido de las 48 señales, y cuando termina éste, el monoestable tiene un nivel alto (ó bajo), que no es capaz de ordenar nuevamente el barrido de las 48 salidas, "esperando" el sistema hasta que se presente en el Monoestable otra transición alta (ó baja) que será activada por el interruptor D.

En el caso de que se requiera aumentar al sistema a un número mayor de 48 salidas, es factible conectar (como máximo) 8 Demultiplexores de salida (74154) al Demultiplexor de control 74155, obteniéndose con ello un total de 128 (16x8) salidas. Finalmente, para poder utilizar una frecuencia más alta de operación en el sistema, es necesario sustituir los circuitos integrados del mismo por los equivalentes

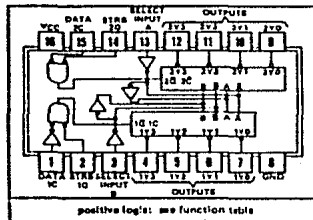
tes de la serie 74S (TTL).

OTROS POSIBLES USOS. Modificando brevemente éste circuito puede operar como un decodificador de acceso a una memoria dentro de un sistema integrado a una computadora. También puede acoplarse éste circuito al sistema del Cap. III para extraer información de una memoria y desplegarla en forma visual, como parte de un mensaje que se desea enviar ópticamente (en baja frecuencia).

Colocando inversores en las terminales de salida y transistores de potencia, se pueden crear efectos visuales (baja frecuencia) de luces ó figuras en movimiento (propaganda comercial), para juegos ú otros usos.

- Applications:
 - Dual 2-to-4-Line Decoder
 - Dual 1-to-4-Line Demultiplexer
 - 3-to-8-Line Decoder
 - 1-to-8-Line Demultiplexer
- Individual Strobes Simplify Cascading for Decoding or Demultiplexing Larger Words
- Input Clamping Diodes Simplify System Design
- Choice of Outputs:
 - Totem Pole ('165, 'LS165)
 - Open-Collector ('166, 'LS166)

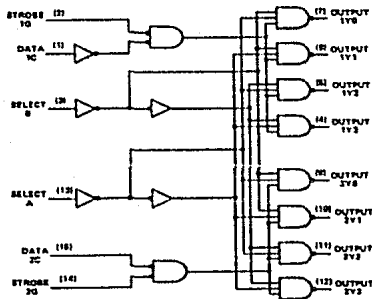
SN64165, SN64166, SN64LS165, SN64LS166... J OR W PACKAGE
 SN74165, SN74166, SN74LS165, SN74LS166... J OR N PACKAGE
 (TOP VIEW)



TYPES	TYPICAL AVERAGE PROPAGATION DELAY 3 GATE LEVELS	TYPICAL POWER DISSIPATION
'165, '166	21 ns	125 mW
'LS165	18 ns	31 mW
'LS166	22 ns	31 mW

**TYPES SN64165, SN64166, SN64LS165, SN64LS166,
 SN74165, SN74166, SN74LS165, SN74LS166
 DUAL 2-LINE-TO-4-LINE DECODERS/DEMULTIPLEXERS**

functional block diagram and logic



FUNCTION TABLES
 2-LINE-TO-4-LINE DECODER
 OR 1-LINE-TO-4-LINE DEMULTIPLEXER

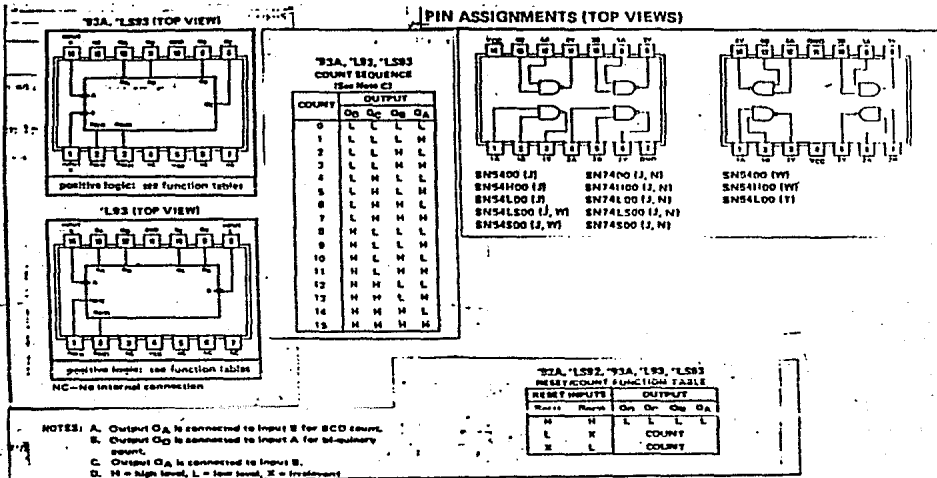
INPUTS				OUTPUTS			
SELECT	STROBE	DATA	IC	1Y0	1Y1	1Y2	1Y3
S	A	1D	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	L	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT	STROBE	DATA	2C	2Y0	2Y1	2Y2	2Y3
S	A	2D	2C				
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	L	H	H	L
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

FUNCTION TABLE
 3-LINE-TO-8-LINE DECODER
 OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT	STROBE	OR DATA	DS	10	11	12	13	14	15	16	17
S	A	DS	DS	2Y0	2Y1	2Y2	2Y3	2Y4	2Y5	2Y6	2Y7
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	H	L	L	H	L	H	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	H	L	L	H	H	H	H	H	L	H	H
X	X	X	H	H	H	H	H	H	H	H	H

1C = Inputs 1C and 2C connected together
 1D = Inputs 1D and 2D connected together
 H = High level, L = low level, X = Irrelevant



NOTA.

Las configuraciones de las terminales de los circuitos integrados faltantes de este sistema, se encuentran en los capítulos indicados, dentro de la parte correspondiente de cada uno de ellos.

DECODIFICADOR	7446	Cap. II.
CONTADOR	74162	Cap. II.
CONTADOR	74191	Cap. III.
DESPL. LUMINOSO	TIL307	Cap. II.

CAPITULO VI

OSCILADOR DE CIRCUITO INTEGRADO 74S124.*

OBJETIVO PARTICULAR. El objetivo particular de éste capítulo es el de mostrar específicamente las características de funcionamiento del oscilador de Circuito Integrado 74S124.** Este se expone con la finalidad de indicar una posible opción en la elección del oscilador requerido para los sistemas desarrollados en los capítulos II, IV y V de éste escrito.

DESCRIPCION. El circuito integrado 74S124 caracteriza independientemente dos osciladores controlados por voltaje (VCO) en un sólo chip monolítico (fig. 1). La frecuencia de salida de cada VCO es establecida mediante un sólo componente externo, ya sea un capacitor ó un cristal, y dos entradas sensibles al voltaje indicadas como Rango de frecuencia (Range) y Control de frecuencia (Frequency Control). Estas terminales pueden ser utilizadas para variar la frecuencia de salida dentro de las características de funcionamiento. Este oscilador altamente estable puede ser puesto en operación a cualquier frecuencia típica entre 0.12 Hz. y 85 MHz. Así, bajo las condiciones indicadas en la figura 3, la frecuencia de salida puede ser aproximada a la expresión dada por :

$$f_o = \frac{5 \times 10^{-4}}{C_{ext.}} \quad \text{donde} \begin{cases} f_o - \text{frecuencia de salida en Hz.} \\ C_{ext.} = \text{capacitancia externa en F.} \end{cases}$$

Estos dispositivos pueden operar con una sola fuente de polarización de 5 V. Sin embargo, aún cuando se dan un par de terminales de polarización de voltaje (V_{cc}) y tierra (GND) para que operen la habilitación, sincronización de compuerta y la sección de salida (fig. 2***), también se dá un conjunto separado de terminales de polarización y tierra ($\odot V_{cc}$ y \odot GND) para que el oscilador y los circuitos de control de frecuencia adquieran un mejor aislamiento en el sistema.

El oscilador interno del circuito integrado 74S124 es activado e

inactivado por la entrada habilitadora Enable (G), colocando en bajo ó en alto respectivamente ésta terminal, operando en los "standares TTL" conocidos. También las salidas de éste circuito operan en niveles standarizados dentro de la serie Schottky-TTL (74S).

La sincronización de compuerta asegura que el primer pulso de salida no sea corto ni extendido, fijando la duración del ciclo aproximadamente al 50 % del ciclo de la onda cuadrada de salida.

NOTAS:

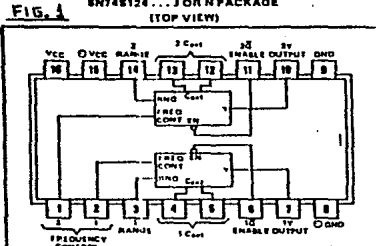
+ Toda la información y esquemas han sido extraídos del Manual del Fabricante proporcionado en la bibliografía al final del trabajo.

++ Se recomienda comparar las características de éste oscilador con los correspondientes dados por los números 74S624 al 74S629, apareciendo éstos últimos en el Manual del Fabricante.

+++ Este esquema pertenece al circuito integrado 74S624 que es una versión mejorada del circuito integrado 74S124.

- Two Independent VCO's in a 16-Pin Package
- Output Frequency Set by Single External Component:
 - Crystal for High-Stability Fixed-Frequency Operation
 - Capacitor for Fixed- or Variable-Frequency Operation
- Separate Supply Voltage Pins for Isolation of Frequency Control Inputs and Oscillators from Output Circuitry
- Highly Stable Operation over Specified Temperature and/or Supply Voltage Ranges
- Typical f_{max} 85 MHz
- Typical Power Dissipation 625 mW
- Frequency Spectrum ... 1 Hz to 60 MHz

SN74S124 ... J OR W PACKAGE
 SN74S124 ... J OR N PACKAGE
 (TOP VIEW)



Logic: While the enable input is low, the output is enabled. While the enable input is high, the output is high.

TYPICAL CHARACTERISTICS

SN74S124

BASE OUTPUT FREQUENCY
 vs.
 EXTERNAL CAPACITANCE

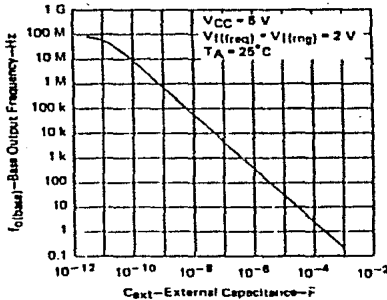


FIGURE 3

NORMALIZED OUTPUT FREQUENCY
 vs.
 INPUT VOLTAGE

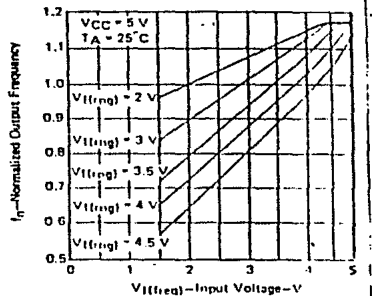
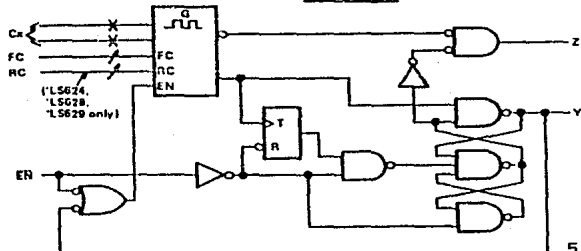


FIGURE 4

NOTE: $f_n = f_m \times f_{(base)}$

functional block diagram (positive logic)

FIG. 2.



CONCLUSIONES.

Como ya se ha mencionado, el objetivo de éste trabajo consistió en desarrollar un sistema electrónico digital de detección para cuantificar los parámetros de una Onda de Choque, inducida en un sólido mediante impacto. Este sistema puede estar constituido por los circuitos de los Caps. II y III, ó simplemente por el circuito del Capítulo IV. En el caso de que el sistema esté formado por los circuitos de los Caps. II y III se hace necesario aumentar a 12 el número de interruptores, y a 11 el número de módulos de conteo (para el circuito del Cap. II), y posteriormente ensamblarlo con el circuito del Cap. III, con la finalidad de poder determinar el tiempo (no. de pulsos) transcurrido entre las 12 conmutaciones y el ángulo de incidencia del proyectil.

Desde un punto de vista más práctico, el circuito del Cap. IV cumple con las mejores condiciones de operación, facilidad de ensamble, eficiencia técnica y costo mínimo. Sin embargo, para éste y todos los circuitos tratados en este escrito se sugieren las pruebas experimentales con alta frecuencia, antes de realizar una compra masiva para un posible ensamble e implementación a gran escala. También, se deja al experimentador la elección del oscilador que alimentará a los sistemas para su funcionamiento, requiriendo del mismo la entrega de pulsos con niveles TTL para que los circuitos funcionen correctamente, (de preferencia, la señal podría ser de onda cuadrada). Existen algunos osciladores "de fábrica" con frecuencia, tipo de onda y amplitud ajustable, mediante los cuales sería más fácil el ensamble y operación de los circuitos aquí descritos, a la vez que darían mayor confiabilidad en las pruebas experimentales, ya que los osciladores de circuito integrado son afectados por la temperatura de funcionamiento.

Nó se mencionó, pero existe un rango de precisión en la detección de la cuenta de pulsos entre uno y otro número desplegados durante dos conmutaciones sucesivas. Esto se debe a que los contadores operan (incrementan la cuenta) en la transición positiva (ó negativa) del

pulso, de tal forma que un último pulso puede ser "detectado" en un contador sin tener la seguridad de haber sido "concluído totalmente" debido a la conmutación del interruptor siguiente, que a la vez discrimina el "fragmento de pulso" anterior, para iniciar la cuenta en la primera transición activa que se presenta. Esto quiere decir que existe una incertidumbre en la medición correcta del tiempo de conmutación entre los dos contadores en estudio. Es obvio que ésta incertidumbre disminuye a medida que la frecuencia de operación aumenta y viceversa. Por ello para obtener resultados con una precisión mayor en una prueba experimental se recomienda utilizar osciladores de alta frecuencia.

Más se indican características muy importantes de operación de los sistemas tales como impedancia de entrada y salida, consumo de corriente y potencia, tiempo de retardo total para un sólo sistema (ó ensamblado a otro), etc.. Esto se debe a que la construcción del número total de módulos para cada circuito resulta antieconómico para el editor de éste trabajo, por lo que las pruebas se redujeron a un mínimo de elementos, y por ello, el experimentador definitivo debe verificar todas las características de operación en conjunto de los sistemas aquí descritos, antes de operar con ellos en la experimentación para la cual fueron diseñados.

BIBLIOGRAFIA.

- (1) THE TTL DATA BOOK FOR DESIGN ENGINEERS.
Texas Instruments Incorporated.
Second Edition - 1981.
- (2) MANUAL DE SEMICONDUCTORES DE SILICIO.
Texas Instruments Incorporated.
Edición Técnica 84/85.
- (3) ROBERT L. MORRIS / JOHN R MILLER.
Diseño con Circuitos Integrados TTL.
Texas Instruments Incorporated, 1980
Editorial C.E.C.S.A.
- (4) GUSTAVO P. GARCIA NARCIA.
Microprocesadores Z-80 e Interfaces.
Segunda Edición - 1980
- (5) ROGER L. TOKHEIM.
Fundamentos de los Microprocesadores.
Mc Graw-Hill, 1985
- (6) M. MORRIS MANO.
Lógica Digital y Diseño de Computadores.
Prentice-Hall Internacional.
- (7) HERBERT TAUB / DONALD SCHILLING.
Digital Integrated Electronics.
Mc Graw-Hill Kogakusha.
- (8) ROGER L. TOKHEIM.
Principios Digitales.
Mc Graw-Hill, 1982.
- (9) VILLANUEVA URRUTIA MIGUEL A.
Tesis de Licenciatura.
Facultad de Ciencias U.N.A.M. (1984).
- (10) GENIS JUAREZ E. A.
Tesis de Licenciatura.
Facultad de Ciencias U.N.A.M. (1984).