

300617

8  
2 ej



# UNIVERSIDAD LA SALLE

## ESCUELA DE INGENIERIA MECANICA ELECTRICA

Incorporada a la U. N. A. M.

APLICACION DE UN OSCILOSCOPIO DE 2 CANALES  
COMO TERMINAL DE VIDEO DE UN  
MICROCOMPUTADOR

### Tesis Profesional

Que para obtener el título de :

**Ingeniero Mecánico Electricista**  
con área principal en electrónica

P r e s e n t a :

ALICIA DEL CARMEN FRANZONI OLGUIN

TESIS CON  
FALLA DE ORIGEN

México, D. F.

1986



Universidad Nacional  
Autónoma de México



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## TEMARIO

PAGINA

### INTRODUCCION.

#### CAPITULO I

OSCILOSCOPIO.....	1
1.1 DESCRIPCION GENERAL.....	1
1.2 OPERACION DEL OSCILOSCOPIO.....	6

#### CAPITULO II

CONVERTIDORES DIGITAL-ANALOGICO.....	17
2.1 TIPOS DE CONVERTIDORES Y FUNCIONAMIENTO.....	17
2.2 AMPLIFICADORES OPERACIONALES.....	23
2.3 CONVERSION DE CORRIENTE A VOLTAJE Y AJUSTE DE - VOLTAJE DE SALIDA.....	28

#### CAPITULO III

MICROCOMPUTADORA.....	30
3.1 DESCRIPCION DEL MICROPROCESADOR 8085A DE INTEL...	30
3.2 DESCRIPCION DEL 8355 Y 8155.....	41
3.3 DESCRIPCION FUNCIONAL DEL MICROCOMPUTADOR 80485 DE INTEL.....	55

#### CAPITULO IV

DESARROLLO DE LA INTERFASE OSCILOSCOPIO-COMPUTADOR....	62
4.1 CONEXION DE PUERTOS DE ENTRADA Y SALIDA EN PARA LELO PARA LOS CONVERTIDORES Y EL TECLADO.....	62

4.2 FUNCIONAMIENTO A NIVEL BLOQUES.....	69
---	----

## CAPITULO V

SISTEMA OPERATIVO PARA EL MANEJO DEL OSCILOSCOPIO CO MO PANTALLA DE VIDEO.....	71
5.1 DISEÑO DE CARACTERES.....	72
5.2 SISTEMA OPERATIVO.....	73

## CAPITULO VI

GENERACION DE GRAFICAS EN EL OSCILOSCOPIO.....	76
6.1 PROGRAMAS PARA GENERAR DIFERENTES TIPOS DE ONDA..	76
6.2 PROGRAMAS CON FIGURAS MOVILES.....	77

CONCLUSIONES.

BIBLIOGRAFIA.

## INTRODUCCION

En esta tesis se detalla uno de los usos poco comunes que se le da a un osciloscopio, ya que, generalmente su principal --- aplicación es para el análisis de señales.

Este uso especial dado al osciloscopio es como: "LA PANTALLA - DE UN VIDEO".

Lo anterior se logra a través de la utilización de un microcom putador (SDK85), que debido a las características que lo consti tuyen, logra que un osciloscopio realice dicha función.

El papel que desempeña el microcomputador SDK85, es una más de la infinidad de aplicaciones que tiene el mismo. Con ayuda -- del SDK85 podemos observar en la pantalla del osciloscopio, la información a mandar o a recibir.

Si se toma en cuenta que el osciloscopio maneja señales analó gicas y el SDK85 señales digitales, evidentemente es necesario el uso de convertidores digitales/analógicos, que en conjunto con los amplificadores operacionales realizan la conversión de corriente a voltaje y el ajuste del voltaje de salida, las se ñales que recibirá el osciloscopio estarán listas para su des pliegue.

Para la realización de dicho objeto (el uso del osciloscopio - como terminal de video), es necesario analizar cada uno de los componentes que conforman al microcomputador SDK85 como:

El 8085A unidad de control de procesamiento de 8 bits, 8155 -- que forma parte de la memoria del SDK85 (memoria RAM), 8355 me moria sólo para lectura (ROM), 8755 memoria "SÓLO LEER MEMORIA"

(EPROM), 8279 controlador de teclado/display y maneja la interfase entre el 8085A; el teclado y el display, 8205 decodificador para el direccionamiento de la memoria y puertas de E/S - del 8085A.

Con el análisis anterior se desarrolla la interfase osciloscopio computador, por medio de la conexión de los puertos de entrada y salida para los convertidores y el teclado.

Ahora para llegar al sistema operativo para el manejo del osciloscopio como pantalla de video, es necesario el diseño de caracteres, con objeto de poder desplegar algún programa como es el caso de mandar a desplegar los números 8085. Además se pueden generar gráficas, o sea, diferentes tipos de onda, así como programas de figuras móviles.

Este proyecto está dirigido a profesionales en el campo de la electrónica, específicamente aquellos que trabajan con circuitos digitales y microprocesadores que por lo tanto requieren de un instrumento para el despliegue claro y preciso de datos; que a su vez sea fácil de implementar con el equipo existente en un laboratorio de electrónica.

## OSCILOSCOPIO

### 1.1 DESCRIPCION GENERAL.

El osciloscopio es un instrumento diseñado para reproducir en forma gráfica por medio de una pantalla la amplitud de las señales eléctricas, en función de una base de tiempo usada como barrido de frecuencia.

Podemos decir que reproduce automáticamente la forma de la señal aplicada a la entrada. En un osciloscopio existen tres secciones principales: un tubo de rayos catódicos para observar señales, un sistema de deflexión horizontal para amplificar el componente de la base de tiempo y un sistema de deflexión vertical que amplifica la componente vertical de la señal (amplitud).

#### TUBO DE RAYOS CATODICOS.

El elemento principal del osciloscopio es el tubo de rayos catódicos (figura # 1-1.1) que, consta de 3 secciones principales: el cañón electrónico, el sistema de desviación y la pantalla fosforescente, todo ello contenido en una ampolla de cristal.

Este tubo está evacuado para prevenir la presencia de gases en su interior, que pudieran interferir en el movimiento del haz electrónico y para proteger el filamento del tubo o señal el emisor, de la oxidación y otras reacciones químicas.

La forma general de un tubo de rayos catódicos se muestra en la figura # 1-1.1

El cañón electrónico tiene por objeto producir una corriente o haz electrónico que partiendo de la abertura de la rejilla sigue una trayectoria hasta la pantalla fosforescente, en la cara delantera del tubo. Los electrones al ser sometidos a fuerzas electrostáticas se controlarán en número, posición y velocidad. Si el haz electrónico no está sometido a otras -- fuerzas, tomará un punto luminoso en el centro de la pantalla. Al salir del cañón electrónico (figura # 1-1.1), los electrones pasan por una sección de placas deflectoras las cuales eg tán montadas adecuadamente, al final del cañón. La deflexión se efectúa por medio de campos electrostáticos que son situados entre cada par de placas.

La figura # 2-1.1. muestra cómo el haz electrónico es deflecado por el campo electrostático.

Como se sabe la luminiscencia es la producción de luz por medios que no sean el calentamiento, llamándosele fluorescencia a la luminiscencia de la imagen varía con el material y con la cantidad de energía, del haz electrónico.

Esta fosforescencia comúnmente llamada persistencia de la pantalla al hablar del tubo de rayos catódicos (TRC) puede clasificarse como corta (seg) en la que la imagen cambia rápidamente, media (mseg) y larga (seg). En osciloscopios que se usan para observar fenómenos periódicos que ocurren con un ritmo - reducido de repeticiones.

## DEFLEXION ELECTROSTATICA.

Esta se efectúa empleando placas paralelas de deflexión, a través de las cuales el haz electrónico se puede desviar cuando cruza un campo eléctrico. En el caso del osciloscopio este sistema consta de dos juegos de placas de desviación tal como se muestra en la figura 1-1.1 y # 3-1.1.

Las cuatro placas de desviación se colocan directamente frente a la armadura del cañón electrónico de manera que el haz pase directamente por el espacio situado entre las placas y equidistantes a cada una de ellas, tal como se muestra en la figura # 3-1.1.

Estas placas se encuentran colocadas de manera que forman dos juegos, uno para la desviación vertical y otra para la desviación horizontal. La deflexión es efectuada, como resultado de la atracción o repulsión producidas por los potenciales eléctricos aplicados a las placas, los cuales actuarán sobre los electrones.

Los electrones que están saliendo del cañón son atraídos hacia la placa positiva y simultáneamente repelidos por la placa negativa.

La orientación de los dos pares de placas se ilustran en la figura # 3-1.1, los dos pares de placas son colocados a diferentes posiciones a lo largo del eje del tubo, para prevenir la interacción de los dos voltajes, aplicados a cada par, los voltajes que son necesarios para la deflexión, son pequeños en comparación a los voltajes aplicados al segundo ánodo.

este modo, para prevenir la desaceleración del haz y un enfoque muy serio, el segundo ánodo es diseñado de modo que la conexión interaccione con las placas deflectoras, así, la velocidad del haz electrónico es mantenida adecuadamente, lo anterior es mostrado en la figura # 4-1.1.

#### SENSIBILIDAD DE LA DEFLEXION.

La amplitud de la desviación de un haz electrónico con respecto a una tensión aplicada a las placas, se denomina factor de desviación dada y menor será la sensibilidad de la desviación. Por el contrario, cuanto más baja sea la velocidad del haz, menor será la tensión requerida en las placas y más alta la sensibilidad de la desviación.

Se define como sensibilidad de la deflexión del haz de éste sobre la pantalla, dado un centímetro por volt, indicando, la amplitud de la deflexión. La sensibilidad de la deflexión es una función de la velocidad de los electrones, la construcción física y la distancia del sistema de deflexión, con respecto a la pantalla.

La velocidad del electrón es un factor importante en la sensibilidad de la deflexión.

Cuando mayor sea ésta, más alta tensión se necesitará en las placas para una mayor desviación dada y menor será la sensibilidad de la desviación. Por el contrario cuando más baja sea la velocidad del haz menor será la tensión requerida en las placas para la desviación dada y más alta sensibilidad de la

desviación.

Los electrones en el haz del tubo de rayos catódicos son acelerados por el voltaje, del segundo ánodo. El sistema de deflexión es normalmente situado en el punto donde los electrones emergen del cañón. Este punto estará lo más lejos posible de la pantalla, donde el haz puede ser deflexionado. La sensibilidad es también una función inversa del voltaje del segundo ánodo, ya que este voltaje establece la velocidad de los electrones, a través del sistema de deflexión.

En la figura # 5-1.1. se ilustra el ángulo de desviación requerido para desplazar el haz electrónico un centímetro. Por supuesto que lo anterior puede aplicarse a las placas verticales u horizontales.

Al referirse a la unidad de deflexión (V/cm) el factor de deflexión depende del voltaje necesario para efectuarse la desviación del haz electrónico, en la pantalla hasta una amplitud determinada.

En caso de usar un amplificador hay que dividir el factor de deflexión del tubo de rayos catódicos por la amplificación de la señal de entrada.

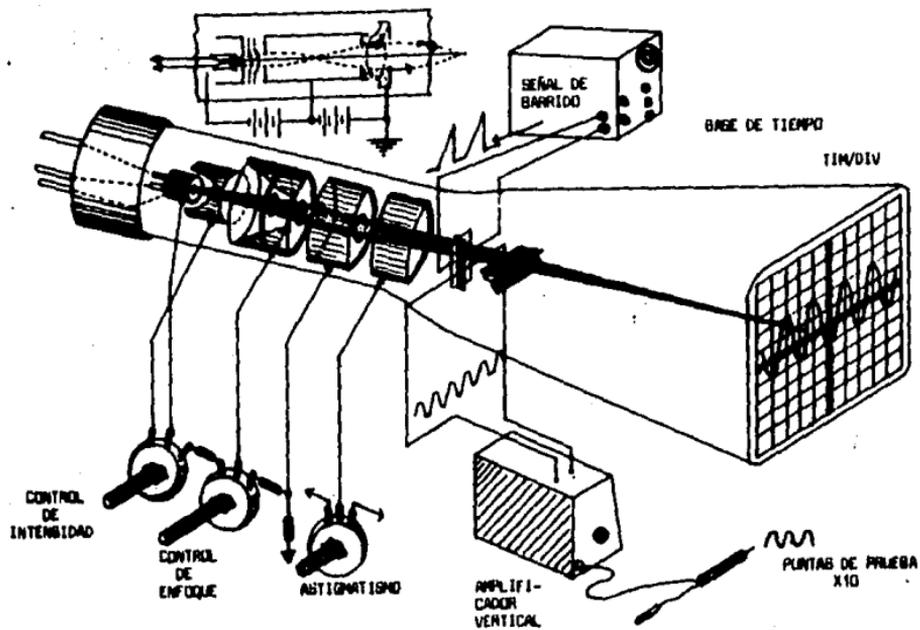


FIGURA # 1.-1.1

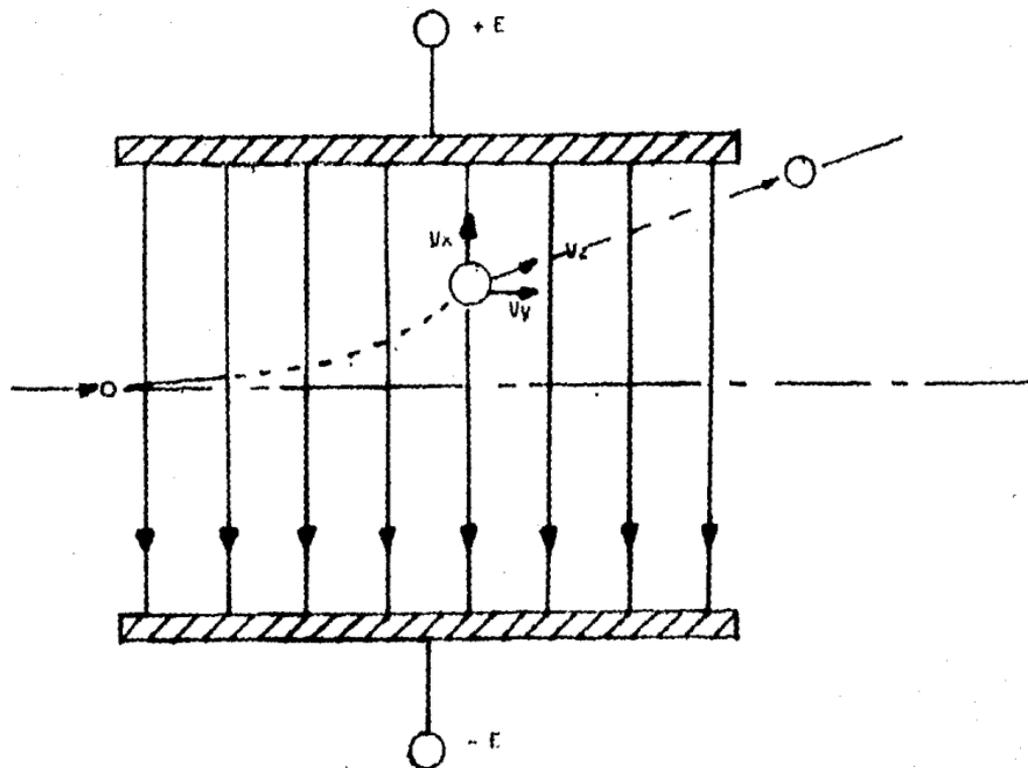


FIGURA # 2-1.1

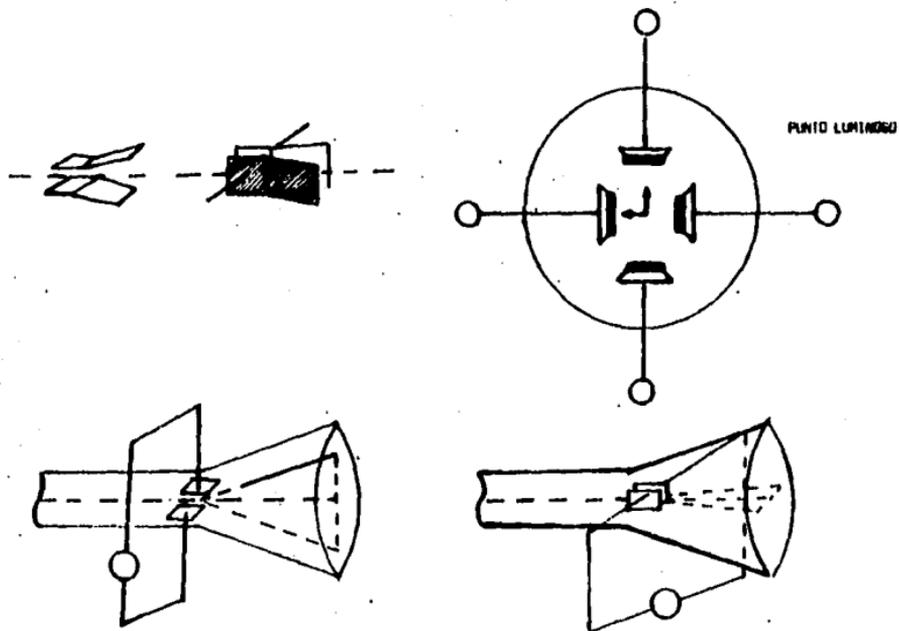


FIGURA # 3-1.1

DEFLEXION ELECTROSTATICA DE UN TUBO DE RAYOS CATERODICOS

PASO DEL HAZ DE ELECTRONES POR ENTRE LAS PLACAS, BAJO LA ACCION DEL CAMPO ELECTRICO, EL RAYO CATERDICO SE DEFLEJIONA.

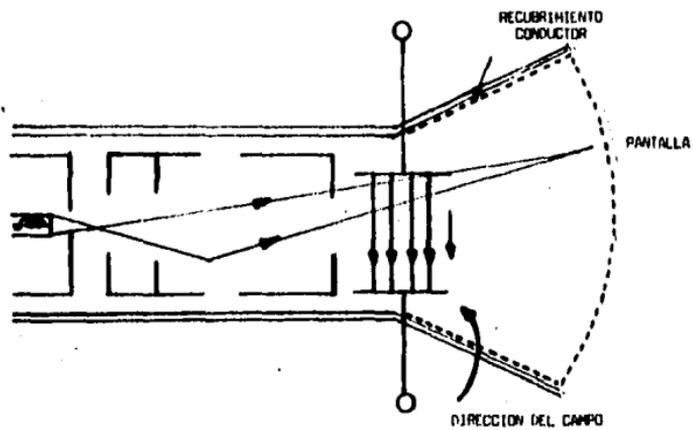


FIGURA # 3-1.1

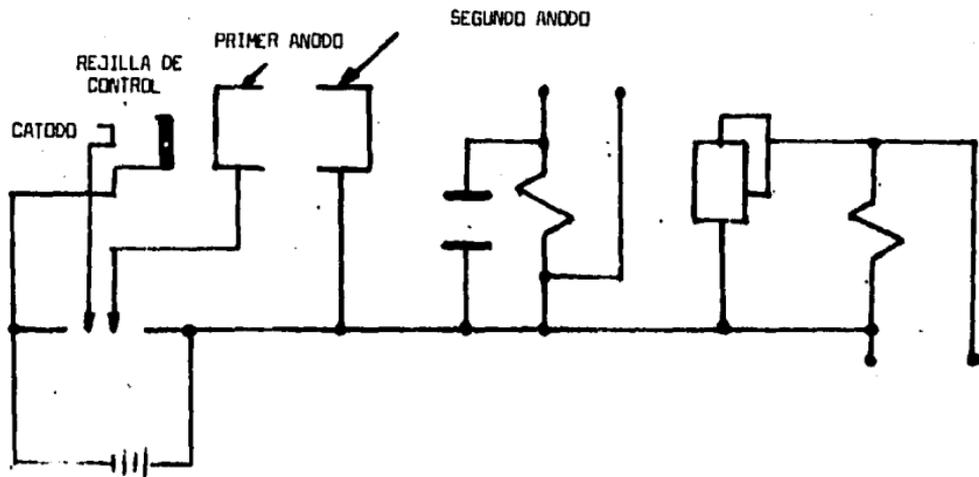
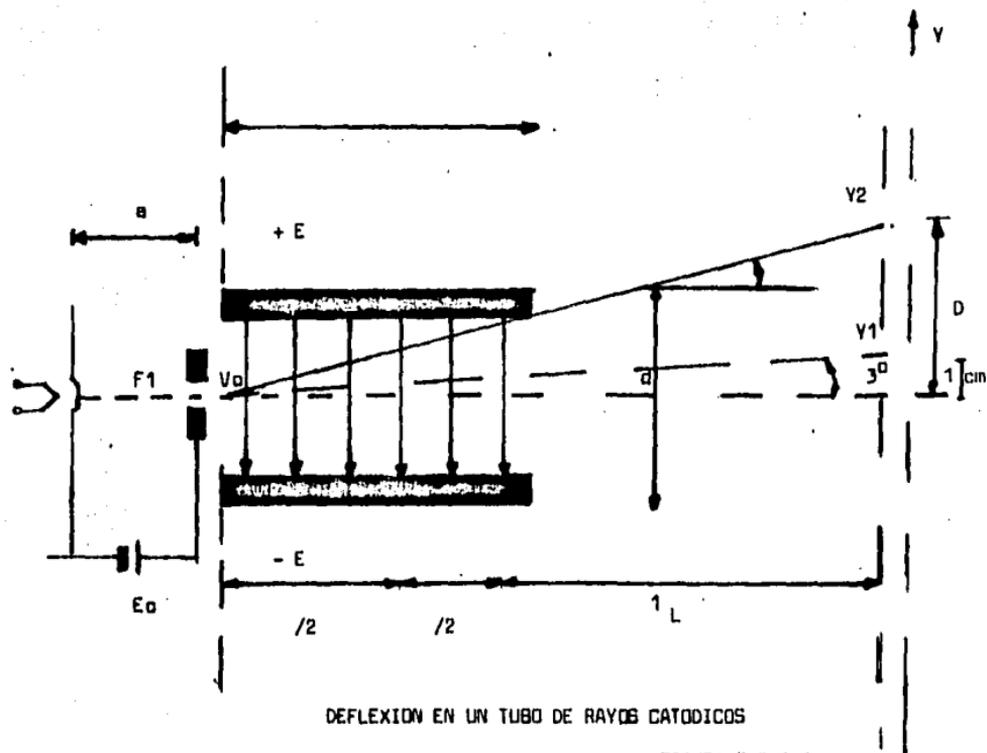


FIGURA # 4-1.1



DEFLEXION EN UN TUBO DE RAYOS CATODICOS

FIGURA # 5-1.1

## 1.2 PRINCIPIO Y OPERACION DEL OSCILOSCOPIO.

El osciloscopio es un instrumento que reproduce una señal de voltaje contra tiempo en la pantalla de una manera instantánea. La figura # 6-1.2 muestra un diagrama básico de un osciloscopio y las varias formas de ondas para su operación.

Esto es de carácter general. En la figura podemos observar - el amplificador vertical y el proceso de retardo de la señal que aplica a las placas de deflexión vertical, mediante una línea de retardo. También el amplificador de disparo y el generador de base de tiempo que produce y procesa la señal aplicada a las placas horizontales. La forma de onda que se observa en la figura # 6-1.2-A es aplicada a la terminal de entrada del amplificador vertical. En el amplificador vertical la onda es amplificada por una cantidad que está determinada por la posición del control calibrado en volt/div. Las señales intensas requieren poca amplificación mientras que las señales débiles requieren gran amplificación para poder deflexionar el haz de electrones sobre la pantalla. La etapa de salida del amplificador vertical consiste de un amplificador simétrico, el cual produce las ondas mostradas en la figura # 6-1.1-B y C. La salida del amplificador vertical es aplicada a través de una línea de retardo a las placas de deflexión vertical del tubo de rayos catódicos.

El propósito del generador de base de tiempos (también llamado generador de barrido) consiste en producir la onda dentiforme, observar figura # 6-1.2-E, necesaria para deflexionar-

el haz del TRC linealmente a lo largo del eje horizontal.

El generador de base de tiempos es controlado por la posición del control de tiempo/división el cual determina el tiempo de barrido, el tiempo requerido para deflexionar el haz de rayos catódicos a una distancia dada (usualmente 1 cm.).

El tiempo de barrido corresponde a la longitud (en tiempo) de la porción de la elevación lineal del diente de sierra.

El tiempo de elevación de esta proporción de la onda determinada cuán rápido el haz de deflexión a través del tubo de rayos catódicos. Si la frecuencia de la onda es muy alta, el haz deberá deflectarse rápidamente para obtener un pulso simple, o ciclo de la onda en la pantalla. Para formar ondas de baja frecuencia requieren posiciones de mayor duración en el control de tiempo/división, que aquellas usadas para ondas de alta frecuencia.

El mayor número de divisiones de la graticula a través de las cuales se desplazan el haz por unidad de tiempo es determinado por la posición del selector de calibración de tiempo de barrido, el cual está calibrando en tiempo/división.

Si la forma de ondas requiere ser representada como un desplegado estable sobre la pantalla del tubo de rayos catódicos, el horizontal deberá iniciarse en el mismo punto de cada forma de onda sucesiva. Esta estabilidad es obtenida disparando el barrido en un punto deseado y con una muestra del amplificador vertical de la onda de salida.

La posición descendiente a la derecha de la onda dentiforme - (Figura # 6-1.2-E) origina que el haz sea deflexionado desde-

el lado derecho, hasta el lado izquierdo en su retorno.

Esta acción se denomina el retrado, el retraso únicamente re-  
posiciona el haz del tubo de rayos catódicos para el siguien-  
te barrido.

Durante el tiempo de retraso es necesario que el haz se corte,  
de modo que el paso de su retorno no sea observado en la pan-  
talla.

Tal como se puede observar el generador de base de tiempo pro-  
duce otra onda denominada onda del TRC de "NO BORRADO".

La aparición de la onda de no borrado coincide con el instan-  
te que dura la elevación del diente de sierra, de la defle---  
xión del "BARRIDO" horizontal. Puesto que la rejilla está --  
normalmente polarizada más allá del voltaje de corte, la onda  
positiva de no borrado, hace que el TRC entre en conducción,-  
conmutando el haz a su estado de brillantes o conducción. Al  
final del barrido, la onda de no borrado termina y el haz es-  
cortado, de modo que el retraso no es visible en la pantalla.  
El inicio o elevación de la forma de onda que se observa es -  
usada para generar el pulso de disparo. Generalmente es im--  
portante que esta posición del pulso sea visible en la panta-  
lla.

Como resultado, la onda está suficientemente retrardada de mo-  
do que el barrido y el "NO BORRADO" han sido iniciados un po-  
co antes que la forma de onda que está siendo observada. De-  
este modo, la onda total puede aparecer en la pantalla, aun--  
que el extremo izquierdo del inicio de ella sea usado para --  
disparar el barrido horizontal.

#### LÍNEAS DE RETARDO:

Es una aplicación donde el osciloscopio con disparo (TRIGGER) es usado con períodos muy cortos de barrido horizontal.

#### BARRIDO CON EL RETARDO Y EL INTENSIFICADOR:

El barrido con retardo y el método de intensificar porciones seleccionadas del trazo de un osciloscopio, es de gran ayuda puesto que se requieren algunas veces para efectuar rápidas y mejores mediciones con el osciloscopio, esta técnica es usada particularmente en trabajos con forma de ondas complejas, señales de video compuestas, etc.

El barrido con retardo, hace uso de los dos canales y se pueden usar uno o ambos; un trazo es usado para presentar la forma de onda "AMPLIADA".

#### MULTIVIBRADOR CON RETARDO EN EL DISPARO:

El multivibrador con retardo de disparo convierte la señal de salida del disparo en un pulso con un tiempo de elevación rápido.

Este pulso es diferenciado y recortado de un semiciclo negativo, de tal modo que solamente los pulsos de disparo positivos aparezcan a la salida del seguidor catódico del circuito de retardo.

El punto a lo largo del incremento del diente de sierra está-

determinado por el voltaje del control del intervalo del retardo.

El máximo retardo obtenido es mucho más pequeño que el tiempo de duración total del incremento del diente de sierra, el cual está determinado por la posición del conmutador TIME/DIV.

#### CIRCUITO INTENSIFICADOR:

El circuito intensificador opera en algunos diseños o únicamente, cuando se usa el disparo después del intervalo de retardo y el inicio después del intervalo de retardo. En el circuito de la base de tiempo del canal B (para el otro haz). Su única función consiste en acoplar C.D. un pulso de elevación positiva en la rejilla de control del haz superior del TRC.

#### AMPLIFICADOR DEL EJE Z:

En la figura # 7-1.2 podemos observar que los osciloscopios comunes y corrientes tienen una salida por el cátodo, con el fin de modular el haz de tal modo que pueda lograrse, medir altas frecuencias, señalar datos numéricos, etc. El hecho de que esta señal se amplifique permite que en el osciloscopio se logren dos características: auto control del foco y limitación de la corriente del haz. Así una vez que el control del panel frontal ha sido situado correctamente, el circuito de control automático de foco mantiene una señal o imagen bien -

definida, independientemente de las diferencias en los niveles de intensidad, diferentes tiempos de barrido o el modo de operación seleccionado. Esta característica es de interés particular en el modo doble o de barrido con retardo para fotografiar señales de disparo simple o cuando se usa lectura alfa-numérica en la imagen del TRC.

Este nivel de intensidad varía automáticamente a lo largo de la señal a producir y como resultado, el voltaje requerido por el TRC para mantener una señal o imagen bien definida varía en concordancia con el nivel de intensidad.

El circuito de foco automático monitorea al regular la intensidad del tubo de rayos catódicos (TRC) y produciendo un voltaje proporcional entre el electrodo de la rejilla y del foco, el cual tendrá el contorno de la señal bien definido.

El sistema que limita la corriente del haz permite el uso de puntos de tamaños reducidos, alto potencial de aceleración y rápida velocidad, "escritura" del TRC, reduciendo automáticamente la corriente del haz bajo condiciones en las cuales se podría dañar el fósforo de la pantalla.

Esta característica permite usar la máxima intensidad para producciones de señales rápidas, un sólo barrido o señales repetitivas, proporcionando protección al TRC cuando se conecta a un barrido lento o a un punto estacionario en la pantalla.

## AMPLIFICADORES HORIZONTALES:

Este amplificador desarrolla una versión simétrica (PUSH PULL) de la rampa de entrada del generador de base de tiempo. Estos voltajes simultáneos de rampa de elevación positiva y negativa a la salida del amplificador son aplicados a las placas de deflexión horizontales derecha e izquierda respectivamente originando que el punto luminoso se desplace a través de la pantalla, por lo que iguales incrementos de tiempo y el barrido pueden ser calibrados. Muchos amplificadores horizontales incluyen un amplificador de rango, que reduce la cantidad de realimentación negativa e incrementa en concordancia la ganancia. Tales amplificadores de rango son usualmente X2, X5 o X10 y aumenta el tiempo de barrido por esta magnitud. Generalmente tienen una lámpara indicadora que señala esta operación.

## OSCILOSCOPIO DE VARIOS TRAZOS:

Este tipo de osciloscopio puede obtenerse actualmente con un número de trazos que dependen de las aplicaciones. Para iniciar nos referimos a la figura # 8-1.2. Este osciloscopio es similar al osciloscopio original de simple trazo. En el caso que no está, dos preamplificadores verticales son empleados y un conmutador conecta el amplificador vertical principal a cualquiera de los dos preamplificadores de la entrada 1 y la entrada 2.

Este conmutador está controlado por el circuito de base de -- tiempo o por un oscilador interno. El conmutador opera en -- uno de los dos modos.

En el caso alternado el conmutador es cambiado de una entrada a la otra siguiendo a cada barrido horizontal.

En el primer barrido se desplaza sobre la pantalla la señal - de entrada 1; sobre el segundo barrido se desplaza sobre la - pantalla la señal de entrada 2, sobre el tercer barrido se -- desplaza sobre la pantalla nuevamente la señal de la primera- entrada y así sucesivamente.

Este método es rápido, de modo que mantiene el trazo presenta do por una entrada si deavenerse durante el tiempo que la - otra entrada está activando al fósforo de la pantalla con su- señal a reproducir.

Durante los tiempos de barrido con una duración suficientemen te larga, es posible que puedan originar un problema de parpa deo.

En este caso se usa un modo diferente de presentar en la pan- talla el doble trazo.

En este segundo modo llamado de conmutación (CHOPPER), el con mutador no es operado por los ciclos sucesivos de la base de- tiempos sino que es alternado mediante un oscilador de alta- frecuencia generalmente en la región de los 50 a los 300 kiló ciclos.

La técnica de doble trazo ofrece una ventaja adicional sobre- la de haz ya que el primero puede ser usado para más de dos - canales mientras que el doble haz requiere un tercer grupo de

placas y un tercer cañón electrónico dentro del tubo de rayos catódicos.

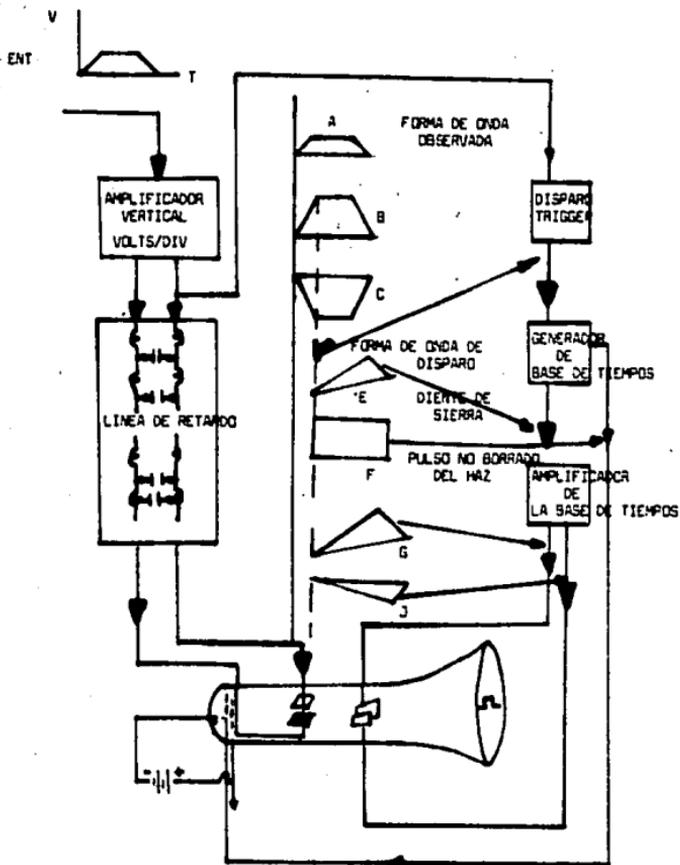


FIGURA # 6-1.2

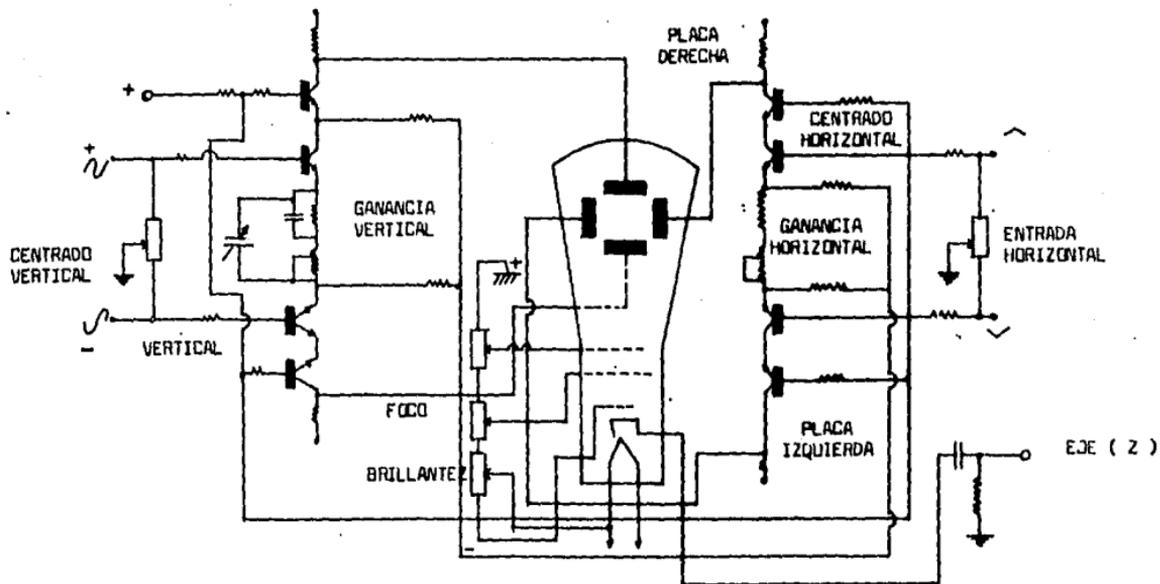


FIGURA # 7-1.2

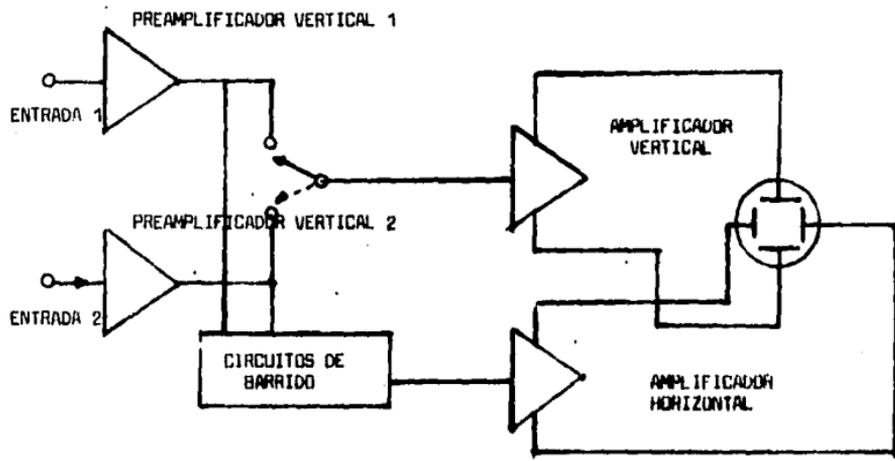


FIGURA # 8-1.2

## CONVERTIDORES DIGITAL-ANALOGICO

### INTRODUCCION.

Un convertidor digital-analógico (DAC) transfiere información expresada en forma digital a una forma analógica para ubicarla función de este dispositivo conviene recordar que un sistema combina e interrelaciona diversos subsistemas que trabajan tipos de información diferentes, y operan con la información-digital, como una computadora, un sistema lógico o un indicador numérico.

Las aplicaciones más significativas del DAC son:

- A) En instrumentos digitales, son la base para implementar algunos tipos de convertidores analógicos-digitales. Asimismo, permite obtener de un instrumento digital, una salida-analógica para propósitos de graficación, etc.
- B) El control por computadora de proceso fabriles o experimentación, requiere una interfase que transfiere las instrucciones digitales de la computadora a el lenguaje de los actuadores del proceso, que es analógico.
- C) En las comunicaciones especialmente en cuanto se refiere a telemedición y telecontrol.

En base a lo anterior cabe mencionar que para el desarrollo de este proyecto, un convertidor digital-analógico contiene las características necesarias que utilizaremos, una de ellas es que el microcomputador manda señales digitales y mediante el DAC se convierte ese dato digital a una señal de corriente,

la cual es enviada a un amplificador operacional para su conversión de corriente a voltaje, en el caso del AOC su entrada es corriente, y su función es convertir a 1 ó 0 para que el microcomputador pueda interpretarlo.

## CONVERTIDORES DIGITAL-ANALOGICO

### 2.1 TIPOS DE CONVERTIDORES Y FUNCIONAMIENTO.

Convertidor D/A tipo divisor de corriente de 4 bits:

En la figura # 1-2.1 se presentan marcadas 4 señales de entrada (1-4). 1 es el que representa el bit menos significativo - (bms) y el 4 el bit más significativo (BMS).

La diferencia entre ambos (bms y Bms) consisten en el valor - proporcional de la resistencia que se encuentra conectada a - cada entrada.

La conversión se basa en sumar corrientes que tienen un valor proporcional diferente de acuerdo a estas resistencias y sus combinaciones.

Este convertidor de 4 bits, con que el número de combinaciones de entrada posibles es de  $16 \cdot (2^4)$ . Cada combinación digital tendrá un valor único de corriente de salida, el cual será provocado por la suma en el nodo "b".

Convertidor D/A tipo divisor de voltaje de 4 bits:

Si al circuito de la figura # 1-2.1 se le conecta una resistencia a la salida, entre el nodo "a" del circuito y tierra - (observar figura # 2-2.1), la resistencia provoca una caída de tensión que es proporcional a las señales aplicadas en la entrada.

Convertidor D/A tipo 2-2R "Ladder" de 4 bits:

Refiriéndose a la figura # 3-2.1 y utilizando el concepto de las leyes de Kirchhoff a la salida en el punto "a", se tendrá el total de la corriente, según la combinación de entrada. . - La división de corriente es en función de la proporción R-2R encontrada en su camino, teniendo a 1 como el valor (bms). El concepto de R-2R es por la configuración que presenta en conexión electrónica, en donde unas resistencias son aproximadamente el doble de las otras.

Convertidor D/A serie:

Aunque más sencillo y barato, tiene el inconveniente de tener grandes limitaciones en cuanto a precisión.

Convertidor D/A paralelo:

En el DAC paralelo, la entrada consiste de "n" dígitos simultáneamente presentados. Estos dígitos pueden ser "1" ó "0" y eléctricamente está representados por 2 niveles de voltaje, - usualmente se representa el cero con un rango de nivel entre 0 y 0.8 volts y el 1 con un rango de nivel positivo de 4 ---- volts.

La magnitud de este nivel positivo puede elegirse para ser -- compatible con los equipos digitales que alimentan la entrada y como en ello es común los elementos lógicos DTL/TTL, este nivel es de un rango de  $\pm 2$  a  $\pm 5$  Volts.

El convertidor digital-analógico paralelo es más comúnmente - usado, que el convertidor digital-analógico serie pero resul-

ta más costoso y complejo.

Puede representarse un convertidor digital-analógico paralelo por el esquema de la figura # 4-2.1

Convertidor digital-analógico de resistencias ponderadas:

El circuito conversor, que proporciona una señal proporcional al valor y posición de dígito, puede implementarse con el circuito en la figura # 5-2.1

Cuando el valor del dígito es cero, el conmutador S se conecta a tierra y por lo tanto la señal eléctrica de corriente es nula ( $i = 0$ ). Cuando el valor del dígito es uno, el conmutador S se conecta a la batería  $V_r$ , y por tanto la señal de corriente tendrá un valor que depende de la magnitud de la resistencia.

Para lograr la señal eléctrica de cierta magnitud y que dependa de la posición del dígito, basta dimensionar la resistencia de acuerdo a la posición o peso del dígito que entra en el circuito.

#### PARAMETROS DE OPERACION DE CONVERTIDORES DIGITAL-ANALOGICO.

Para poder cuantificar la calidad de los DAC es necesario definir los principales parámetros que expresen la calidad de funcionamiento de un DAC, por lo cual a continuación se presentan brevemente los mismos.

A) Precisión absoluta: Se refiere al porcentaje de error que presenta el DAC, a plena escala, en su magnitud de salida analógico.

B) Linealidad diferencial: Este parámetro describe la variación en tamaño (observar figura # 6-2.1) en escalones adva centes.

Teóricamente entre escalones debería tener una diferencia de la magnitud del bit menos significativo (bms) que equivale al factor de proporcionalidad (K). Una no-linealidad diferencial mayor de  $1/2$  bms, no permitiría distinguir en la salida analógica, cambios de una unidad en la entrada digital.

C) Linealidad absoluta: En la figura # 6-2.1 puede trazarse una recta ideal que pasaría por los ángulos superiores de las escaleras. El ajuste de un DAC usualmente por la ganancia del amplificador operacional, cambia la pendiente de dicha recta. Si una vez ajustada la línea que en los ángulos superiores no coinciden con la recta ideal más que en sus extremos, se tiene una no-linealidad.

La máxima diferencia entre ambos se mide en porcentaje, y no debe exceder de  $\pm 50\%$  bms.

D) Sensitividad a la fuente de alimentación: Al variar la --- fuente de alimentación naturalmente variará la salida analógica del DAC. Este cambio se expresa con el porcentaje-

del cambio de la salida para un cambio del 1% del valor nominal de la fuente.

Si la fuente está integrada al DAC, se habla de sensibilidad a variaciones en la línea. Como norma, se considera que un cambio del 3% en la fuente, no debe variar la salida del DAC en más de  $-1/2$  bms.

E) Estabilidad térmica: Se refiere a la inmunidad del DAC a cambios en temperatura y se mide por el coeficiente de temperatura, de microvolts ( $\mu V$ ) que cambia la salida por  $1^{\circ}C$ , de incremento en la temperatura.

F) Resolución: Se refiere a la longitud de la palabra que pueda manejar el DAC; o sea, el número de dígitos (bits) del número binario cuyo bms puede distinguirse en la salida analógica.

La tabla # 1 presenta para diferentes rangos del DAC (Voltaje de salida a plena escala), la magnitud de salida analógica correspondiente a  $1/2$  bms, que es la que debe distinguirse, para diversas resoluciones.

G) Tiempo de establecimiento: La operación del DAC no es instantánea, pues está limitada por los tiempos de conmutación de los transistores o FET S usados en la compuerta, la razón de cambios de voltaje del operacional (Slew Rate), etc.

Se mide por el tiempo requerido para un cambio de plena es-  
cala (Cero o Máximo) o bien a un cierto porcentaje de ella  
(Usualmente el porcentaje representativo del bms).

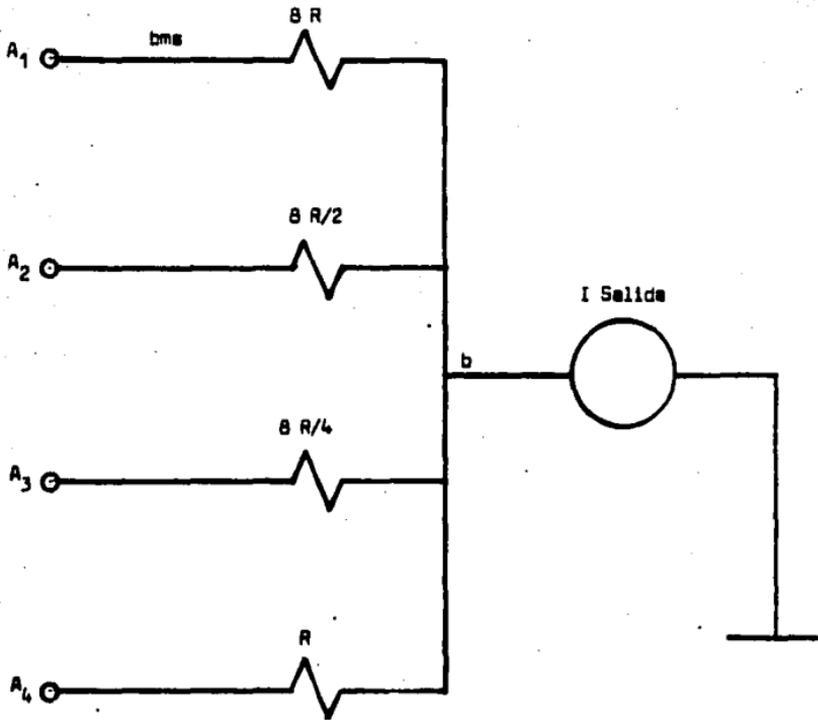


FIGURA # 1-2.

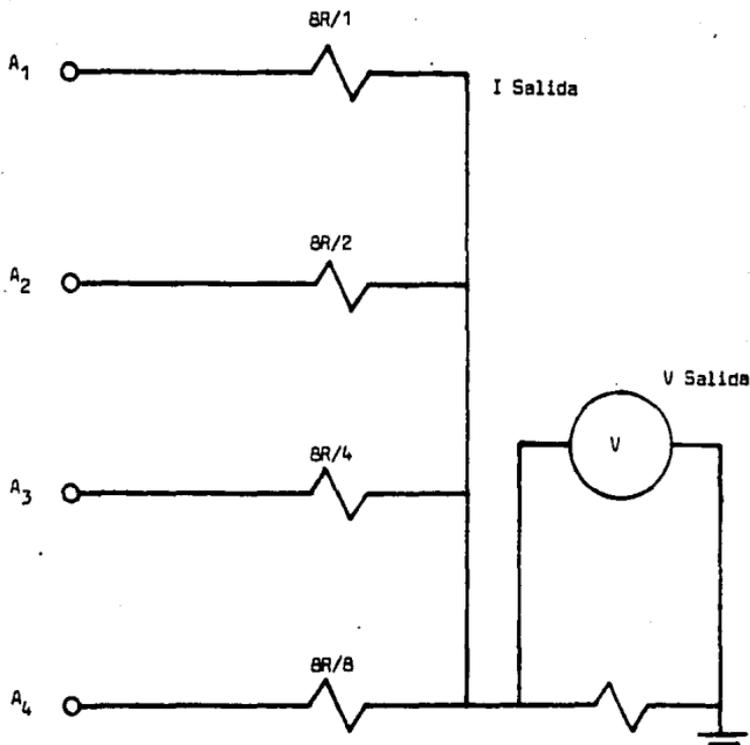


FIGURA # 2-2.1

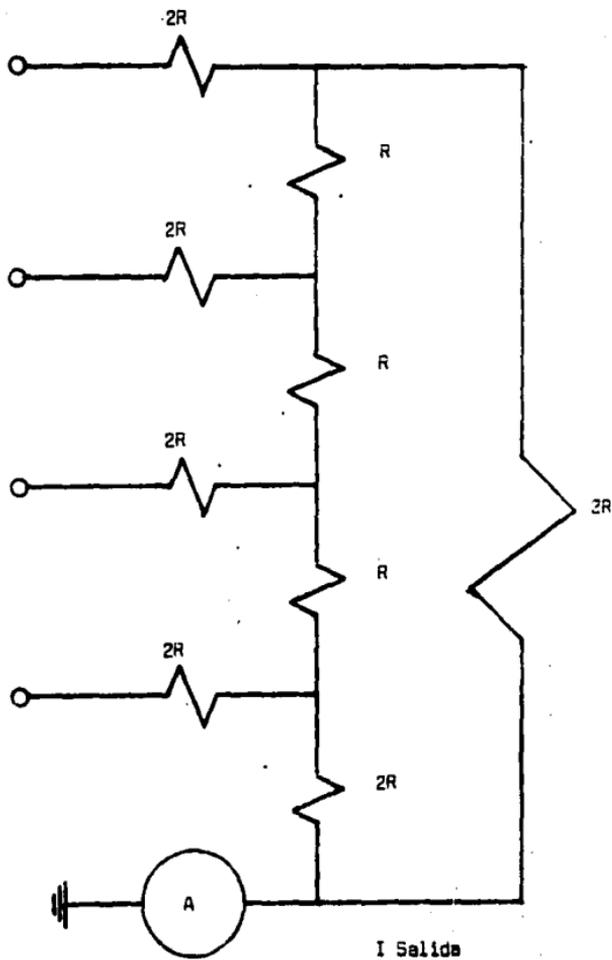


FIGURA # 3-2.1

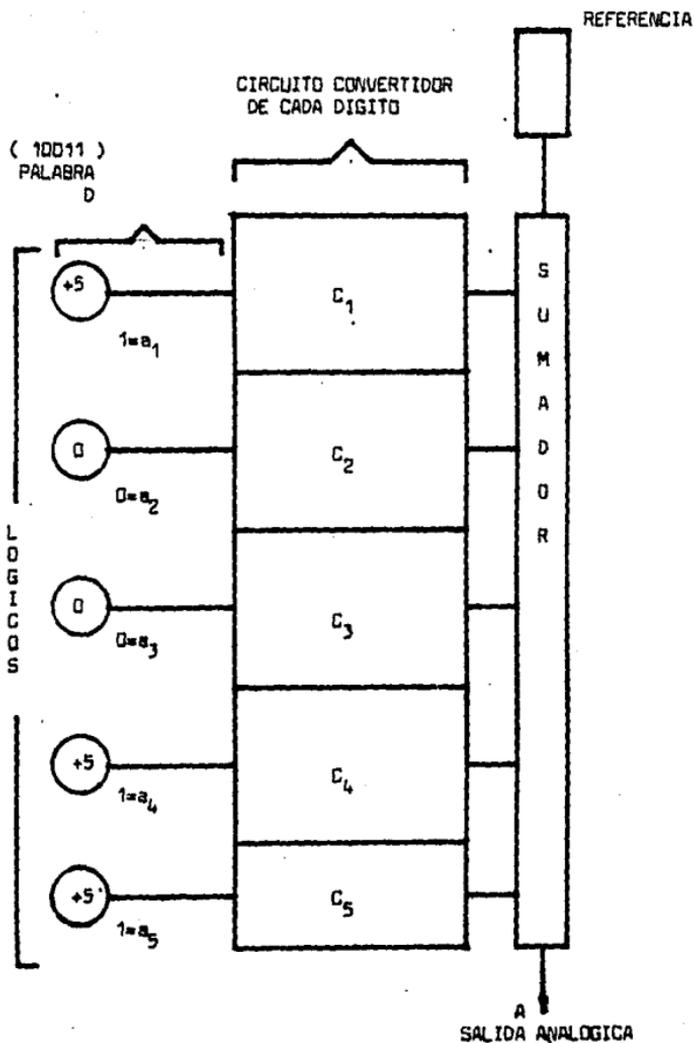


FIGURA # 4-2.1

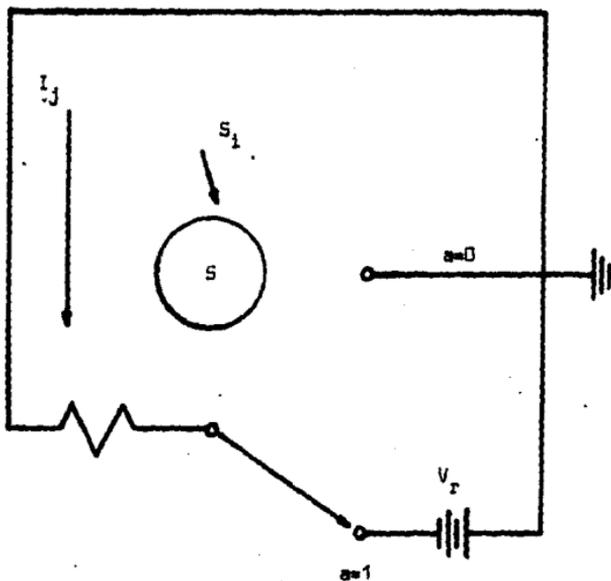


FIGURA # 5-2.1

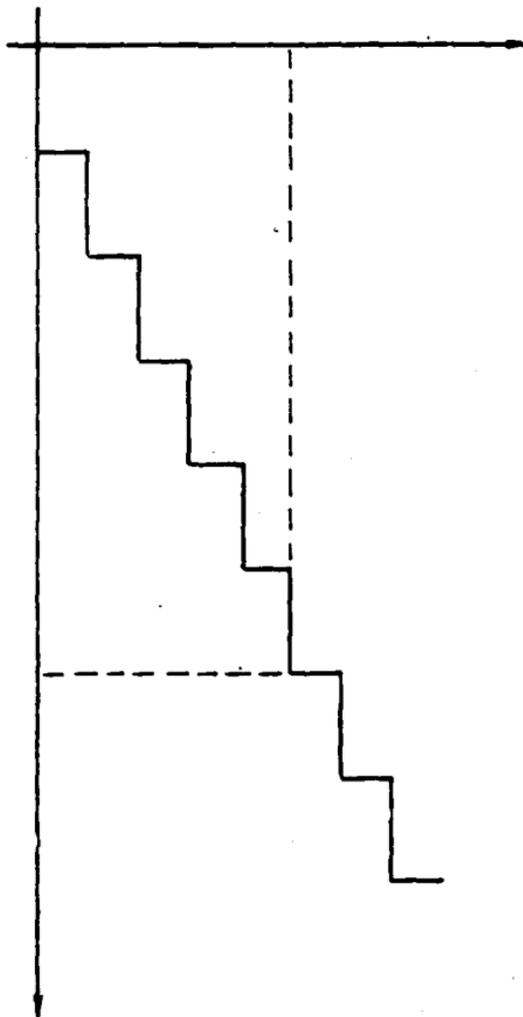


FIGURA # 6-2.1

## 2.2 AMPLIFICADORES OPERACIONALES (A. O.).

### INTRODUCCION, FUNCIONAMIENTO EN C.D. Y C.A.

Un A.O. es la forma más generalizada, en la actualidad, de un amplificador de alta ganancia acoplado a C.D. con entrada diferencial, empleado con retroalimentación degenerativa.

Es conveniente introducir las características de un A.O. --- ideal, considerando que la mayoría de sus aplicaciones pueden analizarse para el amplificador ideal.

Obteniendo resultados con errores que pueden ser despreciados, así un A.C. ideal tiene las siguientes características:

- Resistencia de entrada =  $\infty$
- Resistencia de salida  $R_o = 0$
- Ganancia de voltaje  $A_v = \infty$
- Ancho de banda  $W_h = \infty$
- Balance perfecto  $V_o = \infty$  Cuando  $V_1 = V_2$
- Corriente de entrada = 0
- Factor de rechazo en modo común CMRR =  $\infty$
- Todas las características iguales a cualquier temperatura.

En la figura # 1-2.2 se muestra el símbolo empleado para representar el A.C., así como el circuito equivalente idealizado.

El A.C. mostrado en la figura # 1-2.2 corresponde a un amplificador con entrada diferencial y salida desbalanceada. En la figura # 2-2.2 se muestra un A.O. con entrada diferencial-

, salida balanceada.

A continuación se describe algunas consecuencias importantes para el análisis al proponer las características ideales del amplificador operacional:

- No circula corriente en las entradas del A.O. debido a su alta impedancia.
- Para obtener un voltaje de salida finito, la diferencia de potencial en las entradas es cero, debido a la alta ganancia.
- No existe limitaciones en frecuencia aunque el A.O. que en la actualidad ofrecen los fabricantes se aproxima al ideal, es conveniente conocer las características no ideales de un A.O. las cuales constituyen fuentes de error que en algunas aplicaciones deben tomarse en consideración.

Las características de A.O. real están relacionadas con los circuitos asociados en su implementación, así que es conveniente describir en forma general dichos circuitos y posteriormente establecer las propiedades y limitaciones de los A.O. reales.

En la figura # 3-2.2 se muestra el diagrama de bloques de un A.O. representativo.

El primer cuadro representa un amplificador diferencial con salida balanceada, el segundo cuadro es un segundo amplificador diferencial que proporciona una impedancia de salida baja; el restaurador de nivel se emplea para obtener un voltaje de salida de aproximadamente cero en ausencia de señal; se emplean los amplificadores diferenciales para obtener un alto -

factor de rechazo en modo común.

Amplificador operacional real:

Las características de un A.O. real, dependen de los circuitos empleados para su realización. A continuación se analizan las diferencias que existen entre A.O. ideal y uno real.

- Resistencia de entrada: En el A.O. ideal la resistencia de entrada es infinita. Para el caso del A.O. real la resistencia de entrada se refiere a la que presenta el amplificador de diferencia entre sus terminales de entrada.
- En el A.O. ideal existe un balance perfecto entre los voltajes de entrada es decir  $V_0 = 0$  cuando  $V_1 = V_2$ ; teniéndose - que  $V_1 = V_2 = 0$ ; sin embargo en el A.O. real debido al desbalance de los voltajes de la unión base-emisor  $V_1 = V_2 \neq 0$  - por lo que el voltaje de salida  $V_0$  también es diferente de cero.

Para eliminar esta desventaja se debe aplicar un voltaje para balancear cualquier diferencia de voltaje base-emisor y obtener así salida cero. A este voltaje requerido para obtener cero de salida se le llama "Voltaje de desbalance de entrada  $V_{os}$ " (Offset).

- Por otra parte en el A.O. ideal la corriente en las terminales de entrada es cero, pero debido a que la corriente en los colectores es proporcional a la corriente de base, entonces, existe una corriente en las terminales del A.O. -- real, esta corriente se llama "Corriente de polarización de

entrada  $I_{o'}$ , mientras que la corriente de desbalance de entrada  $I_{os}$ , se refiere a la diferencia entre las corrientes en cada terminal de entrada del amplificador diferencial - cuando  $V_D = 0$ . Considerando que existe una fuente dependiente entre los parámetros de los dispositivos con semiconductores con la temperatura, entonces  $V_{os}$  e  $I_{os}$  dependen también de la temperatura, así como su variación con respecto a las fuentes de polarización del circuito.

- Corriente de polarización de entrada: En el A.O. ideal la corriente de entrada es cero. Para el amplificador real, la corriente de base está relacionada a la corriente de colector como  $I_{c1}$  e  $I_{c2} = 0$  entonces existe corriente de base en cada transistor del amplificador.

En resumen, en lo que se refiere al circuito de entrada del A.O. real, existen marcadas diferencias con respecto al A.O. ideal.

La contribución de dicha diferencias se deben principalmente al amplificador diferencial de entrada; y se considera que -- las variaciones en el resto del circuito pueden considerarse como efectos de segundo orden, por una parte, o bien, dichas variaciones pueden reflejarse a la entrada.

En la figura # 4-2.2 se comparan los circuitos de entrada del A.O. ideal y real.

El resto de las diferencias del A.O. ideal y real dependen de las características del circuito completo, específicamente la ganancia y el ancho de banda dependen del circuito completo, mientras que la impedancia de salida dependen del amplifica--

dor de salida.

- Ganancia de voltaje: Es evidente que para el caso del A.O. real, Únicamente tiene sentido especificar la ganancia en modo diferencial, la cual en el A.O. ideal tiene un valor infinito.

- Ancho de banda: El tipo de acoplamiento directo empleado en los circuitos del A.O. permite su operación para señales de baja frecuencia, inclusive en C.D., sin embargo existen limitaciones en alta frecuencia debido principalmente, a las capacidades de inter-unión de los dispositivos empleados y las capacidades distribuidas en el circuito.

Del análisis realizado, el A.O. en lo que se refiere a la salida tienen las siguientes características:

- Ganancia en voltaje finito.
- Ancho de banda limitado.
- Impedancia de salida finito.

En la figura # 5-2.1 (a-b) muestra el circuito equivalente de salida.

La figura # 5-2.2 (a) circuito equivalente de salida, del A.O. real y la figura # 5-2.2 (b) del A.O. ideal.

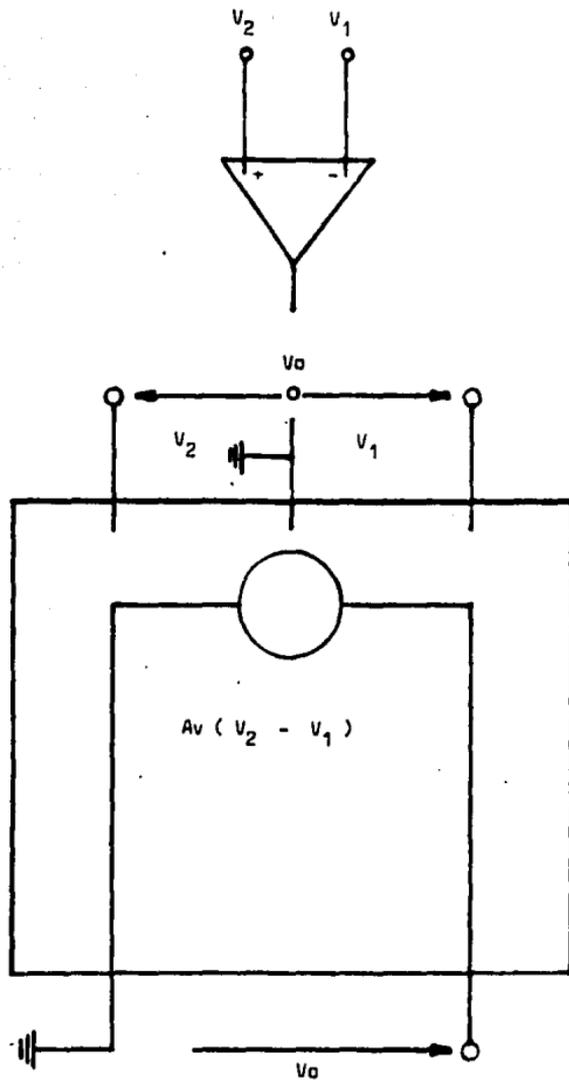


FIGURA # 1-2.2

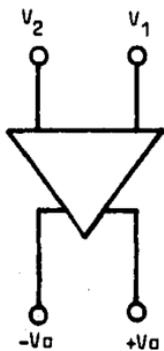
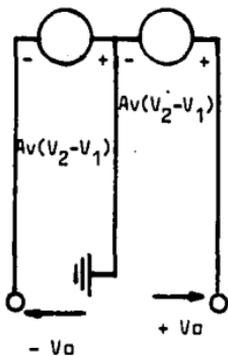
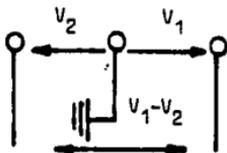


FIGURA # 2-2.2

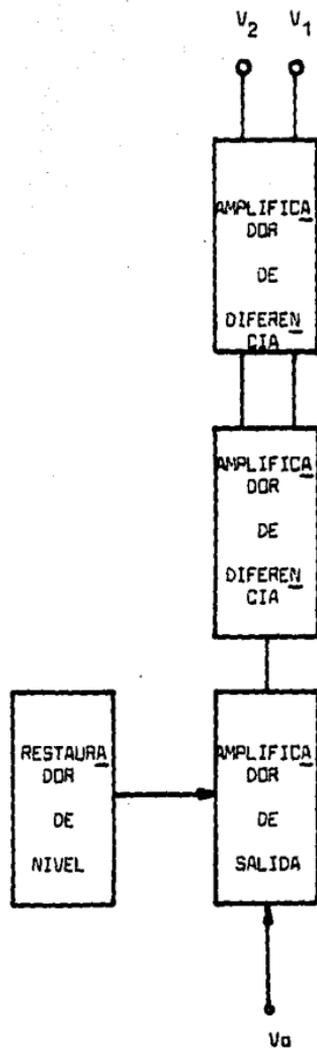
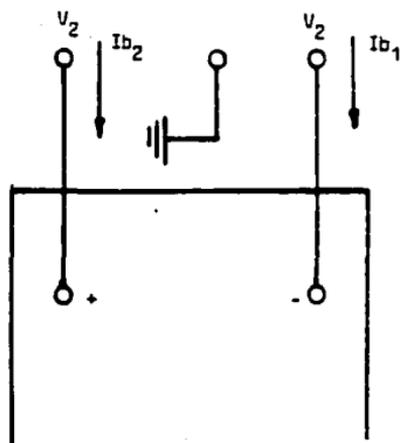
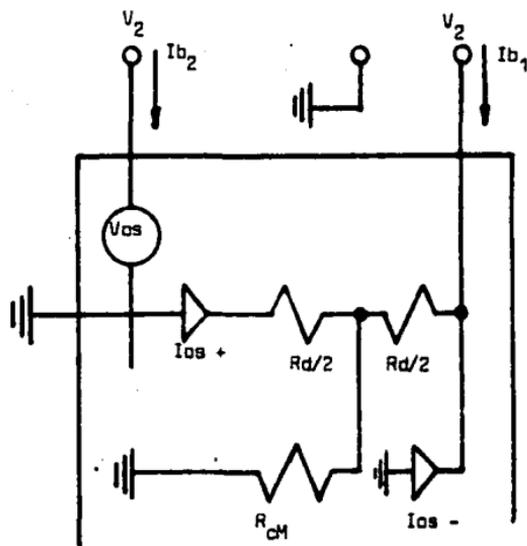


FIGURA # 3-2.2



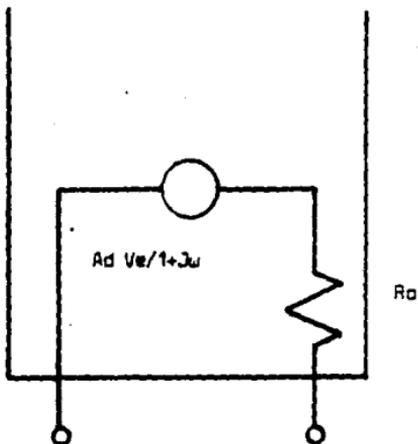
AMPLIFICADOR OPERACIONAL IDEAL



AMPLIFICADOR OPERACIONAL REAL

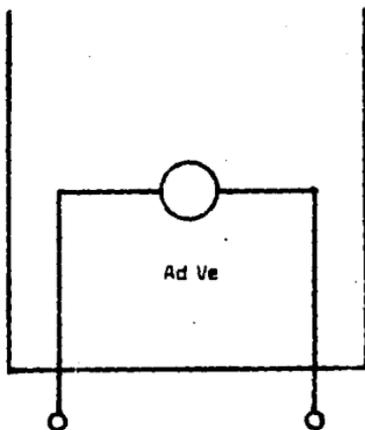
FIGURA # 4-2.2

CIRCUITO  
a



AMPLIFICADOR OPERACIONAL REAL

CIRCUITO  
b



AMPLIFICADOR OPERACIONAL IDEAL

FIGURA # 5-2.2

### 2.3 CONVERSION DE CORRIENTE A VOLTAJE Y AJUSTE DE VOLTAJE DE SALIDA.

En el circuito de la figura # 1-2.3 podemos observar la obtención a la salida, de la suma de las señales de entrada.

Este circuito lo podemos explicar de la siguiente forma; la corriente  $I_1$  es igual a la corriente de retro, notese que cada generador está cargado con su resistencia correspondientemente, ya que el voltaje de error es igual a cero.

Por lo que:

La corriente  $I_1$  e  $I_f$  son:

$$I_1 = V_1 / R_1 + V_2 / R_2 + V_3 / R_3 ; I_f = - V_0 / R_f \quad \text{----- I}$$

y el voltaje de salida es entonces

$$V_0 = - R_f / R_1 V_1 - R_f / R_2 V_2 - R_f / R_3 V_3 \quad \text{----- II}$$

La única limitación en cuanto al número de sumandos y su valor depende de la corriente máxima que puede proporcionar el amplificador operacional, ya que la corriente  $I_f$  constituye la corriente que proporciona el amplificador, y considerando  $R_2$  es decir, la carga del operacional se tiene que la carga total será:  $R_L // R_f$ .

Ahora si tenemos que  $V_2 = V_3$  y si  $R_f = R_1$  basándonos en la ecuación II, el voltaje de salida es proporcional a la señal de entrada.

Este circuito constituye un amplificador con ganancia de voltaje que es función de los resistores externos, como se muestra en la figura # 2-2.3

Podemos mencionar que algunas otras aplicaciones se requieren obtener amplificaciones sin inversión, lo cual se muestra en el circuito de la figura # 3-2.3

Además de las características de inversión en los circuitos de las figuras # 2-2.3 y 3-2.3, existe gran diferencia entre -- las impedancias de entrada para cada circuito.

En el caso del circuito # 3-2.3 amplificador no inversor tiene muy alta impedancia de entrada, esta característica lo hace importante para aplicaciones de acoplador de impedancias, o como seguidor.

Si a este circuito # 3-2.3 se da que  $R_f = 0$  y  $V_D = V_1$  se obtendrá el circuito mostrado en la figura # 4-2.3. En este -- circuito el resistor  $R_1$  se emplea para convertir el voltaje  $V_1$  en una señal de corriente, de aquí que si  $R_1$  es cero y la entrada es una corriente  $I_1$  en lugar de  $V_1$  el circuito se comporta como un convertidor corriente-voltaje.

Cabe hacerse notar que si la entrada es una corriente, no necesariamente  $R_1 = 0$ .

El convertidor corriente-voltaje se muestra en la figura --- # 5-2.3, la impedancia de entrada es aproximadamente cero.

La figura # 6-2.3 es tomando como ejemplo, de la aplicación -- que tiene el amplificador operacional en nuestro proyecto.

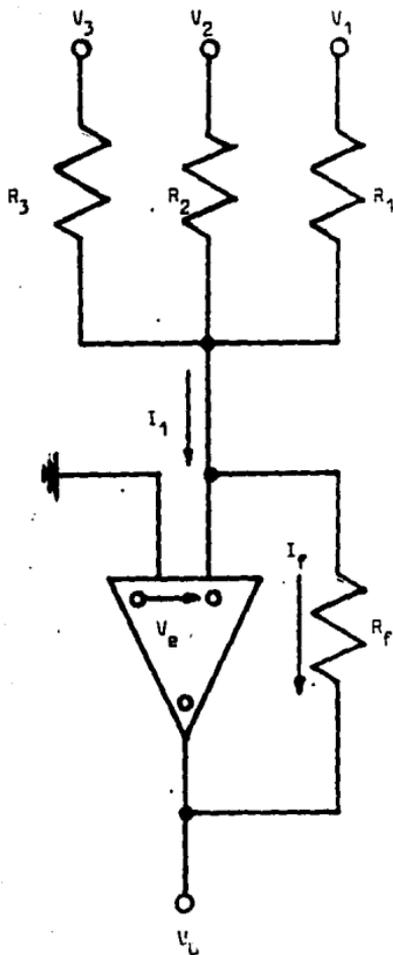


FIGURA # 1-2.3

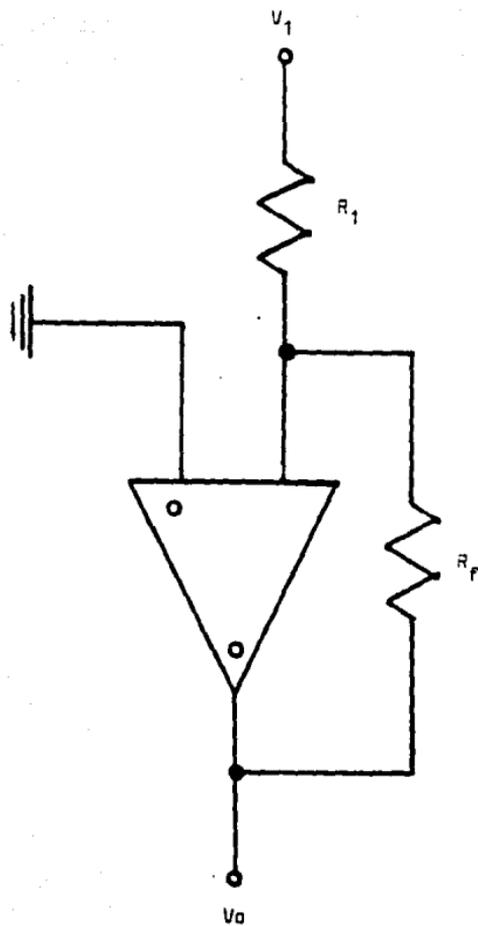


FIGURA # 2-2.3

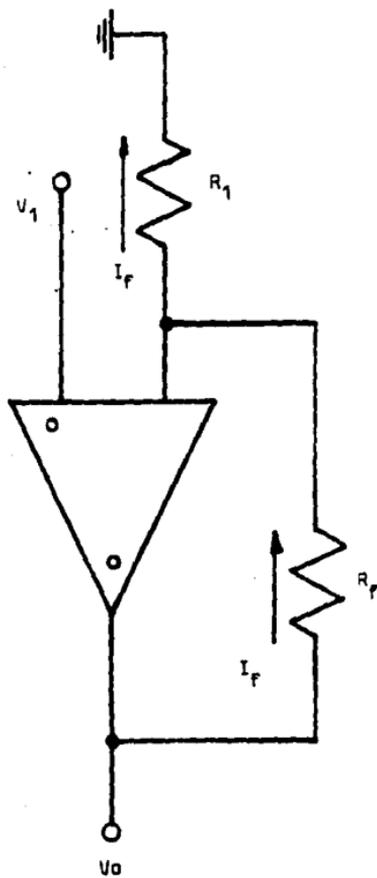


FIGURA # 3-2.3

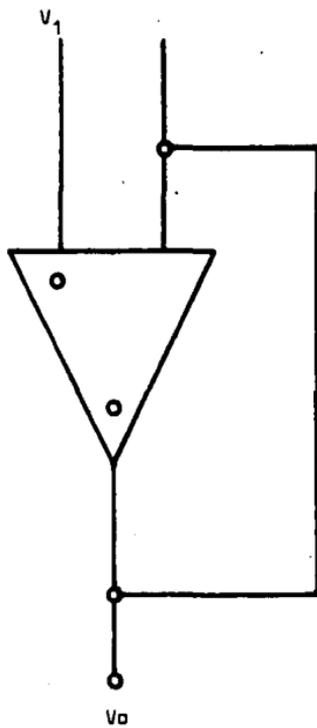


FIGURA # 4-2.3

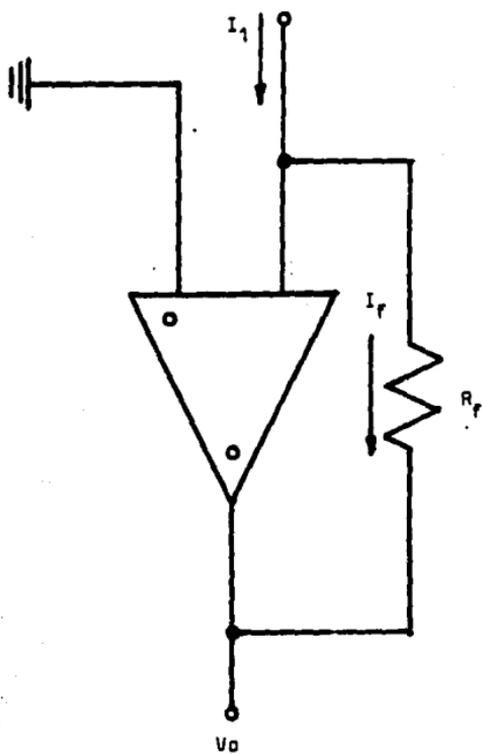


FIGURA # 5-2.3

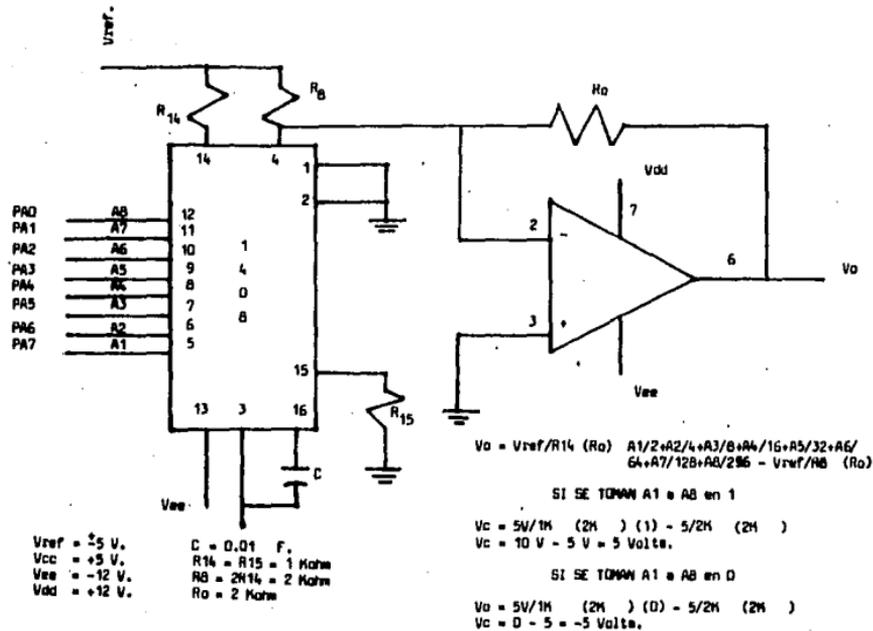


FIGURA # 6-2.3

## MICROCOMPUTADOR

### INTRODUCCION.

En la UCP (UNIDAD DE CONTROL DE PROCESAMIENTO) se efectúa la lógica de una computadora, ésta realiza las operaciones lógicas y aritméticas y además se manejan y sincronizan las señales de control.

Por lo general esta UCP es un microcomputador que se encuentra implementada en solamente un circuito integrado, llamado y conocido como microprocesador.

### 3.1. DESCRIPCION DEL MICROPROCESADOR 8085A DE INTEL.

A continuación se mencionarán las características que forman al 8085A siendo ésta una unidad de control de procesamiento - de 8 bits en paralelo, construido en un circuito integrado de 40 patas terminales.

- A) Solamente requiere de una fuente de alimentación de + 5 - Volts.
- B) Utiliza una señal de reloj.
- C) Contiene la misma lógica que el 8224, 8226 y la 8080A conjuntamente, en especificación se tiene un sistema de más - alto nivel de integración.
- D) Su reloj opera con un período de 330 nanosegundos y 3 MHZ. de frecuencia, aunque su operación estandar es de 500 nanosegundos y 2 MHZ.

- E) Para solicitudes de interrupción se tienen 5 entradas; 4 - generan un vector de interrupción interno.
- F) La 8085A contiene dos instrucciones más RIM y SIM, además- de incluir todas las instrucciones que forman a la 8085A.
- G) Utiliza al AD7-ADD como bus de datos, para la entrada/sali- da de datos y también para enviar la parte baja de las di- recciones.
- H) Realiza una función de multiplexor.
- I) La 8085A está formada de 6 registros de propósito general- que son B, C, D, E, H y L y un acumulador también de propó- sito general ambos de 8 bits.
- J) La serie de instrucciones ponen (enviando al nivel 1) o -- limpian (enviando al nivel 0) a 4 banderas, estas banderas son; signo (S), acarreo (CY), paridad (P) y cero (Z) y -- por último una quinta bandera que es utilizada para opera- ciones lógicas y aritméticas BCD y se conoce como bandera- de acarreo auxiliar (AC).
- K) La 8085A contiene una "PILA DE ALMACENAR" (STACK).

Las partes que forman la arquitectura de la 8085A son las si- guientes:

- 1) Arreglo de registros y una lógica de dirección.
- 2) Unidad aritmética y lógica (UAL).
- 3) Registros de instrucción (RI).
- 4) Decodificador de instrucción.
- 5) Sección de control y tiempos.
- 6) Buffer del bus de datos bidireccional de 3 estados.

7) Control de las interrupciones.

8) Control de E/S de datos en serie.

Estas son ilustradas en el diagrama a bloques de la figura --

# 1-3.1

- SECCION DE CONTROL Y REGISTROS:

Los siguientes registros y circuitos auxiliares forman el --- arreglo de registros:

- / Un latch de dirección, 16 bits.
- / Contador del programa (PC), 16 bits.
- / Circuito decrementador/incrementador, 16 bits.
- / Registros de propósito general de 8 bits, referidos como - B,C,D,E,H, y L, arreglados por pares.
- / Apuntador del stack (SP), 16 bits.

La ejecución de una serie de actividades realizadas por el -- microprocesador da como resultado un programa, el cual se ordena por medio de instrucciones que tienen código único.

Estos códigos se deben almacenar en la memoria, en localida-- des contiguas, posteriormente se le indica al microprocesador a partir de que la localidad se encuentra el programa. Lo an-- terior se efectúa cargando un registro de 16 bits que es nombrado contador del programa con valor de la dirección de la - localidad que contiene el primer código de instrucciones del programa.

- CONTADOR DEL PROGRAMA (PC):

Este registro tiene la dirección de la próxima localidad de - memoria que se va acceder, para que el código de la próxima - instrucción a realizarse por el microprocesador sea obtenido.

Al inicio del ciclo de la instrucción la 8085A manda el contenido del PC al bus de dirección, así éste direcciona a una localidad específica de memoria.

Cada vez que el microprocesador lee el código de instrucción contenida en la localidad direccionada el PC es incrementado, así en esta forma secuencialmente el PC direcciona a las localidades de memoria donde el programa se encuentra almacenado. Lo anterior se puede observar en la figura # 2-3.1.

#### - REGISTRO DE INSTRUCCION:

Cargando el PC con la dirección de la primera localidad del programa, la ejecución del programa enviado al buffer de dirección hacia la memoria es iniciado por el microprocesador, además enviando la señal de control, en este caso  $\overline{RD} = 10/\overline{M} = 0$ , así pues el contenido de la localidad direccionada es enviado al bus de datos, lo anterior es efectuado por la memoria como respuesta, posteriormente el UCP lee este contenido en un registro de instrucciones (RI).

Un código de instrucciones es el resultado de la llegada de un valor al registro de instrucciones.

#### - DECODIFICADOR DE INSTRUCCION Y DE CICLOS DE MAQUINA:

El decodificador de instrucciones tienen a su disposición el contenido de el registro de instrucciones (RI).

La sección de control, genera la salida del decodificador ---

cuando ésta se combina con varias señales de tiempo así pues proporcionando a todos los componentes del microprocesador se ñales de control.

Observar figura # 3-3.1

- SECCION DE CONTROL Y TIEMPOS:

Los estados y ciclos de máquina de la instrucción en proceso, así como las señales de tiempos de los estados son generados mediante la alimentación a la sección de control y tiempo.

Esta alimentación es realizada por medio de las salidas del - decodificador de instrucciones y las señales de control exter nas como: READY, INTR, HOLD, etc.

- 6, REGISTROS LATCH DE DIRECCION DECREMENTADOR/INCREMENTADOR:

Almacenar datos, además de cargar los códigos de las instrucciones del programa, ambas son funciones desempeñadas por la memoria.

La UCP debe contar con algunos registros especiales debido a que ésta al leer los datos no debe almacenarlos en el RI, -- pues lo anterior daría como resultado la interpretación de es tos datos como códigos de instrucción.

La 8085A consta de 6 registros de propósito general de 8 bits, en el arreglo de registros B, C, D, E, H y L.

Estos registros se pueden manejar en combinaciones B-C, D-E y H-L o sea de 16 bits, o también en forma individual de 8 bits.

En cada par los registros B, D y H contienen los bits de más alto orden y C, E y L los bits de más bajo orden.

Los registros de 16 bits o sea en forma de pares toman los -- nombres de: (B-C) - B, (D-E) -D y (H-L) -E.

La dirección M es la forma que se le denomina a la dirección de memoria que se forman con los contenidos de H y L.

Entre el bus interno y cualquier de los registros del arreglo de éstos, incluyendo PC y SP se puede transferir datos de 8 - bits.

El PC y SP además de alimentar al latch de dirección, necesitan de dos datos de 8 bits.

El registro multiplexor selector desarrolla la selección del registro.

De cualquier de los 3 registros pares, el latch de dirección recibe también datos de 16 bits, y son conducidos al buffer - de direcciones de 16 bits (A15 - A0) o al circuito decrementador/incrementador.

Los 6 registros de propósito general, por medio de las ins--- trucciones efectúan las funciones siguientes:

- A) Enviar datos a la memoria.
- B) Recibir datos desde la memoria.
- C) Formar una dirección con sus contenidos (registro par) o - datos de 16 bits.
- D) Transferir datos entre ellos.
- E) Decrementar o Incrementar en uno su contenido.
- F) Tener un operando durante las funciones de la UAL.

#### - APUNTADOR DEL STACK (SP):

Como es sabido la memoria RAM cuenta con una área para almacenamiento de datos temporal durante el procesamiento, pero para evitar la búsqueda o el rescate de un dato en la dirección del área, cuando se desee almacenar, en resumen para agilizar esta función, se tiene una área de memoria llamada STACK.

En este registro se encuentra integrado en el 8085A llamado - registro apuntador del STACK.

La 8085A tiene un registro apuntador del stack, que contiene una dirección de memoria RAM, a partir de la cual en forma -- descendente los contenidos de un registro par pueden ser salvados y en forma ascendente los últimos datos/almacenados pueden ser obtenidos en esa área para que un registro par sea -- cargado. Este registro apuntador stack es de 16 bits.

La figura # 4-3.1 ilustrada al SP.

#### - UNIDAD ARITMETICA Y LOGICA (UAL):

La UAL contiene la lógica para realizar las siguientes operaciones:

- A) Registrar información importante del resultado de las operaciones aritméticas y lógicas como acarreo, signo, acarreo auxiliar, paridad y si el resultado es cero.
- B) El registro conocido como registro de banderas es el que almacena esta información:

- Correr un bit a la derecha o a la izquierda, una palabra de dato.
- Suma binaria.
- Complementar una palabra de dato.
- Operaciones aritméticas y lógicas.

Además esta unidad aritmética y lógica contenida en la 8085A tiene los registros siguientes:

#### ACUMULADOR Y REGISTROS TEMPORALES:

El acumulador A es un registro de gran importancia en la UCP, es de 8 bits.

Regularmente contiene uno de los dos operandos en las operaciones aritméticas y lógicas de la UCP, donde son depositados los resultados de las operaciones.

Las mismas funciones que realizan los 8 registros individuales del arreglo de registros, pueden ser realizados por el acumulador además, es el único que puede enviar o recibir datos a/y de los puertos de salida y entrada respectivamente.

Después de una operación lógica o aritmética el acumulador se puede cargar desde la UAL, desde el bus de datos internos, y transferir datos a estos dos dirigiéndose a un registro, a la memoria o a un dispositivo de salida.

Desde el bus de datos internos el registro temporal TMP recibe la información para enviarla a la ALU.

Con uno de los dos operandos de la función aritmética o lógi-

ca que proviene de la memoria o de un registro, temporalmente el registro temporal de carga.

#### BANDERAS DE ESTADO:

Ciertos resultados de las operaciones de la UAL son monitoreados por un registro de 8 flip-flops que contiene la 8085A.

La información almacenada por estos flip-flops, es conocida como banderas de estado.

Después de cada operación con alguno de los registros las banderas se actualizan, pero cabe señalar que no todas las operaciones modifican a todas las banderas.

La figura # 5-3.1 ilustra el registro de banderas de estado.

#### BUFFER DEL CANAL DE DATOS:

Bidireccional, de 8 bits, de 3 estados son características de este buffer utilizado para aislar el bus de datos externo --- (D0-D7).

La UCP en el modo de salida carga el contenido del bus interno en el latch de 8 bits y maneja al bus de datos externos.

La transferencia del bus de datos externo al bus de datos interno, se realiza durante el modo de entrada, para que posteriormente estos datos transferidos, son cargados en uno de sus registros de la UCP.

## CONTROL DE LA INTERRUPCION Y DATOS EN SERIE:

La lógica que define cuando se reciben solicitudes de interrupción es contenida en la unidad de control de las interrupciones.

La unidad de control de datos en serie contiene la lógica para la recepción y transmisión de datos en serie.



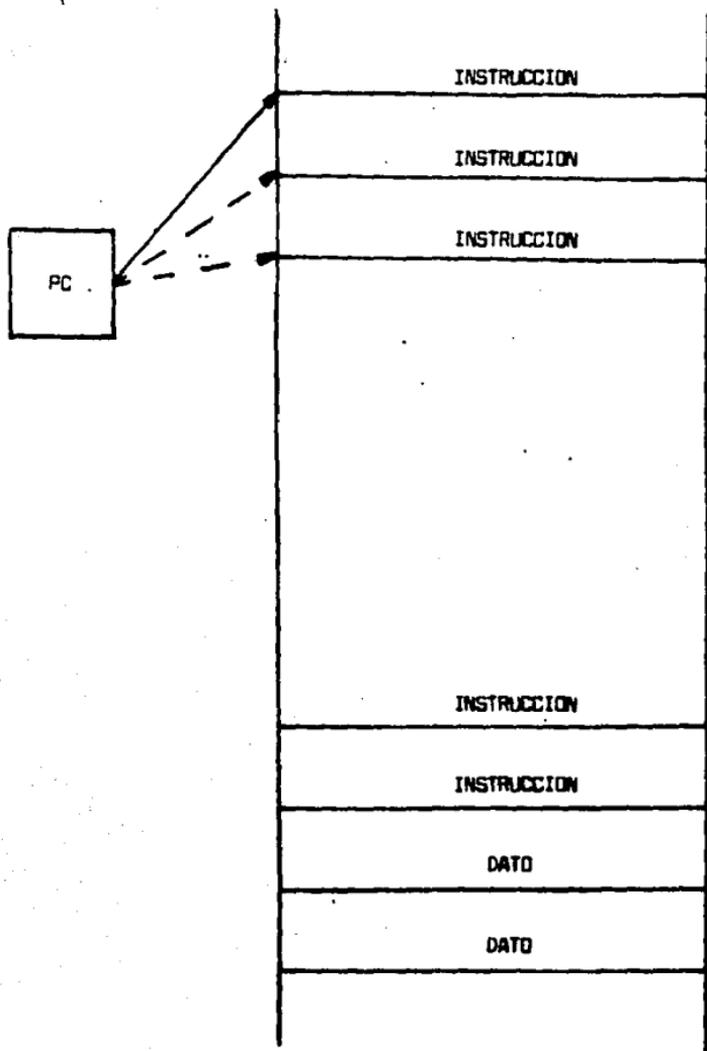


FIGURA # 2-3.1

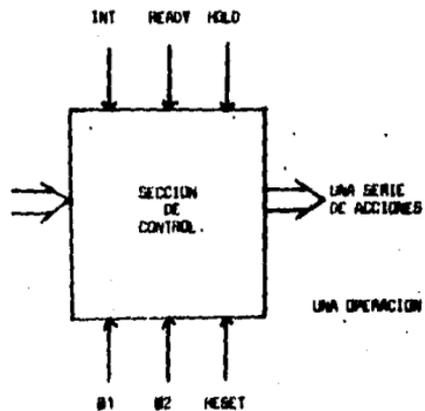
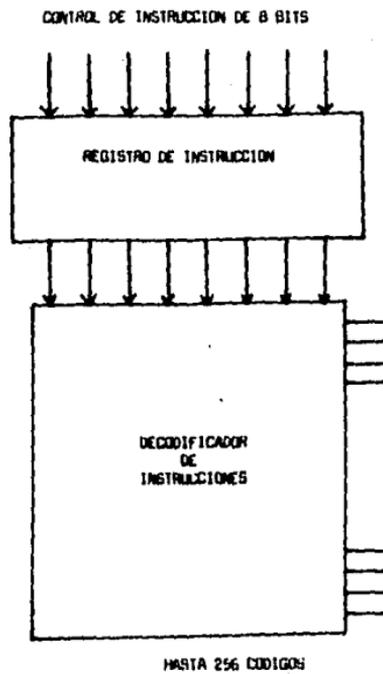


FIGURA N 3-3,1

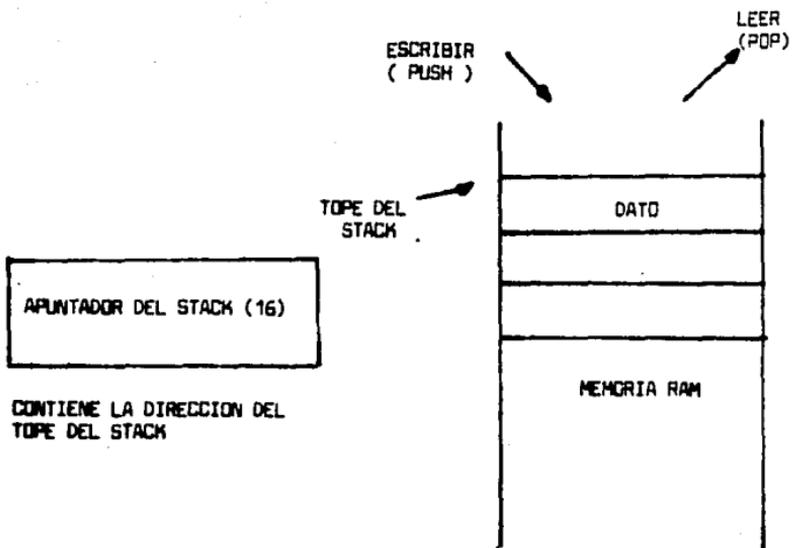


FIGURA # 4-3.1

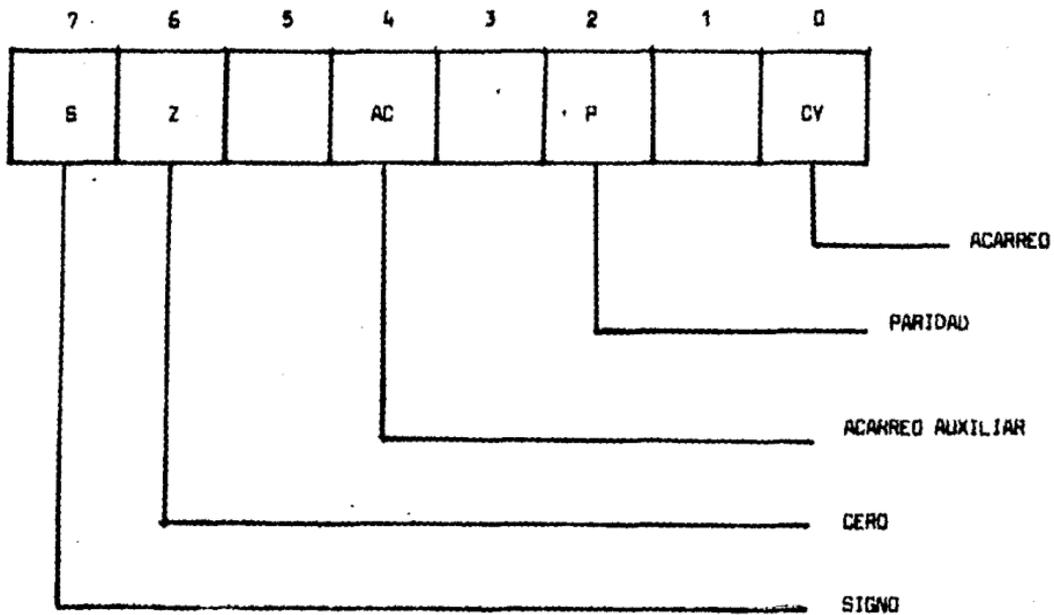


FIGURA # 5-3.1

### 3.2 DESCRIPCION DE LOS INTEGRADOS 8155 Y 8355.

#### - CIRCUITO INTEGRADO 8155:

El 8155 forma parte de la memoria del 8085A facilitando su almacenamiento de programas temporales.

Algunos puntos a tratar son:

- Construcción.
- Definición de las terminales.
- Direccionamiento.
- Sección de entrada/salida.
- Registros de comando.
- Registros de estado.

#### CONSTRUCCION; MEMORIA RAM, TIMER PROGRAMABLE:

El circuito integrado 8155 consiste de 256 bytes (8 bits) de memoria estática leer/escribir (RAM), dos puertos E/S de 8 -- bits, un puerto de E/S de 6 bits y un Timer de 14 bits.

Este circuito es activado cuando su entrada CE toma nivel 0.

El 8155 está implementado en circuitos integrados DIP de 40 - patas terminales utilizando la tecnología MOS.

Requiere de una alimentación de + 5 Volts, todas sus salidas- y entradas son compatibles TTL. La figura # 1-3.2 ilustra la distribución de las patas terminales y las señales, y el diagrama funcional de éste integrado. El 8155 tiene un demultiplexor del bus de dirección/datos y latches internos (ADD-AD7

e  $\overline{IO/\overline{M}}$ ). Los latches almacenan el byte de dirección presente en las líneas ADD-AD7, durante la transmisión alto-bajo de la línea ALE.

Por lo tanto, las líneas ADD-AD7 y ALE se pueden conectar directamente de las líneas del mismo nombre de la 8085A.

La memoria RAM por la cual se puede leer y escribir, lo mismo que los puertos de E/S.

Las líneas  $\overline{IO/\overline{M}}$ ,  $\overline{RN}$  y  $\overline{WR}$  se pueden conectar directamente a -- las líneas de control con el mismo nombre de la 8085A.

El 8155 cuenta con un timer de 16 bits con una salida y con -- una entrada.

#### DEFINICION DE LAS TERMINALES:

- Definición de las señales ADD/AD7/ocho líneas bidireccionales multiplexadas en dirección y datos (3 estados):

Estas líneas se conectan al bus de dirección/datos (ADD- -- AD7) de la 8085A.

- ALE/Control para habilitar los latches, internos de direc-- ción:

Este línea se conecta a la salida ALE de la 8085A y le permite al 8155 reconocer y cargar en sus latches internos de dirección y el byte de menor orden de la dirección que se -- presente en el bus de dirección/datos de la 8085A en el estado T1.

- CE o  $\overline{CE}$ /Habilitar integrado:

Para habilitar el integrado con el nivel lógico 0 ( $\overline{CE}$ ).

-  $\overline{RD}$ /Leer (entrada):

El nivel 0 en esta entrada, y con el integrado habilitado - ( $\overline{CE} = 0$ ), causa que los buffers internos A00-A07 del 8155 - se comporten como salida.

Si la línea  $IO/\overline{M}$  = 0 ó  $IO/\overline{M}$  = 1, el contenido de la localidad de memoria o el puerto de E/S, respectivamente seleccionado por los latches internos de dirección se presenta en - el bus de dirección/datos del sistema a través de los --- buffers.

-  $\overline{WR}$ /Escribir (entrada):

El nivel 0 en esta entrada, y el integrado habilitado ( $\overline{CE} = 1$ ), causa que los buffers internos A00-A07 del 8155 se comporten como entradas.

Si la línea  $IO/\overline{M}$  = 0 ó  $IO/\overline{M}$  = 1 el dato presente en el bus de datos se carga en la memoria o en el puerto de E/S, respectivamente.

-  $IO/\overline{M}$  (entrada):

Si  $IO/\overline{M}$  = 0 selecciona a la memoria RAM y si  $IO/\overline{M}$  = 1 selecciona un puerto de E/S.

- PA0-PA7/Entrada-Salida:

Las ocho líneas del puerto A de E/S de propósitos generales, la dirección de las líneas, se seleccionan programando el - registro de comando.

- PB0-PB7/Entrada-Salida:

Las líneas del puerto B (8 líneas) con las mismas características que el puerto A.

- PC0-PC5/Entrada-Salida:

Las 6 líneas del puerto C, pueden funcionar como puertos de entrada, como puertos de salida, o como líneas de protocolo o control de puertos A y B.

La función se selecciona programando el registro de comando.

- Timer/Entrada:

Entrada al contador.

- Timer/Salida:

Es una salida del timer que puede leer una onda cuadrada o un pulso dependiendo del modo del timer.

- Reset/Entrada:

Se conecta a la salida de el reset out de la 8085A. Un nivel 1 en esta línea "Limpia" el integrado e inicia (programa) a los 3 puertos de E/S en el modo de entrada.

El ancho del pulso en reset debe ser de dos ciclos del reloj de la 8085A.

- Vcc y Vss/Entrada:

Alimentación de + 5 Volts y referencia a tierra respectivamente.

DIRECCIONAMIENTO:

Las líneas A00-A07 y A8-A10 se deben conectar directamente o por medio de los buffers a las líneas del mismo nombre de la 8085A.

La línea A11-A15 se puede decodificar para seleccionar 1 de 32 integrados ( $2^5 = 32$ ), la lógica del decodificador deben se

leccionar al integrado y direccionar una localidad de memoria cuando la 8085A genere una dirección de memoria, y además debe poder seleccionar el integrado y direccionar un puerto de E/S (Con las instrucciones IN y OUT).

El 8155 cuenta con 3 puertos de E/S, un timer con los registros de comando/estado, por lo que requiere de sus direcciones de E/S o códigos de selección.

Para la selección del 8155 no se puede usar las líneas A3-A7 porque están conectadas al 8155 y tampoco las líneas A11-A15, son las únicas que se pueden usar en la decodificación de los códigos de selección. Observar tabla I (capítulo IV).

#### SECCION DE E/S:

La sección de E/S del 8155 consiste de 3 puertos de E/S (2 de 8 bits y uno de 6 bits), un registro de comandos, un registro de estados y un timer de 16 bits (que se maneja como dos registros).

La operación de los puertos y el timer se programa o configura por medio del registro de comando, mientras que el estado de los puertos y el timer se puede conocer leyendo el registro de estados, observar figura # 1-3.2-1.

Durante la transferencia de E/S (la 8085A está ejecutando una instrucción out e in), el 8155 utiliza el valor de las líneas AD0-AD2 para seleccionar los puertos y los registros.

Refiriéndose a la tabla I (capítulo IV) se muestra la relación de los valores de las líneas AD0-AD2 con los puertos y -

Los registros.

Las líneas AD11-Ad15 directamente o por medio de decodificadores se utilizan para habilitar el integrado activando la entrada  $\overline{CE}$  del 8155.

#### REGISTROS DE COMANDO:

El registro de comando consiste de 8 latches que controlan la operación de los 3 puertos de E/S y el timer, observar figura # 2-3.2

El registro de comando se puede cargar en cualquier momento - con una instrucción OUT.

Los bits 0 y 1 del registro de comandos define el modo de los puertos A y B respectivamente, si el bit tiene un valor 0 se define como puerto de entrada y si se tiene el valor 1 se define como puerto de salida.

Los bits 2 y 3 seleccionan una de cuatro posibilidades de configuraciones o alternativas de E/S, ver tabla II (capítulo #-IV).

Los bits 4 y 5 se utilizan para habilitar o deshabilitar las solicitudes de interrupción por el puerto A o por el puerto B respectivamente.

Los bits 6 y 7 se utilizan para darle comando al timer. El valor 00 no afecta la operación del contador.

El valor 01 detiene el conteo si el contador del timer está corriendo. El valor 10 ordena detener el conteo cuando el contador termina el conteo en proceso.

Con el valor 11 existen dos posibilidades, (1) si el contador no está corriendo, carga al timer y al contador operando inmediatamente, (2) si el contador está corriendo carga al timer, y cuando se termina el conteo en proceso, inicia un nuevo conteo cargando una copia del contenido del timer en el contador.

#### REGISTROS DE ESTADO:

El registro de estado consiste de 7 latches que registran información acerca del "ESTADO" de los dos puertos A y B y del timer. La 8085A puede leer el contenido de este registro pero no puede escribir en él. La figura # 3-3.2 muestra la asignación de los bits.

El bit 0 toma nivel 1 cuando el puerto A tiene un dato para el exterior o recibió un dato del exterior para la UCP.

El bit 0 toma nivel 0 cuando el 8155 recibe un pulso negativo en la entrada a  $\overline{STB}$  cuando el puerto C está programando en los modos ALT3 o ALT4.

El bit 1 indica si el contenido del puerto A ya se leyó por la 8085A o por el exterior. Si no se ha leído el puerto A, bit 1 = 1 y si ya se leyó, bit 1 = 0. Cuando el puerto A se carga el bit 1 toma el nivel 1 y el nivel 0 cuando se lee.

El bit 2 indica si el puerto A está o no habilitado para efectuar una solicitud de interrupción en el momento que se carga con un dato.

Los bits 3, 4 y 5 indican las mismas funciones que los bits 0, 1 y 2 respectivamente, pero para el puerto B el bit 6, to-

ma nivel 1 cuando el contador termina su conteo y toma nivel-  
0 en el momento de leer, el registro de estado o cuando se ac-  
tiva la entrada reset del 8155.

- CIRCUITO INTEGRADO 8355.

A continuación hablaremos acerca del circuito integrado 8355: los puntos a tratar son:

- Memoria ROM 8355.
- Descripción funcional.
- Definición de las terminales.
- Direccionamiento.

MEMORIA ROM 8355:

De una memoria sólo para leer (ROM) de 2048 palabras de 8 bits, o sea 2 Kbytes y de dos puertos de entrada y salida de 8 bits está constituido el 8355.

Su memoria puede ser programada sólo una vez.

La figura "D" ilustra el diagrama de bloques y la configuración de las patas terminales del 8355.

Requiere de una alimentación de +5 Volts, todas sus salidas y entradas son compatibles TTL.

Es un circuito integrado de 40 patas terminales DIP. Su tiempo de acceso máximo es de 400 nanosegundos, este tiempo de acceso se define como el tiempo que una memoria requiere, a partir de la recepción de una dirección estable, hasta que en el bus de datos se presente el dato de la localidad direccionada o hasta que se encuentre listo para recibir un dato.

## DESCRIPCION FUNCIONAL:

El 8355 puede ser conectado directamente a la 8085A.

El bus ADD-AD7 es multiplexado por medio de los latches internos y utiliza la señal ALE para su sincronización.

La memoria ROM está direccionada por 11 bits (ADD-AD7 y A8-A10) y los puertos por 2 bits (AD)-AD1).

En los circuitos latches internos del 8355 y mediante la transición alto-bajo de la señal ALE, el valor de las líneas ADD-AD7, A8-A10, CE,  $\overline{CE}$  e  $IO/\overline{M}$  son cargadas.

Si las líneas CE y  $\overline{CE}$  están activas e  $IO/\overline{M} = 0$  cuando la línea  $\overline{RD}$  toma nivel 0, el contenido de la localidad de memoria direccionada por los latches de dirección se envían a través de los buffers de salida ADD-AD7.

## DEFINICION DE LAS TERMINALES:

### A) ALE/Entrada de habilitar latch de dirección:

Los latches internos con la transmisión alto-bajo de la línea ALE cargan a las líneas ADD-AD7, A8-A10,  $IO/\overline{M}$ , CE y  $\overline{CE}$ .

### B) ADD-AD7/Bus Bidireccional de Dirección/Datos:

Cuando la línea ALE tiene nivel 1, los 8 bits de menor orden de una dirección de memoria o la dirección de un puerto de E/S, se encuentran en estas 8 líneas.

El puerto A o el puerto E son seleccionados en base al valor de la línea AD (ver tabla E), durante un ciclo de E/S,

cargando en el latch de dirección con la transición alto--bajo de la línea ALE.

Si las líneas  $\overline{RD} = 0$  ó  $IOR = 0$  cuando el valor cargado de las líneas  $CE$  y  $\overline{CE}$  son 1 y 0 respectivamente los buffers de salida presentarán un dato en el bus ADD-AD7 del sistema.

El dato contenido en el bus ADD-AD7 será tomado por los -- buffers de entrada en cuanto la línea  $\overline{IOW}$  sea = 0.

C) AB-A10/Entrada:

En estas líneas se encuentran los bits de mayor orden de una dirección ROM y no afectan a las operaciones de E/S.

D)  $CE-\overline{CE}$ /Entradas de habilitar integrado.

$CE$  es activo alto y  $\overline{CE}$  activo bajo, para que el 8355 pueda ser accedido las dos entradas deben estar activas, en el caso de que una de ellas no esté activa las líneas ADD-AD7 y READY se ponen en el estado de alto impedancia.

E)  $IO/\overline{M}$ /Entrada:

El dato es proporcionado por un puerto (dato de salida) de E/S o una localidad de memoria, si el valor cargado en la entrada es  $IO/\overline{M} = 1$  ó  $IO/\overline{M} = 0$  y  $\overline{RD} = 0$ .

F)  $\overline{RD}$ /Entrada:

Una localidad de memoria o un puerto de E/S proporcionan el dato de salida hacia la 8085A, cuando los buffers de salida ADD-AD7 se habilitan debido a que  $CE = 1$  y  $\overline{CE} = 0$  y  $\overline{RD}$  pasa a nivel 0.

Ahora si  $\overline{RD} = \overline{IOR} = 1$  los buffers de salida toman el tercer estado, (observar figura # 4-3.2).

G) IOW/Entrada:

La habilitación de los buffer de entrada, y un puerto de salida o un registro DDR, seleccionado por el valor en los latches internos ADD y AD1 se cargue (escriba) con el dato presente en el bus ADD-AD7, son causas de que el circuito se encuentre habilitado y la entrada  $\overline{IOW} = 0$ .

H) CLK/Entrada:

Se utiliza para forzar a la salida READY el tercer estado-después de que ha sido forzado el nivel bajo cuando  $CE = 1$ ,  $\overline{CE} = 0$  y  $ALE = 1$ .

I) READY/Salida (De 3 estados):

Controlada por CE,  $\overline{CE}$ , ALE y READY toma nivel 0 cuando el integrado esté habilitado y ALE tiene nivel 1.

El READY permanecerá en el nivel 0 hasta la próxima transición bajo-alto de CLK después de que ALE regrese a nivel 0.

J) PA0-PA7-Entrada/Salida:

Son líneas de propósito general del puerto A, sus direcciones se determinan en el registro DDR A.

Cuando el latch ADD de dirección tiene nivel 0  $\overline{IOW} = 0$  y el integrado está habilitado causando así que el puerto A se cargue.

Ahora cuando el integrado se encuentra habilitado,  $\overline{IOR} = 0$  y el latch ADD = 0, o cuando  $\overline{RD} = 0$ ,  $IO/\overline{M} = 1$ , y el latch ADD = 0 y por supuesto el integrado se encuentra habilitado, el contenido del puerto A se puede leer (Tabla "E").

K) PB0-PB7/Entrada/Salida:

Las líneas de propósito general del puerto B presentan las

mismas características que las líneas del puerto A pero -- sus direcciones las proporcionan el registro DDR B y el -- latch ADD debe tener nivel 1 (Tabla "E").

L) RESET/Entrada:

El modo de entrada, tomado por todas las líneas de los --- puertos A y B, es causado por un nivel 1 en la entrada del reset.

M)  $\overline{IOR}$ /Entrada:

El contenido del puerto o registro DDR seleccionado por el valor de los latches internos ADD y AD1, es enviado (leer) al ADD-AD7, lo anterior es el resultado de que;  $\overline{IOR} = 0$  y el integrado se encuentre habilitado. El estado de  $IO/\overline{M}$  no influye.

El nivel 0 en IOR realiza la misma función que  $IO/\overline{M} = 1$  y  $\overline{RD} = 0$ , cuando  $\overline{IOR}$  no se usa en el sistema se debe conectar a Vcc.

Vcc y Vss/ Alimentación:

de = 5 Volts y referencia a tierra respectivamente.

DIRECCIONAMIENTO:

Directamente o por medio de los buffers las líneas ADD-AD7 y AB-A10 se deben conectar a las líneas del mismo nombre de la 8085A.

Debe recordar que no se requieren latches externos para las líneas ADD-AD7.

Cuando la 8085A genere una dirección de memoria la lógica del

decodificador debe seleccionar al integrado (activar  $\overline{CE}$  o CE). De igual forma la lógica del decodificador debe seleccionar - al integrado con las instrucciones IN y OUT, cuando la 8085A genere un código de selección de puertos de E/S.

Durante una instrucción de E/S la 8085A envía los 3 bits del número del puerto o código de selección del puerto involucrado, tanto por las líneas A00-A07 como por las líneas A8-A15. El 8355 requiere de 4 direcciones de entrada/salida o código de selección, las cuales se pueden generar con las líneas A00 -A01 ó A8-A9. Lo anterior es debido a que el 8355 cuenta con dos puertos y dos registros DDR.



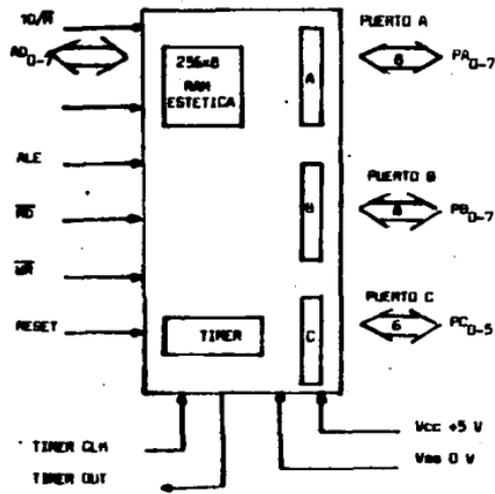


FIGURA # 1-3.2-1

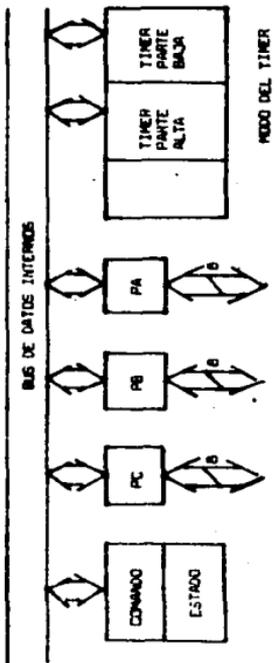


FIGURA # 1-3.2

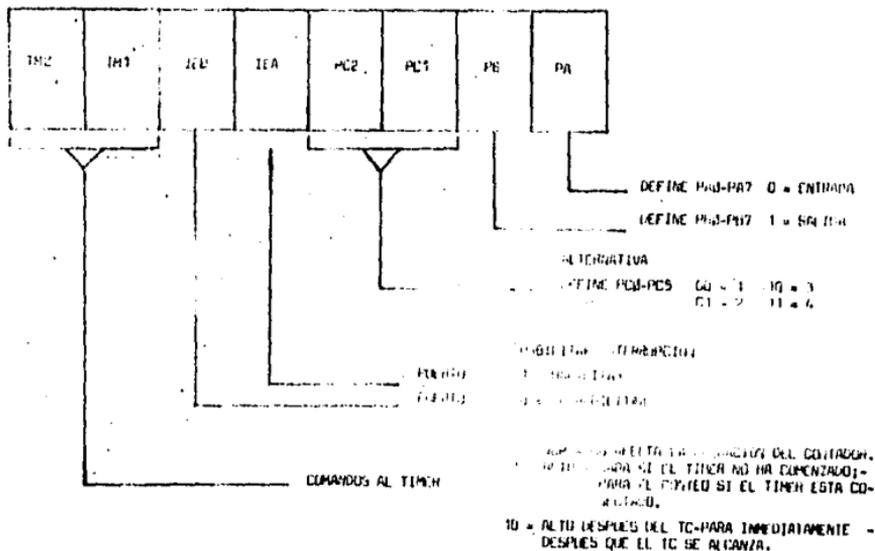


FIGURA # 2-3,2

- 10 = ALTO DESPUES DEL TC-PARA INMEDIATAMENTE -  
 DESPUES QUE EL TC SE ALCANZA.
- 11 = INICIA-CANSA EL MODO Y LA LONGITUD DEL CON-  
 TADOR E INICIA DESPUES DE CANTADO, SI EL -  
 TIMER ESTA CONTANDO INICIA EL NUEVO MODO Y  
 LA LONGITUD DEL CONTADOR DESPUES QUE EL -  
 TC ACTIVA SE ALCANZA.

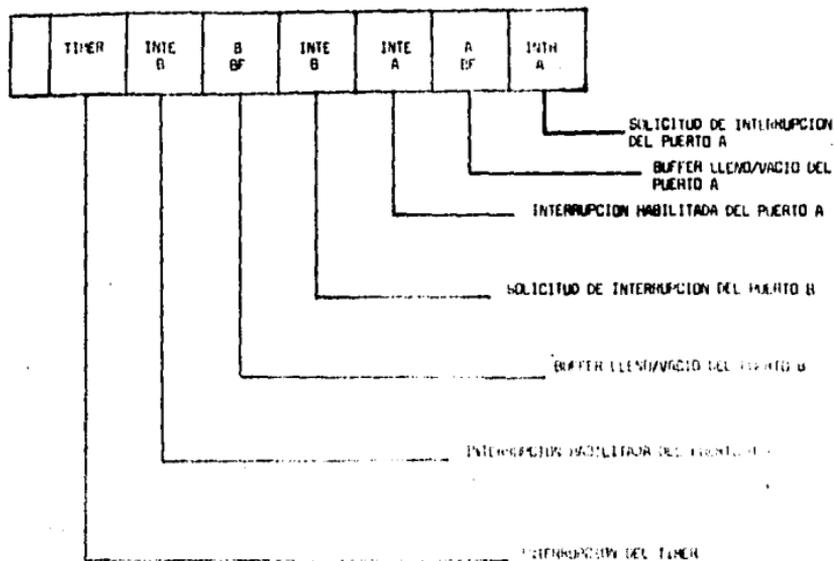
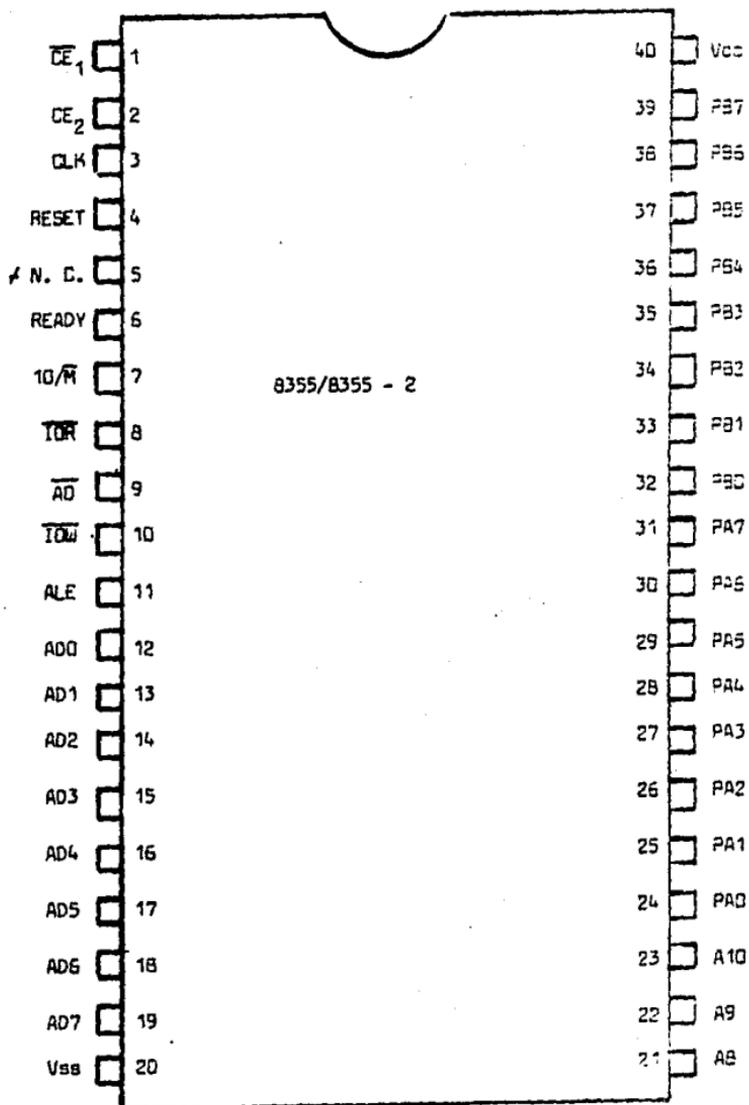
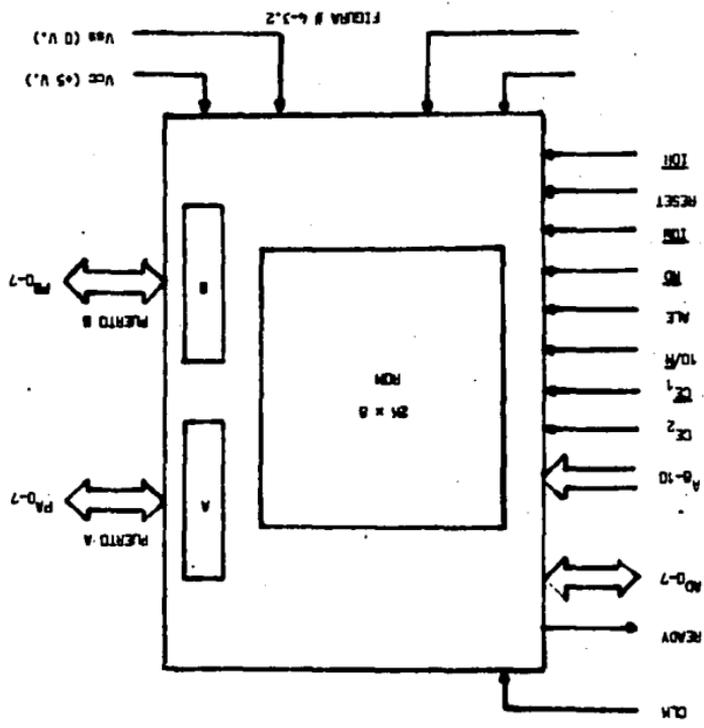


FIGURA 2.10.2



NO CONECTADO

FIGURA # 4-3.2



### 3.3 DESCRIPCION FUNCIONAL DEL MICROCOMPUTADOR SDK85 INTEL.

#### INTRODUCCION:

La figura # 5-3.3. es un diagrama funcional a nivel bloques - del SDK85. Los componentes que se encuentran encerrados en - rectángulos punteados, son aquellos que tienen espacio en la - tablilla de circuito impreso del SDK85, pero éstos no son muy necesarios para el sistema mínimo. Además algunas líneas de control se han omitido del diagrama de bloques para su simpli - ficación.

A continuación se describen los elementos del sistema.

#### A) COMPONENTES DEL SISTEMA:

- La CPU 8085 y los canales del sistema:

En el diagrama de bloques (figura # 5-3.3) del SDK85 se -- puede apreciar las direcciones de las entradas de tiempo- son directamente del cristal, además la 8085 maneja el sig - tema con señales de control disponible en el chip.

La 8085 multiplexa su canal de datos con los 8 bits menos- significativos de su canal de dirección.

El 8155 y el 8355/8755 (memoria y puertos paralelos) están diseñados para ser compatibles con la estructura de esta - canal.

La 8085 tiene 4 vectores de entrada de interrupción dispo-

nibles, además del interruptor normal tipo 8080A.

Se cuenta también con un par de líneas para entrada y salida en serie, que se ejercitan bajo el control del programa, para suministrarle al 8085 una entrada/salida simple de teletipo.

La frecuencia básica del reloj de el 8085 en el KIT es de 3.072 MHZ (internamente dividido por dos de 6.144 MHZ).

- 8155:

Es un circuito integrado para ser compatible con la estructura del canal del 8085. Contiene 256 bytes de memoria estática (RAM), 22 líneas programables de entrada/salida y un contador timer de 14 bits.

En el 8085 se incluye un lugar para expansión de un 8155 (existente en la tablilla).

La memoria RAM del 8155 está disponible para almacenamiento de programas del usuario, así como para el almacenamiento temporal de información necesaria para los programas del sistema.

- 8355/8755:

El 8355/8755 son dos circuitos integrados más, diseñados especialmente para la compatibilidad con el 8085.

El 8355 contiene 2048 bytes de programación de "SOLO LEER-MEMORIA" (ROM) y 16 líneas de entrada/salida. El 8755 tiene la misma distribución y función que el 8355, pero contiene una memoria "SOLO LEER MEMORIA" (EPROM) pero ésta puede ser borrada por medio de luz ultravioleta y ser reprogramada nuevamente.

El SDK85 contiene ya sea un 8355 o un 8755, que contiene - el monitor del sistema. Además se tiene espacio en la tarjeta de circuito impreso para la adición de un segundo --- 8355 ó 8755.

- 8279:

Es un circuito controlador del teclado/display y maneja la interfase entre el 8085, las teclas y el display del diodo emisor de luz (LED) del tablero SDK85.

El 8279 renueva el display desde una memoria interna, mientras recorre el teclado para descubrir la entrada de una nueva tecla.

- 8205:

La configuración básica del SDK85, también contiene un circuito integrado 8205 (1 entrada a 8 decodificadores), que decodifican los bits de direccionamiento de memoria de la 8085 para proveer señales de habilitamiento para los circuitos integrados; 8155, 8355/8755 y 8279.

## B) DIRECCIONAMIENTO DE MEMORIA DEL SDK85.

Cada integrado de memoria entrada/salida en el sistema básico del SDK85 de la figura # 5-3.3 es habilitado por una señal -- proveniente del decodificador de direcciones (8205).

En la tabla "F" se enlistan las salidas de cada uno de los integrados, acompañados por el espacio de direccionamiento sobre el cual, éstos son activados y seleccionados.

Note que el 8279 es en realidad un dispositivo de entrada/sa

lida con el que se comunica, por medio del 8085, como si fuera una serie de localidades de la memoria.

La tabla de habilitación anteriormente mostrada (tabla "F") - puede ser ampliada, para formar un mapa de memoria que ilustra las porciones activas de la memoria del 8085, observar - figura # 6-3.3.

Usando la terminología de la figura # 6-3.3 el 8085 básico, - sin circuitos integrados adicionales de memoria, entrada/salida, suministra los bloques de memoria marcados como monitor - ROM y RAM básica.

Se deben limitar (el usuario) los programas, al espacio disponible dentro de la memoria RAM básica, debido a que el resto de la memoria RAM básica, lo necesita el sistema operativo - una lista de la reserva del monitor de las localidades RAM es mostrada en la tabla "G".

Notese que las localidades de memoria RAM desde 2002 hasta 20DD son lugares para instrucciones de brinco (JMP) del apuntador de instrucciones a los sitios de la memoria, para que el computador vaya después de una instrucción RST 5, RST 6, y -- una señal de interrupción en la entrada RST 6.5.

Si ninguna de estas instrucciones líneas de interrupción son utilizadas entonces estas áreas de RAM está disponible para - otros programas.

Cuando se agrega una expansión del 8155 en el espacio provisto en la tarjeta 8085, las localidades RAM mostradas en la - figura # 6-3.3 como expansión de memoria RAM estarán disponibles para programar.

El monitor no utiliza espacio en la expansión de RAM, así que todas las 256 localidades están disponibles para programar. Cuando se conectan dispositivos extras 8355 ó 8755, en su base reservada en la tarjeta del SDK85, es llamada en el mapa de memoria como "EXPANSION DE MEMORIA RAM".

Cualquier área marcada como abierta en la figura # 6-3.3 es para libre expansión. Es posible montar circuitos integrados de memoria extra en el área de alambrado en la tarjeta del SDK85 o en otras tarjetas similares o equivalentes.

El decodificador de direccionamiento (8205) tiene 3 líneas de selección de integrados libres, permitiendo la adición de 3 bloques de memoria de 2048 bytes sin la necesidad de circuitos decodificadores extras.

Si se quiere expandir el sistema básico SDK85; no es necesario introducir un canal multiplexor MCS 85 de memoria/entrada/salida.

#### C) DISPOSITIVOS DE DIRECCIONAMIENTO DE PUERTOS DE ENTRADA/SALIDA Y PERIFERICOS.

Como mencionamos antes el 8155 y el 8355/8755, que vienen con el KIT SDK85, tienen puertos de entrada/salida.

Estos puertos son accedidos usando las instrucciones IN y OUT del 8085.

Cada puerto individual tiene un direccionamiento único de 8 bits.

La tabla "H" contiene todas las direcciones o direccionamien-

tos de puertos para expansión del SDK85, conteniendo; 2-8155- y 2-8355/8755.

- ACCESAMIENTO DEL CONTADOR DEL TECLADO/DISPLAY 8279:

Como fue mencionado en la sección de direccionamiento de memoria, el 8279 es un circuito integrado periférico que es seleccionado por el mapeo de memoria entrada/salida. La tabla "I" muestra dos localidades de memoria que son usadas para comunicarse con el 8279.

D) DISTRIBUCION DEL PROCESADOR DE INTERRUPCIONES.

La 8085 tiene 4 pines de entrada formando 4 vectores de interrupción.

El nombre de cada interrupción y su función en la circuitería (HARDWARE) del SDK85, es enlistado en la tabla "J"

E) INTERFASE DE DATOS SERIE:

El SDK85 tiene la capacidad de comunicarse a un teletipo, computadora, etc. usando las líneas de datos de entrada y salida serie, para mandar y recibir conjuntamente bits en serie, encódigo de caracteres de datos.

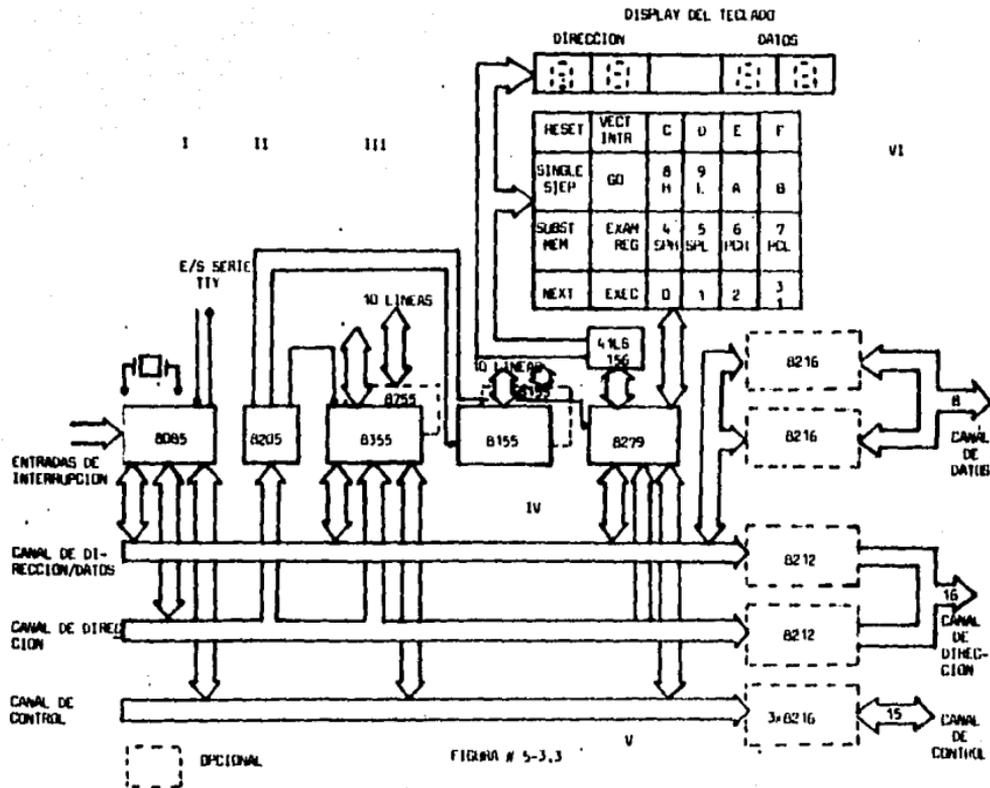
En la transmisión la 8085 debe mandar por un puerto de salida serie, una señal SET/RESET controlada por las rutinas de tiempos de la programación (SOFTWARE) en el monitor del SDK85.

La entrada de datos es obtenida por el monitor y cambios de tiempo, en el nivel SID (entrada de datos en serie).

Nuevamente la rutina del monitor es llamada para ejecutar el trabajo.

Ambas subrutinas de comunicación al rango de datos, son transmitidas a un estandar de 110 Bauds (1 BAUD = 1 BIT/SEG).

En el diagrama # 7-3.3 se muestra el SOK85 con sus conexiones.



NOTACIONES DE LA FIGURA "F"

- I CPU
- II DECODIFICADOR DE DIRECCIONES.
- III (8355) ROM/10  
(8755) EPROM/10
- IV CONTADOR /RAM/10
- V DISPLAY DEL TECLADO.
- VI CANAL PARA EXPANSION.

"ASIGNACION DE LOS PUERTOS Y REGISTROS DDR"

SELECCION	AD1	ADD
PUERTO A	0	0
PUERTO B	0	1
DDR DEL PUERTO A - DDR A	1	0
DDR DEL PUERTO B - DDR B	1	1

TABLA "E"

SALIDA	RANGO DE ACTIVIDAD DE DIRECCION	DISPOSITIVOS DE SELECCION
CS0	0000-07FF	8755/8355 ROM (A14)
CS1	0800-0FFF	8755/8355 ROM (A15) EXPANSION.
CS2	1000-17FF	N/C
CS3	1800-1FFF	8279 CONTROLADOR DE TECLA DO/DISPLAY (A13)
CS4	2000-27FF	8155 RAM BASICA (A16)
CS5	2800-2FFF	8155 RAM (A17) EXPANSION.
CS6	3000-37FF	N/C
CS7	3800-3FFF	N/C

N/C: NO CONEXION UTILIZADO PARA EXPANSION.

TABLA "F"

FIGURA # 6-3.3

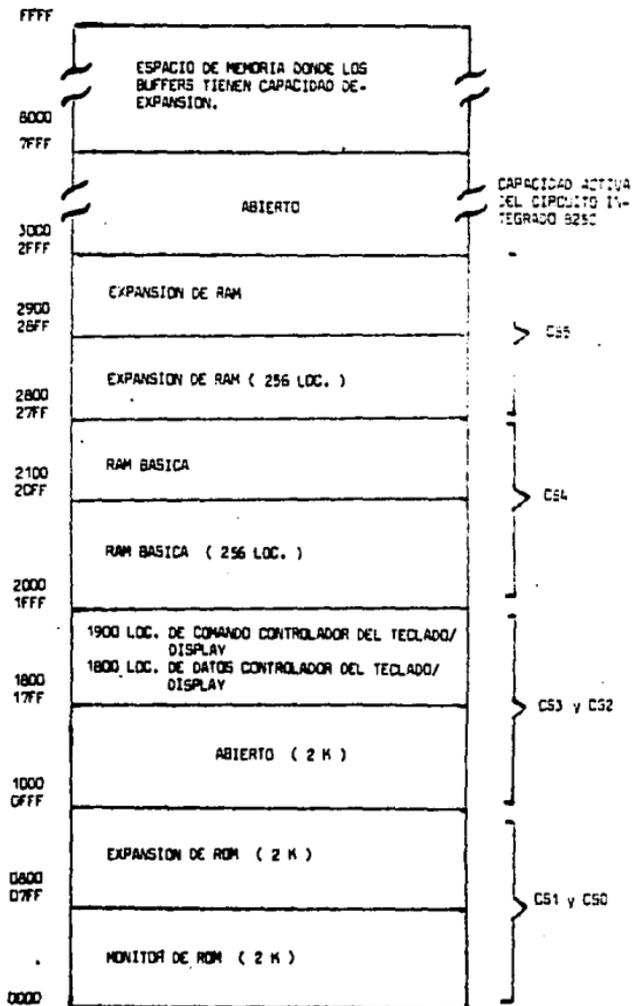


TABLA "G"

LOCALIDADES	CONTENIDOS
20C2	EL USUARIO PODRA COLOCAR INSTRUCCIONES JMP EN LA RUTINA DE LOCALIDADES 20C2-20C4.
20C5	JMP A LA RUTINA RST 6.
20C8	JMP A LA RUTINA RST 6.5.
20CB	JMP A LA RUTINA RST 7.
20CE	JMP A LA RUTINA CLAVE VECT INTR.
20D1-20E8	MONITOR DEL STACK (MEMORIA TEMPORAL USADA POR EL MONITOR).
20E9	REGISTRO E.
20EA	REGISTRO D.
20EB	REGISTRO C.
20EC	REGISTRO B.
20ED	BANDERAS.
20EE	REGISTRO A.
20EF	REGISTRO L.
20F0	REGISTRO H.
20F1	ENMASCARADOR DE INTERRUPTOR.
20F2	CONTADOR DEL PROGRAMA-BYTE BAJO.
20F3	CONTADOR DEL PROGRAMA-BYTE ALTO.
20F4	APUNTADOR DEL STACK-BYTE BAJO.
20F5	APUNTADOR DEL STACK-BYTE ALTO.
20F6	DIRECCION ACTUAL.
20F8	DATOS ACTUALES.

CONTINUACION DE LA TABLA "G"

20F9-20FC	LOCALIDADES TEMPORALES Y BUFFER- DE SALIDA.
20FD	.APUNTADOR DE REGISTRO.
20FE	ENTRADA AL BUFFER.
20FF	REGISTRO DE COMANDO/ENTRADA 8155.

TABLA "H"

PUERTO	FUNCION
00	PUERTO A DEL MONITOR ROM.
01	PUERTO B DEL MONITOR ROM.
02	PUERTO A DEL MONITOR ROM. REGISTRO DE DIRECCION DE DATOS.
03	PUERTO B DEL MONITOR ROM. REGISTRO DE DIRECCION DE DATOS
08	PUERTO A EXPANSION DE ROM.
09	PUERTO B EXPANSION DE ROM.
0A	PUERTO A EXPANSION DE ROM. REGISTRO DE DIRECCION DE DATOS
0B	PUERTO B EXPANSION DE ROM. REGISTRO DE DIRECCION DE DATOS
20	REGISTRO COMANDO/ESTADO DE RAM BASICA.
21	PUERTO A RAM BASICA.
22	PUERTO B RAM BASICA.
23	PUERTO C RAM BASICA.
24	CONTADOR DE TIEMPO PARA LOS BY TES DE BAJO ORDEN RAM BASICA.
25	CONTADOR DE TIEMPO PARA LOS BY TES DE ALTO ORDEN RAM BASICA.
28	EXPANSION DE RAM. REGISTROS DE COMANDO/ESTADO.
29	PUERTO A EXPANSION DE RAM.
2A	PUERTO B EXPANSION DE RAM.
2B	PUERTO C EXPANSION DE RAM.
2C	CONTADOR DE TIEMPO PARA LOS BY TES DE BAJO ORDEN EXPANSION RAM

CONTINUACION DE LA TABLA "H"

2D

CONTADOR DE TIEMPO PARA LOS BY  
TES DE ALTO ORDEN EXPANSION RAM.

LOCALIDAD

LECTURA/ESCRITURA

FUNCION

1800

LECTURA

LECTURA DEL TECLADO  
FIFO

ESCRITURA

DISPLAY PARA LA LEC  
TURA DE DATOS.

1900

LECTURA

ESTADO DE LECTURA -  
DE DATOS.

ESCRITURA

COMANDO DE ESCRITURA  
DE PALABRAS.

TABLA "I"

ENTRADA	FUNCION
RST 5.5	DEDICADO PARA EL 8279.
RST 6.5	INTERRUPCION DISPONIBLE PARA EL USUARIO.
RST 7.5	(VECT INTR) BOTON INTERRUPTOR.
TRAP	INTERRUPTOR DEL TIMER 8155.
INTR	INTERRUPTOR DISPONIBLE PARA EL USUARIO.

TABLA "J"

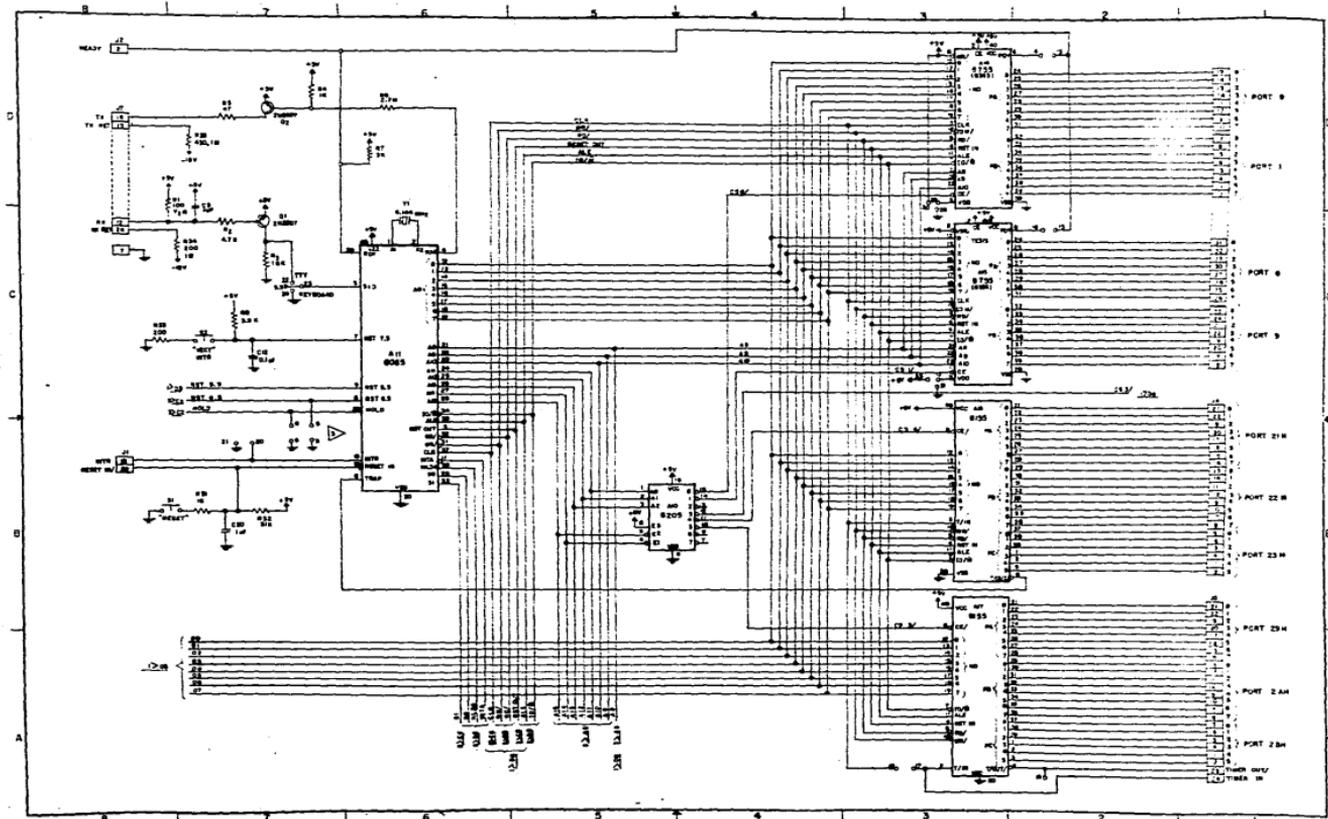


DIAGRAM \* 7-3.3

## DESARROLLO DE LA INTERFASE OSCILOSCOPIO-COMPUTADOR

### 4.1 CONEXION DE PUERTOS DE ENTRADA Y SALIDA PARA LOS CONVERTIDORES Y EL TECLADO.

Para su mejor exposición se hará una descripción de los puertos que conforman a los circuitos integrados 8155 y 8355.

- Puertos A, B y C (8155):

Los puertos A y B se pueden programar como entradas o salidas, pero no se pueden programar individualmente, los bits como entradas y salidas.

Dependiendo como se programe el puerto C, los puertos A y B pueden usar líneas de protocolo e interrupción.

El puerto C se puede programar en una de cuatro funciones alternativas (Tabla II). El puerto C se puede programar como puerto de entrada o salida, ALT1 y ALT2 respectivamente en el registro de comando.

En la configuración ALT3, 3 bits del puerto C quedan como salidas y 3 bits se usan como líneas de protocolo entre el puerto A y el exterior. En la configuración ALT4, 3 bits se utilizan como líneas de protocolo entre el puerto A y líneas de protocolo entre el puerto B y el exterior.

Al momento de programar el puerto C son las configuraciones ALT3 o ALT4, las señales de control para los puertos A y B se inician como se muestre en la Tabla III.

En la figura # 1-4.1 se muestra cómo están estructurados los bits de los puertos A y B en el 8155, aún cuando los puertos de E/S están programados como puertos de salida, el contenido del puerto de salida se puede leer con una instrucción IN.

Los latches de salida se limpian automáticamente cuando el -- puerto se programa como salida.

No se puede escribir o cargar un puerto cuando el puerto está programado como entrada.

Refiriéndose nuevamente a la figura # 1-4.1 se puede observar que en el punto (4) tiene nivel 0 cuando el puerto está en el modo de entrada. El nivel 0 limpia el latch de salida.

Esto da como resultado que cuando el puerto pasa del modo de entrada al de salida, las líneas toman nivel 0.

Cuando se activa la línea de Reset del 8155 se limpian los -- latches de salida y los 3 puertos quedan en el modo de entrada.

La figura # 2-4.1 muestra una configuración de los puertos A, B y C, cuando los puertos A y B se programan como salida y en trada respectivamente usando el puerto C como líneas de protocolo.

- PUERTOS DEL 8355:

Los dos puertos de E/S del 8355 pueden ser programados para que sus 8 líneas se definan en forma particular, como entradas o como salidas.

Lo anterior podemos interpretarlo de la manera siguiente;

3 de sus líneas de un puerto se pueden programar como entradas y las 5 restantes como salidas.

Esta característica permite una gran flexibilidad en el diseño de interfases.

Los valores cargados en los latches internos ADD-AD1, direccionan a la sección de E/S del 8355.

Contiene dos registros de dirección de datos (DDR) para especificar el estadoq entrada o salida de cada pata en el puerto correspondiente.

En la figura # 3-4.1 se ilustran las funciones de los puertos E/S y los registros DDR para el caso del bit 0 del puerto A y del registro DDR A. La misma lógica se aplica para los otros 7 bits, y para los 8 del puerto B y el registro DDR B, se puede ver que un bit con valor 0 en el registro DDR, indica que la línea correspondiente en el puerto está programada en el modo de entrada, el buffer para habilitar la salida está inactivo.

Un bit con valor 1 en el registro DDR indica que la línea correspondiente en el puerto está programado en el modo de salida, mientras el buffer habilitar salida está activo.

Aún cuando los puertos son de salida, sus contenidos pueden -

ser leídos.

El valor leído, es el valor presente en la línea proporcionado, por el latch de salida de la línea.

Es posible programar la dirección de las líneas en forma particular en base al valor cargado en el registro DDR de un --- puerto.

En la Tabla Ø se muestran las asignaciones de los puertos y - registros DDR en base al valor cargado en los latches internos ADD y AD1..

Cuando la 8085A está procesando una instrucción de E/S, la línea  $IO/\overline{M}$  del 8355 tiene nivel 1, lo anterior es necesario para poder tener acceso a los puertos A y B o a los registros - DDR A y DDR B del 8355.

Los registros DDR sólo pueden ser usados en operaciones de salida como para programar la dirección de los puertos.

Mientras que los puertos A y B pueden ser usados para operaciones de entrada y salida de datos.

La 8085A no puede leer (entrada) el contenido de los registros DDR.

La dirección en los latches internos ADD y AD1, cargados previamente con la transición alto-bajo de ALE, se utilizan para la identificación de los puertos y los registros DDR A y B.

Las condiciones siguientes deben ser cumplidas si se desea -- leer el contenido de un puerto de E/S:

✓  $CE = 1$  y  $\overline{CE} = 0$ ; el integrado está habilitado.

✓  $IO/\overline{M} = 1$  y  $\overline{RD} = 0$ .

✦ Cuando el integrado está habilitado y la línea  $\overline{IOR}$  se activa, con nivel 0 sin importar el valor de la línea  $IO/\overline{M}$ .

✦ Cuando la línea  $\overline{IOW}$  se activa y el integrado está habilitado, el dato presente en el bus ADD-AD7 se carga en el puerto de E/S o en el registro DDR seleccionado.

Durante esta operación los bits del puerto de E/S o registro DDR seleccionado son afectados no importando el modo de entrada o salida del puerto y del estado de la línea  $IO/\overline{M}$ .

✦ Para que el dato de salida de un puerto o registro se cargue es necesario que  $\overline{IOW}$  regrese al nivel 1, esto indica que la entrada  $\overline{RD}$  del 8355 se utiliza para designar la operación de "Leer" de memoria o de puertos de E/S, en estos casos la línea  $IO/\overline{M}$  debe tener el valor de 0 ó 1 respectivamente.

✦ La línea  $\overline{WR}$  no se utiliza debido a que en la memoria ROM no se puede escribir.

✦ El 8355 cuenta con la entrada  $\overline{IOW}$ , para cargar los puertos y los registros DDR, además esta entrada puede ser conectada directamente a la línea  $\overline{WR}$  de la 8085A.

✦ La línea  $\overline{IOR}$  desempeña la función de leer puertos, la misma función es realizada cuando  $\overline{RD} = 0$  y  $IO/\overline{M} = 1$ .

En todos estos casos es necesario que el integrado esté habilitado  $\overline{CE} = 1$ ,  $\overline{OE} = 0$ .

## ASIGNACION DE LOS PUERTOS Y REGISTROS DDR

AD1	ADD	SELECCION
0	0	PUERTO A
0	1	PUERTO B
1	0	DDR DEL PUERTO A / DDR A
1	1	DDR DEL PUERTO B / DDR B

TABLA B

· DIRECCIONES DE LOS PUERTOS Y REGISTROS DEL 8155

PUERTOS Y REGISTROS	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
Registros de comando/estados	X	X	X	X	X	0	0	0
Puerto A	X	X	X	X	X	0	0	1
Puerto B	X	X	X	X	X	0	1	0
Puerto C o de control	X	X	X	X	X	0	1	1
8 bits bajos (LSB) del timer	X	X	X	X	X	1	0	0
6 bits altos (MSB) del timer	X	X	X	X	X	1	0	1

TABLA - I

POSIBLES CONFIGURACIONES DEL PUERTO C

FATA	ALT1	ALT2	ALT3	ALT4
PC0	"	" "	A INTR (Int. del puerto A).	A INTR (Int. del puerto A).
PC1	"	" "	A BF (Buffer del pto. A lleno).	A BF (Buffer del pto. A lleno).
PC2	"	" "	A STB (Strobe del puerto A).	A STB (Strobe - del puerto A).
PC3	"	" "	" "	B INTR (Int. del puerto B).
PC4	"	" "	" "	B BF (Buffer del pto. B lleno).
PC5	"	" "	" "	B STB (Strobe - del puerto B).

TABLA - II

ESTADO INICIAL DE LAS LINEAS BF, INTR, STB  
CUANDO EL PUERTO C SE PROGRAMA COMO  
ALT 3 O ALT 4

CONTROL	ENTRADA	SALIDA
BF	0	0
INTR	0	1
<u>STB</u>	CONTROL DE ENTRADA	CONTROL DE ENTRADA

TABLA - III

A continuación se redactará la forma en que se encuentran conectados los puertos de Entrada/Salida en paralelo para los convertidores y el teclado.

#### CONEXION DE LOS PUERTOS PARALELOS A LOS CONVERTIDORES D/A:

La conexión de puertos al osciloscopio se realiza de la siguiente manera.

Considerando que utilizamos un osciloscopio de doble trazo, se tienen 2 entradas (Canal X y Canal Y); además de que es necesario que la señal que reciben estas entradas deben ser analógicas, por otra parte la información que nos entregan los puertos paralelos, (Puerto A Canal X y Canal Y Puerto B), es digital. Es necesario convertir la información paralela a información serie y analógica, esto se logra por medio de los convertidores Digitales/Analógicos 1408.

Una vez obtenida la información en serie, y convertida se conectan las salidas de los convertidores 1408 a los dos canales del osciloscopio.

#### CONEXION DE LOS PUERTOS PARALELOS AL TECLADO:

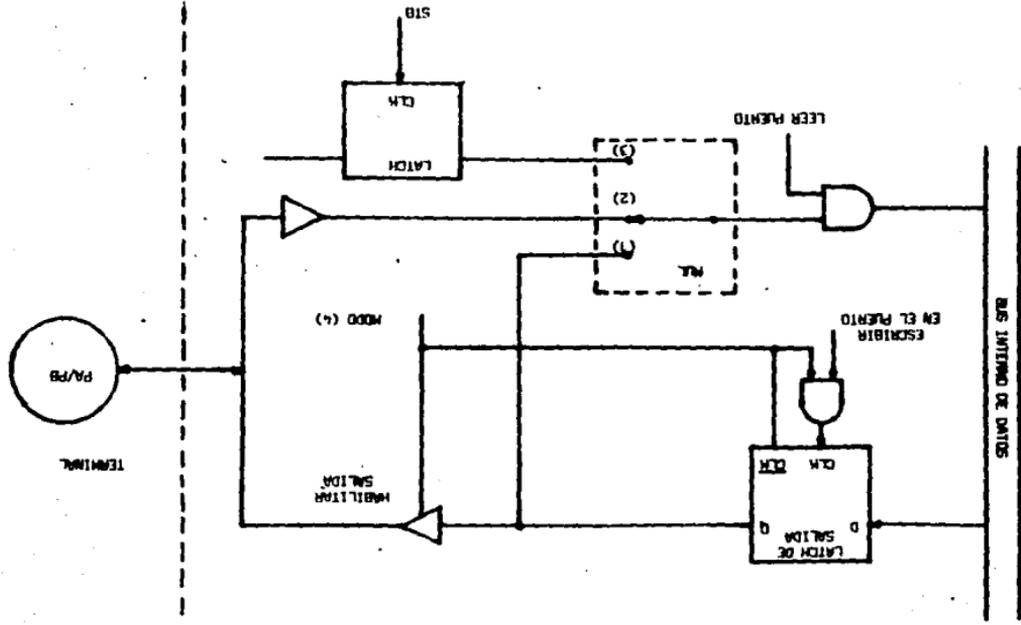
El teclado es conectado a los puertos de Entrada/Salida paralelos de la siguiente forma.

El teclado está constituido de un arreglo matricial para la posición de las teclas, teniendo como consecuencia varias líneas de dicho arreglo, esto nos obliga a conectarlo a puertos

serie. La alimentación que el teclado tendrá es de amplitud-TTL.

En la figura 4-4.1 se muestra el diagrama de conexiones de -- los puertos Entrada/Salida paralelos a los convertidores y el teclado.

FIGURA # 1-4-1



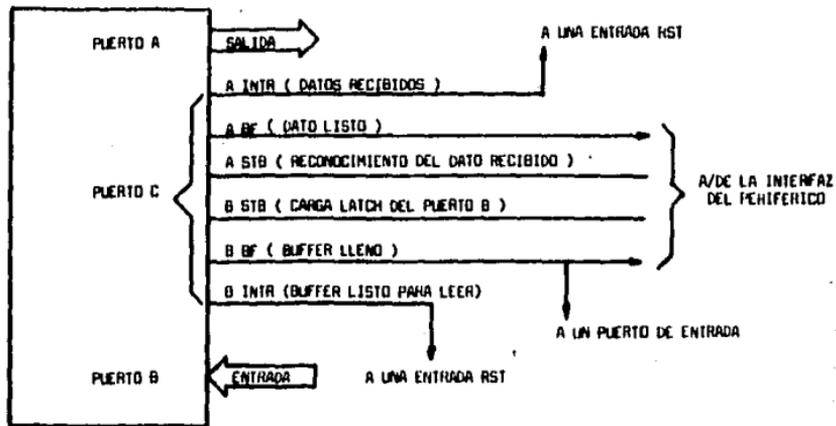
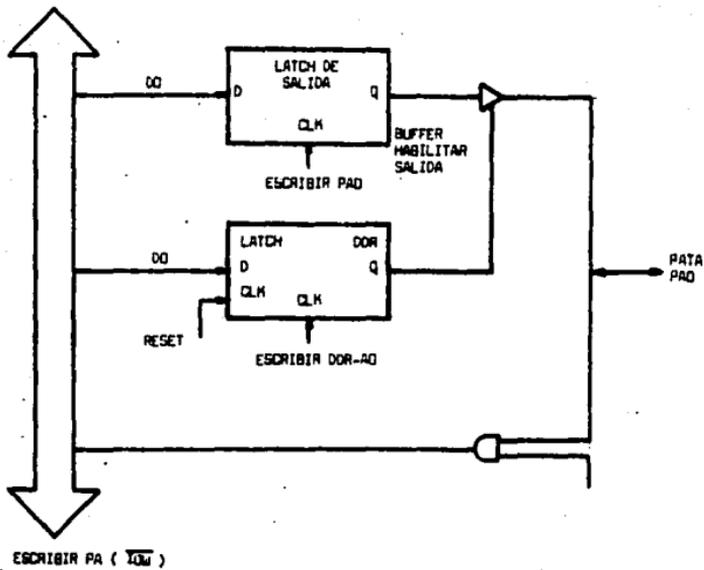


FIGURA # 2-4,1

FIGURA # 3-4.1



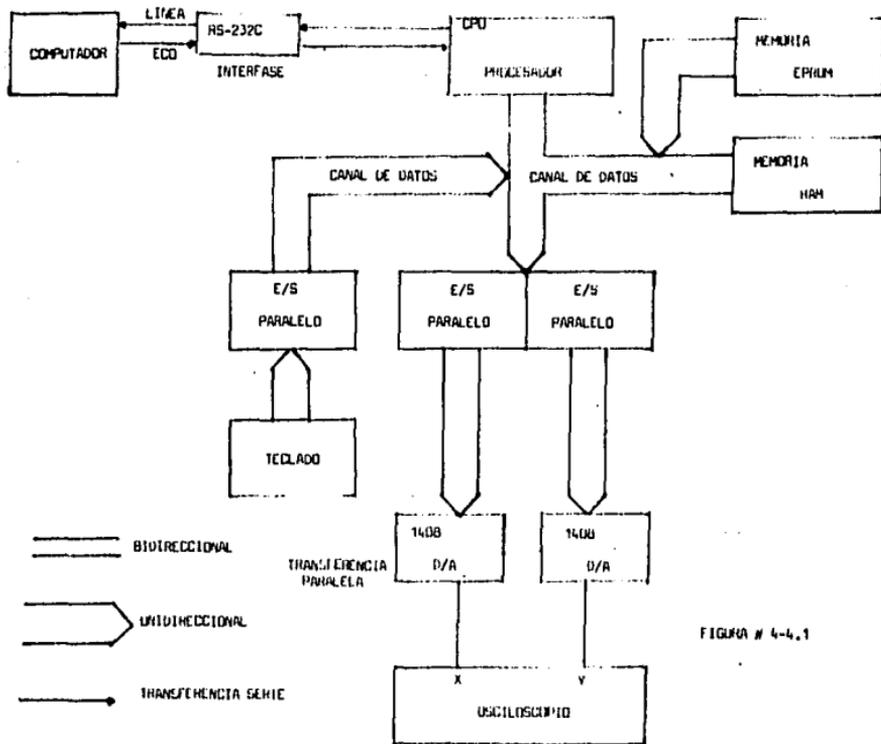


FIGURA # 4-4.1

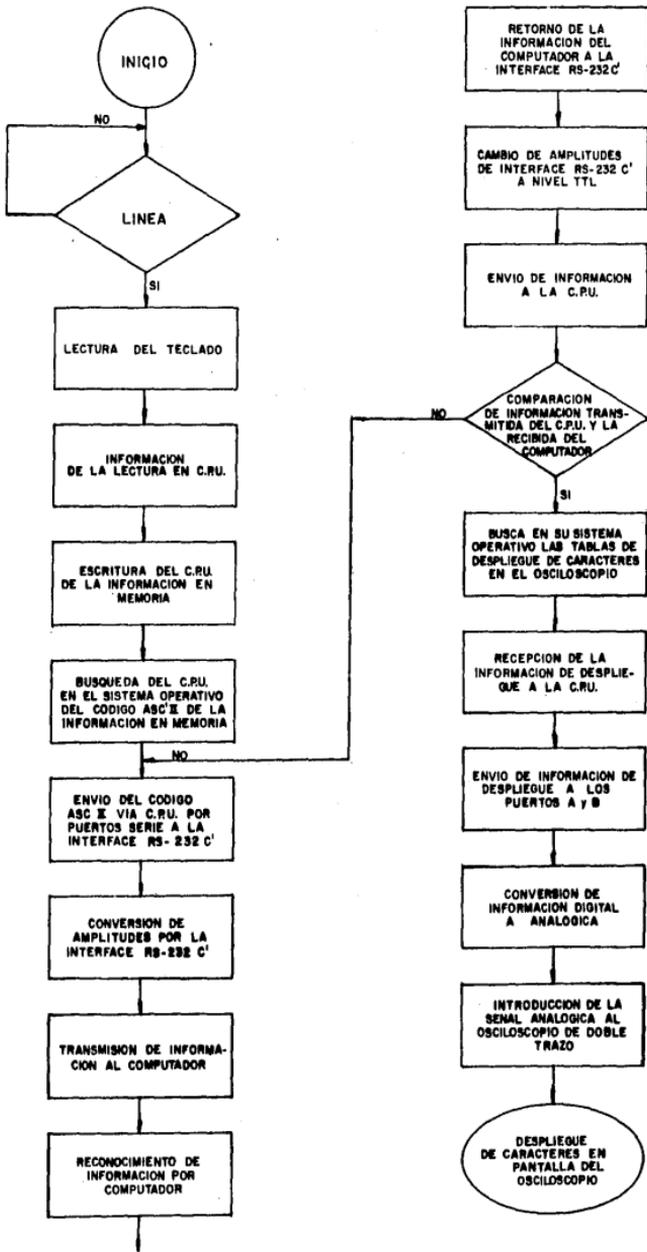
## 4.2 FUNCIONAMIENTO A NIVEL BLOQUES.

A continuación daremos una descripción de cada uno de los bloques que conforman el diagrama de funcionamiento que se muestra.

- 1.- LINEA: La terminal chequea por medio de la línea si el computador al cual está conectada se encuentra encendido. En este caso la terminal manda una señal al osciloscopio, a través de los puertos paralelos y convertidores para avisar que la línea está lista. Si durante el proceso del diagnóstico de línea, se encuentra el computador apagado, la terminal se verá incapacitada para transmitir.
- 2.- Al oprimir una tecla, ésta genera un código al cual contiene su posición en el teclado.
- 3.- La información obtenida del teclado es almacenada en el acumulador de la CPU.
- 4.- La 8085A escribe la información almacenada en el acumulador y lo envía al buffer de la terminal (Memoria RAM).
- 5.- La CPU consulta en tablas de su sistema operativo, (Memoria EPROM) y busca el código ASCII de la tecla pulsada.
- 6.- La memoria EPROM manda a la CPU por medio del canal de datos el código ASCII solicitado. La CPU lo recibe y lo envía a la interfase RS-232C, por medio de su puerto serie, específicamente por su pata terminal SCD (Salida de datos serie).

- 7.- El papel que desempeña la interfase RS-232C es la de convertir la señal TTL de la CPU a señal de  $\pm 12$  Volts.
- 8.- Obtenida la conversión de amplitud de la señal, transita ésta al computador.
- 9.- El computador reconoce el código ASCII enviado por la terminal.
- 10.- El código ASCII reconocido por el computador, retorna a la interfase de la terminal.
- 11.- La interfase de la terminal convierte la señal de  $\pm 12$  Volts a nivel TTL nuevamente.
- 12.- La señal convertida a niveles lógicos es recibida por la CPU, por su pata SID (Entrada de datos en serie).
- 13.- El ASCII que la 8085 recibe del computador es comparada con el ASCII original contenido, en su memoria RAM. Si esta comprobación es verdadera se continua con el procesamiento. Pero si dicha información no llegara a hacer igual, la CPU cambia la velocidad de recepción y --- transmisión o bien vuelve a enviar el mismo ASCII, hasta que el computador contenga el mismo ASCII que el que se encuentra ya en la memoria RAM de la terminal.  
 / Nota: ECO; Es el retorno de la información que recibe la terminal del computador que es idéntica a la que ésta transmitió originalmente. El efecto del eco se encuentra involucrado de los puntos 8, 9, 10, 11 y 12.
- 14.- La CPU consulta nuevamente en las tablas de su sistema operativo, para obtener el código de despliegue del carácter para el canal X y el canal Y del osciloscopio.

- 15.- La memoria EPROM manda a la CPU por medio del canal de - datos el código para el osciloscopio, y la CPU lo recibe.
- 16.- La 8085A envía a los puertos paralelos A y B, el código- del carácter.  
Los puertos transmiten información digital, al puerto A- del canal X y el puerto B del canal Y.
- 17.- Puesto que el osciloscopio acepta solamente señal analó- gica, la información digital tanto del puerto A como del puerto B se conectan a convertidores D/A.
- 18.- Una vez convertidas las señales digitales de ambos puer- tos, se introducen a los canales X y Y del osciloscopio.
- 19.- El osciloscopio despliega a través de su tubo de rayos - catódicos el carácter que recibe en sus canales X y Y.



## SISTEMA OPERATIVO PARA EL MANEJO DEL OSCILOSCOPIO COMO PANTALLA DE VIDEO

### 5.1 DISEÑO DE CARACTERES.

El diseño de caracteres que es almacenado en la memoria del SDK85, es desplegado en la pantalla por el movimiento rápido de los puntos generados con el controlador de pantalla. El movimiento de puntos es tan rápido que el usuario podrá ver el carácter entero.

Los puntos a desplegar en la pantalla tienen sus coordenadas almacenadas en memoria, partiendo de la localidad 2 800.

Las coordenadas en X son almacenadas en las localidades de memoria Par, y las coordenadas en Y son almacenadas en las localidades de memoria Non.

#### DISEÑO DE DESPLIEGUE DEL CARACTER "8085":

El siguiente programa es para el diseño de despliegue del carácter "8085". El dato es almacenado en la memoria del SDK85 como información digital, luego es convertido a información analógica a través de los convertidores Digitales/Analógicos. La posición en donde el dato aparecerá en la pantalla es mostrado en la figura # 1-5.1.

## PROGRAMA # 1

INFORMACION DE MEMORIA			INSTRUCCION		
DIRECCION	DATOS	ETIQUETA	CODIGO DE OPERAC.	OPERANDOS	COMENTARIOS
2010	31		LXI	SP,20CD	Carga de la pila de almacenamiento.
2011	CD				
2012	20				
2013	3E		MVI	A,FF	
2014	FF				Carga de las puertec A(00) y B(01)
2015	03		OUT	#2	Datos
2016	02				Registros de dirección.
2017	03		OUT	#3	
2018	03				
2019	04	Comienzo	INR	B	
201A	21			LXI H,2600	Primer punto de la localidad de datos
201B	00				
201C	28				
201D	7E	Salida	MOI	A.M.	Toma de datos
201E	87			ORA A	Si es 0 empieza nuevamente
201F	CA			JZ Comienzo	
2020	19				
2021	20				
2022	03		OUT	#8	Salida, posición horizontal
2023	00				
2024	23		INX	H	Movimiento de los puntos de memoria.
2025	7E		MOV		Toma la posición vertical
2026	03		OUT	#1	al salir.
2027	01				
2028	23		INX	H	Movimiento de puntos.
2029	C2		JMP	Salida	Despliegue
202A	10				
202B	20				

## PROGRAMA # 1

## INFORMACION DE MEMORIA

DIRECCION	DATO
2803	60
2804	0C
2805	68
2806	14
2807	70
2808	1C
2809	70
280A	24
280B	70
280C	2C
280D	68
280E	2C
280F	60
2810	2C
2811	58
2812	24
2813	50
2814	1C
2815	50
2816	14
2817	50
2818	0C
2819	48
281A	0C
281B	40
281C	0C
281D	38
281E	14
281F	30
2820	1C
2021	30
2822	24
2823	30
2824	2C
2825	38
2826	2C
2827	40
2828	2C
2829	48
282A	3C
282B	70
282C	44
282D	70
282E	54
282F	70

PROGRAMA # 1

2830	54
2831	68
2832	54
2833	60
2834	54
2835	58
2836	54
2837	50
2838	54
2839	48
283A	54
283B	40
283C	54
283D	38
283E	4C
283F	30
2840	44
2841	30
2842	3C
2843	30
2844	34
2845	38
2846	34
2847	40
2848	34
2849	48
284A	34
284B	50
284C	34
284D	58
284E	34
284F	60
2850	34
2851	68
2852	64
2853	70
2854	6C
2855	70
2856	74
2857	70
2858	7C
2859	68
285A	7C
285B	60
285C	7C
287D	58
285E	74
285F	50
2860	6C

5C 58 5C 60 5C 68

## PROGRAMA # 1

2861	50
2862	64
2863	50
2864	5C
2865	48
2866	5C
2867	40
2868	5C
2869	38
286A	64
286B	30
286C	6C
286D	30
286E	74
286F	30
2870	7C
2871	38
2872	7C
2873	40
2874	7C
2875	48
2976	84
2877	38
2878	8C
2879	30
287A	94
287B	30
287C	9C
285D	30
287E	A4
287F	38
2880	A4
2881	40
2882	A4
2883	48
2884	A4
2885	50
2886	9E
2887	56
2888	94
2889	58
288A	8A
288B	56
288C	84
288D	98
288E	84
288F	60
2890	84
2891	68

PROGRAMA # 1

2892	84
2893	70
2894	8C
2895	70
2896	94
2897	70
2898	9C
1899	70
289A	A4
289B	70
289C	00



## 5.2 SISTEMA OPERATIVO.

En esta sección se explicará el funcionamiento de la programación de la terminal; en otras palabras su sistema operativo a nivel bloques.

Observar diagrama # 2-5.2

- 1.- Inicialización de puertos: En esta etapa se preparan los puertos para la salida de información, que fluirá al osciloscopio.
- 2.- Entrada para salvar registros: Esta operación se ejecuta como medida de precaución para salvar los registros de una posible destrucción de información.
- 3.- Envía mensaje de Bienvenida al Osciloscopio: El envío de mensaje de Bienvenida al usuario a través de la pantalla, se hace no sólo como cortesía del MIT al usuario, sino para que éste reconozca que la terminal está lista para funcionar.  
Esto se realiza por medio de un asterisco, una coma, un punto o "x" mensaje.
- 4.- Reconocimiento de caracteres: Cuando se pulsa una tecla, se realiza el reconocimiento del carácter de la tecla oprimida mediante el byte que genere el teclado. Si el reconocimiento es afirmativo, continua ejecutándose el sistema operativo. Si no hubiera reconocimiento de dicho carácter mandará un mensaje de error.

- 5.- Examinar y modificar registros: El reconocimiento del carácter se hace de la siguiente manera; el byte generado por el teclado es examinado en los registros.
- 6.- Ejecutar un programa: Convierte dicho byte, al ejecutarse este programa en código ASCII.
- 7.- Ejecución de instrucción por instrucción: En este punto -- convierte el ASCII en un arreglo para el despliegue de éste.  
  
Este arreglo consiste en transformar el ASCII, en una serie de datos que van a generar (una vez que se analogizan los datos) los puntos en el osciloscopio.
- 8.- Modificar memoria: Una vez hecho el arreglo, éste se ordenará en memoria, clasificándose en información vertical y horizontal.

^ NOTA: Una rutina de utilería puede ser llamada por cualquier de los bloques (4, 5, 6, 7 y 8) para indicar que no es un comando reconocido, o bien que los parámetros del comando están incorrectos.

#### RUTINAS DE UTILERIA.

En ampliación a la nota anteriormente mencionada se describen a grandes rasgos 5 rutinas de utilería.

- A) Limpia de pantalla: Este utilería limpia la pantalla de caracteres.

- E) Limpia de pantalla y terminación de comandos: Esta rutina, ejecuta la terminación normal de comandos de rutina. - Limpia la pantalla para la reorganización de comandos.
- C) Comienzo instantáneo (Cold Start): La inicialización de - éste por medio de procedimientos de comienzo instantáneo.
- D) Contador de programa de despliegue: Este contador despliega, el contador de programa del usuario en la dirección - de campo de la pantalla, con un punto a la derecha del -- mismo campo. El byte de direccionamiento del dato, es -- desplegado por el contador del programa en el campo de da - to de la pantalla.
- E) Sustitución de memoria: Esta rutina sustituye nuevos da-- tos por otros ya existentes en memoria.

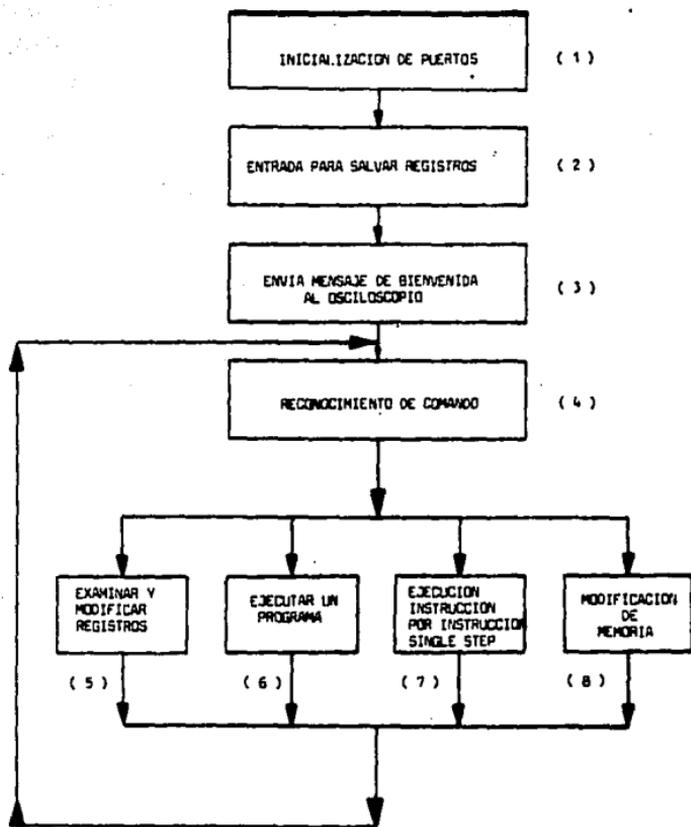


DIAGRAMA # 2-5.2

## GENERACION DE GRAFICAS EN EL OSCILOSCOPIO

### a.1 PROGRAMA PARA GENERAR DIFERENTES TIPOS DE ONDA.

A continuación se enlistarán 6 programas para generar diferentes tipos de onda.

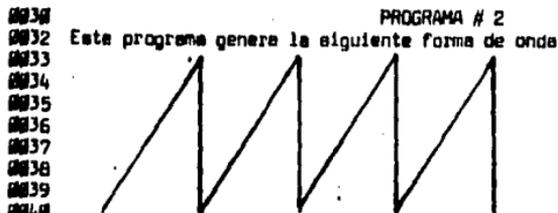
Estos programas además de ser enlistados se ilustra qué tipo de onda es generada por cada programa.

Observar programas 1, 2, 3, 4, 5 y 6.

## PROGRAMA # 1

0000	0001	TITULO	RUTINAS PARA GENERAR FUNCIONES
	0002	ORG	0000H
	0003		
	0004		PROGRAMA # 1
	0005		
	0006	Este programa genera la siguiente forma de onda	
	0007		
	0008		
	0009		
	0010		
	0011		
	0012		
	0013		
	0014		
	0015	Con el siguiente programa	
	0016	Iniciación del puerto en paralelo (8155)	
0000	3E01	LD	A,01H Cargamos el ecc. con el modo de operación del puerto
	0018		de E/S paralelo.
0002	D320	OUT	20H,A Enviamos el modo de operación al puerto.
	0019	Generación de la onda	
0004	3EFF	AAA: LD	A,0FFH Cargamos el ecc. con el valor max. de voltaje.
0006	D321	000: OUT	21H,A Enviamos el dato al puerto A del 8155.
0008	30	DEC	A Decrementamos el valor de voltaje.
0009	FE00	CP	00H Comparamos para ver si ya llegó al valor max. de voltaje negativo.
	0025		
0000	CA0400	JP	Z,AAA Salta a cargar ecc. con valor max. de voltaje, si la bandera de cero está encendida.
	0026		
000C	C30600	JP	000 Salta a enviar el nuevo valor de voltaje al puerto.
	0027		
	0028		

PROGRAMA # 2



```

0041 Con el programa siguiente
0042 Inicialización del puerto en paralelo
0043     LD     H,01H
0044     OUT   20H,A
0045 Generación de la onda
0046 CCC: LD   A,00H
0047 DDD: OUT  21H,A
0048     INC   A
0049     CP   0FFH
0050     JP   Z,CCC
0051
0052     JP   DDD
    
```

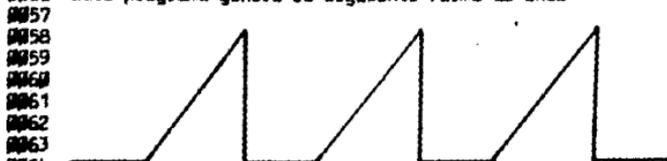
Cargamos el acc. con valor max. de voltaje negativo.  
 Envía el dato al puerto A del 8155  
 Incrementa el valor del voltaje.  
 Pregunte si ya llegó al valor max. de voltaje pos.  
 Brinca a cargar el acc. con valor max. de voltaje  
 negativo.  
 Brinca a enviar el nuevo valor de voltaje.

```

8015 3E00
8017 D321
8019 3C
801A FEFF
801C CA1580
801F C31780
    
```

PROGRAMA # 3

PROGRAMA # 3  
Este programa genera la siguiente forma de onda



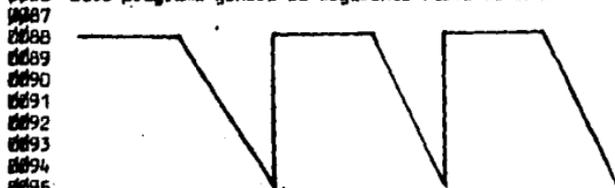
Con el programa siguiente  
Inicialización del puerto

0022 3E01  
0024 D320  
  
0026 3E00  
0028 D321  
002A F5  
002B 110001  
002C CD105  
0031 F1  
  
0032 3C  
0033 D321  
0035 FEFF  
0037 CA2600  
003A C33200

0067 LD A,01H  
0068 OUT 20H,A  
0069 Generación de la onda  
0070 Subrutina que envía voltaje max. negativo por un tiempo determinado  
0071 EEC: LD A,00H Carga el acc. con valor max. de voltaje negativo.  
0072 OUT 21H,A Envía datos al puerto paralelo.  
0073 PUSH AF Salva banderas y valor del acc. en el Stack  
0074 LD DE,0100H Carga D-E con valor de retraso.  
0075 CALL DELAY Llama a la subrutina de retraso.  
0076 POP AF Regresa el valor del acc. y las banderas.  
0077 Subrutina que incrementa el valor de voltaje  
0078 FFF: INC A Incrementa valor de voltaje.  
0079 OUT 21H,A Envía el dato al puerto.  
0080 CP 0FFH Pregunta si ya llegó el valor max. de voltaje pos.  
0081 JP Z,EEE Brinca a enviar valor max. de voltaje negativo.  
0082 JP FFF Va a incrementar valor de voltaje.

PROGRAMA # 4

PROGRAMA # 4  
 Este programa genera la siguiente forma de onda



Con el siguiente programa

0030	3E01	0097	Inicialización del puerto paralelo	
003F	0320	0098	LD	A,01H
		0099	OUT	20H,A
		0100	Subrutina que envía valor max. de voltaje positivo por tiempo determinado	
0041	3EFF	0101	GGG: LD	A,OFFH Carga el acc. con valor max. de voltaje positivo.
0043	0321	0102	OUT	21H,A Envía dato al puerto.
0045	F5	0103	PUSH	AF Salva valor del acc. y banderas en el Stack.
0046	110001	0104	LD	DE,0100H Carga D-E con valor de retraso.
0049	0DF105	0105	CALL	DELAY Llama a la subrutina de retraso.
004C	F1	0106	POP	AF Regresa valor del acc. y banderas del Stack.
		0107	Subrutina que decrementa el valor de voltaje	
004D	3D	0108	H4H: DEC	A Decrementa el valor de voltaje.
004E	0321	0109	OUT	21H,A Envía el dato al puerto.
0050	FE00	0110	CP	00H Preguntar si ya llegó al valor max. de voltaje neg.
0052	CA4100	0111	JP	Z,GGG Ve a cargar el acc. con valor max. de voltaje pos.
0055	C34080	0112	JP	H4H Ve a decrementar el valor de voltaje.

PROGRAMA 5

0116 Programa que genera la siguiente forma de onda



0122 Con el siguiente programa

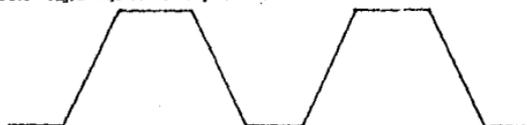
0158	3E01	0124	LD	A,01	
015A	D320	0125	OUT	21H,A	
		0126	Generación de la onda		
		0127	Subrutina que envía valor max. de voltaje negativo		
015C	3E00	0128	III: LD	A,00H	Carga acc. con valor de voltaje max. neg.
015E	D321	0129	OUT	21H,A	Envía el dato al puerto.
0160	F5	0130	PSUH	AF	Salva el acc. y banderas en el Stack.
0161	110001	0131	LD	DE,#100H	Carga D-E con valor de retrezo.
0164	CD0105	0132	CALL	DELAY	Llama subrutina de retrezo.
0167	F1	0133	POP	AF	Regresa valor del acc. y banderas del Stack.
		0134	Subrutina que envía valor max. de voltaje positivo		
0168	3EFF	0135	LD	A,FFH	Carga acc. con valor de voltaje max. pos.
016A	D321	0136	OUT	21H,A	Manda dato al puerto
016C	F5	0137	PSUH	AF	Salva valor del acc. y banderas en el Stack.
016D	116400	0138	LD	DE,#100H	Carga D-E con valor de retrezo.
		0139	CALL	DELAY	Llama subrutina de retrezo.
		0140	POP	AF	Regresa valor del acc. y banderas del Stack.
		0141	JP	III	Ve a cargar acc. con valor max. de voltaje neg.

## PROGRAMA N 6

## PROGRAMA N 6

0143  
 0144  
 0145  
 0146  
 0147  
 0148  
 0149  
 0150  
 0151  
 0152  
 0153

Este Programa genera la siguiente forma de onda



Con el siguiente programa

0077	3C 01	0156	LD	A, 01H	
0079	D320	0157	OUT	210, A	
		0158	Subrutina que envia valor de voltaje max. neg. por un		
007B	3C 00	0159	LD	A, 00H	Carga el acc. con valor de voltaje max. neg.
007D	D321	0160	OUT	210, A	Envia dato al puerto.
007F	F5	0161	PUSH	AF	Salva el acc. y las banderas en el Stack
0080	11 00 01	0162	LD	DL, 0100H	Carga DL con valor de retraso
0083	CAF 105	0163	CALL	DELAY	Llama subrutina de retraso
0086	F1	0164	POP	AF	Regresa valor del acc. y banderas del Stack
		0165	Subrutina que incrementa el valor de voltaje		
0087	3C	0166	INC	A	Incrementa el valor de voltaje
0088	D321	0167	OUT	210, A	Envia el dato al puerto
008A	7FFF	0168	CP	#FFH	Compara para ver si llego a valor max. de voltaje pos.
008C	CA92 00	0169	JN	Z, 111	Ve a enviar valor max. de voltaje positivo.
0087	123 00	0170	JP	00H	Ve a incrementar el valor de voltaje
		0171	Subrutina que envia valor de		
0092	D321	0172	OUT	210, A	Envia dato al puerto
0094	F5	0173	PUSH	AF	Salva el acc. y banderas en el Stack
0095	11 00 01	0174	LD	DL, 0100H	Carga DL con valor de retraso
0098	CAF 105	0175	CALL	DELAY	Llama subrutina de retraso
009A		0176	POP	AF	Regresa valor del acc. y banderas del Stack

889C	3D	8177	Subrutina que decremanta el valor de voltaje		
889D	D321	8178	MMH:	DEC A	Decrementa el valor del voltaje
889F	FE88	8179		OUT 21H,A	Envía el dato al puerto
88A1	CA7D88	8180		CP 88H	Compara para ver si llegó al valor de voltaje neg.
88A4	C39C88	8181		JP Z,JJJ	Ve a enviar el voltaje máximo negativo
		1882		JP MMH	Ve a decrementar valor de voltaje.

## 6.2 PROGRAMAS CON FIGURAS MOVILES.

### - Programa del tanque de guerra:

El siguiente programa, es para el diseño de una figura móvil, escogiéndose el movimiento de un tanque de guerra.

Este programa hará que el tanque cruce la pantalla. El carácter diseñado es almacenado en la memoria del SDK85 y desplegado en la pantalla por un movimiento de puntos, generados por el controlador de pantalla.

El dato diseñado primero aparecerá estacionario y luego de -- una corta pausa se moverá en la pantalla.

Observar figura y programa "A".

### - Programa para el movimiento de letras:

Este programa se basa en la teoría de funcionamiento del ejemplo anterior en cuanto a movilidad se refiere (Programa y figura "A").

El diseño de este programa es para el desplazamiento de las letras "C S U".

Observar figura y programa "B".

### - Programa para el control de velocidad y movimiento de la figura desplegada en la pantalla:

El diseño del carácter a desplegarse por este programa es la-

**ESTA TESIS NO DEBE  
SALIR DE LA BIBLIOTECA**

palabra "BOOM". El diseño es programado, para que al presionar el botón de la pantalla el carácter y controlar la velocidad de éste, según el ajuste de los DIP SWITCHES en el puerto 21. Observar figura y programa "C".

## PROGRAMA "A"

INFORMACION DE MEMORIA		INSTRUCCION			
DIRECCION	DATOS	ETIQUETA	CODIGO DE OPERAC.	OPERANDO	COMENTARIOS
2010	31		LXI	SP,2000	Carga de la pila de almacenamiento.
2011	00				
2012	20				
2013	3C		MVI	A,FF	
2014	FF				Toma de dirección de datos
2015	03		OUT	#2	Registros para los puertos 00 y 01
2016	02				
2017	03		OUT	#3	
2018	03				
2019	04	Comienzo	INR	B	Mov. de contador de puntos
201A	21		LXI	H,2800	Primer punto de la loc. de datos
201B	00				
201C	28				
201D	7E	Salida	MOV	A,M.	Toma de datos
201E	87		DRA	A	-Si el dato es 00, entonces
201F	CA		JZ	Comienzo	reiniciación de la figura.
2020	19				
2021	20				
2022	80		ADD	B	Suma ordinaria de la posición
2023	03		OUT	#0	Posición horizontal de salida
2024	00				
2025	23		INX	H	Punto de la localidad siguiente
2026	7E		MOV	A,M.	Toma y salida de datos en
2027	03		OUT	#1	posición vertical
2028	01				
2029	23		INX	H	Punto de la localidad siguiente
202A	0B		IN	21	Toma de un valor para pausa
202B	21				
202C	57		MOV	D,A.	Pausa antes de desplegar
202D	00		CALL	Delay	Punto siguiente
202E	FI				
202F	05				
2030	C3		JMP	Salida	Continúa el despliegue
2031	10				
2031	20				

## PROGRAMA "A"

## INFORMACION DE MEMORIA

DIRECCION	DATO
2800	6E
2801	6D
2802	6C
2803	6D
2804	6A
2805	6D
2806	68
2807	6D
2808	66
2809	6D
280A	64
280B	6D
280C	6D
280D	6D
280E	5C
280F	62
2810	58
2811	64
2812	54
2813	62
2814	5D
2815	6D
2816	4C
2817	5C
2818	48
2819	5A
281A	44
281B	58
281C	4D
281D	54
281E	44
281F	5D
2820	48
2821	4E
2822	4C
2823	4C
2824	5D
2825	4C
2826	54
2827	4C
2828	58
2829	4C
2830	5C
2831	4C
2832	6D

2833  
2834  
2835  
2836  
2837  
2838  
2839  
283A  
283B  
283C  
283D  
283E  
283F  
2840  
2841  
2842  
2843  
2844  
2845  
2846  
2847  
2848  
2849  
284A  
284B  
284C

4C  
6A  
4C  
68  
4E  
6C  
50  
70  
54  
6C  
58  
68  
5A  
64  
5C  
60  
5C  
5C  
5C  
58  
5C  
54  
5C  
50  
5C  
00

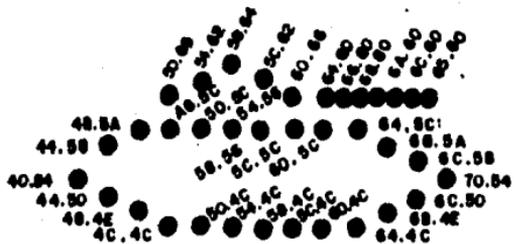


FIGURA "A"

## PROGRAMA "B"

INFORMACION DE MEMORIA		INSTRUCCION			
DIRECCION	DATO	ETIQUETA	CODIGO DE OPERAC.	OPERANDO	COMENTARIOS
2010	31		LXI	SP,2000	Carga de las pilas de almacenamiento
2011	00				
2012	20				
2013	3E		MUI	A,FF	
2014	FF				Tome de decisión de datos
2015	03		OUT	#2	Registros para los puertos 00y 01
2016	02				
2017	03		OUT	#3	
2018	03				
2019	04	Comienzo	INR	8	
201A	21		LXI	H,2800	Primer punto de la localidad de datos
201B	00				
201C	28				
201D	7E	Salida	MOV	A,M,	
201E	97		ORA	A	Tome de dato
201F	CA		JZ	Comienzo	Si el dato es 00 entonces comienzo
2020	19				
2021	20				
2022	03				
2023	00				
2024	23		INX	H	Punto de la localidad siguiente
2025	7E		MOV	A,M,	Tome y salida en posición
2026	03		OUT	#1	vertical
2027	01				
2028	23		INX	H	Punto de la localidad siguiente
2029	08		IN	21	Tome del valor para Delay
202A	21				
202C	57		MOV	D,A,	Pausa antes del despliegue
202D	00		CALL	DELAY	del siguiente punto
202E	F1				
202F	05				
2030	C3		JMP	Salida	Continuación del despliegue
2031	10				
2032	20				

## PROGRAMA "B"

## INFORMACION DE MEMORIA

DIRECCION	DATO
2800	38
2801	70
2802	30
2803	78
2804	28
2805	78
2806	20
2807	78
2808	18
2809	70
280A	18
280B	68
280C	18
280D	60
280E	18
280F	58
2810	18
2811	50
2812	18
2813	48
2814	18
2815	40
2816	18
2817	38
2818	18
2819	30
281A	20
281B	28
281C	28
281D	28
281E	30
281F	28
2820	38
2821	30
2822	48
2823	30
2824	50
2825	28
2826	58
2827	28
2828	60
2829	28
282A	68
282B	30
282C	68

## PROGRAMA "B"

2820	38
282E	68
282F	40
2830	60
2831	48
2832	58
2833	50
2834	58
2835	48
2835	60
2837	48
2838	68
2839	48
283A	70
283B	50
283C	78
283D	58
283E	78
283F	60
2840	78
2841	68
2842	70
2843	78
2844	78
2845	78
2846	70
2847	78
2848	68
2849	78
284A	60
284B	78
284C	58
284D	78
284E	50
284F	78
2850	48
2851	78
2852	40
2853	78
2854	38
2855	78
2856	30
2857	80
2858	28
2859	88
285A	28
285B	90
285C	28
285D	98
285E	30
285F	98
2860	38
2861	98

## PROGRAMA "B"

2862	40
2863	98
2864	48
2865	98
2866	50
2867	98
2868	58
2869	98
286A	60
286B	98
286C	68
286D	98
286E	70
286F	98
2870	78
2871	00

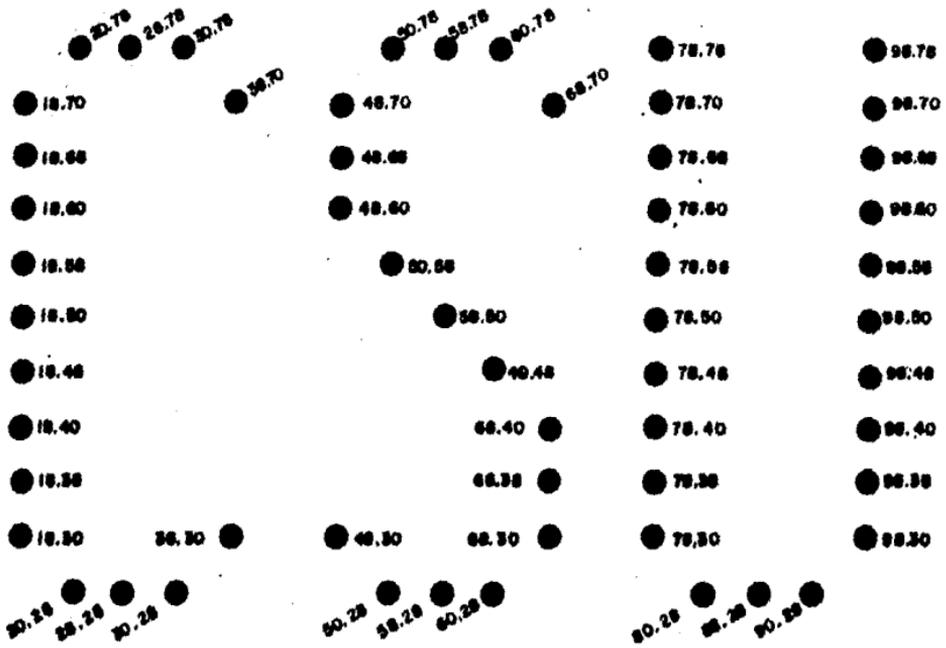


FIGURA "B"

## PROGRAMA "C"

INSTRUCCION MEMORIA		INSTRUCCION			COMENTARIOS
DIRECCION	DATOS	ETIQUETA	CODIGO DE OPERAC.	OPERANDO	
2010	31		LXI	SP,2000	
2011	00				
2012	20				
2013	3C		MVI	A,FF	
2014	FF				
2015	03		OUT	02	Carga de los datos de los puertos A(00) y B(01)
2016	02				
2017	03		OUT	03	Registros de decisión
2018	03				
2019	08	Comienzo	IN	21	Ajuste de la velocidad del objeto tomando el pto. 21
201A	21				
201B	80		ADD	B	
201C	47		MOV	B,A	
201D	21		LXI	H,2850	
201E	50				
201F	28				
2020	7C	Salida	MOV	A,M.	Toma de datos
2021	87		ORA	A	Si el dato es 0 entonces comienza
2022	CA		JZ	Comienzo	
2023	19				
2024	20				
2025	80		ADD	B	Suma ordinaria
2026	03		OUT	00	Salida en posición horizontal
2027	00				
2028	23		INX	H	
2029	7C		MOV	A,M.	Toma y despliegue
202A	03		OUT	01	en posición vertical
202B	01				
202C	23		INX	H	Punto de la siguiente localidad
202D	16		MVI	D,02	
202E	20				Pausa antes del dato siguiente
202F	00		CALL	LC,AY	
2030	F1				
2031	05				
2032	C3		JMP	Salida	Continúa el despliegue
2033	20				
2034	20				

## PROGRAMA "C"

## INFORMACION DE MEMORIA

DIRECCION	DATO
2850	4C
2851	48
2852	4C
2853	4C
2854	4C
2855	50
2856	4C
2857	54
2858	4C
2859	58
285A	50
285B	58
285C	54
285D	58
285E	58
285F	54
2860	54
2861	50
2862	50
2863	50
2864	58
2865	4C
2866	54
2867	48
2868	50
2869	48
286A	5C
286B	4C
286C	5C
286D	50
286E	5C
286F	54
2870	60
2871	58
2872	64
2873	58
2874	68
2875	58
2876	68
2877	50
2878	68
2879	48
287A	64
287B	48
287C	60

## PROGRAMA "C"

287D	48
287E	70
287F	48
2880	6C
2881	4C
2882	6C
2883	50
2884	6C
2885	54
2886	70
2887	58
2888	74
2889	58
288A	78
288B	54
288C	78
288D	50
288E	78
288F	4C
2890	74
2891	48
2892	7C
2893	48
2894	7C
2895	4C
2896	7C
2897	50
2898	7C
2899	54
289A	7C
289B	58
289C	80
289D	54
289E	84
289F	50
28A1	88
28A2	54
28A3	8C
28A4	58
28A5	8C
28A6	54
28A7	8C
28A8	50
28A9	8C
28AA	4C
28AB	8C
28AC	48

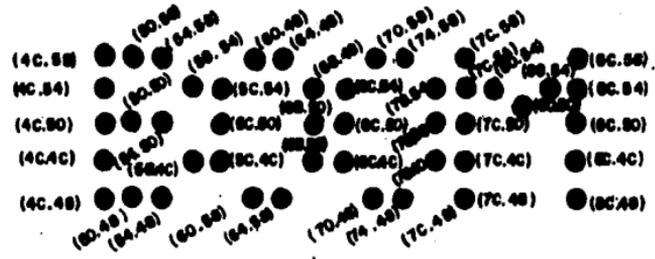


FIGURA "C"

## CONCLUSIONES

En base al análisis hecho de la constitución básica de un osciloscopio y las ventajas que nos ofrece entre ellas encontramos; el uso de dos preamplificadores verticales y un conmutador que conecta el amplificador vertical principal a cualquiera de los dos preamplificadores de la entrada 1 y la entrada 2.

Un circuito de base de tiempos o un oscilador interno, controlan al conmutador. .

En el caso alternado, el conmutador es cambiado de una entrada a la otra siguiendo a cada barrido horizontal.

En el primer barrido se desplaza sobre la pantalla la señal -- de la entrada 1; sobre el segundo barrido se desplaza sobre la pantalla la señal de entrada 2. Sobre el tercer barrido se -- desplaza sobre la pantalla nuevamente la señal de la primera - entrada, y así sucesivamente. Este método es rápido, de modo que mantiene el trazo presentado por una entrada sin desvanecerse durante el tiempo que la otra entrada está activando el fósforo de la pantalla con su señal a reproducir, da como resultado un método rápido y eficaz para nuestro objetivo.

Además la técnica de doble trazo ofrece una ventaja adicional sobre la de haz, ya que el primero puede ser usado para más de dos canales.

Cabe mencionar que durante los tiempos de barrido con una duración suficientemente larga, es posible que puedan originar un problema de parpadeo; lo anterior podría solucionarse si se -- utilizara un osciloscopio de doble trazo con memoria.

Durante el desarrollo de este proyecto se especificó que el -- osciloscopio maneja señales analógicas, por tal motivo fue necesario el uso de convertidores digitales/analógicos (1408).

Este dispositivo realice una función de un sistema que combine e interrelacione diversos subsistemas que trabajen diferentes tipos de información y operen con la información digital, como una computadora, un sistema lógico, etc.

En este caso se requiere una interfase que transfiera las señales digitales a el lenguaje de los actuadores del proceso, que es analógico. El papel que desempeña los convertidores D/A no es del todo completo puesto que es necesario la investigación de amplificadores operacionales para hacer que la señal de la corriente sea convertida en una señal de voltaje y se ajuste a la salida para que el osciloscopio pueda interpretarla.

Para realizar el desarrollo de la interfase entre el osciloscopio-computador, a través de la conexión de puertos de entrada y salida para los convertidores y el teclado, es necesario una previa descripción funcional del microcomputador SDK85 y sus componentes.

Las ventajas que nos proporcione este microcomputador para el desarrollo de este proyecto son numerosas como; la 8085 maneja

el sistema con señales de control disponibles en el chip; multiplexa su canal de datos con los 8 bits menos significativos de su canal de dirección.

Se cuenta con un par de líneas para entrada y salida en serie, que se ejercitan bajo el control del programa, para suministrarle al SDK85 una entrada/salida simple de teletipo.

El 8155 y 8355/8755 son chips que tienen compatibilidad con la estructura del canal de datos de la 8085 y forman parte del -- SDK85.

El 8155 ofrece su memoria RAM para almacenamiento de programas al usuario, y el almacenamiento temporal de información necesaria para los programas del sistema.

En cuanto al 8355/8755, con sus memorias ROM y EPROM son de -- gran ayuda para la programación y en un momento dado una reprogramación nueva (EPROM).

Otros dos chips que se encuentran integrados en el SDK85 son: 8279 y 8205.

El 8279, es un controlador del teclado/display y tiene la ventaja de renovar al display desde una memoria interna, mientras recorre el teclado para descubrir la entrada de una nueva tecla. En realidad este dispositivo de entrada/salida es utilizado como si fuera una serie de localidades de memoria, con el que se comunica por medio del 8085.

8205; este chip habilita al 8155, 8355/8755 y 8279, decodificando los bits de almacenamiento de memoria de la 8085.

Volviendonos a evocar al desarrollo de la interfase osciloscopio-

pio-computador, ésto se realiza a través de los puertos que -- conforman al los circuitos integrados 8155 y 8355.

A, B y C son los 3 puertos que integran al 8155. Los puertos- A y B pueden ser programados como entradas y salidas pero no - pueden ser programados individualmente, los bits como entradas y salidas. El puerto C puede ser programado en una de 4 fun-- ciones alternativas, este puerto puede ser programado como --- puerto de entrada o salida, respectivamente, en el registro de comando. Cuando los puertos A y B se programan como salidas y entradas respectivamente el puerto C es usado como línea de -- protocolo.

Los dos puertos de E/S del 8355 pueden ser programados para -- que sus 8 líneas se definan en forma particular como entradas- o salidas. Lo anterior podemos interpretarlo de la siguiente- forma; 3 de sus líneas de un puerto se pueden programar como - entradas y las 5 restantes como salidas.

Esta característica permite una gran flexibilidad en el diseño de interfaces.

En cuanto al sistema operativo para el manejo del osciloscopio como pantalla de video, el diseño de caracteres que es almace- nado en la memoria del SDK85, es desplagado en la pantalla por el movimiento rápido de los puntos generados con el controla-- dor de pantalla. Este movimiento de punto es tan rápido que - el usuario podrá ve el carácter entero.

Con lo anterior se obtendrá programas de figuras o letreros fi jos tales como 8085, CSU, etc., además se generan gráficas y -

programas con figuras móviles.

Todos estos programas son resultado del funcionamiento de la programación de la terminal o sea de su sistema operativo que consiste en; inicialización de puertos, entrada para salvar registros, envío de mensaje de bienvenida al osciloscopio, reconocimiento de caracteres, examinación y modificación de registros, ejecución de programas, ejecución de instrucción por instrucción y modificación de memoria.

La aplicación dada al osciloscopio en este proyecto es muy poca común como se puede denotar.

Una de las cosas que podríamos comentar, es la ventaja que se obtendría el uso de un osciloscopio con memoria.

El empleado en el presente proyecto, es un osciloscopio de doble trazo común y corriente y solicite una alimentación de información constante.

Desde el punto de vista económico este proyecto es de un costo medio, aunque en un futuro podría reducirse al igual que sus dimensiones.

El desarrollo de este proyecto tuvo como objetivo el encontrar una nueva aplicación a un instrumento electrónico, considerado únicamente como un equipo de medición, sin saber realmente que es posible no sólo con un microprocesador sino con otros equipos el desempeño de algo diferente de este dispositivo.

## BIBLIOGRAFIA

EL OSCILOSCOPIO Y SUS APLICACIONES.

ANGEL R. ZAPATA FERRER.

EDITORIAL LIMUSA.

PRIMERA EDICION 1983, MEXICO.

MODULOS DIDACTICOS DE CONVERTIDORES DIGITALES/ANALOGICOS,  
ANALOGICOS/DIGITALES.

TESIS PRESENTADA POR GUILLERMO GERARDO IBARRAGAN GONZALEZ.  
MEXICO, D.F. 1983.

EGRESADO DE LA UNIVERSIDAD LA SALLE.

INSTRUMENTACION DIGITAL.

PREEDICION: ELABORADO CON EL DEPARTAMENTO DE INGENIERIA EN  
COMUNICACIONES Y ELECTRONICA DE LA E.S.I.M.E.

EDITORIAL LIMUSA.

PRIMERA REIMPRESION 1977. MEXICO.

101 MICROPROCESSOR SOFTWARE & HARDWARE PROJECTS.

FRANK P. TEDESCHI & GARY KUECH.

TAB BOOK INCK BLUE RIDGE.

IMPRESION 1982.

SUMMIT P.A. 17214.

MCS-85 USER'S MANUAL INTEL