

881207
1
24

UNIVERSIDAD ANAHUAC

ESCUELA DE INGENIERIA

CON ESTUDIOS INCORPORADOS A LA UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO



DISEÑO DE UN PROGRAMADOR DE MEMORIAS EPROM

T	E	S	I	S	P	R	O	F	E	S	I	O	N	A	L
QUE	PARA	OPTAR	POR	EL	TITULO	DE	:								
INGENIERO			MECANICO			ELECTRICO									
(AREA :	SISTEMAS		ELECTRICOS		Y	ELECTRONICOS)									
P	R	E	S	E	N	T	A	:							
LUIS		FELIPE		ARELLANO		ANGELUCCI									



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

DISEÑO DE UN PROGRAMADOR

DE

MEMORIAS EPROM

A MIS PADRES

OBJETIVOS Y ALCANCES.

I. INTRODUCCION 1

II. ASPECTO TEORICO: EL COMPUTADOR AIM-65

II.1. Descripción General 7

II.2. Programación del Micronprocesador R6502 . 10

II.2.1. Principios de Programación . . . 10

II.2.2. Registros y Banderas 12

II.2.3. Instrucciones del R6502 . . . 14

II.2.3.1. Índice Alfabético . . 14

II.2.3.2. Modos de Direcciona- miento 20

II.2.4. Direccionamiento de Instruccio- nes 21

II.2.4.1. Instrucciones del - Grupo 1 21

II.2.4.2. Instrucciones del - Grupo 2 22

II.2.4.3. Instrucciones del - Grupo 3 22

II.3. Gestor de Puertos 6522 23

II.3.1. Características Generales . . . 23

II.3.2. Entrada y Salida de Datos . . . 26

II.3.3. Señales de Control 27

II.3.4.	Interrupciones	27
II.3.5.	Temporizadores	28
II.3.6.	Registro de Desplazamiento . . .	30
II.4.	Mapa de Memoria	32

III. DISEÑO DE CIRCUITOS AUXILIARES

III.1.	Memorias 2716 y 2732	35
III.1.1.	EPROM 2716	35
III.1.2.	EPROM 2732	36
III.1.3.	Similitudes y Diferencias . . .	37
III.2.	Circuitos Auxiliares	38
III.2.1.	Selección de Componentes	40
III.2.1.1.	Amplificadores	40
III.2.1.2.	Contador de Direccio- namiento	41
III.2.1.3.	Circuitos de Mando	41
III.2.1.4.	Fuente de Alimenta- ción	43
III.3.	Diagrama Pléctrico	48
III.4.	Asignación de Líneas del R6522	49
III.5.	Construcción del Prototipo	51

IV. DISEÑO DEL PROGRAMA DE CONTROL

IV.1.	Características Generales	52
IV.1.1.	Rutina de Inicialización	54
IV.1.2.	Rutina para Verificar Borrado	54
IV.1.3.	Rutina para Programar Memoria	55
IV.1.4.	Rutina para Verificar Programa	55
IV.1.5.	Rutina para Copiar Información	56
IV.2.	Mensajes Indicativos	56
IV.3.	Registros de Trabajo	57
IV.4.	Subrutinas Básicas	58
IV.4.1.	Subrutina MSJ	58
IV.4.2.	Subrutina ICON	61
IV.4.3.	Subrutina ERROR	63
IV.4.4.	Subrutina FIN	65
IV.4.5.	Subrutina DIR	66
IV.4.6.	Subrutina POS	68
IV.5.	Rutinas Principales	70
IV.5.1.	Rutina INI	71
IV.5.2.	Rutina VERBO	76
IV.5.3.	Rutina PGM	78
IV.5.4.	Rutina VERPGM	82
IV.5.5.	Rutina COPY	84
IV.6.	Operación del Sistema	86
V.	CONCLUSIONES	88

APENDICES

I.	LISTADO DE LOS PROGRAMAS DE CONTROL	90
I.1.	Mensajes Indicativos	90
I.2.	Rutinas de Control	91
II.	CARACTERISTICAS, PRECIOS Y PROVEEDORES DE LOS <u>COM</u> PONENTES EMPLEADOS	94
II.1.	Características Eléctricas	94
II.2.	Lista de Precios	118
II.3.	Datos de Proveedores	119
	BIBLIOGRAFIA	120

OBJETIVOS Y ALCANCES

Al iniciarse la década de los setentas, un grupo de científicos de la Compañía Intel, encabezados por Robert Noyce, conscientes de la dificultad que significaba el no contar con una memoria ROM (1), que pudiera ser grabada y borrada fácilmente por el mismo usuario, desarrollaron la primera memoria EPROM (2), la 1701.

Sabido es, que con anterioridad a este descubrimiento, la programación de la memoria ROM tenía que ser realizada por el fabricante, lo que entorpecía y encarecía el desarrollo de productos en los que se utilizaran estas memorias.

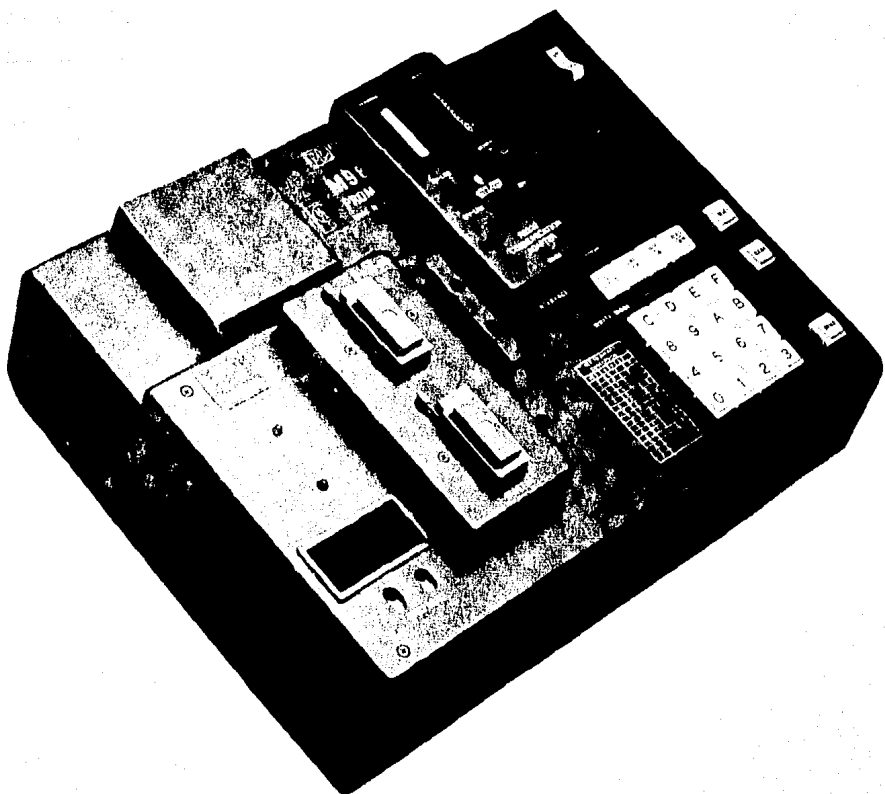
Al aparecer la 1701, diversas compañías se dieron a la tarea de fabricar programadores para estas memorias, entre ellos podemos citar a: Prolog, Data I/O y Logical Devices.

Los grabadores fabricados actualmente por estas casas, similares al mostrado en la lámina 1.1., poseen las siguientes características sobresalientes:

- Se trata de sistemas semi-inteligentes que incluyen un microprocesador.

(1) Memoria de lectura.

(2) Memoria de lectura programable eléctricamente.



LA'MINA 1.1

PROGRAMADOR DE MEMORIAS

PRO-LOG

- Permiten al usuario manejar gran número de memorias EPROM.
- Ofrecen la posibilidad de grabar varias memorias simultáneamente.

Nuestra intención no es la de diseñar un grabador similar a alguno de los programadores existentes, pues consideramos que estos equipos son demasiado sofisticados y costosos para el mercado mexicano. Por el contrario, proponemos construir un grabador mucho más económico y sencillo, más adecuado a las necesidades de los usuarios mexicanos. Para cumplir este objetivo, diseñaremos un programador de EPROMs que sea gobernado por un microprocesador externo, de tal forma que nos ahorremos el costo de incluir éste en el grabador. Esto no representa ningún inconveniente para el usuario, pues cualquier persona interesada en utilizar un grabador de EPROMs necesariamente tiene acceso a alguna microcomputadora con la cual puede gobernar al primero. Por otro lado, el programador manejará únicamente las EPROMs que puedan adquirirse en México, y programará una sola memoria a la vez, de tal forma que reduzcamos al máximo los costos de fabricación.

A lo largo de este trabajo, diseñaremos los circuitos electrónicos del grabador, así como las rutinas de control que debemos cargar en la memoria RAM (1) del computador, a fin de gobernar al programador.

(1) Memoria de escritura-lectura.

I. INTRODUCCION

Un programador de memorias EPROM es un dispositivo que nos permite grabar eléctricamente, y en forma permanente si así se desea, información digital en estos circuitos. Para poder comprender la utilidad que este instrumento presenta, debemos describir, aunque en forma breve, el funcionamiento de los sistemas controlados por microprocesadores, pues es en el desarrollo de este tipo de sistemas donde encuentra su mayor aplicación un programador de memorias EPROM.

En los últimos años se ha desarrollado un concepto completamente nuevo en el diseño de sistemas electrónicos. Este cambio lo han originado las microcomputadoras, las cuales se han convertido en poderosos y a la vez económicos instrumentos, capaces de controlar aún los sistemas más complejos. El diseño convencional de sistemas está siendo revolucionado por el componente que forma el corazón de la microcomputadora, el microprocesador programable. El éxito del microprocesador se basa en el hecho de permitir al diseñador, resolver problemas, desde los más simples hasta los más complejos, con un reducido número de circuitos integrados de bajo costo. La figura 1.1., muestra la organización básica de un sistema gobernado por un microprocesador, siendo las funciones de los bloques que lo componen, las siguientes:

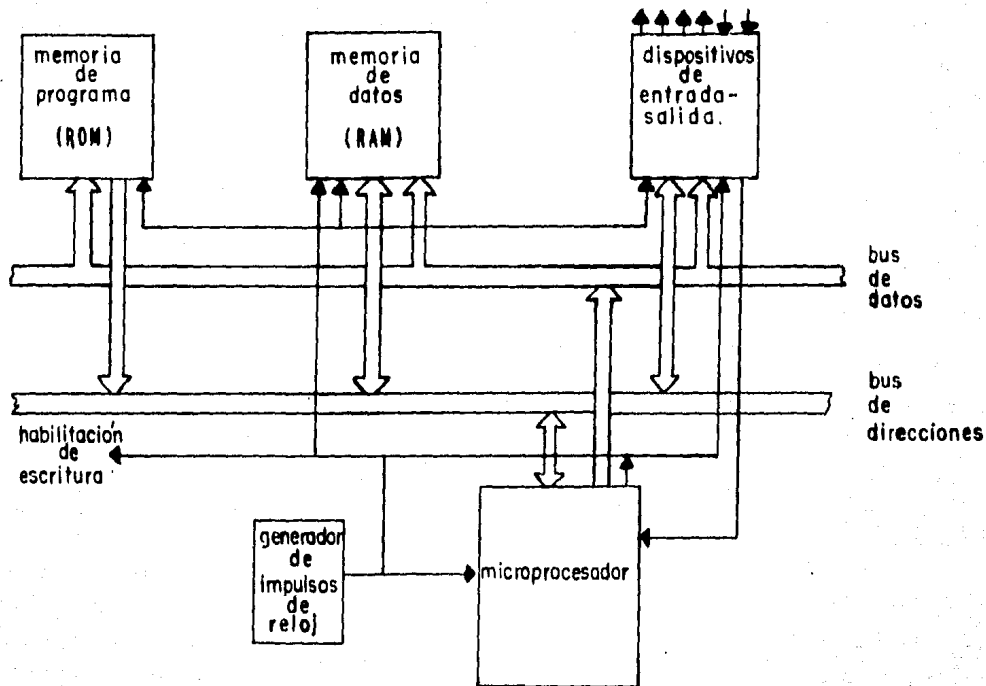


FIG. 1.1

SISTEMA GOBERNADO POR UN MICROPROCESADOR

- 1) El microprocesador.- La tarea principal del procesador consiste en controlar todo el sistema. Al ordenar las direcciones para la memoria de programa, especifica la secuencia de las operaciones a realizar y al interpretar y ejecutar las instrucciones que recibe del programa comanda las acciones que debe desarrollar el sistema. En el procesador se realizan todas las operaciones aritméticas y lógicas que sean necesarias.
- 2) El generador de impulsos de reloj.- El generador de impulsos es el encargado de producir las señales de sincronismo necesarias para la operación del sistema.
- 3) La memoria de datos.- Para almacenar datos de entrada y resultados de operaciones aritméticas o lógicas, la microcomputadora utiliza una memoria de escritura-lectura, conocida comúnmente como RAM. El procesador puede almacenar datos en la memoria RAM y leerlos posteriormente. Al desconectar la RAM de la fuente de alimentación se pierde la información almacenada en la memoria, por lo que se dice que se trata de una memoria volátil.
- 4) Los dispositivos de entrada-salida.- Los dispositivos de entrada-salida son los circuitos encargados de comunicar al procesador con el mundo exterior. Estos componentes permiten al microprocesador leer señales de transductores, sensores, interruptores, etc., y operar válvulas solenoides, relevadores, etc.
- 5) La memoria de programa.- La memoria de programa es la

encargada de almacenar la secuencia de instrucciones que forman el programa que debe ejecutar el sistema. La memoria coloca un grupo de unos y ceros lógicos en el bus de datos en respuesta a la dirección señalada por el bus correspondiente. Para almacenar esta información se utilizan memorias del tipo ROM, de tal forma que la configuración de bits (1), almacenada no desaparezca al desconectarse el circuito de la fuente de alimentación.

De los párrafos anteriores podemos observar que si bien es cierto que los mismos bloques funcionales forman parte de cualquier sistema controlado por un microprocesador, sin importar cual sea la función que éste realice, existe un elemento que convierte a cada uno de estos sistemas en único y este elemento es la programación. Cada sistema posee un programa propio que se almacena en su memoria de lectura (ROM).

Las memorias ROM se subdividen en diferentes grupos, de acuerdo al procedimiento que se sigue para grabar la información. Los principales grupos son los que a continuación se describen:

1) ROM (programable por máscara).

Estas memorias son fabricadas con la configuración de bits deseada mediante un proceso de máscara. Como es de suponer, este tipo de ROMs resultan muy convenientes para ser empleadas en grandes cantidades, pero su precio es demasiado elevado para ser utilizadas en el desarrollo de prototipos o en una producción inferior

(1) Dígito binario.

inferior a las mil unidades.

2) PROM (ROM programable).

Inicialmente este tipo de memorias contienen únicamente ceros lógicos. La memoria se programa aplicando im pulsos eléctricos a los bits que se desea convertir en unos lógicos. El uso de estas memorias resulta conveniente cuando se desea almacenar una cantidad pequeña de información. Presentan el inconveniente de que una vez programadas, la información almacenada no puede ser ya alterada.

3) EPROM (ROM programable eléctricamente).

Esta clase de memorias pueden ser programadas (y borradas si así se desea) por el usuario. La memoria contiene inicialmente unos lógicos en todas sus posiciones. Para grabar la información deseada, se aplica ésta a las entradas de la memoria junto con un impulso eléctrico en la terminal de programación. Para borrar la memoria, el usuario debe únicamente exponer la memoria a rayos de luz ultravioleta por un lapso de quince minutos aproximadamente. Existen memorias EPROM de diferentes capacidades, siendo las más populares aquellas de 8K, 16K, y 32K bits.

4) EAROM (ROM alterable eléctricamente).

Estas ROM pueden ser programadas y borradas eléctricamente, evitándose así el largo procedimiento de borrado de las EPROM. Desafortunadamente el precio de éstas es aún demasiado alto, por lo que actualmente su uso no resulta muy atractivo.

De la información anterior podemos concluir que la mejor opción para el diseñador de sistemas controladas por microprocesador en México consiste en utilizar memorias EPROM para almacenar los programas de control, tanto en la etapa de desarrollo como en la producción, debido a la facilidad con que estas memorias pueden ser programadas y borradas y a su bajo costo. Si bien es cierto que un programador de memorias EPROM encuentra su mayor aplicación en el diseño de sistemas controlados por microprocesadores, existen otras áreas de la electrónica en donde puede ser empleado. El programador puede utilizarse en el mantenimiento de sistemas que usen memorias tipo ROM, pues permite al usuario copiar la información que se encuentre en éstas para grabarla en memorias EPROM y contar así con una forma rápida y económica de sustituir las ROM originales en caso de que éstas fallen. El programador puede emplearse asimismo, en el desarrollo de generadores de funciones para los que se requeriría únicamente de la memoria EPROM y un convertidor digital-analógico para generar un gran número de formas de onda. También puede emplearse el programador en el diseño de todo tipo de instrumentos de medición en los que requiramos de un medio que nos permita linealizar las señales de los sensores.

ESPECIFICACIONES DE DISEÑO.

Se diseñará un programador para las memorias EPROM 2716 y 2732; esta selección se hizo, debido a que cuentan con una capacidad adecuada para la mayoría de las aplicaciones en las que se requieren memorias ROM (2K, 4K bytes -

(1) respectivamente), y también porque pueden encontrar se fácilmente en México. El grabador de memorias será controlado por el microcomputador Rockwell Aim-65, el cual permitirá al usuario, efectuar las siguientes funciones:

a) Verificar el borrado de la memoria.

Esta opción permite al usuario verificar si la memoria se encuentra completamente borrada o si ésta debe ser expuesta a luz ultravioleta por un mayor tiempo.

b) Programar memorias.

Esta alternativa nos permite grabar en la EPROM, la información que primeramente hayamos cargado en la memoria RAM de la computadora Rockwell Aim-65.

c) Verificar Programas.

El usuario puede en este caso, verificar que la información grabada en la EPROM sea igual a la que se encuentra en la RAM de la computadora.

d) Copiar programas.

Esta opción nos permite grabar en la memoria RAM de la Rockwell la información almacenada en una memoria ROM, pudiendo así grabar posteriormente estos datos en una EPROM.

(1) Grupo de ocho dígitos binarios consecutivos.

II. ASPECTO TEORICO: EL COMPUTADOR AIM-65

Este capítulo tiene por objeto describir el funcionamiento y programación de los diferentes bloques que forman el computador ROCKWELL AIM-65. Esta información nos permitirá diseñar en los siguientes capítulos el circuito eléctrico del grabador de memorias, así como el programa de control con el que lo gobernaremos.

II.1. DESCRIPCION GENERAL.

El microcomputador AIM-65 desarrollado por Rockwell está constituido por dos módulos interconectados por medio de un cable plano: el módulo maestro y el teclado. En el módulo maestro se localizan el impresor, el visualizador alfanumérico y los circuitos integrados que forman el microcomputador.

La unidad central de proceso (CPU) R6502 es el corazón del sistema. El R6502 es un poderoso y ampliamente usado microprocesador de ocho bits, el cual opera en el sistema AIM-65 a una frecuencia de 1 Mhz, significando esto un tiempo mínimo de ejecución para una instrucción de dos microsegundos.

El microprocesador cuenta con 56 instrucciones de operación y 11 modos de direccionamiento, haciendo su programación flexible y sencilla a la vez. En el sistema AIM-65 el R6502 puede direccionar hasta 4K de memoria RAM y

20K de memoria ROM. Externamente la capacidad de RAM, ROM o puertos de entrada y salida puede aumentarse en 40K más. En el módulo maestro se localizan además de la CPU, los gestores de puertos R6522 (VIA) y R6520 (PIA), el temporizador R6532 (RIOT), las memorias de lectura R2332 y las memorias de escritura-lectura R2114.

La impresora térmica de 20 columnas permite grabar en forma permanente comandos, datos y programas, así como mensajes del sistema AIM-65. El impresor opera a una velocidad de 120 líneas por minuto, siendo capaz de imprimir 64 caracteres del código ASCII (1).

El visualizador proporciona una retroalimentación óptica durante la operación del teclado. El visualizador de 20 caracteres permite una completa correspondencia con el impresor. Al estar formado por 16 segmentos, cuenta con capacidad para representar 64 caracteres del código ASCII.

El módulo del teclado está formado por 54 teclas, las cuales permiten al operador seleccionar 70 funciones: 26 alfabéticas, 10 numéricas, 22 especiales, 9 de control y 3 que pueden ser definidas por el usuario.

La operación del sistema AIM-65 es controlada por un monitor de RV almacenado en ROM. El monitor está formado por un grupo de comandos o instrucciones, los cuales simplifican enormemente el empleo de la CPU, las memorias y los dispositivos de entrada-salida. Al traducir automáti

(1) Código americano normalizado para el intercambio de información.

camente comandos funcionales a códigos de máquina, el monitor permite un diseño de programas más rápido y eficiente.

El monitor AIM-65 cuenta con comandos para realizar las siguientes funciones:

- Introducir instrucciones del R6502 en forma de nemotécnicos para su traducción directa a código objeto.
- Desensamblar instrucciones del R6502 de código objeto a forma de nemotécnicos.
- Ejecutar programas escritos por el usuario con ayudas para su perfeccionamiento, tales como seguimiento de instrucciones paso a paso.
- Mostrar y alterar el contenido de memorias y registros.
- Transferir información en código objeto entre el microcomputador y una o dos grabadoras de cassette o un teletipo.

El módulo maestro contiene tres sócalos extras que permiten la adición de hasta 12K de programas almacenados en ROM. Estos sócalos pueden ser empleados para agregar al sistema AIM-65 un ensamblador de 4K y un intérprete "BASIC" de 8K.

El microcomputador AIM-65 puede manejar directamente

elementos externos a este a través de un gestor periférico R6522 (VIA) incluido específicamente para realizar esta función. El R6522 cuenta con 16 líneas bidireccionales de entrada-salida, 4 líneas de control, 2 temporizadores y un registro de desplazamiento. Los circuitos de interfase necesarios para manejar hasta dos grabadoras de cassette y un teletipo han sido incluidos en el sistema AIM-65 a fin de proporcionar al usuario la capacidad de almacenar programas y datos en forma permanente.

Las características del sistema AIM-65 mencionadas en los párrafos anteriores, así como su bajo costo (500 dólares americanos aproximadamente) convierten a este equipo en un instrumento ideal para el desarrollo de sistemas electrónicos controlados por microprocesador, en aquellos casos en que se cuente con una modesta capacidad económica para la realización del proyecto.

II.2. PROGRAMACION DEL MICROPROCESADOR R6502.

La intención de esta sección es explicar brevemente las técnicas de programación del 6502 de tal manera que queden claras para el lector las posibilidades y restricciones de este microprocesador. Estos conocimientos nos permitirán asimismo desarrollar los programas necesarios para controlar al programador de memorias EPROM.

II.2.1. PRINCIPIOS DE PROGRAMACION.

Primeramente describiremos las tareas que debe ser capaz

de efectuar el microprocesador a fin de controlar un proceso cualquiera:

- a) Realización de todo tipo de operaciones aritméticas y lógicas.
- b) Toma de decisiones. Esto significa que el 6502 debe ser capaz de tomar diferentes cursos de acción de acuerdo a los resultados de las operaciones que efectúe o a las señales de control que reciba.
- c) Desarrollo de lazos. El microprocesador debe poder repetir una tarea determinada, un número específico de veces o hasta que cierta condición se vea satisfecha.
- d) Manejo de vectores de información. Debemos contar con la capacidad de manejar grupos de datos tales como estados de sensores, señales de control o grupos de caracteres.
- e) Manipulación y conversión de códigos. Esto significa manejar información en diferentes códigos, tales como ASCII, BCD (1), 7 segmentos o Gray. Esta tarea resulta indispensable para permitir al microprocesador intercambiar información con equipos periféricos.
- f) Finalmente debemos poder interconectar los pequeños programas que forman nuestro programa principal. Esto se realizará por medio de las llamadas subrutinas.

(1) Decimal codificado en binario.

II.2.2. REGISTROS Y BANDERAS.

El 6502 cuenta con los siguientes registros y banderas, que se muestran en la figura 2.1.

- Contador de programa (PC): Es el único registro de 16 bits en el 6502. Contiene la dirección de la siguiente instrucción que debe ser ejecutada. El P.C. - se incrementa en uno cada vez que es utilizado. Las instrucciones de salto condicional e incondicional colocan un nuevo valor en este registro.
- Acumulador (A): En este registro se almacena uno de los operandos así como el resultado en todo tipo de operaciones lógicas y aritméticas. Es el centro de las actividades de proceso.
- Registros de índice "X" y "Y": Estos registros se emplean como contadores para lazos o como índices para el manejo de vectores y tablas.
- Registro de PILA (S): Contiene la última dirección (en la página 1) de la RAM utilizada para almacenar las direcciones de retorno de las subrutinas y el estado previo de registros y banderas.
- Registro de estado del procesador (P): Este registro contiene las siguientes banderas.

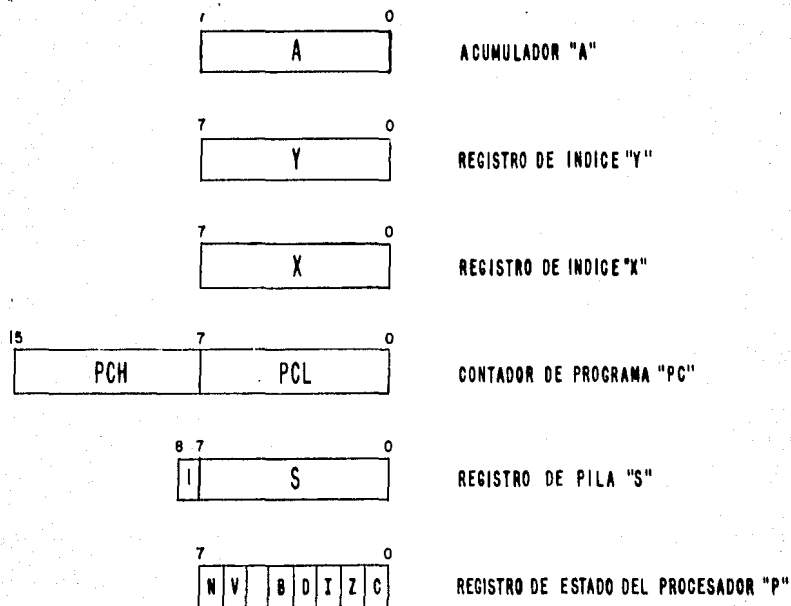


FIG. 2.1

REGISTROS Y BANDERAS DEL R6502

NO. DE BITNOMBRE DE LA BANDERA

0	Acarreo (C)
1	Cero (Z)
2	Interrupción (I)
3	Modo decimal (D)
4	Bloqueo (R)
6	Desbordamiento (V)
7	Negativo (N)

Acarreo (C).- Se utiliza para almacenar el bit de acarreo en cualquier operación aritmética o de desplazamiento que pueda generarlo.

Cero (Z).- Esta bandera toma el valor de "1" si la última operación lógica o aritmética ha dado como resultado un cero. En caso contrario toma el valor de "0".

Interrupción (I).- Este bit se emplea para controlar la realización de interrupciones. Un "1" lógico inhibe la ejecución de interrupciones.

Modo decimal (D).- Un "1" lógico en este bit significa que las operaciones de suma y resta se efectúan en modo decimal y no en binario natural.

Bloqueo (R).- Esta bandera toma el valor de "1" cuando se presenta una señal de paro en el programa.

Desbordamiento (V).- En el caso de estarse empleando

el octavo bit como signo en las operaciones con números binarios, debemos contar con un medio que nos indique cuando, al realizar una suma o resta, obtenemos un resultado demasiado grande para ser representado en 7 bits. La bandera "V" toma el valor de "1" lógico cuando esta situación se presenta.

Negativo (N).- Al realizarse cualquier operación aritmética o de movimiento de datos la bandera "N" toma el valor del bit 7 del resultado obtenido. Esta bandera nos permite verificar en una forma rápida el signo de cualquier número en caso de estarse empleando tanto números negativos como positivos.

II.2.3. INSTRUCCIONES DEL 6502.

En esta sección se presentan las diversas instrucciones que reconoce el microprocesador 6502, así como los modos de direccionamiento de éstas.

II.2.3.1. INDICE ALFABETICO.

El microprocesador cuenta con las siguientes instrucciones, enlistadas por orden alfabético:

ADC: (Add memory to accumulator with carry) Sumar la memoria al acumulador con acarreo.

AND: ("AND" memory with accumulator) "Y" lógico entre me-

moria y acumulador.

ASL: (Shift left one bit memory or accumulator) Desplazar un bit a la izquierda (memoria o acumulador).

BCC: (Branch on carry clear) Salto en caso de obtener un acarreo igual a "0".

BCS: (Branch on carry set) Salto en caso de obtener un acarreo igual a "1".

BEQ: (Branch on result zero) Salto en caso de obtener un resultado igual a "0".

BIT: (Test bits in memory with accumulator) Verifica bits de la memoria con los del acumulador.

BMI: (Branch on result minus) Salto en caso de obtener un resultado negativo.

BNE: (Branch on result not zero) Salto en caso de obtener un resultado diferente a "0".

BPL: (Branch on result plus) Salto en caso de obtener un resultado positivo.

BRK: (Force break) Suspensión en la ejecución del programa.

BVC: (Branch on overflow clear) Salto en caso de obtener un desbordamiento igual a "0".

BVS: (Branch on overflow set) Salto en caso de obtener -
un desbordamiento igual a "1".

CLC: (Clear carry flag) Reestablecer bandera de acarreo
a "0".

CLD: (Clear decimal mode) Reestablecer modo decimal a
"0".

CLI: (Clear interrupt) Reestablecer bit de interrupción
a "0".

CLV: (Clear overflow flag) Reestablecer bandera de des-
bordamiento a "0".

CMP: (Compare memory and accumulator) Comparar memoria y
acumulador.

CPX: (Compare memory and index X) Comparar memoria e ín
dice X.

CPY: (Compare memory and index Y) Comparar memoria e ín
dice Y.

DEC: (Decrement memory by one) Decrementar memoria en -
"1".

DEX: (Decrement index X by one) Decrementar índice X en
"1".

DEY: (Decrement index Y by one) Decrementar índice Y en
"1".

EOR: ("Exclusive-OR" memory with accumulator) "0" exclusivo entre memoria y acumulador.

INC: (Increment memory by one) Incrementar memoria en "1".

INX: (Increment index X by one) Incrementar índice X en "1".

INY: (Increment index Y by one) Incrementar índice Y en "1".

JMP: (Jump to new location) Saltar a una nueva localidad de memoria.

JSR: (Jump to new locations saving return address) Saltar a una nueva localidad de memoria almacenando dirección de retorno.

LDA: (Load accumulator with memory) Cargar acumulador con memoria.

LDX: (Load index X with memory) Cargar índice X con memoria.

LDY: (Load index Y with memory) Cargar índice Y con memoria.

LSR: (Shift right one bit memory or accumulator) Desplazar un bit a la derecha (memoria o acumulador).

- NOP: (No operation) Ninguna operación.
- ORA: ("OR" memory with accumulator) "O" lógico entre me moria y acumulador.
- PHA: (Push accumulator on stack) Introducir acumulador a la pila.
- PHP: (Push processor status on stack) Introducir el estado del procesador a la pila.
- PLA: (Pull accumulator from stack) Obtener acumulador de la pila.
- PLP: (Pull processor status from stack) Obtener estado del procesador de la pila.
- ROL: (Rotate one bit left memory or accumulator) Rotar un bit hacia la izquierda (memoria o acumulador).
- ROR: (Rotate one bit right memory or accumulator) Rotar un bit hacia la derecha (memoria o acumulador).
- RTI: (Return from interrupt) Retorno de interrupción.
- RTS: (Return from subroutine) Retorno de subrutina.
- SBC: (Subtract memory from accumulator with borrow). Res tar memoria del acumulador.
- SFC: (Set carry flag) Dar el valor de "1" a la bandera de

acarreo.

SED: (Set decimal mode) Habilitar operaciones en modo de
cimal.

SEI: (Set interrupt disable status) Dar el valor de "1"
al bit de interrupción.

STA: (Store accumulator in memory) Almacenar acumulador
en memoria.

STX: (Store index X in memory) Almacenar índice X en memo
ria.

STY: (Store index Y in memory) Almacenar registro Y en me
moria.

TAX: (Transfer accumulator to index X) Transferir acumula
dor a índice X.

TAY: (Transfer accumulator to index Y) Transferir acumula
dor a índice Y.

TSX: (Transfer stack pointer to index X) Transferir el -
puntero de la pila al registro X.

TXA: (Transfer index X to accumulator) Transferir índice
X al acumulador.

TXS: (Transfer index X to stack pointer) Transferir índi
ce X al puntero de la pila.

TYA: (Transfer index Y to accumulator) Transferir índice Y al acumulador.

II.2.3.2. MODOS DE DIRECCIONAMIENTO.

El microprocesador 6502 permite direccionar sus instrucciones en las once formas básicas, que a continuación se enlistan:

- 1) Memoria-inmediato
- 2) Memoria-absoluto
- 3) Memoria-página cero
- 4) Implícito o inherente
- 5) Acumulador
- 6) Preindexado indirecto
- 7) Postindexado indirecto
- 8) Página cero-indexado
- 9) Absoluto indexado
- 10) Relativo
- 11) Indirecto

II.2.4. GRUPOS DE INSTRUCCIONES.

El conjunto de instrucciones del procesador ha sido dividido en tres grupos básicos. El primer grupo cuenta con la mayor flexibilidad de direccionamiento y está formado por las instrucciones de uso más generalizado. El segundo grupo incluye instrucciones de desplazamiento, incrementos o decrementos y las relacionadas con los movimientos del índice X. El tercer grupo lo forman las instrucciones de la pila, del registro Y, comparaciones para X y Y y aquellas instrucciones que no encajan naturalmente en alguno de los dos primeros grupos. Existen 8 instrucciones en el grupo uno, 14 en el grupo dos y 34 en el último.

II.2.4.1. INSTRUCCIONES DEL GRUPO 1.

Las instrucciones que forman el grupo uno son ADC, AND, -CMP, EOR, LDA, ORA, SRC y STA. Cada una de estas instrucciones cuenta con un potencial de 16 modos de direccionamiento. Sin embargo en la versión actual del 6502 únicamente se utilizan 8 de éstos.

Los modos de direccionamiento para el grupo uno son: inmediato, página cero, indexado por X, absoluto, absoluto indexado por X, absoluto indexado por Y, indexado indirecto e indirecto indexado. Los 8 modos de direccionamiento no utilizados se emplearán en versiones futuras de la familia R6500.

II.2.4.2. INSTRUCCIONES DEL GRUPO 2.

Existen dos subcategorías dentro del grupo dos. El primer subgrupo está formado por las instrucciones de desplazamiento y rotación: LSR, ASL, ROL, ROR. El segundo subgrupo incluye las instrucciones: INC, INX, DEC, DEX, LDX, STX, TXA, TAX, TXS y TSX. Estas instrucciones cuentan con los siguientes modos de direccionamiento: página cero, página cero indexado, absoluto, absoluto indexado y acumulador, excepto en el caso de las instrucciones TXA, TAX, TXS y TSX para las que el direccionamiento está ya implícito en la instrucción. Resulta conveniente recordar que el indexado para el direccionamiento de las instrucciones del registro X se realiza por medio del índice Y.

II.2.4.3. INSTRUCCIONES DEL GRUPO 3.

El grupo tres se encuentra dividido en tres subgrupos. El primero incluye aquellas instrucciones que afectan a los registros X y Y: LDY, TAY, STY, TYA, CPY, CPX, DEY, INY. El segundo subgrupo está formado por las instrucciones de salto y por aquellas que controlan las banderas: BCC, - BCS, BEQ, BMI, BNF, BPL, BVC, BVS, CLC, SEC, CLD, SED, CLI, SEI, CLV.

El último grupo lo forman las instrucciones restantes: - BRK, JSR, PHA, PHP, PLA, PLP, JMP, BIT, NOP, RTI y RTS. Para los miembros del grupo tres no pueden generalizarse los modos de direccionamiento por lo que en cada caso

deberá verificarse cuales se encuentran disponibles para cada instrucción.

II.3. GESTOR DE PUERTOS 6522 (VIA).

El microcomputador Rockwell AIM-65 cuenta con un gestor de puertos 6522 disponible, el cual utilizaremos para comunicar al computador con los circuitos auxiliares del programador de memorias EPROM.

II.3.1. CARACTERISTICAS GENERALES.

El gestor de puertos 6522 está formado por los siguientes bloques, mostrados en la figura 2.2.

- 1) Dos puertos de entrada-salida de ocho bits cada uno (puertos "A" y "B"), cada una de las 16 líneas puede ser programada individualmente como entrada o salida.
- 2) Cuatro líneas de control (dos por cada puerto).
- 3) Dos contadores-temporizadores de 16 bits que pueden ser empleados para generar o contar pulsos. Los temporizadores pueden producir un único pulso o una serie continua de éstos.
- 4) Un registro de desplazamiento de 8 bits, con el cual se realiza la conversión de la información de forma serie a paralelo o viceversa.

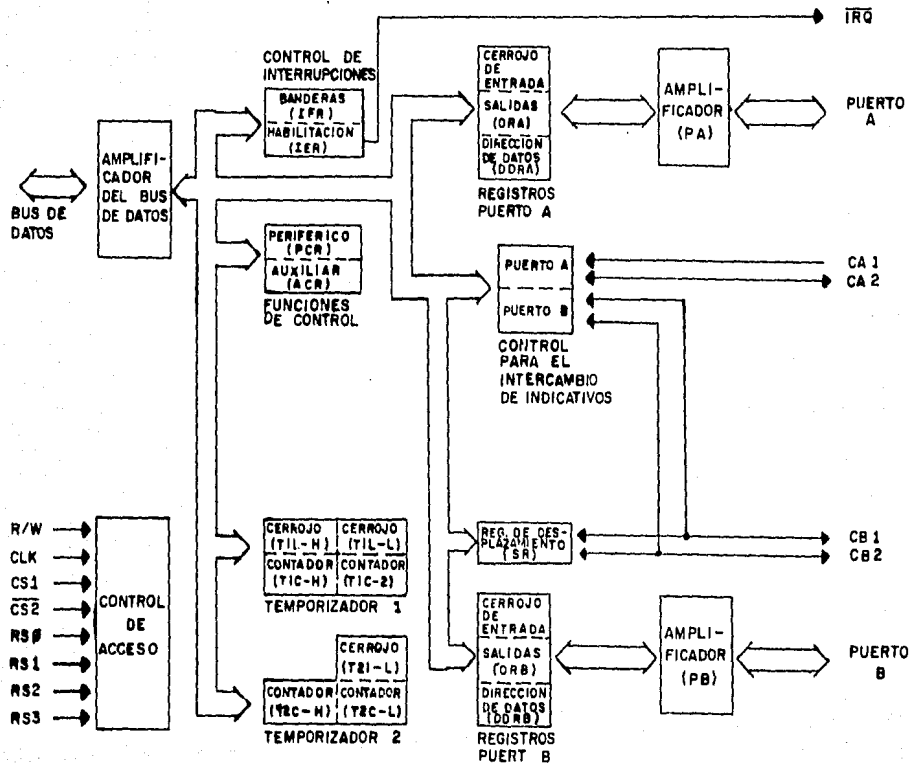


FIG. 22
GESTOR DE PUERTOS R6522

<u>LOCALIDAD</u>		<u>F U N C I O N</u>
A007	T1	escribir en leer T1L-H T1L-H
A008	T2	escribir en leer T2C-L T2L-L
A009	T2	escribir en leer T2C-H T2C-H T2L-L T2C-L
A00A		Registro de desplazamiento (SR)
A00B		Registro auxiliar de control (ACR)
A00C		Registro de control periférico (PCR)
A00D		Registro de banderas de interrupción (IFR)
A00E		Registro de habilitación de banderas (IFR)
A00F		Registro de salida puerto A (ORA)

TABLA 2.1 MAPA DE MEMORIA DEL R6522

La forma en que opera el 6522 queda determinada por el contenido de cuatro registros.

- 1) El registro de direcciones del puerto A (DDRA) establece cuáles líneas del puerto A actúan como entradas y cuáles como salidas.
- 2) El registro de direcciones del puerto B (DDRB) es el equivalente al DDRA referido al puerto B.
- 3) El registro de control periférico (PCR) determina que flanco de transición será reconocido por las señales de control de entrada CA1 y CB1 así como la forma de operación de las señales de control de salida CA2 y CB2.
- 4) El registro de control auxiliar (ACR) establece la operación de los temporizadores y del registro de desplazamiento así como si los puertos A y B operan en enclavamiento.

Al iniciarse el 6522 todos los bits de estos registros toman el valor de cero.

II.3.2. ENTRADA Y SALIDA DE DATOS.

Resulta conveniente mencionar que si bien los puertos A y B son prácticamente idénticos, el puerto B cuenta con la capacidad adicional de manejar directamente transistores Darlington usados para el control de relevadores y solenoides.

Para emplear estos puertos resulta necesario únicamente

cargar los registros DDRA y DDRB con los valores debidos ("1" en un bit significa que esta línea actúa como salida "0" que actúa como entrada). Después de realizar esta operación podemos manejar los registros de salida de ambos puertos ORA y ORB como si se tratara de una localidad de memoria cualquiera, leyendo o escribiendo datos en ésta en la forma que resulte conveniente.

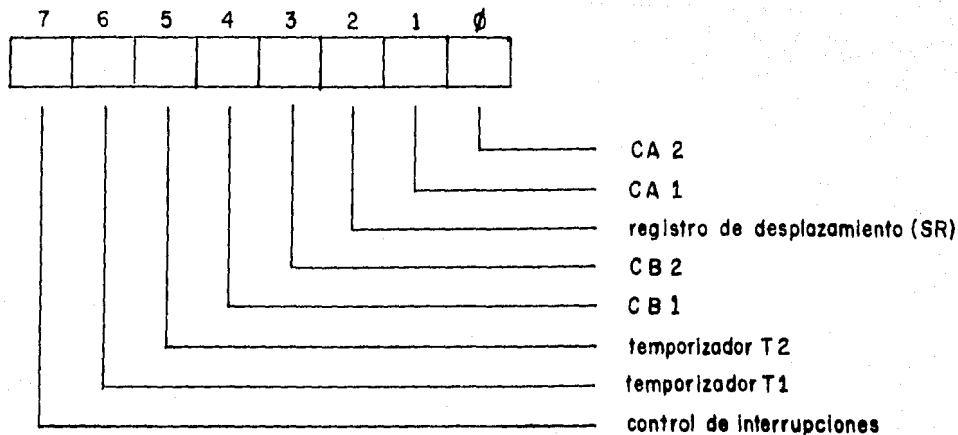
II.3.3. SEÑALES DE CONTROL.

Cuando se desea manejar un dispositivo periférico de cierta complejidad no se puede transferir la información hacia o desde el periférico sin mayor trámite. Esta transferencia de información deberá realizarse junto con un intercambio de indicativos y señales de control (procedimiento conocido como "handshaking"). El 6522 cuenta con la capacidad para realizar este procedimiento, sin embargo, no detallaremos su operación debido a que en el presente trabajo no se empleará esta técnica.

II.3.4. INTERRUPCIONES.

El gestor de puertos 6522 puede emplearse fácilmente de acuerdo a la técnica de interrupciones. La figura 2.3 muestra la configuración del registro de habilitación de interrupciones (IRR).

Cualquiera de las fuentes de interrupción puede ser habilitada o deshabilitada por medio del bit correspondiente.



bits para habilitación de interrupciones (IER \emptyset -6)

IER_n = \emptyset deshabilitar interrupción

IER_n = 1 habilitar interrupción

bit. para control de interrupciones (IER 7)

IER7 = 0 todo "1" lógico en el bus de datos restablece el bit correspondiente en IER

IER7 = 1 todo "1" lógico en el bus de datos pone a 1 el bit correspondiente en IER.

FIG. 2.3

REGISTRO PARA HABILITACION DE INTERRUPCIONES (IER)

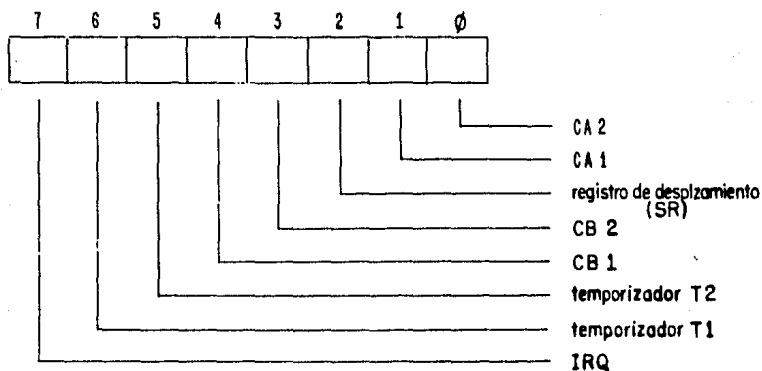
Debe notarse que el bit más significativo controla la forma de operación de los restantes bits. Si IFR7 es igual a "0" un "1" en cualquier bit deshabilita la interrupción correspondiente. Si IFR7 es igual a "1" un "1" en cualquier bit habilita la interrupción respectiva.

El procesador puede determinar cual interrupción ha ocurrido examinando el registro de banderas de interrupción (IFR) mostrado en la figura 2.4.

II.3.5. TEMPORIZADORES.

Los temporizadores de 16 bits con que cuenta el 6522 pueden ser empleados para realizar las siguientes funciones:

- 1) Generar un intervalo de tiempo determinado. El temporizador debe ser cargado con el número correspondiente de pulsos de sincronismo.
- 2) Contar pulsos en la terminal PB6 (temporizador 2 únicamente). Debe cargarse el temporizador con el número de pulsos que deben ser contados.
- 3) Generar un tren de pulsos (temporizador 1 únicamente). El temporizador debe cargarse con el número de pulsos de sincronismo por intervalo.
- 4) Producir un pulso o un tren de pulsos en la terminal PB7 (Temporizador 1 únicamente). Debe almacenarse en el temporizador el número de pulsos de sincronismo



bit de IFR	puesto a "1" al	restablecido a " \emptyset " al
\emptyset	ocurrir transición activa en CA 2	leer o escribir en ORA
1	ocurrir transición activa en	leer o escribir en ORA
2	finalizar desplazamiento	leer o escribir en SR
3	ocurrir transición activa en CB 2	leer o escribir en ORB
4	ocurrir transición activa en CB 1	leer o escribir en ORB
5	finalizar temporización de T2	leer T2C-L o escribir en T2CH
6	finalizar temporización de T1	T1C-L o escribir en T1CH
7	ocurrir cualquier interrupción.	restablecer la interrupción correspondiente

FIG. 2.4

REGISTRO DE BANDERAS DE INTERRUPCION (IFR)

por intervalo.

La operación del temporizador número 2 (T2) está controlada por el bit 5 del registro de control auxiliar. Si este bit es igual a "0" el temporizador actúa como monoestable, si es igual a "1" actúa como contador de pulsos en la terminal PR6. El temporizador T2 ocupa dos localidades de memoria. La primera dirección (A008) es empleada para leer o escribir los 8 bits menos significativos; al leer esta localidad de memoria reestablece la bandera de interrupción del temporizador 2. La segunda dirección - (A009) se utiliza para leer o escribir los 8 bits más significativos; al escribirse en esta dirección se cargan los contadores, se reestablece la bandera de interrupción y se inicia la operación del temporizador. Al completarse la operación se habilita la bandera de interrupción del temporizador.

El temporizador 1 (T1) es un tanto más complejo que el número 2, debido a que cuenta con 4 modos de funcionamiento.

Su operación se encuentra controlada por los bits 6 y 7 del registro de control auxiliar (ACR), como se muestra en la tabla 2.2.

<u>LOCALIDAD</u>	<u>F U N C I O N</u>
ACR7 ACR6	Modo de operación
0 0	T1 como monoestable sin salida en - PB7

LOCALIDADF U N C I O N

<u>LOCALIDAD</u>	<u>F U N C I O N</u>
ACR7 ACR6	Modo de operación
0 1	T1 como estable sin salida en PB7
1 0	T1 como monoestable y salida en PB7 habilitada
1 1	T1 como estable y salida en PB7 habilitada

TABLA 2-2 CONTROL DE TEMPORIZADOR 1

El temporizador 1 ocupa 4 localidades de memoria (tabla - 2.1). Las primeras dos direcciones (A004 y A005) son empleadas para leer o escribir en los contadores. Al escribirse en la segunda localidad los contadores son cargados, la bandera de interrupción reestablecida y la operación del temporizador iniciada. Las siguientes dos direcciones (A006 y A007) se utilizan para leer o escribir en los cerrojos (latches) sin afectar a los contadores. Esta característica permite la generación de complejas formas de onda. Al escribirse en los bits más significativos de los cerrojos se reestablece la bandera de interrupción del temporizador 1.

II.3.6. REGISTRO DE DESPLAZAMIENTO.

El gestor de puertos 6522 cuenta con un registro de desplazamiento que permite la conversión de datos de forma serie a paralelo y viceversa. La operación del registro de desplazamiento se encuentra controlada por los bits 2, 3 y 4 del registro de control auxiliar, como se muestra en la tabla 2.3.

<u>LOCALIDAD</u>			<u>F U N C I O N</u>
ACR4	ACR3	ACR2	Modo de operación
0	0	0	SP deshabilitado
0	0	1	Desplazamiento de entrada bajo el mando de T2
0	1	0	Desplazamiento de entrada bajo el mando del reloj interno
0	1	0	Desplazamiento de entrada bajo el mando de una señal externa
1	0	0	Salida continua bajo el mando de T2
1	0	1	Desplazamiento de salida bajo el mando de T2
1	1	0	Desplazamiento de salida bajo el mando del reloj interno

<u>LOCALIDAD</u>			<u>F U N C I O N</u>
ACR4	ACR3	ACR2	Modo de operación
1	1	1	Desplazamiento de salida bajo el mando de una señal externa

TABLA 2.3 CONTROL DEL REGISTRO DE DESPLAZAMIENTO (SR)

Puesto que el registro de desplazamiento no se empleará en el presente trabajo no entraremos en mayores detalles acerca de su operación.

II.4. MAPA DE MEMORIA.

El mapa de memoria del sistema AIM-65 es el siguiente:

<u>DIRECCION</u>	<u>F U N C I O N</u>
0000	RAM disponible
00AC	
00AD	RAM para ensamblador (asignada)
00DE	
00DF	RAM para editor (ocupada)
010R	

DIRECCIONF U N C I O N

010	RAM para funciones programables por el usuario asignada
0114	
0115	RAM para monitor (ocupada)
016F	
0170	RAM para el puntero de la pila - (ocupada)
01FF	
0200	RAM disponible
0FFF	
1000	Espacio disponible para expansión
0FF	
A000	Gestores de puertos
AFFF	
B000	"BASIC" OPCIONAL
CFFF	

DIRECCIONF U N C I O N

D000

Ensamblador opcional

DFFF

E000

Monitor

FFFF

III. DISEÑO DE CIRCUITOS AUXILIARES

En este capítulo diseñaremos el circuito electrónico necesario para que el computador AIM-65 pueda manejar las memorias 2716 y 2732. El diseño se realizará tratando de optimizar la operación del sistema tanto desde el punto de vista del hardware (1) como del software (2).

III.1. CARACTERÍSTICAS DE LAS MEMORIAS EPROM 2716 Y 2732.

Esta sección tiene por objeto describir las características eléctricas y la operación de las dos memorias con que deseamos trabajar. A partir de esta información podremos establecer los componentes externos que debemos incluir a fin de que el computador AIM-65 gobierne a estas memorias EPROM.

III.1.1. EPROM 2716.

La memoria 2716 contiene 2048 palabras de 8 bits que pueden ser programadas eléctricamente y borradas por exposición a luz ultravioleta. Todas sus señales, tanto de entrada como de salida, son de nivel TTL. La EPROM 2716, a diferencia de otras memorias de este tipo, no requiere de pulsos de alto voltaje, para ser programada. El tiempo necesario para grabar todas las localidades de la memoria es de únicamente 100 segundos. La configuración de la

(1) Componentes físicos que constituyen el sistema.

(2) Programación.

2716, así como los 5 diferentes modos en que ésta puede operar, se muestran en la figura 3.1. Para el desarrollo del programador utilizaremos la EPROM únicamente en los tres siguientes modos: programación, alta impedancia y lectura.

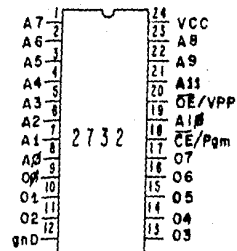
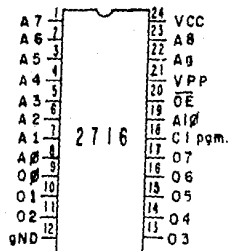
- a) Programación.- Al terminar su fabricación y después de cada proceso de borrado, todos los bits de la 2716 se encuentran en el estado 'uno' lógico. Durante la programación los 'unos' lógicos que se deseen pueden cambiarse por 'ceros' lógicos. Para grabar la memoria se selecciona la dirección deseada, se presenta la información en paralelo en las salidas de datos (00-07) y, manteniendo la terminal Vpp a una tensión de 25 V, se aplica un pulso TTL de 50ms. a la terminal -CE / PGM.

- b) Alta Impedancia.- Para mantener las salidas de datos en un estado de alta impedancia, es necesario conectar la terminal OE a 5 V y la terminal CE / PGM a masa.

- c) Lectura.- Este estado nos permite verificar que la palabra que deseábamos programar en la memoria ha quedado realmente grabada en ésta. En caso contrario debe rá repetirse el proceso de programación.

III.1.2. EPROM 2732.

La memoria 2732, contiene 4096 palabras de 8 bits que pueden ser programadas eléctricamente y borradas por exposi-



terminales:

A β - A1 β direcciones
 O β - O7 datos
 CE / Pgm habilitación / programación
 OE habilitación
 VCC VPP alimentación
 gND masa

terminales:

A β - A11 direcciones
 O β - O7 datos
 CE / Pgm habilitación / programación
 OE / VPP habilitación / alimentación
 VCC alimentación
 gnd masa

modos de operación	terminales							
	2716				2732			
	VCC	CE/pgm	OE	VPP	VCC	CE/pgm	OE/VPP	datos O β - O7
lectura	5V	VIL	VIL	5V	5V	VIL	VIL	salida
espera	5V	VIH	X	5V	5V	VIH	X	alta impedancia
programación	5V	VIL a VIH	VIH	15V	5V	VIL a VIH	25V	entrada
verificación	5V	VIL	VIL	15V	5V	VIL	VIL	salida
alta impedancia	5V	VIL	VIH	5V	5V	VIH	25V	alta impedancia

$-0.1V \leq VIL \leq 0.0V$; $2V \leq VIH \leq 5.5V$; $VIL \leq X \leq VIH$

FIG. 3.1

MEMORIAS 2716 Y 2732.

ción a luz ultravioleta. A diferencia de la 2716, esta memoria requiere de señales de alto voltaje (25 V) para su programación. El tiempo para grabar completamente la memoria es de 3.5 minutos. La configuración de la 2732 junto con sus 5 modos de operación, se muestran en la figura 3.1. Al igual que la 2716, emplearemos la 2732 en 3 modos únicamente.

- a) Programación.- Para grabar la memoria se selecciona la dirección deseada, se presenta la información en paralelo a las salidas de datos (00-07); y manteniendo la terminal OE / Vpp a una tensión de 25 V, se aplica un pulso de 50 ms a la terminal CE para completar la programación. Las localidades de memoria pueden grabarse secuencialmente o en forma aleatoria.
- b) Alta Impedancia.- Para mantener las salidas de datos en un estado de alta impedancia debe conectarse la terminal OE / Vpp a 25 V y la terminal CE a 5 V.
- c) Lectura.- Para verificar el correcto grabado de la información debemos conectar las terminales CE y OE / Vpp a masa.

III.1.3. SIMILITUDES Y DIFERENCIAS ENTRE AMBAS MEMORIAS.

Basándonos en la información mencionada en los párrafos anteriores, podemos concluir que si bien es cierto que la configuración y operación de ambas memorias es muy semejante, éstas requieren de señales diferentes en 3 de sus

24 terminales. En la tabla 3.1. se sumarian estas diferencias para los 3 modos de operación en que emplearemos la EPROM.

TERMINAL	18		20		21	
ESTADO	2716	2732	2716	2732	2716	2732
LECTURA	VIL	VIL	VIL	VIL	+5 V	A11
ALTA IMPEDANCIA	VIL	VIH	VIH	+25 V	+25 V	A11
PROGRAMACION	pulso de VIL a VIH	pulso de VIH a VIL	VIH	+25 V	+25 V	A11

$-0.1 \text{ V} < \text{VIL} < 0.8 \text{ V}$

$2 \text{ V} < \text{VIH} < 5.5 \text{ V}$

TABLA 3.1

III.2. CIRCUITOS AUXILIARES.

Idealmente el microcomputador AIM-65, debería ser capaz de controlar directamente las memorias por medio de su gestor de puertos R6522, sin necesidad de emplear ningún

circuito auxiliar. Esto, sin embargo, resulta imposible debido a las siguientes razones:

- a) El computador AIM-65 no cuenta con una tensión de alimentación de 25 V, necesaria para la programación de las memorias.
- b) El gestor de puertos R6522, no puede manejar directamente señales de 25 V, únicamente de nivel TTL.
- c) Contamos solamente con 16 líneas de entrada-salida, insuficientes para direccionar hasta 4096 localidades de memoria (12 líneas) y para manejar palabras de 8 bits (8 líneas).

A fin de solucionar estos problemas, debemos agregar los siguientes circuitos auxiliares:

- a) Fuente de alimentación externa de 25 V.
- b) Circuitos de mando, capaces de manejar señales de 25 V.
- c) Para resolver el problema de la carencia de líneas de entrada-salida existen 2 soluciones: la primera consiste en multiplexar las 16 líneas con que contamos; la segunda, emplear un contador binario de 12 estados, capaz de direccionar los 4 K bytes de la memoria 2732. Pensamos que la segunda opción es más conveniente, pues requiere de un solo circuito integrado y emplea únicamente 2 líneas del gestor de puertos para manejar

las señales de 'RESET' (restablecimiento) y 'CLOCK' (pulsos de sincronismo) del contador.

Agregaremos también, un grupo de buffers (1) a los circuitos auxiliares que utilizaremos, con objeto de no cargar demasiado los transistores de salida del gestor R6522. En la figura 3.2, se muestra un diagrama de bloques de los circuitos auxiliares sugeridos.

III.2.1. SELECCION DE COMPONENTES.

Los componentes que utilizaremos para reemplazar a los bloques de la figura 3.2, se han seleccionado de forma que reunan los siguientes requisitos:

- a) Reducir al mínimo posible el consumo de corriente de los circuitos auxiliares.
- b) Fácil obtención de estos componentes en el mercado mexicano.

Las descripciones detalladas de todos los circuitos mencionados en esta sección, pueden consultarse en el apéndice II.

III.2.1.1. AMPLIFICADORES.

Los puertos de salida del gestor R6522 pueden manejar ún

(1) Amplificadores.

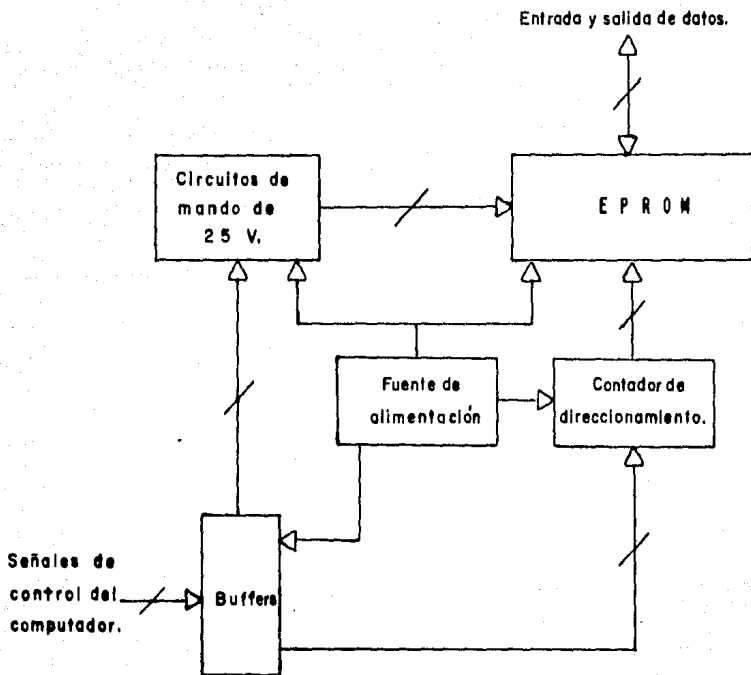


FIG. 3.2
 DIAGRAMA DE BLOQUES
 DE LOS CIRCUITOS AUXILIARES

mente 1 carga TTL en cada una de sus líneas. A fin de su
perar esta limitación utilizaremos como "buffer" el inte-
grado 74LS04, formado por 6 inversores.

III.2.1.2. CONTADOR DE DIRECCIONAMIENTO.

En el mercado existe únicamente un contador binario de 12 estados, el circuito CMOS 4040. Este contador avanza en los flancos negativos de los pulsos de sincronismo aplicados a su terminal '0' y puede restablecerse a cero aplicando un '1' lógico a la terminal 'RESET'.

III.2.1.3. CIRCUITOS DE MANDO.

Para realizar la conmutación de las señales requeridas, utilizaremos los siguientes componentes:

- a) Relevador de 5VCD Schrack de 2 polos y doble tiro RU7205.
- b) Buffer séxtuplo de alto voltaje 7406.
- c) Transistores pnp BC559.
- d) Diodo de pequeña señal IN914.

El relevador se usará para habilitar la alimentación de 25 V a la terminal que la requiere (terminal #20 para la 2732 y #21 para la 2716).

Los transistores, junto con el buffer 7406, se emplearán para conmutar las señales de alto voltaje. Las conexiones propuestas para las terminales 20 y 21 de la memoria, se muestran en la figura 3.3.

Para explicar las conexiones de la figura anterior, consideremos inicialmente que el relevador se encuentra desenergizado (memoria 2716).

Como puede observarse, cuando Q1 se encuentra en corte la terminal 21 se conecta a 5V (considerando una caída de 0.7V a través del diodo); mientras que al saturarse el transistor la tensión de 25V aparece en la patilla 21 de la memoria. Q2, por su parte, nos permite conmutar la señal de la terminal 20 entre 5V y masa.

Si consideramos que el relevador se encuentra energizado (memoria 2732) observamos que la patilla A11 del contador 4040 se conecta directamente a la memoria y que Q2 nos permite ahora conmutar la señal de la terminal 20 entre 25V y masa.

Los transistores seleccionados pueden sustituirse por cualquier otro PNP siempre y cuando su tensión de ruptura colector-emisor sea mayor a 25V. En cuanto al relevador, éste puede ser cualquiera de 2 polos doble tiro que trabaje con una tensión de 5V o de 25V puesto que son las dos únicas alimentaciones con que contamos en el circuito.

Puesto que la terminal 18 de la EPROM requiere únicamente de señales TTL, no es necesario utilizar ningún componen-

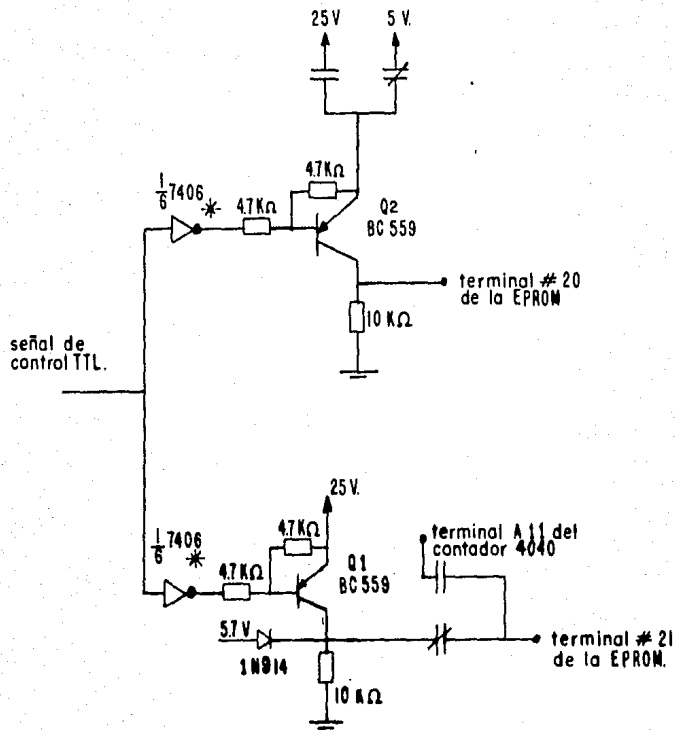


FIG. 33

CONEXION DE LAS TERMINALES 20 Y 21 DE LA MEMORIA.

te adicional

III.2.1.4. FUENTE DE ALIMENTACION.

El circuito sugerido en la sección III.2.1.3, requiere de una fuente de alimentación externa que proporcione 2 tensiones de salida: 25 V y 5.7 V. La tensión de 5.7 V (tras una caída de 0.7 V a través de un diodo), se usará también para alimentar a la EPROM y al resto de los circuitos auxiliares, con objeto de no cargar excesivamente la fuente de 5 V del computador AIM-65.

Los requerimientos de corriente para las fuentes son los siguientes:

1. Fuente de 25 V.

1.1. EPROM: 50 MA máximo

TOTAL: 50 MA

2. Fuente de 5.7 V.

2.1. EPROM: 150 MA máximo

2.2. Circuitos TTL: 40 MA máximo

2.3. Relevador: 38 MA máximo

TOTAL: 228 MA

(Ver apéndice II)

A fin de obtener la tensión de 25 V, utilizaremos como re

regulador el integrado LM317, debido a que su tensión de salida puede ajustarse por medio de un simple potenciómetro cuando el regulador se conecta en la forma mostrada en la figura 3.4. La ecuación que rige la tensión de salida del regulador (propuesta por el fabricante) es:

$$V_{sal} = 1.25 \left(1 + \frac{R_{adj}}{220} \right) \quad (V) \quad (3.1)$$

donde R_{adj} se encuentra en ohms.

Despejando R_{adj} tenemos:

$$R_{adj} = 220 \left(1 + \frac{V_{sal}}{1.25} \right) \quad (\Omega) \quad (3.2)$$

sustituyendo V_{sal} por 25 V obtenemos:

$$R_{adj} = 220 \left(1 + \frac{25}{1.25} \right) = 4620 \Omega \quad (3.3)$$

por lo que podemos emplear un potenciómetro de 5K Ω para ajustar la tensión de salida.

Para obtener la tensión de 5.7 V, podemos emplear otro LM317 o mejor aún un regulador de 5 V, el 7805, con un diodo entre su terminal Gnd (común) y masa, lo cual resulta más económico. Esta conexión se muestra en la figura 3.5.

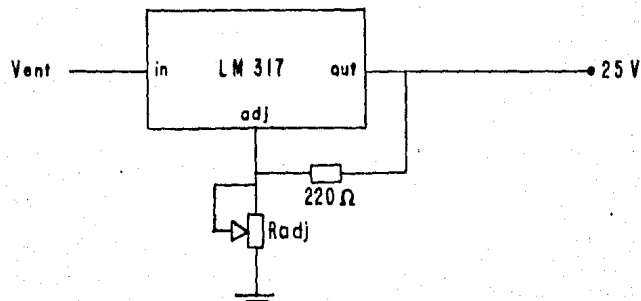
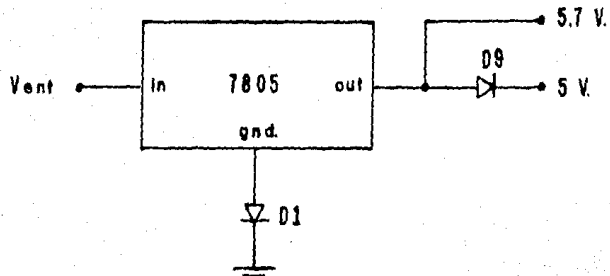


FIG. 3.4

REGULADOR DE 25 V.



D1, D9: BY 4001

FIG. 3.5

REGULADOR DE 5.7 V. Y 5 V.

Puesto que ambos reguladores requieren para su operación de una alimentación cuando menos 3 V arriba de su tensión de salida, proponemos alimentar al LM317 con 30 V y al 7805 con 12 V; ambas tensiones con 2 V de rizo. De esta forma ambos reguladores podrán operar correctamente y a la vez no se sobrecalentarán.

Para el cálculo del capacitor de filtro necesario para obtener los 2 V de rizo que requerimos, consideraremos que utilizamos un rectificador de onda completa para alimentar a los reguladores. La tensión de entrada para estos integrados tendrá la forma mostrada en la figura 3.6.

Considerando que $V_o \rightarrow V_m$ en $t=t_1$ y que para valores de C altos la descarga exponencial del capacitor puede reemplazarse por una descarga lineal, tenemos que:

$$V_{dc} = V_m - \frac{V_r}{2} \quad (3.4)$$

Resulta necesario, sin embargo, expresar V_r en función de la corriente que se entrega a la carga (I_{dc}) y del valor del capacitor. Si T_2 representa el tiempo en que el puente rectificador no conduce, el capacitor descargándose con una corriente I_{dc} pierde una carga Q, donde:

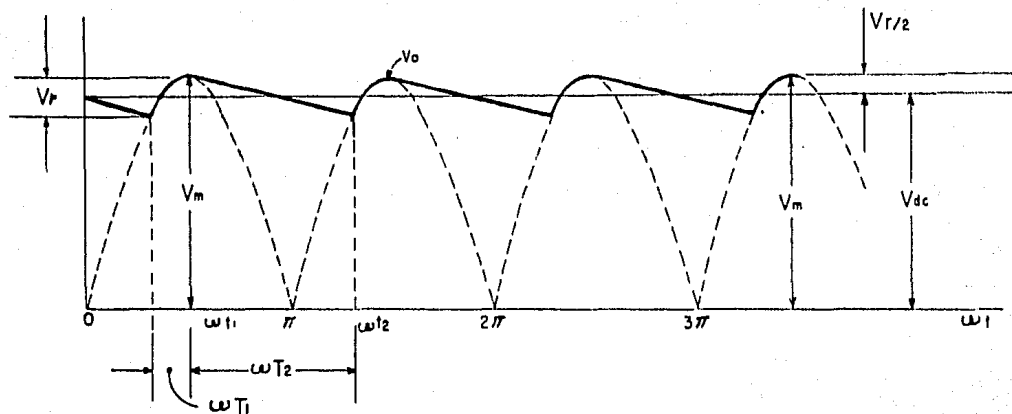


FIG. — 3.6

FORMA DE ONDA DE LA TENSION DE SALIDA V_o DE
UN RECTIFICADOR DE ONDA COMPLETA CON FILTRO.

$$Q = I_{dc} T_2 \quad (3.5)$$

Por lo tanto la variación de tensión a través del capacitor en T_2 es:

$$V_r = \frac{Q}{C} = \frac{I_{dc} T_2}{C} \quad (3.6)$$

Cuanto mejor sea el filtrado menor será el tiempo T_1 , y más se acercará T_2 a $1/2f$, donde f es la frecuencia fundamental de la tensión de alimentación. Suponiendo que $T_2 = 1/2f$, tenemos:

$$V_r = \frac{I_{dc}}{2fC} \quad (3.7)$$

$$C = \frac{I_{dc}}{2fV_r} \quad (3.8)$$

Por lo tanto el capacitor (de valor comercial) que debemos utilizar a la entrada del LM317 es de:

$$C_1 = \frac{I_{dc}}{2fV_r} = \frac{50 \cdot 10^{-3}}{2(60)(2)} = 208 \cdot 10^{-6} F \approx 330 \mu F \quad (3.9)$$

Para el 7805 emplearemos un capacitor de:

$$C_2 = \frac{I_{dc}}{2fV_r} = \frac{228 \cdot 10^{-3}}{2160(12)} = 950 \cdot 10^{-6} F \approx 1000 \mu F \quad (3.10)$$

Por último debemos calcular el valor RMS de la tensión al terna con que se alimentarán los puentes rectificadores:

$$V_{dc} = \sqrt{2} V_{rms} - \frac{V_r}{2} - 2V_d \quad (3.11)$$

donde V_d es la caída de tensión en un diodo (IV)

$$\therefore V_{rms} = \frac{V_{dc} + \frac{V_r}{2} + 2V_d}{\sqrt{2}} \quad (3.12)$$

Para el circuito de 25 V tenemos:

$$V_{rms} = \frac{30 + \frac{7}{2} + 2}{\sqrt{2}} = 23.4 \approx 24 \text{ VCA} \quad (3.13)$$

y para el regulador de 5 V:

$$V_{rms} = \frac{12 + \frac{7}{2} + 2}{\sqrt{2}} = 10.6 \approx 10 \text{ VCA} \quad (3.14)$$

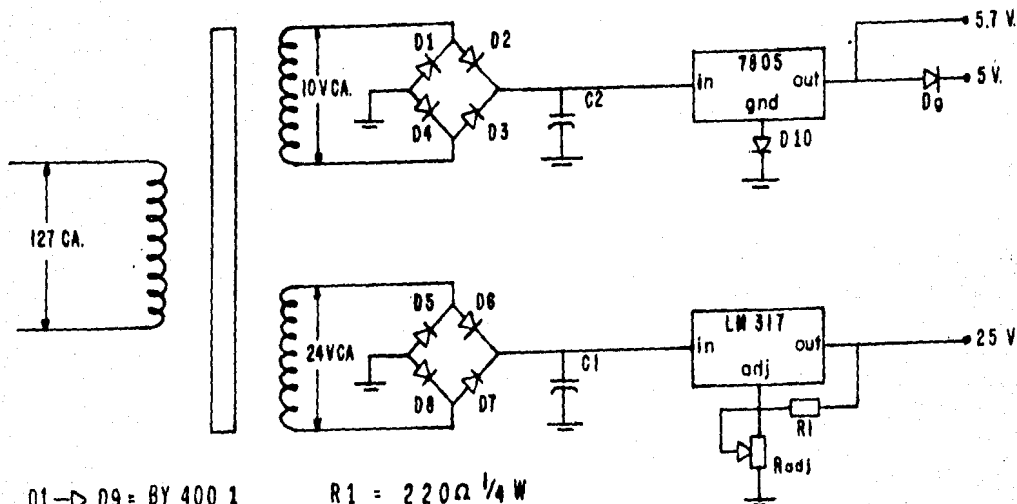
De acuerdo a los resultados mencionados en los párrafos anteriores emplearemos un transformador de doble embobinado, uno de 24VCA @ 50mA y otro de 10VCA @ 230mA o bien dos transformadores con estas mismas características. En la figura 3.7 se muestra el diagrama eléctrico de la fuente de alimentación que se empleará en el prototipo.

III.3. DIAGRAMA ELECTRICO DE LOS CIRCUITOS AUXILIARES.

Una vez seleccionados los componentes que utilizaremos como interfase entre la memoria EPROM y el gestor de puertos R6522, podemos diseñar el diagrama de conexiones de estos circuitos. Para ello, debemos considerar 2 factores primeramente:

- a) Cualquiera que sea la EPROM que se utilice, ésta no debe dañada por las señales presentes en sus terminales de control antes de inicializar el gestor de puertos R6522.
- b) Inicialmente, el gestor de puertos R6522, presenta - 'unos' lógicos en todas sus líneas de entrada-salida.

Teniendo en mente estas consideraciones, hemos diseñado el circuito mostrado en la figura 3.8. Como puede observarse en este diagrama, inicialmente la alimentación de - 25 V, no se encuentra presente en ninguna de las terminales de la memoria y cualquiera que sea la EPROM que se utilice, ésta se encontrará en un estado de alta impedancia.



D1 → D9 = BY 400 1

D10 = 1N914

C1 = 330 μ F

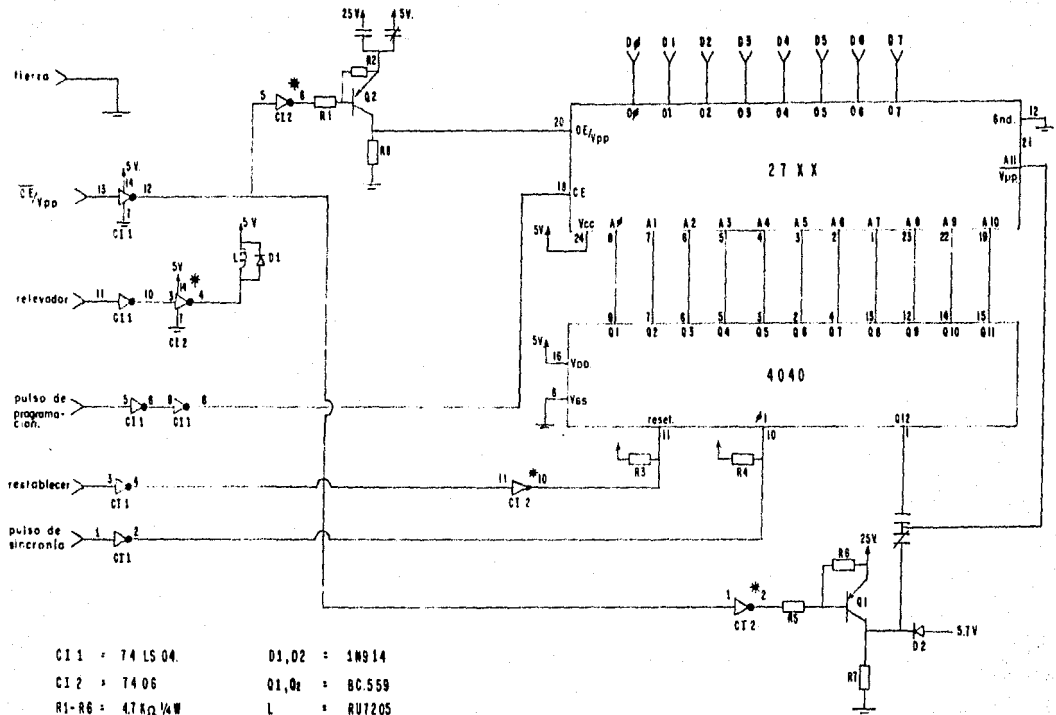
C2 = 1000 μ F

R1 = 220 Ω 1/4 W

R_{adj.} = 5K Ω

FIG. 3.7

FUENTE DE ALIMENTACION.



- CI 1 = 74 LS 04.
- CI 2 = 74 06
- R1-R6 = 4.7 K Ω 1/4W
- R7, R8 = 10 K Ω 1/4W
- D1, D2 = 1N914
- Q1, Q2 = BC559
- L = RU7205

FIG. 3.0
 DIAGRAMA ELECTRICO.
 DE LOS CIRCUITOS AUXILIARES.

El diagrama de conexiones sugerido, nos permite manejar memorias 2716 con el relevador desenergizado, y memorias 2732 con éste energizado.

III.4. ASIGNACION DE LINEAS DEL GESTOR DE PUERTOS R6522.

En el diagrama de la figura 3.8, podemos observar que re querimos de las siguientes líneas del R6522 para contro lar los circuitos auxiliares.

- a) 8 líneas de datos para leer y grabar la información de la memoria.
- b) 2 líneas para el contador 4040, una para la señal de sincronismo y otra para la señal de restablecimiento.
- c) Línea para controlar el relevador.
- d) 2 líneas para conmutar las señales en las terminales 20, 21 y 18 de la memoria.
- e) Masa del gestor R6522.

Las líneas de entrada-salida del R6522, se asignarán de la siguiente forma:

LÍNEAS DEL GESTOR
R6522 ASIGNADAS

PA0 - PA7
PRO

SEÑALES MANEJADAS

DO - D7
Sincronismo

LINEAS DEL GESTOR

R6522 ASIGNADASSEÑALES MANEJADAS

PR1	Restablecimiento
PR2	Relevador
PB3	OE / Vpp
PR4	OE / Pgm

Si bien es cierto, que esta asignación es arbitraria, definitivamente facilita el desarrollo de los programas de control el hecho de asignar un solo puerto para el manejo de los datos de la memoria y el de destinar el bit menos significativo del otro puerto, para el control de la señal de sincronismo. De esta forma para generar el pulso de sincronismo necesario para incrementar el contador de direccionamiento, únicamente deberá incrementarse y decrementarse en 1 la palabra presente en el puerto R.

Los valores lógicos que el puerto R deberá presentar para que la memoria se encuentre en los diversos estados que emplearemos se muestran en la tabla 3.2. Los números hexadecimales resultantes se obtuvieron reemplazando los términos indiferentes de las variables binarias por 'unos' lógicos.

Modo de	2716				2732													
Operación	7	PR	0 # hex	7	PR	0 # hex	7	PR	0 # hex									
Lectura	X	X	X	0	1	1	0	1	ED	X	X	X	0	1	0	0	1	E9

Modo de Operación	2716	2732
	7 PR	0 # hex 7 PR
Alta		
Impedancia	X X X 0 0 1 0 1	F5 X X X 1 0 0 0 1 F1
Programación	X X X 1 0 1 0 1	F5 X X X 0 0 0 0 1 E1
Restablecimiento	X X X X 1 1 1 1	FF X X X 1 X 1 1 1 FF

TABLA 3.2 SEÑALES DE CONTROL DEL PUERTO B

III.5. CONSTRUCCION DEL PROTOTIPO.

En el apéndice II, puede consultarse una lista completa de los componentes utilizados, la cual incluye la descripción de éstos, los posibles proveedores y sus precios al 30 de junio de 1984.

La tarjeta empleada para montar los diversos componentes descritos en este capítulo, se muestra en la figura 3.9. Para la conexión de los diversos circuitos integrados, se empleó la técnica conocida como 'wire-wrap' (arrollamiento de alambre), debido a que ésta permite la realización de conexiones rápidas y seguras. La tarjeta se conecta al computador AIM-65, por medio de 2 conectores hembra de 22 líneas, unidos por un cable plano. Únicamente debe realizarse un ajuste en la tarjeta, el correspondiente a la tensión de alimentación de 25 V.

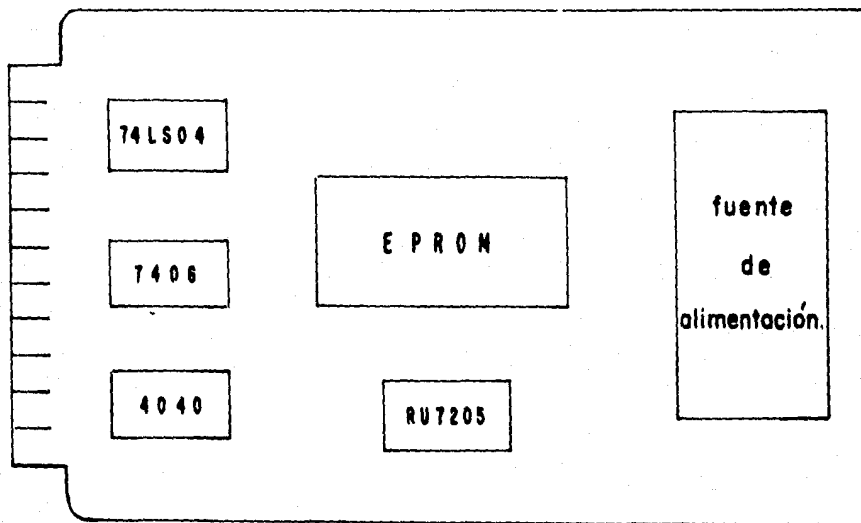


FIG. 39

TARJETA DE MONTAJE

IV. DISEÑO DEL PROGRAMA DE CONTROL

En el presente capítulo, describiremos la serie de datos y rutinas necesarios para operar el programador de memorias EPROM. Este programa se alojará inicialmente en la memoria RAM del computador, (localidades 0 0 0 0 hasta 0 3 D1). Una vez que este programa se haya cargado en RAM, puede ser grabado, después de modificar sus direcciones de entrada y salida, en una EPROM, la cual podemos alojar en cualquiera de los zócalos disponibles para este propósito en el computador AIM-65.

IV.1. CARACTERÍSTICAS GENERALES DEL PROGRAMA DE CONTROL.

En esta sección, mostraremos por medio de diagramas de flujo, la operación del programa de control. Tal y como se mencionó en el primer capítulo, este programa permite al usuario, realizar las siguientes funciones:

- a) Verificar el correcto borrado de la memoria.
- b) Grabar en una EPROM, la información almacenada en la memoria del computador.
- c) Verificar el contenido de la EPROM, con la información almacenada en RAM.
- d) Copiar en RAM la información de la EPROM.

En el cuadro 4-1 se muestra la simbología utilizada en la diagramación de las rutinas de control y en la tabla 4.1 las variables empleadas a lo largo de los programas junto con la descripción de cada una de éstas.

VARIABLE	DESCRIPCION
A	Acumulador del P6502
CAR	Caracter ASCII de un mensaje indicativo
COUNT	Dirección que el contador 4040 presenta a la EPROM
DATA	Palabra de 8 bits presente en las salidas de la EPROM
DDRA	Registro de direcciones puerto A
DDPB	Registro de direcciones puerto B
D.F.	Dirección de la EPROM con la que finaliza la tarea encomendada al grabador
HI-Z	Byte que coloca a la EPROM en esta de alta impedancia
LECT	Byte que coloca a la EPROM en estado de lectura
LSBY	Byte menos significativo
MEM	Dirección de trabajo del programador
MSBY	Byte más significativo
ORA	Registro de salida puerto A
ORB	Registro de salida puerto B
RAM D.I.	Dirección inicial en RAM
ROM D.I.	Dirección inicial de la EPROM
ROM D.F.	Dirección final de la EPROM
#MSJ	Dirección donde principia el mensaje indicativo

VARIABLE	DESCRIPCION
(XX)	Contenido del registro XX
SXX	Número hexadecimal XX

TABLA 4.1

VARIABLES EMPLEADAS EN LAS RUTINAS DE CONTROL

IV.1.1. RUTINA DE INICIALIZACION (INI).

El programa de control, requiere una rutina que inicialice el gestor de puertos 6522 y los registros de trabajo, los cuales explicaremos posteriormente. "INI", debe, asi mismo interrogar al usuario acerca del tipo de memoria que utiliza y la tarea que desea realizar. El diagrama de flujo de INI se muestra en la figura 4.1.

IV.1.2. RUTINA PARA VERIFICACION DE BORRADO (VERRO).

Por medio de esta rutina podemos comprobar que todos los bits de la EPROM sean 'unos' lógicos. En caso contrario, el programa deberá avisar al usuario la dirección de memoria en donde se haya detectado el problema y preguntar si desea continuar con la verificación o darla por terminada. El diagrama de flujo de esta rutina se muestra en la figura 4.2.

VARIABLE	DESCRIPCION
(XX)	Contenido del registro XX
\$XX	Número hexadecimal XX

TABLA 4.1

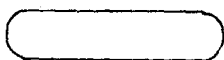
VARIABLES EMPLEADAS EN LAS RUTINAS DE CONTROL

IV.1.1. RUTINA DE INICIALIZACION (INI).

El programa de control, requiere una rutina que inicialice el gestor de puertos 6522 y los registros de trabajo, los cuales explicaremos posteriormente. "INI", debe, así mismo interrogar al usuario acerca del tipo de memoria que utiliza y la tarea que desea realizar. El diagrama de flujo de INI se muestra en la figura 4.1.

IV.1.2. RUTINA PARA VERIFICACION DE BORRADO (VERRO).

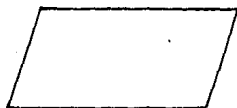
Por medio de esta rutina podemos comprobar que todos los bits de la EPROM sean 'unos' lógicos. En caso contrario, el programa deberá avisar al usuario la dirección de memoria en donde se haya detectado el problema y preguntar si desea continuar con la verificación o darla por terminada. El diagrama de flujo de esta rutina se muestra en la figura 4.2.



bloque de principio o fin.



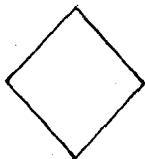
bloque de asignación o proceso



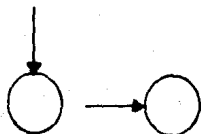
bloque de entrada o salida de información.



bloque para ejecución de subrutina



bloque de decisión



conectores

CUADRO 4.1

SIMBOLOGIA UTILIZADA EN LOS DIAGRAMAS DE FLUJO

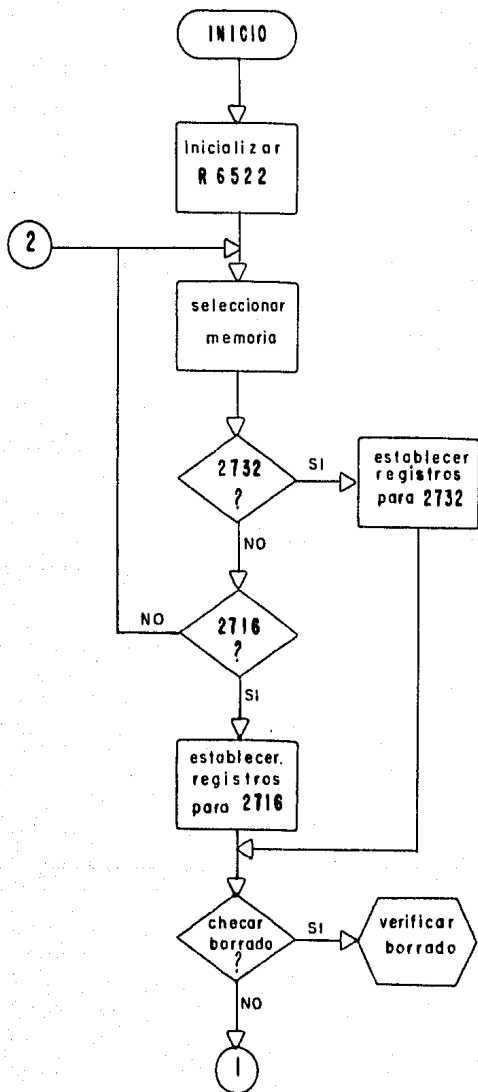


FIG 4.1 a

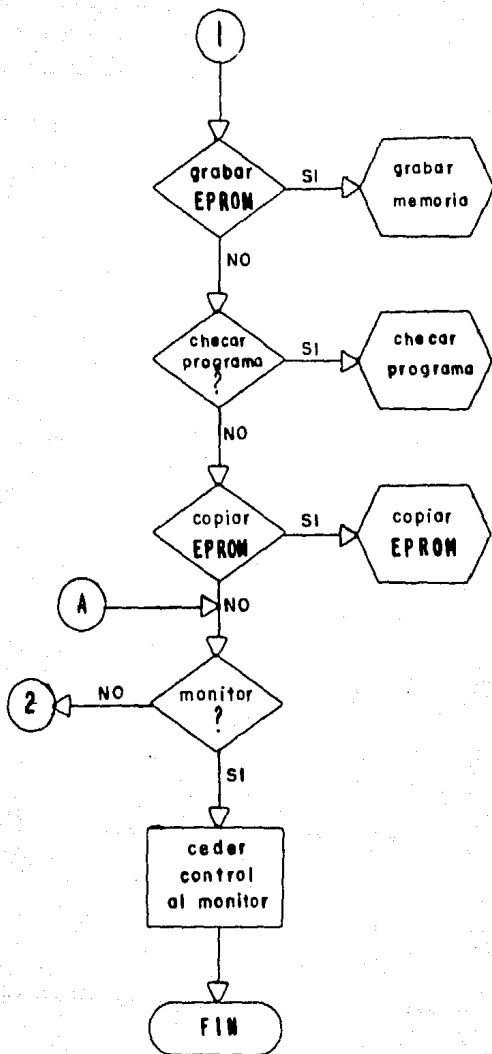


FIG. 4 Ib.
RUTINA INI.

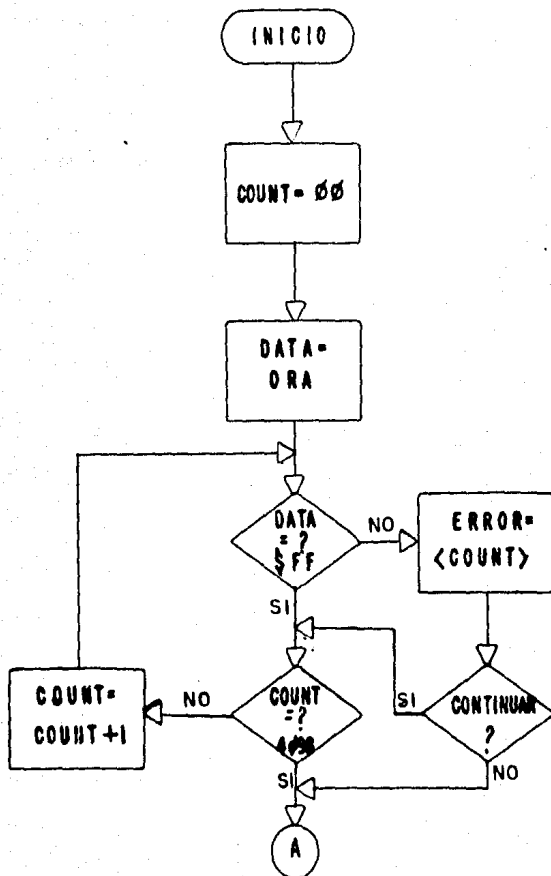


FIG. 4.2
RUTINA VERBO

IV.1.3. RUTINA PARA PROGRAMAR MEMORIA (PGM).

PGM, cuyo diagrama de flujo aparece en la figura 4.3., es la rutina encargada de grabar en la EPROM la información almacenada en RAM. Esta rutina requiere para su operación de la siguiente información:

- a) Dirección de la RAM en donde se encuentra la primera palabra a ser grabada en la EPROM (RAM D.I.).
- b) Direcciones de la primera y última localidades de la EPROM que deberán grabarse (ROM D.I. y ROM D.F.).

PGM programará la palabra correspondiente en cada localidad de memoria y la leerá a continuación para verificar que la información haya quedado correctamente grabada. De no ser así se repetirá el procedimiento de programación. En caso de realizarse tres intentos fallidos de grabación la rutina avisará al usuario del problema por medio de un mensaje de error similar al descrito en la sección - IV.1.2.

IV.1.4. RUTINA PARA VERIFICAR PROGRAMACION (VERPGM).

Por medio de esta rutina podemos verificar que la información almacenada en la EPROM sea igual a la contenida en RAM.

VERPGM principia preguntando al usuario la dirección de la RAM a partir de la cual deberá realizarse el chequeo,

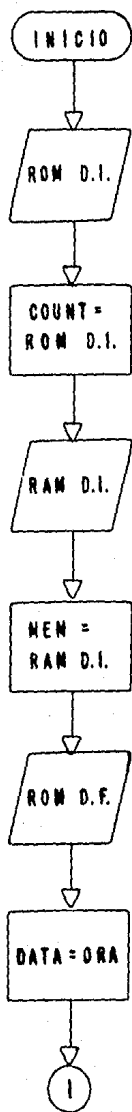


FIG. 4.3a.

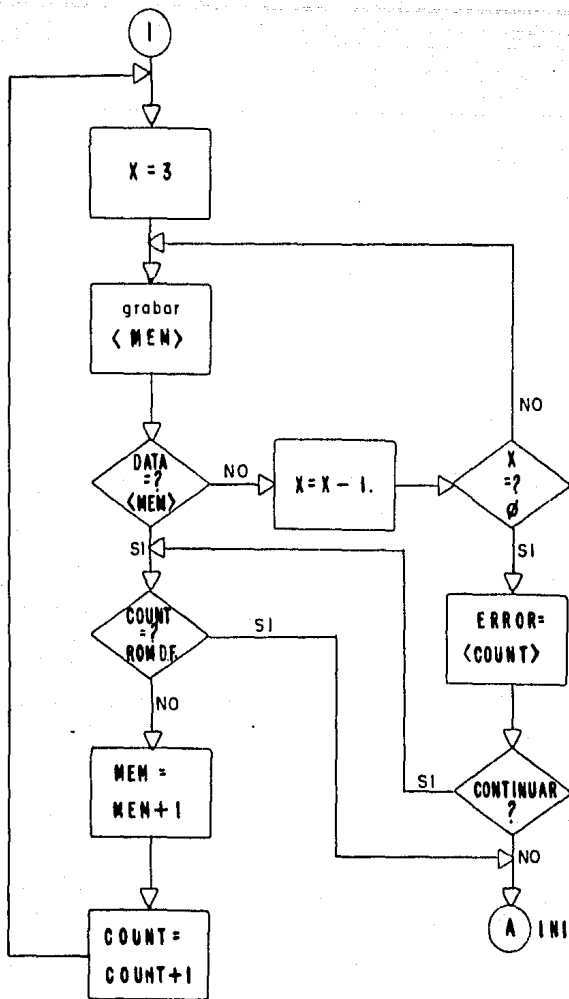


FIG. 4. 3b.
RUTINA PGM.

así como las direcciones inicial y final de la información de la EPROM que deberá verificarse. En caso de existir alguna diferencia entre el contenido de la RAM y el de la EPROM se mostrará un mensaje de error. El diagrama de flujo de VERPGM se muestra en la figura 4.4.

IV.1.5. RUTINA PARA COPIAR INFORMACION DE LA EPROM A LA RAM (COPY).

Esta rutina permite al usuario grabar en RAM el contenido de la EPROM; para su operación, COPY necesita conocer a partir de qué dirección en la memoria de escritura-lectura debe grabar el contenido de la EPROM y las direcciones inicial y final de la información que será copiada. El diagrama de flujo de COPY aparece en la figura 4.5.

IV.2. MENSAJES INDICATIVOS.

Los mensajes indicativos que se muestran en el visualizador del computador para guiar al operador, deben almacenarse en código ASCII en la memoria RAM del computador. Todo mensaje debe finalizar con el número hexadecimal "OD" ó "7F" dependiendo de la forma en que éste sea empleado (ver sección IV.4.1.).

La lista de mensajes junto con sus direcciones de entrada es la siguiente:

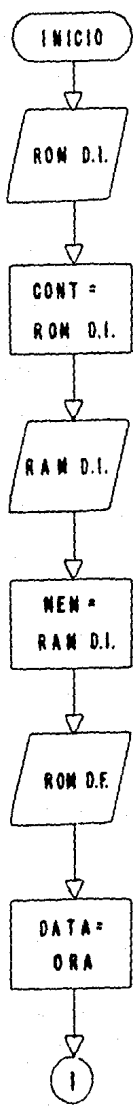


FIG. 4.4a

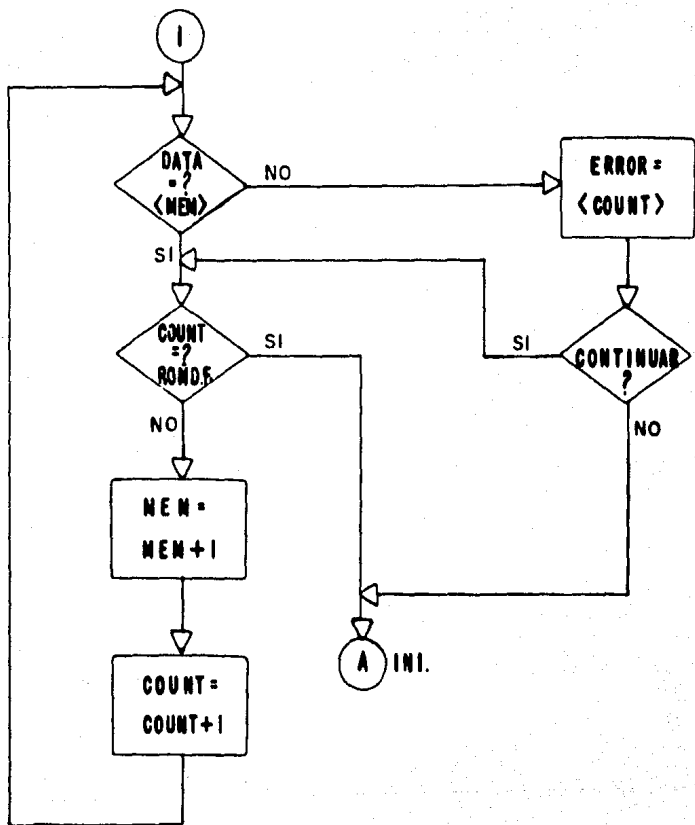


FIG. 4.4b.

RUTINA VER PGM

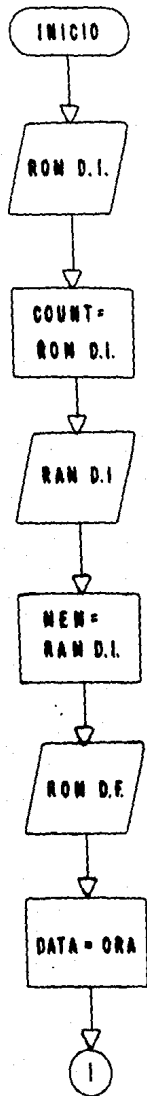


FIG. 4.5a

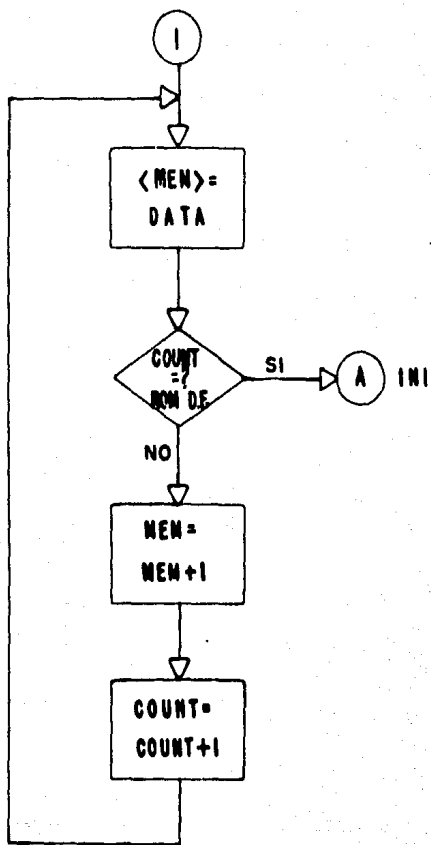


FIG. 4.5b
RUTINA COPY

<u>#</u>	<u>MENSAJE</u>	<u>DIRECCION DE ENTRADA</u>
1	2716-1 2732-2	0000
2	CHECAR BORRADO?	000E
3	GRABAR ROM?	001E
4	CHECAR PROGRAMA?	002A
5	COPIAR PROGRAMA?	0037
6	MONITOR?	0044
7	ROM D. I. =	004D
8	ROM D. F. =	0057
9	ERROR	0061
10	CONTINUAR?	0068
11	TAREA CONCLUIDA	0073
12	RAM D. I. =	0082

IV.3. REGISTRO DE TRABAJO.

Dentro del programa de control emplearemos una serie de registros donde se almacenará la información necesaria para la operación de las diferentes rutinas. Estos registros son los siguientes:

- a) #MSJ (008C, 008D).- Estas localidades las utilizaremos para almacenar la dirección de RAM en donde se inicia el mensaje que deseamos mostrar en el visualizador. Debido a que todos los mensajes se encuentran en la página cero de la RAM la localidad 008D contendrá siempre el número hexadecimal 00.

- b) MEM (009E, 009F).- En MEM se almacena la dirección de la memoria RAM, en donde se encuentra la información con la que debe trabajar el programador para realizar la tarea encomendada.
- c) COUNT (0090, 0091).- Estas localidades contienen la dirección que el contador 4040 presenta a la EPROM.
- d) D.F. (0092, 0093).- D.F. se utiliza para conservar la dirección de la EPROM con la que finaliza la tarea en comendada al programador.
- e) LECT (0094), HI-Z (0095).- Estas localidades contienen la palabra de 8 bits que el puerto B del 6522 debe pre sentar para que la EPROM se encuentre en estado de lec tura (LECT) o de alta impedancia (HI-Z).

IV.4. SUBROUTINAS BASICAS.

Esta sección tiene como fin describir la serie de subruti nas básicas que emplearemos para codificar las rutinas principales, señaladas en la sección IV.4.1 utilizando el menor espacio de memoria posible. Dentro de estas subru tinas haremos uso de diversas rutinas que forman parte del monitor del sistema AIM-65.

IV.4.1. SUBROUTINAS MSJ.

Esta subrutina tiene por objeto mostrar en el visualiza

dor del computador los mensajes que permiten al usuario operar el programador de memorias EPROM y obtener las respuestas de éste a través del teclado. Dentro de esta rutina emplearemos las subrutinas del monitor que a continuación se enlistan:

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
CLR	A	EB44	Limpiar el <u>vi</u> sualizador
OUTDIS	-	EF05	Mostrar en el visualizador un carácter - ASCII <u>almace</u> nado en A
RFDOUT	A	E973	Leer un <u>caráct</u> er del <u>tecla</u> do, mostrarlo en el <u>visuali</u> sador y <u>almacenarlo</u> en <u>có</u> digo ASCII en A

La subrutina MSJ opera de la siguiente forma: primeramente se limpia el visualizador y se almacena en la pila el

valor del registro "Y" que se empleará como índice. Enseguida se procede a mostrar en el visualizador el mensaje deseado, cuya dirección de entrada debió ser primeramente almacenada en la localidad de memoria 008C. El último carácter del mensaje debe ser el número hexadecimal "0D" en caso de que se desee obtener una respuesta del usuario, ó "7F", en caso contrario. A continuación se obtiene la contestación del teclado en caso de que así se haya especificado, almacenándose ésta en el acumulador. Para finalizar se recupera el valor del índice "Y" almacenado en la pila.

En la figura 4.6 se muestra el diagrama de flujo de esta subrutina. La codificación de WSJ, cuya dirección de entrada es 0283, es la siguiente:

0283	JSR	Limpiar visualizador
	BR	
	44	
0286	TYA	Almacenar índice "Y"
0287	PHA	
0288	LDY	Y = 0
	#00	
028A	LDA	
	BC, Y	Cargar carácter
028C	CMP	
	#0D	Ultimo carácter con respuesta?
028E	REQ	
	OR	

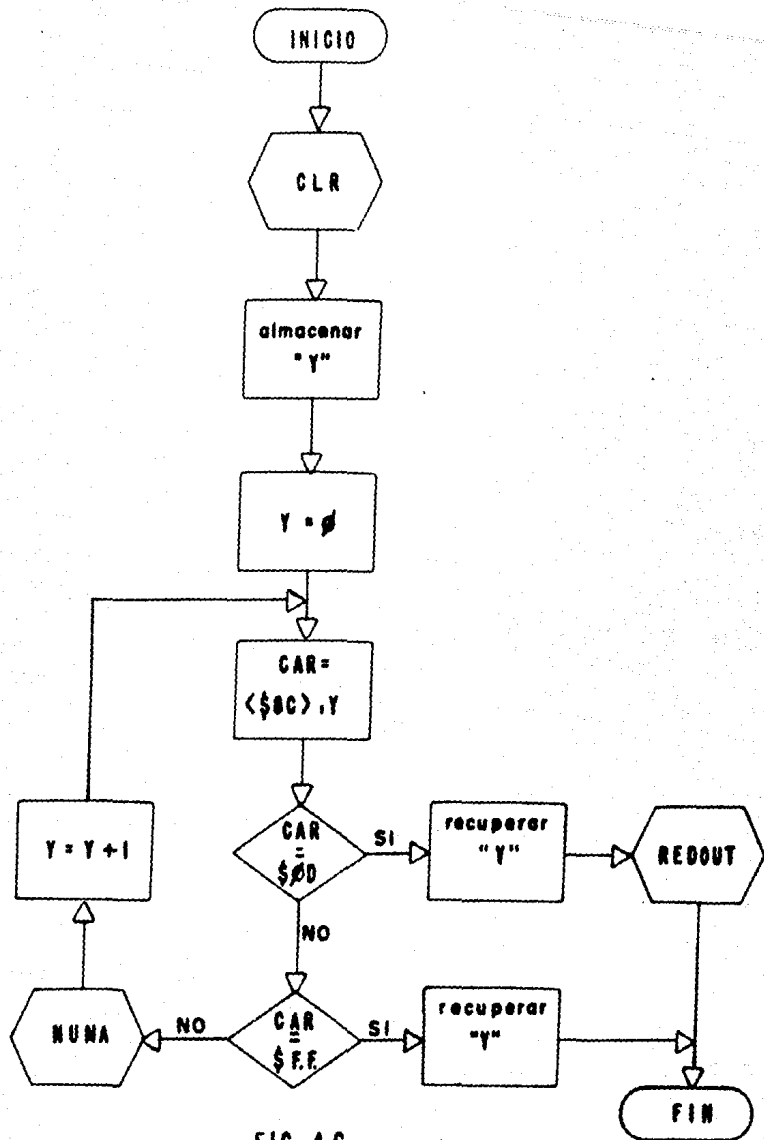


FIG. 4.6
SUBROUTINA MSJ.

0290	CMP	Ultimo carácter sin res
	#7F	puesta?
0292	BEQ	
	OF	
0294	JSR	
	EF	Mostrar carácter
	05	
0297	INY	Incrementar índice "Y"
029A	JMP	
	02	
	8A	
029B	PLA	
029C	TAY	Recuperar índice "Y"
029D	JSR	
	E9	Leer respuesta
	73	
02A0	JMP	
	02	
	AR	
02A3	PLA	
	TAY	Recuperar índice "Y"
02A5	RTS	

IV.4.2. SUBROUTINA ICON.

ICON tiene por objeto incrementar los contadores "COUNT", "MPM" y el C.I. 4040 empleado para direccionar la EPROM. Asimismo esta subrutina compara el valor de "COUNT" con el de "D.P." y le indica a la rutina principal si estos dos registros son iguales ($X = 1$) significando esto que

la tarea encomendada ha sido terminada.

El diagrama de flujo de ICON se muestra en la figura 4.7.

La codificación de esta subrutina es la siguiente:

02A6	LDX	
	#00	Cuenta no terminada
02A8	LDA	
	90	Cargar COUNT LSBY
02AA	CMP	
	92	COUNT LSBY ? D.P. LSBY
		"
02AC	BNE	
	0B	
02AE	LDA	
	91	Cargar COUNT MSBY
02B0	CMP	
	93	COUNT MSBY ? D.P. MSBY
		"
02B2	BNE	
	05	
02B4	LDX	
	#01	Cuenta terminada
02B6	JMP	
	02	Terminar subrutina
	CB	
02B9	DEC	
	A0	
	00	Incrementar contador

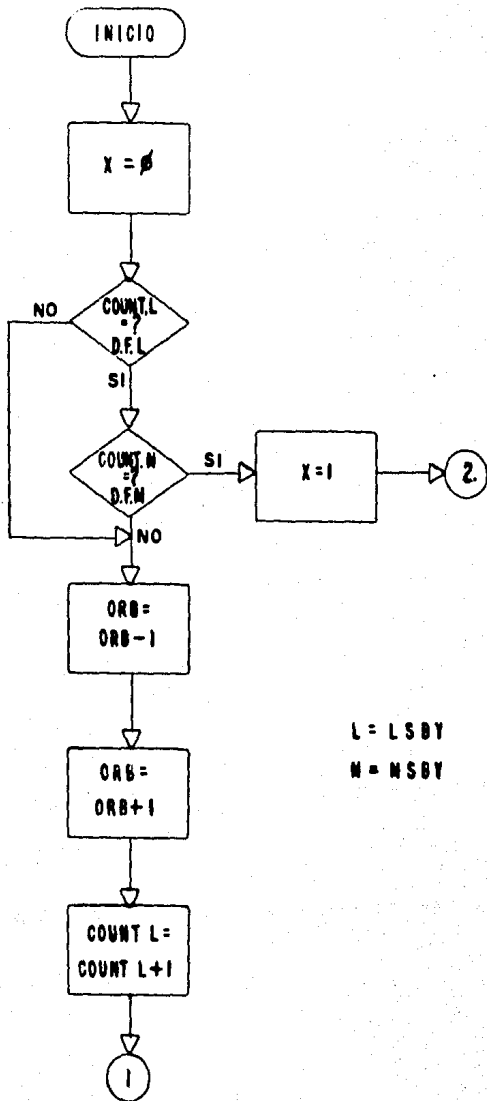


FIG. 4.7a

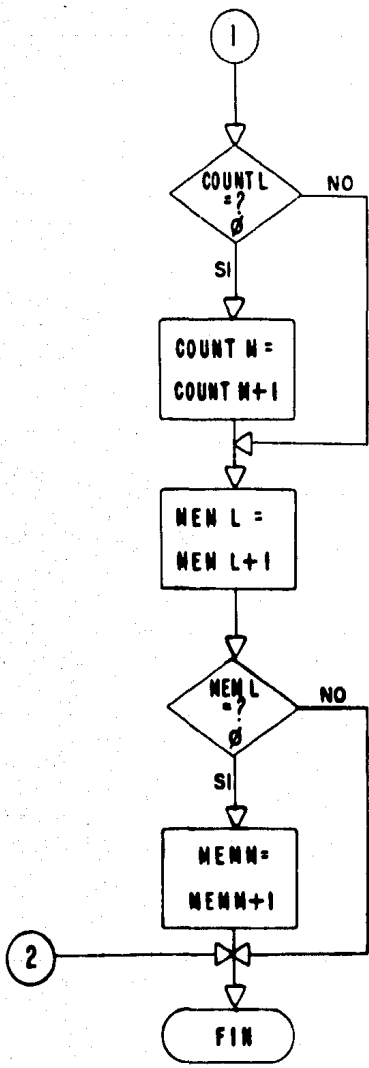


FIG. 4.7b.
SUBROUTINA ICON.

028C	INC	4040
	A0	
	00	
02BF	INC	
	90	COUNT LSBY-COUNT LSBY + 1
02C1	BNE	
	02	Acarreo?
02C3	INC	
	91	COUNT MSRY-COUNT MSRY + 1
02C5	INC	
	8E	MEM LSBY=MEM LSBY + 1
02C7	BNE	
	02	Acarreo?
02C9	INC	
	8F	MEM MSRY=MEM MSRY + 1
02CB	RTS	

IV.4.3. SUBROUTINA ERROR.

La función de esta subrutina consiste en informar al usuario de la existencia de un problema en el desarrollo de la tarea encomendada, al igual que la posición de memoria en la que éste fue encontrado. La subrutina pregunta asi mismo al operador si desea continuar con el programa o si prefiere abortarlo.

"ERROR" utiliza la siguiente subrutina:

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
MSJ	A	0283	Mostrar mensa je y obtener respuesta del teclado

La codificación de "ERROR", cuyo diagrama de flujo se muestra en la figura 4.8, es la siguiente:

02F5	LDA	
	#61	
02E7	STA	
	8C	Mensaje #9
02E9	JSR	
	02	Subr. *SJ
	83	
02EC	LDA	
	91	COUNT *SBY
02EE	JSR	
	EA	Mostrar en visualizador
	46	COUNT *SBY
02F1	LDA	
	90	COUNT *SBY
02F3	JSR	
	EA	Mostrar en visualizador
	46	COUNT *SBY

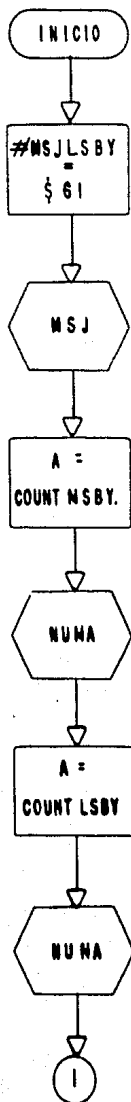


FIG. 4.8a

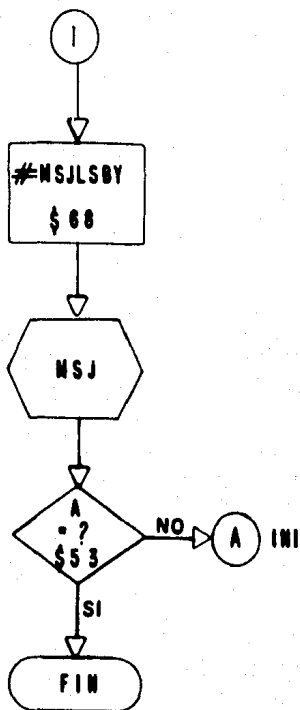


FIG. 4.8b
SUBROUTINA ERROR

0296	JSR	
	E9	Esperar respuesta
	73	
02F9	LDA	
	#68	Mensaje #10
02FR	STA	
	8C	
02FD	JSR	
	02	Subr. MSJ
	83	
0300	CMP	
	#53	Respuesta = a "S"?
0302	REQ	
	03	
0304	JMP	
	02	Retorno a 'A' en INI
	6D	
0307	RMS	

IV.4.4. SUBROUTINA FIN.

Esta subrutina tiene por objeto indicar al operador que la tarea encomendada ha sido terminada, así como retornar el control del programa a la rutina de inicialización - "FIN" utiliza la siguiente subrutina:

NOMBRE DE LA SUBROUTINA	REGISTROS ALTFRADOS	DIRECCION DE ENTRADA	DESCRIPCION
MSJ	A	02R3	Mostrar mensaje y obtener -

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
			respuesta del teclado.

El diagrama de flujo de "FIN" se muestra en la figura 4.9 y su codificación es la siguiente:

035A	LDA	
	#73	Mensaje #11
035C	STA	
	RC	
035E	JSR	
	02	Subr. MSJ
	83	
0361	JMP	
	02	Retorno a 'A' en la rutina de inicialización (ver figura 4.1)
	6D	

IV.4.5. SUBROUTINA DIR.

La subrutina "DIR" nos sirve para obtener del usuario una posición de memoria formada por cuatro números hexadecimales y almacenar ésta en las posiciones "D.P. LSBY" (byte menos significativo) y "D.P. MSBY" (byte más significativo).

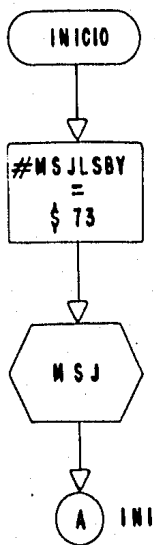


FIG. 4.9
SUBROUTINA FIN

"DIR" utiliza las siguientes subrutinas:

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
MSJ	A	0283	Mostrar mensa je y obtener del respuesta teclado
TO	A,X,Y	E7AC	Obtiene una - dirección de 4 números he- xadecimales y la almacena en A41C - - (LSBY) y A41D (MSBY).

La codificación de "DIR", cuyo diagrama de flujo aparece en la figura 4.10, es la siguiente:

0096	JSR	
	02	Subr. MSJ
	83	
0099	JSR	
	E7	Subr. TO
	AC	
009C	LDA	
	A4	LSBY
	IC	

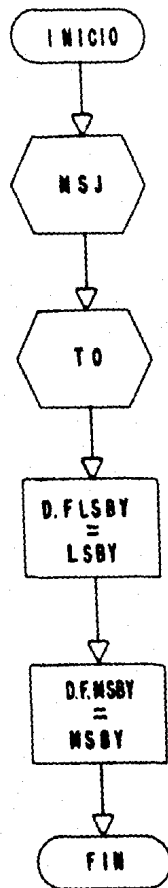


FIG 4.10
SUBROUTINA DIR.

009F	STA	
	92	D.F. LSBY - LSBY
00A1	LDA	
	A4	MSBY
	ID	
00A4	STA	
	93	D.F. MSBY - MSBY
00A6	RTS	

IV.4.6. SUBROUTINA POS.

Por medio de la subrutina "POS" el operador puede comunicar al computador la siguiente información:

- a) Dirección inicial de la EPROM (ROM D.I.).
- b) Dirección inicial de la RAM (RAM. D.I.).
- c) Dirección final de la EPROM (ROM D.F.).

"POS" incrementa también el contador de direccionamiento 4040 hasta el valor del registro "ROM D.I."

"POS" emplea las siguientes subrutinas:

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
DIR	A, D.F., X, Y	0096	Obtener - - "D.F."

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
ICON	A, X, count MEM, 4040	02A6	Incrementado- res
MSJ	A	0283	Mostrar mensa- je y obtener respuesta del teclado

La codificación de "POS", cuyo diagrama de flujo se muestra en la figura 4.11, es la siguiente:

030E	LDA	
	#4D	Mensaje #7
0310	STA	
	9C	
0312	JSR	
	00	Subr. DIR
	96	
0315	JSR	
	02	Subr. ICON
	A6	
0318	TXA	
0319	REQ	
	F4	Cuenta terminada?
031B	LDA	
	#82	Mensaje #12

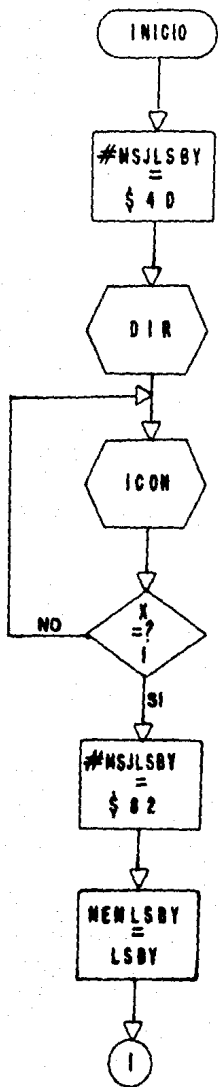


FIG. 4.11 a



FIG. 4.11b
SUBROUTINA POS

031D	STA	
	RC	
031F	JSR	
	00	Subr. DIR
	96	
0322	LDA	
	92	
0324	STA	
	8E	MEM LSRV - D.F. LSRV
0326	LDA	
	93	
0328	STA	
	8F	MEM MSRV - D.F. MSRV
032A	LDA	
	#57	Mensaje #8
032C	STA	
	8C	
032E	JSR	
	00	Subr. DIR
	96	
0331	RTS	

IV.5. RUTINAS PRINCIPALES.

En esta sección codificaremos las rutinas descritas en el apartado IV.1 de esta tesis, por medio de las diversas subrutinas que desarrollamos en la sección anterior.

IV.5.1. RUTINA INI.

"INI", cuyo diagrama de flujo modificado se muestra en la figura 4.12, utiliza las siguientes subrutinas:

NOMBRE DE LA RUTINA	REGISTROS ALTEPADOS	DIRECCION DE ENTRADA	DESCRIPCION
MSJ	A	0283	Mostrar mensaje y obtener respuesta del teclado
VERRO	A,X,Y,COUN MEX,D.P.,4040 # M S J	0200	Checar borrado de memoria
PGM	"	0364	Programar memoria
VERPGM	"	0332	Verificar programa
CPY	"	0344	Copiar programa

Para dar entrada a la rutina "INI", utilizaremos el comando F1 programable con que cuenta el sistema AIM-65. La respuesta a las preguntas que presenta el computador,

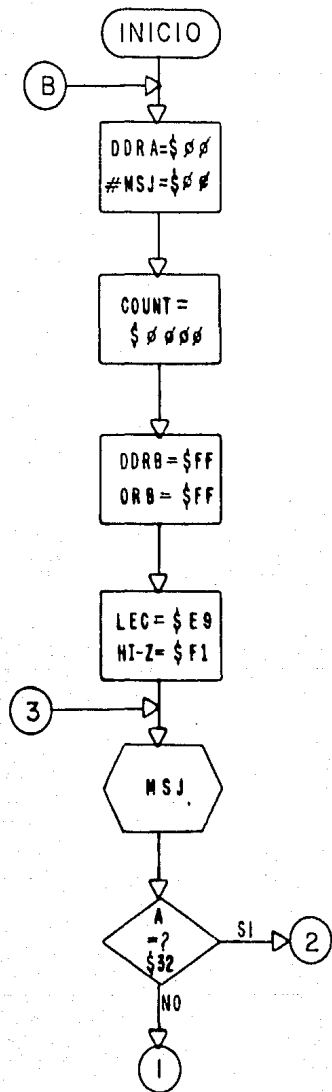


FIG. 4.12-a.

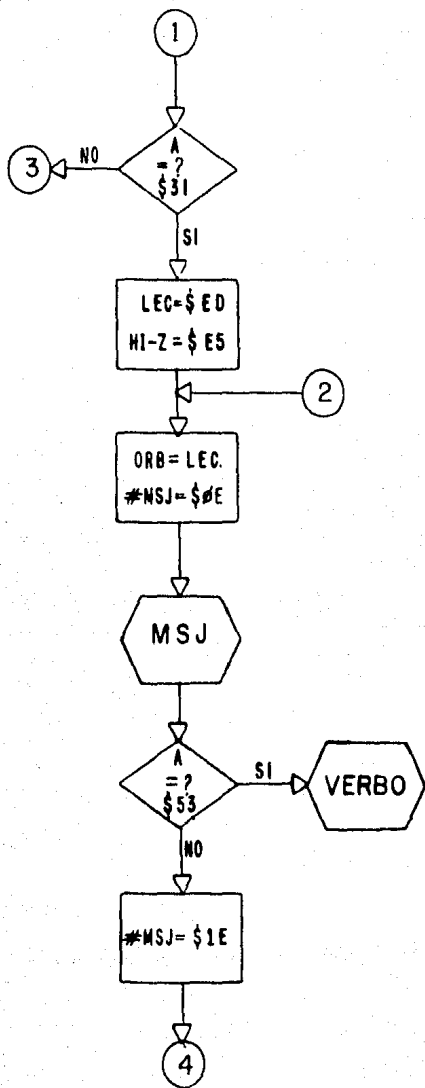
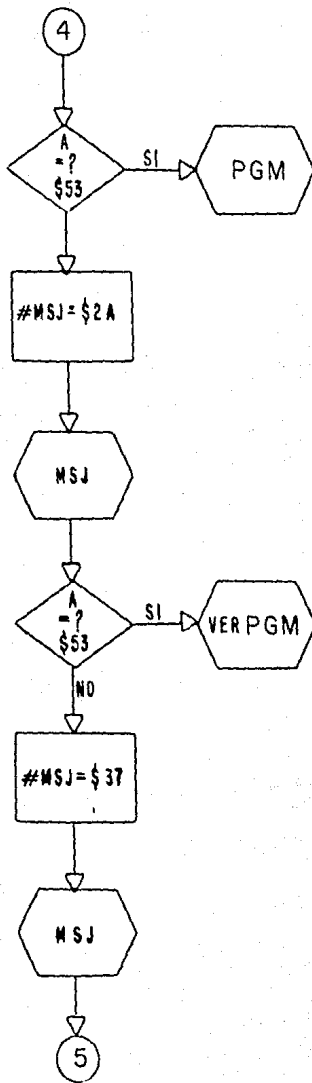


FIG. 4.12-b.



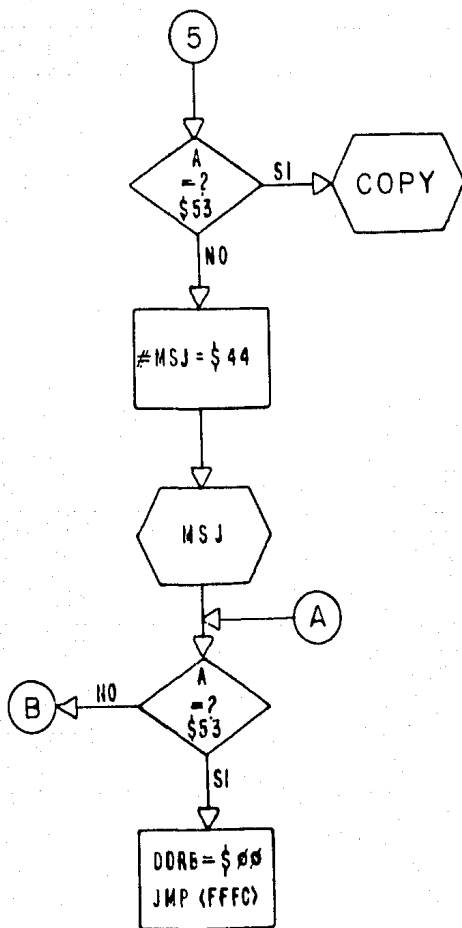


FIG. 4.12 -d.

RUTINA INI

deben ser: una 's' para el caso en que ésta sea afirmati-
va, y cualquier otro carácter en caso contrario.

La codificación de "INI", es la siguiente:

010C	JMP	
	02	
	00	Programación de P1
0200	LDA	
	#00	
0202	STA	
	A0	Puerto A como entrada
	03	
0205	STA	
	8C	Mensaje #1
0207	STA	
	8D	Página 0 para mensajes
0209	STA	
	90	COUNT MSBY = 0
020B	STA	
	91	COUNT LBY = 0
020D	LDA	
	#FF	
020F	STA	
	A0	Reset gral.
	00	
0212	STA	
	A0	Puerto B como salida
	02	
0215	LDA	
	#R9	Eso. lectura puerto B - (2732)

0217	STA	
	94	
0219	LDA	
	#71	Edo. alta impedancia puer to B (2732)
021R	STA	
	95	
021D	JSR	
	02	Subr. MSJ
	83	
0220	CMP	
	#32	Respuesta = a "2"?
0222	REQ	
	0C	
0224	CMP	
	#31	Respuesta = a "1"?
0226	RNE	
	F5	
022R	LDA	
	#ED	Edo. lectura puerto B - (2716) /
022A	STA	
	94	
022C	LDA	
	#25	Edo. alta impedancia puer to B (2716)
022E	STA	
	95	
0230	LDA	
	94	

0232	STA	Edo. lectura puerto B
	A0	
	00	
0235	LDA	
	#0E	Mensaje #2
0237	STA	
	8C	
0239	JSR	
	02	Subr. MSJ
	83	
023C	CMP	
	#53	Respuesta = "S"?
023E	BNE	
	03	
0240	JMP	Rutina VERBO
	02	
	CC	
0243	LDA	
	#1E	Mensaje #3
0245	STA	
	8C	
0247	JSR	
	02	Subr. MSJ
	83	
024A	CMP	
	#53	Respuesta = a "S"?
024C	BNE	
	03	
024E	JMP	
	03	Rutina PGM
	64	

0251	LDA	
	#2A	Mensaje #4
0253	STA	
	8C	
0255	JSR	
	02	Subr. MSJ
	83	
0258	CMP	
	#53	Respuesta = a "S" ?
025A	RNE	
	03	
025C	JMP	
	03	Rutina BERPQ
	32	
025F	LDA	
	#37	Mensaje #5
0261	STA	
	8C	
0263	JSR	
	02	Subr. MSJ
	83	
0266	CMP	
	#53	Respuesta = a "S" ?
0268	RNE	
	03	
0264	JMP	
	03	Rutina COPY
	4A	
026	LDA	
	#44	Mensaje #6
026P	STA	
	8C	

0271	JSR	
	02	Subr. "MSJ
	83	
0274	CMP	
	#53	Respuesta = a "S" ?
0276	BEQ	
	03	
0278	JMP	
	02	Rutina INI
	00	
027B	LDA	
	#00	
027D	STA	
	A0	Puerto B como entrada
	02	
0280	JMP	
	FF	Retorno a monitor
0282	FC	

IV.5.2. RUTINA VERBO.

La rutina "VERBO" hace uso de las siguientes subrutinas

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
ERROR	A,Y,#MSJ	02F5	Mensaje de - error

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
ICON	COUNT, MEM A, X, 4040	02A6	Incrementar - contadores
FIN	A, #MSS	035A	Mensaje de - terminación

La codificación de VERBO, cuyo diagrama de flujo modifica
do, aparece en la figura 4.13, es la siguiente:

```

02CC      LDA
           #0F          D.P. MSRY = 0F
02CE      STA
           93
02D0      LDA
           #FF          D.P. LSRV = FF
02d2      STA
           92
02D4      CMP
           A0
           A1          ORA = FF ?
02D7      BEQ
           03
02D9      JSR
           02
           E5          Subr. ERROR

```

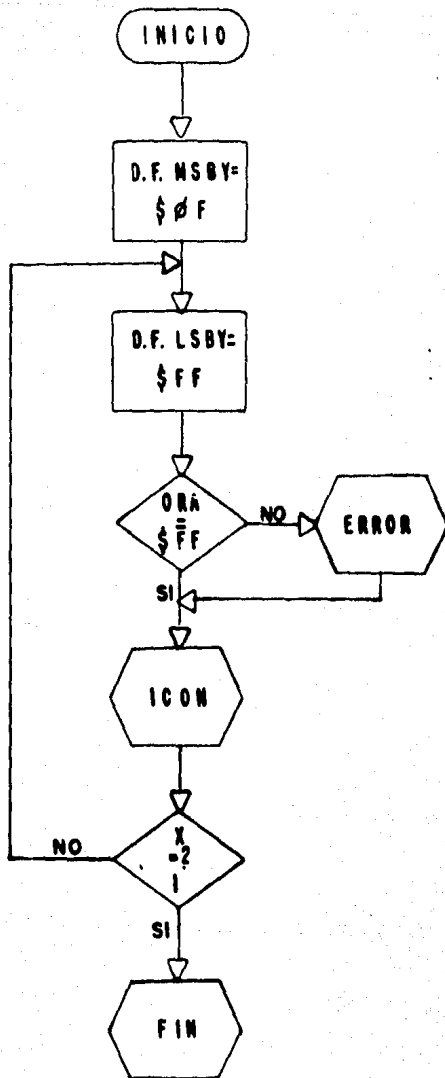


FIG. 4.13
RUTINA VERBO

02DC	JSR	
	02	
	A6	Subr. ICON
02DF	TXA	
02E0	BEQ	
	FE	Tarea terminada ?
02E2	JMP	
	03	
	5A	Subr. FIN

IV.5.3. RUTINA PGM.

En esta rutina, utilizaremos el temporizador 2 del gestor R6522, para generar el intervalo de programación durante el cual, invertiremos la señal en PB4 a fin de generar el pulso de grabación.

PGM, hace uso de las subrutinas que se muestran a continuación:

NOMBRE DE LA SUBRUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
POS	A, X, Y, COUNT, D.F., MEM 4040	030E	Obtener valores de ROM D.I., RAM D.I. y ROM. D.F.
ICON	COUNT, MEM. A. X. 4040	02A6	Incrementar - contadores

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
ERROR	A, Y, EMSJ	02E5	Mensaje de - error
FIN	A, #MSJ	035A	Mensaje de - terminación

El diagrama de flujo de PGM, aparece en la figura 4.14; -
la codificación de esta rutina es la siguiente:

0364	JSR	
	03	
	0E	Subr. POS
0367	LDX	
	#03	X = 3
0369	LDY	
	#00	Y = 0
036B	LDA	
	95	Edo. high - 2 puerto A
036D	STA	
	A0	
	00	
0370	LDA	
	#FF	
0372	STA	
	A0	
	03	Puerto A como salida

ESTE TESIS NO DEBE
 SALIR DE LA BIBLIOTECA

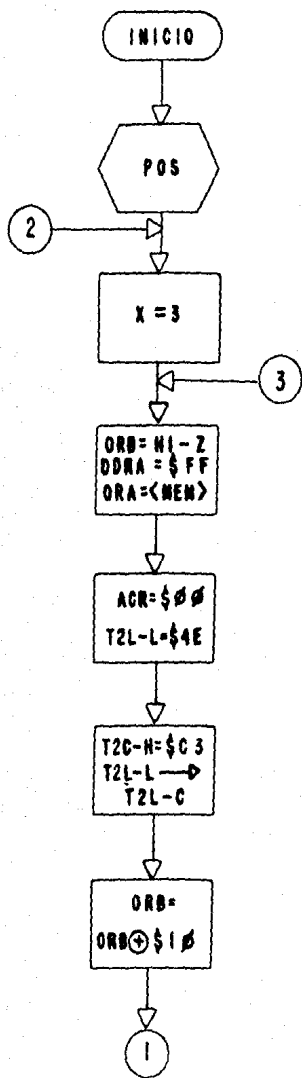


FIG.414a

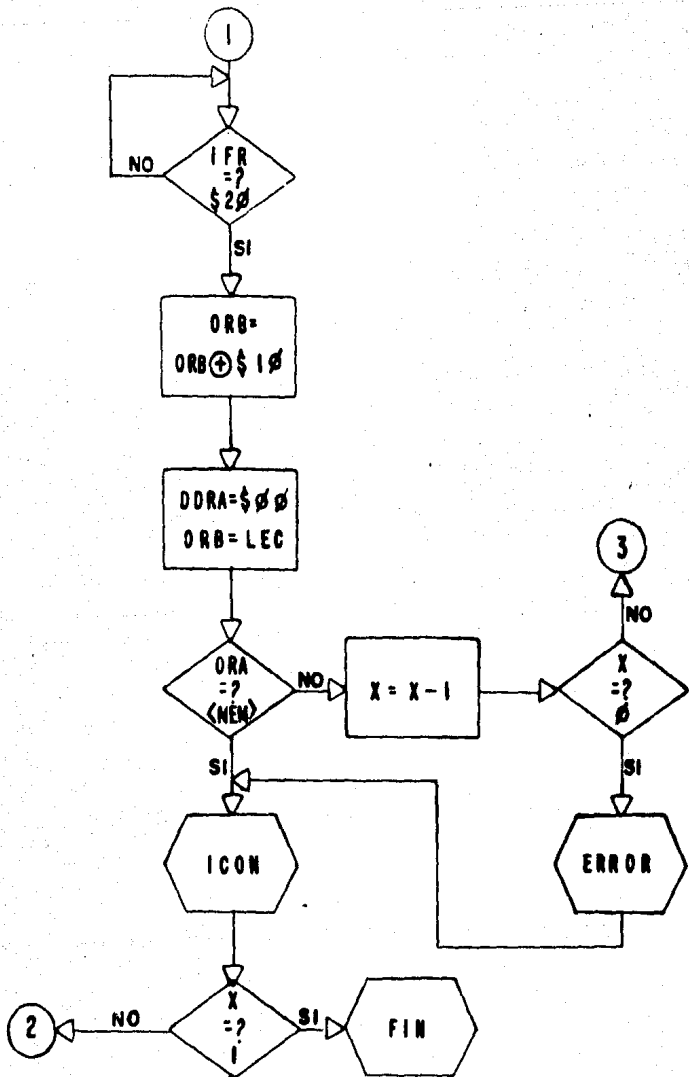


FIG. 4.14b

RUTINA PGM.

0375	LDA	
		8E , Y Cargar (MEM)
0377	STA	
	A0	
	01	DATA = (MEM)
037A	LDA	
	#00	
037C	STA	
	A0	
	0E	Habilitar T2 para generar pulso de programación
037F	LDA	
	#4E	
0381	STA	
	A0	
	A8	Cargar T2L - L
0384	LDA	
	#C3	Cargar T2C - H
		Transferir T2L - L T2C - L e inicial intervalo
0386	STA	
	A0	
	09	
0389	LDA	
	A0	
	00	
038C	FOR	
	#10	Intervertir señal en PF4.
038E	STA	
	A0	
	00	

0391	LDA	
	#20	
0393	RIT	
	A0	
	0D	
0396	BFO	
	FE	Intervalo completado
0398	LDA	
	A0	Restablecer bandera de -
	0B	interrupción
039B	LDA	
	A0	
	00	
039E	EOR	
	#10	Invertir señal en PB4
03A0	STA	
	A0	
	00	
03A3	LDA	
	#00	
03A5	STA	
	A0	
	03	Puerto A como entrada
03AB	LDA	
	94	
03AA	STA	
	A0	
	00	Puerto B edo. de lectura
03AD	LDA	
	A0	
	01	Cargar DATA

03B0	CMP		
	BE, Y		DATA = (MEM) ?
03B2	BEQ		
	06		
03B4	DEX		X = X - 1
03B4	BNE		
	B9		
03B7	JSR		
	02		
	E5		Subr. ERROR
03BA	JSR		
	02		
	A6		Subr. ICON
03BD	TXA		
03BE	BRO		
	A7		Tarea terminada?
03C0	JMP		
	03		
	5A		Subrutina FIN

IV.5.4. VERPGM.

VERPGM emplea las siguientes subrutinas:

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
POS	A, X, Y, COUNT, D.F., MEM 4040	0308	Obtener valores de ROM D. I., RAM D. I. ROM D.F.

NOMBRE DE LA SUBROUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
ERROR	A.Y, #MSJ	02E5	Mensaje de - error.
ICON	COUNT, MEM, A, X, 4040	02A6	Incrementar - contadores
FIN	A, #MSJ	035A	Mensaje de - terminación

La codificación de "VERPGM", cuyo diagrama de flujo se muestra en la figura 4.15, es la siguiente:

```

0332      JSR
           03
           OE      Subr. POS
0335      LDY
           #00     Y = 0
0337      LDA
           A0
           01     Cargar DATA
033A      CMP
           BE , Y  DATA = MEM ?
033C      BEQ
           03
033E      JSR
           02
           E5     Subr. ERROR

```

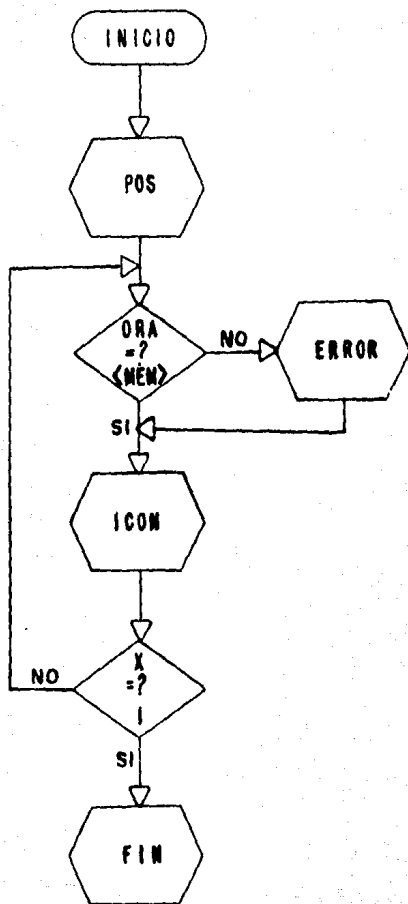


FIG. 4.15

RUTINA VER PGM.

0341	JSR	
	02	
	A6	Subr. ICON
0344	TXA	
0345	REQ	
	EE	Tarea terminada?
0347	JMP	
	03	Subr. FIN
0349	5A	

IV.5.5. RUTINA COPY.

La rutina de copiado, hace uso de las siguientes subrutinas, las cuales se muestran a continuación:

NOMBRE DE LA SURRUTINA	REGISTROS ALTERADOS	DIRECCION DE ENTRADA	DESCRIPCION
POS	A, X, Y, COUNT, D.F., MEM, 4040	030E	Obtener valores de ROM D. I., RAM D. I. y ROM D.F.
ICON	COUNT, MEM, A, X, 4040	02A6	Incrementar - contadores
FIN	A, #MSJ	02E5	Mensaje de - terminación

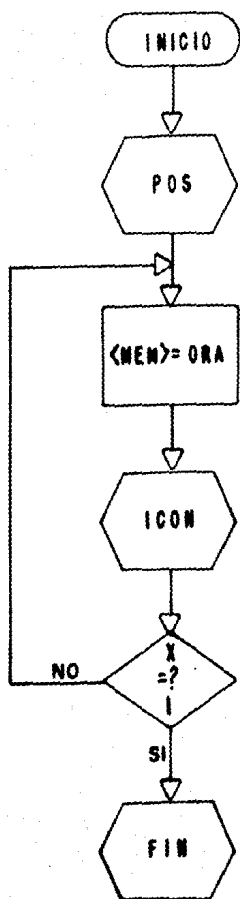


FIG. 4.16

RUTINA COPY

El diagrama de flujo de "COPY", se muestra en la figura 4.16; su codificación es la siguiente:

034A	JSR	
	03	
	0E	Subr. POS
034D	LDY	
	#00	Y = 0
034F	LDA	
	A0	Leer DATA
	01	
0352	STA	
	BE, Y	MEM = DATA
0354	JSR	
	02	
	A6	Subr. ICON
0357	TXA	
0358	REQ	
	03	Tarea terminada
035A	LDA	
	#73	Rutina FIN
035C	STA	
	8C	Mensaje # 1 1
035E	JSR	
	02	
	83	Subr. MSJ
0361	JMP	
	02	
	6D	Retorno a "A" en INI

IV.6. OPERACION DEL SISTEMA.

Para emplear el programador de memorias, el usuario deberá seguir los siguientes pasos:

- a) Colocar la EPROM en el zócalo correspondiente de la tarjeta de control.
- b) Conectar la tarjeta de control al computador Rockwell AIM-65.
- c) Inicializar el computador AIM-65, por medio del botón 'RESET'.
- d) Conectar la alimentación a la tarjeta de control.
- e) Cargar el programa de control en la memoria RAM del computador.
- f) Cargar en la memoria RAM del computador la información que se desea grabar o verificar.
- g) Iniciar el programa de control por medio de la tecla 'F1'.
- h) Informar al computador el tipo de memoria que se está usando ("1" para 2716, "2" 2732).
- i) Oprimir la tecla "RETURN" hasta que aparezca en el visualizador la pregunta correspondiente a la tarea que se desea efectuar y seguidamente contestar afirmativamente (tecla "S").

- j) Proporcionar al computador las siguientes direcciones:
- Localidad inicial de trabajo de la EPROM (ROM D.I.)
 - Localidad final de trabajo de la EPROM (ROM D.F.)
 - Localidad inicial de trabajo en la RAM del computador (RAM D.I.).

Las direcciones deben proporcionarse como 4 cifras en sistema hexadecimal.

- k) Esperar hasta que aparezca el mensaje "TAREA CONCLUIDA". En caso de aparecer el mensaje de error seguido de la dirección en la que se presentó éste oprimir la tecla "RETURN" e informar al computador si se desea continuar la ejecución del programa (tecla "S") o si se da por terminado (tecla "RETURN").
- l) Para terminar el uso del programador, presionar el botón "RESET" y desconectar la alimentación de la tarjeta de control.
- m) Desconectar la tarjeta de control del computador y retirar la EPROM del zócalo.

V. CONCLUSIONES

Consideramos que el objetivo que nos trazamos al iniciar este trabajo se cumplió ampliamente, pues logramos diseñar y construir un programador de memorias capaz de realizar las diversas tareas descritas en el primer capítulo de esta tesis.

Si bien es cierto, que este desarrollo no incluyó el diseño de un circuito impreso ni el de un procedimiento de ensamble para una fabricación en serie, no creemos que esto signifique dejar inconcluso este trabajo, pues la demanda de programadores de memorias EPROM no es lo suficientemente grande para justificar su fabricación a gran escala.

El diseño propuesto posee la gran ventaja de ser sumamente económico (* 9,527) comparado con los diversos programadores que pueden adquirirse en el mercado. El precio de estos equipos fluctúa entre \$ 180,000.00 y - - \$ 200,000.00. Si bien es cierto que esta comparación es injusta pues estamos comparando el precio de venta de un instrumento con el costo de fabricación de un simple prototipo, la diferencia es tan grande que nos permite afirmar que hemos diseñado un equipo de muy bajo costo. Las razones por las que los otros programadores tienen un precio tan alto son principalmente dos:

- a) Se trata de equipos manufacturados en el extranjero que pagan altos impuestos de importación.

b) Estos programadores poseen una serie de características adicionales a las que ofrece nuestro prototipo, ta les como:

- Inclusión del microcomputador de control.
- Capacidad para programar varias memorias simultáneamente.
- Posibilidad de manejar un mayor número de memorias EPRON.

Estas aparentes ventajas, como mencionábamos en el primer capítulo de esta tesis, elevan sensiblemente el costo de estos equipos y no representan ningún beneficio adicional para los usuarios de programadores de EPROMs en México, por lo que podemos afirmar que nuestro grabador de memorias cumple con las necesidades del mercado nacional.

Esperamos también que esta tesis cumpla con el objetivo adicional de señalar la importancia que reviste el hecho de que en México se diseñen y fabriquen equipos adecuados a los requerimientos específicos de nuestra industria, los cuales no son necesariamente los de otros países más desarrollados. De esta forma no solo se evitará la salida innecesaria de divisas de México, sino que seremos ca paces de generarlas por medio de la exportación a países, cuyas necesidades sean similares a las nuestras.

En México existe la capacidad para atacar los mercados in ternacionales, debemos olvidar falsos temores e iniciar esta labor que tanto requiere nuestro país.

I.2. Rutinas de control.

0205 A9 LDA #00	026A 4C JMP 034A
0202 80 STA #000	026D A9 LDA #44
0205 85 STA 80	026F 85 STA 80
0207 85 STA 80	0271 20 JSR 026D
0209 85 STA 80	0274 09 CMP #53
020F 85 STA 80	0276 F0 BEQ 027E
0200 A9 LDA #FF	0278 4C JMP 026D
020F 80 STA #000	027B A9 LDA #00
0212 80 STA #002	027D 80 STA #002
0215 A9 LDA #E9	0280 60 JMP (FFFFC)
0217 85 STA #4	0283 20 JSR EB44
0219 A9 LDA #F1	0286 98 TYA
021B 85 STA 85	0287 48 PHA
021D 20 JSR 028C	0288 A0 LDY #00
0220 09 CMP #12	028A B1 LDA (80),Y
0222 F0 BEQ 0220	028C 09 CMP #00
0224 09 CMP #11	028E F0 BEQ 029E
0226 00 BNE 021D	0290 09 CMP #7F
0227 A9 LDA #E0	0293 F0 BEQ 029C
022A 85 STA #4	0294 20 JSR EF05
022C A9 LDA #E1	0297 08 INY
022E 85 STA 85	0298 4C JMP 028A
0230 A5 LDA #4	029B 83 PLA
0232 80 STA #000	029C A1 TAY
0235 A9 LDA #0E	029D 20 JSR E973
0237 85 STA 80	02A0 4C JMP 02A5
0239 20 JSR 0283	02A3 00 PLA
023C 09 CMP #5D	02A4 A3 TAY
023E 00 BNE 0245	02A5 60 RTS
0240 4C JMP 02C0	02A6 A2 LDY #00
0243 A9 LDA #1E	02A8 A5 LDA 90
0245 85 STA 80	02AA 05 CMP #2
0247 20 JSR 0283	02AC D0 BNE 02B3
024A 09 CMP #51	02AE A5 LDA #1
024C 00 BNE 0251	02B0 05 CMP #3
024E 4C JMP 0344	02B2 D0 BNE 02B9
0251 A9 LDA #2A	02B4 A2 LDY #01
0253 85 STA 80	02B6 4C JMP 02B8
0255 20 JSR 0283	02B9 CE DEC #000
0258 09 CMP #51	02BC EE INC #000
025A D0 BNE 025F	02BE E6 INC #0
025C 4C JMP 0252	02C1 D0 BNE 02C5
025F A9 LDA #27	02C3 E6 INC #1
0261 85 STA 80	02C5 E6 INC #E
0263 20 JSR 0283	02C7 D0 BNE 02C9
0266 09 CMP #5D	02C9 E6 INC #F
0268 00 BNE 0230	02CB 6P RTS

```

0202 A5 LDA #0F
0203 85 STA 9C
0204 89 LDA #FF
0205 85 STA 9C
0206 00 CMP #0
0207 00 CMP #0
0208 89 LDA #FF
0209 20 JSR 0205
0210 20 JSR 0206
0211 8A TAA
0212 80 BEQ 0204
0213 40 JMP 020A
0214 89 LDA #51
0215 85 STA 9C
0216 20 JSR 0202
0217 85 LDA #1
0218 85 LDA #1
0219 20 JSR 0A46
0220 89 LDA 9C
0221 20 JSR 0A46
0222 20 JSR 0A70
0223 89 LDA #50
0224 85 STA 9C
0225 20 JSR 0A30
0226 09 CMP #0
0227 80 BEQ 0200
0228 40 JMP 0260
0229 60 RTS
0230 20 JSR 0200
0231 40 JMP 020A
0232 89 LDA #40
0233 85 STA 9C
0234 20 JSR 0A35
0235 8A TAA
0236 80 BEQ 0215
0237 89 LDA #50
0238 85 STA 9C
0239 20 JSR 0A35
0240 85 LDA #0
0241 85 STA 9C
0242 89 LDA #57
0243 85 STA 9C
0244 20 JSR 0A35
0245 60 RTS

```

```

0246 20 JSR 020E
0247 80 LDY #00
0248 80 LDA #001
0249 01 CMP #0E) Y
0250 80 BEQ 0041
0251 20 JSR 0205
0252 20 JSR 0206
0253 8A TAA
0254 80 BEQ 0205
0255 40 JMP 020A
0256 20 JSR 020E
0257 80 LDY #00
0258 80 LDA #001
0259 01 STA #0E) Y
0260 20 JSR 0206
0261 8A TAA
0262 80 BEQ 0240
0263 89 LDA #70
0264 85 STA 9C
0265 20 JSR 0A30
0266 40 JMP 0260
0267 20 JSR 020E
0268 80 LDY #00
0269 80 LDY #00
0270 89 LDA #5
0271 80 STA #000
0272 80 STA #000
0273 81 LDA #0E) Y
0274 80 STA #001
0275 89 LDA #00
0276 80 STA #006
0277 89 LDA #4E
0278 80 STA #008
0279 89 LDA #00
0280 80 STA #009
0281 80 LDA #000
0282 40 SOR #10
0283 80 STA #000
0284 89 LDA #20
0285 20 BIT #000
0286 80 BEQ 0286
0287 80 LDA #000
0288 40 STA #10
0289 10 STA #000
0290 89 LDA #00


```


APENDICE II

CARACTERISTICAS, PRECIOS Y PROVEEDORES DE LOS COMPONENTES EMPLEADOS

En esta sección se proporciona toda la información técnica y comercial necesaria para la construcción del programador de memorias EPROM descrito en este trabajo.

II.1. Características eléctricas.

 National Semiconductor	ADVANCE INFORMATION		
NMC27C16 16,384-Bit (2048 x 8) UV Erasable CMOS PROM			
Max Access Current	NMC27C16-1	NMC27C16-2	NMC27C16
Access (I _{AVD} -ns)	350	280	450
Active Current (I _{CC} -mA/MHz)	25	25	25
Standby Current (I _{CC} -uA)	100	100	100

General Description

The NMC27C16 is a high speed 16K UV erasable and electrically reprogrammable EPROM ideally suited for applications where fast turn-around, pattern experimentation and low power consumption are important requirements.

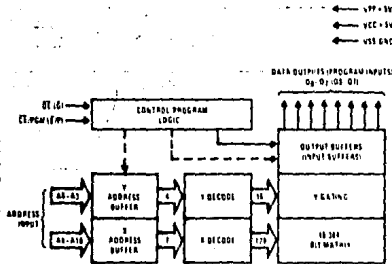
The NMC27C16 is packaged in a 24-pin dual in-line package with transparent lid. The transparent lid allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written into the device by following the programming procedure.

This EPROM is fabricated with the reliable, high volume, time proven, CMOS silicon gate technology.

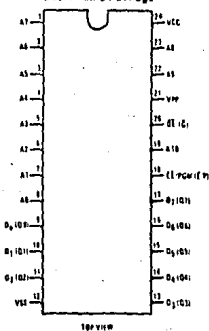
Features

- 2048 x 8 organization
- Low power during programming
- Access time down to 350 ns
- Single 5V power supply
- Static — no clocks required
- Inputs and outputs TTL compatible during both read and program modes
- TRI-STATE[®] output
- CMOS power consumption

Block and Connection Diagrams*



Dual-In-Line Package



Pin Connection During Read or Program

Mode	Pin Name/Number				
	CE/PGM (É/P) 18	OE (O) 20	VPP 21	VCC 24	Outputs 9-11, 13-17
Read	VIL	VIL	5	5	DOUT
Program	Pulsed VIL to VIH	VIH	25	5	DIN

Pin Names

A0-A10 Address Inputs
 O₀-O₇ (O₀-O₇) Data Outputs
 CE/PGM (É/P) Chip Enable/Program
 OE (O) Output Enable
 VPP Read 5V, Program 25V
 VCC Power 5V
 VSS Ground

* Symbols in parentheses are proposed industry standard.
 THE STATE[®] is a registered trademark of National Semiconductor Corp.

Absolute Maximum Ratings (Note 1)

Temperature Under Bias	-25°C to +85°C	Output Voltages with Respect to VSS	VCC + 0.3V to -0.3V
Storage Temperature	-65°C to +125°C	Power Dissipation	1.5W
VPP Supply Voltage with Respect to VSS	26.5V to -0.3V	Lead Temperature (Soldering, 10 seconds)	300°C
Input Voltages with Respect to VSS (except VPP) (Note 6)	6V to -0.3V		

READ OPERATION (Note 2)

DC Operating Characteristics TA = 0°C to +70°C, VCC = 5V ± 5%, VPP = VCC ± 0.6V (Note 3), VSS = 0V, unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
I _{LI}	Input Current	V _{IN} = 5.25V or V _{IN} = V _{IL}			10	µA
I _{LO}	Output Leakage Current	V _{OUT} = 5.25V, CE/PGM = 5V			10	µA
V _{IL}	Input Low Voltage		-0.1		0.8	V
V _{IH}	Input High Voltage		2.0		VCC + 1	V
V _{OL1}	Output Low Voltage	I _{OL} = 2.1 mA			0.45	V
V _{OH1}	Output High Voltage	I _{OH} = -400 µA	2.4			V
V _{OL2}	Output Low Voltage	I _{OL} = 0 µA			GND ± 0.01	V
V _{OH2}	Output High Voltage	I _{OH} = 0 µA	VCC - 0.1			V
I _{PP1}	VPP Supply Current	V _{PP} = 5.85V			10	µA
I _{CC1}	VCC Supply Current (Active)	CE/PGM = OE = V _{IL} (Note 5)			25	mA/MHz
I _{CC2}	VCC Supply Current (Standby)	CE/PGM = V _{IH} , OE = V _{IL}			100	µA

AC Characteristics (Note 2) TA = 0°C to +70°C, VCC = 5V ± 5%, VPP = VCC ± 0.6V (Note 3), VSS = 0V, unless otherwise noted.

Symbol	Alternate Standard	Parameter	Conditions	NMC27C16		NMC27C16-1		NMC27C16-2		Units
				Min	Max	Min	Max	Min	Max	
t _{ACC}	TAVOQ	Address to Output Delay	$\overline{CE}/PGM = \overline{OE} = \text{VIL}$		450		350		390	ns
t _{CE}	TELOV	\overline{CE} to Output Delay	$\overline{OE} = \text{VIL}$		450		350		390	ns
t _{OE}	TGLQV	Output Enable to Output Delay	$\overline{CE}/PGM = \text{VIL}$		120		120		120	ns
t _{OE}	TGHOZ	Output Enable High to Output Hi-Z	$\overline{CE}/PGM = \text{VIL}$	0	100	0	100	0	100	ns
t _{OH}	TAXQX	Address to Output Hold	$\overline{CE}/PGM = \overline{OE} = \text{VIL}$	0		0		0		ns
t _{OD}	TEHOZ	\overline{CE} to Output Hi-Z	$\overline{OE} = \text{VIL}$	0	100	0	100	0	100	ns

Capacitance (Note 4) TA = 25°C, f = 1 MHz

Symbol	Parameter	Conditions	Typ	Max	Units
CI	Input Capacitance	VIN = 0V	4	6	pF
CO	Output Capacitance	VOUT = 0V	8	12	pF

AC Test Conditions

Output Load: 1 TTL gate and CL = 100 pF
 Input Rise and Fall Times: ≤ 20 ns

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Typical conditions are for operation at TA = 25°C, VCC = 5V, VPP = VCC, and VSS = 0V.

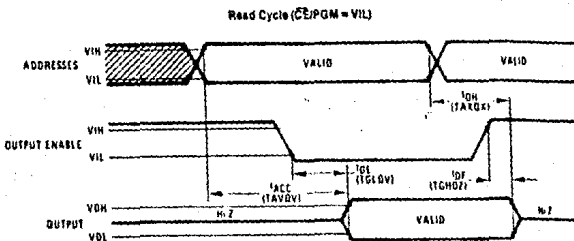
Note 3: VPP may be connected to VCC except during program. The ±0.6V tolerance allows a circuit to switch VPP between the read voltage and the program voltage.

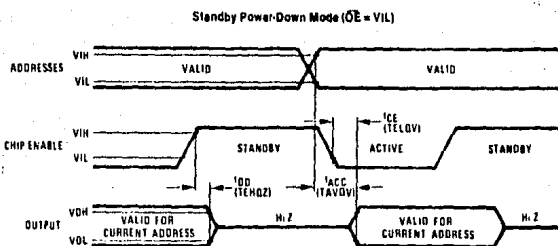
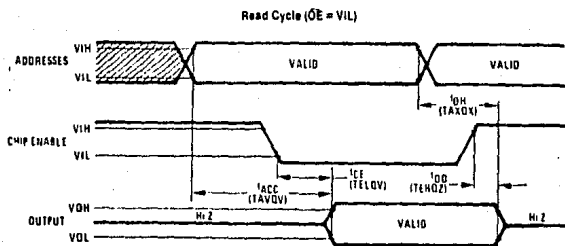
Note 4: Capacitance is guaranteed by periodic testing. TA = 25°C, f = 1 MHz.

Note 5: ICC increases for input voltage V, (VCC - 0.2V) > V > + 0.3V unless in standby mode. During standby, all inputs except \overline{CE} are disabled and draw no ICC for any V.

Note 6: The inputs (Address, \overline{OE} , \overline{CE}) may go above VCC by one volt with no latch up danger. Only the output (data) inputs during programming need be restricted to VCC + 0.5V to - 0.5V.

Switching Time Waveforms*





* Symbols in parentheses are proposed industry standard

PROGRAM OPERATION

DC Electrical Characteristics and Operating Conditions

(Notes 1 and 2) ($T_A = 25^\circ\text{C} \pm 5^\circ\text{C}$) ($V_{CC} = 5\text{V} \pm 5\%$, $V_{PP} = 25\text{V} \pm 1\text{V}$)

Symbol	Parameter	Min	Typ	Max	Units
ILI	Input Leakage Current (Note 3)			10	μA
VIL	Input Low Level	0.1		0.8	V
VIH	Input High Level	2.0		$V_{CC} - 1$	V
ICC	VCC Power Supply Current			100	μA
IPP1	VPP Supply Current (Note 4)			10	μA
IPP2	VPP Supply Current During Programming Pulse (Note 5)			30	mA

AC Characteristics and Operating Conditions

(Notes 1, 2, and 6) (TA = 25°C ± 5°C) (VCC = 5V ± 5%, VPP = 25V ± 1V)

Symbol		Parameter	Min	Typ	Max	Units
Alternate	Standard					
t _{AS}	TAVPH	Address Set-up Time	2			μs
t _{OS}	TGHPH	OE Set-up Time	2			μs
t _{DS}	TDVPH	Data Set-up Time	2			μs
t _{AH}	TPLAX	Address Hold Time	2			μs
t _{OH}	TPLGX	OE Hold Time	2			μs
t _{DH}	TPLDX	Data Hold Time	2			μs
t _{ODT}	TGHOZ	Output Disable to Output TRI-STATE Delay (Note 4)	0		100	ns
t _{OE}	TGLQV	Output Enable to Output Delay (Note 4)			120	ns
t _{PW}	TPHPL	Program Pulse Width	45	50	55	ms
t _{PR}	TPH1PH2	Program Pulse Rise Time	5			ns
t _{PF}	TPL2PL1	Program Pulse Fall Time	5			ns

Note 1: VCC must be applied at the same time or before VPP and removed after or at the same time as VPP. To prevent damage to the device it must not be inserted into a board with power applied.

Note 2: Care must be taken to prevent overshoot of the VPP stubby when switching to +25V.

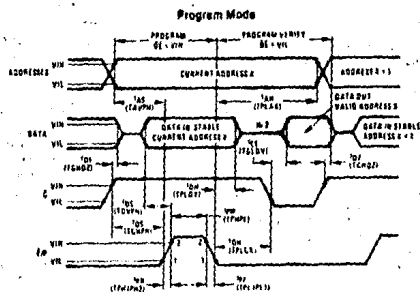
Note 3: 0.45V < V_{IN} ≤ 2.5V

Note 4: $\overline{CE}/PQM = V_{IL}, V_{PP} = V_{CC}$

Note 5: VPP = 25V

Note 6: Transition times ≤ 20 ns unless noted otherwise

Timing Diagram*



Functional Description

DEVICE OPERATION

The NMC27C16 has 3 modes of operation in the normal system environment. These are shown in Table I.

Read Mode

The NMC27C16 read operation requires that $\overline{OE} = \text{VIL}$, $\overline{CE}/\text{PGM} = \text{VIL}$ and that addresses A0-A10 have been stabilized. Valid data will appear on the output pins after t_{ACC} , t_{OE} or t_{CE} times (see Switching Time Waveforms) depending on which is limiting.

Deselect Mode

The NMC27C16 is deselected by making $\overline{OE} = \text{VIH}$. This mode is independent of \overline{CE}/PGM and the condition of the addresses. The outputs are Hi-Z when $\overline{OE} = \text{VIH}$. This allows OR-tying 2 or more NMC27C16s for memory expansion.

Standby Mode (Power Down)

The NMC27C16 may be powered down to the standby mode by making $\overline{CE}/\text{PGM} = \text{VIH}$. This is independent of \overline{OE} and automatically puts the outputs in their Hi-Z state. The power is reduced to 0.4% (500 μW max) of the normal operating power. VCC must be maintained at 5V. Access time at power up remains either t_{ACC} or t_{CE} (see Switching Time Waveforms).

TABLE I. OPERATING MODES (VCC = 5V)

Mode	Pin Name/Number		
	\overline{CE}/PGM (E/P) 18	\overline{OE} (O) 20	Outputs 9-11, 13-17
Read	VIL	VIL	DOUT
Deselect	Don't Care	VIH	Hi-Z
Standby	VIH	Don't Care	Hi-Z

Program Verify Mode

The programming of the NMC27C16 may be verified either 1 word at a time during the programming (as shown in the Timing Diagram) or by reading all of the words out at the end of the programming sequence. This can be done with VPP = 25V (or 5V) in either case.

Program Inhibit Mode

The program inhibit mode allows programming several NMC27C16s simultaneously with different data for each one by controlling which ones receive the program pulse. All similar inputs of the NMC27C16 may be paralleled. Pulsing the program pin (from VIL to VIH) will program a unit while inhibiting the program pulse to a unit will keep it from being programmed and keeping $\overline{OE} = \text{VIH}$ will put its outputs in the Hi-Z state.

ERASING

The NMC27C16 is erased by exposure to high intensity ultraviolet light through the transparent window. This exposure discharges the floating gate to its initial state through induced photo current. It is recommended that the NMC27C16 be kept out of direct sunlight. The UV content of sunlight may cause a partial erasure of some bits in

PROGRAMMING

The NMC27C16 is shipped from National completely erased. All bits will be at a "1" level (output high) in this initial state and after any full erasure. Table II shows the 3 programming modes.

Program Mode

The NMC27C16 is programmed by introducing "0"s into the desired locations. This is done 8 bits (a byte) at a time. Any individual address, a sequence of addresses, or addresses chosen at random may be programmed. Any or all of the 8 bits associated with an address location may be programmed with a single program pulse applied to the chip enable pin. All input voltage levels, including the program pulse on chip enable are TTL compatible. The programming sequence is:

With VPP = 25V, VCC = 5V, $\overline{OE} = \text{VIH}$ and $\overline{CE}/\text{PGM} = \text{VIL}$, an address is selected and the desired data word is applied to the output pins (VIL = "0" and VIL = "1" for both address and data.) After the address and data signals are stable the program pin is pulsed from VIL to VIH with a pulse width between 45 ns and 35 ns.

Multiple pulses are not needed but will not cause device damage. No pins should be left open. A high level (VIH or higher) must not be maintained longer than t_{VPPMAX} on the program pin during programming. NMC27C16s may be programmed in parallel with the same data in this mode.

TABLE II. PROGRAMMING MODES (VCC = 5V)

Mode	Pin Name/Number				
	\overline{CE}/PGM (E/P) 18	\overline{OE} (O) 20	VPP 21	Outputs Q 9-11, 13-17	
Program	Pulsed VIL to VIH	VIH	25	DIN	
Program Verify	VIL	VIL	25(5)	DOUT	
Program Inhibit	VIL	VIH	25	Hi-Z	

a relatively short period of time. Direct sunlight can also cause temporary functional failure. Extended exposure to room level fluorescent lighting will also cause erasure. An opaque coating (paint, tape, label, etc.) should be placed over the package window if this product is to be operated under these lighting conditions. Covering the window also reduces ICC due to photodiode currents.

An ultraviolet source of 2537Å yielding a total integrated dosage of 15 watt-second/cm² is required. This will erase the part in approximately 15 to 20 minutes if a UV lamp with a 12,000 $\mu\text{W}/\text{cm}^2$ power rating is used. The NMC27C16 to be erased should be placed 1 inch away from the lamp and no filters should be used.

An erasure system should be calibrated periodically. The distance from lamp to unit should be maintained at 1 inch. The erasure time is increased by the square of the distance if the distance is doubled the erasure time goes up by a factor of 4. Lamps lose intensity as they age. When a lamp is changed, the distance is changed, or the lamp is aged, the system should be checked to make certain full erasure is occurring. Incomplete erasure will cause symptoms that can be misleading. Programmers, components, and system designs have been erroneously suspected when incomplete erasure was the basic problem.

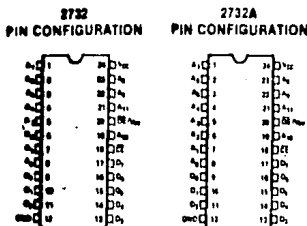
2732 32K (4K x 8) UV ERASABLE PROM

- Fast Access Time:
 - 390 ns Max. 2732-4
 - 450 ns Max. 2732
 - 550 ns Max. 2732-6
- Industry Standard Pinout — JEDEC Approved
- Pin Compatible to Intel's EPROM Family: 2716, 2732A, 2764
- Output Enable for MCS-85™ and MCS-86™ Compatibility
- Low Power Dissipation:
 - 150 mA Max. Active Current
 - 35 mA Max Standby Current
- Single +5V ± 5% Power Supply

The Intel® 2732 is a 32,768-bit ultraviolet erasable and electrically programmable read only memory (EPROM). The 2732 operates from a single 5-volt power supply, has a standby mode, and features an output enable control. The total programming time for all bits is three and a half minutes. The 2732 family with an access time up to 390 ns enhances microprocessor system performance. This family, in conjunction with the 250 ns 2732A family, solves the problem of WAIT states due to slow memories.

A prominent 2732 feature is the separate output control, Output Enable (\overline{OE}) from the Chip Enable control (\overline{CE}). The \overline{CE} control eliminates bus contention in multiple bus microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the \overline{OE} and \overline{CE} controls on Intel's 2716 and 2732 EPROMs. AP-72 is available from Intel's Literature Department.

The 2732 has a standby mode which reduces the power dissipation without increasing access time. The maximum active current is 150 mA, while the maximum standby current is only 35 mA, a 75% savings. The standby mode is achieved by applying a TTL-high signal to the \overline{CE} input.



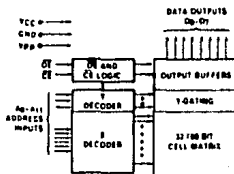
PIN NAMES

A_0-A_{15}	ADDRESS
\overline{CE}	CHIP ENABLE
\overline{OE}	OUTPUT ENABLE
Q_0-Q_7	OUTPUTS

MODE SELECTION

MODE	\overline{CE} (18)	\overline{OE}/V_{pp} (20)	V_{CC} (24)	OUTPUTS (9, 11, 13, 17)
Read	V_{LL}	V_{LL}	+5	DATA
Standby	V_{pp}	Don't Care	+5	H or Z
Program	V_{LL}	V_{pp}	+5	DATA
Program Verify	V_{LL}	V_{LL}	+5	DATA
Program Inhibit	V_{pp}	V_{pp}	+5	High Z

BLOCK DIAGRAM



PROGRAMMING

The programming specifications are described in the Data Catalog PROM/ROM Programming Instructions Section.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6V to -0.3V

*COMMENT

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND OPERATING CHARACTERISTICS

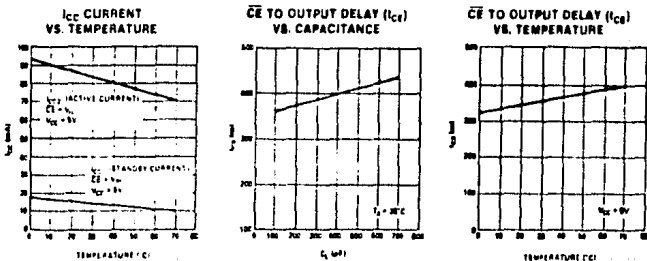
T_A = 0°C to 70°C, V_{CC} = +5V ± 5%

READ OPERATION

Symbol	Parameter	Limits		Unit	Conditions
		Min.	Typ. ⁽¹⁾		
I _{IL}	Input Load Current (except \overline{OE}/V_{EP})			10	V _{IN} = 5.25V
I _{IS}	\overline{CE}/V_{EP} Input Load Current			10	V _{IN} = 5.25V
I _{LO}	Output Leakage Current			10	V _{OUT} = 5.25V
I _{CC1}	V _{CC} Current (Standby)		15	35	$\overline{CE} = V_{IN}$, $\overline{OE} = V_{IN}$
I _{CC2}	V _{CC} Current (Active)		85	150	$\overline{OE} = \overline{CE} = V_{IL}$
V _{IL}	Input Low Voltage	-0.1		0.8	V
V _{IH}	Input High Voltage	2.0		V _{CC} +1	V
V _{OL}	Output Low Voltage			0.45	V, I _{OL} = 2.1mA
V _{OH}	Output High Voltage	2.4		V	I _{OZH} = -400µA

Note 1. Typical values are for T_A = 25°C and nominal supply voltages.

TYPICAL CHARACTERISTICS



A.C. CHARACTERISTICS

 $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = +5\text{V} \pm 5\%$

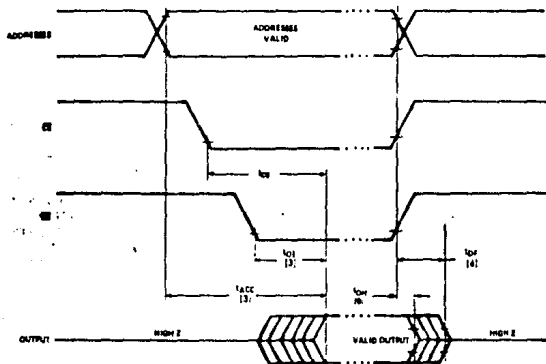
Symbol	Parameter	2732 A Limits (ns)		2732 Limits (ns)		2732 E Limits (ns)		Test Conditions
		Min.	Max.	Min.	Max.	Min.	Max.	
t_{acc}	Address to Output Delay		390		450		550	$\overline{CE} = \overline{OE} = V_{IL}$
t_{ce}	\overline{CE} to Output Delay		390		450		550	$\overline{OE} = V_{IL}$
t_{oe}	Output Enable to Output Delay		120		120		120	$\overline{CE} = V_{IL}$
t_{oh}	Output Enable High to Output Float	0	100	0	100	0	100	$\overline{CE} = V_{IL}$
t_{ow}	Output Hold from Addresses, \overline{CE} or \overline{OE} , Whichever Occurred First	0		0		0		$\overline{CE} = \overline{OE} = V_{IL}$

CAPACITANCE ⁽¹⁾ $T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{in}	Input Capacitance Except \overline{OE}/V_{pp}	4	8	pF	$V_{IN} = 0\text{V}$
C_{eq}	\overline{OE}/V_{pp} Input Capacitance	20		pF	$V_{IN} = 0\text{V}$
C_{out}	Output Capacitance	12		pF	$V_{out} = 0\text{V}$

A.C. TEST CONDITIONS

Output Load: 1 TTL gate and $C_L = 100\text{pF}$
 Input Rise and Fall Times: 5 20ns
 Input Pulse Levels: 0.8V to 2.2V
 Timing Measurement Reference Level:
 Inputs: 1V and 2V
 Outputs: 0.8V and 2V

A.C. WAVEFORMS ⁽²⁾

NOTES:

1. THIS PARAMETER IS ONLY SAMPLED AND IS NOT 100% TESTED.
2. ALL TIMES SHOWN IN PARENTHESES ARE MINIMUM TIMES AND ARE NSEC UNLESS OTHERWISE SPECIFIED.
3. \overline{OE} MAY BE DELAYED UP TO $t_{oh} - t_{oe} = 10\mu\text{s}$ AFTER THE FALLING EDGE OF \overline{CE} WITHOUT IMPACT ON t_{acc} .
4. t_{oh} IS SPECIFIED FROM \overline{OE} OR \overline{CE} , WHICHEVER OCCURS FIRST.

ERASURE CHARACTERISTICS

The erasure characteristics of the 2732 are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3500-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2732 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2732 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels are available from Intel which should be placed over the 2732 window to prevent unintentional erasure.

The recommended erasure procedure (see Data Catalog) for the 2732 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV Intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm² power rating. The 2732 should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure.

DEVICE OPERATION

The five modes of operation of the 2732 are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for \overline{OE}/V_{pp} during programming. In the program mode the \overline{OE}/V_{pp} input is pulsed from a TTL level to 25V.

TABLE 1. Mode Selection

MODE	PINS	\overline{CE} (IN)	\overline{OE}/V_{pp} (IN)	V_{CC} (IN)	OUTPUTS (OUT)
Read		V_L	V_L	+5	D_{OUT}
Standby		V_{OH}	Don't Care	+5	High Z
Program		V_L	V_{pp}	+5	C_{IN}
Program Verify		V_L	V_L	+5	D_{OUT}
Program Inhibit		V_{OH}	V_{pp}	+5	High Z

Read Mode

The 2732 has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip Enable (\overline{CE}) is the power control and should be used for device selection. Output Enable (\overline{OE}) is the output control and should be used to gate data to the output pins. Independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from \overline{CE} to output (t_{CO}). Data is available at the outputs 120ns (t_{DL}) after the falling edge of \overline{OE} , assuming that \overline{CE} has been low and addresses have been stable for at least $t_{ACC} - t_{DL}$.

Standby Mode

The 2732 has a standby mode which reduces the active power current by 75% from 150mA to 35mA. The 2732 is placed in the standby mode by applying a TTL high signal to the \overline{CE} input. When in standby mode the out-

puts are in a high impedance state, independent of the \overline{OE} input.

Output OR-Tying

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connections. The two line control function allows for:

- the lowest possible memory power dissipation, and
- complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that \overline{CE} (pin 18) be decoded and used as the primary device selecting function, while \overline{OE} (pin 20) be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is desired from a particular memory device.

PROGRAMMING (See Programming Instruction Section for Waveforms.)

Initially, and after each erasure, all bits of the 2732 are in the "1" state. Data is introduced by selectively programming "0"s into the desired bit locations. Although only "0"s will be programmed, both "1"s and "0"s can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2732 is in the programming mode when the \overline{OE}/V_{pp} input is at 25V. It is required that a 0.1μF capacitor be placed across \overline{OE}/V_{pp} and ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50msec, active low, TTL program pulse is applied to the \overline{CE} input. A program pulse must be applied at each address location to be programmed. You can program any location at any time — either individually, sequentially, or at random. The program pulse has a maximum width of 55msec. The 2732 must not be programmed with a DC signal applied to the \overline{CE} input.

Programming of multiple 2732s in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the parallelized 2732s may be connected together when they are programmed with the same data. A low level TTL pulse applied to the \overline{CE} input programs the parallelized 2732s.

Program Inhibit

Programming of multiple 2732s in parallel with different data is also easily accomplished. Except for \overline{CE} , all like inputs including \overline{OE} of the parallel 2732s may be common. A TTL level program pulse applied to a 2732's \overline{CE} input with \overline{OE}/V_{pp} at 25V will program that 2732. A high level \overline{CE} input inhibits the other 2732s from being programmed.

Program Verify

A verify should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with \overline{OE}/V_{pp} and \overline{CE} at V_L. Data should be verified by after the falling edge of \overline{CE} .



2732A

32K (4K x 8) UV ERASABLE PROM

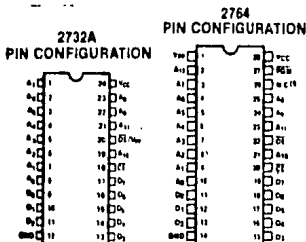
- 200ns (2732A-2) Maximum Access Time . . . HMOS[®]-E Technology
- Compatible to High Speed 8MHz 8086-2 MPU . . . Zero WAIT State
- Two Line Control
- Pin Compatible to 2764 EPROM
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current . . . 35mA Max.

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only memory (EPROM). It is pin compatible to Intel's 450ns 2732. The standard 2732A's access time is 250ns with speed selection (2732A-2) available at 200ns. The access time is compatible to high performance microprocessors, such as the 8MHz 8086-2. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control, Output Enable (\overline{OE}), from the Chip Enable control (\overline{CE}). The \overline{OE} control eliminates bus contention in multiple bus microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the \overline{OE} and \overline{CE} controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces the power dissipation without increasing access time. The maximum active current is 150mA, while the maximum standby current is only 35mA, a 75% saving. The standby mode is achieved by applying a TTL-high signal to the \overline{CE} input.

The 2732A is fabricated with HMOS[®]-E technology, Intel's high speed N-channel MOS Silicon Gate Technology.



170 or Intel compatibility from 2732A provides a trace to pin 28

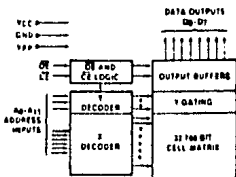
PIN NAMES

A ₀ -A ₁₁	ADDRESSES
\overline{CE}	CHIP ENABLE
\overline{OE}	OUTPUT ENABLE
Q ₀ -Q ₇	OUTPUTS

MODE SELECTION

MODE	PINS	\overline{CE} (18)	\overline{OE}/V_{pp} (20)	V _{CC} (24)	OUTPUTS (8, 11, 13, 17)
Read		V _{IL}	V _{IL}	+5	D _{OUT}
Standby		V _{IN}	Don't Care	+5	High Z
Program		V _{IL}	V _{PP}	+5	D _{IN}
Program Verify		V _{IL}	V _{IL}	+5	D _{OUT}
Program Inhibit		V _{IN}	V _{PP}	+5	High Z

BLOCK DIAGRAM



[®]HMOS is a patented process of Intel Corporation.



CD4020BM/CD4020BC 14-Stage Ripple Carry Binary Counters
CD4040BM/CD4040BC 12-Stage Ripple Carry Binary Counters
CD4060BM/CD4060BC 14-Stage Ripple Carry Binary Counters

General Description

The CD4020BM/CD4020BC, CD4060BM/CD4060BC are 14-stage ripple carry binary counters, and the CD4040BM/CD4040BC is a 12-stage ripple carry binary counter. The counters are advanced one count on the negative transition of each clock pulse. The counters are reset to the zero state by a logical "1" at the reset input independent of clock.

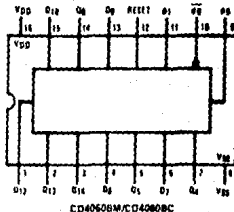
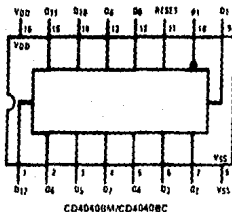
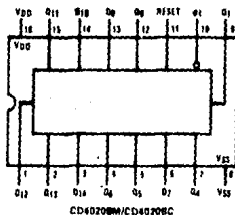
Features

- Wide supply voltage range
- High noise immunity
- Low power TTL compatibility
- Medium speed operation
- Schmitt trigger clock input

1.0V to 15V
 0.45 V_{DD} (typ.)
 fan out of 2 driving 74L
 or 1 driving 74LS
 6 MHz typ. at V_{DD} = 10V

Connection Diagrams

TOP VIEW



Absolute Maximum Ratings (Notes 1 and 2)

V _{DD}	Supply Voltage	-0.5V to +18V
V _{IN}	Input Voltage	-0.5V to V _{DD} + 0.5V
T _S	Storage Temperature Range	-65°C to +150°C
P _D	Package Dissipation	500mW
T _L	Lead Temperature (soldering, 10 seconds)	300°C

Recommended Operating Conditions

V _{DD}	Supply Voltage	+3V to +15V
V _{IN}	Input Voltage	0V to V _{DD}
T _A	Operating Temperature Range	-55°C to +125°C
	CD40XXBM	-40°C to +85°C
	CD40XXBC	-40°C to +85°C

DC Electrical Characteristics CD40XXBM (Note 2)

PARAMETER	CONDITIONS	-55°C		+25°C			+125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD}	Quiescent Device Current								
	V _{DD} = 5V		5			5		150	µA
	V _{DD} = 10V		10			10		300	µA
	V _{DD} = 15V		20			20		600	µA
V _{OL}	Low Level Output Voltage								
	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
	V _{DD} = 15V		0.05		0	0.05		0.05	V
V _{OH}	High Level Output Voltage								
	V _{DD} = 5V	4.85		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
	V _{DD} = 15V	14.95		14.95	15		14.95		V
V _{IL}	Low Level Input Voltage								
	V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5		2	1.5		1.5	V
	V _{DD} = 10V, V _O = 1.0V or 9.0V		3.0		4	3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0		6	4.0		4.0	V
V _{IH}	High Level Input Voltage								
	V _{DD} = 5V, V _O = 0.5V or 4.5V	3.5		3.5	3		3.5		V
	V _{DD} = 10V, V _O = 1.0V or 9.0V	7.0		7.0	6		7.0		V
	V _{DD} = 15V, V _O = 1.5V or 13.5V	11.0		11.0	9		11.0		V
I _{OL}	Low Level Output Current (See Note 3)								
	V _{DD} = 5V, V _O = 0.4V	0.64		0.51	0.88		0.36		mA
	V _{DD} = 10V, V _O = 0.5V	1.6		1.3	2.25		0.9		mA
	V _{DD} = 15V, V _O = 1.5V	4.2		3.4	8.8		2.4		mA
I _{OH}	High Level Output Current (See Note 3)								
	V _{DD} = 5V, V _O = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
	V _{DD} = 10V, V _O = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
	V _{DD} = 15V, V _O = 13.5V	-4.2		-3.4	-8.8		-2.4		mA
I _{IN}	Input Current								
	V _{DD} = 15V, V _{IN} = 0V	-0.10		10 ⁻⁵	-0.10		-1.0		µA
	V _{DD} = 15V, V _{IN} = 15V	0.10		10 ⁻⁶	0.10		1.0		µA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: Data does not apply to oscillator points Q₀ and Q₁ of CD4060BM/CD4060BC.

DC Electrical Characteristics 40XXBC (Note 2)

PARAMETER	CONDITIONS	-40°C		+25°C			+85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		70			70		150	μA
	V _{DD} = 10V		40			40		200	μA
	V _{DD} = 15V		80			80		600	μA
V _{OL} Low Level Output Voltage	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
	V _{DD} = 15V		0.05		0	0.05		0.05	V
V _{OH} High Level Output Voltage	V _{DD} = 5V		4.95		4.95	5		4.95	V
	V _{DD} = 10V		9.95		9.95	10		9.95	V
	V _{DD} = 15V		14.95		14.95	15		14.95	V
V _{IL} Low Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5		2	1.5		1.5	V
	V _{DD} = 10V, V _O = 1.0V or 9.0V		3.0		4	3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0		6	4.0		4.0	V
V _{IH} High Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V		3.5		3.5	3		3.5	V
	V _{DD} = 10V, V _O = 1.0V or 9.0V		7.0		7.0	6		7.0	V
	V _{DD} = 15V, V _O = 1.5V or 13.5V		11.0		11.0	9		11.0	V
I _{OL} Low Level Output Current (See Note 3)	V _{DD} = 5V, V _O = 0.4V		0.52		0.44	0.38		0.36	mA
	V _{DD} = 10V, V _O = 0.5V		1.3		1.1	2.25		0.9	mA
	V _{DD} = 15V, V _O = 1.5V		3.6		3.0	8.8		2.4	mA
I _{OH} High Level Output Current (See Note 3)	V _{DD} = 5V, V _O = 4.6V		-0.52		-0.44	-0.88		-0.36	mA
	V _{DD} = 10V, V _O = 9.5V		-1.3		-1.1	-2.25		-0.9	mA
	V _{DD} = 15V, V _O = 13.5V		-3.6		-3.6	-8.8		-2.4	mA
I _{IN} Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.30		-10 ³	-0.30		-1.0	μA
	V _{DD} = 15V, V _{IN} = 15V		0.30		10 ³	0.30		1.0	μA

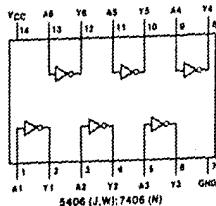
AC Electrical Characteristics CD4020BM/CD4020BC, CD4040BM/CD4040BC

V_A = 25°C, C_L = 50 pF, R_L = 200Ω, t_r = t_f = 20 ns, unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t _{PHL} , t _{PLH}	Propagation Delay Time to Q ₁		250	550	ns
		V _{DD} = 5V	100	210	ns
		V _{DD} = 10V	75	150	ns
		V _{DD} = 15V			
t _{PHL} , t _{PLH}	Interstage Propagation Delay Time from Q _n to Q _{n+1}		150	330	ns
		V _{DD} = 5V	80	125	ns
		V _{DD} = 10V	45	90	ns
		V _{DD} = 15V			
t _{RHL} , t _{RLH}	Transition Time		100	200	ns
		V _{DD} = 5V	50	100	ns
		V _{DD} = 10V	40	80	ns
		V _{DD} = 15V			
t _{W1} , t _{W2}	Minimum Clock Pulse Width		125	335	ns
		V _{DD} = 5V	50	125	ns
		V _{DD} = 10V	40	100	ns
		V _{DD} = 15V			
t _{CL} , t _{FL}	Maximum Clock Rise and Fall Time			no limit	ns
		V _{DD} = 5V		no limit	ns
		V _{DD} = 10V		no limit	ns
		V _{DD} = 15V		no limit	ns
f _{CL}	Maximum Clock Frequency		1.5	4	MHz
		V _{DD} = 5V	4	10	MHz
		V _{DD} = 10V	5	12	MHz
		V _{DD} = 15V			
t _{PHL1}	Reset Propagation Delay		200	450	ns
		V _{DD} = 5V	100	210	ns
		V _{DD} = 10V	80	170	ns
		V _{DD} = 15V			
t _{W1R1}	Minimum Reset Pulse Width		200	450	ns
		V _{DD} = 5V	100	210	ns
		V _{DD} = 10V	80	170	ns
		V _{DD} = 15V			
C _{IN}	Average Input Capacitance		5	7.5	pF
Any Input (Note 1)					
C _{PD}	Power Dissipation Capacitance		(Note 2)	50	pF

Note 1: Capacitance guaranteed by periodic testing.

Note 2: C_{pd} determines the no-load ac.



$Y = \bar{A}$

06 Hex Inverter Buffers with Open-Collector High Voltage Outputs

Electrical Characteristics over recommended operating free-air temperature range (unless otherwise noted).

Parameter	Conditions	DM54-74						DM54-74						DM54-74						Units
		06, 07, 10, 17		28		38		L26		L26		L528		L528						
		Min	Typ(1)	Max	Min	Typ(1)	Max	Min	Typ(1)	Max	Min	Typ(1)	Max	Min	Typ(1)	Max				
V_{OH}	High Level Input Voltage	2			2		2		2		2		2		2		V			
V_{OL}	Low Level Input Voltage			0.8			0.8		0.8		0.7		0.7		0.8		V			
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}$ $I_I = -12 \text{ mA}$ $I_I = -18 \text{ mA}$	DM54		-1.5		-1.5		-1.5		N/A		-1.5		-1.5		V			
			DM74								200		50		750		μA			
I_{OH}	High Level Output Current	$V_{CC} = \text{Min}$ $V_I = (Z)$			280		1000		250				1000		750		μA			
V_{OH}	High Level Output Voltage		06, 07		30												V			
			16, 17		18		15		5.5		15		15		8.5		V			
			0H, 0A, 0B				16		48		2		6		12		mA			
I_{OL}	Low Level Output Current		DM54		30		16		48		2		6		12		mA			
			DM74		40		16		48		2		6		12		mA			
			DM74		40		16		48		2		6		12		mA			
V_{OL}	Low Level Output Voltage	$V_{CC} = \text{Min}$ $V_I = (Z)$	$I_{OL} = \text{Max}$	DM54		0.7		0.4		0.4		0.15		0.3		0.25		0.4		
				DM74		0.7		0.4		0.4		0.4		0.35		0.3		0.4		
				DM74										0.25		0.4		0.4		
				DM74										0.25		0.4		0.4		
I_I	Input Current at Maximum Input Voltage	$V_{CC} = \text{Max}$	$V_I = 5.5 \text{ V}$			1		1		1		0.1		0.1		0.1		mA		
																			mA	
								40		40		40		10		20		20		mA
																				mA
I_I	High Level Input Current	$V_{CC} = \text{Max}$	$V_I = 2.4 \text{ V}$																	
I_I	Low Level Input Current	$V_{CC} = \text{Max}$	$V_I = 0.3 \text{ V}$																	
I_{CC}	Supply Current	$V_{CC} = \text{Max}$															mA			

Note 1: All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.
 Note 2: The input voltage at $V_{OL} = 0.3 \text{ V}$, $I_I = \text{max}$, is approximately 2.4 V.

Supply Currents

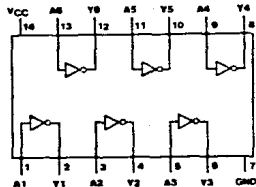
Device	I_{CC1} (mA) Total 1600 Outputs High		I_{CC2} (mA) Total 1600 Outputs Low	
	Typ	Max	Typ	Max
06, 16	30	42	27	38
07, 17	29	41	21	30
26	4	8	12	22
38	5	8.5	34	54
L26	0.48	0.8	1.32	2.04
LS26	0.8	1.6	2.4	4.4
LS38	0.9	2	6	12

Switching Characteristics at $V_{CC} = 5V, T_A = 25^\circ C$

Device	Conditions	t_{PHL} (ns) Propagation Delay Time, Low-To-High Output			t_{PLH} (ns) Propagation Delay Time, High-To-Low Output		
		Min	Typ	Max	Min	Typ	Max
06, 16	$C_L = 15 \text{ pF}, R_L = 110 \Omega$		10	15		15	23
07, 17			6	10		20	30
26	$C_L = 15 \text{ pF}, R_L = 1 \text{ k}\Omega$		16	24		11	17
38			14	22		11	18
L26	$C_L = 15 \text{ pF}, R_L = 4 \text{ k}\Omega$		40	90		25	60
LS26			17	32		15	28
LS38	$C_L = 45 \text{ pF}, R_L = 667 \Omega$		14	22		12	22
LS38			37	48		22	29

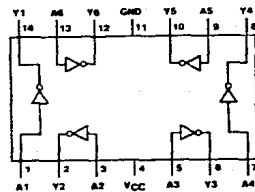
04 Hex Inverters

$Y = \bar{X}$



5404 (J)
54M04 (J)
54L04 (J)
54LS04 (J,W)
54S04 (J,W)

7404 (M)
74M04 (N)
74L04 (N)
74LS04 (N)
74S04 (N)



5404 (W)
54L04 (W)

Electrical Characteristics over recommended operating free-air temperature range (unless otherwise noted)

Parameter	Conditions	DM54-74			DM54-74			DM54-74			DM54-74			DM54-74			Units
		01, 03			HD1			L01, L03			LS01, LS03			S01			
		Min	Typ (1)	Max	Min	Typ (1)	Max	Min	Typ (1)	Max	Min	Typ (1)	Max	Min	Typ (1)	Max	
V _{ih}	High Level Input Voltage															V	
V _{il}	Low Level Input Voltage	DM54		0.8		0.8		0.8		0.8		0.8		0.8		V	
		DM74		0.8		0.8		0.8		0.8		0.8		0.8		V	
V _i	Input Clamp Voltage	V _{CC} = Min	I _{CL} = -8 mA				-1.5		N/A							V	
			I _{CL} = -12 mA				-1.5		N/A							V	
			I _{CL} = -18 mA						N/A		-1.5					-1.7	V
I _{CEX}	High Level Output Current	V _{CC} = Min, V _{OL} = Max V _{OH} = 3.5 V		250		250		50		100		250		250	μA		
I _{OL}	Low Level Output Current	DM54		18		20		2		4		20		20	mA		
		DM74		18		20		3.8		8		20		20	mA		
V _{OL}	Low Level Output Voltage	V _{CC} = Min V _{OH} = 2 V	I _{OL} = Max	DM54	0.2	0.4	0.2	0.4	0.15	0.3	0.25	0.4	0.5	0.5	0.5	V	
			I _{OL} = 4 mA	DM74	0.2	0.4	0.2	0.4	0.2	0.4	0.35	0.5	0.5	0.5	0.5	V	
			I _{OL} = 4 mA	DM74							0.4						V
I _i	Input Current at Maximum Input Voltage	V _{CC} = Max	V _I = 5.5 V		1		1		0.1				1	mA			
I _{hi}	High Level Input Current	V _{CC} = Max	V _I = 2.4 V		40		50		10						μA		
			V _I = 2.7 V							20					50	μA	
I _{il}	Low Level Input Current	V _{CC} = Max	V _I = 0.3 V						-0.18						mA		
			V _I = 0.4 V			-1.8		-2				-0.38			mA		
			V _I = 0.5 V												-2	mA	
I _{CC}	Supply Current	V _{CC} = Max													See Table		

Note 1: All typical values are at V_{CC} = 5 V, T_A = 25°C

Supply Current

Device	I _{CCN} (mA) Total With Outputs High		I _{CCL} (mA) Total With Outputs Low	
	Typ	Max	Typ	Max
01	4	8	12	22
03	4	8	12	22
05	6	12	18	33
H01	6.8	10	26	40
L01	0.44	0.8	1.18	2.04
L03	0.44	0.8	1.18	2.04
L05	0.66	1.20	1.74	3.08
LS01	0.8	1.8	2.4	4.4
LS03	0.8	1.8	2.4	4.4
LS05	1.2	2.4	3.6	6.6
LS12	0.7	1.4	1.8	3.3
LS22	0.4	0.8	1.2	2.2
S03	6	13.2	20	36
S05	9	19.8	30	54
S22	3	6.6	10	18

Switching Characteristics at V_{CC} = 5 V, T_A = 25°C

Device	Conditions	t _{PLH} (ns) Propagation Delay Time, Low-To-High Output			t _{PHL} (ns) Propagation Delay Time, High-To-Low Output		
		Min	Typ	Max	Min	Typ	Max
01, 03	C _L = 15 pF, R _L = 4 kΩ for t _{PLH}		35	45		8	15
05	R _L = 400 Ω for t _{PHL}		40	55		8	15
H01	C _L = 25 pF, R _L = 280 Ω		10	15		7.5	12
L01, L03, L05	C _L = 50 pF, R _L = 4 kΩ		60	90		33	60
LS01, LS03	C _L = 15 pF, R _L = 2 kΩ	8	12	20	3	7	15
LS05, LS12	C _L = 50 pF, R _L = 2 kΩ	20	32	45	4	10	20
LS22	C _L = 50 pF, R _L = 2 kΩ						
S03, S05	C _L = 15 pF, R _L = 280 Ω	2	5	7.5	2	4.5	7
S22	C _L = 50 pF, R _L = 280 Ω	3	7.5	11	3	7	11

LM117HV/LM217HV/LM317HV High Voltage 3-Terminal Adjustable Regulator

General Description

The LM117HV/LM217HV/LM317HV are adjustable 3-terminal positive voltage regulators capable of supplying in excess of 1.5A over a 1.2V to 57V output range. They are exceptionally easy to use and require only two external resistors to set the output voltage. Further, both line and load regulation are better than standard fixed regulators. Also, the LM117HV is packaged in standard transistor packages which are easily mounted and handled.

In addition to higher performance than fixed regulators, the LM117HV series offers full overload protection available only in IC's. Included on the chip are current limit, thermal overload protection and safe area protection. All overload protection circuitry remains fully functional even if the adjustment terminal is disconnected.

Features

- Adjustable output down to 1.2V
- Guaranteed 1.5A output current
- Line regulation typically 0.01%/V
- Load regulation typically 0.1%
- Current limit constant with temperature
- 100% electrical burn-in
- Eliminates the need to stock many voltages
- Standard 3-lead transistor package
- 80 dB ripple rejection

Normally, no capacitors are needed unless the device is situated far from the input filter capacitors in which case an input bypass is needed. An optional output capacitor can be added to improve transient response. The adjustment terminal can be bypassed to achieve very high ripple rejections ratios which are difficult to achieve with standard 3 terminal regulators.

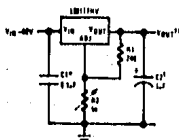
Besides replacing fixed regulators, the LM117HV is useful in a wide variety of other applications. Since the regulator is "floating" and sees only the input-to-output differential voltage, supplies of several hundred volts can be regulated as long as the maximum input to output differential is not exceeded.

Also, it makes an especially simple adjustable switching regulator, a programmable output regulator, or by connecting a fixed resistor between the adjustment and output, the LM117HV can be used as a precision current regulator. Supplies with electronic shutdown can be achieved by clamping the adjustment terminal to ground which programs the output to 1.2V where most loads draw little current.

The LM117HVK STEEL, LM217HVK STEEL, and LM317HVK STEEL are packaged in standard TO-3 transistor packages while the LM117HVI, LM217HVH and LM317HVH are packaged in a solid Kovar base TO-5 transistor package. The LM117HV is rated for operation from -55°C to +150°C, the LM217HV from -25°C to +150°C and the LM317HV from 0°C to +125°C.

Typical Applications

1.2V-65V Adjustable Regulator

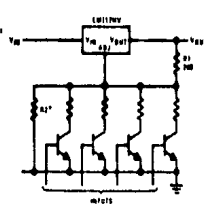


¹Optional—improves transient response

²Needed if device is far from filter capacitors

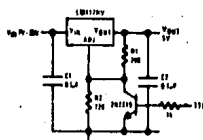
$$V_{OUT} = 1.25V \left(1 + \frac{R2}{R1} \right)$$

Digitally Selected Outputs



³Sets maximum V_{OUT}

5V Logic Regulator with Electronic Shutdown*



*Min output = 1.2V

Absolute Maximum Ratings

Power Dissipation	Internally limited
Input-Output Voltage Differential	60V
Operating Junction Temperature Range	
LM117HV	-55°C to +150°C
LM217HV	-25°C to +150°C
LM317HV	0°C to +125°C
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (Note 1)

PARAMETER	CONDITIONS	LM117HV/217HV			LM317HV			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Line Regulation	$T_A = 25^\circ\text{C}$, $3V \leq V_{IN} - V_{OUT} \leq 60V$ (Note 2)		0.01	0.02		0.01	0.04	%/V
Load Regulation	$T_A = 25^\circ\text{C}$, $10\text{mA} \leq I_{OUT} \leq I_{MAX}$ $V_{OUT} \leq 5V$, (Note 2) $V_{OUT} \geq 5V$, (Note 2)		5	15		5	25	mV
			0.1	0.3		0.1	0.5	%
Thermal Regulation	$T = 10\text{ms}$							%/W
Adjustment Pin Current			50	100		50	100	μA
Adjustment Pin Current Change	$10\text{mA} \leq I_L \leq I_{MAX}$ $3.0V \leq (V_{IN} - V_{OUT}) \leq 60V$		0.2	5		0.2	5	μA
Reference Voltage	$3 \leq (V_{IN} - V_{OUT}) \leq 60V$, (Note 3) $10\text{mA} \leq I_{OUT} \leq I_{MAX}$, $P \leq P_{MAX}$	1.20	1.25	1.30	1.20	1.25	1.30	V
Line Regulation	$3V \leq V_{IN} - V_{OUT} \leq 60V$, (Note 2)		0.02	0.05		0.02	0.07	%/V
Load Regulation	$10\text{mA} \leq I_{OUT} \leq I_{MAX}$, (Note 2) $V_{OUT} \leq 5V$ $V_{OUT} \geq 5V$		20	50		20	70	mV
			0.3	1		0.3	1.5	%
Temperature Stability	$T_{MIN} \leq T_J \leq T_{MAX}$		1			1		%
Minimum Load Current	$V_{IN} - V_{OUT} = 60V$		3.5	7		3.5	17	mA
Current Limit	$V_{IN} - V_{OUT} \leq 15V$ K Package H Package		1.5	2.7		1.5	2.7	A
			0.5	0.8		0.5	0.8	A
	$V_{IN} - V_{OUT} = 60V$ K Package H Package					0.1	0.1	A
						0.03	0.03	A
RMS Output Noise, % of V_{OUT}	$T_A = 25^\circ\text{C}$, $10\text{Hz} \leq f \leq 10\text{kHz}$			0.003			0.003	%
Ripple Rejection Ratio	$V_{OUT} = 10V$, $f = 120\text{Hz}$ $CADJ = 10\mu\text{F}$		65			65		dB
		66	80		66	80		dB
Long Term Stability	$T_A = 125^\circ\text{C}$		0.3	1		0.3	1	%
Thermal Resistance, Junction to Case	H Package		12	15		12	15	$^\circ\text{C}/\text{W}$
		K Package	2.3	3		2.3	3	$^\circ\text{C}/\text{W}$

Note 1: Unless otherwise specified, these specifications apply -55°C < T_J < +150°C for the LM117HV, -25°C < T_J < +150°C for the LM217HV and 0°C < T_J < +125°C for the LM317HV. $V_{IN} - V_{OUT} = 5V$ and $I_{OUT} = 0.1\text{A}$ for the TO-3 package and $I_{OUT} = 0.5\text{A}$ for the TO-3 package. Although power dissipation is internally limited, these specifications are applicable for power dissipation of 2W for the TO-3 and 20W for the TO-3. I_{MAX} is 1.5A for the TO-3 and 0.5A for the TO-3 package.

Note 2: Regulation is measured at constant junction temperature. Changes in output voltage due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

Note 3: Selected devices with tightened reference voltage available.



Voltage Regulators

LM78XX Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, Hi-Fi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number

of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For applications requiring other voltages, see LM117 data sheet.

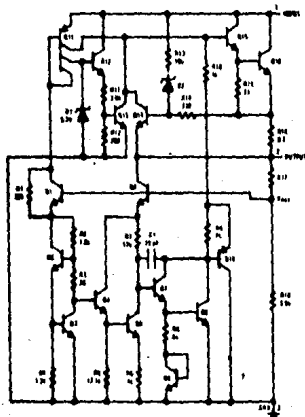
Features

- Output currents in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

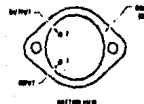
Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

Schematic and Connection Diagrams



Metal Can Package
TO-3 (K)
Aluminum

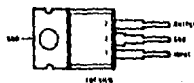


Order Numbers:

LM7805CK
LM7812CK
LM7815CK

See NS Package NC02A

Plastic Package
TO-220 (T)



Order Numbers:

LM7805CT
LM7812CT
LM7815CT

See NS Package TC03

Absolute Maximum Ratings

Input Voltage ($V_O = 5V, 12V$ and $15V$)	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range (T_A)	0°C to $+70^\circ\text{C}$
Maximum Junction Temperature	
(K Package)	150°C
(I Package)	125°C
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Lead Temperature (Soldering, 10 seconds)	
TO-3 Package K	300°C
TO-220 Package T	230°C

Electrical Characteristics LM78XXC (Note 2) $0^\circ\text{C} < T_J < 125^\circ\text{C}$ unless otherwise noted.

OUTPUT VOLTAGE		5V		12V		15V		UNITS				
INPUT VOLTAGE (unless otherwise noted)		10V		19V		23V						
PARAMETER	CONDITIONS	MIN	TYP	MAX	MIN	TYP	MAX					
V_O Output Voltage	$T_J = 25^\circ\text{C}, 5\text{ mA} < I_O < 1\text{ A}$	4.8	5	5.2	11.5	12	12.5	14.4	15	15.8	V	
	$P_D < 15W; 5\text{ mA} < I_O < 1\text{ A}$ $V_{MIN} < V_{IN} < V_{MAX}$	4.75	5	5.25	11.4	11.8	12.2	14.25	15	15.75	V	
ΔV_O Line Regulation	$I_O = 500\text{ mA}$	$T_J = 25^\circ\text{C}$ ΔV_{IN}	3	50	4	120	4	150			mV	
		$0^\circ\text{C} < T_J < +125^\circ\text{C}$ ΔV_{IN}	(7 < V_{IN} < 20)		(14.5 < V_{IN} < 27)		(17.5 < V_{IN} < 30)				mV	
	$I_O < 1\text{ A}$	$T_J = 25^\circ\text{C}$ ΔV_{IN}	18	50	20	15	50	20	18.5	50	30	mV
		$0^\circ < T_J < +125^\circ\text{C}$ ΔV_{IN}	(8 < I_O < 12)		(16 < V_{IN} < 27)		(20 < V_{IN} < 30)				mV	
ΔV_O Load Regulation	$T_J = 25^\circ\text{C}$ $5\text{ mA} < I_O < 1\text{ A}$ $250\text{ mA} < I_O < 750\text{ mA}$	10	50	12	120	12	150				mV	
		50	120	150							mV	
I_Q Quiescent Current	$I_O < 1\text{ A}$ $T_J = 25^\circ\text{C}$ $0^\circ\text{C} < T_J < +125^\circ\text{C}$	8	8	8	8	8	8				mA	
		8.5	8.5	8.5							mA	
ΔI_Q Quiescent Current Change	$5\text{ mA} < I_O < 1\text{ A}$ $T_J = 25^\circ\text{C}, I_O < 1\text{ A}$ $V_{MIN} < V_{IN} < V_{MAX}$	0.5	0.5	0.5	0.5	0.5	0.5				mA	
		1.0	1.0	1.0	1.0	1.0	1.0				mA	
		(17.5 < V_{IN} < 20)		(14.8 < V_{IN} < 27)		(17.8 < V_{IN} < 30)					mA	
V_{IN} Output Noise Voltage	$I_O < 500\text{ mA}, 0^\circ\text{C} < T_J < +125^\circ\text{C}$ $V_{MIN} < V_{IN} < V_{MAX}$	1.0	1.0	1.0	1.0	1.0	1.0				mA	
		(7 < V_{IN} < 25)		(14.5 < V_{IN} < 30)		(17.5 < V_{IN} < 30)					mA	
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$ Ripple Rejection	$f = 120\text{ Hz}$ $I_O < 1\text{ A}, T_J = 25^\circ\text{C}$ or $I_O < 500\text{ mA}$ $0^\circ\text{C} < T_J < +125^\circ\text{C}$ $V_{MIN} < V_{IN} < V_{MAX}$	40	75	90							μV	
		62	80	55	72	54	70				dB	
R_D Dropout Voltage	$T_J = 25^\circ\text{C}, I_{OUT} = 1\text{ A}$ $I_1 = 25^\circ\text{C}$ $I_2 = 25^\circ\text{C}$ $I_3 = 25^\circ\text{C}$ $0^\circ\text{C} < T_J < +125^\circ\text{C}, I_O = 5\text{ mA}$	8	18	18							mV	
		2.1	1.5	1.2							A	
		2.4	2.4	2.4							A	
		0.6	1.5	1.8							mW/C	
V_{IN} Input Voltage Required to Maintain Line Regulation	$T_J = 25^\circ\text{C}, I_O < 1\text{ A}$	7.3	14.6	17.7							V	

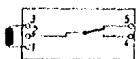
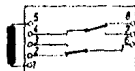
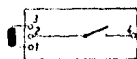
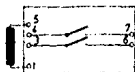
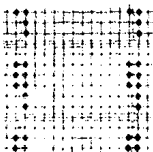
Note 1: Thermal resistance of the TO-3 package (R_{θJ}) is typically 4°C/W junction to case and 38°C/W case to ambient. Thermal resistance of the TO-220 package (T) is typically 4°C/W junction to case and 30°C/W case to ambient.

Note 2: All characteristics are measured with capacitor across the input of 0.22 μF, and a capacitor across the output of 0.1 μF. All characteristics are peak noise voltage and ripple rejection ratio are measured using same technique (f₁ is 10 Hz, duty cycle = 50%). Output voltage changes due to changes in internal temperature must be taken into account especially.

Relevadores Reed Tipo RU 7

- Ejecución abierta con tapa metálica
- Gran seguridad de los contactos por medio del gas protector
- Conexiones en medidas de 2.54 mm (1/10")

Conexiones del circuito impreso (vistas por el lado soldado)

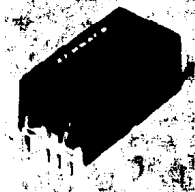


29.9 mm
16.1 mm
11.2 mm

largo
ancho
alto

29.9 mm
12.4 mm
11.2 mm

Medida perno 0.8 X 0.4 X 4 mm



Clave de tipos

RU 7 Tipo	30 Tipo de contacto	1 Número de contactos	24 Tensión de bobinas
	30 de 1 tiro	1,2	03
	20 de doble tiro		05
			06
			12
			24

Para conexiones en la técnica de comunicación, técnica de computación, electrónica industrial y técnica de regulación para separación de circuitos o como relevador de mando.

Bobina		1 polo					2 polos				
Tensión nominal U_N	V-	3	5	6	12	24	3	5	6	12	24
Corriente nominal	mA	40	25	20	10	5,1	60	36	30	15	7,3
Rango de tensión	V-	2,3-9	3,8-15	4,5-18	9-38	18-68	2,3-9	3,8-15	4,5-18	9-33	18-66
Resistencia bobina	min.	67	180	270	1080	4000	45	126	180	720	2800
	max	82	220	330	1320	5400	55	154	220	880	3800
Tensión mín. desexcitación		0,1 U_N									

Contacto		Un tiro	Doble tiro
Potencia máxima	W	10	3
Corriente máx.	mA	500	250
Tensión máx.	V-	200	28
Tensión de prueba	V-	1000	

II.2. Precios* y proveedores de los componentes utilizados para la construcción del programador.

DESCRIPCION	CANTI		PRECIO	PRECIO
	DAD	PROVEEDOR	UNITARIO	TOTAL
Regulador	1	Steren, S.A.	\$ 457.00	\$ 457.00
Regulador	1	Steren, S.A.	161.00	161.00
Buffer 74LS04	1	Steren, S.A.	61.00	61.00
Buffer 7406	1	Steren, S.A.	144.00	144.00
Contador 4040	1	Steren, S.A.	230.00	230.00
Diodo BY4001	9	Steren, S.A.	4.50	40.50
Diodo 1N914	3	Steren, S.A.	8.20	24.60
Transistor BC559	2	Steren, S.A.	17.50	35.00
Capacitor 330 P 25V	1	Steren, S.A.	36.00	36.00
Capacitor 1000 P 50V	1	Steren, S.A.	71.00	71.00
Preset 5K	1	Steren, S.A.	39.00	39.00
Resistencia 220 1/4W	1	Steren, S.A.	1.50	1.50
Resistencia 4.7K - 1/4W	6	Steren, S.A.	1.50	9.00
Resistencia 10K 1/4W	2	Steren, S.A.	1.50	1.50
Relevador RUT205	1	Enterprise, S.A.	1,620.00	1,620.00
Transformador P2585	1	Industrias G.H.	375.00	375.00
Zócalo para W/W 14t	2	Telmar, S.A.	290.00	580.00
Zócalo para W/W 16t	1	Telmar, S.A.	310.00	310.00
Zócalo para W/W 24t	1	Telmar, S.A.	380.00	380.00
Tarjeta	1	Telmar, S.A.	1,410.00	1,410.00
Alambre para W/W	1 m.	Copelec, S.A.	120.00	120.00
Conectores hembra de 22 líneas	2 m.	Copelec, S.A.	1,710.00	3,420.00

T O T A L \$ 9,527.50

* al 30 de Junio de 1984.

II.3. Datos de proveedores.

- COPELEC, S.A.
Ave. Universidad No. 625
México, D.F., 03600
Tel. 559-24-54
575-94-65

- ENTERPRISE, S.A.
Rodríguez Saro No. 424
México, D.F., 03100
Tel. 534-60-20

- INDUSTRIAS G.4., S.A.
Lago Superior No. 39
México, D.F., 01080
Tel. 527-16-17

- STERRM, S.A.
República del Salvador No. 20
México, D.F., 06000
Tel. 518-67-00
518-67-25

- TELMAR, S.A.
Mar Cabezas No. 15
México, D.F., 01090
Tel. 527-13-87

BIBLIOGRAFIA

Horowitz John

The art of electronics; Prentice Hall; 1979.

Intel Corporation

Memory data book; Intel Corporation; 1980.

National Semiconductors

Logic data book; National Semiconductors; 1981.

National Semiconductors

CMOS data book; National Semiconductors; 1980.

Rockwell International

AIM-65 user's guide; Rockwell International; 1980.

Rockwell International

R6500 hardware manual; Rockwell International; - -
1980.

Rockwell International

R6500 programming manual; Rockwell International; -
1980.