

2
2ej.
L



Universidad Nacional Autónoma de México

Facultad de Estudios Superiores Cuautitlán

**DISEÑO Y CONSTRUCCION DE UNA INTERFAZ DE MEMORIA PARA
UN OSCILOSCOPIO, EMPLEANDO EL MICROPROCESADOR Z-80**

T E S I S

Que para obtener el Título de
Ingeniero Mecánico Electricista

p r e s e n t a n

**OSCAR ALEMON REYES
OSCAR DRAGO SERRANO
RICARDO LUGO LOPEZ**

Director de Tesis: **IME Jorge Buendía Gomez**



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE.

I. Introducción	1
II. Osciloscopio	6
A. Funcionamiento	7
1. Tubo de rayos catódicos	8
2. Amplificadores	10
3. Circuito base de tiempos	10
B. Tipos de Osciloscopios	14
1. Osciloscopio de muestreo	14
2. Osciloscopio de almacenamiento analógico	16
3. Osciloscopio de almacenamiento digital	16
Bibliografía	18
III. Convertidores	19
A. Convertidores Digital Analógico (CDA)	20
1. Descripción de los componentes	21
2. Especificaciones de los CDAs	35
3. Errores característicos	36
B. Convertidores Analógico Digital (CAD)	38
1. Tipos de CADs	39
2. Especificaciones en los CADs	52
3. Errores característicos	53
C. Selección de los Convertidoras	55
1. Convertidor digital analógico	55
2. Convertidor analógico digital	56
Bibliografía	58
IV. Diseño del Hardware de la Interfaz	59
A. Micro-kit Z-80	60
1. Bus de datos	60
2. Bus de direcciones	62
3. Bus de control	62
4. Memoria ROM	62
5. Memoria EPROM	62

6. Memoria RAM	63
7. Microprocesador Z-80	63
8. Periférico programable 8255 (PPI)	71
B. Módulo de Salida	75
1. Convertidor digital analógico	75
2. Convertidor de escala	83
C. Módulo de Entrada	87
1. Convertidor de escala	88
2. Convertidor analógico digital	91
D. Módulo de Operación	96
E. Módulo de Control	98
Bibliografía	102
V. Software de Control	103
A. Descripción del Programa Principal y las Subrutinas	103
B. Mapa de Memoria	105
C. Consideraciones Acerca del Software	107
1. Consideraciones en el muestreo	107
2. Consideraciones en la exhibición	111
D. Codificación de las Rutinas en Lenguaje Ensamblador Z-80	117
VI. Integración Software-Hardware	127
A. Muestreo-Almacenamiento	127
B. Exhibición	129
VII. Manual de Usuario	132
A. Instalación	133
B. Operación	134
1. Muestreo-almacenamiento	135
2. Exhibición	136
C. Empleo Modular	138
1. Módulo de entrada	138
2. Módulo de salida	140
D. Conexiones al panel frontal	142
E. Conexiones a la parte posterior	144
VIII. Análisis de Costos	145
Conclusiones	150
Apéndice A	

I. INTRODUCCION.

Este proyecto tiene como finalidad el muestreo, almacenamiento y exhibición de hasta dos señales provenientes de procesos lentos y está constituido por los siguientes elementos : un osciloscopio convencional y una interfaz de memoria.

El osciloscopio, es un instrumento electrónico ampliamente utilizado en la industria, los laboratorios y centros de enseñanza para mostrar las variaciones de magnitudes físicas, generalmente transducidas a voltaje, respecto al tiempo.

Los elementos que lo constituyen son:

a) Tubo de Rayos Catódicos.

Tiene por objeto mostrar la forma de onda de la señal, por medio de su pantalla.

b) Amplificador.

Eleva la tensión de la señal de entrada a un nivel adecuado para ser exhibida por el tubo de rayos catódicos.

c) Circuito Base de Tiempos.

Está constituido por el generador de impulsos (pulsos de sincronización) y el generador de barrido.

Cuando este último recibe un pulso, genera una señal "Diente de Sierra", provocando que un punto luminoso se desplace de izquierda a derecha, a lo largo de la pantalla del tubo de rayos catódicos, a velocidad constante, la cual puede ser seleccionada dentro de un rango determinado.

La amplitud de la señal analógica de entrada, controla el desplazamiento vertical del punto luminoso, que al efectuarse simultáneamente con el barrido horizontal, logra la exhibición de la señal.

Para mostrar correctamente la señal, se elige una velocidad de barrido acorde a su frecuencia; esto es, entre menor sea la frecuencia, menor deberá ser la velocidad de barrido.

Por esta razón, se pierde continuidad al exhibir señales de baja frecuencia, que es muy común encontrar en los procesos industriales que involucran etapas mecánicas, térmicas o químicas. En la práctica, puede ser importante el análisis de este tipo de señales, para conocer el comportamiento de un sistema bajo ciertas condiciones de excitación y de esta forma, poder optimizar su funcionamiento para conseguir una mayor productividad de los procesos industriales.

Por tal razón, consideramos importante que los laboratorios escolares cuenten con instrumentos capaces de efectuar tales mediciones, que permitan al estudiante, realizar prácticas que le servirán como experiencia profesional.

De aquí, surge la idea de implementar un circuito adicional (interfaz de memoria) a un osciloscopio convencional, para poder mostrar señales de procesos lentos, de una forma continua y propia para su análisis.

La Interfaz de memoria está constituida por los siguientes elementos:

a) Nanocomputador (Micro-kit Z80).

En él residen los programas necesarios, para muestrear, almacenar y exhibir la señal de interés.

Para discretizar la señal, se utiliza el método simple de muestreo, ya que nos interesa tener el mismo intervalo de tiempo entre muestra y muestra.

b) Convertidor Analógico Digital (CAD).

Este circuito convierte la señal de entrada, a un código adecuado para ser procesado por el nanocomputador. La conversión se lleva a cabo, aplicando el método de "Aproximaciones Sucesivas".

El CAD cuenta con los siguientes elementos:

- i) Comparador.
- ii) Convertidor Digital Analógico.
- iii) Contador de anillo.
- iv) Lógica de control.

c) Convertidor Digital Analógico (CDA).

Una vez que la señal de interés ha sido muestreada y almacenada digitalmente, es necesario utilizar un CDA para exhibirla en forma analógica.

d) Convertidores de escala.

Se utilizan, para hacer más flexible el rango de voltaje permitido a la entrada de la interfaz.

El diseño y construcción planteados en esta tesis, están enfocados a los elementos citados en los puntos b, c y d.

El siguiente diagrama de bloques, muestra la disposición de los componentes de la interfaz y el osciloscopio:

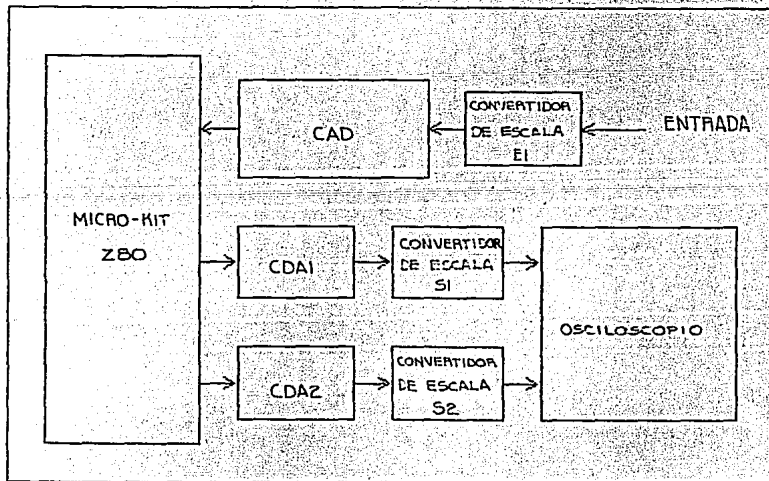


Figura I.1 Componentes de la interfaz.

Por medio del sistema anterior, ahora si es posible visualizar en forma continua señales de baja frecuencia, pues una vez que se tienen en forma digital en la memoria, el software se encarga de enviarlas al osciloscopio a una frecuencia apropiada para su exhibición.

Es importante aclarar, que la interfaz de memoria fué diseñada con fines didácticos y no industriales, es por ello que su construcción se dividió en módulos, que pueden ser usados independientemente, para la implementación de prácticas de laboratorio.

II. OSCILOSCOPIO.

Para que el usuario pueda emplear adecuadamente la interfaz, en conjunto con un osciloscopio, necesita conocer las características de operación de este último, mismas que se explican en este capítulo. Además, se da una breve explicación de los principales tipos de osciloscopios.

El osciloscopio es un instrumento electrónico, que muestra los cambios de magnitud de una señal, expresados en voltaje, con respecto al tiempo.

Fue Karl F. Braun en 1897, quien construyó el primer osciloscopio, basando su funcionamiento en la desviación que sufre un haz de electrones, dentro de un tubo de vacío, al someterlo a un campo eléctrico.

El osciloscopio presenta una gran ventaja sobre otros instrumentos de medición, debido a que puede mostrar fenómenos de muy alta velocidad, además de facilitar mediciones tales como:

- i) Magnitud en voltaje.
- ii) Frecuencia.
- iii) Tiempo de respuesta.
- iv) Diferencia de fase entre dos señales.

A. Funcionamiento.

Los principales componentes de un osciloscopio se presentan en el siguiente diagrama de bloques:

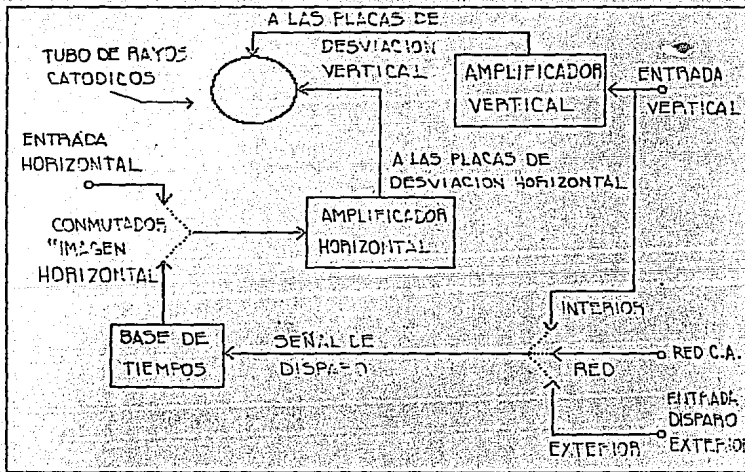


Figura II.1 Representación esquemática del osciloscopio.

1. Tubo de rayos catódicos.

El tubo de rayos catódicos está contenido en una envoltura de vidrio con vacío interior y consta de los siguientes elementos:

- a) Un cañon electrónico.
- b) Dos pares de placas de deflexión.
- c) Un pos-acelerador.
- d) Una pantalla fluorescente junto con una retícula graduada.

El cañon electrónico (fig. II.2), debido al calentamiento de su cátodo, produce un haz de electrones dirigido hacia la pantalla fluorescente, que puede ser desviado por las placas de deflexión. El fósforo que contiene la pantalla se ilumina en el lugar donde los electrones se impactan.

Trayectoria del haz electrónico.

El filamento (fig. II.2) provoca calentamiento en el cátodo, despidiendo electrones libres que son atraídos por el ánodo A1, debido al campo eléctrico que se forma por la gran diferencia de potencial existente entre el cátodo y A1.

La rejilla se encarga de controlar el flujo de electrones, con lo cual, se regula la brillantez.

El conjunto de los ánodos A1, A2 y A3 se encargan de afinar el haz de electrones, con lo que, se controla el enfoque.

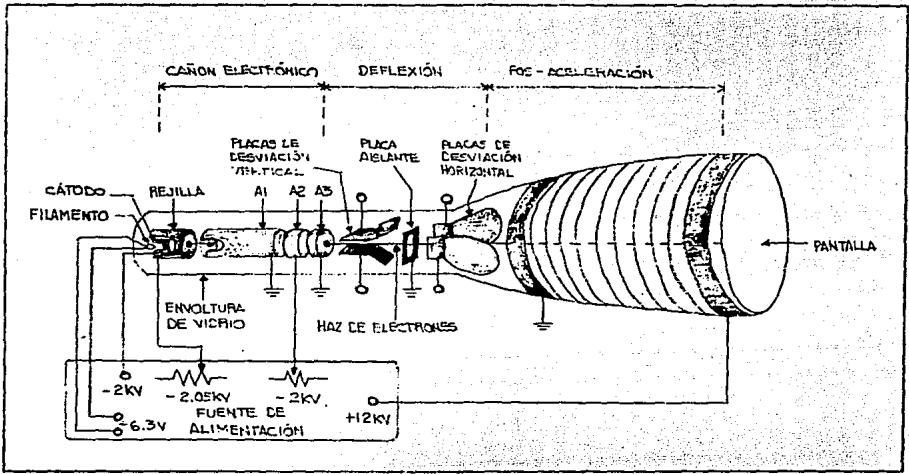


Figura II.2 Esquema del tubo de rayos catódicos.

Una vez que el haz de electrones atraviesa el orificio del ánodo A3, puede ser desviado horizontal y/o verticalmente aplicando una diferencia de potencial entre las placas de deflexión. La diferencia de potencial entre las placas, produce un campo eléctrico capaz de desviar el haz electrónico.

La etapa de pos-aceleración, se emplea para dar mayor velocidad al haz de electrones, provocando que los choques en la pantalla produzcan una luminosidad suficiente.

2. Amplificadores.

El osciloscopio cuenta con dos amplificadores, uno que va conectado a las placas de deflexión vertical y otro a las placas de deflexión horizontal. Ambos tienen como función, elevar la tensión de su entrada a un nivel adecuado para aplicarse a dichas placas, haciendo posible, que el haz de electrones que pasa entre ellas, sea desviado una distancia, que es proporcional al voltaje de entrada y que depende de la sensibilidad. El factor de sensibilidad, se define como la diferencia de potencial necesaria para desviar el haz una división en la retícula de la pantalla. El mando SENSITIVITY VERTICAL controla la sensibilidad vertical, mientras que el mando SENSITIVITY HORIZONTAL, controla la sensibilidad horizontal, cuando el conmutador "imagen horizontal", se encuentra en la posición "entrada horizontal".

3. Circuito base de tiempos.

Está constituido por un generador de impulsos y un generador de barrido, que están relacionados como lo muestra la figura II.3.

Siempre que la "Señal de Disparo" cumpla con las condiciones de los mandos LEVEL y SLOPE, se produce un impulso.

Cada vez que se genera un impulso, el generador de barrido produce una onda "Diente de Sierra" (señal de barrido), que general-

mente, se conecta a las placas de deflexión horizontal, mediante el amplificador respectivo, provocando que el haz luminoso, se despla-

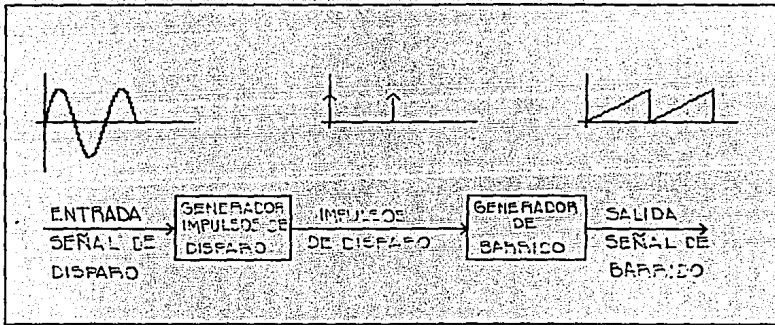


Figura II.3 Base de tiempos.

ce horizontalmente de izquierda a derecha, a lo largo de la pantalla, con velocidad constante.

La velocidad de desplazamiento del haz, depende de la duración de la onda "Diente de Sierra", que se regula por medio del mando TIME/DIV. Una vez que el generador de barrido ha sido disparado, no podrá volverse a disparar, hasta que no haya finalizado el barrido provocado, de tal manera que los impulsos que se generen durante éste, serán ignorados.

El mando TRIGGER SOURCE es un conmutador a la entrada del gene-

rador de impulsos. Cuando está en la posición INT, la señal que va al amplificador vertical, entra también al generador de impulsos. Al estar en la posición LINE, la "Señal de Disparo" proviene de la alimentación de 60 Hz y si se encuentra en la posición EXT, la "Señal de Disparo" es una señal externa.

Resumiendo:

La señal de barrido, hace que las placas de desviación horizontal, muevan el punto luminoso de izquierda a derecha a lo largo de la pantalla, mientras que la señal a observar, provoca que dicho punto se desplace hacia arriba o hacia abajo. La trayectoria resultante del punto luminoso, representa la variación de la señal de entrada, respecto al tiempo.

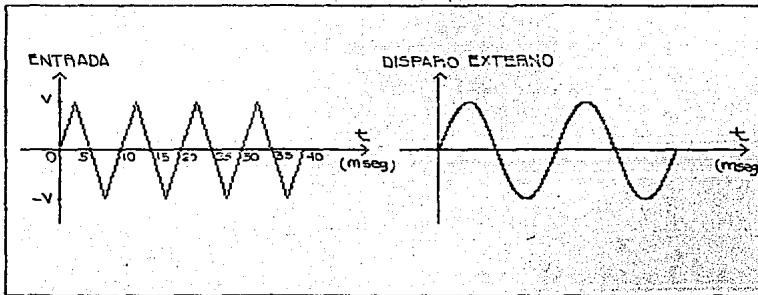


Figura II.4 Señales de entrada al osciloscopio.

Para aclarar el funcionamiento del osciloscopio, se plantea el siguiente ejemplo:

Supóngase que los mandos del osciloscopio tienen lo siguiente:

- i) VOLTS/DIV = 1 volt/div
- ii) TIME/DIV = 1mseg/div
- iii) LEVEL = 0
- iv) SLOPE = +

La frecuencia de la red de alimentación es de 60 Hz.

Las formas de onda de las señales de entrada y de disparo, son las mostradas en la figura II.4.

Cuando la posición del mando TRIGGER SOURCE está en EXT, se tendrán las siguientes señales:

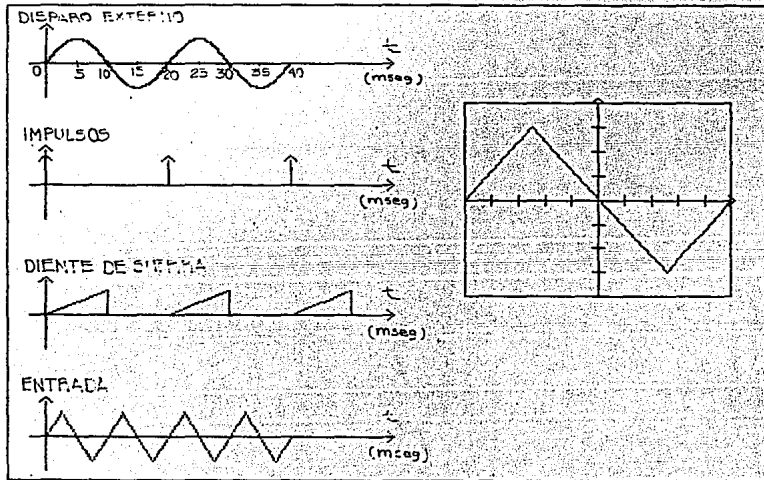


Figura II.5 Principales señales del osciloscopio.

Hay que hacer notar que la señal "Diente de Sierra", es repetitiva y está sincronizada con la señal de entrada, es decir, el inicio de la señal de barrido, coincide en el mismo punto de la señal de entrada. En caso de que no haya sincronización, la gráfica de la pantalla se deslizará hacia la izquierda o hacia la derecha. Tal sería el caso de usar como señal de disparo, al voltaje de la red de 60 Hz.

B. Tipos de Osciloscopios.

El osciloscopio, se ha utilizado para observar señales de frecuencia media. Actualmente se han desarrollado osciloscopios que permiten analizar señales de alta, mediana y baja frecuencia, los cuales se dividen, conforme a sus características de operación, en los tres tipos siguientes:

1. Osciloscopios de muestreo.
2. Osciloscopios de almacenamiento analógico.
3. Osciloscopios de almacenamiento digital.

1. Osciloscopio de muestreo.

Se emplea para poder observar señales de muy alta frecuencia,

que no es posible observar en los osciloscopios normales, cuya frecuencia máxima, oscila entre 20 y 50 Mhz.

Su funcionamiento, se basa en tomar una muestra cada $T+t$ segundos, donde:

T - Período de la señal de alta frecuencia.

t - Tiempo de retardo.

$T+t$ - Tiempo de muestreo.

Como se observa en la figura II.6, para obtener un ciclo de la señal vista en el osciloscopio, se requirieron 5 ciclos de la señal de entrada. Es por ello, que la frecuencia de la señal observada en el osciloscopio, es $1/5$ de la frecuencia de la señal de entrada.

Este tipo de osciloscopio, sólo puede ser empleado para observar señales repetitivas.

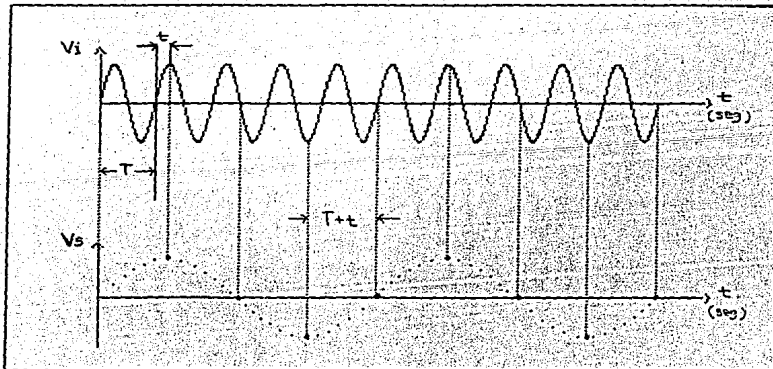


Figura II.6. Señal de alta frecuencia, muestreada.

2. Osciloscopio de almacenamiento analógico.

Este tipo de osciloscopio se emplea para observar:

- i) Señales de muy baja frecuencia.
- ii) Señales de pocos ciclos de repetición.
- iii) Señales transitorias.

Además de los elementos que constituyen un tubo de rayos catódicos normal, este tipo de osciloscopios cuenta con:

- i) Dos cañones de rocío.
- ii) Una película metálica y sobre ésta, material de fósforo de almacenamiento.

Cuando el haz electrónico, proveniente del cañón principal, choca contra la pantalla de fósforo, se desprenden electrones que son atrapados por la película de metal y enviados a tierra. La pantalla de fósforo, queda con exceso de cargas positivas en el lugar donde ocurrió el trazado. Cuando se desea reproducir la gráfica original, los cañones de rocío mandan a la pantalla una nube de electrones, quedando iluminado con más intensidad, el lugar donde se encontraban las cargas positivas.

3. Osciloscopios de almacenamiento digital.

Este tipo de osciloscopio combina las características de los men

cionados anteriormente, ya que muestrea y almacena la señal analógica de entrada. Pero ahora, las muestras son almacenadas en forma digital, en una memoria interna de material semiconductor.

El proceso de almacenamiento es el siguiente:

La señal analógica de entrada es discretizada, enviada a un convertidor analógico digital y almacenada en la memoria interna.

Cuando se desea observar la señal almacenada en la memoria, las muestras digitalizadas se mandan a un convertidor digital analógico y posteriormente, se envían hacia el tubo de rayos catódicos, reproduciéndose así, la señal en la pantalla.

Es conveniente aclarar, que la interfaz de memoria, de la que se habla posteriormente, tiene por objeto lograr que un osciloscopio convencional funcione como el que se acaba de describir.

Bibliografía.

1. Roth, Charles H., Jr.
TECNICA DEL OSCILOSCOPIO.
Traduc. Aliaga Arque.
Prol. Charles H. Roth.
2a. reimpresión.
España, eds. Marcombo Boixareu, 1982.
222 pp.
2. Oliver, Bernard M.; Cage, John M.
ELECTRONIC MEASUREMENT AND INSTRUMENTATION.
Japón, Ed. McGraw-Hill, 1971.
729 pp.
3. Bell, David A.
ELECTRONIC INSTRUMENTATION AND MEASUREMENT.
Estados Unidos, Ed. Reston Prentice-Hall, 1983.
531 pp.
4. Salvat, Juan.
COMO FUNCIONA Enciclopedia Salvat de la Técnica.
Vol. VIII
España, eds. Salvat, 1979.
(Cómo Funciona 103).
2800 pp.

III. CONVERTIDORES.

Ya que los convertidores, analógico digital y digital analógico, son los elementos que permiten el intercambio de información entre los elementos externos y la interfaz, es importante conocer los tipos de convertidores más empleados, así como las señales que manejan; para poder elegir el método de conversión más adecuado a nuestros requerimientos.

Las señales eléctricas, generalmente se utilizan para representar el comportamiento de los sistemas hidráulicos, mecánicos, etc., ya que las variables físicas que manejan, pueden ser convertidas a voltaje, por medio de los transductores.

La información de las señales eléctricas se representa principalmente de dos formas:

- i) Analógica.
- ii) Digital.

En una señal analógica, las variaciones continuas de voltaje respecto al tiempo constituyen la información.

Una señal digital, es aquella cuya variación con respecto al tiempo, está sujeta únicamente a dos valores de voltaje preestablecidos, que representan la información en un instante determinado. Los dos niveles de voltaje se asocian, generalmente, con dígitos binarios (1, 0).

Debido al gran avance tecnológico de las computadoras, es posible procesar, en un tiempo reducido, gran cantidad de información en forma digital. Esta característica las ha llevado a formar parte de los sistemas de control, que por lo general, manejan señales de tipo analógico. De aquí, surge la necesidad de emplear dispositivos que permitan la comunicación entre la computadora y el sistema. Estos son llamados convertidores analógico digital (CAD) y convertidores digital analógico (CDA).

Otras aplicaciones importantes de estos circuitos se dan en el campo de las comunicaciones, en instrumentos de medición, etc.

A. Convertidores Digital Analógico.

Los elementos principales que componen un CDA son:

- i) Red de resistencias.
- ii) N interruptores, uno para cada bit de la entrada digital.
- iii) Voltaje de referencia.
- iv) Sumador (amplificador operacional).

Su funcionamiento se basa en la suma de las corrientes producidas por la señal digital, de manera que la señal analógica sea proporcional a los cambios de la entrada.

1. Descripción de los componentes.

a). Red de resistencias.

La conversión de la señal digital, a su equivalente de corriente, se efectúa mediante la red de resistencias, que caracteriza a los dos tipos de CDA más conocidos:

- 1). CDA con red de resistencias de peso binario.
- 2). CDA con red de resistencias R-2R.

1). CDA con red de resistencias de peso binario.

El esquema básico de un convertidor de este tipo, se muestra en la figura III.1.

Como se aprecia en la figura III.1, la entrada digital está conectada a la red de resistencias a través de unos interruptores. Cada bit de la entrada controla a uno de estos interruptores, conectando la resistencia respectiva al V_{ref} si su valor es "1", o a tierra si su valor es "0".

Las resistencias de la red tienen valores tales que, la corrien

te que conducen, es proporcional al peso binario del bit de entrada respectivo; por esta razón, cada resistencia de la red es el doble de la siguiente y la mitad de la precedente, de tal forma que, si el valor de la resistencia del bit más significativo (MSB) es R , el valor de la resistencia del bit menos significativo (LSB) es $2^{n-1}R$.

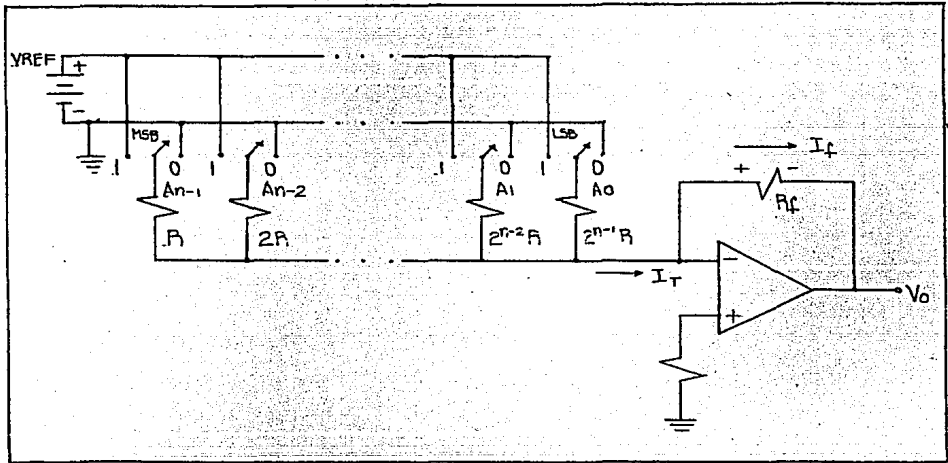


Figura III.1 CDA con red de resistencias de peso binario.

De acuerdo a las características de los amplificadores operacionales (A.O.) y aplicando el teorema de superposición, se tiene que la corriente en la entrada del A.O. es:

$$I_T = \frac{V_{ref}}{R} A(n-1) + \frac{V_{ref}}{2R} A(n-2) + \dots + \frac{V_{ref}}{2^{n-1}R} A(0)$$

$$I_T = \frac{V_{ref}}{R} \left[A(n-1) + \frac{A(n-2)}{2} + \dots + \frac{A(0)}{2^{n-1}} \right]$$

De la fig. III.1:

$$I_T = I_f = - \frac{V_o}{R_f}$$

Por lo tanto:

$$\frac{V_o}{R_f} = - \frac{V_{ref}}{2^{n-1}R} \left[2^{n-1} A(n-1) + 2^{n-2} A(n-2) + \dots + 2^0 A(0) \right]$$

$$\boxed{V_o = - V_{ref} \frac{R_f}{2^{n-1}R} \sum_{i=0}^{n-1} 2^i A(i)}$$

Donde:

- A(i) - representa el iésimo bit de la entrada digital, puede tomar el valor de "0" ó "1".
- Vref - voltaje de referencia.
- V_o - voltaje de salida analógico.
- n - número de bits.
- R - es el valor de la resistencia del bit más significativo.

R_f - resistencia de realimentación del amplificador operacional.

De esta forma, la salida de voltaje analógico es proporcional al valor numérico de la entrada digital, representado por el término:

$$\sum_{i=0}^{n-1} 2^i A(i)$$

Este tipo de convertidores es poco usado, ya que presenta la desventaja de requerir un amplio rango de resistencias, por lo que, los cambios en la temperatura no afectan en la misma proporción a todas las resistencias. Esto provoca que la salida de voltaje analógico no sea proporcional al valor numérico de la entrada digital.

2). CDA con red de resistencias $R-2R$.

Este circuito supera los problemas que representa el tener un amplio rango de resistencias, ya que sólo cuenta con dos valores de resistencias distintos: R y $2R$, tal y como se observa en la figura III.2.

La característica de esta red, es que la resistencia vista desde cualquier nodo, tiene un valor de $2R$.

Debido a que el circuito de la figura es lineal, se puede aplicar el teorema de superposición para analizar su funcionamiento, de tal forma que, se puede obtener por separado la contribución de voltaje para cada bit. La suma de todas las contribuciones de voltaje,

da como resultado el valor de la señal analógica.

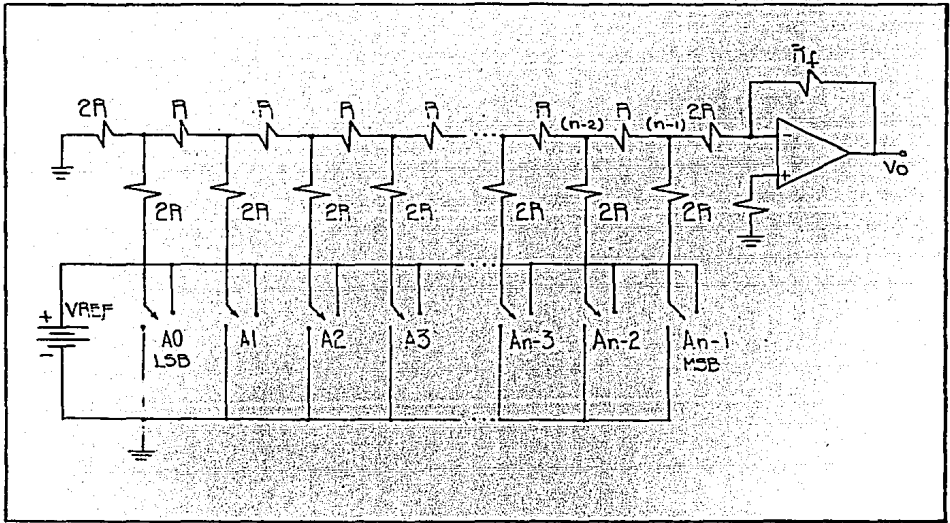


Figura III.2 CDA con red de resistencias R-2R.

Con el fin de facilitar los cálculos, se elige una resistencia de realimentación $R_f = 3R$. La ganancia del amplificador operacional es igual a:

$$R_f/2R = 3R/2R = 3/2.$$

Para determinar el voltaje producido por el bit más significativo, el circuito equivalente será:

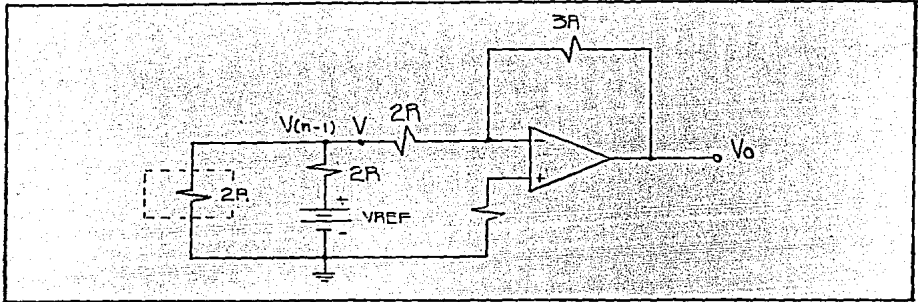


Figura III.3 Análisis del nodo (n-1).

El voltaje en el nodo (n-1) es: $V(n-1) = V_{ref}/3$.

El voltaje en la entrada del A.O. es: $V = V(n-1)$.

Así que la salida es:

$$V_o(n-1) = - \frac{3}{2} \frac{V_{ref}}{3} \quad \rightarrow \quad V_o(n-1) = - \frac{V_{ref}}{2} A(n-1)$$

Para el nodo siguiente el circuito es:

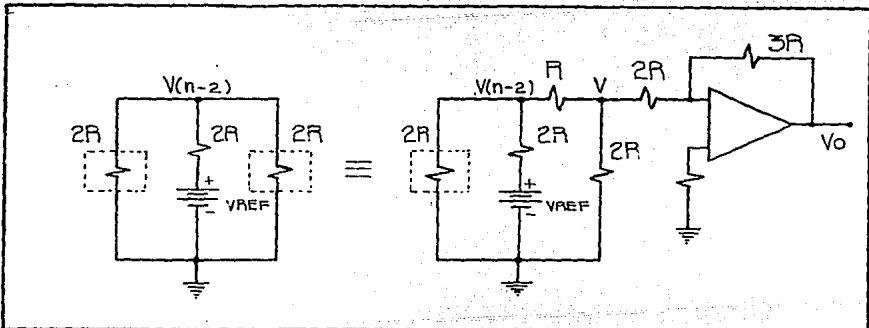


Figura III.4 Análisis del nodo (n-2).

El voltaje en el nodo (n-2) es: $V(n-2) = V_{ref}/3$.

El voltaje en la entrada del A.O. es: $V = V(n-2)/2$.

Por lo tanto, la salida del A.O. es:

$$V_o(n-2) = - \frac{3}{2} \frac{V(n-2)}{(2)} \longrightarrow V_o(n-2) = - \frac{V_{ref}}{4} A(n-2)$$

Siguiendo con este procedimiento, se obtiene la contribución de cada uno de los bits restantes.

Por el teorema de superposición:

$$V_o = V_o(n-1) + V_o(n-2) + \dots + V_o(0)$$

Sustituyendo:

$$V_o = - \frac{V_{ref}}{2} A(n-1) - \frac{V_{ref}}{4} A(n-2) - \dots - \frac{V_{ref}}{2^n} A(0)$$

$$V_o = - \frac{V_{ref}}{2^n} \left(2^{n-1} A(n-1) + 2^{n-2} A(n-2) + \dots + 2^0 A(0) \right)$$

$$V_o = - \frac{V_{ref}}{2^n} \sum_{i=0}^{n-1} 2^i A_i$$

Para cualquier otra resistencia de realimentación:

$$V_o = - \frac{R_f}{3R} \frac{V_{ref}}{2^n} \sum_{i=0}^{n-1} 2^i A_i$$

Como se ve, la salida analógica es proporcional al valor numérico de la entrada digital y el valor máximo (voltaje a escala total), está determinado por el voltaje de referencia (V_{ref}) y por la resistencia de realimentación (R_f).

Una de las principales desventajas de este convertidor con respecto al del caso anterior, es que ocupa el doble de resistencias; no obstante, es el más empleado.

b). Interruptores.

El transistor bipolar de juntura (BJN) es el dispositivo electrónico más ampliamente utilizado como interruptor, debido a que puede trabajar en corte o en saturación, siendo la configuración emisor común la que más se ajusta a este modo de operación. La ventaja de utilizar este tipo de interruptores, es que por medio de sus terminales de entrada se controla el voltaje o la corriente de salida.

Se distinguen dos partes principales en el transistor bipolar de juntura como interruptor:

- i) La unión base-emisor, que son las terminales controladoras.
- ii) La terminal del colector, que es la parte controlada.

Entre los interruptores más ampliamente utilizados se encuentran los siguientes:

- 1). Interruptor PNP-PNP.
- 2). Interruptor de un CDA, en un chip.

3). Interruptor analógico CD4016.

1). Interruptor PNP-PNP.

Uno de los interruptores más empleados en los CDA es el PNP-PNP, mismo que se muestra en la figura III.5.

La existencia de corriente en la salida de $Q(0), Q(1), \dots, Q(n-1)$ depende de la diferencia de potencial entre sus terminales base-emisor. A su vez, esta diferencia de potencial, depende del valor de la entrada lógica en la base de $Q'(0), Q'(1), \dots, Q'(n-1)$. El transistor Q , se encarga de proporcionar un voltaje constante (+1.9 V) en la base de $Q(0), Q(1), \dots, Q(n-1)$.

Funcionamiento.

Para facilitar el análisis del interruptor, sólo se explicará el funcionamiento de la entrada lógica más significativa.

- i) Cuando hay un "0" lógico (0.8 V) en la base de $Q'(0)$, en el emisor de $Q(0)$ se tiene un voltaje de 1.5 V, este transistor opera en la región de corte, debido a que la diferencia de potencial entre sus terminales emisor-base es de -0.4 V. Por tanto, la contribución de corriente del MSB a la salida, es cero.
- ii) Cuando hay un uno lógico (3.2 V) en la base de $Q'(0)$, el transistor $Q(0)$ conduce. La contribución a la corriente de salida,

debida al MSB, es inversamente proporcional a la resistencia del emisor.

Esta forma de operar es válida para todas las demás entradas lógicas.

Nótese que los interruptores están acoplados a una red de resistencias de peso binario.

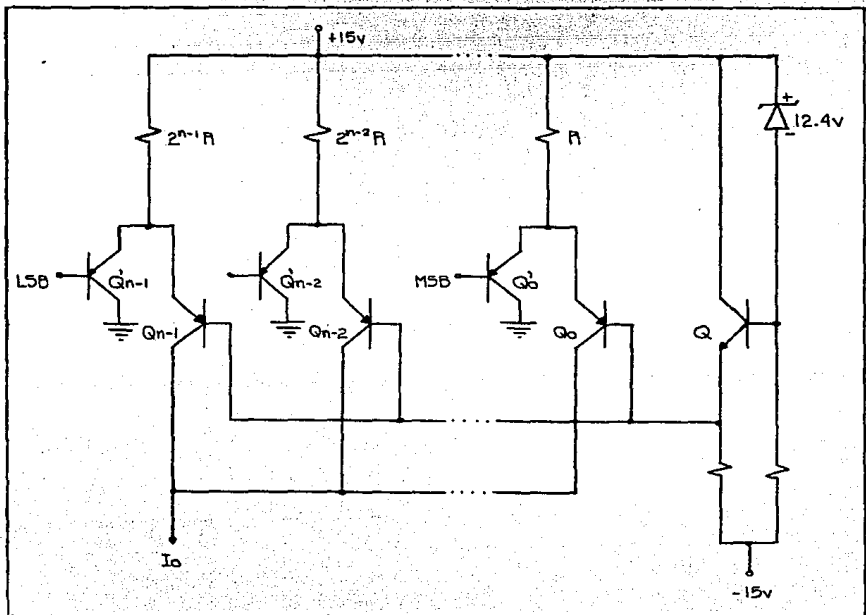


Figura III.5 Interruptores PNP-PNP.

2). Interruptor de un CDA, en un chip.

Uno de los interruptores más ampliamente empleados en los CDA monolíticos (circuito integrado), es el de la figura siguiente:

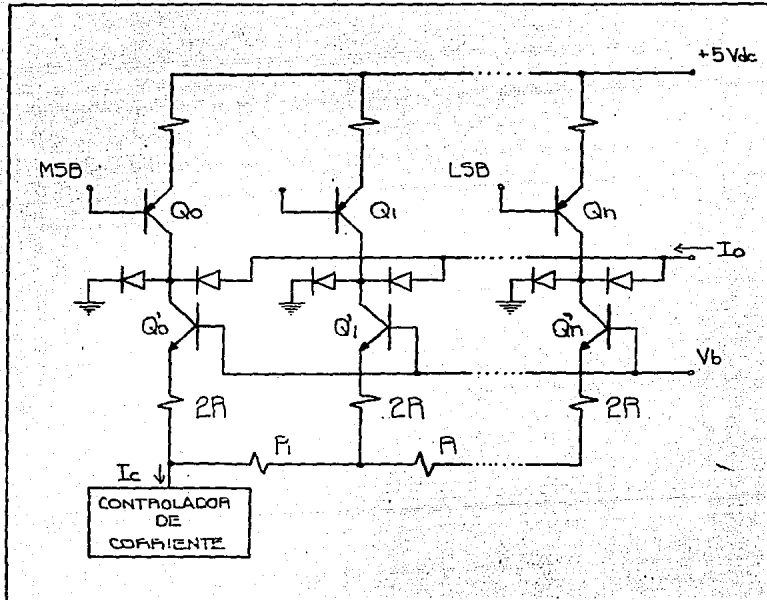


Figura III.6 Interruptores en un CDA monolítico.

El controlador de corriente, fija I_c a un valor constante. La corriente I_o , valdrá lo mismo que I_c , cuando todas las entradas lógicas estén en "1".

Funcionamiento.

Cuando se tiene un "1" (5V) en la base de Q(0), el transistor Q'(0) toma la corriente de la salida, debido a que Q(0) está cortado. Cuando se tiene un "0" en la base de Q(0), éste conduce, proporcionando ahora, la corriente a Q'(0).

El principio de funcionamiento, puede ser aplicado a cualquiera de los bits.

Debe notarse, que la red acoplada a los interruptores, es del tipo R-2R.

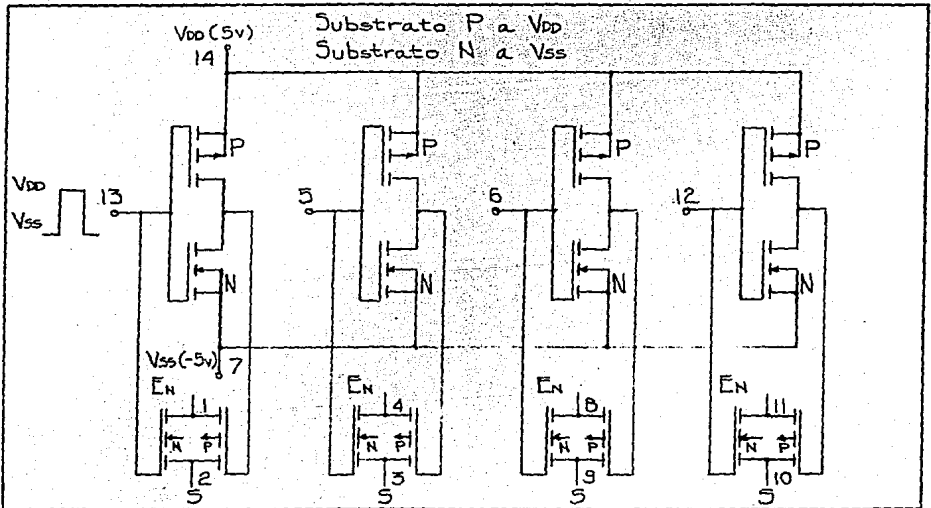


Figura III.7 Diagrama interno del CD4014.

3). Interruptor analógico CD4016.

Este circuito integrado, está constituido por cuatro interruptores analógicos, como se muestra en la figura III.7.

Funcionamiento.

Para cada uno de los interruptores, se distinguen dos secciones:

- a). Inversor.
- b). Conmutador de transferencia.

- a). Inversor.

El diagrama eléctrico que se muestra a continuación, representa la sección del inversor:

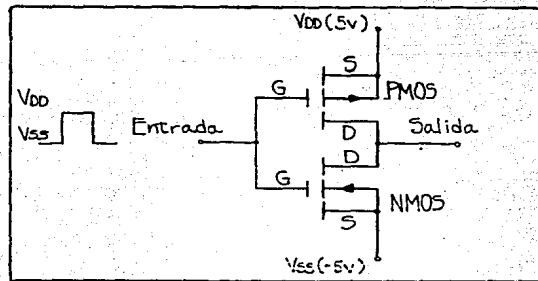


Figura III.8 Inversor.

Cuando en la entrada se tiene un voltaje igual a V_{dd} , el transistor PMOS se comporta como un circuito abierto entre los puntos S y D, mientras que el transistor NMOS, se comporta como una pequeña resistencia; por lo tanto, en la salida se tiene un voltaje aproximadamente igual a V_{ss} .

En caso de que la entrada sea igual a V_{ss} , el transistor NMOS se comporta como un circuito abierto entre los puntos S y D, mientras que el transistor PMOS, se comporta como una pequeña resistencia; por lo tanto, la salida es aproximadamente igual a V_{dd} .

b). Conmutador de transferencia.

La siguiente figura, muestra la sección del conmutador de transferencia:

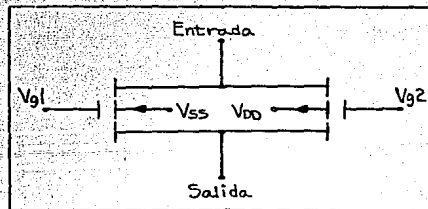


Figura III.9 Conmutador de transferencia.

Dependiendo del voltaje que tenga la compuerta de cada transistor, se permite o no, el paso de la señal de entrada. Es decir, cuando: $V_{g1} = V_{dd}$ y $V_{g2} = V_{ss}$, se tiene a la salida la señal de

entrada; cuando: $V_{g1} = V_{ss}$ y $V_{g2} = V_{dd}$, el conmutador se comporta como circuito abierto.

Los niveles de voltaje comúnmente utilizados, para V_{dd} y V_{ss} son: de +5 y -5 Vdc, respectivamente.

2. Especificaciones en los CDAs.

Las especificaciones más importantes de los CDAs son:

a). Resolución.

Es el nivel de voltaje analógico producido por el bit menos significativo y queda determinado por la siguiente relación:

$$\left(\text{Voltaje a escala total} \right) / 2^n$$

Donde:

n - es el número de bits.

De lo anterior, se concluye que la resolución depende del número de bits en la entrada digital.

Por ejemplo, para un convertidor de 8 bits y voltaje a escala total de 10 V. la resolución es de:

$$\underline{\underline{10 / 2^8 = 0.039 \text{ V.}}}$$

b). Exactitud.

Es la desviación del voltaje de salida analógico, respecto al va

lor esperado para una entrada digital. La exactitud puede ser expresada como: un porcentaje de la escala total, un número de bits o en función del bit menos significativo.

Se considera aceptable una exactitud de $(+/-) 1/2 \text{ LSB}$.

c). Tiempo de conversión:

Es el tiempo que tarda el convertidor en producir una salida con una exactitud de $(+/-) 1/2 \text{ LSB}$, desde el momento en que la entrada digital está presente.

Al recíproco de este parámetro se le llama comúnmente, velocidad de conversión.

3. Errores característicos.

Un CDA ideal produciría una salida como la mostrada en la figura:

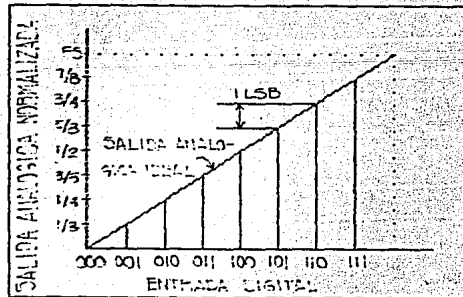


Figura III.10. Conversión ideal de un CDA.

Un CDA real presenta desviaciones respecto a la respuesta ideal, debido a la inexactitud de sus componentes y a las variaciones que sufren con la temperatura.

En la figura III.11 se representan los errores más comunes en los CDAs.

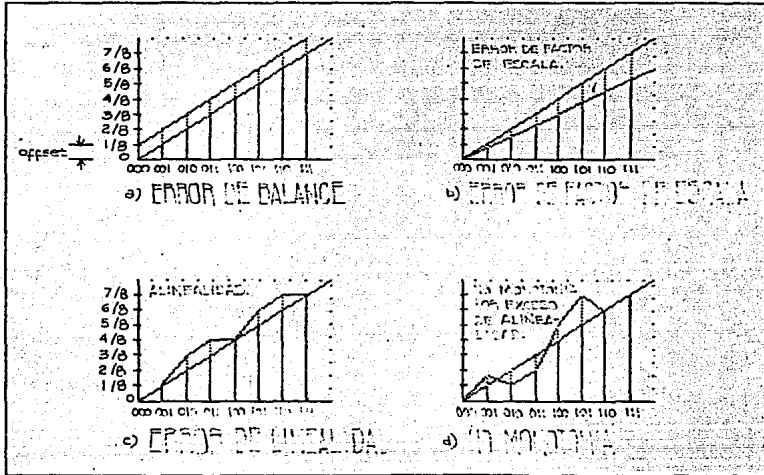


Figura III.11 Errores en los CDAs.

a). De balance (offset).

Es el voltaje que se tiene a la salida para un código de entrada igual a cero.

b). De factor de escala.

Es la diferencia que se tiene, entre el voltaje obtenido y el esperado para un código de entrada, usualmente el código correspondiente a la escala total.

c). De linealidad.

Es la desviación que se tiene a la salida con respecto a una línea recta imaginaria, trazada desde escala total hasta cero.

d). De monotonía.

Es un error de linealidad excesivo, en el que se presentan decrementos a la salida, para incrementos en la entrada.

e). Dinámico.

Se debe a los cambios que se presentan, entre dos códigos adyacentes, durante el tiempo de conversión. Este error se acentúa en las transiciones donde deben de cambiar de estado todos los bits de la señal digital, por ejemplo: de 0111 a 1000.

La suma de todos los errores anteriores, determina la exactitud del CDA.

B. Convertidores Analógico Digital.

Están constituidos básicamente por:

- i) Una lógica de control.
- ii) Comparadores.
- iii) Voltaje de referencia.

Y en algunos casos:

- iv) Contadores y/o CDAs.

Los CAD, miden la amplitud de la señal analógica de entrada y generan una palabra digital que la representa.

1. Tipos de CAD.

Las técnicas de conversión más comunes son:

- a). Rampa analógica.
- b). Contador de rampa.
- c). Doble rampa.
- d). Aproximaciones sucesivas.

- a). Rampa analógica.

Los elementos que lo constituyen, se muestran en el diagrama a bloques presentado en la figura III.12.

Esta técnica compara el voltaje de entrada con una "rampa"; la conversión termina cuando ambas señales son iguales en magnitud.

Funcionamiento.

Al inicio de la conversión, se genera la rampa y el contador a-

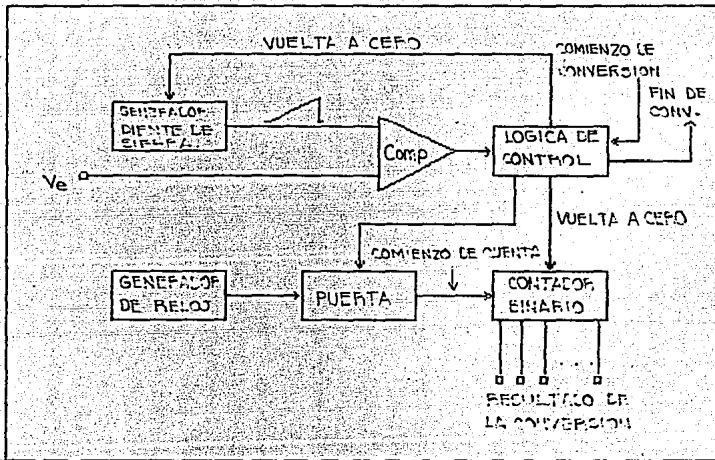


Figura III.12 Convertidor de rampa analógica.

ranca desde cero. El comparador indica a la lógica de control, el momento en el cual la rampa alcanza la magnitud del voltaje de entrada. En este momento, la lógica de control manda una señal "fin de conversión" y detiene al contador.

El valor obtenido en el contador, es proporcional al voltaje de entrada. La demostración de esto se basa en la gráfica siguiente:

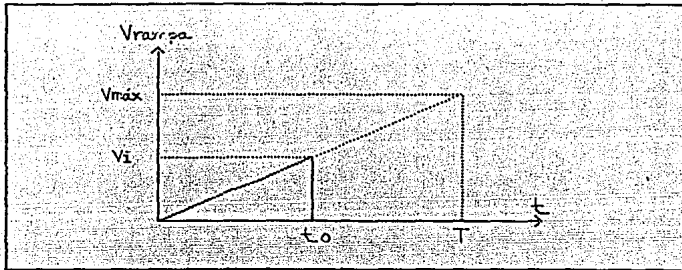


Figura III.13 Representación de la rampa analógica.

A continuación se listan los parámetros utilizados en el análisis de este método:

- $V_{máx}$ - valor máximo de la tensión de rampa.
- f_{ck} - frecuencia de reloj.
- t_0 - tiempo desde el comienzo de la conversión hasta que el comparador cambia de estado.
- T - tiempo que tarda la rampa en llegar a su valor máximo.
- n - número de bits de la salida digital.
- N_c - valor digital de la salida del contador al final de la conversión.
- V_i - señal analógica a convertir.

El tiempo que requiere la rampa en alcanzar su máxima amplitud, debe ser igual a $2^n - 1$ pulsos de reloj para que el convertidor trabaje

je adecuadamente. Esto queda determinado por la siguiente ecuación:

$$T = \frac{2^n - 1}{f_{ck}} \quad \dots\dots (1)$$

El tiempo que tarda la conversión, está dado por:

$$t_o = \frac{N_c}{f_{ck}} \quad \dots\dots (2)$$

De la figura, por triángulos semejantes tenemos que:

$$\frac{V_{m\acute{a}x}}{T} = \frac{V_i}{t_o}$$

Por lo tanto:

$$V_i = \frac{V_{m\acute{a}x}}{T} t_o$$

Sustituyendo las ecuaciones (1) y (2) en la ecuación anterior:

$$V_i = V_{m\acute{a}x} \left[\frac{N_c}{f_{ck}} \right] \left[\frac{f_{ck}}{2^n - 1} \right]$$

Por lo tanto:

$$\boxed{N_c = V_i \frac{2^n - 1}{V_{m\acute{a}x}}}$$

Para el correcto funcionamiento del circuito, el tiempo de respuesta del comparador debe ser menor a medio ciclo de la señal de reloj.

Es importante mencionar, que las variaciones en la frecuencia del reloj provocan inexactitudes en la conversión, debido a que estos cambios afectan al contador pero no a la rampa.

b). Contador de rampa.

Esta técnica supera el problema del método anterior, ya que ahora, la rampa es generada por el contador; consecuentemente, la frecuencia del reloj afecta la pendiente de la rampa.

La figura III.14, muestra en forma esquemática, un convertidor contador de rampa.

Al inicio de una conversión, el contador es puesto a cero por medio del reset, esto produce un $V_b=0$. La entrada analógica es aplicada a través del retenedor. Mientras V_a sea mayor que V_b , la salida del comparador será igual a "1" y la compuerta AND permitirá que los pulsos de reloj lleguen hasta el contador. Con cada cuenta la salida V_b del CDA se incrementa en un paso de voltaje, tal y como se muestra en la figura III.15; la cuenta sigue hasta que la forma de onda en escalera excede el valor de la señal analógica V_a . En este instante, la salida del comparador desciende a "0", deshabilitando la compuerta AND, deteniendo con ello al contador; por lo que la salida digital, tendrá el valor correspondiente a la entrada analógica V_a .

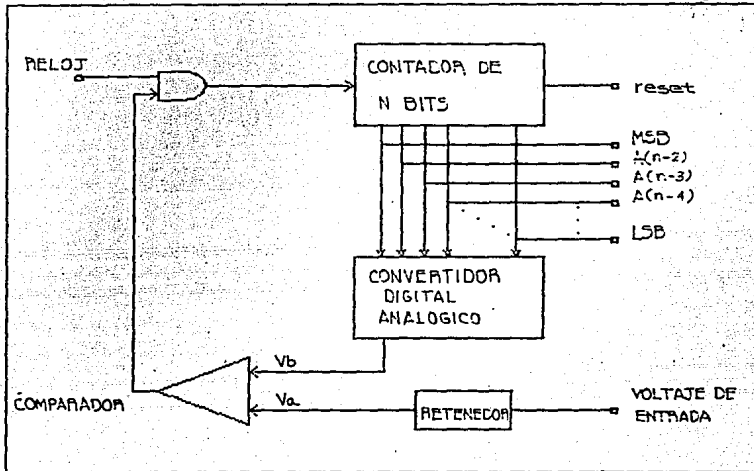


Figura III.14 CAD contador de rampa.

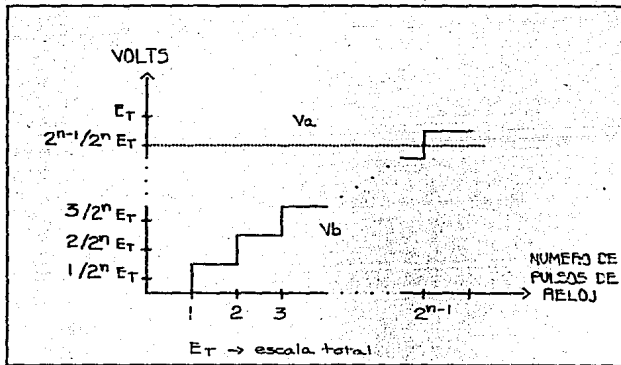


Figura III.15 Representación de las entradas al comparador.

Este tipo de convertidor es relativamente lento, pues podrían necesitarse hasta $2^n - 1$ ciclos de reloj para una conversión.

Este método, puede ser mejorado sustituyendo al contador común por uno "arriba-abajo", en el que la dirección de la cuenta es controlada por la salida del comparador. En este caso se considera que la conversión ha terminado, cuando se tiene un cambio a la salida del comparador.

c).. Doble rampa.

Los elementos que constituyen a un convertidor de este tipo, se muestran en el siguiente diagrama de bloques:

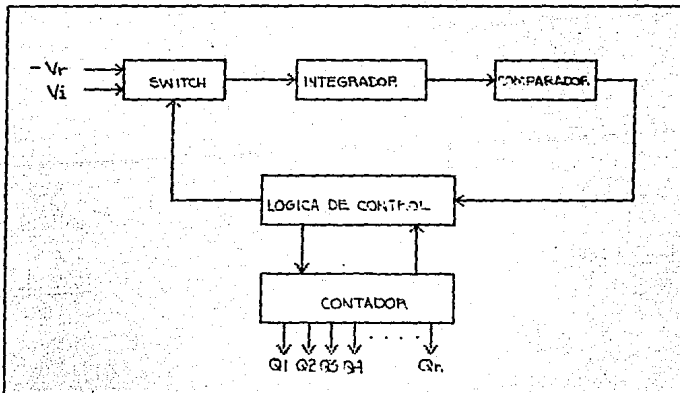


Figura III.16 Elementos del CAD doble rampa.

Al inicio de la conversión, la lógica de control permite el paso del voltaje de entrada al integrador, generando la rampa de subida. El sistema cuenta para un período fijo, T , en el que la pendiente de la rampa es proporcional al voltaje de entrada y la salida del comparador tiene un estado alto, como se ve en la figura III.17.

Cuando el contador alcanza su máximo valor, la lógica de control provoca una conmutación en el interruptor que permite el paso del voltaje de referencia, constante y de polaridad contraria a V_i , al integrador. La rampa baja empezando en t_2 y continúa con una pendiente siempre fija, durante un período de tiempo que depende de la amplitud alcanzada por la rampa ascendente.

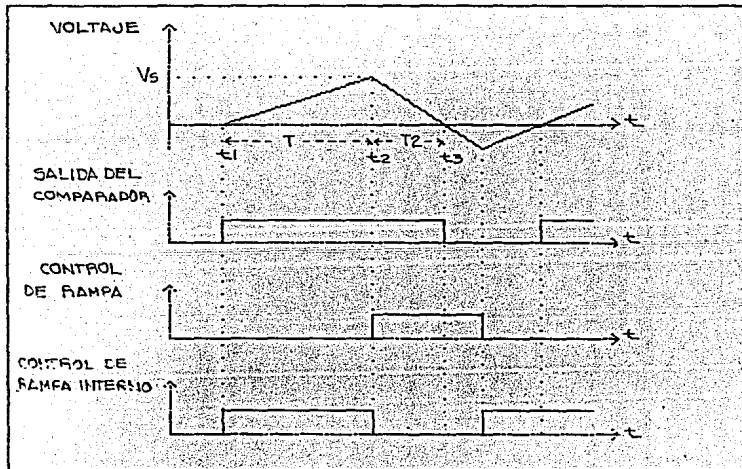


Figura III.17 Señales involucradas en la conversión.

El cambio de estado del comparador, en t_3 , detiene el contador, que "sostiene" un valor proporcional al voltaje de entrada representado por la ecuación:

$$N_c = k V_i$$

Donde:

N_c - es la cuenta efectuada durante la rampa de bajada.

k - constante de proporcionalidad.

V_i - voltaje de entrada analógico.

Demostraremos dicha proporcionalidad, encontrando el valor de k a partir de la figura III.17.

Durante la rampa de subida:

$$V_s = \frac{1}{R C} \int_{t_1}^{t_2} V_i dt$$

Donde:

V_s - voltaje de salida del integrador, durante la rampa de subida.

R - resistencia del integrador.

C - capacitor del integrador.

$$V_s = \frac{1}{R C} (V_i) T \quad \dots\dots (3)$$

Durante la rampa de bajada, la ecuación es:

$$V_o = V_s - \frac{1}{R C} \int_{t_2}^{t_3} V_r dt$$

Donde: V_o - es el voltaje de salida del integrador, durante la
rampa de bajada.

V_r - voltaje de referencia.

En t_3 , $V_o = 0$, por lo que:

$$V_s = \frac{1}{R \cdot C} (V_r) T_2 \quad \dots\dots (4)$$

Igualando las ecuaciones (3) y (4):

$$\frac{1}{R \cdot C} (V_i) T = \frac{1}{R \cdot C} (V_r) T_2$$

Durante el tiempo en el que la rampa sube o baja, los valores de R y C permanecen constantes, por lo tanto:

$$(V_i) T = (V_r) T_2 \quad \dots\dots (5)$$

Los tiempos de duración de las rampas de subida y bajada, quedan determinados respectivamente, por:

$$T = \frac{N_{tc}}{f_{ck}} \quad \dots\dots (6)$$

$$T_2 = \frac{N_c}{f_{ck}} \quad \dots\dots (7)$$

Donde:

N_{tc} - número total de cuentas, que es siempre constante.

N_c - número de cuentas durante la rampa de bajada.

f_{ck} - frecuencia de reloj del contador.

Sustituyendo las ecuaciones (6) y (7) en (5), tenemos:

$$V_i \left(\frac{N_{tc}}{f_{ck}} \right) = V_r \left(\frac{N_c}{f_{ck}} \right)$$

Como la frecuencia de reloj es la misma durante la rampa de subida y la de bajada:

$$V_i (N_{tc}) = V_r (N_c)$$

$$N_c = \frac{N_{tc}}{V_r} V_i$$

De donde:

$$\boxed{k = \frac{N_{tc}}{V_r}}$$

Es por ello que este método, es independiente, tanto de los valores de los parámetros del integrador, como de la frecuencia de la señal de reloj, utilizados durante la conversión.

d). Aproximaciones sucesivas.

Este método es el más utilizado, debido a que el tiempo en que realiza una conversión, es constante y sólo depende del número de

bits de la entrada digital.

Los elementos que constituyen a un convertidor de aproximaciones sucesivas, se observan en el siguiente diagrama de bloques:

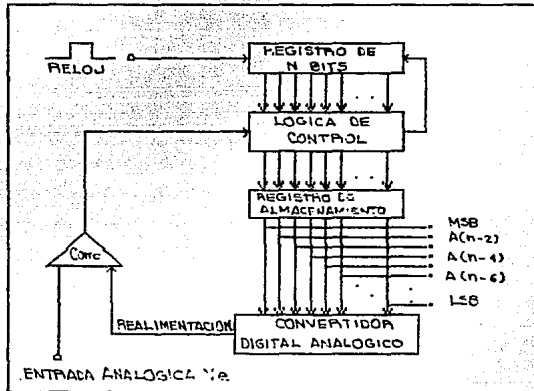


Figura III.18 Elementos de un CAD de aproximaciones sucesivas.

Como se aprecia en la figura, las entradas del CDA provienen de un registro y no de un contador, como ocurre en otros métodos.

La operación de este circuito, se basa en realizar n comparaciones, entre el voltaje de entrada y la salida del CDA.

Al inicio de la conversión, las salidas del registro son puestas a "0". Con el primer pulso de reloj, la lógica de control otorga un "1" en el MSB del registro, con lo que a la salida del CDA, se tendrá un voltaje equivalente a la mitad de la escala total, que

es comparado con el voltaje de entrada; si éste es mayor al producido por el CDA, el "1" del MSB se almacena en el registro, en caso contrario se almacena un "0".

Con el segundo pulso de reloj, se pone un "1" en el siguiente bit, por lo que la salida del CDA se incrementará en un cuarto de la escala total; si este voltaje es menor que el desconocido, el valor del bit se mantiene en "1", de otra forma, se hace "0".

Se sigue el mismo procedimiento, para determinar el valor de los bits restantes. En la figura siguiente, se observan los pesos que se le otorgan a cada bit, para llegar al valor deseado.

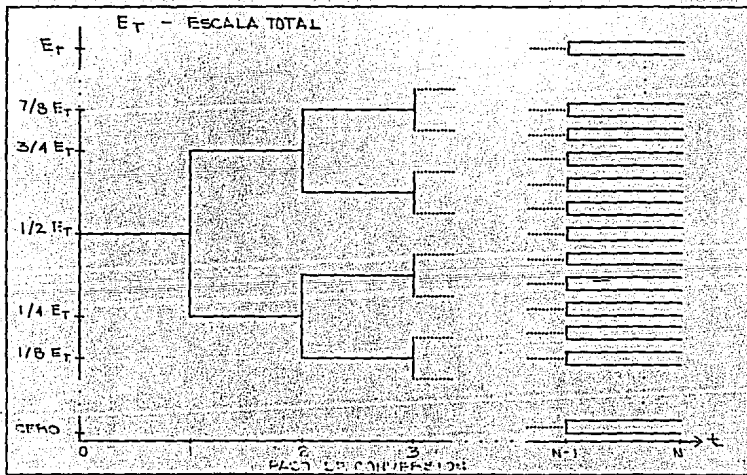


Figura III.19 Posibles transiciones durante la conversión.

Es importante aclarar, que una vez que se establece el valor de algún bit en el registro, así permanece durante toda la conversión.

El valor que contiene el registro, después de n comparaciones, es el resultado de la conversión.

Esta técnica sólo emplea n pulsos para efectuar la conversión, a diferencia de los otros métodos que pueden requerir hasta $2^n - 1$ pulsos. Por esta razón, el método de aproximaciones sucesivas es considerado como uno de los más rápidos.

2. Especificaciones en los CADs.

Igual que en los CDAs, las especificaciones más importantes son:

a). Resolución.

Es el mínimo voltaje en la entrada analógica, que produce una salida digital equivalente al LSB. Puede ser expresada como número de bits o como una fracción del voltaje a escala total. Se calcula de la misma forma que en un CDA.

b). Exactitud.

Es la desviación del valor esperado en la salida digital, para una entrada analógica determinada.

c). Tiempo de conversión.

Es el tiempo en el que se tiene un valor digital, correspondiente a una entrada analógica.

3. Errores característicos.

Un CAD ideal produce una salida como la mostrada en la figura III.20.

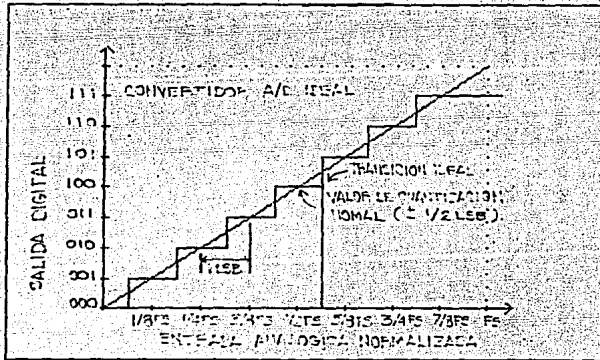


Figura III.20 Conversión ideal de un CAD.

Un CAD real presenta desviaciones respecto a la respuesta ideal, debido a la inexactitud de sus componentes y las variaciones que sufre con la temperatura. Los errores que ocurren en un CAD, son los mismos que los que ocurren en un CDA.

Los errores más comunes de los CAD, se observan en la figura si-

guiente:

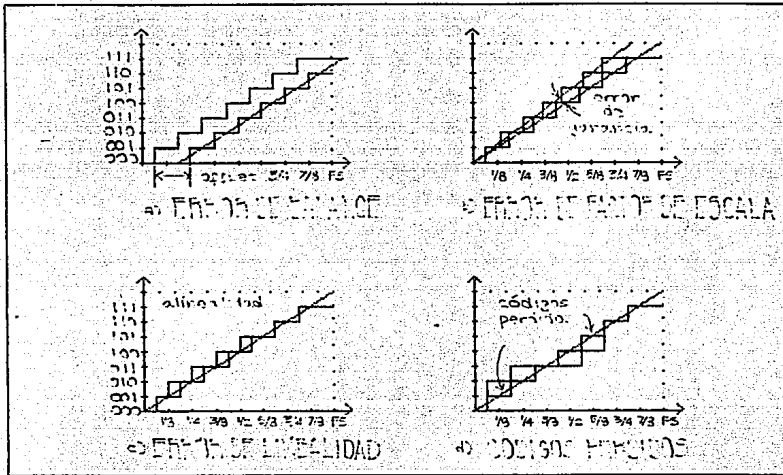


Figura III.21 Errores en los CADs.

a). Error de balance (offset).

Es cuando se tiene una palabra digital igual a cero, para una entrada analógica mayor a 1/2 del LSB.

b). Error de factor de escala.

Se presenta cuando la diferencia entre el valor en el cual ocurre la última y la primera transición, es diferente a:

$$(\text{Voltaje a escala total}) - 2\text{LSB}$$

c). Error de linealidad.

Tiene lugar cuando cambios equivalentes al LSB en la salida digital, son generados por intervalos de magnitudes distintas en la entrada analógica. Para una alinealidad excesiva pueden llegar a perderse códigos digitales.

C. Selección de los Convertidores.

1. Convertidor digital analógico.

El convertidor digital analógico, con que cuenta el laboratorio de electrónica de esta facultad, es el circuito integrado MC1408-BN, el cual tiene las siguientes características:

- i) Resolución: 8 bits.
- ii) Exactitud: (+/-) 1/2 LSB (+/- 0.19%).
- iii) Tiempo de conversión: 300 nseg.
- iv) Entradas digitales: No invertidas, compatibles con TTL y CMOS.
- v) Alimentación: +5 Vdc
-5 a -15 Vdc.

Este circuito se ajusta a los requerimientos de la interfaz, debido a que:

- i) Los circuitos que la componen son TTL.

ii) El bus de datos, del Micro-kit utilizado, es de ocho bits.

Por lo tanto, es el que se utilizará en la construcción de la interfaz.

2. Convertidor analógico digital.

En este caso, se requiere que el período de muestreo sea lo suficientemente pequeño, como para que se alcancen a percibir todos los detalles de la señal analógica de entrada. Por tal motivo, se requiere de un CAD que emplee el método de aproximaciones sucesivas, ya que, como se mencionó anteriormente, es uno de los más rápidos y realiza la conversión en un tiempo constante; estos factores nos permiten elegir un tiempo de muestreo fijo y de poca duración, ampliando el rango de frecuencias permisibles a la entrada.

La palabra digital de este convertidor, deberá ser de 8 bits, para que sea compatible con el número de bits que tiene el bus de datos del Micro-kit.

Existen dos alternativas para implementar al CAD de aproximaciones sucesivas:

- i) Utilizar un circuito integrado ADC0800.
- ii) Construir el CAD con elementos discretos.

El convertidor de la primera opción, tiene la desventaja de ser lento (50 microsegundos) para nuestros requerimientos; mientras que

con la segunda opción, se puede reducir considerablemente el tiempo de conversión, además de facilitar la comprensión del proceso de conversión, desde el punto de vista didáctico.

Por lo expuesto en el párrafo anterior, la construcción del CAD, se llevará a cabo utilizando elementos discretos.

Bibliografía.

1. Schilling, Donald L.; Belove, Charles.
ELECTRONIC CIRCUITS Discrete and Integrated.
Prol. Donald L. Schilling; Charles Belove.
Estados Unidos, Ed. McGraw-Hill, 1979.
811 pp.
2. Hnatek, Eugene R.
A USER'S HANDBOOK OF D/A AND A/D CONVERTERS.
Prol. Eugene R. Hnatek.
Estados Unidos, Ed. John Wiley & Sons, 1976.
472 pp.
3. Connelly, J. A.
ANALOG INTEGRATED CIRCUITS
Devices, Circuits, Systems and Applications.
Prol. J. A. Connelly.
Estados Unidos, Ed. John Wiley & Sons, 1975.
401 pp.

IV. DISEÑO DEL HARDWARE DE LA INTERFAZ.

Para llevar a cabo el diseño de la interfaz, es necesario definir su objetivo:

" Almacenar digitalmente hasta dos señales de baja frecuencia, que puedan ser exhibidas simultánea o individualmente en el osciloscopio ".

Las señales de entrada deben quedar comprendidas en un rango de voltaje de +8 a -8 V (por considerarlo adecuado para los trabajos que se realizan en el laboratorio) y un rango de frecuencia de 0.04 a 500 hz.

Para implementar el circuito que cumpla con el objetivo expuesto anteriormente, se utiliza el Micro-kit Z-80 como el elemento fundamental, ya que a través de él, se puede efectuar el almacenamiento, la comunicación y el control de los demás componentes.

Ya que el Micro-kit maneja señales digitales y las señales que se desean almacenar son analógicas, es necesario contar con un módulo

lo de entrada, que efectúe la conversión y un módulo de salida que realice el proceso inverso, cuando se desee exhibir en el osciloscopio la señal almacenada. Además, se requiere de un módulo de operación que le permita al usuario, controlar las funciones que puede realizar la interfaz.

A continuación se describe el Micro-kit Z-80 para, en base a ello, poder diseñar los módulos restantes.

A. Micro-kit Z-80.

El diagrama de bloques que se muestra en la figura IV.1, describe la organización lógica de los elementos que componen al Micro-kit Z-80, mientras que la figura IV.2 muestra su disposición física.

El Micro-kit es una pequeña computadora que permite almacenar en su memoria la o las señales de entrada. En el residirá también, el programa que se encarga de controlar a todos los elementos de la interfaz.

Descripción de los elementos del Micro-kit Z-80.

1. Bus de datos.

Es un bus bidireccional de 8 bits, que se utiliza para intercam-

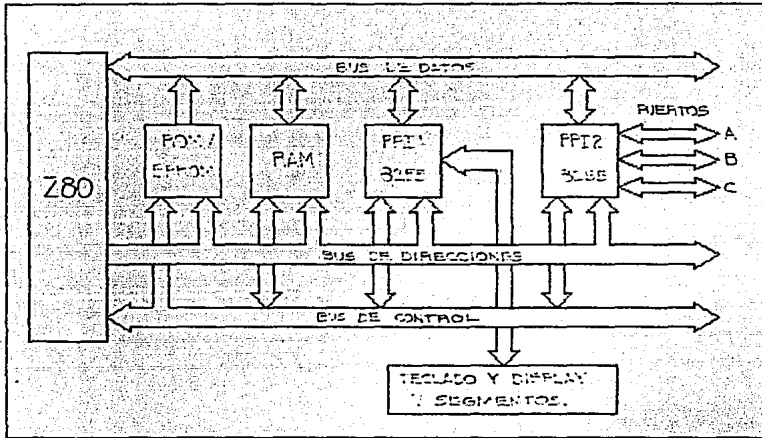


Figura IV.1 Organización lógica del Micro-kit Z-80.

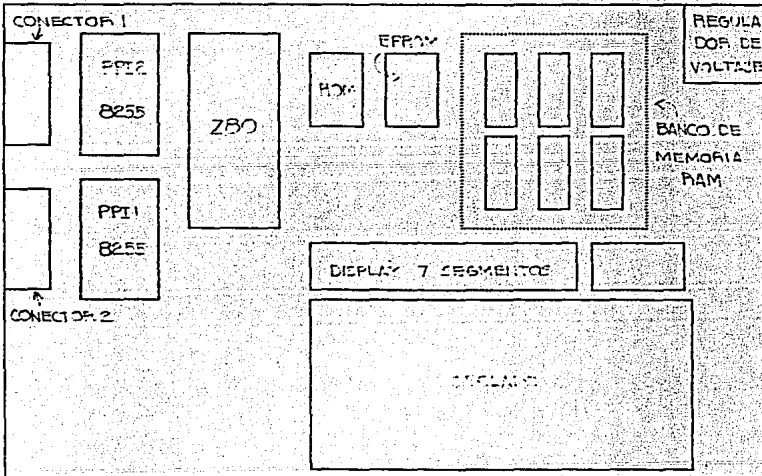


Figura IV.2 Organización física del Micro-kit Z-80.

biar información entre los elementos del sistema. Típicamente transporta datos de la memoria al microprocesador (MP), del MP a la memoria o entre el MP y los dispositivos de entrada/salida.

2. Bus de direcciones.

Es un bus unidireccional de 16 bits, que se utiliza para transportar las direcciones generadas por el MP, para seleccionar alguna localidad de memoria o un dispositivo de entrada/salida. Esta dirección, especifica la fuente o el destino de la información que será transportada por el bus de datos.

3. Bus de control.

Es un bus unidireccional de 13 bits, que se utiliza para transportar señales que controlan la operación del sistema.

4. Memoria ROM.

Memoria de sólo lectura. Contiene, en forma permanente, el programa monitor.

5. Memoria EPROM.

Es una memoria programable de sólo lectura, que se borra al exponerse a la luz ultravioleta. En esta memoria residen en forma permanente los programas de usuarios.

6. Memoria RAM.

Memoria de lectura y escritura, donde residen en forma temporal, los programas y datos del usuario, así como las localidades utilizadas por el programa monitor.

7. Microprocesador Z-80.

Este circuito gobierna la operación del Micro-kit y su configuración externa es la siguiente:

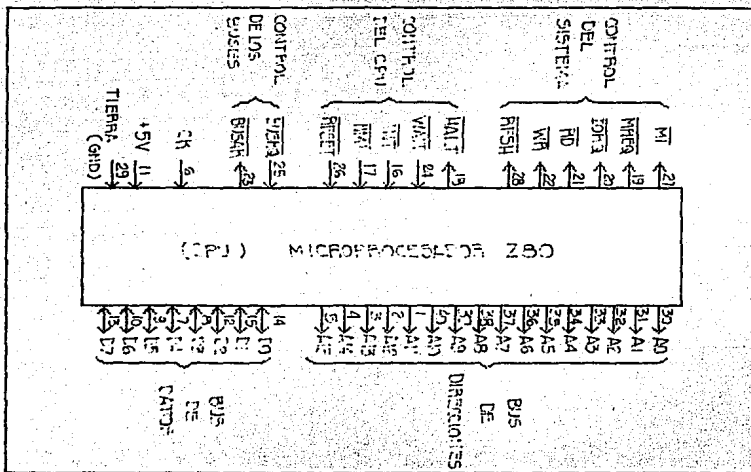


Figura IV.3 El microprocesador Z-80.

a). Descripción de las señales del microprocesador.

1). Bus de direcciones (A0-A15).

Es un bus de 16 bits, con salidas de tercer estado que se activan en alto; permite direccionar hasta 64 Kbytes de memoria o hasta 256 puertos de entrada/salida, ya que únicamente ocupa los bits A0-A7.

2). Bus de datos (D0-D7).

Es de 8 bits, bidireccional, con entradas/salidas de tercer estado activas en alto; se utiliza para intercambiar datos con la memoria o los dispositivos de entrada/salida.

3). Primer ciclo de máquina ($\overline{M1}$).

Es una salida activa en bajo, que indica el inicio del ciclo de búsqueda, del código de la instrucción que se va a ejecutar.

4). Requerimiento de memoria (\overline{MREQ}).

Es una salida de tercer estado activa en bajo; indica que el bus de direcciones mantiene una dirección válida, para efectuar una operación de lectura o escritura en memoria.

5). Requerimiento de entrada-salida (\overline{IORQ}).

Es una salida de tercer estado activa en bajo; indica que A0-A7

mantiene una dirección válida, para efectuar una operación de lectura o escritura en un puerto de entrada/salida.

6). Lectura (\overline{RD}).

Es una salida de tercer estado activa en bajo; indica que el MP desea leer información de la memoria o de un puerto de entrada/salida.

7). Escritura (\overline{WR}).

Es una salida de tercer estado activa en bajo; indica que el bus de datos mantiene información válida para ser almacenada en la memoria o enviada a un puerto de entrada/salida.

8). Refresco de memoria dinámica (\overline{RFSH}).

Es una salida activa en bajo; indica que A0-A7 contiene la dirección de memoria dinámica a refrescar.

9). No operación (\overline{HALT}).

Es una salida activa en bajo; indica que el MP está ejecutando una instrucción HALT y espera una interrupción mascarable o no mascarable para reanudar su operación.

10). Espera (\overline{WAIT}).

Es una entrada activa en bajo, que indica al MP que un dispositivo de entrada/salida o la memoria no están listos para realizar una

transferencia de datos, por lo cual, permite que dispositivos de diferentes velocidades de respuesta, se sincronicen con el MP.

11). Requerimiento de interrupción mascarable ($\overline{\text{INT}}$).

Es una entrada activa en bajo, que es generada por los dispositivos de entrada/salida para que el MP maneje una interrupción mascarable.

12). Requerimiento de interrupción no mascarable ($\overline{\text{NMI}}$).

Es una entrada activa en flanco de bajada; es generada por los dispositivos de entrada/salida para que el MP maneje una interrupción no mascarable.

13). Restablecer ($\overline{\text{RESET}}$).

Es una entrada activa en bajo, que deshabilita al MP de sus funciones, estableciendo condiciones iniciales.

14). Requerimiento del bus ($\overline{\text{BUSRQ}}$).

Es una entrada activa en bajo, que indica al MP que ponga las salidas del bus de direcciones y de datos en alta impedancia.

15). Reconocimiento del bus ($\overline{\text{BUSAK}}$).

Salida activa en bajo, que indica al dispositivo solicitante que el MP liberó el bus de datos y direcciones.

b). Estructura interna del microprocesador.

El Microprocesador está constituido básicamente por una unidad aritmético-lógica, un conjunto de registros de propósito general, un acumulador, un decodificador de instrucciones, una unidad de control y registros de direccionamiento, como se muestra en la figura IV.4.

1). Registro de instrucciones.

En él se almacena el código de la instrucción, que posteriormente se envía al decodificador.

2). Decodificador y unidad de control.

El decodificador, se encarga de interpretar el código de las instrucciones para indicarle a la unidad de control, que envíe las señales de sincronización a los elementos internos y externos al MP.

3). Registros de propósito general.

Se utilizan para almacenar, en forma temporal, datos de un programa y están etiquetados con las letras A, B, C, D, E, H y L. Existe otro conjunto complementario denotado por las letras A', B', C', D', E', H' y L'.

4). Registros de propósito especial.

Son los registros PC, SP, IX, Iy, I, R.

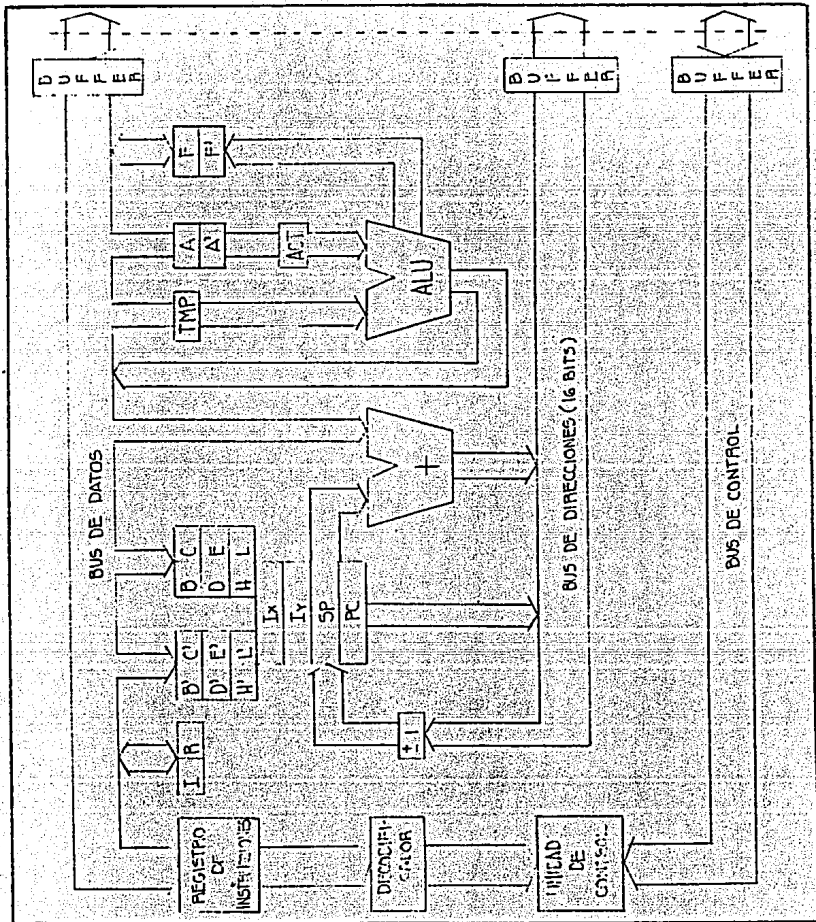


Figura IV.4 Organización interna del Z-80.

El contador de programa (PC) contiene la dirección de memoria de la siguiente instrucción a ser ejecutada. El contenido del PC se incrementa en uno, después de que se transfiere al bus de direcciones.

El apuntador del stack (SP), mantiene la dirección de la parte alta del stack, que está localizado en alguna parte de la memoria RAM.

Los registros de índice (Ix e Iy), se utilizan como apuntadores base cuando se desea acceder una tabla de datos en memoria.

El registro de interrupción (I), es usado sólo en un modo especial, en donde un llamado indirecto a una localidad de memoria, es generado como respuesta a una interrupción. El registro I se usa para almacenar la parte alta de la dirección indirecta.

El registro de refresco de memoria (R), apunta al bloque de memoria que será refrescado.

5). Acumuladores y registros de banderas.

Existen dos acumuladores (A y A') de 8 bits, asociados con sus respectivos registros de banderas (F y F'). En el acumulador es donde se mantiene el resultado de las operaciones aritméticas o lógicas de 8 bits; el registro de banderas, mantiene condiciones específicas del resultado de operaciones de 8 o 16 bits; tales banderas se muestran a continuación:

Bit.	Símbolo.	Nombre de la bandera.	
7	S	Signo:	1 - negativo 0 - positivo
6	Z	Cero:	1 - el resultado es cero 0 - el resultado no es cero
5	-	-----	-----
4	H	Carry:	1 - Hay carry Interm: 0 - No hay carry
3	-	-----	-----
2	P/V	Paridad/ Overflow:	1 - Paridad par, Overflow 0 - Paridad impar, no Overflow
1	N	Suma/ Resta:	1 - Resta 0 - Suma
0	C	Carry:	1 - Hay Carry 0 - No hay Carry

6). Unidad aritmético-lógica.

Es donde se realizan las siguientes operaciones aritméticas y lógicas:

Suma	AND lógico	Rotación lógica o aritmética
Resta	OR lógico	Comparación
Incremento	OR exclusivo	Manejo de bits
Decremento		

8. Periférico programable 8255 (PPI).

Es un dispositivo que permite la comunicación entre el microprocesador y los demás elementos de la interfaz.

La configuración interna del PPI 8255 se muestra en la figura IV.5.

a). Buffer de datos.

Está conectado directamente al bus de datos del microprocesador. La palabra de control y la información son transferidos a través de él.

b). Grupos de control A y B.

Ambos constituyen un registro interno, denominado palabra de con

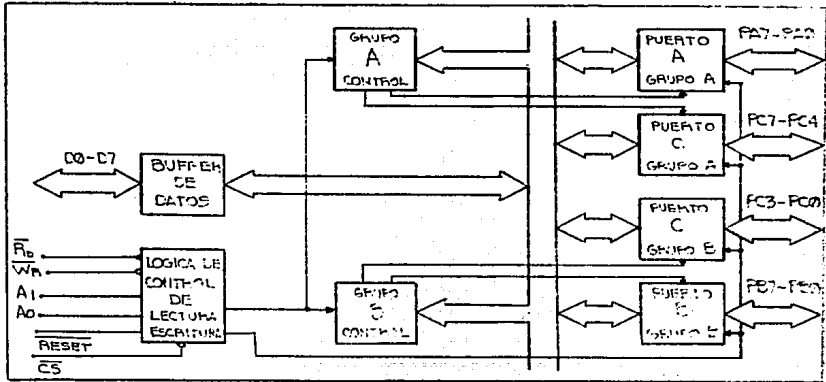


Figura IV.5 Estructura interna del PPI 8255.

trol, que establece la forma de operación del PPI; puede contener la siguiente información:

- i) Selección del modo de operación para los puertos A, B y C; organizados de la siguiente forma:

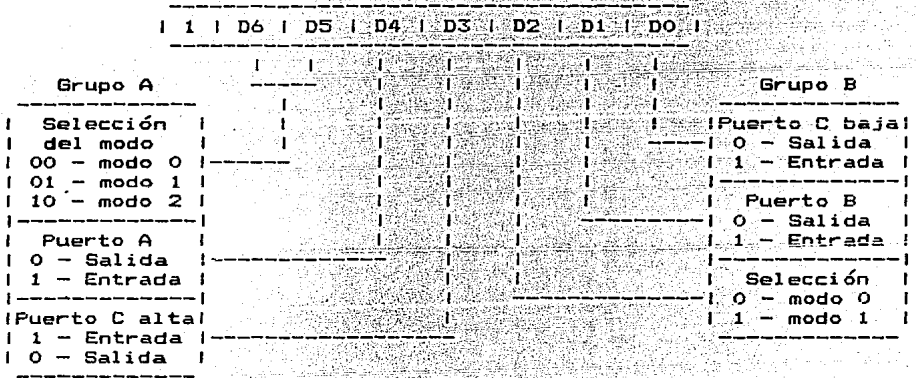


Figura IV.6 Estructura del registro de control, para la programación de los puertos A, B y C.

- ii) Pone a "0" o "1" cualquiera de los bits del puerto C, de acuerdo al siguiente esquema:

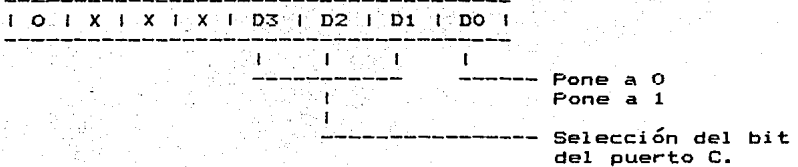


Figura IV.7 Estructura del registro de control, para la asignación de valores a los bits del puerto C.

c). Puertos A, B y C.

Están constituidos por flip-flops. Los puertos A y B, manejan 8 bits de información y el puerto C puede ser dividido en dos grupos de 4 bits cada uno.

d). Lógica de control de lectura y escritura.

Su función es manejar todas las transferencias internas y externas de datos.

e). Líneas de control y selección (A0, A1, \overline{WR} y \overline{RD}).

Controlan la selección de uno de los tres puertos o direccionan el registro de control de acuerdo a la siguiente tabla:

A2	A1	A0	\overline{RD}	\overline{WR}	\overline{CS}	
1	0	0	0	1	0	Puerto A., al bus de datos
1	0	1	0	1	0	Puerto B., al bus de datos
1	1	0	0	1	0	Puerto C., al bus de datos
1	1	1	1	0	0	Registro de Control.

Tabla IV.1

Nota: debido a que el Micro-kit contiene dos PPI, es necesario a dicionar la línea A2, que a través de una lógica, activa el chip select del PPI deseado.

El PPI tiene tres modos distintos de operación:

- i) Modo 0: Entrada/Salida básica.
- ii) Modo 1: Entrada/Salida con handshaking.
- iii) Modo 2: Entrada/Salida bidireccional.

El más indicado para la operación de la interfaz, es el modo 0. En éste, la información simplemente es escrita o leída desde el puerto especificado.

Por último, todos los pins del PPI 8255 van hacia el conector 1 del Micro-kit, como lo muestra la siguiente figura:

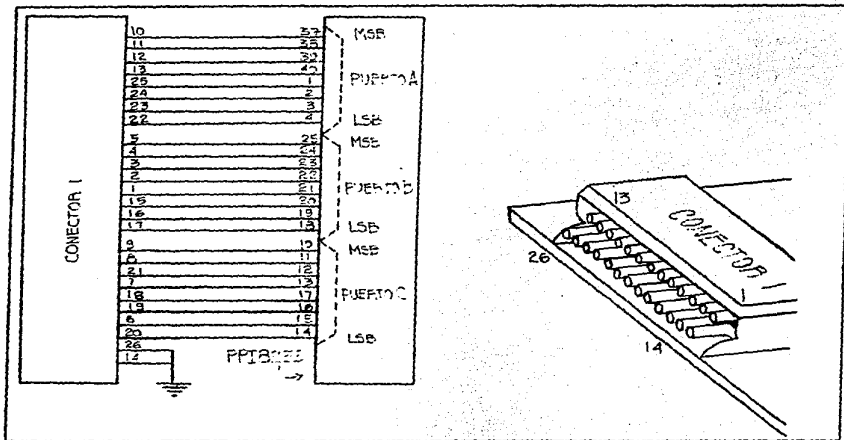


Figura IV.8 Disposición física de los pins del conector 1.

B. Módulo de Salida.

Este módulo tiene como finalidad, convertir la señal digital proveniente del Micro-kit, en una señal analógica que será enviada al osciloscopio; por tal razón se utilizará un CDA.

1. Convertidor digital analógico.

Como se mencionó al final del capítulo anterior, el CDA que se utilizará es el circuito integrado MC1408, el cual consta de los siguientes elementos:

- i) Red de resistencias R-2R.
- ii) Ocho interruptores de corriente, que corresponden a las entradas digitales.
- iii) Amplificador de corriente de referencia.

La figura IV.9, es una representación esquemática del MC1408, por medio de la cual se explica su funcionamiento.

El amplificador de corriente de referencia, demanda una corriente constante que depende de V_{ref} , como se demuestra a continuación:

Del amplificador operacional:

$$I_{ref} = \frac{V_{ref}}{R_{14}}$$

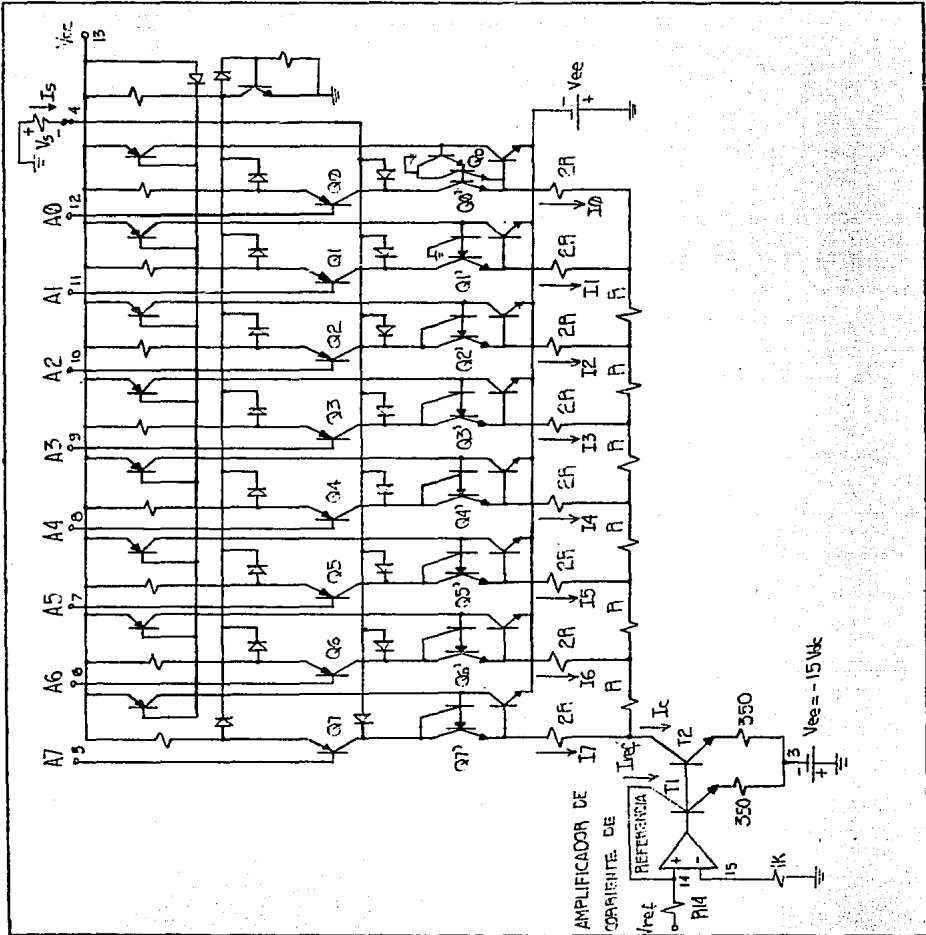


Figura IV.9 Representación esquemática de la estructura interna del MC1408.

Como T1 es igual a T2 y trabajan en el mismo punto de operación, se tiene que; $I_c = I_{ref}$ y por lo tanto:

$$I_c = \frac{V_{ref}}{R_{14}} \dots\dots(1)$$

Como se puede observar en la figura, I_c es la suma de todas las corrientes de rama ($I(0) - I(7)$) de la red R-2R; las cuales provienen de la salida, cuando las entradas digitales están en "1"; o del transistor correspondiente ($Q(0) - Q(7)$), cuando dichas entradas están en "0".

Cuando las entradas $A(0), A(1), \dots, A(7)$ están en uno, se tiene que todas las corrientes de rama provienen de la salida y el circuito equivalente de la red R-2R es el siguiente:

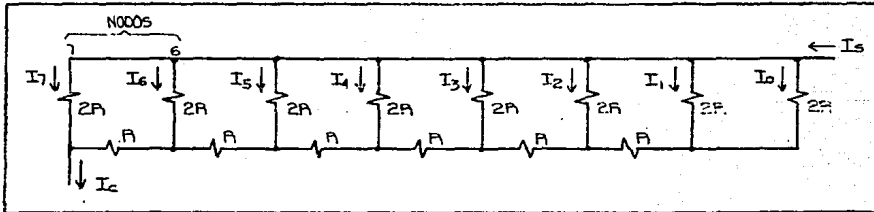


Figura IV.10 Red de resistencias R-2R, del MC1408.

El circuito equivalente en el nodo (7) es:

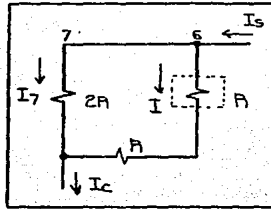


Figura IV.11 Circuito equivalente en el nodo 7.

Por lo tanto:

$$I(7) = \frac{I_c}{2}$$

De aquí que:

$$I = \frac{I_c}{2}$$

Donde: I - es la corriente que circula por el resto de las resistencias de la red.

Para I(6) el circuito es:

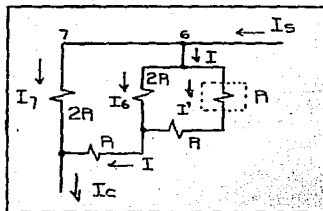


Figura IV.12 Circuito equivalente en el nodo 6.

Por lo tanto:

$$I(6) = \frac{I}{2} = \frac{I_c}{4}$$

=====

Continuando con el mismo procedimiento se tiene que:

$$I(5) = \frac{I_c}{8} \qquad I(4) = \frac{I_c}{16} \qquad I(3) = \frac{I_c}{32}$$

$$I(2) = \frac{I_c}{64} \qquad I(1) = \frac{I_c}{128} \qquad I(0) = \frac{I_c}{128}$$

Es importante aclarar que $I(0)$ está compuesta por la contribución de I_s , que es igual a $I_c/(256)$ y por la contribución proveniente del transistor Q_0 ; así que:

$$I_s = \frac{I_c}{2} + \frac{I_c}{4} + \frac{I_c}{8} + \frac{I_c}{16} + \frac{I_c}{32} + \frac{I_c}{64} + \frac{I_c}{128} + \frac{I_c}{256}$$

$$I_s = I_c \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right)$$

Generalizando la ecuación para cualquier valor en la entrada digital y sustituyendo ec. (1), la corriente de salida está dada por:

$$I_s = \frac{V_{ref}}{R_{14}} \left(\frac{A(7)}{2} + \frac{A(6)}{4} + \frac{A(5)}{8} + \dots + \frac{A(0)}{256} \right)$$

El voltaje en la salida, añadiendo una resistencia externa R_s es:

$$V_s = \frac{V_{ref}}{R_{14}} R_s \left[\frac{A(7)}{2} + \frac{A(6)}{4} + \frac{A(5)}{8} + \dots + \frac{A(0)}{256} \right]$$

De la ecuación anterior, la relación $V_{ref}(R_s/R_{14})$ se eligió igual a 8, para evitar posibles errores causados por variaciones en la alimentación; lo que se consigue con un voltaje de referencia de 5 volts y con el cociente R_s/R_{14} igual a 1.6.

La elección de el valor de la resistencia R_{14} , está determinada por la máxima corriente de referencia especificada por el fabricante, que es de 5 ma. Por razones de seguridad, la corriente de referencia de trabajo se elige aproximadamente de 2.5 ma, es decir:

$$\frac{V_{ref}}{R_{14}} = 2.5 \text{ ma} \quad \rightarrow \quad \frac{5 \text{ v}}{R_{14}} = 2.5 \text{ ma}$$

Por lo tanto: $R_{14} = 2 \text{ K}\Omega$

Así que: $R_s = 3.2 \text{ K}\Omega$

Ajustando a valores comerciales:

$$\begin{array}{|c|} \hline R_{14} = 1.8 \text{ K}\Omega \\ \hline R_s = 3.3 \text{ K}\Omega \\ \hline \end{array}$$

De acuerdo a las especificaciones del fabricante, dadas en la siguiente tabla, la configuración externa del circuito es la mostrada

Nota:

Se utilizan potenciómetros en R14 y Rs, debido a que no es posible lograr que Rs/R14 nos de un valor de 1.6 utilizando resistencias comerciales, además de que con ellos podemos compensar pequeñas variaciones de las fuentes de alimentación y/o del voltaje de referencia.

Cuando todas las entradas digitales están en "1", el máximo voltaje en la salida será de:

$$V_s(\text{máx}) = -B \left(\frac{255}{256} \right) \quad \rightarrow \quad \underline{\underline{V_s(\text{máx}) = -7.968 \text{ V}}}$$

Por lo tanto:

i) El rango de voltaje en la salida del convertidor digital analógico es de: 0 V ----- -7.968 V.

ii) Y su resolución es:

$$\text{Resol} = \frac{B}{2^8} = 0.0312 \text{ V}$$

De esta forma, el peso en voltaje de las entradas digitales queda de la siguiente forma:

Entrada Digital.	Volts.
A7	4
A6	2.0
A5	1.0
A4	0.5
A3	0.25
A2	0.125
A1	0.0625
A0	0.03125

Debido a que el CDA entrega un voltaje entre 0 y -7.968 V, es necesario ajustarlo, por medio de un convertidor de escala, a un rango de $+8$ a -8 V, que es el rango máximo de la señal almacenada.

2. Convertidor de escala.

Este convertidor debe cumplir con la siguiente relación de escala:

Voltaje de entrada.	Voltaje de salida.
0	-8
-3.9844	0
-7.9688	$+8$

La figura IV.14, muestra la relación en forma gráfica.

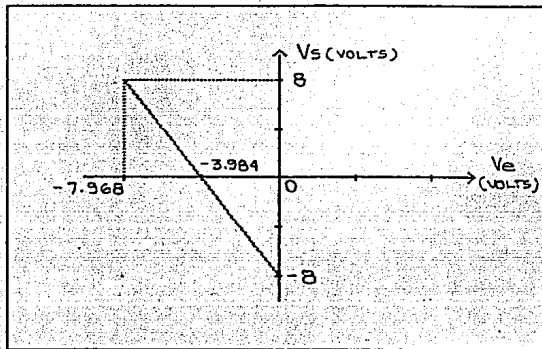


Figura IV.14 Gráfica de la función que realiza el convertidor de escala.

Encontrando la ecuación de la recta, tenemos:

$$V_s = m V_e + b$$

Donde:

$$m = \frac{8 - (-8)}{-7.968 - (-3.984)} = \frac{16}{-3.984} \rightarrow m = -2.007$$

$$b = -8$$

Por lo tanto:

$$V_s = -2.007 V_e - 8$$

$$\underline{\underline{V_s = -2.007 (V_e + 3.984) \quad \dots\dots (3)}}$$

Esta ecuación es implementada por medio de un circuito sumador,

empleando un A. O., como se ve en la figura IV.15.

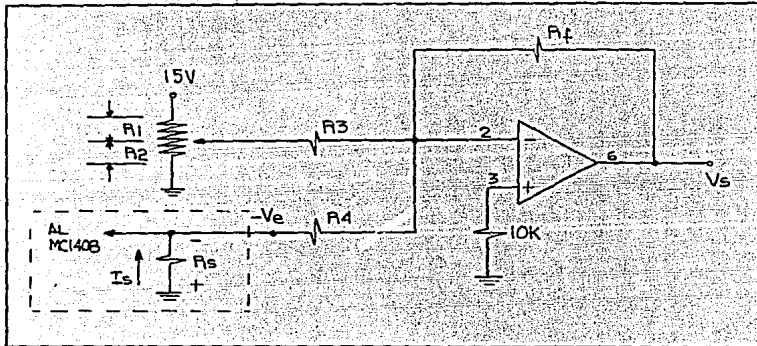


Figura IV.15 Diagrama eléctrico del convertidor de escala.

Se calculan los valores de R1 y R2 teniendo en cuenta que son parte de un potenciómetro de 50KΩ, es decir:

$$R1 + R2 = 50K\Omega \quad \dots\dots (4)$$

Para obtener 3.984 en el divisor de voltaje formado por R1 y R2, tenemos que:

$$3.984 = 15 \frac{R2 || R3}{R2 || R3 + R1} \quad \dots\dots (5)$$

Ya que la ganancia del sumador es constante para cada uno de los voltajes a sumar, R3 debe ser igual a R4; además, R4 se elige de un

valor grande, para evitar que se afecte la corriente que maneja el MC1408, de esta forma:

$$R4 = 1M\Omega$$

$$R3 = 1M\Omega$$

Sustituyendo R3 en (5) y utilizando la relación (4), obtenemos:

$$R2^2 + 37.144 \times 10^5 \cdot (R2) - 50 \times 10^9 = 0$$

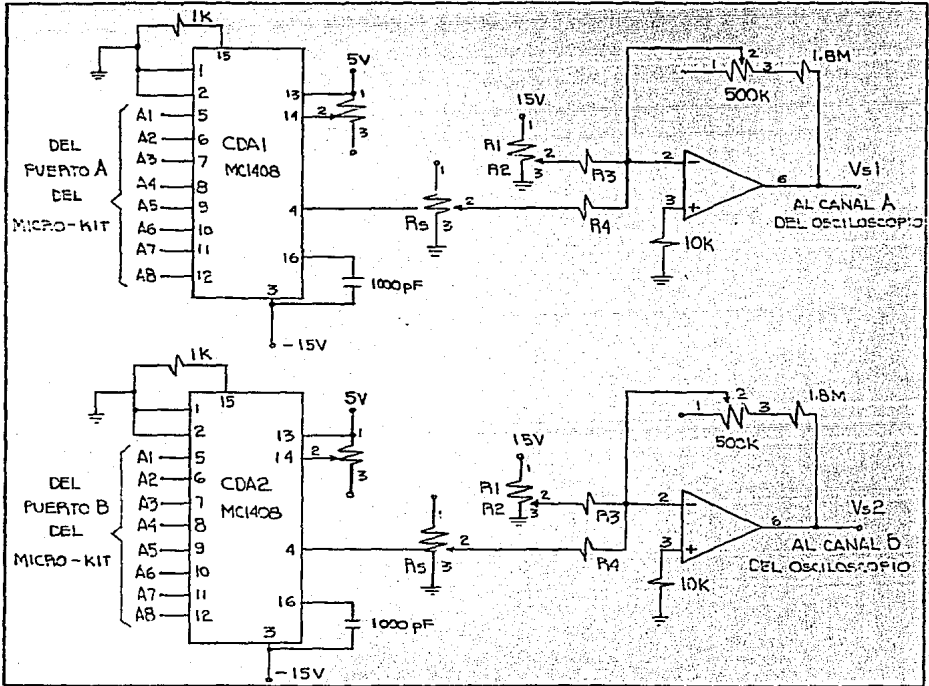


Figura IV.16 Módulo de salida.

Por lo tanto:

$$\underline{R2 = 13.40K\Omega}$$

$$\underline{R1 = 36.60K\Omega}$$

De la ecuación (3), $R_f/R_3 = 2.007$, por tanto:

$$\underline{R_f = 2.007M\Omega}$$

Cabe hacer notar que, en el circuito, R_f está compuesta por una resistencia de $1.8M\Omega$ en serie con un potenciómetro de $500K$.

Es importante aclarar, que el módulo de salida está constituido por dos CDAs con su correspondiente convertidor de escala. Los cuales trabajan exactamente igual.

El diagrama eléctrico del módulo de salida, está representado en la figura IV.16.

C. Módulo de Entrada.

Su función es convertir la señal de entrada, en una señal digital que pueda ser almacenada por el Micro-kit. Para tal efecto se utilizará un CAD.

Como se indicó en el capítulo anterior, el CAD se implementará con elementos discretos, empleando la técnica de aproximaciones sucesivas. En este convertidor se utilizará un CDA MC1408, que deberá trabajar en las mismas condiciones que los del módulo de salida;

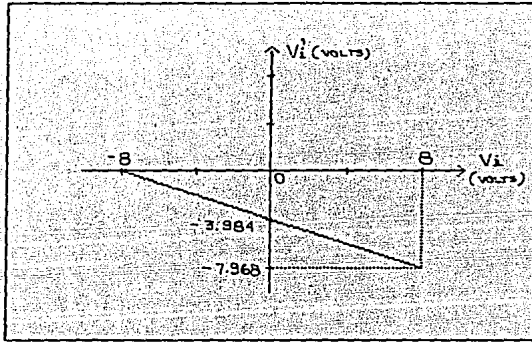


Figura IV.17 Representación gráfica de la conversión de escala.

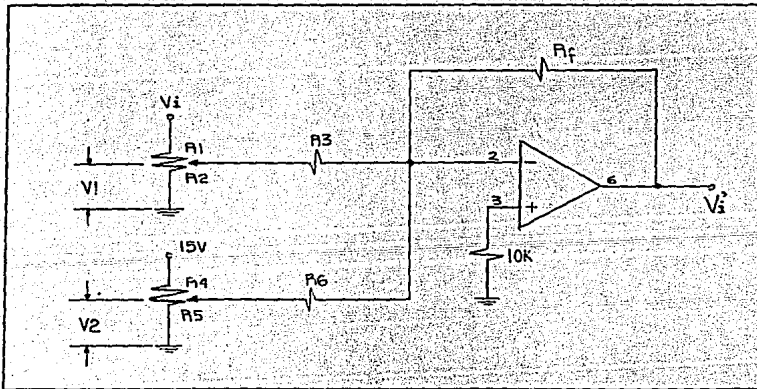


Figura IV.18 Diagrama eléctrico del convertidor de escala.

De acuerdo a la ecuación (6), la ganancia del A.O. es unitaria,

por lo tanto, $R_f = R_6 = R_3$.

Elijiendo un valor de $10K\Omega$ para R_f , tenemos:

$$\underline{\underline{R_f = 10K\Omega}}$$

$$\underline{\underline{R_6 = 10K\Omega}}$$

$$\underline{\underline{R_3 = 10K\Omega}}$$

Se debe cumplir que:

$$V_1 = 0.49805 V_i$$

Del circuito:

$$V_1 = V_i \frac{R_2 \parallel R_3}{R_1 + (R_2 \parallel R_3)}$$

Por lo tanto:

$$\frac{R_2 \parallel R_3}{R_1 + R_2 \parallel R_3} = 0.49805$$

Por último:

$$R_1 = 1.008 \frac{R_2 R_3}{R_2 + R_3} \dots\dots (7)$$

Ya que R_1 y R_2 son parte de un potenciómetro de $50K\Omega$, entonces:

$$R_1 + R_2 = 50K\Omega \dots\dots (8)$$

Sustituyendo el valor de R_3 en (7) y aplicando la relación (8), tenemos:

$$R_2^2 - 29.92 \times 10^3 R_2 - 500 \times 10^6 = 0$$

Por lo tanto:

$$\underline{\underline{R_2 = 41.864K\Omega}}$$

$$\underline{\underline{R_1 = 8.130K\Omega}}$$

Para generar el voltaje de $3.9844 V$, que es el otro operando de

la ecuación (6), se debe cumplir que: $V_2 = 3.9844 \text{ V}$.

Del circuito:

$$V_2 = 15 \frac{R_5 \parallel R_6}{R_4 + R_5 \parallel R_6}$$

Por lo tanto:

$$\frac{3.9844}{15} = \frac{R_5 \parallel R_6}{R_4 + R_5 \parallel R_6}$$

$$R_4 = 2.764 \frac{R_5 R_6}{R_5 + R_6} \dots\dots\dots (9)$$

Ya que R_4 y R_5 son parte de un potenciómetro de $50\text{K}\Omega$, entonces:

$$R_4 + R_5 = 50\text{K}\Omega \dots\dots\dots (10)$$

Sustituyendo el valor de R_6 en (9) y aplicando la relación (10), tenemos:

$$R_5^2 - 12.35 \times 10^3 R_5 - 500 \times 10^6 = 0$$

Por tanto:

$$\underline{\underline{R_5 = 29.37\text{K}\Omega}} \qquad \underline{\underline{R_4 = 20.63\text{K}\Omega}}$$

2. Convertidor analógico digital.

El diseño de este circuito, está basado en el convertidor de aproximaciones sucesivas, analizado en la página 339 de la referencia 2 de la bibliografía de este capítulo.

La figura IV.19 muestra al CAD incluyendo al convertidor de escala.

a). Funcionamiento.

Antes de iniciar su funcionamiento, la señal \overline{CL} está activa, de tal forma que en el circuito se presentan las siguientes condiciones:

- i) Las salidas del contador de anillo son "0", excepto $Q(0)$.
- ii) Las salidas del registro son "0" y por lo tanto, la salida del CDA también lo es; así que, $COMP="1"$ y $\overline{COMP}="0"$.
- iii) Las salidas del respaldo son "0".

La conversión empieza cuando $\overline{CL}="1"$. Con el primer pulso de reloj $Q(8)$ cambia a "1"; la lógica de control genera un "1" en el MSB del registro a partir de $COMP$ y $Q(8)$, por lo que la salida del CDA será de 4 V. Este voltaje es comparado con la entrada V_i , pudiéndose presentar cualquiera de los casos siguientes:

- i) Que $V(CDA)$ sea mayor que V_i :

La salida del comparador cambia de estado, $\overline{COMP}="1"$ y $COMP="0"$, por lo tanto, el MSB del registro vuelve a "0" y las demás salidas del registro permanecen sin cambio.

- ii) Que $V(CDA)$ sea menor que V_i :

Se mantienen las condiciones existentes en el registro.

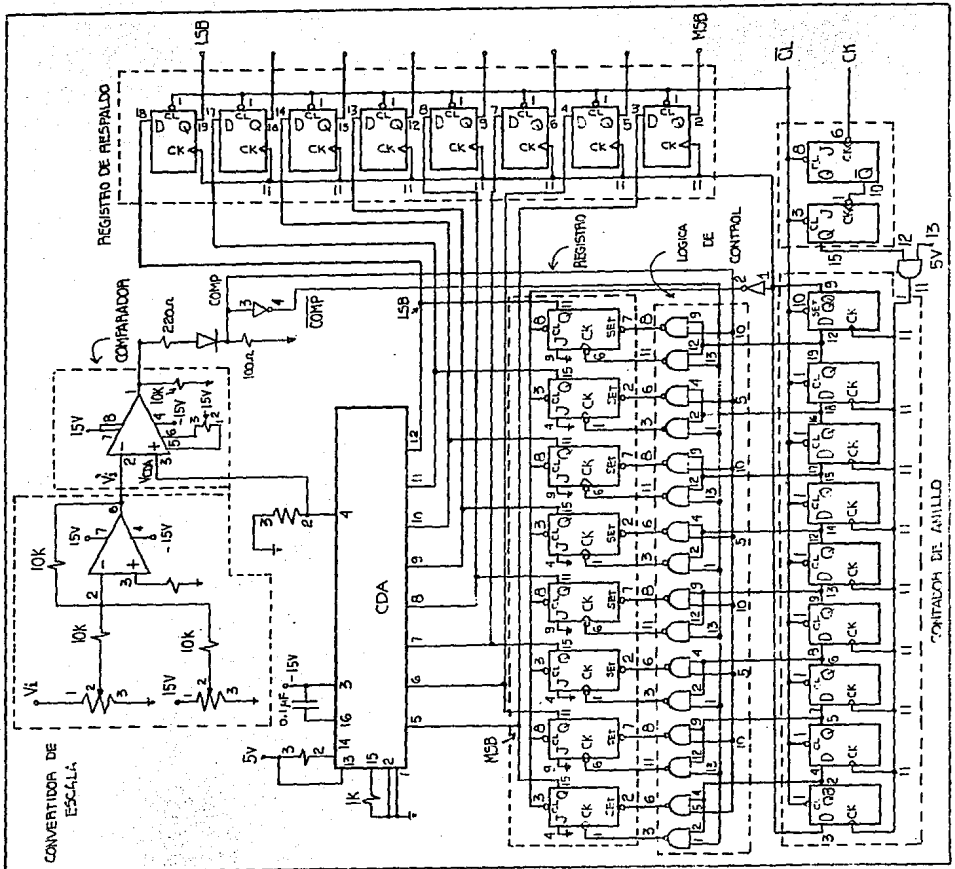


Figura IV.19 Módulo de entrada.

En cada pulso de reloj subsecuente, el "1" en la salida del contador de anillo se recorre a la derecha; se repiten los pasos descritos anteriormente, para cada uno de los bits restantes, tomando en cuenta que la salida del CDA será proporcional al contenido del registro.

Después de 8 pulsos, se tiene el resultado de la conversión analógica a digital en el registro; con el noveno pulso, ocurren los siguientes cambios en el circuito:

- i) El "1" del contador de anillo llega a Q(0), con lo cual la señal de reloj del registro de respaldo, cambia de "0" a "1" atrayendo la información del registro.
- ii) Se ponen a "0" las salidas del registro, es decir, se establecen las condiciones iniciales, quedando listo para la siguiente conversión.

b). Cálculo de la frecuencia del reloj.

La frecuencia óptima del reloj, debe ser tal que, el "1" que se recorre por el contador de anillo, permanezca el tiempo necesario para que el comparador informe a la lógica de control, que la salida del CDA excedió a V_i y éste recupere las condiciones iniciales, es decir, $COMP="1"$ y $\overline{COMP}="0"$.

Para calcular esta frecuencia, se suman los tiempos de respuesta de todos los elementos involucrados (consultar apéndice A), así te-

temos:

15 ns	compuerta NAND.
25 ns	set del flip-flop J-K.
300 ns	CDA.
165 ns	salida del comparador (de "1" a "0").
15 ns	compuerta inversora.
15 ns	compuerta NAND.
20 ns	flip-flop J-K.
300 ns	CDA.
115 ns	salida del comparador (de "0" a "1").
<hr/>	
970 ns	

Por lo que:

$$f_{ck \text{ óptima}} = \frac{1}{970 \text{ ns}} = 1.031 \text{ MHz.}$$

Es importante aclarar, que si se trabaja a una frecuencia distinta a ésta, el convertidor arrojará resultados erróneos, pudiendo ocurrir cualquiera de los siguientes dos casos:

- i) Si la frecuencia es menor que $f_{ck \text{ óptima}}$, el comparador cambia de estado más de dos veces durante un ciclo de reloj; esto provoca que la acción sobre el bit del registro sea incorrecta, es decir, en caso de que el bit deba ser puesto a "0", permanece en "1" y en caso de que deba ser "1", es puesto a "0".

- ii) Si la frecuencia es mayor que f_{ck} óptima, la información del comparador no llega a tiempo, para que se tome la acción sobre el bit en cuestión.

D. Módulo de Operación.

Este módulo hace posible la comunicación entre el usuario y la interfaz, a través de los elementos descritos a continuación.

- i) Selector de frecuencia.
Es utilizado por el usuario, para indicar el rango de frecuencia, en el que se encuentra la señal que desea muestrear.
- ii) Botón de muestreo y almacenamiento.
Cuando este botón es pulsado, el software de control alojado en el Micro-kit, entra a la fase de muestreo.
- iii) Botón de exhibición.
Al oprimir este botón, el software manda la información que se encuentra en memoria hacia el módulo de salida, hasta que el botón es restablecido por el usuario. Las condiciones de exhibición, están determinadas por el estado de los botones A y B tal y como se describe en el inciso siguiente.
- iv) Botones A y B.
Cuando se oprime uno de estos botones durante la fase de mues-

treo, el software designa una área de memoria, para guardar las muestras de la señal de entrada.

Como no es posible muestrear dos señales a la vez, ocurre un error cuando se oprimen los dos botones simultáneamente.

Durante la fase de exhibición, se tienen las siguientes combinaciones:

- A y B oprimidos : propicia la exhibición de ambas señales.
- A o B oprimido : sólo se exhibe una señal.

El circuito eléctrico de este módulo está representado en la figura siguiente:

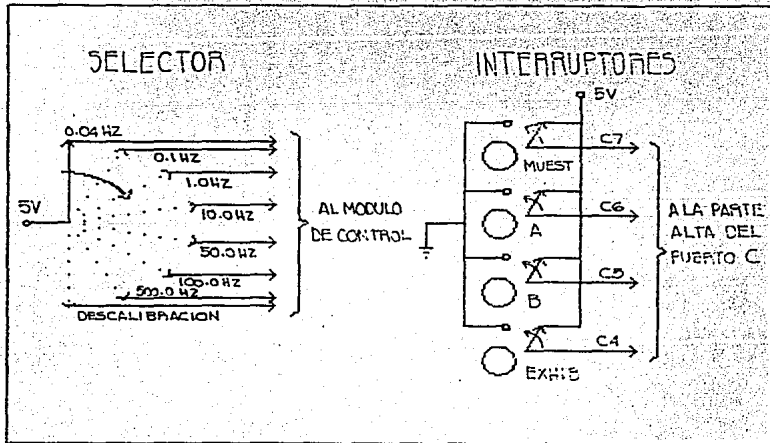


Figura IV.20 Módulo de operación.

Para comunicar el Micro-kit con los demás elementos de la interfaz, se requieren los siguientes puertos:

- i) Un puerto de entrada, para la información de los botones del módulo de operación.
- ii) Un puerto de entrada, para leer la información del selector del módulo de operación.
- iii) Un puerto de entrada, para leer la información proveniente del CAD.
- iv) Y dos puertos de salida, para enviar la información almacenada a los CDAs.

Como el Micro-kit tan sólo tiene disponibles tres puertos (ver figura IV.1), es necesario construir un módulo de control, que coordine el flujo de la información entre el puerto A del Micro-kit y los tres elementos siguientes: el bus del módulo de entrada, el bus del módulo de operación y el bus de uno de los CDAs del módulo de salida.

E. Módulo de Control.

La lógica de control, tiene como finalidad activar o desactivar las compuertas de tercer estado, que se conectan al puerto A, siguiendo la convención mostrada en la tabla IV.3.

bit 1	bit 0	Componentes de la interfaz			focos	
		selector	CAD	CDA	naranja	verde
0	0	0	0	0	0	0
0	1	1	0	0	1	0
1	0	0	1	0	1	0
1	1	0	0	1	0	1

Tabla IV.3

Nota: Las compuertas de tercer estado se activan con "1".

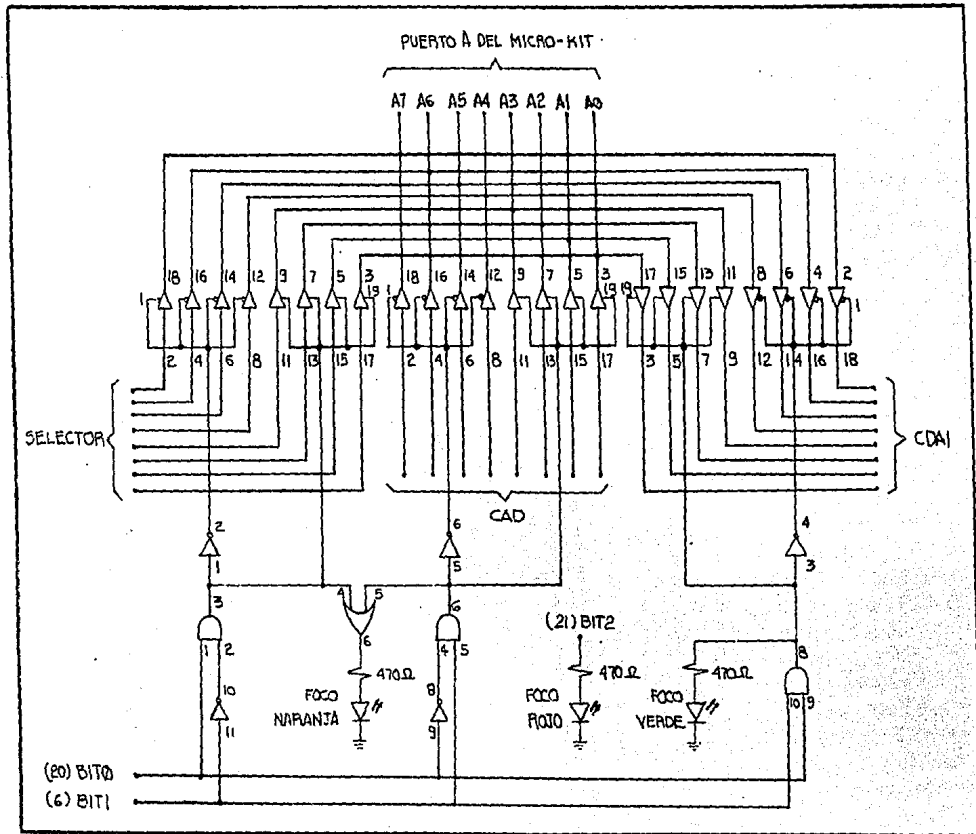
En esta tabla, bit 0 y bit 1 son los dos bits menos significativos del puerto C; además se observan dos columnas adicionales que indican el estado de los focos ("0" es apagado y "1" prendido), para señalar el bus que está activado durante una operación determinada.

Para indicar una condición de error, se prende un foco rojo mediante el bit 2 del puerto C.

La figura IV.21, muestra el diagrama eléctrico del circuito que cumple con las condiciones de la tabla anterior.

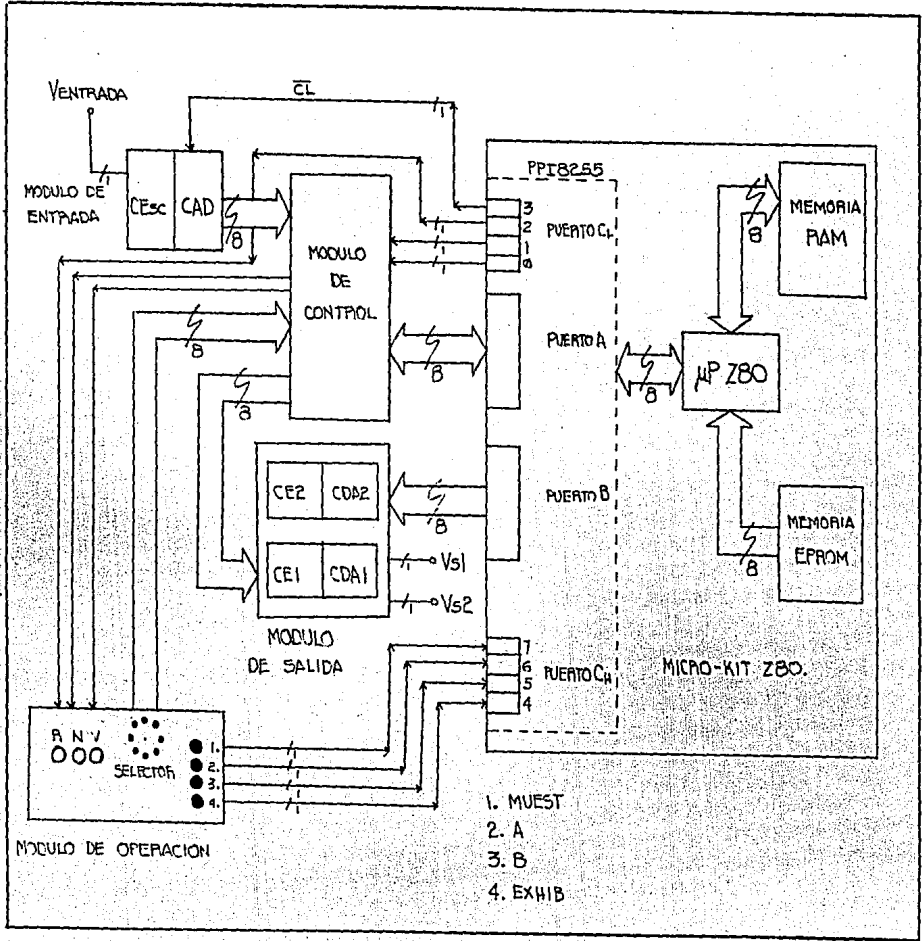
La figura IV.22, muestra la interconexión entre los módulos anteriormente descritos, constituyendo, de esta forma, la arquitectura final de la interfaz.

Figura IV.21 Diagrama eléctrico del módulo de control.



Diseño del Hardware de la Interfaz

Figura IV.22 Diagrama de la arquitectura final de la interfaz.



Bibliografía.

1. Zacks, Rodnay.
HOW TO PROGRAM THE Z80.
Estados Unidos, Ed. Sybex, 1980.
624 pp.

2. Tocci, Ronald J.
SISTEMAS DIGITALES: principios y aplicaciones.
Tr. Jaime Gru U.
Prol. Ronald J. Tocci.
Madrid España, Ed. Dossat, 1981.
477 pp.

V. SOFTWARE DE CONTROL.

El hardware de la interfaz, descrito en el capítulo anterior, fué diseñado para actuar junto con un software de control. Este debe ser capaz de mandar señales que controlen a todos los elementos de la interfaz, según las indicaciones del usuario, que se dan a través del módulo de operación. La idea básica del programa de control, es leer continuamente información de dicho módulo y tomar las decisiones necesarias para efectuar el muestreo-almacenamiento o la exhibición de la señal de entrada. El programa se encarga de detectar errores, en caso de que el usuario incurra en alguno.

La figura V.1 es una representación jerárquica de las subrutinas que componen al software de control.

A. Descripción del Programa Principal y las Subrutinas.

1. MNTR: Es el programa principal, que se encarga de sensar los bo

tones del módulo de operación y dependiendo de su estado, llama a la subrutina de muestreo o a la subrutina de exhibición.

2. MUEST: Lee la información del selector y llama a las rutinas:
 - DECO, que determina los parámetros necesarios, para lograr el período de muestreo adecuado para la señal de entrada.
 - SELEG, la cual destina un área de memoria donde se guardarán las muestras, dependiendo del estado de los botones A y B; si los dos botones están oprimidos o no lo están, se indica un error.
 - MYA, que inicia la lectura y el almacenamiento de las muestras; llama a RETA, que mediante los parámetros obtenidos en DECO, logra que el intervalo entre muestra y muestra sea constante, es decir, se utiliza el método simple de muestreo.
3. EXHIB: Analiza el estado de los botones A y B; si los dos están oprimidos se llama a la rutina DESAM, la cual despliega ambas señales previamente almacenadas en memoria; si alguno de ellos está oprimido llama a la rutina SELEG que se encarga de determinar cual de las dos señales será desplegada y llama a DESUN para tal efecto. En caso de que ninguno de los botones esté oprimido, se indica un error. Tanto DESUN como DESAM, envían las muestras de las seña-

les almacenadas hacia el módulo de salida. El tiempo entre la exhibición de una muestra y la siguiente es muy pequeño (comparado con el de muestreo), constante e independiente de la frecuencia con que fué muestreada dicha señal. Por lo tanto, la frecuencia de la señal exhibida en el osciloscopio es mayor que la frecuencia de la señal de entrada.

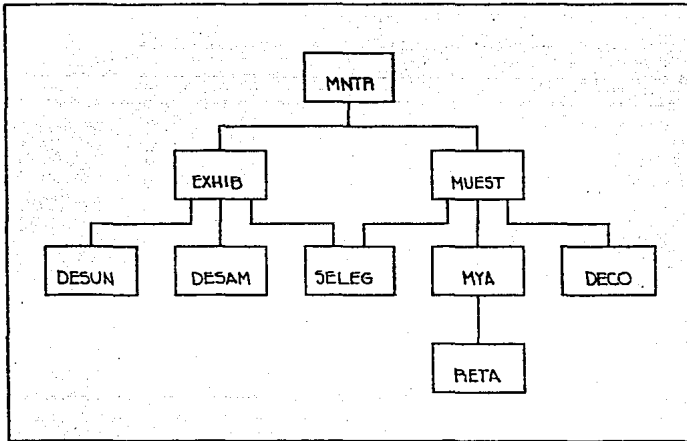


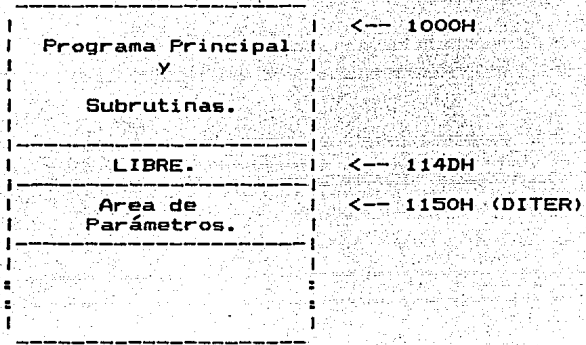
Figura V.1 Subrutinas que constituyen el software de control.

B. Mapa de Memoria.

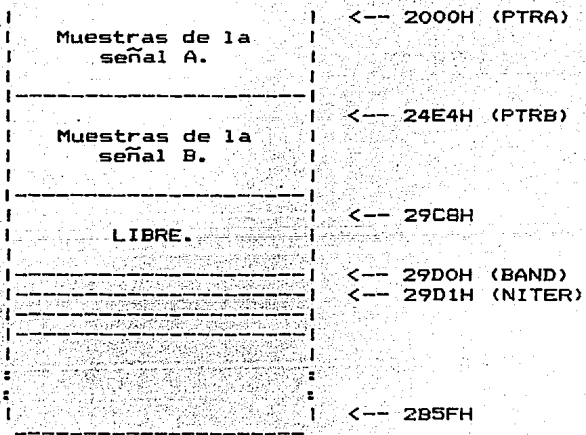
La distribución de los programas y datos, se muestran en el si-

guiente mapa de memoria:

EPROM:



RAM:



Area
disponible
para el
usuario.

En la memoria EPROM se guardan las rutinas y parámetros que no

se deben alterar durante la ejecución del programa. El empleo de este tipo de memoria, tiene la ventaja de retener la información aún y cuando el sistema sea apagado.

En la memoria RAM se reservan localidades para el almacenamiento de las muestras, tanto de la señal A, como de la señal B, así como para variables auxiliares.

Los números hexadecimales que aparecen a la derecha del mapa, indican las direcciones en la memoria y las letras encerradas en paréntesis, son las etiquetas que se manejan en el programa.

C. Consideraciones Acerca del Software.

En la primera parte de esta sección, se determinan los valores de los parámetros que utilizará la rutina de retardo (RETA), para conseguir un período de muestreo acorde a la frecuencia de la señal de entrada.

En la segunda parte, se obtienen los factores de multiplicación necesarios para determinar la frecuencia real de la señal de entrada, a partir de la frecuencia de la señal observada en el osciloscopio.

1. Consideraciones en el muestreo.

La frecuencia que se indica en el selector (fselector), sirve pa

ra determinar un período de muestreo apropiado para lograr una buena definición de la señal de entrada, es decir, entre mayor sea f_{se} lector, menor deberá ser el período de muestreo.

La ecuación que describe esta relación, se determina a partir de las siguientes condiciones:

- i) 1250 muestras para cada señal que se desea almacenar.
- ii) 62 muestras por ciclo, para lograr una buena definición de la señal de entrada.

A partir de estos datos, se obtiene el número de ciclos que se almacenarán, de la señal de entrada:

$$\begin{array}{l} 62 \text{ muestras} \text{ ----- } 1 \text{ ciclo} \\ 1250 \text{ muestras} \text{ ----- } N \text{ ciclos} \end{array}$$

$$N_{\text{ciclos}} = \frac{(1250 \text{ muestras})(1 \text{ ciclo})}{62 \text{ muestras}} = 20 \text{ ciclos}$$

En forma general, para un número de ciclos dado, el número de muestras que se toman está dado por:

$$\begin{array}{l} 1250 \text{ muestras} \text{ ----- } 20 \text{ ciclos} \\ N_{\text{muestras}} \text{ ----- } X_{\text{ciclos}} \end{array}$$

Por lo tanto:

$$N_{\text{muestras}} = \frac{1250 \text{ muestras}}{20 \text{ ciclos}} \cdot X_{\text{ciclos}} \dots\dots(1)$$

Para obtener Nmuestras/seg, tenemos:

$$Nmuestras/seg = 62(Xciclos/seg)$$

Donde:

$$Xciclos/seg = fselector$$

Entonces:

$$Nmuestras/seg = 62 (fselector)$$

Para un número de muestras por ciclo distinto de 62, la ecuación sería:

$$Nmuestras/seg = Nmuestras/ciclo (fselector) \dots\dots(2)$$

Sustituyendo en esta ecuación la frecuencia del selector obtenemos la segunda columna de la tabla V.1.

Con el fin de obtener el número de muestras por segundo deseado, para cada frecuencia del selector, se utilizan las siguientes subrutinas:

Instrucciones:	Estados de Tiempo.	Duración: Micro segundos.
MYA: LD C,05	07T	1.75
OTRO: LD D,250	07T	1.75
LEE: IN A,(PTOA)	11T	2.75
LD (IX+0),A	19T	4.75
CALL RETA	17T	4.25
INC IX	10T	2.50
DEC D	04T	1.00
JP NZ,LEE	10T	2.50
DEC C	04T	1.00
JP NZ,OTRO	10T	2.50
RET	10T	2.50

RETA:	LD A,(NITER)	-----	13T	-----	3.25
	LD E,A	-----	04T	-----	1.00
CEXT:	LD A,(NITER+1)	----	13T	-----	3.25
CINT:	DEC A	-----	04T	-----	1.00
	JP NZ,CINT	-----	10T	-----	2.50
	DEC E	-----	04T	-----	1.00
	JP NZ,CEXT	-----	10T	-----	2.50
	RET	-----	10T	-----	2.50

Nota: Los tiempos obtenidos, son para una frecuencia de trabajo del Micro-kit de 4 MHz.

Para obtener el período de muestreo (en términos del contenido de los registros A y E), se suma el tiempo de las instrucciones que se ejecutan entre muestra y muestra, resultando:

$$T_m = 98(250 \times 10^{-9}) + E(250 \times 10^{-9})(14A + 27)$$

Si en T_m segundos se obtiene una muestra, el número de muestras por segundo está dado por:

$$\text{Nmuestras/seg} = \frac{1}{T_m}$$

Por lo tanto:

$$\text{Nmuestras/seg} = \frac{1}{98(250 \times 10^{-9}) + E(250 \times 10^{-9})(14A + 27)} \dots\dots (3)$$

Se evalúa la ecuación (3), variando los valores de A y E, para determinar el número de muestras por segundo más próximo al deseado. Los valores obtenidos, se muestran a partir de la tercer columna de la tabla V.1.

fselector (hz)	Nmuest/seg (deseado)	E	A	Nmuest/seg (obtenido)
< $\delta = 0.04$	2.48	255	255	4.36
0.1	6.2	226	211	6
1.0	62	110	41	62
10.0	620	223	2	625
50.0	3100	15	5	3118
100.0	6200	11	3	6240
> $\delta = 500.0$	31000	1	1	28777

Tabla V.1

Como podemos observar, el número de muestras por segundo máximo está restringido por la frecuencia del reloj con la que trabaja el Micro-kit, ocasionando que el número de muestras por ciclo se reduzca. Para el número de muestras por segundo mínimo, se aumenta el número de muestras por ciclo ya que con los valores máximos de A y E, no es posible obtener 2.48 muestras/seg.

Los valores obtenidos en la columna tres y cuatro, son almacenados a partir de la localidad apuntada por DITER, que está definida en la "Codificación de las Rutinas en Lenguaje Ensamblador Z-80".

2. Consideraciones en la exhibición.

La subrutina que se encarga de enviar al osciloscopio la señal almacenada, es la que se muestra a continuación:

		Duración:	
Instrucciones:	Estados de Tiempo.	Micro segundos.	
DESUN:	PUSH IX -----	15T	3.75
	LD D,05 -----	07T	1.75
RPTE:	LD B,250 -----	07T	2.75
-->	SACA: LD A,(IX+0) -----	19T	4.75
-->	GUT (C),A -----	12T	3.00
-->	INC IX -----	10T	2.50
-->	DEC B -----	04T	1.00
-->	JP NZ,SACA -----	10T	2.50
	DEC D -----	04T	1.00
	JP NZ,RPTE -----	10T	2.50
	IN A,(PTOC) -----	11T	2.75
	BIT 4,A -----	08T	2.00
	POP IX -----	14T	3.50
	JP Z,DESUN -----	10T	2.50
	RET -----	10T	2.50

Nota: Los tiempos de ejecución de las instrucciones marcadas con las flechas, son los únicos que se consideran para los cálculos siguientes.

Sumando el tiempo que tarda cada una de las instrucciones que se ejecuta, entre la exhibición de una muestra y la siguiente, tenemos:

$$T = 13.75 \mu\text{seg}$$

Considerando Nmuestras/ciclo, el período de la señal de salida está dado por:

$$T_{sal} = T (Nmuestras/ciclo) = 13.75 \times 10^{-6} (Nmuestras/ciclo)$$

Por lo tanto la frecuencia de la señal de salida es:

$$f_{sal} = \frac{1}{13.75 \times 10^{-6} (Nmuestras/ciclo)} \dots\dots (4)$$

De la ecuación (2), el número de muestras por ciclo está dado por:

$$\text{Nmuestras/ciclo} = \frac{\text{Nmuestras/seg}}{\text{fselector}} \dots\dots (5)$$

Sustituyendo la ecuación (5) en (4), tenemos:

$$\text{fsal} = \frac{1}{13.5 \times 10^{-6} \text{ (Nmuestras/seg.)} \cdot \text{fselector}}$$

Por lo tanto:

$$\text{fsal} = \frac{\text{fselector}}{13.75 \times 10^{-6} \text{ (Nmuestras/seg.)}} \dots\dots (6)$$

Como se observa en la tabla V.1, el número de muestras por segundo que se obtiene es distinto del que se requiere, por lo tanto, se tiene una frecuencia de salida para cada posición del selector.

Si se tiene una señal de entrada, con una frecuencia distinta a la apuntada por el selector, se aplica la siguiente regla de tres:

$$\begin{array}{l} \text{fselector} \text{ ----- } \text{fsal} \\ \text{fentrada} \text{ ----- } \text{fosc} \end{array}$$

donde:

- fselector --- frecuencia indicada por el selector.
- fsal ----- frecuencia de salida (calculada teóricamente) correspondiente a fselector.
- fentrada ---- frecuencia de la señal de entrada.

fosc ----- frecuencia de la señal que aparece en el osciloscopio (medida por el usuario).

De donde:

$$\text{fentrada} = \frac{\text{fselector}}{\text{fsal}} \text{ fosc}$$

entonces:

$$\text{fentrada} = k (\text{fosc}) \quad \text{..... (7)}$$

Sustituyendo la ecuación (6):

$$\text{fentrada} = \frac{\text{fselector}}{\frac{\text{fselector}}{13.75 \times 10^{-6} \text{ (Nmuestras/seg)}}} \text{ fosc}$$

Entonces:

$$\text{fentrada} = 13.75 \times 10^{-6} \text{ (Nmuestras/seg)} (\text{fosc}) \quad \text{..... (8)}$$

De la ecuación (7):

$$k = \frac{13.75 \times 10^{-6} \text{ (Nmuestras/seg)}}{\text{fosc}}$$

Valuando para el número de muestras/seg de cada frecuencia del selector tenemos la tabla siguiente:

fselector (hz)	Nmuestras/seg	k
< 6 = 0.04	4.36	59.95x10 ⁻⁶
0.1	6	82.50x10 ⁻⁶
1.0	62	852.50x10 ⁻³
10.0	625	8.59x10 ⁻³
50.0	3118	42.87x10 ⁻³
100.0	6240	85.80x10 ⁻³
> 6 = 500.0	28777	395.68x10 ⁻³

Tabla V.2

Los valores de k de la tabla anterior, sólo son válidos en el caso en que se exhiba una señal a la vez, ya que si se exhiben dos señales simultáneamente se tiene un tiempo entre muestra y muestra diferente, porque ahora se utiliza la rutina que aparece a continuación:

Instrucciones:	Estados de tiempo.	Duración:	Micro segundos.
DESAM: LD C,PTOB	07T		1.75
NUEV: LD IX,PTRA	14T		3.50
LD IY,PTRB	14T		3.50
LD D,05	07T		1.75
SIGUE: LD B,250	07T		1.75
CARGA: LD A,(IX+0)	19T		4.75
LD E,(IY+0)	19T		4.75
OUT (C),E	12T		3.00
OUT (PTOA),A	11T		2.75
INC IX	10T		2.50
INC IY	10T		2.50
DEC B	04T		1.00
JP NZ,CARGA	10T		2.50
DEC D	04T		1.00
JP NZ,SIGUE	10T		2.50
IN A,(PTOC)	11T		2.75
BIT 4,A	08T		2.00
JP Z,NUEV	10T		2.50
RET	10T		2.50

Nota: Los tiempos de ejecución de las instrucciones marcadas con las flechas, son los únicos que se consideran para los cálculos siguientes.

Sumando el tiempo que tarda cada una de las instrucciones, que se ejecutan durante la exhibición de dos muestras consecutivas, tenemos ahora, que el tiempo entre muestra y muestra es:

$$T1 = 23.75 \mu\text{seg.}$$

Por la ecuación (8):

$$f_{\text{entrada}} = 23.75 \times 10^{-6} \text{ (Nmuestras/seg)} \text{ (fosc)}$$

Por lo que ahora de la ecuación (7) tenemos que:

$$k1 = 23.75 \times 10^{-6} \text{ (Nmuestras/seg)}$$

Sustituyendo en esta ecuación el número de muestras por segundo para cada frecuencia del selector, obtenemos la tabla V.3.

fselector (hz)	Nmuestras/seg	k1
< $\delta = 0.04$	4.36	103.55×10^{-6}
0.1	6	142.50×10^{-6}
1.0	62	1.47×10^{-3}
10.0	625	14.84×10^{-3}
50.0	3118	74.05×10^{-3}
100.0	6240	148.20×10^{-3}
> $\delta = 500.0$	28777	683.43×10^{-3}

Tabla V.3

D. Codificación de las Rutinas en Lenguaje Ensamblador Z-80.

En las hojas siguientes, se presenta la codificación de cada una de las subrutinas que componen al software de control, teniendo en cuenta que:

La primer columna, indica la dirección de memoria a partir de la cual se almacena la instrucción.

La segunda columna, corresponde a la instrucción en código hexadecimal.

En la tercer columna, se encuentran las etiquetas que representan la dirección de la instrucción, con la que están asociadas.

La cuarta columna, contiene el mnemónico de la instrucción.

NOMBRE . D E F S.
 OBJETIVO . DEFINIR LAS CONSTANTES QUE REPRESENTAN
 LAS DIRECCIONES DE LOS PUERTOS Y LAS
 LOCALIDADES DE MEMORIA UTILIZADAS.
 PROGRAMADORES : ALEMON REYES OSCAR.
 DRAGO SERRANO OSCAR.
 LUGO LOPEZ RICARDO.
 FECHA DE CREACION : 15 / ENERO / 1987.
 ULTIMA ACTUALIZACION : 22 / JULIO / 1987.
 ENTRADAS : NINGUNA.
 SALIDAS : NINGUNA.
 SUBROUTINAS QUE LLAMA : NINGUNA.
 REGISTROS MODIFICADOS : NINGUNO.

<0004> FTOR. EQU 04H
 <0005> PTOB. EQU 05H
 <0006> PTOC. EQU 06H
 <0007> RCTRL. EQU 07H
 <1100> DITER. EQU 1100H
 <2000> PTRR. EQU 2000H
 <21E1> PTRB. EQU 21E1H
 <29D0> BAND. EQU 29D0H
 <29D1> NITER. EQU 29D1H

DIRECCIONES DEL PPI:
 PUERTO A.
 PUERTO B.
 PUERTO C.
 REGISTRO DE CONTROL.
 APUNTADES A:
 AREA DE PARAMETROS DEL
 PERIODO DE MUESTREO.
 BLOQUE DE MUESTRAS DE LA
 SECAL A Y B RESPECTIVAMENTE.
 BANDERA AUXILIAR.
 PARAMETROS DE RETARDO.

DITER.

FF
 EE
 DD
 CC
 BB
 AA
 9F
 9E
 9D
 9C
 9B
 9A
 99
 98
 97
 96
 95
 94
 93
 92
 91
 90

TESIS CON FALLAS DE ORIGEN

NOMBRE: M. N. T. P.
 OBJETIVO: CONTROLAR EL PFI 3000 Y MONITOREAR SUS BOTONES DE MANDO.
 PROGRAMADORES: ALEJON REYES OSCAR, ORAGO SERRANO OSCAR, LUJO LOPEZ RICARDO.
 FECHA DE CREACION: 10 DE ENERO DE 1987
 ULTIMA ACTUALIZACION: 10 DE ENERO DE 1987.
 ENTRADAS: NINGUNA
 SALIDAS: NINGUNA.
 SUBROUTINAS QUE LLAMA: MUEST Y EXHIB
 REGISTROS MODIFICADOS: A. C. E. H. L.

1000	DEFE	MNTR.	LD A, 30H	PROGRAMACION DEL PFI 3000.
1002	D007		CUT (ACTRL), A	PUERTO A -- ENTRADA.
				PUERTO B -- SALIDA.
				PUERTO C.
				PARTE ALTA -- ENTRADA.
				PARTE BAJA -- SALIDA.
1004	010039		LD HL, BAND	
1007	0E06	CICLO.	LD C, PTOC	SE LEE LA INFORMACION DEL
1009	ED7E		IN: A, (C)	MODULO DE OPERACION, PARA
100E	F41010		CALL F, MUEST	SABER SI SE DESEA MUESTREAR
100E	0B67		BIT 1, A	O EXHIBIR.
1010	0C1016		CALL F, EXHIB	
101D	19F2		JR CICLO	CONTINUA SENSANDO.

NOMBRE M U E S T.
 OBJETIVO : ACTIVAR EL BUS DEL SELECTOR Y EL DEL CAD EN EL MOMENTO APROPIADO.
 PROGRAMADORES ALEMON REYES OSCAR,
 DRAGO SERRANO OSCAR,
 LUGO LOPEZ RICARDO.
 FECHA DE CREACION 10 / ENERO / 1987.
 ULTIMA ACTUALIZACION 10 / ENERO / 1987.
 ENTRADAS A - ESTADO DE LOS BOTONES DEL MODULO DE OPERACION.
 HL - DIRECCION DE LA BANDERA AUXILIAR.
 SALIDAS A - ULTIMA INFORMACION DE LOS BOTONES DEL MODULO DE OPERACION.
 SUBROUTINAS QUE LLAMA DECO, SELEG Y MYA.
 REGISTROS MODIFICADOS. A. C. F.

1010	FG	MUEST.	PUSH AF	EMPILA INF. DEL MOD. DE OPERACION.
1016	DE01		LD A, @1H	PRENDE EL FOCO NARANJA Y ACTIVA
1018	D300		OUT (PTOC), A	EL BUS DEL SELECTOR.
101A	DE01		IN A, (PTOR)	LEE INF. PROVENIENTE DEL SELECTOR.
101C	CD0010		CALL DECO	
101F	F1		POP AF	DESEMPILA INF. DEL MODULO DE OP.
1020	DEFE		LD (HL), @FEH	COLOCA BANDERA PARA DETECTAR UN
1022	CD0010		CALL SELEG	POSIBLE ERROR EN EL MODULO DE OP.
1025	DEFE		LD A, @FEH	
1027	BE		CP (HL)	SI "SELEG" DETECTA ALGUN ERROR
1028	CD0F10		JP Z, VUOLT	REGRESA AL PROGRAMA "MNTR".
102E	DE0A		LD A, @AH	DESACTIVA EL CLEAR DEL CAD. PREN-
1030	D300		OUT (PTOC), A	DE FOCO NARANJA Y ACT. BUS DEL CAD.
103F	CD0010		CALL MYA	
1032	D800	PREC.	IN A, (ATOC)	NO REGRESA AL PROGRAMA "MNTR" HASTA
1034	DETF		BIT 7, A	QUE SE RESTABLECE EL BOTON DE
1036	CD0010		JP Z, PREC	MUESTREO.
1039	4F		LD C, A	DESACTIVA TODOS LOS BUSES QUE LLE-
103A	DE00		LD A, @AH	GAN AL PUERTO A. ARRAJA EL FOCO NA-
103C	D300		OUT (PTOC), A	RANJA Y ACTIVA EL CLEAR DEL CAD
103E	79		LD A, C	
103F	C9	VUOLT.	RET	

NOMBRE : E H H I B.

OBJETIVO : DETERMINAR EL NUMERO DE SE&ALES QUE SERAN EXHIBIDAS.

PROGRAMADORES : ALEMON REYES OSCAR,
DRAGO SERRANO OSCAR,
LUGO LOPEZ RICARDO.

FECHA DE CREACION : 16 / ENERO / 1987.
ULTIMA ACTUALIZACION : 6 / MARZO / 1987.

ENTRADAS : A - ESTADO DE LOS BOTONES DEL MODULO DE OPERACION.
HL - DIRECCION DE LA BANDERA AUXILIAR.

SALIDAS : C - DIRECCION DEL PUERTO, POR DONDE SE ENVIARAN LAS MUESTRAS DE LA SE&AL A O B.

SUBROUTINAS QUE LLAMA : SELEG, DESAM Y DESUN.

REGISTROS MODIFICADOS: A, B, C, F.

1040	0E05	EXHIB:	LD C, PTOC	SE ACTIVA EL BUS DEL CDA
1042	0503		LD B, 03H	CONECTADO AL PUERTO A Y
1044	ED41		OUT (C), B	SE PRENDE EL FOCO VERDE.
1046	E660		AND A, 60H	SE INVESTIGA CUANTAS SE&ALES
1048	FE00		CP 0	SE DESEAN EXHIBIR SI SON AM-
104A	C25B10		JP NZ, ESUNA	BAS CONTINUA, SI NO, SALTA.
104D	3E99	DAM:	LD A, 99H	SE REPROGRAMA EL PPI:
104F	D307		OUT (RCTRL), A	AHORA EL PUERTO A ES SALIDA.
1051	3E03		LD A, 03H	ACTIVA EL BUS DEL CDA Y
1053	D306		OUT (PTOC), A	PRENDE EL FOCO VERDE.
1055	0D0111		CALL DESAM	
1058	C30210		JP FDEH	
105B	3E00	ESUNA:	LD (HL), 0E0H	SE PONE LA BANDERA QUE INDICA A
105D	0D0E10		CALL SELEG	"SELEG" QUE LA LLAMA "EXHIB"
1060	3E03		LD A, 03H	PRENDE EL FOCO VERDE POR SI HUBO
1062	ED79		OUT (C), A	UN ERROR EN "SELEG"
1064	3AD029		LD A, (BAND)	SI LA SE&AL A DESPLEGAR ES LA 'B'
1067	FEF0		CP 0F0H	SALTA A "SENB", SI SON AMBAS SAL-
1069	C0FE10		JP Z, SENB	TA A "DAM", EN CASO CONTRARIO CON-
106C	FEFF		CP 0FFH	TINUA CON EL FLUJO NORMAL DEL PRO-
106E	C01D10		JP NZ, DAM	GRAMA.
1071	3E99		LD A, 99H	SE REPROGRAMA AL PPI, SIENDO AHO-
1073	D307		OUT (RCTRL), A	RA SALIDA EL PUERTO A.
1075	3E03		LD A, 03H	ACTIVA EL BUS DEL CDA Y PRENDE EL
1077	D306		OUT (PTOC), A	FOCO VERDE.
1079	0E01		LD C, PTOC	SE COLOCAR EN EL REGISTRO C LA DI-
107B	C03010		JP EXUNA	RECCION DEL PUERTO QUE SERA UTILI-
107E	0E00	SENB,	LD C, PTOC	ZADO PARA SACAR LAS MUESTRAS.
1080	C03011	EXUNA,	CALL DESUN	
1083	3E99	FDEH,	LD A, 99H	SE REPROGRAMA EL PPI A LAS CONDI-
1085	D307		OUT (RCTRL), A	CIONES ESTABLECIDAS EN "MNTR".
1087	C9		RET	

NOMBRE	D E C O
OBJETIVO	OBTENER LOS PARAMETROS PARA LA SUBRUTINA DE RETARDO A PARTIR DE LA POSICION EN QUE SE ENCUENTRE EL SELECTOR DE FRECUENCIAS.
PROGRAMADORES	ALEMON REYES OSCAR. DRAGO SERRANO OSCAR. LUGO LOPEZ RICARDO.
FECHA DE CREACION	13 / ENERO / 1967.
ULTIMA ACTUALIZACION	17 / ENERO / 1967.
ENTRADAS	A - INFORMACION DEL SELECTOR DE FRECUENCIAS.
SALIDAS	PARAMETROS DE RETARDO ALMACENADOS A PARTIR DE LA LOCALIDAD APUNTA POR 'NITER'.
SUBROUTINAS QUE LLAMA	NINGUNA.
REGISTROS MODIFICADOS	B. D. E. F. IN.

1000	DD010811	DECO	LD IN, DITER	
1000	0601		LD E, 01H	
1001	00	CONF.	CP A, B	SE BUSCA LA POSICION DEL
1002	000010		JP A, ENC	'1' QUE PROVIENE DEL BUS
1003	0000		SLB 5	DEL SELECTOR, PARA ALEJAR
1004	0000		INC IN	LOS PARAMETROS QUE DETER-
1005	0000		INC IN	MINAN EL PERIODO DE MUE-
1006	000010		JP COMP	TREO, MISMOS QUE ALOJA EL
1008	DD0000	ENC.	LD E, (IN+0)	PARTIR DE LA LOCALIDAD DE
1009	DD0001		LD D, (IN+1)	MEMORIA APUNTA POR
1001	DD00129		LD (NITER), DE	'NITER'.
1000	00		RET	

NOMBRE : S E L E G.
OBJETIVO : DETERMINAR LA SEÑAL QUE SERA MUESTREADA O EXHIBIDA.
 DETECTAR POSIBLES ERRORES EN LOS BOTONES A Y B DEL MODULO DE OPERACION.
PROGRAMADORES : ALEMON REYES OSCAR,
 DRAGO SERRANO OSCAR,
 LUGO LOPEZ RICARDO.
FECHA DE CREACION : 15 DE ENERO DE 1987.
ULTIMA ACTUALIZACION : 6 DE MARZO DE 1987.
ENTRADAS : A - ESTADO DE LOS BOTONES DEL MODULO DE OPERACION.
 HL - DIRECCION DE LA BANDERA AUXILIAR.
 BAND - INDICA QUE RUTINA EFECTUO EL LLAMADO.
SALIDAS : BAND - INDICA LA SEÑAL QUE SE ELIGIO MUESTREAR O EXHIBIR.
 IN - DIRECCION DEL INICIO DEL BLOQUE DE MEMORIA DESTINADO PARA LA SEÑAL ELEGIDA.
SUBROUTINAS QUE LLAMA : NINGUNA.
REGISTROS MODIFICADOS : R.F. IN.

1086	E660	SELEG.	AND A, 50H	ASILA LOS BITS DE LOS BOTONES
1088	FE00		CP 0	A Y B SI AMBOS ESTAN OPRIMI-
108A	C3B110		JP NZ, CONT	DOS ENCIENDE EL FOCO ROJO CO-
108D	3E01		LD A, 01	MO SEÑAL DE ERROR Y REGRESA A
108F	D306		OUT (PTOC), A	LA RUTINA QUE LA LLAMO, EN CA-
1091	C3DC18		JP REG	SO CONTRARIO SALTA A "CONT".
1093	FE00	CONT.	CP 50H	SI SE OPRIMIO EL BOTON A O EL
1096	C3C810		JP NZ, SEVAL	B SALTA A "SEVAL", SI NO, ENCIEN-
1099	3E01		LD A, 01	DE EL FOCO ROJO COMO SEÑAL DE
109B	D306		OUT (PTOC), A	ERROR.
109D	3E00		LD A, 0E0H	INVESTIGA QUE SUBROUTINA LA LLA-
109F	3E		CP (HL)	MA SI ES "ENHIS", ESPERA HASTA
10C0	C3DC10		JP NZ, REG	QUE SE OPRINA CUANDO MENOS UN
10C2	DE06		IN A, PTR	BOTON, SI ES "MUEST", REGRESA
10C4	C3A510		JP SELEG	
10C6	C877	SEVAL.	RIT 5, A	INVESTIGA CUAL DE LAS DOS SEÑAL-
10C8	C3D510		JP NZ, SEV	ES SERA MUESTREADA O EXHIBIDA,
10CA	3E0F		LD (HL), 0FFH	INDICANDO CON LA BANDERA DE QUE
10CC	DD210030		LD IN, PTR	SEÑAL SE TRATA.
10CE	C3DC10		JP REG	DEJA EN "IN" LA DIRECCION DONDE
10D0	3E06	SEV.	LD (HL), 0F0H	SE EMPEZARA A ENTRAR O A QUAR-
10D2	DD21E121		LD IN, PTR	DAR LA INFORMACION.
10D4	C9	REG.	RET	

NOMBRE . M Y A.
 OBJETIVO . MUESTREAR Y ALMACENAR LA SEÑAL.
 PROGRAMADORES . ALEMON REYES OSCAR,
 DRAGO SERRANO OSCAR,
 LUGO LOPEZ RICARDO.
 FECHA DE CREACION . 10 / ENERO / 1987.
 ULTIMA ACTUALIZACION . 10 / ENERO / 1987.
 ENTRADAS . IN: - DIRECCION DEL BLOQUE DE ALMACENAMIENTO PARA LA SEÑAL A O S.
 PARAMETROS QUE DETERMINAN EL PERIODO DE MUESTREO ALMACENADOS A PARTIR DE LA LOCALIDAD APUNTADA POR 'NITER'.
 SALIDAS . NINGUNA.
 SUBROUTINAS QUE LLAMA . RETA.
 REGISTROS MODIFICADOS . A, C, D, E, F, IN.

10DD	0E0C	MYA.	LD C, 0C	VA LEYENDO INFORMACION PROVE-
10DF	16FA	OTRO.	LD D, 200	NIENTE DE LA SALIDA DEL CAD Y
10E1	D801	LEE.	IN A, (PTOR)	LA ALMACENA A PARTIR DE LA LO-
10E3	D07700		LD (IX+0), A	CALIDAD DE MEMORIA APUNTADA POR
10E6	0DF110		CALL RETA	'IN'. ESTE PROCESO SE CONTINUA
10E9	D0C0		INC IX	HASTA COMPLETAR 1200 MUESTRAS.
10EB	1C		DEC D	EL PERIODO DE MUESTREO ESTA DE-
10ED	C2E110		JF NO, LEE	TERMINADO POR LA DURACION DE LA
10EF	0D		JF C	SUBROUTINA "RETA".
10F0	C3DF10		JF NO, OTRO	
10F3	C9		RET	
10F4	EAD129	RETA.	LD A, (NITER)	
10F7	CF		LD A, A	CONSUME UNA CANTIDAD DE TIEMPO
10F8	EAD229	CENT.	LD A, (NITER+1)	
10FA	ED	CINT.	DEC A	PROPORCIONAL A LOS VALORES EN-
10FC	C3FB10		JF NO, CINT	
10FF	1D		DEC A	CONTRADOS EN LA SUBROUTINA "DECO".
1100	C3FE10		JF NO, CENT	
1103	C9		RET	

NOMBRE : D E S A M.
 OBJETIVO : ENVIAR LA INFORMACION DE LAS SEÑALES A Y B HACIA EL MODULO DE SALIDA.
 PROGRAMADORES : ALEMON REYES OSCAR.
 DRAGO SERRANO OSCAR.
 LUGO LOPEZ RICARDO.
 FECHA DE CREACION : 15 / ENERO / 1987.
 ULTIMA ACTUALIZACION : 15 / ENERO / 1987.
 ENTRADAS : NINGUNA.
 SALIDAS : NINGUNA.
 SUBROUTINAS QUE LLAMA : NINGUNA.
 REGISTROS MODIFICADOS: A, B, C, D, E, F, IX, IY.

1104	0E00	DESAM:	LD C,PTOB	VA SACANDO ALTERNATIVAMENTE LAS
1106	DD210000	NUEV:	LD IX,PTRA	MUESTRAS DE LAS SEÑALES A Y B.
1108	FD21E121		LD IV,PTRE	
110E	1E00		LD D,00	
1110	0EFA	SIGUE:	LD B,200	POR EL PUERTO CORRESPONDIENTE
1112	DD7E00	CARGA:	LD A,(IX+0)	
1113	FD0E00		LD E,(IY+0)	(PTOR Y PTOB). HASTA ENVIAR LAS
1113	ED09		OUT (C),E	1000 MUESTRAS DE CADA SEÑAL.
111A	D001		OUT (PTOR),A	
111C	DD02		INC IX	
111E	FD02		INC IY	ENSEGUIDA SENSAR LA SEÑAL DE
1120	00		DEC B	
1121	021011		JP NO,CARGA	'EMHIS', QUE PROVIENE DEL MODU-
1124	10		DEC D	
112G	021011		JP NE,SIGUE	LO DE OPERACION. PARA SABER SI
1128	D005		IN A,(PTOC)	
112A	0B07		BIT 1,A	SE DESER VOLVER A ENVIAR LAS
112C	0A0611		JP Z,NUEV	SEÑALES.
112F	02		RET	

```

-----
NOMBRE . D E S U N.
OBJETIVO . ENVIAR LA INFORMACION DE LA SEÑAL A O
DE LA B HACIA EL MODULO DE SALIDA.

PROGRAMADORES . ALEMON REYES OSCAR.
DRAGO SERRANO OSCAR.
LUGO LOPEZ RICARDO.

FECHA DE CREACION . 15 ' ENERO ' 1987.
ULTIMA ACTUALIZACION . 15 ' ENERO ' 1987.

ENTRADAS . IX - DIRECCION DEL INICIO DEL BLOQUE
DE MEMORIA EN DONDE SE ENCUENTRAN
LAS MUESTRAS DE LA SEÑAL ELEGIDA.
C - DIRECCION DEL PUERTO POR DONDE
SALDRA LA INFORMACION.

SALIDAS . NINGUNA.

SUBROUTINAS QUE LLAMA . NINGUNA.

REGISTROS MODIFICADOS. A. B. D. F.
-----

```

```

1150 DDEC      DESUN.  PUSH IX          SACAR LAS MUESTRAS ALMACENADAS
1151 1800      LD D,00          LD D,00
1152 05FA      RPTC.    LD B,200          A PARTIR DE LA DIRECCION APUN-
1153 D7F000    SACR.    LD A,(IX+0)          TADA POR 'IX' HASTA EXTRAER LAS
1154 ED79      OUT (C),A          1000 MUESTRAS.
1155 DD63      INC IX
1156 05      DEC B
1157 C23611   JF NZ,SACR          INMEDIATAMENTE, INVESTIGA SI SE
1158 15      DEC D
1159 C23411   JF NZ,RPTC          DESER VOLVER A ENHIBIR LA SEÑAL.
1160 D866      IN A,(PTOC)
1161 0567      BIT 4,A
1162 DDE1      POP IX
1163 C2D011   JF Z,DESUN
1164 09      RET

```

VI. INTEGRACION SOFTWARE-HARDWARE.

La comunicación entre el software y el hardware se lleva a cabo por medio del PPI 8255, utilizando el puerto C como medio de control. Como se observa en la figura IV.22, los cuatro bits menos significativos sirven para controlar el flujo de información que pasa a través del puerto A y los cuatro bits más significativos, se utilizan para recibir información referente al modo de operación de la interfaz.

La forma en la que interactúan el software y el hardware, para llevar a cabo las funciones de muestreo-almacenamiento y exhibición es descrita en los párrafos siguientes:

A. Muestreo-Almacenamiento.

Se llega a este modo de operación, cuando el programa MNTR deteg

ta un "0" en el bit más significativo del puerto C, lo cual corresponde a que el botón de muestreo esté presionado. A partir de este momento se tiene lo siguiente:

1. La subrutina MUEST manda hacia el módulo de control, por los dos bits menos significativos del puerto C, la información necesaria para activar el bus del selector y prender el foco naranja; indicando con ello, que se inicia la fase de muestreo y almacenamiento.
2. La subrutina DECO se encarga de obtener, a partir de la información leída del selector, los valores de los registros A y E, que se utilizan en la subrutina RETA.
3. SELEG determina cual señal se va a muestrear, pudiendo ocurrir cualquiera de los siguientes casos:
 - i) Si está presionado el botón A o B, se asigna un apuntador al inicio del bloque de almacenamiento correspondiente.
 - ii) En caso contrario (ambos presionados o liberados), se envía al módulo de control, por medio del bit 2 del puerto C, la información necesaria para encender el foco rojo como condición de error, que permanece prendido hasta que se presione alguno de los botones A o B y se oprima nuevamente el botón de muestreo. Al existir una condición de error, el Micro-kit manda la información necesaria para que el módulo de control, ponga en tercer estado todos los buses conectados al puerto A.

4. MUEST manda al módulo de control, la información (a través de los bits 1 y 0 del puerto C) que le permite activar el bus del CAD. Mediante el bit 3, se desactiva el \overline{CL} del CAD.
5. MYA lee, por medio del puerto A, las muestras provenientes del respaldo del CAD y las almacena en las localidades previamente asignadas.
6. MUEST chequea que haya sido liberado el botón de muestreo, antes de regresar al programa MNTR. Esto se hace con el fin de evitar que se lleve a cabo el muestreo sin deseirlo.

B. Exhibición.

Se llega a este modo de operación cuando MNTR detecta un "0" en el bit 4 del puerto C, lo cual corresponde a que el botón de exhibición se encuentre presionado. Posteriormente se tiene lo siguiente:

1. La subrutina EXHIB, manda al módulo de control, a través de los bits 0 y 1 del puerto C, la información necesaria para prender el foco verde, indicando que se inicia la etapa de exhibición.
2. Se investiga cuantas señales se desean exhibir, pudiendo ocurrir cualquiera de los siguientes casos:
 - i) Si son dos, se reprograma el PPI, de tal forma que ahora el

puerto A es salida. A través de los bits 0 y 1 del puerto C, se envía la información necesaria para que el módulo de control active el bus del CDA1.

- ii) Si es una, SELEG determina cual de las dos señales se desea exhibir, indicando a partir de que localidad se extraerán las muestras. Si en el momento de entrar a EXHIB, ninguno de los botones A o B está oprimido, se manda por el bit 2 del puerto C un "1" para prender el foco rojo, el cual permanece encendido hasta que se oprime al menos uno de los botones A o B.

Si se desea exhibir la señal A o las señales A y B simultáneamente, se reprograma el PPI 8255, con lo que se consigue que el puerto A sea salida.

3. Dependiendo del número de señales que se desean exhibir, se utiliza cualquiera de las siguientes subrutinas:

- i) DESUN envía las muestras de la señal A o de la señal B hacia el módulo de salida, a través del puerto correspondiente. Las muestras de la señal A llegan al CDA1 y las muestras de la señal B llegan al CDA2.
- ii) DESAM envía las muestras de las señales A y B hacia el módulo de salida, a través del puerto correspondiente. Con ello se obtiene la exhibición simultánea de las dos señales en el osciloscopio.

La exhibición de las señales, independientemente de la subrutina empleada, continúa hasta que se libera el botón EXHIB.

VII. MANUAL DE USUARIO.

En este capítulo se dan los detalles necesarios para que el usuario pueda emplear adecuadamente la interfaz.

Los módulos de la interfaz, que fueron descritos en el capítulo IV, están contenidos en una caja (mostrada en la figura VII.1), la cual cuenta con los conectores necesarios para las fuentes de alimentación, la señal de entrada, la alimentación del Micro-kit y los canales del osciloscopio. Además, tiene un panel frontal de control (figura VII.2) por medio del cual, el usuario interactúa con la interfaz.

La explicación del manejo de la interfaz, se divide en las secciones siguientes:

- A. Instalación.
- B. Operación.
- C. Empleo Modular.
- D. Conexiones al panel frontal.
- E. Conexiones a la parte posterior.

A. Instalación.

Los pasos que se deben seguir para la instalación son:

1. Conectar el bus flexible de 25 hilos, que sale de la parte trasera de la caja que contiene los diferentes módulos, al conector 1 del Micro-kit. La marca azul del conector hembra, deberá quedar a la derecha.
2. Unir el cable libre, con el pin del Micro-kit, etiquetado con " Reloj ".
3. Conectar las fuentes de alimentación de: +15, -15 y +5 Vdc, utilizando el conector de tierra (GND1), común para todas las entradas. Las entradas de la alimentación, se encuentran en la parte trasera de la caja que contiene los diferentes módulos.

PRECAUCION:

Asegúrese que las fuentes tengan el valor y polaridad correctos.

4. La alimentación del Micro-kit, se toma de los conectores restantes (8V y GND2), localizados en la parte posterior de la caja que contiene los diferentes módulos.
5. Se conectan los canales A y B del osciloscopio , a la entrada respectiva, localizada en el costado izquierdo de la caja que contiene los diferentes módulos.

6. Encender las fuentes de alimentación.

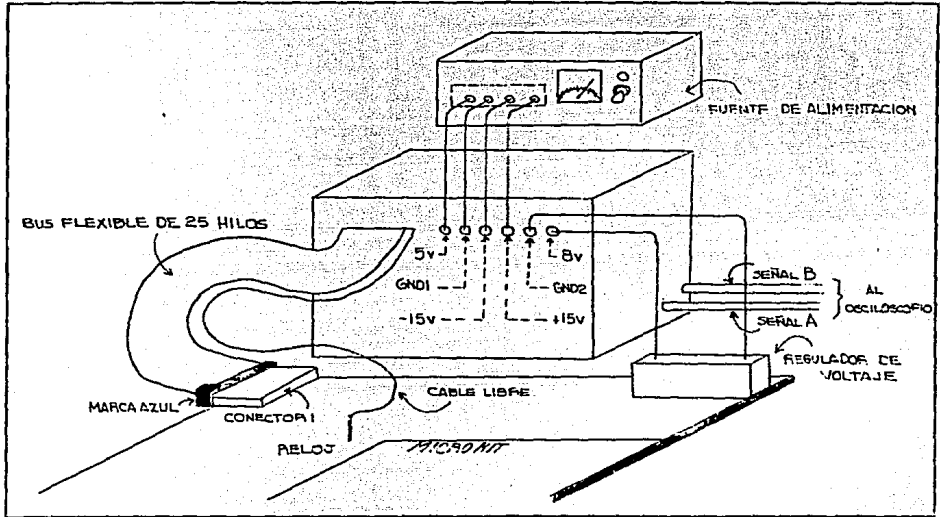


Figura VII.1 Conexiones de la interfaz de memoria.

B. Operación.

Una vez que se llevó a cabo la instalación, se ejecuta el programa alojado en la memoria del Micro-kit, que controla a todos los elementos de la interfaz.

Para ejecutar el programa se efectúan los siguientes pasos:

- i) Pulse la tecla "GD".
- ii) Teclee 1000, que es la dirección donde se encuentra el inicio del programa.
- iii) Pulse la tecla "OTRO".

Posteriormente, se deben efectuar los siguientes pasos para el uso de la interfaz:

1. Muestreo-almacenamiento.

- a). Se conecta la señal de voltaje desconocida a Vi y GND, del panel frontal (Figura VII.2). El voltaje no debe exceder el rango de +8 a -8 V.
 - b). Se selecciona la frecuencia estimada de la señal, cuidando que el foco indicador de descalibración no se encienda. En caso de estar encendido, gírese la perilla del selector, a una posición adecuada.
 - c). Oprimir el botón A o el B, para indicar que señal se desea almacenar.
 - d). Pulsar el botón MUEST. En este momento se enciende el foco naranja, indicando que la interfaz está muestreando y almacenando.
- PRECAUCION: Mientras el foco esté encendido, el usuario no deberá efectuar algún cambio en el panel de control.

- e). Cuando ambos botones (A y B) se encuentren oprimidos o liberados, se encenderá el foco rojo como señal de error, permaneciendo encendido, hasta que sólo uno de los botones esté oprimido y se vuelva a pulsar el botón MUEST.
- f). Esta fase termina cuando todos los focos están apagados. En este momento, el usuario puede exhibir la señal almacenada o almacenar otra.

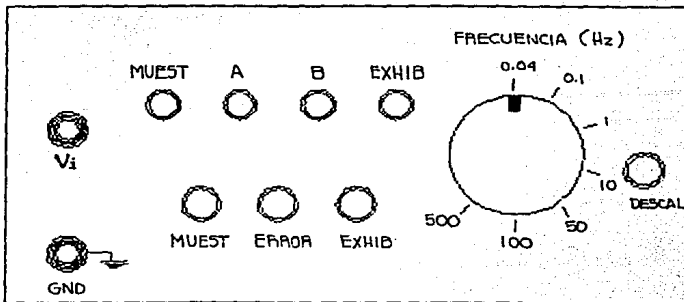


Figura VII.2 Panel frontal de control.

2. Exhibición.

- a). Se oprime el botón de la señal A, B o ambos.
- b). Se oprime el botón EXHIB. En este momento se enciende el foco.

verde, indicando que la interfaz inicia la exhibición de las señales elegidas, en el osciloscopio.

- c). Si al oprimir el botón EXHIB, los botones A y B están liberados, se enciende el foco rojo indicando el error, que se corregirá, al oprimir cualquiera de los botones A o B.
- d). Esta fase termina cuando se restablece el botón EXHIB.

NOTA: Para obtener la frecuencia real de la señal que se exhibe en el osciloscopio, se aplica la siguiente fórmula:

$$f_{\text{real}} = K (f_{\text{oscil}})$$

Donde:

f_{oscil} - frecuencia de la señal observada en el osciloscopio.

K - es una constante, que puede tomar los valores mostrados en la siguiente tabla, en la que K1 se aplica cuando sólo se exhibe una señal y K2 cuando se exhiben dos señales.

Es importante aclarar, que el valor de K, debe tomarse para la posición del selector que se tenía, en el momento de efectuar el muestreo.

Frecuencia del selector (hz).	K1	k2
< δ = 0.04	59.95×10^6	103.55×10^6
0.1	82.50×10^6	142.50×10^6
1.0	822.50×10^6	1.47×10^3
10.0	8.59×10^3	14.84×10^3
50.0	42.87×10^3	74.05×10^3
100.0	85.80×10^3	148.20×10^3
> δ = 500.0	395.68×10^3	683.43×10^3

Tabla VII.1

C. Empleo Modular.

Los elementos de la interfaz que pueden ser empleados independientemente, son el módulo de entrada y el módulo de salida, coordinados por el módulo de control.

La ventaja del empleo modular, es que ahora los elementos mencionados anteriormente pueden ser incorporados a un sistema que requiera CDAs o CADs.

Por ejemplo, el módulo de entrada puede utilizarse para la implementación de un voltmetro digital.

1. Módulo de entrada.

Es un convertidor analógico digital, que tiene las siguientes ca

racterísticas:

- i) Voltaje analógico de entrada: de +8 a -8 V.
- ii) Código de salida: Offset binario, es decir, el +8 V de la entrada queda representado como "1111111", el 0V como "1000000" y el -8 V como "0000000".

Para hacer uso de este módulo, la entrada analógica debe conectarse a Vi y GND, del panel frontal de control.

La salida digital y las líneas de control requeridas, se muestran a continuación, en base al conector de la figura VII.3. Dicho conector, está unido al bus flexible que sale de la parte trasera de la caja.

Pin			
10	MSB	}	Salida Digital.
11			
12			
13			
25			
24			
23			
22	LSB		
19	CL		
20	0	}	Niveles Lógicos Requeridos.
6	1		
26	GND		
Cable Indg pendiente.	Reloj de 4 Mhz.		

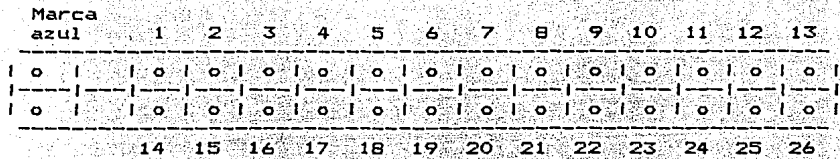


Figura VII.3 Vista frontal del conector del bus flexible.

Los pins restantes no son utilizados y los focos indicadores del panel de control no tienen significado.

El botón EXHIB no debe estar oprimido.

2. Módulo de salida.

Consiste de dos convertidores digital analógico, que tienen las siguientes características:

- i) Código digital de entrada: Offset binario.
- ii) Salida analógica: Voltaje en el rango de 8 a -8 V.

Las salidas de este módulo, se obtienen del lado izquierdo de la caja que contiene los diferentes módulos; la señal A corresponde al CDA1 y la señal B al CDA2.

A continuación, se muestran las entradas digitales y las líneas

de control requeridas, en base al conector mostrado en la figura VII.3.

Pin			
10	MSB } LSB }	Entradas del CDA 1.	
11			
12			
13			
25			
24			
23			
22			
5	MSB } LSB }	Entradas del CDA 2.	
4			
3			
2			
1			
15			
16			
17			
20	1	Niveles Lógicos Requeridos.	
6	1		
26	GND		

Los pins restantes no son utilizados y los focos indicadores del panel de control no tienen significado.

En este caso, el botón EXHIB debe estar oprimido.

Nota: Independientemente del módulo que se desee utilizar, la interfaz debe estar alimentada como se indicó en la sección

de instalación.

D. Conexiones al Panel Frontal.

En esta sección se muestran las conexiones entre el panel frontal y las tabletas de la interfaz.

1. Botones de mando con tableta de interruptores.

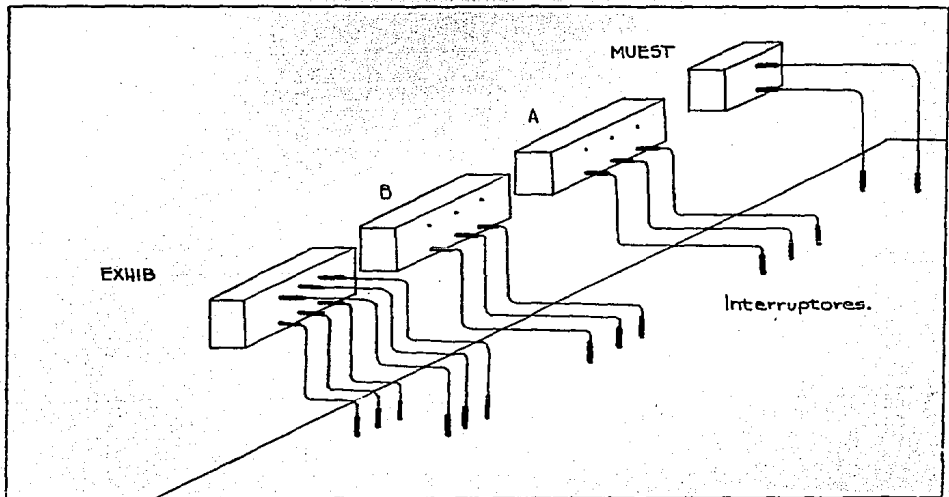


Figura VII.4

2. Voltaje de entrada con tableta analógico digital.

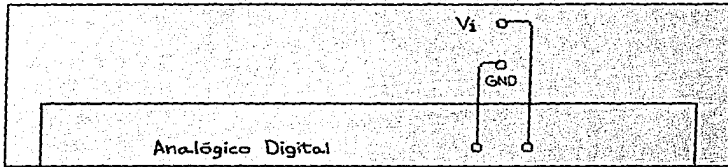


Figura VII.5

3. Selector y focos con la tableta de control.

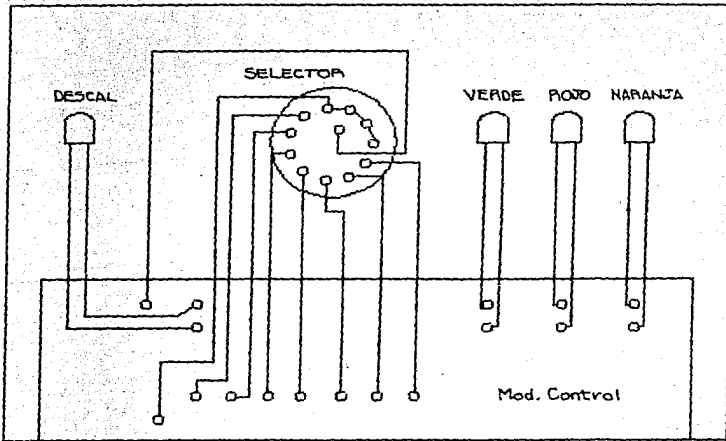


Figura VII.6

E. Conexiones a la Parte Posterior.

Es la forma en la que está conectado el bus flexible, la señal de reloj y los conectores de las fuentes de alimentación, a la tableta de conexiones. Esta conexión se realiza como se muestra en la figura VII.7.

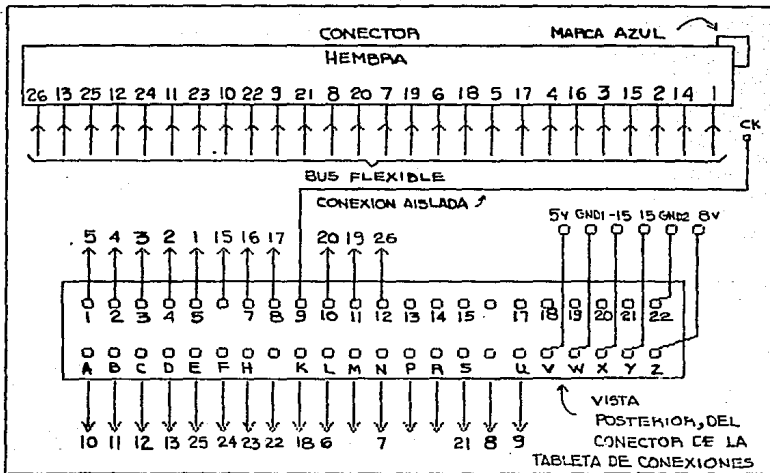


Figura VII.7

VIII. ANALISIS DE COSTOS.

A continuación se muestra la lista de precios, en dólares, de cada uno de los componentes de la interfaz. Dichos precios fueron extraídos del catálogo de JAMECO.

Módulo de salida.

Cantidad	Elemento	Precio/pza. (dólares)	Total parcial en dólares.
2	CI MC1408-BN	1.95	3.90
2	CI LM 741 N	0.29	0.58
2	Potenciómetros a 3/4 de watt 'BECKMAN' = 43P	1.05	2.10
10	Resist. a 1/2 w.	0.06	0.60
2	Capacit. 1000 pF	0.89	1.78
1	Regulador 7812T	0.49	0.49
1	Regulador 7808T	0.49	0.49
Total			9.94

Módulo de control.

Cantidad	Elemento	Precio/pza. (dólares)	Total parcial en dólares.
3	CI DM74LS241N	0.69	2.07
2	CI DM74LS04N	0.25	0.50
1	CI DM7432N	0.29	0.29
1	CI DM74LS08N	0.19	0.19
12	Resist. a 1/2 w.	0.06	0.72
Total			3.77

Elementos adicionales.

Cantidad	Elemento	Precio/pza. (dólares)	Total parcial en dólares.
8	Jacks hembra	0.12	0.96 *
2	Conectores MNC600	0.45	0.90 *
1	Conmutador de giro 1 polo 8 tiros	1.15	1.15
1	Perilla	0.25	0.25 *
4	Leds	0.098	0.392 *
4	Porta led	0.02	0.08 *
3	Interruptores de 2 polos 2 tiros	0.19	0.57 *
1	Push button	0.39	0.39
3	Botones	0.12	0.12 *
4	Conectores Mod. CON1 22/44.	5.00	20.00 *
Total			25.052

Módulo de Entrada:

Cantidad	Elemento	Precio/pza. (dólares)	Total parcial en dólares.
4	CI SN74LS00N	0.19	0.76
2	CI SN74LS273N	1.95	3.90
1	CI 74LS74AN	0.25	0.25
1	CI SN74LS08N	0.19	0.19
1	CI DM74LS04N	0.25	0.25
5	CI 74LS76N	0.29	1.45
1	CI MC 1408-8N	1.95	1.95
1	CI LM 741N	0.29	0.29
1	CI LM 311N	0.45	0.45
5	Potenciómetros de 50 K a 1/2 watt 'BDURNS' = mod 63P	0.99	4.95
8	Resistencias a 1/2 watt.	0.06	0.48
1	capacitor 1000 pF	0.89	0.89
Total			15.81

El precio total es de: 54.572 dólares.
=====

* Estos precios fueron calculados, con respecto a los encontrados en el mercado nacional.

Es importante aclarar que a este valor, hay que agregarle el costo de la elaboración de las tabletas, el ensamblado de los componentes y el acabado final.

Para tener una idea de la diferencia de precios entre un osciloscopio convencional y uno de memoria, se presentan enseguida las características, extraídas de el vol. 5 no. 5 de la colección " Radio Electronics ", de dos modelos de osciloscopios Hameg:

Modelo HM 512

Dos canales, ancho de banda de 0 - 50 Mhz.

Sensibilidad vertical 5 mV - 50 V/cm (+/- 3%).

Base de tiempos de 5 seg - 20 nseg/cm.

Trigger de 0 - 70 Mhz (5 mm).

Precio 1 485 dólares.

=====

Modelo HM 812

Dos canales con almacenamiento (memoria).

Ancho de banda de 0 - 50 Mhz.

Sensibilidad vertical 5 mV - 50 V/div (+/- 3%).

Base de tiempos de 5 seg - 20 nseg/div.

Trigger de 0 - 70 Mhz (.5 div).

Precio 4 035 dólares.

=====

Como se aprecia en los datos anteriores, el osciloscopio de memoria es 2 550 dólares más caro que el osciloscopio convencional. Por lo que es más económico adaptarle a este último la interfaz de memoria, la cual tiene un costo inferior a 250 dólares, sin contar el costo del Micro-kit Z-80 (por ser un elemento con el que se cuenta en el laboratorio de electrónica).

CONCLUSIONES.

Es motivo de atención, el hecho de que los trabajos de tesis son realizados con el único fin de cumplir un requisito, sin preocuparse por aportar algo a la facultad, o en particular, a nuestros laboratorios, los cuales, no cuentan con el equipo suficiente. Esta situación se podrá mejorar, si se logra la participación conjunta tanto de profesores como de alumnos, en el desarrollo de proyectos para la construcción de instrumentos de laboratorio.

Estamos concientes de que existen impedimentos tanto académicos, como económicos, para la realización de proyectos complejos, pero creemos que se pueden superar si estos se dividen en varios subproyectos que sean presentados como temas de tesis.

Con la interfaz de memoria, pretendemos solucionar el problema que representa para un laboratorio de electrónica, la falta de un osciloscopio de memoria. Una de las principales ventajas que tiene la interfaz, con respecto a este último, es que la información almacenada en su memoria puede ser transferida sin dificultad a una com

putadora, teniendo la facilidad de procesar dicha información en forma numérica para una aplicación específica. Además, los elementos que la constituyen pueden ser utilizados independientemente para la implementación de otros dispositivos de medición.

Es importante aclarar, que para la construcción de la interfaz se tenían varias alternativas, entre las que destacaban:

El emplear un circuito integrado que realizara las funciones del módulo de entrada de la interfaz. Esta alternativa la descartamos, por considerar que serían mínimos los conocimientos aplicados.

Otra alternativa consistía en utilizar componentes discretos para la construcción del mismo módulo de entrada, con lo que tendríamos la oportunidad de aplicar los conocimientos adquiridos durante nuestra formación profesional y al mismo tiempo, cubrir nuestras deficiencias.

Por lo anterior, decidimos implementar el módulo de entrada con componentes discretos, diseñándolo de tal forma, que sirviera como un instrumento de apoyo didáctico.

Encontramos la principal aplicación de nuestra interfaz, dentro del laboratorio de electrónica, como apoyo en el análisis del control de sistemas mecánicos, así como para el análisis de señales transitorias provenientes de circuitos lineales con constantes de tiempo relativamente grandes.

Por último, tenemos que reconocer que en la interfaz se desperdicia gran parte de la capacidad del Micro-kit, por lo que proponemos

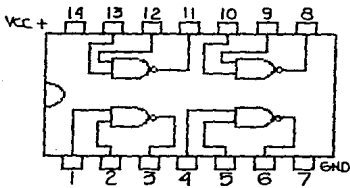
construir una pequeña computadora que realice las funciones que éste desempeña dentro de la interfaz, adquiriendo con ello, mayor portabilidad.

APENDICE A.

Como parte complementaria de los capítulos IV y V, en esta sección, se presenta la distribución interna de los elementos que constituyen a los diferentes circuitos integrados, empleados en esta tesis, así como su tiempo de respuesta.

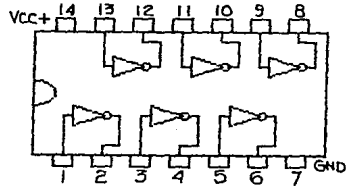
La serie que aparece antes del dibujo del circuito integrado, corresponde a su nombre comercial.

74..00 (Compuertas NAND)



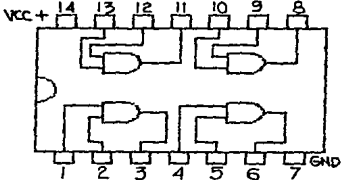
Tiempo de respuesta: 15 nseg.

74..04 (Compuertas inversoras)



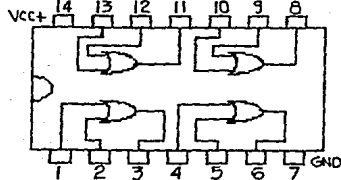
Tiempo de respuesta: 15 nseg.

74..08 (Compuertas AND)



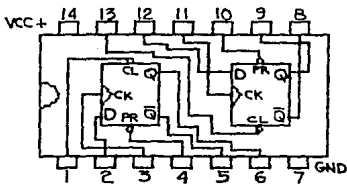
Tiempo de respuesta: 15 nseg.

74..32 (Compuertas OR)



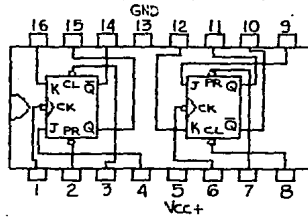
Tiempo de respuesta: 15 nseg.

74..74 (Flip-Flops tipo D)



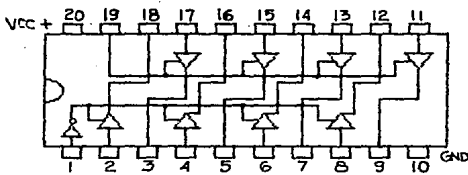
Tiempo de respuesta: 25 nseg.
Preset y Clear 13 nseg.

74..76 (Flip-Flops tipo J-K)



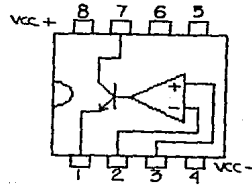
Tiempo de respuesta: 20 nseg.
Preset 25 nseg.

74..241 (Buffers de tercer estado)



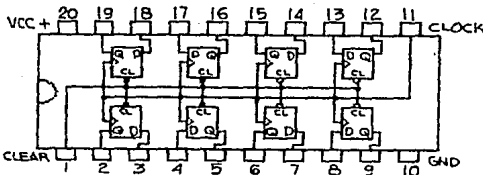
Tiempo de respuesta: 15 nseg.

LM311 (Comparador)



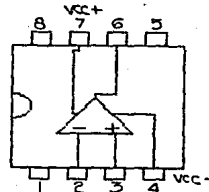
Tiempo de respuesta:
de "1" a "0" 165 nseg.
de "0" a "1" 115 nseg.

74..273 (Flip-Flops tipo D)



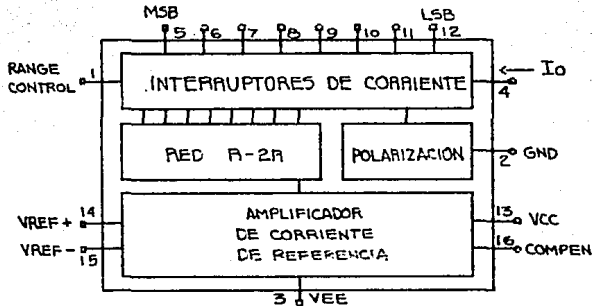
Tiempo de respuesta: 18 nseg.

ua741 (Amp. Op.)



Tiempo de respuesta: 300 nseg.

MC1408 (Convertidor digital analógico de 8 bits)



Tiempo de respuesta 300 nseg.

Nota: Los dos puntos que aparecen en la serie, que identifica al circuito integrado, corresponden a las siglas de las subfamilias, que pueden ser cualquiera de las siguientes:

- L Baja potencia (Low power).
- S Schottky.
- LS Baja potencia Schottky.
- H Alta potencia.
- Sin sigla ... Estándar.

Las referencias bibliográficas que aparecen a continuación, contienen información adicional de los circuitos integrados que se mencionaron anteriormente.

THE TTL DATA BOOK for design engineers.
Texas Instruments.

THE LINEAR CONTROL DATA BOOK for design engineers.
Texas Instruments.

SEMICONDUCTOR DATA LIBRARY linear integrated circuits.
Motorola Semiconductor.