

01169
1ej. 1

DISEÑO Y REALIZACION
DE UN FILTRO DIGITAL DE 2-D

Créditos asignados a la tesis 10 (diez)

APROBADO POR EL JURADO

Presidente: *Luis Andrés Buzo*

Vocal: *[Signature]*

Secretario: *[Signature]*

Suplente: *[Signature]*

Suplente: *[Signature]*

TESIS CON
FALLA DE ORIGEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

- I. Introducción.
- II. Análisis fundamental de señales y sistemas de dos dimensiones (2-D)
 - 2.1 Señales de 2-D
 - 2.2 Sistemas de 2-D
 - 2.3 Representación en el dominio de la frecuencia.
 - 2.4 Transformada Z de 2-D
 - 2.5 Transformada discreta de Fourier de 2-D
- III. Implementación del filtro digital de 2-D por aritmética distribuida.
 - 3.1 Principio de aritmética distribuida.
 - 3.2 Arquitectura de implementación por aritmética distribuida.
- IV. Diseño y realización de un filtro digital de 2-D.
 - 4.1 Criterio de diseño y estructura de realización.
 - 4.2 Sección de control.
 - 4.3 Etapas de entrada y salida.
- V. Conclusiones
- Gráficas
- Apéndice I
- Apéndice II
- Bibliografía.

1. INTRODUCCION.

Un filtro es una sección o un sistema fundamental para el procesamiento de señales tanto por técnicas digitales como por técnicas analógicas. La función de un filtro es transformar una señal llamada entrada en otra señal llamada salida de acuerdo con algunas especificaciones deseadas. Debido al avance adelantado en microelectrónica, particularmente al desarrollo dramático en microprocesadores y microcomputadoras, las técnicas digitales se emplean cada vez más en el campo del procesamiento de señales. Por consiguiente, el uso de filtros digitales es cada vez más amplio y diverso. Además, los filtros digitales poseen varias ventajas las cuales no se alcanzan con los filtros analógicos, tales como la simplicidad del diseño, la precisión, la flexibilidad y la confiabilidad. Un filtro digital de dos dimensiones (2-D) es, como su adjetivo indica, un sistema digital para procesar las señales de 2-D, las cuales aparecen en muchos campos de la ciencia y la ingeniería, por ejemplo, fotos meteorológicas, rayo X, grabaciones sísmicas, datos magnéticos y de gravedad, y micrografía del electrón que se utiliza para elucidar la estructura espacial de las moléculas biológicas etc. Igual al caso de una dimensión (1-D), un filtro digital de 2-D puede implementarse por software o hardware dependiendo de la necesidad. En la implementación por software, el procesamiento se lleva a cabo por un programa, o un conjunto de subrutinas, cargado

en una computadora digital. El interés en la implementación por software es progresivamente intenso y sigue siendo dominante en la realización de filtros digitales, puesto que se han desarrollado muchos algoritmos y programas complejos y altamente sofisticados, y se continúa refinándolos y optimizándolos. El desarrollo de algoritmos por transformada rápida de Fourier (FFT) es uno de los ejemplos más impresionantes. Sin embargo, la implementación por softwares es menos atractiva que el procesamiento en el tiempo real debido a su limitación de velocidad de operación, la cual se puede superar por hardware. En la implementación por hardware, se realiza el procesamiento por una serie de circuitos integrados (IC) tales como multiplicadores, sumadores, registros de corrimiento y memorias etc. Aunque con el filtro digital implementado por hardware se mejora considerablemente la velocidad de operación, el procesamiento digital de señales de 2-D es aún difícil aplicarse en el tiempo real por las implementaciones convencionales, tales como implementación por forma directa, forma serie y forma paralela etc, a causa del mayor número de operaciones y la gran cantidad de información que necesita memorizarse. Además el costo de las implementaciones convencionales es sumamente alto. Este trabajo, es precisamente con objeto de lograr el filtrado digital de imágenes en el tiempo real por aritmética distribuida, con un costo relativamente bajo.

II. ANALISIS FUNDAMENTAL DE SISTEMAS Y SEÑALES DE DOS DIMENSIONES (2-D)

2.1 Señales de 2-D.

Una señal discreta de 2-D es una secuencia bidimensional que puede expresarse $x(n_1, n_2)$ donde n_1 y n_2 son variables enteras. Es evidente que la secuencia $x(n_1, n_2)$ puede considerarse como una versión de muestreo de una señal continua de 2-D $x(t_1, t_2)$. Esto es,

$$x(n_1, n_2) = x(n_1 T_1, n_2 T_2) = x(t_1, t_2) | t_1 = n_1 T_1, t_2 = n_2 T_2 \quad (2.1.1)$$

Como todas las señales, las señales discretas de 2-D pueden representarse también gráficamente. Una representación gráfica de una señal discreta de 2-D está mostrada en la figura (2.1.1).

A continuación se dan las definiciones de algunas secuencias útiles en el análisis de sistemas digitales de 2-D.

1) Impulso.

$$\delta(n_1, n_2) = \begin{cases} 1 & \text{si } n_1 = n_2 = 0 \\ 0 & \text{en otros casos} \end{cases} \quad (2.1.2)$$

2) Escalón.

$$u(n_1, n_2) = \begin{cases} 1 & \text{si } n_1, n_2 > 0 \\ 0 & \text{en otros casos} \end{cases} \quad (2.1.3)$$

3) Exponencial compleja.

$$x(n_1, n_2) = e^{j(n_1 \omega_1 + n_2 \omega_2)} \quad \text{para } -\infty < n_1, n_2 < \infty$$

(2.1.4)

De lo anterior podemos observar que el escalón está relacionado con el impulso por

$$u(n_1, n_2) = \sum_{m_1=-\infty}^{n_1} \sum_{m_2=-\infty}^{n_2} \delta(m_1, m_2)$$

(2.1.5)

2.2 Sistemas de 2-D

Un sistema de 2-D puede caracterizarse por un operador L que transforma una secuencia $x(n_1, n_2)$ llamada entrada en otra secuencia $Y(n_1, n_2)$ llamada salida del sistema. Un sistema es lineal si y solo si se cumple el principio de superposición. Esto es, si,

$$L[ax_1(n_1, n_2) + bX_2(n_1, n_2)] = aL[X_1(n_1, n_2)] + bL[X_2(n_1, n_2)]$$

(2.2.1)

Un sistema lineal es invariante a corrimientos, si a una entrada $x(n_1-k, n_2-l)$ le corresponde una salida $Y(n_1-k, n_2-l)$ y la salida del sistema es independiente de la posición de la entrada del sistema.

Para sistemas lineales e invariantes a corrimientos (LSI),

es válido el teorema básico de convolución. Así si $h(n_1, n_2)$, es la respuesta al impulso de un sistema, la cual es la salida del sistema cuando la entrada es un impulso $\delta(n_1, n_2)$, y si $X(n_1, n_2)$, es la entrada del sistema, entonces, la salida $Y(n_1, n_2)$ está determinada por

$$Y(n_1, n_2) = X(n_1, n_2) * h(n_1, n_2) = \sum_{m_1=-\infty}^{\infty} \sum_{m_2=-\infty}^{\infty} h(m_1, m_2) X(n_1 - m_1, n_2 - m_2) \quad (2.2.2)$$

Un sistema es causal o realizable, si su respuesta al impulso satisface la condición,

$$h(n_1, n_2) = 0 \text{ para } n_1, n_2 < 0 \quad (2.2.3)$$

Un sistema es separable si su respuesta al impulso puede factorizarse en un producto de respuestas al impulso de una dimensión (1-D), esto es

$$h(n_1, n_2) = h_1(n_1) h_2(n_2) \quad (2.2.4)$$

La ventaja de sistemas separables es que la convolución de 2-D puede llevarse a cabo como una secuencia de convoluciones de 1-D. Esto lo podemos verificar fácilmente escribiendo de nuevo la ecuación (2.2.4) como

$$\begin{aligned}
 y(n_1, n_2) &= \sum_{m_1=-\infty}^{\infty} \sum_{m_2=-\infty}^{\infty} h_1(m_1) h_2(m_2) \cdot X(n_1 - m_1, n_2 - m_2) \\
 &= \sum_{m_1=-\infty}^{\infty} h_1(m_1) \cdot \sum_{m_2=-\infty}^{\infty} h_2(m_2) X(n_1 - m_1, n_2 - m_2) \\
 &= \sum_{m_1=-\infty}^{\infty} h_1(m_1) \cdot f(n_1 - m_1, n_2) \quad (2.2.5)
 \end{aligned}$$

donde

$$f(n_1 - m_1, n_2) = \sum_{m_2=-\infty}^{\infty} h_2(m_2) X(n_1 - m_1, n_2 - m_2) \quad (2.2.6)$$

que es una secuencia de convoluciones de 1-D. La ecuación (2.2.5) muestra que $y(n_1, n_2)$ puede obtenerse por una segunda secuencia de convoluciones de 1-D.

Si la entrada de un sistema $X(n_1, n_2)$ y la respuesta al impulso del sistema $h(n_1, n_2)$ son ambas separables, entonces no es difícil demostrar que la salida del sistema es también separable. En este caso tenemos el resultado

$$\begin{aligned}
 y(n_1, n_2) &= \sum_{m_1=-\infty}^{\infty} h_1(m_1) X_1(n_1 - m_1) \cdot \sum_{m_2=-\infty}^{\infty} h_2(m_2) X_2(n_2 - m_2) \\
 &= y_1(n_1) y_2(n_2) \quad (2.2.7)
 \end{aligned}$$

donde

$$X(n_1, n_2) = X_1(n_1) X_2(n_2) \quad (2.2.8)$$

Se dice que un sistema es estable en el sentido de que una entrada acotada produce una salida acotada, si y sólo si su respuesta al impulso satisface la restricción

$$\sum_{n_1=-\infty}^{\infty} \sum_{n_2=-\infty}^{\infty} h(n_1, n_2) < \infty \quad (2.2.9)$$

Aunque la restricción (2.2.9) es una condición necesaria y suficiente para la estabilidad de un sistema, es sumamente difícil evaluar esta condición para $h(n_1, n_2)$ arbitraria.

2.3 Representación en el dominio de frecuencia

La representación en el dominio de frecuencia es introducida por las señales exponenciales complejas, las cuales son funciones propias de sistemas LSI, es decir, si la entrada de un sistema LSI es una señal exponencial compleja

$$X(n_1, n_2) = e^{jn_1 w_1} e^{jn_2 w_2} \quad \text{para } -\infty < n_1, n_2 < \infty \quad (2.3.1)$$

aplicando el teorema de convolución, la salida del sistema es dada por

$$\begin{aligned} Y(n_1, n_2) &= \sum_{m_1=-\infty}^{\infty} \sum_{m_2=-\infty}^{\infty} h(m_1, m_2) e^{j(n_1 - m_1) w_1} e^{j(n_2 - m_2) w_2} \\ &= e^{jn_1 w_1} e^{jn_2 w_2} \sum_{m_1=-\infty}^{\infty} \sum_{m_2=-\infty}^{\infty} h(m_1, m_2) e^{-jm_1 w_1} e^{-jm_2 w_2} \\ &= X(n_1, n_2) \cdot H(e^{jw_1}, e^{jw_2}) \end{aligned} \quad (2.3.2)$$

donde $H(e^{jw_1}, e^{jw_2})$ es por la definición, la respuesta a la frecuencia del sistema, y representa una serie de Fourier de 2-D

$$H(e^{jw_1}, e^{jw_2}) = \sum_{n_1=-\infty}^{\infty} \sum_{n_2=-\infty}^{\infty} h(n_1, n_2) e^{-jn_1 w_1} e^{-jn_2 w_2} \quad (2.3.3)$$

Así $h(n_1, n_2)$ son los coeficientes de Fourier y pueden obtenerse por la relación inversa bien conocida

$$h(n_1, n_2) = \frac{1}{4\pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} H(e^{jw_1}, e^{jw_2}) e^{jn_1 w_1} e^{jn_2 w_2} dw_1 dw_2 \quad (2.3.4)$$

Las dos relaciones anteriores son válidas para cualquier secuencia $x(n_1, n_2)$, la cual es absolutamente sumable, de modo que cualquiera secuencia de este tipo tiene una representación en el dominio de frecuencia

$$X(e^{jw_1}, e^{jw_2}) = \sum_{n_1=-\infty}^{\infty} \sum_{n_2=-\infty}^{\infty} x(n_1, n_2) e^{-jn_1 w_1} e^{-jn_2 w_2} \quad (2.3.5)$$

con la relación inversa

$$x(n_1, n_2) = \frac{1}{4\pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} X(e^{jw_1}, e^{jw_2}) e^{jn_1 w_1} e^{jn_2 w_2} dw_1 dw_2 \quad (2.3.6)$$

La función $H(e^{jw_1}, e^{jw_2})$ tiene varias propiedades interesantes, primero $H(e^{jw_1}, e^{jw_2})$ es una función continua en w_1 y w_2 , y es periódica en ambas dimensiones w_1 y w_2 con el periodo de 2π , es decir

$$H(e^{jw_1}, e^{jw_2}) = H[e^{j(w_1+2\pi k)}, e^{j(w_2+2\pi l)}] \text{ para } -\infty < k, l < \infty \quad (2.3.7)$$

Si $h(n_1, n_2)$ es una secuencia real, entonces la respuesta a la frecuencia satisface la condición

$$H(e^{j\omega_1}, e^{j\omega_2}) = H^*(e^{-j\omega_1}, e^{-j\omega_2}) \quad (2.3.8)$$

la cual significa que el conocimiento del comportamiento de $H(e^{j\omega_1}, e^{j\omega_2})$ en el primer cuadrante implica el conocimiento del comportamiento en el tercer cuadrante y viceversa. Es fácil demostrar que si $h(n_1, n_2)$ es separable, es decir $h(n_1, n_2) = h_1(n_1) h_2(n_2)$, entonces $H(e^{j\omega_1}, e^{j\omega_2})$ es también separable y puede expresarse en la forma

$$H(e^{j\omega_1}, e^{j\omega_2}) = H_1(e^{j\omega_1}) H_2(e^{j\omega_2}) \quad (2.3.9)$$

donde $H_1(e^{j\omega_1})$ y $H_2(e^{j\omega_2})$ son las transformadas de Fourier de 1-D de $h_1(n_1)$ y $h_2(n_2)$, respectivamente.

Finalmente, el teorema de convolución tiene una interpretación importante en el dominio de la frecuencia. Si $y(n_1, n_2)$ es la salida de un sistema, obtenida por la convolución entre la entrada $x(n_1, n_2)$ y la respuesta al impulso $h(n_1, n_2)$ del sistema, entonces $Y(e^{j\omega_1}, e^{j\omega_2})$, la transformada de Fourier de $y(n_1, n_2)$, es igual al producto de la transformada de Fourier de $x(n_1, n_2)$ y la respuesta a la frecuencia del sistema

$$Y(e^{j\omega_1}, e^{j\omega_2}) = X(e^{j\omega_1}, e^{j\omega_2}) \cdot H(e^{j\omega_1}, e^{j\omega_2}) \quad (2.3.10)$$

2.4 Transformada Z de 2-D

La transformada Z de 2-D de una secuencia $x(n_1, n_2)$ está definida por

$$X(z_1, z_2) = \sum_{n_1=-\infty}^{\infty} \sum_{n_2=-\infty}^{\infty} x(n_1, n_2) \cdot z_1^{-n_1} \cdot z_2^{-n_2} \quad (2.4.1)$$

donde z_1 y z_2 son variables complejas y la ecuación (2.4.1) - está definida sobre alguna región de convergencia, es decir, algún rango de valores de z_1 y z_2 . Es sumamente difícil estudiar en detalle la convergencia de las transformadas Z de 2-D. Esto es, investigar las ubicaciones de todas las singularidades de $X(z_1, z_2)$, excepto el caso particular de secuencias finitas que están acotadas. En este caso, las transformadas Z de 2-D se convergen en cualquier lugar de los planos z_1 y z_2 , excepto posiblemente en $z_1=0$ ó $z_2=0$ ó $z_1=\infty$, $z_2=\infty$.

La transformada Z inversa está definida como

$$x(\bar{n}_1, n_2) = \left(\frac{1}{2\pi j}\right)^2 \int_{C_1} \int_{C_2} X(z_1, z_2) z_1^{n_1-1} z_2^{n_2-1} dz_1 dz_2 \quad (2.4.2)$$

donde C_1 y C_2 son contornos cerrados adecuados en los planos z_1 y z_2 .

Existen diversas propiedades de la transformada Z de 2-D. Las principales están resumidas en la tabla I.

TABLA I.

Propiedades principales de la transformada Z de 2-D

<u>Secuencia</u>	<u>Transformada Z</u>
$x(n_1, n_2)$	$X(z_1, z_2)$
$ax_1(n_1, n_2) + bx_2(n_1, n_2)$	$aX_1(z_1, z_2) + bX_2(z_1, z_2)$
$x(n_1+n_{10}, n_2+n_{20})$	$z_1^{n_{10}} z_2^{n_{20}} X(z_1, z_2)$
$a^{n_1} b^{n_2} x(n_1, n_2)$	$X(a^{-1} z_1, b^{-1} z_2)$
$x^*(n_1, n_2)$	$X^*(z_1^*, z_2^*)$
$n_1 n_2 x(n_1, n_2)$	$z_1 z_2 \frac{d^2 X(z_1, z_2)}{dz_1 dz_2}$
$x(-n_1, -n_2)$	$X(z_1^{-1}, z_2^{-1})$
$\text{Re}[x(n_1, n_2)]$	$\frac{1}{2} [X(z_1, z_2) + X^*(z_1^*, z_2^*)]$
$\text{Im}[x(n_1, n_2)]$	$\frac{1}{2} [X(z_1, z_2) - X^*(z_1^*, z_2^*)]$
$x(n_1, n_2) * y(n_1, n_2)$	$X(z_1, z_2) Y(z_1, z_2)$
$x(n_1, n_2) \cdot y(n_1, n_2)$	$\left(\frac{1}{2\pi j}\right)^2 \int_{c_1} \int_{c_2} X\left(\frac{z_1}{v_1}, \frac{z_2}{v_2}\right) Y(v_1, v_2) v_1^{-1} v_2^{-1} dv_1 dv_2$

2.5. Transformada discreta de Fourier de 2-D

Una señal periódica de 2-D está definida por la relación

$$x(n_1, n_2) = x(n_1 + m_1 N_1, n_2 + m_2 N_2) \quad (2.5.1)$$

donde N_1 es el periodo a lo largo de la primera dimensión, N_2 es el periodo a lo largo de la segunda dimensión, y m_1 y m_2 son cualesquier enteros. Las señales periódicas pueden representarse exactamente por una combinación lineal de un conjunto finito de exponenciales cuyos periodos son subperiodos de N_1 y N_2 , esto es

$$x(n_1, n_2) = \frac{1}{N_1 N_2} \sum_{k_1=0}^{N_1-1} \sum_{k_2=0}^{N_2-1} X(k_1, k_2) e^{j \frac{2\pi}{N_1} n_1 k_1} e^{j \frac{2\pi}{N_2} n_2 k_2} \quad (2.5.2)$$

donde los coeficientes $X(k_1, k_2)$ representan la amplitud de $x(n_1, n_2)$ en las frecuencias de las bidimensionales $w_1 = \frac{2\pi}{N_1} k_1$, $w_2 = \frac{2\pi}{N_2} k_2$. Así, $X(k_1, k_2)$ puede determinarse fácilmente por la evaluación de la transformada Z durante un periodo de $x(n_1, n_2)$ en las frecuencias w_1, w_2 mencionadas anteriormente, esto implica

$$\begin{aligned} X(k_1, k_2) &= X(z_1, z_2) \Big|_{z_1=e^{j(\frac{2\pi}{N_1})k_1}, z_2=e^{j(\frac{2\pi}{N_2})k_2}} \\ &= \sum_{n_1=0}^{\infty} \sum_{n_2=0}^{\infty} x(n_1, n_2) e^{-j(\frac{2\pi}{N_1})k_1 n_1} e^{-j(\frac{2\pi}{N_2})k_2 n_2} \end{aligned} \quad (2.5.3)$$

La ecuación anterior se refiere como la transformada discreta de Fourier de 2-D (DFT) y la ecuación (2.5.2) es la transformada discreta inversa de Fourier de 2-D (IDFT).

De las ecuaciones (2.5.2) y (2.5.3) se pueden derivar muchas propiedades. Sin embargo, vale la pena hacer el énfasis so-

bre algunas propiedades importantes.

Si escribimos de nuevo la ecuación (2.5.3) en la siguiente forma

$$X(k_1, k_2) = \sum_{n_1=0}^{N_1-1} e^{-j\left(\frac{2\pi}{N_1}\right)k_1 n_1} \left[\sum_{n_2=0}^{N_2-1} e^{-j\left(\frac{2\pi}{N_1}\right)k_2 n_2} x(n_1, n_2) \right] \quad (2.5.4)$$

entonces, no es difícil comprender que el término dentro del paréntesis es un conjunto de N_1 DFT'S de 1-D. Si se le asigna al resultado de cada DFT de 1-D como $g(n_1, k_2)$, entonces la ecuación (2.5.4) llega a ser como

$$X(k_1, k_2) = \sum_{n_1=0}^{N_1-1} g(n_1, k_2) e^{-j\left(\frac{2\pi}{N_1}\right)k_1 n_1} \quad (2.5.5)$$

la cual nuevamente es un conjunto de N_2 DFT'S de 1-D, de modo que la evaluación de DFT de 2-D se convierte en la evaluación de una serie de DFT'S de 1-D. La extensión del argumento sobre la evaluación de IDFT es directa.

Es fácil darse cuenta de que una secuencia de duración finita tiene una representación exacta de la transformada discreta de Fourier, puesto que se puede considerar la secuencia finita como una secuencia periódica con un período igual a su duración, así las representaciones de DFT y IDFT llegan a ser un medio exacto y conveniente para obtener los coeficientes de la transformada de Fourier de la secuencia finita. La di

ferencia primaria entre la secuencia finita y la secuencia periódica es que la transformada de Fourier de la primera es una función continua en w_1 y w_2 mientras la transformada de Fourier de la segunda es exclusivamente una línea de espectros en las frecuencias apropiadas.

Por último, el teorema de convolución circular es todavía válido. Si $X_1(k_1, k_2)$ y $X_2(k_1, k_2)$, $k_1=0, \dots, N_1-1$, $k_2=0, \dots, N_2-1$, son las DFT'S de dos secuencias $x_1(n_1, n_2)$ y $x_2(n_1, n_2)$ $n_1=0, \dots, N_1-1$, $n_2=0, \dots, N_2-1$, respectivamente, entonces la DFT dada por

$$X_3(k_1, k_2) = X_1(k_1, k_2)X_2(k_1, k_2) \quad (2.5.6)$$

que corresponde a la secuencia $x_3(n_1, n_2)$ dada por

$$\begin{aligned} x_3(n_1, n_2) &= \sum_{m_1=0}^{N_1-1} \sum_{m_2=0}^{N_2-1} x_1(m_1, m_2)x_2(n_1-m_1, n_2-m_2) \\ &= \sum_{m_1=0}^{N_1-1} \sum_{m_2=0}^{N_2-1} x_1(n_1-m_1, n_2-m_2)x_2(m_1, m_2) \end{aligned} \quad (2.5.7)$$

Si una secuencia nueva está formada por la ecuación

$$x_3(n_1, n_2) = x_1(n_1, n_2)x_2(n_1, n_2) \quad (2.5.8)$$

entonces su DFT está determinada por

$$\begin{aligned}
 X_3(k_1, k_2) &= \sum_{\ell_1=0}^{N_1-1} \sum_{\ell_2=0}^{N_2-1} X_1(\ell_1, \ell_2) X_2(k_1-\ell_1, k_2-\ell_2) \\
 &= \sum_{\ell_1=0}^{N_1-1} \sum_{\ell_2=0}^{N_2-1} X_1(k_1-\ell_1, k_2-\ell_2) X_2(\ell_1, \ell_2) \quad (2.5.9)
 \end{aligned}$$

donde $k_1=0, \dots, N_1-1$, y $k_2=0, \dots, N_2-1$.

Las ecuaciones (2.5.7) y (2.5.9) desde luego representan las convoluciones circulares. Una convolución lineal entre dos secuencias finitas puede obtenerse transformando en dos secuencias prolongadas con dimensiones mayores que N_1+N_2-1 y N_1+N_2-1 . La transformada rápida de Fourier (FFT) sigue siendo aplicable en las convoluciones de 2-D, y quizá es un medio más importante.

III. IMPLEMENTACION DE FILTRO DIGITAL DE 2-D POR ARITMETICA DISTRIBUIDA

3.1 Principio de aritmética distribuida

La aritmética distribuida fué introducida por primera vez por Peled y Liu (1). En aquél entonces, esta aritmética se aplicaba sólo en la implementación de filtros digitales de 1-D. No obstante, es fácil extender esta idea al caso de la implementación de filtros digitales de 2-D.

Un filtro digital de 2-D puede representarse por una ecuación en diferencias

$$y_{m;n} = \sum_{k=0}^{N_1} \sum_{\ell=0}^{N_2} a_{k,\ell} x_{m-k,n-\ell} - \sum_{\substack{i=0 \\ i+j \neq 0}}^{N_1} \sum_{j=0}^{N_2} b_{i,j} y_{m-i,n-j} \quad (3.1.1)$$

donde $x_{m,n}$ y $y_{m,n}$ son entrada y salida del filtro, respectivamente, y $a_{k,\ell}$ y $b_{i,j}$ son coeficientes del filtro. Si todos los coeficientes $b_{i,j}$ son ceros, el filtro se llama filtro no recursivo o filtro de respuesta de impulso finita (FIR), en caso contrario, el filtro llega a ser un filtro recursivo o filtro de respuesta de impulso infinita (IIR).

A fin de expresar la idea de aritmética distribuida con claridad, supongamos que $N_1 = N_2 = 2$, ésto significa que el filtro es de segundo orden, lo cual es una sección básica para la realización de filtros de órdenes mayores. Entonces la ecuación (3.1.1) se convierte en la siguiente forma:

$$y_{m;n} = \sum_{k=0}^2 \sum_{\ell=0}^2 a_{k,\ell} x_{m-k,n-\ell} - \sum_{\substack{i=0 \\ i+j \neq 0}}^2 \sum_{j=0}^2 b_{i,j} y_{m-i,n-j} \quad (3.1.2)$$

Consideramos que las señales de entrada y salida están acotadas entre ± 1 y están codificadas en complemento dos con B bits de precisión incluyendo el bit de signo, esto es:

$$x_{m-k, n-\ell}^s = \sum_{s=1}^{\beta-1} x_{m-k, n-\ell}^s 2^{-s} - x_{m-k, n-\ell}^0 \quad (3.1.3)$$

y

$$y_{m-i, n-j}^s = \sum_{s=1}^{\beta-1} y_{m-i, n-j}^s 2^{-s} - y_{m-i, n-j}^0 \quad (3.1.4)$$

donde $x_{m-k, n-\ell}^s$ y $y_{m-i, n-j}^s$ son variables binarias. Sustituyendo las ecuaciones (3.1.3) y (3.1.4) en la ecuación (3.1.2) tenemos

$$\begin{aligned} y_{m, n} &= \sum_{k=0}^2 \sum_{\ell=0}^2 a_{k, \ell} \left[\sum_{s=1}^{\beta-1} x_{m-k, n-\ell}^s 2^{-s} - x_{m-k, n-\ell}^0 \right] \\ &- \sum_{\substack{i=0 \\ i+j \neq 0}}^2 \sum_{j=0}^2 b_{i, j} \left[\sum_{s=1}^{\beta-1} y_{m-i, n-j}^s 2^{-s} - y_{m-i, n-j}^0 \right] \\ &= \sum_{s=1}^{\beta-1} \left[\sum_{k=0}^2 \sum_{\ell=0}^2 a_{k, \ell} x_{m-k, n-\ell}^s 2^{-s} \right] - \sum_{k=0}^2 \sum_{\ell=0}^2 a_{k, \ell} x_{m-k, n-\ell}^0 \\ &- \sum_{s=1}^{\beta-1} \left[\sum_{\substack{i=0 \\ i+j \neq 0}}^2 \sum_{j=0}^2 b_{i, j} y_{m-i, n-j}^s 2^{-s} \right] - \sum_{\substack{i=0 \\ i+j \neq 0}}^2 \sum_{j=0}^2 b_{i, j} y_{m-i, n-j}^0 \end{aligned} \quad (3.1.5)$$

Si definimos

$$F_x^s(x_{n, n}^s, x_{m, n-1}^s, \dots, x_{m-2, n-2}^s) = a_{00} x_{m, n}^s + a_{01} x_{m, n-1}^s + \dots + a_{22} x_{m-2, n-2}^s \quad (3.1.6)$$

y

$$F_y(y_{m,n-1}^s, y_{m,n-2}^s, \dots, y_{m-2,n-2}^s) = b_{01} y_{m,n-1}^s + b_{02} y_{m,n-2}^s + \dots + b_{22} y_{m-2,n-2}^s \quad (3.1.7)$$

entonces podemos escribir de nuevo la ecuación (3.1.5) como la siguiente

$$y_{m,n} = \sum_{s=0}^{\beta-1} F_x^s(\cdot) 2^{-s} - F_x^0(\cdot) - \sum_{s=1}^{\beta-1} F_y^s(\cdot) 2^{-s} - F_y^0(\cdot) \quad (3.1.8)$$

Las funciones $F_x^s(\cdot)$ y $F_y^s(\cdot)$ tienen un número finito de posibles resultados, ya que sus argumentos sólo tienen un número finito de combinaciones binarias. Así si guardamos todos los resultados de $F_x^s(\cdot)$ y $F_y^s(\cdot)$ en ciertas localidades de memoria y usamos sus argumentos, los cuales pueden generarse sin ninguna dificultad, por registros de corrimiento como direcciones para acceder estos valores previamente memorizados. De esta manera, la realización de un filtro digital de segundo orden ya no necesita la operación de multiplicación, la cual es un factor principal que limita la velocidad de operación de un filtro digital, sino la operación de suma exclusivamente. Exactamente debido a la desaparición de las multiplicaciones, esta aritmética distribuida permite a los filtros digitales de 2-D aplicarse en el procesamiento digital de imágenes en el tiempo real. El tiempo requerido para procesar un punto de la señal video depende estrictamente del

tiempo de acceso de la memoria y el sumador, porque si se realiza un filtro digital por aritmética distribuida, se necesita solamente generar los argumentos de las funciones $F_x^s(.)$ y $F_y^s(.)$, acceder los resultados de $F_x^s(.)$ y $F_y^s(.)$, los cuales están previamente guardados en la memoria y sumar estos valores.

3.2 Arquitectura de implementación por aritmética distribuida.

Hemos visto anteriormente que la implementación de un filtro digital por aritmética distribuida se requiere la generación de los argumentos de $F_x^s(.)$ y $F_y^s(.)$, el acceso de resultados de $F_x^s(.)$ y $F_y^s(.)$ y la suma de estos resultados.

La generación de los argumentos de $F_x^s(.)$ y $F_y^s(.)$ puede llevarse a cabo por registros de corrimiento exclusivamente. En un filtro de segundo orden, se necesita memorizar dos líneas y dos columnas de información de imágenes para que obtengan los argumentos necesarios. El tamaño de estos registros de corrimiento depende directamente de la frecuencia de muestreo de la imagen. Si en una imagen se toman $M \times N$ puntos de muestreo, donde M es número de renglones y N , número de columnas, entonces para un generador de argumentos de $F_x^s(.)$ o de $F_y^s(.)$ se necesitan dos registros de corrimiento de tamaño $1 \times N$ y seis registros de corrimiento de tamaño 1×1 .

Los diagramas del generador de argumentos para $F_x^s(.)$ y $F_y^s(.)$ están mostrados en las figuras (3.2.1) y 3.2.2), respectivamente. Por supuesto, el número de dichos generadores es igual a β para ambas funciones $F_x^s(.)$ y $F_y^s(.)$.

Las memorias que sirven para guardar los valores de $F_x^s(.)$ y $F_y^s(.)$ pueden ser de tipo ROM, PROM, EPROM y RAM estática dependiendo de la necesidad, sus dimensiones se basan en la precisión de cuantificación de los coeficientes del filtro, es decir si los coeficientes del filtro están cuantificados con t bits de precisión, entonces las memorias para $F_x^s(.)$ deben ser de tamaño $512Xt$ y las para $F_y^s(.)$, de tamaño $256Xt$. Es obvio que el número de tales memorias coincide con el número de los generadores de los argumentos.

En general, se necesitan tres sumadores, uno sirve para la suma de los valores de $F_x^s(.)$, otro, para la suma de los valores de $F_y^s(.)$ y el último se utiliza para la resta entre $\Sigma F_x^s(.)$ y $\Sigma F_y^s(.)$. El tamaño de cada sumador debe ser suficiente para realizar la suma de t bits. Así, la arquitectura de la implementación de un filtro digital de segundo orden de 2-D con aritmética distribuida tiene una forma como la mostrada en la figura (3.2.3).

IV. DISEÑO Y REALIZACIÓN DE UN FILTRO DIGITAL DE 2-D

4.1 Criterio de diseño y estructura de realización.

En este trabajo, diseñamos e implementamos un filtro digital de segundo orden empleando aritmética distribuida. Nosotros utilizamos este filtro para procesar una imagen de 512 X 128 puntos de muestreo en tiempo real. El filtro es un filtro elíptico paso bajo, sus características y coeficientes están dados en el apéndice I. A fin de lograr el propósito del procesamiento de la imagen en tiempo real, la frecuencia de muestreo de la señal de video debe ser de 2.5 MHz, puesto que el intervalo entre dos pulsos de sincronía horizontal, en el cual se transmite la información de video, es aproximadamente de 52µs y durante este intervalo se necesitan tomar 128 muestreos. Todos los valores, tanto de las señales de entrada y salida como de los coeficientes del filtro están codificados en complemento 2 con 8 bits de precisión. Así cada generador de argumentos necesita dos registros de corrimiento de tamaño 1 X 128 y 6 registros de corrimiento de 1 X 1. La dimensión de las memorias debe ser 512 X 8 para $F_x^S(.)$ y 256 X 8 para $F_y^S(.)$. Usamos los circuitos AM2855 para implementar los registros de corrimiento de 1 X 128, el cual contiene 4 de tales registros, y empleamos el circuito SN74174 que contiene 6 Flip-Flop tipo D para el objetivo de registros de corrimiento de 1 X 1. Las conexiones entre estos circuitos integrados para formar los generadores de los argumentos de $F_x^S(.)$ y de $F_y^S(.)$ están mostradas en la figura (4.1.1). Las memorias están construidas por SN74472, el cual es una memoria PROM con dimensión 512 X 8.

Los valores de $F_x^s(.)$ y $F_y^s(.)$ multiplicados con 2^{-5} están programados en las memorias PROM. Para simplificar las operaciones del filtro y evitar sobreflujo en las operaciones, los valores de $F_x^o(.)$ y $F_y^o(.)$ están programados como $-F_x^o(.)$ y $-F_y^o(.)$, y todos los valores de $F_x^s(.)2^{-5}$ y $F_y^s(.)2^{-5}$ están adecuadamente escalados. Las interconexiones entre generador de argumentos y memoria están indicadas en la figura (4.1.2).

Por causa de la limitación de la velocidad de operación de los sumadores y el costo de ellos, tratamos de diseñar los sumadores en condición óptima. Esto es, bajo la condición de que no se afecte la velocidad necesaria de operación del filtro, utilizan la mínima cantidad de IC's, los cuales forman los sumadores, consecuentemente, el mínimo costo de los sumadores. Cada sumador está formado por dos IC's SN74181 que es una unidad aritmética y lógica (ALU) de 4 bits. Durante la operación del filtro, se requiere de unos registros para que se guarden temporáneamente algunos resultados intermedios. Utilizamos dos tipos de registros temporales, uno es seguidor con salida de tres estados y otro Flip-Flop tipo D con salida de tres estados. La estructura completa del filtro digital está esquematizada en la figura (4.1.3), donde los registros temporales L2, L4, L5, L2', L4' y L5' están implementados por un SN74244, el cual contiene 8 seguidores con salida de 3 estados y los L1, L3, L6, L1', L3' y L6' están construidos por SN74374, el cual contiene 8 Flip-Flop's tipo D con salida de

3 estados.

4.2 Sección de control.

La operación del filtro se inicia por el primer pulso de sincronía horizontal seguido de un pulso de sincronía vertical. Las secuencias de la operación del filtro son las siguientes.

- 1) Tomar el muestreo de la señal de video, el muestreo entra a los generadores de argumentos G1 a G8 correspondientes, al mismo tiempo la salida del sumador S5 entra a los generadores de argumentos G1' a G8'. Las salidas de estos generadores forman las direcciones para acceder las memorias.
- 2) Accesar los contenidos de las memorias M1 a M8 y M1'a M8' por las direcciones generadas en el paso (1), mientras los sumadores S1 a S4 y S1' a S4' toman las salidas de las memorias como sus entradas y suman sus contenidos. Los resultados de las sumas se guardan en L1 a L4 y L1' a L4' correspondientes.
- 3) Desactivar M1, M2, M5, M6, M1', M2', M5' y M6' y activar las salidas de L1 a L4 y L1' a L4'. Los sumadores S1, S3, S1' y S3' suman los valores correspondientes y guardan los resultados en L1, L5, L1' y L5'.
- 4) Desactivar L2 y L2' y activar las salidas de L5 y L5'. los

S1 y S1' suman los valores de L1, L1', L5 y L5', y se guardan los resultados en L6 y L6'.

5) Activar las salidas de L6 y L6'. El S5 resta los contenidos de L6 y L6' y el resultado de la resta es la salida deseada del filtro.

Los pasos anteriores se repiten durante todo intervalo de dos pulsos de sincronía horizontal, es decir, se repiten 128 veces. Cuando se encuentra el siguiente pulso de sincronía horizontal, el filtro deja de trabajar hasta que termine el pulso, en esta duración se limpian los contenidos de todos los registros de corrimiento de tamaño 1 X 1, esto significa que los contenidos de todos estos registros de corrimiento son ceros.

De las secuencias descritas arriba, podemos observar que las operaciones del procesamiento están distribuidas en cuatro períodos. En los tres primeros se realizan las sumas entre los valores de $F_x^S (.)2^{-S}$ y $F_y^S (.)2^{-S}$, y en el último se realiza la resta. Entonces el tiempo permitido máximo de cada período es de 100 ns porque todas estas operaciones deben llevarse a cabo dentro de 400 ns, el período de muestreo. Para realizar estas secuencias de la operación del filtro en el orden indicado anteriormente, se necesita un circuito llamado sección de control, el cual controla o coordina la opera

ción del filtro. La sección de control genera una serie de señales de control cuyos diagramas del tiempo están mostrados en la figura (4.2.1) y su circuito está dibujado en la figura (4.2.2).

4.3 Etapas de entrada y salida.

Para que un sistema digital pueda aplicarse en el mundo real, casi siempre se requieren dos etapas de circuitos llamadas entrada y salida. La etapa de entrada sirve para convertir la señal del mundo real en una señal digital, con la cual se maneja el sistema digital, y la etapa de salida sirve para convertir la señal digital procesada en una señal del mundo real deseada. Nuestra etapa de entrada consiste principalmente - un separador de pulsos de sincronía de la señal video, lo cual sirve no solamente de iniciar la operación del filtro, sino también a generar los pulsos de sincronía compuesta para la etapa de salida, y un convertidor analógico / digital (A/D). El diagrama del separador está mostrado en la figura (4.3.1) y las especificaciones del convertidor A/D están indicadas en el apéndice II.

La salida digital procesada del filtro digital se transforma en una señal de video analógica por medio de la etapa de salida. La señal digital procesada se convierte primero en una señal analógica a través de un convertidor digital/ana-

lógico. (D/A) y luego se mezcla esta señal analógica con los pulsos de sincronía compuesta generados por la etapa de entrada, y finalmente se forma la señal de video filtrada. El diagrama de esta etapa está mostrado en la figura (4.3.2). Por último, el esquema del sistema completo está indicado en la figura (4.3.3).

V. CONCLUSIONES

Aunque este filtro digital es de segundo orden, en cada línea horizontal de la señal de video se toman sólo 128 muestras, y además todas las señales digitales están trabajando con 8 bits de precisión, el resultado del filtro es bastante bueno, uno puede distinguir bien la imagen procesada, las variaciones continuas de imágenes y observar los efectos del filtro en las imágenes. Existen desde luego algunos defectos en el circuito, principalmente el ruido generado tanto por el circuito interno como por el exterior. En este caso, el ruido exterior es dominante debido a la reflexión, la interferencia entre las conexiones, al problema de tierra y de protoboard, etc. Sin embargo se puede disminuir significativamente dicho ruido, si todos los elementos del filtro se distribuyen adecuadamente en un circuito impreso. Es interesante, en el futuro trabajo, aumentar la frecuencia de muestreo, elevar la precisión de codificaciones para que se

observen los efectos del filtro con mayor definición y lo más atractivo e interesante es emplear las memorias RAM estáticas en lugar de las PROM pues, el filtro digital se convierte en un filtro programable, uno puede cambiar fácilmente los contenidos de las memorias RAM mediante la interface con un microprocesador o una microcomputadora; esto significa que se pueden cambiar los coeficientes del filtro a nuestra necesidad, de modo que uno puede observar directa y rápidamente los efectos de diferentes tipos de filtro digital en el procesamiento digital de imágenes. Además, debido al desarrollo progresivo en la tecnología de IC, tanto el costo como la velocidad de IC's serán más económicos y realizables en la implementación hardware de filtros digitales de 2-D por aritmética distribuida.

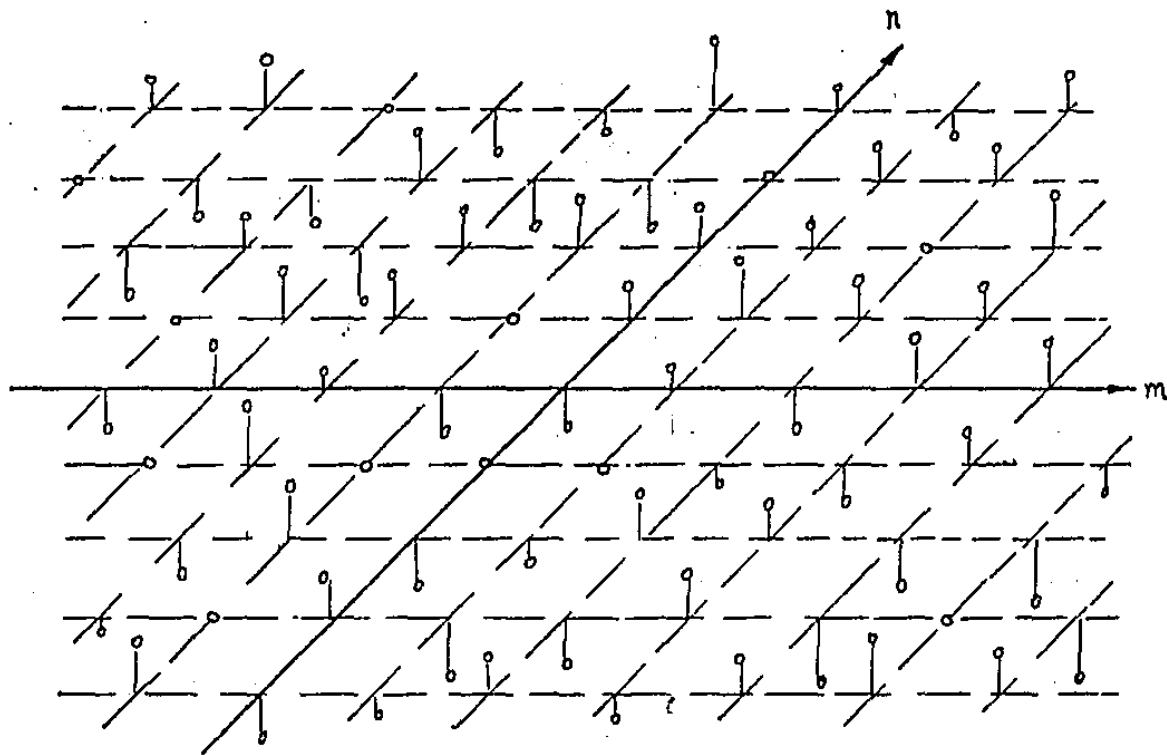


Figura 2.1.1. Representación gráfica de una secuencia bidimensional

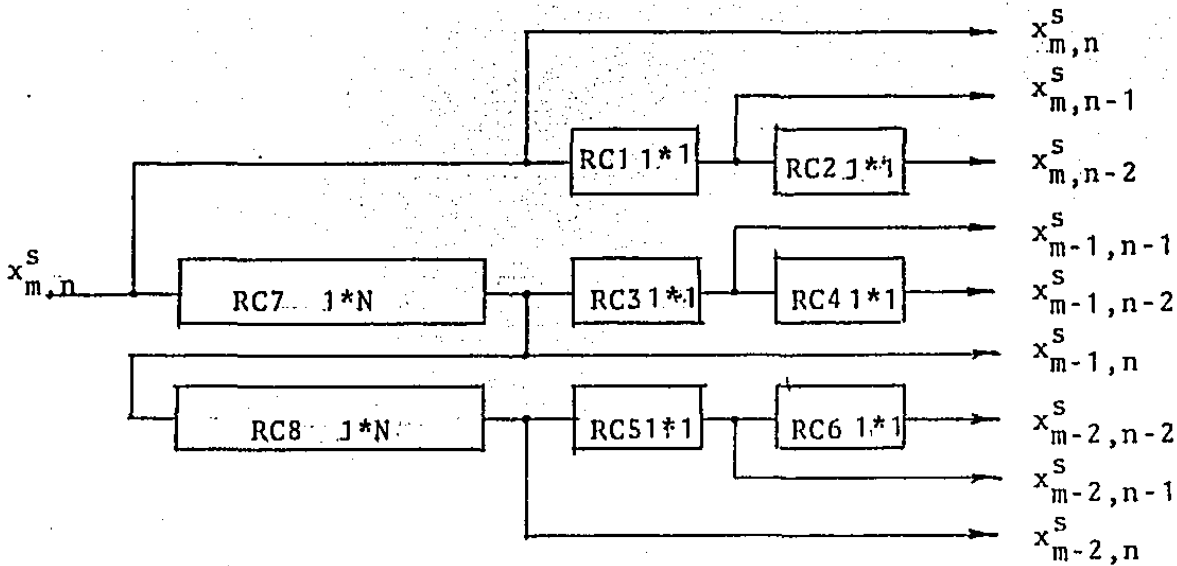


Figura 3.2.1. Generador de argumentos de $F_x^S(\cdot)$

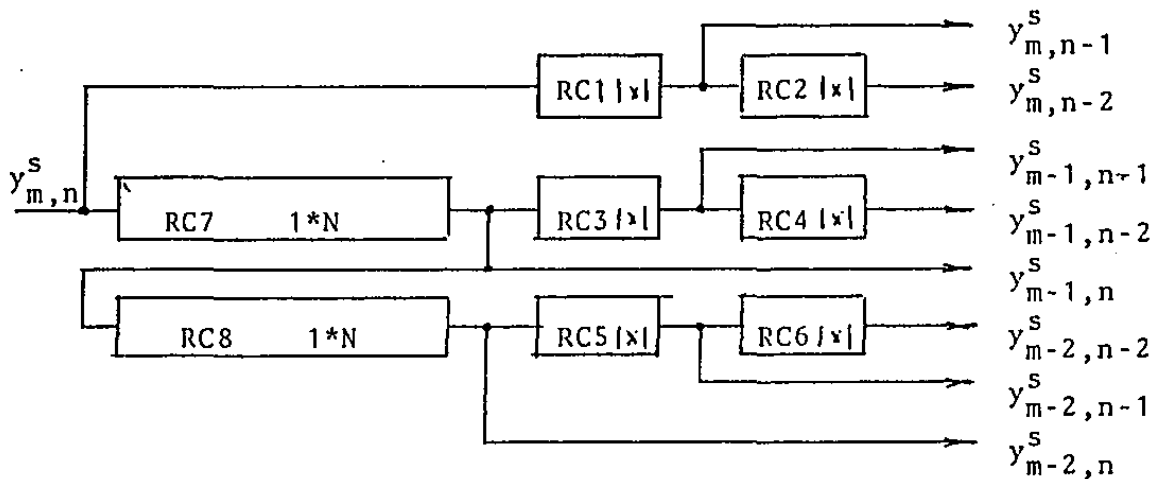


Figura 3.2.2. Generador de argumentos de $F_y^S(\cdot)$

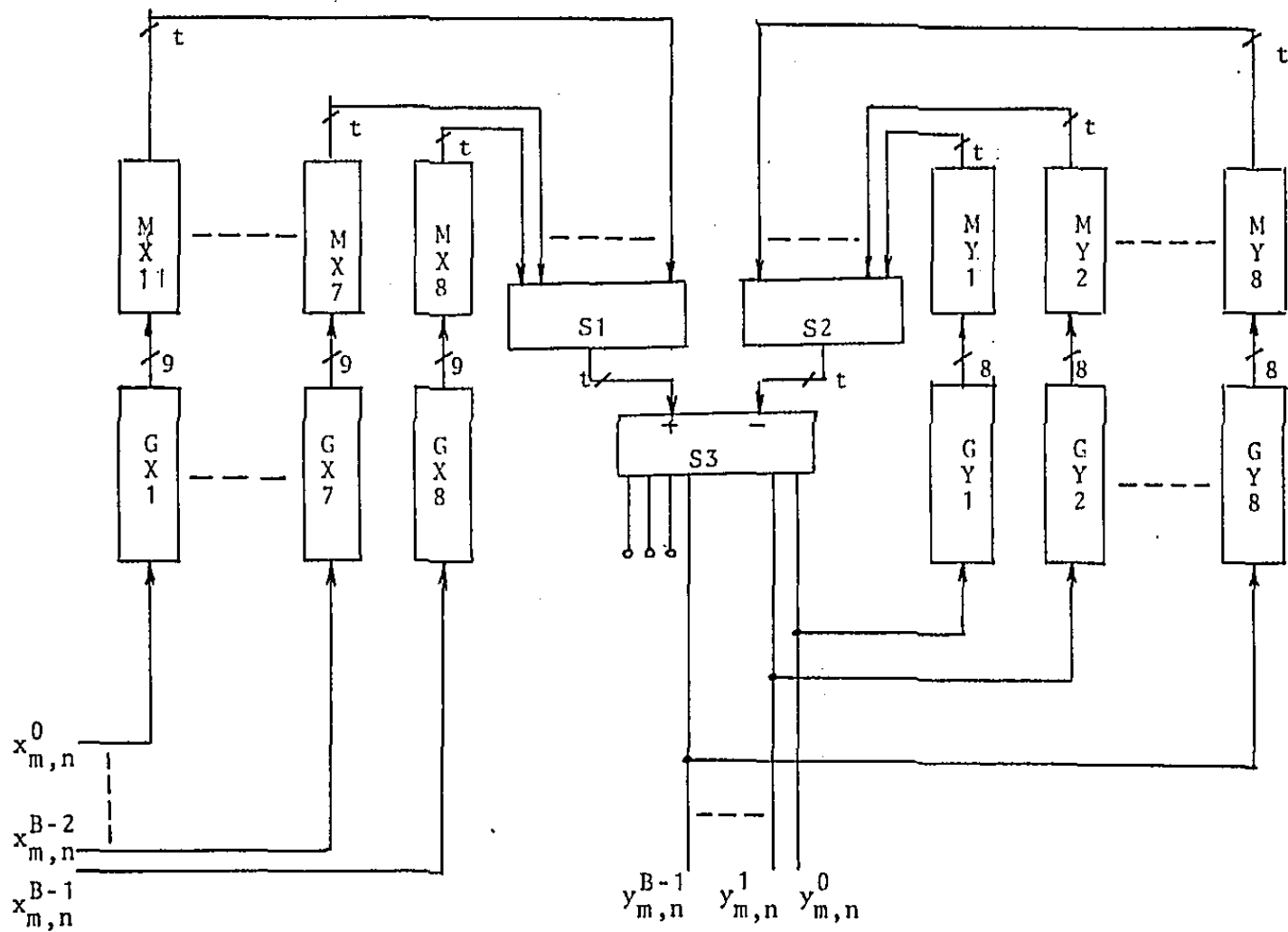


Figura 3.2.3. Diagrama de bloque de la implementación de un filtro digital de segundo orden por aritmética distribuida

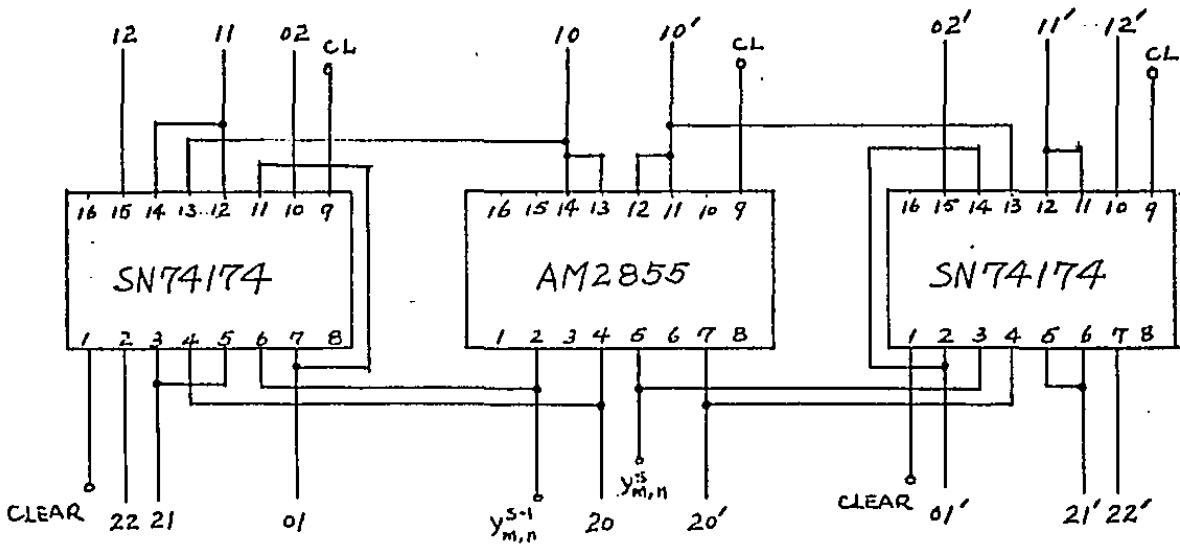
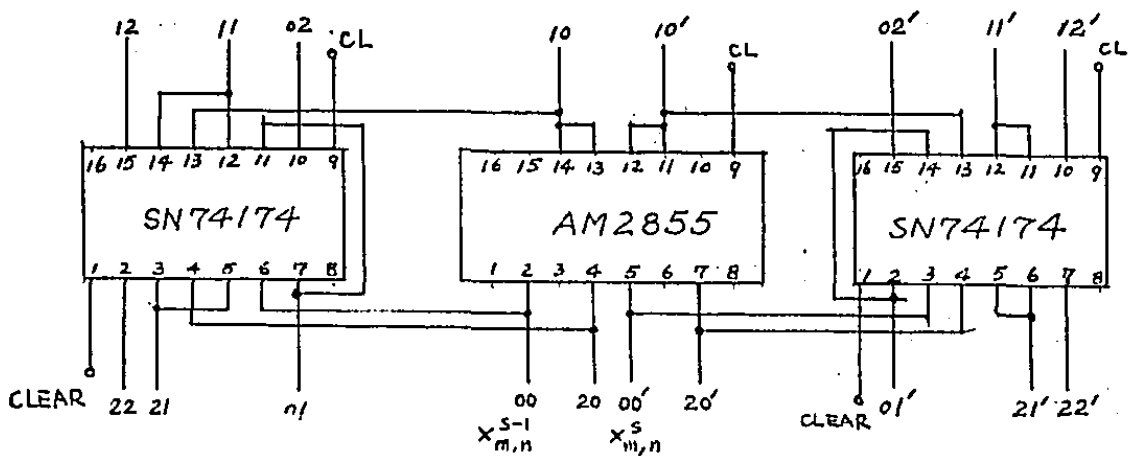


Figura 4.1.1. Generadores de argumentos para $F_x^S(\cdot)$ y $F_y^S(\cdot)$

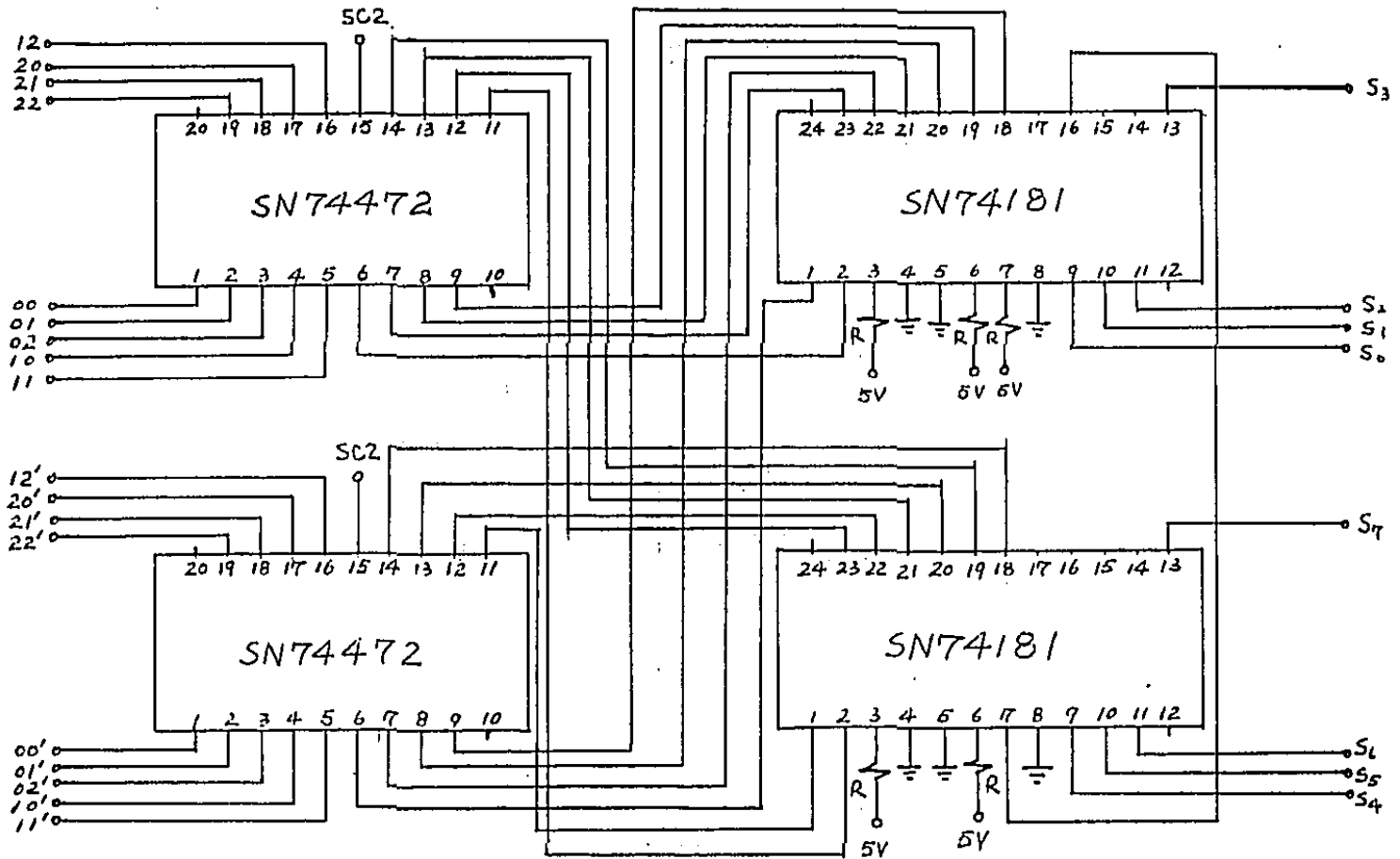


Figura 4.1.2. Interconexiones entre generadores, memorias y sumadores

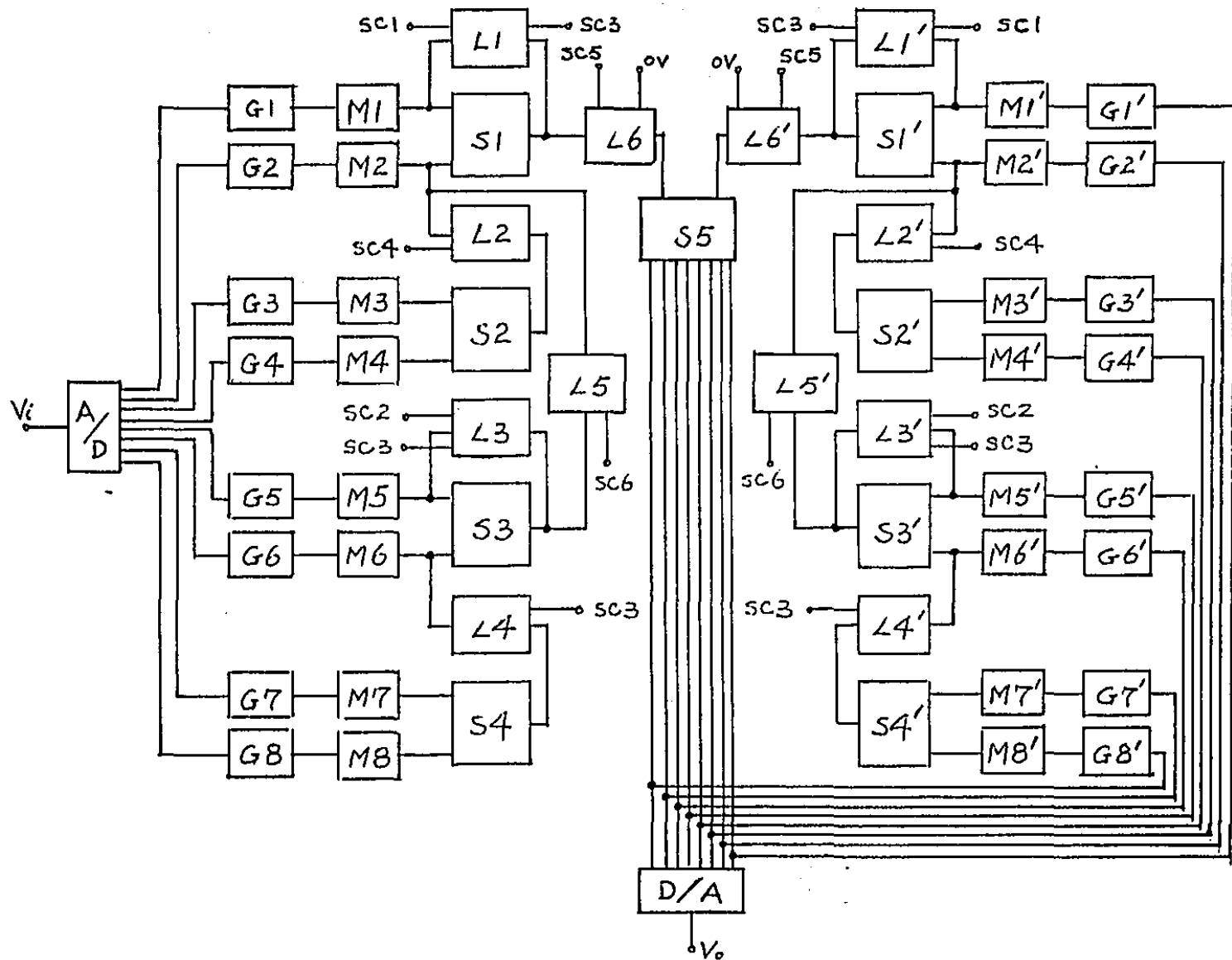


Figura 4.1.3. Diagrama completo del filtro digital de segundo orden de 2-D

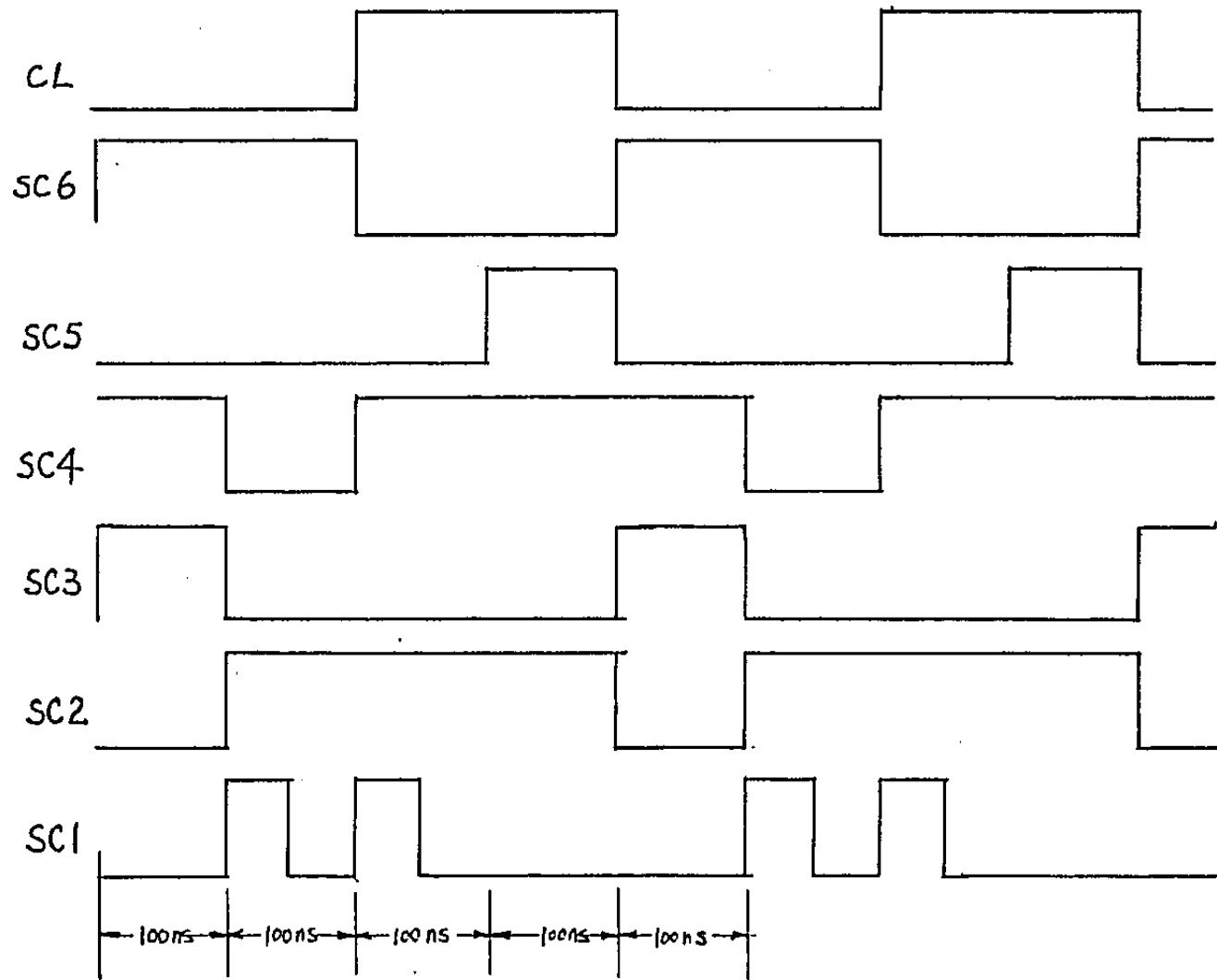


Figura 4.2.1. Diagrama de tiempo de las señales de control

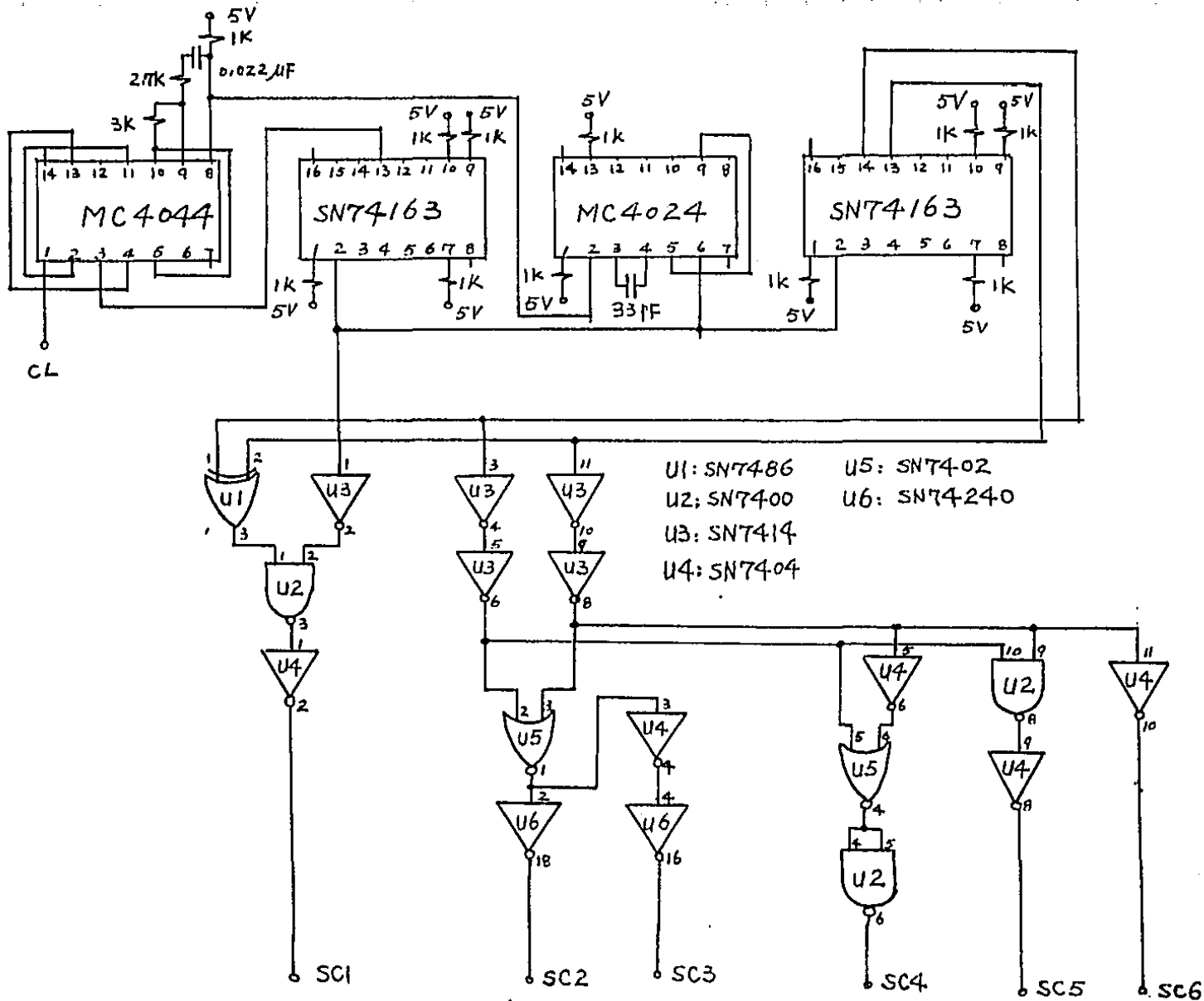


Figura 4.2.2. Circuito de la sección de control

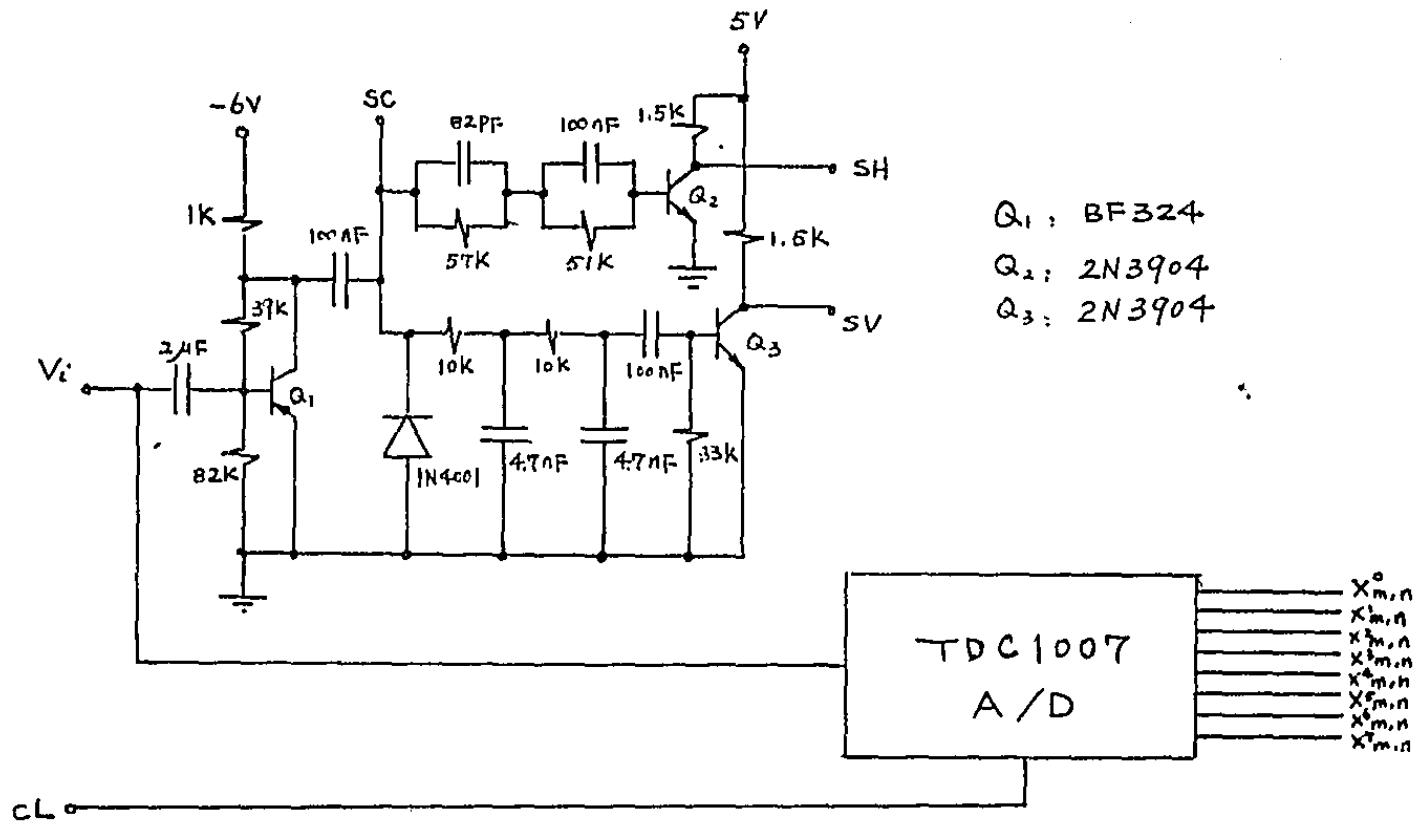


Figura 4.3.1. Diagrama del separador y la etapa de entrada

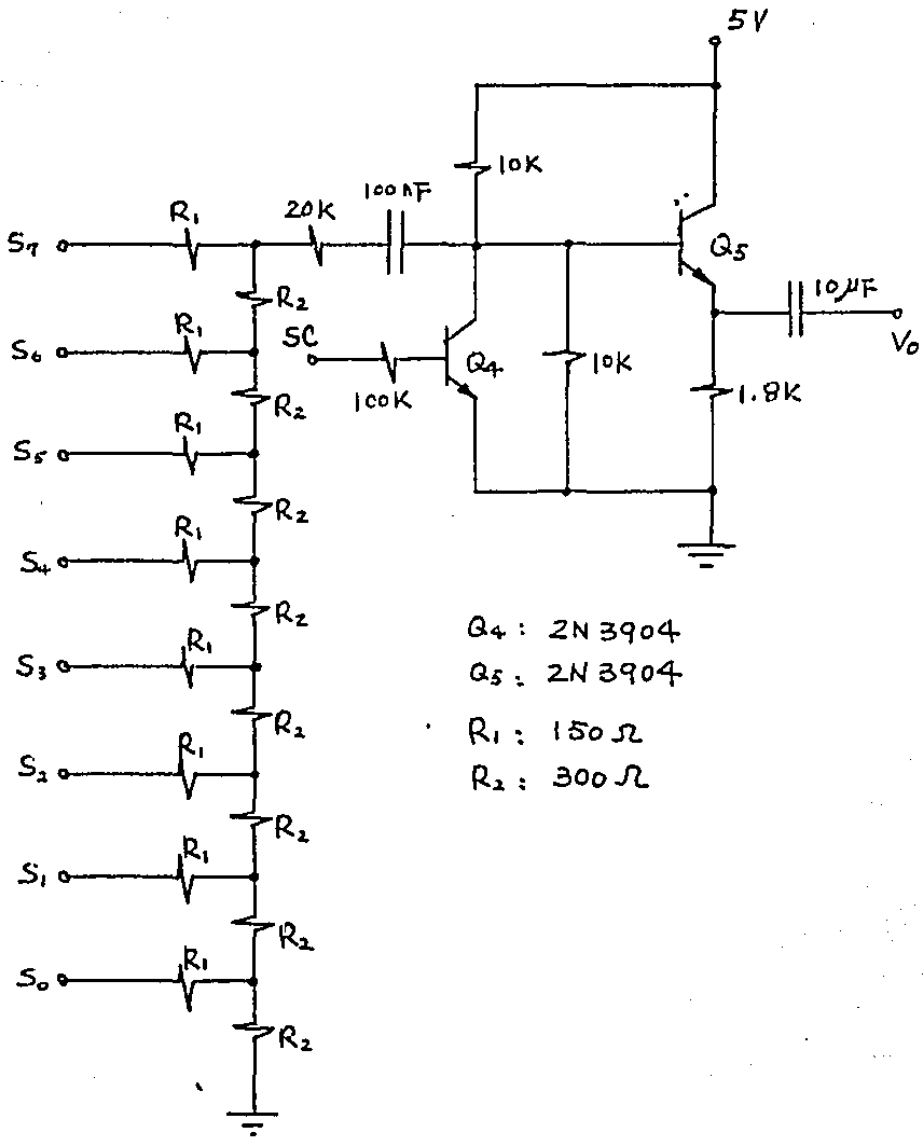


Figura 4.3.2. Diagrama de la etapa de salida

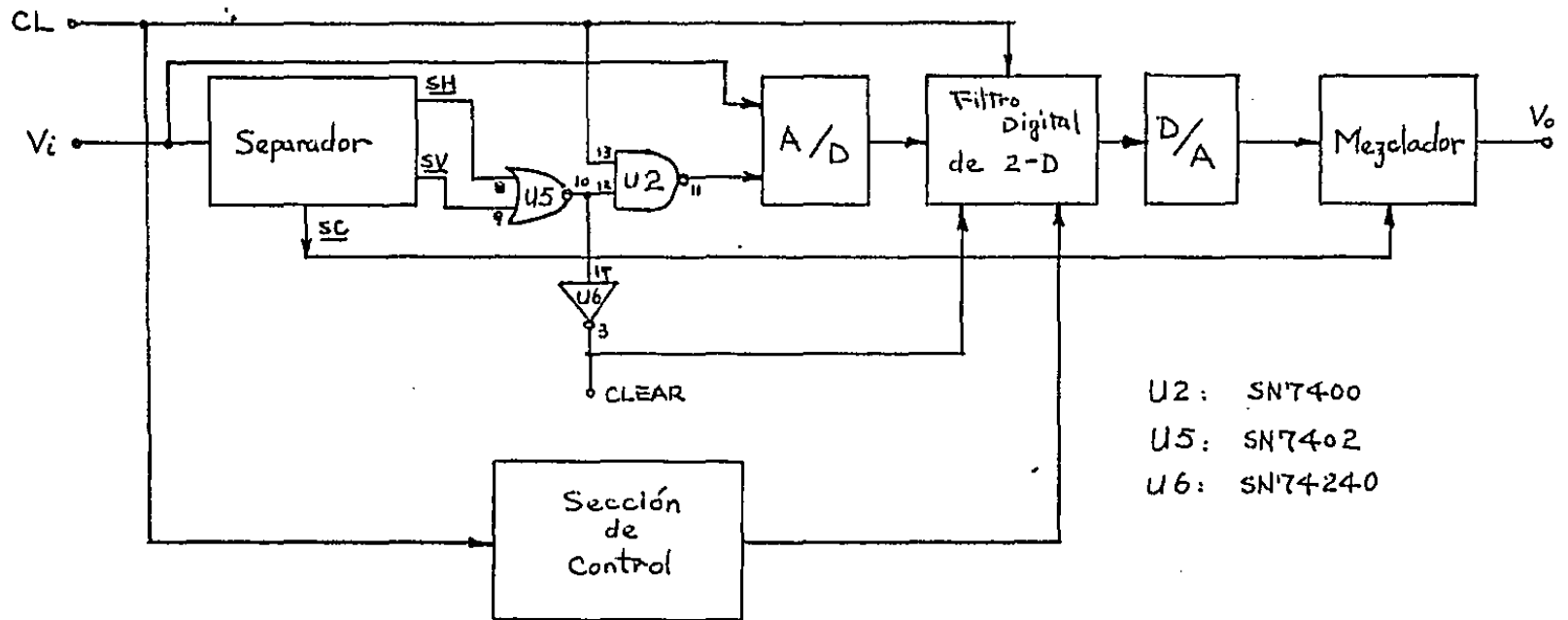


Figura 4.3.3. Diagrama del sistema completo

cat algor

APENDICE I

DISEÑO DE FILTROS DIGITALES DE 2 DIMENSIONES

DATOS DE PARTIDA :

FILTRO TIPO : PASA-BAJOS
FRECUENCIA DE CORTE : .2500000

POLOS DEL FILTRO PROPORCIONADO :

POLO NUMERO 1 : -.7071100 J .7071100
POLO NUMERO 2 : -.7071100 J -.7071100

NUMERO DE FILTROS ROTADOS Y CASCADOS : 1

	MODE= 1	IFILT= 1				
	FILTRO DE 2-D		FILTRO DE 1-D *	ROTACION % (GRADOS)		
	1		1	315.000		
	2		2	315.000		
NIT	CUTOFF		FRC	DF		FRD
- 1	.2500000		.2077806	.4221936E-01		.2500000
- 2	.2500000		.2460961	.3903877E-02		.2922194
	IERROR= 0					

COEFICIENTES COMPLEJOS DE LOS FILTROS CASCADOS ROTADOS :

$$\begin{aligned}
 X & \frac{(.5455738, .1081047) + (.5455738, .1081047) Z_1 + (.5455738, .1081047) Z_2}{(1.0000000, .0000000) + (.2284416, -.1528832) Z_1 + (.2284426, -.1528830) Z_2} \\
 X & \frac{(.5455738, -.1081047) + (.5455738, -.1081047) Z_1 + (.5455738, -.1081047) Z_2}{(1.0000000, .0000000) + (.2284416, .1528832) Z_1 + (.2284426, .1528830) Z_2}
 \end{aligned}$$

(.5455738	.1081047	.5455738	.1081047	.5455738	.1081047	.5455738	.1081047
1.0000000	.0000000	.2284416	-.1528832	.2284426	-.1528830	-.5431158	-.3057661	
.5455738	-.1081047	.5455738	-.1081047	.5455738	-.1081047	.5455738	-.1081047	
1.0000000	.0000000	.2284416	.1528832	.2284426	.1528830	-.5431158	.3057661	

TERMINOS SUMABLES EN LA FUNCION DE TRANSFERENCIA :

EN EL NUMERADOR :

$$\begin{aligned}
 & \begin{matrix} -0 & -0 \\ (& .3093374 & Z_1 & Z_2) & (& .6186749 & Z_1 & Z_2) & (& .6186749 & Z_1 & Z_2) \end{matrix} \\
 & \begin{matrix} -2 & -0 \\ (& .3093374 & Z_1 & Z_2) & (& 1.2373497 & Z_1 & Z_2) & (& .3093374 & Z_1 & Z_2) \end{matrix} \\
 & \begin{matrix} -2 & -1 \\ (& .6186749 & Z_1 & Z_2) & (& .6186749 & Z_1 & Z_2) & (& .3093374 & Z_1 & Z_2) \end{matrix}
 \end{aligned}$$

EN EL DENOMINADOR :

$$\begin{aligned}
 & \begin{matrix} -0 & -0 \\ (& 1.0000000 & Z_1 & Z_2) & (& .4568832 & Z_1 & Z_2) & (& .4568851 & Z_1 & Z_2) \end{matrix} \\
 & \begin{matrix} -2 & -0 \\ (& .0755588 & Z_1 & Z_2) & (& -.9351136 & Z_1 & Z_2) & (& .0755592 & Z_1 & Z_2) \end{matrix}
 \end{aligned}$$

Monolithic Video A/D Converter 8 bit, 20 MSPS

The TDC1007 is an eight-bit fully parallel (flash) analog-to-digital converter, capable of digitizing an input signal at rates up to 20 MSPS (megasamples per second). It will operate accurately without the use of an external sample-and-hold amplifier, with analog input signals having frequency components up to 7 MHz.

A single CONVERT (CONV) signal controls the conversion operation of the device which consists of 255 sampling comparators, encoding logic, and a latched output buffer register. The device will recover from a full-scale input step in 20 nsec. Control inputs are provided to format the output in binary, two's complement, or inverse data coding formats.

The TDC1007 is patented under U.S. Patent No. 3283170 with other patents pending.

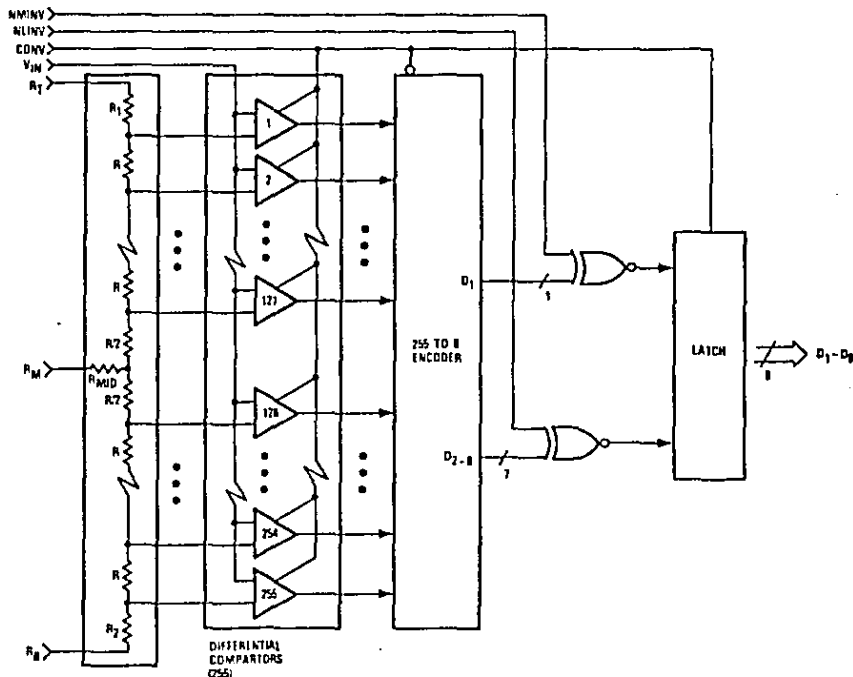
Features

- Eight-Bit Resolution
- Conversion Rates Up to 20 MSPS
- Sample-Hold Amplifier Not Required
- Bipolar Monolithic Construction
- TTL Compatible Inputs and Outputs
- Binary or Two's Complement Mode
- Differential Phase - 1.0 Degree
- Differential Gain - 1.7%
- Evaluation Boards Available: TDC1007E1C or TDC1007P1C

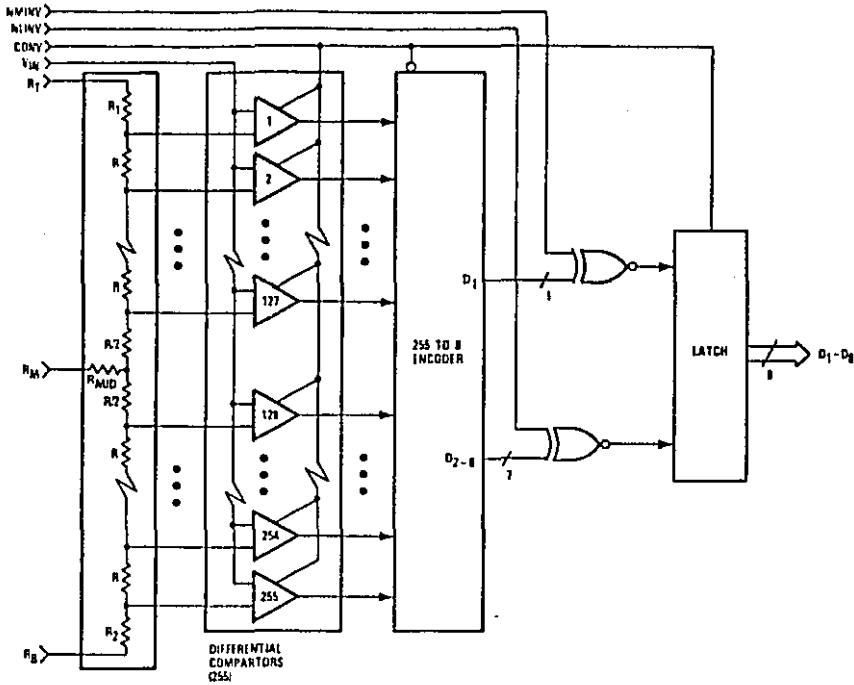
Applications

- Video Systems 3x or 4x Subcarrier, NTSC or PAL
- Radar Systems
- High-Speed Multiplexed Data Acquisition
- Digital Signal Processing

Functional Block Diagram



Functional Block Diagram



Pin Assignments

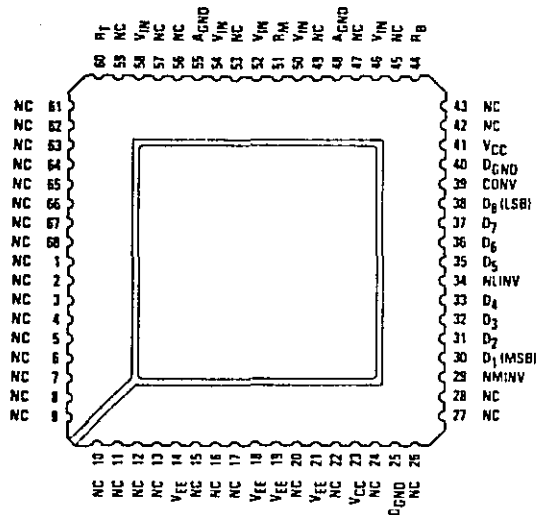
NC	1	54	NC
NC	2	55	NC
NC	3	56	NC
NC	4	57	NC
NC	5	58	NC
NC	6	59	NC
NC	7	60	NC
NC	8	61	NC
NC	9	62	NC
NC	10	63	NC
NC	11	64	NC
NC	12	65	NC
NC	13	66	NC
NC	14	67	NC
VEE	15	68	NC
VEE	16	69	NC
VEE	17	70	NC
VEE	18	71	NC
NC	19	72	NC
NC	20	73	NC
NC	21	74	NC
VCC	22	75	NC
DGND	23	76	NC
NMINV	24	77	NC
(MSB) D ₁	25	78	NC
D ₂	26	79	NC
D ₃	27	80	NC
D ₄	28	81	NC
NLINV	29	82	NC
D ₅	30	83	NC
D ₆	31	84	NC
D ₇	32	85	NC
		86	NC
		87	NC
		88	NC
		89	NC
		90	NC
		91	NC
		92	NC
		93	NC
		94	NC
		95	NC
		96	NC
		97	NC
		98	NC
		99	NC
		100	NC

64 Pin DIP - J0 Package

NC	1	54	NC
NC	2	55	NC
NC	3	56	NC
NC	4	57	NC
NC	5	58	NC
NC	6	59	NC
NC	7	60	NC
NC	8	61	NC
NC	9	62	NC
NC	10	63	NC
R ₁	11	64	NC
NC	12	65	NC
VIN	13	66	NC
AGND	14	67	NC
VIN	15	68	VEE
VIN	16	69	VEE
RM	17	70	VEE
VIN	18	71	VEE
AGND	19	72	NC
VIN	20	73	NC
NC	21	74	NC
RB	22	75	VCC
NC	23	76	DGND
NC	24	77	NMINV
NC	25	78	D ₁ (MSB)
NC	26	79	D ₂
NC	27	80	D ₃
VCC	28	81	D ₄
DGND	29	82	NLINV
CONV	30	83	D ₅
NC	31	84	D ₆
(LSB) D ₈	32	85	D ₇

64 Pin DIP - J1 Package

Pin Assignments



68 Contact/Leaded Chip Carrier - C1/L1 Package

Functional Description

General Information

The TDC1007 has three major functional sections: a comparator array, encoding logic, and output data latches. The input voltage is compared with 255 separate reference voltage points tapped from the reference resistor chain. The 255 comparator outputs form a code (sometimes referred to as a "thermometer" code, as all the comparators referred to voltages more positive than the input signal will be off, and

those referred to voltages more negative than the input signal will be on). The "thermometer" code from the comparator array is encoded into an eight-bit binary word by the encoding logic section. Each of these eight results is sent through an exclusive-OR gate where they are inverted by use of the NMINV or NLINV inputs. This allows operation in binary, two's complement, or inverted data formats.

Power

The TDC1007 operates from two supply voltages, +5.0V and -6.0V. The return for I_{CC}, the current drawn from the +5.0V supply, is D_GND. The return path for I_{EE}, the current drawn

from the -6.0V supply, is A_GND. All power and ground pins must be connected.

Name	Function	Value	C1/L1 Package	J1 Package	J0 Package
V _{CC}	Positive Supply Voltage	+5.0V	Pins 23,41	Pins 28,43	Pins 22,37
V _{EE}	Negative Supply Voltage	-6.0V	Pins 14,18,19,21	Pins 47,48,49,50	Pins 15,16,17,18
D _{GND}	Digital Ground	0.0V	Pins 25,40	Pins 29,42	Pins 23,36
A _{GND}	Analog Ground	0.0V	Pins 48,55	Pins 14,19	Pins 46,51

Reference

The TDC1007 converts analog signals in the range $V_{RB} \leq V_{IN} \leq V_{RT}$ into digital form. V_{RT} (the voltage applied to the pin at the top of the reference resistor chain), and V_{RB} (the voltage applied to the pin at the bottom of the reference resistor chain) should be between +0.1V and -2.1V, with the difference between them less than 2.1V. V_{RT} should be more positive than V_{RB} within that range. In order to insure optimum operation of the TDC1007, these points should be driven by low-impedance sources capable of providing the

necessary reference resistor chain current. The voltages on R_T and R_B may be varied dynamically up to 7 MHz. Due to variations in reference current with clock and input signals, R_T and R_B should be low-impedance-to-ground points. For circuits in which the reference is not varied, a bypass capacitor to ground is recommended. If the reference inputs are varied dynamically (as in an AGC application) a low-impedance reference source is required.

Name	Function	Value	C1/L1 Package	J1 Package	J0 Package
R_T	Reference Resistor (Top)	0.0V	Pin 60	Pin 11	Pin 54
R_M	Reference Resistor (Middle)	-1.0V	Pin 51	Pin 17	Pin 48
R_B	Reference Resistor (Bottom)	-2.0V	Pin 44	Pin 22	Pin 43

Control

Two control inputs are provided on the TDC1007 for changing the format of the output data. When $NMINV$ is tied to a logic "0", the most significant bit of the output data is inverted; when $NLINV$ is tied to a logic "0", the seven least significant bits of the output are inverted. By using these controls, the

output data format can be binary, inverted binary, two's complement, or inverted two's complement. Output data versus input voltage and control input state is illustrated in the Output Coding table on page 10.

Name	Function	Value	C1/L1 Package	J1 Package	J0 Package
$NMINV$	Not Most Significant Bit INvert	TTL	Pin 29	Pin 41	Pin 24
$NLINV$	Not Least Significant Bit INvert	TTL	Pin 34	Pin 36	Pin 29

Convert

The analog input to the TDC1007 is sampled (comparators are latched) approximately 10 nsec after the rising edge of the CONV signal. This time delay is the sampling time offset (t_{STO}) and varies only by a few nanoseconds from device to device and as a function of temperature. The short-term uncertainty (jitter) in sampling time offset is approximately 30

picoseconds. The output data is encoded from the 255 comparators on the falling edge of the CONV signal. The coded result is transferred to the output latches on the next rising edge of the CONV signal. Note that there are minimum pulse width (t_{pWH} , t_{pWL}) requirements on the waveshape of the CONV signal.

Name	Function	Value	C1/L1 Package	J1 Package	J0 Package
CONV	Convert	TTL	Pin 39	Pin 30	Pin 35

Analog Input

The input impedance of the TDC1007 varies with input signal level. As the signal varies, the comparator input transistors change from active to cut-off, causing the net input resistance and capacitance to change. To prevent this action from degrading the integrity or accuracy of the output data, it is desirable to drive the TDC1007 inputs from a low-impedance source (less than 25 Ohms). The input signal level should remain within the range of V_{EE} to $+0.5$ Volts in order to prevent damage to the device. When the input is at a level between V_{RT} and V_{RB} reference voltages, the output data value will be directly proportional to the amplitude of the

analog input signal. When the analog input is beyond the range of the reference voltage, the output data will be the appropriate full-scale value. Note that there are two components to the input bias current flowing into the V_{IN} pins. One component is constant for constant input voltage and is the sum of the bias currents of the subset of comparators that are active (I_{CP}). The other component is related to the action of the CONV signal on the comparator chain (I_{SP}). All analog input pins of the TDC1007 must be used in order to insure operation over the full input range.

Name	Function	Value	C1/L1 Package	J1 Package	JD Package
V_{IN}	Analog Input Signal	0V to -2V	Pins 46,50,52,54,58	Pins 13,15,16,18,20	Pins 45,47,49,50,52

Outputs

The outputs of the TDC1007 are TTL compatible and capable of driving four low-power Schottky unit loads (54/74 LS). The outputs hold the previous data a minimum time (t_{HD}) after the

rising edge of the CONV signal, and the new data becomes valid after a maximum time of t_D .

Name	Function	Value	C1/L1 Package	J1 Package	JD Package
D_1	MSB Output	TTL	Pin 30	Pin 40	Pin 25
D_2		TTL	Pin 31	Pin 39	Pin 26
D_3		TTL	Pin 32	Pin 38	Pin 27
D_4		TTL	Pin 33	Pin 37	Pin 28
D_5		TTL	Pin 35	Pin 35	Pin 30
D_6		TTL	Pin 36	Pin 34	Pin 31
D_7		TTL	Pin 37	Pin 33	Pin 32
D_8	LSB Output	TTL	Pin 38	Pin 32	Pin 33

No Connects

There are several pins labeled No Connect (NC), which have no connections to the chip. These pins may be left open.

Name	Function	Value	C1/L1 Package	J1 Package	JD Package
NC	No Connect	Open	Pins 1-13,15-17,20,22, 24,26-28,42,43,45,47,49, 53,56,57,59,61,62-68	Pins 1-10,12,24-27, 31,44-46,51-64	Pins 1-14,18-21,34, 38-41,53,55-64

Figure 1. Timing Diagram

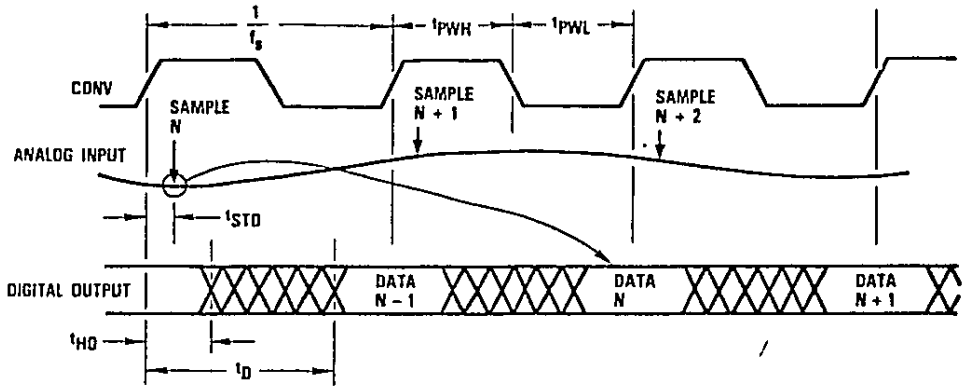


Figure 2. Simplified Analog Input Equivalent Circuit

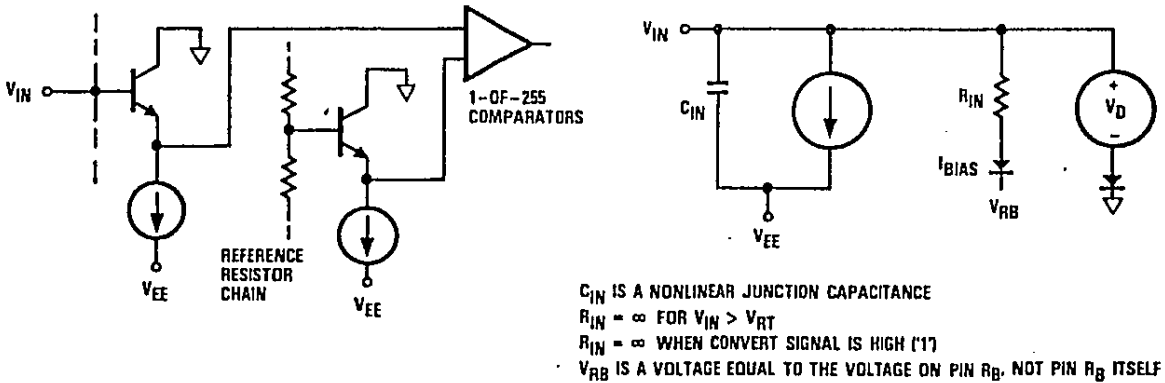


Figure 3. Digital Input Equivalent Circuit

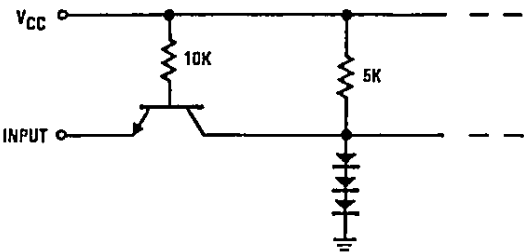
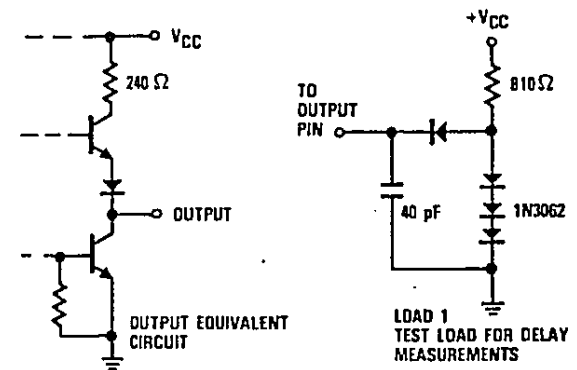


Figure 4. Output Circuits



Absolute maximum ratings (beyond which the device will be damaged) ¹

Supply Voltages

V _{CC} (measured to D _{GND})	-0.5 to +7.0 V
V _{EE} (measured to A _{GND})	-0.5 to -7.0 V
A _{GND} (measured to D _{GND})	-1.0 to +1.0 V

Input Voltages

CONV, NMINV, NLINEV (measured to D _{GND})	-0.5 to +5.5 V
V _{IN} , V _{RT} , V _{RB} (measured to A _{GND})	+0.5 to V _{EE} V
V _{RT} (measured to V _{RB})	+2.2 to -2.2 V

Output

Applied voltage (measured to D _{GND})	-0.5 to +5.5 V ²
Applied current, externally forced	-1.0 to +6.0 mA ^{3,4}
Short circuit duration (single output in high state to ground)	1 sec

Temperature

Operating, ambient	-60 to +140 °C
junction	+175 °C
Lead, soldering (10 seconds)	+300 °C
Storage	-65 to +150 °C

Notes:

1. Absolute maximum ratings are limiting values applied individually while all other parameters are within specified operating conditions. Functional operation under any of these conditions is NOT implied.
2. Applied voltage must be current limited to specified range.
3. Forcing voltage must be limited to specified range.
4. Current is specified as positive when flowing into the device.

Operating conditions

Parameter	Temperature Range						Units
	Standard			Extended			
	Min	Nom	Max	Min	Nom	Max	
V _{CC} Positive Supply Voltage (Measured to D _{GND})	4.75	5.0	5.25	4.5	5.0	5.5	V
V _{EE} Negative Supply Voltage (Measured to A _{GND})	-5.75	-6.0	-6.25	-5.75	-6.0	-6.25	V
V _{AGND} Analog Ground Voltage (Measured to D _{GND})	-0.1	0.0	0.1	-0.1	0.0	0.1	V
t _{PWL} CONV Pulse Width, Low	25			25			ns
t _{PWH} CONV Pulse Width, High	15			15			ns
V _{IL} Input Voltage, Logic Low			0.8			0.8	V
V _{IH} Input Voltage, Logic High	2.0			2.0			V
I _{OL} Output Current, Logic Low			4.0			4.0	mA
I _{OH} Output Current, Logic High			-400			-400	μA
V _{RT} Most Positive Reference Input ¹	-1.1	0.0	0.1	-1.1	0.0	0.1	V
V _{RB} Most Negative Reference Input ¹	-0.9	-2.0	-2.1	-0.9	-2.0	-2.1	V
V _{RT} -V _{RB} Voltage Reference Differential	1.0	2.0	2.2	1.0	2.0	2.2	V
V _{IN} Input Voltage	V _{RT}		V _{RB}	V _{RT}		V _{RB}	V
T _A Ambient Temperature, Still Air	0		70				°C
T _C Case Temperature				-55		125	°C

Note:

1. V_{RT} must be more positive than V_{RB}, and voltage reference differential must be within specified range.

Electrical characteristics within specified operating conditions

Parameter	Test Conditions	Temperature Range				Units
		Standard		Extended		
		Min	Max	Min	Max	
I_{CC} Positive Supply Current	$V_{CC} - \text{MAX, Static}^1$		30		35	mA
I_{EE} Negative Supply Current	$V_{EE} - \text{MAX, Static}^1$					
	$T_A - 0^\circ\text{C to } 70^\circ\text{C}$		-400			mA
	$T_A - 70^\circ\text{C}$		-350			mA
	$T_C - -55^\circ\text{C to } 125^\circ\text{C}$				-470	mA
	$T_C - 125^\circ\text{C}$				-320	mA
I_{REF} Reference Current	$V_{RT}, V_{RB} - \text{NDM}$		35		40	mA
R_{REF} Total Reference Resistance		57		50		Ohms
R_{IN} Input Equivalent Resistance	$V_{RT}, V_{RB} - \text{NDM}, V_{IN} = V_{RB}$	5		5		kOhms
C_{IN} Input Capacitance			250		250	pF
I_{CB} Input Constant Bias Current	$V_{EE} - \text{MAX}$		400		500	μA
I_{SB} Input Clock Synchronous Bias			200		200	μA
I_{IL} Input Current, Logic Low	$V_{CC} - \text{MAX}, V_I = 0.5\text{V}$		-2.0		-2.0	mA
I_{IH} Input Current, Logic High	$V_{CC} - \text{MAX}, V_I = 2.4\text{V}$		75		75	μA
I_I Input Current, Max Input Voltage	$V_{CC} - \text{MAX}, V_I = 5.5\text{V}$		1.0		1.0	mA
V_{OL} Output Voltage, Logic Low	$V_{CC} - \text{MIN}, I_{OL} - \text{MAX}$		0.5		0.5	V
V_{OH} Output Voltage, Logic High		2.4		2.4		V
I_{OS} Short Circuit Output Current	$V_{CC} - \text{MAX}, \text{Output High, one pin to ground, one second duration.}$		25		25	mA
C_I Digital Input Capacitance	$T_A - 25^\circ\text{C}, F = 1\text{MHz}$		15		15	pF

Note:

1. Worst case, all digital inputs and outputs low.

Switching characteristics within specified operating conditions

Parameter	Test Conditions	Temperature Range				Units
		Standard		Extended		
		Min	Max	Min	Max	
F_S Maximum Conversion Rate	$V_{CC} - \text{MIN}, V_{EE} - \text{MIN}$	20		20		MSPS
t_{STO} Sampling Time Offset	$V_{CC} - \text{MIN}, V_{EE} - \text{MIN}$	5	15	5	15	ns
t_D Output Delay Time	$V_{CC} - \text{MIN}, V_{EE} - \text{MIN}, \text{Load 1}$		40		45	ns
t_{HO} Output Hold Time	$V_{CC} - \text{MAX}, V_{EE} - \text{MAX}, \text{Load 1}$	10		10		ns

System performance characteristics within specified operating conditions

Parameter	Test Conditions	Temperature Range				Units		
		Standard		Extended				
		Min	Max	Min	Max			
Linearity Error								
E_{LI}	Independent	$V_{RT}, V_{RB} - NOM$			± 0.3	%		
E_{LD}	Differential				0.3	%		
O	Code Size	$V_{RT}, V_{RB} - NOM$		50	150	50	150	% Nominal
Offset Error								
E_{OT}	Top	$V_{IN} - V_{RT}$			28		30	mV
E_{OB}	Bottom	$V_{IN} - V_{RB}$			-22		-24	mV
T_{CO}	Temperature Coefficient				± 50		± 50	$\mu V/^\circ C$
BW	Bandwidth, Full Power Input			7		5		MHz
t_{TR}	Transient Response, Full Scale				20		20	ns
SNR	Signal-to-Noise Ratio	10 MHz Bandwidth 20 MSPS Conversion Rate						
	Peak Signal/RMS Noise	1.248 MHz Input		53		52		dB
		2.438 MHz Input		50		49		dB
	RMS Signal/RMS Noise	1.248 MHz Input		44		43		dB
		2.438 MHz Input		41		40		dB
NPR	Noise Power Ratio	dc to 8 MHz White Noise Bandwidth 4 Sigma Loading 1.248 MHz Slot 20 MSPS Conversion Rate		36.5		36.5		dB
E_{AP}	Aperture Error				30		30	ps
DP	Differential Phase	NTSC @ 4x Color Subcarrier			1.0		1.0	Degree
DG	Differential Gain	NTSC @ 4x Color Subcarrier			1.7		1.7	%

Output Coding (Input range from 0.000 to -2.000V)

Input Voltage (-7.84 mV/Step)	Binary		Offset Two's Complement	
	True	Inverted	True	Inverted
	NMINV = 1 NINV = 1	0 0	0 1	1 0
0.000	0000000	1111111	1000000	0111111
•	•	•	•	•
•	•	•	•	•
-0.0078	0000001	1111110	1000001	0111110
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
-0.9960	0111111	1000000	1111111	0000000
-1.0039	1000000	0111111	0000000	1111111
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
-1.9921	1111110	0000001	0111110	1000001
•	•	•	•	•
•	•	•	•	•
-2.000	1111111	0000000	0111111	1000000

Calibration

To calibrate the TDC1007, the top of the reference resistor chain, R_T , is connected to analog ground. The reference voltage is then set up by adjusting the bottom of the resistor chain to -2.0 volts. When this technique is used, offset errors are generated by the inherent parasitic resistance between the package pin and the actual resistor chain on the A/D. These parasitic resistors are shown as R_1 and R_2 in the Functional Block Diagram. The offset voltage error is the result of the resistor chain current flowing through the parasitic resistance. These errors can be compensated for by applying an equal offset to the analog input signal or by adjusting the voltages on R_T and R_B .

The effect of the offset error at the bottom of the resistor chain manifests itself in the form of a slight gain error which can be compensated for by varying the voltage applied to R_B . This voltage will necessarily be more negative than the desired reference level of -2.0 Volts. The actual operating range of the A/D converter will be:

$$V_{AGND} - (I_{REF} \times R1) \text{ to } (V_{RB}) + (I_{REF} \times R2).$$

However, if both ends of the resistor chain are driven by transistor-buffered operational amplifiers, the voltages on R_T and R_B could then be adjusted to remove the effect of the parasitic resistances and therefore eliminate the need to apply a compensating offset voltage to the analog input signal. Here the operating range of the A/D will be:

$$(V_{RT} - (I_{REF} \times R1)) \text{ to } (V_{RB} + (I_{REF} \times R2)).$$

Since both V_{RT} and V_{RB} are adjustable, the offset voltage error effect can be cancelled and the A/D operated with gain and offset errors removed.

The TDC1007 provides access to the mid-point of the reference resistor chain, R_M . This point can be sensed by external circuitry for temperature compensation or gain tracking functions in the system. It can also be driven in the manner shown in Figure 6 for fine linearity correction.

Typical Application

Figure 5 shows a typical interface circuit for a TDC1007, an input buffer amplifier, and the reference voltage source. The reference voltage is supplied by an inverting amplifier that has been buffered with a PNP transistor. The transistor sinks the current flowing through the reference resistor chain and keeps the driving impedance at the bottom end of the resistor chain low. The gain of the overall circuit is adjusted by varying the input voltage to the operational amplifier.

The input amplifier is a bipolar wideband operational amplifier followed by an NPN transistor buffer. The transistor drives the input capacitance of the A/D converter and keeps the overall circuit frequency stable. The offset error is compensated by varying the current into the summing junction of the op-amp. Note that all five V_{IN} points are connected together and the buffer amplifier feedback loop is closed at that point. The buffer amplifier has a gain of two, raising the 1 Volt p-p video input signal to 2 Volts p-p at the input to the A/D converter. The A/D converter operates with a 2 Volt full-scale.

Figure 5. Typical Interface Circuit

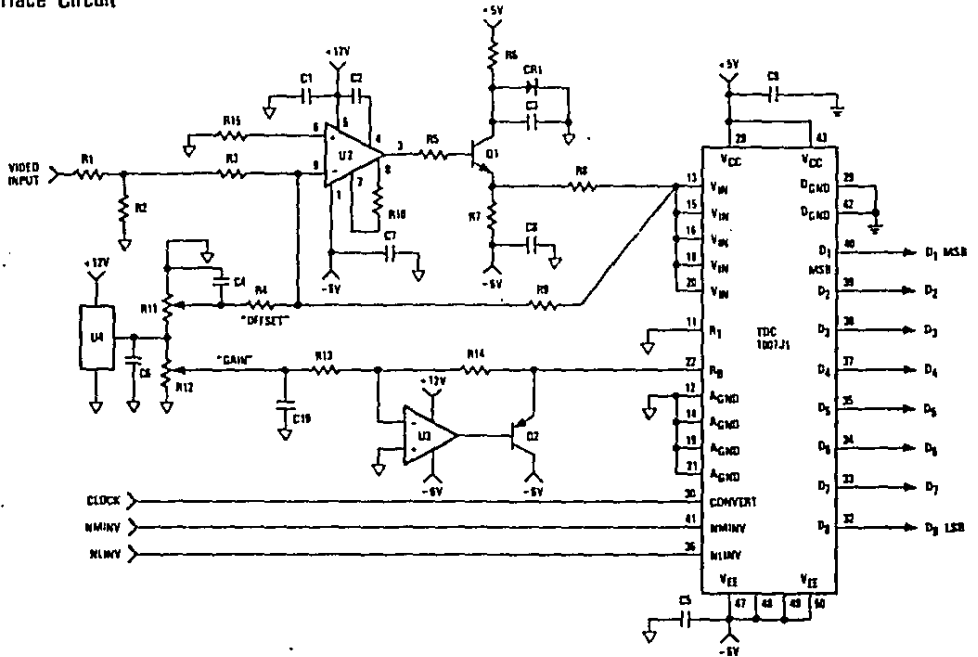
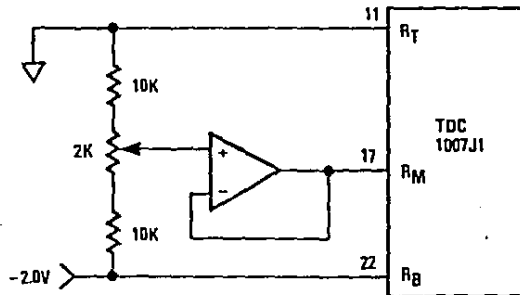


Figure 6. Method For Driving Mid-Point Of Resistor Chain



Parts List

Resistors

R1	†	1/4W	
R2	†	1/4W	
R3	1K	1/4W	5%
R4	4.3K	1/4W	5%
R5	10	1/4W	5%
R6	56	1/2W	5%
R7	240	2W	5%
R8	6.8	1/2W	5%
R9	2K	1/2W	5%
R10	*	1/4W	5%
R11	2K	1/4W	10 - turn
R12	2K	1/4W	10 - turn
R13	1.3K	1/4W	5%
R14	2.2K	1/4W	5%
R15	680	1/4W	5%

Capacitors

C1	0.1	50V
C2	*	50V
C3	0.1	50V
C4	0.1	50V
C5	0.1	50V
C6	1.0	15V
C7	0.1	50V
C8	0.1	50V
C9	0.1	50V
C10	0.1	50V

Integrated Circuits

U1	TDC1007J1
U2	Plessey SLS41C
U3	μA741
U4	MC14030

Diodes

CR1	1N4001
-----	--------

Transistors

D1	2N5836
D2	2N2907

† Indicates input terminator/divider

* Indicates amplifier compensation

Ordering Information

Product Number	Temperature Range	Screening	Package	Package Marking
TDC1007D1C	STD-T _A = 0°C to 70°C	Commercial	Unpackaged die	1007D1C
TDC1007C1F	EXT-T _C = -55°C to 125°C	Commercial	68 Contact Hermetic Chip Carrier	1007C1F
TDC1007C1A	EXT-T _C = -55°C to 125°C	MIL-STD-883	68 Contact Hermetic Chip Carrier	1007C1A
TDC1007J1C	STD-T _A = 0°C to 70°C	Commercial	64 Pin Hermetic Ceramic DIP	1007J1C
TDC1007J1G	STD-T _A = 0°C to 70°C	Commercial With Burn-In	64 Pin Hermetic Ceramic DIP	1007J1G
TDC1007J1F	EXT-T _C = -55°C to 125°C	Commercial	64 Pin Hermetic Ceramic DIP	1007J1F
TDC1007J1A	EXT-T _C = -55°C to 125°C	MIL-STD-883	64 Pin Hermetic Ceramic DIP	1007J1A
TDC1007J0C	STD-T _A = 0°C to 70°C	Commercial	64 Pin Hermetic Ceramic DIP	1007J0C
TDC1007J0G	STD-T _A = 0°C to 70°C	Commercial With Burn-In	64 Pin Hermetic Ceramic DIP	1007J0G
TDC1007J0F	EXT-T _C = -55°C to 125°C	Commercial	64 Pin Hermetic Ceramic DIP	1007J0F
TDC1007J0A	EXT-T _C = -55°C to 125°C	MIL-STD-883	64 Pin Hermetic Ceramic DIP	1007J0A
TDC1007L1F	EXT-T _C = -55°C to 125°C	Commercial	68 Lead Hermetic Ceramic LCC	1007L1F
TDC1007L1A	EXT-T _C = -55°C to 125°C	MIL-STD-883	68 Lead Hermetic Ceramic LCC	1007L1A

TRW reserves the right to change products and specifications without notice. This information does not convey any license under patent rights of TRW Inc. or others.

BIBLIOGRAFIA

1. A. Peled and B. Liu, "A New Hardware Realization of Digital Filters", IEEE Trans, on ASSP. vol. 22. No. 6, pp456-462, Dec. 1974.
2. Alan V. Oppenheim and Ronald W. Schaffer "Digital Signal Processing" Prentice-Hall INC. 1975.
3. H. Jaggernauth and A. N. Venetsanopoulos, "Distributed Arithmetic Implementation of Two-Dimensional Filters", Proc IEEE Canadian Communication and Energy Conf., Oct. 1982.
4. Lawrence R. Rabiner and Bernard Gold, "Theory and Application of Digital Signal Processing". Prentice-Hall, INC, 1975.
5. Texas Instruments, Inc., "The TTL Data Book for Design Engineers". 2nd Ed., Dallas Texas. 1981.
6. V. Cappellini, A. G. Constantinides and P. Emiliani, "Digital Filters and Their Applications", Academic Press, 1978.