

01175
1 lej

DISEÑO Y FABRICACION DE UNA ESTACION CONCENTRADORA

LAURO SANTIAGO CRUZ

TESIS

Presentada a la División de Estudios de
Posgrado de la
FACULTAD DE INGENIERIA
de la
UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO
como requisito para obtener
el grado de

MAESTRO EN INGENIERIA
ELECTRONICA

CIUDAD UNIVERSITARIA A 18 DE JULIO DE 1986.

TESIS CON
FALLA DE ORIGEN



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

	Pág
1. INTRODUCCION.....	1
2. DESCRIPCION GENERAL.....	4
2.1 Puntos remotos.....	4
2.2 Estación concentradora.....	6
2.3 Puesto central de registro.....	9
3. ESTACION CONCENTRADORA.....	10
3.1.a. Módulo base.....	14
3.2.b. Módulos de acoplamiento.....	35
3.3.c. Módulo de entrada-salida.....	42
4. PROGRAMACION DEL CONCENTRADOR.....	45
5. COMUNICACIONES CON EL PCR.....	60
6. RESULTADOS Y CONCLUSIONES.....	64
7. BIBLIOGRAFIA.....	67

APENDICES

- A. Fuente Ininterrumpible
- B. Lista de componentes
- C. Hojas de datos característicos.
- D. Listado del programa

1. INTRODUCCION

Con el propósito de lograr en un futuro la automatización de la operación de la red de drenaje de la Ciudad de México, el D.D.F. solicitó al Instituto de Ingeniería el desarrollo de una red de adquisición y procesamiento de información en tiempo real, que permita conocer las condiciones reales de operación de la misma. Para contar con información adecuada y suficiente para realizar esta automatización es necesario instrumentar y captar información de parámetros de la red como son: aportaciones y salidas del sistema, niveles en los cárcamos de bombeo y tanques reguladores, y las condiciones de operación de las bombas.

La red de drenaje esta dividida en subsistemas. Cada subsistema, que cubre una zona determinada, estará instrumentado para realizar la medición de diferentes variables que serán transmitidas desde las plantas de bombeo hasta un puesto central de registro (PCR). Los puntos en los que se efectuarán las mediciones se llamarán puntos remotos (PR's).

Con el fin de evitar transmitir en forma directa hasta el PCR, cada una de las variables medidas, se requiere de un dispositivo que permita concentrar y preprocesar la información corres-

pondiente a cada estación de bombeo, para posteriormente transmitirla a través de un solo canal de comunicación al PCR.

Por lo tanto, cada subsistema tendrá un puesto central de registro (PCR) que estará comunicado con todas las estaciones concentradoras (EC) del propio subsistema. Cada conjunto de puntos remotos (PR) estará comunicado con un concentrador de información.

Desde hace ya algunos años, en el Instituto de Ingeniería, las medidas de variables analógicas o digitales se realizan frecuentemente a través de instrumentos que incluyen circuitería electrónica más o menos compleja. Por otro lado, recientemente, se han estado incorporando microcomputadoras en la medición de las variables lo que está modificando y facilitando a su vez el tratamiento de las mismas.

El microprocesador se ha convertido en la piedra angular de la instrumentación en general, y de los automatismos industriales. La superioridad del tratamiento digital de las señales es algo indiscutible cuando el costo se hace admisible. El mundo de los sensores y actuadores suele ser analógico, y por ello, la interfaz entre ambos tipos de señales debe contener principalmente un convertidor analógico-digital o viceversa. Dada la profusión de las llamadas computadoras personales y su capacidad para el tratamiento digital, nos ha parecido conveniente desarrollar el prototipo de concentrador digital de datos con base en un microprocesador que sirve adicionalmente como interfaz para la adquisición de datos.

Existen dentro de la ingeniería en general y de la instrumentación en particular, multitud de fenómenos rápidos, transitorios o únicos que es necesario registrar. En el caso de la red de drenaje de la ciudad de México es muy útil adquirir los datos de interés a la velocidad adecuada al fenómeno mediante el empleo de "concentradores-minicomputadora" y a continuación procesar y desplegar los datos en la forma que se requiera.

Si la adquisición a realizar requiere almacenar gran cantidad de datos, no es conveniente muchas veces realizar un muestreo a una frecuencia muy superior a la Nyquist puesto que ello exigiría una memoria bastante extensa, la cual puede no estar disponible en el concentrador. Entonces resulta muy útil el poder preprocesar los datos, antes de enviarlos a la microcomputadora.

Este trabajo está organizado de la manera siguiente:

Después de esta introducción en el capítulo dos se da una descripción general del sistema de adquisición de datos. Se señalan los elementos que forman la red y se describen las funciones que realizarán cada uno de ellos.

En el capítulo tres se da una descripción detallada de la estación concentradora; en el capítulo cuatro se explica la programación del mismo.

Finalmente se describe la comunicación con el PCR, capítulo cinco, y se dan los resultados y conclusiones en el capítulo seis.

2. DESCRIPCION GENERAL DEL SISTEMA DE ADQUISICION DE DATOS

El presente capítulo tiene por objetivo la descripción de las partes que componen la red de adquisición y procesamiento de datos del sistema de drenaje del D.D.F. La descripción se basará en un diagrama de bloques, fig 2.1. La red está formada por los siguientes elementos.

Los puntos remotos (PR)

Las estaciones concentradoras (EC)

El puesto central de registro (minicomputadora) (PCR)

2.1 PUNTOS REMOTOS

Los puntos remotos están constituidos por las bombas y los cámaras. Las señales proporcionadas por estos dos elementos son acondicionadas de tal forma que puedan ser manejadas por la EC.

Las señales medidas en las bombas sirven para determinar el estado (encendido-apagado) y tiempo de operación de las mismas.

El estado de una bomba se determina a partir de una señal de voltaje. La existencia del voltaje nos indica que la bomba está en

cendida, la ausencia del mismo que la bomba esta apagada.

La medición del estado de operación (encendido-apagado) de la bomba se realiza mediante el uso de la tarjeta de acoplamiento mostrada en la fig. 2.2.

Las señales medidas en los cárcamos, mediante el uso de un medidor de nivel, nos indica el nivel de agua negra en los mismos. La medición de los niveles se realiza mediante el uso de la tarjeta de acoplamiento mostrada en la fig.2.3.

2.2 ESTACION CONCENTRADORA

Constituye la interfaz entre los puntos remotos y la minicomputadora. Las funciones que realiza cada estación concentradora son:

1. Detección y preprocesamiento de la información proveniente de los dispositivos transductores, acoplados a los puntos remotos.

Las variables a medir son analógicas y se convierten en digitales mediante el uso de los conversores adecuados.

2. Transmisión periódica al PCR de la información colectada ya sea bajo solicitud de éste, o bien, una vez que transcurre cierto período de muestreo.

Se piensa utilizar radioenlaces para la comunicación de la estación concentradora (EC) - puesto central de registro (PCR). En el enlace de la EC-PCR la información se acondicionará para su transmisión y recepción mediante el uso de MODEMS.

La capacidad total de cada estación concentradora es de 22 señales, 14 para medir los estados de operación (encendido

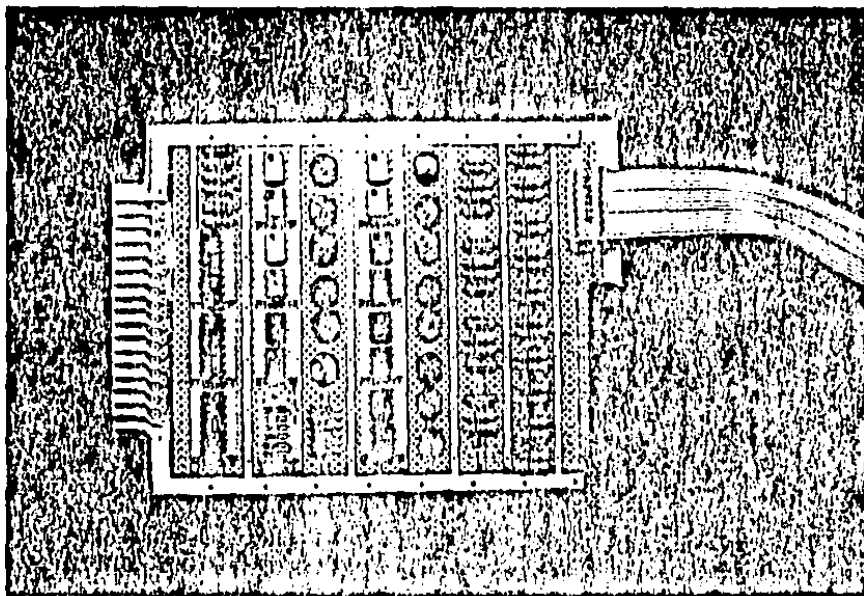
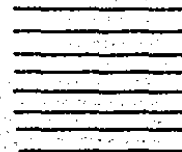


FIG. 2.2

ACONDICIONADOR
PARA DEFINIR LOS
ESTADOS DE LAS
BOMBAS E IDENTI-
FICADOR DE ESTACI-
ON

LSC



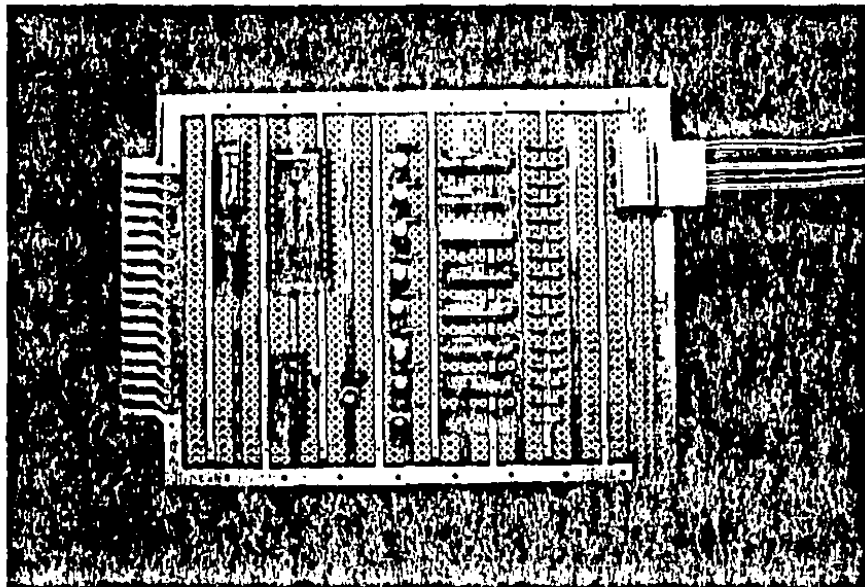


FIG.2.3

ACONDICIONADOR
PARA LOS MEDIDORES DE NIVEL
Y RELOJ DE TIEMPO REAL

LSC

apagado) de las bombas y 8 para medir los niveles de agua negra en los cárcamos.

3. Preprocesar la información enviada al PCR para que éste tenga más tiempo para realizar otras tareas.
4. Reducir la longitud total de las líneas de comunicación.

El uso de una clave de identificación para cada estación permite que un solo canal de comunicación sea compartido por varios concentradores.

2.3 PUESTO CENTRAL DE REGISTRO

El objetivo del puesto central de registro es adquirir los datos provenientes de los concentradores, almacenarlos y posteriormente procesarlos para mostrarlos en pantalla o bien imprimirlos en una forma adecuada para su interpretación.

Mediante la adquisición de los datos en tiempo real se podrán tomar decisiones para la realización de un control de tipo supervisorio. Se podrán formar adicionalmente bancos de datos para la realización de estadísticas.

3. ESTACION CONCENTRADORA

El presente capítulo tiene por objeto la descripción y el análisis de las partes que componen la estación concentradora. Se efectúa una descripción del funcionamiento a nivel general y posteriormente, mediante un diagrama de bloques, se detalla cada uno de los circuitos que la integran.

Mediante la estación concentradora se pueden tomar muestras de N señales ($1 < N < 22$); 14 de estas señales se utilizan para medir los estados de operación, encendido-apagado, de las bombas y 8 para medir los niveles de agua negra en los cárcamos de las plantas de bombeo.

Cuando se pone en funcionamiento la EC se realiza la inicialización de puertos, registros y localidades de memoria. Esto incluye la inicialización con ceros de: las localidades correspondientes a la información de los niveles promedio en los cárcamos, los estados de las bombas y los tiempos de operación de las mismas.

Una vez efectuada esta inicialización se da principio al proceso de adquisición, comenzando con la lectura de los niveles y de los estados de las bombas. Se efectuarán lecturas adicionales en función de la forma de adquisición (automática o manual) y del período de adquisición. A la primera lectura se le define como estado anterior y a la última como estado actual.

La adquisición de los datos se puede realizar en forma automática o bien bajo solicitud. La forma de adquisición se especifica mediante la presión de la tecla que defina la función a efectuar.

Cuando la adquisición es automática se realiza con un período T ($1 \text{ mín} \leq T \leq 256 \text{ mín}$) especificado mediante interruptores especiales. Cuando es bajo solicitud, ésta se realiza mediante la presión de una de las teclas de la terminal (programación local) o bien desde la microcomputadora (programación remota) del PCR.

Independientemente de la forma de adquisición, existe un período de muestreo interno que permite la actualización de los datos adquiridos, dicho período es igual a un minuto.

Una vez efectuados los pasos anteriores se da principio al proceso de adquisición, este proceso comienza con las primeras lecturas de los niveles y de los estados de las bombas. Posteriormente, y en función del período de muestreo interno, se efectúan otras lecturas con lo que se definen dos grupos de datos, al primer grupo se le define como estado anterior y al último como estado actual. A continuación se realiza el proceso de actualización de la información adquirida.

El estado de operación de las bombas se detecta mediante la comparación de los estados actual y anterior. Si se detecta algún cambio como: encendido→apagado ó apagado→encendido se le suma 1 minuto al dato de la localidad correspondiente al tiempo de operación.

Si no se detecta algún cambio se efectúa cualesquiera de las operaciones siguientes:

bomba encendida : se le suma 1 minuto al dato de la localidad correspondiente al tiempo de operación

bomba apagada : no se altera el dato de la localidad correspondiente al tiempo de operación

En cuanto a los niveles en los cárcamos: se promedian los niveles actuales con los anteriores y se almacenan los promedios en las localidades correspondientes.

Cuando la adquisición es automática se tienen las opciones de efectuar la adquisición de los datos en un intervalo de 15 minutos en época de estiaje, o de 3 minutos en épocas de lluvia.

Una vez efectuado el proceso de adquisición y actualización, se realiza el acondicionamiento de la información concentrada y se prepara para ser transmitida. El formato de la información transmitir es el siguiente:

BLOQUE ("BYTE")

FUNCION

Inicio de bloques : sirve para delimitar el bloque de información e indica el principio del mismo

- Identificador : como su nombre lo indica sirve para identificar a una estación concentradora en particular
- Parámetros de operación : indica el número de bombas y cárcamos manejados por la estación concentradora
- Fecha : la EC tiene un reloj de tiempo real que se utiliza para fechar el momento en el cual se adquieren los datos.
- Datos almacenados : corresponden a los datos adquiridos, esta formado por el promedio de los niveles medidos, los estados actuales de operación de las bombas y los tiempos de operación para cada una de ellas.
- Fin del bloque : sirve para delimitar el bloque de información e indica el fin del mismo
- Código para validar la información a transmitir : se suman los datos indicados en los bloques anteriores y se almacena en esta localidad el complemento del resultado de la misma. Esto con la idea de que cuando en el PCR se sumen estos mismos datos, hasta antes del código de validación y el dato almacenado en esta localidad (complemento de la suma), su resultado sea cero y con ello verificar la información enviada.
- Número total de datos : dato final de bloque de información a transmitir, sirve como un segundo parámetro para validar el número total de datos enviados mediante la comparación con el número de datos recibidos.

En el caso en el cual alguno de los dos últimos datos enviados, fin de bloque y código para validar la información, no cumplan con su cometido, se vuelve a solicitar la transmisión de la información.

Para continuar con el proceso de acondicionamiento de los datos, éstos son convertidos a códigos ASCII con lo cual están listos a ser transmitidos.

El proceso de transmisión se efectúa tantas veces como sea necesario conservando los últimos datos adquiridos y reemplazando únicamente los datos más antiguos.

La información total enviada, considerando 14 bombas y 8 cárcamos, es de 78 "bytes" de datos.

3.1 DESCRIPCION GENERAL

La estación concentradora está formada por los siguientes bloques principales (fig. 3.1):

- a) Módulo base
- b) Módulos de acoplamiento para las señales analógicas
- c) Módulos de entrada-salida (puertos A, B y C).
- d) Fuente de alimentación con batería de respaldo.

3.1.a Módulo base (fig 3.2)

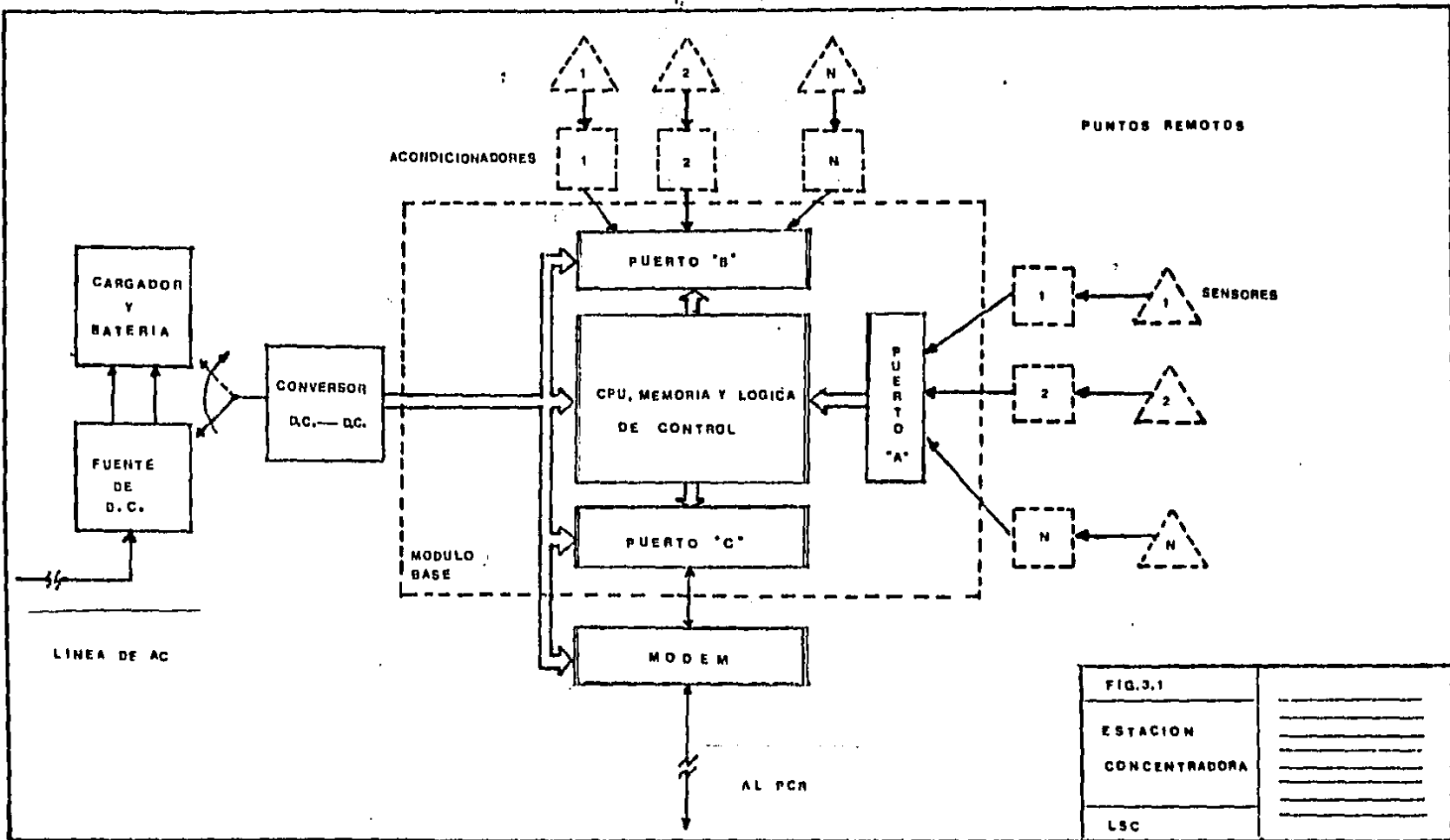


FIG.3.1	
ESTACION	
CONCENTRADORA	
LSC	

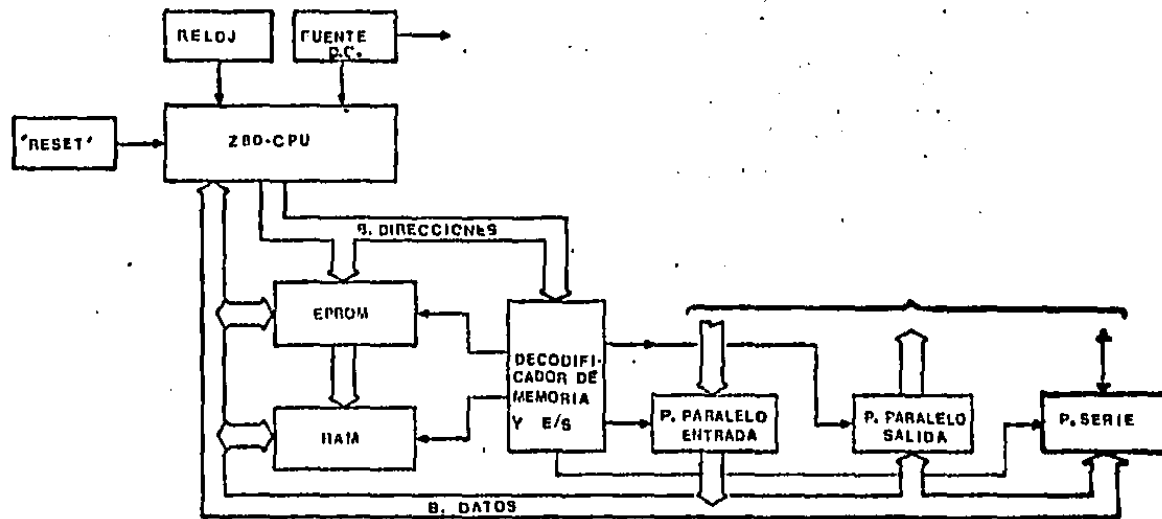


FIG. 3.2	_____
MODULO	_____
BASE	_____
LSC	_____

El diseño del módulo base condujo a la realización de una microcomputadora programable, armada en una sola tarjeta, y con posibilidades de orientarla a diversas aplicaciones que incluyen sistemas de adquisición de datos, instrumentación, comunicaciones, robótica y control de procesos, etc., fig. 3.3.

La microcomputadora está basada en el microprocesador Z80, incluye, "reset" automático, circuitos de vigilancia ("Watch dog"), un puerto serie RS232, un puerto paralelo con un total de 24 líneas de entradas o salidas programables. La capacidad de memoria es de 8 K bytes en EPROM y 4 K bytes en RAM.

El sistema permite la expansión por medio de su interconexión con otros módulos a través de un "bus" común, fig. 3.4.

El soporte de programación incluye un programa supervisor almacenado en 2K EPROM con capacidad de despliegue y sustitución de memoria, despliegue y sustitución de registros, inserción de "breakpoints", ejecución de comandos en cascada, funcionamiento a un "baud rate" variable y otros.

DESCRIPCION GENERAL

El diagrama electrónico del circuito se muestra en la fig. 3.4.

El sistema cuenta con los siguientes circuitos LSI:

- a) Z80 (1): Procesador central funcionando a 4 MHz
- b) TMS 2532 (2): Memorias EPROM de capacidad 4K x 8 o bien 2716 de 2K x 8
- c) 6116 (2): Memorias RAM estáticas con capacidad 2K x 8
Ambas se emplean para el almacenamiento de los programas de prueba durante la etapa de desarrollo.

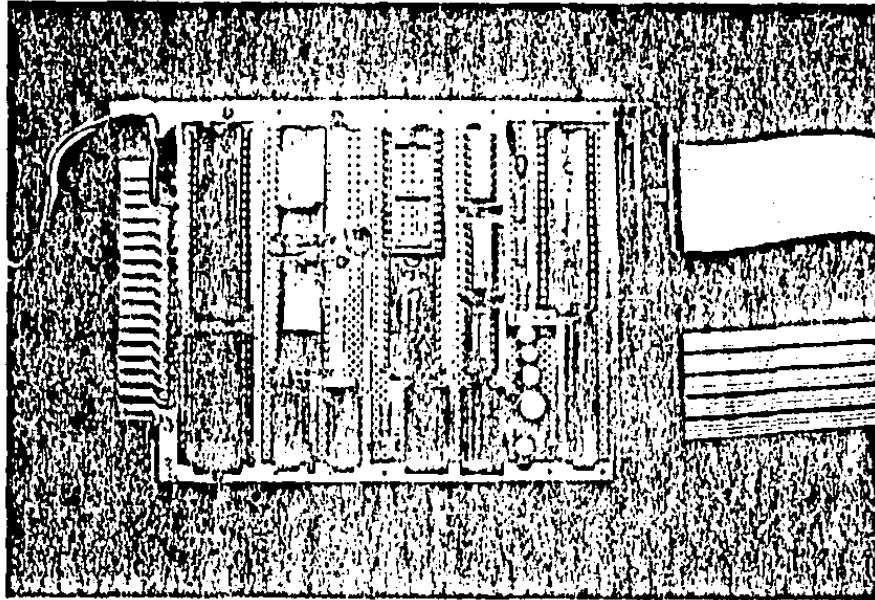


FIG. 33	
MODULO	_____
BASE	_____
LSC	_____

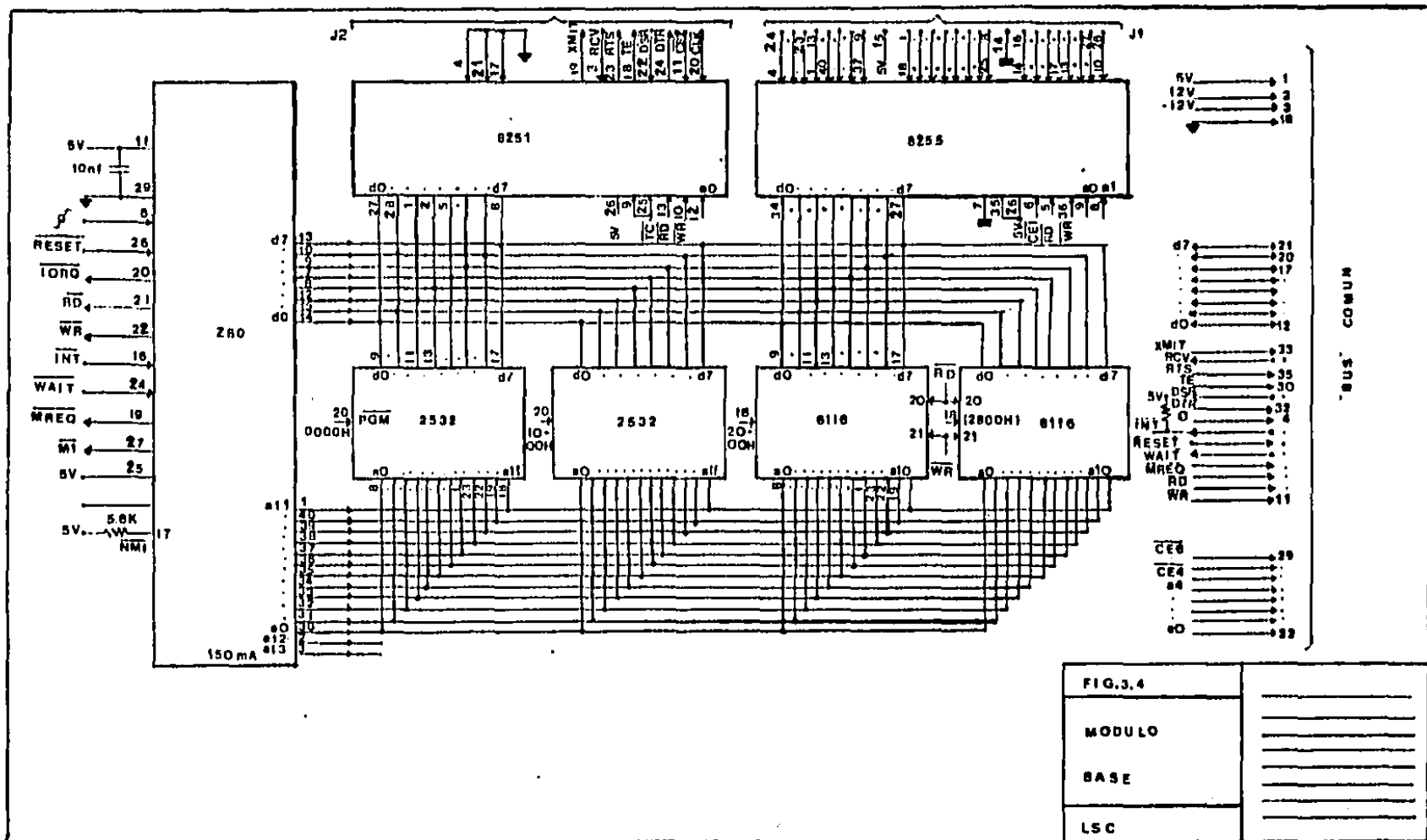


FIG. 3.4

MODULO	_____
BASE	_____
LSC	_____

- d) 8251 (1): Serializador (USART) programable. Se emplea para el acoplamiento con una terminal de video y permite transmisiones a velocidades de 300, 1200 y 19,200 bits por segundo.
- e) 8255 (1): Puertos paralelos programables. El circuito cuenta con 24 líneas de entrada-salida, con posibilidad de programación.

DESCRIPCION DEL FUNCIONAMIENTO DE LOS CIRCUITOS

280 CPU

El μ P 280 es el cerebro del módulo base. Su función es obtener instrucciones de la memoria y ejecutar las operaciones de scadas. Genera las señales del "bus" de direcciones (16 bits), del "bus" de datos (bidireccional de 8 bits), y 8 señales de control. Algunas de estas señales se conectan al "bus común" con la idea de expandir el módulo base. Para mayor información sobre este dispositivo referirse al apéndice C.

Las operaciones básicas que realiza el microprocesador incluyen la lectura y escritura en memoria, la lectura y escritura en los dispositivos de entrada-salida y el reconocimiento de interrupciones. Todas las instrucciones se pueden expresar en términos de estas operaciones básicas. Cada una de estas operaciones básicas puede utilizar de tres a seis períodos de reloj para completarse o bien se podrían alargar, mediante la inclusión de ciclos "WAIT", para efectuar la sincronización del CPU (unidad central de procesamiento) a la velocidad de los dispositivos externos. Al período de reloj básico se le define como ciclo T y a las operaciones básicas como ciclos M (ciclos máquina). En la fig. 3.5 se muestra un ciclo de instrucción típico que consiste de tres ciclos máquina: "fetch" (búsqueda del código de operación) lectura y escritura en memoria.

Después de la búsqueda del código de operación (ciclo "fetch"), durante M1, los ciclos subsecuentes realizan el movimiento de datos entre la memoria y el procesador central.

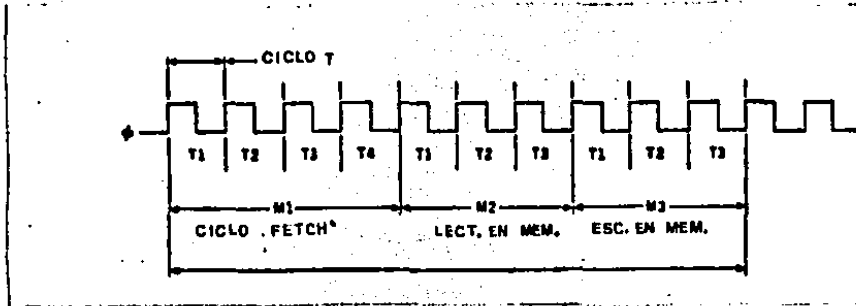


Fig. 3.5 Ciclo de Instrucción.

Con la finalidad de interconectar al procesador central, memorias y periféricos relativamente lentos se utilizan las señales $\overline{M1}$ y \overline{WAIT} , fig. 3.6.

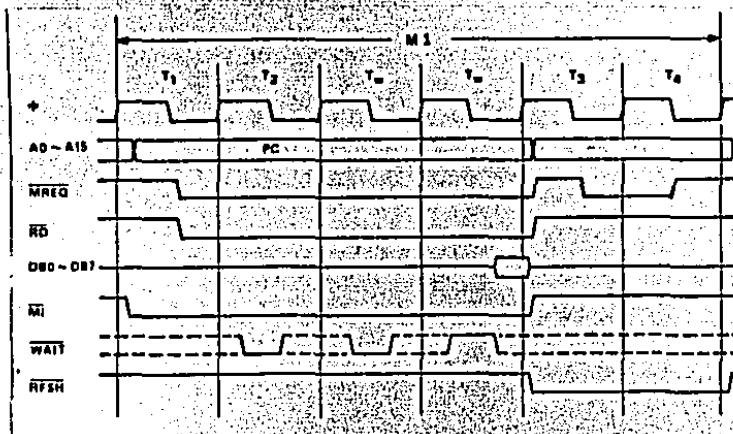


Fig. 3.6 Instrucción "Fetch" del código de operación.

$\overline{M1}$ toma el nivel lógico "0" en el inicio de cualquier ciclo de instrucción de búsqueda (fetch). $\overline{M1}$ significa que la computadora ha completado una instrucción y está empezando la siguiente.

El objetivo de la señal WAIT es detener al microprocesador antes de que ejecute la siguiente instrucción. Si se aplica un nivel lógico "0" en esta entrada (μP Z80) se suspende la ejecución del programa del procesador central y lo mantiene indefinidamente en el ciclo $\overline{M1}$. Durante T_2 y cada T_w subsecuente el procesador central explora la línea de entrada WAIT con el frente de bajada del reloj. Si, en ese momento, WAIT está en el nivel lógico "0" se proporciona un estado WAIT adicional, y la línea será explorada nuevamente. El procesador central se mantendrá en este modo hasta que WAIT tome el valor lógico "1". Utilizando esta técnica el ciclo de lectura se podrá alargar para igualarlo con el tiempo de acceso de cualquier tipo de memoria.

En las figs. 3.7 y 3.8 se muestran los diagramas de tiempo de las operaciones básicas de los ciclos de lectura y escritura de datos en memoria y los ciclos de lectura y escritura de datos en los dispositivos de entrada-salida con estados de espera incluidos (WAIT).

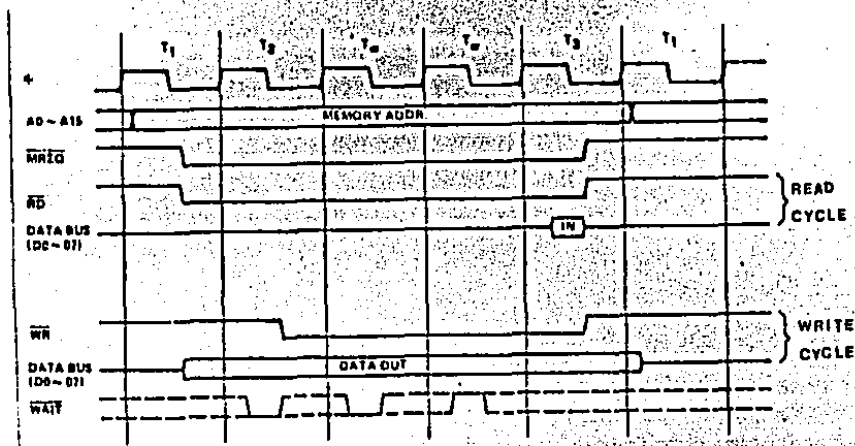


Fig. 3.7 Ciclo de lectura o escritura de datos en memoria con estados de espera "WAIT".

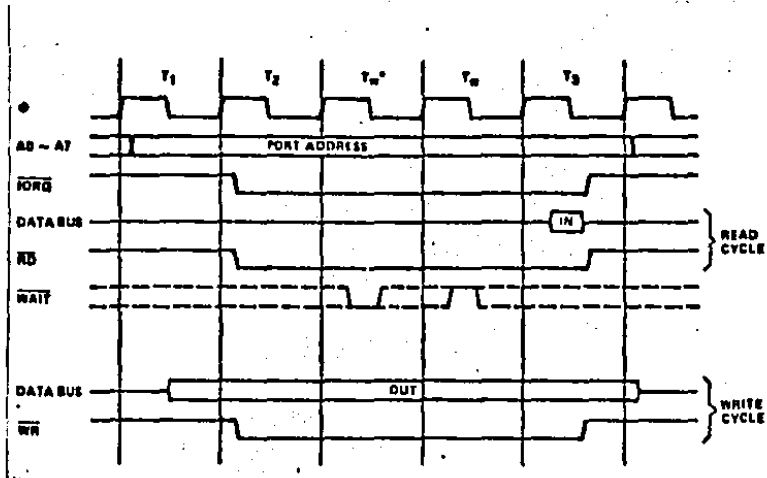


Fig. 3.8 Ciclo de lectura o escritura de entrada o salida con estados de espera "WAIT".

Observe que en las operaciones de entrada-salida se incluye automáticamente un estado de espera.

El circuito de la fig. 3.9 nos permite controlar la señal de $\overline{\text{WAIT}}$ mediante la señal $\overline{\text{M1}}$. La señal $\overline{\text{M1}}$ se conecta en la terminal PRESET del circuito 74LS74, señal que se genera durante los ciclos "fetch" del μP .

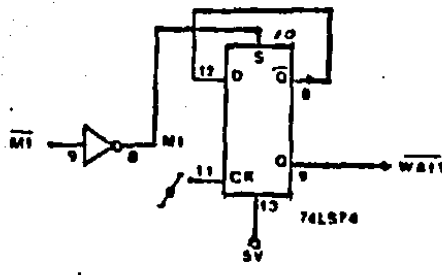


Fig. 3.9 Generación de la señal de "WAIT"

La señal WAIT se conecta en la terminal correspondiente al μP , de esta forma se alarga el ciclo "fetch" permitiendo el acoplamiento con las memorias TMS2532, de tiempo de acceso de 450 nseg, fig. 3.10.

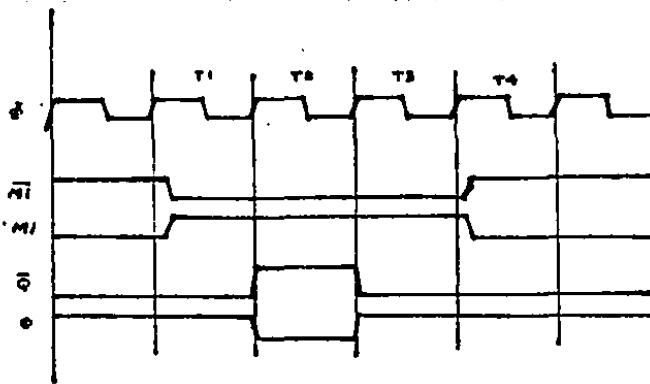


Fig. 3.10 Ciclo "FETCH" alargado

OSCILADOR

La finalidad de este circuito es generar la señal de reloj necesaria para la operación del μP Z80. El oscilador central incluye 2 circuitos inversores 74LS04 conectados a un cristal de 8 MHz; la señal de salida se divide entre dos por medio del circuito "flip-flop" 74LS74, obteniéndose una señal de 4MHz que es la que se proporciona al μP Z80. (fig. 3.11).

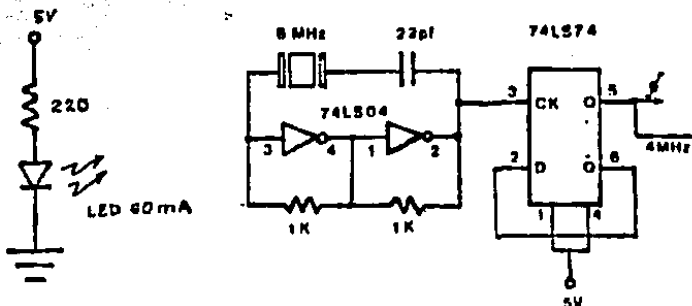


Fig. 3.11 Oscilador

CIRCUITO DE RESET

Es uno de los controles más importantes en la microcomputadora. Su importancia se reconoce cuando se "corre" un programa de ejecución errónea. El comando de reset, en el Z80, detiene la ejecución y carga el contador del programa con la dirección más baja de memoria, 00H (hexadécimal). Esto permite al programador reiniciar el programa.

La entrada de reset al μP puede ser de origen manual o automático. En este caso se utiliza un reset automático, debido a que el concentrador se ubicará en un lugar donde no hay personal que pueda operarlo.

El circuito que proporcionará la señal de reset es un circuito de vigilancia ("Watch dog"). Este circuito está formado por dos circuitos monoestables 74LS123, fig. 3.12.

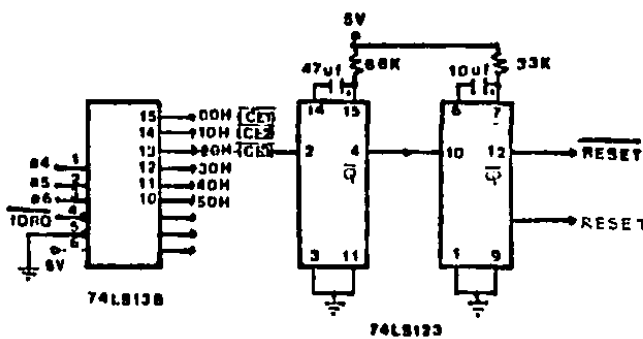


Fig. 3.12 Circuito de vigilancia "WATCH DOG"

Los tiempos de duración de los pulsos en las salidas, de los circuitos monoestables, están definidos mediante los arreglos de resistencia-capacitancia mostrados.

En el manual de TTL se encuentra que el ancho del pulso de salida está determinado, para valores de $C_{ext} > 100 \text{ pF}$, por la ecuación siguiente:

$$T_w = 0.45 (R_t) (C_{ext.})$$

Para el primer monoestable:

$$R_t = 68 \text{ K}\Omega \quad ; \quad C_{ext} = 47 \mu\text{F}$$

$$\begin{aligned} T_w &= 0.45 (68 \times 10^3) (47 \times 10^{-6}) \\ &= 1.4382 \text{ seg} \end{aligned}$$

Para el segundo monoestable:

$$R_t = 33 \text{ K}\Omega \quad ; \quad C_{ext} = 10 \mu\text{F}$$

$$\begin{aligned} T_w &= 0.45 (33 \times 10^3) (10 \times 10^{-6}) \\ &= 0.1485 \text{ seg} \end{aligned}$$

De la fig. 3.12 la señal $\overline{CE3}$ dispara el primer monoestable (terminal 2); la salida (terminal 4) pasa de un nivel lógico 1 a un nivel lógico 0. Este cambio de nivel no dispara el segundo monoestable (terminal 10) porque se requiere de un flanco ascendente para dispararlo.

Como el primer monoestable es redisparable, si la frecuencia de la señal $\overline{CE3}$ es menor a 1HZ, la señal presente en la terminal 4 permanecerá en estado bajo. Sin embargo, si en algún momento deja de activarse $\overline{CE3}$, entonces la salida en la terminal 4 pasará de un nivel lógico 0 a un nivel lógico 1 disparando el segundo monoestable el cual, finalmente, genera el pulso de \overline{RESET} en la terminal correspondiente al pP 280.

La finalidad del circuito es, por tanto, generar el $\overline{\text{RESET}}$ al μP si éste pierde el control del programa, en cuyo caso deja de activar $\overline{\text{CE}}_3$. En la fig. 3.13 se muestra el diagrama de las señales cuando se redispara el monoestable.

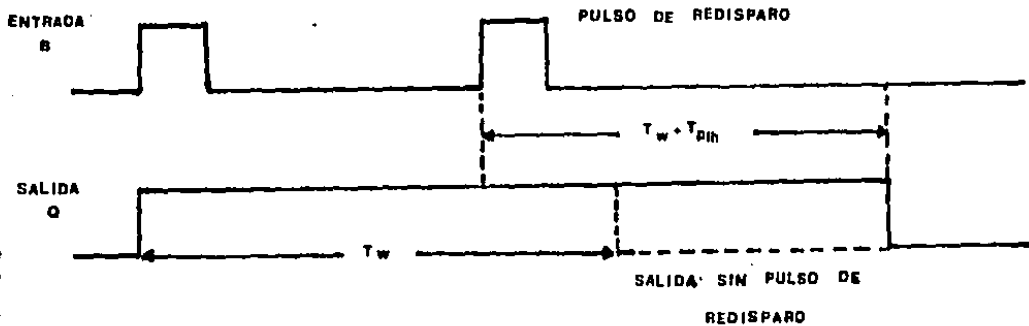


Fig. 3.13

El pulso de redisparo no deberá habilitarse antes de 0.72 Cext. (en pF) nanosegundos después del disparo anterior.

De este circuito se utiliza también la señal RESET, la cual se conecta a los periféricos de la microcomputadora; esto es con el fin de sincronizarlos con el procesador central.

LINEAS DE DIRECCION, DATOS Y CONTROL

El 280 tiene la posibilidad de direccionar un total de 65,536 (64K) "bytes" individuales de un programa en memoria y un total de 256 puertos de entrada-salida, también en forma individual. Tiene un total de 16 líneas de dirección a_0 - a_{15} . Los niveles lógicos en las líneas de dirección no son arbitrarios. La sección de control del procesador central coloca al contador del programa en la siguiente instrucción a ser ejecutada y en el ciclo "fetch", coloca el contenido del mismo en las líneas de dirección. Cuando se ejecutan instrucciones de entrada-salida se utilizan las 8 líneas de dirección más bajas (a_0 - a_7).

Debido a que a estas líneas de dirección se tendrán que conectar varios dispositivos, los cuales consumen potencia, es importante que éstas puedan proporcionar la corriente demandada por la carga,

El μ P 280 permite una corriente de sumidero (sinking) de 1.8mA. En la tabla se lista la corriente demandada por diversas cargas.

<u>DISPOSITIVO</u>	<u>CORRIENTE DE ENTRADA EN EL PEOR CASO</u>
Standard TTL(7404,7442,etc).....	1.6 mA
Low-power Schottky TTL (74LS04,etc).....	0.4 mA
2708 (1K x 8 EPROM).....	10 μ A
2114 (1K x 4 memoria programable).....	10 μ A
2716 (2K x 8 EPROM).....	10 μ A
2532 (4K x 8 EPROM).....	10 μ A
6116 (2K x 8 RAM).....	10 μ A
8251 (USART).....	10 μ A
8255 (PIO).....	10 μ A

Con base en la tabla se decidió utilizar circuitos LSTTL para la decodificación de las líneas de dirección de memoria y de los circuitos de entrada-salida. La carga ocasionada por las memorias y periféricos es insignificante. De lo anterior se concluye que no es necesario aumentar la potencia de las líneas de dirección (buffering).

En cuanto a las líneas de datos y de control, tampoco requiere el aumentar su potencia, por las condiciones anteriores.

DECODIFICACION DE LA MEMORIA

El mapa de memoria del módulo base esta definido en la fig. 3.14

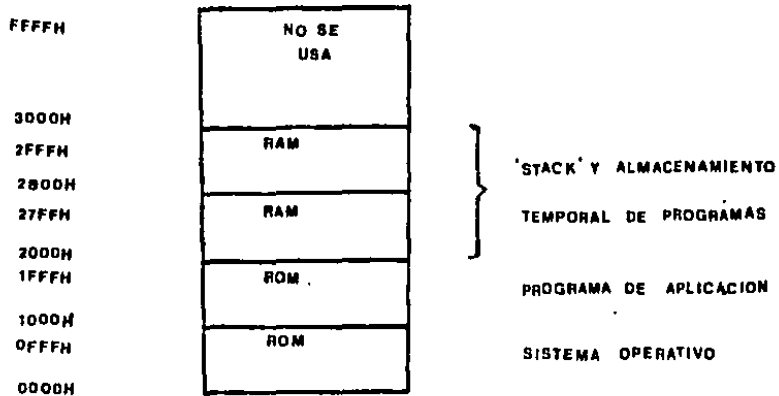


Fig. 3.14 Mapa de memoria

Para efectuar la decodificación del banco de memoria se hace uso de la señal \overline{MREQ} y las direcciones a11, a12 y a13., Fig. 3.15. La dirección binaria, 16 bits, se presenta en las líneas de dirección a0- a15.

El circuito decodificador 74LS139 decodifica las líneas de dirección a12 y a13 y divide la memoria en dos secciones de 4K (EPROM).

Las salidas de las terminales 4 y 5 habilitan directamente a las dos memorias TMS2532 (6 2716) ubicadas en las direcciones 0000H y 1000H.

La salida de la terminal 6 habilita un segundo decodificador 74LS139 y por medio de a11 divide en dos secciones, de 2K cada una, el área de memoria RAM.

Las señales de las terminales 11 y 12 habilitan el par de memorias 6116, ubicadas en las direcciones 2000 H y 2800H.

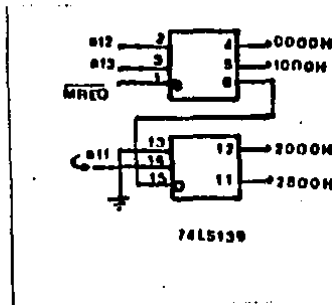


Fig. 3.15 Decodificador del banco de memoria

En la fig. 3.16 se muestra el diagrama de tiempo de los ciclos de lectura y escritura del μP Z80. Estos diagramas no incluyen estados **WAIT**.

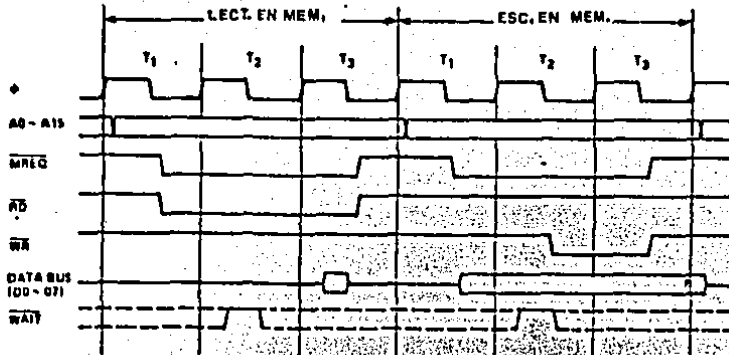


Fig. 3.16 Ciclo de lectura y escritura

Para efectuar la decodificación de los dispositivos de entrada-salida hacemos uso de la señal $IORQ$ y las direcciones a_4 , a_5 y a_6 , Fig. 3.17. Durante el requerimiento de una operación con los dispositivos de I/O (entrada o salida) la dirección binaria, en 8 bits, del dispositivo en particular se presenta en las líneas de dirección $a_0 - a_7$.

Mediante el circuito 74LS138 se realiza la decodificación de las líneas a4, a5, a6 e $\overline{\text{IORQ}}$ dividiendo así el área de entrada-salida en 8 secciones.

Las salidas $\overline{\text{CE1}}$ y $\overline{\text{CE2}}$ del circuito decodificador habilitan a los puertos paralelo (8255) y serie (8251) respectivamente. La salida $\overline{\text{CE3}}$ habilita al circuito de vigilancia. Las salidas adicionales $\overline{\text{CE4}}$ a $\overline{\text{CE8}}$ se utilizan para efectuar la expansión del sistema:

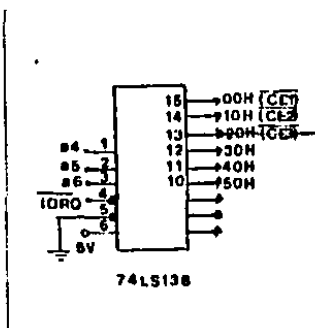


Fig. 3.17 Decodificador de los dispositivos de E/S

Las direcciones de entrada-salida son:

<u>Dirección</u>	<u>Lectura/Escritura</u>	<u>Circuito</u>
00H	Puerto A	8255
01H	Puerto B	8255
02H	Puerto C	8255
03H	Escritura. reg. de control	8255
10H	Lectura. reg. de recepción	8251
10H	Escritura. reg. de transmisión	8251
11H	Lectura. reg. de "status"	8251
11H	Escritura reg. de control	8251
20H	Escritura "Watch dog"	74LS123
30H	Escritura en el "display"	
40H	Selección del reloj (RTR)	MM58174
50H	Selección del conv. A/D	ADC0809
60H	"Switches" período de muestreo	
70H	Selección del dígito del "display"	

En la fig. 3.18 se muestra el diagrama de tiempo del ciclo de entrada-salida del μP Z80. Este diagrama no incluye estados WAIT.

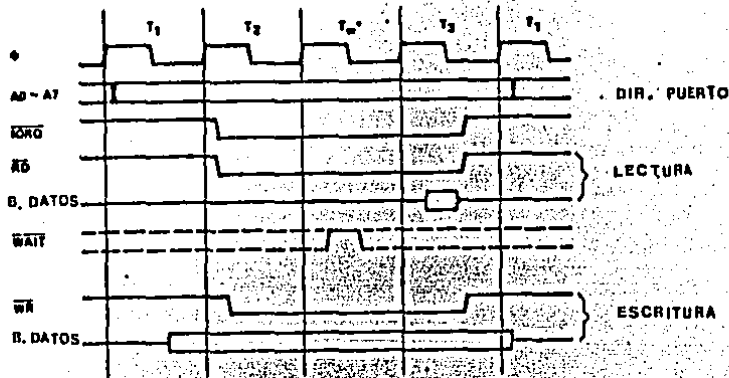


Fig. 3.18 Ciclo de Entrada/Salida

El circuito 8255 es un dispositivo de entrada-salida de propósito general, tiene capacidad para manejar hasta 24 líneas de entrada-salida. El circuito es programable, de tal forma que las líneas pueden definirse como entradas, como salidas, o como puertos bidireccionales. Estas 24 líneas se conectan al conector J1 para cable plano. Fig. 3.19.

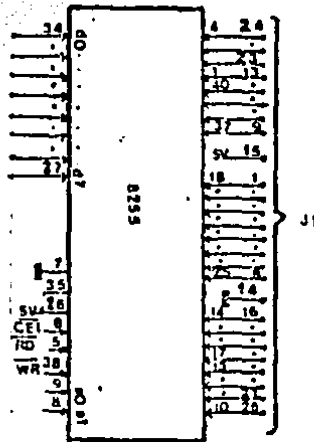


Fig. 3.19 Puerto paralelo

El circuito 8251 es un USART (Universal Synchronous/Asynchronous Receiver/Transmitter). El USART acepta datos del procesador central en formato paralelo y los convierte a un formato serie o viceversa.

Para su correcta operación requiere de las señales RESET (proporcionado por el circuito de vigilancia), $\overline{\text{CLK}}$ (Clock) y $\overline{\text{TxC}}$ (Transmitter clock).

El circuito 8251 utiliza para su sincronía interna la señal de reloj ($\overline{\text{CLK}}$). La frecuencia de $\overline{\text{CLK}}$ deberá ser mayor que treinta veces el promedio de recepción ó transmisión de bits de datos. La señal $\overline{\text{CLK}}$ se genera en la salida del primer "flip-flop" del contador 74LS93, (terminal 1), Fig. 3.20.

La señal $\overline{\text{TxC}}$ (Transmitter clock) controla el promedio de transmisión de los caracteres. En el modo de transmisión asíncrona el "baud-rate" es una fracción de la frecuencia de la señal $\overline{\text{TxC}}$. Esta fracción se selecciona mediante la programación pudiendo ser 1, 1/16 ó 1/64 de $\overline{\text{TxC}}$. Ejemplo:

Si el "baud-rate" es igual a 300 "Baud"

TxC es igual a 300 Hz (1x)

TxC es igual a 4.8 KHZ (16X)

TxC es igual a 19.2 KHZ (64x)

La señal TxC se genera mediante los circuitos 74LS92 y XR2240 (fig. 3.20). Estos circuitos forman un divisor de frecuencia entre 208.

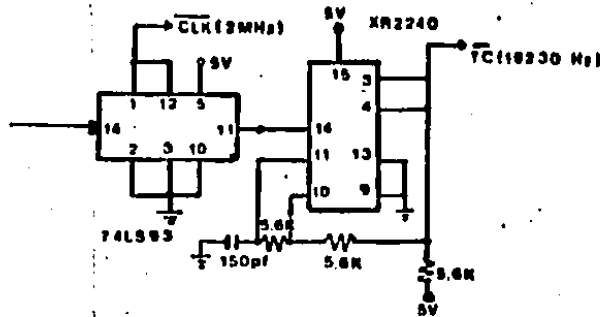


Fig. 3.20 Señales de control de transmisión

El circuito contador 74LS93 de 4 "bits" efectúa la división de la señal de 4 MHz entre 16; la salida (terminal 11) es de 250 KHZ.

El circuito XR2240 es un divisor programable para efectuar la división entre 13.

Las salidas del circuito XR2240 son del tipo de colector-abierto (open-collector) por lo que pueden ser conectados a una resistencia común (pull-up resistor) y formar la configuración lógica OR-alambrada (wired-or). Para efectuar la división entre 13 conectamos entre si las salidas 1, 3 y 4 por lo que la salida será $T_o = (1+4+8)T = 13T$, donde T es el período de la señal de entrada, en este caso $T = 1/250$ KHZ.

La frecuencia de salida, \overline{TC} , es 19,230 Hz. Esta señal se alimenta al circuito serializador 8251, el cual hace uso de su divisor interno programable entre 16 ó 64, por lo que se tiene posibilidades de obtenerse velocidades de transmisión y recepción de 1,200 ó 300 bits por segundo.

Las señales de transmisión (XMIT) y recepción (RCV) del circuito serializador, 8251, se conectan a los circuitos MC1488 y MC1489, que hacen que las señales sean compatibles con el estándar RS232-C. Estas señales se conectan a una terminal de video a través de las terminales 2, 3 y 7 del conector de cable plano J2. Fig. 3.21.

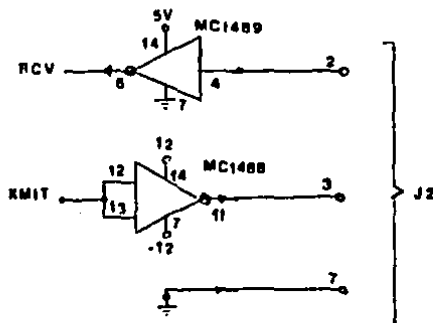


Fig. 3.21 Interfaz RS232

3.1.b Módulos de acoplamiento

Es evidente que la microcomputadora, módulo base, puede ser utilizada para configurar diversos sistemas, dependiendo de las necesidades del usuario. Una aplicación significativa de la microcomputadora es la conexión de ésta a algo considerado como parte del "mundo real" y realizar alguna tarea constructiva.

Los módulos de acoplamiento tienen la finalidad de adecuar las señales provenientes del exterior, "mundo real", en señales digitales que puedan ser manejadas por la microcomputadora. Estos módulos son:

- Módulo acoplador de señales de estado (encendido-apagado) de las bombas.
- Módulo acoplador de señales de nivel (cárcamos).

Módulo acoplador de señales de estado.

La finalidad del módulo acoplador de señales de estado es detectar si la bomba está encendida ó apagada. Esta detección se realiza a partir de una señal de voltaje de alterna; la existencia del voltaje indica que la bomba está encendida, la ausencia del mismo que la bomba está apagada.

El módulo acoplador convierte las señales de voltaje en niveles lógicos TTL, fig 2.2. Las salidas de éste se conectan, a través del conector J1 de cable plano (26 "pins"), a los puertos en paralelo de la microcomputadora (circuito 8255). En estos puertos se obtiene además de la información de los estados de las bombas la información de un identificador de estación. El diagrama electrónico del circuito se muestra en la fig. 3.22.

Descripción del funcionamiento del circuito:

El circuito W04M realiza la rectificación de onda completa del voltaje de alterna, la existencia o no de este voltaje nos indica el estado de operación de las bombas.

La salida del rectificador se conecta al optoacoplador en el cual, dependiendo del estado de la bomba, se satura o no el transistor de salida. Si se satura el transistor de salida la bomba esta encendida.

Finalmente esta última salida se conecta a un circuito inversor. La información que se obtiene se interpreta de la manera siguiente:

<u>NIVEL</u>	<u>INTERPRETACION</u>
Alto	Bomba encendida
Bajo	Bomba apagada.

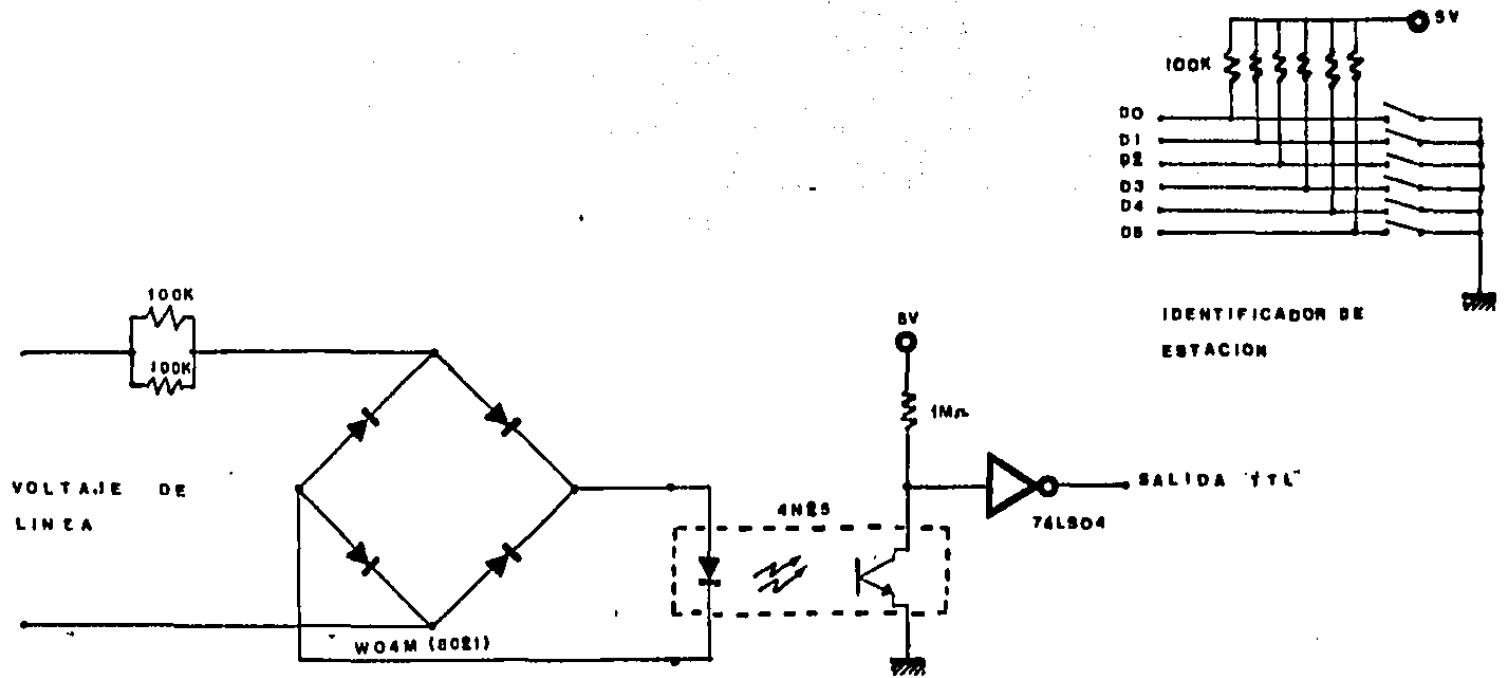


FIG.3.22

CIRCUITO ACOPLA-
DOR DE SEÑALES
DE ESTADO E IDEN-
TIFICADOR DE EST.

L5C

El identificador de estación fig. 3.22 sirve para asignarle un número a la estación en cuestión.

Descripción del funcionamiento del circuito:

La asignación del número se realiza mediante la presión o no de los "switches". Los números 0 a 5 corresponden a 6 "switches" que se conectan al bus de datos del circuito 8255. Cuando se presionan cualquiera de los "switches" las entradas correspondientes se aterrizan, indicando así una entrada numérica a la computadora.

La distribución de los puertos del circuito 8255 es:

<u>PUERTO</u>	<u>ESTADO</u>
A	Bomba (8 bits - 8 bombas)
B	Identificador (6 bits)
C	Bombas (6 bits - 6 bombas)

Módulo acoplador de señales de nivel.

La finalidad del módulo acoplador de señales de nivel es medir el nivel de agua negra en el cárcamo. Esta medición se realiza a partir de una señal de corriente dentro del intervalo de 4 a 20 mA.

El módulo acoplador de las señales de nivel, fig. 2.3, convierte las señales analógicas de corriente a señales digitales. Estos últimos se conectan directamente a la microcomputadora a través del "bus" común.

Adicionalmente, este módulo, tiene un reloj de tiempo real (RTR). Este reloj proporciona, con su programación correspondiente, la fecha (día, mes, año) y tiempo (hora, minuto) en las que se realizan las mediciones de las variables.

El diagrama electrónico del circuito acoplador de nivel se muestra en la fig. 3.23.

Descripción del funcionamiento del circuito.

Las señales que llegan a este módulo son señales de corriente dentro del intervalo de 4 a 20 mA, por lo que se utiliza un arreglo resistivo para producir una caída de voltaje proporcional al valor de la corriente. Este voltaje se aplica al convertidor análogo-digital, ADC0809, el cual tiene en su entrada un circuito de protección formado por el diodo 0A93 y el transistor AC128.

El convertidor es directamente compatible con el μP , contiene un multiplexor de 8 canales, una resolución de 8 bits y un tiempo de conversión de 100 μs ; para la conversión utiliza la técnica de aproximaciones sucesivas. fig. 3.24.

Inicialmente la salida del RAS (Registro de aproximadamente sucesivas) y del convertidor D/A (digital analógico) es cero. Después del pulso de inicio de conversión, el RAS habilita los bits del convertidor D/A uno a la vez, empezando con el "bit" más significativo (MSB). A medida que cada bit es habilitado, el comparador proporciona una salida para indicar si la señal de entrada es mayor o menor en amplitud, que la salida del convertidor D/A. Si la salida del D/A es mayor que la señal de entrada se tendrá un cero lógico "0" en el bit en cuestión. Si es menor que la señal de entrada, se tendrá un uno lógico "1" en el bit correspondiente. El registro se mueve sucesivamente al siguiente bit menos significativo (conservando los valores de los bits ya analizados) y realiza la misma prueba. Después que se ha ejecutado el mismo proceso con todos los "bits" se completa el ciclo de conversión. Para guardar el resultado de la conversión se cuenta con un registro "latch". Las salidas del "latch", convertidor, están conectadas directamente a la microcomputadora.

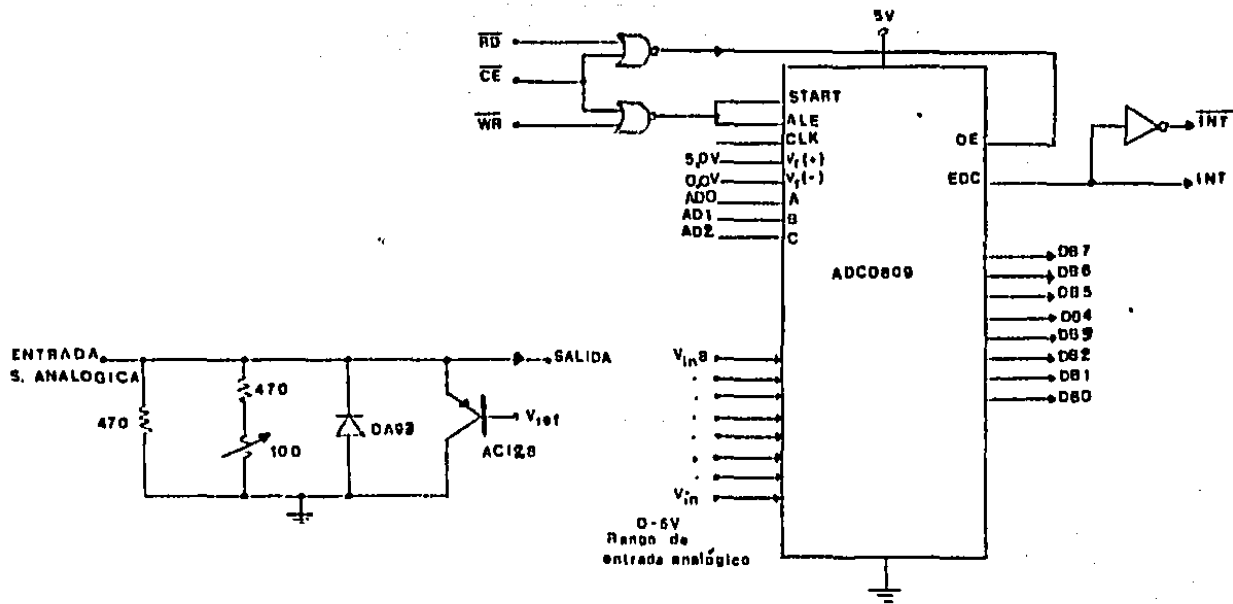


FIG.3.23

CIRCUITO ACOPLA-
DOR DE NIVEL

LSC

Como se trata de un convertidor multiplexado el número del canal para el cual se va a realizar el proceso de conversión y las ordenes de inicio de conversión y lectura del resultado las dá la microcomputadora. Las señales de habilitación y reloj se obtienen del módulo base, la frecuencia de la señal de reloj es de 500 KHZ.

El diagrama electrónico del circuito de reloj de tiempo real (RTR) se muestra en la fig 3.25.

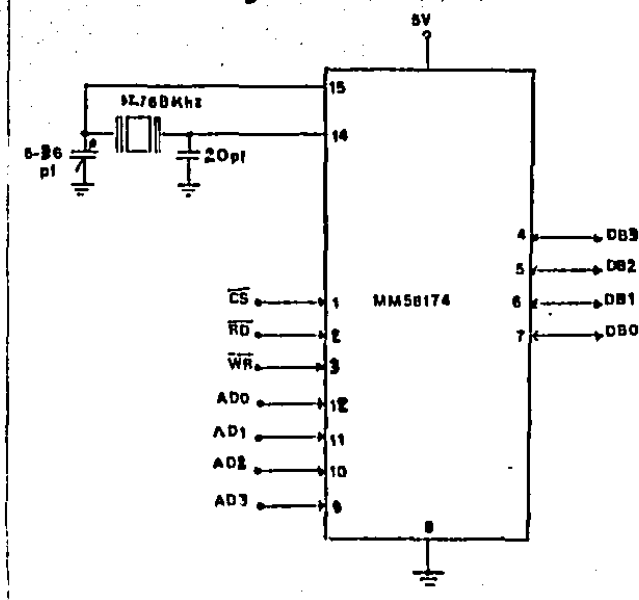


Fig. 3.25 Reloj de tiempo real

La programación del circuito de RTR se realiza mediante una terminal conectada al módulo base, a través del circuito serializador programable (USART); la habilitación del mismo se efectúa a través del circuito decodificador 74LS138, del módulo base. Las líneas de datos y direcciones, de este circuito, están conectadas directamente al "bus" del módulo base.

3.1.c Módulo de entrada-salida

Este módulo permite simular el comportamiento del módulo acoplador de señales de estado, además de comprobar el buen fun

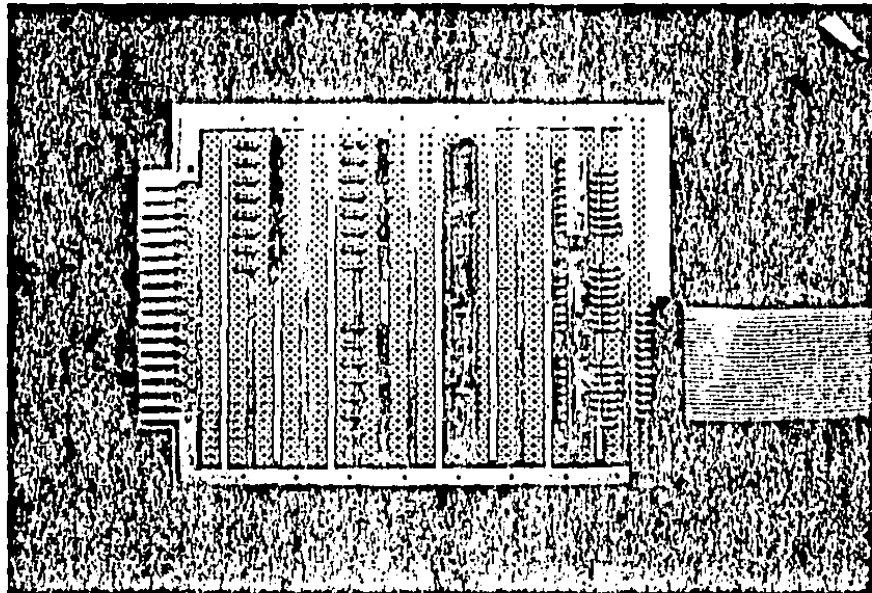


FIG. 3.26	_____
MODULO	_____
DE E/S	_____
LSC	_____

cionamiento del circuito de puertos paralelos programables (circuito 8255), fig. 3.26.

El diagrama electrónico del circuito se muestra en la fig. 3.27.

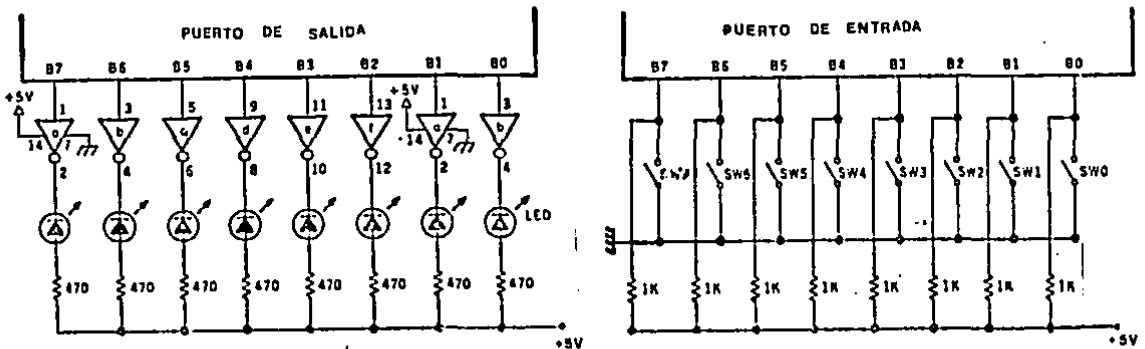


Fig. 3.27 Módulo de entrada-salida

Descripción del funcionamiento del circuito:

Mediante los microinterruptores se simulan los estados de las bombas, estos estados son niveles lógicos de "0" y "1"; el cero lógico (microinterruptor cerrado) indica que la bomba está apagada, el uno lógico (microinterruptor abierto) indica que la bomba está encendida. Las señales originadas, consideradas como entradas, se conectan al "bus" de datos del circuito de puertos paralelos programables (8255).

Cuando se programa el "bus" de datos, del circuito 8255, como salida se conectan éstas a los "leds" los cuales encienden o no dependiendo del nivel lógico de salida ("0" ó "1").

4. PROGRAMACION DEL CONCENTRADOR.

El presente capítulo tiene por objetivo la descripción de los programas que se utilizan en la operación de la estación concentradora. Estos se presentan en diagramas de flujo y se describen en detalle cada uno de ellos.

La finalidad de un sistema operativo es proporcionar al programador una serie de herramientas para ayudarlo en el desarrollo, depuración y ejecución de un programa. En general, el sistema operativo ayuda al programador mediante el manejo de los recursos de la computadora y eliminando la necesidad del manejo de los códigos de máquina en forma repetitiva. Generalmente el desarrollo de un sistema operativo es complejo por lo que en sistemas pequeños se proporcionan herramientas rudimentarias para que el programador pueda proporcionar y leer datos, de 8 bits, en y de la memoria.

En el caso de la estación concentradora se desarrollaron una serie de programas que nos permiten manejar los recursos de la misma.

La estación concentradora, descrita en los capítulos anteriores, contiene los siguientes recursos:

- Microprocesador Z80
- 8 K "bytes" de memoria EPROM
- 4K "bytes" de memoria RAM
- USART para comunicación E/S tipo serie
- 3 Puertos de 8 bits c/uno de tipo paralelo (E/S)
- Reloj de tiempo real
- Conversor A/D (Análogo-Digital)
- Circuito "WATCH DOG"
- 8 microinterruptores (Período de muestreo)

El "sistema operativo" permite el acceso a estos recursos y, proporciona al usuario la dirección de los mismos durante la ejecución de los programas. Los programas desarrollados para la estación concentradora incluyen las facilidades y funciones siguientes:

1. "Sistema operativo "
2. Programa de aplicación.

Sistema operativo

El sistema operativo almacenado en la memoria EPROM 2716, 2516 ó 2532 tiene capacidad de despliegue y sustitución de memoria; despliegue y sustitución de registros; inserción de "breakpoints", funcionamiento a "baud-rato" variable, ejecución de comandos en cascada, capacidad de manejo de puertos y otros.

La memoria EPROM se inserta en el primer "socket" de la tarjeta correspondiente al módulo base. Deberá haber por lo menos 2K de memoria RAM a partir de la dirección 2000H para el manejo del "stack" y el almacenamiento de programas.

El sistema operativo reside en forma permanente en la memoria EPROM y está listo para ser ejecutado tan pronto como se proporcione la alimentación y por lo tanto la señal de $\overline{\text{RESET}}$ al μP .

Esta operación coloca al contador del programa del Z80 en ceros. En el ciclo de máquina siguiente, el procesador comienza a ejecutar la instrucción localizada en la dirección 0000H de la memoria.

Al proceso anterior se le define como "cold start" y define las condiciones de inicio necesarias para la operación del sistema operativo.

Inmediatamente después de alimentarse, el sistema responde automáticamente a la terminal de video conectada a través del conector J1 con el siguiente letrero:

CONII 85

La terminal de video tiene opción para operar a las siguientes velocidades: 19200, 9600, 4800, 2400, 1200, 300 ó 100 "bauds". La velocidad se ajusta a 300 "bauds" (TELEVIDEO MODEL 910).

El usuario puede entonces teclear alguno de los siguientes comandos (seguidos de "CR", Car Return, en todos los casos):

DESPLIEGA MEMORIA

- | | |
|-------------|---|
| A. Formato: | DM2000 20FF |
| Efecto: | Se despliega al contenido de cada localidad de memoria de la 2000H a la 20FFH |
| B. Formato: | DM1000 S30 |
| Efecto: | Se despliega al contenido de cada localidad de memoria de la 1000H a la 1030H |

DESPLIEGUE REGISTROS

Cuando se regresa al programa supervisor después de un "breakpoint", todos los registros de Z80 se almacenan en la parte más alta de RAM. Este comando realiza el despliegue de todos los registros almacenados.

C. Formato: DR

Efecto: Despliega todos los registros del Z80.

CORRE PROGRAMA

D. Formato: G

Efecto: Los registros del Z80 se cargan con los valores previamente almacenados (en el último break point) y la ejecución continúa en la localidad contenida en el contador de programa, al momento del último "breakpoint".

E. Formato: G 800

Efecto: Igual que el caso anterior, pero la ejecución se realiza a partir de la dirección 800H.

INSERCIÓN DE "BREAKPOINTS".

F. Formato: G800/82A/8A0

Efecto: Igual que en el formato del punto E, pero con inserción de "breakpoints" en las localidades 82AH y 8A0H. Se despliega la dirección del "breakpoint", todos los registros del Z80 son almacenados en la parte más alta de RAM, todos los demás "breakpoints" se borran y el control regresa al programa supervisor.

- G. Formato: G800/80A/821/823.
 Efecto: Igual que en el formato del punto E, con los mismos efectos que en el caso anterior, con "breakpoints" en las localidades 80AH, 821H, 823H.

Algunas aclaraciones.

- a) Los "breakpoints" solo pueden insertarse en programas residentes en RAM.
- b) El número máximo de "breakpoints" dados en un solo comando es de cinco.

TRANSFIERE

- H. Formato: M800 8FF A00
 Efecto: Transfiere la información contenida en el bloque de memoria 800H 8FFH a las direcciones A00H-AFFH.
- I. Formato: M800 S30 B00
 Efecto: Transfiere la información contenida en el bloque de memoria 800H 830H a las direcciones B00H-B30H.

NULOS

- J. Formato: N3A
 Efecto: Escribe en pantalla el número indicado en nulos (58 en este caso). Este comando se emplea para inicializar cinta perforada.

ESCRIBE EN PUERTO

- K. Formato: O AA 07
 Efecto: Escribe el código AAH en el puerto de

salida 07H

SUSTITUYE MEMORIA.

- L. Formato: SM 80A
 Efecto: Despliega el contenido de la localidad 80A, seguido del caracter'. '. Para sustituir el valor desplegado por un nuevo valor éste se debe escribir inmediatamente después. Si no se desea sustituir se debe oprimir la barra espacio y se desplegará el contenido de la siguiente localidad.

SUSTITUYE REGISTROS

- M. Formato: SH
 Efecto: Despliega el contenido del registro HL, seguido de un '. '. El usuario puede escribir un nuevo valor u oprimir la barra espacio para ver el siguiente registro.

VERIFICA

- Formato: V00 3F 80
 Efecto: Compara una a una las localidades del bloque de memoria de la 00H a la 3FH con el bloque de la 80H a la BFH. Si existe alguna disparidad, se despliega en memoria.
- Formato: V30 S10 800
 Efecto: Igual que el caso anterior, pero con los bloques 30H - 40H y 800H - 810H.

LEER CARACTERES ASCII.

- 0. Formato: R800 840
Efecto: El programa acomoda en las localidades de la 800H a la 840H el código ASCII de cada caracter enviado.

ESCRIBIR CARACTERES ASCII.

- P. Formato: W850 88F
Efecto: Se despliega en pantalla el contenido ASCII del bloque de memoria 850H - 88FH.

COMANDOS EN CASCADA

- Q. Formato: N20; W0 S20
Efecto: Ejecuta el comando W0 S20, luego N20.

SUBROUTINAS DEL SUPERVISOR:

Función: Despliega caracter ASCII en la pantalla

Dirección de inicio: 041B H

Argumentos: Caracter en A

Salidas: -

Destruye: -

Función: Lee caracter ASCII de la terminal

Dirección de inicio: 0416 H

Argumentos: -

Salidas: Caracter leído en A

Destruye: -

Función: Despliega el contenido hexadecimal de (HL) y (HL - 1)

Dirección de inicio: 0108 H

Argumentos: Número hexadecimal en (HL) y (HL-1)

Salidas: -

Destruye: HL ← HL - 2, A

Función: Carga HL con (1), BC y DE con (2) (ver ejemplo)

Dirección de inicio: 0151 H

Argumentos:

Salidas: HL, DE, BC

Destruye:

Ejemplos: 45FB S8A

(1) (2)

Función: Despliega el contenido hexadecimal en HL

Dirección de inicio: 01EF H

Argumentos: Número hexadecimal en HL.

Salidas: -

Destruye: A

Función: carga 3 operandos (ver ejemplo); (1) en HL, (2) en BC,
(3) en DE

Dirección de inicio: 01A5 H

Argumentos:

Salidas: HL, BC, DE

Destruye:

Ejemplo: 129A S20 400F

(1) (2) (3)

Función: Despliega el contenido hexadecimal de (HL)

Dirección de inicio: 01EC H

Argumentos: (HL)

Salidas: -

Destruye: A

Función: Despliega el contenido hexadecimal de A

Dirección de inicio: 01F7 H

Argumentos: A

Salidas: -

Destruye: -

Función: Lee 2 caracteres de la terminal y los almacena en A

Dirección de inicio: 0460 H

Argumentos: -

Salidas: Número hexadecimal en A

Destruye: C

PROGRAMA DE APLICACION

La finalidad de este programa es la concentración de la información proveniente de los dispositivos transductores (medición de estados de bombas y niveles de agua) que se adquiere a través de los dispositivos acopladores.

El concentrador realiza la comunicación con sus periféricos en los modos serie y paralelo.

La comunicación tipo serie se realiza a través del circuito USART. Esta interfaz permite la comunicación entre la microcomputadora y un dispositivo periférico tal como una impresora o una terminal de video (CRT). El circuito USART utilizado es el 8251. (Para mayor información referirse al apéndice C).

A continuación se describe el "software" necesario para que la interfaz(8251) opere en comunicación serie, modo asíncrono. El "software" proporciona las condiciones necesarias para la transmisión; esto incluye "baud rate", número de bits de datos, número de bits de parada e información del tipo de paridad.

Una vez que se ha inicializado al dispositivo tiene lugar la transmisión de datos. El μP determina si el "buffer" de transmisión esta vacío. Si es así, se carga un caracter en el "buffer" y se envía a través de la línea serie. Para la recepción de un caracter se examina primero el registro de estado, para determinar si el receptor leerá el dato. Se deberá esperar el estado que nos indica que se ha recibido otro caracter.

En la fig 4.1 se muestra el diagrama de flujo de las secuencias de recepción y transmisión de datos de la terminal al μP y del μP a la terminal.

La comunicación tipo paralelo se realiza por medio del circuito 8255. El circuito 8255 es una interfaz programable, de propósito general, de entrada-salida. Tiene 24 "pins" de E/S (entrada-salida) los cuales pueden ser programados individualmente en dos grupos de 12 y utilizados en tres modos de operación. En el primer modo (MODO 0), cada grupo de 12 "pins" puede ser programado en arreglos de 4 para ser entradas o salidas. En el MODO 1, el segundo modo, cada grupo puede ser programado para tener 8 líneas de entrada o salida. De las 4 restantes, 3 son utilizadas para realizar el proceso de "handshaking" y para las señales de control de interrupciones. El tercer modo de operación (MODO 2) maneja el "bus" en forma bidireccional; utiliza 8 líneas como "bus" bidireccional y 5 líneas, una del otro grupo, para realizar el proceso de "handshaking".

El modo utilizado para el concentrador es el modo cero en el cual se definen las 24 líneas de la interfaz como entradas. (Para mayor información referirse al apéndice C).

RTR (Reloj de Tiempo Real).

La programación del circuito de reloj de tiempo real se realiza mediante la terminal de video conectada al módulo base.

Cuando se conecta por primera vez el circuito MM58174A debe ser inicializado adecuadamente. El proceso de inicialización se describe en las hojas de datos característicos, apéndice C.

Programación del concentrador.

Los programas del concentrador están desarrollados con base en el diagrama de flujo de la figura 4.2

El programa principal consiste en una verificación continua de las condiciones de operación del sistema. Este programa contiene las siguientes subrutinas:

- a) Subrutinas de lectura de parámetros: permiten definir las condiciones de operación del concentrador de información.
- b) Subrutina de despliegue de las condiciones de operación: permite verificar los datos de operación para el concentrador.
- c) Subrutina de transmisión automática o transmisión bajo demanda: define las condiciones de la transmisión de la información colectada.

Las subrutinas lectura y despliegue de los parámetros de operación regresan al programa principal después de terminar su cometido.

La subrutina transmisión automática o transmisión bajo demanda permanecen en un "loop" y no regresan al programa principal.

Las subrutinas de transmisión automática o transmisión bajo demanda hacen uso de la subrutina de lectura y transmisión de datos Fig. 4.3.

La subrutina de lectura y transmisión de datos lee el estado de los dispositivos periféricos: lee el identificador de la estación concentradora, el estado de las bombas (encendidas o apagadas), direcciona los canales del conversor analógico-digital que deben ser leídos, ordena la conversión y lee los resultados. Con los datos anteriores se ensambla un paquete de información y se envía al módulo de acondicionamiento de datos y transmisión.

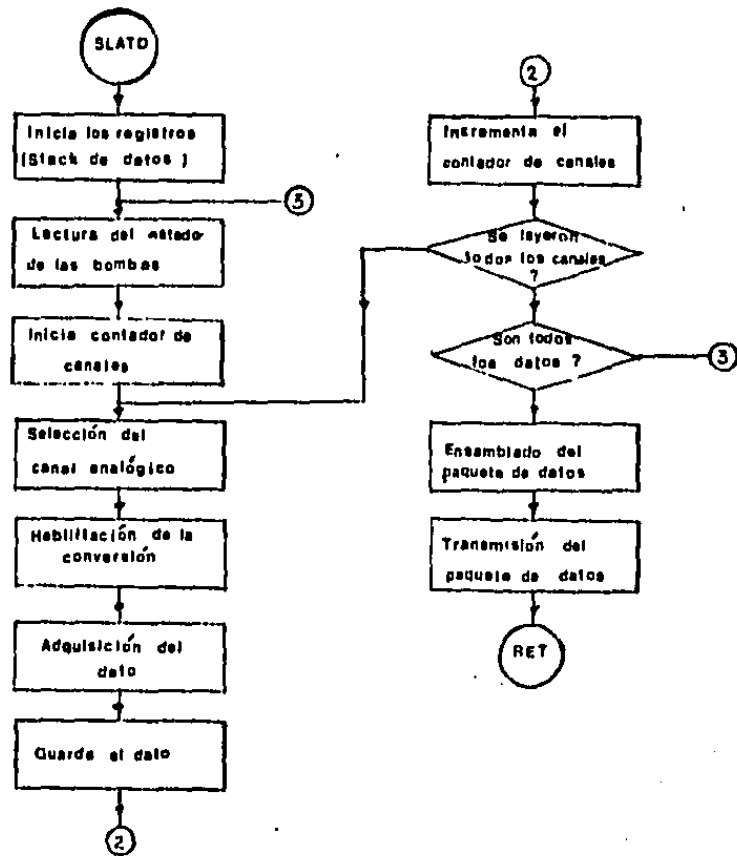


FIG. 4.3

SUBROUTINA DE
LECTURA,
ALMACENAMIENTO Y
TRANSMISIÓN DE
DATOS

LSC

5. COMUNICACIONES CON EL PCR.

Las comunicaciones entre la estación concentradora y el PCR se realizarán a través de MODEMS, ésta comunicación es del tipo serie.

La comunicación serie se realiza transmitiendo en forma secuencial en el tiempo todos los bits de la palabra, uno tras otro por una sola línea de datos.

El sistema de codificación utilizado para la transmisión de información a través de una línea serie permite tener las sincronizaciones de bit, caracter y mensaje. En la sincronización de bit, el receptor necesita saber exactamente donde empieza y donde termina cada bit en la señal recibida para efectuar el muestreo de la misma en el centro de la celda de bit. En la sincronización de caracter, el sistema de codificación usado debe permitir distinguir sin ambigüedades dentro de una corriente de bits cuáles son los bits que forman una palabra.

La sincronización de mensaje, mecanismo por el cual un conjunto de palabras (bloques de caracteres) es interpretado correctamente, normalmente no incumbe a los circuitos de codificación sino al procesador que lo utiliza. El conjunto de reglas (protocolo) que permiten interpretar correctamente los mensajes suele estar controlado por una tarea "software" (un programa que ejecuta la microcomputadora).

La sincronización de bit y caracter incumbe a los circuitos de codificación. La comunicación entre la estación concentradora y el PCR se hace utilizando líneas o canales de transmisión se miduplex (half-duplex) es decir cuando son capaces de transmitir información en ambos sentidos pero no de forma simultánea.

La codificación de las señales para el concentrador de información se hace mediante el método asíncrono; la transmisión se controla por bits de inicio y de final que enmarcan cada caracter transmitido, son los denominados bits de "start" y "stop" y son utilizados por la terminal receptora para sincronizar su reloj con el del transmisor en cada caracter.

La especificación RS404 de EIA (Electronic Industries Association) define las características del método asíncrono de transmisión serie. (Apéndice C).

El método asíncrono presenta las siguientes ventajas:

- 1) Permite enviar caracteres a velocidades variables ya que cada uno de ellos lleva incorporada la información de sincronismo.
- 2) Existen circuitos integrados de bajo costo, los UART, que simplifican enormemente la realización de sistemas de entrada-salida en este formato.

3) Es un método de comunicaciones estándar entre microcomputadoras y terminales de video, impresoras lentas, etc.

Entre sus inconvenientes se puede citar, como el más importante su ineficacia, ya que cada carácter va lastrado con dos bits de sincronización que no contiene información útil. Asumiendo caracteres de 8 bits, es necesario enviar por la línea 10 bits para enviar un carácter, es decir sólo un 80% de la información transmitida es válida. Fig. 5.1.

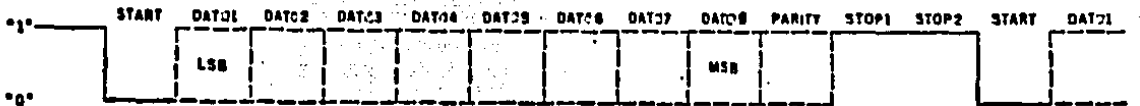


Fig. 5.1 Formato de transmisión asíncrona-serie ("BYTE" de datos)

La frecuencia de transmisión del conjunto de bits de datos, "baud rate", es de 300.

Actualmente la configuración está definida según el diagrama de bloques de la fig. 5.2.

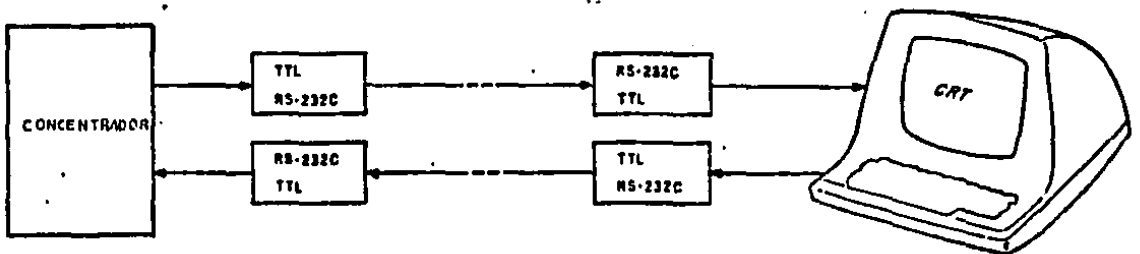


Fig. 5.2 Línea de comunicación "Half-Duplex" RS-232C

La configuración final estará definida según el diagrama de bloques de la fig. 5.3

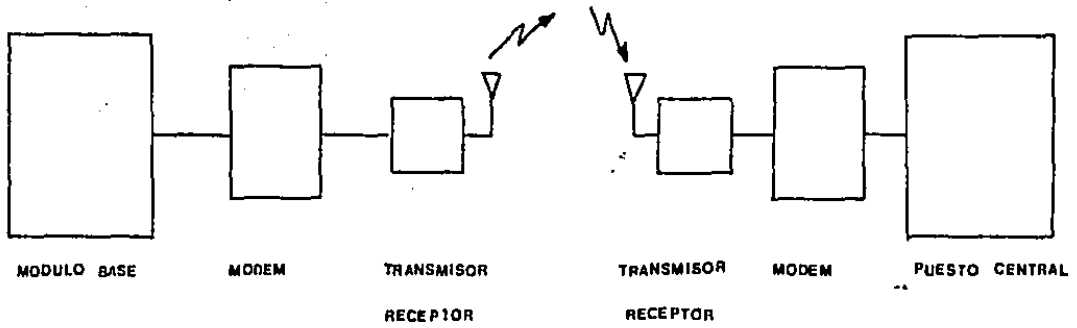


Fig. 5.3 Línea de comunicación por radioenlace

6.1 RESULTADOS Y CONCLUSIONES

El problema central del presente trabajo consistió en el diseño y construcción de una estación concentradora de información (E.C.) para facilitar la medición de parámetros importantes en la operación de las plantas de bombeo, tales como los estados de operación de las bombas y la medición de niveles de aguas negras en los cárcamos. Esta medición se realiza en diversos puntos de la red de drenaje de la Ciudad de México. Dicha estación concentradora se visualizó como componente de un sistema automatizado de medición y control.

En el proceso de construcción de dicho prototipo primeramente hubo necesidad de revisar bibliografía referente a sistemas de medición e instrumentación. En particular se estudiaron los concentradores de señales, con el fin de identificar los componentes y los elementos que actualmente se emplean para la construcción de este tipo de concentradores y dentro de lo posible incluir mejoras que permitan realizar su función en una forma más eficaz y eficiente.

Con base en lo anterior se procedió al diseño y construcción

de la E.C. Esta incluye un módulo básico, acondicionadores de señal, y elementos de interconexión. También se llevaron a cabo la prueba y calibración de la E.C. para definir los niveles de voltaje requeridos. Estos se emplearon como base en la elaboración de los programas requeridos. Los programas se escribieron en lenguaje ensamblador para el microprocesador Z 80 y entre éstos destacan los de inicialización, manejo de los acondicionadores de señal, circuito de reloj de tiempo real y los de recepción y transmisión de información.

Una vez construido y programado el prototipo de E.C. se procedió a la prueba de funcionamiento, ajustes finales y posteriormente a su evaluación "in situ". La prueba de laboratorio se llevo al cabo simulando las señales de salida de los elementos de campo a medir, mediante la elaboración de la circuitería adecuada, obteniéndose resultados aceptables. Por otro lado la evaluación, del prototipo de E.C., bajo condiciones reales de operación se lleva al cabo en la planta de bombeo de ACULCO, en ésta participo el personal del D.D.F. proporcionando las facilidades necesarias para la instalación. Los resultados obtenidos fueron satisfactorios y se identificaron algunas modificaciones que permitirán mejorar su funcionamiento.

En resumen, el prototipo de E.C. puede programarse en modo de operación manual o remoto, según los intereses del usuario, tiene la posibilidad de manejar variables analógicas y digitales, puede seleccionarse el período de adquisición de datos conforme a las características del fenómeno a medir. Adicionalmente para cada exploración de los canales de medición se proporcionan la hora y la fecha, el uso de una clave de identificación permite que varios concentradores esten conectados con un solo canal de comunicación hacia el PCR. Finalmente el prototipo de E.C. cuenta con una fuente de alimentación ininterrumpible.

Las principales conclusiones que se desprenden de este trabajo son las siguientes:

- 1) Por sus características, el prototipo de E.C. puede ser utilizado como un sistema de adquisición de datos de propósito general, o sea más allá del propósito específico para el que fue desarrollado.
- 2) De la evaluación "in situ" practicada al prototipo de E. C. surgió la necesidad de una versión mejorada para efectuar pruebas locales en los puntos remotos. Estas mejoras consisten fundamentalmente en el desarrollo del circuito impreso para el módulo base, inclusión de un pequeño teclado y un desplegado digital, la posibilidad de transmisión vía radio, en vez de línea telefónica, incluyendo las modificaciones correspondientes a la programación, etc. Conviene destacar que esta versión mejorada actualmente se encuentra en desarrollo utilizando para tal efecto una microcomputadora "Apple".
- 3) El prototipo de E.C. presenta grandes ventajas cuando es necesario automatizar la adquisición de datos, sean éstos correspondientes a variables analógicas o digitales. También es útil en el proceso de medición de variables en condiciones difíciles, incómodas o peligrosas para el ser humano; reduce el costo de medición y/o proceso cuando se maneja un número grande de señales y minimiza el riesgo de obtener datos falsos debidos a errores humanos.
- 4) Actualmente se está analizando la posibilidad de utilizar este prototipo para la medición de variables meteorológicas, concentrando las señales de velocidad y dirección de viento, precipitación pluvial, temperatura, humedad relativa, presión barométrica, insolación, radiación solar y evaporación provenientes de los sensores adecuados.

7. BIBLIOGRAFIA

- Rodney Zaks, Austin Lesea. "MICROPROCESSOR INTERFACING TECHNIQUES". Sybex, Third edition, 1979.
- Steve Ciarcia, "BUILD YOUR OWN Z80 COMPUTER", Mc. Graw Hill, 1981.
- Rodney Zaks. "PROGRAMMING THE Z80", Sybex, Third edition, 1982.
- Garcia Narcia Octavio F. "PROGRAMACION Z-80" Bioediciones, 2da. edición, marzo 1982.
- James W. Coffron "Z80 APPLICATIONS", Sybex, 1983
- Juan Martínez, "ESTACION CONCENTRADORA DE DATOS PARA LA RED PLUVIOMETRICA DEL D.D.F. "Proy 0133, agosto 1981. Instituto de Ingeniería, UNAM.
- DATA CONVERSION/ADQUISICION DATABOOK (National)
- COMPONENT DATA CATALOG (Intel)
- LINEAR INTEGRATED CIRCUITS (Motorola)
- THE MOS MEMORY DATA BOOK (Texas Instruments Incorporated)
- THE TTL DATA BOOK for Design Engineers
- EXAR TIMER DATA BOOK

A P E N D I C E A

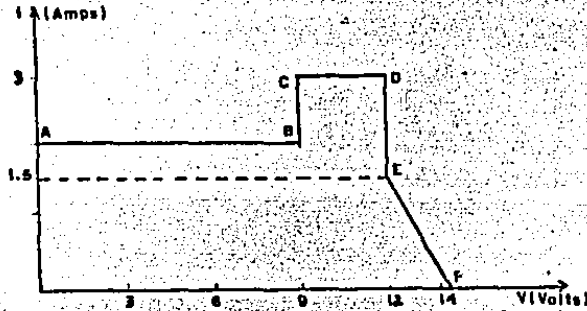
- Fuente Ininterrumpible
- + Cargador de Batería.
- + Convertidor DC-DC

FUENTE ININTERRUMPIBLE

La fuente de alimentación con respaldo consta de los siguientes elementos, fig. A, un transformador de bajada, un rectificador de onda completa, una etapa de filtrado dada por los capacitores y un circuito regulador de voltaje ajustado a 15 volts. Este regulador alimenta a dos circuitos: Un cargador de baterías ácida de 12 volts y un convertidor de DC-DC.

CARGADOR

El cargador de batería ácida está basado en la característica ideal de corriente de carga, para una batería normal de ácido de 12 volts totalmente descargada. Esta característica se muestra en la figura de abajo.



Durante la fase A-B se utiliza una corriente de carga limitada hasta que el voltaje de la batería alcanza aproximadamente 9 volts. Esta restricción en la corriente de carga, es necesaria para evitar que el cargador se sobrecargue y tenga demasiada disipación térmica. En la siguiente fase (C-D) la batería se carga con una corriente de 3 A; al final de este período la batería estará cargada a 12 volts y dará principio a la fase final (E-F). A partir de este momento la batería se carga con una corriente pequeña, la cual decrecerá gradualmente hasta cero a medida que la batería alcance su carga completa.

El circuito cargador (fig. B) funciona de la siguiente manera:

Si la batería está totalmente descargada (voltaje < 9V) no fluirá corriente a través del diodo zener de 5.6 V. que ocasionará que el transistor (BC548) esté apagado.

La salida del amplificador operacional (741) será baja, con lo cual las corrientes de base de los transistores (BC136) y tip 42 y por consiguiente la corriente de carga estarán determinadas solamente por la posición del potenciómetro de 100 k Ω .

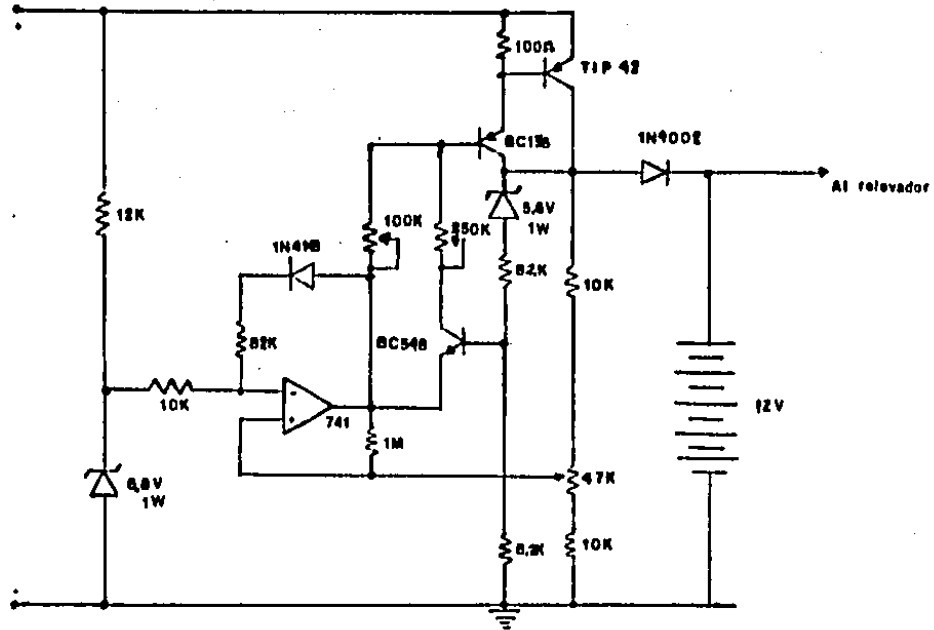


FIG. B	_____
CARGADOR DE BATERIA	_____
VTO	_____

Si el voltaje de la batería esta entre 9V y 11.8V, el diodo zener de 5.6V conduce y el transistor BC548 se enciende. La salida del amplificador operacional permanece baja por lo que la corriente de carga esta determinada por los potenciómetros de 100 y 250 K Ω .

Si el voltaje en el cursor del potenciómetro de 47 Ω excede el voltaje del zener de 6.8 V, entonces, debido a la realimentación positiva a través de la resistencia de 1 M Ω , la salida del amplificador operacional cambiará a un valor determinado por el voltaje del zener 6.8 V y por la caída de voltaje en el diodo IN4148. Como resultado de esto, el transistor BC548 se apaga nuevamente y la corriente vuelve a estar determinada por la posición del potenciómetro de 100 K Ω , pero ahora, debido al voltaje alto en la salida del amplificador operacional, la corriente a través del potenciómetro de 100 K Ω y por consiguiente la corriente de carga es baja.

Como el diodo IN4148 está en directa, el efecto de las resistencias de 82 K Ω y 10 K Ω será reducir gradualmente la corriente de carga, a medida que el voltaje de la batería va aumentando.

Para calibrar el circuito se ajusta el potenciómetro de 47 K Ω de modo que la salida del amplificador operacional cambie a alto cuando el voltaje de la batería sea de 12 V.

Mediante el potenciómetro 100 K Ω se establece la corriente de carga para la fase (E-F), cuando el voltaje de la batería está entre 12.1 V y 14 V. Esta corriente es de magnitud baja y tiene un valor de:

$\frac{C}{20\text{-hora}}$, donde

C = capacidad de la batería en Amp-hora

Para la batería que se utiliza C=30 Amp-hora, por lo que la corriente de carga para esta fase se ajusta a 1.5 Amp.

Finalmente cuando el voltaje está entre 10 y 11.8 V, se ajusta el potenciómetro de 250 K Ω para una corriente de carga de 3 Amp. (C/10-hora).

La corriente de carga inicial, fase (A-B), se establece por sí sola de acuerdo al valor de la corriente establecida para la fase (E-F) y dependiendo de las características de los transistores. Esta corriente tiene un valor aproximado de 30% mayor que la de la fase E-F.

CONVERTIDOR DC-DC

La finalidad del convertidor es el poder realizar una fuente de alimentación con respaldo. Este convertidor funciona con el voltaje de la línea, o bien con el voltaje de la batería, cuando se detecta alguna falla en la línea, de tal forma que se obtienen voltajes de +12 V, -12V y +5V. (Fig. C).

El convertidor DC-DC consta de los siguientes elementos: Un oscilador (CI-555) una etapa de amplificación (TIP 35 B), un transformador de subida (12V-36B, 1A), dos rectificadores de onda completa (6 diodos IN4002), una etapa del filtrado y protección; finalmente, dependiendo del voltaje deseado, reguladores de voltaje (7805, 7812 y 7912).

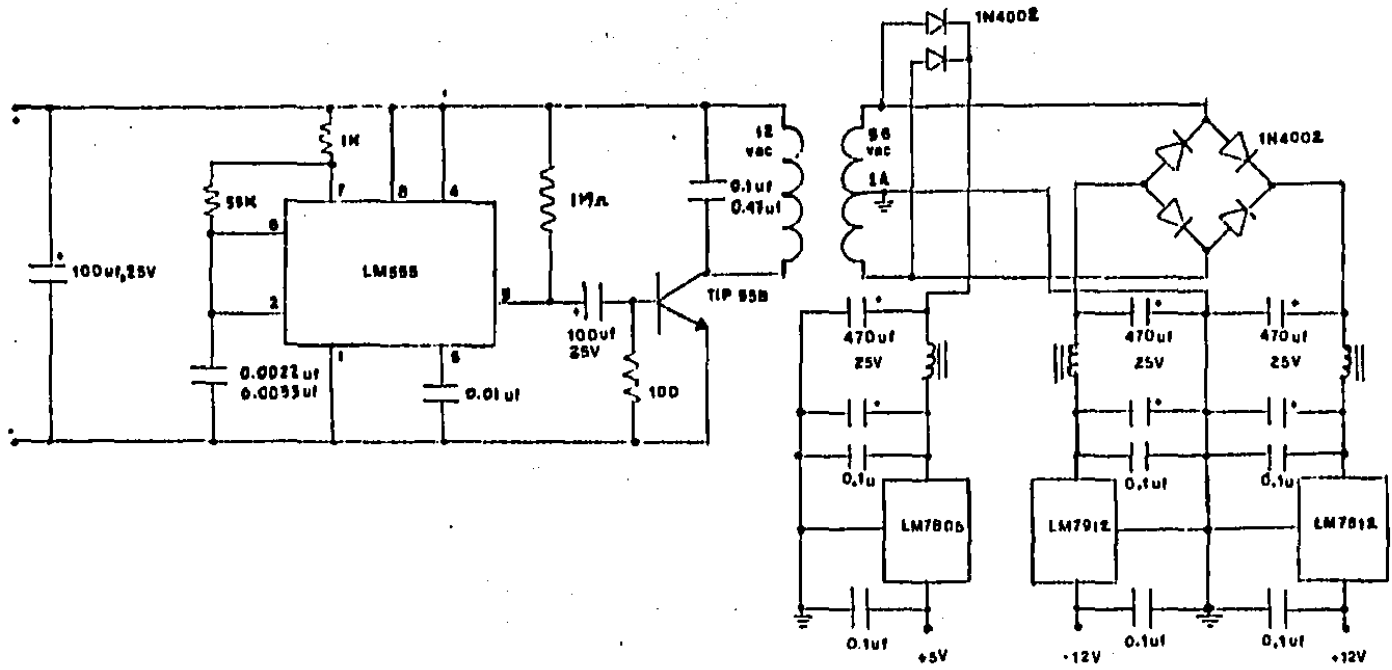


FIG. C	
CONVERTIDOR	
DC-DC	
VTG - LSC	

A P E N D I C E B

- Lista de Componentes
- + Módulo Base
- + Acoplador de señales de estado de las bombas e identificador de estación.
- + Acoplador de señales de nivel en el cárcamo
- + Módulo de E/S
- + Fuente ininterrumpible

MODULO BASE.

<u>Número</u>	<u>Descripción</u>	<u>Cantidad</u>
Z80 A	CPU 4MHZ	1
TMS 2532	EPROM 4KX8	2
6116	RAM 2KX8	2
8251	UART	1
8255	PUERTOS	2
74LS04	INVERSOR	1
74LS74	FLIP FLOP D	1
74LS139	DEC 2-4	1
74138	DEC 3-8	1
74LS123	MONOESTABLE	1
74LS93	CONTADOR 4 BITS	1
MC 1488	DRIVER RS232	1
MC1489	RECEP RS232	1
XR 2240	TEMPORIZADOR	1
XTAL 8 MHZ	CRISTAL	1
	RESISTENCIA 1 k Ω , 1/4 W	2
	RESISTENCIA 5.6 k Ω , 1/4 W	4
	RESISTENCIA 47 k Ω , 1/4 W	
	RESISTENCIA 33 k Ω , 1/4 W	1
	RESISTENCIA 220 Ω , 1/4 W	1
	RESISTENCIA 15 k Ω , 1/4 W	1
	CAPACITOR 10 μ F, 16V. ELECT	4
	CAPACITOR 0.1 μ F, 16V. CERAM	1

NúmeroDescripciónCantidad

CAPACITOR 47 μ F, 16V ELECT 1

CAPACITOR 150 μ F, 16V. CERAM 1

CAPACITOR 22 pF, 16V. CERAM 1

CAPACITOR 10 nF, 16V. CERAM 9

CONECTOR CABLE PLANO 26 "PINS" 2

TARJETA DE ALAMBRADO 1

LED 20 mA 1

ACOPLADOR DE SEÑALES DE ESTADO DE LAS BOMBAS E IDENTIFICACION DE ESTACION.

<u>Número</u>	<u>Descripción</u>	<u>Cantidad</u>
WO 4M	RECTIFICADOR DE ONDA COMPLETA TIPO PUENTE 1.5 AMPS.	14
4N25	OPTOACOPLADOR (2500V)	14
74LS04	INVERSOR	3
	MICROINTERRUPTOR DE 6 "SWITCHES"	1
	RESISTENCIA 100 k Ω , 1/2 W	28
	RESISTENCIA 100 k Ω , 1/4 W	6
	RESISTENCIA 1 M Ω , 1/4 W	14
	CAPACITOR 10 pF, 16V. CERAM	3
	CONECTOR CABLE PLANO 26 "PINS"	1
	BASE DE INTEGRADO 16 "PINS"	1

ACOPLADOR DE SEÑALES DE NIVEL EN EL CARCAMO

<u>Número</u>	<u>Descripción</u>	<u>Cantidad</u>
ADC0809	CONVERTIDOR ANALOGO-DIGITAL	1
74LS02	NOR. DE 2 ENTRADAS	1
MM58174	RELOJ DE TIEMPO REAL	1
AC128	TRANSISTOR DE GERMANIO	8
74LS244	"BUFFER"	1

XTAL 32,678 HZ

CRISTAL	1
RESISTENCIA 100 k Ω , 1/4 W	8
RESISTENCIA 470 Ω , 1/4 W	16
MICROINTERRUPTOR (8 "SWITCHES")	1
POTENCIOMETROS 100 Ω	8
CAPACITOR 20 pF, 16 V. CERAM	1
CAPACITOR VARIABLE 6-36 pF	1
BASE DE INTEGRADO 14 "PINS"	1

MODULO DE ENTRADA-SALIDA

<u>Número</u>	<u>Descripción</u>	<u>Cantidad</u>
CD4069	INVERSOR	4
	MICROINTERRUPTOR (8 "SWITCHES")	
	c/uno	3
	RESISTENCIA 100 k Ω , 1/4 W	24
	RESISTENCIA 1 k Ω , 1/4 W	24
	LEDS (Diodo emisor de luz)	24
	CAPACITOR 10 pF, 16 V. CERAMICO	4
	CONECTOR CABLE PLANO 26 "PINS"	1

FUENTE ININTERRUMPIBLE

<u>Número</u>	<u>Descripción</u>	<u>Cantidad</u>
LM322	REGULADOR, +5V, 3A	1
LM741	AMPLIFICADOR OPERACIONAL	1
LM555	TIMER	1

Número	Descripción	Cantidad
LM7805	REGULADOR, +5V	1
LM7812	REGULADOR, +12V	1
LM7912	REGULADOR, -12V	1
1N4002	DIODO	12
1N4148	DIODO	1
	ZENER, 6.8 V, 1W	1
	ZENER, 5.6 V, 1W	1
TIP 42	TRANSISTOR, PNP	1
TIP 35B	TRANSISTOR, NPN	1
BC 136	TRANSISTOR, NPN	1
BC548	TRANSISTOR, NPN	1
	REVELADOR, 12V, 3A	1
	TRANSFORMADOR 12V, 36V, 1A c/TAP CENTRAL	1
	ACUNULADOR 12V, 42 AH (LTH)	1
	RESISTENCIA 470 Ω , 1/2W	1
	RESISTENCIA 330 Ω , 1/2W	1
	RESISTENCIA 12 k Ω , 1/2 W	1
	RESISTENCIA 10 k Ω , 1/2 W	3
	RESISTENCIA 82 k Ω , 1/2 W	1
	RESISTENCIA 1 M Ω , 1/2 W	2
	RESISTENCIA 100 Ω , 1/2 W	2
	RESISTENCIA 8.2 k Ω , 1/2 W	2
	RESISTENCIA 33 k Ω , 1/2 W	1
	RESISTENCIA 1 k Ω , 1/2 W	1
	POTENCIOMETRO 250 k Ω	1

Número

Descripción

Cantidad

POTENCIOMETRO 100 k Ω	1
POTENCIOMETRO 47 k Ω	1
CAPACITOR 0.1 μ F, 16 V.	10
CAPACITOR 0.01 μ F, 16 V	1
CAPACITOR 2.2 nF, 16 V	1
CAPACITOR 100 μ F, 25 V	2
CAPACITOR 1000 μ F, 50 V	4
CAPACITOR 470 μ F, 25 V.	3

A P E N D I C E C

- Hojas de especificaciones técnicas
- + Z80A - CPU
- + TMS2532 - EPROM
- + 6116 - RAM
- + 8251 - UART
- + 8255 - PUERTOS
- + MC1488 - DRIVER
- + MC1489 - RECEIVER
- + XR2240 - TEMPORIZADOR
- + 4N25 - OPTOACOPLADOR
- + ADC0809 - CONVERTIDOR A/D
- + MM58174 - RELOJ DE TIEMPO REAL
- ESPECIFICACION RS404 DE EIA

Appendix

Electrical Specifications

Absolute Maximum Ratings

Temperature Under Bias	Specified operating range.
Storage Temperature	-65°C to +150°C
Voltage On Any Pin with Respect to Ground	-0.5V to +7V
Power Dissipation	1.5W

*Comment

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note: For Z80-CPU all AC and DC characteristics remain the same for the military grade parts except I_{CC}

$$I_{CC} = 200 \text{ mA}$$

Z80-CPU D.C. Characteristics

$T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5\text{V} \pm 5\%$ unless otherwise specified

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	$V_{CC} - 0.6$		$V_{CC} + 0.3$	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	$I_{OL} = 1.8 \text{ mA}$
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -250 \mu\text{A}$
I_{CC}	Power Supply Current			150	mA	
I_{LI}	Input Leakage Current			10	μA	$V_{IN} = 0 \text{ to } V_{CC}$
I_{LOH}	Tri-State Output Leakage Current in Float			10	μA	$V_{OUT} = 2.4 \text{ to } V_{CC}$
I_{LOL}	Tri-State Output Leakage Current in Float			-10	μA	$V_{OUT} = 0.4\text{V}$
I_{LD}	Data Bus Leakage Current in Input Mode			± 10	μA	$0 < V_{IN} < V_{CC}$

Capacitance

$T_A = 25^\circ\text{C}$, $f = 1 \text{ MHz}$, unmeasured pins returned to ground

Symbol	Parameter	Max.	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80-CPU

Ordering Information

C - Ceramic
 P - Plastic
 S - Standard 5V $\pm 5\%$ 0° to 70°C
 E - Extended 5V $\pm 5\%$ -40° to 85°C
 M - Military 5V $\pm 10\%$ -55° to 125°C

Z80A-CPU D.C. Characteristics

$T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5\text{V} \pm 5\%$ unless otherwise specified

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	$V_{CC} - 0.6$		$V_{CC} + 0.3$	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	$I_{OL} = 1.8 \text{ mA}$
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -250 \mu\text{A}$
I_{CC}	Power Supply Current		90	200	mA	
I_{LI}	Input Leakage Current			10	μA	$V_{IN} = 0 \text{ to } V_{CC}$
I_{LOH}	Tri-State Output Leakage Current in Float			10	μA	$V_{OUT} = 2.4 \text{ to } V_{CC}$
I_{LOL}	Tri-State Output Leakage Current in Float			-10	μA	$V_{OUT} = 0.4\text{V}$
I_{LD}	Data Bus Leakage Current in Input Mode			± 10	μA	$0 < V_{IN} < V_{CC}$

Capacitance

$T_A = 25^\circ\text{C}$, $f = 1 \text{ MHz}$, unmeasured pins returned to ground

Symbol	Parameter	Max.	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80A-CPU

Ordering Information

C - Ceramic
 P - Plastic
 S - Standard 5V $\pm 5\%$ 0° to 70°C

A.C. Characteristics

Z80-CPU

$T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = +5V \pm 5\%$, Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Condition
•	t_c	Clock Period	4	1121	μs	
	$t_{w(\Phi H)}$	Clock Pulse Width, Clock High	180	181	nsec	
	$t_{w(\Phi L)}$	Clock Pulse Width, Clock Low	180	2000	nsec	
	t_r, f	Clock Rise and Fall Time		30	nsec	
A0-15	$t_{D(AD)}$	Address Output Delay		145	nsec	$C_L = 50\text{pF}$
	$t_{F(AD)}$	Delay to Float		110	nsec	
	t_{adm}	Address Stable Prior to $\overline{\text{MREQ}}$ (Memory Cycle)		111	nsec	
	t_{aw}	Address Stable Prior to $\overline{\text{IORQ}}$, $\overline{\text{RD}}$, or $\overline{\text{WR}}$ (I/O Cycle)		127	nsec	
	t_{af}	Address Stable from $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{IORQ}}$ or $\overline{\text{MREQ}}$		131	nsec	
D0-7	$t_{D(D)}$	Data Output Delay		230	nsec	$C_L = 50\text{pF}$
	$t_{F(D)}$	Delay to Float During Write Cycle		50	nsec	
	$t_{S(D)}$	Data Setup Time to Rising Edge of Clock During M1 Cycle		60	nsec	
	$t_{S(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5		60	nsec	
	t_{dm}	Data Stable Prior to $\overline{\text{WR}}$ (Memory Cycle)		151	nsec	
	t_{dw}	Data Stable Prior to $\overline{\text{WR}}$ (I/O Cycle)		161	nsec	
	t_{df}	Data Stable From $\overline{\text{WR}}$		171	nsec	
t_H	Any Hold Time for Setup Time	0		nsec		
$\overline{\text{MREQ}}$	$t_{DL(\overline{\text{MRL}})}$	$\overline{\text{MREQ}}$ Delay From Falling Edge of Clock, $\overline{\text{MREQ}}$ Low		100	nsec	$C_L = 50\text{pF}$
	$t_{DH(\overline{\text{MRL}})}$	$\overline{\text{MREQ}}$ Delay From Rising Edge of Clock, $\overline{\text{MREQ}}$ High		100	nsec	
	$t_{DL(\overline{\text{MRR}})}$	$\overline{\text{MREQ}}$ Delay From Falling Edge of Clock, $\overline{\text{MREQ}}$ High		100	nsec	
	$t_{w(\overline{\text{MRL}})}$	Pulse Width, $\overline{\text{MREQ}}$ Low		181	nsec	
	$t_{w(\overline{\text{MRR}})}$	Pulse Width, $\overline{\text{MREQ}}$ High		191	nsec	
$\overline{\text{IORQ}}$	$t_{DL(\overline{\text{IR}})}$	$\overline{\text{IORQ}}$ Delay From Rising Edge of Clock, $\overline{\text{IORQ}}$ Low		90	nsec	$C_L = 50\text{pF}$
	$t_{DL(\overline{\text{IR}})}$	$\overline{\text{IORQ}}$ Delay From Falling Edge of Clock, $\overline{\text{IORQ}}$ Low		110	nsec	
	$t_{DH(\overline{\text{IR}})}$	$\overline{\text{IORQ}}$ Delay From Rising Edge of Clock, $\overline{\text{IORQ}}$ High		100	nsec	
	$t_{DH(\overline{\text{IR}})}$	$\overline{\text{IORQ}}$ Delay From Falling Edge of Clock, $\overline{\text{IORQ}}$ High		170	nsec	
$\overline{\text{RD}}$	$t_{DL(\overline{\text{RD}})}$	$\overline{\text{RD}}$ Delay From Rising Edge of Clock, $\overline{\text{RD}}$ Low		100	nsec	$C_L = 50\text{pF}$
	$t_{DL(\overline{\text{RD}})}$	$\overline{\text{RD}}$ Delay From Falling Edge of Clock, $\overline{\text{RD}}$ Low		130	nsec	
	$t_{DH(\overline{\text{RD}})}$	$\overline{\text{RD}}$ Delay From Rising Edge of Clock, $\overline{\text{RD}}$ High		100	nsec	
	$t_{DH(\overline{\text{RD}})}$	$\overline{\text{RD}}$ Delay From Falling Edge of Clock, $\overline{\text{RD}}$ High		170	nsec	
$\overline{\text{WR}}$	$t_{DL(\overline{\text{WR}})}$	$\overline{\text{WR}}$ Delay From Rising Edge of Clock, $\overline{\text{WR}}$ Low		80	nsec	$C_L = 50\text{pF}$
	$t_{DL(\overline{\text{WR}})}$	$\overline{\text{WR}}$ Delay From Falling Edge of Clock, $\overline{\text{WR}}$ Low		90	nsec	
	$t_{DH(\overline{\text{WR}})}$	$\overline{\text{WR}}$ Delay From Rising Edge of Clock, $\overline{\text{WR}}$ High		100	nsec	
	$t_w(\overline{\text{WRL}})$	Pulse Width, $\overline{\text{WR}}$ Low		110	nsec	
$\overline{\text{MI}}$	$t_{DL(\overline{\text{MI}})}$	$\overline{\text{MI}}$ Delay From Rising Edge of Clock, $\overline{\text{MI}}$ Low		130	nsec	$C_L = 50\text{pF}$
	$t_{DH(\overline{\text{MI}})}$	$\overline{\text{MI}}$ Delay From Rising Edge of Clock, $\overline{\text{MI}}$ High		130	nsec	
$\overline{\text{RFSH}}$	$t_{DL(\overline{\text{RF}})}$	$\overline{\text{RFSH}}$ Delay From Rising Edge of Clock, $\overline{\text{RFSH}}$ Low		180	nsec	$C_L = 50\text{pF}$
	$t_{DH(\overline{\text{RF}})}$	$\overline{\text{RFSH}}$ Delay From Rising Edge of Clock, $\overline{\text{RFSH}}$ High		190	nsec	
$\overline{\text{WAIT}}$	$t_s(\overline{\text{WT}})$	$\overline{\text{WAIT}}$ Setup Time to Falling Edge of Clock	70		nsec	
$\overline{\text{HALT}}$	$t_D(\overline{\text{HT}})$	$\overline{\text{HALT}}$ Delay Time From Falling Edge of Clock		300	nsec	$C_L = 50\text{pF}$
$\overline{\text{INT}}$	$t_s(\overline{\text{IT}})$	$\overline{\text{INT}}$ Setup Time to Rising Edge of Clock	80		nsec	
$\overline{\text{KMI}}$	$t_w(\overline{\text{KML}})$	Pulse Width, $\overline{\text{KMI}}$ Low	80		nsec	
$\overline{\text{BUSRQ}}$	$t_s(\overline{\text{BRQ}})$	$\overline{\text{BUSRQ}}$ Setup Time to Rising Edge of Clock	80		nsec	
$\overline{\text{BUSAk}}$	$t_{DL(\overline{\text{BAk}})}$	$\overline{\text{BUSAk}}$ Delay From Rising Edge of Clock, $\overline{\text{BUSAk}}$ Low		120	nsec	$C_L = 50\text{pF}$
	$t_{DH(\overline{\text{BAk}})}$	$\overline{\text{BUSAk}}$ Delay From Falling Edge of Clock, $\overline{\text{BUSAk}}$ High		110	nsec	
$\overline{\text{RESET}}$	$t_s(\overline{\text{RS}})$	$\overline{\text{RESET}}$ Setup Time to Rising Edge of Clock	90		nsec	
	$t_F(\overline{\text{C}})$	Delay to Float ($\overline{\text{MREQ}}$, $\overline{\text{IORQ}}$, $\overline{\text{RD}}$ and $\overline{\text{WR}}$)		100	nsec	
	t_{ms}	$\overline{\text{MI}}$ Stable Prior to $\overline{\text{IORQ}}$ (Interrupt Ack.)	1111		nsec	

(12) $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$

(1) $t_{adm} = t_{w(\Phi H)} + t_f - 75$

(2) $t_{af} = t_c - 80$

(3) $t_{dm} = t_{w(\Phi L)} + t_f - 40$

(4) $t_{df} = t_{w(\Phi L)} + t_f - 60$

(5) $t_{dcm} = t_c - 210$

(6) $t_{dcl} = t_{w(\Phi L)} + t_f - 210$

(7) $t_{cdf} = t_{w(\Phi L)} + t_f - 80$

(8) $t_{w(\overline{\text{MRL}})} = t_c - 40$

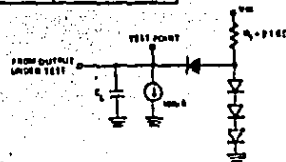
(9) $t_{w(\overline{\text{MRR}})} = t_{w(\Phi H)} + t_f - 30$

(10) $t_{w(\overline{\text{WRL}})} = t_c - 40$

(11) $t_{ms} = 2t_c + t_{w(\Phi H)} + t_f - 80$

NOTES

- Data should be enabled onto the CPU data bus when $\overline{\text{RD}}$ is active. During interrupt acknowledge data should be enabled when $\overline{\text{MI}}$ and $\overline{\text{IORQ}}$ are both active.
- All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.
- The $\overline{\text{RESET}}$ signal must be active for a minimum of 3 clock cycles.
- Output Delay vs. Loaded Capacitance
 $T_A = 70^\circ\text{C}$, $V_{CC} = +5V \pm 5\%$
 Add 10nsec delay for each 50pf increase in load up to a maximum of 200pf for the data bus & 100pf for address & control lines.
- Although static by design, testing guarantees $t_{w(\Phi H)}$ of 300 nsec maximum.

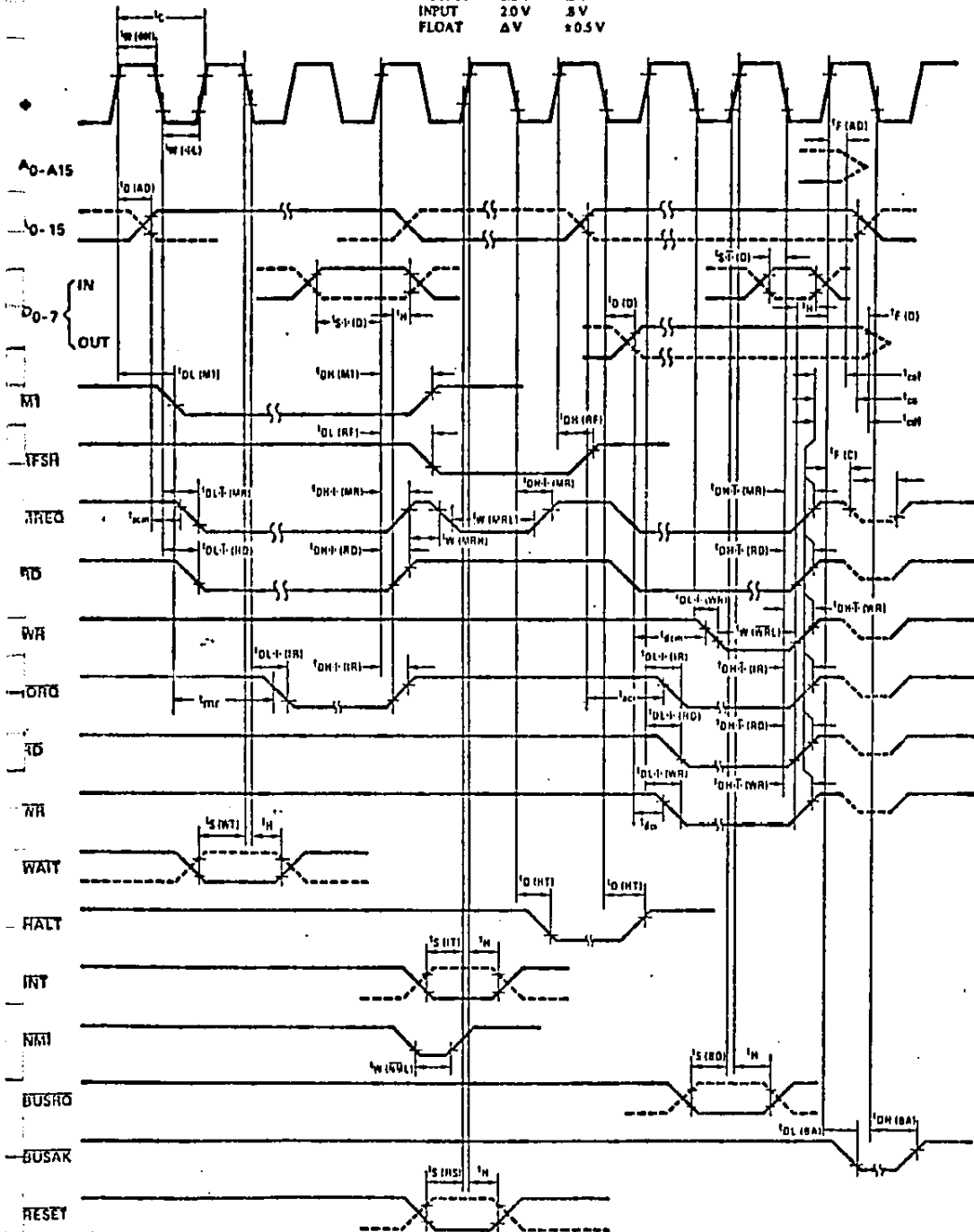


Load circuit for Output

A.C. Timing Diagram

Timing measurements are made at the following voltages, unless otherwise specified:

	"1"	"0"
CLOCK	V _{CC} - 6V	.45V
OUTPUT	2.0V	.8V
INPUT	2.0V	.8V
FLOAT	ΔV	±0.5V



A.C. Characteristics

Z80A-CPU

$T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = +5V \pm 5\%$. Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Conditions
Clock	t_c (PH)	Clock Period	.25	11.21	μsec	
	t_w (PH)	Clock Pulse Width, Clock High	110	1F	nsec	
	t_w (PL)	Clock Pulse Width, Clock Low	110	2000	nsec	
	t_r, f	Clock Rise and Fall Time		50	nsec	
A ₀₋₁₅	t_D (AD)	Address Output Delay		110	nsec	$C_L = 50\text{pF}$
	t_F (AD)	Delay to Float		90	nsec	
	t_{acm}	Address Stable Prior to MREQ (Memory Cycle)	111		nsec	
	t_{acl}	Address Stable Prior to IORQ, RD or WR (I/O Cycle)	112		nsec	
	t_{ca}	Address Stable from RD, WR, IORQ or MREQ	113		nsec	
t_{caf}	Address Stable From RD or WR During Float	114		nsec		
D ₀₋₇	t_D (D)	Data Output Delay		150	nsec	$C_L = 50\text{pF}$
	t_F (D)	Delay to Float During Write Cycle		90	nsec	
	t_{SD} (D)	Data Setup Time to Rising Edge of Clock During M1 Cycle	35		nsec	
	t_{SD} (D)	Data Setup Time to Falling Edge of Clock During M2 to M5	50		nsec	
	t_{dcn}	Data Stable Prior to WR (Memory Cycle)	115		nsec	
	t_{dc}	Data Stable Prior to WR (I/O Cycle)	116		nsec	
	t_{cdf}	Data Stable From WR	117		nsec	
t _H	Any Hold Time for Setup Time		0	nsec		
MREQ	$t_{DL\Phi}$ (MR)	MREQ Delay From Falling Edge of Clock, MREQ Low		85	nsec	$C_L = 50\text{pF}$
	$t_{DH\Phi}$ (MR)	MREQ Delay From Rising Edge of Clock, MREQ High		85	nsec	
	$t_{DL\Phi}$ (MR)	MREQ Delay From Falling Edge of Clock, MREQ High		85	nsec	
	t_w (MRL)	Pulse Width, MREQ Low	118		nsec	
	t_w (MRH)	Pulse Width, MREQ High	119		nsec	
IORQ	$t_{DL\Phi}$ (IR)	IORQ Delay From Rising Edge of Clock, IORQ Low		75	nsec	$C_L = 50\text{pF}$
	$t_{DL\Phi}$ (IR)	IORQ Delay From Falling Edge of Clock, IORQ Low		85	nsec	
	$t_{DH\Phi}$ (IR)	IORQ Delay From Rising Edge of Clock, IORQ High		85	nsec	
	$t_{DH\Phi}$ (IR)	IORQ Delay From Falling Edge of Clock, IORQ High		85	nsec	
	t_w (IRL)	Pulse Width, IORQ Low		85	nsec	
RD	$t_{DL\Phi}$ (RD)	RD Delay From Rising Edge of Clock, RD Low		85	nsec	$C_L = 50\text{pF}$
	$t_{DL\Phi}$ (RD)	RD Delay From Falling Edge of Clock, RD Low		95	nsec	
	$t_{DH\Phi}$ (RD)	RD Delay From Rising Edge of Clock, RD High		85	nsec	
	$t_{DH\Phi}$ (RD)	RD Delay From Falling Edge of Clock, RD High		85	nsec	
	t_w (RRL)	Pulse Width, RD Low		85	nsec	
WR	$t_{DL\Phi}$ (WR)	WR Delay From Rising Edge of Clock, WR Low		65	nsec	$C_L = 50\text{pF}$
	$t_{DL\Phi}$ (WR)	WR Delay From Falling Edge of Clock, WR Low		90	nsec	
	$t_{DH\Phi}$ (WR)	WR Delay From Rising Edge of Clock, WR High		80	nsec	
	t_w (WRL)	Pulse Width, WR Low	110		nsec	
	t_w (WRH)	Pulse Width, WR High			nsec	
M1	t_{DL} (M1)	M1 Delay From Rising Edge of Clock, M1 Low		100	nsec	$C_L = 50\text{pF}$
	t_{DH} (M1)	M1 Delay From Rising Edge of Clock, M1 High		100	nsec	
RFSH	t_{DL} (RF)	RFSH Delay From Rising Edge of Clock, RFSH Low		130	nsec	$C_L = 50\text{pF}$
	t_{DH} (RF)	RFSH Delay From Rising Edge of Clock, RFSH High		120	nsec	
WAIT	t_s (WT)	WAIT Setup Time to Falling Edge of Clock	70		nsec	
HALT	t_D (HT)	HALT Delay Time From Falling Edge of Clock		300	nsec	$C_L = 50\text{pF}$
INT	t_s (IT)	INT Setup Time to Rising Edge of Clock	80		nsec	
NMI	t_w (NML)	Pulse Width, NMI Low	80		nsec	
BUSRQ	t_s (BQ)	BUSRQ Setup Time to Rising Edge of Clock	30		nsec	
BUSAK	t_{DL} (BA)	BUSAK Delay From Rising Edge of Clock, BUSAK Low		100	nsec	$C_L = 50\text{pF}$
	t_{DH} (BA)	BUSAK Delay From Falling Edge of Clock, BUSAK High		100	nsec	
RESET	t_s (RS)	RESET Setup Time to Rising Edge of Clock	60		nsec	
	t_F (C)	Delay to Float (MREQ, IORQ, RD and WR)		30	nsec	
	t_{mr}	M1 Stable Prior to IORQ (Interrupt Ack.)	1111		nsec	

$$[12] t_c = t_w(\Phi H) + t_w(\Phi L) + t_r + t_f$$

$$[1] t_{acm} = t_w(\Phi H) + t_r - 65$$

$$[2] t_{acl} = t_c - 70$$

$$[3] t_{ca} = t_w(\Phi L) + t_r - 50$$

$$[4] t_{caf} = t_w(\Phi L) + t_r - 45$$

$$[5] t_{dcn} = t_c - 170$$

$$[6] t_{dc} = t_w(\Phi L) + t_r - 170$$

$$[7] t_{cdf} = t_w(\Phi L) + t_r - 70$$

$$[8] t_w(\overline{MRL}) = t_c - 30$$

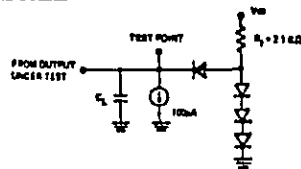
$$[9] t_w(\overline{MRLH}) = t_w(\Phi H) + t_r - 20$$

$$[10] t_w(\overline{WRL}) = t_c - 30$$

$$[11] t_{mr} = 2t_c + t_w(\Phi H) + t_r - 65$$

NOTES:

- Data should be enabled onto the CPU data bus when RD is active. During interrupt acknowledge data should be enabled when M1 and IORQ are both active.
- All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.
- The RESET signal must be active for a minimum of 3 clock cycles.
- Output Delay vs. Load Capacitance
 $T_A = 75^\circ\text{C}$ $V_{CC} = +5V \pm 5\%$
 Add 10nsec delay for each 50pf increase in load up to maximum of 200pf for data bus and 100pf for address & control lines.
- Although static by design, testing guarantees $t_w(\Phi H)$ of 200 nsec maximum



Load circuit for Output

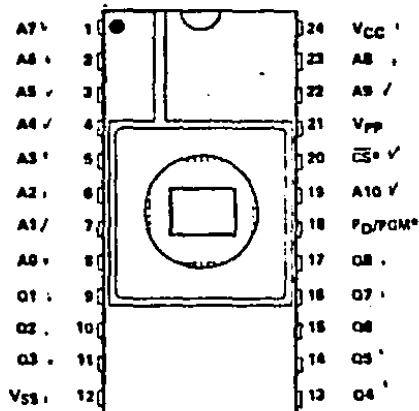
MOS LSI

TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K and 32K EPROMs

APRIL 1978

- Organization:
 - TMS 2516 . . . 2K X 8
 - TMS 2532 . . . 4K X 8
- Single +5 V Power Supply
- Pin Compatible with Existing ROMs and EPROMs (8 K, 16 K, 32 K, and 64 K)
- JEDEC Standard Pinouts
- All Inputs/Outputs Fully TTL Compatible
- Static Operation (No Clocks, No Refresh)
- Max Access/Min Cycle Times . . . 450 ns
- 8-Bit Output for Use in Microprocessor-Based Systems
- N-Channel Silicon-Gate Technology
- 3-State Output Buffers
- Low Power
 - Active:
 - TMS 2516 . . . 285 mW Typical
 - TMS 2532 . . . 400 mW Typical
 - Standby . . . 50 mW Typical
- Guaranteed dc Noise Immunity with Standard TTL Loads
- No Pull-Up Resistors Required

TMS 2516
24-PIN CERAMIC
DUAL-IN-LINE PACKAGE
(TOP VIEW)



*FOR TMS 2532:
PIN 18 . . . A11
PIN 20 . . . PD/PGM

PIN NOMENCLATURE	
A(I)	Address Input
CS	Chip Select
PD/PGM, $\overline{PD/PGM}$	Power Down/Program
O(I)	Input/Output
VCC	+5 V Power Supply
Vpp	+25 V Power Supply
VSS	0 V Ground

description

The TMS 2516 JL and TMS 2532 JL are 16,384-bit and 32,768-bit, ultraviolet light erasable, electrically programmable read-only memories. These devices are fabricated using N-channel silicon-gate technology for high speed and simple interface with MCS and Bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 TTL circuits without the use of external pull-up resistors, and each output can drive one Series 74 TTL circuit without external resistors. The data outputs are three-state for OR-tying multiple devices on a common bus. The TMS 2516 is upward pin-compatible with the TMS 2532 and the TMS 2532 is plug-in compatible with the TMS 4732 32K ROM.

Since these EPROMs operate from a single +5 V supply (in the read mode), they are ideal for use in microprocessor systems. One other (+25 V) supply is needed for programming but all programming signals are TTL level, requiring a single 50 ms pulse. For programming outside of the system, existing EPROM programmers can be used. Locations may be programmed singly, in blocks, or at random. Total programming time for all bits for the TMS 2516 is 100 seconds; 200 seconds for the TMS 2532.

TMS 2516 JL, JDL AND TMS 2532 JL, JDL 16K AND 32K EPROMs

recommended operating conditions

PARAMETER	TMS 2516			TMS 2532			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC} (see Note 2)	4.75	5	5.25	4.75	5	5.25	V
Supply voltage, V_{pp} (see Note 3)	$V_{CC}-0.6$	V_{CC}	$V_{CC}+0.6$	$V_{CC}-0.6$	V_{CC}	$V_{CC}+0.6$	V
Supply voltage, V_{SS}	0			0			V
High-level input voltage, V_{IH}	$V_{CC}+1$			$V_{CC}+1$			V
Low-level input voltage, V_{IL}	-0.1			-0.1			V
Read cycle time, t_{CRD}	450			450			ns
Operating free air temperature, T_A	0			70			$^{\circ}$ C

NOTES: 2. V_{CC} must be applied before or at the same time as V_{pp} and removed after or at the same time as V_{pp} . The device must not be inserted into or removed from the board when V_{pp} is applied so that the device is not damaged.

3. V_{pp} can be connected to V_{CC} directly (except in the program mode). V_{CC} supply currents in this case would be $I_{CC} + I_{pp}$. Tolerance of ± 6 volts enables the V_{pp} pin to be switched from V_{CC} (read) to 25 volts (programming) using a drive circuit. During programming, V_{pp} must be maintained at 25V ($\pm 1V$).

electrical characteristics over full ranges of recommended operating conditions

PARAMETER	TEST CONDITIONS	TMS 2516		TMS 2532		UNIT
		MIN	TYP ¹ MAX	MIN	TYP ¹ MAX	
V_{OH} High-level output voltage	$I_{OH} = -400 \mu A$	2.4		2.4		V
V_{OL} Low-level output voltage	$I_{OL} = 2.1 \text{ mA}$	0.45		0.45		V
I_I Input current (leakage)	$V_I = 5.25V$	10		10		μA
I_O Output current (leakage)	$V_O = 5.25V$	10		10		μA
I_{pp1} V_{pp} supply current	TMS 2516 $V_{pp} = 5.85V, PD, PGM = V_{IL}$	6		12		mA
	TMS 2532 $V_{pp} = 5.85V, PD, PGM = V_{IL}$	6		12		mA
I_{pp2} V_{pp} supply current (during program pulse)	TMS 2516 $PD, PGM = V_{IH}$	30		30		mA
	TMS 2532 $PD, PGM = V_{IL}$	30		30		mA
I_{CC1} V_{CC} supply current (standby)	TMS 2516 $PD, PGM = V_{IH}$	10 25		10 25		mA
	TMS 2532 $PD, PGM = V_{IH}$	10 25		10 25		mA
I_{CC2} V_{CC} supply current (active)	TMS 2516 $CS = PD, PGM = V_{IL}$	57 100		80 160		mA
	TMS 2532 $PD, PGM = V_{IL}$	57 100		80 160		mA

¹Typical values are at $T_A = 25^{\circ}\text{C}$ and nominal voltages.

capacitance over recommended supply voltage and operating free-air temperature range ($f = 1 \text{ MHz}$)

PARAMETER	TEST CONDITIONS	TYP ¹ MAX	UNIT
C_I Input capacitance	$V_I = 0V, f = 1 \text{ MHz}$	4 6	pF
C_O Output capacitance	$V_O = 0V, f = 1 \text{ MHz}$	8 12	pF

¹All typical values are $T_A = 25^{\circ}\text{C}$ and nominal voltage.

RECOMMENDED DC OPERATING CONDITIONS (T_a = 0 to +70°C)

Item	Symbol	min	typ.	max.	Unit
Supply Voltage	V _{CC}	4.5	5.0	5.5	V
	GND	0	0	0	V
Input Voltage	V _{III}	2.2	3.5	6.0	V
	V _{II}	-1.0*	-	0.8	V

* Pulse Width: 50 ns, DC: V_{II} min. = -0.3V.

DC AND OPERATING CHARACTERISTICS (V_{CC} = 5V ± 10%, GND = 0V, T_a = 0 to +70°C)

Item	Symbol	Test Conditions	HMG116P-2			HMG116P-3/4			Unit
			min.	typ.*	max.	min.	typ.*	max.	
Input Leakage Current	I _{LI}	V _{CC} = 5.5V, I _{in} = GND to V _{CC}	-	-	10	-	-	10	μA
Output Leakage Current	I _{LO}	C _S = I _{III} or OE = V _{III} , I _{I/O} = GND to V _{CC}	-	-	10	-	-	10	μA
Operating Power Supply Current	I _{CC}	C _S = V _{II} , I _{I/O} = 0mA	-	40	80	-	35	70	mA
	I _{CC1}	V _{III} = 3.5V, V _{II} = 0.6V, I _{I/O} = 0mA	-	35	-	-	30	-	mA
Average Operating Current	I _{CC2}	Min. cycle, duty = 100%	-	40	80	-	35	70	mA
Standby Power Supply Current	I _{SB}	C _S = V _{III}	-	5	15	-	5	15	mA
	I _{SB1}	C _S ≥ V _{CC} - 0.2V, I _{in} ≥ V _{CC} - 0.2V or I _{in} ≤ 0.2V	-	0.02	2	-	0.02	2	mA
Output Voltage	V _{OL}	I _{OL} = 4mA	-	-	0.4	-	-	-	V
	V _{OH}	I _{OL} = 2.1mA	-	-	-	-	-	0.4	V
		I _{OH} = -1.0mA	2.4	-	-	2.4	-	-	V

*: V_{CC} = 5V, T_a = 25°C

** : Reference Only

AC CHARACTERISTICS (V_{CC} = 5V ± 10%, T_a = 0 to +70°C)

AC TEST CONDITIONS

Input Pulse Levels: 0.8 to 2.4V

Input Rise and Fall Times: 10 ns

Input and Output Timing Reference Levels: 1.5V

Output Load: 1TTL Gate and C_L = 100pF

(including scope and jig)

READ CYCLE

Item	Symbol	HMG116P-2		HMG116P-3		HMG116P-4		Unit
		min	max	min	max	min	max	
Read Cycle Time	t _{RC}	120	-	150	-	200	-	ns
Address Access Time	t _{AA}	-	120	-	150	-	200	ns
Chip Select Access Time	t _{ACS}	-	120	-	150	-	200	ns
Chip Selection to Output in Low Z	t _{CLZ}	10	-	15	-	15	-	ns
Output Enable to Output Valid	t _{OE}	-	80	-	100	-	120	ns
Output Enable to Output in Low Z	t _{OLZ}	10	-	15	-	15	-	ns
Chip deselection to Output in High Z	t _{CHZ}	0	40	0	50	0	60	ns
Chip Disable to Output in High Z	t _{CHZ}	0	40	0	50	0	60	ns
Output Hold from Address Change	t _{OH}	10	-	15	-	15	-	ns

WRITE CYCLE

Item	Symbol	HMG116P-2		HMG116P-3		HMG116P-4		Unit
		min.	typ.	min.	max.	min.	max.	
Write Cycle Time	t _{WC}	120	-	150	-	200	-	ns
Chip Selection to End of Write	t _{CW}	70	-	90	-	120	-	ns
Address Valid to End of Write	t _{AW}	105	-	120	-	140	-	ns
Address Set Up Time	t _{AS}	20	-	20	-	20	-	ns
Write Pulse Width	t _{WP}	70	-	90	-	120	-	ns
Write Recovery Time	t _{WR}	5	-	10	-	10	-	ns
Output Disable to Output in High Z	t _{OHZ}	0	40	0	50	0	60	ns
Write to Output in High Z	t _{WHZ}	0	50	0	60	0	60	ns
Data to Write Time Overlap	t _{DW}	35	-	40	-	60	-	ns
Data Hold from Write Time	t _{DH}	5	-	10	-	10	-	ns
Output Active from End of Write	t _{OW}	5	-	10	-	10	-	ns



8251A/S2657

PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5-8 Bit Characters; Clock Rate—1, 16 or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate — DC to 64K Baud
- Asynchronous Baud Rate — DC to 19.2K Baud
- Full Duplex, Double Buffered, Transmitter and Receiver
- Error Detection — Parity, Overrun and Framing
- Fully Compatible with 8080/8085 CPU
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Single +5V Supply
- Single TTL Clock

The Intel® 8251A is the enhanced version of the industry standard, Intel® 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's new high performance family of microprocessors such as the 8085. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is constructed using N-channel silicon gate technology.

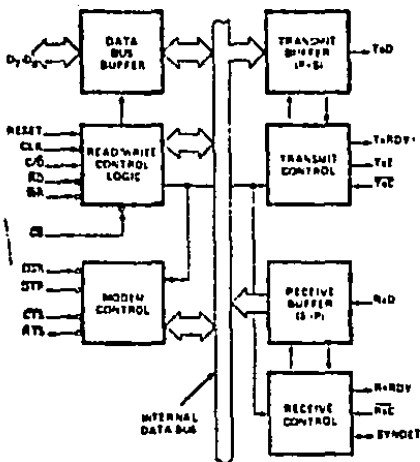


Figure 1. Block Diagram

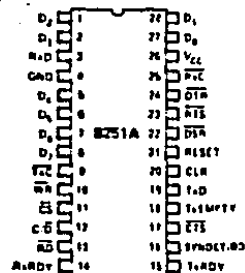


Figure 2. Pin Configuration

**ABSOLUTE MAXIMUM RATINGS***

Ambient Temperature Under Bias 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage On Any Pin
 With Respect to Ground -0.5V to +7V
 Power Dissipation 1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%$, $\text{GND} = 0\text{V}$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC}	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2.2\text{ mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400\ \mu\text{A}$
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}\text{ TO } 0.45\text{V}$
I_{IL}	Input Leakage		± 10	μA	$V_{IN} = V_{CC}\text{ TO } 0.45\text{V}$
I_{CC}	Power Supply Current		100	mA	All Outputs = High

CAPACITANCE ($T_A = 25^\circ\text{C}$, $V_{CC} = \text{GND} = 0\text{V}$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance		10	pF	$f_c = 1\text{MHz}$
$C_{I/O}$	I/O Capacitance		20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%$, $\text{GND} = 0\text{V}$)

Bus Parameters (Note 1)

READ CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AB}	Address Stable Before $\overline{\text{READ}}$ ($\overline{\text{CS}}$, $\text{C}/\overline{\text{D}}$)	50		ns	Note 2
t_{RA}	Address Hold Time for $\overline{\text{READ}}$ ($\overline{\text{CS}}$, $\text{C}/\overline{\text{D}}$)	50		ns	Note 2
t_{RR}	$\overline{\text{READ}}$ Pulse Width	250		ns	
t_{RD}	Data Delay from $\overline{\text{READ}}$		250	ns	3, $C_L = 150\text{ pF}$
t_{DF}	$\overline{\text{READ}}$ to Data Floating	10	100	ns	



8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40-Pin Dual In-Line Package
- Reduces System Package Count
- Improved DC Driving Capability

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

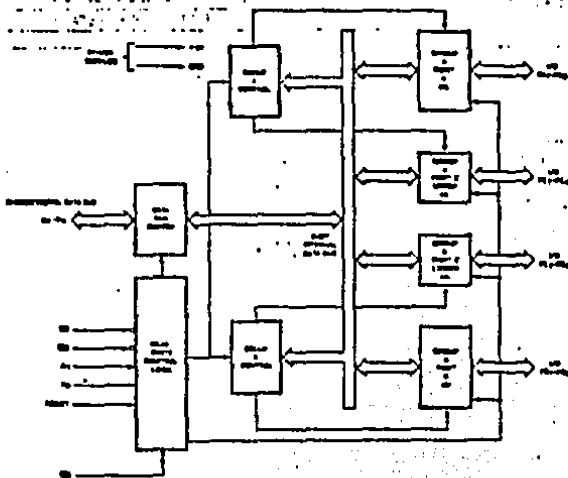


Figure 1. 8255A Block Diagram

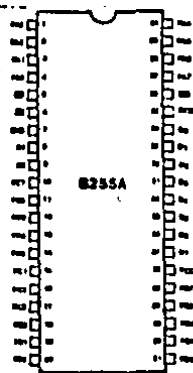


Figure 2. Pin Configuration

**ABSOLUTE MAXIMUM RATINGS***

Ambient Temperature Under Bias 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage on Any Pin
 With Respect to Ground -0.5V to +7V
 Power Dissipation 1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = +5V \pm 5\%$, $GND = 0V$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
$V_{OL}(DB)$	Output Low Voltage (Data Bus)		0.45	V	$I_{OL} = 2.5\text{mA}$
$V_{OL}(PER)$	Output Low Voltage (Peripheral Port)		0.45	V	$I_{OL} = 1.7\text{mA}$
$V_{OH}(DB)$	Output High Voltage (Data Bus)	2.4		V	$I_{OH} = -400\mu\text{A}$
$V_{OH}(PER)$	Output High Voltage (Peripheral Port)	2.4		V	$I_{OH} = -200\mu\text{A}$
$I_{DAR}(II)$	Darlington Drive Current	-1.0	-4.0	mA	$R_{EXT} = 750\Omega$; $V_{EXT} = 1.5V$
I_{CC}	Power Supply Current		120	mA	
I_L	Input Load Current		± 10	μA	$V_{IN} = V_{CC}$ to 0V
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}$ to 0V

NOTE:

1. Available on any 8 pins from Port B and C.

CAPACITANCE ($T_A = 25^\circ\text{C}$, $V_{CC} = GND = 0V$)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	$f_c = 1\text{MHz}$
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = +5V \pm 5\%$, $GND = 0V$)**Bus Parameters****READ**

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AS}	Address Stable Before READ	0		0		ns
t_{AA}	Address Stable After READ	0		0		ns
t_{RP}	READ Pulse Width	300		300		ns
t_{DV}	Data Valid From READ ⁽¹⁾		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{AV}	Time Between READs and/or WRITEs	850		850		ns

COMPUTER AND TERMINAL INTERFACE

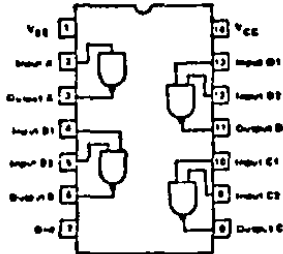
LINE DRIVERS AND RECEIVERS for Modem/Terminal Applications

Voltage Mode

RS-232C SPECIFICATION

DRIVER

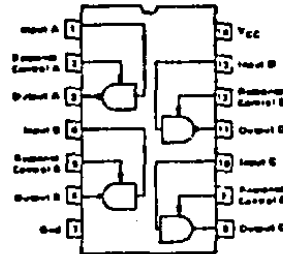
MC1488 - Quad; output current limiting.



All devices:
T_A = 0 to 70°C
Package:
L Suffix - Case 632

RECEIVERS

MC1489 - Quad; 0.25 V input hysteresis.
MC1489A - Quad; 1.1 V input hysteresis.



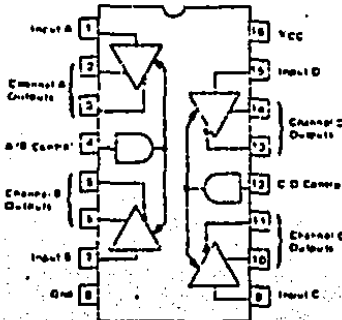
V _{OH} @ V _{CC} /V _{IH} = 2.0 V Volts Min	V _{OL} @ V _{CC} /V _{IL} = 1.0 V Volts Max	I _{OS} mA	t _{PHL} /t _{PHL} @ C _L = 15 pF ns Max
5.0	0.0	10.0 to 12	175

Device Number	Input V _{IHL} Volts	Input V _{IHL} Volts	t _{PHL} @ R _L = 390 Ω ns Max
MC1489	1.0 to 1.5	0.75 to 1.25	50
MC1489A	1.75 to 2.25	0.75 to 1.25	50

RS-422/423 SPECIFICATION

DRIVER

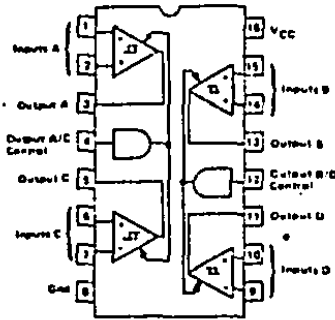
MC3427 - Quad; three-state outputs.



Both devices:
T_A = 0 to 70°C
Package:
L Suffix - Case 620
P Suffix - Case 645

RECEIVER

MC3485 - Quad; three-state output and input hysteresis.



V _{OH} @ I _{OH} = 50 mA Volts Min	V _{OL} @ I _{OL} = 48 mA Volts Max	V _{OH} (Differential) @ R _L = 100 Ω Volts Min	t _{PHL} /t _{PHL} ns Typ
2.0	0.5	3.0	15

V _{IHL} (D) @ V _{IHL} = 17.0 V Volts Max	I _{ID} @ V _{ID} = ±10 V V _{CC} = 0 to 5.25 V mA Max	t _{PHL} /t _{PHL} ns Typ	t _{PHL} (Control) ns Typ
1.07	±3.25	20/24	25

Single-Chip Frequency Synthesizer Employing the XR-2240

INTRODUCTION

The XR-2240 monolithic timer/counter contains an 8-bit programmable binary counter and a stable time-base oscillator in a single 16-pin IC package. Although the circuit was originally designed as a long-delay timer capable of generating time delays from microseconds to weeks, it also offers a wide range of other applications beyond simple time-delay generation. One such unique application is its use as a single-chip, frequency synthesizer, where it can generate over 2,500 discrete frequencies from a single reference frequency input.

PRINCIPLE OF OPERATION

The operation of the XR-2240 as a frequency synthesizer is possible because of the ability of the circuit to both *multiply* and *divide* the input frequency reference. It can, simultaneously, multiply the input frequency by a factor, "M," and divide it by a factor "N+1," where both M and N are adjustable integer values. Therefore, the circuit can produce an output frequency, f_o , related to the input reference frequency f_R as:

$$f_o = f_R \frac{M}{1+N}$$

Figure 1 shows the circuit connection for operating the XR-2240 timer/counter as a self-contained frequency synthesizer. The integer values M and N can be externally adjusted over a broad range:

$$1 < M < 10 \quad 1 < N < 255$$

The multiplication factor M is obtained by locking on the harmonics of the input frequency. The division factor N is determined by the pre-programmed count in the binary counter section. The principle of operation of the circuit can be best understood by briefly examining its capabilities for frequency division and multiplication separately.

Frequency Division by (1+N):

When there is no external reference input, f_R , the time-base oscillator section of the XR-2240 free-runs at its set frequency, f_S ($f_S = 1/RC$), where R and C are the external components at

pin 13. The 8-bit binary counter can be programmed to divide the time-base frequency by an integer count, N, and generate an output pulse train whose frequency is:

$$f_o = f_S \frac{1}{1+N}$$

Frequency Multiplication by "M":

Frequency multiplication is achieved by synchronizing the time-base oscillator with the *harmonics* of the input sync or reference signal. Thus, if the time-base oscillator is made to free-run at "M" times the input frequency, it can be made to synchronize with the "M"th harmonic of the input reference signal. Typical capture range of the circuit is better than $\pm 3\%$, for values of $1 < M < 10$; and since the time-base is accurate to within $\pm 0.5\%$ of the external R-C setting, lock-up does not present a problem for a given harmonic lock setting.

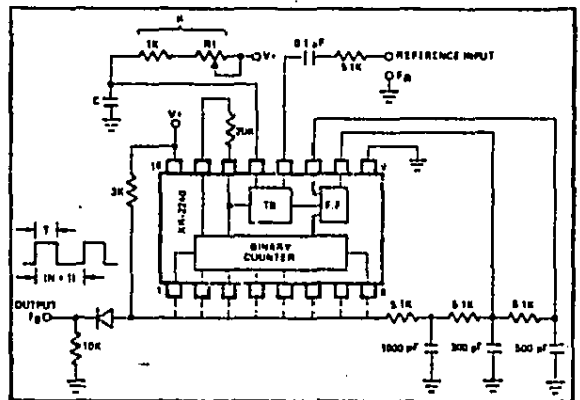


FIGURE 1

Circuit Operation:

With reference to Figure 1, the operation of the synthesizer circuit can be briefly explained as follows: The reference input frequency, f_R , is applied to the time-base sync terminal (pin 12) through a $5.1 \text{ K}\Omega$ series resistance and a coupling capacitor. The recommended waveform for the input frequency, f_R , is a 3 V_{pp} pulse train with a pulse width in the range of 30% to 80% of the time-base period, T . The multiplication factor M is chosen by the potentiometer R_1 which sets the time-base period T ($T = RC$). If no external reference is used, then M is automatically equal to 1.

The divider modulus, N , is chosen by shorting various counter outputs to a 3K common pull-up resistor. The output waveform is a pulse train with a fixed pulse width, $T = RC$, and a period $T_O = (N + 1)RC$.

The external R-C network between the output and the trigger and reset terminals of the XR-2240 is a non-critical delay net-

work which resets and re-triggers the circuit to maintain a periodic output waveform. For the component values shown in Figure 1, the circuit can operate with the timing components R and C in the range of:

$$0.005 \mu\text{F} < C < .1 \mu\text{F}; 1 \text{ K}\Omega < R < 1 \text{ M}\Omega$$

The XR-2240 is a low-frequency circuit. Therefore, the maximum output frequency is limited to $\approx 200 \text{ kHz}$, by the frequency capability of the internal time base oscillator.

A particularly useful application of the simple synthesizer circuit of Figure 1 is to generate stable clock frequencies which are synchronized to an external reference, such as the 60 Hz line frequency. For example, one can generate a 100 Hz reference synchronized to 60 Hz line frequency simply by setting $M = 5$ and $N = 2$ such that:

$$f_O = f_R \frac{M}{1+N} = (60) \frac{5}{1+2} = 100 \text{ Hz}$$



SOLID STATE OPTOELECTRONICS

Photon Coupled Isolator 4N25-4N25A-4N26-4N27-4N28

Ga As Infrared Emitting Diode & NPN Silicon Photo-Transistor

The General Electric 4N25-4N26-4N27-4N28 consist of a gallium arsenide infrared emitting diode coupled with a silicon photo transistor in a dual in-line package.

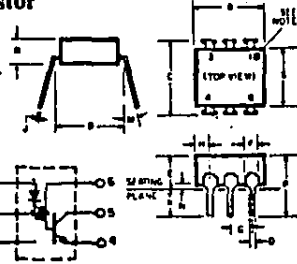
FEATURES:

- Fast switching speeds
- High DC current transfer ratio
- High isolation resistance
- 2500 volts isolation voltage
- I/O compatible with integrated circuits

† Parameters are JEDEC registered values.

absolute maximum ratings: (25°C) (unless otherwise specified)

† Storage Temperature -55 to 150°C. Operating Temperature -55 to 100°C. Lead Soldering Time (at 260°C) 10 seconds.



TEMP.	MIN.	TYP.	MAX.	UNITS
A	22	35	50	mm
B	3.2	4.1	4.8	mm
C	1	1.01	1.02	mm
D	0.16	0.20	0.24	mm
E	0.20	0.20	0.20	mm
F	0.20	0.20	0.20	mm
G	0.20	0.20	0.20	mm
H	0.20	0.20	0.20	mm
I	0.20	0.20	0.20	mm
J	0.20	0.20	0.20	mm
K	0.20	0.20	0.20	mm
L	0.20	0.20	0.20	mm
M	0.20	0.20	0.20	mm
N	0.20	0.20	0.20	mm
O	0.20	0.20	0.20	mm
P	0.20	0.20	0.20	mm
Q	0.20	0.20	0.20	mm
R	0.20	0.20	0.20	mm
S	0.20	0.20	0.20	mm
T	0.20	0.20	0.20	mm
U	0.20	0.20	0.20	mm
V	0.20	0.20	0.20	mm
W	0.20	0.20	0.20	mm
X	0.20	0.20	0.20	mm
Y	0.20	0.20	0.20	mm
Z	0.20	0.20	0.20	mm

NOTES:
 1. These dimensions are given for reference only. Actual dimensions are given in the drawing subject to tolerances.
 2. Tolerances are in millimeters.
 3. Overall height is 4.8 mm.
 4. These dimensions are given from the mounting plane.
 5. Four digits.

INFRARED EMITTING DIODE		PHOTO-TRANSISTOR	
† Power Dissipation	*150 milliwatts	† Power Dissipation	**150 milliwatts
† Forward Current (Continuous)	80 milliamperes	† V _{CEO}	30 volts
† Forward Current (Peak) (Pulse width 300 μsec 2% duty cycle)	3 ampere	† V _{CBO}	70 volts
† Reverse Voltage	3 volts	† V _{ECO}	7 volts
	*Derate 2.0mW/°C above 25°C ambient.	Collector Current (Continuous)	100 milliamperes
			**Derate 2.0mW/°C above 25°C ambient.

† Total device dissipation @ 24-25°C. P_D 250mW.

† Derate 3.3 mW/°C above 25°C ambient.

Individual electrical characteristics (25°C)

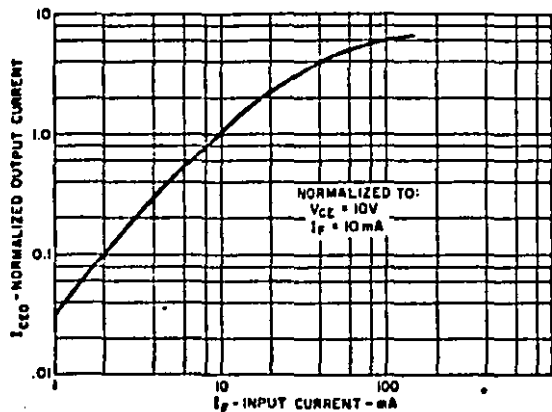
INFRARED EMITTING DIODE	TYP.	MAX.	UNITS	PHOTO-TRANSISTOR	MIN.	TYP.	MAX.	UNITS
† Forward Voltage (I _F = 10 mA)	1.1	1.5	volts	† Breakdown Voltage - V _{(BR)CEO} (I _C = 1 mA, I _F = 0)	30	-	-	volts
† Reverse Current (V _R = 3V)	-	100	microamps	† Breakdown Voltage - V _{(BR)CBO} (I _C = 100μA, I _F = 0)	70	-	-	volts
Capacitance V = 0, f = 1 MHz	50	-	picofarads	† Breakdown Voltage - V _{(BR)ECO} (I _E = 100μA, I _F = 0)	7	-	-	volts
				† Collector Dark Current I _{CEO} 4N25-27 (V _{CE} = 10V, I _F = 0)	-	5	50	nanoamps
				4N28	-	-	100	nanoamps
				† Collector Dark Current - I _{CBO} (V _{CB} = 10V, I _F = 0)	-	2	20	nanoamps

coupled electrical characteristics (25°C)

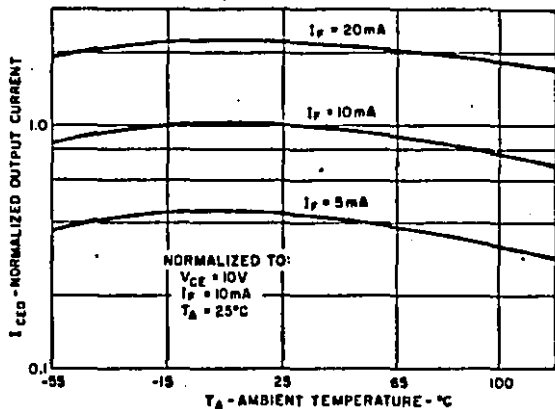
		MIN.	TYP.	MAX.	UNITS
† DC Current Transfer Ratio (I _F = 10mA, V _{CE} = 10V)	4N25, 4N25A, 4N26, 4N27, 4N28.	20	-	-	%
† Saturation Voltage - Collector - Emitter (I _F = 50mA, I _C = 2 mA)		10	-	-	%
Resistance - IRED to Photo-Transistor (@ 500 volts)		-	0.1	0.5	volts
Capacitance - IRED to Photo-Transistor (@ 0 volts, f = 1 MHz)		-	1	-	gigaohms
† Isolation Voltage - voltage @ 60 Hz with the input terminals (diode) shorted together and the output terminals (transistor) shorted together.	4N25	2500	-	-	volts (peak)
	4N26, 4N27	1500	-	-	volts (peak)
	4N28	500	-	-	volts (peak)
	4N25A	1775	-	-	volts (RMS) (1 sec.)
Rise/Fall Time (V _{CE} = 10V, I _{CE} = 2mA, R _L = 100Ω)		-	2	-	microseconds
Rise/Fall Time (V _{CB} = 10V, I _{CB} = 50μA, R _L = 100Ω)		-	300	-	nanoseconds

TYPICAL CHARACTERISTICS

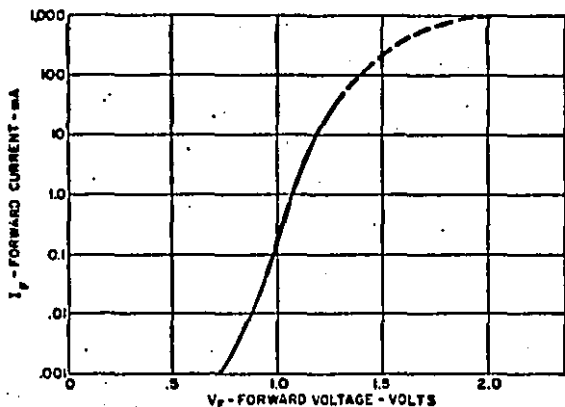
4N25-28



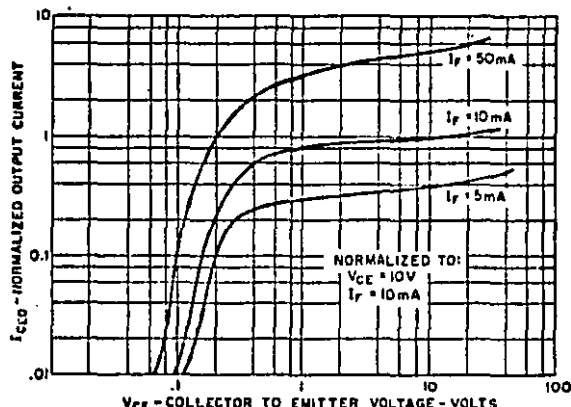
OUTPUT CURRENT VS INPUT CURRENT



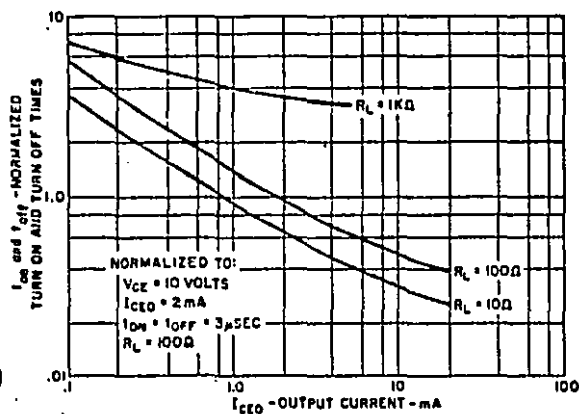
OUTPUT CURRENT VS TEMPERATURE



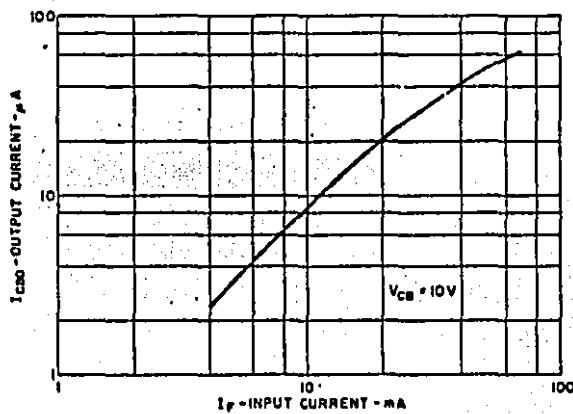
INPUT CHARACTERISTICS



OUTPUT CHARACTERISTICS



SWITCHING TIMES VS OUTPUT CURRENT



OUTPUT CURRENT (I_{CBO}) VS INPUT CURRENT



ADC0808, ADC0809 8-Bit μ P Compatible A/D Converters
With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8 single-ended analog signals.

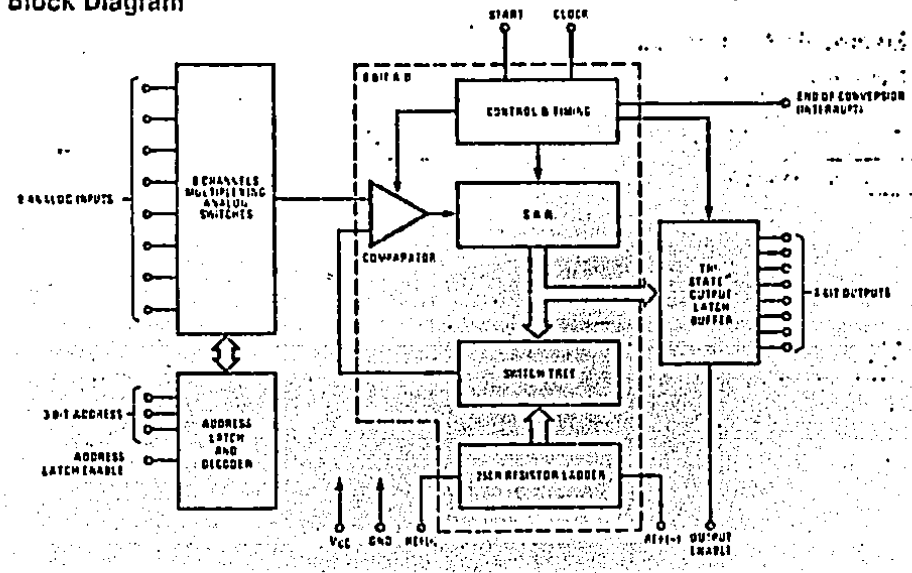
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE[®] outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0815 data sheet.

Features

- Resolution — 8-bits
- Total unadjusted error — $\pm 1/2$ LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μ s
- Single supply — 5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T²L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range —40°C to +85°C or —55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE[®] output

Block Diagram



Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC}) (Note 3)	8.5V
Voltage at Any Pin Except Control Inputs	-0.3V to (V _{CC} + 0.3V)
Voltage at Control Inputs (START, DE, CLOCK, ALE, ADD A, ADD B, ADD C)	-0.3V to +1.5V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T _A = 25°C	675 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	T _{MIN} = T _A to -65°C ≤ T _A ≤ +125°C
ADC0808CJ, ADC0808CJ, ADC0808CCN, ADC0808CCN, ADC0808CCN	-40°C ≤ T _A ≤ +85°C 4.5V ≤ V _{CC} ≤ 8.0V
Range of V _{CC} (Note 1)	

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = V_{REF(+)}, V_{REF(-)} = GND, T_{MIN} ≤ T_A ≤ T_{MAX} and f_{CLK} = 640 kHz unless otherwise stated.

Parameter	Conditions	Min	Typ	Max	Unit
ADC0808					
Total Unadjusted Error (Note 5)	25°C T _{MIN} to T _{MAX}			± 1/2 ± 3/4	LSE LSB
ADC0809					
Total Unadjusted Error (Note 5)	0°C to 70°C T _{MIN} to T _{MAX}			± 1 ± 1 1/4	LSE LSB
Input Resistance	From Ref(-) to Ref(-)	1.0	2.5		kΩ
Analog Input Voltage Range	(Note 4) V _{I(+)} or V _{I(-)}	GND-0.10	V _{CC}	V _{CC} + 0.10	V _{CC}
V _{REF(+)} Voltage, Top of Ladder	Measured at Ref(+)		V _{CC}	V _{CC} + 0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$ Voltage, Center of Ladder		V _{CC} /2 - 0.1	V _{CC} /2	V _{CC} /2 + 0.1	V
V _{REF(-)} Voltage, Bottom of Ladder	Measured at Ref(-)	-0.1	0		V
Comparator Input Current	f _C = 640 kHz (Note 6)	-2	± 0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, -55°C ≤ T_A ≤ +125°C unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75V ≤ V_{CC} ≤ 5.25V, -40°C ≤ T_A ≤ +85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Unit
ANALOG MULTIPLEXER					
I _{OFF(+)}	OFF Channel Leakage Current V _{CC} = 5V, V _{IN} = 5V, T _A = 25°C T _{MIN} to T _{MAX}		10	200 1.0	μA μA
I _{OFF(-)}	OFF Channel Leakage Current V _{CC} = 5V, V _{IN} = 0, T _A = 25°C T _{MIN} to T _{MAX}	-200 -1.0	-10		μA μA
CONTROL INPUTS					
V _{IL(1)}	Logical "1" Input Voltage		V _{CC} - 1.5		V
V _{IL(0)}	Logical "0" Input Voltage			1.5	V
I _{IN(1)}	Logical "1" Input Current (The Control Inputs)	V _{IN} = 15V		1.0	μA
I _{IN(0)}	Logical "0" Input Current (The Control Inputs)	V _{IN} = 0	-1.0		μA
I _{CC}	Supply Current	f _{CLK} = 640 kHz	0.3	3.0	μA

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ 4.5V \leq V_{CC} \leq 5.5V, -55°C \leq T_A \leq 125°C unless otherwise noted;
 ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75V \leq V_{CC} \leq 5.25V, -40°C \leq T_A \leq 85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)					
V _{OH(1)}	Logical "1" Output Voltage	I _O = -360 μ A	V _{CC} -0.4		V
V _{OH(0)}	Logical "0" Output Voltage	I _O = 1.6 mA		0.45	V
V _{OL(0)}	Logical "0" Output Voltage EOC	I _O = 1.2 mA		0.45	V
I _{OL}	TRI-STATE Output Current	V _O = 5V V _O = 0	-3	3	μ A μ A

Electrical Characteristics

Timing Specifications: V_{CC} = V_{REF(+)} = 5V, V_{REF(-)} = GND, t_r = t_f = 20 ns and T_A = 25°C unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{MS}	Minimum Start Pulse Width	(Figure 5)		100	200	ns
t _{WALE}	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
t _S	Minimum Address Set-Up Time	(Figure 5)		25	50	ns
t _H	Minimum Address Hold Time	(Figure 5)		25	50	ns
t _D	Analog MUX Delay Time From ALE	R _S = 0 Ω (Figure 5)		1	2.5	μ s
t _{OH(0)}	OE Control to 0 Logic State	C _L = 50 pF, R _L = 10k (Figure 8)		125	250	ns
t _{OH(HZ)}	OE Control to Hi-Z	C _L = 10 pF, R _L = 10k (Figure 8)		125	250	ns
T _C	Conversion Time	f _C = 640 kHz, (Figure 5) (Note 7)	90	100	116	μ s
f _C	Clock Frequency		10	640	1280	kHz
t _{EOC}	EOC Delay Time	(Figure 5)	0		8 + 2 μ s	Clock Periods
C _{IN}	Input Capacitance	All Control Inputs		10	15	pF
C _{OUT}	TRI-STATE [®] Output Capacitance	All TRI-STATE [®] Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists internally from V_{CC} to GND and has a typical breakdown voltage of 7 V_{CC}.

Note 4: Two diode-clamp diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the 100 mV voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{CC} to 3 V_{CC} input voltage range will therefore require a minimum 50-pF capacitance of 4 \times V_{CC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplier errors. See Figure 2. None of these ADCs requires a zero or full scale adjustment. However, if a zero code is desired for an analog input other than 0 CV, or if a narrow full-scale span exists (for example 0.5V to 4.5V full scale), the reference voltages can be adjusted to achieve this. See Figure 13.

Note 6: Comparator input current is a bias current into or out of the chopper-stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (Figure 6). See Paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.



MM58174A. Microprocessor-Compatible Real-Time Clock

General Description

The MM58174A is a low-threshold metal-gate CMOS circuit that functions as a real-time clock and calendar in bus-oriented microprocessor systems. The device includes an interrupt timer which may be programmed to one of three times. Time keeping is maintained even to 2.2V to allow low power standby battery operation. The timebase is generated from a 32768Hz crystal-controlled oscillator.

- TTL compatible
- Low power standby operation (2.2V, 10µA)
- Low cost internally biased oscillator
- Low cost 16-pin dual-in-line package
- Available for commercial and military temperature ranges

Features

- Microprocessor compatible
- Tenths of seconds, seconds, tens of seconds, minutes, tens of minutes, day of week, days, tens of days, months, tens of months, independent registers
- Automatic leap year calculation
- Internal pull-ups to safeguard data
- Protection for read during data changing
- Independent interrupt system with open drain output

Applications

- Point-of-sale terminals
- Word processors
- Telex terminals
- Event recorders
- Microprocessor-controlled instrumentation
- Microprocessor time clock
- TV/YCR reprogramming
- Intelligent telephone

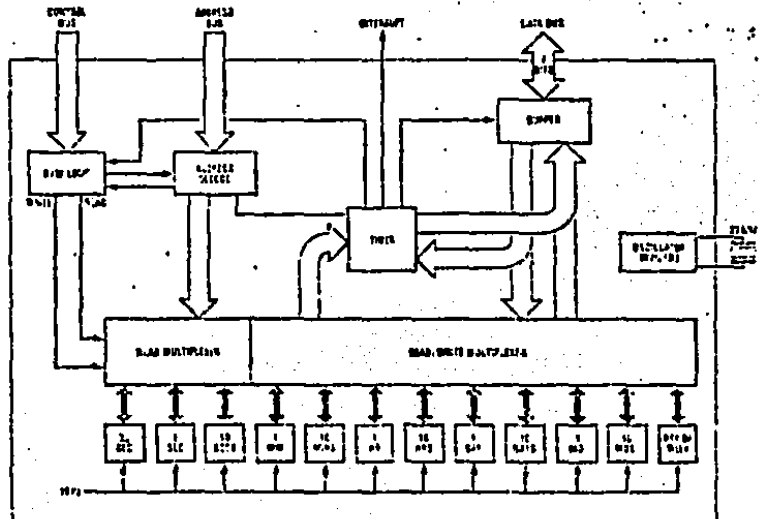


Figure 1. Clock Diagram

Absolute Maximum Ratings

Voltage of All Inputs and Outputs	$V_{DD} + 0.3$ to $V_{SS} - 0.3$
Operating Temperature	
MM58174AN	-45°C to $+85^{\circ}\text{C}$
Storage Temperature	-85°C to $+150^{\circ}\text{C}$
$V_{DD} - V_{SS}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics $T_A = -45^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, $V_{SS} = 0\text{V}$

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Units
V_{DD}	Supply Voltage	Standby mode (no READ or WRITE Instructions)	2.2		5.5	V
		Operational mode	4		5.5	V
I_{CC}	Supply Current	$V_{DD} = 2.2\text{V}$ (Standby); MM58174AN $V_{DD} = 5\text{V}$ (Operating)			10 1	μA mA
	Input Logic Levels For Signals: $AD_0 - AD_3$, $DB_0 - DB_3$, WR, RD, CS Logic "1"	$V_{DD} = 5\text{V}$	2			V
	Logic "0"				0.5	V
	Input Capacitance				10	pF
	Input Current Levels	$V_{DD} = 5\text{V}$				
	Current to V_{SS} For Signals: $AD_0 - AD_3$, $DB_0 - DB_3$, RD	$V_{IN} = V_{DD}$			30	μA
	Internal Resistor to V_{DD} For Signals: WR CS		30 30	100 100		k Ω k Ω
	Output Logic Levels For Signals: $DB_0 - DB_3$ Logic "1"	$V_{DD} = 5\text{V}$ $I_{OH} = 0.1\text{mA}$ $I_{OL} = 1.6\text{mA}$	2.4		0.4	V V
	Logic "0"					V
	INTERRUPT (Open Drain) Logic "0"	For $I_{OL} = -1.6\text{mA}$ $V_{OUT} = 5\text{V}$			0.4	V
	Off Leakage				5	μA

Functional Description

The MM58174 is a microprocessor bus-oriented real-time clock. The circuit includes addressable real-time counters for tenths of seconds through months and a write register for leap year calculation. The counters are organized as bytes of four bits each. When addressed a byte will appear on the data I/O bus so that each word can be accessed independently. If any byte does not contain four bits (e.g., days of the week uses only 3 bits), unused bits will be unrecognizable during a write operation and tied to V_{SS} during a read operation.

The addressable reset latch causes the pre-scaler, tenths of seconds, seconds, and tens of seconds to be held in a set condition. If a register is updated during a read operation the I/O data is prevented from updating and a subsequent read will return the illegal b.c.d. code '1111'. The interrupt timer may be programmed for intervals of 1/2 second, 5 seconds, or 60 seconds and may be coded as a single or repeated operation. The open drain interrupt output is pulled to V_{SS} when the timer times out and tripping the interrupt register provides the internal selected information.

Circuit Description

The block diagram shown in Figure 1 shows the structure of the CMOS clock chip. A 16-pin DIL package is used.

Crystal Oscillator

This consists of a CMOS inverter amplifier with on-chip bias resistors and capacitors. A single 5-30 pF trimmer is optional in relation to fine tuning the crystal (see Figure 2). However, for improved stability, some crystals may require a capacitor of typical value 23 pF to be added between pin 14 and ground. The output of the oscillator is blocked by the start/stop FIF.

Non-Integer Divider

This counter divides the incoming 32,768 kHz frequency by 1536 down to 30,720 Hz.

Fixed Divider (512)

This is a standard 9-stage binary ripple counter. Output frequency is 60 Hz. This counter is reset to zero by start/stop FIF.

Fixed Divider (8)

This is a 3-stage Johnson counter with a 10 Hz output signal. This counter is reset to zero state by the start/stop FIF.

Synchronization Stage

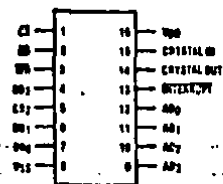
Both 10 Hz and 32,768 kHz clocks are fed into this section. It is used to generate a pulse of 15.25 μ s width on the rising edge of each 10 Hz pulse.

This output is used to increment all the seconds, minutes, hours, days, months, and year counter and also to set the day changed FIF.

Day Changed FIF

This is set by the rising edge of each 10 Hz pulse to indicate that the clock value has changed since the last read operation. It is reset by any clock read command.

Connection Diagram



Top View
Order Number MM58174AN
See NS Package N18E

The flip-flop sets all data bus bits to a "1" during RD time indicating that a register has been updated. This transient condition may occur at the end of the Read Data Strobe. Hence, invalid data may still be read from the clock, if the strobe width was less than 3 μ s.

The possibility may be overcome by implementing a further read of the tenths of seconds register at the end of every series of reads (starting with a read at the tenths of seconds register) and checking for unchanged data.

Seconds Counters

There are three counters for Seconds:

- tenths of seconds
- units of seconds
- tens of seconds

The outputs of all three counters can be separately multiplexed on to the command 4-bit output bus. Table 1 shows the address decoding for each counter. All three counters are reset to zero by the start/stop FIF.

Minutes Counters

There are two Minutes Counters:

- units of minutes
- tens of minutes

Both counters are parallel loaded with data from the 4-bit input bus when addressed by the microprocessor and a Write Data Strobe pulse given. Similarly, the output of both counters can be read separately onto the common 4-bit output bus (Table 1).

Hours Counters

There are two Hours counters which will count in a 24-hour mode:

- units of hours
- tens of hours

Both counters have identical parallel load and read multiplex features to the Minutes counters.

Seven Day Counter

There is a 7-state counter which increments every 24 hours. It will have identical parallel load and read multiplex capabilities to the Minutes and Hours counters. The counter counts cyclically from 1-7.

Especificación RS404 de EIA.

La transmisión asíncrona se basa en las siguientes reglas:

- a) Cuando no se envían datos por la línea, ésta se mantiene en estado 1.
- b) Cuando se desea transmitir un carácter, se envía primero un bit de inicio que pone la línea a cero durante el tiempo de 1 bit.
- c) A continuación se envían todos los bits de carácter a transmitir con los intervalos que marca el reloj de transmisión
- d) A continuación del último bit de carácter se envía el bit de final que hace que la línea se ponga a 1 por lo menos durante el tiempo de 1 bit.

Los datos codificados según estas reglas pueden ser detectados fácilmente por el receptor. Para ello deben seguirse los siguientes pasos:

- 1) Esperar una transición de 1 a 0 en la señal recibida
- 2) Activar un reloj de frecuencia igual a la del transmisor.
- 3) Muestrear la señal recibida al ritmo de este reloj para formar el carácter
- 4) Leer un bit más de la línea y comprobar si es 1 para confirmar que no ha habido error de sincronización

En las figuras A y B se presentan unos organigramas que definen con mayor precisión los métodos de transmisión y recepción asíncrona.

El bit de final tiene la misión de llevar la línea a estado 1 para que el bit de inicio del próximo carácter provoque la transición de 1 a 0 que permita al receptor sincronizar el siguiente carácter.

El bit de final sirve también para dar tiempo a que el sistema receptor acepte el dato recibido. De todas formas, actualmente se utilizan siempre registros que almacenan el dato recibido mientras el receptor esta recibiendo el siguiente, de forma que el procesador dispone del tiempo de todo un carácter para recogerlo.

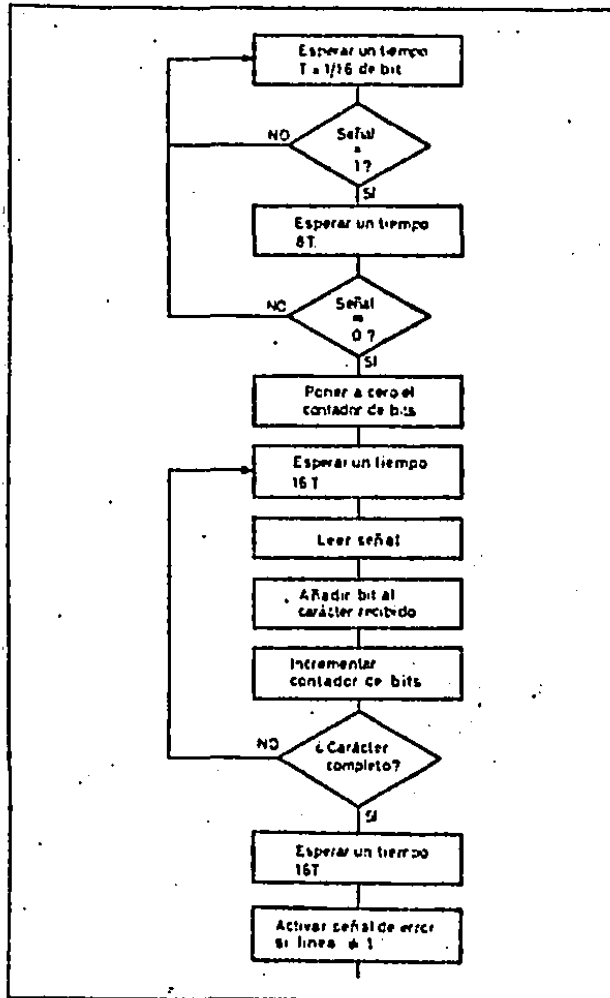


FIG.A TRANSMISION ASINCRONA

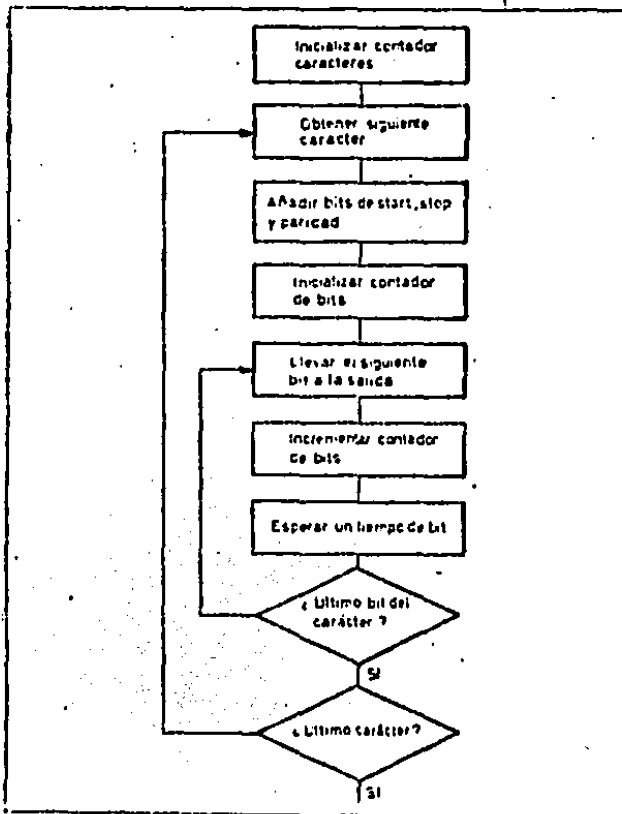


FIG. B RECEPCION ASINCRONA

A P E N D I C E D

- Listado del programa CONII. 85

```
*****  
** CONCENTRADOR DE INFORMACION **  
** ADQUIERE ESTADOS Y TIEMPOS DE OPERACION DE BOMBAS Y NIVELES DE **  
** AGUA NEGRA EN LOS CARCAMOS DE LAS PLANTAS DE BOMBEO DE LA **  
** RED DE DRENAJE DEL D.D.F. **  
*****
```

```
: VARIABLES DEL PROGRAMA PARA MANEJAR AL CONCENTRADOR  
LP:PARAMETROS QUE DEFINEN LA OPERACION DEL SISTEMA  
FM:PERIODO DE MUESTREO  
#CA:NUMERO DE CANALES ANALOGICOS  
#CL:CANALES A LEER  
ID:IDENTIFICADOR DE ESTACION  
N1:CANTIDAD DE DATOS POR SERIE  
N2:NUMERO DE REPETICIONES DE LA SERIE  
PT:NUMERO DE PARAMETROS
```

```
DF:SUBROUTINA DE DESPLIEGUE DE DATOS  
MA:MODO DE OPERACION MANUAL  
AU:MODO DE OPERACION AUTOMATICA  
SPTDD:SUBROUTINA DE TRANSMISION DE DATOS  
SPRDD:SUBROUTINA DE RECEPCION DE DATOS  
ECC:SUBROUTINA PARA VISUALIZAR LOS CARACTERES EN LA TERMINAL  
SALCAR:SUBROUTINA PARA TRANSMISION DE CARACTERES  
RECCAR:SUBROUTINA PARA RECEPCION DE CARACTERES  
SUBDP:SUBROUTINA DECLARACION DE PARAMETROS  
EDRTR:SUBROUTINA DE ENVIO DE DATOS AL RTR.  
DEL1:SUBROUTINA DE RETARDO  
DEL2:SUBROUTINA DE RETARDO (CONVERSION A/D)  
RETA:RETARDO PARA QUE SE REALICE LA CONVERSION  
SDRTR:SUBROUTINA PARA TRANSMISION DE DATOS DEL RTR
```

***** INICIALIZACION DEL SISTEMA *****

```

JP, 4000H
LD A, 9BH                ; PROGRAMACION DEL PUERTO 8255
OUT (03H), A
LD A, 03H
OUT (11H), A
LD A, 40H
OUT (11H), A
LD A, CFH                ; PROGRAMACION DEL 8251
OUT (11H), A
LD A, 37H
OUT (11H), A
LD SP, 27FF              ; INICIALIZACION DEL "STACK"
LD HL, 0400              ; APUNTADOR DE CARACTERES A ENVIAR
LD DE, 0460              ; APUNTADOR DE CARACTERES A RECIBIR
LD A, 00H                ; INICIALIZACION DEL RELOJ DE TIEMPO REAL
OUT (4F), A
IN A, (4F)
IN A, (4FH)
IN A, (4FH)
LD A, 00H
OUT (40H), A
LD A, 00H
OUT (4EH), A

```

***** PROGRAMA PRINCIPAL *****

```

CARAC: LD C, (HL)          ; (C)=CARACTER
CALL SFTDD                ; SUBROUTINA PARA TRANSMISION DE DATOS
CF QDH                    ; ES CR?
JR Z, RETOR
INC HL                    ; NO: INCREMENTA EL APUNTADOR
JR CARAC                  ; ENVIA OTRO CARACTER
RETOR: INC HL              ; INCREMENTA APUNTADOR
LD C, 0AH                 ; ASCII DE LF
CALL SFTDD                ; SUBROUTINA PARA TRANSMISION DE DATOS
LD C, 0AH
CALL SFTDD
LD C, 0AH
CALL SFTDD

```

***** RECEPCION DE DATOS RELOJ DE TIEMPO REAL *****

```

RDRTR:  LD B,03H          ;(B)=CONTADOR DE CARACTERES
        LD A,02H          ;CONTADOR DE CARACTERES RECEPCION
        LD (NN),A        ;LOCALIDAD DE MEMORIA PARA USO TEMPORAL
        CALL SUBDP       ;SUBROUTINA DECLARACION DE PARAMETROS
        LD B,0BH
        LD A,0BH
        LD (NN),A
        CALL SUBDP
        LD B,06H
        LD A,06H
        LD (NN),A
        CALL SUBDP
    
```

***** ENVIO DE DATOS AL RELOJ DE TIEMPO REAL *****

```

        LD B,05          ;(B)=CONTADOR DE CARACTERES A ENVIAR
        LD C,44H         ;(C)=DIRECCION DE ENVIO DEL PRIMER CARACTER
        INC DE           ;SE INCREMENTA EL APUNTADOR
        LD (NN),DE       ;(NN)=MEMORIA TEMPORAL PARA DE
        LD DE,NN2        ;NN2=LOCALIDAD DEL PRIMER DATO A ENVIAR
CONT:   CALL EDRTR       ;SUBROUTINA DE ENVIO DE DATOS AL RTR
        INC C
DS:     DEC DE           ;SE DECREMENTA EL APUNTADOR DE DATOS A ENVIAR
        CALL EDRTR
        DEC B            ;SE DECREMENTA CONTADOR DE CARACTERES A ENVIAR
        JR Z,REG        ;SALTA SI YA SE ENVIARON TODOS LOS CARACTERES
        INC C
        LD A,C
        CP 4AH
        JR Z,DS         ;SALTA SI EL REG.ES EL CORRESPONDIENTE A DS
        DEC DE
        JR CONT         ;CONTINUA ENVIANDO DATOS
REG:    LD A,03H
        OUT (4EH),A
        LD DE,(NN)      ;ACTUALIZA EL APUNTADOR
    
```

***** LECTURA DE PARAMETROS *****

```
LD B,02H          ;LF (S/N)?
LD A,02H
LD (NN),A
CALL SUBDF
DEC DE
LD A,(DE)
CP 53H
JP NZ,DDF
DEC DE
LD B,03H          ;FM= ?
LD A,04H
LD (NN),A
CALL SUBDF
LD B,03H          ;CA= ?
LD A,03H
LD (NN),A
CALL SUBDF
LD B,03H          ;CL= ?
LD A,02H
LD (NN),A
CALL SUBDF
LD B,03H          ;ID= ?
LD A,03H
LD (NN),A
CALL SUBDF
LD B,03H          ;N1= ?
LD A,04H
LD (NN),A
CALL SUBDF
LD B,03H          ;N2= ?
LD A,02H
LD (NN),A
CALL SUBDF
LD B,03H          ;FT= ?
LD A,02H
LD (NN),A
CALL SUBDF
```

***** DESPLEGADO DE PARAMETROS *****

DDP: LD HL, (NK7)
LD B, 08H ; DESPLEGADO DE PARAMETROS ?
LD A, 02H
LD (NN), A
CALL SUBDP
DEC DE
LD A, (DE)
CF 53H
JR NZ, SPM
CALL EDDP

***** SUBROUTINA DEL PERIODO DE MUESTREO *****

SPM: IN A, (60) ; OBTENCION DEL PERIODO DE MUESTREO
MIN: LD B, 01 ; CONTADOR 1=01
RET2: LD C, 96 ; CONTADOR 2=150 (30 SEGUNDOS)
RET200: LD H, 08H ; CONTADOR 3=200 MILISEGUNDOS
CARGA: LD L, 0BH ; RETARDADOR
ESPERA: DEC L
JR NZ, ESPERA ; REGRESA A ESPERA
DEC H
JR NZ, CARGA ; REGRESA A CARGA
DEC C
JR NZ, RET200 ; OTROS 200 MILISEGUNDOS
DEC B
JR NZ, RET2 ; OTROS 30 SEGUNDOS
DEC A
JR NZ, MIN ; OTRO MINUTO
JP SLD ; SUBROUTINA DE LECTURA Y TRANSMISION DE DATOS

***** SUBROUTINA DE LECTURA DE DATOS *****

SLD:	LD HL,0020H	; DIRECCION PARA ALMACENAMIENTO DE DATOS
	IN A,(02H)	; LECTURA DEL IDENTIFICADOR DE ESTACION
	AND 3FH	; AISLAMIENTO DEL IDENTIFICADOR
	LD (HL),A	; GUARDA EL DATO
	INC HL	
	CALL SLRTR	; SUBROUTINA LECTURA DE DATOS DEL RTR
	LD D,60H	; GRUPO DE 'BYTES' A LEER
DATO:	LD A,(NN4)	; CONTADOR DEL # DE CANALES A LEER DEL CAD
	AND 0FH	
	LD E,A	
	IN A,(00H)	; LECTURA DEL PUERTO A
	CALL DEL1	; SUBROUTINA DE RETARDO
	IN A,(01)	; LECTURA DEL PUERTO B
	AND 3FH	
	CALL DEL1	
	LD A,00H	; NUMERO DE CANALES A CONVERTIR
	LD C,50H	
CAD:	LD (NN),A	; MEMORIA TEMPORAL DEL # DE CANAL A CONVERTIR
	OUT (C),A	; HABILITACION DE LA CONVERSION
	CALL RETA	; ESPERA A QUE SE REALICE LA CONVERSION
	IN A,(C)	; OBTENCION DEL DATO CONVERTIDO
	CALL DEL1	
	DEC E	; DECREENTA EL NUMERO DE CANALES A LEER DEL CAD
	JRZ CGB	; SALTA SI YA TERMINO
	INC C	
	INC A	; SIGUIENTE CANAL A MUESTREAR
	JR CAD	; CONTINUA LA CONVERSION A/D
CGB:	DEC D	; DECREENTA EL CONTADOR DE GRUPOS DE 'BYTES'
	JF NZ DATO	; REALIZA OTRA LECTURA DE DATOS

***** SUBROUTINA DE TRANSMISION DE DATOS *****

LD A, (NN6)	; N2, NUMERO DE REPETICIONES DE LA SERIE
AND OF	; AISLA EL DATO
LD (NN), A	; LOC. DE ALMACENAMIENTO TEMPORAL
LD A, 00H	; (A)=INICIO DE BLOQUE DE DATOS
LD C, A	
CALL SPTDD	; INICIO DE BLOQUE DE DATOS
LD HL, 0020H	; APUNTAOR DEL BLOQUE DE DATOS
LD D, 61H	; CANTIDAD DE 'BYTES' A TRANSMITIR
DAT: LD E, 08	; CONTADOR DEL # DE 'BYTES' A ENVIAR
CALL SALCAR	; SUBROUTINA PARA TRANSMISION DE DATOS
DEC D	
JR NZ, DAT	; OTRA TRANSMISION
LD A, (NN5)	; N1, CANTIDAD DE DATOS POR SERIE
AND OF	; ENVIO DE LOS MISMOS
LD C, A	
CALL SPTDD	
LD A, (NN5+1)	; 2DO. DIGITO
AND OF	
LD C, A	
CALL SPTDD	
LD A, (NN5+2)	; 3ER. DIGITO
AND OF	
LD C, A	
CALL SPTDD	
LD A, (NN5)	; NUMERO DE REPETICIONES DE LA SERIE
AND OF	
LD C, A	
CALL SPTDD	
LD A, FFH	; ENVIO DEL FIN DE BLOQUE DE DATOS
LD C, A	
CALL SPTDD	
LD A, (NN)	; N2, NUMERO DE REPETICIONES DE LA SERIE
DEC A	
JP NZ DT	; OTRA TRANSMISION
JP SPM	; REGRESA A SUBROUTINA PERIODO DE MUESTREO

***** SUBROUTINA PARA TRANSMISION DE DATOS *****

SFTDD: IN A, (11) ; LECTURA DEL REGISTRO DE ESTADOS
AND 04H ; AISLA EL 'BIT' 2
JP Z, SFTDD ; SALTA SI NO ESTA LISTO
LD A, C ; (A)=DATO
OUT (10), A ; ENVIA EL DATO AL TELETIPO
RET

***** SUBROUTINA DECLARACION DE PARAMETROS *****

SUBDP: CALL SALCAR ; SUBROUTINA PARA TRANSMISION DE CARACTERES
LD A, (NN) ; CONTADOR DE CARACTERES DE RECEPCION
LD B, A
CALL RECCAR ; SUBROUTINA PARA RECEPCION DE CARACTERES
RET

***** SUBROUTINA PARA TRANSMISION DE CARACTERES *****

SALCAR: LD C, (HL) ; (C)=CARACTER
CALL SFTDD ; SUBROUTINA PARA TRANSMISION DE DATOS
INC HL ; INCREMENTA APUNTAOR
DEC B ; DECREMENTA CONTADOR DE CARACTERES
JR NZ, SALCAR ; SALTA SI FALTAN CARACTERES
RET

***** SUBROUTINA PARA RECEPCION DE CARACTERES *****

RECCAR: CALL ECD ; RECIBE E IMPRIME EL DATO
CF 20H ; COMPARA CON EL ASCII DE (SP)
JR Z, DCB ; SALTA SI ES EL CARACTER ESPACIO
CF 0DH ; COMPARA CON EL ASCII DE (CR)
JR Z, ALIM ; SALTA SI ES (CR)
LD (DE), A ; GUARDA EL DATO
INC DE ; INCREMENTA APUNTAOR
DCB: DEC B ; DECREMENTA CONTADOR DE CARACTERES RECIBIDOS
JR NZ, RECCAR ; SALTA SI FALTAN DATOS
EXCED: LD C, 3FH ; ASCII DE ?
CALL SFTDD
DEC DE
ALIM: LD C, 0DH ; ASCII DE CR
CALL SFTDD
LD C, 0A ; ASCII DE LF
CALL SFTDD
RET

***** SUBROUTINA ECO *****

```
ECO:      CALL SPRDD          ; LEE UN DATO EN EL ACUMULADOR
          AND 7FH             ; LIMPIA EL BIT DE PARIDAD
          LD C,A              ; COPIA EN C EL DATO
          CALL SPTDD          ; ORDENA IMPRIMIR EL DATO
          RET
```

***** SUBROUTINA PARA RECEPCION DE DATOS *****

```
SPRDD:    IN A,(11H)          ; LECTURA DEL REGISTRO DE ESTADOS
          AND 02H             ; AISLA EL BIT 1
          JR Z,SPRDD          ; SALTA SI NO ESTA LISTO
          IN A,(10H)          ; LEE EL DATO
          RET
```

***** SUBROUTINA DE ENVIO DE DATOS AL RTR *****

```
EDRTR:    LD A,(DE)           ; SE CARGA EN EL ACUMULADOR EL DATO A ENVIAR
          AND 0FH             ; SE AISLA EL DATO A ENVIAR
          OUT (C),A           ; SE ENVIA EL DATO AL REGISTRO CORRESPONDIENTE
          RET
```

***** SUBROUTINA DESPLEGADO DE PARAMETROS *****

```
SDDP:  LD HL,4304H      ;DIRECCION DE INICIO DE LA TABLA DE PARAMETROS
        LD DE,240CH
        LD B,03H       ;FM:PERIODO DE MUESTREO
        LD A,03H
        CALL SDF2
        LD B,03H       ;CA:CANALES A MUESTREAR
        LD A,01H
        CALL SDF2
        LD B,03H       ;CL:CANALES A LEER
        LD A,01H
        CALL SDF2
        LD B,03H       ;ID:IDENTIFICADOR DE ESTACION
        LD A,02H
        CALL SDF2
        LD B,03H       ;N1:CANTIDAD DE DATOS POR SERIE
        LD A,03H
        CALL SDF2
        LD B,03H       ;N2:CANTIDAD DE DATOS POR SERIE
        LD A,01H
        CALL SDF2
        LD B,03H       ;PT:NUMERO DE PARAMETROS
        LD A,01H
        CALL SDF2
        RET
```

```
SDF2:  LD (NN),A
        CALL SALCAR
        EX DE,HL
        LD A,(NN)
        LD B,A
        CALL SALCAR
        LD C,20H
        CALL SPTDD
        EX DE,HL
        RET
```

***** RETARDO (DEL 1) *****

```

DEL1:  LD (HL),A           ; GUARDA EL DATO EN EL APUNTADOR
        LD A,FACTOR       ; (A)=PERIODO DE MUESTREO
RD1:   DEC A              ; DECREMENTA CONTADOR.
        JR NZ,RD1         ; CONTINUA SI NO SE HA CUMPLIDO EL RETARDO
        INC HL            ; INCREMENTA APUNTADOR
        RET               ; REGRESA
    
```

***** RETARDO (RETA) *****

```

RETA:  LD A,FACTOR       ; PARA REALIZAR LA CONVERSION A/D
RD2:   DEC A              ; DECREMENTA CONTADOR
        JR NZ,RD2         ; CONTINUA SI NO SE HA CUMPLIDO EL RETARDO
        RET               ; REGRESA
    
```

***** SUBROUTINA LECTURA DE DATOS DEL RTR *****

```

SLRTR: IN A,(41)         ; REG. DECIMAS DE SEGUNDO
        LD C,4AH        ; REG. DIA DE LA SEMANA
        LD D,00H        ;
        CALL SARTR      ; SUBROUTINA DE ADQUISICION DEL RTR
        LD C,49H        ; REG. DIAS
        CALL SARTR      ;
        LD C,4CH        ; REG. MES
        CALL SARTR      ;
        LD A,(NA)       ; REG. AN'O
        AND 0FH         ; AISLA EL DATO
        SLA             ; CORRIMIENTO DE LAS DECENAS
        SLA
        SLA
        SLA
        LD D,A          ; ALMACENAMIENTO TEMPORAL DE LAS DECENAS
        LD A,(NB)       ; REG. AN'O UNIDADES
        AND 0FH
        OR D            ; SE FORMA EL DATO COMPLETO
        LD (HL),A       ; SE GUARDA EL DATO EN LA LOCALIDAD INDICADA
        INC HL
        LD C,47H        ; REG. HORAS
        CALL SARTR      ;
        LD C,4EH        ; REG. MINUTOS
        CALL SARTR      ;
        LD C,43H        ; REG. SEGUNDOS
        CALL SARTR
        RET
    
```

***** SARTR *****

```
SARTR: LD B,C ;DIRECCION REGISTRO DE DATOS
SA1: IN A,(41H) ;REG. DECIMAS DE SEGUNDO
      IN A,(C)
      AND OFH
      CF OFH ;SINO ES NUMERO BCD REGRESA
      JR Z,SA1 ;OTRA LECTURA
      SLA ;CORRIMIENTO DE LAS DECENAS
      SLA
      SLA
      LD D,A ;ALMACENAMIENTO TEMPORAL
      DEC B
      LD C,B
SA2: IN A,(41H) ;REG. DECIMAS DE SEGUNDO
      IN A,(C)
      AND OFH ;AISLA EL DATO
      CF OFH
      JR Z,SA2 ;OTRA LECTURA
      OR D ;COMPLETA EL DATO
      LD (HL),A ;CARGA EN EL REG.HL EL DATO
      INC HL
      RET
```

***** TABLA DE CARACTERES A ENVIAR *****

(HL) -APUNTADOR

C	43H
O	4FH
N	4EH
I	49H
I	49H
	30H
B	38H
S	35H
'CR'	0DH
N	4EH
A	41H
=	3DH
(28H
A	41H
/	27H
M	4DH
/	27H
D	44H
S	53H
/	27H
D	44H
)	29H
=	3DH
(28H
H	48H
/	27H
M	4DH
)	29H
=	3DH
L	4CH
P	50H

(S / N) ? F K = C A = C C = I D = N I = N 2 = F T = D F (S / N) ?

28H
53H
27H
4EH
29H
3FH
50H
4DH
3DH
43H
41H
3DH
43H
4CH
3DH
49H
44H
3DH
4EH
31H
3DH
4EH
32H
3DH
50H
54H
3DH
41H
50H
28H
53H
2FH
4EH
29H
3FH