



114
Jey

UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

FACULTAD DE INGENIERIA

**DISEÑO DE UN CONTROLADOR LOGICO
BASADO EN LA TECNOLOGIA PLD PARA
EL CONTROL DE EXITACION DE TURBO-
GENERADORES**

T E S I S

QUE PARA OBTENER EL TITULO DE:

INGENIERO MECANICO ELECTRICISTA

P R E S E N T A :

MARIA TERESA SIERRA ROMO

ASESORES: ING ROBERTO MACIAS PEREZ
ING. ALFREDO CERVANTES AHUMADA

MEXICO, D. F.

1987.



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

INTRODUCCION.	1
-----------------------	---

CAPITULO 1. PLANTEAMIENTO DEL PROBLEMA.

1.1 Antecedentes.	5
1.2 Sistema de Excitación	8
1.3 Control Lógico del Sistema de Excitación	14
1.4 Algoritmo Verbal del Control Lógico de Excitación	16

CAPITULO 2. CRITERIOS DE SELECCION DE LA TECNOLOGIA PLD.

2.1 Alternativas de Diseño.	18
2.1.1 Control tradicional de Relevadores	19
2.1.2 Microprocesadores.	20
2.1.3 Lógica Alambrada	22
2.1.4 Dispositivos Lógicos Programables	23
2.1.5 Evaluación de Alternativas	25
2.2 Familia de los Dispositivos Lógicos Programables	26
2.2.1 Lógica Arreglada Programable.	27
2.2.2 Familia PAL.	28
2.2.3 Tecnología PAL.	31

CAPITULO 3 DISEÑO DE LAS INTERFACES DE ENTRADA Y SALIDA.

3.1 Antecedentes.	32
3.2 Diseño de la Interfaz de Entrada.	36
3.2.1 Etapa de aislamiento	39
3.2.2 Limitador de Corriente y Filtro.	40
3.2.3 Eliminador de Rebotes.	42

3.2.4	Comparador con Histeresis	43
3.3	Diseño de la Interfaz de Salida	47
3.3.1	Buffer	50
3.3.2	Circuito Habilitador	51
3.3.3	Etapa de Amplificación	52

CAPITULO 4. DISEÑO DEL CONTROLADOR LOGICO.

4.1	Algoritmo Verbal.	55
4.2	Definición de las Entradas y Salidas del Sistema	57
4.3	Obtención del Diagrama Esquemático	60
4.4	Obtención de las Ecuaciones Booleanas	63
4.5	Elección del Dispositivo Lógico Programable	66
4.6	Programación del Dispositivo Lógico Programable	67
4.6.1	Procedimiento de Programación	69
4.6.2	Edición del Archivo Fuente	69
4.6.3	Procesamiento del Archivo Fuente con CUPL.	71
4.6.4	Simulación del Diseño.	76
4.6.5	Programación del Dispositivo Seleccionado	77

CAPITULO 5. PRUEBAS DEL CONTROL LOGICO.

5.1	Pruebas Funcionales	84
5.2	Herramientas de Prueba.	85
5.3	Pruebas de Operación Individual	85
5.3.1	Operación de la Interfaz de Entrada.	86
5.3.1.1	Medición del Punto de Operación	86
5.3.1.2	Función de la Interfaz de Entrada	86
5.3.2	Operación de la Interfaz de Salida	88
5.3.2.1	Medición del Punto de Operación	89
5.3.2.2	Función de la Interfaz de Salida.	90
5.4	Pruebas de Operación Conjunta	91
5.4.1	Verificación de la Función de Diseño	92
5.4.2	Tensión Máxima de las Entradas	92
5.4.3	Tensión Mínima de las Entradas	92
5.4.4	Prueba de Tensión Inversa.	94
5.4.5	Interrupciones de la Fuente de Alimentación.	94
5.5	Pruebas de Campo.	98

CONCLUSIONES.	.104
BIBLIOGRAFIA.	.107
APENDICE A.	.109
APENDICE B.	.123

INTRODUCCION.

El control lógico que se diseña en este trabajo es un subsistema del control de excitación, que ha sido diseñado y construido en el Instituto de Investigaciones Eléctricas (IIE), por haber sido considerado como intransferible dentro del proyecto de Asimilación de la Tecnología para Generadores Eléctricos de 5 MW. proyecto que se realiza entre el IIE y la empresa Toshiba.

El objetivo del presente trabajo de tesis es diseñar el controlador lógico del sistema de excitación para turbogeneradores de 5 MW en base a la tecnología de los Dispositivos Lógicos Programables (PLD), cuya función es condicionar el arranque, paro, control manual, y automático

del sistema de excitación. Para ello se establece una metodología para diseñar controladores lógicos que utilizan en su implementación la tecnología PLD, y que son aplicables a la industria. Esta metodología se muestra a lo largo del desarrollo del trabajo y se hace énfasis en la secuencia de pasos seguida para el diseño.

Como primer paso, en el capítulo uno se describe el funcionamiento global del sistema de excitación refiriéndose para ello a los bloques que lo constituyen, con la intención de determinar las interacciones del control lógico con los otros subsistemas del control de excitación y establecer el algoritmo verbal que define las necesidades funcionales a satisfacer por el diseño.

En el capítulo dos se proponen alternativas para implementar el control lógico del sistema de excitación, el cual tradicionalmente utiliza lógica alambrada de relevadores. Las alternativas son evaluadas cualitativamente bajo los criterios de confiabilidad, costo, volumen, mantenimiento y flexibilidad al cambio. De la evaluación se propuso como alternativa idónea la utilización de los dispositivos lógicos programables (PLD), para implementar el diseño del controlador. Además, se hace notar que la estructura de los Dispositivos Lógicos Programables (PLD) es natural para implementar ecuaciones Booleanas en forma de suma de términos producto, a través de

la programación del dispositivo.

En el capítulo tres se establece que los bloques fundamentales que constituyen al sistema digital completo debido a la propia naturaleza de los PLD'S son: interfaces de entrada, un subsistema de control (controlador) e interfaces de salida.

De acuerdo con las características de las señales proporcionadas al controlador y los requerimientos del mismo, se diseñan los circuitos de acondicionamiento de las señales binarias de entrada (interfaz de entrada) provenientes del tablero de mandos del sistema de excitación, del interruptor principal, etc. hacia el controlador.

Los circuitos de salida (interfaz de salida) se diseñan para elevar el nivel de las señales proporcionadas por el controlador para que sean capaces de accionar los relevadores de salida que manejan a través de sus contactos una tarjeta externa de relevadores que interconecta al controlador lógico con el resto del control de excitación.

En el capítulo cuatro se propone un método para diseñar el controlador. En dicho método uno de los pasos importantes es la formulación del diagrama escalera que le corresponde al controlador, el cual se formula en base a su algoritmo verbal. Una vez establecido el diagrama se

obtiene la ecuación Booleana que le corresponde a cada una de las ramas. Todas las ecuaciones así obtenidas consecuentemente son programadas en el dispositivo.

Se establecen las especificaciones del controlador así como la arquitectura del mismo, utilizando los programas de desarrollo de los PLD'S, herramientas CAD (Diseño Ayudado por Computadora) y el programador correspondiente que es comandado por una PC (Computadora Personal) para programar el controlador basado en PLD'S y generar la documentación correspondiente.

En el capítulo cinco se documentan las pruebas aplicadas al prototipo, el cual se implementó en tarjetas de conexión, con el fin de probarlo en el laboratorio, y verificar su funcionamiento. La versión final en circuito impreso fué igualmente probada e integrada al prototipo completo del sistema de control de excitación.

En las conclusiones y resultados se establece que el control lógico diseñado es aplicable a cualquier sistema de control de excitación para turbogeneradores e incluso para controladores lógicos de uso industrial, de acuerdo con sus propias limitaciones. Esto es posible debido a que substituye con ventaja al control tradicional de relevadores, gracias a la versatilidad y flexibilidad, así como al bajo costo, volumen y consumo de potencia que ofrecen los Dispositivos Lógicos Programables.

CAPITULO 1

PLANTEAMIENTO DEL PROBLEMA.

1.1 ANTECEDENTES.

La creciente demanda de energía eléctrica, ha generado la necesidad de diversificar las fuentes de energía, afortunadamente nuestro país cuenta con un considerable potencial geotérmico que la Comisión Federal de Electricidad esta tratando de aprovechar [1].

Actualmente existe una capacidad geotérmica instalada de 645 MW, se espera que para fines del siglo se incremente la capacidad a 2400 MW.

Para lograr la meta planteada, la CFE ha establecido como estrategia utilizar turbogeneradores móviles de baja capacidad que operan a boca de pozo, como paso previo a la instalación de centrales de gran capacidad (de más de 30MW).

La razón fundamental, es que los equipos móviles se alimentan de un solo pozo y no requieren de una infraestructura civil y mecánica considerable para su instalación y operación. Con ellos, puede empezarse a generar electricidad en las etapas tempranas de desarrollo de un campo geotérmico, antes de conocer con mayor precisión su potencial y decidir instalar en él una central de mayor capacidad. Esto permite una recuperación más rápida de las inversiones efectuadas en el campo relativas, principalmente a la perforación y terminación de pozos. Además los turbogeneradores geotérmicos a boca de pozo pueden trasladarse de un lugar a otro, en caso de que se instale una central de mayor capacidad o que la producción del pozo que los alimenta se reduzca o termine.

El objetivo del proyecto de transferencia de la tecnología es desarrollar la capacidad tecnológica que haga posible el diseño y fabricación en México de turbogeneradores geotérmicos de 3, 5 y 7 MW, alcanzando calidad, precios competitivos y el mayor grado de integración nacional.

Para ello, se realizó un concurso internacional, en el que el Instituto de Investigaciones Eléctricas especificó la compra de un paquete tecnológico para el diseño y fabricación de estos equipos, junto con una unidad muestra de 5 MW.

El contrato de transferencia, incluye el suministro de documentación para diseño, pruebas, instalación, operación y mantenimiento; asistencia técnica; el seguimiento del proceso de fabricación de una máquina muestra de 5 MW en las instalaciones de Toshiba, Co., y el apoyo técnico para fabricar en México una máquina prototipo de las mismas características.

La asimilación de la tecnología es en esencia un proceso de aprendizaje, se pretende entonces, conseguir el conocimiento completo de la información suministrada, documentación y expresarla en forma de manuales de diseño y manufactura, que representarán uno de los principales resultados de la asimilación.

Para ello, se formaron tres grupos de especialistas en la División de Equipos del Instituto de Investigaciones Eléctricas: el grupo de la turbina, el del generador y el de manufactura.

El grupo del generador subcontrató al Departamento de Electrónica, del Instituto de Investigaciones Electricas con el fin de que él se encargará de diseñar y construir el Control de Excitación para Turbogeneradores de 5 MW, puesto que este no fue transferido dentro del paquete de Asimilación de la Tecnología.

A continuación se describirá brevemente el sistema de

excitación con el objeto de delimitar las interacciones del control lógico con el sistema en general y establecer al mismo tiempo las funciones que realizará dentro del sistema.

1.2 SISTEMA DE EXCITACION.

En la generación de energía eléctrica usando como fuente la energía geotérmica a boca de pozo, encontramos dos sistemas de control que afectan directamente la operación del generador sincrónico como lo son: el gobernador y el control de excitación ambos se muestran en el diagrama de bloques de la figura 1.1.

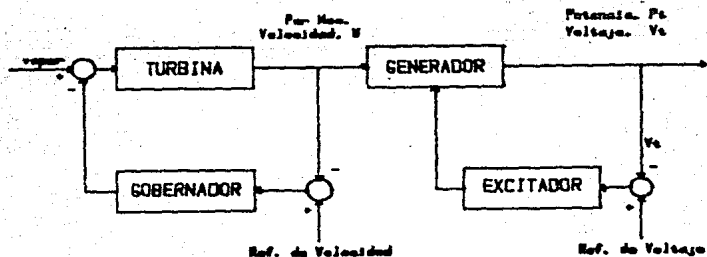


FIGURA 1.1 Principales Controles de una Unidad Generadora Geotérmica.

Para efectuar la transformación de energía térmica a energía mecánica, la potencia del vapor suministrada a la turbina con la finalidad de provocar un par de torsión en la flecha del generador, es controlada por el gobernador. La otra etapa corresponde a la transformación de energía mecánica a energía eléctrica, ésta depende del sistema de excitación, ya que este proporciona la corriente de campo necesaria para producir un campo magnético en el rotor del generador capaz de inducir corriente eléctrica en su armadura [2].

El sistema de excitación tiene acción directa sobre las variables eléctricas del generador como son la potencia y el voltaje, el cual a continuación se describe.

El control de excitación diseñado para el turbogenerador de 5 MW es del tipo alternador-rectificador (sin escobillas). Este utiliza la técnica de la realimentación considerando a la máquina síncrona como planta o proceso, con el objeto de mantener el voltaje generado en un punto de operación estable, durante los transitorios de pequeña y gran señal, así como amortiguar las oscilaciones de la máquina [3].

Fundamentalmente el control de excitación esta constituido por un regulador automático de voltaje, el

excitador de la máquina síncrona y el control manual, como se muestra en la figura 1.2.

El regulador automático de voltaje (RAV), representa la parte electrónica del sistema de excitación y su función es regular el voltaje del generador. Para ello, efectúa la medición del voltaje y corriente en las terminales del generador, las compara con el valor de voltaje deseado y genera un error que ajusta la corriente de campo del excitador, hasta que el error se reduce a cero [4].

El excitador es del tipo alternador-rectificador, este excitador utiliza la energía de un generador de imán

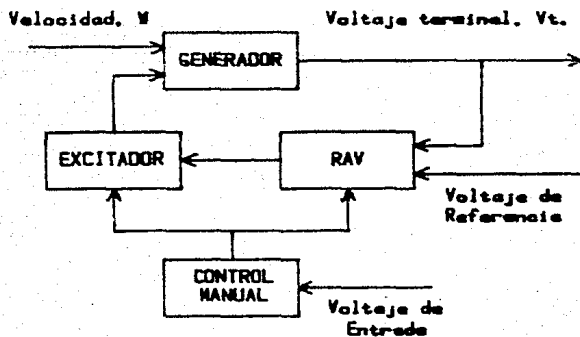


FIGURA 1.2 Bloques Fundamentales de un Sistema de Excitación.

permanente, la cual es convertida a corriente directa mediante el uso de un puente rectificador que es disparado ya sea por el regulador automático de voltaje o por el control manual del sistema de excitación, de acuerdo con la forma en la que se esté operando al sistema de excitación.

El control manual permite operar en forma manual al sistema de excitación durante el arranque o algunos transitorios de la máquina dejando fuera al regulador automático de voltaje.

A su vez, cada uno de los bloques antes descritos están constituidos por diversos elementos, como se muestra en el diagrama de bloques de la figura 1.3.

El punto de ajuste se establece por el operador desde el cuarto de control, después esta señal es comparada con la señal proveniente del elemento de detección primaria.

El elemento de detección primaria procesa las señales de corriente y voltaje en terminales del generador, para obtener una señal que involucra el efecto causado por la potencia reactiva sobre el voltaje generado, esta señal después de filtrada constituye la realimentación principal del sistema de excitación.

La señal de error generada por la comparación del voltaje deseado con el voltaje medido es sumada a las

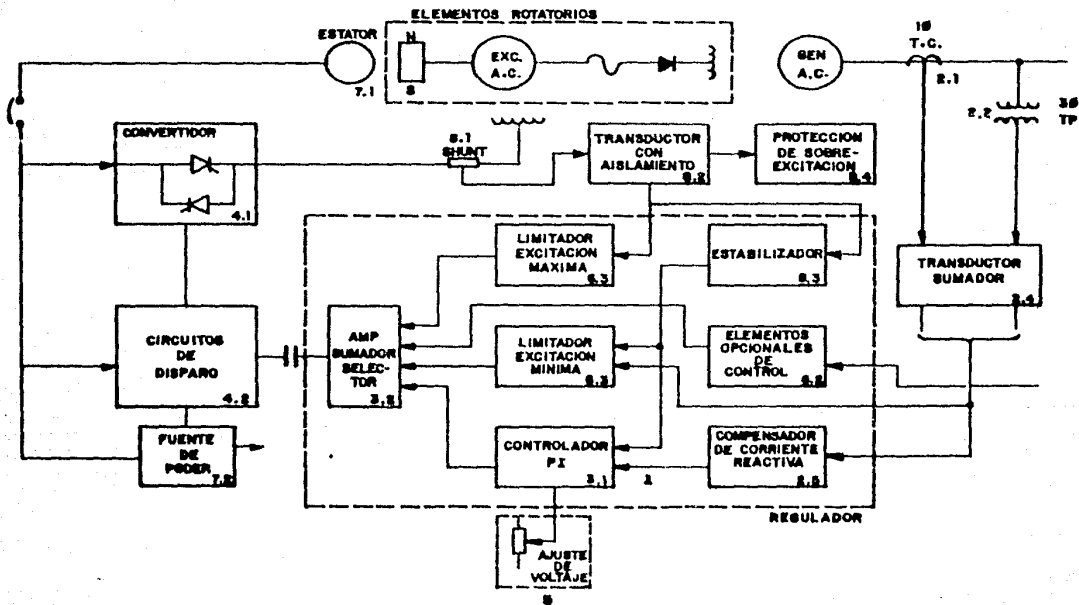


FIG. 2. CONFIGURACION DEL SISTEMA DE CONTROL DE EXCITACION SIN ESCOBILLAS
 (TIPO ALTERNADOR - RECTIFICADOR)

señales de ajuste (provenientes del PSS, los limitadores y los compensadores) para obtener un voltaje de control de corriente directa que va al amplificador de potencia. En esta etapa se amplifica en forma lineal el voltaje de corriente directa que entra al puente rectificador, el cual es controlado por ángulo de fase tal que el voltaje de corriente directa así generado alimenta el campo del excitador de corriente alterna.

El control manual por su parte permite operar manualmente al sistema de excitación durante el arranque y algunos transitorios, dejando para ello fuera el regulador automático de voltaje, debido a que el control manual se introduce directamente al circuito de disparo.

El control manual se realiza desde el cuarto de control de la planta mediante el uso de una perilla que acciona un potenciómetro o bien un servomotor.

El estabilizador realimenta desde el excitador la corriente de campo del excitador, hacia los circuitos de limitación de corriente, con el fin de estabilizar al sistema.

Hasta aquí se han descrito muy brevemente los bloques fundamentales del sistema de excitación. Sin embargo, éste requiere de un subsistema de control que coordine la

operación del sistema de control y accione los dispositivos pertinentes que indiquen la forma en la que se esta operando al sistema, así como condicione su operación al estado de las protecciones del generador.

El Control Lógico del Sistema de Excitación tiene la función de ejecutar los comandos básicos de arranque, paro, control manual o automático y colateralmente active las señalizaciones pertinentes. El objetivo entonces de este trabajo, es diseñar y construir el Control lógico para el Sistema de Excitación.

1.3 CONTROL LOGICO DEL SISTEMA DE EXCITACION.

Con la finalidad de ubicar al control lógico dentro del sistema de excitación y poder determinar en forma verbal el algoritmo que establece los requerimientos que debe satisfacer, se describen a continuación las interacciones de él con los demás subsistemas. Las interacciones del control lógico con el sistema se observan en el diagrama de bloques de la figura 1.4.

Para que el excitador pueda proporcionar corriente al campo del generador se requiere cerrar el interruptor de la quebradora de campo, éste se cierra siempre y cuando los contactos de protección del generador (el 86G y 86GT) no se

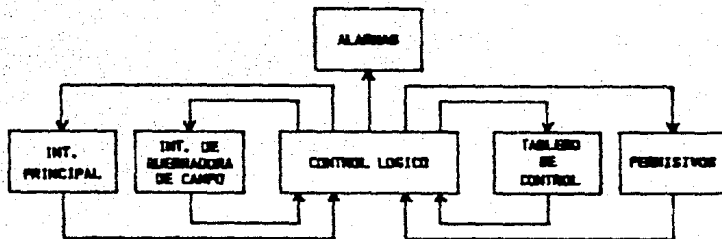


FIGURA 1.4 Interacciones del Control Lógico con el Sistema de Excitación.

encuentren activados. Es el control lógico el encargado de verificar la condición en la que se encuentra el interruptor de la quebradora de campo y los contactos de protección 86G y 86GT.

Desde el panel de control se accionan los comandos de arranque y paro, así como la selección de la operación del sistema ya sea en forma manual o automática. Por otro lado, para poder accionar cualquiera de esos comandos es necesario que el controlador lógico supervise el estado de los elementos que condicionan la ejecución, de la función requerida. Dicho condicionamiento está determinado por los permisos del sistema los cuales son contactos de protección.

Una vez que la máquina se encuentra lista para ser sincronizada a la línea se activa el interruptor principal, tal que mientras el generador se encuentre en esa condición el control lógico, impide que por el accionamiento de la señal de paro (OFF) proveniente desde el tablero de control o bien por la activación de las protecciones se abra el interruptor de la quebradora de campo.

1.4 ALGORITMO VERBAL DEL CONTROL LOGICO DE EXCITACION.

De acuerdo con lo expuesto en las secciones anteriores se pudo establecer el siguiente algoritmo verbal que describe las especificaciones del control lógico para el sistema de excitación.

Se desea diseñar un controlador lógico que cierre el interruptor de campo de un generador de 5 MW, cuando se accione el interruptor (ON) de cierre, comandado desde el tablero de control siempre y cuando el contacto de protección del generador (86G, NC), así como el del transformador (86GT, NC) se encuentren cerrados y además el interruptor principal (52GX, NA) no haya sido activado.

Si los contactos de protección antes mencionados, se encuentran cerrados y además se ha dado la señal de cierre del interruptor de campo, esto debe realizar dos funciones:

la primera y la más importante es verificar que se ha cerrado el interruptor de campo y por lo tanto es posible realizar la segunda función consistente en permitir seleccionar desde el panel de control la operación, manual o automática del sistema de excitación del generador. Colateralmente a ambas funciones se deben accionar las indicaciones que esten de acuerdo con el funcionamiento del sistema. Ahora si el 52GX se encuentra cerrado el control lógico debe impedir que el interruptor de quebradora se abra con el comando de OFF, con el de 86G o bien con el 96GT.

CAPITULO 2

CRITERIOS DE SELECCION DE LA TECNOLOGIA PLD'S.

2.1 ALTERNATIVAS DE DISEÑO.

Se desea implementar el diseño de el control lógico para el sistema de excitación utilizando Dispositivos Lógicos Programables, sin embargo existen otras alternativas de implementación que deben ser consideradas.

Una de ellas es el control tradicional de relevadores o bien la implementación digital, dentro de la cual encontramos a los microprocesadores, la lógica alambrada y los dispositivos lógicos programables.

Para elegir la alternativa de solución adecuada se evaluaron en forma muy general las alternativas bajo los criterios de: confiabilidad, continuidad de servicio, flexibilidad al cambio, tiempo de mantenimiento, costo de

desarrollo y ensamble.

El costo de desarrollo incluye cualitativamente a los costos de implementación, ensamble, mano de obra, mantenimiento, espacio para la instalación y el costo de modificaciones posibles en el futuro [9].

2.1.1 CONTROL DE RELEVADORES TRADICIONAL.

Los relevadores electromecánicos, son dispositivos que poseen circuitos eléctricamente independientes, tal que al proporcionarle al circuito de la bobina la tensión nominal de operación, mediante el cierre de uno o más contactos (de relevadores, botones pulsadores, etc.), esta genera un campo magnético que produce una fuerza sobre el o los contactos asociados a ella, transfiriéndose los normalmente cerrados a la posición de abierto y visceversa. Esta característica de los relevadores les ha dado una gran aplicación dentro de los procesos de control realizando funciones de rutina y de decisión lógica [6].

Desafortunadamente poseen como desventajas ser costosos, de volumen considerable, tener un número limitado de operaciones en lo que se refiere a sus contactos, los cuales también son afectados por basura, grasa y otros materiales ajenos, que crean un arco y quemaduras en su superficie, además producen un golpe al ser activados,

proporcionando así vibraciones a los componentes de los alrededores que causan conexiones defectuosas. En resumen al usar esta alternativa el diseño resulta más costoso, de volúmen considerable y demanda mayor mantenimiento lo cual afecta la continuidad de servicio [5,10].

Sin embargo los contactos de un relevador son elementos que se encuentran cerrados o abiertos y al ser aplicados en los sistemas de control para realizar funciones lógicas, transmiten señales binarias, las cuales provocan o contribuyen a la activación de uno o varios dispositivos de acuerdo con la lógica del sistema, es por esta razón que todas las funciones básicas proporcionadas por botones pulsadores, relevadores e interruptores de contacto permanente pueden ser duplicadas por funciones lógico digitales, con la seguridad de que ellas realizarán eficientemente la misma función.

2.1.2 MICROPROCESADORES.

En los últimos años los microprocesadores han tenido un alto grado de desarrollo y aplicación dentro del área comercial, industrial, técnica y científica. En realidad su aplicación solo depende de la imaginación [11,12].

El tamaño y costo reducido de los microprocesadores ha cambiado la dirección del diseño lógico digital. Motivando

a realizar las operaciones de un sistema mediante microoperaciones, donde las funciones lógicas se realizan bajo la especificación de instrucciones, las cuales son almacenadas en memoria ROM y ejecutadas por el CPU. Este método de diseño es clasificado como lógica programable sin embargo las operaciones secuenciales se encuentran definidas por los programas almacenados en memoria [13].

En lo que se refiere al diseño de sistemas pequeños basados en un microprocesador el costo adquiere gran relevancia, ya que a este lo forman el diseño de hardware y el diseño de software, donde el hardware requiere utilizar elementos adicionales al microprocesador tales como: unidades de memoria (RAM,ROM,etc.), dispositivos de entrada y salida, generadores de reloj, etc. que permitan realizar la comunicación entre hombre y máquina en ambos sentidos, así como almacenar y procesar la información. En lo que respecta al software factores como la velocidad de memoria, el lenguaje de programación y la capacidad de usar periféricos influyen en la versatilidad e incrementan el costo de desarrollo, pero dan al sistema una alta disponibilidad, fácil programación y un substancial incremento de la flexibilidad al cambio.

Lo anterior sugiere el hecho de aprovechar la capacidad de los microprocesadores utilizándolos en aquellas aplicaciones cuya complejidad justifique su empleo, puesto

que ofrece en un volúmen reducido bajo consumo de potencia, fácil mantenimiento, pero sobre todo una gran flexibilidad al cambio.

2.1.3 LOGICA ALAMBRADA.

Un circuito combinacional consiste de variables binarias de entrada, compuertas lógicas y variables binarias de salida. Las compuertas lógicas aceptan señales de entrada y generan señales de salida. Este proceso transforma la información binaria de un cierto dato de entrada a su salida correspondiente, de forma tal que a cada combinación de entrada le corresponde solo una combinación de las salidas.

El punto importante de esta alternativa radica en el hecho de implementar el diseño en base a dispositivos de mediana (MSI) y pequeña escala de integración (SSI), puesto que cuando los sistemas lógicos alcanzan cierto grado de complejidad, el volúmen del sistema lógico se incrementa debido a que se requieren mayor número de dispositivos lógicos (SSI y MSI) para ensamblar al sistema, generándose así un diseño que no es flexible al cambio, porque el hacerlo implicaría cambiar la interconexión de los dispositivos, traducándose en un incremento del tiempo de desarrollo, lo cual obviamente se refleja en un substancial incremento del costo de diseño y construcción.

2.1.4 DISPOSITIVOS LOGICOS PROGRAMABLES (PLD'S.).

El rápido desarrollo de la tecnología de los semiconductores dió por resultado dentro de la utilidad comercial, usar el diseño de circuitos de gran escala de integración(LSI) [14].

Esto fue producto de la necesidad de reducir en la manufactura de los sistemas:

- . Tamaño.
- . Consumo de potencia.
- . Costo.

Así fue como en el inicio de los años ochentas aparecieron los dispositivos lógicos programables (PLD'S) que son circuitos integrados que pueden ser configurados por el usuario para realizar una función específica, en aquellos casos donde el número de condiciones de no importa es excesiva [13].

La arquitectura de los PLD'S, consiste de n entradas y m salidas cada una con su respectivo complemento, k términos producto y l términos suma. Todo esto define un patrón de compuertas AND-OR y fusibles programables, donde cada una de las m salidas está representada por la salida de una compuerta OR que alimenta un buffer. La salida de este

constituye una suma de términos producto. El número de términos en el producto depende del número de compuertas AND programadas en el arreglo de fusibles. El arreglo está formado por las líneas de entrada a las compuertas AND, el fusible de cada una de las entradas y el de su complemento. Así como por las líneas provenientes de los buffers de salida que pueden ser realimentadas, como entradas con lógica positiva o complementaria figura 2.1.

Por lo anterior los dispositivos lógicos programables tienen un lugar único en el mundo del diseño lógico ya que su estructura permite programar funciones que requieren tarjetas completas usando lógica combinacional reduciéndose así en forma considerable el espacio y el consumo de potencia y al mismo tiempo incrementa la flexibilidad al cambio del sistema [15].

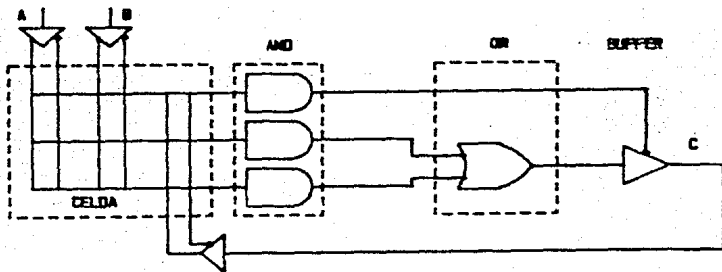


FIGURA 2.1 Diagrama Lógico de los PLD'S.

2.1.5 EVALUACION DE LAS ALTERNATIVAS.

Quando se desea seleccionar la técnica adecuada para realizar la implementación del diseño, la labor resulta más simple si la aplicación se encuentra bien definida, puesto que la evaluación se realiza de acuerdo con las necesidades propias del diseño [11].

En la sección anterior se han expuesto brevemente cada una de las alternativas posibles para implementar el diseño haciendo referencia a los criterios de selección que son de importancia para la aplicación particular, como son el espacio disponible, flexibilidad al cambio, consumo de potencia, ejecución, tiempo de desarrollo y el costo, aunque éste último de una manera muy somera. En la tabla 2.I se muestra la evaluación cualitativa de cada una de las alternativas [16].

La tabla muestra que la alternativa que presenta mejores ventajas para implementar el diseño, está representada por los dispositivos lógicos programables debido a que ellos reducen el espacio necesario para implementar el diseño, además dan flexibilidad al cambio en caso de ser necesario en el futuro mediante la programación de un nuevo circuito integrado, por otro lado los PLD'S reducen el consumo de potencia y requieren poco tiempo de

mantenimiento.

TABLA 2.I
Evaluación de las Alternativas.

FACTORES DE SELECCION.	ALTERNATIVAS.			
	PLD'S	LOG.ALAM.	MICROPROC.	RELEVADORES
VOLUMEN	BAJO	MEDIANO	BAJO	ALTO
FLEXIBILIDAD	ALTA	BAJO	ALTO	BAJO
CONSUMO DE POTENCIA.	BAJO	MEDIANO	BAJO	ALTO
TIEMPO DE DESARROLLO	BAJO	MEDIANO	MEDIANO	ALTO
MANTENIMIENTO	BAJO	BAJO	BAJO	ALTO
COSTO	BAJO	MEDIANO	MEDIANO	ALTO

2.2 FAMILIA DE LOS DISPOSITIVOS LOGICOS PROGRAMABLES.

Los dispositivos lógicos programables (PLD'S) son circuitos integrados que contienen una gran cantidad de compuertas lógicas y registros que pueden ser configurados por el usuario para realizar una función específica.

Dentro de la familia de los dispositivos lógicos programables los más comunes son los PROMS, PLA'S y los PAL'S. Todos estos PLD'S tienen dos niveles básicos en su arquitectura como son el arreglo AND-OR, aunque varían en su estructura lógica y en el modo de ser programados [16].

Para implementar el diseño se seleccionó a la Lógica Arreglada Programable (PAL'S), tomando como base las necesidades del diseño y el hecho de contar con un programador de PAL'S.

2.2.1 LOGICA ARREGLADA PROGRAMABLE.

La estructura del PAL consiste de una celda programable que es formada por las n entradas al dispositivo, las m salidas y su respectivo complemento en intersección con las k compuertas AND del mismo. Las salidas de las compuertas AND alimentan una compuerta OR cuya salida va a un buffer programable de tres estados. Como se muestra en la figura 2.2.

Esta estructura hace a los PAL'S naturales para implementar ecuaciones Booleanas en forma de suma de productos. Cada compuerta AND programable, es llamada un término producto, cuya longitud depende del número de entradas a la compuerta, por otro lado la cantidad de sumas producto es asociada al número de compuertas AND que alimenten a una compuerta OR [17].

Las salidas de la compuerta OR, siguen la programación del buffer terminal de tres estados, mediante un término producto de control. Donde cada terminal de salida se puede

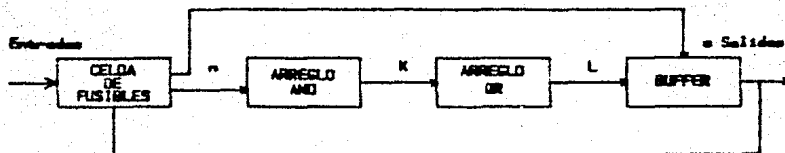


FIGURA 2.2 Bloques Fundamentales de un PLD.

configurar como: salida, entrada o incluso como una entrada/salida dinámicamente controlada. Esto hace al dispositivo capaz de tener el número de entradas necesarias para las funciones Booleanas que se desean implementar.

El grado de programación y flexibilidad de la arquitectura de un PAL, esta determinada por el número de fusibles que se pueden programar en el arreglo AND/OR.

2.2.2 FAMILIA PAL.

De acuerdo con la estructura funcional de los PAL'S se pueden clasificar en [15]:

- . PAL combinacional
- . PAL secuencial.
- . PAL aritmético.

PAL COMBINACIONAL. En el nemónico utilizado para identificar al PAL combinacional, los primeros dos dígitos en el nombre especifican el número de entradas y el último, el número de salidas.

La letra H especifica un nivel activo alto de salida equivalente a un arreglo AND-OR, L representa a un activo bajo y le corresponde un arreglo AND-NOR y la letra C implica la posibilidad de seleccionar lógica positiva o complementaria a la salida.

En el PAL combinacional la forma estándar para escribir las ecuaciones lógicas es suma de productos, tal que durante la programación se deberán quemar tantos fusibles como sean necesarios de acuerdo con el tamaño de los términos lógicos de la ecuación y de la capacidad del PAL. A este grupo pertenecen: PAL10H8, PAL12H6, PAL14H4, PAL16H2, PAL16C1, PAL10L8, PAL12L6, PAL14L4, PAL16L2.

PAL SECUENCIAL. La L en un PAL secuencial significa una salida activa baja y la R especifica un registro de salida. El PAL secuencial es usado para ejecutar funciones de máquinas secuenciales o combinatorias. Algunos ejemplos de este grupo son: PAL16R8, PAL16R4

Las modalidades que se presentan en este tipo de PAL'S son:

a. Registros de salida con realimentación. La salida del flip-flop D es realimentada como una entrada. La realimentación puede ser usada como entrada a algunos flip-flops o cualquier otra salida, esto permite que el PAL pueda realizar funciones elementales como contadores hacia arriba, contadores hacia abajo, etc.

b. Entradas/Salidas Programables. Un término producto es usado para habilitar el buffer de tres estados, la salida de éste tiene la posibilidad de ser realimentada como una entrada al arreglo.

La terminal de entrada/salida representa propiamente a una salida cuando el buffer de tres estados se encuentre habilitado, pero representa una entrada cuando está deshabilitada. Esta puede ser utilizada como entrada/salida con el objeto de realizar funciones tales como rotar un dato en serie.

PAL ARITMETICO. Este se usa para ejecutar funciones como sumar, substraer, mayor que y menor que. Primero la suma de productos es segmentada en dos sumas exclusivas (XOR) y la entrada del flip-flop tipo D, éstas son conducidas para operaciones previas (XOR) con dos sumas generadas por el arreglo del PAL, en segundo lugar las salidas de los flip-flops (Q) pueden ser usadas como

entradas en el arreglo del PAL'S esta opción proporciona operaciones versátiles entre dos variables y facilita las operaciones aritméticas. Pertenecen a este grupo: PAL16A4, PAL16X4.

2.2.3 TECNOLOGIA PAL.

La manufactura PAL esta basada en el uso de transistores bipolares TTL. Para su característica estable de operación con respecto a la temperatura utiliza Pt-Si.

Los fusibles son de Ti-W lo cual los hace muy confiables. Los PAL'S combinatorios utilizan una capa de metal y los PAL'S secuenciales utilizan dos capas. Un transistor NPN bajo la configuración de seguidor de emisor para el arreglo programable AND. Las entradas PNP proporcionan alta impedancia de entrada al arreglo. Todas las salidas son impulsores estándar (drivers) TTL con resistencia de pull-up activas internamente.

CAPITULO 3

DISEÑO DE LAS INTERFACES DE ENTRADA Y SALIDA.

3.1 ANTECEDENTES.

Los sistemas de control lógico industrial están constituidos fundamentalmente por señales de entrada y salida binarias, y un subsistema de control denominado controlador. La función del controlador es procesar las señales de entrada (datos) y generar las señales de salida correspondientes a cada dato [5].

Cuando se desea conformar un sistema de control digital completo, que permita satisfacer los requerimientos de una aplicación en particular (es decir que sea útil), se contempla la necesidad de generar compatibilidad entre el sistema y su medio exterior. Esto se debe a la naturaleza digital del sistema cuya unidad discreta de información es el bit, tal que el sistema sólo reconoce los valores de "1"

o "0" lógico, representando respectivamente la función de verdadero o falso, encendido o apagado [6].

Si entendemos por compatibilidad, al acoplamiento de los niveles de tensión, corriente e impedancia de las señales tomadas de fenómenos naturales o elementos físicos externos al sistema. Esto sugiere el uso de dispositivos (sensores, transductores, etc.) capaces de captar y recibir las señales de entrada que provienen de las fuentes externas al sistema de control, así como de interfaces de entrada en la cual interactúan elementos pasivos, activos, etc., con el fin de darles a las señales de entrada el nivel y la forma apropiada para usarlas como señales de entrada lógica (niveles 1 y 0 lógicos) ya sean las señales de corriente alterna, corriente directa o señales tipo pulso, por otro lado también se requiere usar interfaces de salida que proporcionen la tensión y corriente suficiente para operar relevadores, solenoides, o servomecanismos de acuerdo con la decisión del sistema lógico.

Entonces en el diseño de sistemas de control lógico siempre están presentes dispositivos que captan y adaptan las señales de entrada al sistema de control, y las de salida del controlador al medio exterior. Los dispositivos necesarios varían de acuerdo con la aplicación particular.

Para realizar el diseño apropiado de los bloques de acoplamiento dentro de los sistemas de control lógico, que

se encuentran enfocados a aplicaciones industriales resulta interesante conocer los dispositivos de entrada y salida más comunes en la industria, los cuales son:

ENTRADAS.

- . Termosensores.
- . Interruptores de presión, limitadores, alarma, etc.
- . Transductores.
- . Botones pulsadores.
- . Pulsadores de contacto permanente.
- . Detectores de proximidad.

SALIDAS.

- . Válvulas Solenoides.
- . Relevadores.
- . Contactores de Motores.
- . Lámparas Indicadoras.

De lo anterior se establece que un sistema de control lógico digital útil, para ser usado en una aplicación particular, esta constituido por: los subsistemas que adaptan las señales de entrada y salida al controlador los cuales se denominan interfaz de entrada y salida respectivamente, así como por el subsistema de decisión lógica representado por el controlador. La interacción de dichos subsistemas se muestra en el diagrama de bloques de la figura 3.1.

se encuentran enfocados a aplicaciones industriales resulta interesante conocer los dispositivos de entrada y salida más comunes en la industria, los cuales son:

ENTRADAS.

- . Termosensores.
- . Interruptores de presión, limitadores, alarma, etc.
- . Transductores.
- . Botones pulsadores.
- . Pulsadores de contacto permanente.
- . Detectores de proximidad.

SALIDAS.

- . Válvulas Solenoides.
- . Relevadores.
- . Contactores de Motores.
- . Lámparas Indicadoras.

De lo anterior se establece que un sistema de control lógico digital útil, para ser usado en una aplicación particular, esta constituido por: los subsistemas que adaptan las señales de entrada y salida al controlador los cuales se denominan interfaz de entrada y salida respectivamente, así como por el subsistema de decisión lógica representado por el controlador. La interacción de dichos subsistemas se muestra en el diagrama de bloques de la figura 3.1.

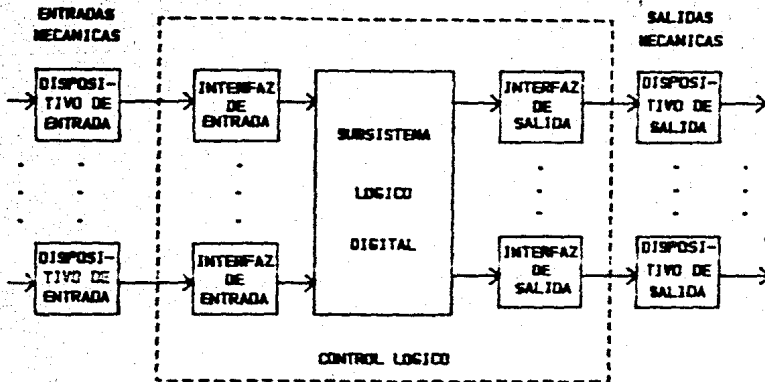


FIGURA 3.1 Diagrama de Bloques de un Control Lógico.

El controlador lógico para el sistema de excitación de turbogeneradores, tendrá exactamente la estructura antes marcada, tal que en este capítulo se describirá primero el diseño de la interfaz de entrada y posteriormente la de salida, dejando para un capítulo posterior el diseño del controlador lógico. Los cálculos del diseño se presentan en el apéndice A.

3.2 DISEÑO DE LA INTERFAZ DE ENTRADA.

Debido a que los dispositivos que proporcionan la señal de entrada al controlador producen rebotes y están alimentados por una fuente de 125 voltios de corriente directa, surge la necesidad de utilizar circuitos que interactúen para eliminar los rebotes y reducir el nivel de las señales de entrada a niveles lógicos ("1" y "0").

Para establecer los bloques que constituyen a la interfaz de entrada, se consideraron las necesidades que la interfaz debe cumplir y las características propias de las señales de entrada.

La interfaz debe satisfacer las siguientes especificaciones:

- . Proporcionar aislamiento de tierras, con el objeto de proteger al sistema con respecto a sobretensiones que puedan existir en el campo.
- . Debe generar señales compatibles a los niveles TTL.
- . En ausencia de la señal de entrada no debe producirse señal de salida en la interfaz.
- . La salida de la interfaz deberá permanecer mientras existe la señal de entrada.

Las características que a continuación se presentan permiten conocer la naturaleza y el ambiente donde operan las señales de entrada, lo cual es necesario para diseñar el acoplamiento entre los dispositivos que proporcionan las señales de entrada y el controlador.

- . Las señales de entrada son proporcionadas por botones pulsadores, contactos normalmente abiertos y normalmente cerrados, así como por interruptores de un polo dos tiros.
- . El cierre o apertura de los interruptores y contactos de entrada, causan una señal con rebotes.
- . Las entradas están energizadas con una tensión de corriente directa de 125 voltios.
- . Los dispositivos de entrada (interruptores y contactos), se localizan a distancia de la interfaz de entrada al controlador, en un medio de ruido electromagnético.

En la figura 3.2 se muestra que los dispositivos de entrada proporcionan un nivel de 125 voltios de corriente directa cuando son habilitados. Se introduce una etapa de limitación de corriente para alimentar a la etapa de

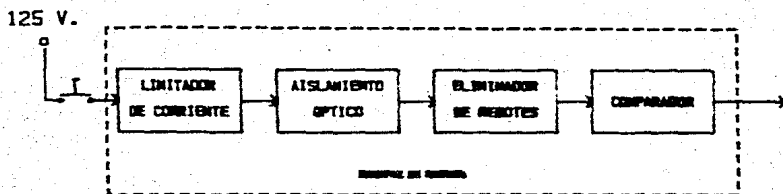


FIGURA 3.2 Bloques de la Interfaz de Entrada.

aislamiento óptico. Esta última etapa aísla la tierra del controlador de la tierra, de la fuente de alimentación de los dispositivos de entrada (interruptores y contactos), lo cual es una condición de seguridad básica para el controlador.

Los interruptores mecánicos que proporcionan las señales de entrada, producen en ellas oscilaciones (rebotes) los cuales no son deseables en los sistemas digitales. Para suprimirlos antes de la etapa de aislamiento se cuenta con una etapa inicial de filtrado y una posterior a él.

La última etapa tiene por objeto disminuir el efecto producido por los filtros y garantizar el nivel de la señal de entrada al controlador lógico, para ello se usa un comparador con histéresis (conocido como disparador de Schmitt).

A continuación, cada etapa es diseñada independientemente y al final se presenta la configuración completa de la interfaz.

3.2.1 ETAPA DE AISLAMIENTO.

Se inicia el diseño de la interfaz de entrada considerando la etapa de aislamiento, puesto que ella define las variables de la etapa de limitación de corriente.

La función de la etapa de aislamiento es proteger al control lógico con respecto a sobretensiones mediante el aislamiento de tierras y al mismo tiempo darle una estructura modular. La función es realizada por un optoacoplador, formado por un diodo emisor de luz (led) y un transistor sensor de luz (fototransistor).

En el optotransistor el diodo emisor de luz se polariza directamente cuando existe la señal de entrada, al hacerlo emite fotones que son captados por la base del transistor, el cual bajo estas condiciones se polariza en saturación, en el caso contrario pasa a la región de corte, entonces el fototransistor hará únicamente la función de un interruptor, por ello solo trabajará en saturación para indicar que se encuentra presente la señal de entrada, o bien trabajará en corte para indicar la ausencia de la misma.

Las curvas características del fototransistor son análogas a las de los transistores comunes, pero con la diferencia de que la corriente de base (I_b) es proporcional a la iluminación producida por el led [7]. El optoacoplador empleado es el 4N25 de General Electric.

Con el objeto de disminuir la disipación de potencia de la etapa limitadora de corriente al mínimo posible, (de las hojas de datos del fabricante anexas al apéndice B) se seleccionó la curva característica del fototransistor para una corriente del led $I_f=5mA$.

3.2.2 LIMITADOR DE CORRIENTE Y FILTRO.

La función de la etapa limitadora de corriente es proporcionar la corriente necesaria (5 mA) al led de la etapa de aislamiento, para que este polarice al fototransistor en saturación en caso de existir la señal de entrada. Aunada a esta función, se ha implementado el filtrado de una parte de los rebotes producidos por los interruptores mecánicos que proporcionan las señales de entrada.

La configuración seleccionada para esta etapa se basó en la norma IEEE-472 que indica que un controlador lógico debe pasar la prueba SWC. Para rechazar el ruido de modo

comun es necesario que la impedancia de las ramas del circuito estén equilibradas. La configuración seleccionada se muestra en la figura 3.3.

En el circuito mostrado en la figura 3.3 bajo condiciones de corriente directa, las resistencias R1, R2 y R3 limitan el flujo de corriente a 5mA, cuando la tensión de la fuente es la nominal ($V_f=125$ Vcd). Al incrementarse esta en un 30% el zener empieza a actuar para regular la tensión a 16v y suministrar a la carga la corriente de 5ma.

En condiciones dinámicas los capacitores C0 y C en conjunto con las resistencias R1 y R2 del mismo circuito constituyen un filtro pasabajas para los rebotes que producen los dispositivos de entrada, así como una protección para la prueba (SWC). La prueba SWC consiste en aplicar una señal oscilatoria de 1.5MHz. con una magnitud de 2.5KV cada 60 segundos [8].

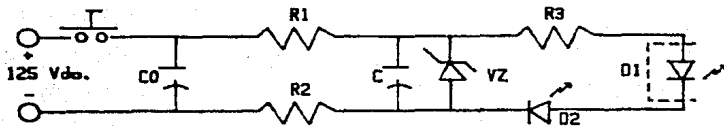


FIGURA 3.3 Etapa de Filtrado y Limitación de Corriente.

3.2.3 ELIMINADOR DE REBOTES.

Los interruptores mecánicos presentan señales que son inadecuadas para usarlas en circuitos lógicos digitales, puesto que los contactos del interruptor no cierran o abren completamente, ocasionando un periodo de rebotes en el cual la señal eléctrica del interruptor cambia ruidosamente entre los niveles alto y bajo de la señal, varias veces dentro de unos pocos milisegundos [5].

Para eliminar este efecto se dispone de diferentes alternativas (eliminador de rebotes integrado MCL4490, un filtro paso bajas activo, un flip-flop RS, etc.), pero se seleccionó un simple filtro RC (pasabajas). La configuración seleccionada para esta etapa se puede observar en la figura 3.4.

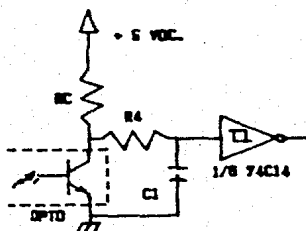


FIGURA 3.4 Etapa Eliminadora de Rebotes.

Cuando cambia de estado el interruptor de entrada produce una señal con rebotes que mediante la etapa de aislamiento es transmitida al filtro formado por R4 y C1. La función de este filtro genera un retardo suficientemente grande para asegurar que los transitorios de la señal han transcurrido quedando el capacitor cargado con una tensión igual a la de la fuente de alimentación (5 voltios) cuando el interruptor se encuentra abierto, o con una tensión igual a la de saturación del transistor cuando el interruptor ha sido cerrado (0.2 voltios).

3.2.4 COMPARADOR CON HISTERESIS

El utilizar un filtro RC para eliminar los rebotes produce un retardo de tiempo, lo cual implica que la entrada al circuito digital, sea como la de la figura 3.5. Por ello es necesario introducir un circuito que cuadre la señal haciéndola compatible con TTL. Esta función se realiza típicamente con un comparador con histéresis (disparador de Schmitt), el cual sirve para evitar oscilaciones y aumentar el rechazo al ruido.

En el caso de los contactos normalmente abiertos, se pretende que cuando el interruptor sea accionado la señal de salida de la interfaz de entrada posea un nivel lógico alto,

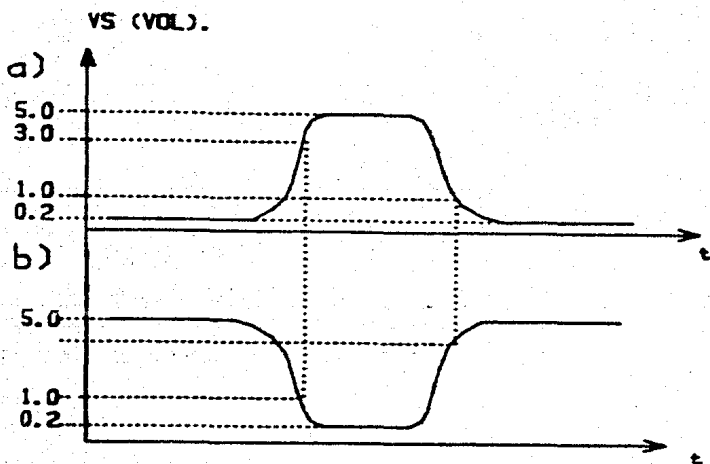


FIGURA 3.5 Salida del Eliminador de Rebotes.
a) Contacto N.C, b) Contacto N.A.

pero esto sucede hasta que el comparador detecta que la tensión del capacitor en el filtro, disminuye hasta 1 voltio ya que la tensión del transistor (VCE) es la de saturación. Al dejar de accionar el interruptor, el transistor regresa a corte y el capacitor se vuelve a cargar, tal que cuando el comparador detecta que éste alcanza una tensión de 3 voltios su salida regresa a un nivel lógico bajo. Gráficamente la función del comparador se observa en la figura 3.6a y su curva de histéresis en la figura 3.6b

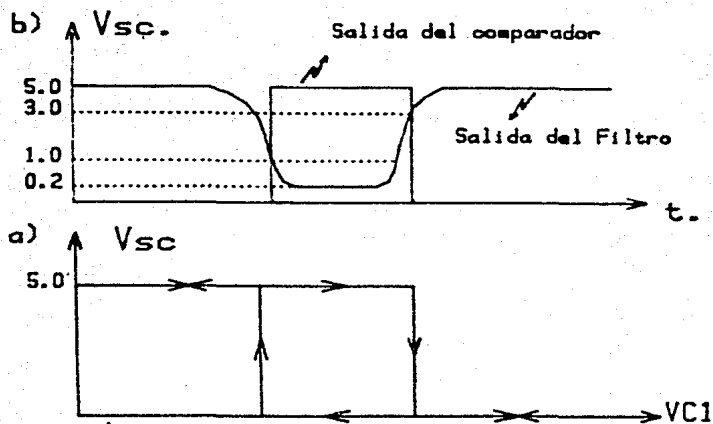


FIGURA 3.6 a) Función del Comparador (N.A)
b) Curva de Histéresis Asociada.

Para el contacto normalmente cerrado, el transistor se encuentra en saturación ($V_{cesat}=0.2V$), provocando que el capacitor del filtro esté descargado, y la salida del comparador sea "1" lógico, ahora cuando se acciona el contacto el transistor se va a corte por la ausencia de la señal y el capacitor comienza a cargarse, al llegar a 3 voltios la tensión del capacitor, el comparador lo detecta y pasa a un nivel lógico bajo. Regresa al nivel alto cuando se desactiva el interruptor (existe la señal), debido a que

el capacitor se descarga y el comparador lo detecta hasta que este llega a 1 voltio. Gráficamente se muestra en la figura 3.7a y la curva de histéresis que define su comportamiento en la figura 3.7b.

Las curvas de histéresis anteriores nos definen el comportamiento de un comparador con histéresis INVERSOR.

El comparador con histéresis que realiza esa función es un disparador de Schmitt integrado de tecnología CMOS y cuyo

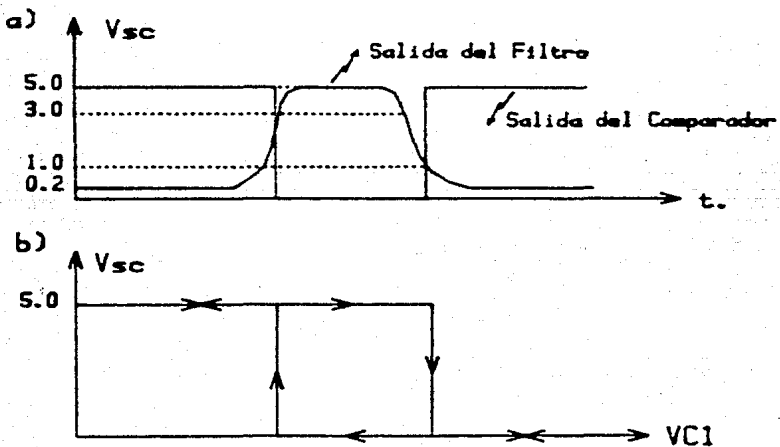


FIGURA 3.7 a) Función del Comparador (N.C).
b) Curva de Histéresis Asociada.

identificador es el MC74C14. Este circuito nos proporciona la histéresis deseada, e inclusive resulta práctico para el diseño, ya que se necesitan 10 entradas idénticas y el 74C14 posee 6 disparadores de Schmitt en una sola capsula.

Hasta aquí han quedado diseñadas por completo cada una de las etapas de la interfaz de entrada. El diagrama completo de ella se muestra en la figura 3.8.

3.3 DISEÑO DE LA INTERFAZ DE SALIDA.

Los niveles de tensión y la capacidad de corriente que pueden manejar en sus salidas los sistemas digitales, no son suficientes para operar por sí solos a los relevadores o solenoides comerciales, etc., por lo que es necesario agregar una interfaz de salida que acople las señales de salida del controlador con los dispositivos externos al sistema [6].

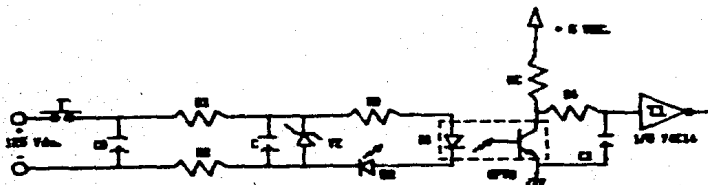


FIGURA 3.8 Interfaz de Entrada.

Las señales de salida del controlador deben acondicionarse para cumplir con las siguientes especificaciones:

- . Debe operar dispositivos externos cuando la señal verificada baja del controlador exista.
- . La interfaz debe operar los relevadores electromecánicos de salida con alimentación de +24 V d.c. e impedancia de entrada de 1600 ohms.
- . Los dispositivos de salida no deben modificar su estado a causa del encendido y apagado de la fuente de alimentación del control lógico.

Para definir la forma en que deberán ser tratadas las salidas del controlador lógico para cumplir con las especificaciones de diseño, es de suma importancia considerar las características propias del controlador, las cuales se presentan a continuación:

- . Las salidas del controlador son compatibles a niveles TTL.
- . Las salidas son verificadas bajas.
- . Existen cuando la combinación de entrada es la apropiada para generar la salida.

Por las características y necesidades que debe satisfacer la interfaz de salida esta debe cumplir con los bloques de la figura 3.9.

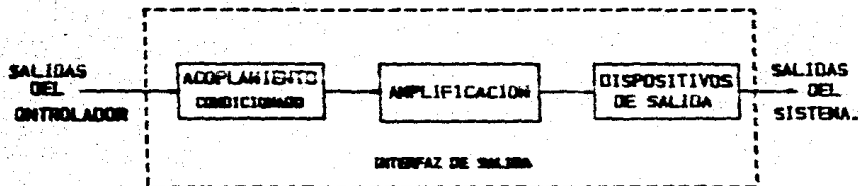


FIGURA 3.9 Diagrama de Bloques de la Interfaz de Salida.

La estructura marcada para esta interfaz da una mayor modularidad al sistema de control, porque al manejar relevadores de salida que son capaces de operar otros dispositivos externos a la tarjeta de control de acuerdo con las necesidades de la aplicación, permite ampliar su proyección en los sistemas de control industrial.

De la misma manera que en la interfaz de entrada, se diseñan las etapas independientemente y al final se presenta su configuración.

3.3.1 BUFFER.

Las funciones del buffer dentro de esta interfaz son:

- . Acoplar la impedancia entre el controlador y la etapa de amplificación proporcionando alta impedancia de entrada y en su salida una impedancia baja.
- . Garantizar el nivel de la señal de salida en un "1" lógico.
- . El buffer usado es inversor con el objeto de tener un "1" lógico en su salida cuando exista la señal del controlador ya que estas son verificadas bajas.
- . La terminal habilitadora del buffer de tres estados se utiliza, para activar las salidas del controlador 10 mseg. después de que la fuente de alimentación del control lógico es aplicada. Esta terminal también se utiliza para desactivar las salidas cuando la tensión de la fuente de alimentación ha disminuido de 5 a 4.5 voltios.

La aplicación que nos ocupa requiere únicamente tres salidas físicas y una interna. Para darle flexibilidad y ampliar su posibilidad de modificaciones hacia el futuro en

el controlador se utilizo el buffer 74LS241 que realiza las funciones anteriores y ofrece ocho buffers en una sola cápsula lo cual cubre todas las salidas disponibles del controlador (PAL16LB).

3.3.2 CIRCUITO HABILITADOR.

En el circuito habilitador de la figura 3.10, el comparador es polarizado por el capacitor C3, el cual tambien alimenta al divisor (R7, R8), que fija la referencia negativa del LM339. Como la configuración del comparador es no inversora, la entrada es aplicada a la terminal positiva del comparador, mediante un divisor formado por R9 y R10 con el objeto de atenuar proporcionalmente la señal de entrada, ya que ésta no puede ser mayor que la polarización del comparador.

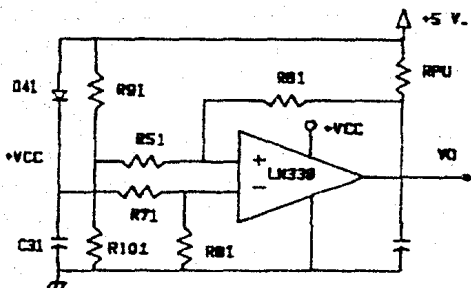


FIGURA 3.10 Circuito Habilitador.

En el momento de la comparación cuando $V+$ rebasa a $V-$ la salida del LM339 es la de saturación positiva ($+V_{cc}$), bajo esta condición el buffer de salida se encuentra habilitado, ahora cuando se hace $V+$ menor que $V-$ el comparador conmuta a la saturación negativa (cero voltios), provocando que el capacitor $C2$ se descargue a través del transistor de salida del comparador, en menos tiempo del que requiere la fuente para entrar en la zona de umbral del controlador, de tal forma que al deshabilitar las salidas, se garantiza que no se genera una conmutación de estados.

3.3.3 ETAPA DE AMPLIFICACION.

Para esta etapa se necesita una configuración que permita proporcionar la suficiente corriente para activar los dispositivos de salida (las bobinas de los relevadores). Lo cual sugiere una etapa de amplificación de corriente.

Por su alta impedancia de entrada y su capacidad para manejar corriente se usa un par Darlington.

El par Darlington se opera como un interruptor. Cuando se encuentra en saturación el transistor posee una tensión colector emisor igual a la de saturación, permitiendo entonces que la mayor parte de la tensión de la fuente se encuentre en la bobina del relevador correspondiente a esa salida, activándose por consecuencia los contactos asociados

a él. Se trabaja en corte para indicar la ausencia de la señal de salida del controlador, de tal manera que la tensión del colector emisor del transistor Q2 del par Darlington es igual a la de la fuente y por tanto la bobina del relevador se encuentra desactivada.

Por otro lado, a la bobina de cada uno de los relevadores dado que son elementos activos se les ha provisto de un diodo (free wheeling) conectado en inversa que les permita efectuar la descarga al ser desactivadas con el objeto de proteger al par Darlington contra el transitorio de la fuerza contraelectromotriz.

El par Darlington usado es el ULN2001A, porque ofrece ventajas como tener seis pares Darlington en una sola cápsula con su correspondiente diodo de free wheel,

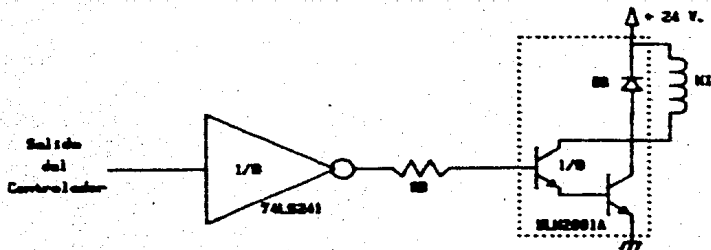


FIGURA 3.11 Interfaz de Salida.

además de que es capaz de manejar la corriente necesaria para activar los relevadores de salida. En el apéndice B se muestra su hoja de datos.

La configuración final de la interface de salida se muestra en la figura 3.11.

CAPITULO 4

DISEÑO DEL CONTROLADOR LÓGICO.

A continuación se presenta el método a seguir para diseñar controladores enfocados a pequeñas aplicaciones de uso industrial, usando como base la tecnología de los Dispositivos Lógicos Programables.

El método a tratar se apoya en el uso de herramientas CAD, las cuales permiten reducir el tiempo de desarrollo requerido en el diseño y ofrece la oportunidad de manipular directamente la programación del dispositivo, que lleva implícita la lógica del controlador.

La secuencia de pasos que establece el método a seguir son los siguientes:

1. Establecer el algoritmo verbal del sistema.
2. Definir las entradas y salidas del sistema.
3. Obtener del algoritmo verbal el diagrama

- esquemático tipo escalera.
4. Obtener las ecuaciones Booleanas.
 5. Elegir el dispositivo lógico programable apropiado.
 6. Programar el dispositivo.

El proceso de diseño se ejemplificará con el diseño del control lógico para el sistema de excitación.

4.1 ALGORITMO VERBAL.

El proceso de diseño generalmente parte de un algoritmo verbal del problema, del cual se desprende el diagrama esquemático que define todas las funciones y condiciones de operación del sistema.

En base a diagramas de escalera para el control de excitación de varios fabricantes y consultas con el usuario se definieron en forma verbal las funciones que debía cubrir el control lógico. Esto constituye un paso crucial en el proceso de diseño porque de la buena interpretación del sistema depende llegar a plantear el diagrama lógico capaz de cumplir con todas las especificaciones necesarias.

El algoritmo verbal que denota las funciones y condiciones de operación del control, según se estableció en el capítulo 1 es el siguiente:

Se desea diseñar un controlador lógico que cierre el interruptor de campo de un generador de 5MW, cuando se accione el interruptor de cierre (ON), comandado desde el tablero de control siempre y cuando el contacto de protección del generador (86G,NC), así como el del transformador (86GT,NC), se encuentren cerrados y además el interruptor principal (52GX,N.A), no haya sido activado.

Si los contactos de protección antes mencionados, se encuentran cerrados y además se ha dado la señal de cierre del interruptor de campo, esto debe realizar dos funciones: La primera, y la más importante, es verificar que se ha cerrado el interruptor de campo y por lo tanto es posible realizar la segunda función consistente en permitir seleccionar desde el panel de control la operación manual o automática del sistema de excitación del generador. Colateralmente a ambas funciones se deben accionar las indicaciones que estén de acuerdo con el funcionamiento del sistema. Ahora si el 52GX se encuentra cerrado el control lógico debe impedir que el interruptor de quebradora se abra con el comando de OFF, con el de 86G o bien con el 86GT.

4.2 DEFINICION DE LAS ENTRADAS Y SALIDAS DEL SISTEMA.

Las entradas al controlador son todos los contactos que condicionan la operación del sistema, además de los dispositivos que verifican las condiciones de salida (41E,

41EXA) y de los que comandan su operación. En la tabla 4.I se presentan las entradas del sistema denotandolas con la nomenclatura estándar propuesta en la norma IEEE 242-1975. En esta nomenclatura el número indica la función, y la letra el equipo al cual está asociado el dispositivo nombrado.

Por otra parte las salidas están representadas por las bobinas que son energizadas para activar sus contactos asociados con el objeto de cerrar el interruptor de campo (41E) y subsecuentemente poder seleccionar la operación manual o automática del controlador de excitación, así como hacer las señalizaciones pertinentes (43-90X). En la tabla 4.II se muestran las salidas también bajo la nomenclatura marcada por la norma IEEE 242-1975.

TABLA 4.I
Entradas del Sistema de Control Lógico de Excitación.

ENTRADAS	DESCRIPCION	FUNCION
86G	contacto NC. es un permisivo	Protección Generador
86GT	Contacto NC. es un permisivo	Protección transf.
ON	Botón pulsador NA.	Cierra Quebradora de Campo.
OFF	Botón pulsador NA.	Abre Quebradora de Campo
52GX	Contacto NA.	Contacto auxiliar del interruptor principal
41EX	Contacto auxiliar NA.	Confirma Cierre de Quebradora
41Ea	Contacto Aux. NA.	Amarra
MAN	Interruptor de contacto Perm.	Fija el Control man.
AUTO	Interruptor de contac. perm.	Fija control auto.

TABLA 4.II
Salidas del Controlador del Sistema de Excitación.

SALIDAS.	DESCRIPCION.	FUNCION.
41E	Contactador Principal de Quebradora de Campo	Abre o Cierra Quebradora
41EX	Relevador auxiliar de Quebradora	Cierra Quebradora
41EV	Bobina interna auxiliar	Abre quebradora
43-90X	Relevador auxiliar	MAN-AUTO.

4.3 OBTENCION DEL DIAGRAMA ESQUEMATICO.

El diagrama esquemático de un circuito de control de relevadores es una representación simbólica de las conexiones entre los diferentes elementos del sistema de control y las fuentes de alimentación, bajo una lógica y secuencia de operación bien definida, por la aplicación en particular. Los símbolos utilizados en los diagramas esquemáticos son los símbolos estándar marcados por la norma IEEE standard 315-1971 que resume a los contenidos en las normas ASA Y32.2 y los de la NEMA ICSI-101 [6].

El algoritmo verbal del controlador lógico establece que se desea cerrar el interruptor de la quebradora de campo, cuando se de la señal de encendido por un interruptor tipo botón pulsador, siempre y cuando no se encuentren activados los contactos de protección del generador, el transformador de salida y el interruptor principal.

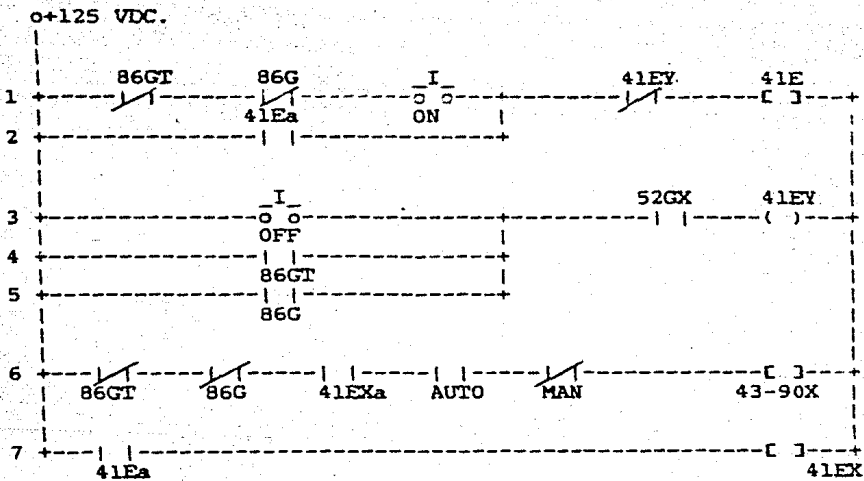


FIGURA 4.1. Diagrama esquemático del Control Lógico del Sistema de Excitación.

La lógica de esta función se encuentra representada en las ramas 1 y 2 del diagrama esquemático que se muestra en la figura 4.1. En ella, se distingue que se utilizó un circuito de control de 3 líneas, el cual se caracteriza por utilizar contactos auxiliares de encendido, con el fin de sostener el circuito de bobina después que la señal de control (ON) proveniente de un contacto momentáneo (push button) ha sido activado, por esta razón cuando se energiza el relevador 41E (considerando que 86G, 86GT y 41EY no han sido activadas) al dar el comando de ON se usa el contacto auxiliar denominado 41Ea.

Por su parte el contacto auxiliar de la bobina 41EY está condicionando la energización de la bobina del interruptor de campo a la posición del contactor principal (52GX), con el fin de evitar la interrupción del sistema de excitación cuando el generador se encuentre sincronizado a la línea.

En las ramas 3, 4 y 5 se observa que la bobina 41EY es de control, puesto que ella condiciona la desenergización de la bobina 41E, en primera instancia al estado en el que se encuentre el interruptor principal (52Gx), en segundo término a la activación de las protecciones o bien a la posibilidad de dar manualmente el comando de desactivación mediante el interruptor de contacto momentáneo denominado

OFF.

Por su parte, el relevador 41E al ser energizado activa al relevador 41EX, de la rama 7, que permite seleccionar la operación manual o automática del sistema de excitación usando la rama 6, así como efectuar las señalizaciones pertinentes (43-90X), esta función se realiza siempre y cuando no se encuentren activadas las protecciones (86G y 86Gt).

4.4 OBTENCION DE LAS ECUACIONES BOOLEANAS.

El proceso para obtener las ecuaciones Booleanas a partir del diagrama esquemático de relevadores es el siguiente:

1. Considerando que el comportamiento de los contactos en serie definen la función de una compuerta AND (figura 4.2a). Los contactos en paralelo equivalen al funcionamiento de una compuerta OR (figura 4.2b).
2. Se pueden establecer las ecuaciones Booleanas del sistema, con la lógica deseada aplicando las relaciones de la tabla 4.III, a cada una de las trayectorias que conducen a una salida dentro del diagrama esquemático de relevadores del sistema, mostrado en la figura 4.1.

TABLA 4.III
Relaciones Lógicas.

CONDICIONES FISICAS	DIAGRAMA ESCALERA	ECUACION BOOLEANA.
----- ----- A	----- ----- A	A
----- / ----- A	----- / ----- A	A
----- \ ----- A	----- ----- A	\overline{A}
----- ----- A	----- / ----- A	\overline{A}

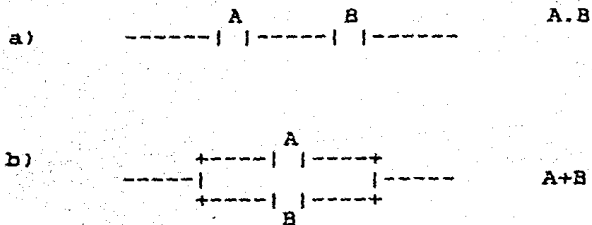


Figura 4.2 Función lógica equivalente de los contactos.

- a) Representación de una compuerta AND.
 b) Representación de una compuerta OR.

Las condiciones físicas de los contactos del diagrama esquemáticos se dan en la tabla 4.IV.

Siguiendo la secuencia antes marcada para las ramas 1 y 2 del diagrama esquemático de relevadores del sistema, se tiene que la ecuación 41E es:

$$41E = 86G.86GT.ON.41EY + 41Ea.41EY$$

Para la salida 41EY representada por las ramas 3, 4 y 5, su ecuación queda definida de la siguiente manera:

$$41EY = OFF.52GX + 86GT.52GX + 86G.52GX$$

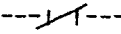
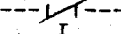
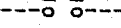


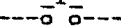



De la rama 6 del diagrama esquemático la ecuación para la salida denominada 43-90X queda como sigue:

$$43-90X = 86G.86GT.41EXa.AUTO.MAN$$

Por último de la rama 7 la salida 41EX es igual a:

$$41EX = 41Ea$$

TABLA 4.IV.
Condiciones Físicas de los
Contactos de entrada..

NOMENCLATURA	REPRESENTACION.
86G	
86GT	
ON	
41Ea	
52GX	
OFF	
41EXa	
AUTO	
MAN	

4.5 ELECCION DEL DISPOSITIVO LOGICO PROGRAMABLE.

El próximo paso es identificar el dispositivo lógico programable apropiado a la aplicación. Los puntos a considerar para realizar la elección son [15].

1. Número de entradas necesarias.
2. El número de salidas con o sin registro.
3. Salidas de control de tres estados.
4. El número de términos producto.

En en el caso del controlador lógico se necesitan nueve entradas disponibles, un mínimo de cuatro salidas y tres términos producto por cada una. No se requiere la existencia de registros puesto que el resultado de la lógica es únicamente combinacional y no secuencial.

Dentro del grupo de PAL'S combinacionales que cumplan con las necesidades antes marcadas sólo se encuentra el PAL16L8. El cual fue seleccionado del manual de PAL'S [17].

4.6 PROGRAMACION DEL DISPOSITIVO LOGICO PROGRAMABLE.

En la presente sección se muestra la forma de programar el dispositivo seleccionado con ayuda de herramientas de Diseño Ayudado por Computadora (CAD). Esta herramienta define un proceso iterativo entre el hombre y su estación de trabajo, que contiene una terminal gráfica de despliegue. Esta definición no involucra las opciones alternativas como son digitalizadores, impresoras, etc., pero están contemplados dentro del espectro total de herramientas para mejorar la productividad [18].

En el diseño de controladores usando dispositivos lógicos programables se requiere, para conformar al sistema CAD, un paquete de programación, una computadora personal y un programador de PLD'S.

Para que exista compatibilidad entre la computadora personal, y el paquete de programación, se requiere de una

computadora personal IBM PC/AT (o compatible), con un mínimo de 256K de memoria RAM y cuyo sistema operativo sea el PC-DOS, además debe disponer de dos discos blandos de doble densidad, así como de un procesador de textos (wordstar).

El compilador CUPL 2.0. Es un lenguaje de soporte universal para diseñar con lógica programable. Específicamente se ha desarrollado para facilitar el diseño de circuitos (Hardware) en el área de ingeniería.

El CUPL es un programa universal que da la libertad de usar cualquier dispositivo lógico programable, puesto que sirve de soporte a diferentes fabricantes [20].

El programador de PLD'S usado es el UP-803 de Digetele el cual opera en forma automática recibiendo el archivo de programación desde la computadora o en forma manual tecleando directamente el patrón de fusibles.

La finalidad del sistema así formado es generar la documentación y los archivos necesarios para el programador de dispositivos lógicos programables (puerto serie o paralelo) el cual imprime la lógica del diseño en el dispositivo seleccionado, mediante el quemado de sus fusibles.

4.6.1 PROCEDIMIENTO DE PROGRAMACION.

En el diagrama de bloques de la figura 4.3 se muestra la secuencia de funciones lógicas del programador CUPL, en el se observa que la forma usual de entrada al procesador (CUPL) son las ecuaciones Booleanas, cuya edición se procesa con CUPL, el cual ofrece la posibilidad de minimizar las funciones Booleanas, simular la lógica del diseño en forma opcional, así como generar el archivo de extensión .JEDEC que es necesario para programar al dispositivo seleccionado con ayuda del UP-803.

La secuencia de pasos definida para programar al dispositivo lógico programable se muestra en el diagrama de flujo de la figura 4.4.

4.6.2 EDICION DEL ARCHIVO FUENTE.

El archivo fuente denominado como TEMPL.PLD dentro del programa CUPL, contiene un formato típico en el cual se hace la descripción textual del diseño. Para ello primero se copia este archivo en el destinado para ese fin, cabe aclarar que es opcional usar este formato pero es conveniente para tener uniformidad en el diseño y poder generar la documentación apropiada.

El encabezado del formato típico propiamente tiene por objeto identificar el archivo en cuestión así como permitir que se le localice fácilmente y dar referencia del número de revisiones elaboradas. Entre la información que contiene se encuentra el nombre del archivo, número de revisión, nombre del diseñador, fecha, etc.. Esto se puede apreciar en el formato anexo a la documentación del diseño, en donde las x's son sustituidas por la información corespondiente finalizando cada dato con un espacio en blanco y un punto y coma.

En las etapas subsecuentes del formato se encuentran zonas en las que se indica con una línea diagonal y un asterisco (/*) el inicio de un comentario y el final del campo disponible con un asterisco y una línea diagonal (*//).

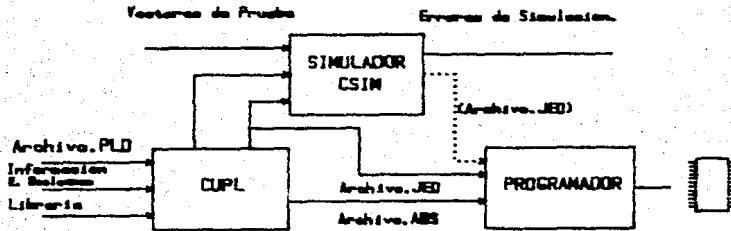


FIGURA 4.3 Funciones del Programa CUPL.

Los comentarios permiten generar un archivo fuente más fácil de comprender para el diseñador original y aun para otros que con el tiempo requieran comprender el sentido de la lógica creada.

Las variables de entrada y las de salida se les asigna un nombre, dicho nombre se escribe dentro del campo que le corresponda ya sea una entrada, salida, después de haber asignado al pin el número, se pone el signo igual y en seguida el nombre de la variable que le corresponde a ese número de terminal del dispositivo y de acuerdo con lo establecido por el diseño.

Por último se declaran las ecuaciones intermedias y las ecuaciones lógicas usando la forma habitual marcada por el algebra de Boole, únicamente se debe tomar en cuenta que los simbolos que utiliza el programa para definir la lógica son para la función OR el símbolo de #, para representar la función AND & y para el complemento !.

Toda la documentación correspondiente a la edición, procesamiento y simulación del diseño del sistema de excitación se presentan al final de este capítulo.

4.6.3 PROCESAMIENTO DEL ARCHIVO FUENTE CON CUPL.

Contando con el archivo fuente del prototipo (CL-RAV.PLD) el siguiente paso es procesarlo usando CUPL,

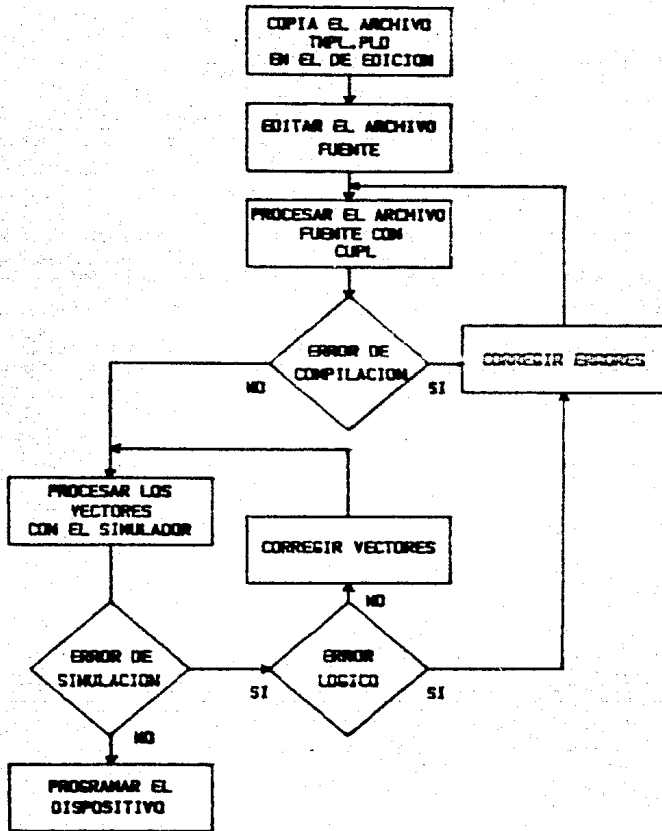


FIGURA 4.4 Diagrama de Flujo de la Programación del Dispositivo.

asociando a su corrida las banderas necesarias para obtener los productos de salida esperados ya sea para simular o programar o para ambas cosas.

Se procesa el diseño para un determinado dispositivo usando el compilador CUPL.

El CUPL inicia su procesamiento con un solo comando que usa el siguiente formato:

```
CUPL [ -Banderas] dispositivo fuente
```

Cada uno de los parámetros involucrados en el formato representan:

- . CUPL. Es el comando de procesamiento.
- . Las banderas. Son las opciones de compilación.
- . El dispositivo. Representa el nemónico para el tipo de dispositivo a usar en la compilación.
- . La fuente. Es la descripción lógica (nombre.PLD) de la función del dispositivo a programar la cual fue generada por el editor de textos.

Para el caso del control lógico de excitación se desea generar:

- . Una lista numerada y con mensajes de error de la definición del sistema (-L),
- . Generar la documentación asociada a él (-x,-f)
- . Simular (-a,-j) y programar al dispositivo.

Banderas: [-a,-j,-l,-f,-x]

Dispositivo: P16L8

Fuente: CL-RAV.PLD

El formato queda como:

CUPL -AJLFX P16L8 CL-RAV

Las banderas seleccionadas para el procesamiento del diseño con CUPL, generan los siguientes archivos:

ARCHIVO JEDEC. Es un archivo denominado para este caso como CL-RAV.JED, este archivo contiene la función del sistema en la forma de un patrón de fusibles. Sirve para transferir la información contenida en él, de una computadora a un programador lógico.

ARCHIVO ABSOLUTO. El archivo CL-RAV.ABS es creado durante la compilación (-a), se usa cuando se corre el simulador (CSIM). Este archivo contiene representada la

función lógica que debe realizar el dispositivo. El simulador la utiliza para compararlo con el archivo de entrada al simulador y analizar si, son correctos o no los vectores presentados como estímulo y su correspondiente salida.

ARCHIVO DE DOCUMENTACION. este archivo CL-RAV.DOC se eligió con la bandera (-f) o la (-x) durante la compilación.

La bandera (-f) nos proporciona un mapa de fusibles quemados del dispositivo a programar. Para el PAL cada término de salida es enlistada y asociada a un término producto lo cual se muestra en el archivo JEDEC (patrón de fusibles). Los fusibles se denotan con x y los fusibles quemados con (-).

La bandera (-x) nos proporciona una lista de las ecuaciones lógicas en forma de minterminos, una tabla de símbolos de todas las variables usadas dentro del archivo. Incluyendo el número total de términos producto y el número de variables de cada salida.

ARCHIVO DE LISTADO. Con la bandera (-l), generamos un archivo de error. Cada línea dentro de la fuente original es numerada. El mensaje de error, para cualquier línea es enlistada al final del archivo usando como referencia, su número asociado.

En caso de existir errores de compilación durante esta etapa se edita de nuevo el archivo fuente del diseño, se corrige y se vuelve a procesar.

4.6.4 SIMULACION DEL DISEÑO.

Si no hay errores de compilación, en caso de desear simular al dispositivo, se generan vectores de entrada y los de salida esperados dentro de un archivo de extensión .SI.

Una vez generado este archivo la simulación del diseño se efectúa con un solo comando el cual tiene la forma siguiente:

```
CSIM [- BANDERAS] DISPOSITIVO FUENTE.
```

Los elementos de este formato son los mismos que los correspondientes al CUPL, con la diferencia de que las banderas disponibles para el simulador no son las mismas.

El simulador necesita el archivo CL-RAV.SI, este contiene una tabla que simula la función del dispositivo, en conjunto con el archivo de extensión .ABS.

El comando para simular al dispositivo seleccionado queda de la siguiente manera:

Banderas: [-j,-l,-v]
Dispositivo: PAL 16L8
Fuente: CL-RAV.SI

El formato queda de la forma siguiente:

CSIM [-JLV] P16L8 CL-RAV

Si hay errores en la simulación y estos no son lógicos se edita el archivo de extensión .SI para corregirlos y después volver a procesar con el simulador, pero si los errores son lógicos se edita el archivo fuente .PLD se efectúa la corrección se procesa el archivo usando CUPL.

4.6.5 PROGRAMACION DEL DISPOSITIVO SELECCIONADO

En caso de no existir errores de simulación se procede a programar el dispositivo, descargando el contenido del archivo .JEDEC en el programador UP-803, el cual es conectado el dispositivo seleccionado. De esta manera se tiene un producto de diseño terminado.

En este punto se cuenta con la posibilidad de examinar que la programación del dispositivo haya sido correcta, esta función puede ejecutarse en forma automática mediante el uso del programa, o comparando el patrón de fusibles de la

Banderas: [-j,-l,-v]
Dispositivo: PAL 16L8
Fuente: CL-RAV.SI

El formato queda de la forma siguiente:

CSIM [-JLV] P16L8 CL-RAV

Si hay errores en la simulación y estos no son lógicos se edita el archivo de extensión .SI para corregirlos y después volver a procesar con el simulador, pero si los errores son lógicos se edita el archivo fuente .PLD se efectúa la corrección se procesa el archivo usando CUPL.

4.6.5 PROGRAMACION DEL DISPOSITIVO SELECCIONADO

En caso de no existir errores de simulación se procede a programar el dispositivo, descargando el contenido del archivo .JEDEC en el programador UP-803, el cual es conectado el dispositivo seleccionado. De esta manera se tiene un producto de diseño terminado.

En este punto se cuenta con la posibilidad de examinar que la programación del dispositivo haya sido correcta, esta función puede ejecutarse en forma automática mediante el uso del programa, o comparando el patrón de fusibles de la

documentación del diseño con el mostrado por el dispositivo,
después de haber sido programado.

```

PARTNO      RAV-19 ;
NAME        CL_RAV.PLD ;
DATE        06.05.86 ;
REV         03 ;
DESIGNER    M.T. Sierra, A. Cervantes ;
COMPANY     IIE ;
ASSEMBLY    Controlador Logico ;

```

```

/*****
/* Este dispositivo genera los comandos logicos */
/* necesarios para el control de excitacion de turbo- */
/* generadores */
/*****
/* DISPOSITIVOS ; PAL16LB, EP300 */
/*****

```

```

/** Entradas **/

```

```

PIN 1 = 86G ; /* Contacto N.C., proteccion generador */
PIN 2 = 86GT ; /* Contacto N.C., proteccion transformador */
PIN 3 = ON ; /* Boton pulsador, cierra quebradora */
PIN 4 = 41Ea ; /* Contacto auxiliar de quebradora N.A. */
PIN 5 = 52GX ; /* Contacto aux. interruptor principal */
PIN 6 = OFF ; /* Boton pulsador, abre quebradora */
PIN 7 = 41EXa ; /* Contacto de relevador cierre quebradora */
PIN 8 = AUTO ; /* Selector contacto sostenido AUTO N.A. */
PIN 9 = MAN ; /* Selector contacto sostenido MAN N.A. */

```

```

/** Salidas **/

```

```

PIN 14 = 41EX ; /* Relevador aux. de cierre quebradora */
PIN 15 = 43_90X ; /* Relevador auxiliar MAN-AUTO */
PIN 16 = 41EY ; /* Bobina interna aux., abre quebradora */
PIN 17 = 41E ; /* Contactor principal Q. de campo */

```

```

/* Declaraciones y definiciones de variables intermedias */

```

```

X = 86G & 86GT & ON &!41EY # 41Ea &!41EY ;

```

```

/** Ecuaciones Logicas **/

```

```

41E = X ;
41EY = OFF & !52GX # !86G & !52GX # !86GT & !52GX ;
43_90X = 86G & 86GT & 41EXa & AUTO & !MAN ;
41EX = 41Ea ;

```

Source File: TERE

Device: pi618

```

1:
2:
3:          PARTNO      RAV-19 ;
4:          NAME        CL_RAV.PLD ;
5:          DATE        06.05.86 ;
6:          REV         03 ;
7:          DESIGNER    M.T. Sierra, A. Cervantes ;
8:          COMPANY     IIE ;
9:          ASSEMBLY    Controlador Logico ;
10:
11:          /*****
12:          /* Este dispositivo genera los comandos logicos necesarios
13:          /* para el control de excitacion de turbogeneradores */
14:          /*****
15:          /* DISPOSITIVOS : PAL16LB,      EP300      */
16:          /*****
17:          /** Entradas **/
18:
19:          PIN 1 = 86G ; /* Contacto N.C., proteccion generador */
20:          PIN 2 = 86GT ; /* Contacto N.C., proteccion transformador */
21:          PIN 3 = ON ; /* Boton pulsador, cierra quebradora */
22:          PIN 4 = 41Ea ; /* Contacto auxiliar de quebradora N.A. */
23:          PIN 5 = 52BX ; /* Contacto aux. interruptor principal N.C. */
24:          PIN 6 = OFF ; /* Boton pulsador, abre quebradora */
25:          PIN 7 = 41EXa ; /* Contacto de relevador cierre quebradora */
26:          PIN 8 = AUTO ; /* Selector contacto sostenido AUTO N.A. */
27:          PIN 9 = MAN ; /* Selector contacto sostenido MAN N.A. */
28:
29:
30:
31:          /** Salidas **/
32:
33:          PIN 14 = 41EX ; /* Relevador auxiliar de cierre quebradora */
34:          PIN 15 = 43_90X ; /* Relevador auxiliar MAN-AUTO */
35:          PIN 16 = 41EY ; /* Bobina interna aux., abre quebradora */
36:          PIN 17 = 41E ; /* Contactor principal quebradora de campo */
37:
38:
39:
40:          /** Declaraciones y definiciones de variables intermedias **/
41:
42:          x = 86G & 86GT & ON &!41EY & 41Ea &!41EY ;
43:
44:
45:
46:          /** Ecuaciones Logicas **/
47:
48:          41E = x ;
49:          41EY = OFF & !52BX & !86G & !52GX & !86GT & !52GX ;
50:          43_90X = 86G & 86GT & 41EXa & AUTO & !MAN ;
51:          41EX = 41Ea ;
52:
53:
54:
55:
56:
57:

```

CUPL	2.02b
Device	p1618 DL18-c-18-5
Partno	RAV-19
Name	CL_RAV.PLD
Revision	03
Date	06.05.86
Designer	M.T. Sierra, A. Cervantes
Company	IIE
Assembly	Controlador Logico
Location	xxxx

=====

Expanded Product Terms

=====

```

41E ->
  41EY
  # !41Ea & !86G
  # !41Ea & !86GT
  # !41Ea & !ON

41EX ->
  !41Ea

41EY ->
  52GX
  # 86G & 86GT & !OFF

43_90X ->
  !86G
  # !86GT
  # !41EXa
  # !AUTO
  # MAN

X ->
  !41EY & 86G & 86GT & ON
  # !41EY & 41Ea

41E.oe ->
  1

41EX.oe ->
  1

41EY.oe ->
  1

43_90X.oe ->
  1

```

Symbol Table

<u>Pol</u>	<u>Name</u>	<u>Ext</u>	<u>Pin</u>	<u>Type</u>	<u>Used</u>	<u>Max</u>
	41E		17	V	4	7
	41EX		14	V	1	7
	41EXa		7	V	-	-
	41EY		16	V	2	7
	41Ea		4	V	-	-
	43_90X		15	V	5	7
	52GX		5	V	-	-
	86G		1	V	-	-
	86GT		2	V	-	-
	AUTO		8	V	-	-
	MAN		9	V	-	-
	OFF		6	V	-	-
	ON		3	V	-	-
	X		0	I	2	-
	41E	oe	17	D	1	1
	41EX	oe	14	D	1	1
	41EY	oe	16	D	1	1
	43_90X	oe	15	D	1	1

LEGEND

D : default var F : field I : intermediate var
 U : undefined V : var X : extended var
 N : node M : extended node

Fuse Plot

Pin #19

0000 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0032 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0064 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0096 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0128 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0160 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0192 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0224 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #18

0256 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0288 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0320 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0352 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0384 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0416 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0448 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0480 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #17

0512 -----
0544 -----x-----
0576 --x-----x-----
0608 -x-----x-----
0640 -----x-----x-----
0672 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0704 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0736 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #16

0768 -----
0800 -----x-----
0832 x-x-----x-----
0864 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0896 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0928 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0960 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
0992 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #15

1024 -----
1056 --x-----
1088 -x-----
1120 -----x-----
1152 -----x-----
1184 -----x-----
1216 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1248 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #14

1280 -----
1312 -----
1344 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1376 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1408 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1440 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1472 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1504 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #13

1536 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1568 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1600 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1632 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1664 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1696 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1728 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1760 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #12

1792 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1824 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1856 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1888 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1920 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1952 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
1984 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
2016 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

LEGEND X : fuse not blown
 - : fuse blown

LISTA DE COMPONENTES

PAG. 1
24 Marzo 1987

MODELO_SUBENSAMBLE: RAV-07

CODIGO: T10010

DESCRIPCION: CONTROLADOR LOGICO

IDENTIFICADOR	CODIGO	DESCRIPCION	CANT	ID_MASCARA
S-104732	A12006	CON.MACHO DIN 10" 20 VIAS	1	R1
D/114/I	A20003	BASE 14 PATAS P.C.I.	3	U13,U12,U11
E/124/I	A20007	BASE 16 PATAS P.C.I.	1	U15
D/20/I	A20005	BASE 20 PATAS P.C.I.	2	U12,U14
IN5216	D12027	DIODO INER 16.0V 0.20A	7	DS1,...,DS7
LED/R/C	E20005	LED ROJO Cuadrado	7	DS1,...,DS7
4N25	D31014	CPTO-ACOPLADOR	10	DF
8477-5	U50004	RELEVADOR ELECTROMECHANICO	4	R1,...,R4
R/100K/1.25/W	D90024	RESISTENCIA 100 K 1/4 W	7	R07,...,R45
R/12K/1.5/W	D90023	RESISTENCIA 12K 1/4W	19	R1+1 I=0,2,4...341
R/15K/1.25/W	D90027	RESISTENCIA 15K 1/4W	1	R101
R/1K/1.25/W	D90033	RESISTENCIA 1K 1/4 W	2	R71,R91
R/220K/1.25/W	D90022	RESISTENCIA 220K 1/4 W	1	R61
R/22K/1.25/W	D90014	RESISTENCIA 22 K 1/4W.	2	RPU,R51
R/2.2K/1.5/W	D90011	RESISTENCIA 2.2 K 1/2 W	7	R2+1 I=0,4,8...321
R/33K/1.25/W	D90037	RESISTENCIA 33 K0HMS 1/4W	6	R81-R86
R/5.6K/1.25/W	D90017	RESISTENCIA 5.6K 1/4 W	7	R4+1 I=0,4,8...321
R/8.2K/1.25/W	D90004	RESISTENCIA 8.2K 1/4 W	1	R81
C/470/16/V/R	091113	CAPACITOR ELEC. 470uF, 16V	1	C31
C/1/250/P/R	D71016	CAPACITOR 1.1uF 250 V POLI	7	C1+1 I=0,2,4...163
C/1/25/P/R	091036	CAPACITOR 1.1uF, 25V	10	C1
74LS24D	152001	BUFFER INVERSOR	1	U14
LM337	152001	COMPARADOR CUAD. D.C.	1	U17
PAL16LS	159005	ARREGLO LOGICO PROGRAMABL	1	U12
74C14	191009	SCHMITT TRIGGER	2	U10,U11

CAPITULO 5

PRUEBAS DEL CONTROL LOGICO.

Una de las etapas importantes de cualquier proyecto la constituye el establecer un método adecuado de prueba que refleje la funcionalidad y ejecución del diseño. Para probar la funcionalidad del mismo es necesario someter el diseño a pruebas funcionales, así como de laboratorio y campo.

5.1 PRUEBAS FUNCIONALES.

Gracias a la estructura del controlador lógico se pueden dividir a las pruebas funcionales en:

Pruebas de Operación Individual.

- . Operación de la interfaz de entrada.
 - . Medición del punto de operación.
 - . Función de la interfaz de entrada.

- . Operación de la interfaz de Salida.
 - . Medición del punto de operación.
 - . Función de la interfaz de salida.

Pruebas de Operación Conjunta.

- . Ejecución de la función de diseño.
- . Tensión máxima de alimentación (VF) necesaria para que entre en la zona de avalancha el zener de protección.
- . Tensión mínima de alimentación (VF)
- . Prueba de voltaje inverso.
- . Interrupciones de la fuente de alimentación al controlador.

Estas pruebas se le aplicaron al prototipo del diseño el cual para dicho fin se alambro en tarjetas de prueba.

5.2 HERRAMIENTAS DE PRUEBA.

Para realizar las pruebas se cuenta con:

- Osciloscopio de memoria.
- Multímetro digital.

5.3 PRUEBAS DE OPERACION INDIVIDUAL.

El objetivo de las pruebas de operación individual, es comprobar que cada uno de los bloques constitutivos del

control lógico (interfaz de entrada e interfaz de salida), cumplen con las especificaciones de diseño.

5.3.1 OPERACION DE LA INTERFAZ DE ENTRADA.

Para comprobar que la interfaz de entrada satisface las necesidades de diseño, se definieron las siguientes pruebas, que permiten verificar los cálculos, así como supervisan que realice la función para la cual fue diseñada.

5.3.1.1 MEDICION DEL PUNTO DE OPERACION.

Esta prueba pretende verificar que la interfaz de entrada se encuentra trabajando en el punto de operación calculado.

Para ello, utilizando un voltímetro se mide la caída de potencial en cada uno de los elementos de la interfaz así como la corriente de la etapa limitadora de corriente. Los resultados de las mediciones se encuentran en la tabla 5.I al igual que los datos teóricos calculados para la tensión nominal de operación.

5.3.1.2 FUNCION DE LA INTERFAZ DE ENTRADA.

Esta prueba es aplicada a la interfaz de entrada y tiene una doble intención, primero se pretende comprobar que al ser accionados los dispositivos que proporcionan la señal

TABLA 5.I
 Datos teórico-práctico de la interfaz de entrada.

ELEMENTO.	DATOS.		UNIDADES	
	TEORICOS	PRACTICOS.		
VR1	55.80	55.45	V	
VR2	55.80	55.42	V	
VR3	10.23	10.45	V	
VRC	SAT	4.80	4.76	V
CORTE	5.00	0.00	0.00	V
VD1	1.80	1.91	V	
VD2	1.20	1.10	V	
VCE	SAT	0.20	0.23	V
CORTE	5.00	4.99	4.99	V
VC2	SAT	0.20	0.23	V
CORTE	5.00	4.94	4.94	V
IF	4.65	4.70	mA	
VZ	13.23	13.44	V	
VSS	SAT	5.00	4.99	V
CORTE	0.00	0.00	0.00	V

de entrada a la interfaz, se produzca en la salida de la misma, una señal cuyo nivel lógico de tensión debe ser un "1" o "0" lógico dependiendo del tipo de contacto accionado

(N.A, N.C, etc), y en segundo término verificar que los rebotes producidos por los dispositivos de entrada desaparecen por efecto de la misma interfaz.

La prueba consiste en conectar al canal A del osciloscopio la entrada de la interfaz y al canal B su salida. Posteriormente se acciona el contacto que proporciona la señal a la entrada de la interfaz con la finalidad de gravar en la memoria del osciloscopio las señales mostradas por la interfaz.

En la figura 5.1a. se observa la señal producida por efecto del accionamiento de un botón de contacto momentáneo (N.A), en ella se puede determinar que el tiempo de duración de los rebotes es de aproximadamente 10 mseg.. La figura 5.1b muestra la señal de salida de la interfaz en la cual se observa que esta señal se presenta 22 mseg. después que la de entrada. Analizando la figura 5.1 se determinó que el tiempo de duración de los rebotes es menor que el retardo producido en la señal de salida, por esa razón se puede concluir y al mismo tiempo observar que la señal de entrada al controlador se encuentra libre de rebotes e inclusive el desfaseamiento entre ambas le ofrece a la señal de entrada al controlador un margen de seguridad de aproximadamente 100 %.

5.3.2 OPERACION DE LA INTERFAZ DE SALIDA.

El objeto de las pruebas de este grupo es garantizar

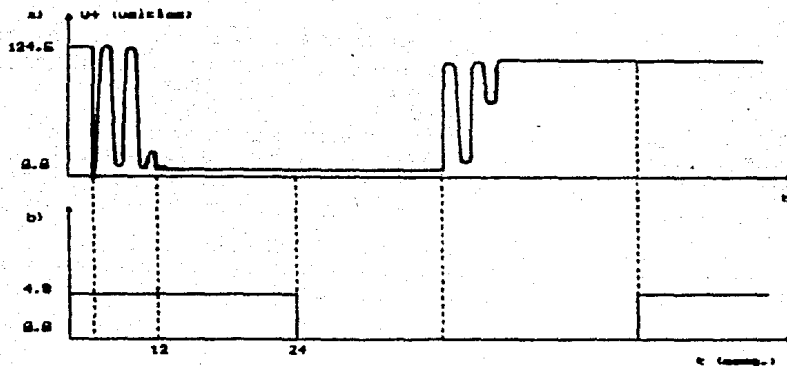


FIGURA 5.1 a) Señal de entrada a la interfaz.

b) Señal de salida de la interfaz.

que los relevadores de salida del control son energizados y operan unicamente cuando se activa la señal de entrada a la interfaz de salida, comandada por el controlador la cual es verificada baja.

5.3.2.1 MEDICION DEL PUNTO DE OPERACION.

El objetivo de esta prueba es comprobar que los cálculos desarrollados para la interfaz son correctos.

La entrada a la interfaz de salida (buffer), es conectada a tierra, así como la terminal de la señal habilitadora (enable) a la fuente de alimentación. Para

esta condición de operación se mide, el voltaje de entrada y salida del buffer, el voltaje de colector-emisor, la corriente de base del par darlington y la corriente de colector.

En segundo término la entrada y el habilitador del buffer se conecta a un nivel lógico alto. Bajo estas condiciones se vuelven a realizar las mediciones de voltaje de entrada y salida al buffer, el voltaje de colector emisor, la corriente de base del par darlington y la de colector. Los resultados de esta prueba están registrados en la tabla 5.II.

5.3.2.2 FUNCION DE LA INTERFAZ DE SALIDA.

Se pretende verificar, que cuando la señal de entrada a la interfaz se encuentre presente (cero lógico), se active el relevador de salida correspondiente.

Esta prueba consiste unicamente en aplicar un nivel de tensión igual a cero a la entrada de la interfaz de salida (simulando la señal que proporcionaría el controlador).

De acuerdo con la lógica del diseño efectivamente ante este estímulo los relevadores de salida son energizados y se deshabilitan cuando la señal de entrada a la interfaz representa un nivel lógico alto.

TABLA 5.II
Mediciones de la Interfaz
de Salida.

PARAMETRO	Ves		UNIDADES
	0	1	
Vsb	3.41	0.00	V
VBE	1.42	0.00	V
VRB	2.00	0.00	V
IB	0.60	0.00	V
IC	12.60	0.00	V
VCE	0.71	23.96	V
VL	23.24	0.00	V

5.4 PRUEBAS DE OPERACION CONJUNTA.

El objetivo de este grupo de pruebas es comprobar que el control lógico opera de acuerdo con las especificaciones de diseño.

5.4.1 VERIFICACION DE LA FUNCION DE DISEÑO.

Con esta prueba se pretende verificar que el control lógico en su conjunto y en forma práctica realiza adecuadamente la función para la cual fue diseñado.

La prueba consiste en operar el tablero de control de

acuerdo con los vectores de estado utilizados en la simulación para comprobar que prácticamente el funcionamiento de la lógica es correcto.

5.4.2 TENSION MAXIMA EN LAS ENTRADAS.

Esta prueba pretende medir el rango de tolerancia máxima de la fuente de alimentación de las entradas para la cual el zener comienza a operar en la región de zener.

Usando un multímetro conectado entre las terminales del diodo zener se incrementa la tensión de la fuente de alimentación hasta que el zener entra en la zona de ruptura, en ese momento se miden ambas tensiones.

La tensión de la fuente de alimentación fue de 162.5 voltios y 15.7 voltios para la tensión de zener. Los resultados prácticos se muestran en la tabla 5.III.

5.4.3 TENSION MINIMA EN LAS ENTRADAS.

Se pretende medir el valor de tensión mínima de la fuente de alimentación con la cual la interfaz de entrada continúa operando normalmente.

La prueba consiste en conectar un amperímetro en la malla limitadora de corriente de la interfaz de entrada y su salida al osciloscopio, después paulatinamente se disminuye

TABLA 5.III
Datos experimentales para tensión máxima
y mínima de alimentación.

ELEMENTO.	TENSION.		UNIDADES.
	MINIMA=72.48	MAXIMA=164.2	
VR1	31.68	74.30	V
VR2	31.79	74.50	V
VR3	5.96	12.60	V
VR4	0.00	0.00	V
VD1	1.10	1.12	V
VD2	1.88	1.93	V
VRC-SAT	3.90	4.77	V
VC2	1.10	0.22	V
VCE	1.12	0.22	V
VSS	4.98	4.99	V
IF	2.68	6.30	mA
ID2	2.68	5.63	mA
VZ	8.93	15.70	V

la tensión de alimentación desde su valor nominal hasta un momento antes de que la salida de la interfaz cambie de estado.

Los resultados obtenidos de las mediciones de tensión y corriente se encuentran registrados en la tabla 5.III.

5.4.4 PRUEBA DE TENSION INVERSA.

El objetivo de esta prueba es verificar que el controlador se encuentre protegido y permanece inmune ante la presencia de la tensión inversa nominal suministrada por los dispositivos de entrada a su correspondiente interfaz.

Esta prueba consiste en invertir la polaridad de la fuente de alimentación al tablero de control que proporciona las señales de entrada al controlador.

Para comprobar que la salida de la interfaz de entrada permanece indiferente ante la presencia de la tensión inversa de alimentación, se mide con un multímetro la salida de voltaje de la interfaz, cuando se encuentra aplicada la señal inversa. Los resultados de la prueba efectuada bajo las condiciones antes establecidas mostraron que a la salida de la interfaz posee un nivel de voltaje igual a cero voltios. Esto indica que efectivamente la interfaz protege al controlador con respecto a la tensión inversa.

Los datos experimentales de corriente y tensión obtenidos para esta prueba se muestran también con los teóricos en la tabla 5.IV.

5.4.5 INTERRUPCIONES DE LA FUENTE DE ALIMENTACION AL CONTROLADOR.

La finalidad de esta prueba es verificar que el control

TABLA 5. IV
 Datos teórico-prácticos de alimentación
 inversa.

ELEMENTO.	DATOS.		UNIDADES.
	TEORICOS.	EXPERIMENTALES.	
VF	-125.00	-124.90	V
VR1	62.00	61.95	V
VR2	62.00	62.30	V
IF	5.17	5.25	mA
VZ	0.70	0.72	V
VCE-C	5.00	4.99	V
VC2-C=VES	5.00	4.94	V
VSS	0.00	0.00	V

lógico no presente conmutación de estados producidos por el encendido y apagado de la fuente de alimentación, o bien por un falso contacto de la misma.

La prueba simplemente consiste en activar el interruptor de encendido y apagado de la fuente durante un cierto número de veces, además provocar movimientos en el cable que proporciona la alimentación al controlador simulando falsos contactos.

A este respecto inicialmente no se encontraba protegido el control lógico tal que al aplicarle la prueba se observó la presencia de la conmutación repetida e indeseable de las señales de salida del sistema, situación por la cual se

diseñó un circuito que eliminara dicho efecto. Una vez instalado este circuito se repitieron las pruebas y los resultados fueron satisfactorios a las necesidades.

Durante las pruebas realizadas al controlador lógico, se observó que este cumple con las especificaciones de diseño, porque a través de la interfaz de entrada proporciona al controlador:

1. Aislamiento eléctrico (optoacoplador 2.5 KV).
2. Inmunidad al ruido eléctrico ante las fluctuaciones del voltaje común a través de los filtros RC, inmunidad que se ve incrementada con el disparador de Schmitt que da una diferenciación entre el 10 y el 20 por ciento, entre la señal de entrada y salida de la interfaz.
3. Así como protección de la polaridad inversa proporcionada por la fuente de alimentación a los dispositivos de entrada al control lógico.

En lo que respecta a la interfaz de salida esta le permite al controlador manejar relevadores de salida, los cuales ofrecen aislamiento eléctrico y la posibilidad de manejar dispositivos externos al controlador, tales como válvulas solenoides, contactores etc..

Las características básicas de diseño del control lógico se resumen en la tabla 5.V.

TABLA 5.V
Parametros básicos del controlador.

PARAMETRO	VALOR MEDIDO	UNIDADES
ALIMENTACION	+5,+24	V
CONSUMO	6.00	W
TENSION EN LAS ENTRADAS	73 - 164	V
CORRIENTE EN LAS ENTRADAS	4.65	mA
TENSION EN LAS SALIDAS	500.00	V
TIEMPO DE ACCIONAMIENTO	3.10	mseg
TIEMPO DE APERTURA	1.00	mseg

Una vez que se culminaron las pruebas de laboratorio aplicadas al prototipo se procedió a diseñar y elaborar su correspondiente circuito impreso el cual quedó determinado por un conector de 32 terminales en uno de sus extremos y por los diodos indicadores de la presencia de las señales de entrada en el extremo opuesto al conector.

En las figuras 5.2, 5.3 y 5.4 se muestran los diagramas de las pistas por el lado de componentes, soldadura y la mascarilla de barrenos, así como en la 5.6 el diagrama completo del control lógico diseñado.

El circuito impreso se ensambló bajo la lista de partes anexa al final del capítulo, la cual se obtuvo utilizando el sistema SINCO, que registra los diferentes componentes de los subensambles y ensambles diseñados en el Departamento de Electrónica del IIE.

5.5 PRUEBAS DE CAMPO.

Debido a que el gabinete del RAV del sistema de excitación se encuentra en la etapa de pruebas de laboratorio previas a las pruebas de campo, la funcionalidad del controlador lógico ha sido totalmente probada. Para ello el controlador se integró al gabinete siguiendo el diagrama de conexiones de la figura 5.5.

La tarjeta del controlador lógico se integró a la canasta del RAV, la cual cuenta con los conectores apropiados para tener un cableado fijo y que las tarjetas sean enchufables y fácilmente reemplazables. El cableado del controlador con el sistema se muestra en la figura 5.5.

Estas interconexiones permiten al controlador, recibir las señales de alimentación, las señales de entrada ON, OFF, 86G, 86GT, 52GX, AUTO Y MAN, que provienen de la tira terminal del tablero de mandos y relevadores, así como del módulo de relevadores las señales 41Ea y 41EXa con las cuales se completa el número total de entradas al controlador, colateralmente a estas funciones el conector

permite que al mismo tiempo la tarjeta de control entregue al RAV las señales de salida que estan de acuerdo con las señales recibidas y la lógica del controlador.

Una vez realizadas las conexiones y enchufada la tarjeta de control en la canasta del RAV se procedió a probar su funcionalidad en interacción con los demás subsistemas del sistema de excitación.

La prueba consistió en manipular el tablero de control del sistema de acuerdo con los vectores de estado que definen la lógica correspondiente, esto se realizó operando el RAV tanto en vacío como con carga, en numerosas ocasiones.

Así pues, se puede concluir de la prueba realizada que el controlador lógico interactuando con los diferentes subsistemas del sistema de excitación realiza sin problema alguno las funciones de diseño como son el condicionar el arranque y paro del sistema de excitación a las condiciones en las que se encuentren los contactos de protección, así como la selección de la operación manual o automática del sistema. Actualmente, la tarjeta del controlador lógico se encuentra integrada al regulador automático de voltaje en su proceso de prueba final, para su posterior transferencia a la industria nacional.

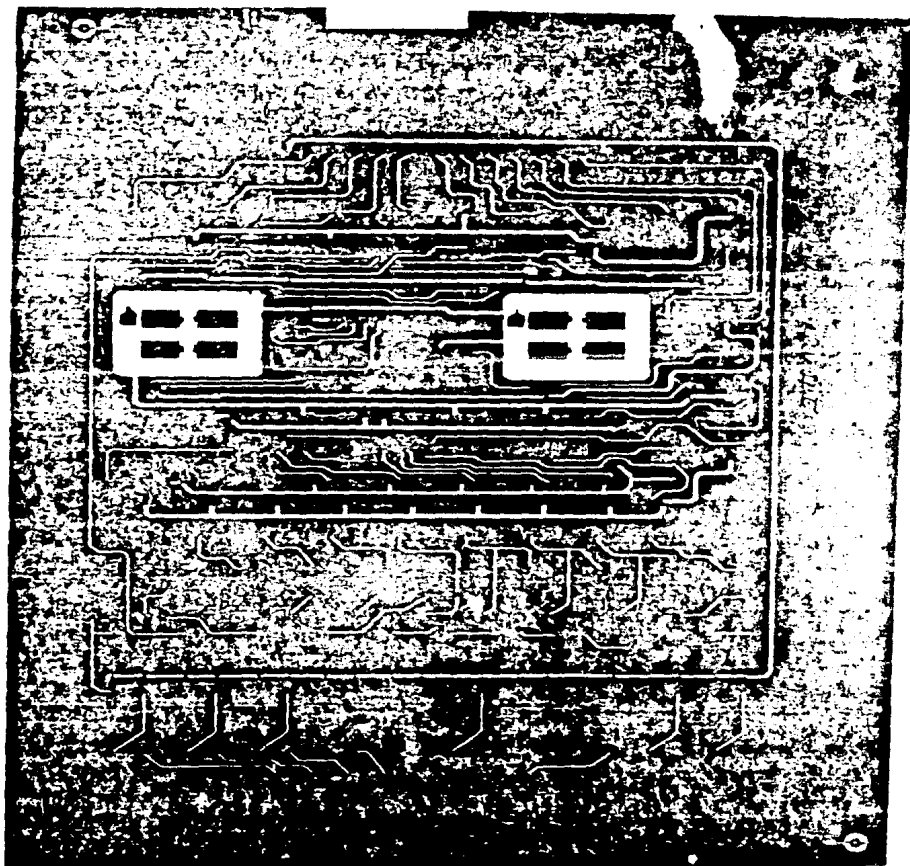


FIGURA 5.2 Pistas del lado de componentes.

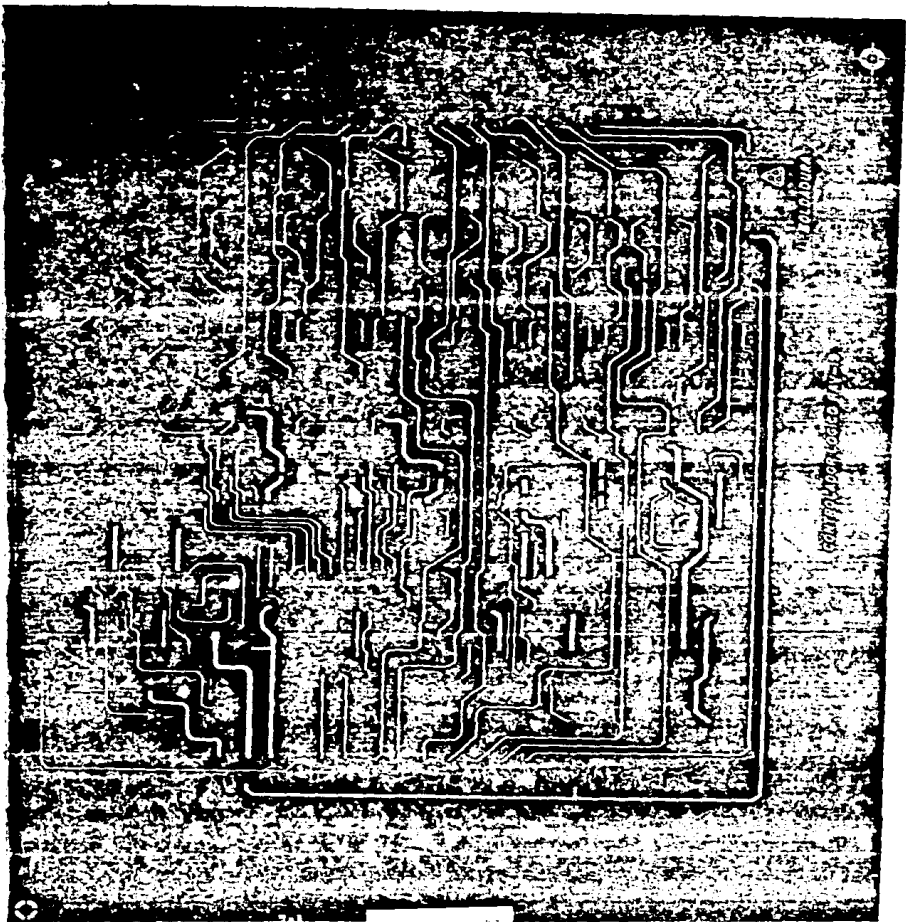


FIGURA 5.3 Pistas del lado de soldadura.

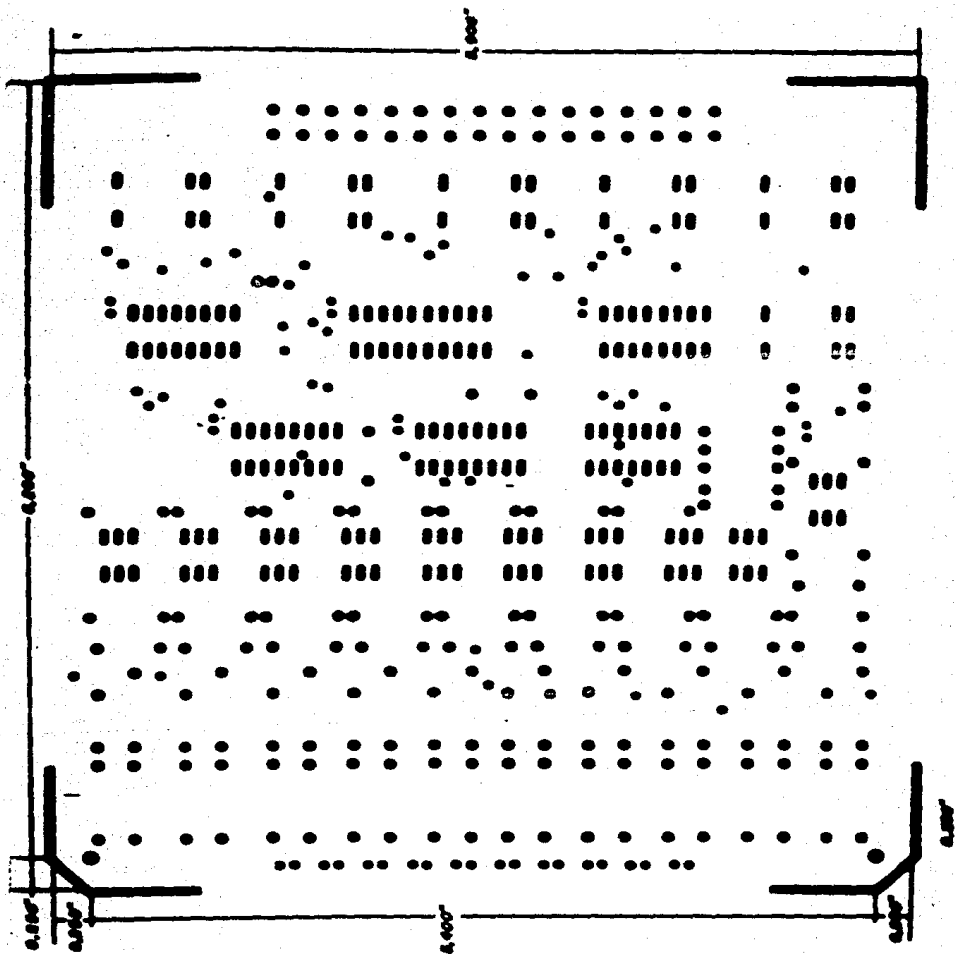


FIGURA 5.4 Mascarilla de barrenos.

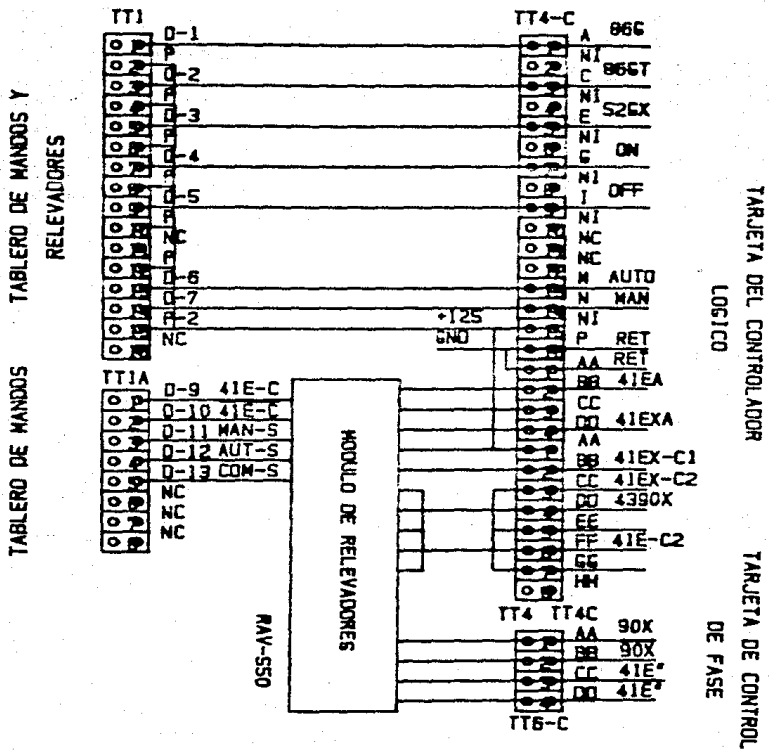


FIGURA 5.5 Conexiones del control lógico.

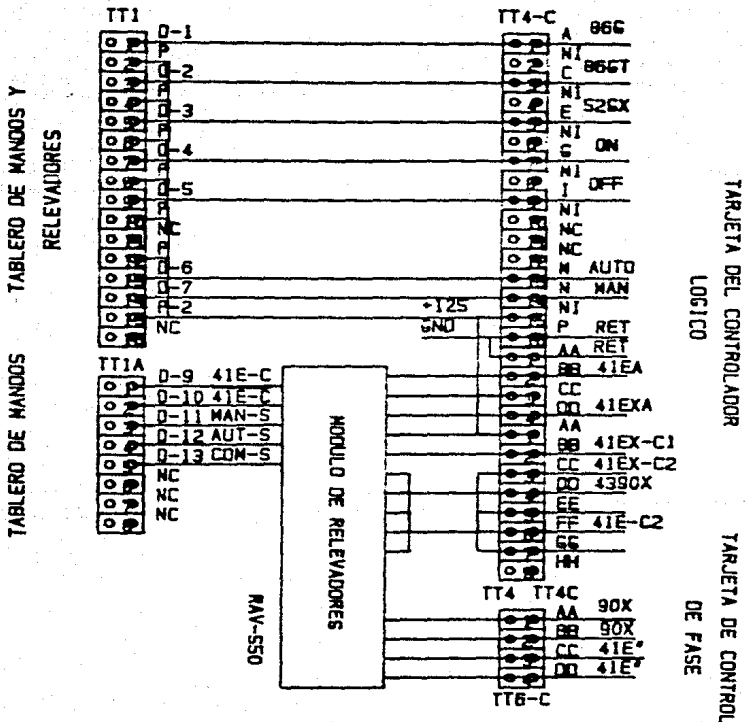


FIGURA 5.5 Conexiones del control lógico.

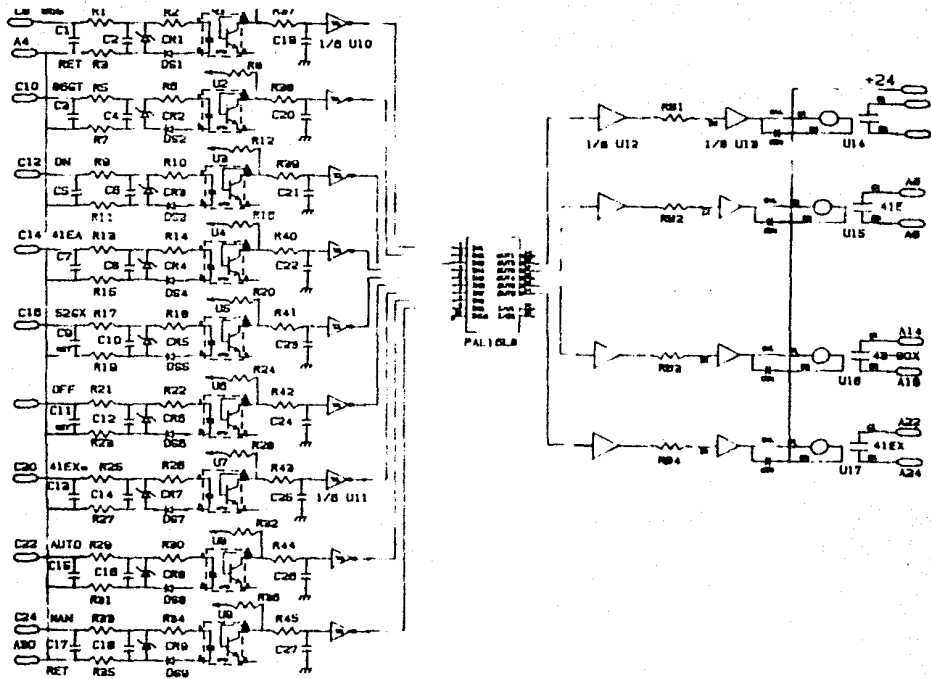


FIGURA 5.6 Esquemático del Controlador Lógico.

CONCLUSIONES .

En este trabajo se ha desarrollado una metodología para diseñar controles lógicos de uso industrial en base a la tecnología PLD y al uso de herramientas CAD.

Esta metodología facilita y disminuye el tiempo de desarrollo requerido para el diseño, pero sobre todo muestra que los dispositivos lógicos programables substituyen con ventaja a los sistemas de control tradicional de relevadores.

La tarjeta de control producto de este trabajo, por sus propias características, es versátil para implementar el control lógico, de cualquier tipo de sistema de excitación para turbogeneradores, o bien implementar cualquier aplicación de uso industrial que requiera lógica combinacional, así como también ofrece flexibilidad al cambio, puesto que para implementar una nueva aplicación o modificar la anterior unicamente se requiere colocar un nuevo dispositivo PLD o bien reprogramar el anterior de

acuerdo con las necesidades del diseño.

Para ello solo basta un espacio de 5.75"x7" de superficie y un ancho de 3/4" que son las dimensiones de la tarjeta.

En cuanto al costo del control lógico es reducido. Cada canal de entrada tiene un costo asociado de 1.5 dólares, cada canal de salida 8.125 dólares y el costo del controlador representado por un PAL reprogramable marca ALTERA es de 16.87 dólares, de acuerdo con la cotización de junio de 1986. Esto representa un costo en componentes para el control lógico diseñado de aproximadamente 100 dólares.

Resultó ventajoso el uso del programa CUPL, para esta aplicación puesto que ofrece la oportunidad de simplificar el proceso de diseño reduciendo el tiempo de desarrollo requerido, mediante la posibilidad de simular y minimizar las ecuaciones Booleanas involucradas lo cual permite optimizar la capacidad del dispositivo, protegerlo y garantizar su buen funcionamiento lógico después de haber sido programado. Otro aspecto muy importante radica en el hecho de que simultáneamente a la edición y procesamiento del mismo genera la documentación correspondiente.

En desarrollos futuros se deberá añadir al control lógico diseñado la función de temporización ya que es de gran importancia en la industria.

Así es como se puede concluir que los dispositivos Lógicos Programables ofrecen la oportunidad de implementar funciones de rutina dentro de la industria, con la posibilidad de modificar la lógica del mismo, al programar otro dispositivo o bien reprogramar el anterior en caso de que este la permita, esto es posible con un bajo costo, volumen y consumo de potencia.

BIBLIOGRAFIA.

- [1] "Asimilación de la Tecnología para la Fabricación de Turbogeneradores Geotérmicos", Boletín del Instituto de Investigaciones Eléctricas, Vol. 9 No. 3 mayo/junio 1985.
- [2] Anderson P.M., Fouad A.A: "Power System Control and Stability", the Iowa State University, Ames 195.
- [3] Descripción funcional y Constructiva de los Sistemas de Control de Excitación sin Escobillas, Reporte Parcial No. 2; IIE/33/3996/02/p, 1985.
- [4] Descripción del Sistema de Excitación y Criterios de Evaluación, Reporte Parcial No. 1; IIE /33/3996/01/p, 1985.
- [5] Timothy J. Maloney: "Industrial Solid-State", Prentice-Hall, Inc, 1979.
- [6] Irving L. Kosow: "Control of Electric Machines", Prentice-Hall, Inc., 1973.
- [7] General Electric Company. "Optoelectronics", 1976.
- [8] ANSI/IEEE C37.90-1978 Standard, Relays and Relay

Systems Associated.

- [9] Solid State Industrial Control Handbook, Dynage Inc, Bloomfield, 1971.
- [10] McIntyre: "Electric Motor Control Fundamentals". McGraw-Hill, Inc., 1960
- [11] Electrical Research Association : "The Engineering of Microprocessor Systems", 1979.
- [12] Microprocessor interfacing techniques, Rodney Zaks Austin Lesea, Third Edition.
- [13] Mano, M. Morris: "Digital Logic and Computer Design", Prentice-Hall, Inc., 1979.
- [14] EPLD Handbook, Altera Co. Santa Clara Cal. 1985.
- [15] IC User Conference Proceedings, Electronic Design's: "Microprocessor ICS " Vol. 3, USA, Copyright, 1980.
- [16] Om Agrawal, "PLD'S As Semicustom Substitutes", Advanced Microdevices Inc. CA JimBeck, June 1985.
- [17] PAL Handbook, Monolithic Memories, Third Edition Santa Clara Cal, 1983.
- [18] Frontiers in: "Computer Graphics Proceedings of Computer Graphics", Tokyo; 1984.
- [19] Mapping Collection; Computer Graphics, Hardware", Harvard Library of Computer Graphics, 1981.
- [20] Manual User CUPL: "The Universal Compiler for Programmable Logic", 1984.
- [21] Computer Design, Agosto 1985.

APENDICE A.

DISEÑO DE LAS INTERFACES DE ENTRADA Y SALIDA.

(MEMORIAS DE CÁLCULO).

En la tabla A.I, se presenta la nomenclatura utilizada en el diseño de las interfaces de entrada y salida.

A.1 ETAPA DE AISLAMIENTO.

Se desea calcular el valor de la resistencia de colector (Rc) que permita polarizar al fototransistor en saturación, para ello se dispone de la CTR y del valor deseado para If.

OPTOTRANSISTOR-4N25:

CTR > 0.2 min.

CTRtipica = 0.39

Vcesat = 0.2 voltios.

DATOS DE DISEÑO:

If = 5mA.

Vcc = 5 Voltios.

CALCULOS.

Despejando Ic de la relación de transferencia de corriente (CTR).

$$CTR = I_c / I_f$$

$$I_c = CTR (I_f)$$

[A.1]

Seleccionando; CTR tipica = 0.39 e If = 5mA.

$$I_c = 0.39 (5mA); I_c = 1.95mA$$

TABLA A.I Nomenclatura del diseño.

NOMENCLATURA.	DESCRIPCION.
CTR	Relación de transferencia de corriente.
VCE-SAT	Voltaje colector emisor de saturación.
VCC	Voltaje de alimentación del fototransistor (5V)
If	Corriente suministrada por la fuente.
Rc	Resistencia de colector.
IC	Corriente de colector.
R1	R1-R4,RC Resistencias de la interfaz de entrada R5-R8 Resistencias del circuito habilitador. RB Resistencia de la interfaz de salida.
Vf	Voltaje de la fuente de alimentación a los dispositivos de entrada (125V).
VD1	Voltaje del diodo del optoacoplador.
VD2	Voltaje del diodo indicador.
VZ	Voltaje del diodo zener (16V).
PZ	Potencia del zener.
VC1	Voltaje de salida en el capacitor uno.
VC2	Voltaje en el capacitor dos.
VREF	Voltaje de referencia del circuito habilitador.
V	Histéresis del circuito habilitador.
V1	Limite superior de la ventana.
V2	Limite inferior de la ventana.
RPU	Resistencia de pull-up del comparador.
VO	Salida del circuito habilitador.
Ve	Voltaje de entrada a la terminal V+ del comp.

Para determinar el valor de la resistencia del colector (R_c) se obtiene la ecuación correspondiente a la malla del colector de la figura 2.4:

$$V_{cc} = I_c(R_c) + V_{ce}$$

Despejando a R_c :

$$R_c = (V_{cc} - V_{ce})/I_c \quad [A.2]$$

Para que trabaje el transistor en saturación $V_{ce}=V_{cesat}=0.2V$ la ecuación A.2 queda como sigue:

$$R_c = (V_{cc} - V_{cesat})/I_c$$

Sustituyendo los datos:

$$\begin{aligned} R_c &= (5 - 0.2)/1.95mA \\ R_c &= 2.46 K \end{aligned}$$

Considerando un margen de seguridad del 100% para garantizar la saturación, se tiene:

$$\begin{aligned} R_c &= 2R_c \\ R_c &= 4.92 K \end{aligned}$$

El valor comercial hacia arriba es:

$$R_c = 5.6K$$

Su potencia esta definida por:

$$P_{Rc} = I_c^2 (R_c) = (1.95mA)(5.6K) = 0.022 W$$

Cuyo valor comercial es:

$$P_{Rc} = 1/4 W$$

La resistencia del colector queda definida como:

$$R_c = 5.6K, P_{Rc} = 1/4 W$$

A.2 LIMITADOR DE CORRIENTE Y FILTRO.

La figura 3.3 muestra la configuración de esta etapa. Se necesita calcular R_1 , R_2 y R_3 de un valor, tal que permita que el zener entre en la zona de avalancha, cuando el voltaje de la fuente se incremente un 30%, con el objeto de que el zener regule el voltaje a 16 voltios y proporcione una corriente máxima de 6 mA. a la carga. Protegiéndose así el led indicador la presencia de la señal de entrada ($I_{MAX.} = 10mA$).

De las hojas de datos anexas en el apendice B:

LED CW10.

$$I_{max.} = 10 \text{ mA}$$

$$V_{D1} = 1.8V.$$

FOTODIODO.

$$I_f = 10 \text{ mA.}$$

$$V_D = 1.2V.$$

$$I_{FMAX.} = 6 \text{ mA.}$$

ZENER.

$$P_Z = 1/4 W.$$

$$V_Z = 16 \text{ voltios.}$$

FUENTE DE ALIMENTACION.

$$V_f = 125 \pm 30\%$$

CALCULOS:

De la figura 2. en condiciones de corriente directa, se obtiene la siguiente ecuación:

$$V_F - V_Z = (I_Z + I_L) (R_1 + R_2) \quad [A.3]$$

La ecuación A.3 queda de la siguiente forma para el caso en el cual el voltaje de la fuente es máxima y mínima la corriente de la carga.

$$R_1 + R_2 = (V_{FMAX} - V_Z) / (I_{ZMAX} + I_{LMIN}) \quad [A.4]$$

Se sugiere que la impedancia de ambas ramas del circuito sean iguales, según la norma IEEE-472, por lo tanto:

$$R_1 = R_2 \quad [A.5]$$

Sustituyendo A.5 en A.4 tenemos:

$$R_1 = 1/2 (V_{FMAX} - V_Z) / (I_{ZMIN} + I_{ZMAX}) \quad [A.6]$$

La corriente de zener mínima esta definida como [3].

$$I_{ZMIN} = 0.05 (P_Z / V_Z) \quad [A.7]$$

Sustituyendo valores en A.7 se tiene:

$$IZMIN = 0.05 (0.25/16) = 0.78 \text{ mA.}$$

Sustituyendo valores en A.6:

$$R1 = (1/2) (162.5 - 16) / (0.78 + 6) = 10.95 \text{ K}$$

El valor comercial hacia arriba es de:

$$R1 = 12 \text{ K}$$

De A.5, se obtiene que:

$$R1 = R2 = 12 \text{ K}$$

Para R3 de la misma figura 3.3 en condiciones de corriente directa se observa que:

$$VZ = VD1 + VD2 + ILR3 \quad \text{[A.8]}$$

Despejando R3 de A.8, cuando IL es máxima:

$$R3 = (VZ - VD1 - VD2) / ILMAX. \quad \text{[A.9]}$$

Sustituyendo valores en [A.9]:

$$R3 = (16 - 1.8 - 1.2) / 6 \text{ mA.} = 2.16 \text{ k}$$

El valor comercial hacia arriba es de:

$$R3 = 2.2 \text{ K}$$

Con los valores calculados de la figura 3.3 para tension nominal (VF = 125 voltios):

$$VF = IF (R1 + R2 + R3) + VD1 + VD2 \quad \text{[A.10]}$$

Despejando IF de A.10:

$$IF = (VF - VD1 - VD2) / (R1 + R2 + R3) \quad \text{[A.11]}$$

Sustituyendo valores se tiene:

$$IF = 4.6 \text{ mA.}$$

La potencia de las resistencias esta definida como:

$$P = VI = RI^2 \quad \text{[A.12]}$$

Para R1 y R2, sustituyendo valores en A.12:

$$PR1, R2 = RI^2 = (4.65\text{mA})(12\text{K}) = 0.259 \text{ W}$$

El valor comercial con un margen de seguridad del 100% es:

$$PR1 = PR2 = 1/2 \text{ W.}$$

Para R3, sustituyendo valores en A.12:

$$PR3 = 0.047 \text{ W.}$$

El valor comercial es:

$$PR3 = 1/4 \text{ W.}$$

RESUMIENDO:

$$R1 = R2 = 12K, \quad P = 1/2 \text{ W}$$

$$R3 = 2.2K, \quad P = 1/2 \text{ W}$$

ANALISIS DINAMICO.

De la figura 3.3, analizandola dinamicamente:

$$VC1 = \frac{C/(C1 + C)}{\frac{SC1C (R1 + R2) + 1}{C1+C}}$$

donde:

$$= \frac{C1C (R1 + R2)}{C+C1} \quad \text{[A.13]}$$

El filtro es un paso bajas cuya frecuencia se estableció en un Khz. Sustituyendo los datos en A.13.

$$= 1\text{mseg.} = \frac{C1C}{C1+C} (R1 + R2)$$

Sustituyendo: $R1 = R2 = 12K$

$$\frac{C1C}{C1+C} = \frac{1\text{mseg.}}{24K}$$

con $C1=0.1\text{Mf}$, Sustituyendo valores y despejando a C nos da un valor de: $c = 71.42 \text{ nf}$

comercial:

$$C = 0.1 \text{ Mf}$$

RESUMIENDO:

$$C1 = C = 0.1\text{Mf}, \quad 250V$$

A.3 ELIMINADOR DE REBOTES.

Se muestra su configuración en la figura 3.4. La función de transferencia del filtro es:

$$VC2 = \frac{1}{S(R4C2) + 1}$$

Donde:

$$= R4C2 = 10 \text{ mseg.}$$

Seleccionando $C2 = 0.1\text{Mf}$ y despejando $R4$:

$$R4 = [10\text{mseg.}] / C2 = [10\text{mseg.}] / [1\text{Mf}]$$

$$R4 = 100 \text{ K}, \quad 1/4 \text{ W}$$

A.4 CIRCUITO HABILITADOR.

Se desea calcular el valor de las resistencias R5, R6, R7, R8, R9, R10 y RPU, así como las capacitancias C2 y C3, tal que con la configuración mostrada en la figura 2. transcurran 10 mseg. antes de que la salida del comparador sea el de saturación positiva (+VCC) se debe descargar el capacitor C2 en cuanto el valor de voltaje de la fuente disminuya de 5 a 4.5 voltios.

DATOS:

$$VC2 = 4.7 \text{ Voltios.}$$

$$VD3 = 0.3 \text{ voltios.}$$

En figura A.1 se muestra la curva de histéresis y de las hojas de datos del LM339, anexas en el apéndice B para una configuración no-inversora se tiene:

$$V = VCC1 (R5) / (R6) \quad \text{[A.14]}$$

$$V = V1 - V2 \quad \text{[A.15]}$$

$$VREF = V1 / (1 + R5/R6) \quad \text{[A.16]}$$

$$RPU < R6 \quad \text{[A.17]}$$

CALCULOS.

Sustituyendo valores en [A.15]:

$$V = 4.7 - 4.2 = 0.5$$

Sustituyendo el valor de V en A.15 y despejando a R5/R6 se tiene:

$$[R5] / [R6] = [V] / [VCC] = [0.5] / [4.7]$$

$$[R5] / [R6] = 0.1 \quad [A.18]$$

Sustituyendo R5/R6 y V1 en A.16:

$$VREF = 4.7 / (1 + 0.1) = 4.2 \text{ voltios.} \quad [A.19]$$

de la configuración se sabe:

$$VREF = R8 (VC2) / (R7 + R8) \quad [A.20]$$

Despejando a R8 de A.20:

$$R8 = VREF R7 / (VC2 - VREF) \quad [A.21]$$

Sustituyendo valores:

$$R8 = 3.6R7 / (4.7 - 4.2)$$

$$R8 = 8.4R7 \quad [A.22]$$

Haciendo R7 = 1k resulta R8 = 8.4K, cuyo valor comercial es:

$$R8 = 8.2 \text{ k}$$

La resistencia de pull-up constituye parte del filtro que genera el retardo de 10 mseg. a la señal de salida del comparador, tiempo en el cual la salida del filtro, debe alcanzar una tensión igual a 2 voltios y se calcula de la

siguiente manera.

La salida del filtro en el dominio del tiempo es la siguiente:

$$V_0 = V_{CC} (1 - e^{-(1/RPUC^2)t}) \quad [A.24]$$

Esta expresión define una curva como la mostrada en la figura A.2. se desea conocer el valor de RPU y C2 para que con un tiempo de 10 mseg., se obtenga un voltaje de 2 voltios en el capacitor.

Sustituyendo valores en A.24:

$$2 = 5 (1 - e^{-(1/RPUC^2)t}) \quad [A.25]$$

despejando RPU de A.25:

$$RPU = (-t) / [C2 \text{ Ln } (3/5)]$$

Haciendo C2 = 1Mf., t = 10 mseg.

$$RPU = -10m/1M \text{ Ln } (3/5) = 19.58 \text{ K}$$

El valor comercial es de:

$$RPU = 22 \text{ K}$$

De la expresión A.17:

$$R6 > RPU$$

Haciendo:

$$R6 = 220 \text{ K}$$

Sustituyendo R6 en A.18:

$$R5 = 0.1 R6 = 22 K$$

Del divisor formado por R10 Y R9 se tiene que:

$$V_e = R10 VCC1 / [R10 + R9] \quad [A.26]$$

Se pretende que el voltaje de entrada a la referencia sea de 4.7 voltios. Para ello, despejando de A.25 Tenemos:

$$R10 = V_e R9 / [VCC1 - V_e] \quad [A.27]$$

Sustituyendo Valores se tiene que:

$$R10 = 4.7 R9 / 0.3 = 15.6 R9 \quad [A.28]$$

Suponiendo a R9 = 1 K, queda R10 = 15 k.

APENDICE B

HOJAS DE DATOS DE LOS COMPONENTES.

(INFORMACION TECNICA).

TYPES SN54LS240, SN54LS241, SN54LS244, SN54S240, SN54S241, SN74LS240, SN74LS241, SN74LS244, SN74S240, SN74S241 OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

	Typical I _{OL} Drain Current		Typical Propagation Delay Times		Typical Slew Rate/Output Current		Typical Power Dissipation (10°C ambient)	
	Low	High	Low-to-High	High-to-Low	Low	High	Low	High
SN54LS ¹	12 mA	-12 mA	10.5 ns	12 ns	18 ns	130 mA	1.35 mW	1.35 mW
SN74LS ¹	24 mA	-15 mA	10.5 ns	12 ns	18 ns	130 mA	1.35 mW	1.35 mW
SN54S ²	48 mA	-12 mA	4.5 ns	8 ns	9 ns	450 mA	5.28 mW	5.28 mW
SN74S ²	96 mA	-15 mA	4.5 ns	8 ns	9 ns	450 mA	5.28 mW	5.28 mW

3-State Outputs Drive Bus Lines or Buffer Memory Address Registers

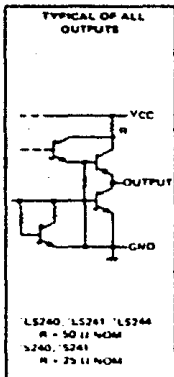
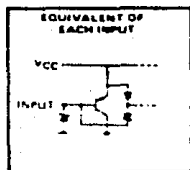
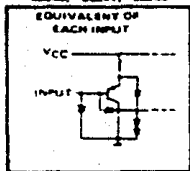
P-N-P Inputs Reduce D-C Loading

Hysteresis at Inputs Improves Noise Margins

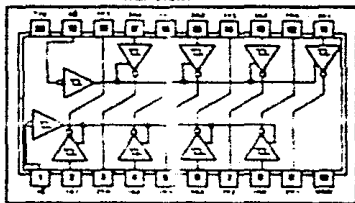
Operation

These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical G (active-low output control) inputs, and complementary G and \bar{G} inputs. These devices feature high fan-out, improved fan-in, and 400 mV noise margin. The SN74LS¹ and SN74S² can be used to drive terminated lines down to 133 ohms.

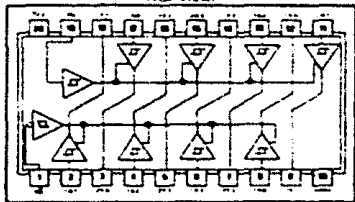
Schematics of inputs and outputs
LS240, LS241, LS244



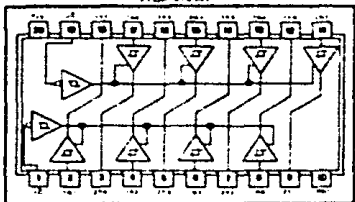
SN54LS240, SN54LS241 ... J
SN74LS240, SN74LS241 ... J OR N
TOP VIEW



SN54LS241, SN54S241 ... J
SN74LS241, SN74S241 ... J OR N
TOP VIEW



SN54LS240
SN74LS240 ... J OR N
TOP VIEW



TEXAS INSTRUMENTS
INCORPORATED
DAVIS DRIVE BOX 1055 • DALLAS, TEXAS 75201

6-83

TYPES SN54S240, SN54S241, SN74S240, SN74S241 BUFFERS/LINE DRIVERS/LINE RECEIVERS WITH 3-STATE OUTPUTS

recommended operating conditions

PARAMETER	SN54S ¹			SN74S ²			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC} (see Note 1)	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			12			15	mA
Low-level output current, I_{OL}			40			48	mA
Operating free-air temperature, T_A (see Note 2)	-55		125	0		70	°C

NOTES: 1. Voltage values are with respect to network ground terminal.
2. An SN54S241 operating at free-air temperature above 115 °C requires a heat sink that provides a thermal resistance from case to free air, θ_{CA} , of not more than 40°C/W.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	5240			5241			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V_{IH}	High-level input voltage	2		2			V	
V_{IL}	Low-level input voltage			0.8			V	
V_{IK}	Input clamp voltage			1.2			V	
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN}$ $V_{IH} = 2\text{V}$ $I_{OH} = 1\text{mA}$	2.4	2.4	2.4	2.4	V	
		$V_{CC} = \text{MIN}$ $V_{IH} = 2\text{V}$ $I_{OH} = \text{MAX}$	2		2			
		$V_{CC} = \text{MIN}$ $V_{IH} = 2\text{V}$ $I_{OH} = \text{MAX}$	1.55		1.55		0.75	
V_{OL}	Low-level output voltage			0.5			V	
I_{OZH}	3-state output current, high-level output	$V_{CC} = \text{MAX}$ $V_{IH} = 2\text{V}$		50		50	mA	
I_{OZL}	3-state output current, low-level output	$V_{CC} = \text{MAX}$ $V_{IH} = 2\text{V}$		50		50	mA	
I_I	Input current at high-level input voltage	$V_{CC} = \text{MAX}$ $V_{IH} = 2\text{V}$		1		1	mA	
I_{IH}	High-level input current, any input	$V_{CC} = \text{MAX}$ $V_{IH} = 2\text{V}$		50		50	mA	
I_{IL}	Low-level input current	$V_{CC} = \text{MAX}$ $V_{IH} = 0.5\text{V}$		100		100	mA	
I_{OZ}	3-state output current	$V_{CC} = \text{MAX}$		50	25	50	25	mA
I_{CC}	Supply current	Outputs Z	SN54S ¹	50	120	50	140	
		Outputs H	SN54S ¹	10	10	10	10	
		Outputs L	SN54S ¹	10	10	10	10	
		Outputs Z	SN74S ²	10	10	10	10	mA
		Outputs H	SN74S ²	10	10	10	10	

¹ Parameters are shown as MIN or MAX, and the actual value may vary over the recommended operating conditions.
² All values are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$.
³ I_{OZ} is the total output current for all outputs in a given state of the device. It is the sum of the current in each state and is constant.

switching characteristics, $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	5240			5241			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Propagation delay time, low to high	8.5		9			ns	
t_{PHL}	Propagation delay time, high to low	4.5		6			ns	
t_{PZL}	Propagation delay time, low to 3-state	10	15	10	15		ns	
t_{PZH}	Propagation delay time, high to 3-state	15	10	15	10		ns	
t_{RZ}	3-state to low propagation delay time	10		9			ns	
t_{RZ}	3-state to high propagation delay time	10		9			ns	

NOTE 4: t_{RZ} is the propagation delay time from the 3-state output to the low or high output level.



**National
Semiconductor**

LM139/239/339, LM139A/239A/339A, LM2901, LM3302 Low Power Low Offset Voltage Quad Comparators General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV/mV for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from both power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common mode voltage range includes ground even though biased from a single power supply voltage.

Applications areas include limit comparators, simple analog to digital converters, pulse discriminators and time delay generators, wide range VCO, MOS clock times, multi-bus and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS when operated from both plus and minus power supplies; they will directly interface with MOS logic where the low power drain of the LM339 is a distinct advantage over standard comparators.

Advantages

- High precision comparators
- Reduced V_{off} drift over temperature

Voltage Comparators

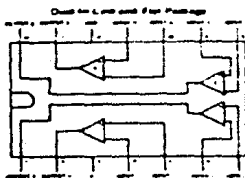
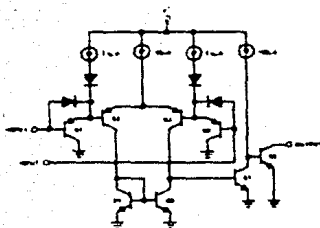
- Eliminates need for dual supplies
- Almost zero offset
- Compatible with all forms of logic
- Power train suitable for battery operation

Features

- Wide single supply voltage range on dual supply
 - LM139 series: 2 VDC to 35 VDC or
 - LM139A series: LM2901: 1 VDC to 115 VDC
 - LM3302: 2 VDC to 28 VDC or 1.5 VDC to 14 VDC
- Very low supply current: 100 μ A independent of supply voltage; 2 mA comparators at 15 VDC
- Low input biasing current: 25 nA
- Low output offset current: 15 nA and offset voltage: 13 mV
- Input common mode voltage range includes 0V
- Differentiator input common mode equal to the power supply voltage
- Low output: 250 mV at 4 mA natural on voltage
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic forms

LM139/LM239/LM339
LM139A/LM239A/LM339A, LM2901, LM3302

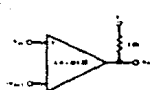
Schematic and Connection Diagrams



Order Number: LM139A, LM139B, LM139C, LM239A, LM239B, LM239C, LM2901 or LM3302
See NS Package 114A

Order Number: LM239A, LM239B, LM2901 or LM3302
See NS Package 114A

Typical Applications ($V_{cc} = 5.0 \text{ VDC}$)



Basic Comparator



Driving CMOS



Driving TTL



Voltage Comparators

LM139/ 239/ 339, LM139A/239A/339A, LM2901, LM3302

Low Power Low Offset Voltage Quad Comparators

General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV rms for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from dual power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common mode voltage range includes ground even though powered from a single power supply voltage.

Applications areas include limit comparators, simple analog to digital converters, pulse width encoders and time delay generators, wide range VCO, MOS clock timers, multi-frequency and high voltage 2-bit logic gates. The LM139 series was designed to directly interface with TTL and CMOS when operated from both plus and minus power sources, they will directly interface with MOS logic, where the low power drain of the LM339 is a distinct advantage over standard comparators.

Advantages

- High precision comparators
- Reduced V_{OS} drift over temperature

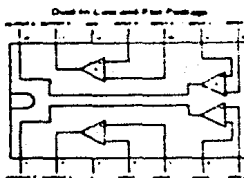
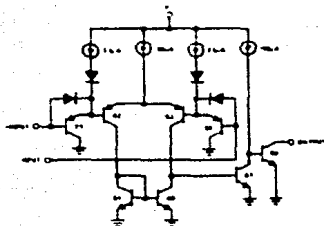
- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power: Most suitable for battery operation

Features

- Wide single supply voltage range or dual supply
 - LM139 series: 2 VDC to 35 VDC
 - LM139A series: LM2901: 1 VDC to 18 VDC
 - LM3302: 2 VDC to 28 VDC
 - LM139 series: 14 VDC
- Very low supply current: Max 100 μ A independent of supply voltage (2 mA max for all 15 VDC)
- Low input biasing current: 25 nA
- Low input offset current: 15 nA and offset voltage: 0.3 mV
- Input common mode voltage range includes gnd
- Different input voltage range equal to the positive supply voltage
- Low output: 200 μ A at 4-mA saturated output
- Output voltage compatible with TTL, ECL, ECL, MOS and CMOS logic systems

LM139/LM239/LM339, LM139A/LM239A/LM339A, LM2901, LM3302

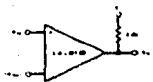
Schematic and Connection Diagrams



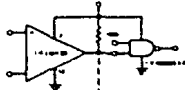
Order Number LM139A, LM139A(L), LM239A, LM239A(L), LM339A, LM339A(L), LM2901 or LM2901(L)
See NS Package 116A

Order Number LM339(L), LM339A(L), LM2901(L) or LM3302(L)
See NS Package 116A

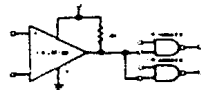
Typical Applications (V_{CC} = 5.0 V_{DC})



Basic Comparator



Driving CMOS



Driving TTL



Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM128A		LM339A, LM339A		LM139		LM229, LM229		LM2901		LM3302		LIMITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	Notes 8, 9	4.0		4.0		0.0		0.0		0	16		40	mVDC
Input Offset Current	$I_{BIAS} = I_{IN1} = I$	100		100		100		150		50	700		100	nADC
Input Bias Current	$I_{BIAS} = I_{IN1} = I$ with Output in Linear Range	300		400		300		400		700	500		1000	nADC
Input Common-Mode Voltage Range		0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	0	$V^+ - 2.0$	VDC
Saturation Voltage	$V_{IN1} = 1 \text{ VDC}$, $V_{IN2} = 0$ $I_{BIAS} = 4 \text{ mA}$	1.0		700		700		700		400	700		700	mVDC
Output Leakage Current	$V_{IN1} = 1 \text{ VDC}$, $V_{IN2} = 0$ $V_O = 33 \text{ VDC}$	700		1.0		1.0		1.0		1.0			1.0	μADC
Differential Input Voltage	Repeat $V_{IN1} = 0 \text{ VDC}$ for V_{IN2} (Current: Note 8)	V^+		V^+		36		36		0		V^+	V_{CC}	VDC

Notes 1. For operation at high temperatures, the LM128/LM229A, LM2901, LM3302 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 170°C/W which applies for the device soldered on a printed circuit board, operating in a still air ambient. The LM229 and LM139 must be derated based on a 150°C maximum junction temperature. The low bias dissipation and the "ON-OFF" characteristic of the outputs keep the chip dissipation very small ($P_D < 100 \text{ mW}$), provided the output transistors are allowed to saturate.

Notes 2. Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 20 mA independent of the magnitude of V^+ .

Notes 3. The output current will only exist when the output at any of the input leads is above negative 11 μA due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input leakage current. In addition to this leakage current, there is an internal PNP parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V^+ voltage level if a large enough for a large enough time duration that an input is driven negative. This is not destructive and normal output states will be established when the input voltage, which may negative again returns to a value greater than 0.3 VDC.

Notes 4. These specifications apply for $V^+ = 5 \text{ VDC}$ and $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$, unless otherwise stated. With the LM229/LM229A, all temperature specifications are limited to $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$, the LM139/LM339A operational amplifiers are limited to $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$, and the LM2901, LM3302 temperature range is $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$.

Notes 5. The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output as no loading change exists on the reference or output leads.

Notes 6. The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than 0.2V. The upper end of the common-mode voltage range is $V^+ - 1.5 \text{ V}$, but either or both inputs can go to 0.3 VDC without damage.

Notes 7. The response time specified is for a 100 mV input step with 5 mV error limit. For larger step-size signals, 200 ns can be obtained, see typical performance characteristics section.

Notes 8. Positive excursions of input voltage may exceed the positive supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than 0.3 VDC for 0.3 VDC below the magnitude of the negative power supply, if used!

Notes 9. At output switch point, $V_O = 1.4 \text{ VDC}$, $H_z = 011$ with V^+ from 5 VDC and over the full input common-mode range 10 VDC to $V^+ - 1.5 \text{ VDC}$!

Notes 10. For input signals that exceed V_{CC} , only the universal comparator is affected. With a 5V supply, V_{IN} should be limited to 25V max, and a limiting resistor should be used on all inputs that might exceed the positive supply.





MM54C14/MM74C14 Hex Schmitt Trigger

general description

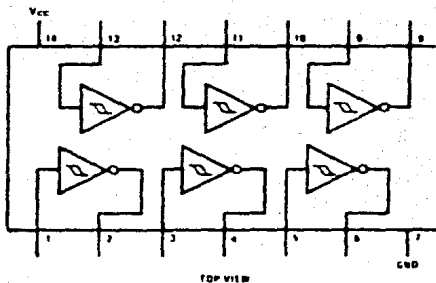
The MM54C14/MM74C14 Hex Schmitt Trigger is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P-channel enhancement transistors. The positive and negative going threshold voltages, V_{T+} and V_{T-} , show low variation with respect to temperature (typ 0.0005V/°C at $V_{CC} = 10V$), and hysteresis, $V_{T+} - V_{T-} \geq 0.2 V_{CC}$ is guaranteed.

All inputs are protected from damage due to static discharge by diode clamps to V_{CC} and GND.

features

- Wide supply voltage range: 10V to 15V
- High noise immunity: 0.70 V_{CC} typ
- Low power: fan out of 2 driving 74L TTL compatibility
- Hysteresis: 0.4 V_{CC} typ
0.2 V_{CC} guaranteed

connection diagram



absolute maximum ratings

Voltage at Any Pin	-0.3V to $V_{CC} + 0.3V$	Package Dissipation	500 mW
Operating Temperature Range	-55°C to +125°C	Operating V_{CC} Range	3.0V to 15V
MM54C14	-55°C to +125°C	Absolute Maximum V_{CC}	18V
MM74C14	-40°C to +85°C	Lead Temperature (Soldering, 10 seconds)	300°C
Storage Temperature Range	-65°C to +150°C		

dc electrical characteristics Min/max limits apply across temperature range, unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS					
V_{T+} Positive Going Threshold Voltage	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$	3.0 6.0 9.0	3.6 6.8 10.0	4.3 8.6 12.9	V
V_{T-} Negative Going Threshold Voltage	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$	0.7 1.4 2.1	1.4 3.2 5.0	2.0 4.0 6.0	V
Hysteresis ($V_{T+} - V_{T-}$)	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$	1.0 2.0 3.0	2.2 3.6 5.0	3.6 7.2 10.8	V
Logical "1" Output Voltage ($V_{OH(1)}$)	$V_{CC} = 5V, I_O = -10\mu A$ $V_{CC} = 10V, I_O = -10\mu A$	4.5 9.0			V
Logical "0" Output Voltage ($V_{OL(0)}$)	$V_{CC} = 5V, I_O = +10\mu A$ $V_{CC} = 10V, I_O = +10\mu A$			0.5 1.0	V
Logical "1" Input Current ($I_{IH(1)}$)	$V_{CC} = 15V, V_{IN} = 15V$		0.005	1.0	μA
Logical "0" Input Current ($I_{IL(0)}$)	$V_{CC} = 15V, V_{IN} = 0V$	1.0	0.005		μA
Supply Current (I_{CC})	$V_{CC} = 15V, V_{IN} = 0V/15V$ $V_{CC} = 5V, V_{IN} = 2.5V$ (Note 4) $V_{CC} = 10V, V_{IN} = 5V$ (Note 4) $V_{CC} = 15V, V_{IN} = 7.5V$ (Note 4)		0.05 20 700 600	15	μA
CMOS/LPTTL INTERFACE					
Logical "1" Input Voltage ($V_{IH(1)}$)	$V_{CC} = 5V$	4.3			V
Logical "0" Input Voltage ($V_{IL(0)}$)	$V_{CC} = 5V$			0.7	V
Logical "1" Output Voltage ($V_{OH(1)}$)	54C, $V_{CC} = 4.5V, I_O = 360\mu A$ 74C, $V_{CC} = 4.75V, I_O = 360\mu A$	2.4 2.4			V
Logical "0" Output Voltage ($V_{OL(0)}$)	54C, $V_{CC} = 4.5V, I_O = 360\mu A$ 74C, $V_{CC} = 4.75V, I_O = 360\mu A$			0.4 0.4	V
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)					
Output Source Current (I_{SOURCE}) (IP Channel)	$V_{CC} = 5V, V_{OUT} = 0V, T_A = 25^\circ C$	1.75	3.3		μA
Output Source Current (I_{SOURCE}) (IP Channel)	$V_{CC} = 10V, V_{OUT} = 0V, T_A = 25^\circ C$	8.0	15		μA
Output Sink Current (I_{SINK}) (IN Channel)	$V_{CC} = 5V, V_{OUT} = V_{CC}, T_A = 25^\circ C$	1.75	3.8		μA
Output Sink Current (I_{SINK}) (IN Channel)	$V_{CC} = 10V, V_{OUT} = V_{CC}, T_A = 25^\circ C$	8.0	16		μA

TRANSISTOR & DARLINGTON ARRAYS

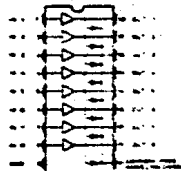
L 201	L 201T	ULN 2001A
L 202	L 202T	ULN 2002A
L 203	L 203T	ULN 2003A
L 204	L 204T	ULN 2004A

HIGH-VOLTAGE, HIGH-CURRENT
DARLINGTON ARRAYS

- These high-voltage, high-current Darlington transistors are arrays comprising sixteen NPN Darlington pairs in a common-emitter substrate. All units have an open collector output and integral built-in protection of individual leads. Peak currents of 600 mA can be sustained. They are designed with various collector outputs to tolerate cut-off current errors.
- The L201 and L201T are a common-emitter array which are, as usual with TTL, PМОС or CMOS are.
 - The L202 and L202T are special output designed for use with 14 to 20 V PМОС devices. Each input has a 200 ohm diode and resistor in series in order to limit the input current to a 500 value.
 - The L203 and L203T have a common base resistor to each Darlington pair, and they allow operation directly with TTL or CMOS operating at a supply voltage of 5V.
 - The L204 and L204T have a common base resistor to each Darlington pair and they allow operation directly with PМОС or CMOS, utilizing a supply voltage of 5 to 15V.
- Outputs may be maintained for higher load current capability. The devices are suitable for a dual in-line package or a larger form.

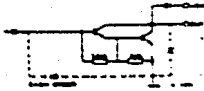
CHARACTERISTICS

Parameter	Typical Conditions	Min.	Max.	Units
V _{CE}	V _{BE} = 0.7V, I _C = 100 mA, I _B = 100 mA	10	15	V
	V _{BE} = 0.7V, I _C = 100 mA, I _B = 100 mA	10	15	V
V _{CE} (sat)	V _{BE} = 0.7V, I _C = 100 mA, I _B = 100 mA	1.5	2.0	V
	V _{BE} = 0.7V, I _C = 100 mA, I _B = 100 mA	1.5	2.0	V
I _C (sat)	V _{BE} = 0.7V, V _{CE} = 10V, I _B = 100 mA	100	100	mA
	V _{BE} = 0.7V, V _{CE} = 10V, I _B = 100 mA	100	100	mA
I _C (max)	V _{BE} = 0.7V, V _{CE} = 10V, I _B = 100 mA	100	100	mA
	V _{BE} = 0.7V, V _{CE} = 10V, I _B = 100 mA	100	100	mA
I _B (max)	V _{BE} = 0.7V, V _{CE} = 10V, I _C = 100 mA	100	100	mA
	V _{BE} = 0.7V, V _{CE} = 10V, I _C = 100 mA	100	100	mA
I _C (max)	V _{BE} = 0.7V, V _{CE} = 10V, I _B = 100 mA	100	100	mA
	V _{BE} = 0.7V, V _{CE} = 10V, I _B = 100 mA	100	100	mA
I _B (max)	V _{BE} = 0.7V, V _{CE} = 10V, I _C = 100 mA	100	100	mA
	V _{BE} = 0.7V, V _{CE} = 10V, I _C = 100 mA	100	100	mA

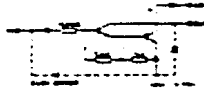


L201B, L202B
L203B, L204B
See notes on page 11, page 101

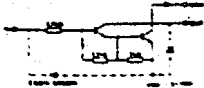
L 201, L 201T, ULN 2001A



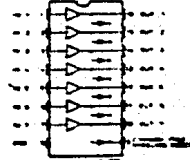
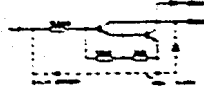
L 202, L 202T, ULN 2002A



L 203, L 203T, ULN 2003A



L 204, L 204T, ULN 2004A



L201B, L202B
L203B, L204B
See notes on page 11, page 101

SOLID STATE

GENERAL ELECTRIC



Photon Coupled Isolator 4N25-4N25A-4N26-4N27-4N28

G₂ As Infrared Emitting Diode & NPN Silicon Photo-Transistor

The General Electric 4N25-4N26-4N27-4N28 consist of a gallium arsenide infrared emitting diode coupled with a silicon photo transistor in a dual in-line package.



FEATURES

- Fast switching speeds
- High DC current transfer ratio
- High isolation resistance
- 2.2 μs typical propagation delay
- Full compatibility with integrated circuits
- Full compliance with RoHS Directive

absolute maximum ratings: (25°C) unless otherwise specified
Storage Temperature: -55 to 150°C, Operating Temperature: -55 to 100°C, Lead Soldering Temperature: 260°C for 10 seconds

INFRARED EMITTING DIODE		PHOTO TRANSISTOR	
* DC Current	100 mA	* Power Dissipation	100 mW (typical)
* Forward Current (Peak)	100 mA	* V _{CE} (max)	30 V
* Reverse Voltage	5 V	* V _{BE} (max)	5 V
* Storage Temperature	-55 to 150°C	* Collector Current (Continuous)	100 mA
		* V _{BE} (max) (Storage 25°C ambient)	

† Thermal resistance: junction to case = 20°C/W, junction to ambient = 100°C/W, case to ambient = 25°C/W

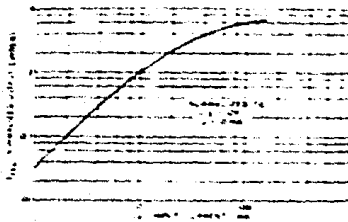
Individual electrical characteristics (25°C)

INFRARED EMITTING DIODE	TYP.		UNITS	PHOTO TRANSISTOR			UNITS
	MIN.	MAX.		MIN.	TYP.	MAX.	
* Forward Voltage (I _F = 10 mA)	1.1	1.5	volts	* Breakdown Voltage - V _{BR} (max)	30	-	volts
* Reverse Current (V _R = 5V)	-	100	microamps	* Breakdown Voltage - V _{BR} (max)	70	-	volts
* Capacitance (f = 100 kHz)	5	-	picofarads	* Breakdown Voltage - V _{BR} (max)	-	-	volts
				(I _C = 100 μA, I _B = 0)			
				(I _C = 100 μA, I _B = 0)			
				* Breakdown Voltage - V _{BR} (max)	-	-	volts
				(I _C = 100 μA, I _B = 0)			
				* Collector Dark Current - I _{CD}	-	5	nanamps
				(V _{CE} = 10V, I _B = 0)		10	nanamps
				* Collector Dark Current - I _{CD}	-	2	microamps
				(V _{CE} = 10V, I _B = 0)		20	microamps

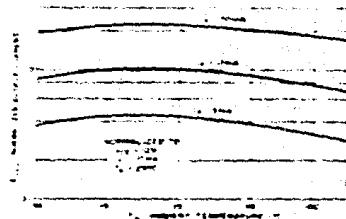
coupled electrical characteristics (25°C)

	MIN.	TYP.	MAX.	UNITS
* DC Current Transfer Ratio (I _C = 10mA, V _{CE} = 10V)	20	-	-	%
* Saturation Voltage - Collector-Emitter (I _C = 10mA, I _B = 2mA)	10	-	-	V
* Saturation Voltage - Collector-Emitter (I _C = 10mA, I _B = 2mA)	-	0.1	0.5	volts
* Resistance - IRED to Photo-Transistor (V _{CE} = 5V, f = 1 MHz)	-	100	-	ohms (max)
* Resistance - IRED to Photo-Transistor (V _{CE} = 5V, f = 1 MHz)	-	1	-	ohms (peak)
* Isolation Voltage - voltage - 50 Hz with the input terminals (diodes) shorted together and the output terminal transistor shorted together.	4N25	2500	-	volts (max)
	4N27	1500	-	volts (peak)
	4N28	500	-	volts (peak)
	4N25A	1775	-	volts (RMS) (w.c.)
Rise/Fall Time (V _{CE} = 10V, I _{CE} = 2mA, R _L = 100Ω)	-	2	-	microseconds
Rise/Fall Time (V _{CE} = 10V, I _{CE} = 50mA, R _L = 100Ω)	119	300	-	nanoseconds

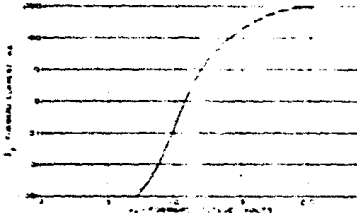
TYPICAL CHARACTERISTICS



OUTPUT CURRENT VS INPUT CURRENT



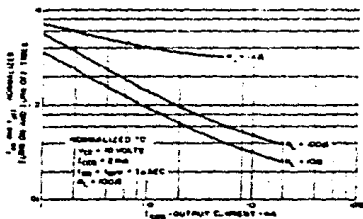
OUTPUT CURRENT VS TEMPERATURE



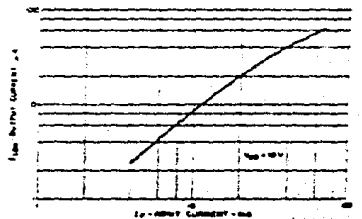
INPUT CHARACTERISTICS



OUTPUT CHARACTERISTICS



SWITCHING TIMES VS OUTPUT CURRENT



OUTPUT CURRENT (I_{OB}) VS INPUT CURRENT

120