



76  
201  
UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERIA

"MUESTREADOR DIGITAL DE DATOS SINCRONIZABLE CON SOFTWARE PARA REALIZAR FUNCIONES DE OSCILOSCOPIO UTILIZANDO UNA COMPUTADORA PERSONAL."

**TESIS PROFESIONAL**  
QUE PARA OBTENER EL TITULO DE  
INGENIERO MECANICO ELECTRICISTA  
P R E S E N T A  
HECTOR MEJIA VAZQUEZ

Director de Tesis: Ing. Daniel Pineda Cortés

México, D. F.

1987



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE

<b>Capitulo 1. MEDICION AUTOMATIZADA Y LOS SISTEMAS DE ADQUISICION DE DATOS</b>	
1.1 Medición Automatizada. Instrumentos de Interacción Remota e Instrumentos de Interacción Remota/Local.....	1
1.2 Características Generales de los Sistemas de Adquisición de Datos.....	8
1.3 Teoría de Muestreo.....	12
1.4 Técnicas de Conversión Analógica a Digital A/D.....	27
1.5 El Osciloscopio. Partes funcionales.....	30
1.6 El Software como apoyo. Paquetes de Programa.....	41
<b>Capitulo 2. ESPECIFICACIONES Y MODELO BASICO DEL OSCILOSCOPIO DE MUESTREO</b>	
Introducción.....	42
2.1 Objetivos y Necesidades.....	43
2.2 Justificación del Diseño del Sistema.....	43
2.3 Especificaciones.....	44
2.4 Limitaciones.....	46

### Capitulo 3. DISEÑO DEL SISTEMA

Introducción.....	48
3.1 Estructura General a Bloques.....	48
3.2 Breve Descripción del Sistema.....	50
3.3 Diseño.....	53
3.3.1 Desacopladores.....	53
3.3.2 Generador de Disparo.....	66
3.3.3 Generador de Pulso de Muestreo.....	73
3.3.4 Control y Memoria.....	95
3.3.5 Convertidor Analógico a Digital.....	113
3.3.6 Puerto de Entrada/salida.....	119

### Capitulo 4. RESULTADOS SOBRE EL DESARROLLO DEL SISTEMA DE ADQUISICION DE DATOS.

Introducción.....	137
4.1 Especificaciones.....	138
4.2 Programación del Sistema.....	141
4.3 Diagramas Eléctricos.....	144
4.4 Gráficas.....	146
4.5 Problemas Encontrados.....	153
CONCLUSIONES.....	156
APENDICE A.....	158
APENDICE B.....	160
APENDICE C.....	165
BIBLIOGRAFIA.....	173

## CAPITULO I

### MEDICION AUTOMATIZADA Y LOS SISTEMAS DE ADQUISICION DE DATOS

#### 1.1 MEDICION AUTOMATIZADA. INSTRUMENTOS DE INTERACCION REMOTA E INSTRUMENTOS DE INTERACCION REMOTA/LOCAL.

##### INTRODUCCION

El uso de microprocesadores en los equipos de instrumentación aplicada a la medición de parámetros eléctricos, como elementos de control y análisis de la información, ha logrado incrementar su eficiencia y confiabilidad.

Equipos integrados por medidores y analizadores de señal pueden ser controlados y/o sus funciones implementadas mediante programas, lo que logra hacer que cada instrumento de medición sea mas versátil y fácil de manejar. De ello la importancia de crear sistemas automáticos de medición que faciliten la labor de diseño y prueba. Este es uno de los objetivos que persigue el presente trabajo, tratando de integrar un prototipo que reúna dos finalidades. La primera, observar los problemas inherentes al desarrollo de un instrumento de medición para laboratorio y la segunda, mostrar la metodología y ventajas de diseño (dentro de

este tipo de instrumentos), en base a la interacción software-hardware. Para ello, dividiremos el trabajo en 4 Capítulos. En el primero, se dará una introducción teórica de los conceptos involucrados, en el segundo, se plantearán los objetivos y requerimientos del sistema, en el tercero se hablará del diseño, y, finalmente, en el capítulo cuarto se tratará de hacer una evaluación planteando tanto los objetivos cumplidos como los problemas encontrados.

## LA MEDICION AUTOMATIZADA

Medición Automatizada es el procedimiento mediante el cual se compara una variable física con un patrón sin intervención humana.

Una de las mayores aplicaciones de la medición automatizada son los Equipos Automáticos de Pruebas (ATE) que consisten de diversos instrumentos conectados a diferentes puntos de medición de la Unidad bajo Prueba (UUT) por medio de una Matriz de Conmutación (CPS) controlada por un microprocesador. Mediante esto se logra obtener en diversos puntos de la UUT toda la información deseada sobre parámetros eléctricos tales como voltaje, frecuencia, forma de onda, etcétera, así como las conexiones necesarias de los excitadores para lograr las pruebas (fuentes de voltaje, generadores de señal, etc.).

El manejo de la información proveniente de los instrumentos es canalizada a través de buses e interfaces adecuadas a este propósito. Una interfaz muy utilizada es la basada en la norma IEEE-488 que liga a los instrumentos con la Computadora.

Los instrumentos a los que hacemos mención son de dos tipos: Instrumentos de Interacción Remota (IIR) e Instrumentos de Interacción Remota/Local (IIRL).

Un IIR es diseñado para interactuar con la computadora en lugar de hacerlo con una persona.

Los IIRL están diseñados para ser manejados tanto por usuarios como por una computadora central.

La principal ayuda que aportan los instrumentos IR es el de minimizar la cantidad de circuitos utilizados. Cuando un instrumento es creado para ser compatible únicamente con una computadora en lugar de con una persona, gran número de circuitos físicos son implementados por medio de programas.

#### **PERSPECTIVAS DE LA MEDICION AUTOMATIZADA.**

El futuro de la medición automatizada es bastante promisorio. Mediante una Computadora Personal (PC) el usuario puede adquirir un equipo de prueba y medición de tipo automático.

Existen dos formas en las que las PC entran dentro del contexto. La primera es la de ligar a la computadora con diversos instrumentos de medición independientes tales como voltímetros, osciloscopios, generadores de patrones, etc. mediante interfaces.

La segunda es hacer que la computadora sea el control central y el panel de los instrumentos, es decir la pantalla de la PC viene a ser el panel de control de cada instrumento. El costo del paquete-módulo es significativamente inferior al de los instrumentos a los cuales sustituyen ya que gran cantidad de hardware es eliminado o reducido, lo que se traduce en una buena aceptación de estos dispositivos.

Los paquetes de programación no solo realizan las funciones del instrumento sino que constituyen analizadores de la información según las necesidades del usuario con la facilidad de almacenarla y reproducirla en el momento deseado.

En ambos casos se obtiene una acción estímulo-respuesta entre el instrumento y la PC; sin embargo la segunda forma es más versátil y económica.

Compañías como Hewlett-Packard e IBM están creando computadoras personales con ranuras de expansión para conectar tarjetas de interfaz compatibles con la norma IEEE-488 de manera de controlar instrumentos producidos por otras empresas especializadas en medición como Fluke, Tektronix, Wandel &



Goltermann e incluso a los propios.

Existen varios tipos de interfaces para ligar los instrumentos con la PC. Dentro de ellos se encuentra la ya nombrada norma IEEE-488 para transmisión paralelo, con velocidad de transmisión máxima de 1 MHz, la RS-232-C para transmisión serie (muy baja velocidad) y la VMEbus para transmisión de datos a 50 MHz.

Un ejemplo de un equipo de Instrumentación Basado en Computadora (CBI), el cual utiliza la interfaz VMEbus es el de Tektronix mostrado en figura 1-1. En dicho sistema se conjuga versatilidad y manejo de equipo que puede ser disparado a gran velocidad.

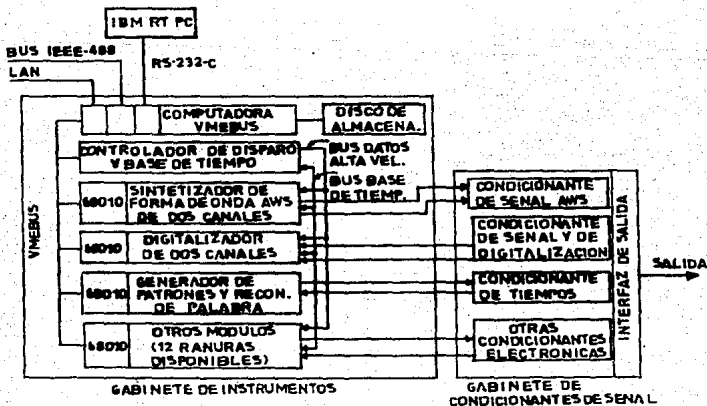


FIGURA 1-1. EQUIPO BASADO EN COMPUTADORA.

La Hewlett-Packard desarrolla una serie de instrumentos modulares conectados a través de una interfaz propia, de manera de reducir el costo asociado con el uso de la IEEE-488.

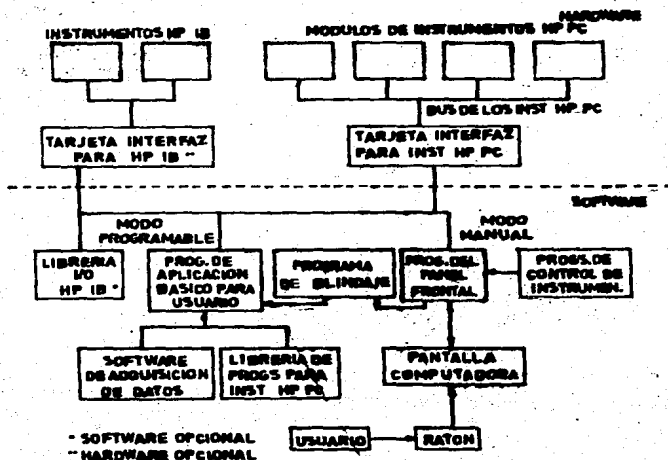


FIGURA 1-2. EQUIPO DE LA COMPAÑIA HEWLETT-PACKARD CON DISEÑO DE INTERFAZ PROPIO.

Existe una gran demanda de tarjetas que hagan compatible a la PC con la norma IEEE-488. Una tarjeta de este tipo es mostrada en la figura 1-3. El circuito integrado en el cual se basa es el  $\mu$ PD 72110 de NEC u otro análogo (68488 de Motorola, TMS 9914A de Texas Instr. ó el 8292 de Intel, etc.), que son microprocesadores especializados en cumplir con el protocolo de la norma.

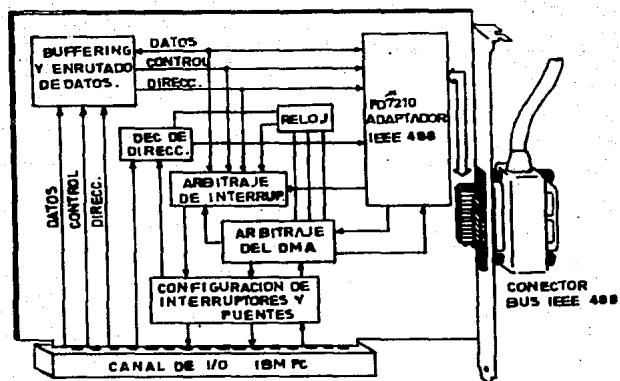


FIGURA 1-3. TARJETA PARA LOGRAR COMPATIBILIDAD ENTRE LA NORMA IEEE-488 Y LA COMPUTADORA PERSONAL.

En forma conjunta compañías dedicadas a la creación de software ponen a disposición del usuario paquetes especializados en el manejo, análisis y presentación de los datos. A los lenguajes que en un principio se utilizaban como BASIC y Ensamblador o paquetes de aplicación (LOTUS 1-2-3), se añaden ahora FORTRAN, C, y Turbo Pascal de manera de abarcar un mayor mercado.

## **1.2 CARACTERISTICAS GENERALES DE LOS SISTEMAS DE ADQUISICION DE DATOS**

Los sistemas de instrumentación se dividen en dos clases: Sistemas Analógicos y Sistemas Digitales. Los Sistemas Analógicos tratan con información medida en forma analógica como la de un graficador. Los Sistemas Digitales manejan información en forma digital la cual describe la naturaleza de la cantidad medida.

Los Sistemas de Adquisición de Datos son usados para medir y grabar señales obtenidas basicamente de dos formas:

- a) Señales originadas de mediciones directas de cantidades eléctricas.
- b) Señales originadas de transductores, tales como piezoeléctricos o termopares.

### **SISTEMA DE ADQUISICION DE DATOS ANALOGICOS.**

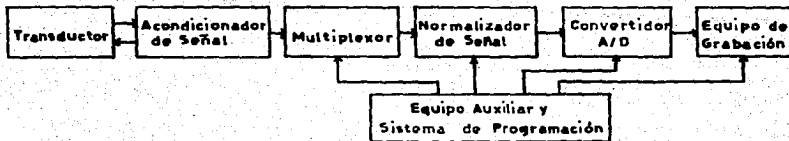
Un sistema de adquisición de datos analógico consisten de todos o algunos de los siguientes elementos:

- (a) Transductores para convertir los parámetros en señales eléctricas.

- (b) Acondicionadores de señal para amplificar, modificar o seleccionar ciertas porciones de esta.
- (c) Dispositivos de desplegado visual para continua observación de la señal de entrada (Tubos de rayos catódicos, medidores tipo panel, desplegados numéricos, etc.).
- (d) Instrumentos para grabación en cinta magnética y graficación.

**SISTEMA DE ADQUISICION DE DATOS DIGITAL.**

Un sistema de adquisición de datos digital incluye todos o algunos de los bloques mostrados en la figura 1-4:



**FIGURA 1-4. DIAGRAMA GENERAL DE UN SISTEMA DE ADQUISICION DE DATOS.**

Las funciones de cada uno de los elementos es listado a continuación:

- (a) Transductor. Convierte parámetros físicos en señales eléctricas reconocibles por el sistema.
- (b) Acondicionador de señal. Generalmente incluye la circuitería que apoya al transductor (fuente de excitación, circuitos de compensación y elementos de calibración).
- (c) Multiplexor. Acepta entradas analógicas y las conecta secuencialmente a un instrumento de medición.
- (d) Normalizador de señal. Traslada la señal analógica a un estándar aceptable por el convertidor A/D.
- (e) Convertidor A/D. Convierte la señal analógica en forma digital para su posterior despliegue y almacenamiento.
- (f) Equipo Auxiliar. Esta sección incluye funciones de programación del sistema y procesamiento digital de datos.
- (g) Equipo de Grabación. Traslada la información digital a una forma que sea aceptada por el tipo particular de grabación (papel, cinta, tarjetas).

Los sistemas de adquisición de datos son usados en muchas áreas científicas e industriales. En forma general, los sistemas de adquisición de datos analógicos son usados cuando se requiere un gran ancho de banda o cuando se puede tolerar una baja exactitud. Los sistemas de adquisición de datos digitales son usados en procesos físicos de lenta variación (ancho de banda angosto), y cuando gran exactitud a bajo costo es requerido.

Los sistemas de adquisición de datos de tipo digital son más complejos que los de tipo analógicos en términos de la instrumentación involucrada en el manejo de datos.

### 1.3 TEORIA DE MUESTREO

Un Muestreador de Datos de tipo Digital contiene a los elementos mostrados en la figura.

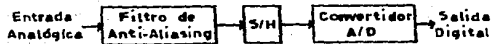


FIGURA 1-5. MUESTREADOR DE DATOS DE TIPO DIGITAL.

El filtro de anti-aliasing. Es usado para limitar la banda de la señal de entrada antes de que sea muestreada. Esto minimiza la posible distorsión (ruido de aliasing) debido a componentes de alta frecuencia que son mayores que la frecuencia de muestreo.

Sample/Hold. La entrada filtrada es entonces muestreada a una razón de muestreo. Cada amplitud muestreada es sostenida momentaneamente para su procesamiento subsecuente.

Convertidor A/D. El voltaje analógico sostenido es convertido a una palabra digital. Dicha palabra representa el voltaje de la señal de entrada.



## EFFECTOS DEL MUESTREO.

Asumiendo un espectro de entrada  $F(j\omega)$  y una frecuencia de muestreo  $f_s$ , el espectro de salida para un muestreo de tope plano  $F_{st}(j\omega)$  es:

$$F_{ST}(j\omega) = \frac{\tau}{T} \frac{\text{sen}(\omega t/2)}{\omega t/2} \sum_{n=-\infty}^{\infty} F(j(\omega - n\omega_s))$$

Para esta ecuación la ganancia es una función continua de la frecuencia y se define por:

$$\frac{\tau}{T} \frac{\text{sen}(\omega t/2)}{\omega t/2}$$

donde  $\tau$  es el ancho del pulso de muestreo,  $T$  es el periodo de muestreo y  $\omega$  es la frecuencia en radianes sobre segundo.

Las gráficas en el dominio del tiempo y de la frecuencia son mostradas en la figura 1-6. La figura 1-6 a y b muestra la señal antes y después de ser muestreada. Los correspondientes espectros son mostrados en la figura 1-6 c y d respectivamente.

La figura 1-6 d es una gráfica de la ecuación antes citada donde múltiplos del espectro original están formados en los múltiplos de la frecuencia de muestreo. Entre más separación exista entre los espectros (es decir, un menor traslape), la señal continua podrá representarse por muestras discretas a la frecuencia de muestreo.

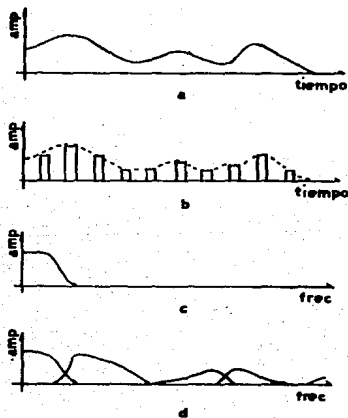


FIGURA 1-6. GRAFICAS EN EL DOMINIO DEL TIEMPO Y LA FRECUENCIA DE UNA SEÑAL ANTES Y DESPUES DE SER MUESTREADA.

La calidad de la representación de una señal continua por medio de señales muestreadas y digitalizadas está determinada por varios factores:

- (a) Razón de muestreo.

- (b) Ancho del pulso de muestreo.
- (c) Exactitud en la digitalización.

Los correspondientes términos de distorsión son:

- (a) Ruido de Aliasing.
- (b) Ruido de Jitter.
- (c) Ruido de Cuantización.

Los anteriores factores pueden causar distorsión inaceptable si no son reducidos y controlados.

#### RUIDO DE ALIASING.

Teorema de muestreo.

"Si una señal  $f(t)$ , una función real del tiempo, es muestreada a intervalos regulares con una razón mayor o igual a dos veces el ancho de banda de la señal, entonces la señal muestreada contiene toda la información significativa de la señal original."

La figura 1-7 muestra los efectos de la razón de muestreo sobre la separación de los espectros que representan a la señal. cuando la razón de muestreo es reducida, los espectros adyacentes se traslapan. La energía espectral traslapada no puede ser separada de la señal deseada generándose una distorsión de la información original, a esto es llamado ruido de Aliasing.

El traslape puede ser reducido ya sea aumentando la frecuencia de muestreo ó aumentando la caída (rolloff) en la frecuencia de corte de la señal de entrada usando un filtro de anti-aliasing antes de muestrear.

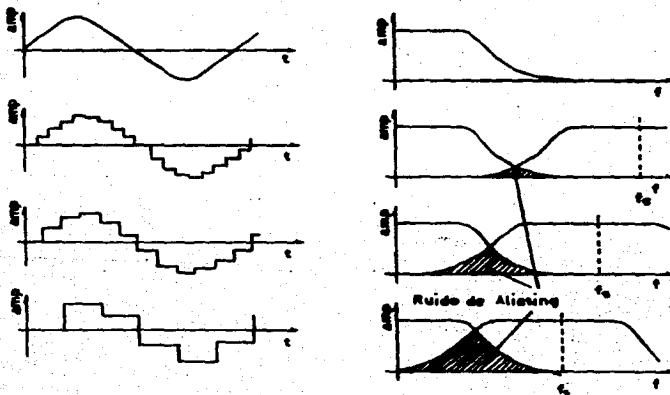


FIGURA 1-7. EFECTOS DEL TRASLAPE ENTRE ESPECTROS.  
RUIDO DE ALIASING.

La figura 1-8 ilustra el efecto del filtrado sobre el ruido de Aliasing.

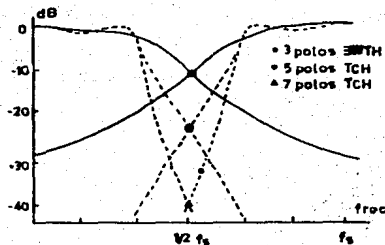


Figura 1-8. EFECTO DEL FILTRAJE ANTES DEL MUESTREO.

#### RUIDO DE JITTER

Un muestreo ideal asume que las muestras son tomadas a intervalos periódicos, y que el valor de la amplitud de cada muestra es igual al valor de la señal en el instante de muestreo. Si la forma de onda de muestreo no es estable, entonces la señal será muestreada a otro tiempo al cual fue especificado con un error correspondiente a la razón de cambio de la señal de muestreo.

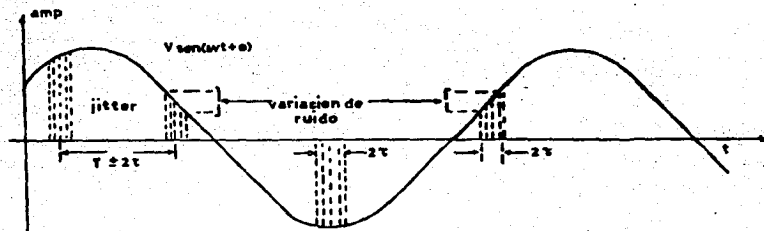


FIGURA 1-9. INCERTIDUMBRE EN EL MOMENTO DE MUESTREO. JITTER.

El ruido de Jitter puede ser estimado examinando una señal de entrada sinusoidal que es muestreada con un periodo promedio  $T'$  y una desviación pico a pico del periodo de  $2\tau$ , (figura 1-9). Usando  $\text{sen}(\omega t_j)$  como el valor de la senoide exactamente al instante del muestreo y  $\text{sen}[\omega(t_j + \tau_j)]$  como el valor del  $i$ -ésimo instante actual de muestreo, donde  $\tau_j$  es el error de tiempo en el punto, entonces el error o ruido de Jitter en  $t_j$  es la diferencia entre el valor exacto y el valor muestreado de la señal de voltaje, esto es:

$$\begin{aligned}
 N_j(T_j) &= \text{sen}(\omega t_j) - \text{sen}(\omega t_j + \omega \tau_j) \\
 &= (1 - \cos(\omega \tau_j))(\text{sen}(\omega t_j) + \\
 &\quad \text{sen}(\omega t_j) \cos(\omega \tau_j))
 \end{aligned}$$

La potencia del ruido es la suma de los cuadrados de sus componentes en cuadratura

$$\begin{aligned}
 N_j^2 &= [1 - \cos(\omega \tau_j)]^2 + \text{sen}^2(\omega \tau_j) \\
 &= 2 - 2\cos(\omega \tau_j)
 \end{aligned}$$

Asumiendo que los errores son independientes de una muestra a otra y que se encuentran uniformemente espaciados entre  $\pi$ , la potencia del ruido esperado es:

$$E\{N_J^2\} = \int_{-\tau}^{\tau} [2 - 2\cos(\omega\tau_j)] \frac{1}{2\tau} d\tau_j$$

$$= 2 - 2 \frac{\text{sen}\omega\tau}{\omega\tau}$$

Para  $\omega\tau < \pi/2$  una expansión en serie de Taylor de  $\text{sen}(\omega\tau)$  produce una aproximación para el valor cuadrático medio o potencia del ruido de

$$E\{N_J^2\} = \frac{(\omega\tau)^2}{3}$$

La relación S/R de una señal senoidal muestreada  $\text{sen}(\omega\tau)$  debido al Jitter uniformemente distribuido sobre un rango de  $-\tau \leq \tau_0 \leq +\tau$  segundos es



$$\left(\frac{S}{R}\right)_J = \frac{\text{Valor Cuadrático Medio de la Señal}}{\text{Valor Cuadrático Medio del Ruido}} = \frac{1}{2} \frac{3}{(\omega\tau)^2}$$

$$\left(\frac{S}{R}\right)_J = 0.038 \left(\frac{T}{\tau}\right)^2$$

donde T es el periodo de la señal muestreada. La relación S/R de Jitter es graficada en la figura 1-10 como una función de la razón de tolerancia del Jitter  $\tau/T$ .

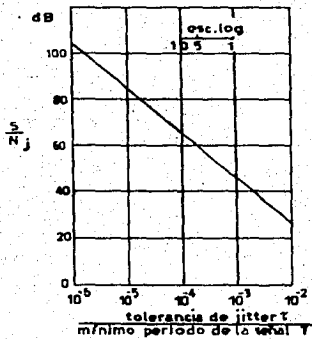


FIGURA 1-10

## RUIDO DE CUANTIZACION

### Cuantización.

La cuantización puede ser de dos tipos: Uniforme y No Uniforme. En la distribución uniforme los niveles de cuantización están espaciados uniformemente. La cuantización no uniforme se utiliza para mejorar el desempeño de la señal frente al ruido. El espaciamiento entre niveles se reduce en donde aparecen pequeñas amplitudes de la señal.

### Ruido de cuantización.

La discrepancia entre una forma de onda y su aproximación cuantizada se conoce como ruido de cuantización.

Considere una señal  $f(t)$  cuyo valor medio es cero. Sea  $P$  volts la excursión máxima de la señal. Si se utiliza un total de  $M$  niveles de cuantización espaciados uniformemente a "a" volts entonces

$$a = \frac{P}{M}$$

Una distribución razonable de los niveles de cuantización es la que se muestra en la siguiente figura:

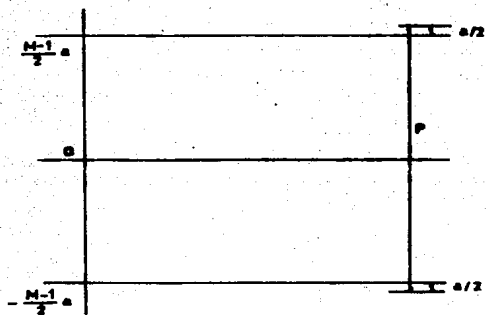


FIGURA 1-11. DISTRIBUCION UNIFORME  
DE LOS NIVELES DE CUANTIZACION.

Los niveles de cuantización tomarán valores dados por

$$A_j = \pm \left( \frac{2j+1}{2} \right) a \text{ Volts}$$

$$\text{donde } j = 0, 1, 2, \dots, \left( \frac{M-2}{2} \right)$$

Las muestras cuantizadas cubren un intervalo dado por:  
 $A = (M-1)a$  Volts.

En el proceso de cuantización cualquier voltaje de la señal continua entre el intervalo  $A_j - a/2$  a  $A_j + a/2$  se ajusta al nivel de cuantización  $A_j$ , es decir que existirá un error, de cuantización, que está limitado a la excursión de  $a/2$  volts.

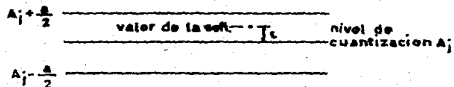


FIGURA 1-12. ERRORES INTRODUCIDOS POR EL  
 PROCESO DE CUANTIZACION.

Suponiendo que en un largo intervalo de tiempo todos los valores de voltaje en cualquier región de incertidumbre aparecen el mismo número de veces, los valores de  $\epsilon$  estarán distribuidos uniformemente de  $-a/2$  a  $+a/2$ , así:

$$P(\epsilon) = \begin{cases} \frac{1}{a} & |\epsilon| < \frac{a}{2} \\ 0 & |\epsilon| > \frac{a}{2} \end{cases}$$

La potencia media del ruido de cuantización  $\epsilon$  disipada en una carga resistiva de un ohm quedaria dada por

$$E(\epsilon^2) = \frac{1}{a} \int_{-\frac{a}{2}}^{\frac{a}{2}} \epsilon^2 d\epsilon = \frac{a^2}{12}$$

La potencia media de la señal, después de la cuantización, puede calcularse considerando que la señal varía de tal manera que hace a todos los niveles de cuantización agrupables

$$E(A_j) = 2 \int_0^{\frac{M-2}{2}} \left[ \left( \frac{2j+1}{2} \right) a \right]^2 \frac{1}{M} = (M-1) \frac{a^2}{12}$$

Por lo que la relación S/R resultante es

$$\left( \frac{S}{R} \right)_{\text{Cuant}} = M^2$$

para  $M \gg 1$ .

expresado en dB

Como  $M = n^m$

$$\left( \frac{S}{R} \right)_{\text{Cuant}} = 20 \log M$$

$$\left( \frac{S}{R} \right)_{\text{Cuant}} = 6m$$

o sea 48 db para un código binario de 8 bits y 36 db para uno de 6 bits.

#### 1.4 TECNICAS DE CONVERSION ANALOGICA A DIGITAL A/D

La parte medular de un Sistema de Adquisición de Datos Digital es su convertidor de señal analógica a digital. Para este tipo de conversión existen varias técnicas y la elección de alguna de ellas depende del compromiso entre resolución, velocidad de conversión y precio.

Los convertidores con velocidades de conversión menores de 1 MHz emplean dos técnicas fundamentales: Aproximaciones sucesivas para una buena resolución a velocidad moderada y el de Integración para alta resolución a bajas velocidades.

El convertidor de Aproximaciones Sucesivas compara la entrada desconocida con la suma de fracciones binarias de la escala total comenzando con la más significativa ( $2^{-1}$ ) y rechazando a cualquiera de las fracciones que altere el estado del comparador. Al final de la conversión, la salida del convertidor es una palabra digital representando la razón de la entrada a la escala total mediante un código binario fraccional.

El de tipo Integrador cuenta pulsos de un periodo que es proporcional al nivel de la señal de entrada. Dentro de los de esta clase se encuentra el de Doble Pendiente, el cual cuenta pulsos durante el periodo que requiere para que la integral de la referencia sea igual al valor promedio del nivel de la señal de entrada (en un periodo preestablecido).

Dentro de los convertidores de mayor velocidad se encuentran los siguientes:

Conversion analógica en serie/digital en paralelo. En este tipo de conversión existe un número de etapas en cascada, cada una teniendo una ganancia de +2 para señales menores que un medio de la referencia y una ganancia de -2 para señales entre un medio de la referencia y la escala total. En cada etapa se selecciona "1" o "0" dependiendo si la señal es mayor o menor que la referencia. La salida analógica de la etapa es la entrada para la siguiente. El tiempo de conversión es determinado por el retardo de propagación de la señal analógica a través de todas las etapas. Dado que la decisión de cada etapa ("1" o "0") puede ser almacenada (y una conversión puede, en principio, ser comenzada tan pronto como el primer bit ha sido almacenado), la razón a la cual las conversiones salen de la pila es considerablemente más rápida que el tiempo para que una muestra pase a través de todo el proceso de conversión. Aunque rápido, el proceso es difícil de implementar con exactitud para más de 5 bits debido al mezclado de ganancia resultante lo que trae como consecuencia errores.

Convertidor tipo Flash o Paralelo. En la conversión Flash, la señal analógica es comparada contra  $2^N - 1$  niveles de voltaje usando un número igual de comparadores (N es el número de bits en la palabra digital a la salida del proceso). Los niveles lógicos a la salida de los comparadores son procesados por un codificador



de prioridad el cual proporciona la salida en código binario o Gray. Dado que la conversión ocurre en forma simultánea, este es el tipo de convertidor más rápido; sin embargo, requiere de un gran número de comparadores, resistencias de precisión y compuertas.

Convertidor que utiliza PCCD. El PCCD [Profiled Peristaltic Charge Coupled Device] es una combinación, en estado sólido, de un dispositivo track-and-hold rápido como circuito de entrada y un registro de corrimiento analógico. Basicamente permite almacenar datos hasta una frecuencia de 125 Megamuestras/seg y después digitalizarlas a una frecuencia mucho más baja (78 KHz) por un convertidor Analógico/Digital.

Para lograr lo anterior, obtiene réplicas de la señal en forma analógica cargando hasta 256 microcapacitores semiconductores en el dispositivo, denominados "pozos". Los dispositivos CCD realizan tres funciones básicas: almacenamiento, transferencia y separación.

La señal es muestreada a la frecuencia del reloj (125 MHz) y cada muestra es convertida en un paquete de carga. El primer paquete se introduce al primer pozo y aplicando pulsos de reloj apropiados a los cuatro grupos de electrodos es posible mantener separación y transferencia de carga entre pozos. La siguiente muestra se introduce al dispositivo y el proceso se repite hasta que todo el dispositivo se llena. Así, se obtiene una réplica de la señal, la cual puede ser mantenida el suficiente tiempo para

lograr una conversión Analógica a Digital de baja frecuencia.

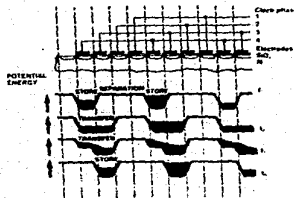


FIGURA 1-13. SISTEMA PPCCD.

Cualquiera que sea la técnica, los convertidores A/D comprenden: una sección analógica, una sección de generación de datos digitales, salida de datos y controles digitales.

## 1.5 EL OSCILOSCOPIO

### INTRODUCCION

El Osciloscopio de Rayos Catódicos, CRO, es un instrumento de laboratorio extremadamente útil y poderoso utilizado para mediciones y análisis de formas de onda y otros fenómenos en circuitos eléctricos y electrónicos. Los Osciloscopios son básicamente graficadores muy rápidos que despliegan una señal contra otra ó contra el tiempo.

Cualquier fenómeno físico que pueda, mediante un transductor, convertirse a una señal de voltaje podrá ser observado en el CRO, ya sea corriente, presión, tensión, temperatura, aceleración, etcétera.

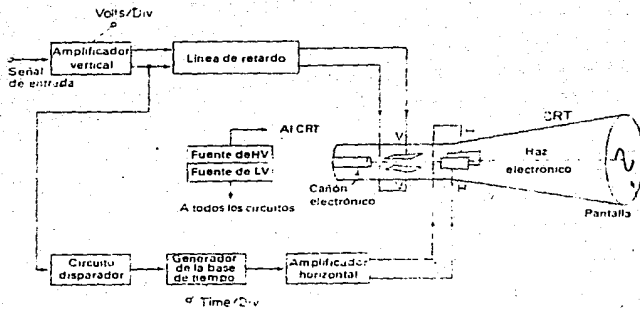
El CRO puede ser utilizado para analizar respuestas temporales de señales desde rangos de muy baja frecuencia hasta altas frecuencias con ayuda de cámaras especiales o de muestreadores digitales.

Los principios sobre los cuales opera el CRO serán discutidos en forma general en las siguientes secciones.

#### OPERACION BASICA DEL CRO

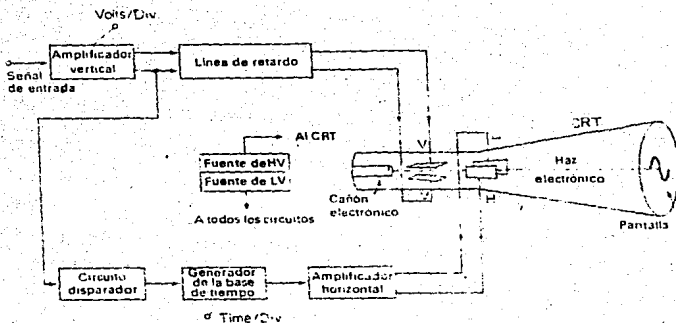
El CRO de propósito general se muestra en el diagrama simplificado de la figura 1-14. En él podemos observar:

- (a) Tubo de rayos catódicos o CRT
- (b) Amplificador vertical
- (c) Línea de retardo
- (d) Generador de base de Tiempo
- (e) Amplificador Horizontal
- (f) Circuito de Disparo o Trigger
- (g) Fuente de Poder



**FIGURA 1-14. DIAGRAMA SIMPLIFICADO DE LAS PARTES QUE COMPONEN A UN OSCILOSCOPIO DE RAYOS CATÓDICOS. TOMADO DE LA REFERENCIA [1].**

El tubo de rayos catódicos o CRT, es el corazón del osciloscopio, la circuitería restante del CRO solo sirve para operarlo. Basicamente, el CRT produce un fino haz de electrones afocados y acelerados a muy alta velocidad. Este haz viaja desde su fuente, ("electron gun"), hasta el frente del CRT donde hace contacto con el material fluorescente depositado en la cara interior del CRT con suficiente energía para causar un punto luminoso sobre la pantalla. Mientras viaja de la fuente a la pantalla, el haz de electrones pasa a través de una serie de placas de deflexión horizontal y vertical.



**FIGURA 1-14. DIAGRAMA SIMPLIFICADO DE LAS PARTES QUE COMPONEN A UN OSCILOSCOPIO DE RAYOS CATÓDICOS. TOMADO DE LA REFERENCIA [1].**

El tubo de rayos catódicos o CRT, es el corazón del osciloscopio, la circuitería restante del CRO solo sirve para operarlo. Basicamente, el CRT produce un fino haz de electrones afocados y acelerados a muy alta velocidad. Este haz viaja desde su fuente, ("electron gun"), hasta el frente del CRT donde hace contacto con el material fluorescente depositado en la cara interior del CRT con suficiente energía para causar un punto luminoso sobre la pantalla. Mientras viaja de la fuente a la pantalla, el haz de electrones pasa a través de una serie de placas de deflexión horizontal y vertical.

Voltajes aplicados a las placas de deflexión vertical pueden mover al haz de electrones en el plano vertical de arriba hacia abajo sobre la pantalla. Voltajes aplicados sobre las placas de deflexión horizontal mueven el haz en el plano horizontal y el punto luminoso se mueve de un lado al otro de la pantalla.

La forma de onda a observarse en la pantalla del CRT es aplicada al amplificador vertical de entrada. La ganancia de este amplificador es fijada por un atenuador de entrada calibrado, usualmente marcado con VOLTS/DIV. La salida "push-pull" del amplificador alimenta a las placas de deflexión vertical vía una línea de retardo.

El generador de base de tiempo, o generador de barrido, desarrolla una onda "diente de sierra" que es usada como voltaje de deflexión horizontal. El tiempo de subida es fijado por un control en el panel frontal marcado con TIME/DIV. El voltaje "diente de sierra" alimenta al amplificador horizontal. Este amplificador incluye un inversor de fase y produce dos formas de onda de salida en forma simultánea: un "diente de sierra" de pendiente positiva y otro "diente de sierra" de pendiente negativa. La de pendiente positiva es aplicada al plato de deflexión horizontal derecho y la de pendiente negativa a la del plato horizontal izquierdo. Lo anterior causa que el haz de electrones vaya de izquierda a derecha a través de la pantalla en unidades de tiempo establecidas por el control TIME/DIV.

La aplicación simultánea de voltajes a las placas de deflexión causa que el punto luminoso trace en la pantalla de CRT una imagen, esto es mostrado en la figura 1-15, donde un voltaje "diente de sierra", o barrido, es aplicado a los placas horizontales y una onda senoidal a los verticales. Cuando el barrido termina, el punto regresa rápidamente a su posición inicial y permanece en esa posición hasta que un nuevo barrido es iniciado.

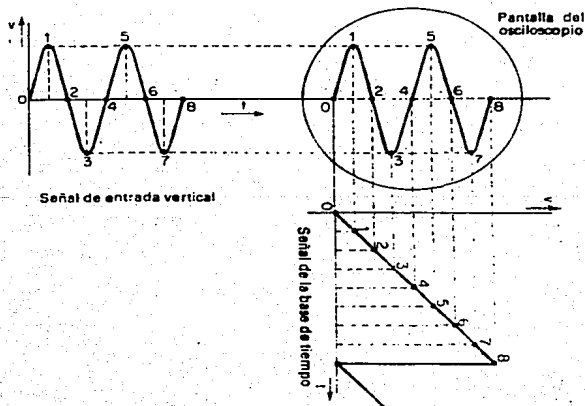


FIGURA 1-15. PRINCIPIO DE FUNCIONAMIENTO DE UN OSCILOSCOPIO.  
TOMADO DE LA REFERENCIA [1].

Si la señal de entrada es de naturaleza repetitiva, un desplegado estable puede ser mantenido en la pantalla comenzando cada barrido horizontal en el mismo punto sobre la señal de entrada. Para lograr esto, la señal de entrada es alimentada a un circuito de Trigger el cual produce un pulso de disparo en algunos puntos seleccionados sobre la señal de entrada. Este pulso de disparo es usado para iniciar al generador de base de tiempo el cual comenzará el barrido horizontal.

Usualmente es uno de los flancos de la señal de entrada la que es usada para activar al generador de Trigger. Esta acción se produce sobre un intervalo de tiempo definido (0.15  $\mu$ seg), así, el barrido no es iniciado hasta que el flanco de la forma de onda se haya detectado. El propósito de el "delay line" es el de retardar el arribo de la forma de onda de entrada a las placas de deflexión vertical hasta que los circuitos de trigger y base de tiempo hayan tenido oportunidad de comenzar el barrido del haz. La línea de retardo introduce un retardo total de aproximadamente 0.25  $\mu$ segundos en el canal de deflexión vertical, así, el flanco de la señal de entrada podrá ser visto aún cuando este haya sido usado para disparar el barrido.

La fuente de poder consiste de una sección de alto voltaje para operar el CRT y una sección de bajo voltaje para alimentar la circuitería electrónica del osciloscopio.



El ancho de banda de un OSC es de B Hertz, especificada a un nivel de -3 db con respecto a la respuesta plana.

Dado que un OSC está frecuentemente definido para analizar pulsos, está directamente especificado por su capacidad de limitamiento de tiempo de subida "rise time" o por el rango de deflexión del CRT.

Una relación conveniente entre el ancho de banda B y el tiempo de subida RT es:

$$RT = \frac{0.35}{B \text{ (en MHz)}}$$

#### EL OSCILOSCOPIO DE MUESTREO

Al incrementarse la velocidad de la señal de entrada, existe una reducción en la intensidad de la imagen sobre la pantalla debido a que la velocidad de escritura es mayor. Para mejorarla basta con acelerar el haz de electrones elevando el voltaje de los ánodos. Un haz más rápido también requiere de elevar la sensibilidad de las placas deflectoras demandando una respuesta de mayor calidad de los amplificadores.

El osciloscopio de muestreo se basa en una técnica muy similar a la de la luz estroboscópica proveyendo observación visual de movimientos rápidos.

En vez de monitorear continuamente la señal bajo prueba, el dispositivo muestrea la amplitud de la señal a intervalos regulares y reproduce a la señal muestreada. Estas muestras son presentadas en el CRT como una serie de puntos que se fundirán para aparecer como una línea continua para el observador. Lo anterior involucra que la señal a muestrear debe ser de naturaleza repetitiva.

Las técnicas de muestreo permiten el diseño de osciloscopios con anchos de banda extensos, alta sensibilidad, brillo y display limpio aún para pulsos de ciclo de trabajo pequeño, permitiendo toda la flexibilidad de los osciloscopios normales más la capacidad efectiva de manejo de alta frecuencia de señales de naturaleza repetitiva.

En general, un OSC de muestreo consta de: Un panel frontal o Main Frame (con CRT de almacenamiento o estándar), una unidad de entrada vertical de dos canales (con variedad en el costo-ancho de banda) y una unidad de entrada horizontal (con o sin retardo de barrido, junto con una capacidad de variación de trigger).

La unidad de entrada vertical consiste de un circuito de muestreo, sujetamiento y convertidor A/D, para lo cual se utilizan diversas técnicas.

La unidad de entrada horizontal se encarga de generar la base de tiempos.

La circuitería de la base de tiempos difiere bastante de la de un OSC convencional. La función de esta unidad no solo es mover el punto a través de la pantalla en incrementos de tiempo uniforme, sino también generar un comando muestreador para el circuito de entrada vertical. Esta unidad consiste de un circuito de sincronía, base de tiempos y amplificador horizontal. El circuito de sincronía determina el rango de muestreo y establece el punto de referencia en el tiempo con respecto a la señal. La base de tiempo genera una rampa continua y una rampa escalonada, la cual avanza un escalón por muestra. La coincidencia entre la rampa de tiempo y el nivel del escalón de la otra rampa genera un pulso de muestreo que va al muestreador de la unidad vertical.

Una base de tiempos convencional produce un rampa lineal para mover continuamente el haz horizontalmente a través del CRT. La base de tiempos del OSC de muestreo también mueve al haz pero en forma discreta, incrementando la posición del haz conforme se toma una nueva muestra, de donde se da por llamar a esta base de tiempos como "generador de rampa escalonada".

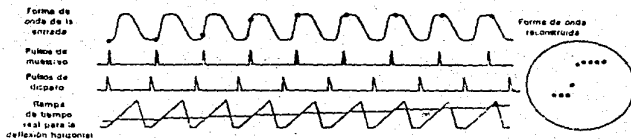


FIGURA 1-16. FUNCIONAMIENTO DE UN OSCILOSCOPIO DE ALMACENAMIENTO.

## DISPARO Y MUESTREO ALEATORIO

La mayor ventaja de esta técnica es que solo el circuito de muestreo deberá trabajar a muy pequeños intervalos de adquisición (gran ancho de banda) mientras que la demás circuitería trabajará a relativamente menor velocidad.

La operación de Muestreo Aleatorio consta de dos pasos: El primer paso es desarrollar una distribución de muestreo útil, una alta densidad de muestras durante la ventana de tiempo cuando se cuenta con la señal y baja densidad fuera de la ventana. Después de esto, dos señales representando a los ejes X y Y son muestreadas.

La del eje Y es obtenida por el mismo proceso de muestreo y retención. La componente  $e_y$  de la primera muestra es memorizada para después posicionar el punto vertical en el CRT. El comando de muestreo el cual preguntó por la primera muestra es entonces retardado por un intervalo de tiempo fijo  $\tau$ . Este comando retardado sirve para muestrear la rampa de tiempo la cual comenzó por reconocimiento del "trigger" a lo largo de la señal de entrada en  $t_0$ . La muestra resultante  $e_x$  es memorizada y luego es usada para la posición en el eje horizontal en el CRT.

Repetiendo el proceso, alimentando con muestras subsecuentes de información vertical y horizontal al haz del CRT punto a punto se reconstruye la señal que se muestrea la cual cae dentro de la ventana de tiempo.

Todo el proceso se observa en la figura siguiente:

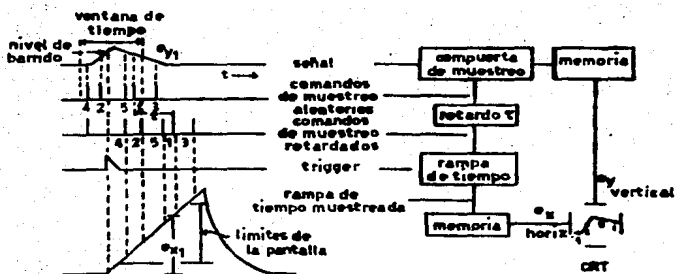


FIGURA 1-17. FORMA DE REALIZAR EL MUESTREO ALEATORIO.

#### OSCILOSCOPIO CON DESPLEGADO DIGITAL

Existen Osciloscopios que pueden realizar funciones de análisis sobre la señal de entrada tales como mediciones de amplitud, frecuencia, fase, área, potencia, etc. Los resultados son presentados en pantallas independientes o en la misma pantalla del CRT. Esta característica llamada DIGITAL READOUT permite dar mayor versatilidad al CRO y son de gran utilidad en laboratorio.

## 1.6 EL SOFTWARE EN EL DISEÑO.PAQUETES DE PROGRAMACION

El sistema de Adquisición de Datos que se desarrolla, es un instrumento de Interacción Remota donde el software juega un papel importante en su manejo, ya que los configura y complementa para obtener el instrumento de medición final.

Mediante los programas, se obtiene la comunicación entre el usuario y el módulo en forma de desplegados que lo guían para:

- (a) Indicar cómo se efectuará la adquisición
- (b) Operaciones a efectuarse sobre los datos
- (c) Manera en que datos y resultados serán presentados.

Lo anterior implica que se reducirán o eliminarán circuitería, complicados manejos de los instrumentos, cálculos posteriores sobre los datos obtenidos y, lo más importante, reducción del costo del instrumento de medición.

Dentro de otros beneficios de automatizar los instrumentos se encuentran: Mayor organización de las pruebas, integración de mesas de trabajo en laboratorios, manejo y almacenamiento de la información.

## CAPITULO 2

### ESPECIFICACIONES Y MODELO BASICO DEL OSCILOSCOPIO DE MUESTREO.

#### INTRODUCCION

En el capítulo 1 observamos la importancia de los Sistemas de Adquisición de datos como elementos de apoyo para la ingeniería de diseño y prueba. Vimos de manera general su situación en el mercado y su clasificación. Dentro de la teoría se determinaron los elementos necesarios para elaborarlos, los problemas inherentes al muestreo, así como diversas técnicas para convertir una señal analógica a digital. Por último, nos avocamos a conocer las características y funciones del osciloscopio, mostrando algunas técnicas de baja frecuencia utilizadas para adquirir muestras de señales de alta frecuencia de naturaleza repetitiva.

En este capítulo mencionaremos las especificaciones de un osciloscopio de muestreo con la finalidad de establecer una referencia de diseño.

En base a lo anterior, se plantean los objetivos a seguir estableciéndose los elementos con los que se cuenta, las limitaciones y problemas existentes, lo que llevará al planteamiento del presente diseño y a las soluciones adoptadas.

## 2.1 OBJETIVOS Y NECESIDADES.

Se plantean los siguientes objetivos:

- Diseñar un sistema de adquisición de datos en forma específica para realizar funciones de Osciloscopio de Muestreo.
- Establecer los parámetros y especificaciones.
- Mostrar los problemas inherentes.
- Definir límites.
- Justificar el diseño adoptado.

## 2.2 JUSTIFICACIÓN DEL DISEÑO DEL SISTEMA.

Se elige un Sistema de Adquisición de Datos de tipo Digital cuyo funcionamiento sea programable mediante una Computadora Personal de manera de aprovechar el potencial que esta ofrece reduciendo significativamente el hardware y realizando un



análisis más completo sobre la señal con la facilidad de guardar y recuperar la información cuando lo desee el usuario. Lo anterior implica una mayor organización de la medición, integración de equipo y módulos de trabajo acorde con la filosofía de la Medición Automatizada.

### 2.3 ESPECIFICACIONES.

La siguiente información es un resumen de las características generales y más importantes de un Osciloscopio de Muestreo Digital. Para ejemplificarlas, y dado que algunos de ellos son criterios propios de diseño que no están sujetos a normas estandarizadas, se tomaron como referencia las especificaciones de varios instrumentos de compañías como Hewlett Packard, Tektronix, Philips y la especificación del Standard IEEE 311-70 referente al Osciloscopio de Rayos Catódicos de Laboratorio de Propósito General.

#### Sistema Vertical

Característica	Valor o Forma de Calcularlo
Exactitud de DC	3% de plena escala con el switch de VOLTS/DIV a 5 mV.
Resolución	8 bits, 25 niveles/división. 9 bits, 50 niveles/división. 10 bits, 100 niveles/división.
Ruido (RMS)	de 0.75 a 1.5% de plena escala
Rango	5 mV a 5 VOLTS/DIV en secuencia de 1-2-5.

Razón de Muestreo

definido por el switch de  
TIME/DIV.

Ancho de Banda

Analógico:

Acoplamiento en DC

Acoplamiento en AC

DC a B MHz

10 Hz a B MHz

dentro de  $\pm 1$  o  $\pm 3$  dB.

dentro de  $\pm 5\%$

Exactitud

Ancho de Banda  
de almacenamiento  
útil:

El ancho de banda de  
almacenamiento útil está  
limitado a la frecuencia  
donde se den 2.5 muestras  
por periodo de señal de  
entrada a la máxima  
frecuencia de muestreo.

Respuesta a una  
onda senoidal

Respuesta al  
Pulso

El ancho de banda de  
almacenamiento útil está  
limitado a la frecuencia  
donde se den 7 muestras  
por periodo de señal de  
entrada a la máxima  
frecuencia de muestreo.

Rise Time  
(analógico)

Calculado como:

$$RT = \frac{0.35}{BW(\text{MHz})}$$

Rise Time de  
Almacenamiento  
Útil

El Rise Time de almacenamiento  
útil se define como 1.6 veces  
el mínimo intervalo de  
muestreo.

RRMC

10:1 @ B MHz es decir  
medido a la frecuencia de  
corte en altas y a la frecuencia  
de referencia superior (1/20 de  
la frecuencia de corte).

RC de entrada

1 Megohm  $\pm 2\%$   
de 18 a 20 pF  $\pm 3\%$

## Disparo

Sensitividad	0.3 a 1.5 div. Se especifica en función del rango vertical y de la frecuencia.
Exactitud	±3%
Jitter	1 período de muestreo. Jitter entre el reloj de Muestreo y el trigger asincrónico, a la mayor frecuencia de muestreo.

## Sistema Horizontal

Razón de barrido	5 seg a 0.02 $\mu$ seg en pasos de 1-2-5.
Resolución	8 bits, 25 datos/div. 9 bits, 50 datos/div. 10 bits, 100 datos/div.
Exactitud (Período de Muestreo)	±2%

## Otras características

Técnicas de Adquisición	Random Repetitivo, Secuencial y Flash
Técnicas de Digitalización	Conversión Paralelo y por aproximaciones sucesivas

## 2.4 LIMITACIONES.

Como hemos visto, el Osciloscopio comprende varios subsistemas, algunos de ellos, para fines de este trabajo, no son posibles de realizar por razones prácticas y de tiempo por lo que los alcances de esta Tesis se limitarán al desarrollo del sistema de adquisición de las muestras, como lo habíamos mencionado, se diseñará un sistema de adquisición de datos en forma específica.

Especifica porque la manera en la que son muestreados obedece a cómo serán presentados (el mayor número de muestras posible dentro de las ventanas de tiempo de secuencia 1-2-5 como las de un osciloscopio).

Por lo anterior, será necesario especificar la manera en que deberá de introducirse la señal, ya que no se contará con los atenuadores VOLTS/DIV.

Se emulará el funcionamiento de la Interfaz entre el Puerto y la PC, obteniendo un número finito de datos que serán capturados y graficados por el sistema VAX, con ello se demostrará que el sistema de adquisición cumple con su propósito.

El software de programación del módulo, la forma de presentar los datos y el análisis que se haga de estos mediante programas en lenguajes de alto nivel quedan fuera de los propósitos de esta tesis.

## CAPITULO 3

### INTRODUCCION

En el presente capitulo, haremos mención de los parámetros, consideraciones y características involucradas el diseño de los elementos que conforman el hardware del Sistema de Adquisición de Datos que realizará funciones de Osciloscopio de Muestreo.

#### 3.1 ESTRUCTURA GENERAL A BLOQUES

El Sistema de Adquisición desarrollado consta de las siguientes partes:

- (a) Desacopladores.
- (b) Generador de Disparo.
- (c) Generador de Pulso de Muestreo. Base de Tiempo.
- (d) Convertidor Analógico/Digital.
- (e) Control y Memoria.
- (f) Puerto de Entrada/Salida.
- (e) Programación.

El diagrama a bloques se muestra a continuación:

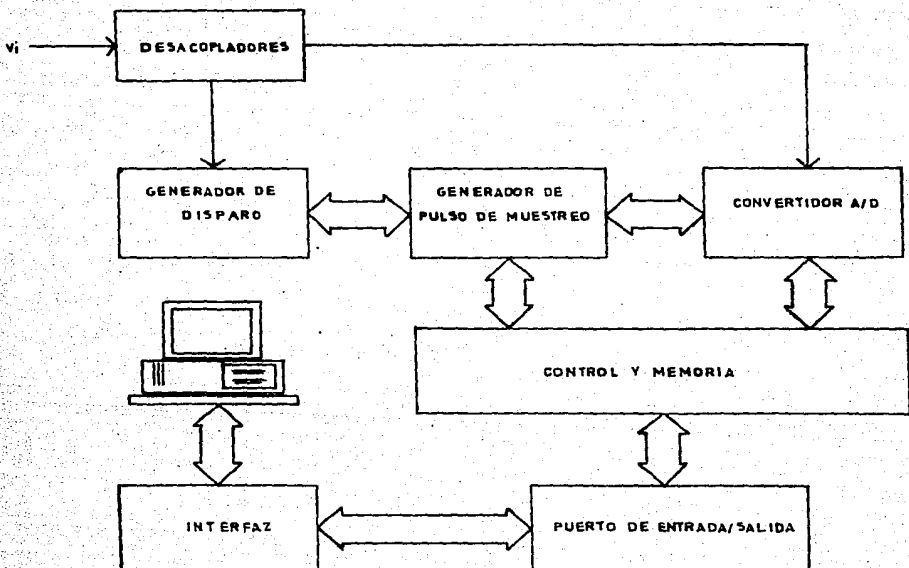


FIGURA 3-1. ESTRUCTURA GENERAL A BLOQUES.

Se hace la observación, de que el alcance de esta Tesis comprende hasta el Puerto de Entrada/Salida.

### 3.2 BREVE DESCRIPCION DEL SISTEMA

Se utilizan dos técnicas para la obtención de las muestras.

La primera, es a una velocidad de muestreo constante cuyo ancho de banda asociado es varias veces el ancho de banda de la ventana de tiempo (esto es, si una onda senoidal la abarcara totalmente).

La segunda, reconstruye a la señal de entrada a base de tomar muestras de periodos consecutivos, en donde cada muestra se encuentra desplazada una cantidad conocida de tiempo con respecto a la anterior. De igual manera que en el primer caso, el ancho de banda resultante del muestreo es varias veces el ancho de banda de la ventana reconstruida.

Las funciones que realizan los bloques de la figura 3-1 son:

**DESACOPLADORES.** Aislan a la señal de entrada con respecto al instrumento y, dentro del mismo, del Generador de Disparo con el Muestreador. Esto es importante, dado que una gran reducción de ruido se logra con ello. Por otra parte se limita el ancho de banda de la señal de entrada a 10 MHz ofreciéndole, a su vez, una carga de 1 Megaohm y 18 pF.

**GENERADOR DE DISPARO.** Indica el inicio del proceso de toma de muestras mediante un pulso obtenido en el cruce por cero de la señal de entrada ya sea en su pendiente positiva o negativa. Consiste de tres circuitos: Un comparador, un habilitador y un discriminador.

**GENERADOR DE PULSO DE MUESTREO.** Dependiendo de la técnica que se utilice para la adquisición de los datos, admite un pulso de disparo para activar ya sea un VCO que proporciona los pulsos de muestreo a una frecuencia determinada o para generar un retardo controlado por voltaje que retrasa la generación de los pulsos de muestreo, uno con respecto del otro, por una cantidad de tiempo conocida.

Cualquiera que sea la forma de adquirir las muestras, el circuito se encarga de distribuir el mayor número de ellas en la ventana de tiempo seleccionada.

**CONTROL Y MEMORIA.** Este dispositivo distribuye los comandos adecuados para activar el GENERADOR DE DISPARO, mandar el pulso de muestreo al CONVERTIDOR, guardar el dato en MEMORIA y comunicarse con el PUERTO DE ENTRADA/SALIDA al finalizar el proceso.

**CONVERTIDOR ANALOGICO/DIGITAL.** Es un convertidor de tipo Flash al que solo se le indica cuando tomar la muestra de la señal de entrada y cuando sacar el dato al bus.



**PUERTO DE ENTRADA/SALIDA.** Es el dispositivo de enlace entre la PC y el muestreador de datos del Osciloscopio de Muestreo. Su diseño está basado en los requerimientos de la interfaz. Su función es recibir datos, direcciones e instrucciones y mandar datos.

**INTERFAZ.** Comunica a la COMPUTADORA PERSONAL con diversos instrumentos de medición, mediante un cierto protocolo.

**COMPUTADORA PERSONAL.** IBM PC o compatible que cuente con ranuras de expansión. Se utiliza el lenguaje BASIC. La computadora es el control central, procesa los datos enviados por el muestreador y lleva los resultados a pantalla, la cual se convierte en el panel del instrumento. Juntos, PC y muestreador, desarrollan la función del Osciloscopio de Muestreo.

### 3.3 DISEÑO

#### 3.3.1 DESACOPLADORES.

Consiste de tres buffers, el primero de ellos aísla la señal de entrada del instrumento, los dos restantes desacoplan al MUESTREADOR del GENERADOR DE DISPARO.

Los requerimientos para el buffer de entrada son los siguientes:

- Ganancia mayor de -1.5 dB a la frecuencia de corte en altas del Osciloscopio, el cual será de 7.5 MHz.
- Impedancia de entrada de 1 Megaohm  $\pm 2\%$ .
- Capacitancia de entrada de 18 pF  $\pm 0.5$  pF.
- Baja impedancia de salida.
- Componente de DC de 1.6 V, correspondiente al código de codificación 20H (32b) que se utiliza como eje de referencia de cero.

Se escogió la configuración de Drenaje Común aprovechando la alta impedancia de entrada del FET y con polarización, por fuente de corriente, por Source del transistor lo que proporciona una salida casi igual a la entrada dada la alta impedancia de la fuente de corriente realizada con FET.

El circuito es:

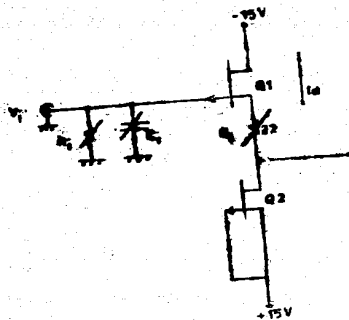


FIGURA 3-2. DESACOPLADOR DE ENTRADA.

De acuerdo con el criterio de trabajar una década antes de la frecuencia de corte de los transistores, se decidió utilizarlos para VHF.

El punto de operación se obtiene como:

$$I_d = I_{dss} \text{ mA}$$

$$V_{GS} = 0 \text{ Volts}$$

Considerando un  $V_p=2$  Volts e  $I_{dss}=4$  mA, para el tipo de transistor utilizado (SF1035), se estima un punto de operación de:

$$\begin{aligned}V_{GS2} &= 0 \text{ Volts} \\ I_d &= 4 \text{ mA}\end{aligned}$$

Suponiendo que los transistores son semejantes, que el circuito es simétrico y que se desea un voltaje de DC a la salida de 1.6 Volts se obtiene:

$$I_d = I_{dss} R_1 = 1.6(2) \text{ Volts}$$

$$R_1 = 457\Omega$$

$$V_{DS1} = V_{DS2} = \frac{V_Q + V_E - 3.2}{2} = 13.4 \text{ Volts}$$

$$V_{GS1} = 1.6 \text{ Volts}$$

Que es el caso ideal, experimentalmente se encuentra que

$$V_{GS1} = 0.032 \text{ Volts}$$

$$V_{GS2} = 0. \text{ Volts}$$

$$I_d = 4.03 \text{ mA}$$

$$V_{DS1} = 14.98 \text{ Volts}$$

$$V_{DS2} = 13.39 \text{ Volts}$$

$$@ R_1 = 407\Omega$$

La resistencia de entrada es

$$R_i = R // R_{i_{Q1}}$$

y la de salida

$$R_{O1} = \frac{1 + g_m R_1}{g_m} = \frac{1}{g_m} + R_1 = 624\Omega \quad [11]$$

De manera de obtener la resistencia y capacitancia de entrada especificada se utilizan elementos variables de R y C. Mediante un analizador de impedancias, se ajusta a que la resistencia de entrada sea de 1 Megaohm en paralelo con una

capacitancia de 18 pF a una frecuencia de prueba de 1 KHz.

El valor encontrado de C fue de 9.1 pF y el de R de 1.12 Megaohms, dentro de las tolerancias.

Dado que no se contaba con las características del transistor necesarias para realizar un análisis teórico en frecuencia, el comportamiento tuvo que ser caracterizado experimentalmente encontrándose que la respuesta a la frecuencia fue de -3 dB a 18 MHz y de -0.8 dB a 7.5 MHz. La ganancia de voltaje fue de 0.99 con una excursión de voltaje de  $\pm$  11.85 Volts. La señal de prueba fue senoidal.

Los buffers restantes utilizan la misma configuración para la etapa de entrada, tipo Drenaje Común, y su etapa de salida es un amplificador clase AB Push-pull que proporciona una resistencia de salida muy baja.

Uno de ellos acopla el buffer de entrada con el CONVERTIDOR<sup>4</sup> A/D y el otro acopla al buffer de entrada con el GENERADOR DE DISPARO de manera de aislarlos entre sí.

Las características de estos buffers son:

- Alta impedancia de entrada.
- Baja impedancia de salida, menor a 25 ohms, solicitado por el fabricante del convertidor Analógico/Digital para evitar la detección de ruido extraño.
- Frecuencia de corte mayor de 7.5 MHz, con ganancia

mínima de 0.78 en esa frecuencia, dado que la ganancia de la etapa anterior es de 0.91 y con ello el producto sería de 0.71 (-3 db). Lo anterior es válido, dado que, como se comprueba más adelante, existe un gran desacoplamiento entre amplificadores.

El circuito es

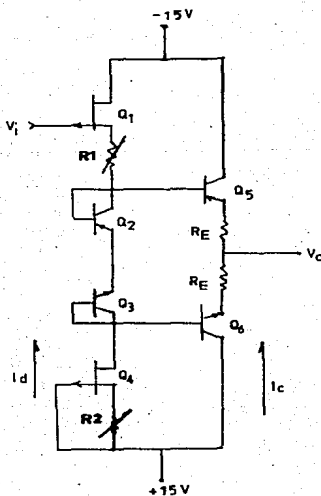


FIGURA 3-3. DESACOPLADOR SECUNDARIO

Se utilizaron transistores de VHF para satisfacer el criterio ya descrito y en pares complementarios para obtener características lo más semejantes posible.

Para lograr la máxima estabilidad térmica se utilizaron transistores del mismo tipo como diodos para prepolarizar a los transistores de salida y a la vez evitar el ruido de crossover.

La corriente  $I_d$ , al igual que en el primer buffer, la establece la fuente de corriente Q4. Para este caso las ecuaciones son:

$$I_d = I_{dss} \left[ 1 - \frac{V_{GS}}{V_p} \right]^2 \quad [2]$$

$$V_{GS} = -I_d R_2 \quad [3]$$

Lo podemos obtener de la misma manera como se obtiene la corriente de salida de una fuente de Widlar considerando que la entrada está aterrizada y los puntos x y z tienen el mismo potencial, (vale decir que los puntos son tierra virtual debido a la simetría del circuito), así, la ecuación que rige el comportamiento es:



$$V_T \ln \frac{I_d}{I_C} - I_C R_E = 0$$

[4]

$$\Omega_2 = \Omega_3$$

Por otra parte realizando un análisis en señal pequeña para obtener un valor aproximado de la resistencia de salida encontramos que

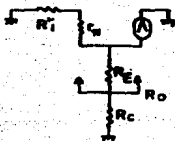


FIGURA 3-4

$$R'_1 = R_{o1}$$

$$R_o = R_E + \frac{r_\pi + R'_1}{\beta + 1} \quad [5]$$

$$\text{y } R_o < 25\Omega \quad [6]$$

A lo anterior, agreguemos un análisis de respuesta en alta frecuencia considerando que la carga de la siguiente etapa es de  $R_c = 10M\Omega$  con una capacitancia en paralelo de  $C_c = 50 \text{ pF}$  (esta es la carga que ofrece el CONVERTIDOR ANALOGICO/DIGITAL). De esa manera la función de transferencia resultante es:

$$\frac{V_o}{V_i} = \frac{as+b}{cs^3+ds^2+es+f} \quad [7]$$

en donde:

$$a=F(I_d, R_c, f_T, C_\mu)$$

$$b=F(\beta, I_d, R_c)$$

$$c, d, e=F(I_d, R_c, R_E, R_i, C_\mu, C_c, \beta, f_T)$$

$$f=F(I_d, R_c, R_E, \beta)$$

Teniendo la información anterior podremos determinar el comportamiento, tanto de la resistencia de salida, como de la respuesta en frecuencia en función de  $I_d$  y de valores comerciales de  $R_E$ . Utilizando un programa para realizar los cálculos, citado en el apéndice, se llega a obtener, de las ecuaciones [1] a [7] las siguientes gráficas:

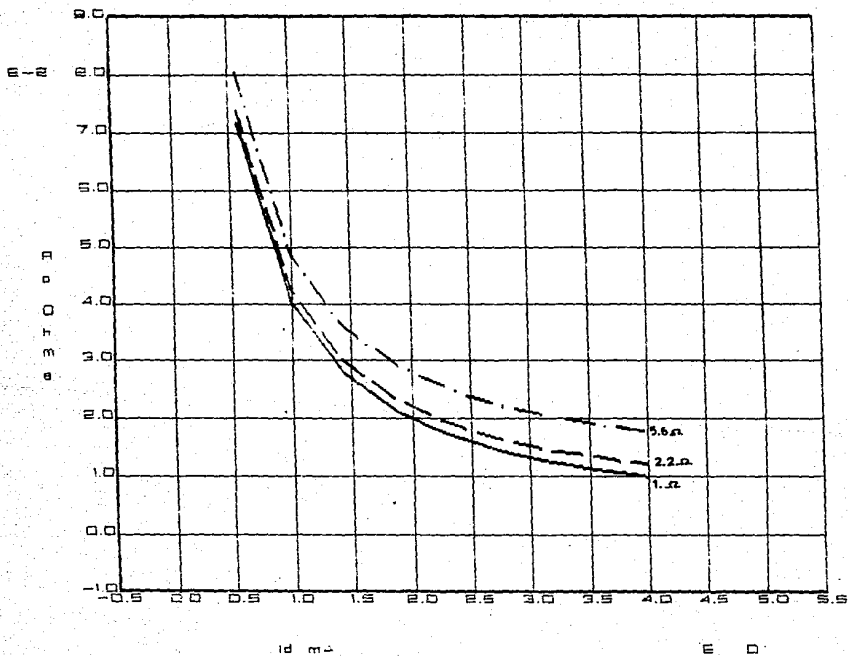


FIGURA 3-5. COMPORTAMIENTO DE LA RESISTENCIA DE SALIDA DEL AMPLIFICADOR SEGUIDOR SECUNDARIO CONTRA LA CORRIENTE DE POLARIZACION PARA DIFERENTES VALORES DE  $R_E$ .

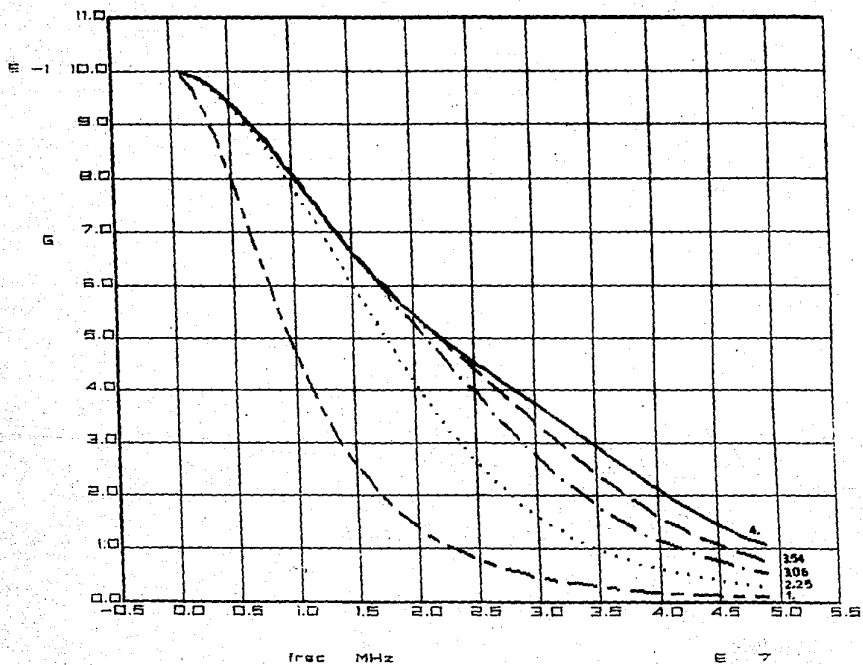


FIGURA 3-6. COMPORTAMIENTO DE LA GANANCIA DEL CONJUNTO DEL DESACOPLADOR DE ENTRADA Y EL AMPLIFICADOR SECUNDARIO PARA DIVERSOS VALORES DE LA CORRIENTE  $I_d$  DE POLARIZACION.

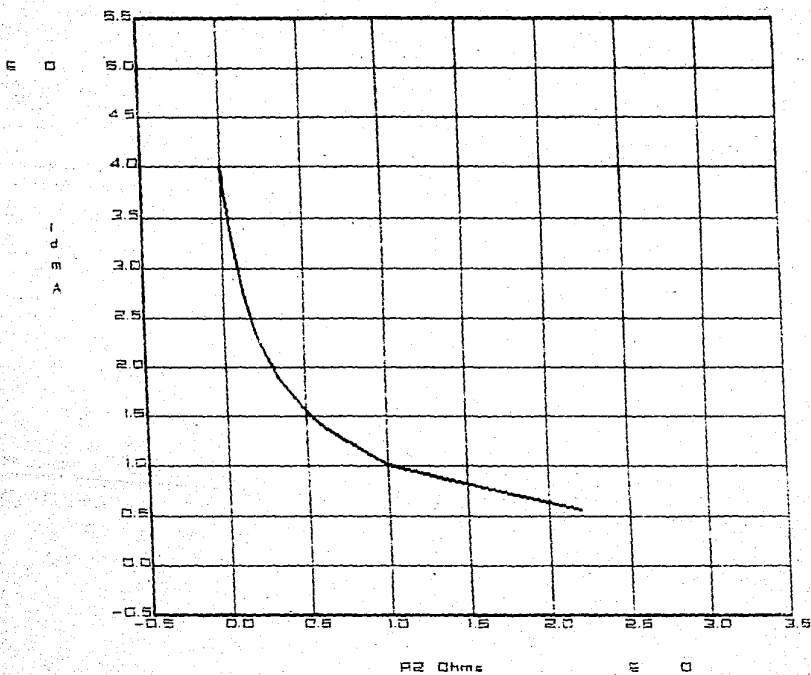


FIGURA 3-7. COMPORTAMIENTO DE LA CORRIENTE DE POLARIZACION  $I_d$  DEL AMPLIFICADOR SECUNDARIO CON RESPECTO AL VALOR DE  $R_2$ .

Como se observa, el comportamiento indica que la resistencia de salida depende del valor de  $R_E$  en forma directa y disminuye conforme la corriente  $I_d$  se incrementa. Por otra parte, el ancho de banda aumenta, dentro de este intervalo de corrientes, con el valor de  $I_d$ . De esa manera se selecciona  $I_d$  a 4 mA (frecuencia de corte en altas, total, de 14 MHz). Se toma el valor de  $R_E=2.2$  Ohms ( $R_o=14$  Ohms).

De manera experimental se encuentra la frecuencia de corte total en 13 MHz y una  $R_o=18$  Ohms. La ganancia de voltaje es de 0.98 (a 1 MHz). Para obtener el valor de  $I_d$  deseado, la resistencia  $R_2$  debe ser de  $100\Omega$  teórico y de  $0\Omega$  experimental.

Para lograr obtener un corte en 7.5 MHz dentro del  $\pm 5\%$  de exactitud se coloca un capacitor entre el primer buffer y el segundo cuyo valor teórico es de 24 pF (calculado en base a un filtro paso bajas de primer orden) y experimental de 18 pF. La respuesta a la frecuencia del amplificador en forma experimental, es mostrada en el apéndice C junto con las respuestas teóricas del amplificador secundario y de su etapa de salida.

### 3.3.2 GENERADOR DE DISPARO

Este dispositivo será el encargado de indicar al GENERADOR DE PULSO DE MUESTREO, cuando debe activar un VCO, en modo periódico, o cuando debe generar una rampa, en modo secuencial, siempre con respecto al mismo punto sobre la señal de entrada.

Las características que deberá cumplir son:

- Generar un disparo para señales con un rango de frecuencia de 10 Hz a 10 MHz.
- Sensitividad mínima de 100 mV.
- Deberá satisfacer los dos modos de operación del GENERADOR DE PULSO DE MUESTREO: Secuencial y Periódico.
- Por ser un elemento que contiene transiciones rápidas, deberá de controlarse el ruido.

Para satisfacer los dos primeros puntos, se utiliza un CI MC1711. Consiste de un comparador rápido, que fija su valor de salida TTL en 40 nseg para una diferencia de 2 mVolts de la señal de entrada con respecto a la referencia.

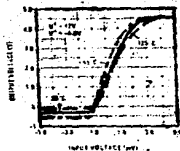


FIGURA 3-8. FUNCION DE TRANSFERENCIA DEL LM711

El flanco ascendente de su salida es usado por un Flip-Flop para generar el pulso de disparo ya sea tanto en la pendiente positiva de la señal como en la negativa siendo la referencia de comparación la de 0 Volts.

Para lograr la selección de la pendiente, se cuenta con un multiplexor analógico que mediante el comando PE (en el apéndice se encuentra un resumen de las líneas y comandos utilizados, así como su descripción), cambia los límites superior e inferior del comparador. Si PE=0 los límites son 3 y 0 Volts por lo que en el momento en que la parte alterna de la señal de entrada (que no puede ser mayor de 1.6 Volts), pase a ser menor de 0 Volts generará una salida alta en el comparador. Si PE=1 los límites son 0 y -3 Volts y en el momento en que la señal pase a ser mayor de 0 Volts generará, también, una salida alta.



El comparador posee una línea de habilitamiento, manipulándola es posible controlar el disparo. Esto es importante dado que la rapidez del comparador provoca, sobre la señal de entrada, ruido de crosstalk.

El habilitador del comparador, HC, es manejado por dos señales, GR y RR'. Para que se genere un pulso, ambas señales deben estar en alto. GR indica generar un disparo (dado que es un pulso, tendrá que almacenarse) y RR' muestra que la generación de la rampa de voltaje ha terminado por lo que puede continuarse con el proceso de generación de un disparo (los comandos GR y RR' pertenecen al diseño del dispositivo CONTROL Y MEMORIA). La tabla que a continuación se muestra indica las relaciones entre estas líneas y HC, además la de TRG con respecto a SC y HC.

$\overline{LM}$	$\overline{RR}$	GR	$\overline{TRG}$	HC
L	*	*	*	L
H	L	*	*	L
H	*	L	*	L
H	H	↑	L	H
H	↑	H	L	H
H	H	H	↑	L

TABLA 3-1

SC	HC	TRG
*	L	L
↑	H	H

TABLA 3-2

- LM': Comando que inicializa el circuito.
- TRG: Disparo. Línea que indica el inicio de la(s) adquisición(es) de la(s) muestra(s).
- HC: Comando que indica habilitar el comparador.
- SC: Indica el estado en la salida del comparador.

Como es necesario considerar tan solo las transiciones de bajo a alto de la salida del comparador, es necesario colocar un dispositivo que sea sensible a ellas y que tan solo considere a la primera que ocurra, como es el caso del flip-flop D 74LS74; de esta manera el circuito quedaría de la siguiente forma:

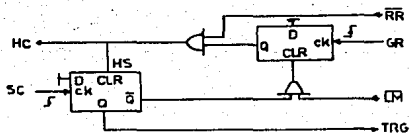


FIGURA 3-9

Sin embargo, debido a la característica de habilitamiento del comparador, existen pulsos que no corresponden al cruce por cero de la señal. La solución al problema consiste en activar primero al comparador y un tiempo después al sensor. Este valor no deberá ser menor de 25 ns (tiempo que tarda el flip-flop en habilitarse) por lo que se elige sea de 50 ns. Para lograrlo, se escoge un retardo digital como el mostrado en la figura 3-10:

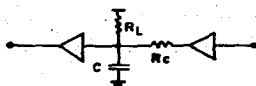


FIGURA 3-10

en donde el valor de C se escoge de manera que forme un circuito RC con la resistencia  $R_L$ . El retardo será de 50 ns, menos el retardo de las compuerta posterior. Así, deberá obtenerse 1.5 Volts (nivel de referencia utilizado para obtener los tiempos de propagación de las compuertas TTL open colector), en  $t=44ns$  teniendo un valor final de 5 Volts. La ecuación a utilizar es la que proporciona la respuesta al escalón de un filtro paso bajas de primer orden en la que se ha despejado el valor de C,  $R_L$  se considera de  $470\Omega$  por lo que:

$$C=262 \text{ pF}$$

se selecciona a 270 pF. Este valor está sujeto a ajustes en el

laboratorio de manera de lograr el retardo deseado. La resistencia  $R_c$  es necesaria para limitar la corriente al pasar de alto a bajo y se calcula como el voltaje del capacitor menos el voltaje de salida en estado bajo, entre la corriente máxima que maneja la compuerta anterior. El resultado práctico es  $R_c=120\Omega$ . La figura 3-11 nos muestra el efecto de este retardo.

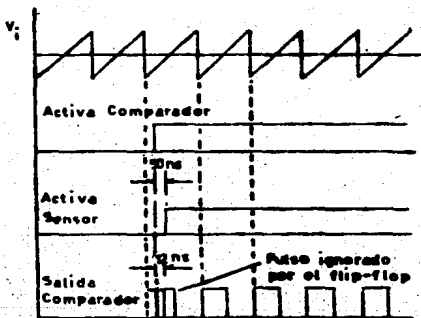


FIGURA 3-11. MANERA EN QUE SON DISCRIMINADOS PULSOS QUE NO CORRESPONDEN AL CRUCE POR CERO VOLTS DE LA SENAL DE ENTRADA.

El GENERADOR DE DISPARO debe tener dos modos de operación. Mediante el primero obtenemos un solo pulso que inicia el proceso de la toma de muestras a una velocidad constante; por el segundo, se consigue una secuencia de pulsos en las que cada uno genera una rampa.

Lo anterior se logra utilizando un flip-flop en el que su reloj sea la señal de TRG y la entrada D sea el comando CPP (CPP es parte del diseño del GENERADOR DE PULSO, e indica si el tipo de muestreo es periódico, CPP=1, o secuencial, CPP=0).

El diseño total se muestra en el capítulo 4. En él se aprecia como se forma un lazo que provoca que la señal de trigger forme un pulso de aproximadamente 110 ns. El ancho del pulso de disparo debe ser lo suficientemente pequeño (menor de 2  $\mu$ s), para evitar una condición indeseable en el Generador de Pulso Programable del GENERADOR DE PULSO DE MUESTREO debido a las características inherentes del 74LS123.

### 3.3.3 GENERADOR DE PULSO DE MUESTREO

Como mencionamos anteriormente, se utilizan dos técnicas para la adquisición de los datos, a estas las llamaremos: Muestreo Periódico y Muestreo Secuencial.

En el Muestreo Periódico se generan los pulsos de muestreo iniciando el reloj mediante un disparo. Cada pulso de reloj genera un comando CK que indica cuándo tomar la muestra en el dispositivo CONTROL Y MEMORIA.

En el Muestreo Secuencial cada disparo genera una rampa en el que el recíproco de su pendiente es el factor para la obtención de retardos controlados por voltaje.

Utilizando un comparador y una referencia variable, mediante una rampa de voltaje se pueden obtener pulsos desplazados, uno con respecto al otro, una cantidad conocida de tiempo. Al momento del cruce entre la referencia y la rampa se produce un pulso TM que indica cuándo tomar la muestra.

#### MUESTREO PERIODICO

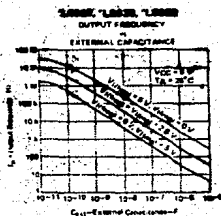
Para este tipo de muestreo se cuenta con una serie de osciladores controlados por voltaje, los cuales se seleccionan mediante un juego de multiplexor y decodificador. La siguiente tabla muestra el código binario de selección para el correspondiente TIME/DIV:

c b a	CPS/CPPI'	TIME/DIV
0 0 0	0	2 mseg
0 0 1	0	1 mseg
0 1 0	0	.5 mseg
0 1 1	0	.2 mseg
1 0 0	0	.1 mseg
1 0 1	0	50 $\mu$ seg
1 0 1	0	20 $\mu$ seg
1 0 1	0	10 $\mu$ seg
1 0 1	0	5 $\mu$ seg
1 0 1	0	2 $\mu$ seg

TABLA 3-3

La máxima frecuencia del VCO la fija el menor tiempo en guardarse una muestra en MEMORIA (250 ns), y la mínima lo establece el CONVERTIDOR A/D (10 $\mu$ s), los restantes se ajustan para reunir el mayor número de muestras en la ventana.

El valor del capacitor se obtiene de la gráfica proporcionada por el fabricante para cuando el V(rango) es 0 Volts y V(frec) alrededor de 2.5 V. Los valores obtenidos son:



$f_{CK}$ (MHz)	C (pf)
4.0	180
2.0	470
1.0	1000
0.4	2200
0.2	4700
0.1	10000

TABLA 3-4

La relación entre la ventana de tiempo, el número de muestras en ella y el VCO utilizado es mostrada en la tabla 3-5.

Código @ CPP' = 0	f <sub>CK</sub> (MHz)	T <sub>v</sub>	No. muestras en la ventana.
c b a			
1 0 1	4	20 µseg	80
1 0 1	4	50 µseg	200
1 0 1	4	100 µseg	400
1 0 1	4	200 µseg	800
1 0 1	4	500 µseg	2000
1 0 0	2	1 mseg	2000
0 1 1	1	2 mseg	2000
0 1 0	.4	5 mseg	2000
0 0 1	.2	10 mseg	2000
0 0 0	.1	20 mseg	2000

TABLA 3-5

La forma de activar el VCO seleccionado es mediante una señal de habilitamiento del decodificador, que se requiere sea activo bajo, y a la que llamaremos HD'. Dicha señal estará controlada por tres comando: LM', FP' y TRG.

LM	FP	TRG	HD
L	*	*	H
*	L	*	H
H	H	↑	L

TABLA 3-6

FP': Señal perteneciente al dispositivo CONTROL Y MEMORIA que finaliza el proceso de toma de muestras.



## MUESTREO SECUENCIAL

### Obtención de la Rampa.

La rampa de voltaje es obtenida mediante la integración de un pulso. Existen varias etapas para su generación, estas son:

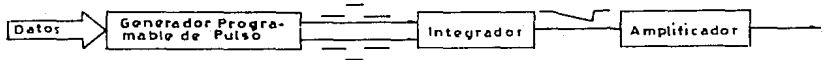


FIGURA 3-12. GENERADOR DE RAMPA.

### -Generador programable de pulsos.

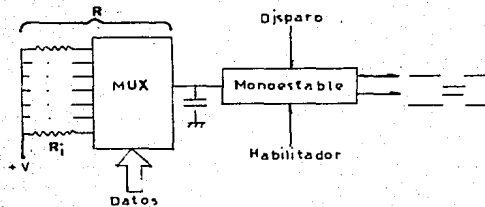


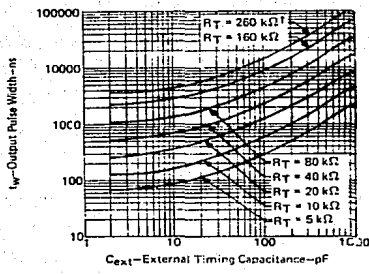
FIGURA 3-13. GENERADOR PROGRAMABLE DE PULSOS.

Consiste de un monostable cuya constante de carga puede programarse variando el valor de  $R$ .

Al recibir un pulso de disparo el monostable genera un par de pulsos complementarios Q y Q'. El pulso Q será integrado y Q' abrirá el interruptor que mantiene en circuito corto al capacitor integrador (de manera de obtener condiciones iniciales nulas).

El ancho de los pulsos está determinado por los tiempos de duración de las ventanas en donde aparecen las muestras. El pulso más angosto está limitado por el slew rate de los amplificadores operacionales utilizados, ya que se requiere una rampa de magnitud de 12 V (esto incluye 10 Volts para el código de comparación FAH (250b) más un 10% anterior y posterior para evitar las no linealidades y considerar el voltaje de comparación de 0 Volts correspondientes al código 00H), y los operacionales LF351 solo tienen un slew rate de 13 V/ $\mu$ s, por lo que la mínima duración de la rampa que se ajusta a la secuencia 1-2-5, es la de 1.2  $\mu$ s o sea una variación de 10 V/ $\mu$ s.

La duración de los demás pulsos serían, incluyendo el 20% de holgura, de 2.4, 6 y 12  $\mu$ s. Los valores de  $R_T$  que, mediante el monostable, hacen posible obtener estos pulsos se obtienen de la gráfica obtenida de las hojas de datos del fabricante para cuando  $C_{ext} = 200$  pF, los valores se tabulan a continuación:



Duración del Pulso (μs)	R <sub>m</sub> (kΩ)
1.2	22
2.4	22
6	56
12	100

TABLA 3-7

**-Integrador.**

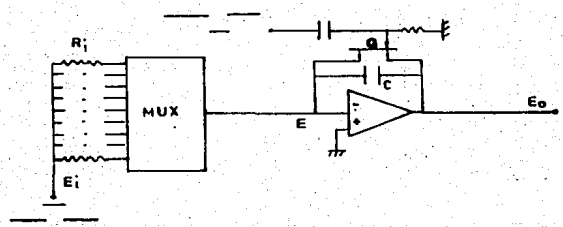


FIGURA 3-14. CIRCUITO INTEGRADOR.

Variando la constante de integración por medio de la resistencia  $R_1$  se obtiene una salida

$$E_o = -\frac{1}{RC} \int E_i dt + \frac{1}{RC} \int V_{os} dt + \frac{1}{C} \int I_B dt + V_{os}$$

si por el momento no consideramos los terminos a la derecha de la integral del voltaje de entrada y hacemos las siguientes consideraciones:

- $E_i = 3.5$  Volts voltaje tipico de "1" logico para este CI TTL 74LS123.

- $R > R_o$  del CI TTL,  $R_o = 100$  Ohms ---->  $R > 1$  Kohms.

- $t'$  duración del pulso a integrar, cuyo rango es de 1.2 a 12  $\mu$ s.

se obtiene que

$$E_{o_{max}} = -\frac{1}{R_{min} C} \int_0^{t'} 3.5 dt = -3.5 \quad \text{Volts}$$

y dado que se quiere obtener un  $E_0$  máximo constante para cualquier valor de R, se tiene, eligiendo  $t' = 1.2 \mu\text{seg}$  (la rampa de menor duración).

$$RC = t'$$

lo que haremos sea un valor constante, por lo que, eligiendo  $C = \ln F$  (tipo Mica o Poliestireno):

$$R = 1.0 \times 10^9 t'$$

y obtenemos la siguiente tabla:

$t'$ ( $\mu\text{seg}$ )	R Total ( $\Omega$ )	$R_{\text{MUX}}$ ( $\Omega$ ) @ 5V	$R_1$ teórica ( $\Omega$ )	$R_1$ Experimental ( $\Omega$ )
1.2	1200	250	950	986
2.4	2400	250	2150	2259
6.0	6000	250	5750	5868
12.0	12000	250	11750	12678

TABLA 3-8

### -Amplificador

Se escogió un amplificador de dos etapas de manera de no reducir la respuesta en frecuencia de los amplificadores al exigir a uno solo toda la amplificación.



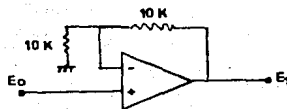
FIGURA 3-15. ETAPA AMPLIFICADORA.

El primer amplificador es un no inversor con ganancia de +2. La ganancia del segundo se calcula considerando que se desea obtener un voltaje igual a 12 V para el tiempo  $t'$ , es decir 10 Volts más un 20%;

$$V_o = -3.5(2)K_2 = 10(1.2) \implies K_2 = -1.71$$

experimentalmente se encuentra que es de -1.9.

La configuración del primer amplificador es



$$V_1 = 2(E_o + V_{OS})$$

FIGURA 3-16. AMPLIFICADOR NO INVERSOR DE GANANCIA 2.

dato que las corrientes de polarización de este tipo de BIFET tienen un efecto despreciable.

La del segundo amplificador es

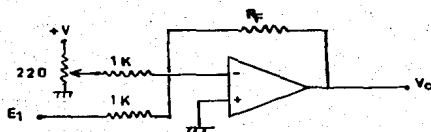


FIGURA 3-17. AMPLIFICADOR SUMADOR E INVERSOR.

$$V_o = -R_F(V_{DC} + V_1) + 2R_F V_{OS}$$

$R_F$  en  $K\Omega$

Como ya se mencionó, un voltaje de DC es sumado a la rampa por razones de ajuste y su valor corresponde aproximadamente al 10% del valor de la rampa en el intervalo de la ventana (1 Volt). De las ecuaciones anteriores, la salida total, considerando solo el Vos (la corriente de polarización  $I_B$  es despreciable en amplificadores operacionales con entrada FET), es de:

$$E_o = -R_F \left[ V_{DC} - \frac{2}{RC} \int e_i dt + \frac{2}{RC} \int V_{os} dt + 2V_{os} \right]$$

considerando que los voltajes de offset son iguales:

$$E_o = -\frac{2R_F}{RC} \int (e_i + V_{os}) dt - R_F (V_{DC} + 2V_{os})$$

$R_F$  en K $\Omega$ .

Para el LF 347

VOS máx=13 mVolts @ 0 a 70 grados Celsius.



En la ecuación anterior notamos que el voltaje de offset continuo se suma al Voltaje de DC. El voltaje de offset que varía con el tiempo se elimina considerándolo en el voltaje de entrada  $e_i$ . Esto se logra en el laboratorio, donde la rampa es ajustada a que satisfaga su valor inicial y final dentro de la ventana de tiempo.

Finalmente, las características de la rampa las podemos observar en la figura 3-18, mientras que en la figura 3-19 se muestra una de las rampas logradas por integración de un pulso, en la que el recíproco de su pendiente sirve para obtener los retardos controlados por voltaje (la mostrada tiene una pendiente de  $10 \text{ V}/\mu\text{s}$ ).

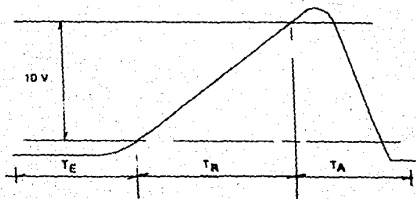


FIGURA 3-18. FORMA FINAL DE LA RAMPA.

donde  $T_E$  = Tiempo de entrada (2.3  $\mu\text{seg. máx}$ )  
 $T_R$  = Tiempo de duración de la rampa  
para fines prácticos.  
 $T_A$  = Tiempo de asentamiento (2  $\mu\text{seg. máx}$ )

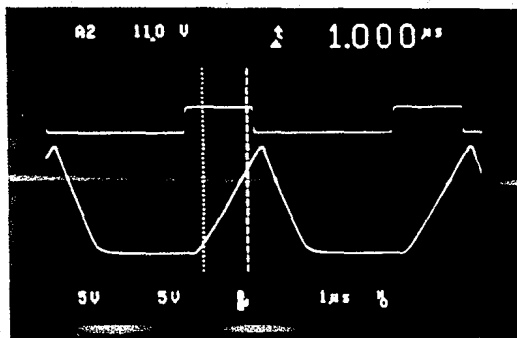


FIGURA 3-19. PULSO E INTEGRAL DEL PULSO.

## Voltaje de Referencia

La rampa es comparada contra una referencia proporcionada por un convertidor Digital/Analógico cuyos incrementos de voltaje son proporcionales al retardo de tiempo deseado.

Una vez ajustado el convertidor D/A deberá reunir las siguientes características:

- (1) 40 mV/nivel para  $1\mu s \leq T_V \leq 10\mu s$
- (2) 20 mV/nivel para  $200ns \leq T_V \leq 500 ns$

$T_V$  : duración de la ventana de tiempo sobre el que se presentarán las muestras.

Para lograrlo el voltaje de referencia,  $V_{ref}$ , del convertidor D/A será de 10.24 V para la primera y 5.12 V para la segunda.

De lo anterior y dado que se tomarán 250 muestras tendremos retardos de valor dado por

- $d = 0.004T_R$  si  $1 \mu seg \leq T_V \leq 10 \mu seg$
- $d = 0.002T_R$  si  $200 nseg \leq T_V \leq 500 nseg$

La relación existente entre la duración de las rampas y las ventanas de tiempo sobre el que se presentarán las muestras es:

$T_R$	$T_V$
1 $\mu$ seg	200 nseg
1 $\mu$ seg	500 nseg
1 $\mu$ seg	1 $\mu$ seg
2 $\mu$ seg	2 $\mu$ seg
5 $\mu$ seg	5 $\mu$ seg
10 $\mu$ seg	10 $\mu$ seg

TABLA 3-9

Como se ha analizado en el capítulo de teoría de Muestreo, existe una incertidumbre en el momento de tomar la muestra. Este jitter es debido a cada una de las incertidumbres de los dispositivos que componen el GENERADOR DE DISPARO y el GENERADOR DE PULSO DE MUESTREO; pero, el que influye de mayor manera es el convertidor D/A utilizado para definir el voltaje de referencia.

Dentro del convertidor D/A, para una entrada binaria dada, existirá un voltaje de salida comprendido entre  $\pm 1/2$  bms lo que es equivalente a decir que el pulso de muestreo se genera dentro de un intervalo de tiempo (ya que se tiene un retardo controlado por voltaje). El ruido de jitter puede ser calculado, para fines prácticos, como:

$$\left(\frac{S}{R}\right)_J = 0.038 \left(\frac{T}{\tau}\right)^2$$

en donde T es el periodo de la señal muestreada, y  $\tau$  el

intervalo de jitter.

Si dada una ventana de tiempo se mantienen 250 muestras en ella, entonces, existirán 500 intervalos  $\tau$  y la relación señal a ruido de una señal que tuviese una duración de su periodo igual al de la ventana con respecto al ruido de jitter sería de 39.77 dB.

Indudablemente, al aumentar la frecuencia de la señal, la relación señal a ruido disminuirá. Lo anterior puede observarse en la figura 3-20, en ella se aprecia que el ancho de banda de la señal de entrada no debe ser mayor de 10 veces la de la ventana (si una onda senoidal la cubriera) para que la relación señal a ruido no sea menor de 20 dB.

#### Creación del pulso TM

Para obtener el pulso de toma de muestra, TM, se compara a la rampa con el voltaje de referencia. Para ello se utiliza un comparador LM 311 que cambia su salida de un estado a otro con una entrada diferencial de 2 mV. Su tiempo de respuesta es de 200 ns máximo. Su salida TTL se considera activo bajo y el flanco descendente es utilizado por un monostable para generar los pulsos TM, IR y RR'. Los pulsos tienen una duración de 100, 2000 y 3000 ns respectivamente.

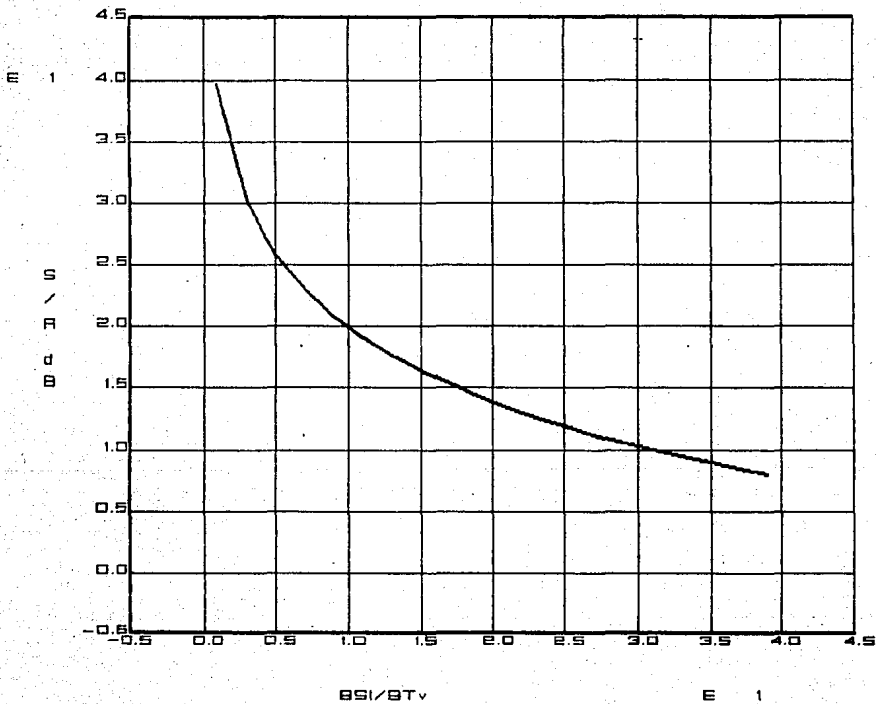


FIGURA 3-20. RELACION S/R DE JITTER CON RESPECTO A LA RAZON DEL ANCHO DE BANDA DE LA SEÑAL MUESTREADA AL ANCHO DE BANDA EQUIVALENTE DE LA VENTANA DE TIEMPO.

Dado que la generación de la rampa es la parte más lenta del dispositivo, se cuenta con un comando, IR', que la suprime prematuramente. En forma experimental se encuentra que el tiempo necesario para que la rampa pase de su valor más alto al más bajo es de aproximadamente 2000 ns.

Para evitar pulsos TM no deseados por transiciones no válidas en el comparador, el nuevo voltaje de comparación, para crear el siguiente retardo, se activa después de que la rampa obtuvo su nivel mínimo. El retardo para crear el nuevo nivel es de 600 ns aproximadamente, por lo que el sistema para obtener un retardo controlado por voltaje no estará listo sino después de 3  $\mu$ s (duración de RR') de haberse dado el flanco descendente del comparador. Así, RR' indica al GENERADOR DE DISPARO cuando obtener un trigger. Al mismo tiempo se crea un retardo que antecede a la generación del pulso TM. Este retardo es determinado en forma experimental y es el tiempo necesario para "saltar" el ruido producido por las rápidas transiciones que se suscitan en el momento de la comparación hecha por el LM311.

Por otra parte, para cambiar el voltaje de referencia del convertidor A/D, se cuenta con un multiplexor analógico que mediante la señal VR selecciona a que el voltaje sea de 10.24 Volts (0 lógico) o de 5.12 Volts (1 lógico).

La generación de retardos controlados por voltaje finaliza cuando el comando FP' es 0 lógico.

El diagrama del proceso del Muestreo Secuencial es presentado a continuación:

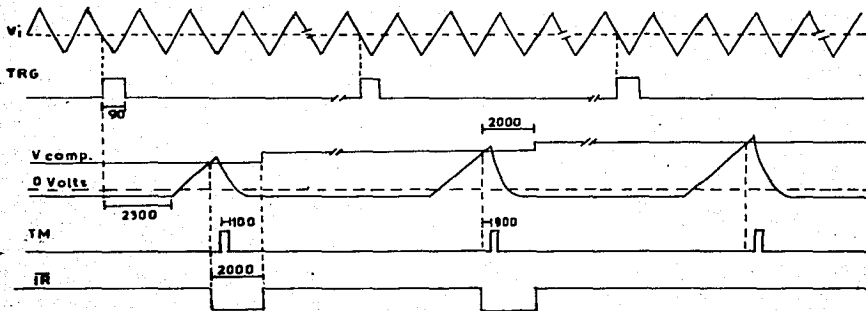


FIGURA 3-21. DIAGRAMA DEL PROCESO DE MUESTREO SECUENCIAL.

En él, podemos observar que una vez generada una señal de disparo, en una de las pendientes y siempre sobre el mismo punto sobre la señal de entrada, se iniciará una rampa que al alcanzar el voltaje de comparación vigente da por resultado un pulso TM que indica al dispositivo CONTROL Y MEMORIA cuando tomar la muestra. Al mismo tiempo, la rampa es suprimida prematuramente por el comando IR' al estar en nivel bajo y, al subir, el flanco es utilizado para aumentar el voltaje de comparación por una cantidad proporcional a un incremento de tiempo; de esa manera obtendremos pulsos TM espaciados, uno con respecto del otro, una



$\Delta t$  constante lo que puede apreciarse en el siguiente dibujo:

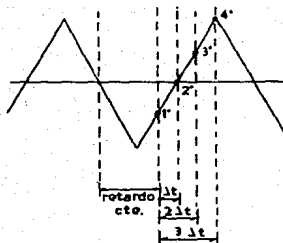


FIGURA 3-22. MUESTRAS ESPACIADAS UNIFORMEMENTE  
SOBRE LA SEÑAL DE ENTRADA.

La fotografía en la figura 3-23 muestra en la parte media, a la señal de disparo que excita la generación de las rampas. En la parte inferior se observan los pulsos de muestreo generados por el cruce de las rampas con el voltaje de referencia (el cual no es mostrado). Los pulsos se encuentran espaciados entre sí, una cantidad  $\Delta t$  conocida.

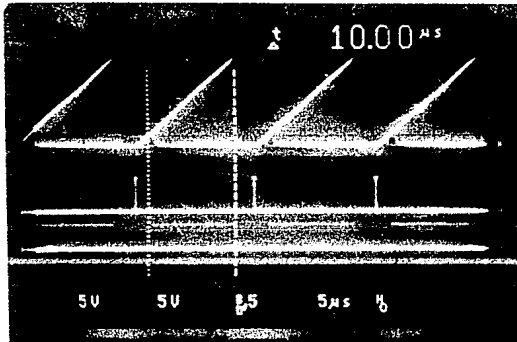


FIGURA 3-23. SEÑALES DE DISPARO, RAMPAS Y PULSOS DE MUESTREO.

### Programación

El dispositivo se programa mediante una serie de instrucciones que conforman la manera en que se llevará a cabo el muestreo.

Los comandos de programación son:

LI': LIMPIA.[Activo bajo]. Su función es la de inicializar el retardo a cero.

CPS/CPP': PROCESO MUESTREO SECUENCIAL/PROCESO MUESTREO PERIODICO. Indica el tipo de muestreo a realizarse.

PE: PENDIENTE. Le indica al GENERADOR DE DISPARO que debe crear un pulso en la pendiente positiva (1 lógico) o en la pendiente negativa (0 lógico).

c,b,a: Datos que indican la ventana de tiempo sobre la que se presentarán las muestras. Los valores se muestran en la tabla 3-10.

VR: VOLTAJE DE REFERENCIA. Con ello se selecciona el Voltaje de Referencia del convertidor Digital/analógico.

VR	c	b	a	CPS/CPPI	TIME/DIV
*	0	0	0	0	2 mseg
*	0	0	1	0	1 mseg
*	0	1	0	0	.5 mseg
*	0	1	1	0	.2 mseg
*	1	0	0	0	.1 mseg
*	1	0	1	0	50 µseg
*	1	0	1	0	20 µseg
*	1	0	1	0	10 µseg
*	1	0	1	0	5 µseg
*	1	0	1	0	2 µseg
0	0	0	0	1	1 µseg
0	0	0	1	1	0.5 µseg
0	0	1	0	1	0.2 µseg
0	0	1	1	1	0.1 µseg
1	0	1	1	1	50 nseg
1	0	1	1	1	20 nseg

TABLA 3-10

### 3.3.4 CONTROL Y MEMORIA

Este dispositivo es el encargado de generar los comandos necesarios para la adquisición, almacenamiento y envío de los datos a la PC. Su funcionamiento se basa en un comportamiento secuencial de microprocesos que se van realizando de acuerdo a las señales de entrada (como en un circuito lógico combinacional) en lapsos de tiempo que pueden ser variables, en el caso del Muestreo Secuencial, o bien definidos como en el Muestreo Periódico. Sin embargo la idea principal que conforma el diseño es el de lograr un dispositivo que ejerza un serie de acciones en la manera más rápida posible, dado que el tiempo de almacenar la muestra es el factor determinante que obliga a cambiar al generador de pulso de muestreo de un VCO a un retardo controlado por voltaje.

Los diagramas que a continuación se dan, muestran los tiempos de Lectura y de Escritura para la memoria utilizada TMM2016-2/D-2. El ciclo de Lectura debe durar mas de 200 ns y el de Escritura no menos de 150 ns. Como lo que nos interesa es guardar lo más rápido posible a la muestra adquirida por el CONVERTIDOR A/D, el caso critico es el ciclo de Escritura.

TIMING WAVEFORMS

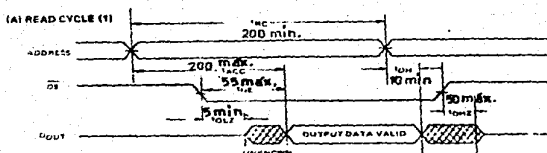


FIGURA 3-24

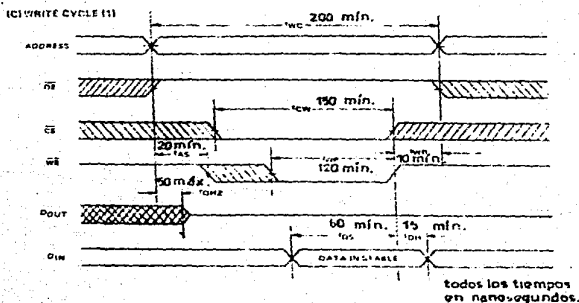


FIGURA 3-25

Para este último diagrama se aprecia que la dirección debe presentarse 20 ns antes de activar WE' y permanecer un mínimo de 200 ns. CS' tendrá que durar 150 ns y WE', 120 ns, y deberá levantarse, esta última línea, 10 ns antes de cambiar la dirección. Con respecto al dato, este tendrá que ser estable durante 60 ns como mínimo antes de que suba WE' y permanecer 15 ns adicionales después de que esta haya subido.

Para lograr cumplir con los estados de las líneas y sus tiempos, para cualquier tipo de muestreo, se requerirá de un dispositivo secuencial cuyos eventos se presenten en forma repetitiva debido a señales externas con un pleno control del inicio, la secuencia y la terminación de los mismos.

De manera de facilitar el diseño y la explicación del mismo, este se dividirá en tres partes:

- Proceso de Lectura y Escritura en Memoria.
- Control del Inicio, Secuencia y Terminación.
- Proceso de envío de datos al PUERTO DE E/S.

### Proceso de Lectura y Escritura en Memoria.

El diagrama esquemático sería:

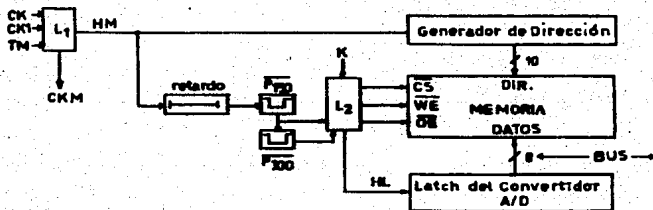


FIGURA 3-26. ESQUEMA DEL CIRCUITO PARA LECTURA Y ESCRITURA EN MEMORIA.

El proceso debe de activarse por cualquiera de las señales CK,CK1 o TM. La tabla 3-11 muestra la relación entre las entradas y las salidas de L1.

CK	CK1	TM	CKM	HM
L	L	L	L	L
L	L	H	H	H
L	H	L	L	H
H	L	L	H	H

TABLA 3-11

las condiciones restantes no se presentan dado que los procesos de generación de CK,CK1 y TM son mutuamente excluyentes, de esa manera

$$CKM = CK + TM$$

$$HM = CK + CK1 + TM$$

Los tiempos de Escritura y Lectura lo darán monostables y sus salidas se designarán por P150 y P300 respectivamente. Los valores necesarios de R y C para obtener los pulsos mediante los monostables se obtienen de las gráficas dadas en las hojas de datos para cuando  $R=5.6K\Omega$ . En el caso del pulso de duración de 300 ns, cuyo valor no es crítico, se selecciona  $R=5.6K\Omega$  y  $C=100$  pF. Para el pulso de 150 ns, que debe ser más exacto, se considera un valor de capacitancia de 22 pF y se ajusta R entre 5 y 7  $K\Omega$ .

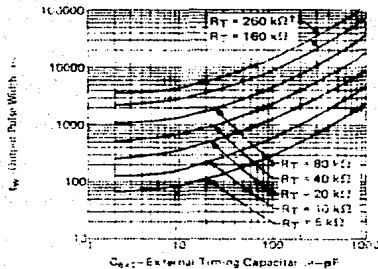


FIGURA 3-27

Se hará uso de una señal auxiliar "K", perteneciente a la segunda parte en que se divide este diseño, para indicar si el proceso es de Escritura (K=0) o de Lectura (K=1) en Memoria. Para L2 se tiene:

$\overline{P300}$	$\overline{P150}$	K	$\overline{CS}$	$\overline{WE}$	$\overline{OE}$	$\overline{HL}$
H	H	L	H	H	H	H
H	$\overline{150}$	L	$\overline{150}$	$\overline{150}$	H	$\overline{150}$
$\overline{300}$	H	L	H	H	H	H
$\overline{300}$	H	H	$\overline{300}$	H	$\overline{300}$	H
H	300	H	H	H	H	H

TABLA 3-12

de donde

$$\overline{WE} = \overline{P150} + K = \overline{HL}$$

$$\overline{OE} = \overline{P300} + \overline{K}$$

$$\overline{CS} = \overline{WE} \overline{OE}$$



El circuito que realiza el proceso de Lectura y Escritura es

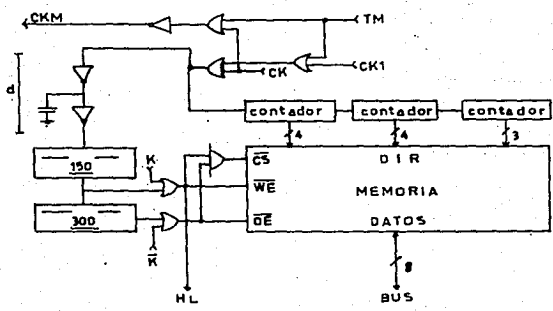


FIGURA 3-28. ESQUEMA DEL CIRCUITO DE LECTURA Y ESCRITURA.

Cada una de las partes que lo constituyen tienen retardos intrinsecos que deben considerarse, los valores tipicos se describen a continuacion:

Dispositivo	$t_{pLH}$ (ns)	$t_{pHL}$ (ns)
OR	14	14
INV	9	10
AND	8	10
CONTADOR SINCRONO		
ck a Q <sub>A,B,C,D</sub>	16	24
ck a Ripple Clock	13	16
MONOSTABLE		
A a Q	23	
A a Q'		32
B a Q	23	
B a Q'		34

Todos los tiempos referidos para alcanzar el nivel de 1.3 V @  $R_L = 2 \text{ K}\Omega$  y  $C_L = 15 \text{ pF}$ .

De esa manera podemos saber el tiempo total que tarda el dispositivo en guardar una muestra desde que se da la señal CK hasta que se de el flanco ascendente de P150' (este será el peor caso, e indicará la máxima frecuencia con la que se podrán guardar las muestras).

$$\Sigma_{CK-P150} = 14+d+9+34+150=207+d$$

[a]

El valor de "d" está supeditado a la condición de que la dirección esté fija antes de que WE' se active (por lo menos 20 ns).

$$\Sigma T_{CK-DIR} = 14+16+16+24=70 \text{ ns}$$

$$\Sigma T_{CK-\overline{WE}} = 14+d+9+34+14=71+d \text{ ns}$$

restando las dos últimas expresiones:

$$71 + d - 70 = 20 \implies d = 19 \text{ ns}$$

se elige  $d=21$  ns para que junto con el inversor posterior forme 30 ns. De manera semejante a como se obtuvo el retardo en el GENERADOR DE DISPARO, se obtiene un valor de C igual a 349 pF. Este valor no es definitivo, el retardo deberá ajustarse en el laboratorio; experimentalmente se encuentra que es de 330 pF.

De la expresión [a], sustituyendo el valor de "d" se obtiene la máxima frecuencia de muestreo práctico para modo Periódico que resulta ser de 4 MHz (250 ns/muestra).

A continuación se muestran los diagramas de tiempos para el ciclo de Escritura, el de Lectura se presentará en la tercera sección del diseño para visualizar el comportamiento junto con otras líneas.

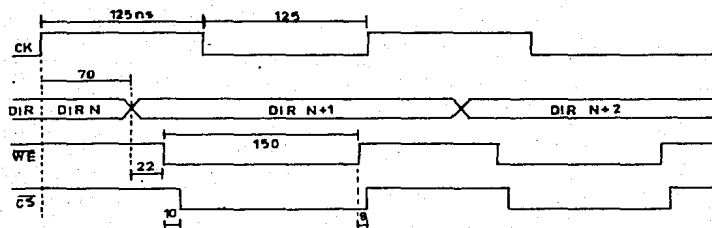


FIGURA 3-29

El diagrama se muestra con respecto a CK a la máxima frecuencia (peor caso); pero es válido para cualquier frecuencia de CK o intervalo de TM.

### Control de Inicio, Secuencia y Terminación.

El diagrama de Secuencia y Terminación es:

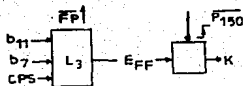


FIGURA 3-30

$b_{11}$  : bit 11 del Generador de dirección el cual indica que se han tomado 2048 muestras.

$b_7$  : bit 7 del Generador de dirección el cual indica que se han tomado 256 muestras.

LM' : Línea que inicializa al dispositivo.

Las líneas cumplen con las condiciones establecidas en la tabla 3-13

$\overline{LM}$	$b_{11}$	$b_7$	CPS	$\overline{FP}$
L	*	*	*	L
H	L	L	H	H
H	*	H	H	L
H	L	*	L	H
H	H	*	L	L

TABLA 3-13

es decir

$$\overline{FP} = \overline{(b_{11} + CPSb_7)} \overline{LM}$$

y

$\overline{LM}$	$B_{11} + CPSb_7$	$E_{FF}$
L	*	L
H	↑	$E_{FF}$

TABLA 3-14

que es la tabla de un flip-flop JK. Los circuitos que cumplen con las tablas, pueden observarse en el plano M4 del capítulo 4.

La señal 'K' se rige por la tabla:

$E_{FF}$	$\overline{P150}$	K
L	*	L
H	↑	H

TABLA 3-15

El diagrama de tiempos que muestra la relación entre las líneas TM,  $\overline{P150}$  ( $CK_{FF}$ ), K ( $S_{FF}$ ) y FP' se presenta a continuación.

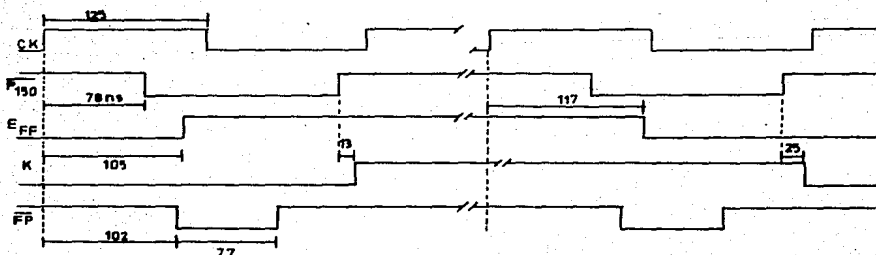


FIGURA 3-31. DIAGRAMA DE TIEMPOS DEL PROCESO DE SECUENCIA Y TERMINACION.

Se observa que serán necesarios dos pulsos FP' para que finalice todo el proceso. El primer pulso FP', indica la terminación del Proceso de Escritura y, el segundo, la terminación del Proceso de Lectura.

Por otra parte, el diagrama de Inicio es:

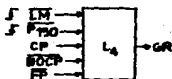


FIGURA 3-32

CP: Es la instrucción que indica al dispositivo CONTROL cuando iniciar la adquisición de las muestras, es un pulso que deberá de almacenarse para uso posterior.

GR: Indica al GENERADOR DE DISPARO cuando debe ejecutar un Trigger.

su tabla de verdad se muestra a continuación:

CP	$\overline{\text{BOCP}}$	$\overline{\text{P150}}$	$\overline{\text{FP}}$	GR
*	*	*	L	L
*	*	*	L	L
H	L	H	H	L
H	↑	H	H	$\frac{100}{100}$
H	H	↑	H	$\frac{100}{100}$

TABLA 3-16

De la tabla se observa que los pulsos GR, proporcionados por un monostable, aparecerán si se da un flanco ascendente de BOCP' y se haya presentado el comando CP (lo anterior evita conflictos eléctricos en el BUS), con lo cual se iniciará el proceso iterativo muestrear-guardar dato. Además, los pulsos GR podrán también generarse mediante los flancos ascendentes de la señal Piso'. Lo anterior es fácil de implementar utilizando un monostable 74LS123 cuyo trigger sea la señal Piso' y la entrada CLR (activo bajo) sea controlado por CP, BOCP' y FP'.

La manera más fácil de lograr este control se muestra a continuación:

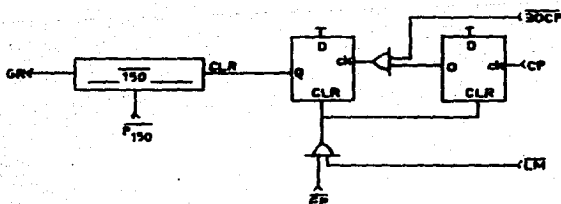


FIGURA 3-33

Como se observa, la condición CP se guarda, y la línea CLR del monostable se desactiva cuando BOCP' va a alto y se activa en el momento en que FP' es bajo.



## Proceso de Envío de Datos al Puerto de Entrada/Salida.

Los diagramas son:



FIGURA 3-34

BI: Bandera de Interrupción por medio de la cual el PUERTO indica al CONTROL que se está enviando un dato a la INTERFAZ por lo que no puede aceptar otra generador de interrupción.

DL: Comando que indica al Latch del PUERTO tomar el dato que se encuentra en el BUS.

GIN: Comando con el que el CONTROL le pide al PUERTO generar una interrupción.

La tabla para L5 es

K	BI	CK1
L	*	L
H	L	L
H	H	H

TABLA 3-17

y para L6

K	$\overline{P150}$	DL	GIN
L	*	$\underline{L}$	$\underline{H}$
H	$\uparrow$	$\underline{L}$	$\underline{H}$

100 ns.

TABLA 3-18

la primera es una condición AND y la segunda se implementa con un monostable ( $R=5.6K\Omega$ ,  $C=100$  pF). Los diagramas de tiempo de las señales DL y GIN y su relación con las líneas de Lectura en Memoria se muestra a continuación:

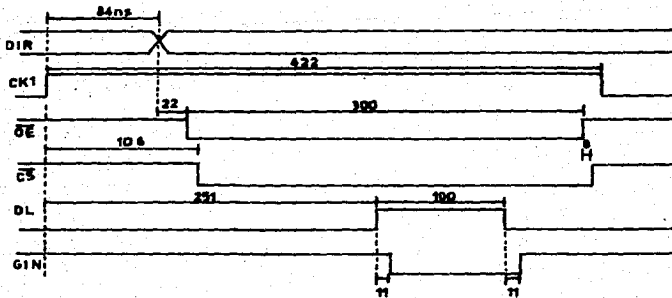


FIGURA 3-35. DIAGRAMA DE TIEMPOS MOSTRANDO EL CICLO DE LECTURA Y EL PROCESO DE ENVIO DE DATOS AL PUERTO DE ENTRADA/SALIDA.

Por último, de manera de mostrar la interacción entre las líneas de los dispositivos GENERADOR DE DISPARO, GENERADOR DE PULSO DE MUESTREO y CONTROL Y MEMORIA en el muestreo de tipo secuencial, se muestra la figura 3-36.

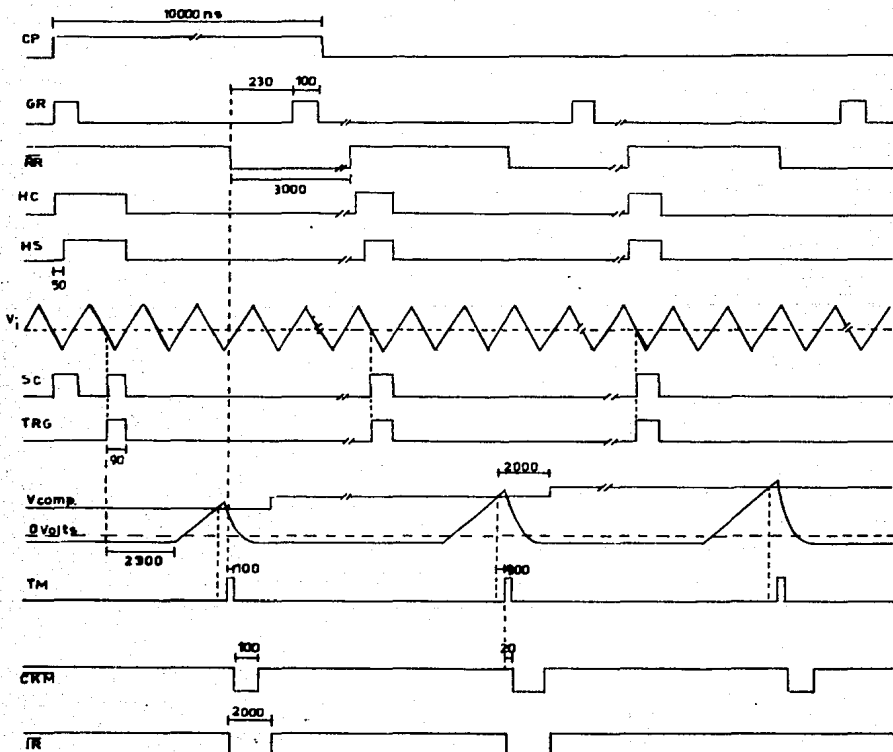


FIGURA 3-36. PROCESO DE MUESTREO SECUENCIAL.

Resumiendo, al recibir el dispositivo CONTROL Y MEMORIA el comando CP, para iniciar el proceso de muestreo, se genera un pulso GR que habilita al comparador y al sensor (50 ns después) en el circuito GENERADOR DE DISPARO. Después de obtenerse un trigger válido, este es enviado al Generador de Rampa dentro del dispositivo GENERADOR DE PULSO DE MUESTREO. Como resultado del cruce de la rampa con el voltaje del comparación vigente se crea, después de 600 ns, un pulso TM, el cual es enviado al dispositivo CONTROL Y MEMORIA para fines de adquisición de una muestra de la señal de entrada, lograr el almacenamiento del dato anterior y generar un pulso GR que repita de nuevo la secuencia.

Las fotografías de las figuras 3-37 y 3-38 muestran los ciclos de Lectura y Escritura en Memoria, las cuales cumplen con los tiempos especificados anteriormente.

Las señales de la figura 3-37 son, de arriba hacia abajo, P<sub>300</sub>' , WE' , CS' y el cambio en el bit 7 de la dirección de memoria; mientras que, los de la figura 3-38 son, de arriba hacia abajo: P<sub>300</sub>' , OE' , DL y GIN.

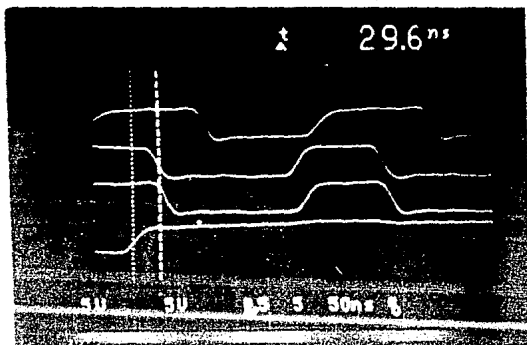


FIGURA 3-37. CICLO DE ESCRITURA EN MEMORIA.

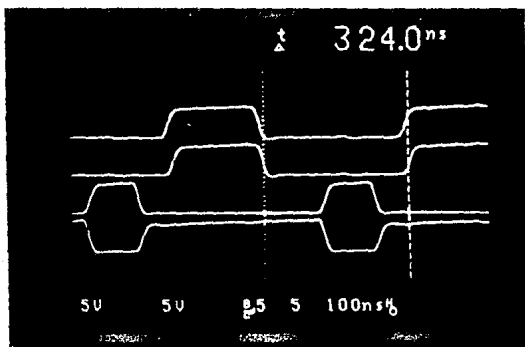


FIGURA 3-38. CICLO DE LECTURA EN MEMORIA.

### 3.3.5 CONVERTIDOR ANALOGICO A DIGITAL.

#### Operación del Dispositivo

La conversión tipo Flash es la técnica más rápida conocida para convertir una señal analógica a un código digital. La conversión es esencialmente instantánea dado que son utilizados comparadores separados para cada diferente código de salida. Al contrario de la simplicidad del proceso, contrasta con la gran cantidad de circuitos.

El convertidor utilizado MP7682 convierte la entrada analógica a una salida digital de 6 bits. Esto requiere tener  $2^N-1$  comparadores para el codificador y uno más para la señal de sobreescala, un total de 64 comparadores. Para propósitos prácticos, la operación del MP7682 es dividida en dos fases denominadas: "Auto balance" (fase 1) y "Entrada de la Muestra" (fase 2).

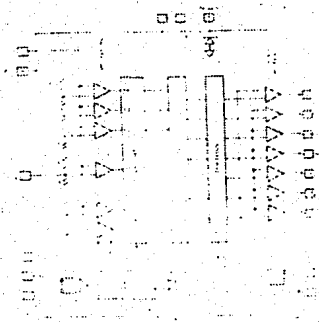


FIGURA 3-39. DIAGRAMA DE BLOQUES DEL MP7682.

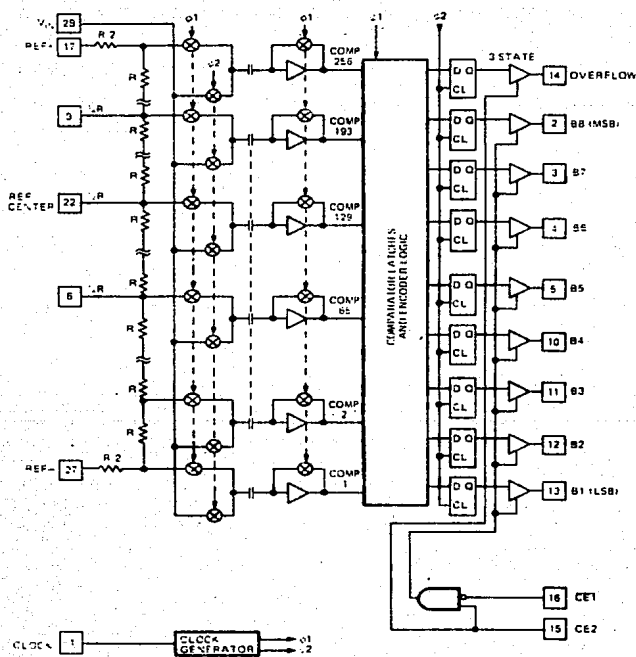


FIGURA 3-40. ESQUEMA DEL MP7684, CAD DE 8 BITS, PARA EJEMPLIFICAR EL FUNCIONAMIENTO DEL MP7682.

Durante la fase de "Auto Balance", interruptores CMOS conectan los 64 capacitores a los nodos correspondientes de la red de referencia. Al mismo tiempo, la unión del capacitor y la

entrada al comparador es corto circuitada con la salida del comparador. Esto resulta en una carga en el capacitor la cual es igual al voltaje analógico equivalente requerido para determinar el estado del comparador. El corto circuito entre la entrada y la salida del comparador mantiene al comparador en su punto de umbral.

Cuando el convertidor es conmutado a la fase de "Entrada de la Muestra" por el reloj, el conmutador que corto circuita al comparador es abierto y los capacitores son conectados de la red de referencia a la entrada analógica. Esto produce un voltaje a la entrada de cada comparador igual a la entrada analógica menos la carga en el capacitor. Por lo tanto, para cualquier entrada analógica entre cero y plena escala, algunos de los comparadores experimentarán un voltaje negativo en sus entradas y en consecuencia un estado bajo a su salida, los otros comparadores experimentarán un voltaje mayor o igual a cero y generarán un estado alto a su salida.

El estado de los comparadores es leído al final de la fase "Entrada de la Muestra" dentro de Latches y luego codificados en palabras de 6 bits. La palabra es entonces introducida a un registro con salida tres estados por el flanco descendente del reloj (final de la fase 2). Un retardo de 40 nseg llamado "Retardo Digital" ocurre antes de que la salida de los registros cambien.



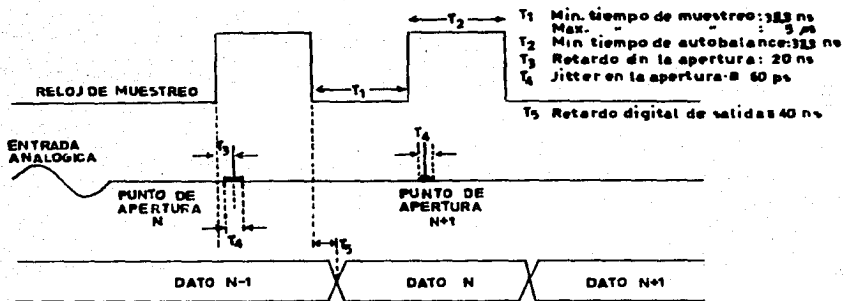


FIGURA 3-41. DIAGRAMA DE TIEMPOS.

La incertidumbre en el tiempo que ocurre en cambiar de la fase 1 a la fase 2 es conocida como incertidumbre en la apertura o jitter y determina la más alta frecuencia a la cual puede, sin ambigüedad, codificar dentro de una resolución dada el convertidor Flash. La incertidumbre en la apertura del MP7682 es de 60 picosegundos. Esta pequeña cantidad permite hasta una señal de entrada de 7.5 MHz de plena escala ser codificado con menos del 1 % de ambigüedad. Esta es la máxima frecuencia permitida por la teoría de Muestreo de Datos para un convertidor A/D de 15 MMPS. Es por esta razón que el convertidor MP7682 no requiere de un circuito de Muestreo y Retención S/H. El final de la fase 1 ocurre 10 nseg después de la transición del reloj. Este tiempo es llamado "Retardo en la Apertura".

Las salidas tres estados son controladas por dos señales habilitadoras las cuales permiten sacar los datos y el bit de sobreescala o mantener las líneas en alta impedancia.

El MP7682 es fácil de acoplar dada su alta impedancia de entrada (10 Megaohms y 50 pF en paralelo), y su amplio ancho de banda. La respuesta en frecuencia es plana a medio bms a la frecuencia de Nyquist por lo que no es necesario ninguna compensación a esta frecuencia o de su característica de fase.

Las secciones analógica y digital están alimentadas en forma separadas para facilitar el desacoplamiento.

El período del reloj determina la razón de muestreo y el ciclo de trabajo determina la fase de Entrada de la Muestra y la fase de Auto Balance. Cuando el reloj está en alto seguido del flanco ascendente el MP7682 está en "Auto Balance". Cuando el reloj es bajo seguido del flanco descendente el MP7682 está en "Entrada de la Muestra".

Para minimizar el ruido, las transiciones del reloj deberán ser lo más rápidas y libres de jitter que sea posible.

En cuanto a los controles, la tabla de verdad es mostrada a continuación:

CE <sub>1</sub>	CE <sub>2</sub>	B <sub>1</sub> -B <sub>6</sub>	OFW
0	1	Válido	Válido
1	1	Tercer Estado	Válido
X	0	Tercer Estado	Tercer Estado

TABLA 3-19

### 3.3.6 PUERTO DE ENTRADA/SALIDA

La función de este dispositivo es la de entablar comunicación entre la interfaz y el Osciloscopio de Muestreo de manera de programarlo y recuperar los datos adquiridos.

El esquema general es el de utilizar una Interfaz que ejecute el direccionamiento de diversos instrumentos de medición y de generación de señal, de tipo programable, para envío y recepción de datos, como lo muestra la figura 3-42.

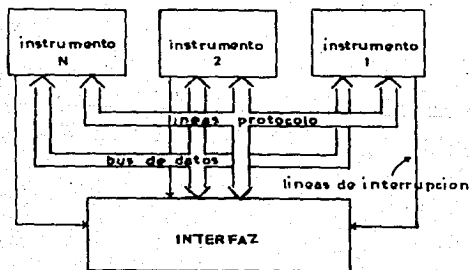


FIGURA 3-42

El puerto utiliza un protocolo establecido, es decir, su diseño es función de la tarjeta INTERFAZ.

La tarjeta INTERFAZ realiza la comunicación a través de un sistema de hand-shaking como el mostrado en la figura 3-43.

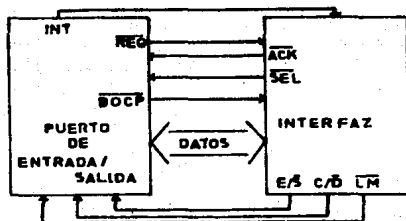


FIGURA 3-43

Además, la interfaz posee otras líneas auxiliares en el manipuleo de la información.

La descripción de las líneas es la siguiente:

- SEL': SELECCIONA'. [Activo bajo]. La línea SEL indica que se está seleccionando al Puerto cuya dirección aparece en el bus de datos de manera de establecer comunicación con él.
- E/S': ENTRADA DATO'/SALIDA DATO'. Indica la dirección del flujo de datos.
- C/D': COMANDO/DATO'. Indica el tipo de dato que va en el bus.

LM' : LIMPIADOR MAESTRO'. [Activo bajo]. Línea que inicializa a los instrumentos.

ACK' : RECONOCIMIENTO'. [Activo bajo]. Muestra que existe un dato válido en el bus para ser proporcionado o tomado por la interfaz.

REQ' : DEMANDA'. [Activo bajo]. Con esta línea el Puerto seleccionado indica que está listo para mandar o recibir datos.

BOCP' : BUS OCUPADO'. [Activo bajo]. Línea que indica la utilización del BUS por parte de alguno de los instrumentos. La interfaz no podrá atender a otra demanda de servicio proveniente de un instrumento con menor prioridad.

INT : [Activo bajo]. Demanda de interrupción de algún instrumento para enviar datos a la interfaz.

D<sub>0</sub>-D<sub>7</sub> : Bus de datos.

GND : Tierra digital.

El conector utilizado es el DB25N, la colocación de las líneas en él es:

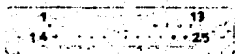


FIGURA 3-44

1 ACK'  
 2 REQ'  
 3 BOCP'  
 11 PS8 (INT)  
 12 SEL'  
 13 C/D'  
 14 GND  
 17 E/S'  
 18-25 D<sub>0</sub>-D<sub>7</sub>

Los diagramas de tiempos se muestran a continuación:

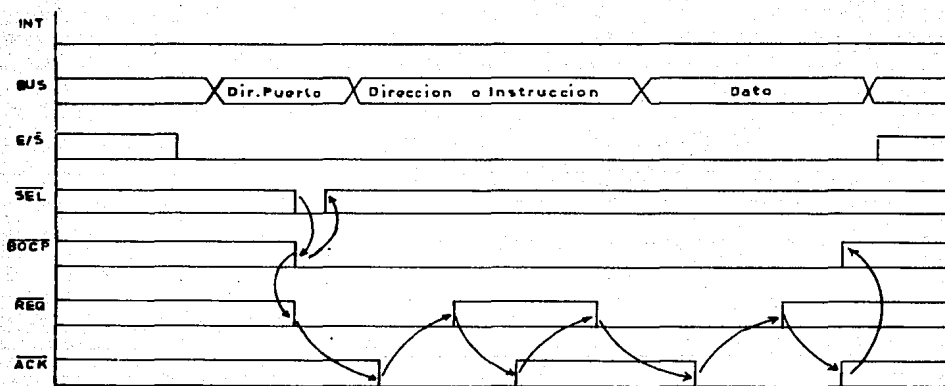


FIGURA 3-45. CICLO DE ENVIO DE DATOS DE LA INTERFAZ AL PUERTO.

En el ciclo de Entrada de Datos se establecen la siguiente secuencia de eventos:

1. La INTERFAZ selecciona al PUERTO colocando su dirección y activando la línea de SEL'.
2. Como resultado, el PUERTO responde colocando BOCF' en bajo y a su vez activa la línea de REQ'.
3. La INTERFAZ al reconocer REQ' bajo coloca en el BUS una instrucción o dirección y después

activa ACK'.

4. El PUERTO responde a ACK' leyendo la dirección y levantando REQ'.
5. ACK' se levanta al monitorear, la INTERFAZ, el estado alto de REQ' y espera a que baje REQ'.
6. Al bajar REQ', la INTERFAZ coloca un dato en el BUS y activa ACK'.
7. El PUERTO lee el dato y luego levanta REQ'.
8. Al monitorear REQ' en alto, la INTERFAZ levanta ACK'.
9. Finalmente, como respuesta a lo anterior, el PUERTO levanta BOCP' con lo que termina el proceso.



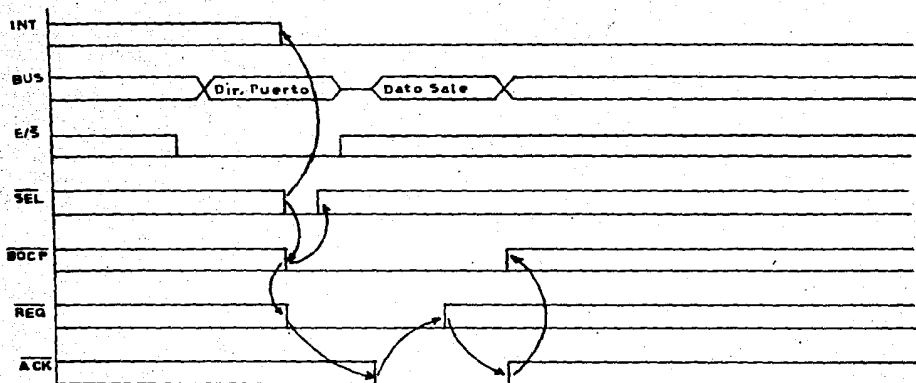


FIGURA 3-46. CICLO DE ENVIO DE DATOS DEL PUERTO A LA INTERFAZ.

En el ciclo de Salida de Datos se establece la siguiente secuencia de eventos:

1. El PUERTO levanta la línea de INT.
2. La INTERFAZ al monitorear en alto la línea INT, selecciona al PUERTO colocando su dirección y activando la línea SEL'.
3. El PUERTO responde colocando BOCF' en bajo y activando REQ'.
4. Al reconocer REQ' en bajo, la INTERFAZ activa ACK'.

5. Desde el momento en que ACK' es baja, el PUERTO pone el dato en el BUS y lo mantiene hasta que ACK' se levante.
6. El PUERTO coloca REQ' en alto.
7. La INTERFAZ después de haber leído el dato y tener REQ' en alto desactiva ACK'.
8. Por último, el PUERTO al estar ACK' en alto, levanta BOCP' con lo que termina el proceso.

#### **Diseño del Puerto de Entrada/Salida.**

El diseño del circuito se basa, fundamentalmente, en una Máquina de Estados Algorítmicos (ASM); sin embargo, debido a una modificación hecha al reloj, para que este se active bajo ciertas condiciones de las líneas de status en lugar de estar continuamente trabajando, el circuito funciona en forma asincrónica y no sincrónica como en un ASM formal. La decisión de hacerlo de esta manera, obedece al hecho de que así, el diseño es fácil de elaborar, e incluso, es más compacto. Otra ventaja es la de lograr una comunicación rápida.

Una vez aclarado lo anterior, comenzaremos definiendo, como en un ASM, el diagrama de flujo de estados de la siguiente manera:



El diagrama proporciona toda la información para el diseño, el subsistema de procesador de datos está especificado dentro de las cajas condicionales y de estados. La lógica de control está determinada por las cajas de decisión y las transiciones de estado requeridas. Como ya se dijo anteriormente, el reloj no va a monitorear a las líneas de status sino que las líneas de status van a activar o desactivar el reloj, y este solo se va a encargar de proporcionar la transición al siguiente estado o estados que a la vez van a cambiar la condición de las líneas de status. De esa manera, el reloj estará activo cuando se cumpla la condición:

$$\text{STATUS}_{\text{CK}} = (\overline{\text{ACK}} + \overline{T_3 + T_7}) (\text{BOCP}) (\overline{\text{ESP}})$$

donde ESP' cumple con la tabla:

$\overline{\text{BOCP}}$	$\overline{\text{ACK}}$	T <sub>1</sub>	T <sub>5</sub>	$\overline{\text{ESP}}$
H	*	*	*	H
L	L	*	*	H
L	H	L	↑	L
L	H	↑	L	L

TABLA 3-20

La expresión anterior indica que el reloj se activará cuando:

-Se entable la comunicación entre el PUERTO y la

**INTERFAZ**, indicado por **BOCP**.

- Se encuentre desactivada la línea **ACK'**, o mientras no se desactive **REQ'** después de haberse leído un dato o proporcionado un dato, indicado por los estados  $T_3$  y  $T_7$  y,
- La función **ESP'** este en nivel alto.

De lo anterior la secuencia de los ciclos de Entrada y Salida de datos con respecto al "reloj" del circuito secuencial sería:

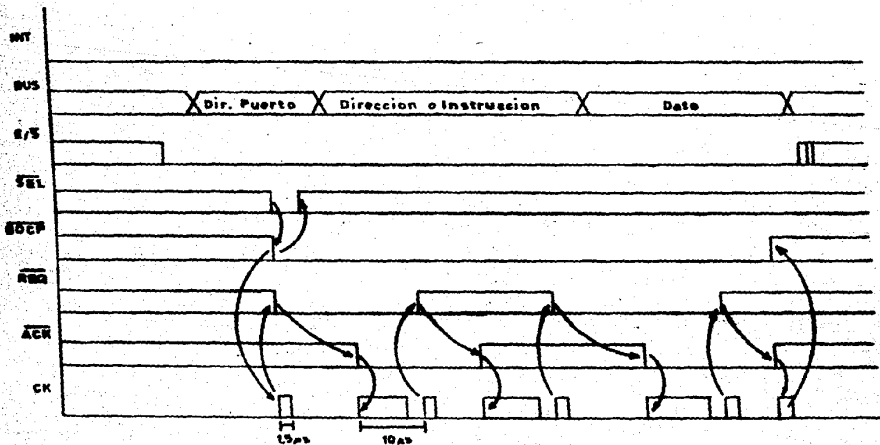


FIGURA 3-48. SECUENCIA DEL CICLO DE ENTRADA DE DATOS.

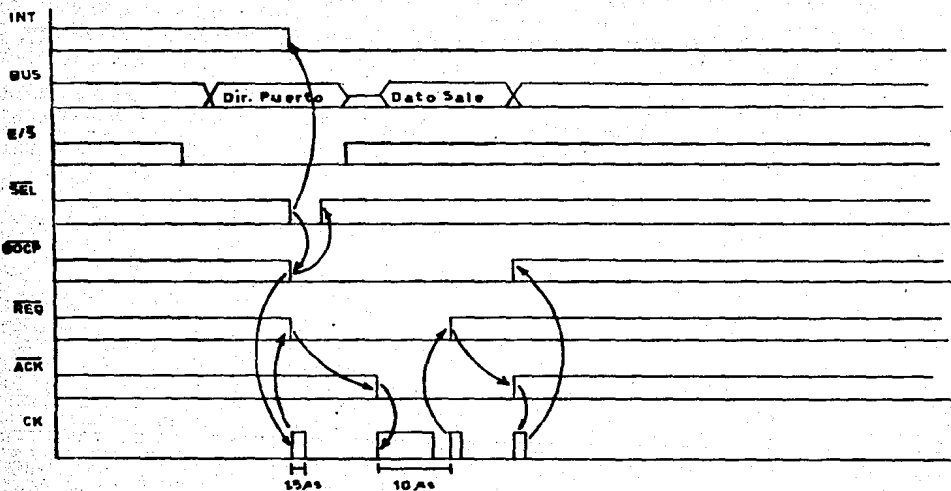


FIGURA 3-49. SECUENCIA DEL CICLO DE SALIDA DE DATOS.

El ASM se divide en dos partes: Lógica de Control y Procesador de Datos.

La lógica de control, para nuestro diseño, consiste tan solo de un registro de corrimiento de 8 bits que proporciona los estados  $T_1$  a  $T_8$ , como se aprecia en la figura 3-50.

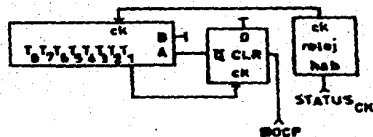


FIGURA 3-50. LOGICA DE CONTROL.

Como se aprecia, el circuito incluye un flip-flop (ff), el cual cumple con la función de cargar solamente un 1 lógico al registro de corrimiento al comenzar el proceso.

El procesador de datos se muestra a continuación:

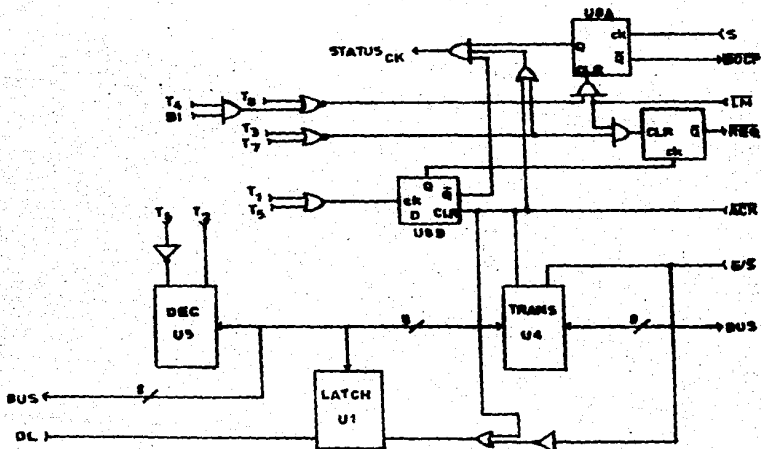


FIGURA 3-51. PROCESADOR DE DATOS.

Dado que se requiere mantener las líneas de protocolo altas o bajas y debido a la naturaleza cambiante de los estados T de acuerdo con la situación de las líneas de status, se hace necesario la utilización de ff cuya salida vaya de acuerdo con los estados T y las líneas externas del protocolo, como es el caso de los ff U8 y U3.

El ff U8 tiene dos propositos, mediante el primero activa la línea de REQ' a través del ff U3 y, en segundo lugar, tiene el papel de una línea de status monitoreando el estado de ACK'. En el caso del ff U3, este se encarga de mantener la línea REQ', alto o bajo, dependiendo de las líneas de estado T. En si, el objetivo de estos dos ff junto con las líneas de estado T, es el lograr que el PUERTO DE ENTRADA/SALIDA sea independiente del tiempo de ocurrencia en los cambios de estado de las líneas que realizan el hand-shaking (REQ' y ACK'), respetando la secuencia de los eventos.

Los circuitos U1, U4 y U5 se encargan de manipular los datos que entran y salen. U4 es un tranceptor al que se le indica el sentido de los datos en el bus mediante la línea E/S' y realiza el enlace entre el bus externo y el interno cuando se activa la línea de ACK'. U5 es un decodificador con memoria, el cual guarda la dirección a decodificar (con 1 lógico) y después se activa la línea resultante de la decodificación (con un 0 lógico). Este CI es el encargado de direccionar al dispositivo interno, llamese GENERADOR DE PULSO PROGRAMABLE, GENERADOR DE



DISPARO o CONTROL Y MEMORIA, para su programación, o bien, para ejecutar una instrucción.

El CI U1 es un latch que almacena temporalmente los datos obtenidos por el proceso de muestreo. Mediante la línea DL se carga el dato (DL es manipulada por el dispositivo CONTROL Y MEMORIA), y para que la INTERFAZ lo pueda leer será necesaria la condición ACK' +E'.

En el circuito anterior puede apreciarse la línea de status del reloj. De manera de resaltar la lógica necesaria para generarla, el esquema se repite en la figura 3-52, en ella se observa el efecto de monitoreo del ff USB.

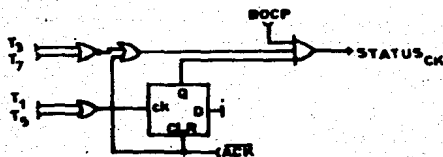


FIGURA 3-52

El ff USA es necesario para indicar el inicio y terminación del proceso de comunicación entre el PUERTO y la INTERFAZ mediante la generación de la línea BOCP' la cual se activa al existir la condición de selección del PUERTO (mediante el pulso S), y se desactiva ante la condición:

$$(\overline{\text{BIT}}_4 + T_8) \overline{\text{LM}}$$

### Condiciones para Promover el Inicio del Proceso.

Existen dos condiciones para promover el inicio del proceso. La primera involucra el envío de un dato de la INTERFAZ al PUERTO, y la segunda, es mediante la generación de una interrupción para demandar servicio a la INTERFAZ y poder enviar un dato del PUERTO a la INTERFAZ. Para lograrlo se requieren de dos circuitos: Un comparador de dirección y un generador de interrupción.

Mediante el comparador de dirección se monitorea a la línea SEL' y al bus de datos y se compara con la dirección asignada al PUERTO (80H). En el momento en que se establezca la condición:

$$S = (\overline{\text{SEL}}) D_7 \overline{D}_6 \overline{D}_5 \overline{D}_4 \overline{D}_3 \overline{D}_2 \overline{D}_1 \overline{D}_0$$

el proceso de comunicación se inicia.

Para generar una interrupción, se utiliza un circuito formado por lo CI U6 y U7 que establece las condiciones necesarias para enviar un dato a la INTERFAZ. Estas condiciones son:

<u>LM</u>	<u>GIN</u>	<u>BOCP</u>	<u>INT</u>
L	*	*	L
H	*	L	L
H	↑	H	H

TABLA 3-21

implementado por U6.

De manera de utilizar el mismo circuito que para recepción de datos, se utiliza el estado  $T_4$  para finalizar prematuramente la secuencia de eventos. Para ello se utiliza el ff U6B que almacena la condición de INT mediante la señal BI. Esta señal también tiene la función de controlar el proceso de leer los datos de la MEMORIA (BI=0), almacenarlos en un latch temporal U1 y detener el proceso hasta que haya sido leído por la interfaz (BI=1).

Debe hacerse la aclaración de que los circuitos para promover el inicio del proceso de comunicación no son parte del diseño del circuito secuencial asincrónico. En las figuras 3-53 y 3-54 se muestran las fotografías de los ciclos de Entrada y Salida respectivamente. En ambas, se muestran, de arriba hacia abajo, las líneas BOCP', REQ', ACK' y el "reloj" del circuito secuencial.

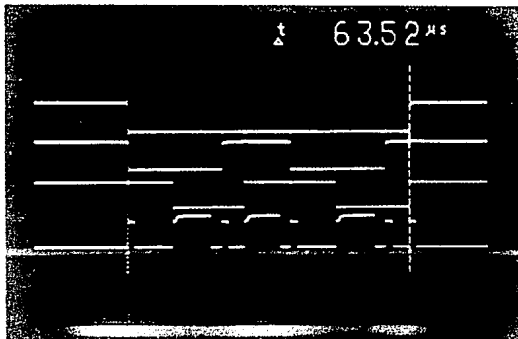


FIGURA 3-53. CICLO DE ENTRADA EN EL PUERTO.

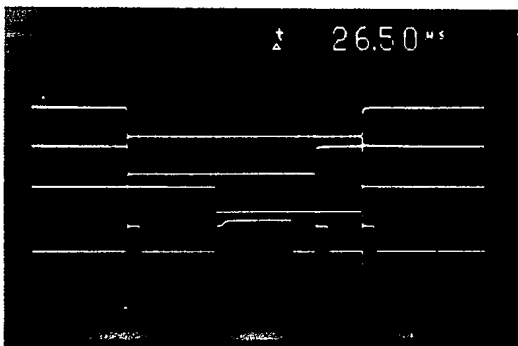


FIGURA 3-54. CICLO DE SALIDA EN EL PUERTO.

### Detalles Adicionales.

Todos los ff son inicializados por el comando LM', esta linea se activa tanto por software como por hardware.

Dado que el reloj del ASM tarda 1.5µseg en activarse y desactivarse y la generación del comando INT solo tarda 0.3 µseg es necesario retrasar la aparición de esta última por lo menos 2 µseg por lo que se añade un retardo adicional (U17), de manera de evitar conflictos en la comunicación.

Finalmente el CI U2 da la característica de alta impedancia de las líneas BOCP' y REQ' y actúa como buffer para estas y las líneas ACK', E/S', LM' y PS8 (INT).

## CAPITULO 4

### RESULTADOS SOBRE EL DESARROLLO DEL SISTEMA DE ADQUISICION DE DATOS.

#### INTRODUCCION

Se consideran como parte de los resultados, a los siguientes puntos:

- Tabla de Especificaciones.
- Programación del Sistema.
- Diagramas eléctricos.
- Gráficas obtenidas con los datos adquiridos.
- Problemas encontrados.

La primera, proporciona las especificaciones que caracterizan al sistema, ya sea que se hayan cuantificado en el laboratorio, ó en forma teórica en el caso de no contar con el equipo especializado para realizar la medición de parámetros como Jitter ó exactitud en el disparo.

La segunda parte reúne los circuitos electrónicos, es decir, el diseño final del hardware. En la tercera se presentan las gráficas elaboradas con los datos adquiridos con el Sistema, y,

en la última parte, se hace una exposición de los problemas que se presentaron a lo largo del diseño, incluyendo algunas alternativas de solución.

#### 4.1 ESPECIFICACIONES

El Sistema de Adquisición de Datos desarrollado, como parte de la creación de un Osciloscopio de Almacenamiento Digital, reúne las siguientes características:

Sistema Vertical	
Característica	Valor
Resolución	6 bits, 6 niveles/división.
Ruido (RMS)	aproximadamente 4 mV.
$\frac{S}{R}$	36 dB
Cuantización	
Razón de Muestreo	definido por la programación de TIME/DIV.
Ancho de Banda Analógico: Acoplamiento en AC	10 Hz a 7.5 MHz dentro de $\pm 3$ dB.
Ancho de Banda de almacenamiento útil:	
Respuesta a una onda senoidal: Muestreo Periódico (2.5 Muestras)	1.6 MHz
Muestreo Secuencial (10 Muestras)	50 MHz equivalente.
Respuesta al Pulso:	

Muestreo Periódico (7 Muestras) 570 KHz  
Muestreo Secuencial (25 Muestras) 20 MHz equivalente.

Rise Time (analógico) 35 ns.

Rise Time de Almacenamiento Util:  
Muestreo Periódico 400 ns.  
Muestreo Secuencial 3.2 ns.

RC de entrada 1 Megaohm  $\pm 2\%$   
18 pF  $\pm 3\%$

#### Disparo

Sensitividad 2 mVolts.

Jitter  $\pm 1/2$  periodo de muestreo.  
Jitter entre el reloj de Muestreo y el trigger asincrono, en el tipo de Muestreo Secuencial.

#### Sistema Horizontal

Razón de barrido 200 mseg a 200 ns en pasos de 1-2-5.

S 20 dB, si el ancho de banda de la señal no es mayor de 10 veces el ancho de banda equivalente de la ventana de tiempo.  
-  
R  
Jitter

Técnicas de Digitalización Conversión Paralelo

Técnicas de Adquisición Random Repetitivo y Flash

Número de bits utilizados 6



En cuanto a los retardos existentes entre el trigger y el primer dato muestreado pueden encontrarse, aproximadamente, mediante las expresiones obtenidas en forma teórica y experimental:

Retardo en Muestreo Periódico=  $1/2$  Período del Reloj  
 + 455 nseg.

Retardo en Muestreo Secuencial=  $T_E$  de la rampa  
 + 1065 nseg.

$T_E$	TIME/DIV
350 nseg	20 nseg
350 nseg	50 nseg
350 nseg	.1 $\mu$ seg
1090 nseg	.2 $\mu$ seg
1235 $\mu$ seg	.5 $\mu$ seg
2300 $\mu$ seg	1. $\mu$ seg

TABLA 4-1

## 4.2 PROGRAMACION DEL SISTEMA

### CONDICIONES EXISTENTES AL MOMENTO DE PROBAR EL SISTEMA

Para la prueba, los dispositivos son ajustados para satisfacer las especificaciones a una temperatura ambiente de aproximadamente 27 grados Celsius, dejando que alcancen el equilibrio térmico por el lapso de un hora.

Dado que no se cuenta con el tarjeta INTERFAZ, que realiza la comunicación entre el Sistema de Adquisición y la PC (la tarjeta se encuentra en proceso de desarrollo por parte de otro tesista), se utilizará un dispositivo que la emula en forma muy primitiva, activando y desactivando las líneas de "hand-shaking" conforme se lo pida el PUERTO, e introduciendo los datos para la programación a base de colocar, manualmente, unos y ceros mediante interruptores. Los datos que manda el PUERTO son desplegados en código binario mediante el uso de diodos emisores de luz.

Como ya se dijo en el capítulo 2 bajo el título de LIMITACIONES, la señal de entrada debera ser una señal de alterna, con una amplitud máxima de 2 Vpp y, dado las características del GENERADOR DE DISPARO, para el Muestreo de tipo Secuencial el cruce por cero de la señal deberá estar bien definido, es decir, no contendra mas de 2 cruces por cero durante un período.

## PROGRAMACION

La programación del sistema es muy sencilla, unicamente necesitan enviarse la siguiente secuencia de palabras:

01H	Dirección para programar el GENERADOR DE DISPARO y el GENERADOR DE PULSO DE MUESTREO.
02H	Inicializa a los dispositivos.
01H	Dirección para programar el GENERADOR DE DISPARO y el GENERADOR DE PULSO DE MUESTREO.
VR FF c b a CPS $\overline{LI}$	Palabra que programa a los dispositivos con dirección 01H.
02H	Comando para iniciar el Proceso de Muestreo.

VR, c, b, a, y CPS son elegidos de la tabla 4-2 según el TIME/DIV en el que se desea presentar las muestras, o si por el contrario se desea obtener un  $\Delta t$  específico entre muestras y saber cuantos datos serán desplegados, la tabla 4-3 es útil.

VR	c b a	CPS/PPP'	TIME/DIV
*	0 0 0	0	2 mseg
*	0 0 1	0	1 mseg
*	0 1 0	0	.5 mseg
*	0 1 1	0	.2 mseg
*	1 0 0	0	.1 mseg
*	1 0 1	0	50 $\mu$ seg
*	1 0 1	0	20 $\mu$ seg
*	1 0 1	0	10 $\mu$ seg
*	1 0 1	0	5 $\mu$ seg
*	1 0 1	0	2 $\mu$ seg
0	0 0 0	1	1 $\mu$ seg
0	0 0 1	1	0.5 $\mu$ seg
0	0 1 0	1	0.2 $\mu$ seg
0	0 1 1	1	0.1 $\mu$ seg
1	0 1 1	1	50 nseg
1	0 1 1	1	20 nseg

TABLA 4-2

$\Delta t$ entre muestras	No. Muestras desplegadas	TIME/DIV
10 $\mu$ seg	2000	2 mseg
5 $\mu$ seg	2000	1 mseg
2.5 $\mu$ seg	2000	.5 mseg
1 $\mu$ seg	2000	.2 mseg
500 nseg	2000	.1 mseg
250 nseg	2000	50 $\mu$ seg
250 nseg	800	20 $\mu$ seg
250 nseg	400	10 $\mu$ seg
250 nseg	200	5 $\mu$ seg
250 nseg	80	2 $\mu$ seg
40 nseg	250	1 $\mu$ seg
20 nseg	250	0.5 $\mu$ seg
8 nseg	250	0.2 $\mu$ seg
4 nseg	250	0.1 $\mu$ seg
2 nseg	250	50 nseg
2 nseg	100	20 nseg

TABLA 4-3

En cuanto a la localidad PE, esta se escoge para que el proceso de muestreo se inicie en la pendiente positiva, si es lógico, o en la negativa, si es 0 lógico.

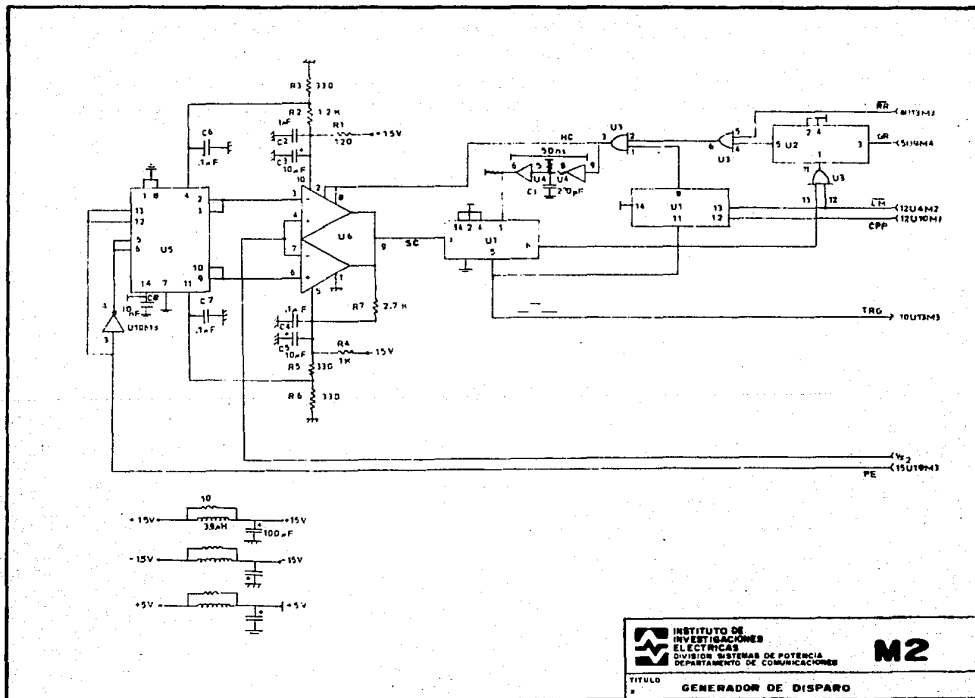
#### 4.3 DIAGRAMAS ELECTRICOS.

Los diagramas eléctricos completos se muestran en las siguientes páginas, e incluyen al circuito que emula el comportamiento de la interfaz (en cuanto al protocolo), necesario para la programación y recuperación de los datos adquiridos y almacenados en memoria RAM.

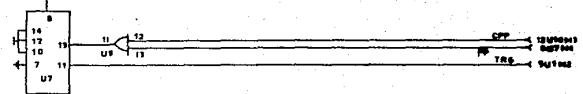
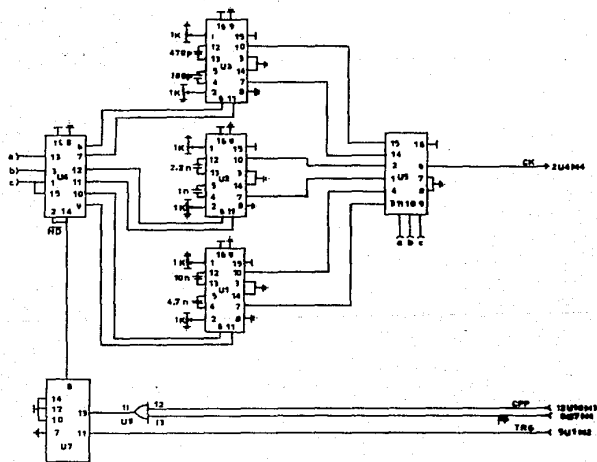
LISTA DE INTEGRADOS Y TRANSISTORES UTILIZADOS EN LOS CIRCUITOS

M1	M3	M4	M6
Q1-Q6 y de	U1 74LS629	U1 74LS74	U1 74LS373
Q9-Q12:	U2 74LS629	U2 74LS08	U2 74LS367
SF1035	U3 74LS629	U3 74LS74	U3 74LS74
	U4 74LS155	U4 74LS32	U4 74LS245
Q7 y Q13:	U5 74LS151	U5 74LS191	U5 MC14514B
SK3029	U6 74LS123	U6 74LS191	U6 74LS74
	U7 74LS74	U7 74LS04	U7 7411
Q8 y Q14:	U8 74LS08	U8 74L1232	U8 74LS74
SK3028	U9 MC14052B	U9 74LS123	U9 555
	U10 74LS04	U10 74LS08	U10 74LS164
	U11 LM311	U11 HM6116LP-2	U11 74LS02
	U12 LF347	U12 74LS191	U12 74LS08
	U13 74LS123	U13 74LS123	U13 74LS04
M2	U14 74LS191		U14 74LS86
	U15 74LS191	M5	U15 74LS86
U1 74LS74	U16 DAC0800		U16 74LS32
U2 74LS74	U17 MC14016	U1 MP7682KJN	U17 74LS123
U3 74LS08	U18 TL082	U2 74LS373	
U4 7417	U19 74LS373		
U5 MC14016	Q ECG 458		
U6 LM711			

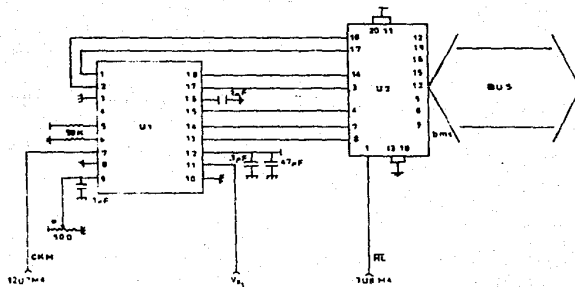








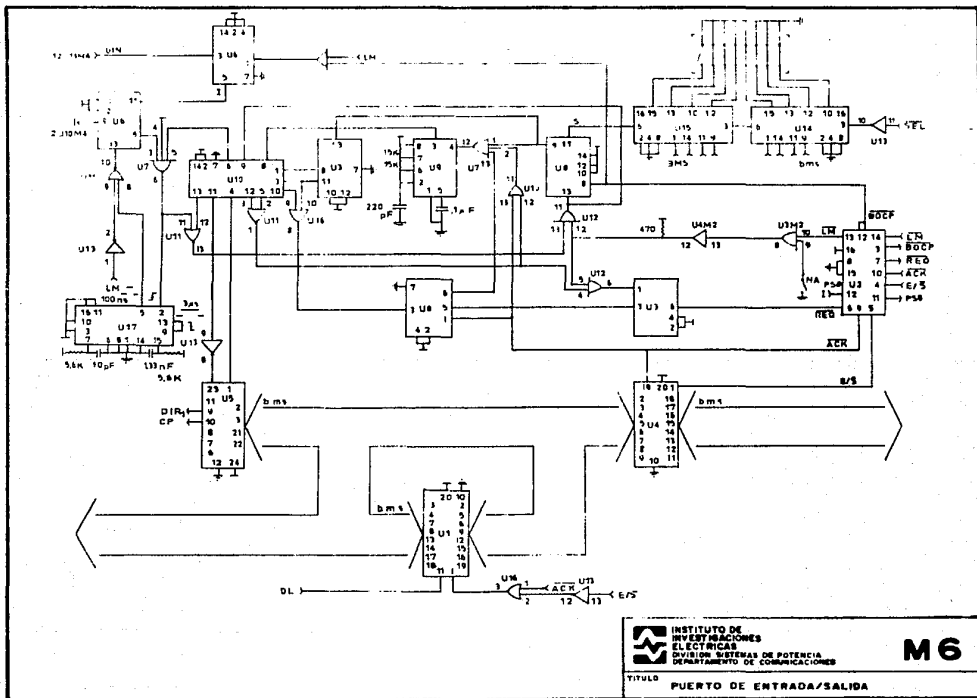




INSTITUTO DE  
 INVESTIGACIONES  
 ELECTRICAS  
 DIVISION SISTEMAS DE POTENCIA  
 REPORT N° 107 DE COMERCIAL-1982

**M5**

TITULO CONVERTIDOR ANALOGICO/DIGITAL







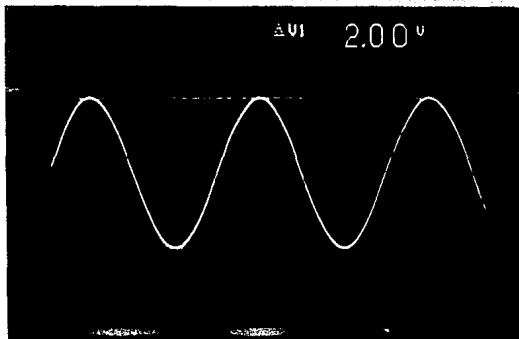
#### 4.4 GRAFICAS.

Las gráficas que se van a mostrar, fueron realizadas utilizando un programa en lenguaje FORTRAN VAX y comandos PAGRA (referencia 17), con los datos obtenidos mediante el Sistema, de Adquisición. En ellos se muestra el comportamiento, tanto para el Muestreo Periódico, como para el de tipo Secuencial. La señal de prueba a la entrada es, en todos los casos, una onda senoidal de 2 Vpp en la que se varía el período de manera de abarcar un ciclo en 100 muestras. Dicha señal se muestra en la figura 4-1.

Se hace la aclaración de que solo se han graficado los datos correspondientes al mayor y al menor intervalo de adquisición, para ambos tipos de muestreo. En el caso del Muestreo Periódico, el mayor intervalo de adquisición, 10  $\mu$ s, corresponde a una frecuencia de reloj de 100 KHz y el menor, 250 ns, a una frecuencia de 4 MHz. De esa manera, la gráfica de la figura 4-2 corresponde a una señal de prueba de 1 KHz, obtenida con el reloj de 100 KHz, mientras que la de la figura 4-3 es para una señal de 50 KHz obtenida con un reloj de 4 MHz.

Por otra parte, para el caso del muestreo secuencial el mayor intervalo de adquisición es de 40 ns, y el menor, de 2 ns. Así, las gráficas de las figuras 4-4 y 4-5 corresponden a una señal de prueba de 250 KHz para el mayor intervalo de adquisición y de 5 MHz para el menor intervalo respectivamente. Finalmente, en la figura 4-6, se presenta una señal de prueba a la frecuencia

de corte del Sistema de Adquisición, es decir, a 7.5 MHz.



**FIGURA 4-1. SEÑAL DE PRUEBA UTILIZADA  
CON 2 VOLTS PICO A PICO Y UN NIVEL DE DC DE 1.6 VOLTS.**



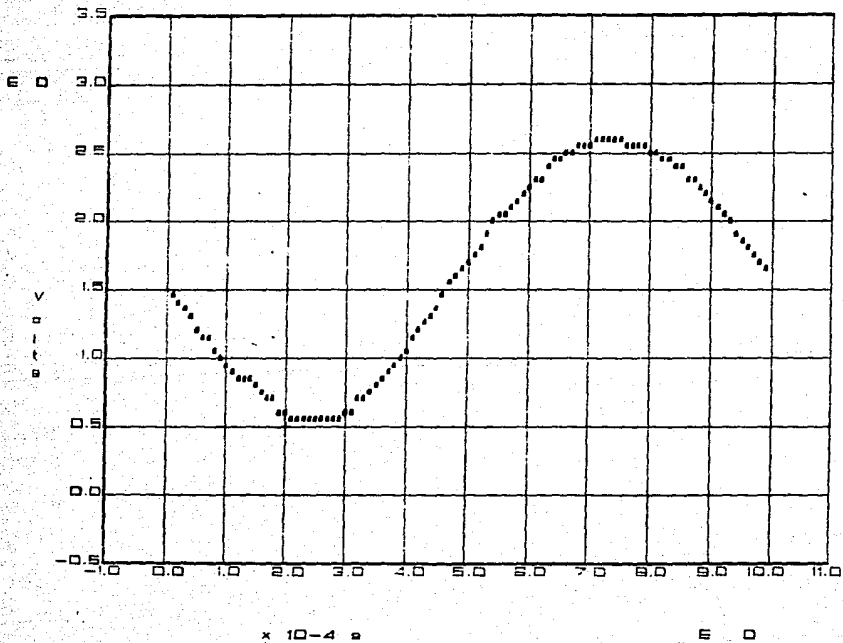
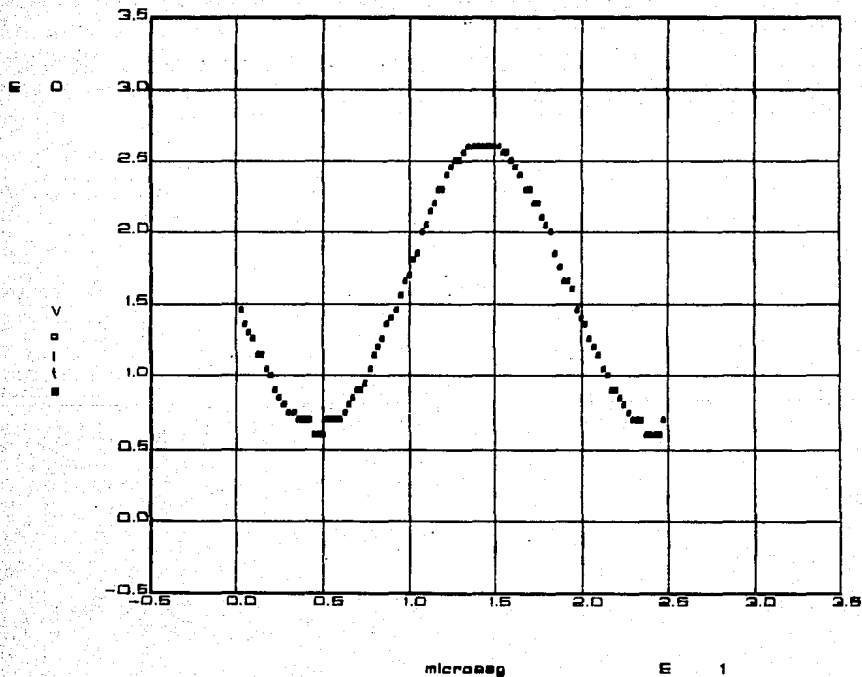


FIGURA 4-2. SEÑAL DE PRUEBA DE 1 KHZ  
 OBTENIDA CON LA TECNICA DE MUESTREO PERIODICO.  
 EL ESPACIAMIENTO ENTRE MUESTRAS ES DE 100 $\mu$ S.



**FIGURA 4-3. SEÑAL DE PRUEBA DE 50 KHZ  
 OBTENIDA CON LA TECNICA DE MUESTREO PERIODICO.  
 EL ESPACIAMIENTO ENTRE MUESTRAS ES DE 250 nS.**

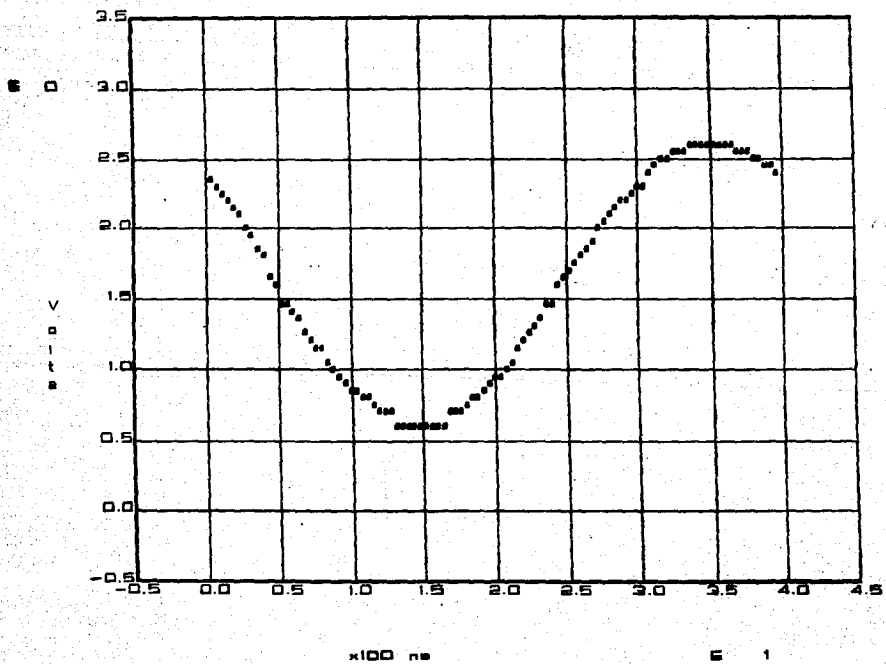


FIGURA 4-4. SEÑAL DE PRUEBA DE 250 KHZ  
 OBTENIDA CON LA TECNICA DE MUESTREO SECUENCIAL.  
 EL ESPACIAMIENTO ENTRE MUESTRAS ES DE 40 ns.

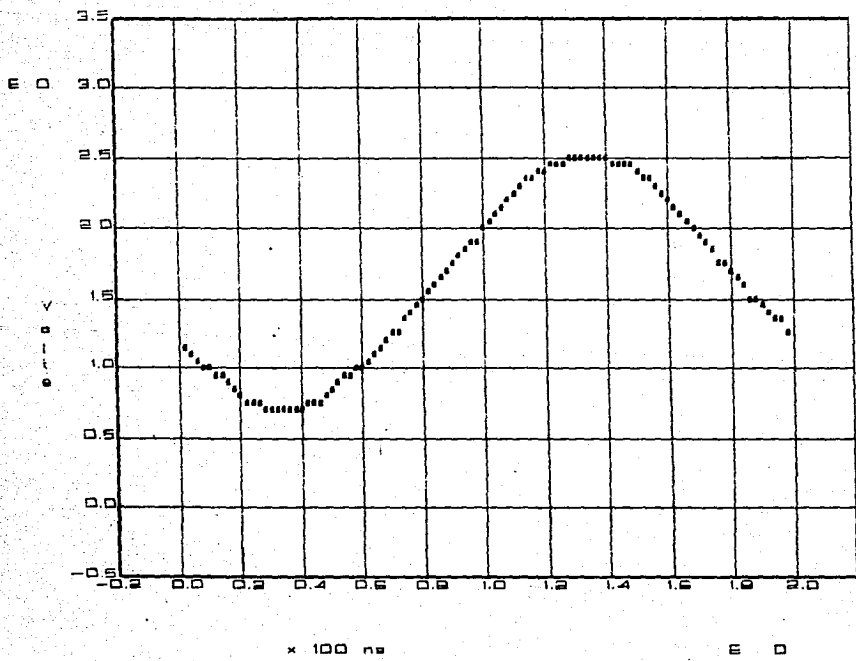


FIGURA 4-5. SEÑAL DE PRUEBA DE 5 MHZ  
 OBTENIDA CON LA TECNICA DE MUESTREO SECUENCIAL.  
 EL ESPACIAMIENTO ENTRE MUESTRAS ES DE 2 ns.

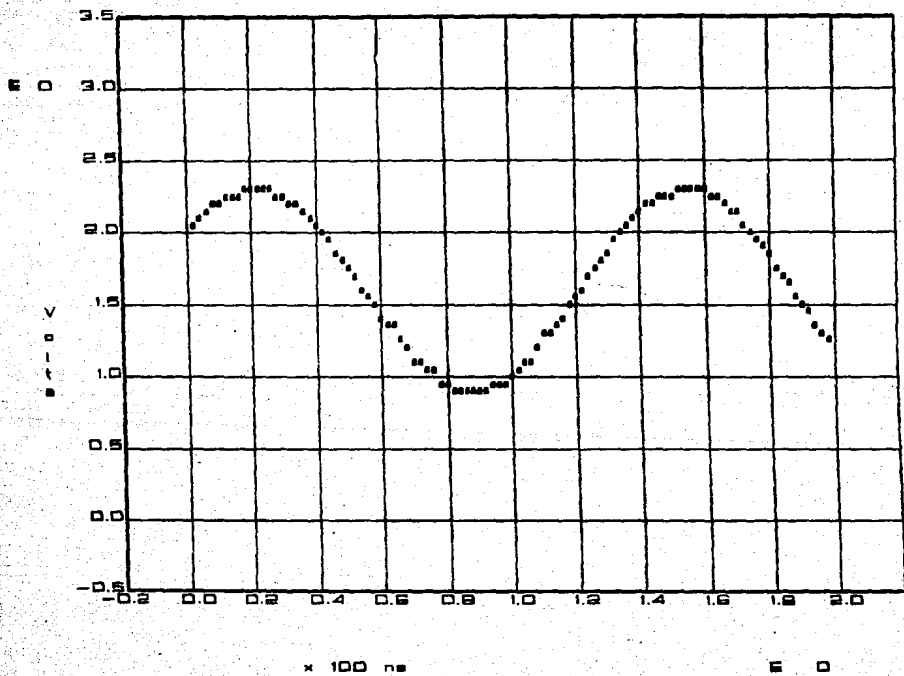


FIGURA 4-6. SEÑAL DE PRUEBA DE 7.5 MHz  
 OBTENIDA CON LA TÉCNICA DE MUESTREO SECUENCIAL.  
 EL ESPACIAMIENTO ENTRE MUESTRAS ES DE 2 ns.

#### **4.5 PROBLEMAS ENCONTRADOS.**

Dentro de los problemas encontrados, los más importantes son los relacionados con la alta frecuencia y la temperatura. A continuación se enuncian los problemas, su descripción y las posibles soluciones.

##### **ALTA FRECUENCIA.**

Dentro de los aspectos relacionados con alta frecuencia se encuentran los siguientes:

-Dado que se contaba con elementos de alta ganancia, como lo son los comparadores, y en general, con circuitería digital que introducía ruido a la parte analógica, fue necesario desacoplar la fuente de voltaje general de cada uno de los elementos generadores de ruido. Los filtros utilizados son arreglos LC. Lo anterior, sugiere utilizar fuentes de voltaje independientes, para la parte digital y para la parte analógica.

-Las tierras juegan un papel importante en la reducción de ruido. Se utilizó una configuración tipo estrella dentro de las mismas tierras, digital y analógica, como para unir a estas con la tierra de la fuente de alimentación.

-Los planos de tierra son recomendables, sobre todo en donde se presentan circuitos que pudiesen perturbar a la señal de entrada o introducir ruido que afecte el valor final de la cantidad muestreada.

#### **TEMPERATURA.**

Debido a la variación de los elementos con la temperatura, existen problemas relacionados con el corrimiento en el momento de tomar la muestra. Este caso se presenta en la generación del pulso de muestreo para el tipo de Muestreo Secuencial, ya que existe una variación de la pendiente de la rampa con la temperatura. Esto se corrige mediante un circuito adicional que considere el promedio de la razón de variación del voltaje con la temperatura, de todos los elementos necesarios para lograr la rampa, y logre reducir su efecto ejerciendo una variación igual y de sentido opuesto. La forma más sencilla de realizar lo anterior es alterando el voltaje a integrar. Por ejemplo, utilizando un componente que inyecte corriente en forma lineal dependiendo de la temperatura (como el AD590), y luego convertir esta corriente a voltaje mediante un factor resistivo de manera que se obtenga la variación de voltaje con respecto a la temperatura deseada.

## JITTER

Si se considera que el circuito alcanzó una temperatura estable, desde el momento en que es elegido el punto de disparo sobre la señal de entrada, hasta que es tomada la muestra por el CONVERTIDOR A/D, existe un lapso de tiempo promedio, más una incertidumbre asociada o jitter.

Este jitter podrá ser reducido utilizando elementos con baja variación con respecto a la temperatura, como son resistencias de película metálica, capacitores de mica o poliéster, referencias de voltaje y fuentes de voltaje con buena regulación.



## CONCLUSIONES

## CONCLUSIONES

En un principio, la idea original con la que se planteó esta Tesis fue, la de elaborar un Osciloscopio de Muestreo combinando las ventajas de un Sistema de Adquisición de Datos, con la versatilidad de la programación en lenguaje de alto nivel para el procesamiento, análisis y presentación de estos. Con lo anterior, el diseño del hardware se reduce notoriamente, el análisis de la información se incrementa en forma potencial y el instrumento deja de ser un medio tan solo para obtener datos.

Sin embargo, debido a la extensión del trabajo, se decidió realizar unicamente el Sistema de Adquisición de Datos en forma especifica para reunir el mayor número de muestras en la ventanas de tiempo de secuencia 1-2-5.

Observandose las limitaciones, sobre todo de tiempo, se llegó a elaborar un diseño que reunía las características citadas, obteniendose resultados satisfactorios pero aún lejos del objetivo inicial.

Existen problemas que, con los conocimientos adquiridos, pueden resolverse y, sin lugar a dudas, mejorar el diseño original. Tal es el caso del GENERADOR DE DISPARO, que en su diseño actual no permite muestrear señales con gran contenido de cruces por cero, o el retardo debido a guardar una muestra en Memoria, que puede reducirse cambiando la arquitectura del proceso ya sea con un circuito secuencial asincrono y Memoria distribuida o utilizando un PPCCD.

Como conclusión final, se considera que este trabajo cumplió con los objetivos citados en el Capítulo 2 y aún más, pues creó estímulos para la creación de sistemas de instrumentación de acuerdo con la filosofía de la Medición Automatizada.

**APÉNDICES**

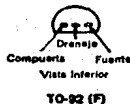
## APENDICE A

### CARACTERISTICAS DE LOS TRANSISTORES UTILIZADOS EN LOS DESACOPLADORES.

SF1035

FET CANAL P (RF)

$V_{(BR)G_{SS}}$	40V
$V_{DS}$	40V
$I_D$	20mA
$I_{D_{SS}}$	0.5-14mA
$I_{G_{SS}}$	10 $\eta$ A
$ Y_{fs} $	800-6000 $\mu$



SK3025

E B C

TBJ PNP



$V_{EBO}$	-7V
$V_{CEO}$	-80V
$V_{CBO}$	-90V
$\beta$	100 min
$I_c$	1A
$P_D$	7W
$f_T$	100MHZ

SK3024

TBJ NPN

$V_{EBO}$	7V
$V_{CEO}$	80V
$V_{CBO}$	120V
$\beta$	100 min
$I_c$	1A
$P_D$	5W
$f_T$	150MHZ

ECG 458

D G S

J FET CANAL N



VBGSX 50V

ID<sub>ss</sub> 1-3mA

IG 10 mA

PD 250 mW

GFS 12K  $\mu$ MHO

VG(OFF) 0.5-1.5V

## APENDICE B

Este es un resumen de las líneas y comandos utilizados a lo largo de este trabajo, indicándose su situación dentro del diseño.

### -LINEAS Y COMANDOS DEL GENERADOR DE DISPARO.

HC : Activo alto. Comando que indica habilitar el comparador.

SC : Indica el estado en la salida del comparador.

TRG : Pulso [110 ns]. Flanco ascendente. Indica el inicio de la(s) adquisición(es) de la(s) muestra(s).

### -LINEAS Y COMANDOS DEL GENERADOR DE PULSO.

$b_7$  : bit 7 del Generador de dirección el cual indica que se han tomado 256 muestras.

$b_{11}$  : bit 11 del Generador de dirección el cual indica que se han tomado 2048 muestras.

c,b,a : Datos que indican la ventana de tiempo sobre la que se presentarán las muestras. Los valores se muestran en la tabla 3-10.

CK : Reloj que produce los comandos CKM en el muestreo de tipo periódico.

TM : Pulso [100 ns]. Produce los comandos CKM en el muestreo de tipo secuencial.

CPS : Comando que indica el tipo de muestreo. Nivel alto si es secuencial o nivel bajo si es periódico.

HD' : Activo bajo. Comando que habilita al VCO selecc.

IR' : Pulso [2  $\mu$ s]. Activo bajo. Suprime la rampa después de que el pulso TM ha sido generado.

LI' : Activo bajo. Su función es la de inicializar el retardo a cero.

PE : Indica al GENERADOR DE DISPARO crear un pulso en la pendiente positiva, nivel alto, o en la pendiente negativa, nivel bajo.

RR' : Pulso [3  $\mu$ s]. Activo bajo. Indica al GENERADOR DE DISPARO, que el dispositivo no se encuentra listo.

VR : Con ello se selecciona el Voltaje de Referencia del convertidor Digital/Analógico; nivel bajo para 5.12 Volts y nivel alto para 10.24 Volts.

#### -LINEAS Y COMANDOS DEL DISPOSITIVO CONTROL Y MEMORIA.

CK1 : Reloj que regula la secuencia de los ciclos para leer un dato de la Memoria.

CP : Pulso. Comando que indica al dispositivo cuando iniciar la adquisición de las muestras.

DL : Pulso [100 ns]. Comando que indica al Latch del PUERTO tomar el dato que se encuentra en el BUS.



- E<sub>FF</sub>** : Determina el siguiente estado de K.
- FP'** : Activo bajo. Finaliza el proceso de toma de muestras.
- GIN'** : Pulso [100 ns]. Flanco ascendente. Comando con el que el CONTROL le pide al PUERTO generar una interrupción para enviar un dato a la PC.
- GR** : Pulso [100 ns]. Flanco ascendente. Indica al GENERADOR DE DISPARO obtener un Trigger.
- HM** : Activo alto. Comando que indica activar un ciclo de Escritura o Lectura en Memoria.
- K** : Línea que indica si el proceso activado por HM es de Escritura, nivel bajo, o de Lectura, nivel alto.

**-LINEAS Y COMANDOS CONVERTIDOR ANALOGICO/DIGITAL.**

- CKM** : Reloj de Muestreo. En su flanco descendente adquiere una muestra y en su flanco ascendente coloca en el Latch el dato anterior al muestreado.
- HL'** : Activo bajo. Indica al Latch vaciar el dato en el BUS.

**-LINEAS Y COMANDOS DEL PUERTO DE ENTRADA/SALIDA.**

- ACK'** : RECONOCIMIENTO'. [Activo bajo]. Muestra que existe un dato válido en el bus para ser proporcionado o tomado por la interfaz.

- BI': Activo bajo. Línea por medio de la cual indica a CONTROL que se esta enviando un dato a la INTERFAZ por lo que debe detener la secuencia de Lectura en Memoria y el envío de datos al PUERTO.
- BOCP': BUS OCUPADO'. [Activo bajo], Línea que indica la utilización del BUS por parte de alguno de los instrumentos. La INTERFAZ no podrá atender a otra demanda de servicio proveniente de un instrumento con menor prioridad.
- C/D': COMANDO/DATO'. Indica el tipo de dato que va en el bus.
- D0-D7: Bus de datos.
- E/S': ENTRADA DATO/SALIDA DATO'. Indica la dirección del flujo de datos con respecto a la INTERFAZ.
- GND : Tierra digital.
- INT : [Activo bajo]. Demanda de interrupción del Puerto para enviar datos a la INTERFAZ.
- REQ' : DEMANDA'. [Activo bajo]. Con esta línea el PUERTO indica que esta listo para mandar o recibir datos.
- SEL' : SELECCIONA'. [Activo bajo]. Habiendo colocado previamente la dirección del Puerto en el bus de datos, la línea SEL' indica al dispositivo que esta siendo seleccionado para entablar comunicación.

-LINEAS Y COMANDOS COMUNES.

LM' : Activo bajo.Comando que inicializa el sistema.

APENDICE C

PROGRAMA PARA OBTENER LAS GRAFICAS DE COMPORTAMIENTO DE LOS BUFFERS CON RESPECTO A LA POLARIZACION

SE INCLUYE LAS CARACTERISTICAS DE:

- VARIACION DE LA CORRIENTE DE POLARIZACION DE LA PRIMERA ETAPA CON RESPECTO AL VALOR DE LA RESISTENCIA DE GS DE SU FUENTE DE CORRIENTE.
- COMPORTAMIENTO DE LA CORRIENTE DE LA SEGUNDA ETAPA CON RESPECTO A LA DE LA PRIMERA.
- RESISTENCIA DE SALIDA DE AMBAS ETAPAS
- RESPUESTA EN ALTA FRECUENCIA

PARA EL ANALISIS SE MANTIENE FIJO EL PARAMETRO RESISTENCIA EN EL EMISOR.

LOS RESULTADOS SON DEPOSITADOS EN ARCHIVOS DE NOMBRES:

- ID.DAT
- ICX.DAT
- RO1.DAT Y RO2X.DAT
- FRM.DAT

RESPECTIVAMENTE, PARA SU POSTERIOR GRAFICACION.

DEFINE VARIABLES

REAL RI, RP, REE, RC, RD, CM, CP, CC, TEMP1, TEMP2, TEMP3  
 REAL A1, A2, A3, A4, A5, A6, A7, A8, A9, A10, A11, A12, A13, A14  
 REAL B, C, K1, K2, K3, TAU1, TAU2, VN, VN1, R, PB, pbl  
 REAL DATOS(25), HORIZ(25), FC(20, 20), RF(200), TAU(10, 50)  
 REAL IC(20, 20), ID(20), R2(20), RO1(20), RE(20), RO2(20, 20)  
 INTEGER BAN, RA  
 CHARACTER\*9 NOM  
 CHARACTER\*2 AR(20)  
 CHARACTER\*1 RSP

ASIGNA VALORES INICIALES

SE CONSIDERA UNA BETA DE 100, UNA FRECUENCIA DE TRANSICION DE 100 MHZ Y UNA CAPACITANCIA DE CB DE 20 PF A VCB=10V PARA LOS TBJS. EN LOS FETS: VP=2 VOLTS, IDSS=4 MA, Gm0=6000 MICROMHOS.

RESULTA DE DIVIDIR  $40 \times 10^{-3}$  POR  $2\pi \times$  FRECUENCIA DE TRANSICION:

K1=63.66E-6  
 EL VALOR DE LA CAPACITANCIA DE CB DE MANERA QUE EL RESULTADO QUEDE EN MHZ:

K2=(20.E-6)\*SQRT(10./14.35)

RESULTA DE DIVIDIR VP AL CUADRADO ENTRE IDSS:  
 SE CONSIDERA VP=2 VOLTS E IDSS=4 MA

k3=1.

VALOR DE PI:

PI=3.1415926

ASIGNACION DE VALORES COMERCIALES DE RESISTENCIA EN R2 Y RE

R2(1)=2.2  
 R2(2)=1.0

```

R2(3)=.56
R2(4)=.33
R2(5)=.22
R2(6)=.18
R2(7)=.12
R2(8)=.082
R2(9)=.068
R2(10)=.047
R2(11)=.033
R2(12)=.018
R2(13)=.0082
R2(14)=0.
RE(1)=1.E-3
RE(2)=1.2E-3
RE(3)=1.5E-3
RE(4)=1.8E-3
RE(5)=2.2E-3
RE(6)=2.7E-3
RE(7)=3.3E-3
RE(8)=4.7E-3
RE(9)=5.6E-3
RE(10)=6.8E-3

```

```

*****
* CALCULA VALORES PARA ID, R01, IC, R02 Y RESPUESTA EN FRECUENCIA *
*****

```

```

DO I=1,13

```

```

    B=(K3/R2(I)**2.+4./R2(I))/2.

```

```

    B=(K3/R2(I)**2.+3./R2(I))/2.

```

```

    C=SQRT((B*2.)**2.-4.*4./R2(I)**2.)/2.

```

```

    C=SQRT((B*2.)**2.-4.*2.25/R2(I)**2.)/2.

```

```

    ID(I)=B-C

```

```

END DO

```

```

VALOR DE IDSS:

```

```

ID(14)=4.

```

```

CALCULA LA RESISTENCIA DE SALIDA DE LA PRIMERA ETAPA:

```

```

DO I=1,14

```

```

    R01(I)=R2(I)+(1./(6.*SQRT(ID(I)/4.)))

```

```

END DO

```

```

CALCULA EL VALOR DE LA CORRIENTE IC EN LOS TBJs PARA CADA
VALOR COMERCIAL DE RE, MANTIENIENDOLO CONSTANTE Y VARIANDO
LA CORRIENTE ID.

```

```

DO I=1,10

```

```

DO J=1,14

```

```

    VN1=ID(J)

```

```

    VN=ID(J)

```

```

    BAN=0

```

```

    DO WHILE (BAN.EQ.0)

```

```

        VN1= VN+(.026*LOG(ID(J)/VN)-VN*RE(I))/(RE(I)+(.026/VN))

```

```

        DIF=ABS((VN1-VN)/VN)

```

```

        IF (DIF.LT.0.001) THEN

```

```

            IC(I,J)=VN1

```

```

            BAN=1

```

```

        ELSE

```

```

            VN=VN1

```

```

        END IF

```

```

    END DO

```

```

END DO

```

```

END DO

```

```

CALCULA EL VALOR DE LA RESISTENCIA DE SALIDA DE LA SEGUNDA ETAPA
PARA CADA VALOR DE RE, VARIANDO IC E ID:

```

```
DO I=1,10
DO J=1,14
```

$$RO2(I,J)=RE(I)+((2.5/IC(I,J))+RO1(J))/101.0$$

```
END DO
END DO
CALCULA LA RESPUESTA EN FRECUENCIA (METODO COMPACTO) PARA CADA
VALOR DE RE VARIANDO ID E IC:
DO I=1,10
DO J=1,14
```

$$TAU1=(K1*IC(I,J)-K2)/(.040*IC(I,J))$$
$$TAU2=1000.*K2*RO1(J)$$
$$TAU3=50E-12*RO2(I,J)$$
$$FC(I,J)=1./(2.*PI*(TAU1+TAU2+TAU3))$$

```
END DO
END DO
```

```
*****
* GENERA LOS ARCHIVOS DE DATOS
*****
```

```
AR(1)='1'
AR(2)='2'
AR(3)='3'
AR(4)='4'
AR(5)='5'
AR(6)='6'
AR(7)='7'
AR(8)='8'
AR(9)='9'
AR(10)='10'
AR(11)='11'
AR(12)='12'
AR(13)='13'
AR(14)='14'
RA=0
```

```
10 TYPE 10
FORMAT(' Respuesta II Ampl. [0]','/', ' Respuesta total [1]',
1 '/', ' Respuesta III etapa [2]','/',/,20x, 'opcion? ',%)
```

```
20 ACCEPT 20,RA
FORMAT(11)
RESP='N'
TYPE 30
```

```
30 FORMAT(' Se generan los primeros archivos? [S/N] ',%)
ACCEPT 40,RESP
FORMAT(A1)
IF ((RESP.EQ.'S').OR.(RESP.EQ.'s')) THEN
DO I=1,10,4
```

```
NOM='RO2'//AR(I)///.DAT'
OPEN (UNIT=10,NAME=NOM,TYPE='NEW')
DO H=1,14
WRITE (10,*) ID(H),RO2(I,H)
END DO
CLOSE (10)
```

```
END DO
DO I=1,10,4
NOM='FR'//AR(I)///.DAT'
OPEN (UNIT=10,NAME=NOM,TYPE='NEW')
DO H=1,14
WRITE (10,*) ID(H),FC(I,H)
END DO
CLOSE (10)
```

```

END DO
DO I=1,10,4
  NOM=' IC'//AR(I)//'.DAT'
  OPEN (UNIT=10,NAME=NOM,TYPE='NEW')
  DO H=1,14
    WRITE (10,*) ID(H),IC(I,H)
  END DO
  CLOSE (10)
END DO
OPEN (UNIT=10,NAME='R01.DAT',TYPE='NEW')
DO H=1,14
  WRITE (10,*) ID(H),R01(H)
END DO
CLOSE (10)
OPEN (UNIT=10,NAME='ID.DAT',TYPE='NEW')
DO H=1,14
  WRITE (10,*) R2(H),ID(H)
END DO
CLOSE (10)
ELSE
END IF

```

\*\*\*\*\*  
 \* RUTINA PARA OBTENER LA RESPUESTA EN FRECUENCIA \*  
 \* DE LA SEGUNDA ETAPA MEDIANTE SU FUNCION DE TRANSFERENCIA \*  
 \*\*\*\*\*

```

TYPE 50
50 FORMAT(' RE(Ohms) opcion',/,9X,'1.0',12X,'1',/,
1 9X,'1.2',12X,'2',/,9X,'1.5',12X,'3',/,9X,'1.8',
2 12X,'4',/,9X,'2.2',12X,'5',/,9X,'2.7',12X,'6',/,
3 9X,'3.3',12X,'7',/,9X,'4.7',12X,'8',/,9X,'5.6',
4 12X,'9',/,9X,'6.8',11X,'10')
TYPE 60
50 FORMAT(' Para que valor de RE deseas evaluar',/)
TYPE 70
70 FORMAT(' la funcion de transferencia?',$,)
30 accept 80,I
FORMAT(I2)
DO J=1,14
RI=R01(J)*1000.
RP=(100./(40*IC(I,J)))*1000.
REE=RE(I)*1000.
RC=10.E6
RD=(120./IC(I,J))*1000.
CM=K2*1.E-6
CP=(K1*IC(I,J)-K2)*1.E-6
CC=50.E-12
A1=RD*RI*CM*REE*RC*CC*RP*CP
A2=RD*RP*CP*(RI*CM*(REE+RC))+REE*RC*CC
A3=RI*CM*REE*RC*CC*101.*RD
A4=(REE+RD)*RC*CC*(RP*RI*CM+RI*RP*CP)
A5=RD*(101.)*(RI*CM*(REE+RC)+REE*RC*CC)
A6=(REE+RD)*RC*CC*(RI+RP)
A7=(REE+RD+RC)*(RP*RI*CM+RI*RP*CP)
A8=RD*(REE+RC)*101.+(RI+RP)*(REE+RD+RC)
A9=A2+A3+A4
A10=A5+A6+A7
A11=101.*RD*RC
A12=RD*RC*RP*CP
TYPE 90
30 FORMAT(/,/, ' Corriente Id de:')

```

```

TYPE *, ID(J)
TYPE 100
FORMAT(' Terminos de s+a:')
TYPE *, A12,A11
100 TYPE 110
FORMAT(' Terminos del polinomio: as3+bs2+cs+d')
110 TYPE *, A1,A9,A10,A8
DO H=1,100
  HORIZ(H)=.43429448*log(H*1E6)
  W=2.*3.1416*H*1E6
  A13=A11**2.+(A12*W)**2.
  A14=(A8-(A9*W**2.))**2.+(W*A10-A1*W**3. )**2.
  PB=1/SQRT((W/(2.*3.1416*18.E6))**2.+1)
  PB1=1/SQRT((W/(2.*3.1416*8.359E6))**2.+1)
  IF (RA.EQ.1) THEN
    RF(H)=SQRT(A13/A14)*PB*PB1
  ELSE
    IF (RA.EQ.2) THEN
      RF(H)=SQRT(A13/A14)
    ELSE
      RF(H)=SQRT(A13/A14)*PB
    END IF
  END IF
END DO
END DO
RESP='N'
TYPE 120
FORMAT(' Se generen el archivo correspondiente? [S/N] ', $)
120 ACCEPT 130,RESP
130 FORMAT(A1)
IF ((RESP.EQ.'S').OR.(RESP.EQ.'s')) THEN
  NOM='RF'//AR(J)//'.DAT'
  OPEN (UNIT=10,NAME=NOM,TYPE='NEW')
  DO H=1,100
    WRITE (10,*) HORIZ(H),RF(H)
  END DO
  CLOSE (10)
  END IF
  END DO
  OPEN (UNIT=10,NAME='TAU.DAT',TYPE='NEW')
  DO H=1,8
    WRITE (10,*) TAU(H,1)
  END DO
  CLOSE (10)
  END

```



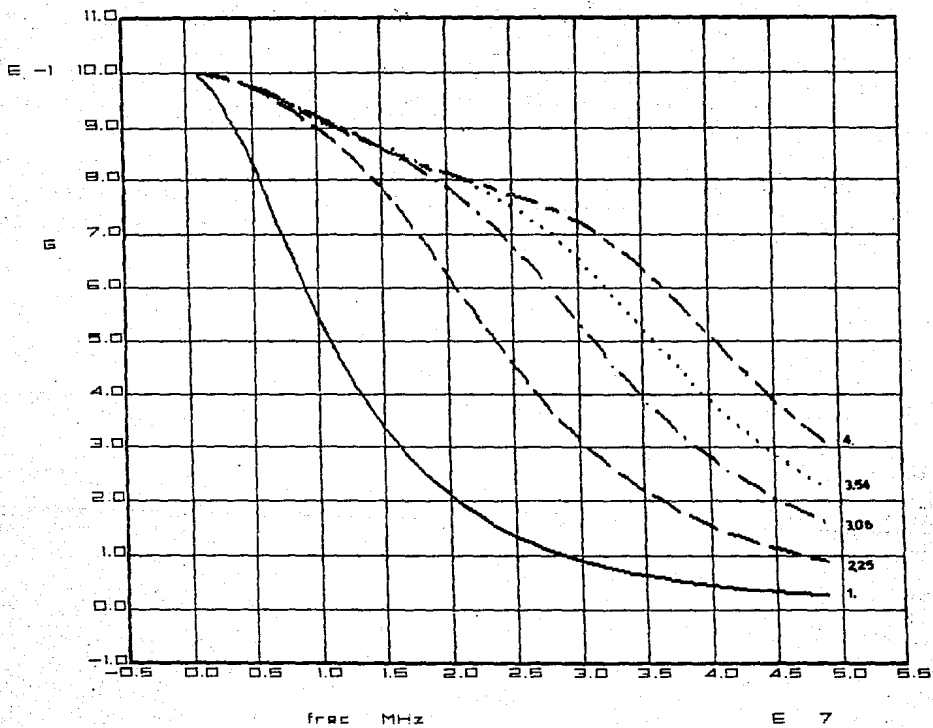


FIGURA C-1. COMPORTAMIENTO DE LA GANANCIA DEL AMPLIFICADOR SECUNDARIO PARA DIVERSOS VALORES DE LA CORRIENTE  $I_d$  DE POLARIZACION.

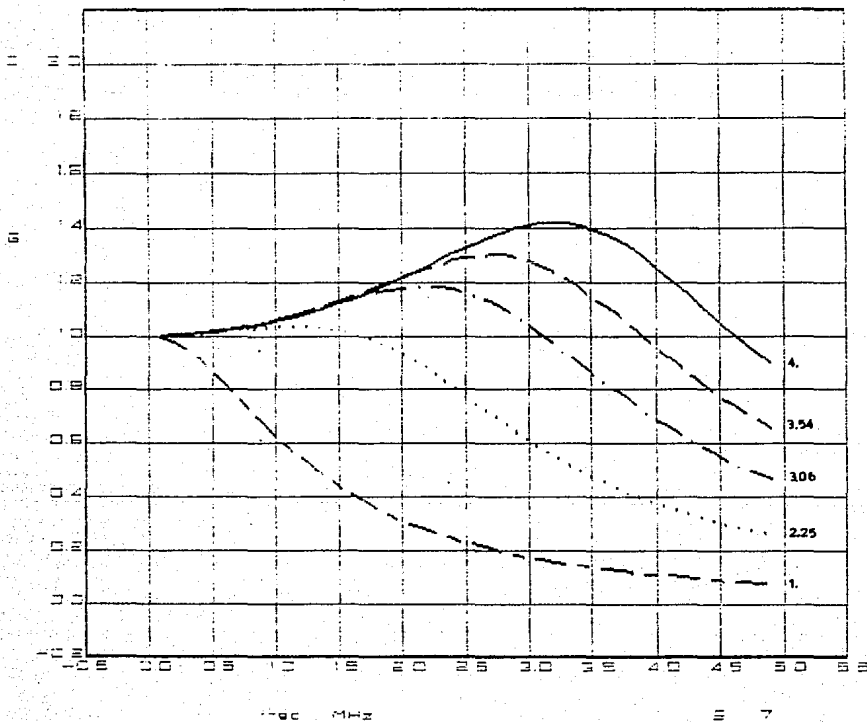


FIGURA C-2. COMPORTAMIENTO DE LA GANANCIA DE LA ETAPA DE SALIDA DEL AMPLIFICADOR SECUNDARIO PARA DIVERSOS VALORES DE LA CORRIENTE  $I_a$  DE POLARIZACION.

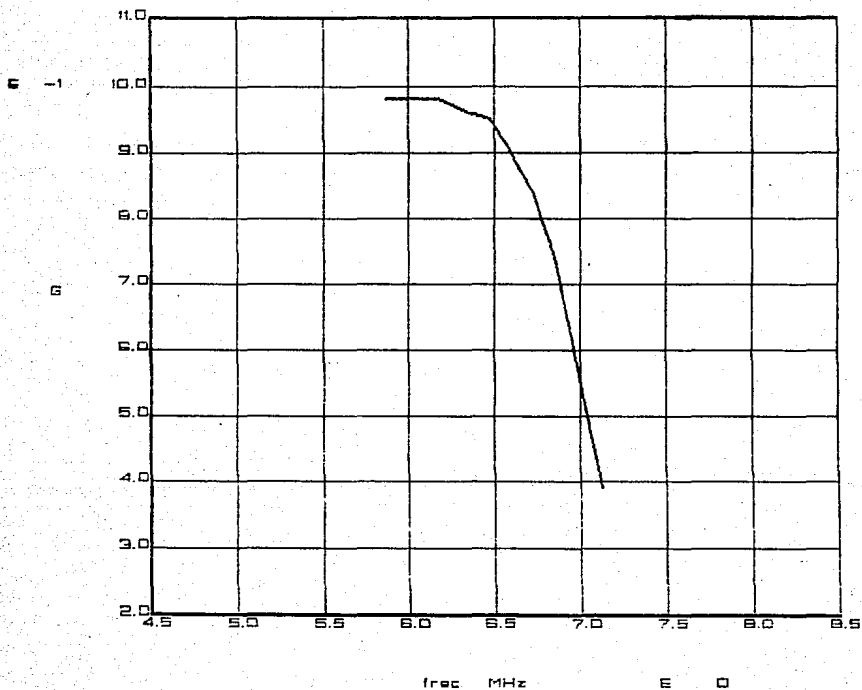


FIGURA C-3. RESPUESTA EN FRECUENCIA TOTAL DEL CONJUNTO DE AMPLIFICADORES CON CORTE EN 7.5 MHz. LA CURVA SE OBTUVO EN FORMA EXPERIMENTAL. LA FRECUENCIA ESTA EN LOGARITMO.

## BIBLIOGRAFIA

[1]

-Cooper, William D.  
Electronic Instrumentation and Measurement Techniques.  
USA, Prentice-Hall, 1978.

[2]

-Doebelin, Ernest O.  
Measurement Systems. Application and Design  
Tokio, Japon, McGraw-Hill Kogakusha, 1976.

[3]

-Gray, Paul. Meyer, Robert.  
Analysis and Design of Analog Integrated Circuits.  
USA, John Wiley & Sons Inc., 1984

[4]

-Mano, Morris.  
Digital Logic and Computer Design. USA, Prentice Hall, 1979.

[5]

-Mano, Morris.  
Digital Design. USA, Prentice Hall, 1984.

[6]

-Millman, Jacob.  
Microelectronics. Tokio, Japon, McGraw-Hill Kogakusha, 1979.

[7]

-Millman, J., Halkias, C.  
Integrated Electronics. Tokio, Japon, McGraw-Hill Kogakusha,  
1972

[8]

-Morrison, Ralph.  
Grounding and Shielding Techniques in Instrumentation.  
USA, John Wiley & Sons, 1977.

[9]

-Oliver & Cage.  
Electronics Measurements and Instrumentation.

[10]

-Schilling, D. Belove, Ch.  
Electronics Circuits. Tokio, Japón. McGraw-Hill Kogakusha, 1979

[11]

-Schwartz, Mischa.  
Information Transmission, Modulation and Noise.  
Tokio Japón, McGraw-Hill Kogakusha, 1981

[12]

-Schwartz, M., Shaw, L.  
Signal Processing. Tokio, Japón. McGraw-Hill Kogakusha, 1975

[13]

-Tobey, Gene E.  
Amplificadores Operacionales. México, Ed. Diana, 1978.

[14]

-Ziemer, R.E., Tranter, W.H.  
Principios de Comunicaciones. Sistemas, modulación y ruido.  
México, Ed. Trillas, 1981

[15]

-American Radio Relay League. The radio Amateur's Handbook 1984  
USA.

[16]

-Analog Devices. Data-acquisition Databook 1984 Vol I y II

[17]

-Byrd, Roberto. GRAAF. Paquete para Graficación.

[18]

-Electronic Engineering. Junio 1984, pag. 11-12.

[19]

-Electronic Engineering. Octubre 1984, pag. 130.

[20]

-IEEE Standard Specification of GENERAL-PURPOSE LABORATORY  
CATHODE-RAY OSCILLOSCOPES. IEEE 311-70, 1970.

[21]

-Micro Power Systems. Catalog. USA, 1986.

[22]

-Tektronix. 7854 Oscilloscope. Instruction Manual. USA, 1980.

[23]

-Tektronix. 468 Digital Storage Oscilloscope. Instruction Manual.  
USA, 1980.

[24]

-Texas Instruments. The TTL Data Book for Design Engineers.  
Second Edition, 1981.

[25]

-Philips. Test & Measurement: Catalog 1986/87. Holanda