

22  
Zej



**UNIVERSIDAD NACIONAL AUTONOMA  
DE MEXICO**

---

---

**FACULTAD DE INGENIERIA**

**MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL**



**T E S I S**

**Que para obtener el título de  
Ingeniero Mecánico Electricista  
p r e s e n t a**

**ARMANDO B. BARRETO GONZALEZ**

**Dir.: M. en I. Pablo R. Pérez Alcázar**



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE :

INTRODUCCION	1
CAPITULO I	4
EL REGISTRO DE MOVIMIENTOS SISMICOS FUERTES / EL ACELEROGRAFO DIGITAL DESARROLLADO EN EL INSTITUTO DE INGENIERIA.	
CAPITULO II	20
PROPOSITO, FUNCIONES Y REQUERIMIENTOS DEL MODULO DE COMUNICACION USUARIO-ACELEROGRAFO DIGITAL / DIAGRAMA DE BLOQUES.	
CAPITULO III	30
DISEÑO ELECTRONICO DE LOS BLOQUES FUNCIONALES (HARDWARE).	
III.A "BLOQUE DE PRESENTACION DE PALABRA" (A)	30
III.A.1 FUNCIONAMIENTO PARA ENTRADAS NO CODIFICADAS	31
III.A.2 FUNCIONAMIENTO PARA ENTRADAS CODIFICADAS	40
III.A.3 SALIDAS ANALOGICAS DE LAS SEÑALES DE ACELERACION	47
III.B "BLOQUE DE COMUNICACION CON EL OPERADOR" (B)	51
III.B.1 ENTRADA DE INFORMACION AL MODULO	52
III.B.2 DESPLIEGUE DE INFORMACION NUMERICA AL OPERADOR	56
III.C "BLOQUE DE CONTROL Y PROCESAMIENTO" (C)	61
III.C.1 CARACTERISTICAS DE LA INTERACCION REGISTRADOR-MODULO Y	

CONSIDERACIONES DE DISEÑO DERIVADAS	61
III.C.2 DESCRIPCION DEL "BLOQUE DE CONTROL Y PROCESAMIENTO"	67
III.D BLOQUE (D) "FUENTE DE ALIMENTACION"	79

CAPITULO IV	83
-------------	----

PROGRAMACION DEL MICROPROCESADOR (SOFTWARE).

CAPITULO V	106
------------	-----

RESULTADOS / PROPUESTAS A FUTURO.

CONCLUSIONES	113
--------------	-----

RECONOCIMIENTOS	115
-----------------	-----

BIBLIOGRAFIA	116
--------------	-----

APENDICE A-1	118
--------------	-----

PROGRAMA MONITOR PARA EL MODULO DE COMUNICACION USUARIO-ACELEROGRAFO  
DIGITAL.

APENDICE A-2	132
--------------	-----

TABLAS DE VALORES GRABADAS EN LA MEMORIA EPROM DEL SISTEMA PARA LA  
CONVERSION BINARIO A DECIMAL DE LOS DATOS DE ACELERACION.

## INTRODUCCION

Estando la República Mexicana en una zona de marcada actividad sísmica se hace necesario un estudio sistemático de este tipo de fenómenos, que lleve a la comprensión de los mismos de modo que sea posible tomar las medidas adecuadas para minimizar los efectos negativos de su ocurrencia.

El estudio de los fenómenos sísmicos se realiza principalmente a través de la observación del movimiento del terreno, considerado como un fenómeno ondulatorio. Especialmente útil en el estudio de las ondas sísmicas es la determinación de algunos de sus parámetros, como :

- Velocidad de propagación
  
- Amplitud
  
- Componentes de frecuencia

A partir del conocimiento de estas características del fenómeno sísmico se pueden realizar ciertas inferencias acerca de sus posibles fuentes, así como de la estructura y características del subsuelo en una región, etc.

Para fines prácticos, relacionados con el mejoramiento de la respuesta de las construcciones a los fenómenos sísmicos, una de las áreas de mayor interés en este campo es el estudio de los movimientos del terreno que son perceptibles para un observador humano. Este estudio recibe el nombre de "Sismología de Movimientos Fuertes" ("Strong Motion Seismology") y se fundamenta en las observaciones que se realizan en zonas de mediana y alta actividad sísmica.

Desde hace más de 10 años, el Instituto de Ingeniería de la UNAM ha mantenido en operación un conjunto de instrumentos sísmicos destinados a registrar este tipo de eventos a la menor distancia posible de su punto de origen, frecuentemente localizado en las cercanías de la costa suroeste del territorio nacional. Estos instrumentos han proporcionado información muy valiosa que, a través de su análisis, ha incrementado el conocimiento que se tiene del comportamiento sísmico de nuestro territorio.

Por otra parte, la experiencia adquirida durante el tiempo en que se han operado estos instrumentos, aunada a la comprensión de las características particulares que demanda el funcionamiento de un conjunto de estos aparatos en la zona de observación, ha resultado en el desarrollo de un instrumento sísmico de diseño propio, para el cual el Módulo de Comunicación, objeto de este trabajo, es el complemento.

En este reporte se pretende hacer una reseña global de la estructura y el funcionamiento del Módulo para Comunicación Usuario-Acelerógrafo Digital.

En el Capítulo I se plantean las consideraciones generales involucradas en la planeación de un sistema de registro sísmico y se presenta la propuesta del Instituto de Ingeniería para el desarrollo de un sistema tal. El Capítulo II define las funciones que el Módulo de Comunicación deberá llevar a cabo dentro de ese esquema, determinando los objetivos de su diseño. Se presenta, en este mismo capítulo, el diagrama de bloques que se consideró adecuado para la realización de las funciones requeridas. La implementación de los bloques que constituyen al módulo, desde el punto de vista de su circuitería (hardware), se comenta en el Capítulo III. La descripción del diseño se complementa con la explicación que se da en el Capítulo IV del programa para el microprocesador (software), el cual anima y coordina la actividad de los circuitos electrónicos, de modo que se obtenga el funcionamiento deseado. Finalmente, se resumen los resultados alcanzados, se hacen algunas sugerencias para incrementar, en el futuro, la utilidad del módulo y se presentan las conclusiones obtenidas del desarrollo de este trabajo.

## CAPITULO I

### EL REGISTRO DE LOS MOVIMIENTOS SISMICOS FUERTES / EL ACELEROGRAFO DIGITAL DESARROLLADO EN EL INSTITUTO DE INGENIERIA.

Se puede considerar que existen 2 enfoques en el estudio de los movimientos sísmicos fuertes que demandan el registro de dichos fenómenos para su análisis. Por una parte, esta información es indispensable para que la Ingeniería Sísmica, enfocada a los efectos de estos fenómenos, desarrolle o revise criterios de diseño estructural que normen la planeación de obras civiles, para hacerlas menos vulnerables a los fenómenos sísmicos. En contraste, para los sismólogos, los registros de movimientos sísmicos fuertes son evidencias útiles en la determinación de las causas del fenómeno, ubicación de su fuente y establecimiento de una cronología para el comportamiento sísmico de diferentes regiones.

Bajo cualquier enfoque, sin embargo, el diseño de un instrumento que capte la información relevante de un fenómeno sísmico de este tipo, preferentemente en las cercanías de su origen, deberá considerar las características propias del movimiento, en sí mismo.



Los movimientos del terreno, en la zona cercana a la falla que causa un temblor, pueden manifestarse como desplazamientos del orden de metros que ocurren en unos cuantos segundos y originan una deformación permanente de la región. La amplitud de las ondas sísmicas generadas durante el fenómeno puede alcanzar decenas de centímetros en desplazamiento, algunos metros por segundo en velocidad, y magnitudes de aceleración comparables con la de la gravedad terrestre (1 G).

Al considerar el espectro de frecuencias de las señales sísmicas que se presentan en este tipo de eventos, se puede deducir que un desplazamiento permanente del terreno que se lleva a cabo en unos cuantos segundos o minutos es una señal compuesta en su mayoría por frecuencias bajas. La función temporal que modela de manera más simple al fenómeno de desplazamiento del terreno en su punto de origen es un escalón, cuyo espectro comprende componentes de magnitud inversamente proporcional a la frecuencia. Este tipo de espectro de desplazamiento se observa en las cercanías o "campo cercano" (unos pocos kilómetros) de la fuente de un temblor mayor.

Sin embargo, el espectro de frecuencia de las ondas de desplazamiento generadas, al observarse en puntos alejados de la fuente, presenta un valor medio (componente de DC) menor y un aumento en las componentes de mayor frecuencia. En términos generales, el espectro de las ondas de desplazamiento, consideradas en puntos alejados de la fuente, tendrá una magnitud aproximadamente constante para frecuencias por debajo de una cierta "frecuencia límite" después de la cual las amplitudes decaerán de manera abrupta, típicamente de acuerdo al cuadrado de la frecuencia. El

valor de la "frecuencia límite" depende de diversas características del fenómeno y del medio por el que las ondas se propaguen, pero puede considerarse que varía desde 1 Hz, para temblores muy intensos, hasta decenas de Hertz, para microtemblores. De acuerdo a lo anterior se considera que para aplicaciones de Ingeniería Estructural el registro de movimientos sísmicos fuertes debe de abarcar un ancho de banda entre 0.1 y 20 Hz, mientras que para los estudios sismológicos relativos a la determinación de parámetros de la fuente son importantes las componentes con frecuencias de 50 a 100 Hz.

Una característica que es indispensable tener en cuenta al planear registrar estos fenómenos es su naturaleza transitoria, aperiódica, impredecible e irreplicable. En efecto, aún en las zonas de mayor sismicidad del mundo ocurrirán, cada año, bajo condiciones normales, sólo algunos movimientos sísmicos de magnitud perceptible para un humano. Estas ocurrencias no seguirán, por otra parte, ningún patrón que pueda ser predeterminado. Además, este es un tipo de fenómeno natural cuya repetición para fines exclusivamente experimentales no es ni posible ni adecuada.

Las anteriores consideraciones resaltan la conveniencia de emplear en la solución a este problema de instrumentación un sistema de registro selectivo, de confiabilidad adecuada, activado precisamente por la ocurrencia de un movimiento sísmico de intensidad suficiente. En concreto, esta es una situación propicia para el uso de un sistema autónomo el cual, de acuerdo a la referencia (2), se define como un "sistema que, sin intervención de operador, automáticamente realiza operaciones de adquisición, medición y registro o almacenamiento de las

señales de medición."

De hecho, se puede decir que han sido fundamentalmente sistemas autónomos los que se han empleado desde épocas remotas para obtener registros más o menos complejos y detallados de los movimientos sísmicos fuertes.

Entre los más antiguos de estos dispositivos se encuentra el sismoscopio chino (136 A.C.), el cual proporcionaba una indicación vaga de la dirección y la intensidad del movimiento cuando éste propiciaba que el agua que originalmente llenaba hasta sus bordes a un recipiente principal se derramase hacia algunos de los recipientes secundarios ubicados alrededor. Las características del movimiento quedaban indicadas en los recipientes secundarios por los diferentes niveles que el agua alcanzaba en ellos después del sismo.

Las versiones modernas del sismoscopio, así como otros instrumentos desarrollados posteriormente para el registro de movimientos sísmicos fuertes, presentan también las características de los sistemas autónomos. En ellos, el modo de detectar el fenómeno está fundamentado en la Segunda Ley de Newton :

$$F = m \times a .$$

En estos sistemas, por tanto, se estará registrando una de las características del movimiento, la aceleración, mediante alguna manifestación de la fuerza que la Segunda Ley de Newton asocia a esa aceleración al actuar sobre una masa que forma parte del sensor. Aunque

el instrumento registrará sólo la señal de aceleración generada durante el sismo, las señales de velocidad y desplazamiento involucradas en el evento se pueden obtener del registro de aceleración mediante algún procesamiento posterior que implique integraciones sucesivas.

Como un ejemplo de la aplicación del principio referido al registro de movimientos sísmicos fuertes se puede considerar al sismoscopio moderno, en el cual la aceleración horizontal originada durante un sismo intenso actúa sobre una masa comprendida en un sistema pendular, haciendo que se inscriba una traza como la mostrada en la fig. 1-1.

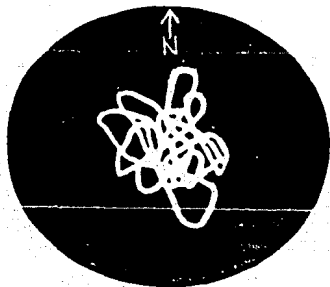


FIGURA 1-1  
REGISTRO GENERADO POR UN SISMOSCOPIO.

Por supuesto, este tipo de registro es todavía muy rudimentario y porta

tan sólo información sobre la ocurrencia del movimiento sísmico intenso, proporcionando, en todo caso, indicaciones vagas sobre su dirección principal y su intensidad relativa. Estos sismoscopios están diseñados con un amortiguamiento bajo, (menor que el 10 % del amortiguamiento crítico), y con una frecuencia natural del péndulo de aproximadamente 1 Hz. Esa combinación hace que el instrumento simule la respuesta típica de un edificio alto al movimiento sísmico registrado, de modo que los registros obtenidos con este instrumento han sido particularmente útiles en el campo de la Ingeniería Sísmica, aún cuando sólo representan adecuadamente un rango en el espectro de frecuencias.

Las versiones recientes de acelerógrafos analógicos logran un registro más completo del movimiento sísmico al incluir 3 sistemas mecánicos independientes para poder detectar las 3 componentes ortogonales de aceleración (vertical, longitudinal y transversal). Dichos detectores se diseñan con una frecuencia natural de 20 Hz o mayor, de modo que los desplazamientos provocados en la masa del sensor por las componentes de frecuencia de interés (0.1 a 10 Hz) sean moderados.

Estos aparatos emplean un sistema óptico para inscribir en película fotográfica de 70 mm trazas representativas de la aceleración detectada por cada sensor, así como una traza auxiliar generada por un circuito temporizador, para proveer una referencia de tiempo.

El proceso de registro se inicia de acuerdo a la señal generada por un arrancador independiente, cuyo nivel de umbral es ajustable, y termina cierto tiempo después de que la aceleración alcanza por última vez dicho valor de disparo.

Los acelerógrafos analógicos pueden tener rangos dinámicos de 40 a 50 dB y anchos de banda útiles de, aproximadamente, 0.2 a 10 Hz. (ref. (1)).

Aunque la información que portan los registros fotográficos provenientes de acelerógrafos analógicos ha sido de gran utilidad en la obtención de los conocimientos adquiridos hasta ahora sobre las características de los movimientos sísmicos intensos, es claro que sería deseable la corrección de algunas imperfecciones presentes en ellos, así como la realización de algunas mejoras, tanto en la calidad como en la cantidad de la información que los registros portan.

Por ejemplo, la naturaleza pendular del elemento sensor implica un grado de alinealidad, debido a que su movimiento no es traslacional, sino rotacional, sobre todo cuando una señal de entrada de gran magnitud provoca desplazamientos muy amplios en el sensor. En esas mismas condiciones, la baja frecuencia natural del sistema mecánico limita la calidad del sensado de las componentes de frecuencias mayores.

Por otra parte, una limitación importante para el tipo de análisis que se realiza en base a los registros obtenidos es la incapacidad del instrumento para registrar la evolución de la señal de entrada, desde su nivel previo al evento, hasta el punto en que el sistema de disparo se activa, (intervalo conocido como "preevento").

Todavía más, considerando que en la actualidad el análisis de este tipo de señales se lleva a cabo, generalmente, por medios computarizados, se requiere digitalizar la señal captada en la película fotográfica. Sin

embargo, el proceso mismo de registro en estos aparatos limita, de entrada, la resolución del proceso de digitización.

Como se puede observar, las limitaciones mencionadas se desprenden de la estructura global de los instrumentos analógicos, pero están originadas sobre todo por las características del elemento sensor. Quizá sea por esto que se haya requerido de un cambio profundo en el enfoque de diseño de los sensores o acelerómetros, para poder obtener las mejoras deseadas.

Un punto básico en el mejoramiento del método de sensado es la minimización de la alinealidad relacionada con el movimiento rotacional involucrado en el proceso. Considerando que la alinealidad será menor en cuanto menor sea el desplazamiento efectivo de la masa del sensor, sería deseable que ésta se desplazara poco, aun para aceleraciones de entrada grandes.

Lo anterior es posible en un acelerómetro de balance de fuerzas, el cual está configurado como un sistema de retroalimentación negativa en el que la señal de error, que deberá mantenerse pequeña, es el desplazamiento del elemento sensor a partir de una cierta posición de reposo. Cuando una aceleración de entrada actúa sobre el acelerómetro, el desplazamiento generado (señal de error), se convierte a una señal eléctrica amplificada (señal de salida), que además produce una fuerza equilibrante proporcional (señal de retroalimentación), la cual mantiene a la señal de error en niveles pequeños, reduciendo, por tanto, el defecto de alinealidad del sensor.

Este esquema, además de reducir la alinealidad, permite la construcción de sensores con un ancho de banda útil mayor, siendo típica una respuesta plana hasta frecuencias cercanas a los 50 Hz, los cuales, por otra parte, tienen un nivel de ruido menor que sus antecesores. Pero de todas las ventajas que estos acelerómetros presentan quizá la más relevante sea la naturaleza eléctrica de su señal de salida, ya que ésta ofrece muchas posibilidades para su acondicionamiento y registro.

Las alternativas que se presentan son todavía más variadas si se considera la conversión de la señal analógica obtenida del acelerómetro a una señal digital, para su manipulación y registro dentro del acelerógrafo e incluso para su análisis posterior en una computadora. Esto marca el surgimiento de los acelerógrafos digitales, es decir, instrumentos autónomos que permiten la obtención de registros de aceleración en formato digital.

El Instituto de Ingeniería ha operado acelerógrafos digitales que registran la información codificada de eventos sísmicos en cinta magnética, desarrollando además la infraestructura necesaria para la recuperación y el análisis de la información contenida en dicha cinta, lo que incluye, por ejemplo, el despliegue de las señales registradas en terminales de graficación, el análisis de Fourier y la obtención de los espectros de frecuencia de dichas señales, etc.

Contemplando la utilización de los recursos mencionados, se resolvió que el registrador sísmico desarrollado en el Instituto también realizara su registro en un cassette de cinta magnética, siguiendo además el mismo



formato y tipo de codificación que los acelerógrafos que ya se encontraban en operación, de modo que los registros obtenidos con las nuevas unidades fueran interpretables por los sistemas que ya se habían establecido.

El formato usado es el formato estandar para grabación en cassette de la compañía Terra Technology Corporation, proveedora de algunos de los acelerógrafos digitales operados por el Instituto de Ingeniería y comprende 100 muestras triples cada segundo, como se observa en la fig. I-2a. A su vez, cada muestra triple consta de 48 bits, como lo muestra la fig. I-2b, distribuidos en 3 grupos de 12 bits, que corresponden a la información proveniente de los sensores, (en este caso, cada uno de los 3 acelerómetros: longitudinal, transversal y vertical), intercalados con 3 grupos de 4 bits que tienen funciones particulares :

- Los 4 bits correspondientes a lo que se ha denominado "GAP", tienen la función de indicar, al sistema que recuperará la información, cuando se inicia una muestra triple. En la práctica esto se realiza anulando al sistema de codificación durante el tiempo correspondiente a esos 4 ciclos de reloj.

- El espacio marcado como "BCD BUS", es utilizado para registrar toda la información numérica anexa a la señal sísmica misma, como, por ejemplo, el tiempo de ocurrencia del evento, (Día, hora, minuto y segundo), la numeración progresiva de eventos registrados, la identificación del instrumento que grabó el registro (número de serie), etc. Esta información numérica se incluye dígito a dígito, codificada en BCD, en sucesivas muestras triples, siguiendo el orden mostrado en la fig. I-3.

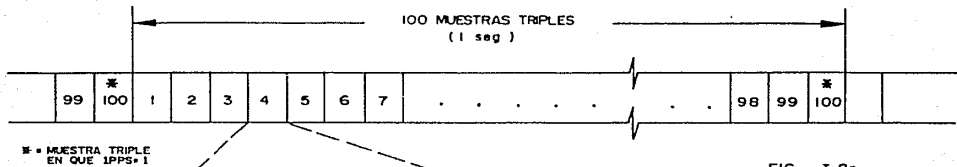


FIG. I-2a

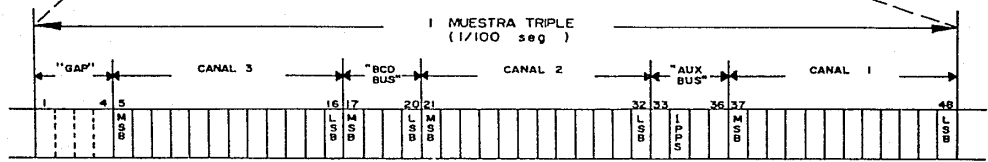


FIG. I-2b

MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL

FIGURA I-2: FORMATO DE GRABACION EMPLEADO POR EL REGISTRADOR SISMICO  
DISEÑADO EN EL I.1.

NUMERO DE  
MUESTRA TRIPLE  
DEC HEX

DIGITO INCLUIDO

01	01	HORAS / UNIDADES
02	02	SEGUNDOS / DECENAS
03	03	MINUTOS / DECENAS
04	04	HORAS / DECENAS
05	05	SEGUNDOS / UNIDADES
06	06	MINUTOS / UNIDADES
07	07	DIAS / CENTENAS
08	08	DIAS / DECENAS
09	09	DIAS / UNIDADES
10	0A	NUMERO DE SERIE (LSD)
11	0B	GANANCIA (1) **
12	0C	GANANCIA (2) **
13	0D	NUMERO DE SERIE
14	0E	NUMERO DE SERIE (MSD)
15	0F	CONTADOR DE EVENTOS / DECENAS
16	10	CONTADOR DE EVENTOS / UNIDADES
17	11	CONTADOR DE REDISPARGOS / DECENAS **
18	12	CONTADOR DE REDISPARGOS / UNIDADES **
19	13	CONVERTIDOR A/D AUXILIAR (LSD) **
20	14	CONVERTIDOR A/D AUXILIAR **
21	15	CONVERTIDOR A/D AUXILIAR (MSD) **
22	16	# DE CANAL DEL CONV. A/D AUX. **
23	17	---
24	18	---
25	19	---
26	1A	---
27	1B	---
28	1C	---
29	1D	---
30	1E	CONTADOR DE "GLITCHES" / UNIDADES *
31	1F	CONTADOR DE "GLITCHES" / DECENAS *
32	20	---
33	21	---
34	22	---
35	23	---
36	24	---
37	25	---
38	26	---
39	27	---
40	28	---
41	29	---
42	2A	---
43	2B	---
44	2C	---
45	2D	---
a	a	TODOS LOS BITS EN "1"
100	64	

\* : Sólo en los aparatos DCA-333 de Terra Technology Corp.

\*\* : Sólo en el Registrador Sísmico diseñado en el I.I.

---: Sin uso específico.

- El grupo de 4 bits, "AUX BUS" sirve para incluir en el registro referencias de tiempo, ya sean internas o externas al propio registrador. La indicación de tiempo más importante se hace a través del segundo bit de este grupo, de izquierda a derecha en la fig. I-2b, el cual presenta un estado alto únicamente en la última muestra triple de cada 100 que se tienen en un segundo, anunciando así que la siguiente muestra triple se deberá considerar como la "primera" del siguiente grupo de 100, lo cual es de gran importancia para recuperar los dígitos del "BUS BCD" e identificarlos apropiadamente.

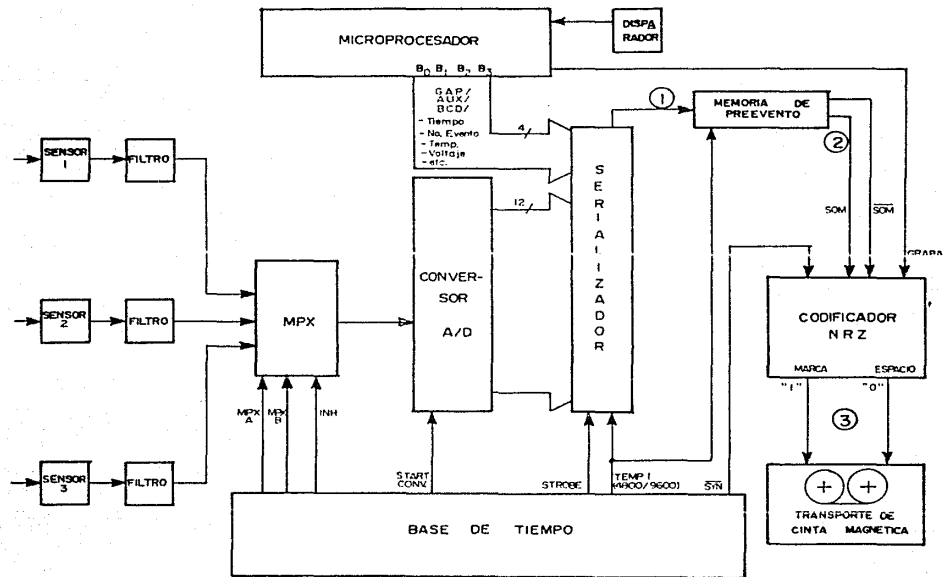
La codificación realizada sobre los datos para efectuar la grabación en cinta magnética es la denominada NRZI (no-retorno a cero, incremental). Se graban 2 pistas en la cinta, una para registrar la ocurrencia de "ceros" y la otra para registrar la ocurrencia de "unos" en el formato anteriormente descrito. En realidad, NRZI es una combinación de las formas de codificación NRZ-M y NRZ-S las cuales efectúan un cambio de nivel en la señal codificada (lo que, en este caso implica un cambio en la dirección del flujo magnético de las cabezas grabadoras), cuando el dato a codificar sea un "uno" o un "cero", respectivamente. La ventaja de grabar "unos" y "ceros" en 2 pistas diferentes de la cinta es que la combinación de esas señales permitirá la regeneración de la señal de reloj necesaria para recuperar la información, reduciendo, por otra parte, la sensibilidad del método de grabación a las fluctuaciones en la velocidad de transporte de la cinta, tanto al momento de la grabación como durante el proceso de recuperación de datos. Como ya se mencionó, la separación entre una y otra de las muestras triples que constituyen el formato de grabación ("GAP"), se logra anulando durante 4 ciclos de

reloj (4 x 1/4800 seg) al sistema de codificación, es decir, manteniendo durante ese periodo el mismo sentido en el flujo magnético que afecta a las pistas.

La manera en que el registrador sísmico diseñado en el Instituto de Ingeniería estructura el formato de grabación a partir de las señales de los acelerómetros se esboza en la fig. I-4.

En este diagrama de bloques se observa que cada muestra triple de 48 bits está constituida en realidad de 3 cargas sucesivas a un serializador de 16 bits que recibe, en cada una de ellas, 12 bits provenientes de un convertidor A/D, que representan a la señal de salida de uno de los acelerómetros, y el complemento correspondiente con los 4 bits adecuados, presentados por un microprocesador que es el encargado del manejo de todas las variables que se anexan a la señal sísmica (tiempo, número de evento, etc.)

Como se muestra, las salidas de los acelerómetros se filtran para limitarlas en banda y luego son seleccionadas alternadamente, según las señales MPXA Y MPXB, para que se presenten sucesivamente a la entrada del convertidor A/D. La señal START CONV. determina el inicio de la conversión A/D y la señal STROBE hace que el serializador cargue en paralelo los 16 bits, para ir presentándolos como una salida serie, de acuerdo a la señal de reloj TEMP1 (4800 Hz). Estos datos en serie están ya en la secuencia definida por el formato de grabación y se hacen pasar por una "Memoria de Preevento", que es equivalente a un retardo de 12,288 ciclos de TEMP1 ( $12,288 \times 1/4800 \text{ seg} = 2.56 \text{ seg}$ ), antes de introducirse al bloque codificador, en el cual se define el "GAP" cuando



MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL

FIGURA 1-4: DIAGRAMA DE BLOQUES DEL REGISTRADOR SISMICO DISEÑADO EN EL I.I.

la señal SYN, proveniente de la base de tiempo, anula la codificación.

El retardo introducido por la memoria de preevento evita la pérdida del inicio del fenómeno en el registro, ya que, en cuanto la aceleración del terreno rebasa el umbral del disparador, éste hace que el microprocesador active el transporte de cinta y por lo tanto se inicie el registro. Sin embargo, los primeros datos que se graban son los correspondientes a la aceleración que se sensó, convirtió y serializó dos y medio segundos antes del momento de arranque de la cinta. Por otra parte, el microprocesador se encarga de permitir que el proceso de grabación continúe durante un cierto intervalo de tiempo posterior a la última ocasión en que la aceleración fue de suficiente magnitud como para activar el disparador.

## CAPITULO II

### PROPOSITO, FUNCIONES Y REQUERIMIENTOS DEL MODULO DE COMUNICACION USUARIO-ACELEROGRAFO DIGITAL / DIAGRAMA DE BLOQUES.

Como se delinea en el capítulo anterior, una de las mejores aproximaciones a la solución del registro de movimientos sísmicos intensos es el empleo de un sistema autónomo. Sin embargo, aun cuando este tipo de instrumentos liberan al operador de la necesidad de actuar en el momento del registro, se requiere, para mantenerlos en operación, con niveles apropiados de confiabilidad, exactitud y precisión, que un operador lleve a cabo periódicamente los procedimientos adecuados de instalación, calibración, verificación y preparación del instrumento. Estos procesos implican una interacción entre el instrumento y el operador. Por otra parte, dada la variedad de ambientes en los que puede quedar ubicado un acelerógrafo para su funcionamiento, no es adecuado considerar que el operador vaya siempre a auxiliarse de diversos equipos de laboratorio para establecer esa interacción, en el punto de operación del instrumento.

Con miras a resolver esta necesidad se han desarrollado diferentes tendencias. Por una parte, en virtud de la cantidad de información anexa a las señales de aceleración que los aparatos modelo DCA-333 de Terra



Technology Corp. inscriben en sus registros, estos instrumentos incluyen todo un bloque destinado a la interacción con el operador. Este bloque comprende un "display" de cristal líquido de 6 dígitos, en el cual, mediante un selector rotatorio de 10 posiciones, es posible observar cualquiera de los datos numéricos que se anexan al registro, así como una representación numérica de la aceleración sensada por cada uno de los 3 acelerómetros.

Como para fines de preparación de un instrumento algunas de esas variables, (como lo son las cifras de tiempo, el contador de eventos registrados, etc.), deben ser reajustados por el operador, el bloque de interacción cuenta también con una serie de interruptores que permiten la modificación de dichas cantidades.

De ese modo, estos aparatos facilitan bastante la interacción con el operador, pero, para ello, requieren de la presencia de toda una sección de circuitería especializada y de la atención del elemento de control del instrumento, que en ese caso es un microprocesador, por lo que el beneficio se logra sólo mediante un aumento en la complejidad y el costo de cada una de las unidades.

En contraste con la tendencia anterior, otros fabricantes han orientado sus diseños de acuerdo a la filosofía de construir aparatos de campo robustos y exentos de complejidad innecesaria, esperando que esto aumente su confiabilidad. Por ejemplo, el modelo DSA-1 de Kinematics Corp., (también operado por el Instituto de Ingeniería), no inscribe en sus registros sino las señales de aceleración provenientes de los sensores. Estos aparatos indican al operador que va a revisarlos, exclusivamente, si

el disparador se ha activado, por lo menos una vez, desde la última revisión.

Considerando la gran importancia que tiene la inscripción del tiempo de ocurrencia de los eventos en los registros, de modo que sea posible correlacionar exactamente los registros de diferentes estaciones, a estas unidades se conecta, frecuentemente, un sistema de referencia de tiempo externo, cuya señal se puede grabar en el registro. Tales sistemas ofrecen medios adecuados para la visualización del dato correspondiente al tiempo.

En este tipo de aparatos, se observa que la cantidad de información incluida en el registro está hasta cierto punto restringida y que la incorporación de un dato tan necesario como lo es el de tiempo representa un costo extra al del propio acelerógrafo.

En el sistema de registro sísmico propuesto por el Instituto de Ingeniería se persigue una posición intermedia con la cual siga siendo posible el manejo de bastantes datos anexos en los registros sin que esto requiera, para su despliegue y manipulación, de un gran aumento en la complejidad y el costo de cada unidad de registro. Por ello, se ha planeado dotar al registrador de medios simples para una intercomunicación primaria e inmediata con el operador, pero considerando que la comunicación se llevará a cabo principalmente mediante un módulo externo que, manejado por el operador, le permita tanto la simple observación del comportamiento de las señales de aceleración y variables anexas, (sin necesidad de interrumpir para ello el funcionamiento del registrador), como la alteración de dichas variables con fines de ajuste y preparación del instrumento.

Esta propuesta está orientada a mejorar el aprovechamiento de los recursos involucrados en la operación de una red de registradores sísmicos destinados a monitorear este tipo de fenómenos en una cierta región.

Para un objetivo tal, las estaciones de registro con instrumentos autónomos se ubicarán relativamente cerca unas de otras, de modo que en cada viaje de revisión de estaciones se puede abarcar a varias de ellas.

Al llegar a cada estación, el operador debe de identificar cual es el estado del instrumento y de sus variables de registro, de modo que cualquier error o corrimiento, especialmente en la referencia de tiempo, pueda ser considerado o compensado al momento de analizar los registros que se generaron en esas condiciones.

Como preparación del instrumento para otro periodo de funcionamiento autónomo, se debe de renovar el material de registro (en este caso el cassette) y reajustar las variables de operación al valor adecuado.

Considerando que este tipo de visitas a las estaciones se realizan cada 3 ó 4 meses, resulta un tanto superfluo incluir un bloque muy completo de despliegue en cada registrador, pareciendo más adecuado que sea el propio operador el que lleve consigo un módulo que le permita interactuar de manera sencilla con los registradores, mismo que se podrá aprovechar óptimamente, al usarlo con varios de ellos.

Desde esta perspectiva se planteó el diseño del Módulo para Comunicación Usuario-Acelerógrafo Digital (MCUAD), el cual tiene como objetivo

principal el llevar a cabo las siguientes 2 funciones:

#### I) FUNCION DE SUPERVISION :

En esta función, el módulo debe de indicar al operador si el registrador está operando correctamente, permitiéndole conocer los valores de sus variables de registro.

Para poder realizar una evaluación del funcionamiento global del registrador es importante que la supervisión de la señal se lleve a cabo lo más cerca posible del punto de inscripción final del registro, (en este caso, de la cabeza grabadora), de modo que lo que se observe sea prácticamente lo mismo que se grabaría en la cinta magnética , si estuviese ocurriendo un evento.

El objetivo concreto de esta función es, entonces, el despliegue de los datos que se graban al cassette:

- Valor de la señal de aceleración sensada por cada acelerómetro.
- Referencia de tiempo (Día del año, hora, minuto y segundo)
- Identificación o número de serie del registrador.
- Valor del contador de eventos registrados.
- Otros datos que el microprocesador del registrador incluya en el "BUS BCD".

Dado que esta función está muy relacionada con el formato de grabación, es deseable aprovechar la compatibilidad de los formatos de manera que el módulo diseñado pueda servir como auxiliar en la interacción con los aparatos de la compañía Terra Technology Corp.

## II) FUNCION DE INICIACION DE VARIABLES :

Esta función se refiere a la manipulación y reajuste de los datos que el microprocesador maneja e incluye en el registro. El operador debe realizar tal reajuste o "iniciación" de estas variables cuando prepara al registrador para otro periodo de funcionamiento autónomo.

Puesto que las variables a modificar residen en la memoria RAM con la que trabaja el microprocesador del registrador, esta función demanda del módulo la capacidad de explorar, leer y escribir en esa memoria RAM, de modo que el dato en cuestión se pueda visualizar y alterar desde el módulo.

En la ejecución de estas 2 funciones es deseable que el módulo haga el proceso tan sencillo al operador como sea posible.

Además, existen otros requerimientos que se deben de tener en cuenta, dada la naturaleza de "equipo de campo" del módulo. Por ejemplo, debe de poder operarse a partir de algún tipo de batería, preferentemente recargable, lo

que hace necesario mantener bajo su consumo de potencia. Asimismo, se requiere que sus dimensiones sean adecuadas para poder considerarlo "portátil" y que no tenga características muy restrictivas en cuanto a su ambiente de operación, (especialmente en lo que respecta a la temperatura).

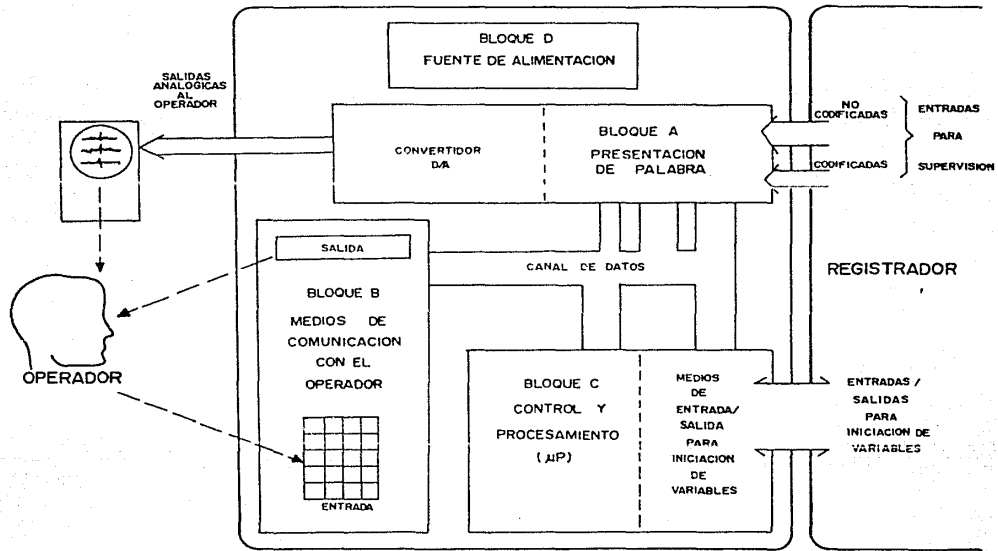
Por último, será conveniente que la mayor parte de los componentes involucrados en su implementación sean de los que están disponibles en el mercado nacional.

En la figura II-1 se presenta el diagrama de bloques propuesto para configurar al Módulo de Comunicación Usuario-Acelerógrafo Digital, de manera que sea capaz de efectuar las funciones antes especificadas.

Se observa que la interacción operador-registrador está coordinada básicamente por el bloque (C) de "Control y Procesamiento".

Para la función de iniciación de variables, la comunicación con el registrador se realiza a través de medios que están prácticamente incluidos en el mismo bloque (C). En cambio, para poder recibir o transmitir información al operador se requiere de la intervención del bloque (B) "Medios de comunicación con el operador".

En el caso de la función de supervisión, la sección de Control y Procesamiento requiere que otro bloque, el de "Presentación de Palabra", adapte las señales extraídas del registrador a una forma que le sea fácilmente manejable.



**MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL**

FIGURA 11-1: DIAGRAMA DE BLOQUES DEL MODULO DE COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL .

Complementa el diagrama un bloque (D) que proveerá los voltajes y corrientes necesarias para el funcionamiento de los otros bloques, a partir del voltaje de una batería.

Partiendo del diagrama de bloques, que pretende mostrar de la manera más general posible los elementos esenciales del módulo y la forma en que están relacionados, se presentan a continuación algunas características particulares a las que se llega al delimitar con mayor precisión las condiciones en que operará cada uno de los bloques.

En primer lugar, dada la función coordinadora del bloque (C), así como la interacción que deberá llevar a cabo con los dispositivos periféricos del microprocesador del registrador, se hace conveniente que la implementación de este bloque esté basada en un microprocesador. También, por lo anterior, se deduce que las señales de entrada/salida para iniciación de variables deberán incluir al menos algunas de las líneas de direcciones y datos del microprocesador.

Bajo este planteamiento, los bloques (A) y (B) funcionarán, hasta cierto punto, como periféricos del microprocesador en el que se base el bloque (C), estableciéndose la transferencia de información entre los bloques a través del canal de datos del mismo.

Siendo así, el bloque (B) deberá desplegar como salida la información que tome del canal de datos e introducirá en dicho canal la información que el operador desee.



Asimismo, la función del bloque (A) queda especificada con mayor claridad estableciendo que deberá tomar la señal de supervisión del registrador para presentarla en forma paralela, de modo que sea manejada con facilidad por el microprocesador.

El nombre de "Bloque de Presentación de Palabra" se deriva de que su misión es mostrar sucesivamente grupos de 16 bits o "palabras" al procesador, las cuales correspondan a un grupo de 12 bits, representativos de la salida de un sensor, junto con el grupo de 4 bits que le antecede de acuerdo al formato de grabación (fig. I-2b).

Para que el microprocesador pueda identificar cual de los 3 grupos de 16 bits que integran una muestra triple le está siendo presentado por el bloque (A), éste debe proveer, simultáneamente, un identificador que se lo indique.

Previamente, se ha establecido la conveniencia de que la supervisión se efectúe tan cerca como sea posible del elemento final de registro, de manera que el bloque (A) tendrá como "Entradas Codificadas" a las señales "Graba 1" (G1) y "Graba 0" (G0) del registrador (punto (3) de la fig. I-3).

También se definió como importante la supervisión de la señal digital que ya se encuentra en el formato serie ("Dato Serie"), tanto antes como después de la memoria de preevento, cuyo funcionamiento se podrá verificar en forma aproximada por comparación de los resultados obtenidos al observar en los puntos de supervisión (1) y (2) de la figura I-3 ("Entradas No Codificadas").

## CAPITULO III

### DISEÑO ELECTRONICO DE LOS BLOQUES FUNCIONALES

#### (HARDWARE)

En este capítulo se pretende mostrar los circuitos propuestos para la realización de las funciones requeridas en cada bloque, mencionando las consideraciones más importantes que condujeron a la determinación de esas configuraciones.

#### III.A "BLOQUE DE PRESENTACION DE PALABRA" (A)

Como ya se mencionó, este bloque debe presentar al canal de datos interno del módulo una salida en paralelo de 16 bits que será periódicamente renovada, según el orden establecido por el formato de grabación del registrador. Estos datos deben estar acompañados por un identificador que el bloque de Control y Procesamiento (C) pueda leer, para dar la correcta interpretación a la palabra que está siendo presentada. De acuerdo a los objetivos planteados, el bloque (A) debe lograr estos resultados a partir de 2 distintos tipos de entradas provenientes del registrador : Entradas No Codificadas y Entradas Codificadas.

El diagrama esquemático de esta sección se muestra en la figura III-1 y su funcionamiento se reseña a continuación.

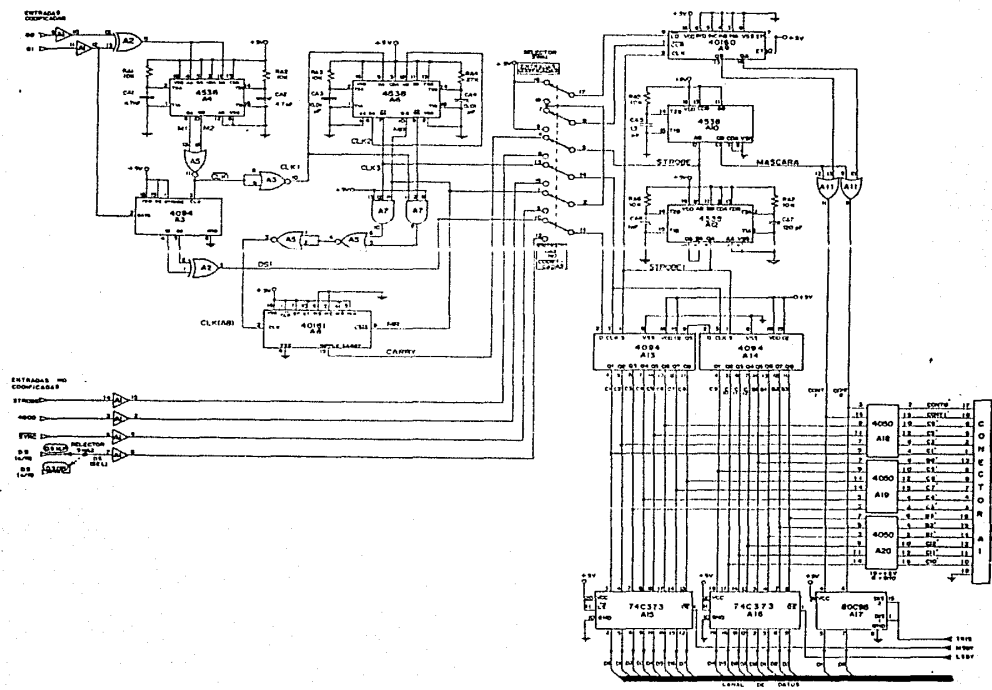
### III.A.1 FUNCIONAMIENTO PARA ENTRADAS NO CODIFICADAS.

En este caso, la señal a supervisar, que se extrae del registrador, es la señal digital (entre 0 y 5 volts) que se presenta en el punto (1) de la figura I-4. Esta señal es la salida del serializador, cuyo contenido se recorre de acuerdo al reloj de 4800 Hz del registrador. Dicha señal, por tanto, ya se encuentra ordenada de acuerdo al formato de grabación. Sin embargo, puesto que 2 ó más bits adyacentes pueden tener el mismo valor y como en este nivel previo a la decodificación todavía no se le ha dado su característica distintiva al "CAP", se requiere, para procesar a la señal de supervisión obtenida del punto (1) ó "DATO SERIE", extraer algunas otras señales de sincronía del registrador.

La señal de sincronía básica para poder manejar el "DATO SERIE" será la señal de reloj de acuerdo a la cual se está generando, es decir, "TEMP1", que aquí será denominada "4800".

Además, para poder localizar el "inicio" de una muestra triple en el flujo de datos recibidos, o para saber el significado de un grupo de 16 bits recibidos, de acuerdo a su ubicación en una muestra triple, el bloque (A) requiere de otras referencias.

Las señales MPXA y MPXB hubieran podido proporcionar la referencia requerida al considerarlas como salidas de un contador de 3 estados, de modo que cada uno de estos estados estuviese asociado a un tipo de palabra



MODULO PARA COMUNICACION  
USUARIO-ACELEROGRAFO DIGITAL

FIGURA III-1: DIAGRAMA ESQUEMATICO DEL BLOQUE A  
("DE PRESENTACION DE PALABRA").

recibida en el módulo. Sin embargo, se creyó más conveniente utilizar a la señal  $\overline{\text{SYNC}}$  para distinguir el inicio de una muestra triple y a la señal STROBE para ubicar los límites de los 3 grupos de 16 bits que constituyen cada muestra triple.

En consecuencia, las señales que el bloque (A) del módulo recibe como Entradas No Codificadas, para efectuar la supervisión son : "DATO SERIE", "4800", " $\overline{\text{SYNC}}$ " y "STROBE", las cuales se encuentran relacionadas en el tiempo de la manera indicada por la figura III-2.

La razón para preferir a las señales  $\overline{\text{SYNC}}$  y STROBE como referencia se basa en la posibilidad de usar a STROBE para el manejo de los circuitos integrados A13 y A14, los cuales permiten la obtención de una salida en forma paralela a partir de una entrada serie. Estos dispositivos contienen un registro de corrimiento de 8 etapas, por las cuales se va desplazando la entrada serie, y un registro de retención ("latch") octal, hacia el cual se puede descargar el contenido del registro de corrimiento, en forma paralela.

La propuesta es, entonces, construir con A13 y A14 una "extensión" de 16 bits al serializador del registrador. Tanto en el serializador como en A13 y A14 los corrimientos se realizan con la ocurrencia de cada transición positiva ("borde de subida") de la señal de 4800 Hz. Más aún, la misma señal STROBE indicará la carga en paralelo de un grupo de 16 bits al serializador y la descarga a los registros de retención en A13 y A14, del grupo anterior de 16 bits. Esa palabra permanecerá fija en A13 y A14 por, aproximadamente, 16 ciclos de reloj (de 4800 Hz), durante los cuales, el bloque de Control y Procesamiento puede leerla.

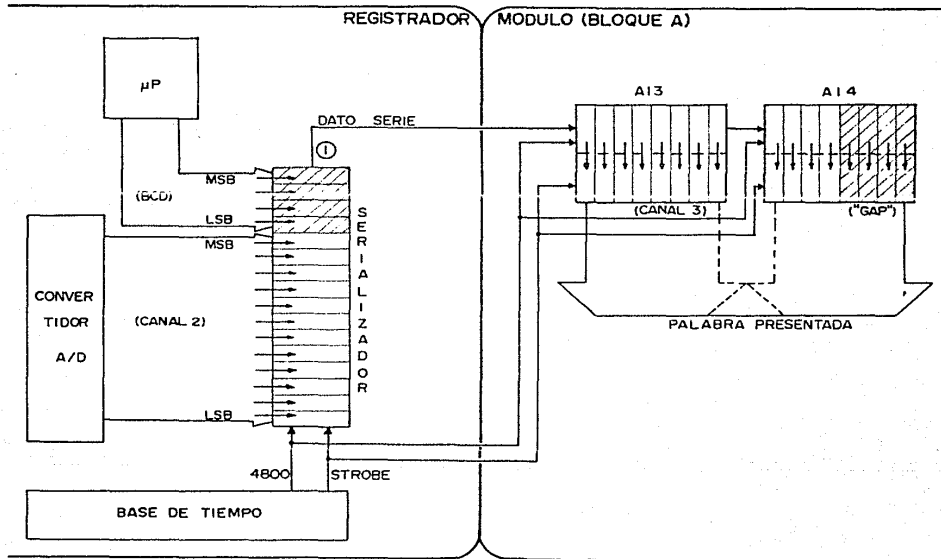


La figura III-3 muestra, esquemáticamente, este funcionamiento, indicando en particular la carga y descarga que se lleva a cabo al verificarse STROBE por primera vez después de la última verificación (en bajo) de SYNC.

Por otra parte, de lo anterior se deduce que, puesto que STROBE determinará la sucesión de las palabras expuestas por A13 y A14 al bloque (C), es posible reconstruir el "contador de 3 estados" que existe dentro del registrador si se usa a STROBE como reloj de un contador, en este caso A9, tal que regrese a su estado cero con la verificación de SYNC. De este modo, atendiendo a la secuencia marcada en la figura III-2, este contador se mantendría en su estado cero mientras A13 y A14 presentan los datos del canal 1 y el "BUS AUX", cambiando al estado uno cuando A13 y A14 transfieren a sus registros de retención los datos del canal 3 y el "GAP". Finalmente, el estado dos del contador coincidirá con la presentación de los datos del canal dos y el "BUS BCD", hasta que la verificación de SYNC regrese al contador a su estado cero.

En particular, el diagrama esquemático (figura III-1), muestra que, de acuerdo a las conexiones en el selector SWA1 para Entradas No Codificadas, el regreso al estado cero se realiza por la carga de ceros al contador. Eso ocurre sólo cuando, estando en nivel bajo SYNC, se presenta el "borde de subida" correspondiente en el reloj del contador, es decir, en STROBE (carga síncrona).

Al efectuar pruebas, durante el desarrollo de este bloque, se encontró que era conveniente realizar algunas modificaciones en la señal STROBE antes





de aplicarla a A13, A14 y A9. Tales modificaciones se llevan a cabo mediante los circuitos integrados A10 y A12. Estos circuitos son multivibradores monoestables de precisión (dobles) que, según la manera en que se configuren, pueden activarse por el "borde de subida" o el "borde de bajada" de la señal de disparo.

La señal original STROBE se usa para disparar, con su "borde de subida" al monoestable "b" del integrado A10, produciéndose un pulso de 15 microsegundos de duración, que se llamó "MASCARA". El mismo "borde de subida" de STROBE genera en el monoestable "b" de A12 un pulso de 10 microsegundos, llamado "RETARDO", ya que con su "borde de bajada" el monoestable "a" del mismo A12 produce un pulso que dura aproximadamente 1.2 microsegundos, denominado "STROBE1", el cual, finalmente se utiliza como señal de descarga en A13 y A14 y como reloj para el contador A9. La evolución de estas señales en el tiempo, así como su relación con la señal STROBE del registrador, se muestra también en la figura III-2.

La generación de las señales mencionadas tiene la finalidad de evitar que el bloque de Control y Procesamiento relacione erróneamente un identificador (un estado del contador A9), con una palabra presentada por A13 y A14.

Este tipo de confusión puede ocurrir aun cuando, idealmente, el cambio de estados del contador y la renovación de la palabra en A13 y A14 ocurren en el mismo instante, debido a que el bloque (C) leerá el identificador (contador) y la palabra en tiempos diferentes.

Normalmente, el bloque de Control y Procesamiento estará buscando adquirir

algún tipo específico de información de las palabras presentadas por A13 y A14, para lo cual esperará la aparición del estado correspondiente en A9. Cuando el estado de interés aparece en A9, el bloque (C) lo lee, lo reconoce y, a continuación, lee la información requerida de A13 y A14.

Sin embargo, en ocasiones, entre la lectura del identificador adecuado y la lectura de la información mostrada por A13 y A14, puede ocurrir la renovación de la palabra presentada, que, por tanto, ya no corresponderá al identificador considerado.

Para evitar dicha posibilidad, las líneas del identificador se hacen pasar por un par de compuertas OR del circuito integrado A11, las cuales también tienen como entrada a la señal MASCARA. Esta señal invalida al identificador, forzándolo a exhibir un valor de tres (en binario), durante un intervalo suficiente alrededor del instante de transición en A9, A13 y A14, de modo que no pueda ocurrir la confusión.

En el diagrama esquemático de este bloque, (figura III-1), se observa que las salidas de A13, A14 y de las compuertas que proporcionan el identificador para la palabra no se comunican directamente con el canal de datos del sistema. Esto se debe a que dicho canal se mantiene en continua actividad al ser usado por muchos dispositivos para comunicarse con el bloque de Control y Procesamiento.

Para evitar que la palabra en paralelo y su correspondiente identificador invadan el canal, inutilizándolo, su acceso se controla mediante A15, A16 y A17, que son "reforzadores" ("buffers") con salidas de tres estados ("Tri-state"), de modo que se presente una alta impedancia hacia el canal

en tanto que ninguna de las líneas de control MSBY, LSBY o TRIS sea verificada en bajo por el bloque de Control y Procesamiento.

Dado que los registros de retención de A13 y A14 tienen también salidas de 3 estados, el control del paso de la palabra al canal de datos se hubiera podido realizar en esos mismos circuitos integrados. Se eligió habilitar esas salidas permanentemente y efectuar el control mediante otros dispositivos con la finalidad de que existieran puntos accesibles en los que los 16 bits de cada palabra presentada y sus 2 bits de identificación permanecieran válidos durante el intervalo completo de los 16 ciclos de reloj.

De hecho, esas 18 señales, "reforzadas" mediante los integrados A18, A19 y A20, son aprovechadas internamente, de un modo que se describe más adelante, y puestas a disposición del operador a través del CONECTOR A1, para su uso exterior en posibles aplicaciones alternativas del módulo que se esbozarán en el capítulo V.

Por último, cabe aclarar que el caso en que se supervise el DATO SERIE después de la memoria de preevento (punto (2) de la figura I-4), es completamente similar, debido a que el retardo efectuado en el DATO SERIE por la memoria de preevento es múltiplo del periodo de cualquiera de las señales de referencia usadas por el módulo para su procesamiento. Es decir, ya sea que el DATO SERIE se considere antes o después de la memoria de preevento, la relación que guarda en el tiempo con 4800,  $\overline{\text{SYNC}}$  y STROBE es la ilustrada en la figura III-2 y, por tanto, el funcionamiento del bloque (A) del módulo es el mismo para cualquier señal seleccionada mediante SWA2.

### III.A.2 FUNCIONAMIENTO PARA ENTRADAS CODIFICADAS.

En el caso de que la supervisión se desee realizar a partir de las señales digitales que determinan la dirección del flujo magnético producido por cada cabeza grabadora, "G0" y "G1", el proceso para la presentación de palabras al bloque (C) debe iniciarse con la decodificación de dichas señales.

De hecho, el enfoque que se dió a esta parte del diseño consiste, esencialmente, en usar G0 y G1 para la generación de señales similares a las que se toman como Entradas No Codificadas del registrador, de modo que se pueda aprovechar la solución propuesta para ese caso.

De este modo, además de decodificar el DATO SERIE, se requerirá de regenerar una señal de reloj apropiada para su manejo, así como las señales de referencia que permitan la identificación de la palabra presentada al bloque (C). El método empleado para la obtención de este juego de señales se comenta en base al diagrama de tiempos correspondiente (figura III-4) y al diagrama esquemático (figura III-1), considerando al interruptor SW1 tal y como está dibujado.

En el diagrama de tiempos se resume, en primer lugar, el proceso de generación de las señales G0 y G1 dentro del registrador, mostrando que, cuando ocurre el "borde de bajada" de la señal de 4800 Hz (del registrador) y el DATO SERIE (DS) vale "1" lógico, G1 sufre una transición y G0 se mantiene en el mismo nivel, ocurriendo lo contrario cuando el DATO SERIE vale "0" lógico.



Como se mencionó al especificar el tipo de codificación usada por el registrador, el sistema NRZI en 2 pistas permite la recuperación de una referencia de tiempo, a partir de las propias señales codificadas. Esto se lleva a cabo en una compuerta XOR de A2. Sin embargo, la señal  $G0 \oplus G1$  es de una frecuencia de 2400 Hz. Para obtener la frecuencia del reloj original (4800 Hz), se dispara al monoestable "a" de A4 con el "borde de subida" de  $G0 \oplus G1$  y al monoestable "b" del mismo circuito integrado con su "borde de bajada", produciéndose en cada caso un pulso de , aproximadamente, 47 microsegundos de duración ("M1 " y "M2", respectivamente). La combinación OR de estas 2 señales, denominada "CLK1", es un tren de pulsos de 4800 Hz que tiene 4 de cada 48 ciclos suprimidos , debido al "GAP".

La importancia de CLK1 radica en que permite admitir cada nuevo valor de G1 al registro de corrimiento A3, de modo que se tengan en él 2 valores consecutivos de G1.

Si durante la codificación en el registrador se hizo cambiar de nivel a G1 en caso de que el DATO SERIE valiera "1" y se le dejó en el mismo nivel cuando el DATO SERIE tuvo un valor de "0", es posible determinar el valor del DATO SERIE correspondiente al tiempo "n", por comparación de  $G1(n)$  y  $G1(n-1)$ , disponibles en las salidas Q1 y Q2 de A3, respectivamente.

La función lógica requerida para tal decodificación es :

$$DS1(n) = G1(n) \oplus G1(n-1) ,$$

de acuerdo a la siguiente tabla :

TABLA III-1 DECODIFICACION DEL DATO SERIE, MEDIANTE G1 .

Q1	Q2	$Q1 \oplus Q2$	En el registrador:
G1(n)	G1(n-1)	$G1(n) \oplus G1(n-1)$	
0	0	0	G1 se mantuvo bajo Codificó un DS=0
0	1	1	Transición negativa Codificó un DS=1
1	0	1	Transición positiva Codificó un DS=1
1	1	0	G1 se mantuvo alto Codificó un DS=0

La evolución de las señales, al transcurrir el tiempo, se puede apreciar en la figura III-4. Es necesario aclarar que los corrimientos en A3 están determinados por el "borde de subida" de  $\overline{CLK1}$  (no ilustrada en el diagrama de tiempos), que coincide con el "borde de bajada" de CLK1.

Hay otros aspectos que se deben resaltar en la misma figura. Por ejemplo, la señal DSI generada en el módulo se presenta, obviamente, retrasada con respecto a la señal original DS del registrador. Más aún, ninguna de las

señales del módulo consideradas hasta ahora presenta una transición ("borde") durante el tiempo de validez del último bit de DS1, en cada muestra triple.

Ello implica que ninguna de las señales generadas hasta este momento podría reemplazar adecuadamente al reloj de 4800 Hz del registrador, ya que todos los bits del DATO SERIE deben de ir acompañados de un "borde" en la señal de reloj que permita su aceptación por parte de A13 y A14.

En vista de lo anterior se utiliza al monoestable "a" de A6 para generar un pulso de, aproximadamente, 100 microsegundos de duración con cada "borde de bajada" de CLK1. La señal resultante, denominada CLK2, presenta un "borde de bajada" durante el intervalo de validez de cada bit de la señal DS1.

Puesto que los corrimientos en A13 y A14 tendrán lugar al detectarse "bordes de subida" en sus entradas de reloj, se requiere que sea la señal inversa de CLK2, la que se utilice finalmente, en reemplazo de la señal 4800 del registrador. A esta señal se le ha asignado el nombre de CLK3 y se obtiene del mismo circuito integrado que CLK2.

En la figura III-4 es notorio que todas las señales generadas a partir de G0 y G1 muestran un intervalo de anulación determinado por el "GAP" en el formato de grabación. Se puede hacer uso de esto para obtener una señal que permita ubicar un punto característico de cada muestra triple. En particular se aprovechó que el monoestable "b" de A6 es redispensible para que, activándolo con el "borde de subida" de CLK2 y configurándolo para una duración de pulso de 270 microsegundos (aproximadamente una y media



veces el periodo de CLK2), se obtenga una señal que permanecerá en alto, excepto cuando, debido al "GAP", no llegue un nuevo "borde de subida" para redispararlo oportunamente. El resultado se observa en la figura III-4, con el nombre "NR" y es la señal que reemplazará a la señal SYNC del registrador.

Según lo descrito, cuando NR toma un nivel bajo, ello significa que el siguiente bit de DSI que se genere será el primero (MSB) de los 12 bits del canal 3, a partir de lo cual ya es posible identificar cada uno de los 48 bits en cada muestra triple, de acuerdo al orden establecido por el formato de grabación.

Se presenta a continuación la necesidad de generar, partiendo de las señales de las que ya se dispone, una señal equivalente al STROBE del registrador, la cual indique a A13 y A14 cuando efectuar una "descarga" en paralelo hacia sus registros de retención, de modo que se muestre una nueva palabra al bloque de Control y Procesamiento.

Teniendo en cuenta que tales "descargas" se deben realizar para cada 16 bits del formato, surge, de manera natural, la idea de usar la salida de acarreo ("carry") de un contador binario de 16 estados (en este caso A8), para esa función.

Sin embargo, debido a la irregularidad que presenta la primera palabra de cada muestra triple, en la que no se regenera la señal de reloj durante el intervalo correspondiente al "GAP", la primera de cada 3 "descargas" en A13 y A14 se debe realizar después de tan sólo 12 corrimientos.

Para lograr tal efecto, se propone que la señal MR reinicie la cuenta de A8 cada vez que tome un nivel bajo, pero no a partir de su estado cero, sino de su estado 3 (0011, en binario), de modo que sólo requiera detectar 12 "bordes de subida" en su terminal de reloj para generar por primera vez el pulso de acarreo. Tratándose de la segunda y tercera palabras de cada muestra triple, A8 deberá pasar por sus 16 estados antes de generar un pulso de acarreo.

Al llevar a efecto la propuesta anterior, se encontró una complicación de tipo práctico. El contador A8 seleccionado efectúa el proceso de carga sólo de manera síncrona, es decir, requiere la detección de un "borde de subida" en su entrada de reloj, mientras su entrada de carga ( $\overline{LOAD}$ ) está en un nivel bajo, para realizar la carga programada.

Para satisfacer este requerimiento, se utilizó como señal de reloj para A8 una composición de funciones :

$$CLK(A8) = (MR \cdot CLK3) + (\overline{MR} \cdot CLK1) \quad ,$$

tal que incluye un "borde de subida" durante el intervalo en que MR permanece en el nivel bajo, para que se realice la carga.

La implementación de esta función lógica se lleva a cabo con compuertas de A7 y A5 para que, con esa señal como reloj, A8 presente la sucesión de estados indicada en la figura III-4, en la que también se muestra la señal de acarreo, "CARRY", en relación a todas las otras señales.

En la parte inferior del mismo diagrama de tiempos se muestra el efecto

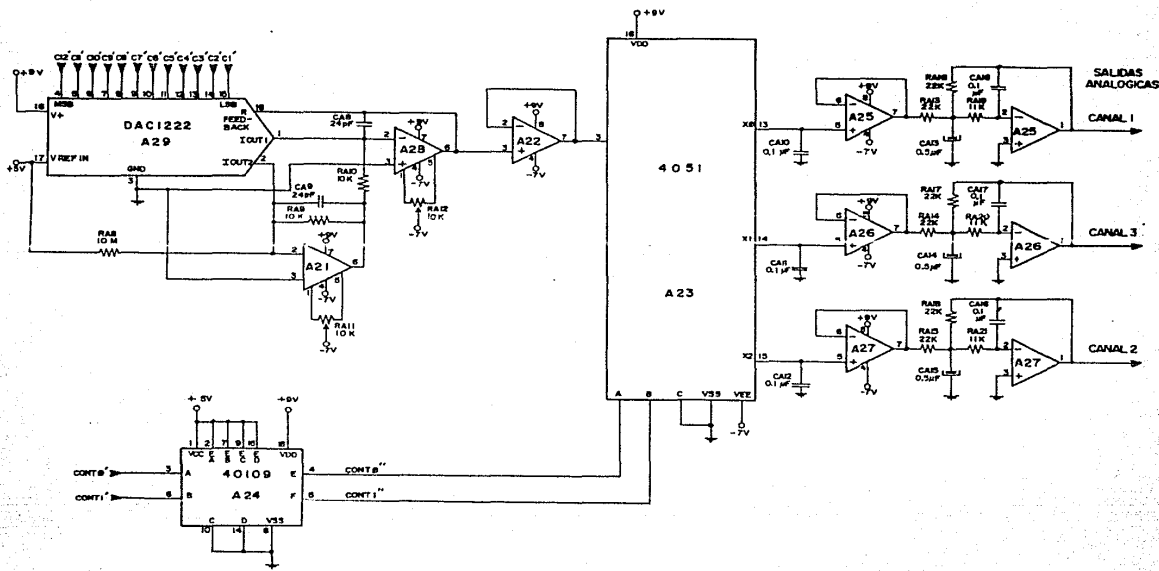
que tienen las 4 señales generadas a partir de G0 y G1 en la sección del bloque (A) ubicada a la derecha del selector SWA1 en la figura III-1, de acuerdo al funcionamiento que ya se ha comentado. La única diferencia de importancia es que, dadas las características de la señal MR, el reinicio que ésta provoca en el contador de 3 estados A9 no se realiza esta vez mediante carga síncrona, sino mediante borrado (clear) asíncrono. También por las características de MR, en este modo de funcionamiento el identificador presenta un estado de invalidez (tres) de mayor duración entre una muestra triple y la siguiente.

### III.A.3 SALIDAS ANALOGICAS DE LAS SEÑALES DE ACELERACION.

Al desarrollar el bloque de Presentación de Palabra y apreciar la conveniencia de poner a disposición del operador las líneas que le permiten hacer uso externo de las palabras presentadas y de su identificador, se consideró que, sobre todo para aplicaciones alternativas del módulo, (comentadas más adelante), también sería importante proporcionarle las 3 señales analógicas representativas de la aceleración sensada, para su observación directa.

Con tal fin se anexó al bloque (A) el circuito mostrado en la figura III-5, el cual realiza las funciones de conversión digital-analógica, demultiplexaje y filtrado de las señales analógicas.

Al convertidor digital-analógico, A29, están conectadas, como entradas, las 12 señales reforzadas (C1' a C12') que, en cada palabra representan a la aceleración sensada por los diferentes transductores.



**MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL**

FIGURA 111-5: DIAGRAMA ESQUEMATICO DE LA SECCION DE CONVERSION D/A, DEMULTIPLEXAJE Y FILTRADO DE LAS SALIDAS ANALOGICAS.

El convertidor empleado es del tipo "Escalera R-2R" y funciona mediante la conmutación de la corriente de sus 12 ramas hacia la salida Iout1 ó hacia la salida Iout2, según los valores de sus entradas digitales. Se eligió la configuración mostrada ya que ésta permite una salida de voltaje bipolar en A28, haciendo posible representar la característica alternante de la señal de aceleración captada. En este esquema A21 tiene la función de "invertir" la dirección de la corriente Iout2, de manera tal que en la entrada "-" de A28 se realice una resta efectiva de corrientes Iout1 - Iout2. A28 funciona como un convertidor de corriente a voltaje, de modo que se obtiene en su salida un voltaje proporcional a la diferencia de las corrientes Iout1 e Iout2, ambas determinadas por las entradas digitales de A29 y por su voltaje de referencia.

En resumen, el voltaje de salida de A28 está dado por :

$$V_{out} = -V_{ref} (a_1/2 + a_2/4 + \dots + a_{12}/4096 - 1/4096)$$

donde :  $a_1, a_2, \dots, a_n, \dots, a_{12}$  : Entradas digitales de A29.

$a_1$  : MSB

$a_{12}$  : LSB

y se considera que :

$a_n = +1$ , si el voltaje en esa entrada es alto.

$a_n = -1$ , si el voltaje en esa entrada es bajo.

En este caso,  $V_{ref} = +5$  volts.

Con la configuración empleada se pueden obtener salidas analógicas desde +Vref = +5 volts, hasta -Vref(4094/4096), es decir, (-5 V)(4094/4096) = -4.9976 volts. Esta duplicación en la escala completa en que opera la configuración implica, sin embargo, una degradación en la resolución, la cual vale :

$$\delta = \text{RESOLUCION} = (2)(5 \text{ V})/(4096) = (5 \text{ V})/(2048) = 0.0024 \text{ V.}$$

Puesto que las señales C1' a C12' cambiarán con cada nueva palabra que se muestre al bloque (C), la señal analógica obtenida en A28 representará, de manera alternada, a las señales de aceleración de cada uno de los 3 canales.

Entonces, se requiere demultiplexar las señales para presentarlas independientemente al operador. Esto se realiza en A23, de acuerdo a las señales reforzadas del identificador de palabra "CONTO'" y "CONT1'", las cuales se adaptan mediante A24 a los niveles de voltaje (0 a 9 volts) con los que trabaja A23. Así, de acuerdo a lo mostrado en las figuras III-2 y III-4, cuando, por ejemplo, ambas señales del identificador valgan "0", la señal analógica correspondiente al canal 1 se transferirá de la salida de A22 al capacitor CA10, ocurriendo de manera similar con la señal de los otros 2 canales, al presentarse el identificador correspondiente.

Los capacitores CA10, CA11 y CA12, junto con los "seguidores" configurados con uno de los amplificadores de A25, A26 y A27, permiten retener el valor de voltaje de cada canal mientras se esté renovando el voltaje correspondiente a los otros 2 canales.

De esta manera, la señal analógica en la salida de esos seguidores permanecerá en un valor aproximadamente constante durante cada centésima de segundo, debido a que, para cada canal, el proceso de registro involucra un muestreo realizado a la velocidad de 100 muestras por segundo.

Por tanto, se requiere que las señal de cada canal pase por un "Filtro de Reconstrucción" del mismo tipo que el "Filtro de limitación en banda" que procesa la señal de cada acelerómetro antes de ser muestreada en el registrador.

El filtro activo referido es del tipo paso-bajas, con una frecuencia de corte de, aproximadamente, 45 Hz, una relación de amortiguamiento cercana a 0.65 y ganancia unitaria en su banda de paso. Estos filtros se implementaron con los amplificadores operacionales restantes de A25, A26 y A27.

### III.B "BLOQUE DE COMUNICACION CON EL OPERADOR" (B)

A continuación se presentan y comentan los medios establecidos para que el módulo pueda recibir la información que el operador desee introducir y pueda mostrar a dicho operador la información que proviene del registrador.

Los medios de comunicación que se mencionan aquí permiten, específicamente, la transferencia de información entre el operador y el bloque de Control y Procesamiento del módulo, a través del canal de datos, ya que ese bloque aparece siempre como intermediario entre el registrador

y el operador.

### III.B.1 ENTRADA DE INFORMACION AL MODULO

Como medio para que el operador pueda introducir datos al módulo y, por su conducto, al registrador, se ha empleado un teclado de 20 teclas, equivalente a un arreglo de interruptores SPST (un polo-un tiro) conformado por 5 renglones y 4 columnas, como se muestra en la figura III-6.

Para liberar al bloque de Control y Procesamiento de la tarea de interpretar las pulsaciones efectuadas en el teclado, se incluyó en esta sección al circuito integrado B1, el cual es un codificador para teclado de 4 columnas y 5 renglones. Este elemento tiene 5 salidas del tipo "tres estados", en las que muestra un código binario que identifica a la tecla pulsada.

Los 4 primeros renglones del teclado se reservaron para representar siempre dígitos hexadecimales, por lo que se hizo coincidir al código mostrado para cada tecla con la expresión en binario del dígito hexadecimal que ella representa:

NOMBRE ASIGNADO A LA TECLA	CODIGO MOSTRADO POR B1
----------------------------	------------------------

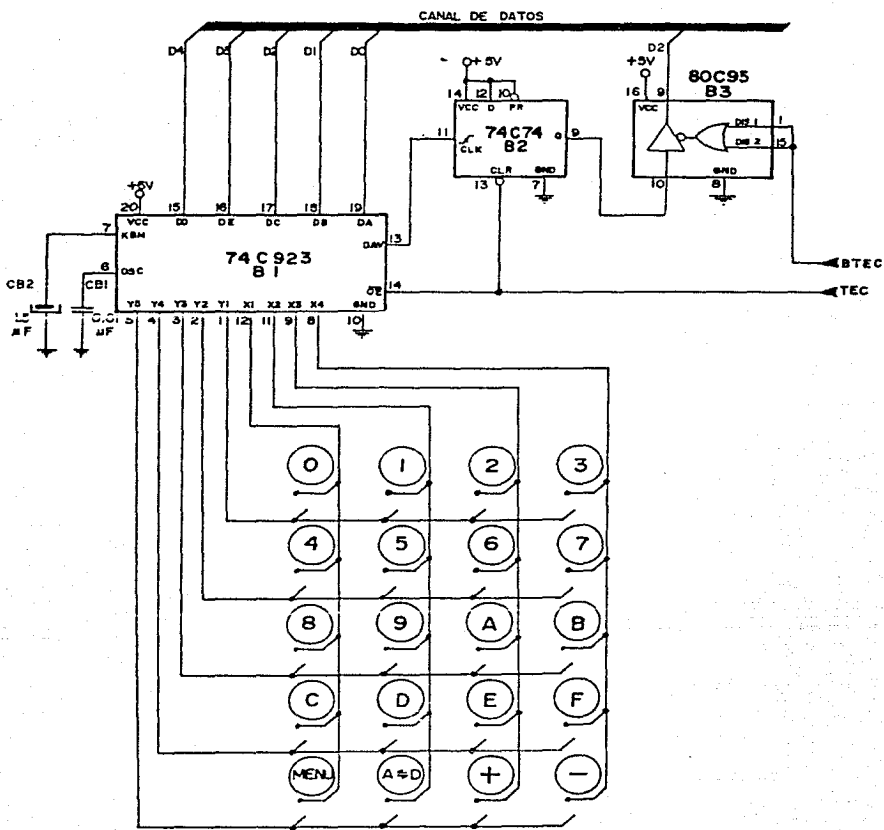
"0"	00000
-----	-------

"1"	00001
-----	-------

.	.
---	---

.	.
---	---





MODULO PARA COMUNICACION  
USUARIO-ACELEROGRAFO DIGITAL

FIGURA III-6: CIRCUITOS PARA EL MANEJO DEL  
TECLADO.

A las 4 teclas del quinto renglón (teclas de función específica), se asociaron los 4 códigos restantes:

NOMBRE ASIGNADO A LA TECLA	CODIGO MOSTRADO POR B1
"MENU"	10000
"A=D"	10001
"+"	10010
"_"	10011

B1 realiza la codificación mediante exploración sucesiva de las columnas del teclado con una periodicidad determinada por la frecuencia de un oscilador interno, la cual se ajusta con el valor del capacitor CBI.

Este circuito integrado cuenta además con un bloque "eliminador de rebotes" que valida el dato pulsado sólo cuando la tecla permanece cerrada, sin interrupciones ("rebotes"), durante un intervalo fijado mediante CB2. Cuando esto ocurre, el dato es considerado válido, lo cual se indica por la presentación de un nivel alto en la terminal de "DATO DISPONIBLE". Esta señal se mantendrá en alto mientras la tecla esté oprimida. La salida de "DATO DISPONIBLE", sin embargo, no es del tipo de "tres estados".

Para ajustar el funcionamiento de este codificador a los requerimientos

del módulo se le utiliza en combinación con un "flip-flop" tipo "D", accionado por "borde de subida" (B2) y un "reforzador" ("buffer"), no inversor, con salida de "tres estados", (B3), como se ve en la figura III-6.

Cuando una pulsación se acepta como válida, la señal de DATO DISPONIBLE del codificador provoca un borde de subida en la entrada de reloj de B2, lo que establece en él un estado lógico de "1", ya que su entrada de datos está conectada permanentemente a +5 volts.

De este modo, el estado del "flip-flop" funciona como una "Bandera de Teclado" que indica cuando ha ocurrido una pulsación y que el código correspondiente a la tecla pulsada se encuentra disponible en B1.

El bloque de Control y Procesamiento puede revisar en cualquier momento el estado de esa "bandera", a través del canal de datos, habilitando la salida del "reforzador" ("buffer") B3, con un nivel bajo en la línea de control BTEC.

Cuando el bloque (C) encuentre que el estado del "flip-flop" es un "1", procederá a leer el código de la tecla oprimida que le presente B1. Para permitir el paso del código al canal de datos, el bloque (C) habilitará las salidas de "tres estados" de B1 al poner un nivel bajo en la línea de control TEC. Con esta misma acción se "borra" (clear) el "flip-flop", cesando la indicación dada por la "bandera de teclado", hasta que se efectúa una nueva pulsación en el teclado.

### III.B.2 DESPLIEGUE DE INFORMACION NUMERICA AL OPERADOR

Como medio de salida de información numérica se eligieron 3 "Displays" de Cristal Líquido (LCD), cada uno, con 4 dígitos de 7 segmentos, 3 puntos decimales y un símbolo de doble punto (:).

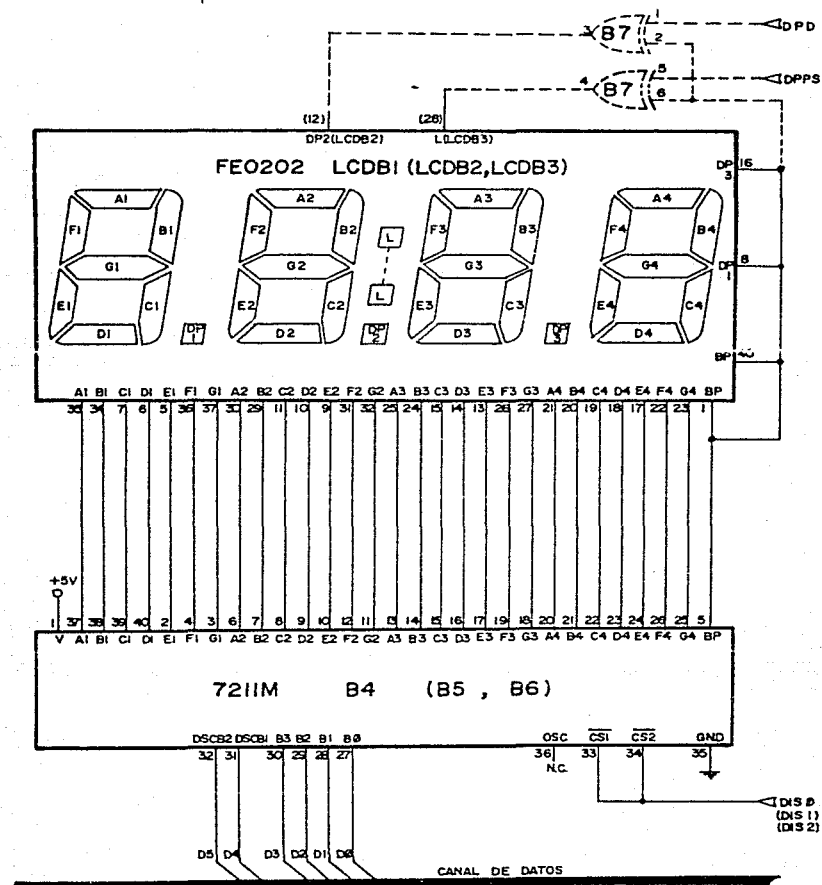
Se optó por este tipo de despliegue en base a sus ventajas características de consumo de potencia y legibilidad en condiciones diurnas, que son bajo las cuales se realizan la mayoría de las visitas de revisión a las estaciones de registro. Por otra parte, los 12 dígitos de que se dispone con el arreglo propuesto son suficientes para mostrar al operador grupos de información completos desde el punto de vista funcional. Por ejemplo, se pueden leer a la vez todos los datos relativos al tiempo o la representación numérica de las 3 señales de aceleración.

El funcionamiento de estos dispositivos se basa en la alteración de las propiedades ópticas de la substancia que se denomina comunmente "Cristal Líquido". Tal alteración es la que propicia el "encendido" de una zona del "display" y se lleva a efecto sometiendo al cristal líquido a un campo eléctrico. Este campo eléctrico se genera al aplicar un voltaje a las películas conductoras transparentes que se encuentran en el interior de las 2 placas de vidrio que confinan al cristal líquido. Sin embargo, el voltaje aplicado no debe ser constante porque se podría provocar la electrólisis del cristal líquido, reduciendo la vida útil del dispositivo. Es por ello que estos elementos son excitados comunmente por señales cuadradas.

Los "displays" usados presentan una terminal (BP) a la que se puede considerar que está conectada una de las películas conductoras de cada segmento. En cambio, la segunda película conductora de cada segmento y de cada signo adicional (doble punto y puntos decimales) se pone a disposición del usuario en una terminal independiente.

Para su funcionamiento se alimenta la señal cuadrada de referencia o "Backplane" a la entrada BP del "display". Si se desea "encender" un segmento en particular, se debe aplicar la señal inversa a la de referencia en la entrada correspondiente, de modo que en todo momento las películas conductoras de ese segmento estén a diferente potencial, existiendo un campo eléctrico que propicie la alteración deseada en el cristal líquido que se encuentra entre ellas. En cambio, para asegurar que el segmento permanecerá "apagado" se debe conectar a su terminal la misma señal de referencia que está conectada a la entrada BP. De este modo, las 2 películas conductoras del segmento considerado estarán siempre al mismo potencial, resultando en la ausencia de campo eléctrico para ese segmento.

De acuerdo a lo anterior, para mantener un despliegue de 4 dígitos y 4 símbolos auxiliares se requerirá alimentar 32 señales cuadradas a cada unidad, estando algunas de ellas "en fase" y el resto "fuera de fase" con respecto a la señal de referencia. Esta tarea consumiría una proporción considerable de la capacidad del bloque de Control y Procesamiento si se tratara de realizar directamente. Por consiguiente, se optó por el uso de 3 circuitos integrados que tienen el propósito específico de manejar "displays" como los empleados, a partir de la información que reciban de un microprocesador. En la figura III-7 se muestran las conexiones



establecidas entre el Decodificador/Impulsor("driver") B4 y el "display" que controla (LCDB1). En el bloque (B) hay 2 parejas más, B5 - LCDB2 y B6 - LCDB3, que están conectadas esencialmente de la misma manera.

Los Decodificadores/Impulsores tienen solamente 4 terminales de entrada para datos (las correspondientes a un solo dígito hexadecimal expresado en binario), pero cuentan también con 2 entradas para seleccionar el dígito que se desea usar en un momento determinado, de acuerdo a las siguientes combinaciones :

DSCB1	DSCB2	DIGITO SELECCIONADO
0	0	DIGITO 4
0	1	DIGITO 3
1	0	DIGITO 2
1	1	DIGITO 1

Tanto los 4 bits del dato como los 2 bits del código de selección de dígito (DSCB1 y DSCB2) son admitidos por los registros de retención ("latches") de entrada de B4, B5 ó B6 cuando sus 2 entradas CS1 y CS2 son llevadas a un nivel bajo por el bloque (C), mediante la línea de control correspondiente (DIS0, DIS1 ó DIS2). Sin embargo, la representación del dato captado en el dígito seleccionado no ocurrirá sino hasta que CS1 y CS2 vuelvan a un nivel alto.

Aunque los circuitos integrados B4, B5 y B6 realizan la decodificación del

dato (binario a 7 segmentos), la generación de la señal de referencia y el ajuste de fase de las 28 señales necesarias para el control de los 4 dígitos de cada "display", estos dispositivos no proveen señales para controlar los signos auxiliares (doble punto y puntos decimales).

En general, dichos símbolos se anularon permanentemente conectando esas entradas de los "displays" a la señal de referencia generada por el Decodificador/Impulsor correspondiente. Los únicos símbolos auxiliares que se utilizaron fueron el punto decimal 2 del "display" 1 (central) y el signo de doble punto (:) del display 2 (a la derecha). En esos casos el control de encendido del símbolo se hace mediante una línea proveniente del bloque de Control y Procesamiento que se conecta como entrada a una compuerta XOR (B7), al igual que la señal de referencia del "display" de que se trate. La salida de la compuerta XOR se encuentra conectada a la entrada del "display" que controla el "encendido" del símbolo en cuestión. Si el bloque (C) pone un nivel alto en la línea de control, eso hará que la señal de referencia se presente invertida a la salida de la XOR y, por tanto, el símbolo auxiliar se "encienda". Por el contrario, si la línea de control presenta un nivel bajo, la señal de referencia aparece sin defasamiento a la salida de la XOR y el símbolo permanecerá "apagado".

Puesto que los 2 símbolos auxiliares referidos no fueron utilizados en todos los "displays", las compuertas y señales asociados a ellos se muestran con líneas punteadas en la figura III-7.



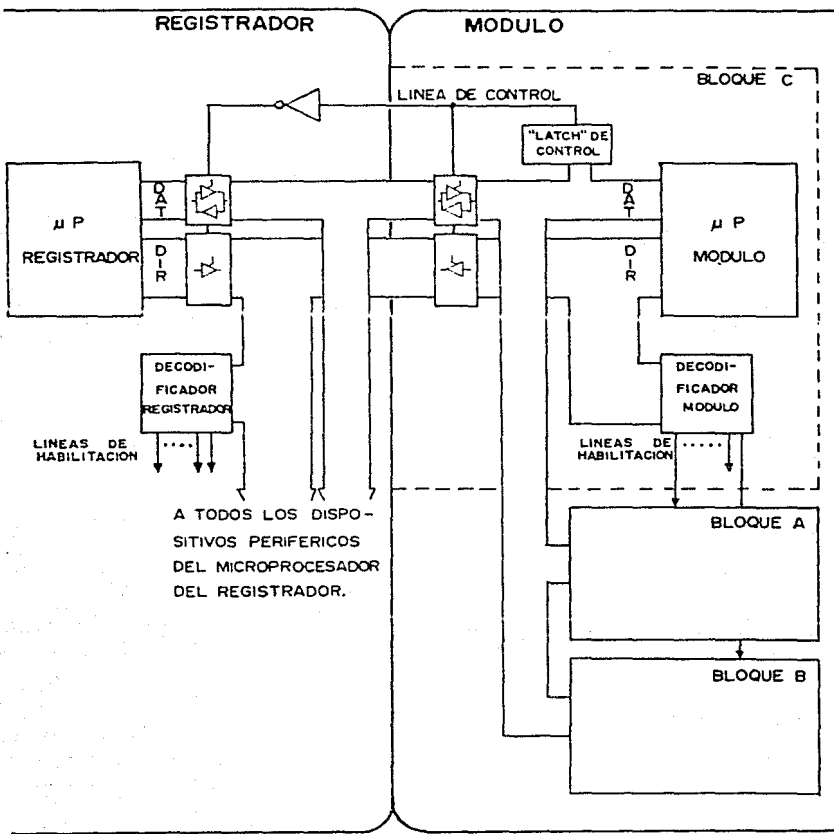
### III.C "BLOQUE DE CONTROL Y PROCESAMIENTO" (C)

Antes de proceder a describir la implementación propuesta para este bloque, se mencionarán algunos detalles específicos requeridos en su funcionamiento que influyeron en el diseño.

#### III.C.1 CARACTERISTICAS DE LA INTERACCION REGISTRADOR-MODULO Y CONSIDERACIONES DE DISEÑO DERIVADAS.

Como se observa en la figura II-1 (Diagrama de bloques del módulo), el bloque (C), además de coordinar el funcionamiento de los otros bloques y efectuar operaciones sobre los datos cuando esto se requiere, es el que está más relacionado con la función de iniciación de variables en el registrador. Se ha mencionado que, para poder desarrollar esa función, el bloque (C) debe, necesariamente, de interactuar con la memoria RAM que utiliza el microprocesador del registrador. Sin embargo, considerando sobre todo la posibilidad de que en el futuro se establezca una función mediante la cual el módulo realice un diagnóstico primario para ayudar a localizar fallas en el registrador, se concluyó que era conveniente facilitar la comunicación del bloque (C) del módulo con todos los dispositivos periféricos del microprocesador del registrador. Es decir, que el bloque (C) del módulo debe poder utilizar los canales de datos y direcciones internos del registrador para manejar los dispositivos periféricos de su microprocesador, cuyo funcionamiento deberá anularse, mientras tanto.

La idea básica que se propone para permitir este tipo de interacción se esquematiza en la figura III-8. En ella se muestra como la comunicación hacia los dispositivos periféricos del microprocesador en el registrador se puede establecer alternadamente con dicho microprocesador o con el que



**MODULO PARA COMUNICACION USUARIO-ACELEROGRAFO DIGITAL**

**FIGURA III-8: ESQUEMA BASICO DE LA COMUNICACION ENTRE CANALES DEL MODULO Y DEL REGISTRADOR.**

realizará las funciones de control y procesamiento en el módulo, mediante 2 juegos de "reforzadores" ("buffers") con salidas de "tres estados" ("Tri-state"), controlados con señales opuestas generadas por el bloque (C) del módulo.

El esquema mencionado hace posible que, bajo el control del operador, los 2 sistemas se entrelacen, reduciéndose a uno solo manejado exclusivamente por el microprocesador del módulo. Con esto se dejan establecidas las bases para que el módulo pueda, en el futuro, realizar funciones de diagnóstico primario, mediante la ejecución de rutinas de verificación de los dispositivos periféricos del registrador. Todavía más, el microprocesador del módulo podría sustituir, para fines de prueba, al microprocesador del registrador en la ejecución, parcial o total, del programa de control del instrumento.

El aprovechamiento de las opciones planteadas implica, sin embargo, el establecimiento de condiciones de diseño más específicas. Por ejemplo, si se desea dejar abierta la posibilidad de que el microprocesador del módulo ejecute el programa de control del registrador, dicho procesador deberá ser del mismo tipo que el contenido en el instrumento.

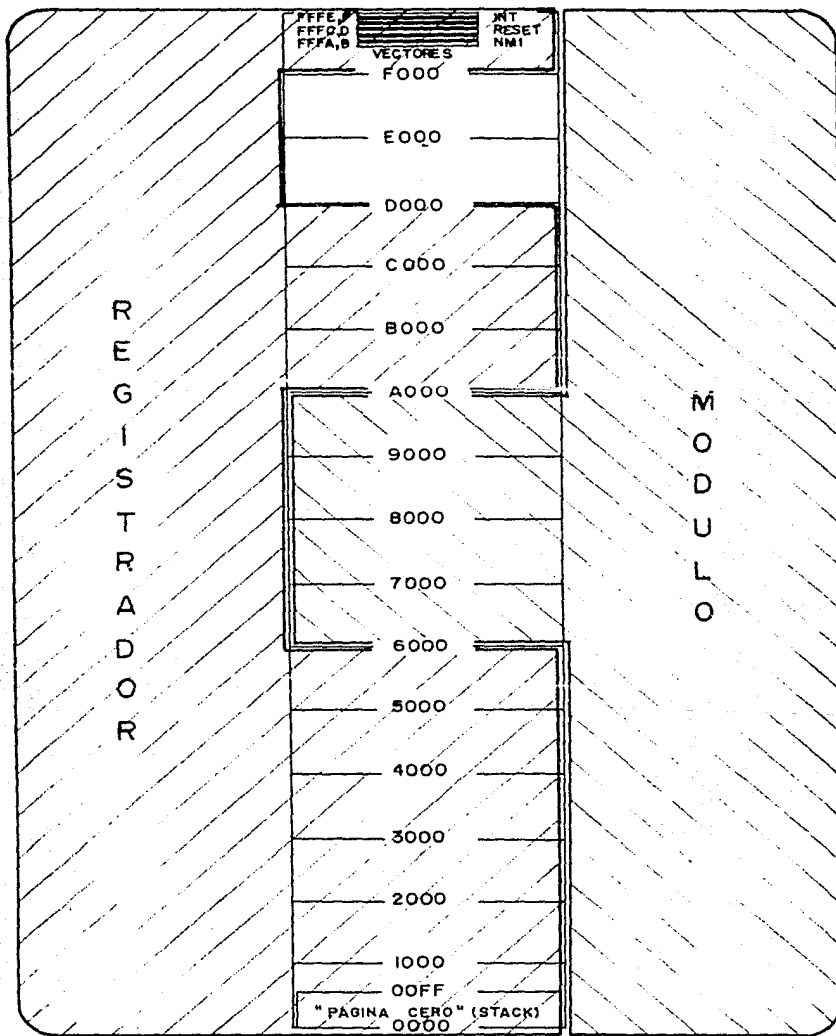
Al evaluar esta alternativa se estableció que era conveniente emplear el mismo procesador que se usó en el registrador, el cual es el 65C02 (versión en tecnología CMOS del procesador 6502), dado que posee características que lo hacen apropiado para su utilización en el módulo. Entre estas características se puede destacar el hecho de que, debido al tipo de tecnología con la que está realizado, su consumo de energía es particularmente bajo (4mA/MHz a 5 V), lo que coincide con uno de los

objetivos globales del diseño, considerado igualmente al seleccionar el resto de los componentes (también CMOS).

Además, se consideró que el desarrollo del bloque (C) se facilitaría si su diseño se hiciera en base al 65C02, por contar con la disponibilidad de sistemas también basados en ese procesador (aunque no en su versión CMOS) que, a la larga, fueron de gran ayuda en tareas como el ensamblado, prueba y edición de rutinas parciales del programa monitor del módulo.

Asimismo, el funcionamiento relativamente autónomo para el que se diseñaron los bloques (A) y (B) permite que la capacidad del microprocesador del bloque (C) se enfoque a tareas que no son demasiado complejas ni requieren ser efectuadas a gran velocidad, de manera que se estimó que se podrían llevar a cabo satisfactoriamente con este microprocesador de 8 bits, trabajando a una frecuencia de 1 MHz.

Por otra parte, puesto que en un momento dado el microprocesador del módulo tendrá acceso tanto a sus dispositivos periféricos como a los que están en el registrador, debe evitarse que un direccionamiento pueda llegar a activar simultáneamente a un periférico en el módulo y a otro en el registrador. Entonces, puesto que la ubicación de las zonas del mapa de memoria ocupadas por el registrador ya estaban definidas, los dispositivos periféricos (y memorias) necesarios para el funcionamiento del módulo debieron establecerse en las zonas vacantes del mapa de memoria, como lo muestra la figura III-9. Esta limitación condujo a restricciones importantes tanto en la programación como en la circuitería asociadas al microprocesador del módulo.



MODULO PARA COMUNICACION  
USUARIO-ACELEROGRAFO DIGITAL

FIGURA 111-9: MAPA DE MEMORIA COMPARTIDO  
REGISTRADOR-MODULO.

En primer lugar, la imposibilidad de disponer de la zona de memoria ilustrada en el extremo superior de la figura III-9 alterará la ejecución de algunas de las funciones importantes del microprocesador. Por ejemplo, la ubicación inicial del contador de programa, después de un "RESET" (Reinicio de programa), queda definida por los 2 bytes que el microprocesador capta de las localidades \$FFFC y \$FFFD. Similarmente, la transferencia de control de programa al ocurrir una interrupción queda definida por los vectores que el microprocesador normalmente lee de las localidades \$FFFE y \$FFFF (Interrupción enmascarable) y \$FFFA, \$FFFB (Interrupción no-enmascarable).

De manera semejante, al no poder hacer uso de la zona de memoria denominada "Página cero" (direcciones \$0000 a \$00FF) se dificulta el uso de subrutinas. Esto se debe a que la "dirección de regreso" con la que se retoma la secuencia normal del programa después de ejecutada una subrutina se almacena normalmente en el "stack" o "registro pila" que sólo puede definirse dentro de esa "Página cero". También como consecuencia de lo anterior, se complica el uso de instrucciones con modos de direccionamiento definidos para las localidades de "Página cero" y de aquellas que operan sobre el "stack".

Al tomar en cuenta las anteriores restricciones se consideró que, dado el funcionamiento de los bloques (A) y (B) del módulo, el sistema puede prescindir de los mecanismos de interrupción, siendo más bien el microprocesador quien, dentro de la secuencia normal del programa, inspeccione el estado de estos bloques, alterando el flujo del programa de acuerdo a lo que encuentre ("Polling").

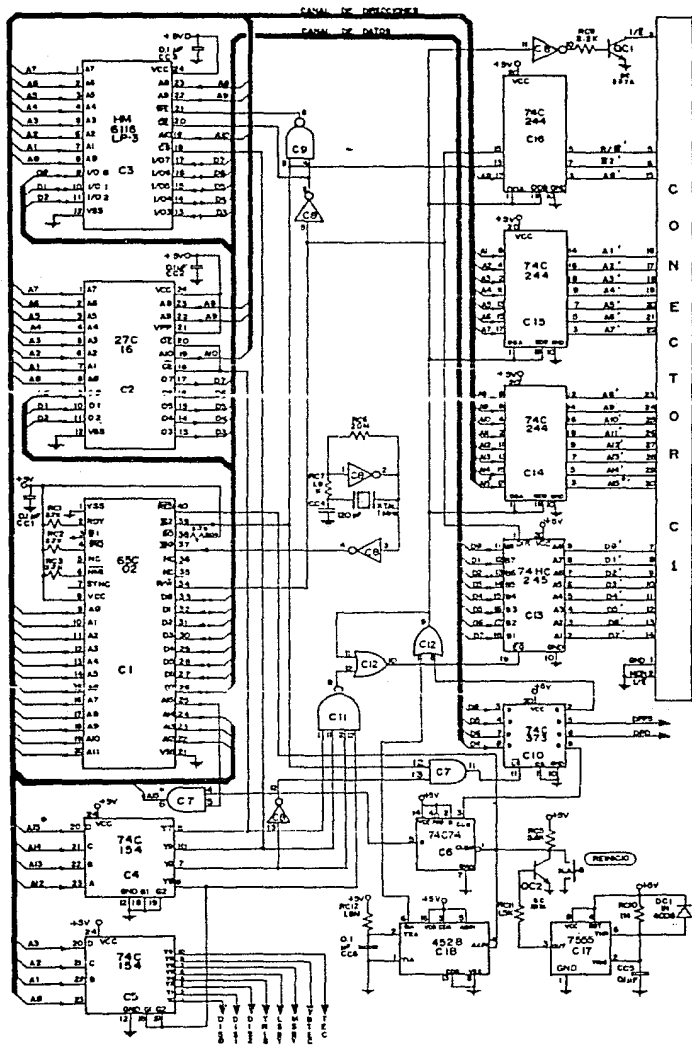
También se consideró que la programación del procesador se podría realizar sin emplear subrutinas si se desarrollaba el programa de acuerdo a un esquema que se ramifique en los puntos en que existan varias opciones posibles, siguiendo el flujo la rama seleccionada por el operador mediante el teclado. (Esto se aprecia en el diagrama de flujo incluido en el siguiente capítulo).

Al problema restante, es decir, la ineludible necesidad de marcar una dirección inicial a partir de la cual el microprocesador comience a ejecutar el programa monitor, después de un "RESET", se busco darle una solución basada en la propia circuitería ("Hardware") del bloque (C), tal como se reseñará en la siguiente descripción de ese bloque.

### III.C.2 DESCRIPCION DEL "BLOQUE DE CONTROL Y PROCESAMIENTO"

La figura III-10 muestra la manera en que están organizados los componentes del bloque (C).

El elemento principal de este bloque es el microprocesador de 8 bits 65C02, debido a que en él se realizan las operaciones aritméticas y lógicas que el procesamiento de los datos requiere y a que es este circuito integrado (C1), el que, a la larga, coordina la actividad de los bloques (A) y (B). El microprocesador necesita para su funcionamiento una señal de reloj de 1 MHz, la cual se genera mediante el cristal de cuarzo (XTAL 1 MHz), uno de los "inversores" del circuito integrado C8 y los componentes RC6, RC7 y CC4.



MODULO PARA COMUNICACION  
USUARIO-ACELEROGRAFO DIGITAL

FIGURA III-10: DIAGRAMA ESQUEMATICO DEL BLOQUE C ('DE CONTROL Y PROCESAMIENTO').



La definición del mapa de memoria para el sistema se establece en base a los decodificadores de 4 a 16 líneas C4 y C5. En primer lugar, C4 pondrá en un nivel bajo alguna de sus 16 salidas, según la combinación que muestren los 4 bits más significativos del canal de direcciones, A15\*, A14, A13 y A12, de manera que , entonces, cada una de las salidas de C4 quedará asociada con un rango de 4K bytes en el mapa de memoria.

Para la operación interna del módulo se consideró el uso de sólo 4 de esas salidas, Y7, Y8, Y9 y Y10, que, en cambio, no se emplean en el decodificador equivalente que existe dentro del registrador, con lo cual se evita la habilitación simultánea de 2 dispositivos durante el tiempo en que el microprocesador del módulo esté conectado tanto a C4 como a el decodificador del registrador.

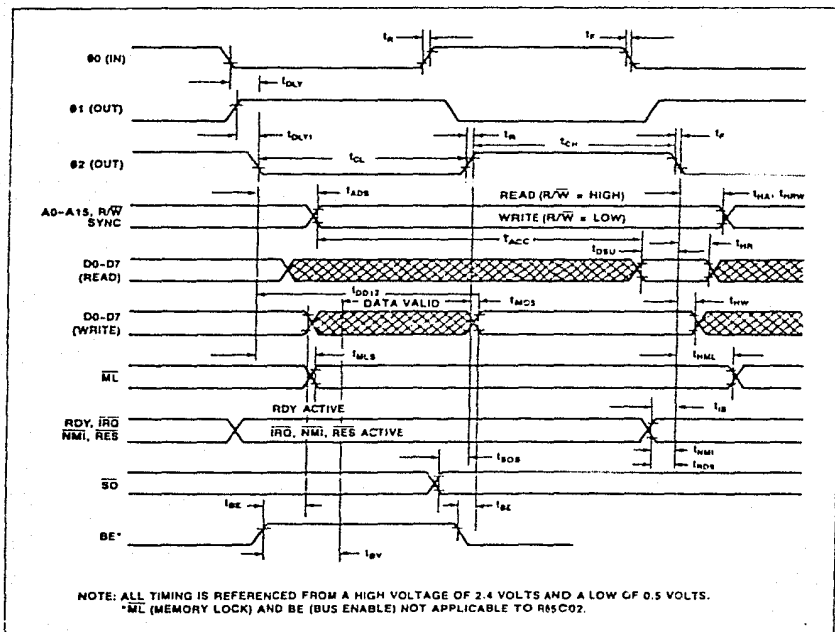
La salida Y8 de C4 no está destinada a activar directamente ningún periférico del procesador, sino que habilita a C5 para que éste, a su vez, decodifique los 4 bits menos significativos del canal de direcciones, A3, A2, A1 y A0, para originar las 8 señales de control mostradas en la figura III-10, las cuales actúan sobre los elementos de los bloques (A) y (B) especificados en la siguiente tabla :

DIRECCION DEL MICROPROCESADOR (HEXADECIMAL)	LINEA DE CONTROL QUE SE ACTIVA (EN BAJO)	DISPOSITIVO HABILITADO
8000	DIS0	"Display" izquierdo

8001	DIS1	"Display" central
8002	DIS2	"Display" derecho
8004	TRIS	Identificador de Palabra (A17)
8005	LSBY	1/2 Palabra Presentada (A16)
8006	MSBY	1/2 Palabra Presentada (A15)
8008	BTEC	Bandera de Teclado (B3)
8009	TEC	Codificador de Teclado (B1)

La salida Y9, que corresponde al rango de direcciones comprendidas entre \$9000 y \$9FFF, habilita al circuito integrado C3 que es la memoria RAM del módulo.

Con el inverso de la salida Y6 de C4 se puede hacer que el registro de retención ("latch") C10 lea 4 de los bits del canal de datos. Pero, puesto que C10 leerá esos bits durante todo el intervalo en que su entrada  $\overline{LE}$  se mantenga en un nivel alto, podrían ocurrir errores en la lectura si se le habilitara directamente con el inverso de dicha salida, debido a que, como se muestra en el diagrama de tiempos del 65C02, (Figura III-11), los valores en el canal de datos pueden dejar de ser válidos antes de que los bits de direcciones cambien y hagan que la salida Y6 del decodificador tome un nivel alto, para que se fijen los datos en C10. Con la finalidad de evitar esto, se restringió la habilitación de C10 a un intervalo más



pequeño, condicionándola a que la salida de referencia de tiempo del microprocesador, Ø2, esté en un nivel alto, además de que Y6 esté en bajo. Lo anterior se logró con un "inversor" de C8 y una compuerta AND de C7.

Por último, la salida Y7 de C4 se emplea para habilitar a la memoria EPROM (C2), en la que está grabado el programa monitor que el procesador debe ejecutar. Debido a esto, la EPROM se habilitará al hacer cualquier direccionamiento entre \$7000 y \$7FFF. Como ya se anticipó, ésta no es la localización natural de la EPROM en el mapa de memoria del 65C02. En particular, hay que considerar que, después de que el procesador detecta un "borde de subida" en su entrada de "RESET", (con lo que se le indica que ejecute un re-inicio de programa), asignará a las líneas de su canal de direcciones los valores equivalentes a \$FFFC, leyendo de su canal de datos el byte menos significativo de la dirección que usará como punto de partida del programa monitor. En seguida, direccionará \$FFFD, para leer el byte restante de esa dirección de 16 bits. Sin embargo, debido a que esa zona del mapa de memoria del conjunto registrador-módulo ya estaba destinada para el registrador, se requirió de agregar algunos elementos adicionales a la configuración básica del microprocesador del módulo, para que éste leyera, después de un "RESET", la dirección inicial del programa monitor desde otra zona del mapa de memoria.

Es por lo anterior que la línea A15 del microprocesador no se incorporó directamente al canal de direcciones del módulo, sino que ésta, junto con la salida "Q" del "flip-flop" C6 se conectaron como entradas a una compuerta AND de C7, cuya salida, denominada "A15\*", es ya la línea correspondiente al bit más significativo del canal de direcciones. C6 es un "flip-flop" tipo "D", con su entrada de datos conectada permanentemente

a un nivel alto (+5V) y su entrada de reloj, la cual se activa por "borde de subida", manejada por uno de los bits del registro de retención ("latch") C10, en el que se fija la información escrita por el propio microprocesador.

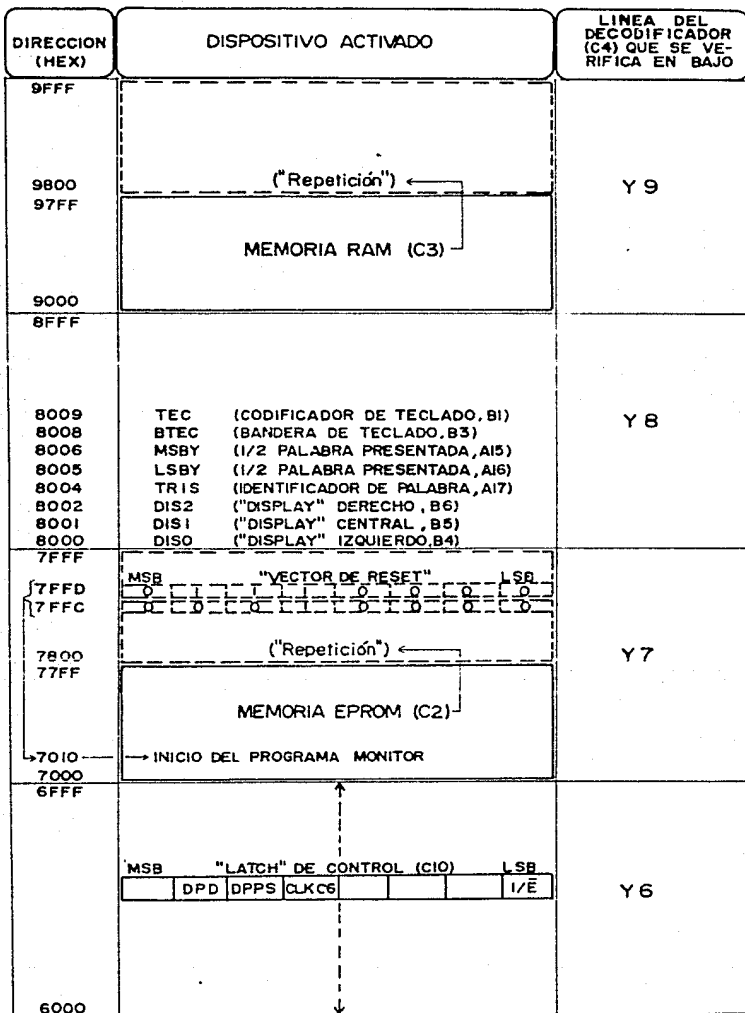
La terminal "CLEAR" del "flip-flop" C6 está conectada a la misma línea que la entrada de "RESET" del microprocesador, de modo que, cuando dicha línea es llevada a un nivel bajo, C6 muestra un "0" lógico en su salida. Este valor se mantiene aún después del "borde de subida" en la señal de "RESET", de manera que aunque el microprocesador direccionará sucesivamente \$FFFC y \$FFFD, para obtener la dirección inicial del programa, la línea A15\* se mantendrá en "0" y los direccionamientos serán interpretados como \$7FFC y \$7FFD. Estas 2 ya son localidades ubicadas dentro de la zona del mapa de memoria que abarca la EPROM del módulo (\$7000 a \$7FFF), de modo que se puede grabar en ella un par de bytes que señalen un punto adecuado de esa misma zona como inicio del programa monitor. (En este caso \$7010).

En este punto es importante que el microprocesador restablezca su capacidad total de direccionamiento, escribiendo en el bit de C10 que controla el reloj del "flip-flop" un "0", seguido de un "1", para garantizar así que C6 detectará un "borde de subida" en su terminal de reloj y con ello el "1" lógico presente en su entrada de datos se transmitirá hacia su salida "Q". Después de esto, la compuerta AND ya permitirá que en su salida (línea A15\*) se refleje el valor de la señal A15 del microprocesador.

La entrada de "RESET" del microprocesador está conectada a la línea de alimentación de +5 V. , a través de una resistencia de "pull-up", RC5, pero puede llevarse, momentáneamente, a un nivel bajo, ya sea mediante el "push-button" de "REINICIO", que el operador puede pulsar en cualquier momento, o mediante la conducción de QC2, que ocurrirá automáticamente al encender el módulo. Este "RESET" de encendido se obtiene mediante el circuito multivibrador C17, el cual queda polarizado en cuanto se energiza la línea de alimentación de +5 volts, apareciendo en su salida un nivel alto que hace conducir a QC2. Debido a la presencia de RC10 y CC5, el voltaje en las terminales 2 y 6 de C17 no alcanzará el umbral de disparo sino después de, aproximadamente, 100 milisegundos, a partir de los cuales la salida se mantendrá en un nivel bajo , cesando la conducción de QC2, con lo que se provoca el "borde de subida" necesario en la terminal de "RESET" del microprocesador.

Como resumen de lo que se ha mencionado acerca de la lógica de decodificación del módulo, en la figura III-12 se presenta, en detalle, la región del mapa de memoria que ocupa el propio módulo para su funcionamiento. En ella se observa que las memorias EPROM (C2) y RAM (C3) aparecen "repetidas", debido a que cada una de ellas tiene una capacidad de 2K bytes pero se activan con salidas del decodificador C4 correspondientes a rangos de 4K bytes.

Las líneas de decodificación para ambas memorias, especialmente para la EPROM, no sólo las comunican al canal de datos ( $\overline{OE}$ ), sino que, de hecho, habilitan a esos circuitos integrados sólo en los momentos en que se va a hacer una operación de lectura o escritura en la que se vean



involucrados. Con esto se persigue reducir tanto como sea posible el consumo de energía de esos dispositivos.

Dado que la memoria RAM (C3) lee el canal de datos al detectar un "borde de subida" en su entrada  $\overline{WE}$ , ésta se debió manejar con una combinación de la salida  $R/\overline{W}$  del microprocesador y la señal de sincronía  $\phi 2$ , la cual se obtiene con una compuerta NAND de C9 y un "inversor" de C8, tal como se observa en la figura III-10. Con esto se logra, de acuerdo al diagrama de tiempos del microprocesador, que la RAM almacene el dato correcto.

El registro de retención ("latch") C10 no sólo se ocupa durante el proceso de "RESET", sino que, en general, mantiene fijas señales de control que el microprocesador genera pero no puede mantener por sí solo durante todo el tiempo necesario, dada la naturaleza dinámica de su canal de datos. En particular, a través de este registro se manejan las señales que determinan el encendido del punto decimal del "display" central (DPD) y del doble punto (:) del "display" derecho (DPPS). Más aún, es mediante este registro que el microprocesador maneja la línea  $I/\overline{E}$  que controla su comunicación hacia los canales de direcciones y datos del registrador.

La salida de C10 que el microprocesador altera según el bit menos significativo de su canal de datos funciona como señal de habilitación para los 3 "reforzadores" ("buffers") unidireccionales con salida de "tres estados" ("Tri-state"), C14, C15 y C16, con lo cuales se comunicará en el momento adecuado, el canal de direcciones del módulo con el del registrador, así como las señales  $R/\overline{W}$  y  $\phi 2$ , para permitir que el microprocesador del módulo tome el control de los dispositivos periféricos del registrador. Específicamente, si el microprocesador del módulo escribe



un "0" en este bit de C10 se establecerá la comunicación a través de C14, C15 y C16, interrumpiéndose cuando el microprocesador cambie el estado del bit referido.

Para asegurar que no ocurra una superposición de señales cuando los canales de datos del módulo y el registrador se comuniquen a través del "reforzador" ("buffer") bidireccional de "tres estados", C13, la habilitación de este circuito requiere, además de un nivel bajo en  $I/\bar{E}$ , que todas las salidas empleadas del decodificador principal del módulo (Y6, Y7, Y8 y Y9), estén en un nivel alto, es decir, que el microprocesador C1 no esté usando el canal de datos del módulo para comunicarse con alguno de sus periféricos. Este condicionamiento se estableció con una compuerta OR de C12 y la compuerta NAND C11 (figura III-10). La dirección del flujo de datos a través de C13 estará designada por el procesador del módulo, mediante su señal  $R/\bar{W}$ .

Por otra parte, puesto que el control de la comunicación a través de los 4 "reforzadores"(buffers) de "tres estados" se realiza de acuerdo al programa, es importante asegurar que en la secuencia que prosigue al encendido del módulo, o en general, a cualquier "RESET" del sistema, el microprocesador C1 no encuentre señales ajenas en sus canales, especialmente en el de datos. Con este fin se conectó el circuito monoestable C18 de manera que se dispare al ocurrir un "borde de subida" en la línea de "RESET", para originar un pulso que se mantiene en alto durante, aproximadamente, 180 milisegundos. Esta salida está conectada a la misma compuerta OR que la salida de C10 que maneja a  $I/\bar{E}$ , de manera que se forza a que durante los 180 milisegundos posteriores al encendido la señal de habilitación de los "reforzadores" esté en alto, inhibiendo la

comunicación. Entonces, el microprocesador cuenta con esos 180 milisegundos para asumir el control sobre los "reforzadores", escribiendo en C10 el código adecuado.

De acuerdo a lo mostrado en la figura III-8, existe, dentro del registrador un juego de "reforzadores" similares a C13, C14, C15 y C16, que deberán de comportarse de manera opuesta, para que , en cualquier momento, los dispositivos periféricos en el registrador estén comunicados y gobernados por uno solo de los 2 microprocesadores. La coordinación necesaria se realiza mediante el colector de QC1, llevando a este transistor a saturación o corte, según el nivel de la señal de habilitación para C13, C14, C15 y C16.

Dentro del registrador, la entrada correspondiente tiene una resistencia de "pull-up" que mantiene esa señal en un nivel alto mientras el módulo no está conectado al registrador, o bien, cuando ambos sistemas están conectados pero trabajan independientemente. En el momento en que el microprocesador del módulo determina hacer efectiva la comunicación a través de C13, C14, C15 y C16, estos dispositivos se habilitan y, simultáneamente, se hace que QC1 conduzca, de modo que la señal  $1/\bar{E}$  en el registrador también tome un nivel bajo. Con esto los "reforzadores" de "tres estados" del registrador se deshabilitarán y se detendrá la operación de su microprocesador, permitiendo que el procesador del módulo, C1, ejerza control sobre ambos sistemas.

### III.D BLOQUE (D) "FUENTE DE ALIMENTACION"

Como se puede apreciar en los diagramas esquemáticos presentados anteriormente, los bloques (A), (B) y (C) requieren, para su operación, de ser alimentados con diferentes niveles de voltaje. Los bloques (B) y (C) contienen esencialmente dispositivos digitales, en su mayoría de tecnología CMOS, que pueden ser alimentados con un voltaje regulado de +5 volts DC. En contraste, el bloque (A) contiene varios amplificadores operacionales que, para poder manejar la señal analógica bipolar que se pretende obtener del convertidor D/A, deben estar polarizados, tanto positiva como negativamente, a niveles que excedan la excursión máxima de la señal analógica esperada.

Por otra parte, como se especificó dentro de los requerimientos del módulo, es necesario hacer que el equipo funcione a partir de una o varias baterías, preferentemente recargables, que no lleven su peso ni su volumen fuera de los límites que marca su característica de "portátil". Teniendo en cuenta que en las mediciones preliminares realizadas al prototipo del módulo se comprobó que su consumo de energía era bajo, se consideró la posibilidad de usar baterías recargables de gel, cuyos peso y volumen son adecuados para esta aplicación.

En primera instancia, se podrían usar 2 baterías de 12 volts, para alimentar a los dispositivos analógicos con +12 y -12 volts, derivando un voltaje de +5 V a partir de la alimentación positiva.

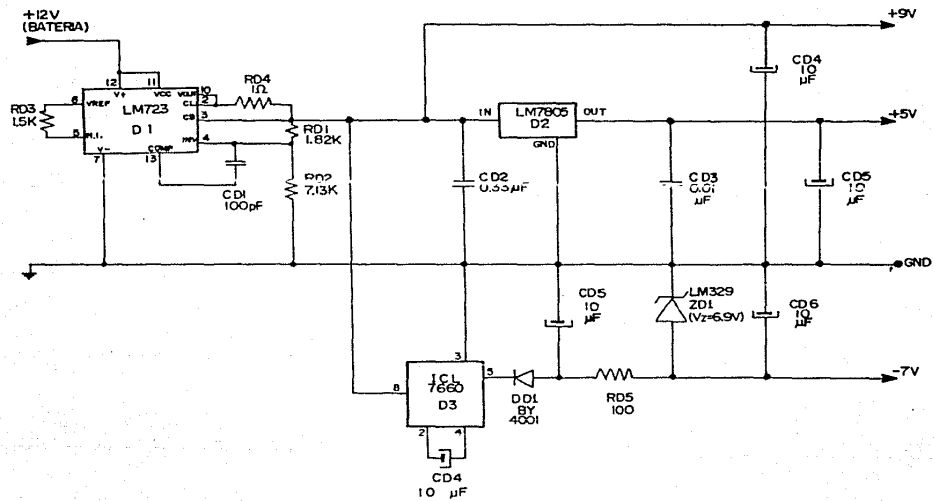
Sin embargo, debido a que el voltaje negativo sólo se emplea para alimentar a unos cuantos circuitos integrados (amplificadores operacionales), la demanda de corriente respectiva es baja. Como, además,

el voltaje negativo puede ser diferente a  $-12\text{ V}$ , la situación se encontró propicia para sustituir a la batería de alimentación negativa usando un "convertidor de voltaje DC-DC" (inversor de voltaje) integrado (ICL 7660), que obtiene el voltaje negativo requerido a partir de la batería de alimentación positiva.

La implementación del bloque (D), hecha en base a las consideraciones anteriores, se muestra en la figura III-13.

Puesto que el ICL7660 (D3) está diseñado para voltajes de entrada desde  $+1.5\text{ V}$  hasta  $+10\text{ V}$ , se empleó el regulador ajustable LM723 (D1), configurado con RD1, RD2 y RD3, para obtener en su salida (terminal 3), un voltaje regulado de  $+9\text{ volts}$ , que servirá como entrada para D3. Este voltaje regulado de  $+9\text{ V}$  se usa, además, como alimentación positiva para los dispositivos analógicos del bloque (A).

La "inversión" del voltaje positivo en la entrada de D3 se realiza de acuerdo al principio que se esquematiza en la figura III-14, donde el capacitor marcado como "C1" ("Capacitor de bombeo") corresponde al capacitor CD4 de la figura III-13 y el "C2" ("Capacitor de almacenamiento") equivale al CD5 de la figura III-13.



**MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL**

FIGURA 111-13: DIAGRAMA ESQUEMATICO DEL BLOQUE D  
(FUENTE DE ALIMENTACION) ..

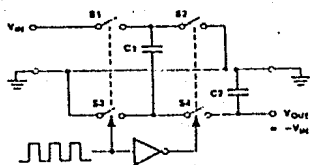


FIGURA III-14

PRINCIPIO DE FUNCIONAMIENTO DEL INVERSOR DE VOLTAJE.

El oscilador, así como los elementos lógicos y de conmutación requeridos están contenidos en D3.

El voltaje negativo que se obtiene es nuevamente regulado mediante la referencia de voltaje de 6.9 V, ZD1 y RD5, estableciéndose una línea de alimentación negativa de, aproximadamente, -7 volts, para los dispositivos analógicos del bloque (A).

La alimentación de +5 V para la circuitería digital se define, a partir del voltaje de +9 V, a través del regulador positivo de 5 V, D2, configurado con los capacitores CD2 y CD3.

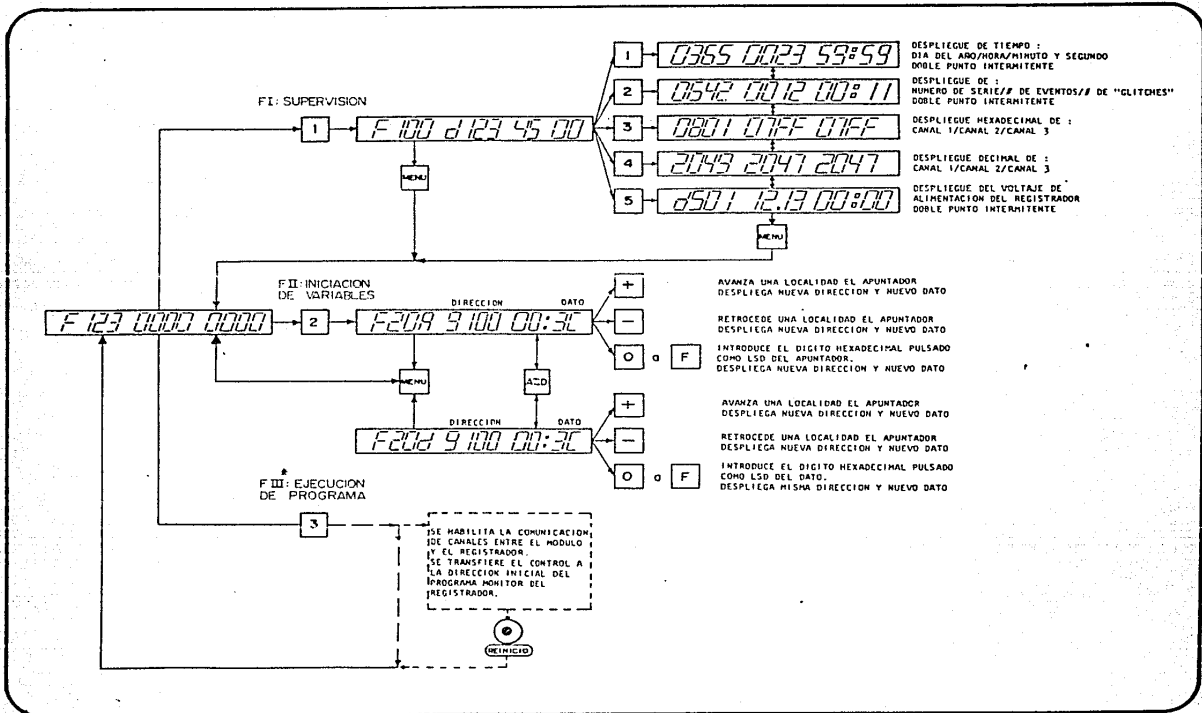
## CAPITULO IV

### PROGRAMACION DEL MICROPROCESADOR

( SOFTWARE )

Habiendo descrito la implementación propuesta para los bloques que constituyen el módulo, se comentará ahora el programa, grabado en la memoria EPROM del sistema (circuito integrado C2), mediante el cual el microprocesador del bloque (C) coordina la actividad de los circuitos antes presentados, para que permitan una comunicación efectiva entre el registrador y el operador, bajo el control de este último.

En particular, la programación del microprocesador determinará la secuencia de operación del módulo, es decir, las opciones que el módulo ofrecerá al operador de manera que éste, mediante pulsaciones del teclado, seleccione la función deseada. Un diagrama que esquematiza las opciones que se van presentando al operador y las funciones que el módulo ejecuta se muestra en la figura IV-1. En ella se indican las posibles secuencias de despliegues (rectángulos) que el operador observará según la tecla



**MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL**

**FIGURA IV-1: ESQUEMA QUE RESUME LA INTERACCION DEL OPERADOR CON EL MODULO Y LAS FUNCIONES QUE SE OFRECEN.**



(cuadrado) que pulse, a partir de un despliegue dado, así como las acciones que el módulo lleva a cabo en cada caso. Por ejemplo, si después de presentarse el despliegue inicial :

`F123 0000 0000`,

el operador pulsa la tecla "1", estará seleccionando la función de supervisión, a lo que el módulo responderá indicando, en un nuevo despliegue, que ya está ejecutando la función de supervisión (FI) y que, mediante una pulsación en la tecla correspondiente, el operador puede seleccionar el despliegue de uno de los 5 tipos de información posibles:

`F100 d123 4500`

Si a continuación se pulsa nuevamente la tecla "1", aparecerá un nuevo despliegue, similar al dibujado en la parte superior derecha de la figura IV-1 (día del año/hora/minuto y segundo). Interpretando de la misma manera las demás trayectorias indicadas en la figura, se obtiene de ella una visión global de la interacción que se lleva a cabo entre el operador y el módulo durante el funcionamiento de éste.

El listado del programa que ejecuta el procesador, incluyendo los comentarios que resumen las acciones realizadas, se presenta en el Apéndice A-1. Hay que indicar que, aunque por requerimientos del sistema usado para la grabación de la EPROM los códigos parecen ocupar las direcciones de \$200A a \$265E , su ubicación real en el mapa de memoria del módulo es entre \$700A y \$765E .

La figura IV-2 es el diagrama de flujo correspondiente al programa monitor del módulo. El listado del programa y su diagrama de flujo se pueden relacionar fácilmente localizando las principales etiquetas empleadas, que se han encerrado en óvalos en ambas representaciones.

A continuación se hace una reseña del diagrama de flujo, explicando algunos detalles del mismo.

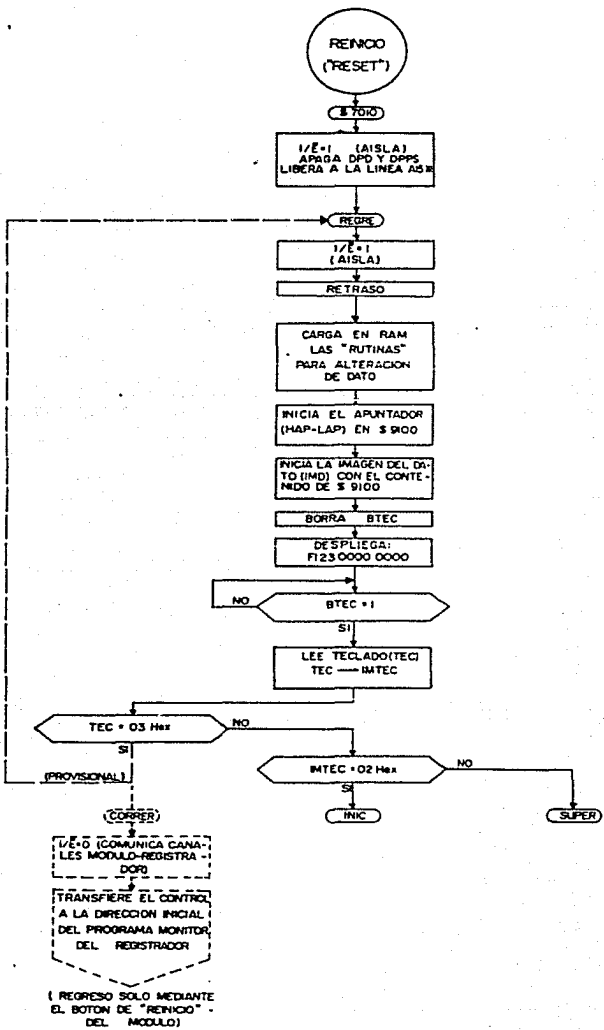
Después de un "RESET", el control de programa se lleva a la dirección \$7010 (EPROM del módulo), de la manera que ya se ha descrito en el capítulo III. Las primeras acciones que se realizan bajo control del programa son :

1) Aislar los canales de datos y direcciones del módulo respecto de los del registrador (por si ambas unidades estuviesen conectadas).

2) "Liberar" la Línea A15\* que hasta ese momento estaba forzada a valer "0".

A este punto (etiqueta REGRE) regresará el flujo del programa siempre que el operador desee realizar una nueva función con el módulo y oprima la tecla "MENU". Así se logrará mantener los canales del módulo aislados de los del registrador en todo momento, excepto durante la función de iniciación de variables.

El siguiente paso es cargar en RAM, byte por byte, un par de pequeñas "rutinas" que transferirán el contenido de la localidad \$903C, la cual funciona como una "imagen del dato en memoria" (IMD), a una localidad del



MODULO PARA COMUNICACION  
USUARIO-ACELEROGRAFO DIGITAL

FIGURA IV-2: DIAGRAMA DE FLUJO DEL  
PROGRAMA MONITOR DEL  
MODULO.





mapa de memoria indicada por un apuntador, y viceversa, durante la función de iniciación de variables del registrador. Estas 2 "rutinas" suplen a las instrucciones de transferencia con direccionamiento "indirecto" que este procesador sólo puede ejecutar para localidades de "página cero", (la cual no estaba disponible para ser usada por el módulo). Como estas "rutinas" quedan escritas en RAM, aún cuando emplean instrucciones de transferencia con direccionamiento "absoluto", los bytes que definen la localidad que actuará como fuente y destino para los intercambios con IMD, (\$9201, \$9202, \$920D y \$920E), pueden ser alterados fácilmente por el microprocesador, mediante operaciones de escritura en RAM.

Específicamente, en los bytes a modificar se copia el contenido de 2 localidades que funcionan como "imagen del apuntador en memoria" (HAP=\$903B y LAP=\$903A), de manera que se obtiene un funcionamiento similar al de un direccionamiento "indirecto". Es por eso que a continuación se inician HAP y LAP de modo que "apunten" a la localidad \$9100 y se hace una primera lectura de esta localidad para almacenar su contenido en IMD, en donde siempre debe de estar el byte correspondiente a la localidad que esté siendo "apuntada" .

En seguida, el procesador lee el codificador de teclado, con el único fin de poner en "0" la "bandera de teclado" y emite el primer despliegue :

F123 0000 0000

con el que indica al operador que puede elegir , mediante la tecla correspondiente, las funciones de :

## 2) INICIACION DE VARIABLES

## 3) EJECUCION EXTERNA DEL PROGRAMA DE CONTROL DEL REGISTRADOR

Hecho este despliegue inicial, el procesador se mantendrá revisando la "bandera de teclado" hasta detectar en ella un nivel alto, el cual indica que ha ocurrido una pulsación. Después de la detección de esta señal procederá a leer el codificador de teclado (TEC) y guardar su contenido en RAM (INTEC), para futuras referencias.

El valor del teclado se someterá a comparaciones sucesivas para definir el flujo del programa por una de 3 posibles vías.

En el caso de que se haya pulsado la tecla "3", el microprocesador del módulo ejecutará, con fines de diagnóstico, el programa monitor del registrador. Para ello se requerirá comunicar los canales del módulo con los del registrador, llevando a la señal I/ $\bar{E}$  a un nivel bajo, y transferir el control de programa a la dirección inicial del programa monitor del registrador. Para regresar a la ejecución del monitor del módulo se deberá oprimir el botón de "REINICIO" del módulo. (Provisionalmente, esta opción "3" únicamente regresa el control de programa a la etiqueta (REGRE)).

Si se pulsó la tecla "2" se ejecutará la sección del programa diseñada para la iniciación de variables del registrador a partir de la etiqueta (INIC) .

Si la tecla pulsada no fue ni "2" ni "3", se realizará la función de

supervisión, partiendo de la etiqueta (SUPER) . En este caso, el procesador hará que se presente un nuevo despliegue :

F100 d123 4500 ,

para indicar al operador que se está ejecutando la función 1 (supervisión) y que puede elegir, mediante la tecla correspondiente, alguno de los 5 posibles tipos de despliegue de supervisión :

1) Tiempo.- Día del año, hora, minuto y segundo. El símbolo de doble punto (:) del "display" izquierdo se encenderá al detectar la señal de "un pulso por segundo" (lps) que genera el registrador y se apagará, aproximadamente, medio segundo después.

2) Número de serie, número de eventos registrados y número de "glitches"(reinicios de programa) del registrador.

3) Representación numérica hexadecimal de la aceleración sensada por los 3 acelerómetros.

(0000 = Escala completa, sentido negativo,  
0800 = Ausencia de aceleración de entrada,  
OFFF = Escala completa, sentido positivo.)

4) Representación numérica decimal de la aceleración sensada por los 3 acelerómetros.

(0000 = Escala completa, sentido negativo,



2048 = Ausencia de aceleración de entrada,

4095 = Escala completa, sentido positivo.)

##### 5) Voltaje de alimentación principal del registrador.

En caso de que el operador presione la tecla de "MENU" (TEC = 10 Hex), el flujo de programa regresará a la etiqueta (REGRE) de modo que , nuevamente, se ofrecerán al operador las 3 funciones básicas del módulo.

El microprocesador se mantendrá revisando la "bandera de teclado", hasta que el operador haya hecho su selección . En ese momento (etiqueta (REGSU) ), se apagarán los símbolos auxiliares de los "displays" y se leerá el teclado, almacenando su valor en INTEC. De acuerdo a ese valor se definirá el flujo del programa.

Mientras que los despliegues 3 y 4 involucran cantidades que se pueden leer de la palabra presentada en cualquier momento y que cambian 100 veces cada segundo, los despliegues 1, 2 y 5 manejan datos incluidos en el "BUS BCD" que sólo cambian cada segundo y cuya captura requiere del reconocimiento y la ubicación de los grupos de 100 muestras triples que el registrador genera cada segundo. Por lo anterior, se hace necesaria una primera bifurcación en el programa, de acuerdo a los 2 grupos de despliegues mencionados. Por comparaciones sucesivas del valor del teclado se hace que el control de programa se transfiera a la etiqueta (SUCAL) , en los casos en que se hayan pulsado las teclas "3" ó "4", ó a la etiqueta (ESPPS) para cualquier otro caso (despliegue de datos del "BUS BCD").

Puesto que el "BUS BCD" sólo contiene datos significativos en las primeras

muestras triples de cada segundo, se consideró conveniente manejar tales datos en 2 etapas. En la primera etapa, el procesador espera a detectar el inicio de un grupo de 100 muestras triples, para, a partir de él ir guardando en localidades conocidas de memoria cada dígito BCD, hasta que todos los datos transferidos por el "BUS BCD" estén almacenados en RAM. En la segunda etapa, de acuerdo al valor del teclado almacenado en memoria (INTEC), el microprocesador recuperará de RAM los dígitos necesarios para "armar" el despliegue requerido por el operador. Después de hacer cualquiera de estos despliegues, el microprocesador revisará si no ha ocurrido una nueva pulsación de teclado, en cuyo caso regresará a (REGSU), para interpretarla. De otro modo, cada segundo, volverá a realizar la captura de datos y el despliegue de las cantidades seleccionadas.

Como se puede apreciar en el diagrama de flujo, (a continuación de la etiqueta (ESPPS)), la detección del inicio de un grupo de 100 muestras triples se hace esperando que el indicador de palabra valga TRIS=00 Hex, lo que significa que el bloque (A) está presentando la palabra que contiene al "BUS AUX". Cuando esto ocurre, se revisa el bit correspondiente a 1PPS. En caso de que este bit valga "1", el flujo del programa prosigue, iniciando al apuntador X con un valor 01 Hex y prendiendo ambos símbolos auxiliares de los "displays". Si el operador seleccionó un despliegue distinto del voltaje de alimentación del registrador, el punto decimal del "display" central se apaga inmediatamente, de otro modo, permanecerá prendido.

Ahora el procesador espera a que el identificador de palabra pase por su estado TRIS=00 Hex y llegue a su estado TRIS=02 Hex, que corresponde al intervalo en que el bloque (A) le estará presentando la palabra que

contiene al "BUS BCD". El procesador lee el dígito BCD y lo deposita en una localidad de RAM apuntada por X, incrementando después este apuntador.

A continuación el microprocesador compara el valor de X con 32 Hex (50 Decimal), con la finalidad de establecer un ciclo para la captura de los primeros 50 dígitos BCD de cada grupo de 100 muestras triples.

La importancia de esta primera etapa del proceso es que ahora el microprocesador ha almacenado a cada dígito BCD en una localidad específica de RAM de donde lo puede leer cuando lo necesite desplegar.

Concluida la captura de los datos se apaga el símbolo de doble punto, manteniendo encendido el punto decimal sólo si se ha seleccionado el despliegue de voltaje.

En seguida se consulta el valor del teclado en memoria (IMTEC), para proceder a estructurar el despliegue deseado por el operador. Si se trata de los despliegues 1 ó 2, el procesador sólo necesitará leer los dígitos requeridos de las localidades de RAM en que "sabe" que están ubicados y hacerlos aparecer en los "displays" en el orden correcto.

Tratándose del despliegue de voltaje de alimentación del registrador se hace necesario un procesamiento previo de los datos capturados del "BUS BCD".

Dentro del registrador, el voltaje de alimentación (y, en el futuro otros parámetros de operación del instrumento), es procesado por un convertidor A/D auxiliar de 8 bits y 8 canales (entradas). Todas las señales

convertidas por este elemento se enviarán alternadamente en el "BUS BCD" de las mismas 3 muestras triples de cada grupo de 100, identificándose en el "BUS BCD" de otra muestra más el número de canal (NUMCAN) del convertidor auxiliar que está siendo enviado.

El voltaje de alimentación corresponde al primer canal del convertidor auxiliar (NUMCAN = 01 Hex.). Debido a que el voltaje de alimentación nominal, 12 volts, excede el rango de entrada del convertidor auxiliar, a éste se introduce una fracción proporcional del mismo. En particular, esa división de voltaje se establece de modo que el valor real de la alimentación, en volts, corresponda a 1/16 de la salida del convertidor A/D, expresada en decimal. (Por ejemplo, 12 V. corresponderán a C0 Hex = 192 Decimal).

Los 8 bits de salida del convertidor auxiliar se envían en tres muestras triples (2 grupos de 3 bits y uno de 2 bits) para mantener la característica del "BUS BCD", en el que los valores son siempre menores o iguales a 09 Hex.

Por lo anterior, cuando se indica al módulo que muestre el despliegue 5 (etiqueta EVI del diagrama de flujo), lo primero que el procesador hace es leer de RAM y desplegar el número de canal capturado en ese segundo. Sólo si NUMCAN=01 Hex se reunirá en un solo byte (VBIN) a los ocho bits correspondientes al voltaje, para procesar y desplegar ese dato.

La división entre 16 del byte de voltaje se hace mediante 4 corrimientos hacia la derecha en VBIN, pero, antes de cada uno de esos corrimientos se revisa al bit que se va a "perder" en el corrimiento, acumulando en la

variable VFRA el número de centésimas de volt correspondiente, cuando el bit revisado vale "1". La parte entera del voltaje se guarda en VENT. Ambas partes, VENT y VFRA, se convierten a decimal usando el modo de operaciones decimales que ofrece el 65CO2 y se muestran al operador en el "display" central.

Como ya se indicó, después de realizar cualquiera de los despliegues 1, 2 ó 5, el microprocesador investigará si ha ocurrido una nueva pulsación del teclado, según lo cual el flujo del programa irá a la etiqueta (REGSU), para leer el nuevo valor de teclado e interpretarlo, o regresará a la etiqueta (ESPPS) a esperar la detección del inicio del siguiente grupo de 100 muestras triples para renovar su despliegue con la información que reciba esta vez, trabajando de manera cíclica.

En el caso en que el operador seleccione el despliegue de representación numérica de la aceleración sensada, ya sea en forma decimal o hexadecimal, (TEC=03 Hex o TEC=04 Hex), al momento de hacer las comparaciones sucesivas con el valor del teclado, el control de programa no se transferirá a la etiqueta (ESPPS), sino a la etiqueta (SUCAL).

El procesador esperará únicamente a que el identificador de palabra tome el valor TRIS =01 Hex, para leer del bloque (A) los 12 bits que representan a la aceleración registrada en el canal 3, depositándolos a continuación en 2 localidades bien definidas de RAM (\$904A y \$904B). Del mismo modo, al reconocer el estado TRIS = 02 Hex, captará el valor del canal 2 y lo depositará en RAM (\$904C y \$904D), haciendo lo mismo con TRIS = 00 Hex, para el canal 1 (\$904E y \$904F).

En este punto, revisando el valor del teclado que se guardó en memoria, se define si el despliegue de las aceleraciones se debe de hacer en decimal o en hexadecimal. Si INTEC = 03 Hex, el despliegue hexadecimal se puede hacer directamente a partir de los valores almacenados en RAM. En ese caso, se lleva a cabo un ciclo de despliegue en el que el apuntador X va definiendo la localidad de RAM de la que se obtiene el dato a desplegar y el apuntador Y indica en que "display" se mostrará el dato en cuestión, lográndose que el canal 1 aparezca en el "display" izquierdo, el canal 2 en el "display" central y el canal 3 en el "display" derecho.

Para mantener ese despliegue durante un tiempo razonable para su visualización, se efectúa un ciclo de retardo en base a un contador, CRET, que se decremента cada centésima de segundo, a partir de un valor inicial de 20 Hex = 32 decimal. El decrememento se realiza cada centésima de segundo ya que está condicionado a que el identificador de palabra tome sucesivamente los valores TRIS = 00 Hex y TRIS = 01 Hex. Cuando CRET ha sido decremmentado hasta cero, el control de programa se transfiere a la etiqueta (SUCAL) para que, siguiendo la misma secuencia, se capturen y desplieguen nuevos valores de aceleración.

Asimismo, antes de iniciar el ciclo de retardo, el procesador revisa la "bandera de teclado", para definir si ha ocurrido una nueva pulsación del teclado, en cuyo caso el flujo del programa se desviará a la etiqueta (REGSU) en la que se leería e interpretaría el nuevo valor del teclado.

Si el operador seleccionó el despliegue de la representación decimal de las aceleraciones sensadas, cada uno de los pares de bytes en RAM correspondientes al valor de los canales se deberá de convertir a decimal.

Al no poder aprovechar las facilidades que el microprocesador empleado ofrece para la programación de subrutinas, (debido a que éstas hacen uso del "stack", ubicado en la "página cero"), se desarrolló una sección del programa que convierte los 8 bits que tome de la localidad BYD (\$9070) y los 4 bits que tome de la localidad NBD (\$9071), a su equivalente decimal. De este modo, las representaciones binarias de las aceleraciones sensadas, guardadas en RAM, se van transfiriendo sucesivamente a BYD y NBD, según el apuntador Y, para que se les convierta a decimal. Posteriormente, los resultados de la conversión (UNI, DEC, CENT y MIL), se despliegan en el "display" que se determina también de acuerdo al valor del apuntador Y. Mediante este mecanismo los tres canales se convierten a decimal y se despliegan en el mismo orden que para el caso del despliegue hexadecimal.

El proceso de conversión usado se basa en la consideración de que cada bit que valga "1" en la expresión binaria de la aceleración representa una porción del valor de la cantidad en conversión, la cual depende de la posición del bit dentro de la cifra. En el sistema decimal, la contribución de cada bit se expresará mediante un dígito de unidades, uno de decenas, uno de centenas y otro de miles (aunque uno o varios de éstos puedan valer cero). En la memoria EPROM del sistema se graban tablas con los dígitos de unidades, decenas, centenas y miles que corresponden a la contribución de cada uno de los doce bits al valor global de la aceleración de un canal (ver Apéndice A-2). Para su conversión, cada uno de los bits de la expresión en binario se va revisando, al mismo tiempo que el apuntador X se desplaza a través de las 4 tablas, de manera que cuando el bit en cuestión vale "1" se acumula, (mediante las sumas decimales que permite el 65C02), su contribución, tanto en unidades (UNI), como en decenas (DEC), centenas (CENT) y miles (MIL). Si el bit revisado

vale "0", no se acumula nada a los resultados decimales. Después de haber revisado a los 12 bits de la expresión binaria original, los resultados decimales acumulados UNI, DEC, CENT y MIL, se reajustan para reducir cada uno de ellos a un solo dígito decimal. (Por ejemplo, si en UNI se acumuló un resultado 15 decimal, éste se reduce a 05 y se incrementa en 01 al resultado DEC).

Cuando los 3 canales se han convertido y desplegado en decimal, se inicia el contador de retardo con  $CRET = 10 \text{ Hex} = 16 \text{ decimal}$ , para que , reincorporándose al flujo normal de la opción de despliegue hexadecimal en la etiqueta (RECODE) , se lleve a cabo un ciclo de retraso que mantenga el despliegue sin alteración durante, aproximadamente, 16 centésimas de segundo. También en este caso se revisará la "bandera de teclado" antes de el ciclo de retraso y, de no haber una nueva pulsación de teclado, al concluirse el ciclo de retraso, el flujo también regresará a la etiqueta (SUCAL) , para captar nuevos valores de aceleración.

Cuando, después de que el módulo presenta el despliegue

F123 0000 0000

el operador oprime la tecla "2", el flujo del programa va hacia la sección que realiza la función de iniciación de variables en el registrador. Esta función se ha implementado en base a un apuntador que el operador puede ubicar en cualquier dirección del mapa de memoria del conjunto módulo-registrador, para visualizar y alterar, en caso necesario, el contenido de esa localidad. Durante esta función, las 4 teclas inferiores del teclado tienen funciones de control, mientras que las 16 restantes



servirán para introducir el dígito hexadecimal correspondiente, ya sea como dígito menos significativo del apuntador o como dígito menos significativo del dato que se esté alterando, según el valor que tenga en ese momento la "bandera A(apuntador)/D(dato)", BAD, la cual se puede conmutar de un estado a otro pulsando la tecla "A=D". El apuntador puede, además, avanzarse una localidad por cada pulsación de la tecla "+" y retrocederse una localidad por cada pulsación de la tecla "-". La tecla "MENU", como en la función de supervisión, regresa el control de programa al punto de selección inicial de funciones.

Cuando el operador selecciona esta función de iniciación, el programa continúa en la etiqueta (INIC) y, de acuerdo al diagrama de flujo, el procesador establece la comunicación de sus canales con los del registrador, llevando a un estado bajo a la señal  $1/\bar{F}$ , coloca el valor inicial de la "bandera A/D" en OA Hex y hace que el "display" izquierdo muestre el despliegue F200, para indicar al operador que ya se está ejecutando la función de iniciación de variables.

A continuación, en la etiqueta (EIRD), el control se transfiere a la dirección inicial (\$9200) de la "rutina" en RAM que copia en IMD el contenido de la localidad apuntada, regresando siempre a este mismo punto (etiqueta (BASEi)) de la sección de iniciación de variables en el programa. Puesto que, después de un "RESET", el apuntador se ha iniciado de modo que indique la dirección \$9100, (ubicada en la RAM del módulo), con el paso anterior se transferirá a IMD el contenido de esta localidad.

Debido a que se ha dado el valor inicial BAD = OA Hex, el programa continuará en la etiqueta (EDEST), a partir de la cual se realiza el

despliegue, mostrando en el "display" central los 2 bytes (HAP y LAP) del apuntador, en los 2 dígitos de la derecha del "display" derecho el contenido de la localidad apuntada (IND) y en el dígito más a la derecha del "display" izquierdo el valor de la "bandera A/D". Específicamente, si se supone que el contenido de la localidad \$9100 fuese "3C" (Hex), el primer despliegue de esta función sería :

F20A 9100 00:3C

Después de que se lleva a cabo el despliegue, el programa continuará en la etiqueta (REGIN), en la que el procesador se mantendrá a la espera de una nueva pulsación de teclado.

Al detectarse un nivel alto en BTEC, se leerá el valor del teclado (TEC), almacenándolo en IMTEC, para definir el flujo del programa en base a él. En primer lugar se investigará si se ha pulsado una tecla de control o si el operador desea introducir un dígito hexadecimal al apuntador o al dato. Esto se define mediante la revisión del bit 4 de TEC. Si este bit vale "0", será porque se pulsó una de las 16 teclas que representan dígitos hexadecimales y el control de programa se transferirá a la etiqueta (EIDI), para incorporar el dígito al apuntador o al dato. En cambio, si el bit 4 de TEC vale "1", la tecla pulsada debió haber sido una de las 4 teclas de control. En este caso, mediante comparaciones sucesivas de IMTEC, se identificará la función de control deseada y se definirá, una vez más, la trayectoria que debe de seguir el flujo del programa, de entre 4 posibilidades.

Si IMTEC = 10 Hex, el control de programa se transfiere a la etiqueta

**REGRE** , dando por concluida la función de iniciación de variables.

Si IMTEC = 11 Hex, el procesador realizará exclusivamente la conmutación de valores en la "bandera A/D". Es decir, que cambiará de BAD = 0A Hex a BAD = 0D Hex, o viceversa, después de lo cual irá directamente a la etiqueta **EDEST** , para que se renueve el despliegue, en el cual sólo cambiará el dígito del "display" izquierdo en el que se presenta el valor de BAD, ya que HAP, LAP e IMD permanecerán sin cambio.

Si se hubiese pulsado la tecla "+", (IMTEC = 12 Hex), el procesador incrementará en uno a los 2 bytes del apuntador, (HAP-LAP), considerándolos como una sola palabra (16 bits). Hecho este incremento, los valores resultantes de HAP y LAP se copian en los bytes correspondientes de las "rutinas" de transferencia escritas en RAM, (\$9202 y \$920E, para HAP , \$9201 y \$920D, para LAP), de manera que, efectivamente, las siguientes transferencias que lleven a cabo estas "rutinas" se realicen de y hacia la nueva localidad apuntada.

Algo muy similar ocurriría si se hubiese pulsado la tecla "-", (IMTEC = 13 Hex), excepto porque en ese caso el apuntador de 16 bits, HAP-LAP, se decrementaría, reflejando, luego, los cambios en los bytes correspondientes de las "rutinas" en RAM, para hacerlos efectivos. (Si el valor de HAP-LAP, previo a la pulsación de la tecla "-", era 00-00 Hex, el apuntador se mantendrá indicando esa dirección).

Después de cualquiera de los 2 casos de modificación unitaria del apuntador, el flujo continuará en la etiqueta **EIRD** , copiando, mediante

una de las "rutinas" en RAM, el contenido de la nueva localidad apuntada en IMD, para mantener este registro actualizado y hacer que la modificación del apuntador y el consiguiente cambio en IMD se muestren en el nuevo despliegue que se realiza a partir de la etiqueta (EDEST) .

Como se mencionó anteriormente, cuando la tecla pulsada es una de las 16 que representan dígitos hexadecimales, se detectará que el bit 4 de TEC vale "0", transfiriendo el control a la etiqueta (ETDH) . En este caso, se asigna un valor de "0" a los 4 bits más significativos de IMTEC, de manera que se facilite su manejo posterior.

Para definir lo que se debe de hacer con el dígito hexadecimal guardado en IMTEC, se consulta la "bandera A/D". Si BAD = 0A Hex, se hacen 4 corrimientos hacia la izquierda al conjunto HAP-LAP ,(considerado como un solo grupo de 16 bits), introduciendo al valor de IMTEC como su dígito hexadecimal menos significativo. Las alteraciones hechas al apuntador HAP-LAP se reflejan en los bytes correspondientes de las "rutinas" de transferencia escritas en RAM. A continuación, en la etiqueta (EIRD) , se transfiere el control a la "rutina" que lee la localidad apuntada para copiar su contenido en IMD, actualizándolo, de manera que, cuando el control de programa regrese a la etiqueta (BASE1) y se lleve a cabo el despliegue, éste muestre la nueva dirección y su dato correspondiente.

En cambio, si cuando se pulsa una tecla correspondiente a un dígito hexadecimal, se encuentra que la "bandera A/D" indica que se incluya dicho dígito en el dato de la localidad apuntada, el control de programa se transferirá a la etiqueta (EIRD) para que, mediante una de las "rutinas" de RAM, se traiga a IMD el contenido de la localidad apuntada. A

continuación se ejecutará la parte del programa que efectúa 4 corrimientos hacia la izquierda en IMD e incluye al contenido de IMTEC en los 4 bits menos significativos de esa variable.

El valor alterado de IMD se re-escribe en la localidad apuntada mediante la "rutina" de RAM que se inicia en \$9209. Una vez hecha la modificación de la localidad apuntada, el control de programa regresará a la etiqueta BASE2 y se realizará el despliegue de HAP,LAP y del nuevo valor de IMD, a partir de la etiqueta EDEST.

## CAPITULO V

### RESULTADOS / PROPUESTAS A FUTURO

Los circuitos mostrados en los diagramas esquemáticos correspondientes al capítulo III han sido probados, primero de manera independiente y luego manteniendo la interrelación que señala el diagrama de bloques del módulo (figura II-1), bajo la coordinación del microprocesador y de acuerdo al programa comentado en el capítulo IV. Como resultado , se ha llegado a un primer prototipo del Módulo para Comunicación Usuario-Acelerógrafo Digital, el cual está alambrado en tabletas del tipo "Bread-Board".

En las evaluaciones realizadas, el prototipo ha ejecutado satisfactoriamente la función de supervisión , tanto a partir de "Entradas Codificadas", como de "Entradas No-Codificadas", provenientes del registrador sísmico diseñado en el Instituto de Ingeniería. Además, el funcionamiento del módulo, en cuanto a su uso para supervisión, se ha verificado con "Entradas Codificadas" (G0 y G1) provenientes de acelerógrafos digitales modelo DCA-333 de la compañía Terra Technology Corp.

La función de iniciación de variables se ha comprobado al conectar el prototipo del módulo con el bloque correspondiente al microprocesador del segundo prototipo de registrador, que se encuentra en desarrollo. En esta

prueba, el módulo permitió leer el contenido de la EPROM del registrador y realizar tanto operaciones de lectura como de escritura (visualización y alteración) de las localidades de RAM que el operador ubica, mediante el apuntador, de la manera que se describió en el capítulo IV. (Asimismo, se comprobó que, en esta función, el operador puede leer las localidades de EPROM del propio módulo y leer o escribir en su RAM).

Han quedado establecidos los medios necesarios para que, más adelante, se implemente la función de diagnóstico primario del registrador. En particular, en el diagrama de flujo (figura IV-2) y en la figura IV-1 se incluyeron (aunque con líneas punteadas) las secuencias de acciones mediante las cuales el microprocesador del módulo podría sustituir al microprocesador interno del registrador en la ejecución del programa de control del instrumento ("Función 3").(Provisionalmente, al elegir la función "3", únicamente se regresa al punto de selección de funciones del programa).

Las pruebas efectuadas para evaluar el desempeño del módulo ratificaron también la posibilidad de energizarlo con una sola batería de 12 volts, recargable (tipo gel) . Se encontró que la corriente demandada de la batería es, aproximadamente, 40 mA.

Como extensión de este trabajo, se propuso (figura V-1) la organización de la circuitería de un segundo prototipo del módulo (en desarrollo), considerando 3 tarjetas para alambrado mediante la técnica de "Wire-Wrap". En esta organización se ha pretendido agrupar en diferentes tarjetas a los diversos bloques de los que se compone el módulo. Por ejemplo, la tarjeta T-1 contiene a los bloques (A) ("Bloque de Presentación de Palabra")y



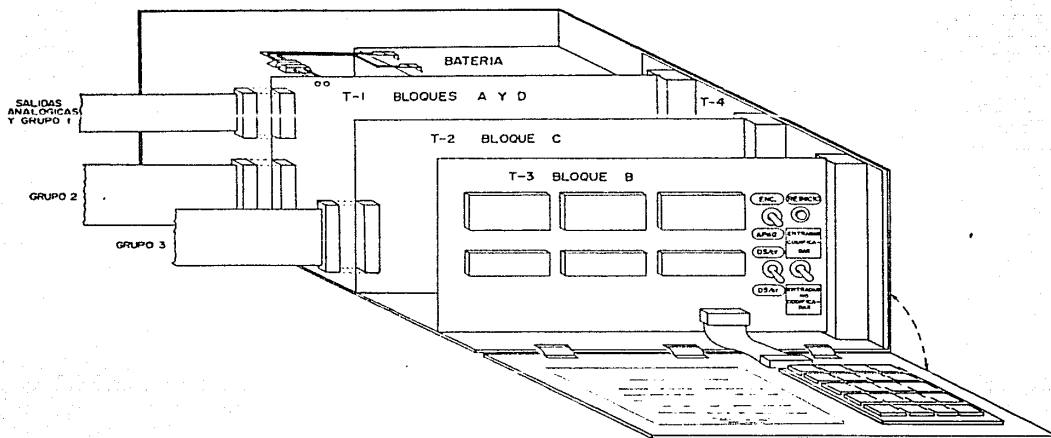


(D)("Fuente de Alimentación"). En la tarjeta T-2 se ubican los componentes correspondientes al "Bloque de Control y Procesamiento" (C) y la tarjeta T-3 funcionaría como "Tarjeta Frontal" en la que se fijarían los "displays" y el resto de los componentes del bloque (B).

La líneas que entran y salen de estas 3 tarjetas se clasificaron como "Líneas de comunicación interna" (entre tarjetas) o "Líneas de comunicación externa" (hacia el registrador u otros dispositivos). En la propuesta planteada, las "Líneas de comunicación externa" se llevarían de las tarjetas hacia conectores de chasis mediante cables planos, mismos que se podrían desconectar de las tarjetas para facilitar el mantenimiento del módulo. La "comunicación interna" se realizaría a través de una "Tarjeta Nodriz" (T-4), en la que se fijarían T-1, T-2 y T-3, mediante conectores de borde para instalación en circuito impreso.

La figura V-2 muestra la disposición de las tarjetas dentro del módulo, según esta propuesta.

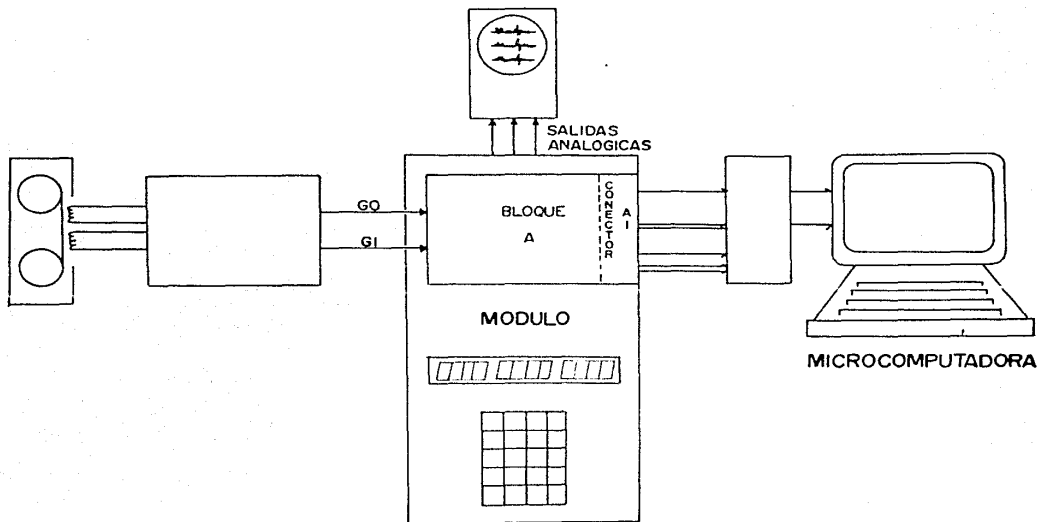
Se ha pensado en alambrear la "Fuente de alimentación" en la misma tarjeta que el "Bloque de Presentación de Palabra", con la finalidad de que dicha tarjeta pueda ser usada, aun en ausencia de las otras 2 tarjetas, para decodificar y presentar en paralelo la información proveniente del registrador. Las palabras que el bloque (A) presenta podrían ser utilizadas, en este caso, por un sistema externo, como, por ejemplo, una microcomputadora, en la que se ejecutarán programas más elaborados, con el fin de lograr un procesamiento más completo de los datos. Esta alternativa cobra mayor interés al considerar que las señales GO y GI alimentadas al bloque (A) pudieran obtenerse de un circuito que las "recuperara" de la



**MODULO PARA COMUNICACION  
USUARIO-ACELEROGRAFO DIGITAL**

**FIGURA V-2: DISPOSICION PROPUESTA PARA LAS TARJETAS  
DEL SEGUNDO PROTOTIPO DEL MODULO.**

cinta magnética grabada por un registrador y no del aparato en sí mismo. En este caso, el módulo estaría siendo aprovechado, además, como parte de un sistema de laboratorio, para la reproducción y el pre-procesamiento de los registros obtenidos por las estaciones de campo, cuya estructura básica se esboza en la figura V-3.



RECUPERACION DE LAS SEÑALES DIGITALES G0 Y G1, A PARTIR DE LA CINTA MAGNETICA.

DECODIFICACION / DESPLIEGUE DE DATOS NUMERICOS Y SEÑALES ANALOGICAS EN TIEMPO REAL

ALMACENAMIENTO Y PRE-PROCESAMIENTO DE REGISTROS

MODULO PARA COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL

FIGURA V-3: SISTEMA PROPUESTO PARA LA REVISION Y EL PRE-PROCESAMIENTO DE REGISTROS EN EL LABORATORIO.

## CONCLUSIONES :

- 1) Durante el desarrollo de este trabajo se diseñó y construyó un primer prototipo de Módulo de Comunicación Usuario-Acelerógrafo Digital, el cual ha respondido positivamente en las pruebas que se le han practicado para evaluar su funcionamiento bajo condiciones de laboratorio.
- 2) Se manifiesta como posible y adecuada la elaboración de un segundo prototipo, bajo una técnica de alambrado más estable y compacta, para cuya organización ya se ha bosquejado una propuesta, el cual permita comprobar el desempeño del módulo bajo "condiciones de campo", en las que normalmente deberá funcionar. En base a esto se podrá enriquecer o adecuar el diseño en los aspectos que así lo demanden.
- 3) La realización del prototipo de Módulo de Comunicación Usuario-Acelerógrafo Digital, en complemento al prototipo de Registrador Sísmico diseñado en el I.I. hacen ver como factible que en un futuro próximo se sustituya la importación de este tipo de equipos por el desarrollo y construcción de instrumentos nacionales, con las ventajas de costo e independencia tecnológica que esto traería.
- 4) El funcionamiento del prototipo realizado se soporta en una combinación equilibrada de circuitos lógicos y lineales con funciones bien definidas ("hardware") y elementos cuya labor de coordinación está determinada por

un programa ("software"), con lo que se buscó dar al sistema un cierto margen de flexibilidad en su operación pero sin usar, para ello, dispositivos de propósito muy general que pudieran resultar de mayor complejidad que la realmente requerida.

5) En el desarrollo y la evaluación de este trabajo se constataron las diversas ventajas que hacen de la tecnología CMOS una de las más adecuadas para su uso en equipos de campo.

## RECONOCIMIENTOS :

Agradezco la oportunidad que el Ing. Roberto Quaas Weppen y el M.I. Pablo Roberto Pérez Alcázar me han brindado para presentar esta propuesta que materializa su concepto de un Módulo de Comunicación con el Usuario para el Acelerógrafo Digital que ellos diseñaron. Debo un agradecimiento especial al segundo, cuya dirección y asesoría fueron decisivas en el desarrollo de este módulo.

Asimismo, expreso mi reconocimiento por las facilidades y el apoyo que los integrantes de la Coordinación de Sismología e Instrumentación Sísmica y el Departamento de Reproducciones del Instituto de Ingeniería UNAM me dieron durante las diversas fases que condujeron a la conclusión de este trabajo.

Finalmente, me manifiesto en deuda con mis profesores, quienes generosamente han compartido conmigo sus conocimientos y experiencias.

BIBLIOGRAFIA :

- 1.- Sprengnether Instruments, Inc. (1980), "STRONG MOTION SEISMOLOGY" (Application Note), St. Louis Mo, USA.
- 2.- Mora, I. "SISTEMAS AUTONOMOS (Estudio de Caso)" (Curso: Instrumentación Electrónica de Laboratorio), DEC FIUNAM, abril 1986.
- 3.- Terra Technology Corp. (1982), "DCA-333 DIGITAL CASSETTE ACCELEROGRAPH", Redmond, Washington, USA.
- 4.- Pérez, P; Quaas, R; Barreto, A. "DISEÑO Y CONSTRUCCION DE UN ACELEROGRAFO DIGITAL PROTOTIPO", Instituto de Ingeniería, UNAM, abril, 1986.
- 5.- National Semiconductor (1981), "CMOS DATABOOK".
- 6.- RCA Solid State (1978), "COS/MOS INTEGRATED CIRCUITS".
- 7.- National Semiconductor (1980), "LINEAR DATABOOK".
- 8.- Intersil (1979), "DATABOOK".
- 9.- Rockwell International, Semiconductor Products Division (1984),



"ROCWELL 1984 DATABOOK", (2a. edición), Newport Beach, California, USA.

10.- MOS Technolgy, Inc. (1976), "MCS6500 MICROCOMPUTER FAMILY HARDWARE MANUAL", Norristown, Pa, USA.

11.- Heffer, D; King, G; Keith, D;. "BASIC PRINCIPLES AND PRACTICE OF MICROPROCESSORS", Edward Arnold, 1980, Londres.

12.- Rockwell International (1979), "AIN65 PROGRAMMING MANUAL".

A P E N D I C E A - 1

PROGRAMA MONITOR PARA EL MODULO DE COMUNICACION  
USUARIO - ACELEROGRAFO DIGITAL .

SOURCE FILE: MISAD02

0000:EA 1 NOP  
PROGRAMA MONITOR PARA EL MÓDULO DE COMUNICACION USUARIO-ACELEGROGRAFO DIGITAL.

0001:EA 2 NOP  
0002:EA 3 NOP

DEFINICION DE VARIABLES Y DIRECCIONES ESPECIFICAS :

0003:EA 4 NOP  
0004:EA 5 NOP  
5000: 6 B EQU \$5000 ;DESPLAZAMIENTO PARA SALTOS ABSOLUTOS  
6000: 7 LCONT EQU \$6000 ;"LATCH" DE CONTROL (C10)  
8009: 8 TEC EQU \$8009 ;CODIFICADOR DE TECLADO (B1)  
8004: 9 TRIS EQU \$8004 ;IDENTIFICADOR DE PALABRA PRESENTADA (A17)  
8000: 10 DIS0 EQU \$8000 ;"DISPLAY" IZQUIERDO  
8001: 11 DIS1 EQU \$8001 ;"DISPLAY" CENTRAL  
8002: 12 DIS2 EQU \$8002 ;"DISPLAY" DERECHO  
8005: 13 LSBY EQU \$8005 ;1/2 PALABRA PRESENTADA (A16)  
8006: 14 MSBY EQU \$8006 ;1/2 PALABRA PRESENTADA (A15)  
8008: 15 BTEC EQU \$8008 ;"BANDERA DE TECLADO" (B3)  
9035: 16 IMTEC EQU \$9035 ;IMAGEN EN RAM DEL VALOR DEL TECLADO  
9036: 17 CRET EQU \$9036 ;CONTADOR PARA RETARDO AL DESPLEGAR CA  
NALES  
9038: 18 BAD EQU \$9038 ;BANDERA "A(DIRECCION)/D(DATO)"  
903A: 19 LAP EQU \$903A ;IMAGEN EN RAM DEL LSBYTE DEL APUNTADO  
R  
903B: 20 HAP EQU \$903B ;IMAGEN EN RAM DEL MSDBYTE DEL APUNTADO  
R  
903C: 21 IMD EQU \$903C ;IMAGEN DEL DATO DE LA LOCALIDAD APUNT  
ADA  
9070: 22 BYD EQU \$9070 ;BYTE DE DATOS QUE SE CONVERTIRA A DEC  
IMAL  
9071: 23 NCD EQU \$9071 ;NIBBLE DE DATOS QUE SE CONVERTIRA A D  
ECIMAL  
9073: 24 UNI EQU \$9073 ;ACUMULADOR DE UNIDADES  
9074: 25 DEC EQU \$9074 ;ACUMULADOR DE DECENAS  
9075: 26 CENT EQU \$9075 ;ACUMULADOR DE CENTENAS  
9076: 27 MIL EQU \$9076 ;ACUMULADOR DE MILES  
9077: 28 VBIN EQU \$9077 ;BYTE DE VOLTAJE. EN BINARIO  
9078: 29 VENT EQU \$9078 ;ENTEROS (DECIMALES) DE VOLTAJE  
9079: 30 VFRA EQU \$9079 ;CENTESIMAS DE VOLTAJE  
7700: 31 PIEU EQU \$7700 ;DIRECCION INICIAL DE LA TABLA DE UNID  
ADES  
7710: 32 PIEU EQU \$7710 ;DIRECCION INICIAL DE LA TABLA DE DECE  
NAS  
7720: 33 PIEC EQU \$7720 ;DIRECCION INICIAL DE LA TABLA DE CENT  
ENAS  
7730: 34 PIEN EQU \$7730 ;DIRECCION INICIAL DE LA TABLA DE MILE  
S  
0005:EA 35 NOP  
0006:EA 36 NOP

PROGRAMA 1

0007:EA 37 NOP  
--- - NEXT OBJECT FILE NAME IS MISAD02.OBJO  
200A: 38 ORG \$200A  
200A:4C E7 75 39 JMP BASE1+B ;ETIQUETAS DE REGRESO DE RAM  
200D:4C 04 76 40 JMP BASE2+B  
2010:A9 0F 41 LDA #40F ;I/E=1(AISLA),DPFS=DFD=0  
2012:8D 00 60 42 STA LCONT ;CLK FF A15=CA=0  
2015:A9 1F 43 LDA #1F ;I/E=1(AISLA),DPFS=DFD=0  
2017:8D 00 60 44 STA LCONT ;CLK FF A15=ALD(A15=LIERE)  
201A:EA 45 NOP ;REIRASO  
201B:A9 AD 16 LDA #1AD ;CARGA EN RAM LAS "RUTINAS" PARA ALTER

AR DATOS. (LA "ROUTINA" QUE EMPIEZA EN \$9200 TRANSFIERE EL CONTENIDO DE LA LOCALIDAD APUNTADA A IMD).

201D:8D 00 92	47	STA	\$9200
2020:A9 00	48	LDA	#\$00
2022:8D 01 92	49	STA	\$9201
2025:A9 91	50	LDA	#\$91
2027:8D 02 92	51	STA	\$9202
202A:A9 8D	52	LDA	#\$8D
202C:8D 03 92	53	STA	\$9203
202F:A9 3C	54	LDA	#\$3C
2031:8D 04 92	55	STA	\$9204
2034:A9 90	56	LDA	#\$90
2036:8D 05 92	57	STA	\$9205
2039:A9 4C	58	LDA	#\$4C
203B:8D 06 92	59	STA	\$9206
203E:A9 0A	60	LDA	#\$0A
2040:8D 07 92	61	STA	\$9207
2043:A9 7D	62	LDA	#\$7D
2045:8D 08 92	63	STA	\$9208
204C:A9 AD	64	LDA	#\$AD
204A:8D 09 92	65	STA	\$9209

LIZA LA TRANSFERENCIA INVERSA).

204D:A9 3C	66	LDA	#\$3C
204F:8D 0A 92	67	STA	\$920A
2052:A9 90	68	LDA	#\$90
2054:8D 0B 92	69	STA	\$920B
2057:A9 8D	70	LDA	#\$8D
2059:8D 0C 92	71	STA	\$920C
205C:A9 00	72	LDA	#\$00
205E:8D 0D 92	73	STA	\$920D
2061:A9 91	74	LDA	#\$91
2063:8D 0E 92	75	STA	\$920E
2066:A9 4C	76	LDA	#\$4C
2068:8D 0F 92	77	STA	\$920F
206B:A9 0D	78	LDA	#\$0D
206D:8D 10 92	79	STA	\$9210
2070:A9 70	80	LDA	#\$70
2072:8D 11 92	81	STA	\$9211
2075:A9 00	82	LDA	#\$00
2077:8D 3A 90	83	STA	LAF
207A:A9 91	84	LDA	#\$91
207C:8D 3E 90	85	STA	HAF
207F:AD 00 91	86	LDA	\$9100
2082:8D 3C 90	87	STA	IMD

0 DE \$9100

2085:A9 00	88	LDA	#\$00
2087:8D 01 80	89	STA	D1S1
208A:8D 02 80	90	STA	D1S2
208D:A9 10	91	LDA	#\$10
208F:8D 01 80	92	STA	D1S1
2092:8D 02 80	93	STA	D1S2
2095:A9 20	94	LDA	#\$20
2097:8D 01 80	95	STA	D1S1
209A:8D 02 80	96	STA	D1S2
209D:A9 30	97	LDA	#\$30
209F:8D 01 80	98	STA	D1S1
20A2:8D 02 80	99	STA	D1S2
20A5:AD 07 80	100	LDA	TEC
20A8:A9 03	101	LDA	#\$03
20AA:8D 00 80	102	STA	D1S0
20AD:A9 12	103	LDA	#\$12
20AF:8D 00 80	104	STA	D1S0
20B2:A9 21	105	LDA	#\$21
20B4:8D 00 80	106	STA	D1S0
20B7:A9 3F	107	LDA	#\$3F
20B9:8D 00 80	108	STA	D1S0

: LA "ROUTINA" QUE EMPIEZA EN \$9209 REA

: INICIA APUNTADOR EN 9100

: INICIA IMAGEN DE DATO CON EL CONTENIDO

: D. CTRD.=D. DER.=0000

: BORRA BANDERA TECLADO  
: DESPLIEGA "F123" D.120.

20BC:A9 04	109	FUNO	LDA #104	:MASCARA BANDERA TECLADO
20BE:2D 08 80	110		AND BTEC	:LEE BANDERA TECLADO
20C1:C9 04	111		CMP #104	:SI NO HAY BANDERA DE TECLADO SIGUE ES
PERANDOLA				
20C3:DO F7	112		RNE EUNO	:MASCARA TECLADO
20C5:A9 1F	113		LDA #11F	:LEE TECLADO
20C7:2D 09 80	114		AND TEC	:GUARDA TECLADO EN RAM (IMTEC)
20CA:8D 35 90	115		STA IMTEC	:SI TEC=03, VA A "CORRER"
20CD:C9 03	116		CMP #103	
20CF:DO 03	117		BNE EDO3	
20D1:4C 15 70	118		JMP REGRE+B	:DEBE SALTAR A "CORRER". (PROVISIONALME
NTE REGRESA AL		MENU PRINCIPAL)		
20D4:AD 35 90	119	EDOS	LDA INTEC	
20D7:C9 02	120		CMP #102	:SI IMTEC =02 VA A "INICIALIZAR"
20D9:DO 03	121		BNE SUPER	:POR DEFAULT VA A "SUPERVISAR"
20DB:4C EE 74	122		JMP INIC+B	:SALTA A "INICIALIZACION"
20DE:A9 00	123	(SUPER)	LDA #100	:DESPLIEGA "F100", D. IZQ.
20E0:8D 00 80	124		STA DIS0	
20E3:A9 10	125		LDA #110	
20E5:8D 00 80	126		STA DIS0	
20E8:A9 00	127		LDA #105	:DESPLIEGA "DIS" D. CTRQ.
20EA:8D 01 80	128		STA DIS1	
20ED:A9 12	129		LDA #112	
20EF:8D 01 80	130		STA DIS1	
20F2:A9 21	131		LDA #121	
20F4:8D 01 80	132		STA DIS1	
20F7:A9 3D	133		LDA #13D	
20F9:8D 01 80	134		STA DIS1	
20FC:A9 34	135		LDA #134	:D. DER=4500
20FE:8D 02 80	136		STA DIS2	
2101:A9 25	137		LDA #125	
2103:8D 02 80	138		STA DIS2	
2106:A9 04	139	ES01	LDA #104	:MASCARA BANDERA TECLADO
2108:2D 08 80	140		AND BTEC	:LEE BANDERA TECLADO
210B:C9 04	141		CMP #104	:SI NO HAY BANDERA DE TECLADO SIGUE ES
PERANDOLA				
210D:DO F7	142		BNE ES01	
210F:A9 1F	143	(REGSI)	LDA #11F	:BORRA ( ) Y DP2, MANTIENE I/E=1 (AISLA)
2111:8D 00 60	144		STA LCONT	
2114:A9 1F	145		LDA #11F	:MASCARA TECLADO
2116:2D 09 80	146		AND TEC	:LEE TECLADO (TEC)
2119:8D 35 90	147		STA IMTEC	:GUARDA TECLADO (IMTEC)
211C:C9 10	148		CMP #110	:SI TEC=10, VA A "REGRE"
211E:DO 03	149		BNE ES02	
2120:4C 15 70	150		JMP REGRE+D	
2123:AD 35 90	151	ES02	LDA IMTEC	
2126:C9 03	152		CMP #103	:SI TEC=03, VA A "SUCAL"
2128:DO 03	153		BNE ES021	
212A:4C 01 73	154		JMP SUCAL+B	
212D:AD 35 90	155	ES021	LDA IMTEC	:SI IMTEC=04, VA A "SUCAL"
2130:C9 04	156		CMP #104	
2132:DO 03	157		BNE ESPFS	
2134:4C 0D 73	158		JMP SUCAL+R	
2137:A9 03	159	(ESPFS)	LDA #103	:ESPERA A QUE TRIS (IDENTIFICADOR)=00
2139:2D 04 80	160		AND TRIS	
213C:C9 00	161		CMP #100	
213E:DO F7	162		BNE ESPFS	
2140:A9 04	163		LDA #104	:REVISAS BIT 2 BUS AUX (SOLO CONTINUA S
I, VALE 1)				
2142:2D 05 80	164		AND LSBY	
2145:C9 04	165		CMP #104	
2147:DO EE	166		BNE ESPFS	
2149:A2 01	167		LDX #101	:HA SINCRONIZADO JPPS
214B:A9 7F	168		LDA #17F	:ENCIENDE DPPS Y DPD
214D:8D 00 60	169		STA LCONT	

2150:AD 35 90 170	LDA	INTEC	:SI INTEC ES DIFERENTE A 05 (DESPLIEGU
E DE VOLTAJE), APAGA DPD			
2153:C9 05 171	CMP	#105	
2155:F0 05 172	BEQ	ES02	
2157:A9 3F 173	LDA	#13F	
2159:8D 00 60 174	STA	LC0NT	
215C:A9 03 175	LDA	#503	:ESPERA A QUE TRIS=00
215E:2D 04 80 176	AND	TRIS	
2161:C9 00 177	CMP	#100	
2163:D0 F7 178	RNE	ES03	
2165:A9 03 179	LDA	#103	
2167:2D 04 80 180	AND	TRIS	:ESPERA A QUE TRIS=02 (BUS BCD)
216A:C9 02 181	CMP	#102	
216C:D0 F7 182	RNE	ES04	
216E:A9 0F 183	LDA	#10F	:TOMA BCD
2170:2D 05 80 184	AND	LSBY	
2173:9D 00 90 185	STA	#9000.X	:DEPOSITA BCD A RAM
2175:E8 186	INX		
2177:E0 32 187	CPX	#132	:REGRESA A RECIBIR BCD (50 VECES)
2179:D0 E1 188	RNE	EC03	
217B:A9 5F 189	LDA	#15F	:APAGA DPPS. "DEJA" PRENDIDO DPD
217D:8D 00 60 190	STA	LC0NT	
2180:AD 35 90 191	LDA	INTEC	
2183:C9 05 192	CMP	#105	:SI INTEC ES DIFERENTE A 05, TAMBIEN AP
AGA DPD			
2185:F0 05 193	BEQ	ES042	
2187:A9 1F 194	LDA	#11F	
2189:8D 00 60 195	STA	LC0NT	
218C:AD 35 90 196	LDA	INTEC	:SI INTEC=02, VA A ESD2
218F:C9 02 197	CMP	#102	
2191:D0 03 198	RNE	ES041	
2193:4C B3 72 199	JMP	ESD2+B	
2196:AD 35 90 200	LDA	INTEC	:SI INTEC=05, DESPLIEGA VOLTAJE
2199:C9 05 201	CMP	#105	
219B:F0 54 202	BEQ	EV1	
219D:AD 05 90 203	LDA	#9005	:RECUPERA DE RAM Y DESPLIEGA D. DER=MM
SS			
21A0:8D 02 80 204	STA	DIS2	
21A3:A9 10 205	LDA	#110	
21A5:0D 02 90 206	ORA	#9002	
21A8:8D 02 80 207	STA	DIS2	
21AB:A9 20 208	LDA	#120	
21AD:0D 06 70 209	ORA	#9006	
21B0:8D 02 80 210	STA	DIS2	
21B3:A9 30 211	LDA	#130	
21B5:0D 03 90 212	ORA	#9003	
21B8:8D 02 80 213	STA	DIS2	
21BB:AD 01 90 214	LDA	#9001	:RECUPERA DE RAM Y DESPLIEGA D. CTRO=0
OHH			
21BE:8D 01 80 215	STA	DIS1	
21C1:A9 10 216	LDA	#110	
21C3:0D 01 90 217	ORA	#9004	
21C6:8D 01 80 218	STA	DIS1	
21C9:A9 20 219	LDA	#120	
21CB:8D 01 80 220	STA	DIS1	
21CE:A9 30 221	LDA	#130	
21D0:8D 01 80 222	STA	DIS1	
21D3:AD 09 90 223	LDA	#9009	:RECUPERA DE RAM Y DESPLIEGA D. IZQ=0D
DD			
21D6:8D 00 80 224	STA	DIS0	
21D9:A9 10 225	LDA	#110	
21DB:0D 08 90 226	ORA	#9008	
21DE:8D 00 80 227	STA	DIS0	
21E1:A9 20 228	LDA	#120	
21E3:CD 07 90 229	ORA	#9007	
21E6:8D 00 80 230	STA	DIS0	

21E9:A9	30	231	LDA	#30		
21E8:8D	00	232	STA	D180		
21E6:4C	FE	233	JMP	E505+B	:SALTA AL PUNTO DE DISYUNTIVA	
21F1:A9	00	234	LDA	#400	:DESPLIEGUE DE VOLTAJE	
21F3:8D	78	90	235	STA	VENT	:INICIALIZA VENT Y VFRA
21F6:8D	79	90	236	STA	VFRA	
21F9:8D	00	80	237	STA	D180	:D.17Q=D300 , D. DER=0000
21FC:8D	02	80	238	STA	D182	
21FF:A9	10	239	LDA	#110		
2201:8D	00	80	240	STA	D180	
2204:8D	02	80	241	STA	D182	
2207:A9	20	242	LDA	#120		
2209:8D	02	80	243	STA	D182	
220C:A9	25	244	LDA	#125		
220E:8D	00	80	245	STA	D180	
2211:A9	30	246	LDA	#130		
2213:8D	02	80	247	STA	D182	
2216:A9	3D	248	LDA	#13D		
2218:8D	00	80	249	STA	D180	
221A:AD	16	90	250	LDA	#2014	:SOLO SI NUMCAN=01,ALTERA DISPLAY
221E:8D	00	80	251	STA	D180	
2221:C9	01	252	CHP	#101		
2223:F0	03	253	CCO	SV2		
2225:4C	B0	72	254	JMP	EV7+B	:RECONSTRUYE EL BYTE DE VOLTAJE
2228:0E	14	90	255	ASL	#2014	
222B:0E	14	90	256	ASL	#2014	
222E:0E	14	90	257	ASL	#2014	
2231:AD	15	90	258	LDA	#2015	
2234:0A		259	ASL	A		
2235:0A		260	ASL	A		
2236:0A		261	ASL	A		
2237:0A		262	ASL	A		
2238:0A		263	ASL	A		
2239:0A		264	ASL	A		
223A:0D	14	90	265	DRA	#2014	
223D:0D	13	90	266	DRA	#2013	
2240:8D	77	90	267	STA	VBIN	
2243:F8		268	SE0			:DIVISION ENTRE 16 Y CONVERSION A DEC
INAL						
2244:4E	77	90	269	LSR	VBIN	
2247:90	09	270	BCC	EV3	:SI EL BIT0=1 ACUMULA 06/100 EN VFRA	
2249:18		271	CLC			
224A:AD	79	90	272	LDA	VFRA	
224D:69	06	273	ADC	#106		
224F:8D	79	90	274	STA	VFRA	
2252:4E	77	90	275	LSR	VBIN	
2255:90	09	276	BCC	EV4	:SI EL BIT1=1 ACUMULA 13/100 EN VFRA	
2257:18		277	CLC			
2258:AD	79	90	278	LDA	VFRA	
225D:69	13	279	ADC	#113		
225D:8D	79	90	280	STA	VFRA	
2260:4E	77	90	281	LSR	VBIN	
2263:90	09	282	BCC	EV5	:SI EL BIT2=1 ACUMULA 25/100 EN VFRA	
2265:18		283	CLC			
2266:AD	79	90	284	LDA	VFRA	
2269:69	25	285	ADC	#125		
226B:8D	79	90	286	STA	VFRA	
226E:4E	77	90	287	LSR	VBIN	
2271:90	09	288	BCC	EV6	:SI EL BIT3=1 ACUMULA 50/100 EN VFRA	
2273:18		289	CLC			
2274:AD	79	90	290	LDA	VFRA	
2277:69	50	291	ADC	#150		
2279:8D	79	90	292	STA	VFRA	
227C:18		293	CLC			
227D:A9	00	294	LDA	#400	:GUARDA LA PARTE ENTERA (DEC) DEL VOLT	
AJE EN VENT						

227F:6D	77	90	295	ADC	VBIN	
2282:80	78	90	296	STA	VENT	
2285:D8			297	CLD		
2286:A9	0F		298	LDA	#*0F	; DESPLIEGA D. CTRO= VENT(DEC).VFRA(DEC)
)						
2298:2D	79	90	299	AND	VFRA	
229B:8D	01	80	300	STA	DIS1	
229E:AD	79	90	301	LDA	VFRA	
2291:4A			302	LSR	A	
2292:4A			303	LSR	A	
2293:1A			304	LSR	A	
2294:4A			305	LSR	A	
2295:09	10		306	ORA	#*10	
2297:8D	01	80	307	STA	DIS1	
229A:A9	0F		308	LDA	#*0F	
229C:2D	78	90	309	AND	VENT	
229F:09	20		310	ORA	#*20	
22A1:8D	01	80	311	STA	DIS1	
22A4:AD	78	90	312	LDA	VENT	
22A7:4A			313	LSR	A	
22A8:4A			314	LSR	A	
22A9:4A			315	LSR	A	
22AA:4A			316	LSR	A	
22AB:09	30		317	ORA	#*30	
22AD:8D	01	80	318	STA	DIS1	
22B0:4C	FE	72	319	JMP	ES05+B	; SALTA AL PUNTO DE DISYUNTIVA
22B3:AD	1E	90	320	LDA	#*01E	; RECUPERA DE RAM Y DESPLIEGA D. DER =
0000						
22B6:8D	02	80	321	STA	DIS2	
22B9:A9	10		322	LDA	#*10	
22BB:0D	1F	90	323	ORA	#*01F	
22BE:8D	02	80	324	STA	DIS2	
22C1:A9	20		325	LDA	#*20	
22C3:8D	02	80	326	STA	DIS2	
22C6:A9	30		327	LDA	#*30	
22C8:8D	02	80	328	STA	DIS2	
22CB:AD	10	90	329	LDA	#*010	; RECUPERA DE RAM Y DESPLIEGA D. CTRO=00
EE						
22CE:8D	01	80	330	STA	DIS1	
22D1:A9	10		331	LDA	#*10	
22D3:0D	0F	90	332	ORA	#*00F	
22D6:8D	01	80	333	STA	DIS1	
22D9:A9	20		334	LDA	#*20	
22DB:8D	01	80	335	STA	DIS1	
22DE:A9	30		336	LDA	#*30	
22E0:8D	01	80	337	STA	DIS1	
22E3:AD	0A	90	338	LDA	#*00A	; RECUPERA DE RAM Y DESPLIEGA D. IZD=0N
NN						
22E6:8D	00	80	339	STA	DIS0	
22E9:A9	10		340	LDA	#*10	
22EB:0D	0D	90	341	ORA	#*00D	
22EE:8D	00	80	342	STA	DIS0	
22F1:A9	20		343	LDA	#*20	
22F3:0D	0E	90	344	ORA	#*00E	
22F6:8D	00	80	345	STA	DIS0	
22F9:A9	30		346	LDA	#*30	
22FB:8D	00	80	347	STA	DIS0	
22FE:A9	04		348	LDA	#*04	
2300:2D	08	80	349	AND	BTEC	; SI SE HA OPRIMIDO UNA TECLA REGRESA A
"REGSU"						
2303:C9	04		350	CMP	#*04	
2305:00	03		351	BNE	ES06	
2307:4C	0F	71	352	JMP	REGSU+B	
230A:4C	37	71	353	JMP	ES06	; DE OTRO MODO RESINCRONIZA
230D:A9	03		354	LDA	#*03	; ESPERA TRIS = 01
230F:2D	04	80	355	AND	TRIS	



2312:C9	01	354	CHF	#101	
2314:DO	F7	357	BNE	SUCAL	
2316:AD	06 80	358	LDA	MSBY	:CAPTA Y GUARDA CAN 3
2319:BD	1A 90	359	STA	#201A	
231C:AD	05 80	360	LDA	LSBY	
231F:BD	4B 90	361	STA	#201B	
2322:A9	03	362	LDA	#103	:ESPERA TRIS=02
2324:2D	04 80	363	AND	TRIS	
2327:C9	02	364	CHF	#102	
2329:DO	F7	365	BNE	ES07	
232R:AD	06 80	366	LDA	MSBY	:CAPTA Y GUARDA CAN 2
232E:BD	4C 90	367	STA	#204C	
2331:AD	05 80	368	LDA	LSBY	
2334:BD	4D 90	369	STA	#204D	:ESPERA TRIS=00
2337:A9	03	370	LDA	#103	
2339:2D	04 80	371	AND	TRIS	
233C:C9	00	372	CHF	#100	
233E:DO	F7	373	RHE	ES08	
2340:AD	06 80	374	LDA	MSBY	:CAPTA Y GUARDA CAN 1
2343:BD	4E 90	375	STA	#204E	
2346:AD	05 80	376	LDA	LSBY	
2349:BD	4F 90	377	STA	#204F	
234C:AD	35 90	378	LDA	INTEC	:SI TM=04 CONVIERTE A DECIMAL
234F:CY	04	379	CHF	#104	
2351:DO	03	380	RHE	ES081	
2353:4C	B6 73	381	JMP	CONDE+B	:INICIALIZA X.Y
2356:A2	00	382	LDX	#100	
2358:A0	02	383	LDY	#102	
235A:A9	0F	384	LDA	#10F	:CICLO DE DESPLIEGE
235C:3D	4A 90	385	AND	#204A.X	
235F:99	00 80	386	STA	DIS0.Y	
2362:BD	4A 90	387	LDA	#204A.X	
2365:4A		388	LSR	A	
2366:4A		389	LSR	A	
2367:4A		390	LSR	A	
2368:4A		391	LSR	A	
2369:09	10	392	ORA	#110	
236B:99	00 80	393	STA	DIS0.Y	
236E:E8		394	INX		
236F:BD	4A 90	395	LDA	#204A.X	
2372:4A		396	LSR	A	
2373:4A		397	LSR	A	
2374:4A		398	LSR	A	
2375:4A		399	LSR	A	
2376:09	20	400	ORA	#120	
2378:99	00 80	401	STA	DIS0.Y	
237B:A9	30	402	LDA	#130	
237D:99	00 80	403	STA	DIS0.Y	
2380:E8		404	INX		
2381:88		405	DEY		
2382:E0	06	406	CFY	#104	
2384:DO	D1	407	BNE	ES09	:REGRESA HASTA DESPLEGAR LOS 3 CANALES
(D. DER=CAN3. D. CTR0=CAN2. D. IZ0=CAN1)					
2386:A9	20	408	LDA	#120	:CICLO DE RETRASO
2388:BD	36 90	409	STA	CRET	:CARGA EL CONTADOR DE RETARDO CON 20 H
EYADecimal					
238B:A9	04	410	LDA	#104	:LEE BANDERA TECLADO
238D:2D	03 80	411	AND	TRIS	:SI SE HA OPRIMIDO UNA TECLA VA A "REG
SU"					
2390:C9	04	412	CHF	#104	
2392:DO	03	413	RHE	ES11	
2394:4C	0F 71	414	JMP	REGSU+B	
2397:A9	03	415	LDA	#103	:ESPERA CONT=00
2399:2D	04 80	416	AND	TRIS	
239C:C9	00	417	CHF	#100	
239E:DO	F7	418	BNE	ES11	

23A0:A9	03	419	ESI2	LDA	#103	: ESPERA CONT=01
23A2:2D	04	80	420	AND	TRIS	
23A5:C9	01	421		CMP	#101	
23A7:D0	F7	422		BNE	ESI2	
23A9:CE	36	90	423	DEC	CRET	: DECREMENTA EL CONTADOR DE RETARDO
23AC:AD	36	90	424	LDA	CRET	
23AF:C9	00	425		CMP	#100	: CONCLUIDO EL RETARDO REGRESA A TOMAR
NUEVOS VALORES DE CANALES						
23B1:D0	E4	426		BNE	ESI1	
23B3:4C	0D	73	427	JMP	SIGCAL+8	
23B6:A0	00	428	CONDE	LDY	#100	: INICIALIZA Y
23B8:B7	4A	90	429	LDA	#904A,Y	
23BB:8D	70	90	430	STA	BYD	: TRANSFIERE CAN3 A BYD Y NBD
23BE:C8		431		INY		
23BF:B7	4A	90	432	LDA	#904A,Y	
23C2:29	F0	433		AND	#1F0	
23C4:8D	71	90	434	STA	NBD	
23C7:C8		435		INY		
23C8:A9	00	436		LDA	#100	: CONVERSION HEXADEcimal A DECIMAL
23CA:SD	73	90	437	STA	UNI	: BORRA LOS ACUMULADORES DE RESULTADOS
23CD:8D	74	90	438	STA	DEC	
23D0:8D	75	90	439	STA	CENT	
23D3:8D	76	90	440	STA	MIL	
23D6:A2	00	441		LDX	#100	: INICIA X (APUNTADOR PARA TABLAS)
23D8:F3		442		SEU		
23D9:A9	FF	443	CHDA	LDA	#1FF	: REVISAR BYD
23DD:2C	70	20	444	BIT	BYD	
23DE:F0	2E	445		BEQ	CHD1	: TERMINA DE REVISAR BYD CUANDO SOLO 00
EDEN CEROS	EN	EL				
23E0:10	25	446		BPL	CHD2	: SI EL BIT EN REVISION VALE CERO NO AC
UMULA NADA						
23E2:18		447		CLC		
23E3:BD	00	77	448	LDA	PIEU,X	: ACUMULA LAS UNIDADES CORRESPONDIENTES
23E6:6D	73	90	449	ADC	UNI	
23E9:8D	73	90	450	STA	UNI	
23EC:BD	10	77	451	LDA	PIEU,X	: ACUMULA LAS DECENAS CORRESPONDIENTES
23EF:6D	74	90	452	ADC	DEC	
23F2:8D	74	90	453	STA	DEC	
23F5:BD	20	77	454	LDA	PIEU,X	: ACUMULA LAS CENTENAS CORRESPONDIENTES
23F8:6D	75	90	455	ADC	CENT	
23FB:8D	75	90	456	STA	CENT	
23FE:BD	30	77	457	LDA	PIEU,X	: ACUMULA LOS MILES CORRESPONDIENTES
2401:6D	76	90	458	ADC	MIL	
2404:8D	76	90	459	STA	MIL	
2407:ES		460	CHD2	INX		: AVANZA EL APUNTADOR DE LAS TABLAS
2409:0E	70	90	461	ASL	BYD	: CORRE BYD A LA IZD., INTRODUCIENDO UN CERO
240B:4C	D9	73	462	JMP	CHDA+8	: REGRESA A CONTINUAR EL CICLO
240E:A2	08	463	CHD1	LDX	#108	: REUBICA EL APUNTADOR DE LAS TABLAS
2410:A9	FF	464	CHD5	LDA	#1FF	: REVISION DE NBD
2412:2C	71	90	465	RIT	NBD	
2415:F0	2E	466		BEQ	CHD3	: TERMINA DE REVISAR NBD CUANDO SOLO 00
EDEN CEROS	EN	EL				
2417:10	25	467		BPL	CHD4	: SI EL BIT EN REVISION VALE CERO NO AC
UMULA NADA						
2419:18		468		CLC		
241A:BD	00	77	469	LDA	PIEU,X	: ACUMULA LAS UNIDADES CORRESPONDIENTES
241D:6D	73	90	470	ADC	UNI	
2420:8D	73	90	471	STA	UNI	
2423:BD	10	77	472	LDA	PIEU,X	: ACUMULA LAS DECENAS CORRESPONDIENTES
2426:6D	74	90	473	ADC	REC	
2429:8D	74	90	474	STA	DEC	
242C:BD	20	77	475	LDA	PIEU,X	: ACUMULA LAS CENTENAS CORRESPONDIENTES

242F:6D	75	90	476	ADC	CENT		
2432:8D	75	90	477	STA	CENT		
2435:BD	30	77	478	LDA	PIEM, X	:ACUMULA LOS MILES CORRESPONDIENTES	
2438:6D	76	90	479	ADC	MIL		
243B:8D	76	90	480	STA	MIL		
243E:E8			481	CHD4	INX	:AVANZA EL APUNTAADOR DE LAS TABLAS	
243F:0E	71	90	482	ASL	NRD	:CORRE NDD A LA IZQ. INTRODUCIENDO UN CERO	
2442:4C	10	74	483	JMP	CHD5+D	:REGRESA A CONTINUAR EL CICLO	
2445:AD	73	90	484	CHD3	LDA	UNI	:RE-DISTRIBUYE LOS EXCESOS EN LOS RESU
LTADOS DECIMALES. PARA AJUSTARLOS A UNA SOLA CIFRA CADA UNO							
2448:4A			485	LSR	A		
2449:4A			486	LSR	A		
244A:4A			487	LSR	A		
244B:4A			488	LSR	A		
244C:18			489	CLC			
244D:6D	74	90	490	ADC	DEC		
2450:8D	74	90	491	STA	DEC		
2453:4A			492	LSR	A		
2454:4A			493	LSR	A		
2455:4A			494	LSR	A		
2456:4A			495	LSR	A		
2457:18			496	CLC			
2458:6D	75	90	497	ADC	CENT		
245B:8D	75	90	498	STA	CENT		
245E:4A			499	LSR	A		
245F:4A			500	LSR	A		
2460:4A			501	LSR	A		
2461:4A			502	LSR	A		
2462:18			503	CLC			
2463:6D	76	90	504	ADC	MIL		
2466:8D	76	90	505	STA	MIL		
2469:A9	0F		506	LDA	#90F	:ANEXA A CADA DIGITO DECIMAL EL CODIGO	
DE SELECCION DE DIGITO DEL DISPLAY ADECIANDO							
246B:2D	73	90	507	AND	UNI		
246E:8D	73	90	508	STA	UNI		
2471:A9	0F		509	LDA	#90F		
2473:2D	74	90	510	AND	DEC		
2476:09	10		511	ORA	#910		
2478:8D	74	90	512	STA	DEC		
247B:A9	0F		513	LDA	#90F		
247D:2D	75	90	514	AND	CENT		
2480:09	20		515	ORA	#920		
2482:8D	75	90	516	STA	CENT		
2485:A9	0F		517	LDA	#90F		
2487:2D	76	90	518	AND	MIL		
248A:09	30		519	ORA	#930		
248C:8D	76	90	520	STA	MIL		
248F:D8			521	CLD			
2490:C0	03		522	CPY	#902	:SI Y=02, DESPLIEGA EL CANAL 3 (DEC)EN	
EL DISPLAY DERECHO							
2492:D0	1B		523	RNE	CHD51		
2494:AD	73	90	524	LDA	UNI		
2497:8D	02	80	525	STA	D1S2		
249A:AD	74	90	526	LDA	DEC		
249D:8D	02	80	527	STA	D1S2		
24A0:AD	75	90	528	LDA	CENT		
24A3:8D	02	80	529	STA	D1S2		
24A6:AD	76	90	530	LDA	MIL		
24A9:8D	02	80	531	STA	D1S2		
24AC:4C	B8	73	532	JMP	CHD0+8		
24AF:C0	04		533	CHD5.1	CPY	#904	:SI Y=04, DESPLIEGA EL CANAL 2 (DEC)EN
EL DISPLAY CENTRAL							
24B1:D0	1B		534	RNE	CHD52		
24B3:AD	73	90	535	LDA	UNI		

24D6:8D	01	80	536	STA	D151	
24D7:AD	74	90	537	LDA	DEC	
24D8:8D	01	80	538	STA	D151	
24E0:AD	75	90	539	LDA	CENT	
24C2:8D	01	80	540	STA	D151	
24C5:8D	76	90	541	LDA	NIL	
24C8:8D	01	80	542	STA	D151	
24CB:4C	88	73	543	JMP	CH00+R	
24CE:AD	73	90	544	LDA	UNI	:SI Y=06. DESPLIEGA EL CANAL 1 (DEC)EN
EL DISPLAY IZQUIERDO						
24D1:8D	00	80	545	STA	D150	
24D4:AD	74	90	546	LDA	DEC	
24D7:8D	00	80	547	STA	D150	
24DA:AD	75	90	548	LDA	CENT	
24DD:8D	00	80	549	STA	D150	
24E0:AD	76	90	550	LDA	NIL	
24E3:8D	00	80	551	STA	D150	
24E6:A9	10		552	LDA	#10	:CARGA CRET CON 10 HEX PARA QUE EL CIC
LO DE RETARDO SE INICIE CON ESE VALOR						
24E8:8D	35	90	553	STA	CRET	
24EB:4C	8B	73	554	JMP	RECODE+R	
24EE:A9	0A		555	LDA	#10A	:INICIALIZA (A/D) CON A
24F0:8D	38	90	556	STA	BAN	
24F3:A9	2F		557	LDA	#13F	:D IZQ. ="F" _
24F5:8D	00	80	558	STA	D150	
24F8:A9	22		559	LDA	#122	
24FA:8D	00	80	560	STA	D150	
24FD:A9	30		561	LDA	#130	:I/E=0(CONECTA).PRENDE DPPS.AFAGA DDD
24FF:8D	00	60	562	STA	LCONT	
2502:A9	00		563	LDA	#100	:D IZQ. ="F00"
2504:8D	00	80	564	STA	D150	
2507:A9	10		565	LDA	#10	
2509:8D	00	80	566	STA	D150	
250C:4C	E4	75	567	JMP	E10D+B	
250F:A9	04		568	LDA	#104	:MASCARA BANDERA TECLADO
2511:2D	08	80	569	AND	BTEC	:LEE BANDERA TECLADO
2514:C9	04		570	CMF	#104	
2516:D0	F7		571	RNE	REBIN	
2518:A9	1F		572	LDA	#11F	:MASCARA TECLADO
251A:2D	09	80	573	AND	TEC	:IFE TECLADO (IEC)
251D:8D	25	90	574	STA	IMTEC	:GUARDA TECLADO (IMTEC)
2520:29	10		575	AND	#10	:PRUEBA SI DE TEC
2522:D0	03		576	RNE	E101	:SI B4=1. SE OPRIMIO UNA TECLA DE CONT
ROL						
2524:4C	40	75	577	JMP	E10H+B	
2527:AD	35	90	578	LDA	IMTEC	:SI TM=10 HEX, SALTA A "REGRE"
252A:C9	10		579	CMP	#10	
252C:D0	03		580	BNE	E102	
252E:4C	15	70	581	JMP	REGRE+D	
2531:AD	35	90	582	LDA	IMTEC	:SI TM=11 HEX, CONMUJA (A/D) Y VA AL DE
SPLIEGUE						
2534:C9	11		583	CMF	#111	
2536:D0	08		584	BNE	E103	
2538:AD	38	90	585	LDA	BAD	
253B:49	07		586	EOR	#107	
253D:8D	38	90	587	STA	BAD	
2540:4C	07	74	588	JMP	E0E5+D	
2543:AF	35	90	589	LDA	IMTEC	:SI TM=12 HEX, INCREMENTA EL APUNTADOR
2546:C9	12		590	CMP	#12	
2548:D0	20		591	RNE	E10E	:DE OTRO MODO VA A "EIME"
254A:18			592	CLC		
254B:A9	01		593	LDA	#101	
254D:6D	3A	90	594	ADC	LAP	
2550:8D	3A	90	595	STA	LAP	
2553:8D	01	92	596	STA	#201	
2556:8D	0D	92	597	STA	#20D	

2539:A9	00	598	LDA	#100	
255B:AD	3B 90	599	ADC	HAF	
255E:8D	3B 90	600	STA	HAF	
2561:8D	02 92	601	STA	#200	
2564:8D	0E 92	602	STA	#20E	
2567:4C	E4 75	603	JMP	EIRD+8	
256A:38		604	SEC		:DECREMENTA EL APUNTADOR
256B:AD	3A 90	605	LDA	LAP	
256E:E9	01	606	SBC	#101	
2570:8D	3A 90	607	STA	LAP	
2573:8D	01 92	608	STA	#201	
2576:8D	0D 92	609	STA	#20D	
2579:AD	3B 90	610	LDA	HAF	
257C:E9	00	611	SBC	#100	
257E:8D	3B 90	612	STA	HAF	
2581:8D	02 92	613	STA	#202	
2584:8D	0E 92	614	STA	#20E	
2587:80	14	615	BCS	EIM2	
2589:A9	00	616	LDA	#100	:SI CARRY=0, SE FORZARA EL APUNTADOR A
0000					
258B:8D	3A 90	617	STA	LAP	
258E:8D	3B 90	618	STA	HAF	
2591:8D	01 92	619	STA	#201	
2594:8D	02 92	620	STA	#202	
2597:8D	0D 92	621	STA	#20D	
259A:8D	0E 92	622	STA	#20E	
259D:4C	E4 75	623	JMP	EIRD+8	
25A0:A9	0F	624	LDA	#10F	:SE "REDUCE" IMTEC A 4 BITS
25A2:2D	35 90	625	AND	IMTEC	
25A5:8D	35 90	626	STA	IMTEC	:DEFINE SI IMTEC SE CONSIDERARA COMO D
25A8:AD	38 90	627	LDA	BAD	
ATO O DIRECCION					
25AB:C9	0A	628	CMP	#10A	
25AD:F0	03	629	BEQ	E104	:SI BAD=0D, SALTA A "EIRD"
25AF:4C	E4 75	630	JMP	EIRD+8	
25B2:0E	3C 90	631	ASL	HAF	:SI BAD=0A, INTRODUCER A INTEC COMO DIG
ITO HEX MENOS SIGNIFICATIVO DEL APUNTADOR					
25B5:0E	3B 90	632	ASL	HAF	
25B8:0E	3B 90	633	ASL	HAF	
25BB:0E	3B 90	634	ASL	HAF	
25BE:AD	3A 90	635	LDA	LAP	
25C1:4A		636	LSR	A	
25C2:4A		637	LSR	A	
25C3:4A		638	LSR	A	
25C4:4A		639	LSR	A	
25C5:0D	3D 90	640	ORA	HAF	
25C9:8D	3B 90	641	STA	HAF	
25CB:8D	07 92	642	STA	#207	
25CE:8D	0E 92	643	STA	#20E	
25D1:AD	3A 90	644	LDA	LAP	
25D4:0A		645	ACL	A	
25D5:0A		646	ACL	A	
25D6:0A		647	ACL	A	
25D7:0A		648	ACL	A	
25D8:0D	35 90	649	ORA	IMTEC	
25DB:8D	3A 90	650	STA	LAP	
25DE:8D	01 92	651	STA	#201	
25E1:8D	0D 92	652	STA	#20D	
25E4:4C	00 92	653	JMP	#200	:TRANSFERE EL CONTENIDO DE LA LOCALID
AD APUNTADA A IMP					
25E7:EA		654	NOP		
25F0:A9	10	655	LDA	#110	:SI FUE TECLA DE CONTROL SALTA AL DESP
LIEGUE					
25FA:2D	35 90	656	AND	INTEC	
25ED:D0	18	657	BNE	EDIST	
25EF:AD	38 90	658	LDA	BAD	:DETERMINA CUANTO VALE BAD

25F2:09	0A	659	CHF	#E0A	:SI BAD=0A, SALTA AL DESPLIEGUE
25F1:F0	11	660	REP	#F0F0	
25F6:AD	3C 90	661	LDA	IMD	
25F9:0A		662	ASL	A	
25FA:0A		663	ASL	A	
25FB:0A		664	ASL	A	
25FC:0A		665	ASL	A	
25FD:00	35 90	666	ORA	INTEC	: INCLUYE A INTEC COMO DIGITO MENOS SIG
NIFICATIVO DE IMD					
2600:8D	3C 90	667	STA	IMD	
2603:4C	09 92	668	JMP	#9209	: TRANSFIERE EL VALOR DE IMD A LA LOCAL
IDAD APUNTADA					
2606:EA		669	BASE2	NOP	
2607:AD	38 90	670	LDA	DAD	: DESPLIEGA INDICADOR (D/A) EN D. IZQ.
260A:8D	00 80	671	STA	DIS0	
260U:A9	0F	672	LDA	#F0F	: DESPLIEGA LA DIRECCION APUNTADA EN D.
CTRO.					
260F:2D	3A 90	673	AND	LAF	
2612:8D	01 80	674	STA	DIS1	
2615:A9	F0	675	LDA	#F0	
2617:2D	3A 90	676	AND	LAF	
261A:4A		677	LSR	A	
261B:4A		678	LSR	A	
261C:4A		679	LSR	A	
261D:4A		680	LSR	A	
261E:09	10	681	ORA	#F10	
2620:8D	01 80	682	STA	DIS1	
2623:A9	0F	683	LDA	#F0F	
2625:2D	3B 90	684	AND	HAF	
2628:09	20	685	ORA	#F20	
262A:8D	01 80	686	STA	DIS1	
262D:A9	F0	687	LDA	#F0	
262F:2D	3B 90	688	AND	HAF	
2632:4A		689	LSR	A	
2633:4A		690	LSR	A	
2634:4A		691	LSR	A	
2635:4A		692	LSR	A	
2636:09	30	693	ORA	#F30	
2638:8D	01 80	694	STA	DIS1	
263B:AD	3C 90	695	LDA	IMD	: DESPLIEGA LA IMAGEN DE DATO EN D. DER
263E:29	0F	696	AND	#F0F	
2640:8D	02 80	697	STA	DIS2	
2643:A9	F0	698	LDA	#F0	
2645:2D	3C 90	699	AND	IMD	
2648:4A		700	LSR	A	
2649:4A		701	LSR	A	
264A:4A		702	LSR	A	
264B:4A		703	LSR	A	
264C:09	10	704	ORA	#F10	
264E:8D	02 80	705	STA	DIS2	
2651:A9	30	706	LDA	#F0	
2653:8D	02 80	707	STA	DIS2	
2656:A9	30	708	LDA	#F0	
2658:8D	02 80	709	STA	DIS2	
265B:4C	0F 75	710	JMP	REGIN+D	: REGRESA A ESPERAR UNA NUEVA PULSACION
EN EL TECLADO					
265E:00		711	BRF		

\*\*\* SUCCESSFUL ASSEMBLY: NO ERRORS

5000 R  
8008 BIEC  
240E CHD1  
2410 CHD5  
2386 CONDE  
8001 DIS1  
2527 E101  
25A0 E1DH  
2106 ES01  
2165 ES04  
230A ES06  
235A ES09  
2137 ESPPS  
2252 EV3  
2380 EV7  
24EE INTC  
9076 MII  
7710 PIE D  
250F REGIN  
20DE SUPER  
9077 VBIN

9038 BAP  
9070 BYD  
2407 CHD2  
2309 CHDA  
9034 CRET  
8002 DIS2  
2531 E102  
259D E1M2  
2123 ES02  
2196 ES041  
2322 ES07  
2397 ES11  
20BC ELND  
2260 EV4  
9038 HAP  
903A LAP  
8006 MSBY  
7730 PIEH  
2015 REGRE  
8009 TEC  
9078 VFNT

25E7 BASE1  
9075 CENT  
2443 CHD3  
24AF CHDS1  
9074 DEC  
2607 EDEFST  
2543 E103  
256A E1ME  
2100 ES021  
218C ES042  
2356 ES081  
23A0 ES12  
21F1 EV1  
228E EV5  
903C IND  
6000 LCONT  
9071 NBD  
7700 PIEU  
210F REGSU  
8004 TRIS  
9079 VFRA

2606 BASE2  
2388 CHD0  
243E CHD4  
240E CHDS2  
8000 DI90  
2004 EDOS  
25B2 E104  
25E4 E1RD  
215C ES03  
22FE ES05  
2337 ES08  
2283 ESD2  
2228 EV2  
227C EV6  
9035 INTEC  
8005 LSBY  
7720 PIEC  
238B RECODE  
230D SUCAL  
9079 UNH

2015 REGRE  
2106 ES01  
2137 ESPPS  
2196 ES041  
2260 EV4  
22B3 ESD2  
2322 ES07  
238B RECODE  
23DR CHD0  
2410 CHD5  
240E CHDS2  
2531 E102  
25A0 E1DH  
2606 BASE2  
7700 PIEU  
8000 DIS0  
8005 LSBY  
9035 INTEC  
903B HAP  
9072 UNH  
9077 VBIN

20BC ELND  
210F REGSU  
215C ES03  
21F1 EV1  
228E EV5  
227C EV6  
230A ES06  
2356 ES081  
23A0 ES12  
2407 CHD2  
2443 CHD3  
250F REGIN  
256A E1ME  
25E4 E1RD  
2607 EDEFST  
7710 PIE D  
8001 PIJ31  
8005 MSBY  
9036 CRET  
903C IND  
9074 DEC  
9078 VFNT

2004 EDOS  
2123 ES02  
2165 ES04  
2228 EV2  
227C EV6  
230A ES06  
2356 ES081  
23A0 ES12  
2407 CHD2  
2443 CHD3  
250F REGIN  
256A E1ME  
25E4 E1RD  
5000 B  
7730 PIEFC  
8002 DIS2  
8008 RTEC  
9038 BAP  
9070 BYD  
9075 CENT  
9079 VFRA

20DE SUPER  
212D ES021  
218C ES042  
2252 EV3  
2380 EV7  
230D SUCAL  
235A ES07  
2386 CONDE  
240E CHD1  
24AF CHDS1  
2527 E101  
259D E1M2  
25E7 BASE1  
6000 LCONT  
7730 PIEH  
8004 TRIS  
8009 TEC  
903A LAP  
9071 NBD  
9076 MIL

A P E N D I C E A - 2

TABLAS DE VALORES GRABADAS EN LA MEMORIA EPROM DEL SISTEMA PARA  
LA CONVERSION BINARIO A DECIMAL DE LOS VALORES DE ACELERACION



TABLAS DE VALORES GRABADAS EN LA MEMORIA EPROM DEL SISTEMA PARA  
LA CONVERSION BINARIO A DECIMAL DE LOS VALORES DE ACCELERACION :

ETIQUETA	DIRECCION (HEX)	VALOR GRABADO (HEX)
PIEU	7700	08
	7701	04
	7702	07
	7703	06
	7704	08
	7705	04
	7706	02
	7707	01
	7708	08
	7709	04
	770A	02
	770B	06
	770C	00
	770D	00
	770E	00
	770F	00
PIED	7710	02
	7711	06
	7712	05
	7713	01
	7714	00
	7715	00
	7716	00
	7717	00
	7718	04
	7719	02
	771A	01
	771B	05
	771C	00
	771D	00
	771E	00
	771F	00
PIEC	7720	01
	7721	00
	7722	00
	7723	00
	7724	00
	7725	00
	7726	00
	7727	00
	7728	00
	7729	00
	772A	05
	772B	02
	772C	00
	772D	02
	772E	00
	772F	00
PIEH	7730	00
	7731	00
	7732	00
	7733	00
	7734	00
	7735	00
	7736	00
	7737	00
	7738	02
	7739	01
	773A	00
	773B	00
	773C	00
	773D	00
	773E	00
	773F	00