

2 Ejm. 8



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

Facultad de Ingeniería

DESARROLLO DE UN MODEM DIGITAL DE  
4,800 BAUDS.

T E S I S

Que para obtener el título de:  
INGENIERO MECANICO ELECTRICISTA

P r e s e n t a n :

JOSE MIGUEL ALVAREZ MARTINEZ

LAURO SANTIAGO CRUZ

México, D. F.

1982



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE

	Página
1. INTRODUCCION .....	1
2. MODEMS .....	4
2.1 Descripción General .....	4
2.2 Características principales del MODEM .....	5
2.2.a Forma de Transmisión .....	6
2.2.b Modo de Operación .....	7
2.2.c Tipo de Modulación .....	9
2.2.c.1 Modulación binaria FSK .....	10
2.2.c.2 Modulación PSK .....	11
2.2.c.3 Modulación VSB .....	14
2.2.c.4 Modulación QUAM .....	16
2.3 Métodos de Generación de señales moduladas en <u>fa</u> <u>se</u> .....	19
2.4 Métodos de Detección de señales moduladas en <u>fa</u> <u>se</u> .....	22

	Página
2.4.a	Detección de fase por Referencia fija .. 22
2.4.b	Detección Diferencial de fase ..... 25
3.	MODULADOR ..... 31
3.1	<i>Descripción General</i> ..... 31
3.1.a	Generador de formas de onda ..... 33
3.1.b	Circuitos Defasadores ..... 36
3.1.c	Circuitos de Acoplamiento, Sumadores, In- versores y No Inversores ..... 44
3.1.d	Circuito Divisor-Defasador de 90° ..... 55
3.1.e	Filtro Paso Altas ..... 65
3.1.f	Convertor Serie-Paralelo ..... 66
3.1.g	Circuito Lógico Digital ..... 71
3.1.h	Interruptores Analógicos ..... 72
3.2	<i>Operación del Sistema Modulador</i> ..... 73
4.	DEMODULADOR ..... 77
4.1	<i>Descripción General</i> ..... 77
4.1.a	Filtro Paso Banda ..... 79
4.1.b	Circuito Retardador y Multiplicador .... 81
4.1.c	Circuito Defasador de 90° ..... 88
4.1.d	Circuito de Detección Diferencial ..... 90
4.1.e	Filtros Paso Bajas ..... 94
4.1.f	PLL (Phase Locked Loop) ..... 96
4.1.g	Circuito de Recuperación de tiempo del sím- bolo ..... 103
4.1.h	Detectores de nivel de voltaje ..... 104
4.1.i	Circuitos formadores de onda ..... 105

	Página
4.1.j Conversor Paralelo-Serie .....	105
4.2 Descripción del Proceso de Demodulación .....	106
5. ANALISIS DE COSTOS .....	110
6. CONCLUSIONES .....	113
7. BIBLIOGRAFIA .....	116
APENDICE A	

## 1. INTRODUCCION

En la actualidad, en el Instituto de Ingeniería de la UNAM se tiene experiencia en la transmisión de datos de 2,400 bps (bits por segundo).

Se ha planteado la necesidad de incrementar esta velocidad, razón por la cual uno de los objetivos del presente trabajo, es el estudio de las técnicas de modulación de datos que permita el uso más eficiente del ancho de banda, ya que, la velocidad con la que se puede transmitir información a través de un canal de comunicación esta limitada principalmente por el ancho de banda de dicho canal.

En el Instituto de Ingeniería se dispone de tres canales de comunicación con un ancho de banda de 0 - 20 Hz, por lo que si se toman cinco muestras por ciclo, se obtienen 100 muestras por ciclo por canal. Considerando que cada palabra por transmitir consta de 16 bits, de los cuales 12 se destinan

a la información y 4 a la sincronía de datos, se tiene un total de 1,600 - bits/seg/canal, y tomando en cuenta los tres canales, se tiene finalmente - que la velocidad de transmisión requerida del MODEM es de 4,800 bits/seg.

El alcance de este trabajo se extiende hasta la proposición de los posibles sistemas de modulación y demodulación. Estos sistemas se proponen a partir del estudio de las técnicas utilizadas en la implementación de MODEMS. Técnicas que abarcan desde una combinación analógica-digital, hasta una realización puramente digital, ya que, el progreso de la tecnología de circuitos integrados hace posible ésto. Recientemente se han logrado implementar MO--DEMS mediante el uso de microprocesadores <sup>†</sup>, ó utilizando circuitos MOS/LSI los cuales con un total de 5 a 8 integrados especiales se logran realizar - MODEMS para altas velocidades<sup>§</sup>.

El texto esta organizado de la siguiente manera:

Después de esta introducción en el capítulo dos se realiza un estudio detallado de las características principales de un MODEM. Se analizan las ventajas y desventajas de cada una de las diferentes técnicas utilizadas con mayor frecuencia en su construcción y se obtiene la conclusión del tipo de modulación empleada.

En los capítulos 3 y 4 se describe la operación de los circuitos modulador

† Piet J. Gerwen, "Microprocessor implementation of high speed data Modem", IEEE Transactions on Communications, Vol. Com-25, February 1977.

§ E. Gibson-Rockwell International, "Adaptive high speed data Modems", -- SAP. PAPER, No. WP5-2.

y demodulador respectivamente, se analizan los circuitos que constituyen el MODEM y se calculan los parámetros correspondientes a los mismos.

Finalmente después de haber realizado un estudio económico, capítulo cinco, se dan las conclusiones, capítulo seis.



## 2. MODEMS

En el presente capítulo se tiene como objetivo principal realizar un estudio detallado de las características fundamentales de un modulador-demodulador (MODEM). Con el fin de lograr una mayor comprensión en relación a la función de un MODEM, a continuación se describen las distintas partes que lo componen. Asimismo, se analizan las ventajas y desventajas de cada una de las diferentes técnicas que se utilizan con mayor frecuencia en su construcción, esto con el propósito de justificar la selección de la técnica empleada en la presente investigación.

### 2.1 Descripción General

El término MODEM se deriva de la contracción de las palabras MODulador-DEMo\_dulador, es también conocido en algunos textos como "Data-Sets" ó Adaptado-

res de Línea.

Los MODEMS tienen como principal función la transmisión y recepción de datos, además coordinan funciones adyacentes dentro del mismo sistema, tales como el control del flujo de datos entre las fuentes y la modulación-demodulación de señales.



fig 2.1 Modelo de un sistema de transmisión de datos.

En general, el MODEM se compone de dos módulos principales, un transmisor y un receptor. El transmisor se encarga por medio del modulador de convertir la señal binaria de la fuente de datos en una señal analógica, con el fin de lograr su transmisión a través del canal de comunicación. El receptor demodula la señal analógica recibida y recobra la información original.

## 2.2 Características principales del MODEM

Existen ciertas características que deben ser tomadas en cuenta con el propósito de obtener un adecuado diseño y construcción de un MODEM; siendo -- las principales:

### a. Forma de transmisión

- b. Modo de operación
- c. Tipo de modulación

### 2.2.a Forma de Transmisión

Con el propósito de lograr una adecuada transmisión y recepción de mensajes, el aspecto fundamental a tomar en consideración es la sincronización entre el transmisor y el receptor, la cual debe existir durante todo el desarrollo de dicho proceso.

En los MODEMS existen dos formas de transmisión: Asíncrona y Síncrona.

La transmisión asíncrona o de "arranque y paro" se usa principalmente en sistemas de baja velocidad, donde no existen medios de almacenamiento transitorio (buffers), dando como resultado que la transmisión se realice de una manera aleatoria, es decir, la transmisión se efectúa solamente cuando el canal de comunicación se encuentra disponible en el momento de generar la información (ref 1).

En la transmisión síncrona los bits de datos se agrupan en bloques cuyo tamaño puede variar de acuerdo a la velocidad de transmisión y al tamaño de los buffers. Una vez que el bloque ha sido completado, se envía a la velocidad máxima permitida por el MODEM hacia el extremo receptor.

Haciendo una comparación entre ambos tipos de transmisión se puede concluir que la transmisión síncrona ofrece mayores ventajas sobre la asíncrona, ya que la primera permite realizar transmisiones a mayor velocidad, al mismo -

tiempo que posee técnicas de control de error más elaboradas que garantizan la seguridad en la información. Estas características aunadas al hecho de que la transmisión síncrona no requiere de la técnica de "arranque y paro", da como resultado una mayor eficiencia en cuanto al ancho de banda del canal de comunicación. No obstante, el costo de su construcción y mantenimiento resulta más elevado que el de la transmisión asíncrona.

### 2.2.b Modo de Operación

Cuando se combinan las funciones de transmisión y recepción de datos, se puede lograr una operación simultánea en modo "duplex completo" (Full-Duplex), una operación alternante en modo "semiduplex" (Half-Duplex), ó en un solo sentido en modo "simplex".

Un par de MODEMS operando en Full-Duplex (FDX), puede manejar datos en ambas direcciones simultáneamente sobre un dispositivo que proporcione dos rutas separadas para ello.

Este modo de operación puede llevarse a cabo de dos maneras. Primera, cuando el MODEM utiliza línea de cuatro cables, un par se encarga de realizar la transmisión, y el otro par la recepción de información, ambos operando a la misma frecuencia portadora. Segunda, cuando se utiliza un solo par de línea operando a diferentes frecuencias no interferidas, por medio de filtros, los cuales aseguran la separación en frecuencia de los cables y minimizan su atenuación e interferencia. Este modo de operación generalmente se utiliza en MODEMS cuyas transmisiones se realizan a baja velocidad (ref 2).

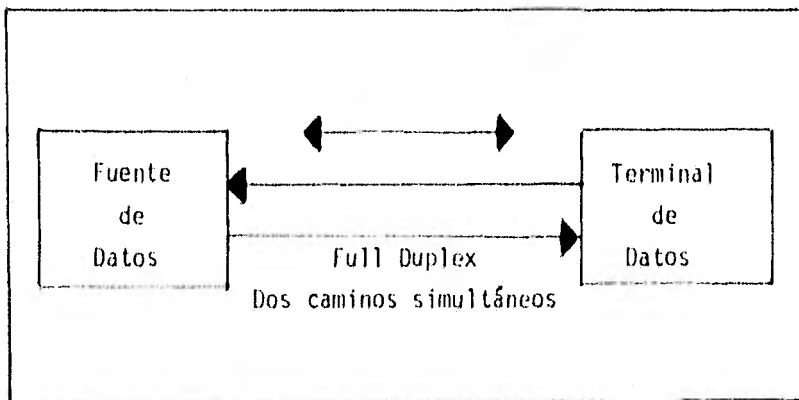
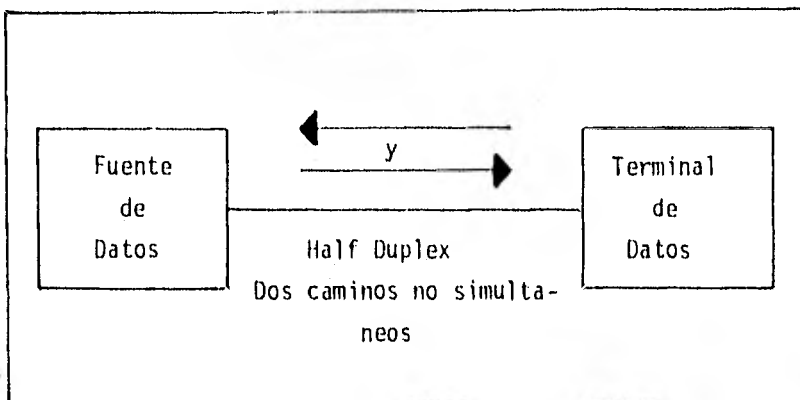
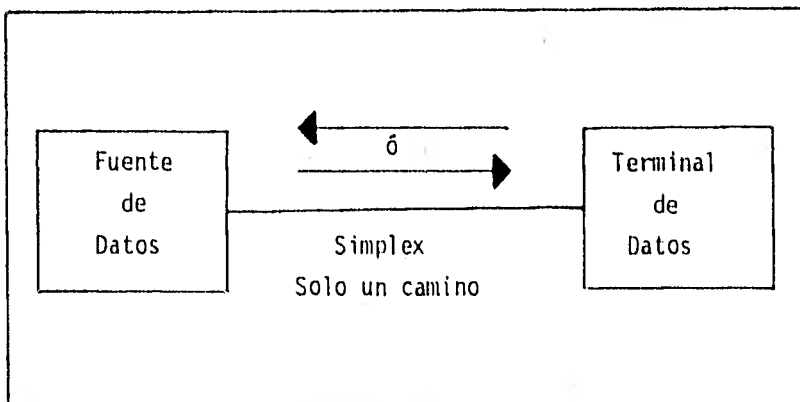


fig 2.2 Modos de operación.

En operación Half-Duplex (HDX) el receptor normalmente se encuentra en condición de alerta, ya que de este modo, la transmisión y recepción no se encuentran ajustadas en forma simultánea cuando la fuente de datos está lista para enviar la información. Debido a esto, el MODEM debe realizar la petición de transmisión y permanecer en condición de alerta. Existe una gran desventaja en este tipo de operación cuando se utilizan dos cables, ya que el valor de tiempo efectivo de la transmisión puede ser reducido aproximadamente al 50%, debido principalmente a ciertos retrasos ocasionados por la porción de tiempo reservada para la petición y respuesta de inicio de la transmisión.

El modo de operación simplex posee un solo camino de comunicación, el cual se encuentra integrado por un transmisor en un extremo y de un receptor en el otro. Este modo de operación se utiliza generalmente cuando se requiere manejar información a alta velocidad, sin los retrasos ocasionados por la petición y respuesta de inicio de la transmisión.

Su simplicidad y costo son otras ventajas que ofrece este modo de operación, debido a que carece de sistemas de interfaz muy complicados. Siendo por estas razones el modo de operación utilizado en la presente investigación.

### 2.2.c Tipo de Modulación

Todas las señales que transportan información deben ser transmitidas sobre algún medio que separe al transmisor del receptor. En muchas ocasiones, durante el desarrollo de este proceso, estas señales al final de la transmisión

no reproducen la información enviada con la fidelidad requerida. Esta situación puede darse debido a un gran número de factores, entre los que se podrían mencionar la interferencia del medio, efectos capacitivos y resistivos del canal de comunicación, adición de ruido en el transmisor, etc.

Con el propósito de evitar en lo posible los factores anteriores y así lograr una transmisión eficiente, es necesario que de alguna manera la información sea procesada antes de ser transmitida sobre el medio. La modulación es la técnica encargada de realizar esa función, transformando el mensaje - de su forma original en una señal que sea más apropiada para la transmisión entre el transmisor y el receptor (ref 3).

Para poder transmitir información digital binaria entre MODEMS, se requiere fundamentalmente que la señal de audiofrecuencia transmitida sea modulada - en intervalos, provocando en ella una variación en su frecuencia, amplitud, fase ó alguna combinación de ellas.

Los MODEMS utilizan distintas técnicas de modulación, dependiendo principalmente de su aplicación específica, siendo las más frecuentes; FSK (Frequency Shift Keying), PSK (Phase Shift Keying), VSB (Vestigial Sideband) y QAM (Cuadratura AM).

#### 2.2.c.1 Modulación binaria FSK

La modulación binaria FSK es el método más empleado cuando los factores simplicidad y economía son más importantes que la eficiencia de ancho de banda. Generalmente se emplea en sistemas de velocidad de transmisión relativamente

bajas, que no requieren de técnicas complejas de detección. Normalmente, el corrimiento de frecuencia en Hz es de la mitad a tres cuartos de la velocidad de transmisión máxima, y el ancho de banda en Hz es muy cercano al doble de la máxima velocidad de transmisión. Esto permite recobrar la señal de banda base sin una excesiva perturbación de las transiciones, por lo que es factible manejar en estas condiciones velocidades hasta de 1,800 bps.

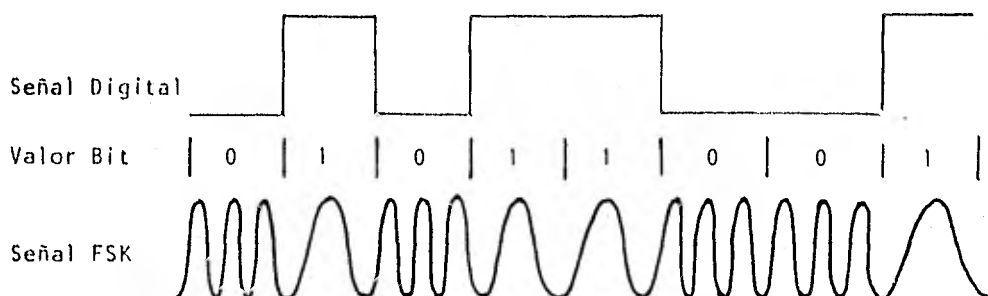


fig 2.3 Señal modulada en FSK.

#### 2.2.c.2 Modulación PSK

El principio fundamental de la modulación PSK (Phase Shift Keying), consiste en tener un cambio de fase de la señal portadora acorde con los datos por transmitir (ref 4).

La modulación PSK presenta ciertas características que favorecen la transmisión de datos, tales como:

- a. Para una cierta probabilidad de error ( $P_e$ ) se requiere de una baja - relación señal-ruido ( $S/N$ ).
- b. Estos sistemas de modulación pueden transmitir en rangos de audiofre



cuencia un número elevado de bps de información.

c. Poseen una baja susceptibilidad de interferencia - intercanal

d. Su diseño en hardware resulta razonablemente simple.

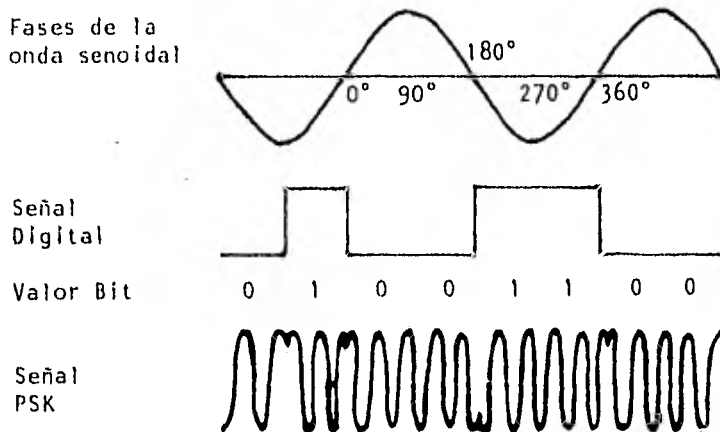


fig 2.4 Señal modulada en PSK

Los tipos de modulación PSK son; PSK Coherente y PSK Diferencial.

La PSK Coherente ó Detección Síncrona realiza un reconocimiento preciso de la fase de la señal portadora recibida y de su frecuencia.

La modulación diferencial en fase (DPSK) es el método más utilizado en modulación de fase, sobre todo cuando se aplica a sistemas que requieren de una eficiencia media en el ancho de banda.

El término diferencial implica que el significado del símbolo se basa en el cambio de fase de los símbolos previos y no en una referencia de fase absoluta.

La modulación en fase de cuatro u ocho fases permite la codificación de grupos de dos ó tres bits respectivamente, aumentado de dos a tres veces la -- cantidad de información enviada sobre el canal de comunicación, en el mismo valor de ancho de banda.

#### Modulación DPSK (2 fases)

Este método de modulación en fase es llamado bifase, debido a que la representación de un "1" lógico esta dada por  $-180^\circ$  de corrimiento de fase y un "0" lógico es representado por un "no cambio" de fase de la portadora. Este tipo de modulación tiene la desventaja de lograr velocidades no mayores a -- 1,200 bps en rangos de audiofrecuencia.

#### Modulación DPSK (4 fases)

La mayor parte de los MODEMS que utilizan cuatro fases seleccionan sus corrimientos de fase de  $\pm 45^\circ$  y  $\pm 135^\circ$ ; otros utilizan arreglos de  $0^\circ$ ,  $\pm 90^\circ$  y  $180^\circ$ . La primera selección tiene la ventaja de lograr cambios continuos de fase, lo cual permite mantener los símbolos en sincronismo, mientras que el otro arreglo utiliza la fase de la señal portadora para representar un -- dicit determinado (ref 5).

Con este tipo de modulación diferencial se pueden lograr velocidades hasta - de 2,400 bps en un rango de audiofrecuencia.

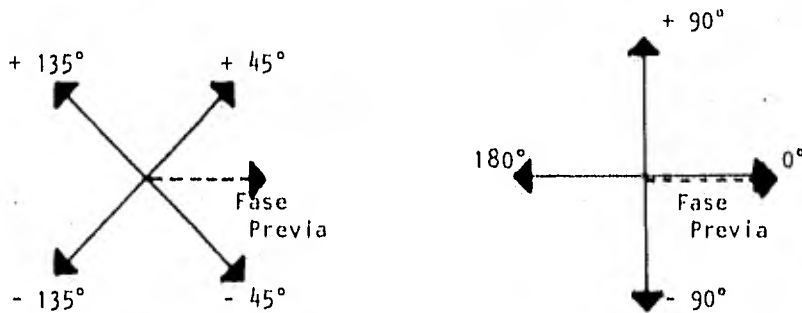


fig 2.5 Selección de corrimientos de fase para una señal de cuatro fases.

### Modulación DPSK (8 fases)

La modulación diferencial PSK 8 fases significa que ocho símbolos serán re-- presentados por su propia variación de fase.

El sistema DPSK ocho fases tiene la ventaja sobre el de cuatro fases de lo-- grar velocidades hasta de 7,200 bps. No obstante, requiere de un mayor ancho de banda que el de cuatro fases, y su detección resulta más complicada debi-- do a que requiere de un hardware más elaborado.

### 2.2.c.3 Modulación VSB

La modulación VSB (Vestigial Sideband) es una modificación de modulación DSB

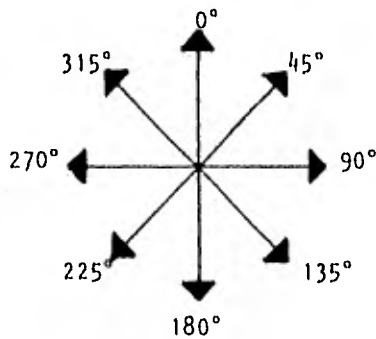


fig 2.6 Corrimientos de fase para una señal de ocho fases.

(Double Sideband) en la cual, parte del espectro de frecuencia es suprimido. Esta supresión se efectúa cuando la DSB pasa a través de un sistema de filtros.

Los MODEMS que utilizan modulación VSB resultan muy eficientes, pero requieren de un valor mayor en su ancho de banda para alcanzar velocidades cuyo rango varía entre los 4,800 y 9,600 bps, dependiendo de las necesidades de transmisión. Sin embargo, esta técnica presenta una mayor dificultad en su detección y vulnerabilidad a las perturbaciones del canal de comunicación.

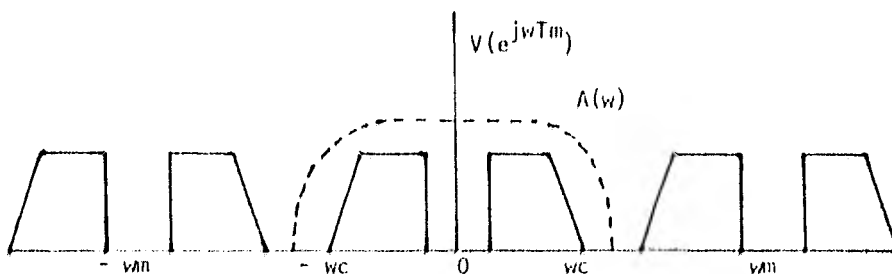


fig 2.7 Espectro a la salida de un sistema digital modulado en VSB.

#### 2.2.c.4 Modulación QUAM

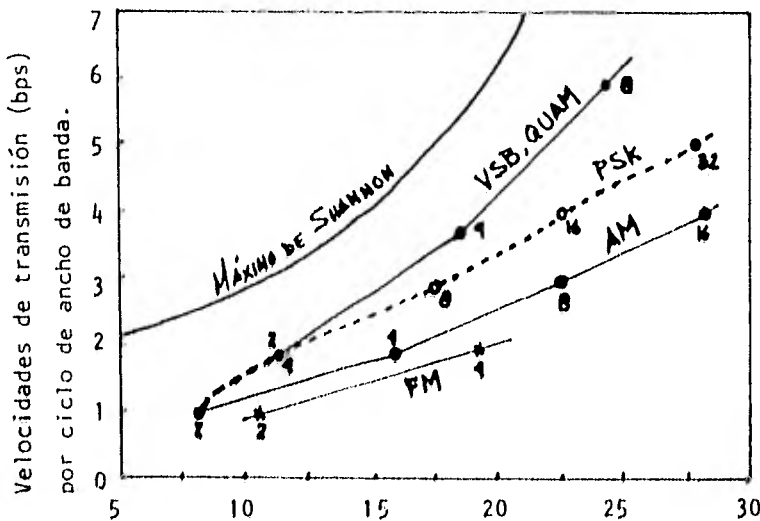
La técnica de modulación AM en cuadratura, consiste de una combinación de dos sistemas AM, los cuales tienen el mismo valor en su frecuencia portadora pero difieren 90° de fase entre los canales. Si bien este sistema de alta velocidad de transmisión alcanza los 9,600 bps, también hay que tomar en consideración que su costo resulta elevado y su hardware muy complicado.

La tabla siguiente resume lo expuesto anteriormente mediante la exposición de los requerimientos necesarios para el diseño y construcción de MODEMS. Estos requerimientos son el ancho de banda y la técnica de modulación empleada para lograr velocidades de 4,800, 7,200 y 9,600 bits/s (ref 1).

Tipo de modulación	Bits/ Ciclo	ancho de banda requerido		
		4,800	7,200	9,600 bps
2 niveles VSB ó QUAM	2	2,400		
4 Ø PSK	2	2,400		
3 niveles VSB ó QUAM	3	1,600	2,400	
4 Ø + 2 niveles AM	3	1,600	2,400	
8 Ø PSK	3	1,600	2,400	
4 niveles VSB ó QUAM	4		1,800	2,400
8 Ø + 2 niveles AM	4		1,800	2,400
6 niveles VSB ó QUAM	5			1,920
8 niveles VSB ó QUAM	6			1,600

Para comparar la eficiencia de diferentes MODEMS que usan distintos tipos de modulación, se emplean generalmente dos medidas; una es la relación de potencia de la señal transmitida respecto a la potencia del ruido (en la banda de Nyquist) requerida para obtener una probabilidad de error de  $10^{-4}$ , y la otra, la velocidad nominal de la transmisión en bits por segundo por ciclo de ancho de banda.

En la figura 2.8 se grafica en la coordenada horizontal la relación de señal a ruido para un error de  $10^{-4}$ , y en la coordenada vertical la velocidad de transmisión por ciclo de ancho de banda. Se indica además el número de símbolos por cada punto de estado.



Relación de señal a ruido para una tasa de errores de  $10^{-4}$ , dB.  
fig 2.8 Comparación de métodos de modulación.

Este tipo de representación gráfica es muy objetiva, ya que en ella se puede

apreciar claramente la capacidad que poseen las diferentes técnicas de modulación de intercambiar niveles de señal a ruido por valores de flujo de información, es decir, con qué técnicas de modulación tenemos un menor consumo de potencia en la transmisión para obtener un mayor flujo de información con un ancho de banda reducido.

Una vez que el ancho de banda esté totalmente utilizado, es posible obtener mayores valores de flujo de información a partir de la disminución del margen contra el ruido.

La línea superior (fig 2.8) indica la frontera teórica para valores de información transferida sobre un canal limitado por ruido Gaussiano, como fué formulada por Shannon.

La modulación en banda lateral única y amplitud modulada en cuadratura son los métodos más eficientes, y caen a lo largo de la línea que tiene la misma pendiente que el límite de Shannon. Se puede observar en la gráfica que dos canales binarios de AM en cuadratura y PSK de cuatro niveles tienen el mismo valor para sistemas PSK que usan más de cuatro fases.

Los sistemas de modulación más burdos son AM y PSK dos fases, y se aprecia que sus pendientes difieren considerablemente de las pendientes de VSB y AM en cuadratura.

Los sistemas AM y FM también caen a lo largo de las líneas que tienen meno--

res pendientes.

Cuando se involucra detección coherente algo de la potencia transmitida se requiere para mantener a la portadora de referencia en el receptor. Esta situación no se contempla en la figura.

Debido a la utilización del sistema de modulación PSK, es conveniente posteriormente establecer de una manera general las técnicas de generación y detección de señales moduladas en fase.

### 2.3 Métodos de Generación de señales moduladas en fase

La figura 2.9 muestra como una señal de cuatro fases puede ser generada mediante la combinación de dos señales AM en cuadratura. Los dígitos binarios al transmitirse se agrupan en pares, designando con la letra A al primer dígito del par y con la letra B al segundo. Estos dígitos en forma polar son aplicados simultáneamente a moduladores de amplitud lineal.

El modulador A es alimentado con  $0^\circ$  de portadora, mientras que el modulador B con  $90^\circ$  de portadora. La salida del modulador A contiene una portadora de  $0^\circ$  cuando el dígito A es un "1" y de  $180^\circ$  cuando el dígito A es un "0" lógico.

En forma análoga para la salida del modulador B se realiza una suma ó resta de portadora de  $90^\circ$  dependiendo del valor de B, ya sea "1" ó "0" (ref 6).



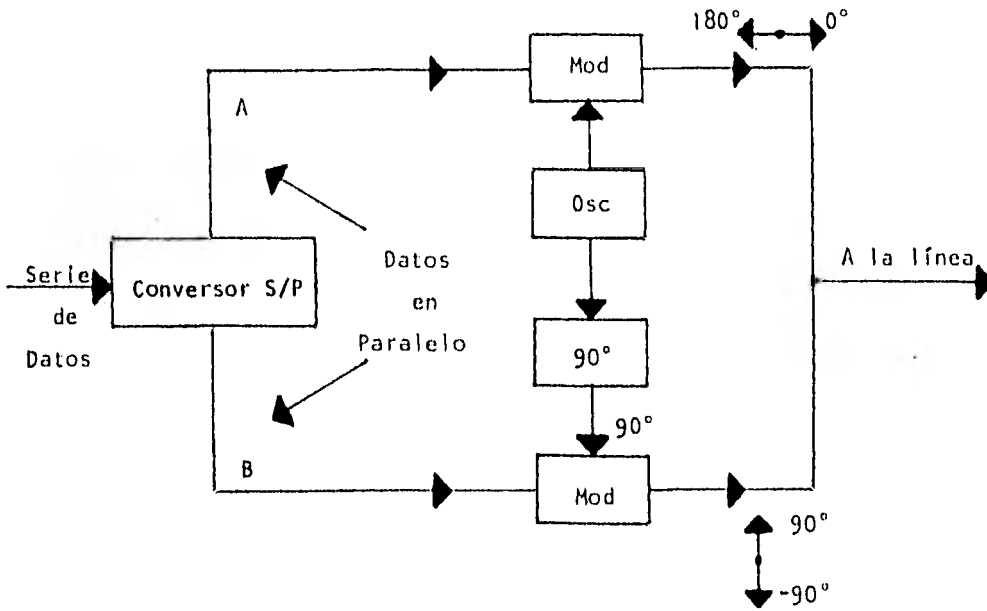


fig 2.9 Generación de una señal de cuatro fases.

Al sumar las salidas de los moduladores A y B se obtiene una señal de cuatro fases; estas fases y las combinaciones de los dígitos A-B son mostradas en la figura 2.10.

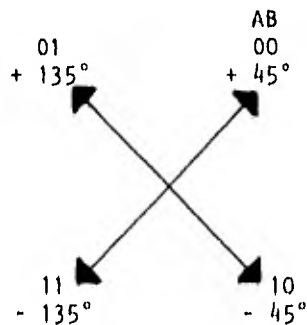


fig 2.10 Combinación de dígitos en cuatro fases.

Las combinaciones de los dígitos A-B son establecidas en un código cíclico - con separaciones de  $90^\circ$ , de tal manera que difieran en grados adyacentes en no más de un dígito.

En la figura 2.11 se muestra la misma técnica de generación de señales moduladas en fase, solo que ahora para una señal de ocho fases. En este caso existen tres dígitos binarios A, B y C, los cuales se agrupan de tres en tres. El tercer dígito C es utilizado para modular los dígitos polares A y B en forma diferencial.

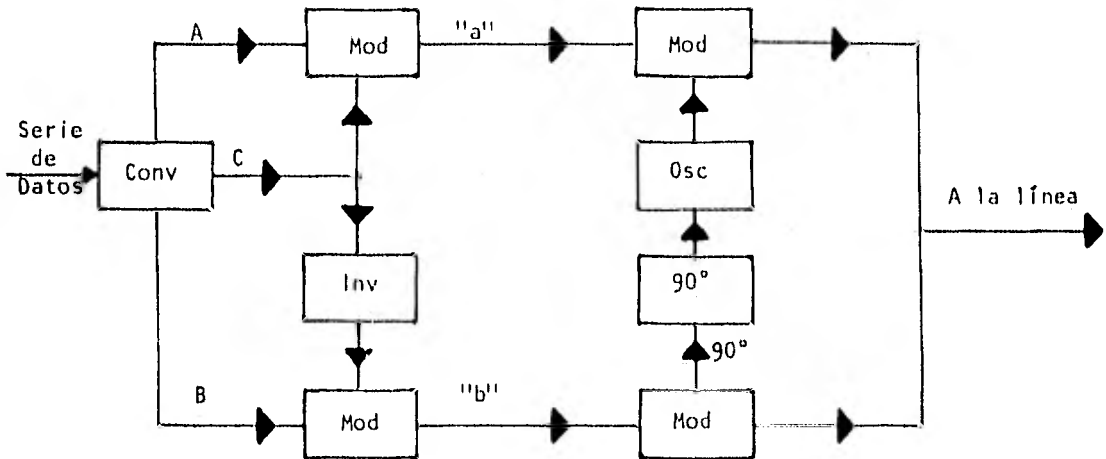


fig 2.11 Generación de una señal de ocho fases.

Las señales de banda base para los puntos a y b tienen cuatro niveles, dos positivos y dos negativos. Cuando el dígito C es un "1", la amplitud del punto a es mayor que la del punto b, mientras que cuando el dígito C es un "0" la amplitud del punto b es mayor que la de a. Las señales polares de cuatro niveles de a y b son usadas para modular portadoras en cuadratura, como en el caso de cuatro fases. El efecto de la modulación diferencial para el dígito C produce un corrimiento de fase de  $\pm 22.5^\circ$  en su salida, dando como resultado un total de ocho fases con espaciamentos entre ellas de  $45^\circ$ .

Las posiciones de las fases y la designación de sus tres dígitos binarios --

son mostrados en la figura 2.12. En esta técnica se requiere nuevamente de la utilización de un código cíclico.

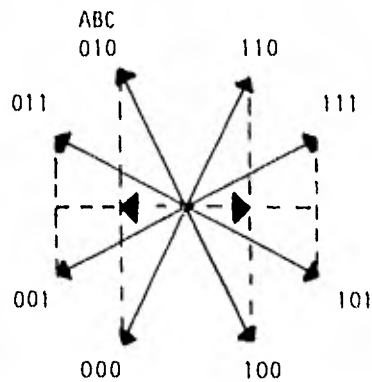


fig 2.12 Combinación de dígitos en ocho fases.

Otro posible método de generación de señales multifase utiliza sistemas de corrimiento de fases para obtener un origen de cada fase deseada. Esta técnica requiere de una lógica digital apropiada, la cual lleva a cabo la función de seleccionar la fase de entrada de acuerdo a la combinación binaria de los datos de entrada.

Existe todavía otro método que genera varias fases por división de frecuencia a la salida de un oscilador operando a un múltiplo de la frecuencia -- portadora deseada.

#### 2.4 Métodos de Detección de señales moduladas en fase

##### 2.4.a Detección de fase por Referencia Fija

Por el método de cambio de fase de señales descrito en la sección 2.3 puede ser detectada la señal modulada, mediante la comparación de la fase recibida con una fase de referencia fija (ref 6).

La figura 2.13 muestra un receptor de señales de cuatro fases utilizando una referencia, donde sus corrimientos de fase son de  $\pm 45^\circ$  y  $\pm 135^\circ$ . La señal recibida es aplicada a dos multiplicadores manejados por referencia de fase  $0^\circ$  y  $90^\circ$ . La tabla de la figura 2.13 muestra la relación entre las fases de entrada, su asignación digital y polaridad a las salidas del detector.

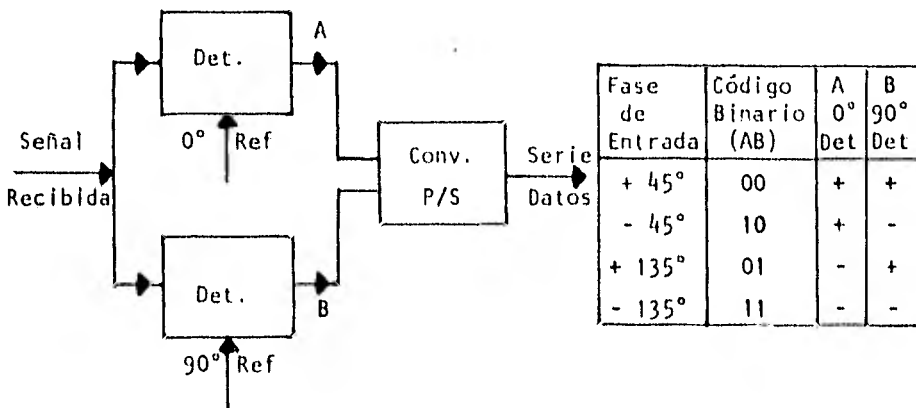
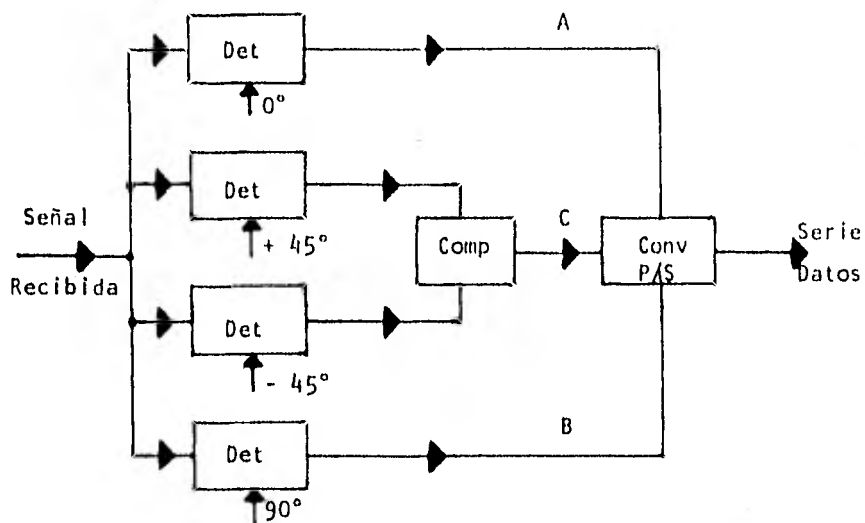


fig 2.13 Detección de fase por referencia fija

La referencia  $0^\circ$  es utilizada para detectar el dígito A, mientras que la referencia de  $90^\circ$  para detectar el dígito B.

Un arreglo de ocho fases similar al anterior de cuatro es mostrado en la figura 2.14. En este sistema se asume que la señal recibida es la misma que la que se genera en la figura 2.11. Esta señal se aplica a cuatro multipli-

cadores alimentados con portadoras de referencia de  $0^\circ$ ,  $90^\circ$  y  $\pm 45^\circ$ .



Fase de Entrada	Código Binario	A 0°	B 90°	C	
				+45°	-45°
+ 22.5°	111	+	+	+	+
+ 67.5°	110	+	+	+	-
+ 112.5°	010	-	+	+	-
+ 157.5°	011	-	+	-	-
- 157.5°	001	-	-	-	-
- 112.5°	000	-	-	-	+
- 67.5°	100	+	-	-	+
- 22.5°	101	+	-	+	+

fig 2.14 Detección por referencia fija para una señal de ocho fases.

La tabla de la figura 2.14 muestra nuevamente la relación entre las fases de entrada, sus asignaciones binarias y polaridad a las salidas del modulador. La referencia de  $0^\circ$  detecta al dígito A, mientras que la referencia de  $90^\circ$  detecta el dígito B. El dígito C puede ser determinado por la compara--

ción de los resultados obtenidos con las referencias de  $\pm 45^\circ$ .

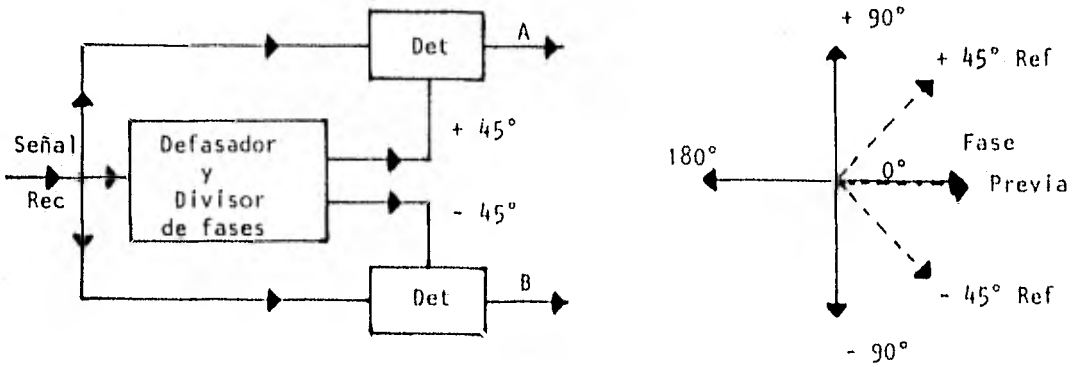
Polaridades semejantes a las salidas del modulador indican un "1", mientras que polaridades distintas indican un "0". El dígito C puede ser determinado también por las amplitudes relativas de los detectores de  $0^\circ$  y  $90^\circ$ , sin tomar en consideración al detector de  $\pm 45^\circ$ , ya que éste se engarga solamente de determinarlo por medio de la polaridad, evitando así, variaciones no sensitivas en su amplitud.

#### 2.4.b Detección Diferencial de fase

Una referencia fija puede ser mantenida bajo ciertas condiciones en una secuencia de símbolos aleatorios en fase modulada. El receptor no tiene el --sentido de la fase absoluta, sin embargo, se le debe proporcionar alguna indicación inicial de la referencia correcta. A causa de las dificultades en la estabilidad y mantenimiento de la referencia de fase correcta, es común llevar a cabo la codificación de información en términos de cambios de fase y la detección de la señal mediante la comparación de fases de símbolos a--dyacentes.

Para mantener un adecuado margen contra el ruido, los cambios de fase se seleccionan de tal manera que los símbolos queden uniformemente espaciados en los  $360^\circ$  (ref 6). Para el caso de un sistema binario se realizan separaciones de  $180^\circ$ , mientras que en un sistema cuaternario los cambios de fase son de  $0^\circ$ ,  $+ 90^\circ$ ,  $- 90^\circ$  y  $180^\circ$ .

Un método de detección diferencial de fase para cambios de  $0^\circ$ ,  $\pm 90^\circ$  y  $180^\circ$  es mostrado en la figura 2.15. En este sistema a la señal recibida se le aplica un retardo de ancho de banda y un sistema divisor de fase, obteniendo dos salidas, una con un corrimiento de  $+45^\circ$  y la otra con un corrimiento de  $-45^\circ$  en fase relativa a la entrada de la referencia portadora. Este sistema posee un tiempo de retraso de un intervalo por símbolo. La función de los multiplicadores o detectores de fase es la de comparar la fase de salida con la fase de entrada del sistema.



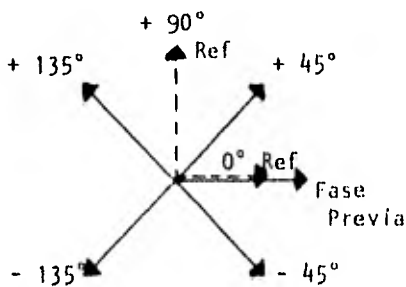
Cambio de fase	Código Binario	A $+45^\circ$	B $-45^\circ$
$0^\circ$	11	+	+
$+90^\circ$	10	+	-
$180^\circ$	00	-	-
$-90^\circ$	01	-	+

fig 2.15 Detección Diferencial de fase.

Su diagrama vectorial es mostrado en la figura 2.15, en él se observa la relación de los símbolos previos, sus cuatro posibles estados de símbolos pre

sentas y las dos referencias de retardo del sistema. La tabla de la figura 2.15 muestra la polaridad de las salidas del demodulador para los cuatro posibles cambios de fase. Además indica las designaciones binarias para esos cambios, las cuales son representadas a las salidas del demodulador -- por los dígitos A y B. De esta manera se elimina la necesidad de utilizar un código de translación.

El diagrama vectorial y la tabla de la figura 2.16 muestran como los cambios de fase de  $\pm 45^\circ$  y  $\pm 135^\circ$  pueden ser detectados de una manera similar que cuando tenemos un retardo en los sistemas de referencia de  $0^\circ$  y  $+90^\circ$ .



Cambio de fase	Código Binario	A 0°	B + 90°
+ 45°	00	+	+
+ 135°	01	-	+
- 135°	11	-	-
- 45°	10	+	-

fig 2.16 Detección diferencial de fase para una señal de cuatro fases.

La misma técnica de detección aplicada para un sistema cuaternario se aplica a una señal de ocho fases como se muestra en la figura 2.17. En esta técnica se asumen cambios de fase de  $0^\circ$ ,  $\pm 45^\circ$ ,  $\pm 90^\circ$ ,  $\pm 135^\circ$  y  $180^\circ$ .



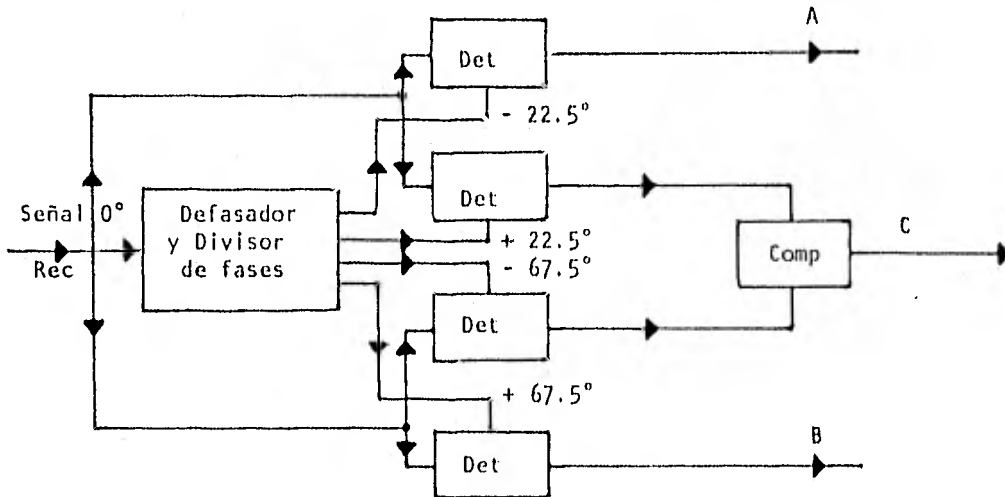


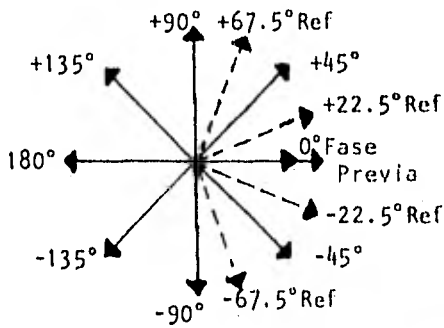
fig 2.17 Detección diferencial de fase para una señal de ocho fases.

El sistema defasador y divisor de fases proporciona referencias de  $\pm 22.5^\circ$  y  $\pm 67.5^\circ$  utilizando cuatro multiplicadores.

La tabla de la figura 2.18 muestra las polaridades a la salida de los multiplicadores para cada uno de los distintos cambios de fase. De las asignaciones binarias indicadas anteriormente se selecciona para el dígito A la referencia de  $- 22.5^\circ$  y para el dígito B la de  $+ 67.5^\circ$ , mientras que para el dígito C se requiere de una comparación a las salidas de los detectores de  $- 67.5^\circ$  y  $+ 22.5^\circ$ .

Si los cambios de fase de  $\pm 22.5^\circ$ ,  $\pm 67.5^\circ$ ,  $\pm 112.5^\circ$  y  $\pm 157.5^\circ$  fueron usados para las ocho posibilidades, las referencias como  $- 45^\circ$ ,  $0^\circ$ ,  $+ 45^\circ$  y  $+ 90^\circ$  deberán dar el mismo resultado, como se puede observar en el diagrama

vectorial y tabla de la figura 2.18.



Cambio de fase	Código Binario	A -22.5°	B +22.5°	C	
				+22.5°	-67.5°
0°	111	+	+	+	+
+ 45°	110	+	+	+	-
+ 90°	010	-	+	+	-
+ 135°	011	-	+	-	-
180°	001	-	-	-	-
- 135°	000	-	-	-	+
- 90°	100	+	-	-	+
- 45°	101	+	-	+	+

fig 2.18 Detección diferencial de fase de una señal de ocho fases con cambios de 0°,  $\pm 45^\circ$ ,  $\pm 135^\circ$  y  $180^\circ$ .

Estas cuatro fases de referencia pueden ser obtenidas a partir de un sistema defasador de dos salidas con una relación en cuadratura.

Con el propósito de justificar adecuadamente las técnicas de modulación y demodulación empleadas en la presente investigación, y tomando en consideración los requerimientos y restricciones del Instituto de Ingeniería, fueron

expuestas de una manera breve y concisa las técnicas de modulación y demodulación más utilizadas en el diseño y construcción de MODEMS. Dando como resultado la elección de las técnicas de modulación PSK cuatro fases y de demodulación por detección diferencial. La técnica de modulación PSK cuatro fases permite alcanzar una velocidad de 4,800 bps, en un ancho de banda de audio (500 - 4,000Hz) con una frecuencia de portadora de 2,400Hz y un agrupamiento de dos bits por símbolo. En la demodulación se considera una relación suficientemente alta de portadora a ruido (S/N), por lo que se seleccionó el método de detección diferencial. En dicho método la portadora de referencia ya no es recuperada, sino que se utiliza la misma señal PSK cuatro fases, pero retardada  $T_s$  segundos y defasada una cantidad definida en grados, como señal de referencia.

### 3. MODULADOR

El presente capítulo tiene por objeto la descripción y el análisis de las partes que componen el sistema correspondiente a la modulación de señales en fase. Este se presentará en forma de bloques para entrar posteriormente en el detalle de cada uno de los circuitos que integran el modulador.

#### 3.1 *Descripción General*

De las distintas formas que existen para efectuar la generación de señales moduladas en fase, fué seleccionado (por razones ya expuestas en el capítulo anterior) el sistema que se muestra en el diagrama de bloques de la figura 3,1 (ref 7).

Los circuitos que componen el modulador son:

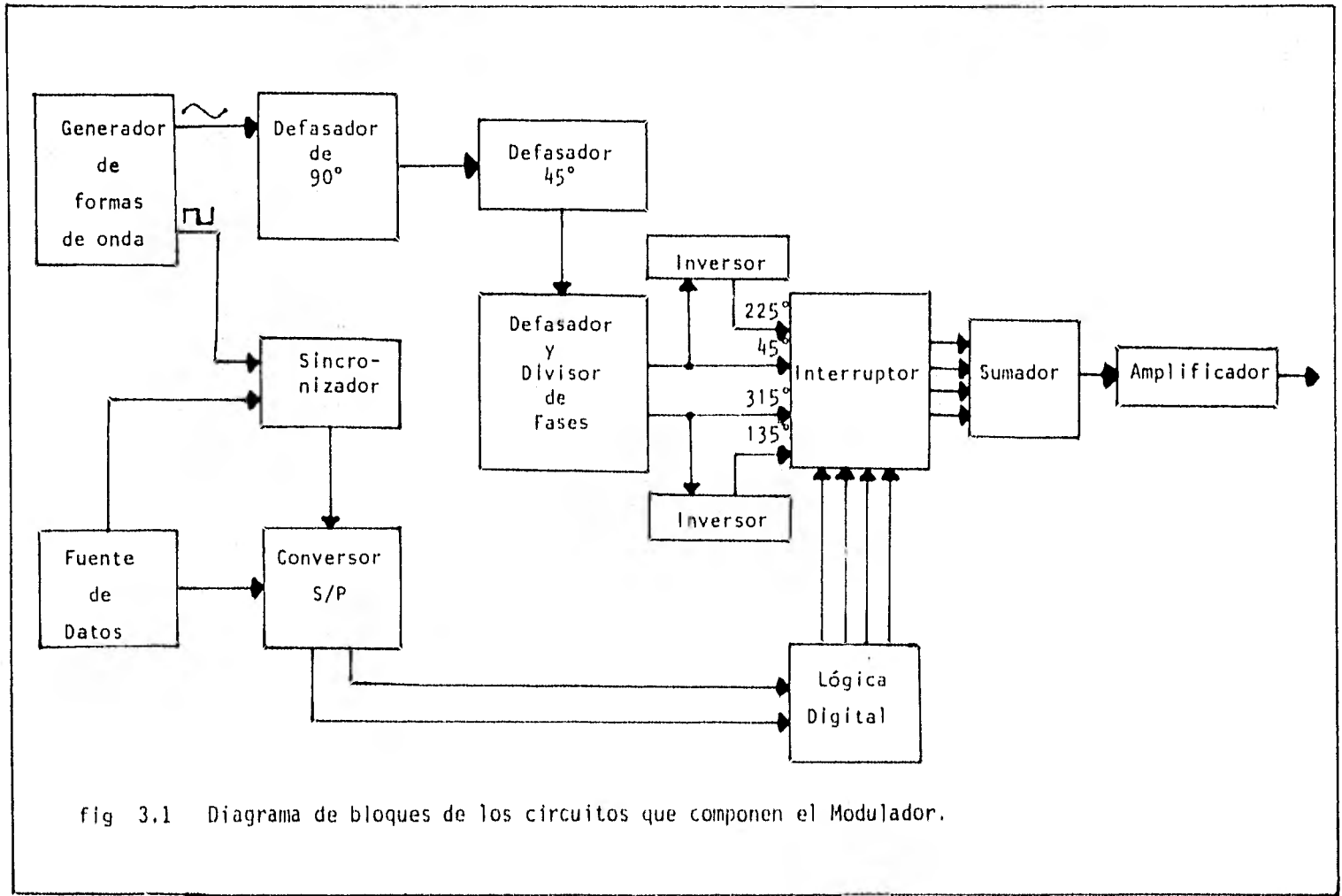


fig 3.1 Diagrama de bloques de los circuitos que componen el Modulador.

- a) Generador de formas de onda
- b) Circuitos Defasadores
- c) Circuitos de Acoplamiento, Sumadores, Inversores y No Inversores
- d) Circuito Divisor-Defasador de  $90^\circ$
- e) Filtro Paso Altas
- f) Conversor Serie-Paralelo
- g) Circuito Lógico-Digital
- h) Interruptores Analógicos

### 3.1.a Generador de formas de onda

La finalidad de este circuito (8038) es la de generar las ondas senoidal y cuadrada requeridas en la operación del sistema.

El circuito generador de las formas de onda senoidal y cuadrada es mostrado en la figura 3.2.

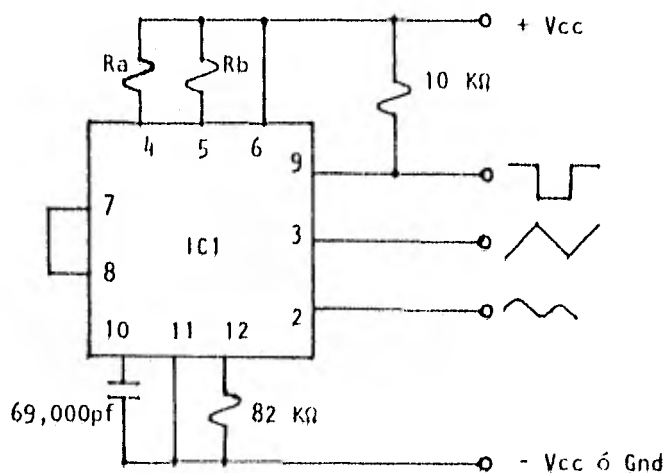


fig 3.2 Generador de formas de onda.

Procedimiento para el cálculo de las componentes.

Para obtener un desempeño óptimo del circuito, se consideran corrientes de carga del orden de 10  $\mu$ a a 1 ma. Cuando las patas 7 y 8 del circuito IC1 - son puenteadas, la magnitud de la corriente de carga debido a Ra puede calcularse a partir de:

$$i = \frac{R1}{R1 + R2} (Vcc) \times \frac{1}{Ra} = \frac{Vcc}{5Ra} \quad 3.1$$

Un cálculo similar se realiza para Rb.

El generador de formas de onda opera, ya sea, a partir de una fuente simple (10 a 30 volts), ó una fuente de alimentación dual ( $\pm 5$  a  $\pm 15$  volts). Con una fuente simple los niveles de voltaje de las ondas triangular y senoidal son simétricas con respecto al nivel cero de voltaje, mientras que la onda cuadrada se alterna entre + V y tierra. Una fuente dividida tiene la ventaja de que sus formas de onda se mueven simétricamente alrededor de la referencia, en este caso tierra.

de la ecuación 3.1

se tiene:

$$Ra = \frac{Vcc}{5i} \quad 3.2$$

Como se requiere de ondas simétricas, el ciclo de trabajo deberá ser del -- 50%, por lo que,  $Ra = Rb = R$ .

considerando además una corriente de carga  $i = 1\text{mA}$ , se tiene para  $V_{cc} = 10\text{V}$  y  $V_{cc} = 5\text{V}$  los cálculos siguientes:

para  $V_{cc} = 10\text{V}$ , de 3.2

$$R_a = \frac{10}{(5)(1 \times 10^{-3})} = 2\text{K}\Omega \quad \therefore \quad R_a = R_b = R = 2\text{K}\Omega$$

para  $V_{cc} = 5\text{V}$ , de 3.2

$$R_a = \frac{5}{(5)(1 \times 10^{-3})} = 1\text{K}\Omega \quad \therefore \quad R_a = R_b = R = 1\text{K}\Omega$$

De la hoja de datos correspondiente al circuito IC1, que se encuentra en el apéndice A, se observa que la frecuencia de operación está definida por:

$$f = \frac{1}{t_1 + t_2} = \frac{1}{\frac{5}{3} R_a C \left(1 + \frac{R_b}{2R_a - R_b}\right)} \quad 3.3$$

pero como  $R_a = R_b = R$

se tiene que:

$$f = \frac{0,3}{RC} \quad 3.4$$

Considerando que la frecuencia de portadora es de 2,400 Hz, se obtienen para cada una de las condiciones especificadas, los valores correspondientes de los capacitores.



para  $V_{cc} = 10\text{v}$  y  $R = 2\text{K}\Omega$  de la ecuación 3.4, se tiene:

$$C = \frac{0.3}{(2,000)(2,400)} = 6.25 \times 10^{-2} \mu\text{fd}$$

para  $V_{cc} = 5\text{v}$  y  $R = 1\text{K}\Omega$  de la ecuación 3.4, se tiene:

$$C = \frac{0.3}{(1,000)(2,400)} = 1.25 \mu\text{fd}$$

De las dos opciones hasta aquí planteadas se seleccionó la correspondiente a la de la fuente de alimentación de 10v.

los valores requeridos en el circuito IC1 son:

$$R = 10 \text{ K}\Omega \quad \text{y} \quad C = 69,000 \text{ pfd}$$

Para minimizar la distorsión de la forma de onda senoidal se coloca una resistencia de  $82 \text{ K}\Omega$  entre las patas 11 y 12 del circuito IC1. Si esta resistencia se hace variable se logra una distorsión menor del 1%. Para reducir la distorsión aún más, se podrían conectar dos potenciómetros como se muestra en la figura 9 de la hoja de datos del circuito IC1, apéndice A. Esta configuración permite una reducción de la distorsión de la onda senoidal -- cercana al 0.5%.

### 3.1.b Circuitos Defasadores

Se requiere de este tipo de circuitos debido principalmente a que la señal senoidal necesita de un cierto acondicionamiento para poder ser procesada - posteriormente.

La señal senoidal obtenida del generador de formas de onda tiene un desfase en retardo de  $90^\circ$  con respecto a la señal cuadrada, como se muestra en la figura 7 de la hoja de datos correspondiente al circuito IC1, apéndice A. La finalidad del defasador de  $90^\circ$  es la de tener en fase a las señales cuadrada y senoidal; lo cual, se logra mediante el circuito representado en la figura 3.3 (ref 8).

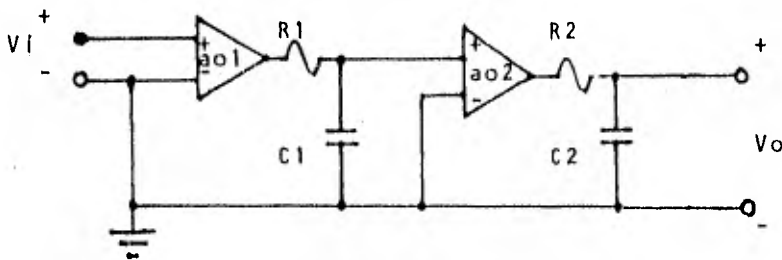


fig 3.3 Defasador de  $90^\circ$

Como se puede observar, el circuito posee una configuración de seguidor, en el cual a la salida de los amplificadores operacionales se han introducido circuitos RC. Estos circuitos limitan el ancho de banda del amplificador, además, a frecuencias lo suficientemente altas, el capacitor se comporta en forma de corto circuito a tierra, con lo que su salida es  $V_o = 0$ . Para estas frecuencias la ganancia de voltaje del circuito será cero.

El hecho de conectar amplificadores operacionales entre los arreglos, asegu

ra la no interacción entre los dos circuitos. Esto es, ninguno "carga al otro".

El circuito representado en la figura 3.3 está compuesto básicamente por dos circuitos de la forma mostrada en la figura 3.4.

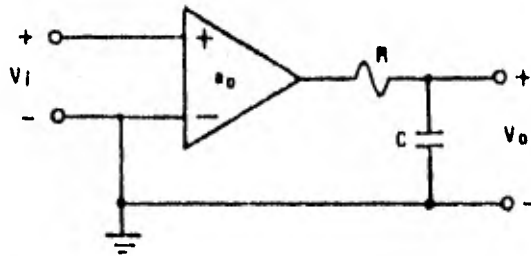


fig 3.4 Circuito limitador de ancho de banda.

Analizando el circuito de la figura 3.4, y haciendo posteriormente extensivos los resultados al circuito de la figura 3.3, obtendremos las ecuaciones que caracterizan a cada uno de ellos.

Análisis del circuito de la figura 3.4.

La impedancia del circuito serie RC esta dada por:

$$Z = R - jX_c \quad 3.5$$

donde  $X_c$  es función de la frecuencia de operación,  $X_c = \frac{1}{\omega C}$ , por lo tanto:

$$Z(\omega) = R + \frac{1}{j\omega C} \quad 3.6$$

Debido a la acción de división de voltaje de los elementos resistivo y reactivo, el voltaje a la salida esta dado por:

$$V_o = \left( \frac{1}{j\omega C} \right) \left( \frac{a_o V_i}{R + \frac{1}{j\omega C}} \right) = \frac{a_o V_i}{1 + j\omega RC} \quad 3.7$$

la ganancia de voltaje del amplificador de la figura 3.4 es:

$$a_v(\omega) = \frac{V_o}{V_i} = \frac{a_o}{1 + \frac{j\omega}{\omega_l}} \quad 3.8$$

donde  $\omega_l = \frac{1}{RC}$

La notación compleja de la ganancia de voltaje expresada por la ecuación 3.8 puede ser descrita en términos de magnitud y ángulo de fase.

La magnitud está dada por:

$$|a_v(\omega)| = \frac{|a_o|}{\sqrt{1 + \left( \frac{\omega}{\omega_l} \right)^2}} \quad 3.9$$

y el ángulo de fase por:

$$\phi(\omega) = -\tan^{-1} \frac{\omega}{\omega_l} \quad 3.10$$

De las ecuaciones 3.9 y 3.10 concluimos que tanto la magnitud como la fase de la ganancia de un amplificador real en malla abierta son función de la frecuencia. En un amplificador real el efecto limitante de la frecuencia no es debido a la carga del sistema RC a la salida de éste, sino a las limitaciones de frecuencia del transistor.

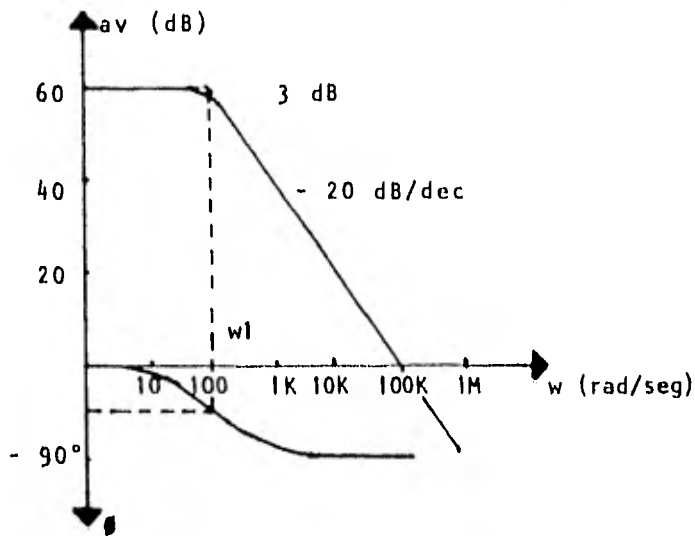


fig 3.5 Diagrama de Bode del circuito de la figura 3.4.

Haciendo extensivos estos resultados al circuito de la figura 3.3 se tiene:

$$a_v(\omega) = \frac{V_1}{V_i} \times \frac{V_o}{V_1} = \frac{V_o}{V_i} \quad 3.11$$

donde

$$\frac{V_1}{V_i} = \frac{a_{ol}}{1 + \frac{j\omega}{\omega_1}} \quad 3.12$$

$$\frac{V_o}{V_i} = \frac{a_{o2}}{1 + \frac{j\omega}{\omega_2}} \quad 3.13$$

sustituyendo las ecuaciones 3.12 y 3.13 en la ecuación 3.11, se obtiene:

$$a_v(\omega) = \frac{a_{o1} \cdot a_{o2}}{\left(1 + \frac{j\omega}{\omega_1}\right)\left(1 + \frac{j\omega}{\omega_2}\right)} = \frac{a_o}{\left(1 + \frac{j\omega}{\omega_1}\right)\left(1 + \frac{j\omega}{\omega_2}\right)} \quad 3.14$$

donde

$$a_o = a_{o1} \cdot a_{o2}$$

$$\omega_1 = \frac{1}{R_1 C_1} \quad 3.15$$

$$\omega_2 = \frac{1}{R_2 C_2} \quad 3.16$$

suponiendo que:

$$\omega_2 > \omega_1$$

Expresando la ecuación 3.14 en términos de magnitud y ángulo de fase, se tiene:

$$|a_v(\omega)| = \frac{|a_o|}{\sqrt{\left[1 + \left(\frac{\omega}{\omega_1}\right)^2\right]\left[1 + \left(\frac{\omega}{\omega_2}\right)^2\right]}} \quad 3.17$$

$$\theta(\omega) = - \left( \tan^{-1} \frac{\omega}{\omega_1} + \tan^{-1} \frac{\omega}{\omega_2} \right) \quad 3.18$$

El circuito esquematizado en la figura 3.3 es conocido como sistema de dos polos. Este sistema posee dos frecuencias críticas y una pendiente máxima de  $-40$  dB/dec con un ángulo de fase máximo de  $-180^\circ$ . Con ángulos de fase de  $-45^\circ$  para  $w_1$  y de  $-135^\circ$  para  $w_2$ .

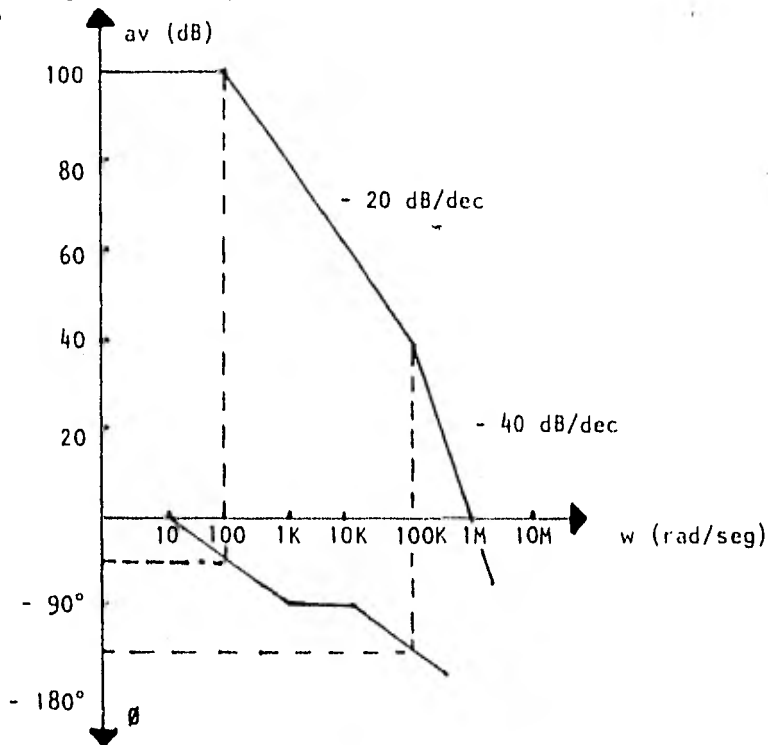


fig 3.6 Diagrama de Bode del circuito de la figura 3.3.

A partir del diagrama de Bode se obtienen las siguientes conclusiones generales para sistemas RC en cascada, sin interacción en las frecuencias críticas (polos).

- a. Cada polo contribuye con  $-20$  dB/dec ó  $-6$  dB/oct de pendiente.
- b. El máximo corrimiento de fase es de  $(N)(90^\circ)$ , donde  $N$  es igual

al número de polos.

- c. En ángulo de fase en la primera frecuencia de corte es de  $-45^\circ$ .  
Cada frecuencia de corte subsecuente contribuye con  $90^\circ$  de corri  
miento de fase.

De las fórmulas expresadas por las ecuaciones 3.15 y 3.16, que son las que -  
definen las frecuencias de corte del circuito de la figura 3.3, se obtienen  
los siguientes resultados.

Asignando las frecuencias críticas como:

$$f_1 = f_2 = 2,400\text{Hz}$$

se tiene

$$\omega_1 = \omega_2 = 2\pi(2,400) = 15,079.64 \text{ rad/seg.}$$

dando valores a los capacitores de:

$$C_1 = C_2 = 0.033 \text{ } \mu\text{fd}$$

se obtiene:

$$R_1 = R_2 = 2 \text{ K}\Omega$$

por lo tanto

$$R_1 = R_2 = 2 \text{ K}\Omega \quad \text{y} \quad C_1 = C_2 = 33,000 \text{ pfd}$$



Cada una de las etapas independientes proporciona un defasamiento de  $45^\circ$  en atraso, con lo cual se logra poner en fase la señal senoidal con respecto a la señal cuadrada.

$$\varphi(\omega) = - (\tan^{-1} 1 + \tan^{-1} 1) = - 90^\circ$$

Una vez que las señales cuadrada y senoidal se encuentran en fase, se requiere que nuevamente se defase la señal senoidal en  $45^\circ$  de atraso, con el propósito de que esta señal al aplicarse al circuito divisor-defasador de  $90^\circ$ , se obtenga a su salida señales senoidales con defasamientos de  $45^\circ$  y  $315^\circ$ , ya que el sistema requiere de esos valores de fase para su operación. Estos defasamientos son considerados respecto a la señal original, la cual se obtiene a la salida del defasador de  $90^\circ$ .

De manera análoga para el cálculo de R y C del circuito de la figura 3.3 -- (defasador de  $90^\circ$ ) se obtienen los valores de R y C para el defasador de --  $45^\circ$ .

por lo tanto

$$R_1 = R_2 = 2 \text{ K}\Omega \quad \text{y} \quad C_1 = C_2 = 33,000 \text{ pfd}$$

### 3.1.c Circuitos de Acoplamiento, Sumadores, Inversores y No Inversores

Las principales características que reúne un amplificador operacional ideal son; amplificación de la señal de entrada (en función de la ganancia del amplificador), una impedancia de entrada infinita, impedancia de salida igual

a cero, un ancho de banda infinito, aislamiento entre la entrada y la salida, tiempo de respuesta igual a cero, etc.

Las características reales del amplificador operacional 741 se encuentran contenidas en la hoja de datos del circuito, apéndice A.

### Circuitos de Acoplamiento.

Los amplificadores operacionales que se utilizan como etapas de acoplamiento se encuentran en los defasadores de 45° y 90° y en las salidas correspondientes a las diversas señales defasadas 45°, 135°, 225° y 315°.

Los circuitos integrados utilizados en las diferentes etapas de acoplamiento son los IC2.

La configuración utilizada para efectuar el acoplamiento de impedancias es conocida como seguidor de voltaje o acoplador de impedancias con ganancia unitaria. El circuito correspondiente se muestra en la figura 3.7.

### Análisis del IC2.

$$V_s + V_i = V_o \quad 3.19$$

$$V_o = -a_v \cdot V_i \quad 3.20$$

$$V_i = -\frac{V_o}{a_v} \quad 3.21$$

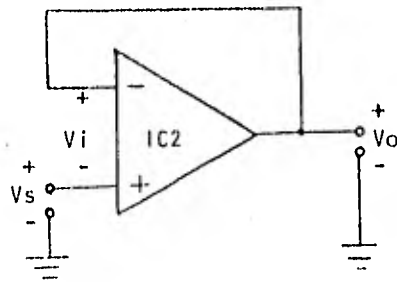


fig 3.7 Seguidor de voltaje ó acoplador de impedancias.

para un A.O. ideal  $a_v \rightarrow \infty$

por lo tanto

$$V_i = 0 \quad 3.22$$

sustituyendo la ecuación 3.22 en 3.19, se obtiene:

$$V_s = V_o \quad 3.23$$

Estos circuitos de ganancia unitaria son utilizados como etapas de aislamiento, con el fin de aislar dos circuitos ó dispositivos diferentes, previniendo con ello las interacciones indeseadas.

Sumadores No Inversores.

La figura 3.8 muestra la configuración de un circuito sumador no inversor utilizando el amplificador operacional.

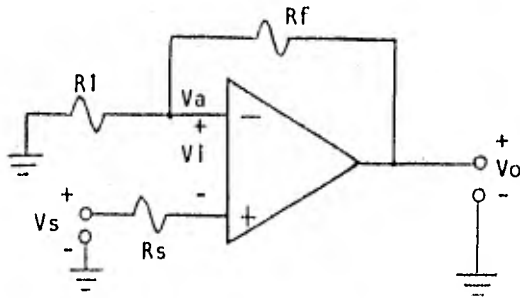


fig 3.8 Circuito Sumador No Inversor.

Esta configuración tiene la característica que la señal a la salida del amplificador operacional es de la misma polaridad que la señal de entrada, únicamente aumentada en magnitud.

Análisis:

para un A.O. ideal se tiene que  $V_i = 0$ .

por lo tanto

$$V_a = V_s \quad 3.24$$

Puesto que no hay flujo de corriente en las terminales de entrada del amplificador operacional, se obtiene un divisor de voltaje constituido por  $R_1$  y  $R_f$ .

por lo cual

$$V_s = \frac{R_1}{R_1 + R_f} V_o \quad 3.25$$

ó bien

$$\frac{V_o}{V_s} = \frac{R_f + R_1}{R_1} = \frac{R_f}{R_1} + 1 \quad 3.26$$

En un amplificador operacional real se disminuye el error de offset que producen las corrientes de polarización, haciendo:

$$R_s = R_1 // R_f \quad 3.27$$

Para el circuito integrado IC8 se requiere de una amplificación de señal -- del orden de 10 Vpp a la salida, teniendo como entrada la salida del circuito IC7.

$$V_o = 10 \text{ Vpp} \quad 3.28$$

de la ecuación 3.22 se tiene que:

$$V_o = V_s(1 + R_f/R_1) \quad 3.29$$

siendo el voltaje de salida de IC7 de:

$$V_s = 0.26 \text{ Vpp} \quad 3.30$$

sustituyendo la ecuación 3.26 en 3.29, se obtiene:

$$10 = 0.26 \left( \frac{R_f}{R_1} + 1 \right)$$

despejando

$$R_f = 37.46 R_1 \quad 3.31$$

definiendo

$$R_f = 22 \text{ K}\Omega$$

se obtiene

$$R_1 = 0.587 \text{ K}\Omega$$

sustituyendo los valores anteriores en la ecuación 3.27 se tiene:

$$R_s = \frac{(22)(0.587)}{22 + 0.587} = 0.571 \text{ K}\Omega$$

dando como resultado para el circuito IC8:

$$R_f = 22 \text{ K}\Omega \quad R_1 = 0.587 \text{ K}\Omega \quad R_s = 0.571 \text{ K}\Omega$$

A la salida del integrado IC9 se requiere de una ganancia de 10 Vpp.

Tomando el voltaje de salida del circuito IC6 como el voltaje de entrada de IC9, se tiene:

$$V_s = 0.6 \text{ Vpp}$$

sustituyendo  $V_s$  en la ecuación 3.29, se obtiene:

$$V_o = 0.6 \left( 1 + \frac{R_f}{R_1} \right) = 10\text{v}$$

por lo tanto

$$R_f = 15,66 R_1$$

definiendo

$$R_f = 25.55 \text{ K}\Omega$$

se obtiene:

$$R_1 = 1.63 \text{ K}\Omega$$

sustituyendo  $R_f$  y  $R_1$  en la ecuación 3.27, se tiene:

$$R_s = \frac{(25.55)(1.63)}{25.55 + 1.63} = 1.53 \text{ K}\Omega$$

por lo que las componentes del circuito IC9 son:

$$R_f = 25.55 \text{ K}\Omega \quad R_1 = 1.63 \text{ K}\Omega \quad R_s = 1.53 \text{ K}\Omega$$

Sumadores Inversores.

Este tipo de configuración está definido por el arreglo mostrado en la figura 3.9.

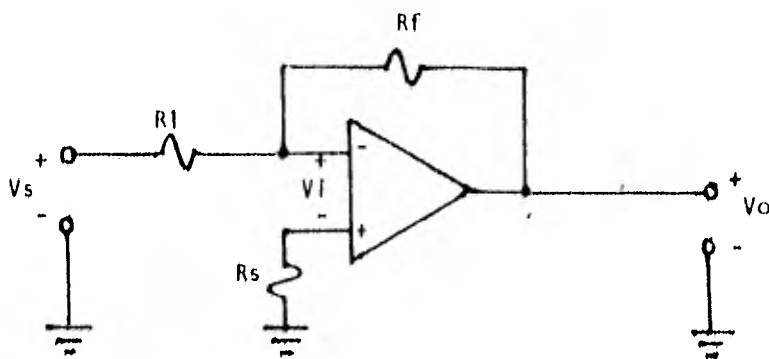


fig 3.9 Circuito sumador inversor.

Este circuito tiene como característica principal el hecho de que la señal a la salida del amplificador operacional es de polaridad invertida respecto a la señal de entrada, y aumentada en magnitud (ref 10).

Análisis:

Un amplificador operacional ideal posee un  $V_i = 0$ , además como la entrada no inversora está conectada a tierra el voltaje de entrada a la terminal inversora es también cero, por lo que la señal de entrada  $V_s$  se presenta a través de  $R_1$  y la señal de salida  $V_o$  a través de  $R_f$ . Como la señal de entrada se aplica a la terminal inversora se produce un defasamiento de  $180^\circ$  entre las señales de entrada y salida.

por lo que:

$$\frac{V_s}{R_1} = -\frac{V_o}{R_f} ; \quad \frac{V_o}{V_s} = -\frac{R_f}{R_1} \quad 3.32$$

En un amplificador operacional real el error de offset debido a las corrientes de polarización se reduce mediante una resistencia  $R_2$  conectada entre la terminal de entrada no inversora y tierra.

$$R_2 = R_1 // R_f \quad 3.33$$

La finalidad de los circuitos IC10 e IC11, es la de efectuar la inversión de señales, las cuales son salidas del defasador-divisor de fases de  $90^\circ$ , cuyo valor es de  $45^\circ$  y  $315^\circ$  y se pueden obtener señales de  $225^\circ$  y  $135^\circ$ , con esto



se logran las cuatro señales defasadas respecto a la señal original que son las necesarias para la operación del sistema.

Cálculo de las componentes de los circuitos IC10 e IC11.

De las ecuaciones 3.32 y 3.33, tenemos para IC10:

$$\frac{V_o}{V_s} = - \frac{R_f}{R_1} ; \quad \frac{R_f}{R_1} = 1 ; \quad R_f = R_1$$

definiendo

$$R_f = R_1 = 2.2 \text{ K}\Omega$$

sabemos que

$$R_2 = R_1 // R_f$$

sustituyendo valores:

$$R_2 = \frac{(2.2)(2.2)}{2.2 + 2.2} = 1.1 \text{ K}\Omega$$

por lo tanto

$$R_f = 2.2 \text{ K}\Omega \quad R_1 = 2.2 \text{ K}\Omega \quad R_2 = 1.1 \text{ K}\Omega$$

De forma análoga se calculan las componentes del IC11 dando como resultado:

$$R_f = 3.3 \text{ K}\Omega \quad R_1 = 3.3 \text{ K}\Omega \quad R_2 = 1.7 \text{ K}\Omega$$

### Configuraciones Para Corregir El Nivel Del Voltaje De Offset En Los Amplificadores Operacionales.

La mayor parte de los amplificadores operacionales estan provistos de técnicas que eliminan ó compensan el nivel de offset. No obstante, estas técnicas producen una "caída" de voltaje significativo. Existe también el problema de sensibilidad a la temperatura, como consecuencia de ajustes en el nivel de corriente directa, produciendo también "caída" de voltaje de offset que sumado al ya existente crea un desajuste significativo.

Para evitar la "caída" de voltaje de offset mencionada anteriormente, se utiliza un circuito corrector de offset que proporcione un coeficiente de compensación de temperatura, como el mostrado en la figura 3.10.

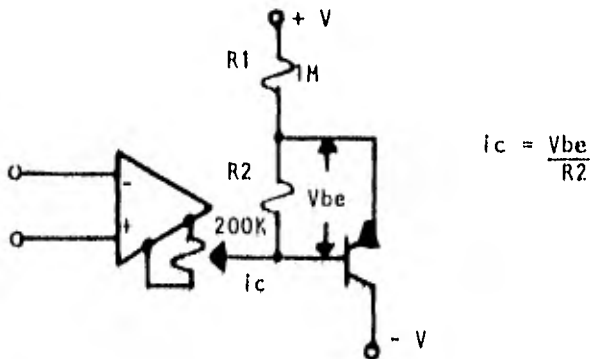


fig 3.10 Circuito corrector de offset.

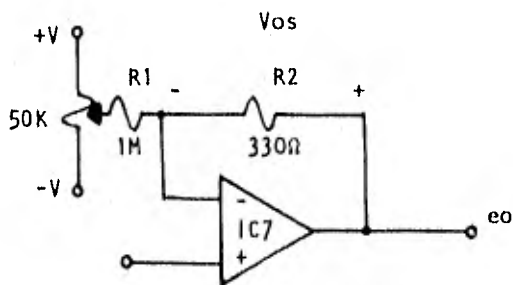
El circuito corrector proporciona una corriente de compensación de nivel de offset producido por la variación de temperatura. Dicha corriente se obtiene

mediante la unión base-emisor realimentada por medio de una resistencia.

Otro método para lograr la compensación del nivel de offset consiste en suministrar a la entrada una señal de corriente directa (ref 11).

De las distintas formas de efectuar la técnica de compensación se seleccionaron dos para la realización de los circuitos IC7, IC12, IC13 e IC14.

El arreglo para realizar la compensación del circuito IC7 se observa en la figura 3.11.



$$\frac{e_o}{e_i} = 1 + \frac{R_2}{R_1}$$

3.34

fig 3.11 Compensación del offset para el circuito IC7.

Como se observa en la figura 3.11 el circuito de compensación se conecta en la parte correspondiente a la realimentación del sistema. Sin embargo, este tipo de circuito afecta a la ganancia como se observa en la ecuación 3.34.

El circuito para realizar la compensación en los sumadores inversores (IC12,

IC13 e IC14) se muestra en la figura 3.12.

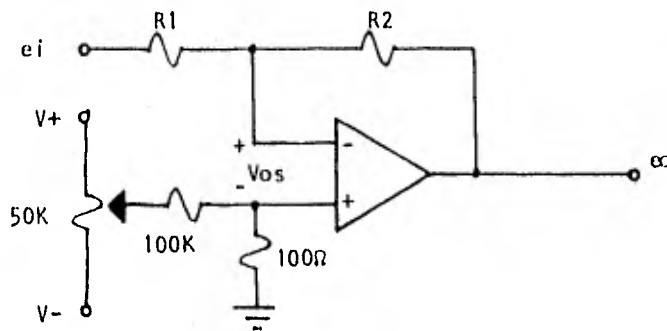


figura 3.12 Compensación del offset para el circuito sumador inversor.

La entrada no inversora es polarizada por un voltaje igual y opuesto al voltaje de offset. Por lo que la entrada inversora se encuentra a un nivel de voltaje cero, no habiendo corrientes de entrada ni de realimentación generada por Vos.

### 3.1.d Circuito Divisor-Defasador de 90°

Este circuito divide una señal senoidal de entrada en dos salidas, las cuales poseen la característica de presentar un corrimiento de fase de 90° entre si. La figura 3.13 representa este sistema.

El diseño del divisor-defasador de 90° se realiza por medio de un programa de computadora en lenguaje Basic (ref 9).

Algunos de los parámetros de entrada necesarios para el diseño del sistema

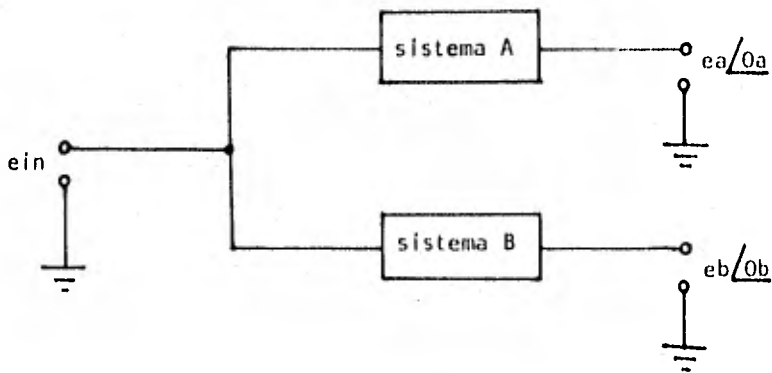


figura 3.13 Sistema divisor-defasador de 90°.

son; el número total de polos ( $N$ ), la relación ó rango ( $R$ ) de puntos de baja y alta frecuencia, la frecuencia central ( $F_0$ ), y la tolerancia en la diferencia de fase dentro de la banda de frecuencias ( $TOL$ ). En la tabla 1 se muestra una lista más completa de los parámetros del sistema.

Este programa a diferencia de otros que trabajan únicamente para valores de polos enteros y potencias de dos ó bien para rangos pequeños de  $N$  y  $R$ , trabaja para cualquier número de polos de 1 a 30. El programa obtiene los polos correspondientes a los valores del circuito.

Para "correr" este programa es necesario cambiar algunos arreglos lógicos indicados en el enlistado, con el propósito de poder utilizarse en otras computadoras.

La tabla 1 junto con la figura 3.14, definen símbolos y variables de entrada del programa.

TABLA 1

Símbolos de las variables		Prioridad de entrada	Definición	Unidad	Igualdad
Externas	Internas				
F1	A'	1	Lim. Frec. Baja	Hz	
F2	B'	2	Lim. Frec. Alta	Hz	
N	N	3	Combinación de polos.	--	
R	R	4	Rango	--	$F2/F1$
F0	F	5	Frec. Central	Hz	$(F1 \cdot F2)^{1/2}$
TOL	T	6	Tolerancia de fase	Grd	
DB	D	7	Supresión de banda lateral	DB	
--	P(J)	--	Polos Normalizados	--	$(J = 1aN)$
--	W(J)	--	Polos Escalados	Hz	$F0 \cdot P(J)$

' No confundir las variables internas del programa A y B con las denominaciones A y B del sistema de la figura 3.13.

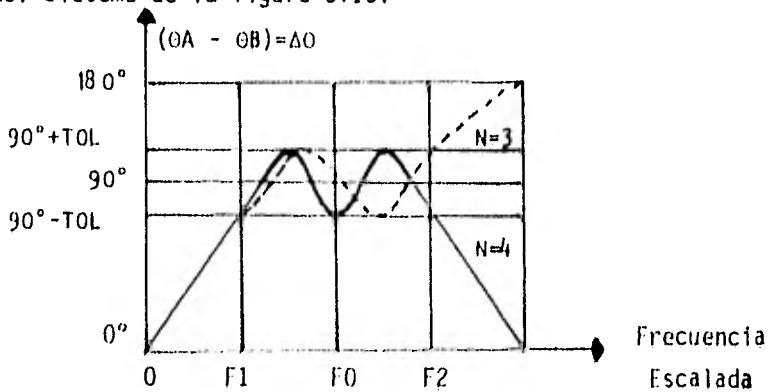


figura 3.14 Símbolos y variables del programa.

En el presente programa las variables son definidas por medio de una o dos proposiciones de entrada, calculando una serie de parámetros satisfactorios a partir del primer arreglo de datos de entrada, y posteriormente, calcula e imprime las frecuencias de los polos correspondientes a los sistemas A y B.

En la tabla 2 se muestra el enlistado del programa para el cálculo de polos y sus resultados.

Los datos proporcionados para la realización del programa son los siguientes:

$$F1 = 250 \text{ Hz} \quad F2 = 2,500 \text{ Hz} \quad N = 4$$

De los resultados obtenidos en el programa y las ecuaciones que caracterizan al circuito de la figura 3.15, se realizan los cálculos correspondientes al sistema.

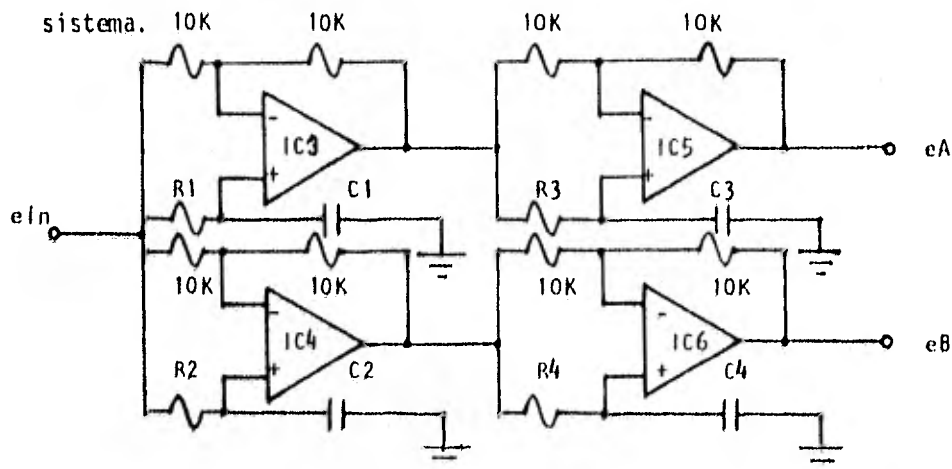


figura 3.15 Circuitos diseñados por el programa.

TABLA 2

WORK FILE: 111111 (02/01/82)

```

1 DIM X(50), Y(50), Z(50)
2 PRINT "24, 25, 26"
3 PRINT "A1 (0=2:1), 2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
4 PRINT ""
5 PRINT ""
6 LET F=1:G=1:H=1:I=1:J=1
7 PRINT "1-1, 2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
8 INPUT A, I, J
9 LET H=1:G=1:F=1
10 IF A<>0 THEN G=1
11 GO TO 110
12 IF F<>0 THEN G=1
13 PRINT "2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
14 INPUT F, I, J
15 LET G=1
16 LET H=-1:G=0
17 IF F<>0 THEN G=1
18 IF F<>0 THEN G=1
19 IF F<>0 THEN G=1
20 PRINT "1-1, 2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
21 GO TO 110
22 IF F<>0 THEN G=1
23 PRINT "1-1, 2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
24 PRINT ""
25 GO TO 110
26 IF F<>0 THEN G=1
27 IF F<>0 THEN G=1
28 IF F<>0 THEN G=1
29 GO TO 110
30 LET H=1:G=1
31 PRINT "1-1, 2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
32 PRINT "F1="
33 GO TO 110
34 LET A=F+G/2
35 LET H=F+G/2
36 PRINT "F1="; "G="
37 GO TO 110
38 IF A<>0 THEN G=1
39 IF B<>0 THEN G=1
40 GO TO 110
41 IF A<>0 THEN G=1
42 GO TO 110
43 LET B=F+G/2
44 PRINT "F2="; "G="
45 LET B=B/2
46 PRINT "F2="; "G="
47 GO TO 110
48 IF B<>0 THEN G=1
49 GO TO 110
50 LET A=F+G/2
51 PRINT "F3="; "G="
52 GO TO 110
53 IF A<>0 THEN G=1
54 PRINT "1-1, 2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
55 GO TO 110
56 LET H=B/A
57 PRINT "H="; "G="
58 LET I=COF(A, G)
59 PRINT "I="; "G="
60 IF I<>0 THEN G=1
61 PRINT "1-1, 2-1, 3-1, 4-1, 5-1, 6-1, 7-1, 8-1, 9-1, 10-1, 11-1, 12-1, 13-1, 14-1, 15-1, 16-1, 17-1, 18-1, 19-1, 20-1, 21-1, 22-1, 23-1, 24-1, 25-1, 26-1, 27-1, 28-1, 29-1, 30-1, 31-1, 32-1, 33-1, 34-1, 35-1, 36-1, 37-1, 38-1, 39-1, 40-1, 41-1, 42-1, 43-1, 44-1, 45-1, 46-1, 47-1, 48-1, 49-1, 50-1"
62 GO TO 110

```



1  
2  
3  
4  
5  
6  
7  
8  
9  
10  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60  
61  
62  
63  
64  
65  
66  
67  
68  
69  
70  
71  
72  
73  
74  
75  
76  
77  
78  
79  
80  
81  
82  
83  
84  
85  
86  
87  
88  
89  
90  
91  
92  
93  
94  
95  
96  
97  
98  
99  
100

```
1  Y = 1 / (1 + exp(-X))
2  Z = Y * (1 - Y)
3  W = Z * X
4  V = W * (1 - W)
5  U = V * X
6  T = U * (1 - U)
7  S = T * X
8  R = S * (1 - S)
9  Q = R * X
10 P = Q * (1 - Q)
11 O = P * X
12 N = O * (1 - O)
13 M = N * X
14 L = M * (1 - M)
15 K = L * X
16 J = K * (1 - K)
17 I = J * X
18 H = I * (1 - I)
19 G = H * X
20 F = G * (1 - G)
21 E = F * X
22 D = E * (1 - E)
23 C = D * X
24 B = C * (1 - C)
25 A = B * X
26
27 X = 1
28 Y = 1 / (1 + exp(-X))
29 Z = Y * (1 - Y)
30 W = Z * X
31 V = W * (1 - W)
32 U = V * X
33 T = U * (1 - U)
34 S = T * X
35 R = S * (1 - S)
36 Q = R * X
37 P = Q * (1 - Q)
38 O = P * X
39 N = O * (1 - O)
40 M = N * X
41 L = M * (1 - M)
42 K = L * X
43 J = K * (1 - K)
44 I = J * X
45 H = I * (1 - I)
46 G = H * X
47 F = G * (1 - G)
48 E = F * X
49 D = E * (1 - E)
50 C = D * X
51 B = C * (1 - C)
52 A = B * X
53
54 X = 1
55 Y = 1 / (1 + exp(-X))
56 Z = Y * (1 - Y)
57 W = Z * X
58 V = W * (1 - W)
59 U = V * X
60 T = U * (1 - U)
61 S = T * X
62 R = S * (1 - S)
63 Q = R * X
64 P = Q * (1 - Q)
65 O = P * X
66 N = O * (1 - O)
67 M = N * X
68 L = M * (1 - M)
69 K = L * X
70 J = K * (1 - K)
71 I = J * X
72 H = I * (1 - I)
73 G = H * X
74 F = G * (1 - G)
75 E = F * X
76 D = E * (1 - E)
77 C = D * X
78 B = C * (1 - C)
79 A = B * X
80
81 X = 1
82 Y = 1 / (1 + exp(-X))
83 Z = Y * (1 - Y)
84 W = Z * X
85 V = W * (1 - W)
86 U = V * X
87 T = U * (1 - U)
88 S = T * X
89 R = S * (1 - S)
90 Q = R * X
91 P = Q * (1 - Q)
92 O = P * X
93 N = O * (1 - O)
94 M = N * X
95 L = M * (1 - M)
96 K = L * X
97 J = K * (1 - K)
98 I = J * X
99 H = I * (1 - I)
100 G = H * X
```

```

131      NEXT J
134      LET Y=3.725843
135      LET Q=.68549*LOC(1) (5/3)
136      PRINT " Q="
137      IF C=0 THEN 1410
138      IF X=4 THEN 1410
139      PRINT " A=NETWORK-HZ", "B=NETWORK-HZ",
140      IF Y=3 THEN
141      PRINT " A=NORMALIZED", "B=NORMALIZED", "P(1)*P(1)"
142      GO TO 1440
143      PRINT " "
144      PRINT " "
145      FOR J=1 TO N STEP 2
146      IF F=0 THEN 1530
147      IF X=0 THEN 1530
148      IF J=N THEN 1510
149      PRINT W(J),W(J+1)
150      GO TO 1520
151      PRINT W(J), " "
152      IF Y=3 THEN 1560
153      IF J=N THEN 1560
154      PRINT P(J),P(J+1),P((J+1)/2)*P((N+1-J(J+1)/2)
155      GO TO 1590
156      PRINT P(J)
157      GO TO 1590
158      PRINT " "
159      NEXT J
160      PRINT " "
161      PRINT " TOL=";T; "DB=";D;" DON E "
162      PRINT " "
163      PRINT " "
164      PRINT " "
165      GO TO 40
166      END

```

AT DO=? : 1, 2-REPEAT, 3-PRINT HZ, 4-NORMALIZED, 5-BOTH

##?

1-INPUT:F1,F2,N?

250,2500,4

F= 10 F0= 790.56941504 Q= .26219642444

TOL= 1.0831521342 DB=-40.489001891 DO=?

3

A-NETWORK-HZ B-NETWORK-HZ

5001.9240282 1324.1911924

4 1.98722013 119.68855155

TOL= 1.0835202830 DB=-40.48605758 DO=?

La configuración básica utilizada en el circuito divisor-defasador de  $90^\circ$  se muestra en la figura 3.16.

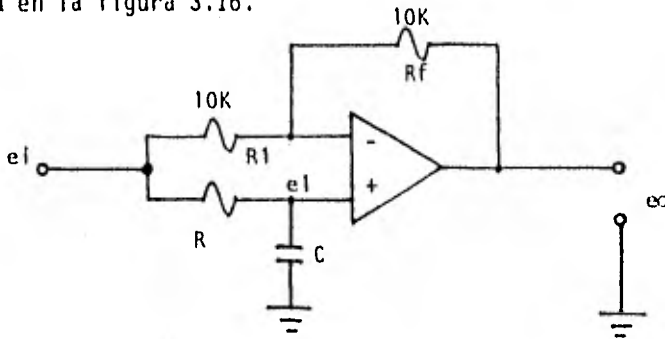


figura 3.16 Circuito divisor-defasador.

La función de transferencia del circuito anterior es:

$$\frac{e_o}{e_i} = \frac{(1 - j\omega RC)}{(1 + j\omega RC)} \quad 3.35$$

$$\frac{e_o}{e_i} = 1 \angle -2 \arctan \omega RC \quad 3.36$$

Análisis del circuito 3.16.

La función de transferencia del circuito se calcula de la siguiente manera:

$$e_i = \frac{1/j\omega C}{R + 1/j\omega C}, \quad e_i = \frac{1}{1 + j\omega RC}, \quad e_i \quad 3.37$$

$$e_o = -\frac{R_f}{R_1} \cdot e_i + \left(-\frac{R_f + R_1}{R_1}\right) \left(-\frac{1}{1 + j\omega RC}\right) \cdot e_i \quad 3.38$$

si  $R_f = R_1$  , se tiene:

$$e_o = -e_i + 2\left(\frac{1}{1 + j\omega RC}\right) e_i \quad 3.39$$

por lo tanto

$$\frac{e_o}{e_i} = \frac{(1 - j\omega RC)}{(1 + j\omega RC)} \quad 3.35$$

Las singularidades del circuito se muestran en la figura 3.17.

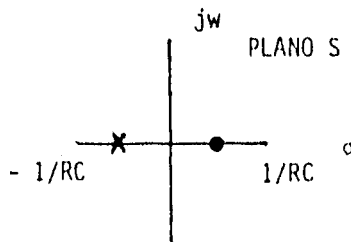


figura 3.17 Singularidades del circuito.

Estas singularidades están gráficas en el plano S, donde sus corrimientos de fase se encuentran entre  $0^\circ$  y  $180^\circ$  para frecuencias muy altas.

Cálculo de componentes de los sistemas A y B, constituidos por los integradores (IC3, IC4, IC5 e IC6), de la figura 3.15.

Sistema A:

para  $f_1 = 5,222$  Hz , se tiene:

$$\omega_1 = 2\pi f_1 \quad 3.36$$

se sabe que

$$w1 = \frac{1}{R1C1} \quad 3.37$$

sustituyendo la ecuación 3.36 en 3.37, se obtiene:

$$R1C1 = \frac{1}{2\pi f1} \quad 3.38$$

definiendo  $C1 = 0.003 \mu\text{fd}$  y sustituyendo en la ecuación 3.38:

$$R1 = \frac{1}{2\pi (5,222)(0.003 \times 10^{-6})} = 10,159.26 \Omega$$

por lo tanto

$$R1 = 10.16 \text{ K}\Omega \quad \text{y} \quad C1 = 0.003 \mu\text{fd}$$

de manera análoga se calcula  $R3$  para  $f3 = 472 \text{ Hz}$  y  $C3 = 0.003 \mu\text{fd}$ , obteniendo:

$$R3 = 10.22 \text{ K}\Omega \quad \text{y} \quad C3 = 0.003 \mu\text{fd}.$$

Sistema B:

para  $f2 = 1,324 \text{ Hz}$  y  $C2 = 0.01 \mu\text{fd}$ , y sustituyendo en la ecuación 3.38, se obtiene:

$$R2 = \frac{1}{2\pi (1,324)(0.01 \times 10^{-6})} = 12,020.77 \Omega$$

por lo tanto

$$R_2 = 12 \text{ K}\Omega \quad \text{y} \quad C_2 = 0.01 \text{ }\mu\text{fd}$$

de manera análoga para  $f_4 = 120 \text{ Hz}$  y  $C_4 = 0.1 \text{ }\mu\text{fd}$ , se obtiene:

$$R_4 = 13.26 \text{ K}\Omega \quad \text{y} \quad C_4 = 0.1 \text{ }\mu\text{fd}.$$

### 3.1.e Filtro Paso Altas

La finalidad de estos filtros conectados a la salida del circuito defasador -divisor de fase de  $90^\circ$  (IC5 e IC6), es la de eliminar (en forma considerable) la componente de corriente directa.

La figura 3.18 representa el filtro paso altas, formado de una resistencia y un capacitor.

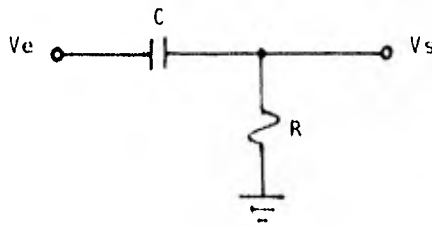


figura 3.18 Filtro paso altas.

Su función de transferencia está definida por:

$$\frac{V_s}{V_e} = \frac{R}{R + 1/j\omega C} = \frac{j\omega RC}{1 + j\omega RC} \quad 3.39$$

donde

$$f = \frac{1}{2\pi RC} \quad 3.40$$

A una frecuencia de corte de  $f = 482.29$  Hz y un capacitor de  $C = 0.1 \mu\text{fd}$ , obtenemos el valor de  $R$ .

$$R = \frac{1}{2\pi (482.29)(0.1 \times 10^{-6})} = 3,300 \Omega$$

siendo los valores correspondientes del filtro paso altas los siguientes:

$$R = 3.3 \text{ K}\Omega \quad \text{y} \quad C = 0.1 \mu\text{fd}.$$

### 3.1.f Conversor Serie-Paralelo

Como se menciona en el capítulo anterior, el integrado IC1 genera ondas seno idal y cuadrada, esta ultima se utiliza como señal de reloj para el conversor serie-paralelo.

Ya que la señal cuadrada oscila a una frecuencia de 2,400 Hz, y se requiere de una frecuencia de muestreo de datos de 4,800 Hz en el conversor, es necesario aumentar la frecuencia generada mediante un multiplicador.

Para obtener la frecuencia de 4,800 Hz bastaría con multiplicar la frecuencia generada de 2,400 Hz por dos. No obstante, se debe tomar en consideración que el muestreo debe realizarse con un mínimo de error en la parte central de cada uno de los datos, por lo que multiplicamos la señal de 4,800 Hz por ocho, para lograr un rango de error aceptable.

El proceso de cálculo de las componentes que integran el multiplicador (---

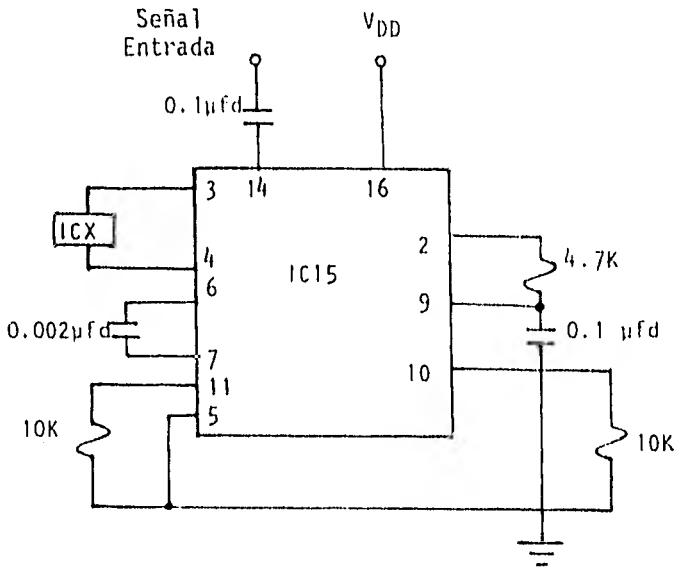


figura 3.19 Circuito multiplicador de frecuencias.

XR-2208) se encuentran en la hoja de datos del circuito IC15 (apéndice A).

Tomando como frecuencia central:

$$f_0 = 38,400 \text{ Hz.}$$

ya que

$$f_0 = 2,400(2)(8) = 38,400 \text{ Hz}$$

Los valores obtenidos para que el circuito funcione como multiplicador son:

$$R_1 = 10 \text{ K}\Omega \quad R_2 = \infty \quad C_1 = 0.002 \text{ }\mu\text{fd} \quad R_s = 10 \text{ k}\Omega \\ C_2 = 0.1 \text{ }\mu\text{fd.}$$

Definiendo una frecuencia de corte para el filtro paso bajas del circuito -- IC15 igual a:

$$f_c = 338.63 \text{ Hz.}$$



fijando

$$C = 0.1 \mu\text{fd}$$

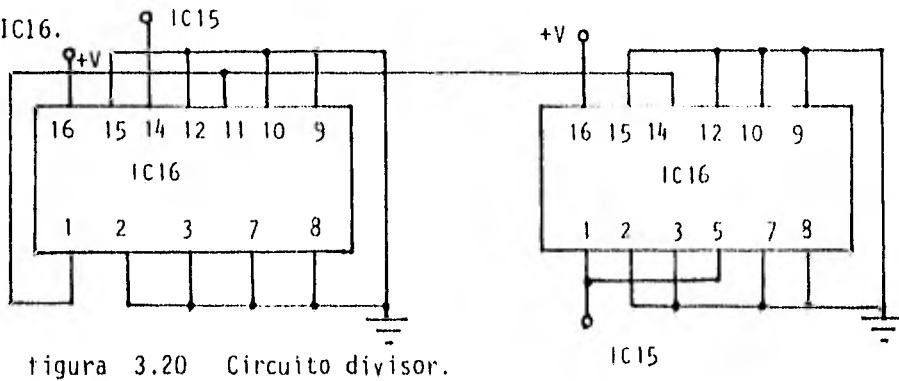
sustituyendo  $f_c$  y  $C$  en la ecuación 3.40, se obtiene:

$$R = \frac{1}{2\pi (0.1 \times 10^{-6})(338.63)} = 4,700 \Omega$$

por lo que los valores del filtro paso bajas son:

$$R = 4.7 \text{ K}\Omega \quad \text{y} \quad C = 0.1 \mu\text{fd.}$$

El divisor indicado por ICX se implementa utilizando dos circuitos integrados IC16.



Una vez que se ha obtenido la onda cuadrada a una frecuencia de 38,400 Hz, se pasa a través del integrado IC17, el cual realiza la división de dicha frecuencia entre ocho, acondicionandola para proporcionar la frecuencia de muestreo necesaria.

El conversor serie-paralelo recibe información en serie de una línea de datos. Mediante los pulsos de muestreo 1 y 2 se realiza el proceso de la con

versión serie-paralelo. Estos pulsos pasan a través de un contador (IC19), el cual activa un circuito llamado "diferenciador", cuya función es la de permitir la salida de los datos en paralelo.

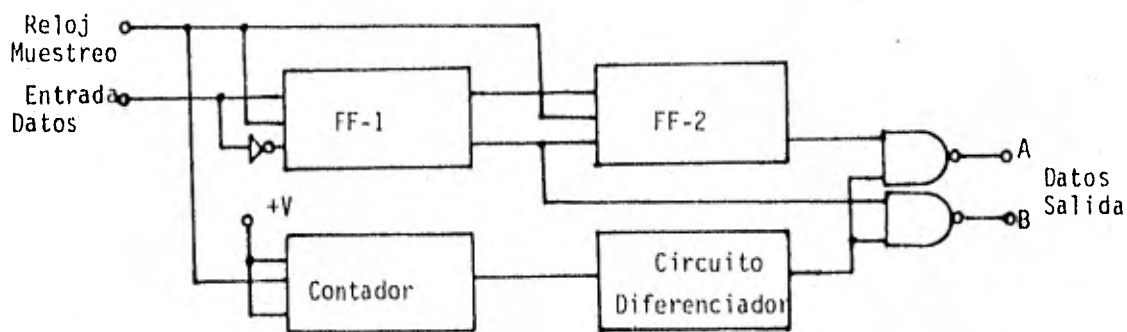


figura 3.21 Sistema convertor serie-paralelo.

Como se puede apreciar en la figura 3.21 el convertor serie-paralelo es implementado con dos flip-flops (IC18).

El circuito "diferenciador" de la figura 3.22 esta constituido por un filtro paso altas RC, en cuya salida S1 se presenta un "1" lógico en cada transición, y un "0" durante los regímenes estacionarios de E. Al operar el sistema el pulso negativo en S1 es ignorado por el inversor ICA, mientras que el pulso positivo que ocurre cuando E cambia de cero a uno es tomado en cuenta, ya que despues de invertirse dos veces por medio de ICA e ICB permite la salida de los datos del convertor serie-paralelo.

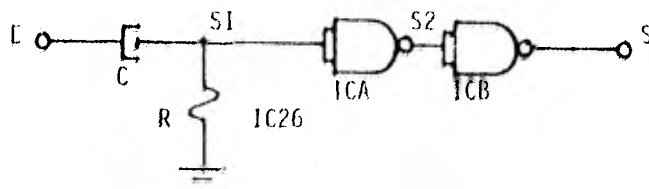


figura 3.22 Circuito diferenciador.

El ancho del pulso de la señal S es el tiempo durante el cual la señal permanece mayor a 3 volts, que es el voltaje mínimo considerado como un "1" lógico por el inversor.

Para que S1 descienda de  $V_+$  a 3 volts, el capacitor se carga a 2 volts con una constante de tiempo igual a RC, esta constante es definida por la ecuación 3.41.

$$V_+ = V_c = e(1 - e^{\delta t / \tau}) \quad 3.41$$

por lo tanto

$$\delta t = -RC \ln(3/5) \quad 3.42$$

De la duración del pulso requerida y la ecuación 3.42 se calculan los valores correspondientes a R y C, dando como resultado:

$$t = 15 \times 10^{-6} \text{ seg} \quad R = 2936.42 \, \Omega \quad C = 10,000 \text{ pfd}$$

A continuación se presentan las formas de onda del diferenciador.

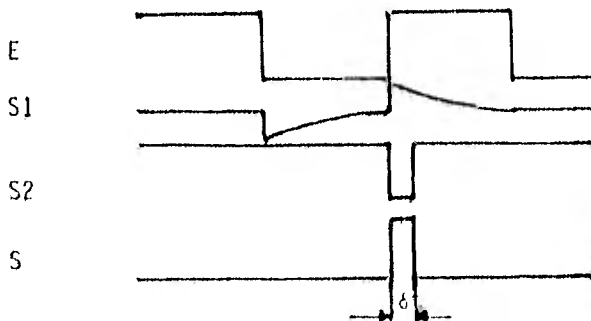


figura 3.23 Señales del circuito diferenciador.

## 3.1.g Circuito Lógico Digital

Este circuito tiene como finalidad primordial la de determinar la relación existente entre las señales de entrada  $A_n$  y  $B_n$  ( $A_n < B_n$ ,  $A_n = B_n$  y  $A_n > B_n$ ), - con el fin de realizar una comparación de resultados y efectuar la selección adecuada de la fase correspondiente con respecto a la tabla indicada en la figura 3.24.

Bits	$A_n = B_n$ "0"	$A_n = B_n$ "1"	$A_n > B_n$	$A_n < B_n$	Fase
00	✓				45°
01				✓	135°
10			✓		315°
11		✓			225°

figura 3.24 Designación y selección de fases.

A continuación se muestran las funciones lógicas que determinan el resultado de la comparación,

$$A_n = B_n \text{ -----} > \overline{\overline{A_n} B_n} + \overline{A_n \overline{B_n}} \quad (a)$$

$$A_n < B_n \text{ -----} \overline{A_n} B_n \quad (b)$$

$$A_n > B_n \text{ -----} A_n \overline{B_n} \quad (c)$$

Del inciso (a) observamos que la función lógica es el resultado de introducir las relaciones (b) y (c) a una compuerta NOR, también puede apreciarse

que la relación  $A_n=B_n$  no se define en cuanto a si la igualdad implica un "0" lógico ó bien un "1" lógico, por lo que es necesario completar estas funciones mediante el diseño de un circuito que defina si la relación de igualdad implica un "0" ó un "1" lógico.

El circuito que realiza estas funciones lógicas se muestra en la figura -- 3.25.

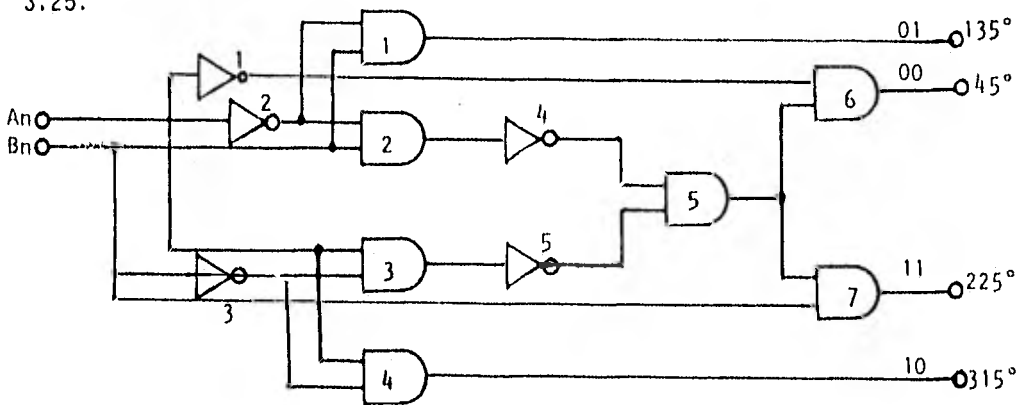


figura 3.25 Circuito lógico.

El circuito lógico se implementa de la siguiente manera:

Compuertas 1,2,3,4,5,6,7. ---> IC22

Inversores 1,2,3,4,5. ---> IC23

### 3.1.h Interruptores Analógicos

El circuito integrado IC24 consta de cuatro interruptores analógicos, cuya finalidad es la de permitir ó rechazar el paso de las señales senoidales.

A cada uno de estos interruptores se les asigna una señal senoidal defasa-

da una cierta cantidad de grados, y son controlados por las señales a la salida del bloque denominado circuito lógico-digital, lo cual da como resultado un interruptor de dos tiros un polo.

### 3.2 Operación del Sistema Modulador

Mediante el generador de ondas senoidal y cuadrada (IC1) se obtienen las señales necesarias para la operación del sistema. A la salida del generador, la señal senoidal posee una frecuencia de oscilación de 2,400 Hz. Una vez obtenida la señal senoidal con la oscilación deseada se realiza un defasamiento de  $90^\circ$ , con el propósito de poner en fase la señal senoidal y cuadrada. La señal defasada de  $90^\circ$  se toma como señal base de comparación, ya que los defasamientos efectuados posteriormente se medirán respecto a esta. Nuevamente se defasa la señal base  $45^\circ$  en atraso, utilizando para estos defasamientos filtros paso bajas con frecuencias de corte igual a las frecuencias de oscilación.

Cada uno de los filtros posee un polo simple y producen un defasamiento de  $45^\circ$  en la frecuencia de corte. A la entrada del circuito divisor-defasador de  $90^\circ$  (IC3, IC4, IC5 e IC6) se introduce la señal senoidal defasada  $45^\circ$ , obteniendo a su salida dos señales defasadas de  $45^\circ$  y  $315^\circ$ , las cuales se condicionan de tal manera que se encuentren listas a la entrada de los interruptores analógicos, según les correspondan. Las señales senoidales defasadas de  $45^\circ$  y  $315^\circ$  son alimentadoras de etapas de acoplamiento y circuitos inversores de ganancia unitaria, con lo que se obtienen las señales de  $225^\circ$  y  $135^\circ$ . A la salida de los circuitos IC2 se obtienen las cuatro señales se

noidales defasadas  $45^\circ$ ,  $315^\circ$ ,  $225^\circ$  y  $135^\circ$  requeridas en la operación del sistema.

La onda cuadrada generada por el integrado IC1 también requiere de cierto acondicionamiento, ya que esta señal se utiliza como reloj de muestreo del -- convertor serie-paralelo. La señal cuadrada oscila a una frecuencia de 2,400 Hz y es introducida a un multiplicador en el que a su salida genera una señal de 38,400 Hz, que a través de un proceso de división entre ocho se obtiene la frecuencia de muestreo de 4,800 Hz.

Para lograr la sincronía de los datos de entrada con el reloj de muestreo se requiere de una compuerta NAND (IC25) como la mostrada en la figura 3.26, -- donde a la entrada E1 se introduce la señal de reloj de muestreo, y en E2 una señal que indique el momento de iniciar la conversión de datos. Antes de iniciar la transmisión de datos, la entrada E2 se encuentra conectada a tierra ó sea en "0" lógico. Cuando se inicia el proceso de transmisión la entrada E2 cambia del nivel "0" a un "1" lógico, lo que permite la entrada de la señal a una frecuencia de oscilación de 38,400 Hz.

La etapa siguiente corresponde a la conversión serie-paralelo de los bits de datos, estos bits se agrupan en los circuitos de almacenamiento (memorias) -- de dos en dos. El control de este agrupamiento lo realiza un contador (IC19), el cual detecta los pulsos del reloj de muestreo; cuando cuenta dos bits ha habilita al circuito diferenciador, el cual, genera una señal que permite la salida de los bits que se encuentran en los registros de almacenamiento, estos bits obtenidos del convertor serie-paralelo pasan a través del circuito

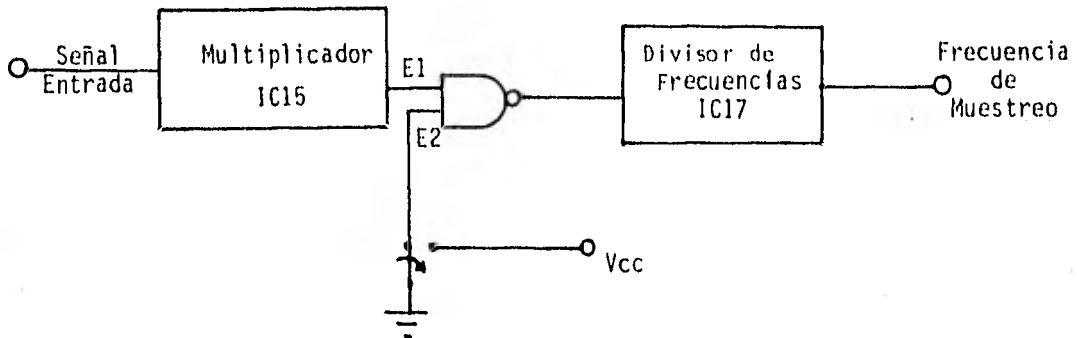


figura 3.26 Sistema sincronizador de datos.

lógico digital en donde son comparados. Del resultado de esta comparación - se realiza la selección de las fases correspondientes a los bits de entrada.

Las señales analógicas de  $45^\circ$ ,  $135^\circ$ ,  $225^\circ$  y  $315^\circ$ , obtenidas en las salidas de los interruptores analógicos, son agrupadas por medio de sumadores inversores (IC12 e IC13). Las salidas de los sumadores inversores alimentan al - sumador inversor IC14, del cual se obtiene la señal modulada en DPSK, ya que la finalidad de estos sumadores lineales es la de combinar las salidas ortogonales BPSK en una señal lineal de cuatro fases DQPSK (Diferencial cuaternaria PSK).



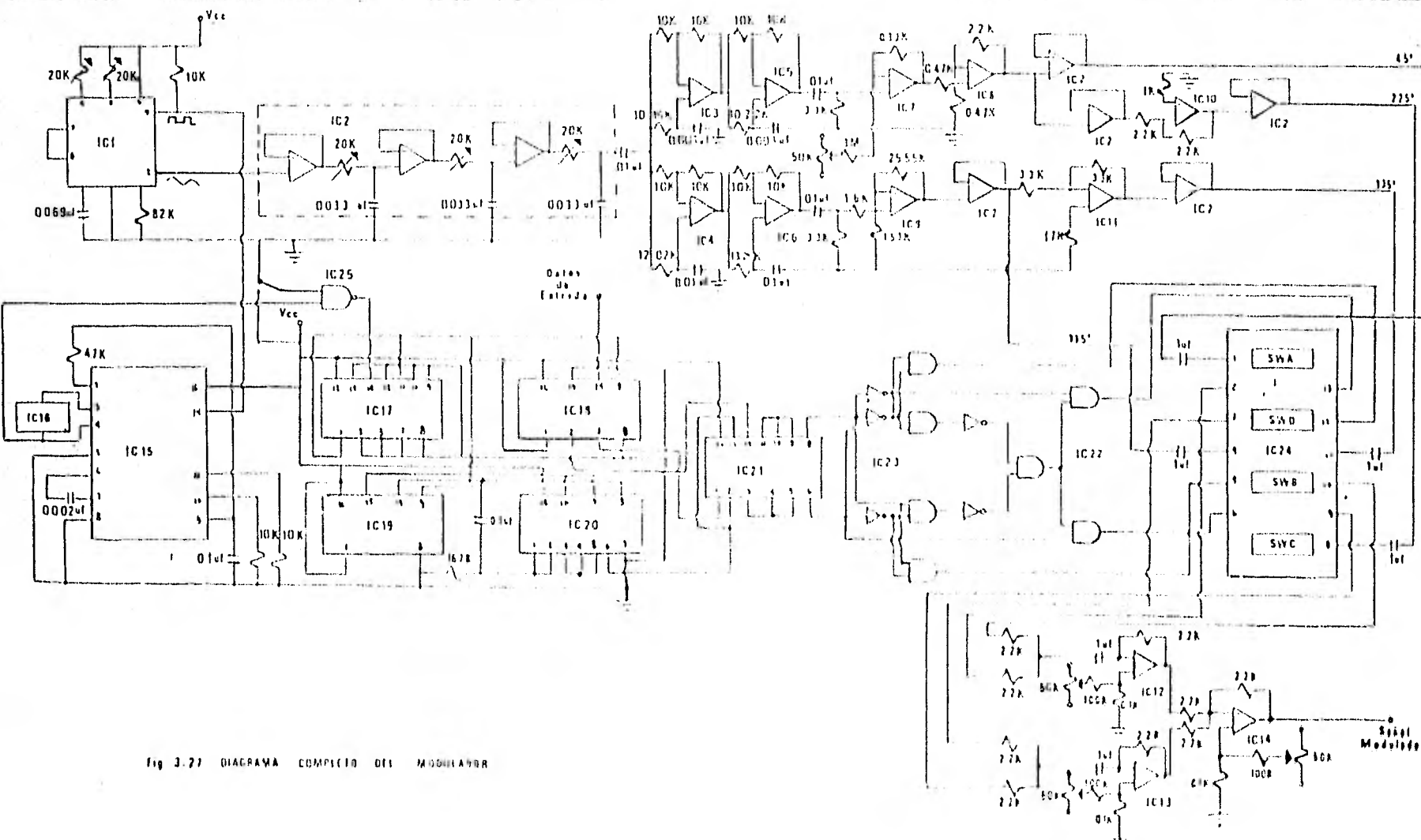


Fig 3.27 DIAGRAMA COMPLETO DE UM MODULO

## 4. DEMODULADOR

La finalidad de este capítulo es la descripción y el análisis de las partes que componen el sistema correspondiente a la demodulación de señales moduladas en fase. El demodulador se presentará en forma de bloques para entrar posteriormente en el detalle de cada uno de los circuitos que lo integran.

### 4.1 Descripción General

De las diversas formas que hay para efectuar la demodulación de las señales moduladas en fase, se seleccionó (por razones ya expuestas en capítulos anteriores) el sistema que se muestra en el diagrama de bloques de la figura 4.1.

Los circuitos que componen el demodulador son:

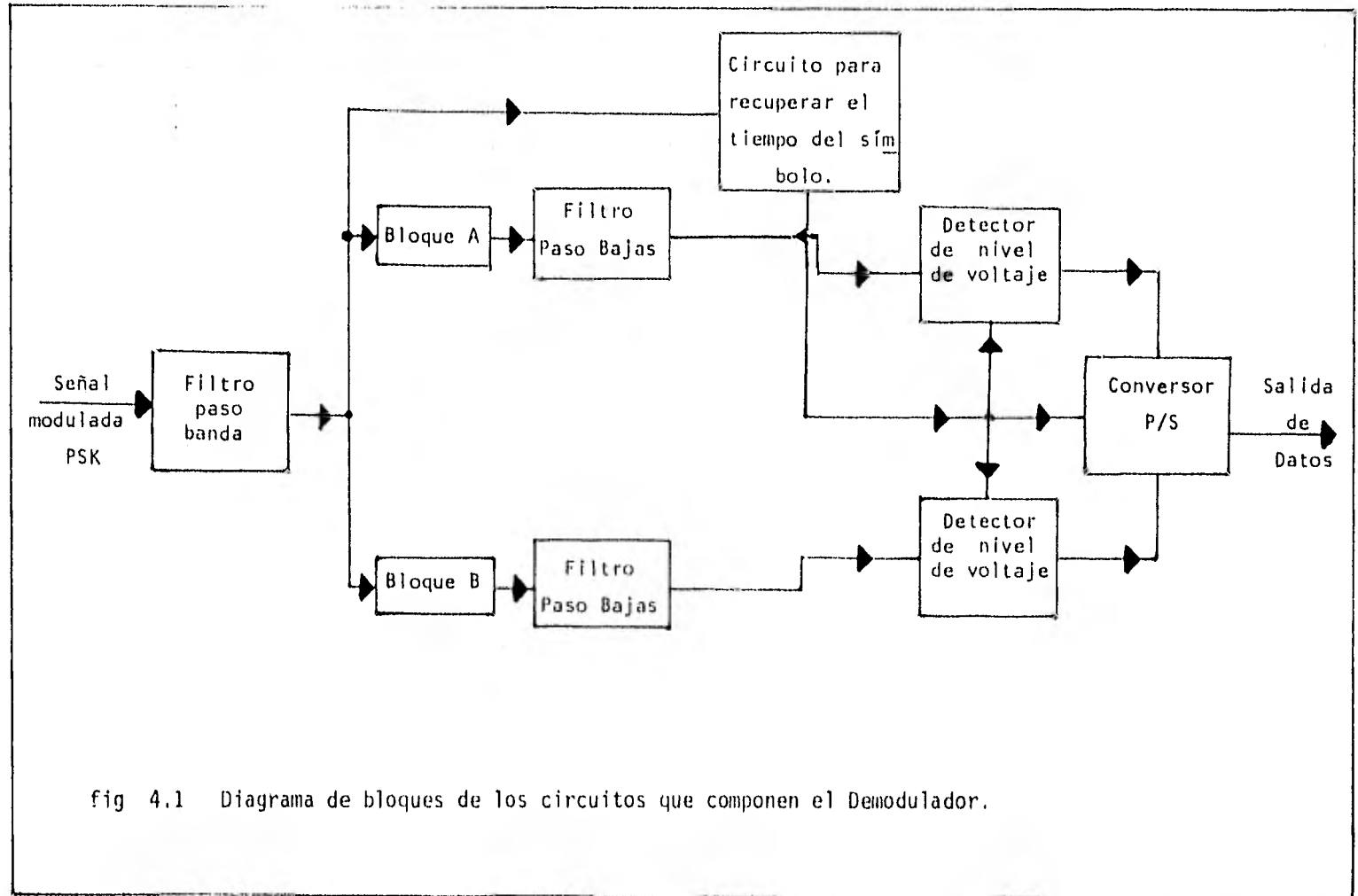


fig 4.1 Diagrama de bloques de los circuitos que componen el Demodulador.

- a) Filtro Paso Banda
- b) Circuito Retardador y Multiplicador
- c) Circuito Defasador de  $90^\circ$
- d) Circuito de Detección Diferencial
- e) Filtros Paso Bajas
- f) PLL (Phase Locked Loop)
- g) Circuito de Recuperación de tiempo del símbolo
- h) Detectores de nivel de voltaje
- i) Circuitos formadores de onda
- j) Conversor Paralelo-Serie

#### 4.1.a Filtro Paso Banda

Una de las partes más importantes del módulo receptor es la correspondiente a la etapa de filtrado, ya que de su calidad en el diseño dependerá la buena detección y demodulación de la señal portadora.

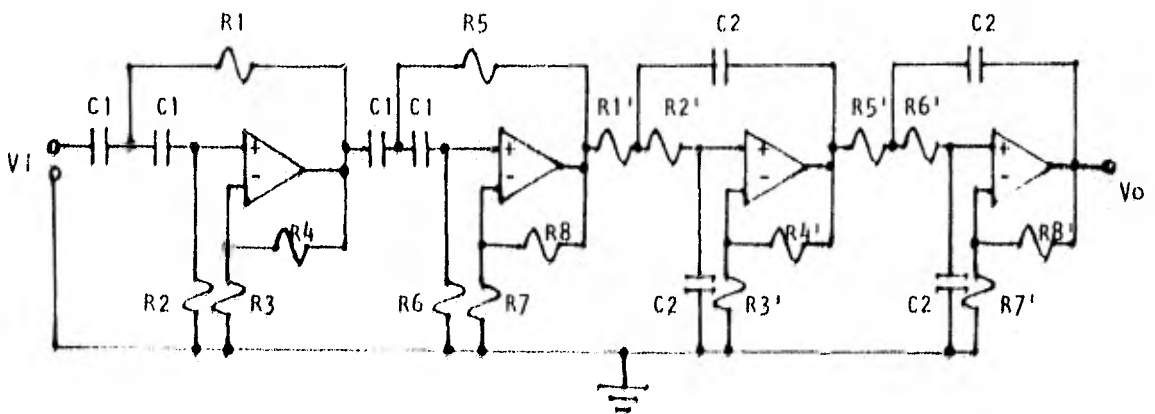


figura 4.2 Filtro paso banda.

Esta etapa es utilizada con el fin de confinar la señal modulada dentro de un ancho de banda específico, minimizando la influencia de ruido y controlando la interferencia entre símbolos.

Con base en las referencias 12 y 13, se elaboró el filtro paso banda más conveniente para el buen funcionamiento del sistema. Como se observa en la figura 4.2, el circuito IC26 está compuesto de dos filtros Chebyshev de 4o. orden; uno de ellos corresponde a un filtro paso altas con una frecuencia de corte de  $f_{c1} = 600$  Hz, y el otro a un filtro paso bajas conectado en cascada con una frecuencia de corte de  $f_{c2} = 3,000$  Hz. La acción conjunta de ambos filtros determina las características del filtro paso banda.

Con el propósito de facilitar el cálculo de las distintas componentes (resistencias y capacitores) de los filtros, se consultó un manual para el diseño de filtros activos (ref 12).

A continuación se muestran los resultados obtenidos en la síntesis de los filtros correspondientes.

Filtro paso altas.

para

$f_{c1} = 600$  Hz, 4o. orden,  $G = 4$ ,  $1/2$  dB,  $K = 5.6$  y  $C1 = 0,03$   $\mu$ fd,

se obtiene:

$$\begin{array}{ll}
 R1 = 7.5 \text{ K}\Omega & R5 = 6 \text{ K}\Omega \\
 R2 = 11 \text{ K}\Omega & R6 = 13 \text{ K}\Omega \\
 R3 = 22 \text{ K}\Omega & R7 = 26 \text{ K}\Omega \\
 R4 = 22 \text{ K}\Omega & R8 = 26 \text{ K}\Omega
 \end{array}$$

Filtro paso bajas.

para

$$f_c = 3,000 \text{ Hz}, \quad 4\text{o. orden}, \quad G = 4, \quad 1/2 \text{ dB}, \quad K = 3.35 \quad \text{y} \quad C2 = 0.01 \text{ }\mu\text{f.}$$

se obtiene:

$$\begin{array}{ll}
 R1' = 15 \text{ K}\Omega & R5' = 6.25 \text{ K}\Omega \\
 R2' = 1.75 \text{ K}\Omega & R6' = 12.5 \text{ K}\Omega \\
 R3' = 34 \text{ K}\Omega & R7' = 38 \text{ K}\Omega \\
 R4' = 34 \text{ K}\Omega & R8' = 38 \text{ K}\Omega
 \end{array}$$

#### 4.1.b Circuito Retardador y Multiplicador

Con el propósito de obtener un atraso  $T_s$  de la señal a la salida del filtro paso banda, y posteriormente efectuar el proceso de detección diferencial, se requiere de un circuito retardador (IC27). Este circuito contiene dos líneas de atraso independientes, las cuales constan cada una de 512 etapas -- (dispositivos de acoplamiento de carga) distribuidas en serie. El integrado IC27 requiere para su operación de una señal de muestreo cuadrada de dos fases (ref 14).

Forma de operación del circuito retardador.

La señal analógica de entrada al retardador es muestreada a intervalos fijos, que se inician en el primero de los 512 transistores MOS conectados en serie. El proceso de muestreo se efectúa cuando la señal de reloj se encuentra en estado alto ("1" lógico), mientras que cuando permanece en estado bajo ("0" lógico) se realiza el corrimiento de la señal a las demás etapas, o sea, existe una transferencia de carga entre los capacitores y los MOSFET se comportan como interruptores.

Las señales que se obtienen a la salida del circuito retardador se deberán -- filtrar, con el propósito de evitar la interferencia de ciertas componentes - de alta frecuencia (ruido) presentes en la señal retardada.

Para mayor información del IC27 (SAD-1024A), consultar apéndice A.

En la figura 4.3 se muestra la configuración del circuito generador de la señal de muestreo, necesaria para la operación del IC27.

Análisis del IC27

El retardo de cada etapa está definido por:

$$Tr = 1/fr \quad 4.1$$

siendo el retardo total igual a

$$Trt = Tr \times 512 \quad 4.2$$

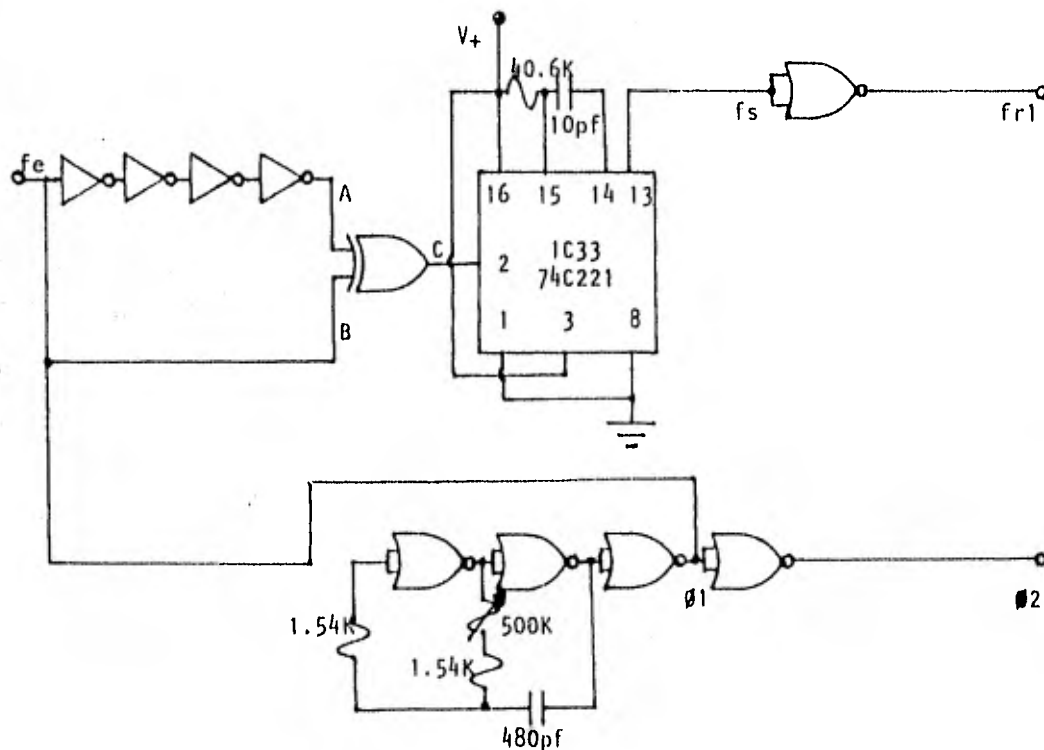


figura 4.3 Circuito generador de la señal de muestreo.

Para obtener señales óptimas a las salidas del circuito retardador se propone la configuración mostrada en la figura 4.4.

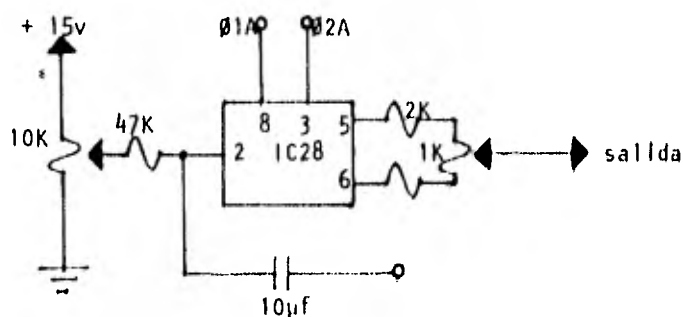


figura 4.4 Configuración óptima del IC28.

Descripción del circuito multiplicador.

El proceso de la multiplicación se lleva a cabo mediante los circuitos multi



plicadores IC29, que se encuentran en los bloques A y B. Estos circuitos son utilizados para realizar la demodulación de las señales moduladas en fase (-ver características del IC29 en el apéndice A).

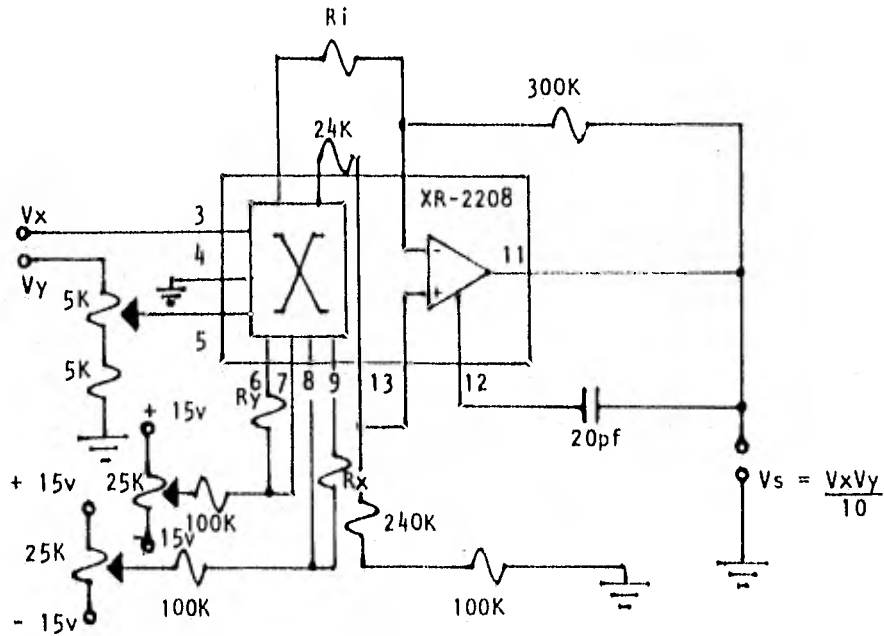


figura 4.5 Circuito multiplicador.

Las señales a multiplicar se conectan a las entradas correspondientes a X y Y. La entrada denominada común es utilizada en la mayoría de las aplicaciones como referencia o terminal de tierra.

El voltaje diferencial de salida  $V_o$  obtenido a las salidas del multiplicador, es proporcional al producto lineal de los voltajes  $V_x$  y  $V_y$  aplicados a sus -entradas. El voltaje diferencial  $V_o$ , puede expresarse de la siguiente manera:

$$V_o \approx \frac{25}{R_x \cdot R_y} (V_x)(V_y) \quad 4.3$$

donde los voltajes estan en volts y las resistencias en  $K\Omega$ .

Las resistencias  $R_x$  y  $R_y$  controlan la ganancia para las secciones X y Y del multiplicador. El voltaje final de salida  $V_s$  se obtiene a la salida del amplificador operacional del circuito IC29.

La ganancia de las secciones X y Y del circuito multiplicador es inversamente proporcional a las resistencias  $R_x$  y  $R_y$ , las cuales se encuentran conectadas a través de las respectivas terminales de ganancia.

La ganancia de conversión puede expresarse como:

$$K_m = \frac{25}{R_x \cdot R_y} \text{ (volts)}^{-1} \quad 4.4$$

Las terminales de control de ganancia 7 y 8, son utilizadas para ajustar la compensación en las terminales X y Y respectivamente. En la figura 4.5 se muestran los circuitos típicos de ajuste, los cuales pueden ser conectados a las terminales de ganancia.

El amplificador operacional es compensado mediante la utilización de un capacitor de 20 pfd, conectado entre las terminales 11 y 12 del circuito IC29. Este capacitor tiene como objetivo principal el de evitar la inestabilidad del circuito. Para ganancias de voltaje mayores que la unidad, esta capacitancia de compensación puede ser reducida para mejorar el "slew-rate" y el -

ancho de banda de señal pequeña. El circuito amplificador es mostrado en la figura 4.6.

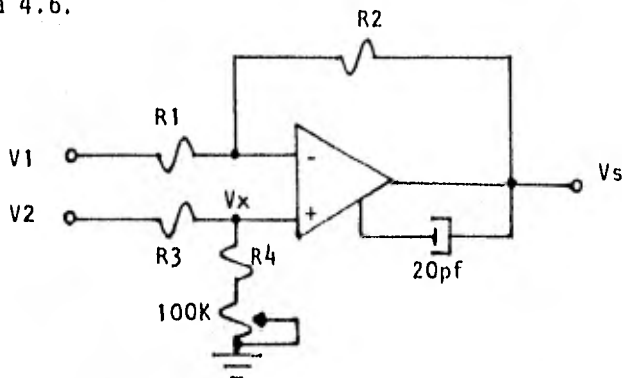


figura 4.6 Amplificador operacional del IC29 (XR-2208).

Del análisis del circuito obtenemos las siguientes ecuaciones:

para  $V1 \neq 0$  y  $V2 = 0$

se obtiene

$$V_{o1} = -\frac{R2}{R1} (V1) \quad 4.5$$

para  $V1 = 0$  y  $V2 \neq 0$

se obtiene

$$V_x = \frac{R4}{R3+R4} (V2) \quad 4.6$$

además

$$V_{o2} = \frac{R2+R1}{R1} (V_x) \quad 4.7$$

sustituyendo la ecuación 4.6 en 4.7 y sumando  $V_{o1}$  y  $V_{o2}$ , se obtiene:

$$V_s = \frac{R_2+R_1}{R_1} \cdot \frac{R_4}{R_3+R_4} \cdot V_2 - \frac{R_2}{R_1} \cdot V_1 \quad 4.8$$

donde

$$V_s = V_{o1} + V_{o2}$$

suponiendo que  $R_2/R_1 = R_4/R_3$ , se tiene:

$$V_s = \frac{R_2}{R_1} (V_2 - V_1) \quad 4.9$$

la ecuación 4.9 define la salida del amplificador operacional ( $V_s$ ).

Cálculo de los parámetros correspondientes al multiplicador, bloques A y B.

De la ecuación 4.4 y definiendo  $R_x = 30 \text{ k}\Omega$  y  $R_y = 62 \text{ k}\Omega$ , se obtiene:

$$K = 0.013$$

como

$$V_o = V_2 - V_1 = K(V_x)(V_y) \quad 4.10$$

sustituyendo la ecuación 4.10 en la 4.9, se tiene:

$$V_s = \frac{R_2}{R_1} \cdot K (V_x)(V_y) \quad 4.11$$

considerando a  $R_1 = 24 \text{ K}\Omega$  y  $R_2 = 300 \text{ K}\Omega$  , se obtiene:

$$V_s = 0.168 (V_x)(V_y)$$

En la entrada correspondiente a  $V_y$  se utiliza un circuito divisor de tensión, el cual realiza el ajuste del factor de escala. Mediante este circuito se obtiene a la salida del multiplicador el producto de las dos entradas pero escaladas por un factor. Para el circuito de la figura 4.5, este factor de escala deberá ser de aproximadamente 0.1.

por lo que los valores de dicho circuito son:

$$\text{Pot} = 5 \text{ K}\Omega \text{ y } R = 5 \text{ k}\Omega$$

#### 4.1.c Circuito Defasador de $90^\circ$

Con el propósito de lograr un defasamiento de  $90^\circ$  a la salida del filtro paso banda, y así obtener dos señales de referencia de  $0^\circ$  y  $90^\circ$ , se utiliza el circuito defasador de  $90^\circ$  (IC30). Este circuito es mostrado en la figura 4.7.

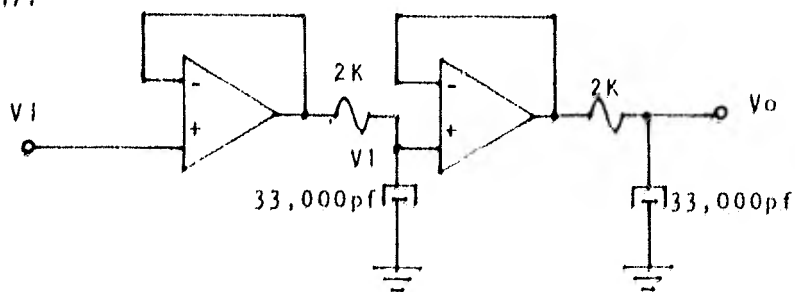


figura 4.7 Circuito defasador de  $90^\circ$ .

El circuito de la figura 4.7 es conocido como sistema de dos polos. Cada una de las etapas independientes proporciona un defasamiento de  $45^\circ$  en atraso.

Análisis del circuito IC30.

para

$$A_v(\omega) = \frac{V_1}{V_i} \times \frac{V_o}{V_1} = \frac{V_o}{V_i} \quad 4.12$$

donde

$$\frac{V_1}{V_i} = \frac{A_{o1}}{1 + \frac{j\omega}{\omega_1}} \quad 4.13$$

$$\frac{V_o}{V_1} = \frac{A_{o2}}{1 + \frac{j\omega}{\omega_2}} \quad 4.14$$

sustituyendo las ecuaciones 4.13 y 4.14 en 4.12, se obtiene lo siguiente:

$$A_v(\omega) = \frac{A_o}{\left(1 + \frac{j\omega}{\omega_1}\right)\left(1 + \frac{j\omega}{\omega_2}\right)} \quad 4.15$$

donde

$$A_o = (A_{o1})(A_{o2}) \quad 4.16$$

$$\omega_1 = \frac{1}{R_1 C_1} \quad 4.17$$

$$\omega_2 = \frac{1}{R_2 C_2} \quad 4.18$$

expresando la ecuación 4.15 en términos de magnitud y ángulo de fase, se tiene:

$$|Av(\omega)| = \frac{|A_0|}{\sqrt{\left(1 + \left(\frac{\omega}{\omega_1}\right)^2\right) \left(1 + \left(\frac{\omega}{\omega_2}\right)^2\right)}} \quad 4.19$$

y

$$\phi(\omega) = \left(\tan^{-1} \frac{\omega}{\omega_1}\right) + \left(\tan^{-1} \frac{\omega}{\omega_2}\right) \quad 4.20$$

de las ecuaciones 4.17 y 4.18 que definen las frecuencias de corte del circuito de la figura 4.7, y definiendo a  $f_1 = f_2 = 2,400$  Hz, se obtiene:

$$\omega_1 = \omega_2 = 2\pi(2,400) = 15,079.64 \text{ rad/seg.}$$

definiendo

$$C_1 = C_2 = 33,000 \times 10^{-12} \text{ fd}$$

se obtiene

$$R_1 = R_2 = 2,009.53 \text{ } \Omega$$

#### 4.1,d Circuito de Detección Diferencial

El proceso de la detección diferencial se lleva a cabo en los bloques A y B

(figura 4.1), y consiste en la comparación de las fases de los símbolos adyacentes.

El bloque A está constituido básicamente de los circuitos; retardador y multiplicador. El bloque B contiene además de los circuitos correspondientes al bloque A, un defasador de  $90^\circ$ . La acción conjunta de ambos bloques da como resultado el agrupamiento en paralelo de los bits originalmente transmitidos.

Análisis del circuito retardador.

Como se indica en los bloques A y B, el retardo total debe ser  $T_s = 2T_b$ .

además

$$f_b = \frac{1}{T_b} = \frac{2}{T_s} \quad 4.21$$

donde:

$f_b$ : frecuencia de los bits

$T_b$ : intervalo de tiempo de los bits

$T_s$ : intervalo de tiempo del símbolo (Baud)

De la ecuación 4.2 y de  $T_s = 2T_b$ , se tiene:

$$T_s = 2 \cdot \frac{1}{(T_b)} = \frac{2}{4,800} = 4.17 \times 10^{-4} \text{ seg.}$$



$$T_s = Trt$$

$$Trt = Tr \times 512 ; \quad Tr = \frac{Trt}{512} = \frac{T_s}{512}$$

$$Trt = \frac{2}{(4,800)(512)} = 8.14 \times 10^{-7} \text{ seg.}$$

por lo que la frecuencia de muestreo es:

$$fr1 = 1,228,800 \text{ Hz} \approx 1.23 \text{ MHz.}$$

Para obtener el retardo definido por  $T_s$ , se requiere del circuito IC31, el cual genera la señal de reloj a la frecuencia de muestreo  $fr1$ , necesaria para la operación del circuito retardador (ref 14).

El circuito mediante el cual se obtiene esta frecuencia de muestreo se muestra en la figura 4.8.

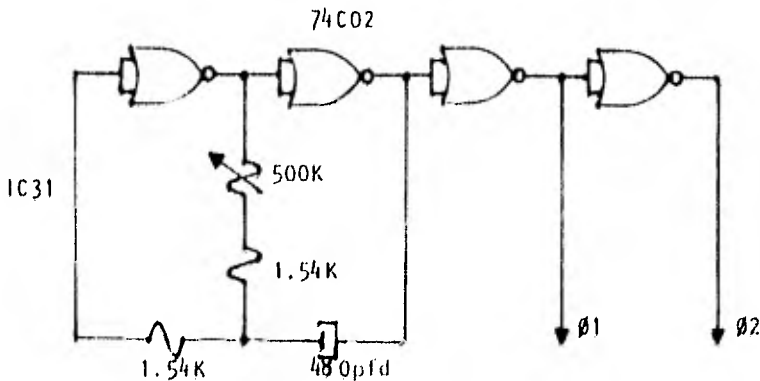


figura 4.8 Circuito generador de la frecuencia de muestreo.

Este circuito esta formado por dos partes. Una correspondiente a la generacion de la señal de reloj de frecuencia  $f_e$ , y la otra parte duplica esta frecuencia, con lo que obtenemos la frecuencia  $f_{r1}$ .

La ecuación que define esta relación es:

$$f_{r1} = f_e \times 2 \quad 4.22$$

Los valores de los parámetros  $R$ ,  $C$ ,  $R_t$  y  $C_t$  se obtienen mediante las ecuaciones 4.23 y 4.24 respectivamente:

$$f_e = \frac{1}{2.2 RC} \quad 4.23$$

$$\frac{T_e}{2} = 2(C_t)(R_t) \quad 4.24$$

donde

$T_e$ : ancho del pulso de la frecuencia de entrada.

como

$$f_e = \frac{f_{r1}}{2} = \frac{1,228,800 \text{ Hz}}{2} = 614,400 \text{ Hz}$$

se obtiene:

$$T_e = 1.6276 \times 10^{-6} \text{ seg.}$$

y considerando

$$C = 480 \text{ pfd}$$

de la ecuación 4.23, se tiene:

$$R = \frac{1}{(2.2)(614,000)(480 \times 10^{-12})} = 1.54 \text{ K}\Omega$$

Considerando a  $C_t = 10 \text{ pfd}$  y de la ecuación 4.24 se tiene:

$$R_t = \frac{1.6276 \times 10^{-6}}{(4)(10 \times 10^{-12})} = 40.6 \text{ K}\Omega$$

En la figura 4.9 se muestran las formas de onda correspondientes al circuito generador de la señal de muestreo.

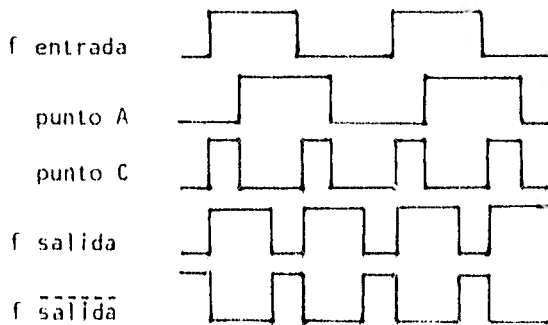


figura 4.9 Formas de onda del circuito generador.

#### 4.1.e Filtros Paso Bajos

A la salida de los multiplicadores correspondientes a los bloques A y B, y al circuito de recuperación del reloj del símbolo (fig 4.1), se ob

tienen señales que están compuestas básicamente por la información deseada y componentes de alta frecuencia. Las componentes de alta frecuencia junto con las armónicas de segundo orden en adelante, son eliminadas por medio de filtros paso bajas (IC32), los cuales reducen de manera considerable el ruido producido en la etapa demoduladora.

La forma general de la función de transferencia de un filtro paso bajas, es la siguiente:

$$\frac{V_2}{V_1} = \frac{-K\omega_o^2}{s^2 + \alpha\omega_o s + \omega_o^2} \quad 4.25$$

donde

$$\omega_o = 2\pi f_o \quad 4.26$$

$f_o$ : frecuencia de corte a - 3 dB.

$$K = |A_o| \quad 4.27$$

$A_o$ : ganancia en la banda de paso

$$\alpha = \sqrt{2} \quad 4.28$$

$\alpha$ : factor de amortiguamiento para una pendiente de 40 dB/dec.

Con el objeto de facilitar la síntesis de los filtros activos, se utilizó

un manual de filtros (ref 12). Este manual permite encontrar los valores de los parámetros del filtro Chebyshev de 4o. orden, 1 dB.

para

$$G = 4, \quad C = 0.01 \mu\text{fd}, \quad K = 2.85$$

se obtiene:

$$R1 = 15 \text{ K}\Omega \quad R5 = 6.75 \text{ K}\Omega$$

$$R2 = 1.34 \text{ K}\Omega \quad R6 = 11 \text{ K}\Omega$$

$$R3 = 33.6 \text{ K}\Omega \quad R7 = 35.8 \text{ K}\Omega$$

$$R4 = 33.6 \text{ K}\Omega \quad R8 = 35.8 \text{ K}\Omega$$

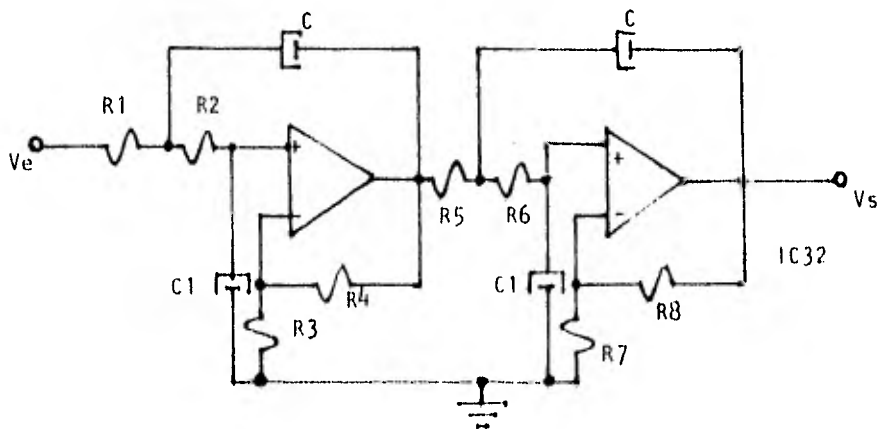


figura 4.10 Filtro Chebyshev de 4o. orden.

Esta configuración se utiliza en las salidas de los tres multiplicadores - (bloques A y B, y circuito de recuperación del reloj del símbolo).

#### 4.1.f PLL (Phase Locked Loop)

Para recuperar el reloj del tiempo del símbolo se utiliza un circuito integrado que contiene un "PLL" (IC33).

Un PLL es un circuito retroalimentado que se compone de cuatro bloques básicos, como se muestra en la figura 4.11. Un comparador de fase, un filtro paso bajas y un amplificador de error se encuentran en la trayectoria directa y un oscilador controlado por voltaje (VCO) cierra la malla en la trayectoria de realimentación (apéndice A).

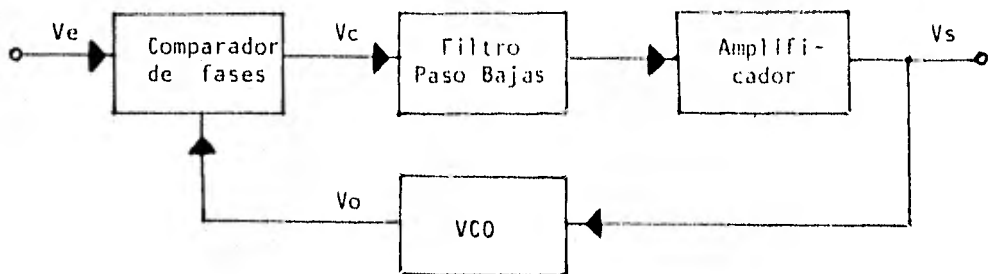


figura 4.11 Bloques básicos del PLL.

Si no se aplica una señal a la entrada el voltaje de error  $V_s(t)$  es cero. El VCO opera a una frecuencia fija  $f_0$ , llamada frecuencia de oscilación libre.

Si se aplica una señal externa, el comparador de fase genera un voltaje de error  $V_c(t)$  que se filtra, se amplifica y se aplica a la terminal de control de VCO.

De esta manera se obliga a la frecuencia del VCO a variar en una dirección que reduce la diferencia entre las frecuencias  $f_0$  y la de la señal de entrada. Si la frecuencia de entrada  $f_0$  está suficientemente cerca de  $f_0$ , las -

características de realimentación del PLL hacen que el VCO se sincronice ó "amarre" a la señal de entrada. Una vez sincronizada la frecuencia del VCO es idéntica a la señal de entrada excepto por una diferencia finita de fase. La salida del comparador de fase es entonces aplicada al filtro paso bajas, quedando unicamente la componente de CD debido a la diferencia de fase.

Es por eso que esta diferencia neta de fase es necesaria para generar el -- voltaje de corrección  $V_s$  con el que se desplaza la frecuencia del VCO de su valor de oscilación libre a la frecuencia  $f_e$  de entrada, manteniendo así al PLL en amarre.

Esta propiedad de autocorrección del sistema permite al PLL rastrear los - cambios de frecuencia de la señal de entrada una vez amarrado. El intervalo de frecuencias en el cual el PLL puede mantener esta condición de amarre -- con la señal de entrada se define como "rango de amarre". Este rango de frequencias es siempre mayor que la banda de frecuencias a través de las cua-- les el PLL puede conseguir amarre con una señal de entrada. Este último rango de frecuencias se conoce como "rango de captura".

Puesto que el voltaje de salida del comparador de fase es proporcional a la diferencia de fases, se puede considerar la función de transferencia del -- comparador de fases como:

$$V_c = K_c (\theta_e - \theta_o) \quad 4,29$$

Por otro lado puesto que el VCO convierte un voltaje a una frecuencia, y la

fase es la integral de la frecuencia, la fase a la salida del VCO será proporcional a la integral del voltaje de control.

Por lo que la función de transferencia del VCO quedará:

$$\phi = K_o V_s \quad 4.30$$

y tomando la transformada de Laplace:

$$\phi_o(s) = \frac{K_o}{s} \cdot V_s \quad 4.31$$

Además considerando la función de transferencia del filtro paso bajas como  $F(s)$  y el amplificador de error con ganancia  $A$  se tendrá:

$$V_s = A \cdot V_c \cdot F(s) \quad 4.32$$

combinando las ecuaciones 4.29, 4.30, 4.31 y 4.32, se tiene:

$$\frac{\phi_o(s)}{\phi_e(s)} = \frac{K_o K_c A F(s)}{s + K_o K_c A F(s)} \quad 4.33$$

que es la función de transferencia de malla cerrada del PLL en donde:

$K_c$ : factor de ganancia del comparador de fase en volts/rad.

$K_o$ : ganancia de VCO en rad/volt·seg

$F(s)$ : función de transferencia del filtro



$A$ : ganancia del amplificador de error

Quedando el modelo linealizado de la siguiente manera:

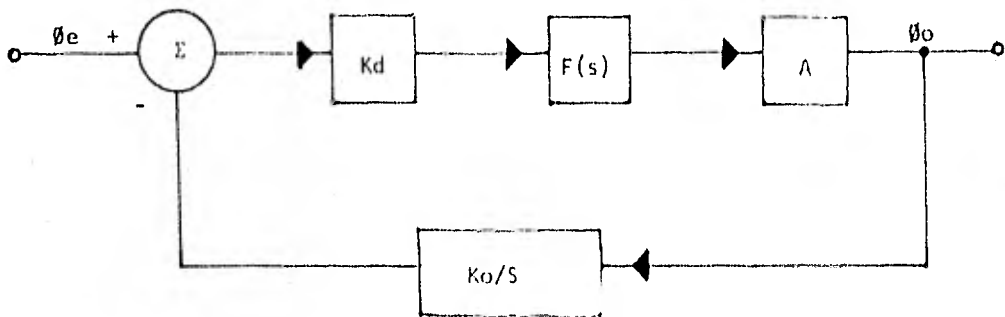


figura 4.12 Modelo linealizado del PLL.

El rango de amarre, a lo largo del cual el PLL puede rastrear la señal de entrada, puede calcularse con la fórmula siguiente:

$$\omega_L \approx \pm K_o K_c A \vartheta_c \quad 4.34$$

donde  $\vartheta_c$  es el máximo error en fase con el cual aún el PLL permanece "amarrado".

De manera similar el rango de captura está dado aproximadamente por:

$$\omega_C = \pm \frac{\omega_L}{\sqrt{T}}; \quad T = RC_1 \quad 4.35$$

$T$  es la constante de tiempo del filtro paso bajas. Este filtro está formado por  $R$  y  $C_1$ .



res son calculados de tablas (apéndice A).

para:

$$f_0 = 2,400 \text{ Hz y } V_{do} = 15 \text{ v.}$$

se tiene

$$R_0 = 1 \text{ M}\Omega \text{ y } C_0 = 0.001 \text{ }\mu\text{fd}$$

b.  $R_3$  y  $C_2$  forman un filtro paso bajas con un solo polo.

c. Definiendo un rango de captura  $f_c = \pm 0.4 \text{ KHz}$ .

De las hojas de datos (apéndice A), para el comparador II se define que:

$$f_L = f_c$$

de la ecuación 4.37 se encuentra que:

$$T_1 = \frac{1}{2\pi f_c} = \frac{1}{2\pi(400)} = 3.98 \times 10^{-4} \text{ seg.}$$

definiendo:

$$C_2 = 0.1 \text{ }\mu\text{fd y } R_3 = 3,978.87 \text{ }\Omega$$

d. Otros parámetros de importancia son  $R_s$  y  $R_2$ , que de acuerdo a las hojas de datos del IC33, son:

$$R_s = 10 \text{ K}\Omega \text{ y } R_2 = \dots$$

#### 4.1.g Circuito de Recuperación de tiempo del símbolo

La recuperación del reloj del símbolo es importante, ya que es utilizada en el MODEM para muestrear la señal demodulada y con ello determinar su estado, obteniéndose un flujo de bits en serie a la salida del demodulador.

Los bloques que componen el circuito de recuperación del reloj del símbolo son; un circuito de retardo, cuyo retardo es de  $d_{opt} = 2/f_c$ , donde  $f_c$  es la frecuencia de la señal portadora; un circuito multiplicador; un filtro paso bajas; un PLL y un circuito formador de onda.

A continuación se muestra el cálculo de los parámetros correspondientes al retardador.

Como se indicó anteriormente el retardo total debe ser (ref 15).

$d_{opt} = 2/f_c$  y de la ecuación 4.2, se tiene:

$$Tr \times 512 = Tr_t \quad 4,38$$

como,  $d_{opt} = Tr_t = 2/f_c$

se obtiene;

$$Tr = \frac{Tr_t}{512} \quad 4,39$$

quedando finalmente

$$Tr = \frac{2}{fc(512)}$$

definiendo  $fc = 2,400$  Hz.

se obtiene:

$$Tr2 = \frac{2}{(2,400)(512)} = 1.627 \times 10^{-6} \text{ seg.}$$

por lo tanto

$$fr2 = 614,400 \text{ Hz.}$$

Para obtener el retardo definido por  $d_{opt}$ , es necesario generar la señal de reloj de frecuencia de muestreo  $fr2$ . Para generar esta frecuencia se utiliza la primera parte del circuito de la figura 4.3 (generación del reloj de frecuencia  $fe$ ), cuyos cálculos se efectúan en el análisis de dicho circuito.

#### 4.1.h Detectores de nivel de voltaje

En el diagrama de bloques de la figura 4.1 se observa que a la salida de los filtros paso bajas (proceso de detección diferencial) se encuentran unos bloques denominados detectores de nivel de voltaje. Estos detectores tienen cada uno dos entradas; a la primera entrada se le introduce la señal obtenida de los filtros, mientras que a la segunda, la correspondiente al reloj de muestreo (tiempo del símbolo).

Los detectores de nivel de voltaje efectúan decisiones durante cada intervalo del símbolo. El instante del muestreo es controlado por la posición del reloj de muestreo.

La detección del nivel de voltaje se efectúa mediante el integrado IC34.

#### 4.1.i Circuitos formadores de onda

Estos circuitos son requeridos a la salida del circuito PLL, y tienen como finalidad la de proporcionar a la señal de salida del PLL, la forma necesaria para el buen funcionamiento del sistema.

Los circuitos formadores de onda se implementan mediante compuertas "NAND" - con "Schmitt trigger". Circuito integrado IC35.

#### 4.1.j Conversor Paralelo-Serie

Tiene como finalidad la conversión de las señales obtenidas a las salidas de los circuitos detectores de nivel de voltaje, esta conversión se efectúa de la forma paralelo-serie. A la salida de dicho conversor se obtiene un flujo de bits idéntico al transmitido al comenzar el proceso de transmisión de datos.

En la figura 4.14 se muestra el circuito conversor paralelo-serie.

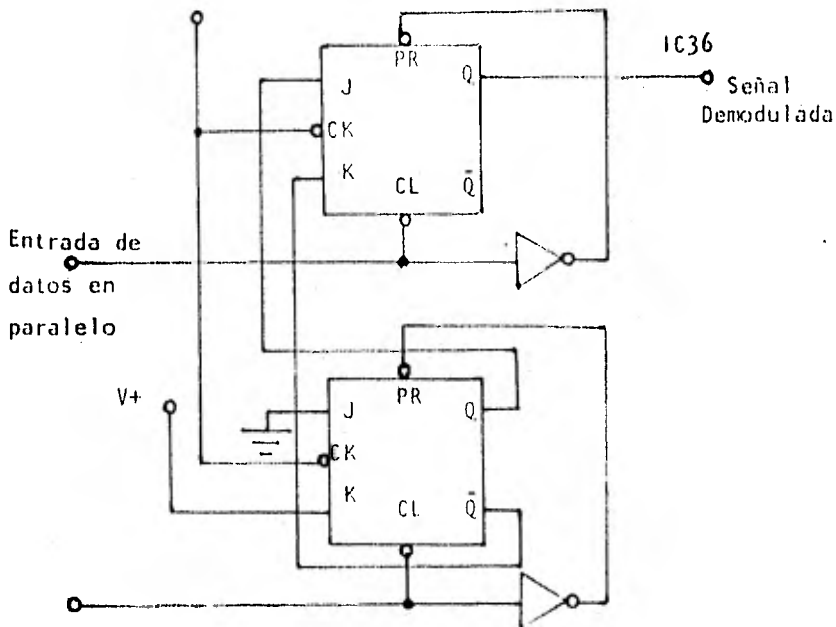


figura 4.14 Conversor paralelo-serie.

#### 4.2 Descripción del Proceso de Demodulación

El proceso de demodulación incluye el método de detección diferencial (figura 4.1). La señal modulada (DPSK) se pasa a través de un filtro paso banda, - cuya finalidad es la de limitar a la señal DPSK dentro de un ancho de banda - específico, con lo que se asegura la eliminación de vestigios de la subportadora, sin alterar la amplitud de la señal en la banda de interés.

Una vez filtrada la señal DPSK, se aplica a una línea de retardo y a un circuito defasador, con lo cual se obtienen dos salidas; una de estas salidas - posee un corrimiento en fase de  $0^\circ$  y la otra de  $90^\circ$  respecto a la señal de - entrada.

El proceso de detección diferencial no utiliza como señal de referencia a la señal portadora, sino a la señal DPSK retardada  $T_s$  segundos. Este retardo  $T_s$  lo proporciona la línea de retardo.

Los multiplicadores de los bloques A y B comparan las fases de la señal obtenida del sistema línea de retardo-circuito defasador con la de la entrada del mismo. A la salida de estos multiplicadores obtenemos la información de interés más otras componentes de alta frecuencia. Las componentes de alta frecuencia son eliminadas mediante los filtros paso bajas mostrados en el diagrama de bloques del demodulador (figura 4.1). A la salida de estos filtros se obtienen finalmente las señales demoduladas.

La recuperación del tiempo del símbolo se efectúa utilizando una técnica -- que permite una sincronización más rápida y efectiva del sistema en conjunto.

El proceso para recuperar el tiempo del símbolo es el siguiente:

- (1) Se multiplica la señal recibida (DPSK) con una réplica de ella misma retardada " $d$ " segundos.
- (2) La señal resultante se pasa a través de un filtro paso bajas, el -- cual elimina las componentes no deseadas, como son el ruido, producto de la línea de retardo.
- (3) La salida del filtro paso bajas se pasa a través de un circuito PLL,



el cual recobra el tiempo del reloj.

(4) Finalmente la señal obtenida del PLL se pasa por el circuito formador de onda.

La señal a la salida del filtro paso bajas (inciso 2), tiene un espectro de potencia, que consiste de un espectro continuo y de un espectro discreto en múltiplos del promedio del símbolo. La componente discreta de frecuencia en  $f = 1/T_s$  se utiliza para recuperar el reloj de tiempo del símbolo.

El proceso de demodulación continúa en los circuitos detectores de nivel de voltaje, los cuales efectúan decisiones durante cada intervalo del símbolo. El instante de muestreo es controlado por la posición del reloj de tiempo del símbolo.

Las salidas de los circuitos detectores de nivel son pasadas a través del convertor paralelo-serie, el cual utiliza también para su operación el reloj de tiempo del símbolo. Con lo que se completa el proceso de demodulación, ya que a la salida del demodulador obtenemos nuevamente el flujo de bits en serie transmitidos originalmente.



## 5. ANALISIS DE COSTOS

### Componentes del Modulador

Número	Cantidad	IC	Costo c/u	Costo Total
ICL8038(Intersil)	1	IC1	\$ 67.50	\$ 67.50
MC4741(Motorola)	5	IC2,3,4,5, 6,7,8,9,10, 11,12,13,14.	\$ 80.73	\$ 403.65
CD4046(National)	1	IC15	\$ 85.00	\$ 85.00
CD4066(National)	1	IC24	\$ 48.30	\$ 48.30
CD4018(National)	3	IC16,17.	\$ 67.15	\$ 201.45
CD40174(National)	2	IC18,19.	\$ 67.60	\$ 135.20
MM7400(National)	2	IC20,21,25.	\$ 24.65	\$ 49.30
CD4081(National)	2	IC22	\$ 39.00	\$ 78.00
CD4069(National)	1	IC23	\$ 22.00	\$ 22.00

Resistencias	Cantidad	Costo c/u	Costo Total
A 1/2 Watt	46	\$ 1.00	\$ 46.00
Potenciômetros			
20K y 50K	9	\$ 25.00	\$ 225.00
Capacitores			
Electrolfticos Cerámica y Tan- talio.	19	\$ 8.00	\$ 152.00
Costo Total del Modulador			<u>\$ 1,513.40</u>

## Componentes del Demodulador

Número	Cantidad	IC	Costo c/u	Costo Total
SAD1024(Archer)	2	IC28	\$ 486.00	\$ 972.00
XR2208(Exar)	2	IC29	\$ 85.00	\$ 170.00
CD4069(National)	3	IC37	\$ 22.00	\$ 66.00
CD4093(National)	1	IC35	\$ 36.55	\$ 36.55
CD4030(National)	1	IC38	\$ 30.60	\$ 30.60
MM7402(National)	2	IC31	\$ 24.65	\$ 49.30
CD40175(National)	1	IC34	\$ 68.00	\$ 68.00
MM7476(National)	1	IC36	\$ 28.05	\$ 28.05
MM74221(National)	1	IC27	\$ 40.00	\$ 40.00
MC4741(Motorola)	4	IC26,30, 32,39.	\$ 80.73	\$ 322.92
CD4046(National)	1	IC33	\$ 85.00	\$ 85.00
Resistencias				
A 1/2 Watt	80		\$ 1.00	\$ 80.00

Potenciómetros	Cantidad	Costo c/u	Costo Total
1K, 5K, 10K, 25K, 100K y 500K.	19	\$ 25.00	\$ 475.00
Capacitores			
Cerámica	35	\$ 8.00	\$ 280.00
			<hr/>
		Costo Total del Demodulador	<u>\$2,703.42</u>

Costo Total aproximado del proyecto \$ 4,216.82

## 6. CONCLUSIONES

La técnica de modulación seleccionada para la presente investigación, fué - la modulación de datos PSK cuatro fases, la cual permite el uso más eficiente del ancho de banda. Con este tipo de modulación se espera lograr velocidades de transmisión de datos digitales de 4,800 bps a través de un canal - de voz (En el capítulo dos se especifican las razones por las que se seleccionó esta técnica de modulación).

Los circuitos modulador-demodulador propuestos cumplen con la necesidad de incrementar la velocidad de transmisión de datos a 4,800 bps, utilizando - el mismo rango de audiofrecuencia utilizado en otros sistemas de menor velocidad,

Otras conclusiones importantes que se obtuvieron del diseño del presente - sistema son: el MODEM es de funcionamiento no muy complicado, de fácil manu

factura y de costo accesible, considerando la disponibilidad de la tecnología adecuada para su posible construcción.

La etapa de transición entre el diseño en papel del sistema y su construcción física, resulto razonablemente sencilla, debido principalmente a la gran variedad de circuitos integrados disponibles en el mercado.

Se procedió a la construcción del sistema de modulación al tiempo en que se realizaba la presente investigación, y se probaron algunos circuitos que forman parte del demodulador.

Los resultados obtenidos con el modulador fueron positivos, ya que se cumplió con el propósito inicial de realizar la modulación PSK cuatro fases - síncrona, a una velocidad de transmisión elevada dentro de un rango de audiofrecuencia, y a un costo accesible.

Con base a la experiencia adquirida a lo largo del desarrollo de los circuitos correspondientes al modulador y algunos del demodulador, se hacen las siguientes recomendaciones: utilizar solamente una fuente de voltaje cuando se construya el MODEM; recurrir a los circuitos integrados de tecnología CMOS, ya que estos tienen un bajo consumo de corriente; utilizar amplificadores operacionales de buena calidad y componentes tales como resistencias con variaciones de  $\pm 5\%$  y capacitores con variaciones de  $\pm 10\%$ .

El MODEM propuesto es un sistema híbrido, ya que se compone de circuitos analógicos y digitales. Se piensa que en lo futuro se puedan realizar modifi

caciones que mejoren el funcionamiento del sistema y lo amplien, proponiendo y diseñando MODEMS más ventajosos empleando solamente circuitos digitales ó bien mediante la utilización de microprocesadores.

Se espera que este trabajo motive a los interesados en el tema, a seguir investigando y desarrollando mejores sistemas de transmisión de datos.



7. BIBLIOGRAFIA

1. J.R. Davey, "MODEMS", *Proceedings of the IEEE*, Vol. 60, No. 11, November 1972.
2. **Fundación Arturo Rosenblueth**, "Seminario: Telecomunicaciones y Redes de Computo", 1980.
3. Philip F. Panter, "MODULATION, NOISE, AND SPECTRAL ANALYSIS", Mc Graw-Hill, 1965.
4. Kamillo Feher, "Digital Modulation Techniques in an Interference Environment", Multi-Volume EMC Encyclopedia Series, Vol IX, September 1977.
5. Seymour T. Levine, "Focus on Modems on Modems and Multiplexers", *Electronic Design*, No. 22, October 25, 1974.

6. W.R. Benett and J.R. Davey, "*Data Transmission*", New York: Mc Graw-Hill, 1965.
7. Arturo González Hermosillo, "*Modulador-Demodulador PSK*", Ingeniería, Abril-Junio, 1978, pags. 162-169.
8. Victor H. Grinich and Horace G. Jackson, "*Introduction to Integrated Circuits*", Mc Graw-Hill, 1975.
9. Allan G. Lloyd, "*90-Degree Phase Difference Network are Simply Designed with a program in Basic*", Electronic Design 19, September 13, 1976, - pags. 90-94.
10. Millman-Halkias, "*Integrated Electronics*", Mc Graw-Hill, 1972.
11. J.G. Graeme, G.E. Tobey, L.P. Huelsman, "*Operational Amplifiers Design and Applications*", Mc Graw-Hill Book Company, 1971.
12. John L. Hilburn and David E. Johnson, "*Manual of Active Filter Design*", Mc Graw-Hill Book Company, 1973.
13. Don Lancaster, "*Active Filter cookbook*", Sams Publication, 1975.
14. Radio Shack, "*Engineers Notebook Integrated Circuit Applications*", -- 1980 Edition.

15. Kamilo Feher, "A New Symbol Timing Recovery Technique for Burst MODEM applications", IEEE Transactions on Communications, Vol. COM-26, No. 1, January 1978.

APENDICE A

**INTERMIL**

# ICL8038 Precision Waveform Generator Voltage Controlled Oscillator

## FEATURES

- Low Frequency Drift With Temperature — 50ppm/°C Max
- Simultaneous Outputs — Sine Wave, Square Wave and Triangle
- High Level Outputs — T<sup>2</sup>L to 26V
- Low Distortion — 1%
- High Linearity — 0.1%
- Easy to Use — 50% Reduction in External Components
- Wide Frequency Range of Operation 0.001Hz to 1.0MHz
- Variable Duty Cycle — 2% to 98%

## GENERAL DESCRIPTION

The 8038 Waveform Generator is a monolithic integrated circuit, capable of producing sine, square, triangular, sawtooth and pulse waveform of high accuracy with a minimum of external components (refer to Figures 8 and 9). The frequency (or repetition rate) can be selected externally over a range from less than 1/1000 Hz to more than 1MHz and is highly stable over a wide temperature and supply voltage range. Frequency modulation and sweeping can be accomplished with an external voltage and the frequency can be programmed digitally through the use of either resistors or capacitors. The Waveform Generator utilizes advanced monolithic technology, such as thin film resistors and Schottky-barrier diodes. The 8038 Voltage Controlled Oscillator can be interfaced with phase lock loop circuitry to reduce temperature drift to below 50ppm/°C.

## FUNCTIONAL DIAGRAM

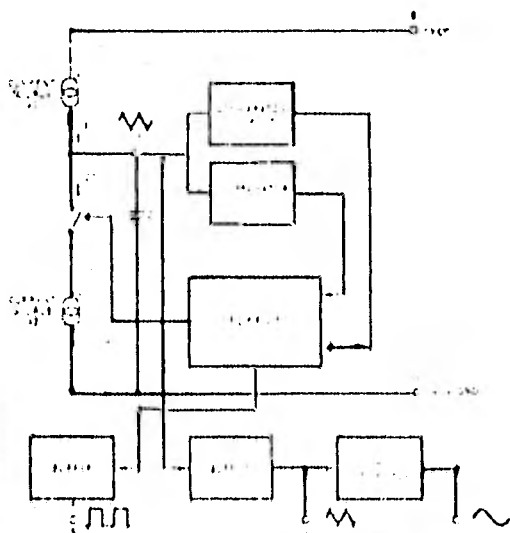
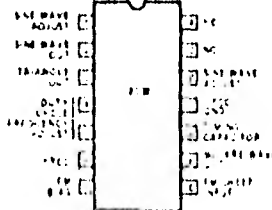


FIGURE 1. BLOCK DIAGRAM OF WAVEFORM GENERATOR

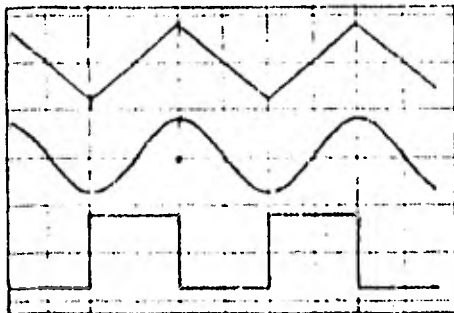
## CONNECTION DIAGRAM



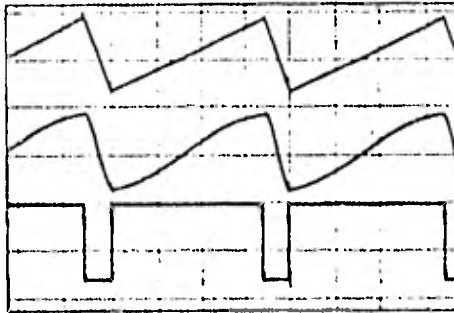
## ORDERING INFORMATION

TYPE	TEMPERATURE RANGE	STABILITY	PACKAGE	ORDER PART NUMBER
8038 CC	0°C to +70°C	±50ppm/°C typ	DIP	ICL 8038 CC PD
8038 BC	0°C to +70°C	±100ppm/°C max	DIP	ICL 8038 BC PD
8038 AC	0°C to +70°C	±50ppm/°C max	DIP	ICL 8038 AC PD
8038 BM	-55°C to +125°C	±100ppm/°C max	Miniature DIP	ICL 8038 BM PD
8038 AM	-55°C to +125°C	±50ppm/°C max	Miniature DIP	ICL 8038 AM PD

THEORY OF OPERATION



SQUARE WAVE DUTY CYCLE - 50%



SQUARE WAVE DUTY CYCLE - 80%

FIGURE 7. PHASE RELATIONSHIP OF WAVEFORMS

The performance of the sine wave output is shown in Figure 5. For more detailed general information concerning current consumption and frequency stability, and Figure 1 shows the phase relationship between the three waveforms.

WAVEFORM TIMING

The symmetry of all waveforms can be adjusted with the external timing resistors. Two possible ways to accomplish this are shown in Figure 6. Best results are obtained by placing the timing resistors  $R_A$  and  $R_B$  separate (a).  $R_A$  controls the rising portion of the triangle and the low state of the square wave.

The magnitude of the triangle waveform is set at 1/3 VCC, therefore the rising portion of the triangle is:

$$t_1 = \frac{C \times V}{I} = \frac{C \times (1/3 \times VCC) \times R_A}{5} = \frac{R_A \times C}{3}$$

The falling portion of the triangle and the low state of the square wave is:

$$t_2 = \frac{C \times V}{I} = \frac{C \times (1/3 \times VCC) \times R_B}{5} = \frac{R_B \times C}{3}$$

Thus a 50% duty cycle is obtained if  $R_A = R_B$ .

If the duty cycle is to be varied over a small range about 50% only, the connection shown in Figure 6b is slightly more convenient. If no adjustment of the duty cycle is desired, terminals 4 and 5 can be shorter together, as shown in Figure 6c. This connection, however, carries an inherently larger variation of the duty cycle.

With two separate timing resistors, the frequency is given by:

$$f = \frac{1}{t_1 + t_2} = \frac{1}{\frac{R_A \times C}{3} + \left(1 + \frac{R_B}{2R_A - R_B}\right) \frac{R_A \times C}{3}}$$

or, if  $R_A = R_B = R$

$$f = \frac{0.3}{R \times C} \quad (\text{for Figure 6a})$$

If a single timing resistor is used (Figures 6c only), the frequency is:

$$f = \frac{0.15}{R \times C}$$

Neither time nor frequency are dependent on supply voltage, even though none of the voltages are regulated inside the integrated circuit. This is due to the

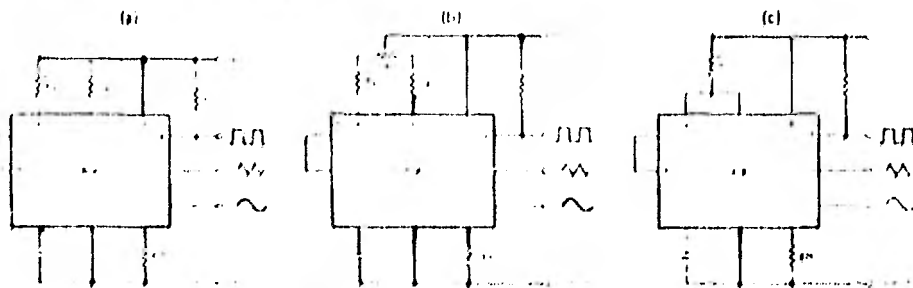


FIGURE 8. CONNECTIONS FOR THE EXTERNAL TIMING RESISTORS

# ICL8038

INTERNATIONAL

fact that both currents and thresholds are direct, linear function of the supply voltage and thus their effects cancel.

To minimize sine-wave distortion the 82kΩ resistor between pins 11 and 12 is best made a variable one. With this arrangement distortion of less than 1% is achievable. To reduce this even further, two potentiometers can be connected as shown in Figure 9. This configuration allows a reduction of sine wave distortion close to 0.5%.

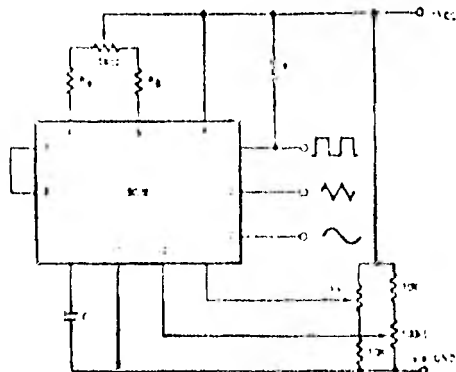


FIGURE 9. CONNECTION TO ACHIEVE MINIMUM SINE WAVE DISTORTION

### SELECTING $R_A$ , $R_B$ and $C$

For any given output frequency, there is a wide range of RC combinations that will work. However certain constraints are placed upon the magnitude of the charging current for optimum performance. At the low end, currents of less than 10μA are undesirable because circuit leakages will contribute significant errors at high temperatures. At higher currents ( $I > 5$  mA), transistor betas and saturation voltages will contribute increasingly larger errors. Optimum performance will be obtained for charging currents of 10μA to 1 mA. If pins 7 and 8 are shorted together, the magnitude of the charging current due to  $R_A$  can be calculated from:

$$I = \frac{R_1 + V_{CC}}{R_1 + R_2} \times \frac{1}{R_A} = \frac{V_{CC}}{5R_A}$$

A similar calculation holds for  $R_B$ .

The capacitor value should be as large as possible.

### WAVEFORM OUT LEVEL CONTROL AND POWER SUPPLIES

The waveform generator can be operated either from a single power supply (10 to 30 Volts) or a dual power supply (±5 to ±15 Volts). With a single power supply the average levels of the triangle and sine wave are at exactly one-half of the supply voltage, while the square-wave alternates between +V and ground. A split power supply has the advantage that all waveforms move symmetrically about ground.

The square wave output is not commuted. A load resistor can be connected to a different power supply, as long as the applied voltage remains within the breakdown cap-

ability of the waveform generator (30V). In this way, the square wave output can drive TTL compatible load resistor connected to +5 Volts while the waveform generator itself is powered from a much higher voltage.

### FREQUENCY MODULATION AND SWEEPING

The frequency of the waveform generator is a direct function of the DC voltage at terminal 8 (measured from -V<sub>CC</sub>). By altering this voltage, frequency modulation is performed.

For small deviations (e.g. ±10%) the modulating signal can be applied directly to pin 8, merely providing dc decoupling with a capacitor, as shown in Figure 10a. An external resistor between pins 7 and 8 is not necessary, but it can be used to increase input impedance. Without it (i.e. terminals 7 and 8 connected together), the input impedance is 8kΩ, with it, this impedance increases to  $(R + 8kΩ)$ .

For larger FM deviations or for frequency sweeping, the modulating signal is applied between the positive supply voltage and pin 8 (Figure 10b). In this way the entire bias for the current sources is created by the modulating signal and a very large (e.g. 1000 Hz) sweep range is created ( $f = 0$  at  $V_{pin8} = 0$ ). Care must be taken, however, to regulate the supply voltage, in this configuration the charge current is no longer a function of the supply voltage (yet the trigger thresholds still are) and thus the frequency becomes dependent on the supply voltage. The potential on Pin 8 may be swept from  $V_{CC}$  to  $(2/3 V_{CC} + 2V)$ .

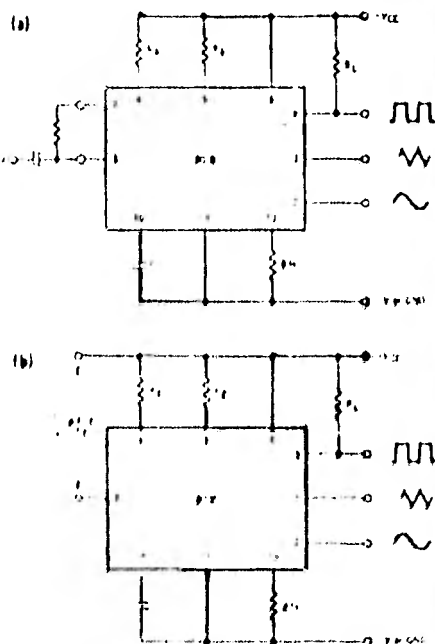


FIGURE 10. CONNECTIONS FOR FREQUENCY MODULATION (a) AND SWEEP (b)

### ORDERING INFORMATION

Device	Temperature Range	Package
MC4741L	-55°C to +125°C	Ceramic DIP
MC4741CL	0°C to +70°C	Ceramic DIP
MC4741CP	0°C to +70°C	Plastic DIP

**MC4741**  
**MC4741C**

### Specifications and Applications Information

#### QUAD MC1741 OPERATIONAL AMPLIFIERS

The MC4741 series is a true quad MC1741. Integrated on a single monolithic chip are four independent, low power operational amplifiers which have been designed to provide operating characteristics identical to those of the industry standard MC1741, and can be applied with no change in circuit performance.

The MC4741 can be used in applications where amplifier matching of high packing density is important. Other applications include high impedance buffer amplifiers and active filter amplifiers.

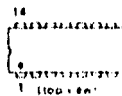
- Each Amplifier is Functionally Equivalent to the MC1741
- Class AB Output Stage Eliminates Crossover Distortion
- True Differential Inputs
- Internally Frequency Compensated
- Short Circuit Protection
- Low Power Supply Current (0.6 mA/Amplifier)

#### QUAD MC1741 DIFFERENTIAL INPUT OPERATIONAL AMPLIFIERS

SILICON MONOLITHIC  
INTEGRATED CIRCUIT

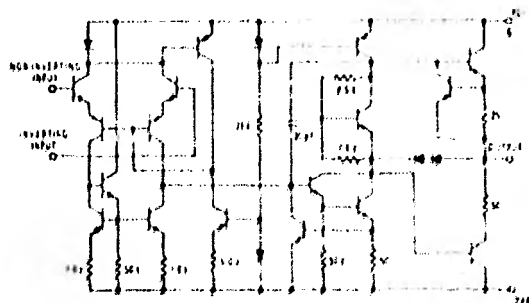


U BUFFER  
CERAMIC PACKAGE  
CASE 633  
TO-116

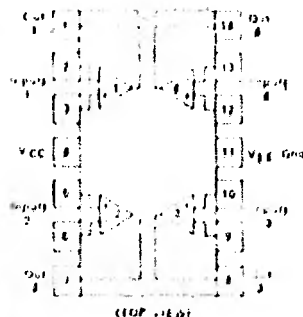


P BUFFER  
PLASTIC PACKAGE  
CASE 646

#### EQUIVALENT CIRCUIT SCHEMATIC 1/4 of Circuit Shown:



#### PIN CONNECTIONS





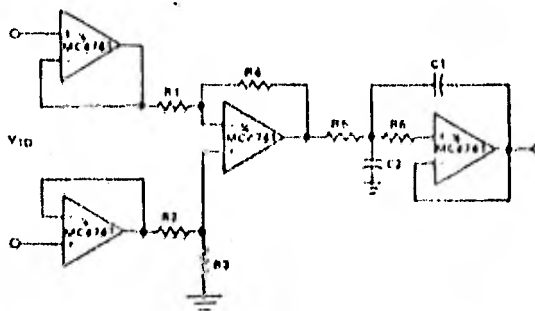
# MC4741, MC4741C

## MAXIMUM RATINGS (TA = +25°C unless otherwise noted)

Rating	Symbol	MC4741	MC4741C	Unit
Power Supply Voltage	V <sub>CC</sub>	+22	+18	Vdc
	V <sub>EE</sub>	-22	-18	Vdc
Input Differential Voltage	V <sub>ID</sub>	+44	+36	Volt
Input Common Mode Voltage	V <sub>ICM</sub>	+22	+18	Volt
Output Short Circuit Duration	t <sub>sc</sub>	Continuous		
Operating Ambient Temperature Range	T <sub>A</sub>	-55 to +125	0 to +70	°C
Storage Temperature Range	T <sub>stg</sub>	Ceramic Package		°C
		-65 to +150		
		Plastic Package		-55 to +125
Junction Temperature	T <sub>J</sub>	Ceramic Package		°C
		175		
		Plastic Package		150

## TYPICAL APPLICATION

### HIGH IMPEDANCE INSTRUMENTATION BUFFER/FILTER





## CD4046BM/CD4046BC Micropower Phase-Locked Loop

CD4046BM/CD4046BC

### general description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear voltage controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp I Out) and maintains 90° phase shifts at the VCO center frequency. When the signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge controlled digital memory network. It provides a digital error signal (phase comp II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintain a 0° phase shift between signal input and comparator input.

The linear voltage controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO<sub>IN</sub> input and the capacitors and resistors connected to pins C1A, C1B, R1 and R2.

The source follower output of the VCO<sub>IN</sub> (demodulator Out) is used with an external resistor of 10 kΩ or more. The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation if necessary.

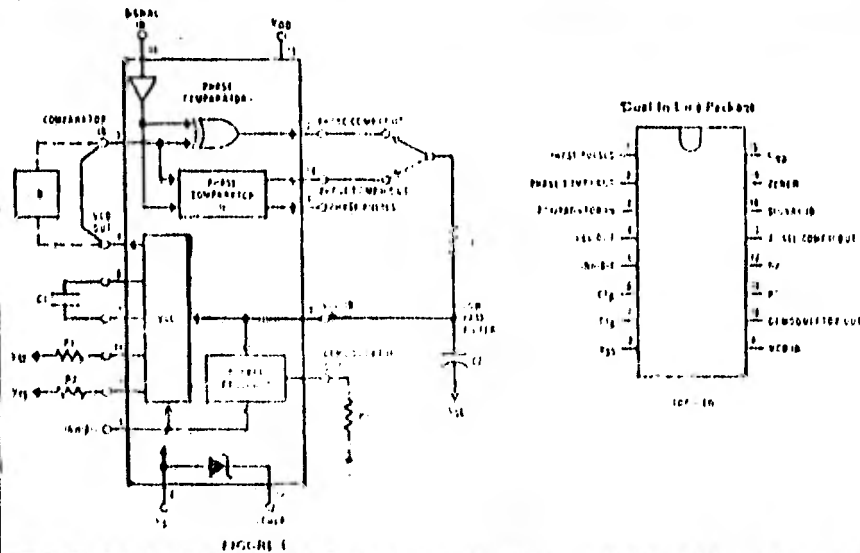
### features

- Wide supply voltage range—3V to 18V
- Low dynamic power consumption—70 μW (typ) at  $f_0 = 10 \text{ kHz}$ ,  $V_{DD} = 5\text{V}$
- VCO frequency—1.3 MHz (typ) at  $V_{DD} = 10\text{V}$
- Low frequency drift with temperature—0.003%/°C at  $V_{DD} = 10\text{V}$
- High VCO linearity—1% (typ)

### applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage to frequency conversion
- Tone detector
- FSK modulators
- Motor speed control

### block and connection diagrams



PAGE 01 1

### design information

This information is a guide for approximating the value of external components for the CD4C468 in a phase-locked loop system. The selected external components must be within the following ranges:  $R1, R2 \geq 10 \text{ K}\Omega$ ,  $R6 \geq 10 \text{ K}\Omega$ ,  $C1 \geq 10 \text{ pf}$ .

In addition to the given design information, refer to Figure 5 for  $R1, R2$  and  $C1$  component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will drift to center frequency $f_0$		VCO in PLL system will drift to lowest operating frequency $f_{min}$	
Frequency Lock Range, $2f_L$	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	$2f_C = \frac{1}{R1} \sqrt{\frac{2Q+1}{C1}}$		$2f_C = f_0$	
Loop Filter Component Selection	<p>For <math>2f_C</math> see Ref</p>			
Phase Angle Retriever Signal and Correlator	Go to center frequency $f_0$ at zero locking and 180° at ends of lock range $2f_L$		Always 0° in lock	
Locks on Harmonic of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	<ul style="list-style-type: none"> <li>Given <math>f_0</math></li> <li>Use <math>f_0</math> with <math>F</math> from Eq. 1 to determine <math>R1</math> and <math>C1</math>.</li> </ul>	<ul style="list-style-type: none"> <li>Given <math>f_0</math> and <math>f_L</math></li> <li>Calculate <math>f_{min}</math> from the equation <math>f_{min} = f_0 - f_L</math></li> <li>Use <math>f_{min}</math> with <math>F</math> from Eq. 2 to determine <math>R2</math> and <math>C1</math></li> <li>Calculate <math>f_{max}</math> from the equation <math>f_{max} = f_0 + f_L</math></li> <li>Use <math>f_{max}</math> with <math>F</math> from Eq. 3 to determine value of <math>R1</math> and <math>C1</math>.</li> </ul>	<ul style="list-style-type: none"> <li>Given <math>f_0</math> and <math>f_L</math></li> <li>Calculate <math>f_{min}</math> from the equation <math>f_{min} = f_0 - f_L</math></li> <li>Use <math>f_{min}</math> with <math>F</math> from Eq. 2 to determine <math>R2</math> and <math>C1</math></li> <li>Use <math>f_{max}</math> with <math>F</math> from Eq. 3 to determine value of <math>R1</math> and <math>C1</math>.</li> </ul>	<ul style="list-style-type: none"> <li>Given <math>f_0</math> and <math>f_L</math></li> <li>Use <math>f_{min}</math> with <math>F</math> from Eq. 1 to determine <math>R2</math> and <math>C1</math></li> <li>Calculate <math>f_{max}</math> from the equation <math>f_{max} = f_0 + f_L</math></li> <li>Use <math>f_{max}</math> with <math>F</math> from Eq. 2 to determine value of <math>R1</math> and <math>C1</math>.</li> </ul>
<p>REF: G.S. MOSFET, <i>Transistors: Technology and Design</i>, 2nd Edition, McGraw-Hill, 1977, p. 110.          Floyd Thomas, <i>Electronic Technology</i>, 24th Edition, Prentice-Hall, 1976.</p>				



## CD4066EM/CD4066BC Quad Bilateral Switch

### general description

The CD4066EM/CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin for pin compatible with CD4016EM/CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input signal range.

- Extremely low "OFF" switch leakage: 0.1 nA typ  
@  $V_{DD} - V_{SS} = 10V$ ,  
 $T_A = 25^\circ C$
- Extremely high control input impedance:  $>10^{12} \Omega$  typ
- Low crosstalk between switches: -50 dB typ  
@  $f_{sig} = 0.9 MHz$ ,  $R_L = 1 k\Omega$
- Frequency response, switch "ON": 40 MHz typ

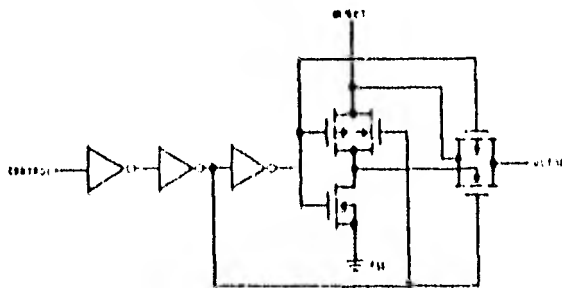
### features

- Wide supply voltage range: 3V to 15V
- High noise immunity: 0.45  $V_{DD}$  typ
- Wide range of digital and analog switching: 17.5  $V_{PEAK}$
- "ON" resistance for 15V operation: 80  $\Omega$  typ
- Matched "ON" resistance over 15V signal input:  $\Delta R_{ON} = 5\Omega$  typ
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" output voltage ratio: 65 dB typ  
@  $f_{sig} = 10 kHz$ ,  $R_L = 10 k\Omega$
- High degree of linearity:  $\pm 0.1\%$  distortion typ  
@  $f_{sig} = 1 kHz$ ,  $V_{sig} = 5 V_{p-p}$ ,  
 $V_{DD} - V_{CS} = 10V$ ,  $R_L = 10 k\Omega$

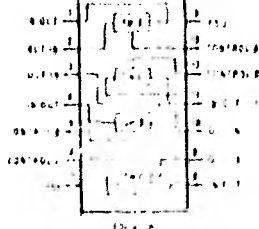
### applications

- Analog signal switching/multiplexing
  - Signal gating
  - Switch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog to digital/digital to analog conversion
- Digital control of frequency, impedance, phase, and analog signal gain

### schematic and connection diagrams



Quad In-Line Package





## CD4018BM/CD4018BC Presettable Divide-by-N Counter

### general description

The CD4018B consists of 5 Johnson counter stages. A buffered  $\bar{Q}$  output from each stage, "CLOCK", "RESET", "DATA", "PRESET ENABLE", and 5 individual "JAM" inputs are provided. The counter is advanced one count at the positive clock signal transition. A high "RESET" signal clears the counters to an "ALL ZERO" condition. A high "PRESET ENABLE" signal allows information on the "JAM" inputs to preset the counter. Anti-lock gating is provided to assure the proper counting sequence.

### features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45 VDD typ

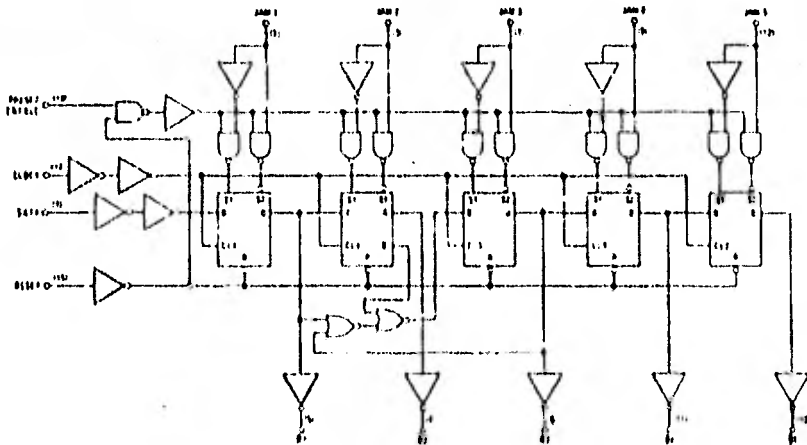
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS

- Fully static operation

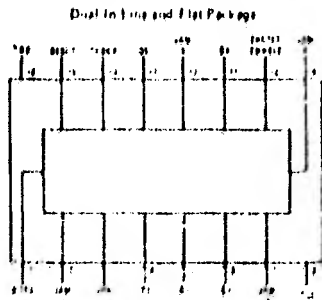
### applications

- Fixed and programmable divide-by-10, 9, 8, 7, 6, 5, 4, 3, 2, counter
- Fixed and programmable counters greater than 10
- Programmable decade counters
- Divide by "N" counters; frequency synthesizers

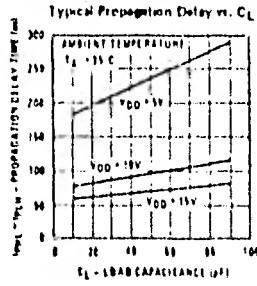
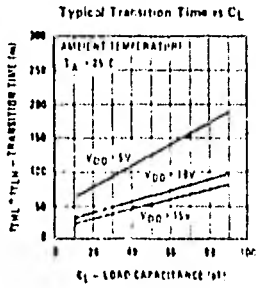
### logic diagram



### connection diagram



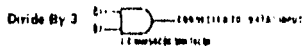
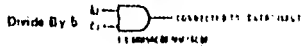
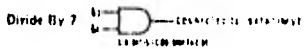
typical performance characteristics



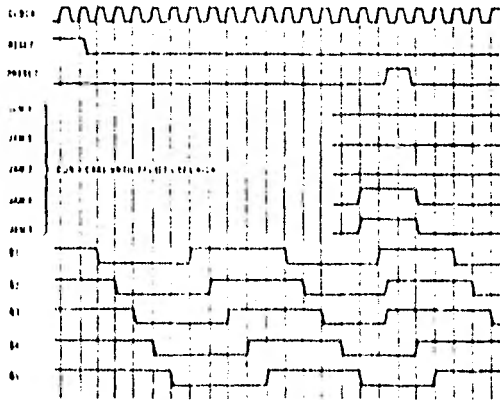
external connections

External Connections for Divide by 10, 9, 8, 7, 6, 5, 4, 3, 2, Operation

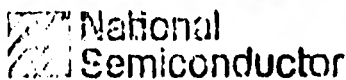
Divide By 10 }  $\overline{Q5}$   
Divide By 8 }  $\overline{Q4}$   
Divide By 6 }  $\overline{Q3}$  } Connected Back  
Divide By 4 }  $\overline{Q2}$  } To "DATA" Input  
Divide By 2 }  $\overline{Q1}$



timing diagram



Note: "Data" input tied to  $\overline{Q1}$  for decade counter configuration.



## CD40174BM/CD40174BC Hex D Flip-Flop CD40175BM/CD40175BC Quad D Flip-Flop

### general description

The CD40174B consists of six positive-edge triggered D-type flip-flops; the true output from each flip-flop are externally available. The CD40175B consists of four positive edge triggered D-type flip-flops; both the true and complement outputs from each flip-flop are externally available.

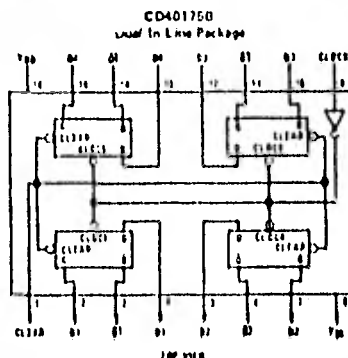
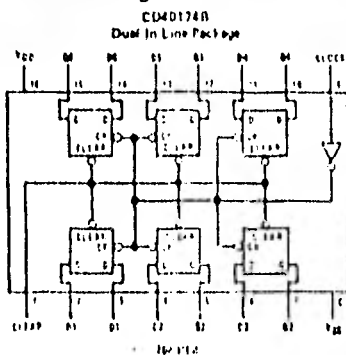
All flip-flops are controlled by a common clock and a common clear. Information at the D inputs meeting the set-up time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. The clearing operation, enabled by a negative pulse at Clear input, clears all Q outputs to logical "0" and Q's (CD40175B only) to logical "1".

All inputs are protected from static discharge by diode clamps to VDD and VSS.

### features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45 VDD typ
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- Equivalent to MC14174B, MC14175B
- Equivalent to MM74C174, MM74C175

### connection diagrams

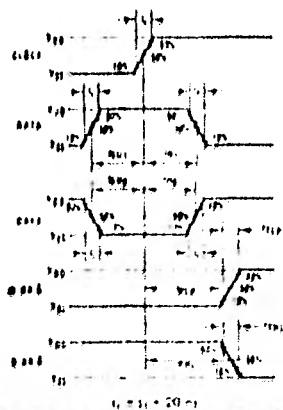


### truth table

INPUTS		OUTPUTS	
CLEAR	CLOCK	Q	Q'
L	X	X	X
H	X	H	L
H	L	L	H
H	H	X	X
H	L	L	H

H = High level  
L = Low level  
X = Indifferent  
↑ = Transition from low to high  
NC = No change  
\* = Q for CD40175B only

### switching time waveforms





**National  
Semiconductor**

**MM54C00/MM74C00 Quad 2-Input NAND Gate**  
**MM54C02/MM74C02 Quad 2-Input NOR Gate**  
**MM54C04/MM74C04 Hex Inverter**  
**MM54C10/MM74C10 Triple 3-Input NAND Gate**  
**MM54C20/MM74C20 Dual 4-Input NAND Gate**

**general description**

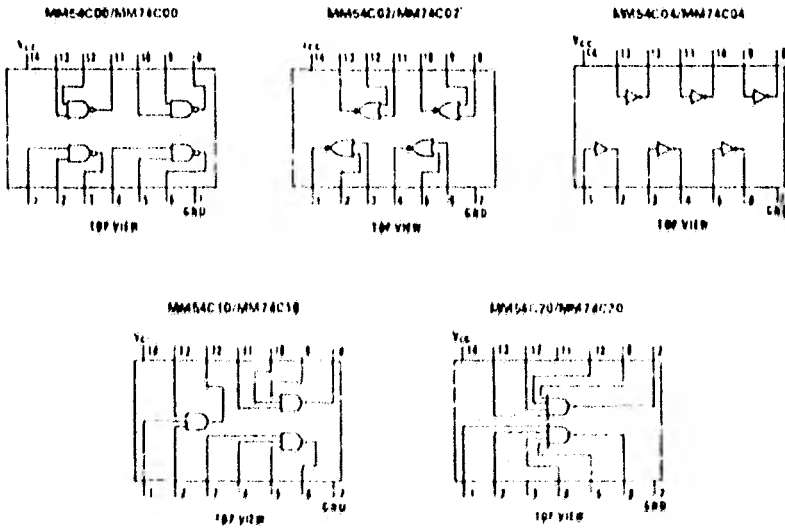
These logic gates employ complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity and symmetric controlled rise and fall times. With features such as this the 54C/74C logic family is close to ideal for use in digital systems. Function and pin-out compatibility with series 54/74 devices minimizes design time for those designers already familiar with the standard 54/74 logic family.

All inputs are protected from damage due to static discharge by diode clamps to V<sub>CC</sub> and GND.

**features**

- Wide supply voltage range 10V to 15V
- Guaranteed noise margin 1.0V
- High noise immunity 0.45 V<sub>CC</sub> typ.
- Low power consumption 10 nW/package typ.
- Low power fan out of 2 TTL compatibility, driving 74L

**connection diagrams**



MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04, MM54C10/MM74C10, MM54C20/MM74C20





**CD4071BM/CD4071BC Quad 2-Input OR Buffered B Series Gate**  
**CD4081BM/CD4081BC Quad 2-Input AND Buffered B Series Gate**

**general description**

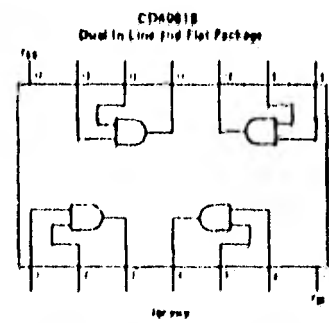
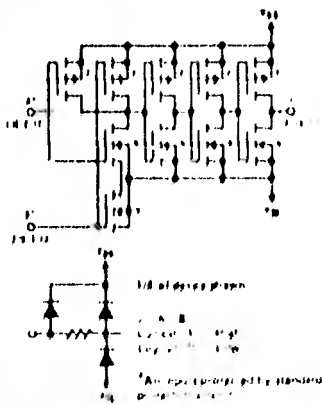
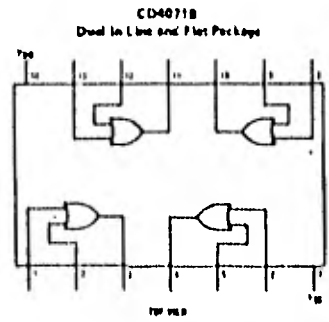
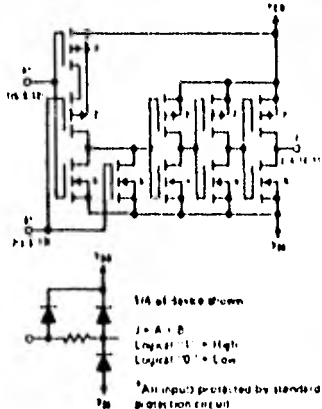
These quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to VDD and VSS.

**features**

- Low power TTL compatibility, fan out of 2 driving 74L or 1 driving 74LS
- 5V-10V-15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1µA at 15V over full temperature range

**schematic and connection diagrams**





## CD4069M/CD4069C Inverter Circuits

### general description

The CD4069B consists of six inverter circuits and is manufactured using complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity and symmetric controlled rise and fall times.

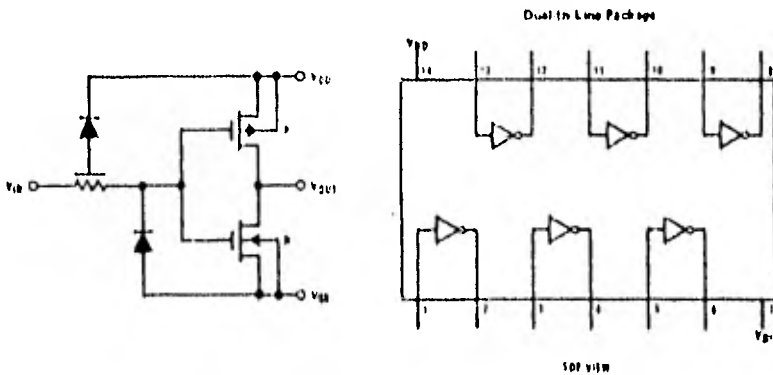
This device is intended for all general purpose inverter applications where the special characteristics of the MM74C001, MM74C003, MM74C007 and CD4010A Hex Inverter/Buffer are not required. In those applications requiring larger noise immunity the MM74C14 or MM74C914 Hex Schmitt Trigger is suggested.

All inputs are protected from damage due to static discharge by diode clamps to  $V_{DD}$  and  $V_{SS}$ .

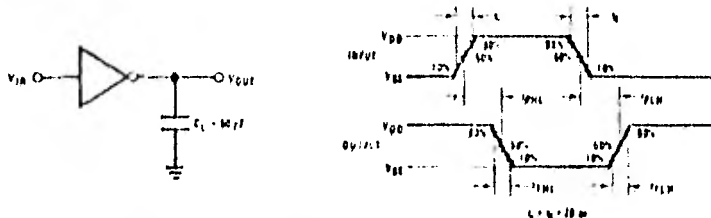
### features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45  $V_{DD}$  typ
- Low power fan out of 2
- TTL compatibility driving 74L
- Equivalent to MM54C04/MM74C04 or 1 driving 74LS

### schematic and connection diagrams



### ac test circuit and switching time waveforms



## TECHNICAL DATA

AN EXCLUSIVE RADIO SHACK SERVICE TO THE EXPERIMENTER

### SAD-1024 DUAL ANALOG DELAY LINE

#### DESCRIPTION:

The SAD-1024 is a general purpose dual 512-stage Bucket Brigade Device (BBD) fabricated using 11-channel silicon-gate technology to obtain flexible performance at low cost. Each 512 stage section is independent as to input, output, and clock. The sections may be used independently, may be multiplexed to give an increased effective sample rate, may be connected in series to give increased delay, or may be operated in a differential mode for reduced even-harmonic distortion and reduced clocking noise. Each section has its output split into two channels so that in normal operation output is provided over each full clock period. The SAD 1024 is packaged in a standard 16-lead dual-in-line package. Only  $V_{DD}$  and GND are common to the two separate delay sections.

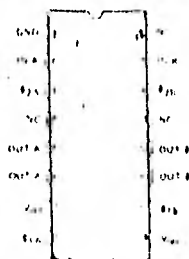


Figure 1. Pin Configuration, SAD-1024. Note: Unused outputs should be connected to  $V_{DD}$ ; all other unused pins should be connected to GND (pin 1), including those marked N.C.

#### KEY FEATURES:

- Two independent 512-stage delay sections
- Clock-controlled delay: 0.5 sec to less than 200 psec
- 11-channel silicon-gate bucket brigade technology
- Designed for self-cancellation of clock harmonics
- Wide signal-frequency range: 0 to more than 5 MHz
- Wide sampling clock frequency range: 1.5 kHz to more than 1.5 MHz
- Wide dynamic range:  $S/N > 70dB$
- Low distortion: less than 1%
- Low noise: typically limited by output amplifier
- Simple 15 volt power supply

#### TYPICAL APPLICATIONS:

- Voice control of tape recorders
- Variable signal control of amplitude or of equalization filters
- Reversal-time effects in stereo equipment
- Tremolo, vibrato, or chorus effects in electronic musical instruments
- Variable or fixed delay of analog signals
- Time compression of telephone conversations or other analog signals
- Voice retransmission

#### DEVICE CHARACTERISTICS AND OPERATING PARAMETERS

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Clock Voltage <sup>1</sup>	$V_{Cl}$	10	15	17	Volt
Drain Supply Voltage	$V_{DD}$	10	15	17	Volt
Bus Voltage <sup>2</sup>	$V_{BS}$	$V_{DD} - 1$		$V_{DD}$	Volt
Sampling Freq	$f_{Cl}$	0.0015		1.5	MHz
Clock Rise Time	$t_{Clr}$		30		nsec
Clock Fall Time	$t_{Clf}$		10		nsec
Clock Line Capacitance	$C_{Cl}$		110		pf
Signal Freq. Bandwidth (3db point)			200		MHz
Gain <sup>2</sup>			1.2		
Input Capacitance	$C_{in}$		1		pf
Input Output Resistance <sup>3</sup>	$R_{in}$			200	ohms
Maximum Input Power			10		mW
Maximum Input Signal Frequency		1	2		MHz (typ)
Average Output Current			10		mA
Average Output Current (Maximum Input Depth)			10		mA

#### Notes

- 1 All values measured with respect to GND (pin 1).
- 2 The value of gain depends on the output filter and resistance. See Figure 4.
- 3 The value of gain is about constant over most of the range of input frequencies.
- 4 The input bus voltage must comply with the maximum bus voltage specification. The value shown is nominal for 15 volt supply.
- 5 The value of gain is constant over the full range of input frequencies. The value shown is nominal for 15 volt supply.
- 6 The value of gain is constant over the full range of input frequencies. The value shown is nominal for 15 volt supply.

ABSOLUTE MAXIMUM RATINGS

data is transferred to the register in direct response to an external clock. In reality, the data is loaded in advance at fixed intervals, much as in any digital system. The input analog signal is connected to the gate of the 512 MOS transistor while the clock frequency is high and is transmitted to the next section when the clock goes low. The amplitude of the input signal remains constant in between sections. The clock amplitude of the input is part of the "bus" and can be filtered out.

### DRIVE AND VOLTAGE REQUIREMENTS

Voltage levels and limits are given in the specifications table on page 1. The clock inputs are two phase square waves. For maximum reliability,  $V_{pk} - V_{off}$  (however, for optimum performance,  $V_{pk}$  should be one volt less than  $V_{DD}$ ). All unclocked outputs should be connected to  $V_{DD}$ . All unused terminals including the unclocked  $I/O$  should be connected to ground. The bandwidth of the input driver is limited to less than one half of the clock frequency.

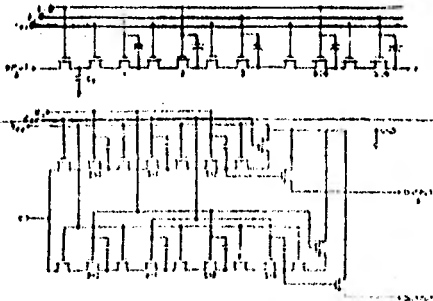


Figure 2. Equivalent Circuit Diagram for One Section SA10-1024

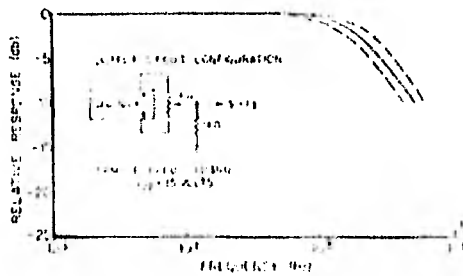


Figure 3. Frequency Response showing Typical Variation Dev. to Device.

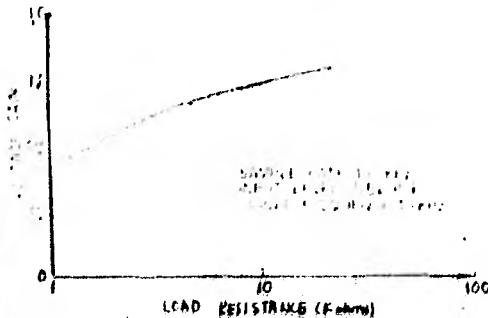


Figure 4. Dependence of Gain on Load Resistance.

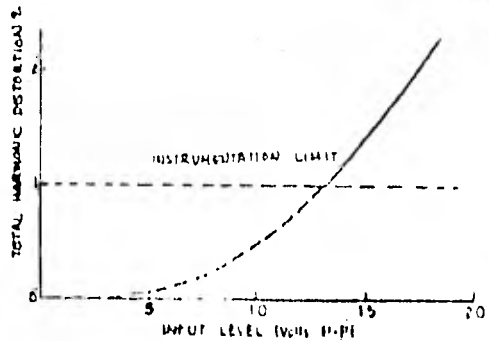


Figure 5. SA1024 Distortion vs. Input Level.

### CLOCKING

Schematics for two types of variable-frequency clock generation are shown in Figure 6. Both are easy to build and provide a wide range of clock frequencies.

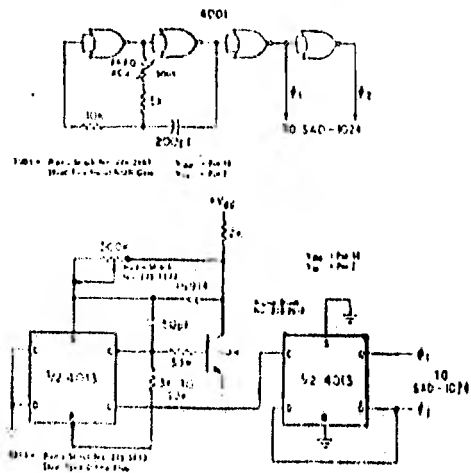


Figure 6. Two Examples of a Simple Variable Frequency Clock Generator.

### CIRCUIT CONFIGURATIONS

The SA1024 consists of two 512 element delay sections which, except for a common 9 words  $\times 2$  buffer output, are electrically independent. The sections may be used in the following configurations:

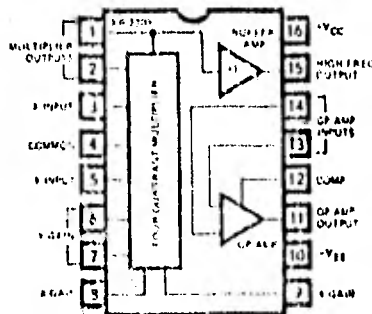
1. Single section
2. Serial
3. Parallel multiplex
4. Buffer only
5. Multiplex only

# Multipliers

## XR-2208 OPERATIONAL MULTIPLIER

The XR-2208 operational multiplier combines a four-quadrant analog multiplier (or modulator), a high-frequency buffer amplifier and an operational amplifier in a monolithic circuit that is ideally suited for both analog computation and communications signal processing application. The multiplier/buffer amplifier combination extends the small signal 3 dB bandwidth to 8 MHz and the transconductance bandwidth to 100 MHz.

### FUNCTIONAL BLOCK DIAGRAM



### FEATURES

#### Maximum Versatility

Independent Multiplier, Op Amp and Buffer

Excellent Linearity (0.3%, typical)

#### Wide Bandwidth

3 dB Bandwidth - 8 MHz typical

3° Phase Shift Bandwidth - 1.2 MHz typical

Transconductance Bandwidth - 100 MHz typical

#### Simplified Offset Adjustments

Wide Supply Voltage Range (4.5V to 16V)

### APPLICATIONS

#### Analog Computation

Multiplication

Division

#### Signal Processing

AM Generation

Frequency Doubling

Frequency Translation

Synchronous AM Detection

Triangle-to-Sinewave Converter

AGC Amplifier

Phase Detector

Motor Speed Control

Phase Locked AM Demodulation

### ORDER INFORMATION

Part Number	Package	Operating Temperature
XR-2208M	Ceramic	-55°C to +125°C
XR-2208N	Ceramic	0°C to +75°C
XR-2208P	Plastic	0°C to +75°C
XR-2208CN	Ceramic	0°C to +75°C
XR-2208CP	Plastic	0°C to +75°C



National  
Semiconductor

## CD4093BM/CD4093BC Quad 2-Input NAND Schmitt Trigger

### general description

The CD4093B consists of four Schmitt trigger circuits. Each circuit functions as a 2-input NAND gate with Schmitt-trigger action on both inputs. The gate switches at different points for positive and negative going signals. The difference between the positive ( $V_{T+}$ ) and the negative voltage ( $V_{T-}$ ) is defined as hysteresis voltage ( $V_H$ ).

All outputs have equal source and sink currents and conform to standard B series output drive (see Static Electrical Characteristics).

### features

- Wide supply voltage range 3V to 15V
- Schmitt trigger on each input with no external components
- Noise immunity greater than 50%
- Equal source and sink currents

- No limit on input rise and fall time
- Standard B series output drive
- Hysteresis voltage (any input)  $T_A = 25^\circ\text{C}$

Typical	$V_{DD} = 5V$	$V_H = 1.5V$
	$V_{DD} = 10V$	$V_H = 2.2V$
	$V_{DD} = 15V$	$V_H = 2.7V$

Guaranteed

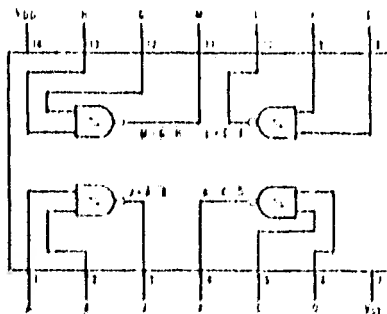
$V_H = 0.1 V_{DD}$

### applications

- Wave and pulse shapers
- High noise environment systems
- Monostable multivibrators
- Astable multivibrators
- NAND logic

### connection diagram

Dual In-Line Package





## CD4030M/CD4030C Quad EXCLUSIVE-OR Gate

### general description

These EXCLUSIVE OR gates are monolithic Complementary MOS (CMOS) integrated circuits constructed with N and P channel enhancement mode transistors. All inputs are protected against static discharge with diodes to  $V_{DD}$  and  $V_{SS}$ .

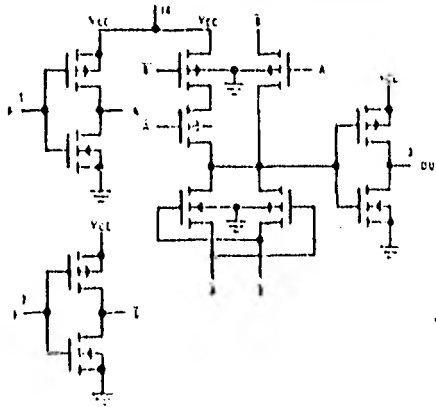
### features

- Wide supply voltage range 3.0V to 15V
- Low power 100 nW (typ)
- Medium speed operation  $t_{PHL} = t_{PLH} = 40$  ns (typ) at  $C_L = 15$  pF, 10V supply
- High noise immunity  $0.45 V_{CC}$  (typ)

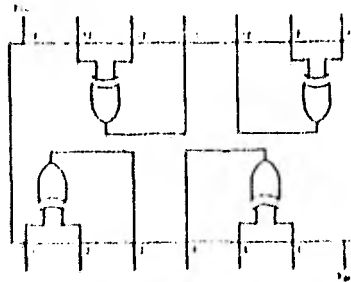
### applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Industrial control
- Remote metering
- Computers

### schematic diagram



### connection diagram



CD4030M/CD4030C

**ac electrical characteristics CD4030M**

at  $T_A = 25^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$ , and  $C_L = 15\text{ pF}$ . Typical temperature coefficient for all values of  $V_{DD} = 0.3\%/^\circ\text{C}$ .

PARAMETER	CONDITIONS	LIMITS			UNITS
		MIN	TYP	MAX	
Propagation Delay Time ( $t_{PHL}$ )	$V_{DD} = 5.0\text{V}$		100	200	ns
	$V_{DD} = 10\text{V}$		40	100	ns
Propagation Delay Time ( $t_{PLH}$ )	$V_{DD} = 5.0\text{V}$		100	200	ns
	$V_{DD} = 10\text{V}$		40	100	ns
Transition Time High to Low Level ( $t_{THL}$ )	$V_{DD} = 5.0\text{V}$		70	150	ns
	$V_{DD} = 10\text{V}$		25	75	ns
Transition Time Low to High Level ( $t_{TLH}$ )	$V_{DD} = 5.0\text{V}$		80	150	ns
	$V_{DD} = 10\text{V}$		30	75	ns
Input Capacitance ( $C_i$ )	$V_i = 0\text{V}$ or $V_i = V_{DD}$		5.0		pF

**ac electrical characteristics CD4030C**

PARAMETER	CONDITIONS	LIMITS			UNITS
		MIN	TYP	MAX	
Propagation Delay Time ( $t_{PHL}$ )	$V_{DD} = 5.0\text{V}$		100	300	ns
	$V_{DD} = 10\text{V}$		40	150	ns
Propagation Delay Time ( $t_{PLH}$ )	$V_{DD} = 5.0\text{V}$		100	300	ns
	$V_{DD} = 10\text{V}$		40	150	ns
Transition Time High to Low Level ( $t_{THL}$ )	$V_{DD} = 5.0\text{V}$		70	300	ns
	$V_{DD} = 10\text{V}$		25	150	ns
Transition Time Low to High Level ( $t_{TLH}$ )	$V_{DD} = 5.0\text{V}$		80	300	ns
	$V_{DD} = 10\text{V}$		30	150	ns
Input Capacitance ( $C_i$ )	$V_i = 0\text{V}$ or $V_i = V_{DD}$		5.0		pF

**truth table (For One of Four Identical Gates)**

A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

Where 1 = High Level  
0 = Low Level



MM54C73/MM74C73, MM54C76/MM74C76, MM54C107/MM74C107



## MM54C73/MM74C73 Dual J-K Flip-Flops with Clear

## MM54C76/MM74C76 Dual J-K Flip-Flops with Clear and Preset

## MM54C107/MM74C107 Dual J-K Flip-Flops with Clear

### general description

These dual J-K flip-flops are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement transistors. Each flip-flop has independent J, K, clock, and clear inputs and Q and  $\bar{Q}$  outputs. The MM54C76/MM74C76 flip-flops also include preset inputs and are available in 16-pin packages. These flip-flops are edge sensitive to the clock input and change state on the negative going transition of the clock pulses. Clear or preset is independent of the clock and is accomplished by a low level on the respective input.

### features

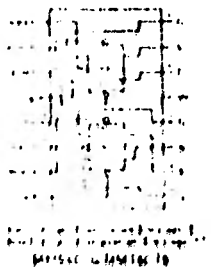
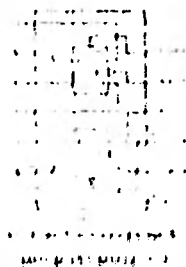
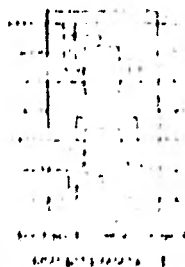
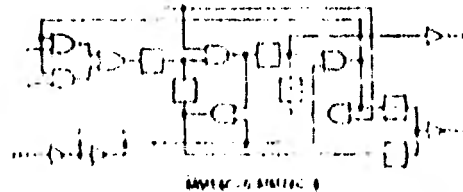
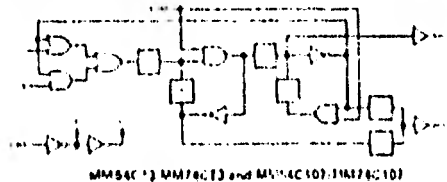
- Supply voltage range 3V to 15V
- Tench power TTL compatible drive 2 LPTTL loads

- High noise immunity 0.45  $V_{CC}$  (typ)
- Low power 50 nW (typ)
- Medium speed operation 10 MHz (typ) with 10V supply

### applications

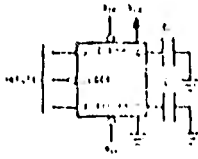
- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering
- Computers

### logic and connection diagrams



MM54C73/MM74C73 . MM54C76/MM74C76 . MM54C107/MM74C107

ac test circuit



truth table

$I_0$	$I_1$	$I_2$	$I_3$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

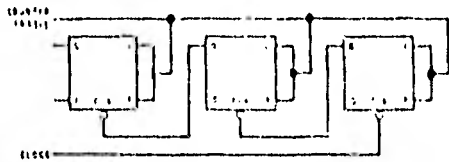
Preset	Clear	$Q_0$	$Q_1$
0	0	0	0
0	1	1	0
1	0	0	1
1	1	0	0

Logic state before clock pulse  
Logic state after clock pulse

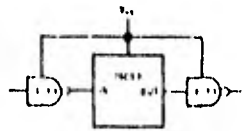
\* This output is valid from  
preset/clear state

typical applications

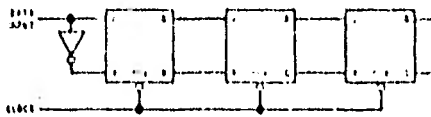
Ripple Binary Counter



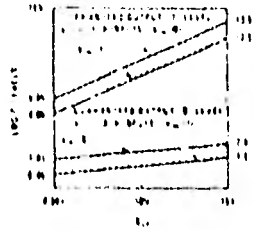
74C Compatibility



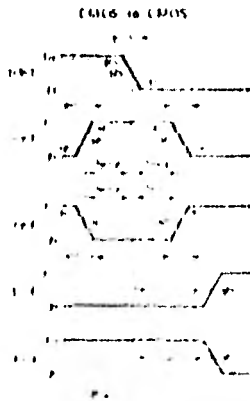
Shift Register

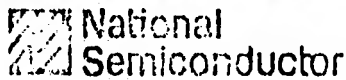


Guaranteed Noise Margin as a Function of VCC



switching time waveforms





MM54C221/MM74C221

## MM54C221/MM74C221 Dual Monostable Multivibrator

### general description

The MM54C221/MM74C221 dual monostable multivibrator is monolithic complementary MOS integrated circuit. Each multivibrator features a negative transition triggered input and a positive transition triggered input either of which can be used as an inhibit input, and a clear input.

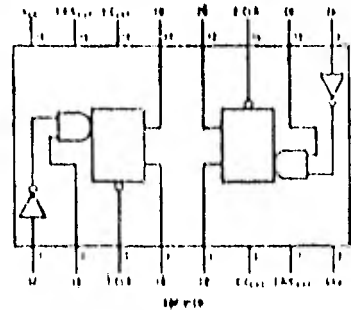
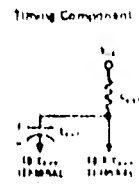
of external timing components. The pulse width is approximately defined by the relationship  $t_{width} \approx C_{EXT} R_{EXT}$ . For further information and applications, see AM-12B.

### features

Once fired, the output pulses are independent of further transitions of the A and B inputs and are a function of the external timing components  $C_{EXT}$  and  $R_{EXT}$ . The pulse width is stable over a wide range of temperature and  $V_{CC}$ . Pulse stability will be limited by the accuracy

- Wide supply voltage range 4.5V to 15V
- Guaranteed noise margin 1.0V
- High noise immunity 0.45  $V_{CC}$  typ
- Low power fan out of 7
- TTL compatibility driving 74L

### connection diagrams



### truth table

CLEAR	INPUTS		OUTPUTS	
	A	B	Q	Q-bar
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0
0	0	0	0	1

Timing diagram showing the relationship between the input pulse and the output pulse. The output pulse width is determined by the timing components  $R_{EXT}$  and  $C_{EXT}$ .