

10  
2aj



# ESCUELA NACIONAL DE ESTUDIOS PROFESIONALES

Escuela Nacional de Estudios Profesionales  
"A R A G O N"

DISEÑO DE UN MULTIPLEXOR TDM  
PARA CANALES DE DATOS  
A FIBRA OPTICA.

**T E S I S**  
QUE PARA OBTENER EL TITULO DE  
INGENIERO MECANICO ELECTRICISTA  
P R E S E N T A :  
DAMIAN JUARFZ LOPEZ

México, D. F.,

1986



Universidad Nacional  
Autónoma de México

UNAM



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.



UNIVERSIDAD NACIONAL  
AVENIDA DE  
MEXICO

ESCUELA NACIONAL DE ESTUDIOS PROFESIONALES  
ARAGON  
DIRECCION

DAMIAN JUAREZ LOPEZ  
P R E S E N T E .

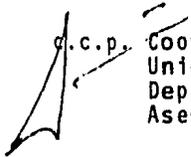
En contestación a su solicitud de fecha 30 de junio del año en curso, relativa a la autorización que se le debe conceder para que la profesora, Ing. LIZBETH MARIA DE JESUS ORTEGA LARA pueda dirigirle el trabajo de Tesis denominado " DISEÑO DE UN MULTIPLEXOR TDM PARA CANALES DE DATOS A FIBRA OPTICA ", con fundamento en el punto 6 y siguientes, del Reglamento para Exámenes Profesionales en esta Escuela, y toda vez que la documentación presentada por usted reúne los requisitos que establece el precitado Reglamento; me permito comunicarle que ha sido aprobada su solicitud.

Aprovecho la ocasión para reiterarle mi atenta consideración.

ATENTAMENTE  
"POR MI RAZA HABLARA EL ESPIRITU"  
San Juan de Aragón, Edo. de Méx., julio 4 de 1986  
EL DIRECTOR



LIC. SERGIO GUERRERO VERDEJO



c.c.p. Coordinación de Ingeniería (26)  
Unidad Académica  
Departamento de Servicios Escolares  
Asesor de Tesis

SGV/AMCP/bro.

## INDICE.

INDICE.....	i
INTRODUCCION.....	1
CAPITULO I TRANSMISION DIGITAL.....	5
1.1. INTRODUCCION.....	5
1.2. SISTEMAS DE COMUNICACION .....	7
1.2.1 RELACION SENAL A RUIDO.....	8
1.2.2 SISTEMAS DE COMUNICACION DIGITAL.....	9
1.3. CONVERSION A/D PARA TRANSMISION DE SEÑALES ANALOGICAS.....	10
1.3.1. TEOREMA DEL MUESTREO.....	10
1.3.2. DIGITALIZACION.....	16
1.4. TRANSMISION DE DATOS.....	23
1.4.1. REDES DE DATOS.....	23
1.4.1.1. REDES PRIVADAS.....	23
1.4.1.2. REDES PUBLICAS.....	24
1.4.2. COMUNICACION PUNTO A PUNTO.....	25
1.4.2.1. HALF DUPLEX Y FULL DUPLEX.....	25
1.4.2.2. TRANSMISION DE DATOS PARALELO Y SERIE.....	26
1.4.2.2.1. TRANSMISION DE DATOS EN PARALELO.....	26
1.4.2.2.2. TRANSMISION DE DATOS EN SERIE.....	27
A) TRANSMISION ASINCRONA.....	28
B) TRANSMISION SINCRONA.....	30
1.4.2.3. ECO LOCAL Y ECO REMOTO.....	32
1.4.2.4. CONTROL DE FLUJO.....	33
1.4.2.5. VELOCIDAD DE DATOS.....	33
1.4.2.6. CODIGO.....	34
1.4.2.7. PARIDAD.....	34
 CAPITULO II MULTIPLEXORES.....	 35
2.1. INTRODUCCION.....	35
2.2. MULTIPLEX.....	37
2.3. ¿PORQUE MULTIPLEXAMOS?.....	37
2.4. TIPOS DE MULTIPLEXORES.....	39
2.4.1. MULTIPLEXORES POR DIVISION DE FRECUENCIA.....	39
2.4.2. MULTIPLEXORES POR DIVISION DE TIEMPO.....	42
2.4.2.1. TDM PARA SEÑALES ANALOGICAS.....	42
2.4.2.2. TDM PARA SEÑALES DIGITALES.....	45
2.5. CONSIDERACIONES PARA MULTIPLEXAR EN SISTEMAS DIGITALES.....	50
2.6. COSTO DE UN SISTEMA MULTIPLEXOR.....	52
2.7. CAPACIDAD DEL MULTIPLEXOR.....	54
2.8. SINCRONIZACION DE LA TRAMA Y DE LA ENTRADA DE DATOS.....	54
2.9. MULTIPLEXORES A FIBRA OPTICA.....	56

CAPITULO III INTRODUCCION A LA FIBRA OPTICA.....	58
3.1. INTRODUCCION.....	58
3.2. ANTECEDENTES HISTORICOS.....	59
3.3. CLASIFICACION.....	61
3.4. CARACTERISTICAS.....	63
3.5. OPERACION DE LA FIBRA OPTICA.....	64
3.6. OPTICA GEOMETRICA.....	65
3.6.1. LEY DE LA REFLEXION.....	65
3.6.2. CASOS DE LA REFLEXION Y LA REFRACCION.....	66
3.6.3. COEFICIENTE DE REFLEXION (r).....	68
3.6.4. COEFICIENTE DE TRANSMISION (t).....	68
3.7. EXPLICACION DE LA FIBRA POR OPTICA GEOMETRICA.....	73
3.7.1. FIBRA DE INDICE ESCALONADO.....	73
3.7.1.1. RAYOS MERIDIONALES.....	74
3.7.1.2. RAYOS OBLICUOS.....	77
3.7.2. FIBRA DE INDICE GRADUAL.....	80
3.8. DISPERSION.....	83
3.8.1. DISPERSION INTERMODAL.....	83
3.8.2. DISPERSION DEL MATERIAL.....	83
3.8.3. DISPERSION GUIA DE ONDA.....	83
3.9. ATENUACION.....	84
3.9.1. ABSORCION DEL MATERIAL.....	84
3.9.2. DISTORSION GEOMETRICA.....	84
3.9.3. PERDIDA POR RADIACION.....	84
3.10. FOTOEMISORES.....	85
3.10.1. DIODOS EMISORES DE LUZ.....	86
3.10.2. DIODO LASER.....	86
3.11. TRANSMISORES OPTICOS.....	87
3.12. FOTODETECTORES.....	90
3.12.1. FOTODIODO PIN.....	91
3.12.2. FOTODIODO DE AVALANCHA.....	92
3.13. RECEPTORES OPTICOS.....	92
3.14. SISTEMAS DIGITALES A FIBRA.....	98

CAPITULO IV DISEÑO DEL MULTIPLEXOR TDM PARA CANALES DE DATOS A FIBRA OPTICA.....	100
4.1. INTRODUCCION.....	100
4.2. CONCEPCION DE UN SISTEMA MULTIPLEXOR DE SEÑALES ANALOGICAS Y DIGITALES PARA TRANSMISION POR FIBRA OPTICA.....	102
4.2.1 DESCRIPCION GENERAL.....	102
4.2.2 DESCRIPCION A BLOQUES.....	104
4.3. DESARROLLO DE UN PROTOTIPO DE 8 CANALES BIRECCIONALES DE DATOS ASINCRONOS INDEPENDIENTES CON VELOCIDADES DE HASTA 19.2. Kbps.....	114
4.3.1. ESPECIFICACIONES.....	114
4.3.2. DESCRIPCION DEL CIRCUITO.....	117
4.3.3. CONSIDERACIONES DE DISEÑO.....	123
4.3.3.1. CIRCUITO PARA LA BASE DE TIEMPO.....	123
4.3.3.2. SERIALIZADOR.....	126
4.3.3.3. SUBSISTEMA RECEPTOR.....	134
4.3.3.4. TRANSMISOR ELECTRO-OPTICO.....	143

4.3.3.5. RECEPTOR ELECTRO-OPTICO.....	146
4.3.3.6. CIRCUITOS INDICADORES.....	154
4.3.3.7. FUENTE DE ALIMENTACION.....	156
4.3.4. DIAGRAMAS ELECTRICOS.....	159
4.3.5. ENVOLVENTE MECANICA.....	166
4.3.6. LISTA DE COMPONENTES POR EQUIPO TERMINAL.....	172
4.3.7. EVALUACION DE LAS CARACTERISTICAS DE OPERACION.	175
4.3.7.1. PROCEDIMIENTO DE PRUEBA.....	175
4.3.7.2. SINCRONIZACION, DISTORSION DEL ANCHO DEL PULSO Y PROBABILIDAD DE ERROR.....	180
4.3.8. CONEXIONES PARA LA APLICACION DEL MULTIPLEXOR..	188
4.4. CONSIDERACIONES PARA QUE EL PROTOTIPO DEASRROLLA- DO MANEJE SEÑALES ANALOGICAS Y DATOS.....	192
4.4.1. CONVERTOR A/D PARA EL MULTIPLEXOR.....	192
4.4.2. CONVERTOR D/A PARA EL MULTIPLEXOR.....	194
BIBLIOGRAFIA.....	196
CONCLUSIONES.....	198
APENDICE A DESARROLLO DE $d(t)$ EN SERIES DE FOURIER.....	202
APENDICE B INTERFASE RS-232 .....	207
APENDICE C CARACTERISTICAS DE LOS CIRCUITOS INTEGRADOS..	210
APENDICE D DIAGRAMA DEL SERIALIZADOR Y SUBSISTEMA RECEPTOR PARA 16 CANALES.....	221

## INTRODUCCION.

La tecnología de la comunicación por fibra óptica en México se encuentra actualmente en una etapa de introducción al mercado, y sus aplicaciones se orientan principalmente a telefonía, teleinformática y al control industrial de procesos.

Por otro lado, el crecimiento explosivo que está tomando la transmisión de datos y el procesamiento distribuido de los mismos, ha traído consigo una gran demanda de dispositivos y/o sistemas que facilitan la interconexión de canales de comunicación analógica y digital. A raíz de esto surgen multitud de equipos, como el multiplexor TDM (Multicanalización por División de Tiempo), cuyo desarrollo se llevará a cabo en los capítulos siguientes y que utilizando un enlace por fibra óptica, aprovecha la gran capacidad de manejo de información de este medio de comunicación, dándole una mayor versatilidad en su aplicación.

El objetivo de este trabajo consiste en el desarrollo de dos parejas de prototipos a nivel industrial del multiplexor TDM que permita la expansión del número de puertos digitales y analógicos para la adquisición de datos, control y monitoreo de dispositivos, y transmisión de voz.

La importancia del multiplexor radica principalmente en el ahorro que se tiene en sus diversas aplicaciones, y con eso la posibilidad de que se pague por si mismo en menos de tres o cuatro meses. Los ahorros son realizados primeramente desde la reducción de líneas de transmisión requeridas para enviar un número dado de canales. Hasta el ahorro que se consigue con la reducción de equipo periférico de la red de comunicación.

El alcance del presente proyecto abarca la realización del diseño y cuatro prototipos a nivel industrial de:

- Multiplexor TDM con capacidad para manejar simultaneamente 8 canales digitales bidireccionales. A velocidades de hasta 19.2 Kbps distribuidos en 4 salidas RS-232/V.24\*, en donde cada conector provee un canal primario y otro secundario.

- Dispositivo accesorio que permita manejar señales analógicas a través del multiplexor, siendo de la siguiente forma: módulo con conexiones RS-232 hacia el multiplexor y canales bidireccionales de ancho de banda de 0-3000 Hz\*\*.

---

\*RS 232.- Norma que indica la forma en que se intercambian los datos entre computadoras, terminales de computadoras, modems, etc..  
Ver apéndice B.

En el presente también se darán unas breves definiciones de determinadas palabras o puntos que se utilizan en este trabajo. Como es el caso de multiplexor, muestreo, señal digital, velocidad de transmisión, etc.

El trabajo está estructurado de la siguiente forma: en el capítulo I se analiza lo referente a la transmisión digital. Es decir, se tratan los puntos más importantes que se utilizan de alguna forma en la elaboración del multiplexor. Como es el Teorema del Muestreo, base para la conversión de los canales analógicos a digitales. También se analiza la transmisión de datos (asíncronos y síncronos), para tener una visión de que clase de datos puede manejar el multiplexor.

En el capítulo II tratamos los conceptos básicos para los multiplexores, como son: sus ventajas, clasificación y aspectos fundamentales de éstos.

En el capítulo III se dan algunos aspectos de la fibra óptica, los cuales se utilizaron en el desarrollo del transmisor y receptor electro-óptico del Multiplexor.

---

\*\*El dispositivo accesorio sólo queda propuesto, dejando el diagrama de los conversores tanto D/A como A/D, especificado en el capítulo IV.

Finalmente en el capítulo IV se da lo referente al diseño del Multiplexor TDM para canales de datos a fibra óptica. Donde, primero se da la descripción de un multiplexor de señales analógicas y digitales, para un número de N canales, explicandolo a bloques. Después, se describe el procedimiento para la construcción del equipo multiplexor de 8 canales bidireccionales de datos asincronos con velocidades de hasta 19.2 Kbps. Aquí, se da como primer punto, las especificaciones de este equipo, como son: eléctricas, ópticas, mecánicas, etc., siguiendo después con el diseño y fabricación. Esta etapa consiste en el diseño de los diferentes bloques que conforman el equipo, así como su envolvente mecánica. Para terminar el capítulo IV, se describen las características de operación del multiplexor, las formas de conexión con equipos terminales de datos y los circuitos para la conversión tanto A/D como D/A.

Las limitaciones del equipo serán las dadas por la respuesta a la frecuencia de los circuitos así como la velocidad de las señales de entrada, ya que sólo se manejará hasta determinada velocidad de transmisión. Otro tipo de limitación es la debida al tamaño del equipo y peso de éste, así como el rango de temperatura en el que puede trabajar.

# CAPITULO I

## TRANSMISION DIGITAL

### 1.1. INTRODUCCION

Los sistemas de comunicación han tenido grandes avances desde que en 1838 Morse descubre el telégrafo. Hoy en día, grandes cantidades de información son transmitidas en estos sistemas de comunicación de dos formas básicamente, como son la analógica y la digital.

En el presente capítulo se da una breve descripción de los sistemas de comunicación, los factores que influyen en estos y sus conceptos básicos.

En la actualidad, la mayoría de los sistemas son digitales, por lo cual se enfatiza en este tipo de sistemas, y se dan las bases para llevar a cabo la conversión de señales analógicas a señales digitales, obteniéndose ventajas de los sistemas digitales; una de estas bases fundamentales es el teorema del muestreo, que también se describe en este capítulo; todo esto enmarcado en la primera parte de éste. En la segunda parte se analiza lo que es el estudio de la transmisión de datos, con una breve

clasificación y sus características.

## 1.2. SISTEMAS DE COMUNICACION.

Los primeros sistemas de comunicación fueron básicamente analógicos; la señal de información era superpuesta de algún modo a una señal portadora y ésta se transmitía a lo largo de la línea de comunicación. En la actualidad, la mayoría de los sistemas de comunicación son digitales.

Un sistema de comunicación puede ser dividido en los componentes mostrados en la figura 1.1.

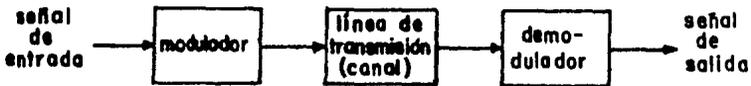


Figura 1.1. Sistema de comunicación.

El sistema debe cumplir con la característica que la señal de entrada tiene que ser igual a la señal de salida. En la práctica esto no es realizable; ya que cada componente del sistema agrega ruido a la información y consecuentemente distorsión. Una señal puede ser distorsionada por muchos factores y no simplemente por ruido aditivo, uno de estos factores puede ser: el ancho de banda limitado de un canal que causa la atenuación de ciertos componentes de frecuencia de la señal.

### 1.2.1 RELACION SEÑAL A RUIDO.

Ya que siempre existe una cantidad de ruido mezclado con la señal deseada, introduciremos un término para determinar la cantidad de ruido, éste es denominado **Relación Señal a Ruido (RSN)**.

La RSN es definida como la relación entre la potencia de la señal y la potencia del ruido.

$$RNS = 10 \log \left( \frac{P_s}{P_r} \right) = 20 \log \left( \frac{V_s}{V_r} \right)$$

donde:  $P_s$  y  $P_r$  Potencia de señal y ruido respectivamente.

$V_s$  y  $V_r$  tensión de señal y ruido respectivamente.

Se desea que la relación señal a ruido en la detección de una señal, sea muy grande, teóricamente igual al nivel de la señal cuando no existe ruido. La RSN aceptable varía de 10 db a 50 db, dependiendo del tipo de aplicación.

La mayor parte del ruido que penetra a un sistema de comunicación es debido al medio de transmisión; su efecto se puede controlar de varias formas, por ejemplo, empleando repetidores en el sistema de comunicación.

### 1.2.2. SISTEMAS DE COMUNICACION DIGITAL

En sistemas de comunicación digital, desde el punto de vista de la RSN, se posee una respuesta mejor, ya que simplemente cada repetidora deberá decidir si la señal de entrada fue "0" ó "1", y entonces transmitir el pulso correcto. Los sistemas de comunicación digital poseen ventajas sobre los sistemas de comunicación analógicos, y por supuesto algunas desventajas. Los sistemas digitales pueden ser utilizados para transmitir señales analógicas (que se convierten a señales digitales) y para transferencia de datos digitales, por ejemplo entre computadoras.

En un sistema digital uno de los parámetros más importantes es la cantidad de bits que pueden ser transmitidos en un segundo; Esto se mide en kilobits o Megabits por segundo (Kb/s o Mb/s).

Otro parámetro importante es la cantidad de errores por segundo, en otras palabras, cuántas veces se recibe un "1" incorrectamente en lugar de un "0" y viceversa.

Otras consideraciones importantes en los sistemas digitales, en comparación con los sistemas analógicos, son: su complejidad electrónica, su costo y su eficiencia.

### 1.3. CONVERSION A/D PARA TRANSMISION DE SEÑALES ANALOGICAS.

#### 1.3.1. TEOREMA DEL MUESTREO.

Una señal continua es a menudo muestreada para obtener una señal discreta. Para obtener muestras de una señal continua, es necesario multiplicarla por una función de muestreo, que consiste en un tren de pulsos idénticos [2]

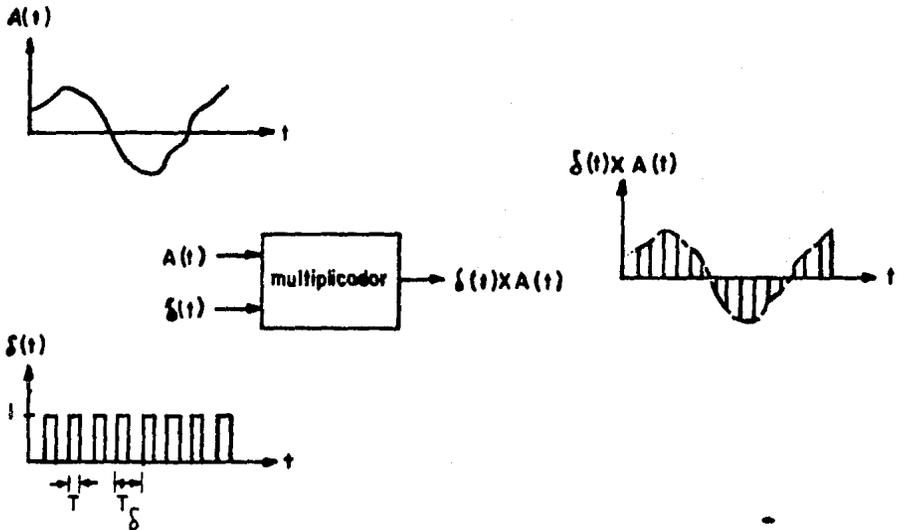


figura 1.2. Muestreo por medio del producto entre la señal  $A(t)$  y una función de muestreo  $\delta(t)$ .

Las muestras representan la señal original sólo si la misma señal puede ser recuperada a partir de ellas.

Demostración.- si la señal a muestrear es una señal senoidal de frecuencia  $f_m$  y amplitud  $A_m$  la señal muestreada será:

$$\delta(t) \cdot A(t) = \delta(t) \cdot A_m \cos \omega_m t \quad \dots(1.1)$$

donde:

$\delta(t)$  - Función de muestreo.

$A(t)$  - Señal senoidal.

$$\delta(t) \cdot A(t) = (C_0 + \sum_{n=1}^{\infty} C_n \cos \omega_n t) A_m \cos \omega_m t \quad \dots(1.2)$$

Donde  $\omega_n = \frac{2\pi n}{T} = n\omega_\delta \quad \dots(1.3)$

$$\begin{aligned} \delta(t) \cdot A(t) = & A_m C_0 \cos \omega_m t + A_m C_1 \cos \omega_\delta t \cos \omega_m t + \\ & + A_m C_2 \cos 2\omega_\delta t \cos \omega_m t + \dots + \dots(1.4) \end{aligned}$$

como  $\cos \alpha \cos \beta = 1/2 [\cos (\alpha-\beta) + \cos (\alpha+\beta)] \quad \dots(1.5)$



$$f_m < f_c < f_s - f_m$$

Si la señal muestreada no es una onda senoidal simple, sino que tiene un espectro de banda limitada, con frecuencia máxima  $f_m$ , el espectro de la onda muestreada es el mostrado en la figura 1.4.

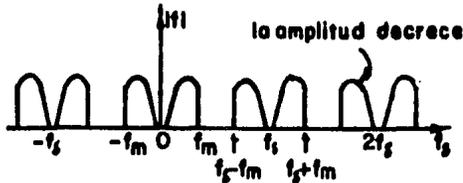


Figura 1.4. Espectro de una señal no senoidal.

"Podemos concluir que el efecto del muestreo de  $f(t)$  es entonces el de desplazar su espectro hasta cada una de las armónicas de la frecuencia de muestreo".

Entonces para poder extraer la señal original a partir de la onda muestreada, la primer banda lateral (o máxima frecuencia  $f_m$ ) no debe superponerse a la segunda banda lateral (o mínima frecuencia  $f_s - f_m$ ), de lo contrario, el filtro paso bajas no será capaz de eliminar por completo toda la segunda banda lateral. Esto significa que la frecuencia mínima de la segunda banda lateral debe ser mayor que la máxima frecuencia de la primer banda lateral, es decir, debe ser:

$$f_m < f_s - f_m$$

donde

$$f_s > 2f_m$$

Por lo tanto la frecuencia de muestreo  $f_s$  debe ser por lo menos **EL DOBLE DE LA MAXIMA FRECUENCIA DE LA SENAL** para permitir la reconstrucción de la señal por filtrado. Este principio importante es el denominado **TEOREMA DEL MUESTREO\***. La frecuencia mínima de muestreo es llamada velocidad de Nyquist.

Si muestreamos una señal a una velocidad de muestreo menor que la velocidad de Nyquist, obtenemos lo que se muestra en la figura siguiente, (Figura 1.5).

---

**\*TEOREMA DEL MUESTREO.**- Cualquier  $2B$  muestras independientes por segundo caracterizarán por completo una señal de banda limitada  $B$ . Dicho de otra forma, cualquier  $2BT'$  trozos (independientes) de información son suficientes para especificar completamente una señal durante un intervalo de  $T'$  segundos de duración.

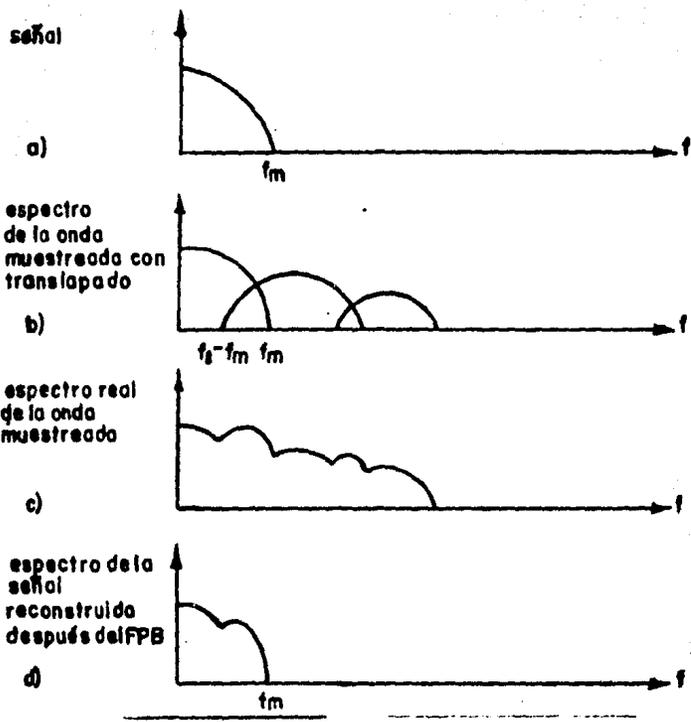


Figura 1.5. Espectro de una señal muestreada a baja velocidad.

Como se observa la señal se ha traslapado obteniéndose una distorsión de ésta, como podemos apreciar en d), esta distorsión se denomina "aliasing".

En la práctica no hay filtros paso bajas ideales, por lo que la velocidad de muestreo debe ser mayor que la velocidad de Nyquist.

### 1.3.2. DIGITALIZACION.

En muchos sistemas de comunicación, las señales analógicas muestreadas se digitalizan antes de ser enviadas y éstas a su vez también son codificadas. Los sistemas que involucran digitalización y codificación se denominan Sistemas por Codificación de Pulsos (PCM Modulación por Pulsos Codificados).

Las ventajas en la utilización de sistemas de este tipo son:

1.- Las señales pueden regenerarse o rearreglarse periódicamente durante la transmisión.

2.- Toda clase de circuitos digitales pueden emplearse durante la totalidad del proceso.

3.- Las señales pueden ser procesadas digitalmente según convenga.

4.- El ruido y la interferencia pueden ser apropiadamente minimizados mediante códigos\*, etc.

El proceso de digitalización de las señales

---

\*Código.- a la combinación de bits que forman los datos, se les llama código, ver punto 1.4.2.6.

originalmente analógicas se conoce como proceso de cuantización, el cual consiste en la subdivisión de las amplitudes de las señales en un predeterminado número de niveles discretos de amplitud. Las señales que resultan se denominan cuantizadas. Si las muestras cuantizadas de las señales son transmitidas directamente como pulsos de altura variable, el sistema resultante sería simplemente PAM (Modulación por Amplitud de Pulsos) cuantizada. Con niveles discretos, cada nivel puede codificarse de alguna forma binaria antes de ser transmitido obteniéndose una mayor flexibilidad durante la transmisión, esta codificación es común que sea un grupo o paquete equivalente de pulsos binarios de igual amplitud y puede ser usual emplear la codificación decimal a binario (código binario) que es altamente susceptible a error por el número de dígitos que cambian, o el código Gray donde un solo dígito cambia cuando el código decimal correspondiente cambie de un nivel al siguiente como vemos en la tabla 1.1.

CODIGO BINARIO Y GRAY

DIGITO	CODIGO BINARIO b1b2b3b4	CODIGO GRAY g1g2g3g4
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 1
3	0 0 1 1	0 0 1 0
4	0 1 0 0	0 1 1 0
5	0 1 0 1	0 1 1 1
6	0 1 1 0	0 1 0 1
7	0 1 1 1	0 1 0 0
8	1 0 0 0	1 1 0 0
9	1 0 0 1	1 1 0 1
10	1 0 1 0	1 1 1 1
11	1 0 1 1	1 1 1 0
12	1 1 0 0	1 0 1 0
13	1 1 0 1	1 0 1 1
14	1 1 1 0	1 0 0 1
15	1 1 1 1	1 0 0 0

Tabla 1.1.

$g_1 = b_1$   
 $g_k = b_k \oplus b_{k-1}$  para  $k=2$  o mayor  
 $b_1 = g_1$   
 $b_k = g_k \oplus b_{k-1}$  para  $k=2$  o mayor

Para cualquier caso, ya sea el código binario o código Gray, el número de dígitos binarios depende del número de niveles de cuantización que se tenga, entonces para un PCM de 8 niveles se requiere 3 dígitos binarios, para uno de 128 niveles 7 dígitos binarios. Al aumentar el número de dígitos binarios estos tienen menor periodo y por lo tanto el ancho de banda crece en proporción con el número de pulsos binarios necesarios, ver figura 1.6.

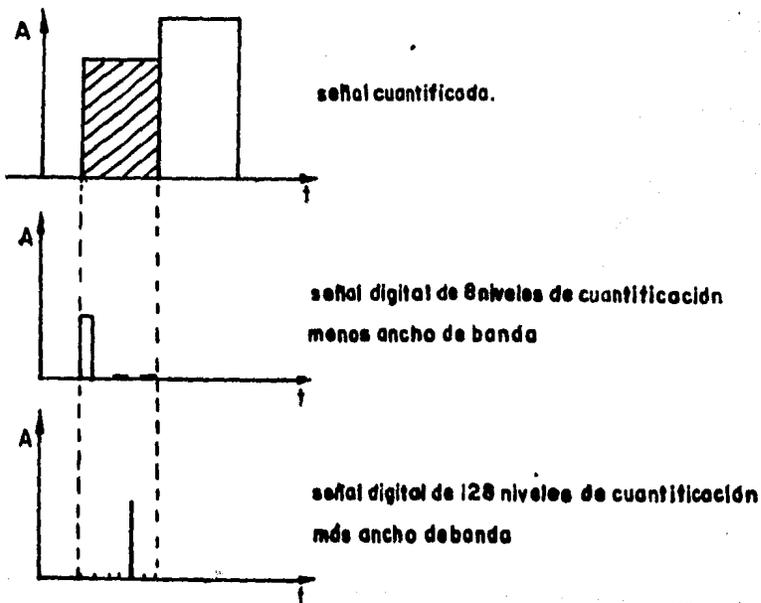


Figura 1.6. Codificación binaria de las muestras.

La figura 1.7. muestra el diagrama a bloques de un modulador completo PCM, mostrando esquemáticamente la salida de cada etapa. Donde, el muestreador toma muestras de la señal analógica, a una frecuencia dada. El cuantificador

hace que las muestras salgan con niveles discretos de diferentes magnitudes. El codificador binario pasa los niveles discretos de diferentes amplitudes a dígitos binarios, con un código ya sea binario, Gray u otro. El conversor paralelo/serie convierte los datos paralelo en un agregado serie. El generador de pulsos digitales hace que la salida sea con niveles adecuados para la lógica a manejar, es decir, "0" lógico para 0 Volts y "1" lógico para 5 Volts, si se usa lógica TTL (Lógica transistor transistor)

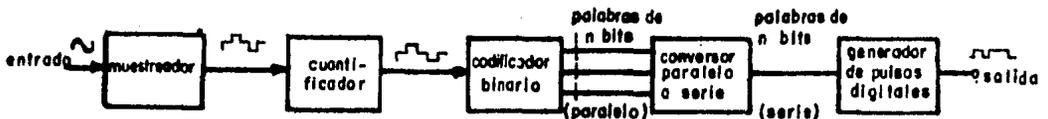


Figura 1.7. Modulador completo PCM.

Un modulador PCM práctico puede ser el siguiente; un conversor A/D (Análogo/Digital) de rampa digital compuesto por un generador de escalera, comparador y contador binario. La conversión se lleva a cabo como sigue: al principio de la conversión se lleva el contador binario a 000 y el generador de escalera tiene 0 Volts en su salida. Cada pulso de reloj avanza un bit el contador y aumenta la tensión de escalera en un escalón. Cuando la tensión de escalera sobrepasa la tensión de salida analógica, el comparador cambia de estado y detiene al contador. El número en el contador es la representación digital de la

Este efecto puede ser corregido por un espaciado alineal o achicamiento de los niveles de cuantificación, de modo que haya más niveles para bajas amplitudes de señal y menos niveles para amplitudes altas de señal. Esto tiene efecto de enfatizar más las bajas amplitudes sobre las más altas. Este proceso es denominado "compresión". En el demodulador la señal comprimida debe ser "decomprimida", y esto se lleva a cabo en un circuito expansor. El proceso combinado de compresión y expansión es denominado "compansión".

Otra técnica de codificación de pulsos que requiere una menor complejidad que el PCM es la Modulación Delta (DM) e involucra la transmisión de la diferencia entre cada muestra de la señal analógica y la muestra precedente en lugar de las muestras mismas.

tensión de entrada analógica.

El demodulador PCM es generalmente más simple que el modulador; en la figura 1.8. se muestra el diagrama a bloques de un demodulador PCM.

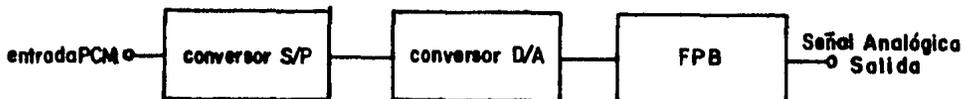


Figura 1.8. Demodulador PCM.

En la figura anterior, el convertor serie/paralelo convierte el agregado serie en un conjunto de datos en paralelo, los cuales pasan al convertor D/A (Digital/Analógico) que convierte las palabras digitales en un pulso analógico de acuerdo con el mismo código utilizado en el modulador. Los pulsos representan muestras de la señal analógica que al pasarlos por un filtro paso bajas se regenera dicha señal.

Existen 2 tipos de ruido en PCM, uno es debido al ruido de fondo común, producido por los componentes físicos, mientras que el otro es causado por el proceso real de modulación o sea provocado por el proceso de cuantificación, esto es crítico pues cuando la señal a cuantificar es menor que el primer nivel de cuantificación, dicha señal al ser cuantificada se perderá por completo

## 1.4. TRANSMISION DE DATOS.

### 1.4.1. REDES DE DATOS.

Las redes de datos son simplemente los medios utilizados para el intercambio de información entre el usuario y el sistema.

Básicamente las redes de datos se agrupan en dos configuraciones y son:

-REDES PRIVADAS

-REDES PUBLICAS

El uso de cualquiera de ellas depende de circunstancias o necesidades específicas.

#### 1.4.1.1. REDES PRIVADAS.

Son aquellas en que solamente existe una estructura administrativa que hace uso exclusivo de la red y de la cual se alimentan los abonados de la misma, los medios por los cuales se logra dicha comunicación, pueden ser como los siguientes.

- Líneas telefónicas privadas.
- Sistemas de radio enlace.
- Fibras ópticas etc.

#### 1.4.1.2. REDES PUBLICAS.

Son aquellas que ofrecen sus facilidades al público para servicios de comunicación de diversos tipos, y que se encuentra sujeta a la reglamentación de servicio público.

#### 1.4.2. COMUNICACION PUNTO A PUNTO.

El intercambio de información entre "Sistema" y "Usuario" se rige por los siguientes parámetros:

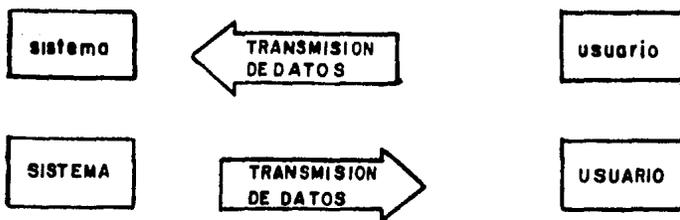
- 1.- Half-duplex y full-duplex.
- 2.- Paralelo y serie (asíncrono y síncrono).
- 3.- ECO local y ECO remoto.
- 4.- Control de flujo.
- 5.- Velocidad de datos.
- 6.- Código.
- 7.- Paridad.

##### 1.4.2.1. HALF DUPLEX y FULL DUPLEX.

Básicamente la transmisión de datos puede ser del usuario al sistema y después en sentido contrario; o en forma simultánea tanto el sistema como el usuario pueden transmitir datos al mismo tiempo.

Un Half-duplex es donde se transmite en dos direcciones pero solamente un sentido en un tiempo.

En Full-duplex es cuando se transmite en ambas direcciones simultáneamente como vemos en la figura 1.9.



a) Los datos son transmitidos en una dirección primero y después en sentido contrario.



b) Los datos son transmitidos en ambas direcciones al mismo tiempo.

Figura 1.9. Half-duplex y Full-duplex.

#### 1.4.2.2. TRANSMISION DE DATOS PARALELO Y SERIE.

En este punto veremos lo que es la transmisión en paralelo y serie; donde los datos pueden ser en forma asíncrona o síncrona.

##### 1.4.2.2.1 TRANSMISION DE DATOS EN PARALELO.

En este tipo de transmisión cada elemento de un código tiene su propio canal, de manera que el carácter total se transmite al mismo tiempo. Esto quiere decir, por ejemplo, que un código de 5 niveles tendrá una disposición de 5

canales para la transmisión en paralelo; en la figura 1.10. se aprecia lo anterior.

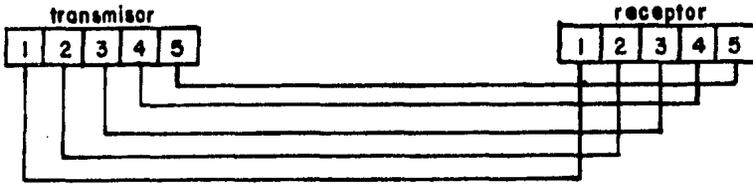


Figura 1.10. Transmisión de datos en paralelo.

1.4.2.2.2. TRANSMISION DE DATOS SERIE.

En esta transmisión cada elemento del código se envía por turno, en vez de enviar todos los elementos al mismo tiempo. Dicha técnica permite transmitir, por un solo canal, datos de muchos niveles codificados en forma binaria, en la figura 1.11. vemos lo anterior.

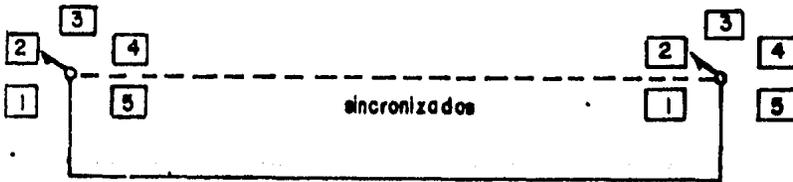


Figura 1.11. Transmisión de datos serie.

La transmisión de datos serie la clasificamos en dos tipos y éstos son:

-A) TRANSMISION ASINCRONA.

-B) TRANSMISION SINCRONA.

A) TRANSMISION ASINCRONA.

En este caso los caracteres se componen de 3 partes: bits de arranque, datos y bits de parada como observamos en la figura 1.12.

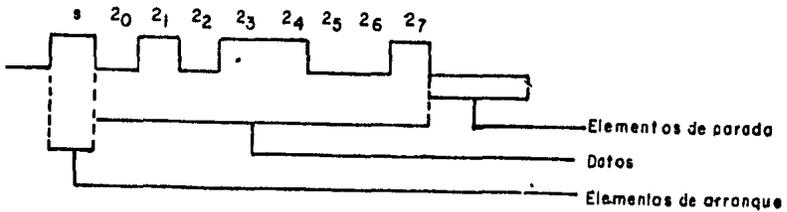


Figura 1.12. Formato de técnica asincrónica.

El bit de arranque es generalmente de nivel bajo y el principio de un carácter puede detectarse ajustándose a 2 reglas básicas.

i) Cuando no se está transmitiendo por la línea, ésta se mantiene en el estado "1"

ii) Después de que se ha transmitido el último bit de datos la línea vuelve al estado "1", por lo menos durante un bit de tiempo.

El aparato receptor tiene que saber cuantos bits hay en un carácter, a fin de determinar donde finaliza la corriente de caracteres, y cuando tiene que esperar el siguiente bit de arranque. Por lo general los caracteres tienen 8 bits, siendo el bit menos significativo el que se envía primero.

#### Ventajas:

a) Pueden generarse fácilmente.

b) Los caracteres pueden ser transmitidos en forma asincrónica, debido a que cada carácter tiene su propia información sincronizadora.

#### Desventajas.

a) Sensible distorsión debido a que el receptor depende de las secuencias de las señales de llegada para sincronizarse. Cualquier distorsión de esas secuencias afectará la confiabilidad con que se conjuntan los caracteres.

b) Ineficiencia, dado que se requiere, por lo menos, 10 bits de tiempo para transmitir 8 bits de datos. Si se utiliza una clave de dos unidades de parada, se precisan 11 bits de tiempo para la transmisión de 8 bits de datos.

## B) TRANSMISION SINCRONA.

En esta se envía por la línea una corriente de bits en serie, salvo que no se cuenta con los bits de arranque y de parada para sincronizar cada carácter.

A diferencia de lo que ocurre en la técnica asíncrona, tiene que proveerse una señal sincronizadora junto con la corriente de bits de datos. Esta señal puede ser generada por el transmisor o por una fuente, por separado, que utiliza el transmisor para transmitir las señales de tiempo. En cualquiera de los dos casos, los datos tienen que ser transmitidos y recibidos sincrónicamente con un reloj común, ver figura 1.13.

En esta técnica, todo el bloque de datos está sincronizado mediante una clave única, la cual, una vez que ha sido reconocida, hace que el receptor se conecte y se ajuste, y mediante el uso de un dispositivo contador, cuenta los bits de llegada y reúne el carácter. En esta técnica de transmisión, también el receptor tiene que saber el número de bits por carácter.

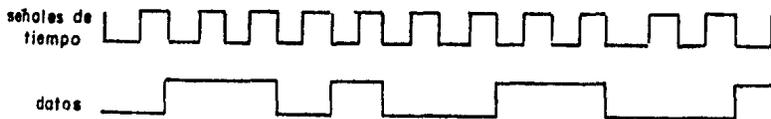


Figura 1.13. Técnica sincrónica.

#### Ventajas.

a) Puede usarse una fuente común de señales de tiempo, tanto para el transmisor como para el receptor.

b) El receptor no requiere un reloj sincronizador lógico como ocurre en el caso de la técnica asíncrona.

c) Altamente eficiente, dado que no se desperdician bits de tiempo como bits de arranque o de parada, todos los bits son bits de datos, con excepción del patrón de sincronización al principio de la corriente de bits.

d) Baja sensibilidad de la distorsión, debido a que la señal de tiempo se proporciona conjuntamente con los datos.

e) Velocidad más elevada, que se consigue debido a la baja sensibilidad de la distorsión.

#### Desventajas.

a) Un bit de tiempo que se agregue o se pierda, en la corriente de bits de datos, puede hacer que todo el mensaje esté equivocado.

b) El equipo de comunicaciones que se ajusta a este tipo de operación es más caro que el equipo que se requiere para los tipos asincronos.

La tabla 1.2. muestra las velocidades y aplicaciones típicas de estas dos técnicas.

TABLA 1.2.

VELOCIDAD	ASINCRONICAS	SINCRONICAS
BAJA 0 a 300 bauds*	Terminales electromecánicas, tales como impresores con teclado y teletipo.	La operación tiende a ser asincrónica con estas velocidades
MEDIA 300 a 5000 bauds	Terminales no amortiguadas tales como lectores de cinta de papel y ponchadoras, lectores de tarjetas e impresores de línea.	Terminales amortiguadas tales como exhibidores, y lectores de tarjetas, amortiguados, y configuraciones de impresores de línea
ALTA de 5000 bauds en adelante.	No se utiliza con frecuencia	comunicaciones entre computadoras

\*Baud.- Se refiere a la transmisión de datos digitales.

#### 1.4.2.3. ECO LOCAL y ECO REMOTO.

A la propiedad de desplegar los datos en la terminal del usuario se le llama ECO, lo cual puede ser en forma local en la terminal misma o en forma remota desde la CPU.

En el ECO local, la misma terminal despliega lo que el usuario teclea; en el ECO remoto, lo que el usuario teclea viaja primero al CPU y después cuando regresa hacia la terminal, es desplegada en la misma.

#### 1.4.2.4. CONTROL DE FLUJO.

Los datos que provienen de la CPU pueden ser enviados más rápido de lo que la terminal puede desplegarlos en su pantalla o imprimirlos en papel, cuando esto sucede, los datos en tránsito pueden llegar a perderse.

Para contener esta acción sin perder información, la terminal envía un comando que le indica al computador, que se requiere un tiempo para desahogar su memoria, a esta acción se le llama control de flujo.

Una vez que los datos han sido vaciados de la memoria de la terminal, ésta manda ahora un mensaje de conexión al computador, el cual envía sus datos nuevamente completando la acción "START - STOP" del control de flujo.

#### 1.4.2.5. VELOCIDAD DE DATOS.

La velocidad más comúnmente utilizada en los sistemas que manejan datos son:

BAJAS

300, 600, 1200.

MEDIAS

2400.

ALTAS

4800, 9600, 19200.

#### 1.4.2.6. CODIGO.

A la combinación de bits que forman los datos, se les llama código.

Entre los cuales podemos encontrar códigos binarios como el código BCD decimal codificado en binario, el código Gray, código de exceso de 3, etc.

También encontramos códigos alfanuméricos donde los bits pueden codificarse para representar letras del alfabeto, números y signos; como es el caso del código ASCII (American Standard Code for Information Interchange) y EBCDIC (Extended Binary-Coded-Decimal Interchange Code).

#### 1.4.2.7. PARIDAD.

Aunque los sistemas digitales son por lo general exactos, pueden surgir algunos errores. Estos deben ser detectados cuando ocurren durante la transmisión de los datos. Un método simple de detección de errores usa el bit de paridad. El bit de paridad es un bit extra que viaja junto con la palabra digital (un grupo de bits) y ayuda a detectar los posibles errores que pueden ocurrir durante la transmisión.

Entonces paridad es un método usado por los sistemas asíncronos para proteger la información, con esto los errores de interferencia se reducen.

## CAPITULO II.

### MULTIPLEXORES .

#### 2.1. INTRODUCCION.

Este capítulo es un pequeño resumen sobre el estudio de los multiplexores; donde se verá que son los multiplexores, ¿porqué multiplexamos?, sus características, su clasificación, así como otros puntos de interés.

El capítulo está estructurado de la siguiente manera: primero, se da lo referente al multiplexaje, la ventaja de multiplexar y la clasificación general de los multiplexores, como son los multiplexores TDM (Multiplexor por División de Tiempo) y FDM (Multiplexor por División de Frecuencia). A partir de este punto, el estudio se enfoca a lo que son los multiplexores TDM; a los cuales se ha dividido para señales analógicas y para señales digitales; así como para datos asíncronos y síncronos.

En los multiplexores para señales asíncronas se da una clasificación de éstos debido a su funcionamiento; dicha clasificación es la de multiplexores por intercalado de caracteres, intercalado de bits y muestreo de bits.

Para finalizar el capítulo se mencionan los multiplexores usados en fibra óptica.

## 2.2. MULTIPLEX.

Es un proceso que permite la transmisión de señales múltiples por un sólo canal de transmisión, de modo tal, que cada señal pueda ser recobrada en la terminal de recepción. Por consiguiente, las señales deben ser mezcladas y separadas una de otra de alguna manera. Esto puede hacerse transmitiendo las señales en diferentes bandas de frecuencia o transmitiéndolas a diferentes tiempos (FDM, TDM).

## 2.3. ¿PORQUE MULTIPLEXAMOS?

Los multiplexores fueron inventados para tener grandes ahorros en los sistemas de comunicación, de esta manera pueden pagarse ellos mismos en unos pocos meses; los ahorros son logrados debido a la reducción de las líneas de transmisión requeridas para transmitir un número dado de canales y la reducción de "hardware" periférico.

En la figura 2.1. se muestra como a través de un multiplexor se puede tener la reducción de las líneas de transmisión.

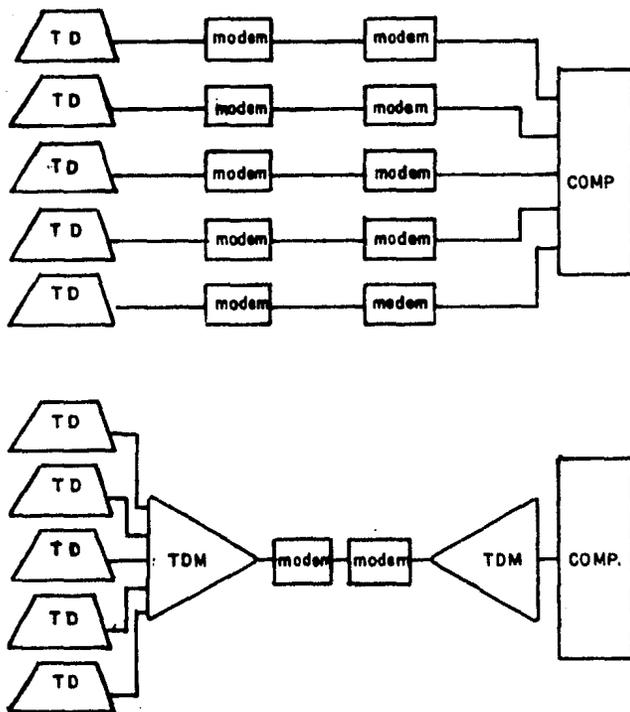


Figura 2.1. Reducción de las líneas de comunicación.

Además se tiene también para el caso anterior la reducción de modems\*, que trae como consecuencia un considerable ahorro.

---

\* Un MODEM es un circuito que traduce señales de línea telefónica a niveles de lógica digital, y niveles de lógica digital a señales de línea telefónica. La palabra MODEM está formada por las palabras MODULADOR y DEMODULADOR.

Para comprender el funcionamiento de un multiplexor podemos hacer una analogía de éste con un tren de carga, donde, cada vagón es una localidad de tiempo o de frecuencia del multiplexor. En la estación, la carga es colocada en su respectivo vagón y llevada a su destino, cuando llega el tren a éste, distribuye la carga conforme se le asignó sin revolver dicha carga.

#### 2.4. TIPOS DE MULTIPLEXORES.

En los sistemas de comunicación hay dos clases principales de multiplexores y éstos son:

- Multiplexores por División de Frecuencia.
- Multiplexores por División de Tiempo.

##### 2.4.1. MULTIPLEXAJE POR DIVISION DE FRECUENCIA.

Este método se muestra en la figura 2.2. donde varios mensajes en la entrada modulan en forma individual a las subportadoras  $fc_1$ ,  $fc_2$ ,  $fc_3$ , etc. después de que se pasan por filtros pasobajas para limitar el ancho de banda del mensaje. En la figura 2.2. se muestra un ejemplo donde la modulación es de BLU (banda lateral única), pero se puede hacer cualquier técnica para modular; luego se suman las señales moduladas para producir una señal con espectro  $X_b(f)$ , como se muestra en la figura 2.3.

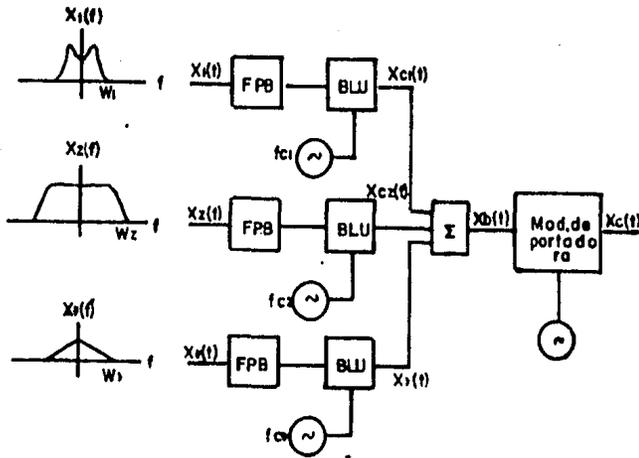


Figura 2.2. Transmisor del multiplexor por división de frecuencia.

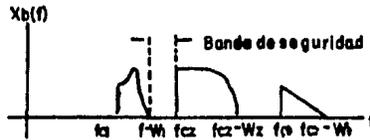


Figura 2.3. Espectro de banda base.

Si se escogen en forma apropiada las frecuencias subportadoras, la operación de multiplexación asigna una ranura en el dominio de la frecuencia para cada uno de los mensajes, de ahí el nombre de multiplexación por división de frecuencia. La señal resultante puede después modularse o transmitirse sin modular.

La recuperación del mensaje o la demodulación de FDM se hace en tres pasos. Primero el demodulador de portadora reproduce la señal  $X_b(t)$ . Luego se separan las subportadoras moduladas por medio de un banco de filtros pasobanda en paralelo, y enseguida se detectan cada uno de los mensajes, ver figura 2.4.

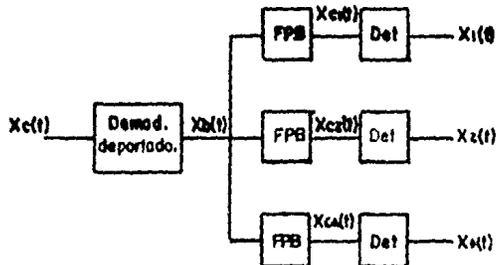


Figura 2.4. Receptor de multiplexor por división de frecuencia.

La tabla 2.1. muestra la jerarquía en FDM del sistema Bell, donde se multiplexan 3600 canales, con un ancho de banda de  $w = 4\text{Khz}$  para transmisión por cable coaxial, modulada en banda lateral única BLU y el espectro de banda base final es de 0.5 a 17.5 Mhz.

JERARQUÍA DEL MULTIPLEXAJE POR DIVISIÓN DE  
FRECUENCIA DEL SISTEMA BELL

DESIGNACION	INTERVALO DE FRECUENCIA	ANCHO DE BANDA	NUMERO DE CANALES DE VOZ
GRUPO	60 - 108 Khz	48 Khz	12
SUPER GRUPO	312 - 552 Khz	240 Khz	60
GRUPO MAESTRO	564 - 3084 Khz	2.52 Mhz	600
GRUPO JUMBO	0.5 - 17.5 Mhz	17 Mhz	3600

TABLA 2.1.

**2.4.2. MULTIPLEXAJE POR DIVISIÓN DE TIEMPO.**

Esta es una técnica para transmitir varios mensajes con facilidad, dividiendo el tiempo en ranuras, una para cada mensaje. En éste tipo de multiplexaje tenemos dos casos a estudiar para señales analógicas y para transmisión de datos.

**2.4.2.1 TDM PARA SEÑALES ANALÓGICAS.**

Para señales analógicas el multiplexaje es posible, gracias a que con el teorema del muestreo se comprueba que podemos transmitir la información completa de una señal continua limitada en banda, enviando algunas muestras de  $f(t)$  tomadas a intervalos regulares.

Ya que la transmisión de estas muestras ocupa el canal sólo durante una parte del tiempo, existe la posibilidad de transmitir varias señales bajo la base de tiempo compartido.

Esto se logra al muestrear todas las señales a transmitir y al intercalar las muestras, como se observa en la figura 2.5. en el caso de dos señales. En el receptor se separan las muestras de cada señal con técnicas adecuadas.

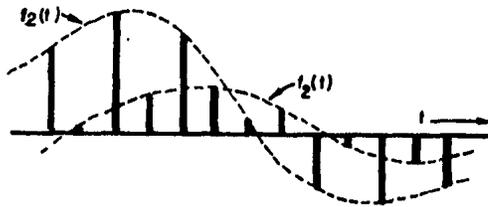


Figura 2.5. Multiplexaje en el tiempo de dos señales.

En un sistema de multiplexaje típico, las diversas señales que se van a transmitir se muestrean secuencialmente y se combinan en un sólo canal para ser transmitidas. Todas las señales que van a ser multiplexadas deben ya sea tener el mismo ancho de banda, o bien, si se va a utilizar esta posibilidad, el muestreo debe realizarse a una velocidad determinada por el ancho de banda máximo de la señal analógica (también las señales de ancho de banda relativamente pequeñas pueden combinarse primero antes del muestreo). Un sistema de muestreo de multiplexación en el tiempo debe muestrear secuencialmente la entrada multicanal al canal de transmisión, como se observa en la figura 2.6.

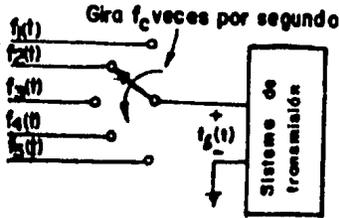


Figura 2.6. Muestreador para la multiplexación en el tiempo.

Si las diferentes señales que se van a multiplexar tienen anchos de banda muy diferentes, podrán usarse dos métodos para la transmisión. Por una parte, pueden tomarse proporcionalmente más muestras de las señales de mayor ancho de banda o de mayor velocidad de adquisición, y combinarse con las muestras de las señales que varían más lentamente; o bien las señales que varían en forma más lenta pueden combinarse primero para formar una señal analógica simple de mayor ancho de banda por medio de técnicas conocidas como multiplexación en frecuencia.

Tal como sucede en los desarrollos de ingeniería, debe pagarse un precio por la multiplexación y estos son:

- 1.- El ancho de banda necesario para la transmisión, aumenta con el número de señales multiplexadas y con el ancho de banda de las mismas.

2.- El problema que se genera por la multiplexación en el tiempo es la adecuada sincronización y registro de los pulsos sucesivos en el receptor. En la práctica se han utilizado varias técnicas para lograr la sincronización como son:

- El uso de pulsos de marcación especial, insertados de manera que sean fácilmente distinguibles de los demás pulsos normales de las señales, los que se envían periódicamente a intervalos establecidos.

- El uso de señales senoidales de frecuencia y fase conocidas, las cuales pueden extraerse en el receptor para proporcionar la necesaria información temporal.

- Mecanismos que permiten obtener la información del tiempo a partir de los mismos pulsos transmitidos de la señal.

La multiplexación en el tiempo ha sido tradicionalmente muy utilizada en los campos de la radio y telefonía, así como para fines de telemetría.

#### 2.4.2.2. TDM PARA SEÑALES DIGITALES.

En los sistemas de comunicación actualmente en uso, la mayoría de estos son digitales o tienden a ser de éste tipo, en este caso la multiplexación por división de tiempo se

lleva a cabo de la misma forma que para los sistemas analógicos, es decir se asigna un espacio de tiempo para un carácter, un dato o una muestra de un dato. En los sistemas digitales podemos hacer la siguiente clasificación en los multiplexores TDM, y ésta es:

a)- El TDM (multiplexor por división de tiempo).

Simplemente divide el tiempo entre el número de usuarios del sistema, y se utiliza para sistemas de enlace asíncrono y síncrono como PCM etc.

b)- El STDM (multiplexor estadístico por división de tiempo).

Efectúa el trabajo del multiplexor anterior en forma estadística, proporcionando una asignación de tiempo según la carga de trabajo asignada al usuario del sistema en este equipo, la velocidad de trabajo por usuario podrá ser igual a la velocidad de enlace llegando inclusive al rango de las velocidades síncronas.

Otra clasificación de los multiplexores para transmisión de datos puede ser la siguiente:

- Multiplexores de Datos Asíncronos.
- Multiplexores de Datos Síncronos.

## 1)- MULTIPLEXOR DE DATOS ASINCRONOS.

Los datos asincronos se pueden definir como datos en los cuales la terminal genera un carácter o bit de "start", y un carácter o bit de "stop".

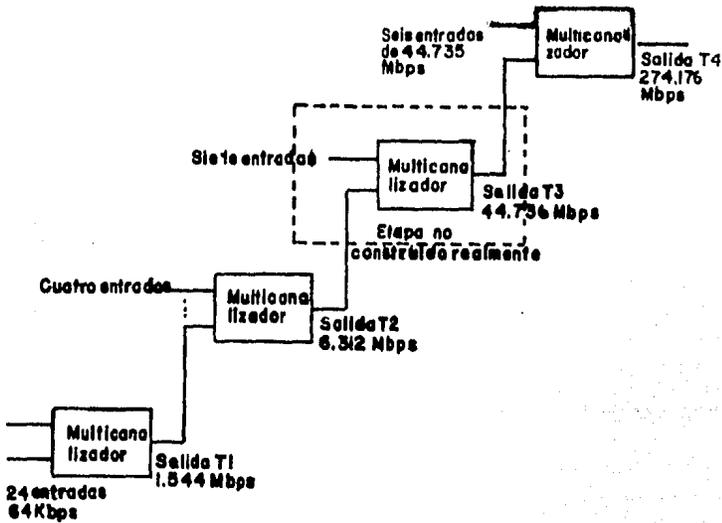
El trabajo del multiplexor de datos asincronos es reconocer cada carácter y ensamblar éstos dentro de un agregado de alta velocidad para transmitirlo en una línea, para después demultiplexarlo.

La multiplexación se puede llevar a cabo por intercalado de caracteres, intercalado de bits o por muestreo de bits. En intercalado de caracteres cada segmento de tiempo corresponde a un caracter, en el caso de intercalado de bits cada segmento de tiempo corresponde a un bit, este tipo de multiplexor es casi siempre rápido pero menos eficiente que los multiplexores de intercalado de caracteres los cuales permiten a bits que no son datos, como los bits de "start" y "stop", sean suprimidos antes de multiplexarlos y colocarlos después de demultiplexar. En el caso de muestreo de bits cada bit es muestreado un número determinado de veces y mandado en una señal serie de alta velocidad, el período de muestreo es seleccionado de tal forma que la distorsión del pulso debido al muestreo esté abajo de lo permisible; la ventaja de este tipo es que podemos multiplexar terminales de diferentes velocidades y protocolos.

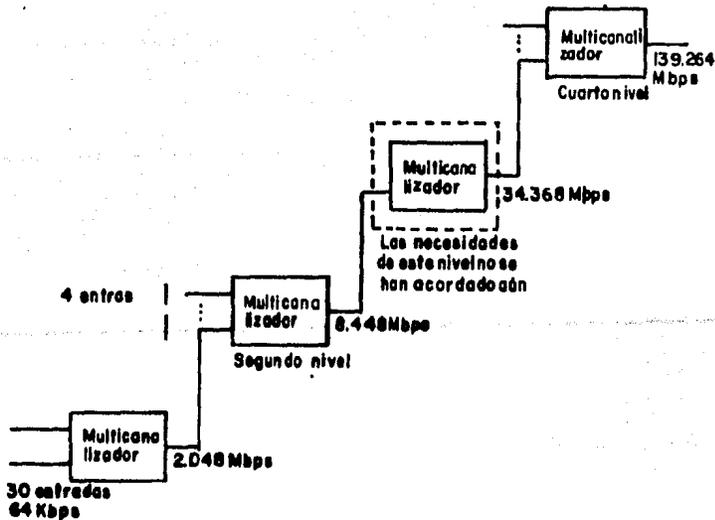
## 11) - MULTIPLEXORES DE DATOS SINCRONOS.

Los datos sincronos son aquellos donde su velocidad y tiempo de transmisión están bajo el control directo o indirecto de un oscilador maestro. Y por lo general este oscilador es el más rápido, así que se pueden derivar otros osciladores esclavos, los cuales serán de frecuencia menor.

En la práctica aparece otro par de grandes grupos de multiplexores. Uno en el cual se combinan datos de baja velocidad, hasta una razón máxima de 19200 bits/seg. La otra gran clase de multiplexores corresponden a velocidades muy superiores, como la jerarquía digital usando la portadora T1 de la BELL SYSTEM y la jerarquía recomendada como un estándar internacional por la CCITT (Consejo Consultivo Internacional de Telefonía y Telegrafía) que se muestran en la figura 2.7.



a)



b)

Figura 2.7. a) Jerarquía usando T1 de Bell System.  
b) Jerarquía digital según CCITT.

## 2.5. CONSIDERACIONES PARA MULTIPLEXAR EN SISTEMAS DIGITALES.

En la multiplexación debemos considerar los siguientes puntos.

1.- Pueden incorporarse varias formas de estructura de bits (trama), cada uno de los cuales representa la mínima unidad de tiempo en la que todas las señales multiplexadas se transmiten al menos una vez.

2.- La trama se divide en localidades de tiempo, que se asignan en forma única a cada fuente de datos que se conecte.

3.- Deben agregarse palabras de bits a la trama para permitir que el sistema receptor se sincronice en el tiempo con el inicio de cada trama, cada espacio de ella y cada bit contenido en estos espacios. Estos bits pueden denominarse, en forma colectiva, bits de control.

4.- Deben tomarse precauciones que permitan manejar pequeñas variaciones de las velocidades de bits de las señales digitales multiplexadas que llegan al receptor.

Una trama típica puede tener el aspecto que aparece en la figura 2.8.

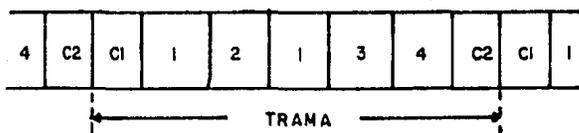


Figura 2.8. Trama típica.

Donde C1 y C2 representan secuencias de bits de control y se muestran cuatro fuentes de datos multiplexados.

## 2.6. COSTO DE UN SISTEMA MULTIPLEXOR.

Estudiando las características de los sistemas para multiplexar, podemos hacer un multiplexor más económico tomando en consideración los siguientes puntos:

- CAPACIDAD.
- FLEXIBILIDAD.
- INTERFASE DE CANALES.
- ADAPTABILIDAD.
- EXPANDIBILIDAD.
- ORGANIZACION LOGICA.
- COMODIDAD MECANICA.
- CAMPO DE PROGRAMACION.
- TRANSPARENTIA PARA DATOS Y CONTROL.
- RETARDO DEL MULTIPLEXAJE.
- ESTABILIDAD Y SINCRONIZACION DE LA TRAMA.
- DIAGNOSTICO.

Para determinar la cantidad de dinero que se puede uno ahorrar, se puede hacer una comparación de un sistema con multiplexor y otro sin multiplexor; por ejemplo el sistema que se muestra en la figura 2.9.

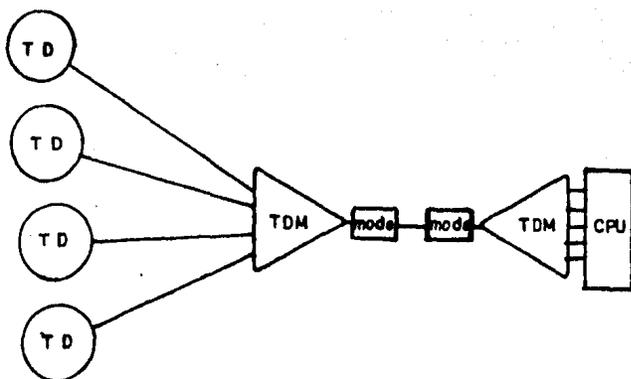


Figura 2.9. Sistema con multiplexor.

Donde la siguiente ecuación puede ser usada para calcular el ahorro que se obtiene del sistema de la figura anterior.

$$\text{AHORRO} = T(N-1)L - M - Mt + M1 - T Ls$$

Donde.

T - Tiempo de vida del sistema en meses.

N - Número de canales siendo multiplexados.

L - Carga de línea mensual entre los puntos siendo multiplexados.

M - Costo del multiplexor.

Mt - Costo de los modems.

M1 - Costo del canal del modem requerimientos no largos.

Es - Costo mensual de líneas de acceso de baja velocidad y modems a multiplexar

## **2.7. CAPACIDAD DEL MULTIPLEXOR.**

Tres factores determinan la capacidad del sistema y el primero es el número de canales del sistema.

El segundo factor en multiplexaje es la rapidez de datos en el cual el agregado de datos es serializado.

El tercer factor tiene que ver con la flexibilidad de la lógica del multiplexor en el establecimiento de la trama.

## **2.8. SINCRONIZACION DE LA TRAMA Y DE LA ENTRADA DE DATOS.**

La sincronización de la trama debe mantenerse entre las fuentes correspondientes de datos en la transmisión y en la recepción, para que estén de acuerdo entre si. La sincronización de la trama permite que los espacios de tiempo de la secuencia temporal recibida, sean correctamente asignados con las terminales adecuadas del receptor. La sincronización de entrada de datos implica que el transmisor y el receptor deben ajustar sus respectivos relojes entre si, de manera que la integridad de los bits se mantenga.

Hay una posibilidad de que se pierda una trama generando errores, cuanto mayor es la longitud del código de sincronización de la trama por lo general es también mayor la posibilidad de una pérdida, aunque un código de sincronización más largo permite una sincronización más simple. Existe por lo tanto un factor de compromiso en la longitud del código de sincronización.

Puede agregarse mayor capacidad de corrección de errores al código de sincronización, lo que permite el uso de una longitud mayor, pero esto reduce la eficiencia de la trama, y un aumento en la complejidad.

Para sincronizar las escalas de tiempo el transmisor por lo general envía un pulso particular o una serie de pulsos, diferentes de los pulsos de información. En sistemas digitales generalmente se utilizan series de pulsos de repetición para la sincronización.

En la figura 2.10. se muestra un arreglo de canales de tiempo en un sistema TDM de dos canales. La unidad básica **TRAMA** está compuesta por canales de tiempo. Se destina un canal de tiempo para el pulso de sincronización y a cada canal se asigna uno o más canales de tiempo consecutivos. Pueden utilizarse canales de tiempo adicionales para transferencia de datos o como canal de servicio.

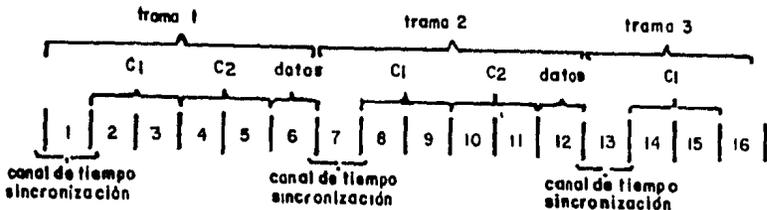


figura 2.10. Arreglo de una trama en un sistema TDM con dos canales de tiempo asignadas a cada canal y un canal de tiempo para transmisión de datos.

## 2.9. MULTIPLEXORES A FIBRA OPTICA.

En el estudio de multiplexores en fibra óptica, encontramos que se usan tres tipos importantes de éstos y son:

- a) - Multiplexor por división de tiempo (TDM).
- b) - Multiplexor por división de frecuencia (FDM).
- c) - Multiplexor por división de longitud de onda (WDM Wave División Multiplexed).

a) El multiplexor por división de tiempo (TDM), es aquél donde muchos canales se propagan sobre el medio de transmisión común por asignación de diferentes intervalos de tiempo.

b) El multiplexor por división de frecuencia (FDM), muchos canales se propagan en forma simultánea sobre una trayectoria común empleando diferentes bandas de frecuencia para la transmisión de cada señal.

c) En el multiplexor por división de onda (WDM), todos los canales se transmiten simultáneamente y, además, cada canal hace uso completo del ancho de banda del medio de transmisión, a este tipo de multiplexaje cada señal de información se le asigna una longitud de onda ( $\lambda$ ) por un modulador óptico.

## CAPITULO III.

### INTRODUCCION A LA FIBRA OPTICA.

#### 3.1. INTRODUCCION.

En este capítulo se da una breve descripción sobre la teoría de la fibra óptica, la cual es un resumen de los conceptos más importantes sobre este tema.

El capítulo está estructurado de la siguiente manera; primero, se dan los antecedentes históricos de la fibra óptica, donde vemos sus inicios y principales expositores; también se da una clasificación de la fibra, sus características más importantes, la teoría de operación, (ésta basada en la óptica geométrica) y por último se trata lo referente a los transmisores y receptores ópticos, punto central de este trabajo, ya que fue la herramienta utilizada para el desarrollo del transmisor y receptor óptico del multiplexor.

### 3.2. ANTECEDENTES HISTORICOS.

Los inicios de la fibra óptica se remontan a los años de 1880 con Alexander Graham Bell; debido a la invención del photophone, donde la luz podía modularse y usarse como medio de comunicación. En 1960 la invención del laser trajo consigo grandes adelantos para la modulación de la luz. Paralelo al desarrollo de la modulación de la luz fue el desarrollo de la fibra, con Tundall (1870), que demostró que la luz podía ser conducida dentro de un chorro de agua y Deybe (1910) que estudió a un tubo de material dieléctrico como guía de onda.

Siguiendo Ka y Hockman (1966) quienes determinaron que se podrían producir fibras de vidrio guiadoras de luz con atenuación lo suficientemente bajas para ese año (1000 db/km); después, Keek y Maurier (1976) fabricaron fibras con atenuación de 20 db/km, hasta que hoy en día se producen fibras con atenuación de 0.15 db/km para  $\lambda=1.55 \mu\text{m}$ . También la existencia del led infrarrojo y de fotodetectores de estado sólido apropiado facilitaron el desarrollo.

La fibra óptica funciona como una guía de onda hecha de dieléctrico transparente; que guía a la luz visible, la infrarroja y la luz ultravioleta sobre largas distancias. La fibra consta de un centro de vidrio llamado el NUCLEO cubierta por una sección de vidrio o plástico de bajo índice de refracción llamado REVESTIMIENTO; que funciona como

reflector atrapando los rayos en el núcleo. A ésta le sigue una capa protectora llamada ENVOLTURA para preservar la fuerza de la fibra y evitar pérdidas, al proporcionar una protección contra daños mecánicos.

### 3.3. CLASIFICACION.

La fibra puede clasificarse en términos del perfil del índice de refracción y del tipo de modo en que se propaga la luz en la fibra.

Si el núcleo de la fibra tiene un índice de refracción uniforme  $n_1$ , ésta es denominada fibra óptica de índice escalonado. Si el núcleo de la fibra tiene un índice de refracción no uniforme que decrece gradualmente del centro al "REVESTIMIENTO"; la fibra es llamada fibra de índice gradual como vemos en la figura 3.1.

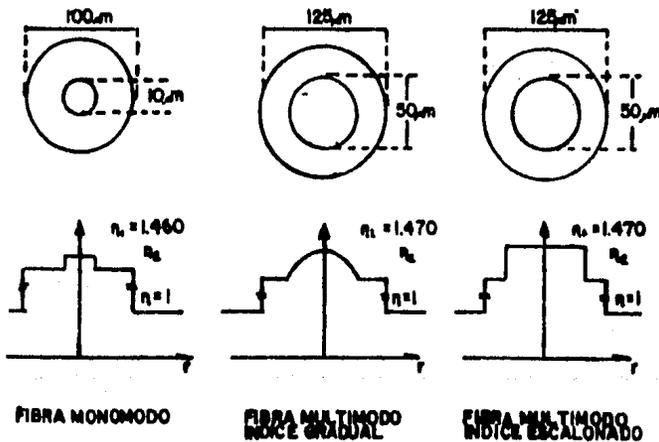


Figura 3.1. Tipos de fibra óptica.

**Fibra Monomodal.** Es cuando en la fibra óptica se propaga un sólo modo ( $HE_{11}$ ), ofreciendo la más alta capacidad para portar información, obteniéndose hasta 50 GHzkm de ancho de banda.

Fibra Multimodo de índice escalonado. Es aquella en la que el núcleo tiene un índice de refracción uniforme y donde se propaga un gran número de modos, tiene un núcleo de mayor tamaño con respecto al monomodal y una apertura numérica también mayor, con un ancho de banda de aproximadamente 20 MHz para una apertura numérica de  $NA=0.25$  (ver punto 3.6).

Fibra Multimodo de índice gradual. Son aquellas que varían radialmente el perfil de índice de refracción, teniendo un ancho de banda mayor que el modo escalonado.

### 3.4. CARACTERISTICAS.

Dadas las características de la fibra óptica, la hacen competitiva en comparación con el par de alambres telefónicos o con un cable coaxial. Teniendo grandes ventajas en ciertas aplicaciones sobre estos sistemas.

Las ventajas más comunes en la fibra son:

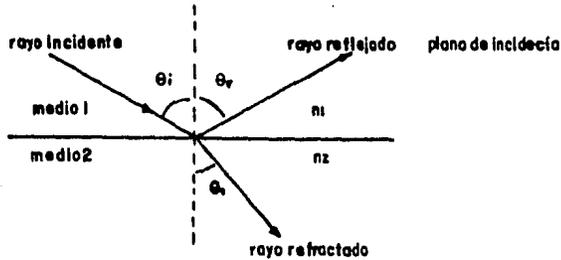
- AISLAMIENTO ELECTRICO.
- INMUNIDAD AL RUIDO.
- NO ACTUAN COMO ANTENAS.
- NO PUEDEN INTERFERIRSE.
- ALTA CAPACIDAD DE TRANSMISION.
- POCA ATENUACION.
- TAMANO PEQUENO.
- GRANDES AHORROS.
- ANCHO DE BANDA.

### 3.5. OPERACION DE LA FIBRA OPTICA.

La fibra óptica tiene su principio de operación explicado rigurosamente por la teoría electromagnética y de manera menos exacta por la óptica geométrica. La reflexión interna total, que ocurre cuando un haz de luz emerge de un lugar con un índice de refracción a otro con diferente índice de refracción, es el mecanismo básico para la transmisión de la luz a lo largo de la fibra. Así en teoría, los rayos de luz en la transmisión axial de la fibra chocan en la frontera entre los dos materiales de diferente índice de refracción (núcleo y cubierta) y se reflejan dentro del núcleo consecutivamente hasta abandonar la fibra al otro extremo.

### 3.6. OPTICA GEOMETRICA.

#### 3.6.1 LEY DE LA REFRACCION.



Los ángulos  $\theta_i$ ,  $\theta_r$  y  $\theta_t$  se llaman ángulos de incidencia, reflejado

Figura 3.2. Rayos incidente, reflejado y refractado.

Donde - -

$\theta_i$  - ángulo de incidencia.

$\theta_r$  - ángulo de reflexión.

$\theta_t$  - ángulo de refracción.

En la figura 3.2., los rayos incidente, reflejado y refractado están contenidos en un mismo plano, llamado plano de incidencia, que es normal a la superficie de separación y contiene la normal N.

De la figura 3.2. observamos que:

$$\theta_i = \theta_r \dots \dots \dots (3.6.1)$$

v la ley de Snell

$$\frac{\text{sen } \theta_i}{\text{sen } \theta_t} = \frac{\eta_2}{\eta_1} \quad \dots(3.6.2.)$$

Donde  $\eta$  es el índice de refracción absoluto de los materiales y está dado por:

$$\eta = \frac{c}{v} \quad \begin{array}{l} \text{velocidad de la luz en vacío.} \\ \text{velocidad de la luz en} \\ \text{dieléctrico.} \end{array} \quad \dots(3.6.3.)$$

$$\eta = \sqrt{\epsilon_r} \quad \begin{array}{l} \epsilon_r \text{ permitividad} \\ \text{relativa del} \\ \text{material.} \end{array} \quad \dots(3.6.4.)$$

### 3.6.2. CASOS DE LA REFLEXION Y LA REFRACCION.

1.- Cuando  $\eta_2 > \eta_1$ .

$(\eta_2/\eta_1) > 1$  por lo tanto  $(\text{sen } \theta_i/\text{sen } \theta_t) > 1$

$\text{sen } \theta_i > \text{sen } \theta_t$  por lo tanto  $\theta_i > \theta_t$ .

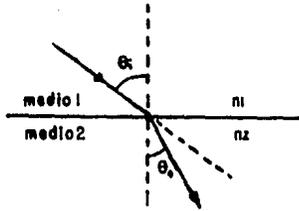


Figura 3.3.  $n_2 > n_1$

2.- Cuando  $n_1 > n_2$

$$(\eta_2/\eta_1) < 1 \text{ por lo tanto } (\text{sen } \theta_i / \text{sen } \theta_t) < 1$$

$$\text{sen } \theta_i < \text{sen } \theta_t \text{ por lo tanto } \theta_i < \theta_t.$$

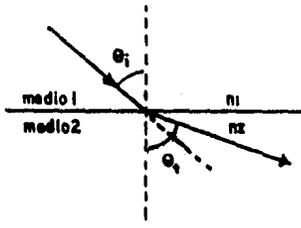


Figura 3.4.  $n_1 > n_2$

De lo anterior, hay un ángulo  $\theta_i$  para el cual el ángulo refractado es igual a  $90^\circ$ , a este ángulo se le llama ángulo crítico ( $\theta_c$ ) y está dado a partir de la ley de Snell por:

$$\theta_c = 90^\circ \quad \theta_c = \text{sen}^{-1} (\eta_2/\eta_1) \text{ ángulo crítico.}$$

Cuando  $\theta_i$  es mayor que  $\theta_c$  no hay rayo refractado y se dice que se produce una reflexión interna total. Existe una onda que se propaga en el segundo material paralelamente a la superficie, pero la amplitud de ésta decrece rápidamente a medida que se interna en el segundo medio, por lo que podríamos afirmar que no hay transferencia de potencia, pues la mayoría es reflejada, a esta onda superficial se le denomina onda evanescente u onda superficial.

### 3.6.3. COEFICIENTE DE REFLEXION (r).

Es la relación de la intensidad de campo eléctrico reflejado a la intensidad de campo eléctrico incidente, cuando una onda electromagnética incide en una superficie de separación entre dos materiales dieléctricos con

$$\eta_1 \neq \eta_2.$$

### 3.6.4. COEFICIENTE DE TRANSMISION (t).

Es la relación de la intensidad de campo eléctrico transmitido a la intensidad de campo eléctrico incidente, cuando una onda electromagnética incide en una superficie de separación de dos materiales dieléctricos con

$$\eta_1 \neq \eta_2.$$

En Incidencia Oblicua.

Cuando E es perpendicular al plano de incidencia tenemos:

$$r_1 = \frac{\eta_1 \cos \theta_i - \eta_2 \cos \theta_t}{\eta_1 \cos \theta_i + \eta_2 \cos \theta_t} \quad \dots(3.6.5.)$$

$$r_1 = \frac{\cos \theta_i - \sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i}}{\cos \theta_i + \sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i}} \quad \dots(3.6.6.)$$

$$t_1 = \frac{(4\eta_1 \cos \theta_i \eta_2 \cos \theta_t)^{1/2}}{\eta_1 \cos \theta_i + \eta_2 \cos \theta_t} \quad \dots(3.6.7.)$$

$$t_1 = \frac{\left(4 \cos \theta_i \sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i}\right)^{1/2}}{\cos \theta_i + \sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i}} \quad \dots(3.6.8.)$$

Cuando E es paralela al plano de incidencia.

$$r_{11} = \frac{\eta_2 \cos \theta_i - \eta_1 \cos \theta_t}{\eta_2 \cos \theta_i + \eta_1 \cos \theta_t} \quad \dots(3.6.9.)$$

$$r_{11} = \frac{-\sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i} + \left(\frac{\eta_2}{\eta_1}\right)^2 \cos \theta_i}{\sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i} + \left(\frac{\eta_2}{\eta_1}\right)^2 \cos \theta_i} \quad \dots(3.6.10.)$$

$$t_{11} = \frac{(4\eta_1 \cos \theta_i \eta_2 \cos \theta_t)^{1/2}}{\eta_2 \cos \theta_i + \eta_1 \cos \theta_t} \quad \dots(3.6.11.)$$

$$t_{11} = \frac{\left(4 \cos \theta_i \sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i}\right)^{1/2}}{\frac{\eta_1}{\eta_2} \sqrt{\left(\frac{\eta_2}{\eta_1}\right)^2 - \text{sen}^2 \theta_i} + \left(\frac{\eta_2}{\eta_1}\right) \cos \theta_i} \quad \dots(3.6.12.)$$

De donde tenemos que:

$$t_{11} = (1 - r_{11}) \quad (3.6.13.)$$

Cuando  $r_{11}=0$ , el ángulo que satisface esta igualdad se llama ángulo de Brewster y las ecuaciones anteriores son conocidas como ecuaciones de Fresnel. La relación entre el flujo de potencia al flujo de potencia incidente es llamada Reflectancia (R).

$$R=r^2.$$

Cuando se tiene un medio no homogéneo cuyas propiedades cambian de punto en punto, como su índice de refracción, la onda experimentará una reflexión continua como se observa en la figura 3.5.

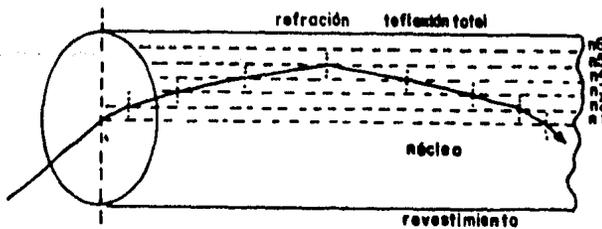


Figura 3.5.  $\eta$  Cambia continuamente.

Donde si el índice de refracción disminuye, el ángulo de incidencia irá aumentando hasta alcanzar el ángulo crítico, donde ocurre la reflexión total.

### 3.7. EXPLICACION DE LA FIBRA POR OPTICA GEOMETRICA.

#### 3.7.1. FIBRA DE INDICE ESCALONADO.

En una fibra de índice escalonado, gracias a la diferencia del índice de refracción entre el núcleo y el revestimiento (NUCLEO-REVESTIMIENTO), se puede producir una reflexión total dada por el ángulo crítico.

$$\text{sen } \theta_c = \frac{\eta_2}{\eta_1} = 1 - \Delta \quad \dots(3.7.1.)$$

Produciéndose por la reflexión dos tipos de rayos, Meridionales y Oblicuos, los meridionales pasan por el eje de la fibra y están confinados a un plano llamado plano meridional, Los oblicuos son rayos que no están confinados a un plano, ni son paralelos al eje de la fibra, siguiendo una trayectoria de zig-zag como vemos en la figura 3.6.

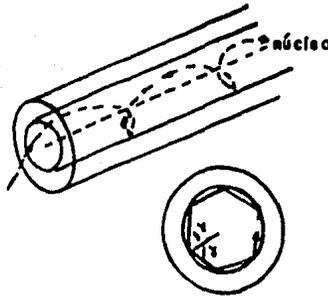


Figura 3.6. Rayos oblicuos.

### 3.7.1.1 RAYOS MERIDIONALES.

Los rayos meridionales quedan confinados en el núcleo indefinidamente, siempre que no haya curvas agudas en la fibra.

En la fibra óptica para comunicaciones, la diferencia fraccional de los índices de refracción  $(\Delta = (\eta_1 - \eta_2) / \eta_1)$  puede estar entre 0.007 y 0.02 tomando por lo general el valor de 0.01; el ángulo crítico es  $\theta_c = 81.893^\circ$ , la longitud de la trayectoria seguida por el rayo meridional y su tiempo de tránsito, es función del ángulo que forma el rayo con el eje de la fibra, el retraso producido por este ángulo reduce la capacidad del canal. Por lo que se busca, que la diferencia del índice de refracción sea pequeña con lo cual resulta que los ángulos críticos toman valores grandes y que los rayos reflejados sean casi paralelos al eje, evitando la diferencia de

tiempo.

Cuando los rayos de luz inciden en la frontera entre el núcleo y el revestimiento a ángulos menores que el crítico, pasan a través de ésta sin ser reflejados, refractándose y perdiéndose en el revestimiento por absorción, difusión, o dispersión. Debido a la variación del coeficiente de reflexión y los ángulos de refracción para ángulos mayores que el crítico, los rayos de luz sufren una reflexión interna total, siendo confinados en el núcleo mientras éste exista.

Para que un rayo de luz que llega del exterior de la fibra, se propague dentro de ésta sufriendo una reflexión total, debe de satisfacer la siguiente ecuación.

$$\theta_0 \leq \text{sen}^{-1} \frac{\sqrt{\eta_1^2 - \eta_2^2}}{\eta_e} \quad \dots(3.7.2)$$

$$\theta_0 \leq \text{sen}^{-1} \frac{\eta_1 \sqrt{2\Delta - \Delta^2}}{\eta_e} \quad \dots(3.7.3.)$$

Donde  $\eta_e$  es el índice de refracción externo.

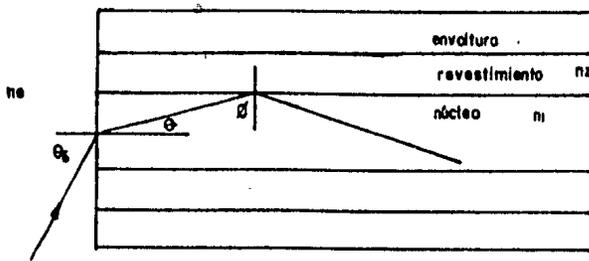


Figura 3.7. Reflexión en la fibra.

El máximo ángulo que satisface la ecuación se denomina máximo ángulo de aceptación ( $\theta_m$ ) y representa el máximo ángulo  $\theta_0$  al que puede incidir un rayo en el núcleo para que viaje en la fibra con una reflexión total, donde  $\theta_m$  está dado por:

$$\theta_m = \text{sen}^{-1} \frac{\eta_1 \sqrt{2\Delta - \Delta^2}}{\eta_e} \quad \dots(3.7.4.)$$

Si se excede este ángulo no ocurre una reflexión interna total y la luz transmitida al núcleo se perderá en el revestimiento. El máximo ángulo de aceptación forma un cono de aceptación y representa la región a la cual todos los rayos que inciden en la fibra serán transmitidos en ésta. Como vemos en la figura 3.8.

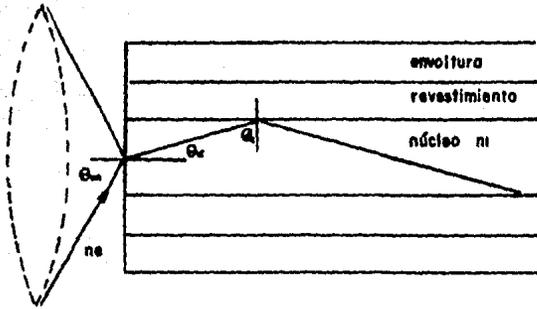


Figura 3.8. Cono de aceptación.

Al seno del máximo ángulo de aceptación se llama apertura numérica NA.

$$NA = \frac{\eta_1 \sqrt{2\Delta - \Delta^2}}{\eta_e} \dots(3.7.5.)$$

y expresa el poder de la fibra para recolectar la luz.

$$NA = \text{sen } \theta_m \dots(3.7.6.)$$

### 3.7.1.2. RAYOS OBLICUOS.

Los rayos oblicuos no pasan por el eje de la fibra y algunos siguen una trayectoria de la forma helicoidal poligonal. Cualquier rayo oblicuo puede representarse por

los ángulos  $\gamma$  y  $\theta$  y el ángulo de incidencia  $\phi$  y se relacionan por:

$$\cos\phi = \text{sen}\theta \cos\gamma \quad \dots(3.7.7.)$$

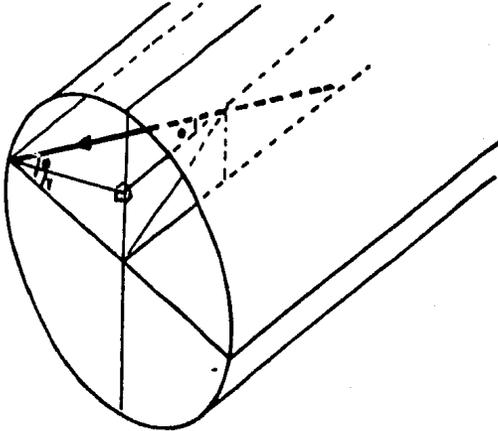


Figura 3.9. Rayos oblicuos.

ya que  $\phi$ ,  $\theta$  y  $\gamma$  son constantes la ecuación anterior describe la trayectoria del rayo en la fibra. Para la reflexión interna total tenemos:

$$\text{sen}\phi \geq \text{sen}\phi_c$$

$$\text{sen}\phi \geq \eta_2 / \eta_1$$

de tal manera que, para que haya reflexión dentro de la fibra el ángulo de entrada debe cumplir:

$$\text{sen}\theta_0 \cos\gamma \leq \frac{\sqrt{\eta_1^2 - \eta_2^2}}{\eta_e} \quad \dots(3.7.8)$$

Cuando  $\gamma \rightarrow 0$  se tienen rayos meridionales. Dentro de la fibra se permite la propagación de rayos oblicuos cuyo ángulo  $\theta$  sea mayor a  $\theta_c$  para rayos meridionales, como vemos en la figura 3.10.

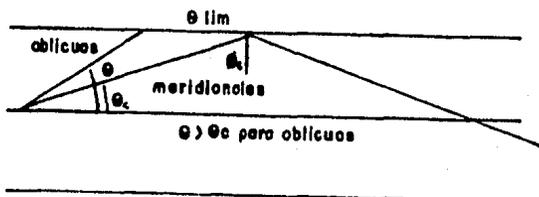


Figura 3.10. Propagación de rayos oblicuos.

donde  $\theta_{lim} = \text{sen}^{-1} n_e / n_1 \dots (3.7.9)$

Si  $\theta$  toma los siguientes valores tenemos.

para  $\theta$  en el rango de:

$$0 \leq \theta \leq \theta_c$$

$\gamma$  toma valores de:

$$0 < \gamma \leq 1/2 \pi$$

donde:

$\gamma = 0$  son rayos meridionales.

$\gamma = 1/2\pi$  rayos que viajan en la frontera del revestimiento  $\theta = 0$

para  $\theta$  en el rango de:

$$\theta_c \leq \theta \leq \theta_{lim}$$

$\gamma$  toma valores de:

$$\gamma_{lim} \leq \gamma \leq 1/2\pi$$

donde:

$$\cos \gamma_{lim} = \text{sen } \theta_c / \text{sen } \theta$$

Y si  $\gamma < \gamma_{lim}$  son rayos no guiados.

El ángulo crítico se obtiene de la ecuación:

$$\text{sen } \theta_c \sqrt{1 - \left(\frac{r_0}{a}\right)^2} = \frac{1}{n_1} \sqrt{n_1^2 - n_2^2} \dots (3.7.10.)$$

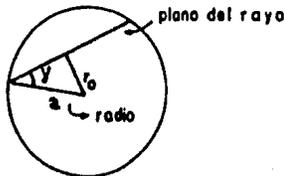


Figura 3.11. Rayos oblicuos vistos de frente.

### 3.7.2. FIBRA DE INDICE GRADUAL.

Si se establece un sistema de coordenadas cilíndricas en una fibra óptica como se muestra en la figura siguiente.

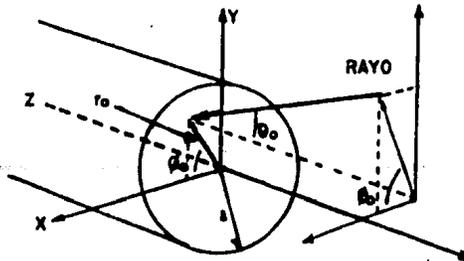


Figura 3.12. Rayos en fibra de índice gradual.

La ecuación para determinar el camino del rayo está dada por:

$$Z = \int_{r_0}^r \frac{\cos \theta_0 \, dr}{\left\{ \left[ \frac{\eta(r)}{\eta_0} \right]^2 + \left[ 1 - \frac{r_0}{r} \right] (X_0 \sin \theta_0 \sin \phi_0 - Y_0 \sin \theta_0 \cos \phi_0) - \cos^2 \theta_0 \right\}^{1/2}} \quad \dots (3.7.11.)$$

Donde  $\eta(r)$  es el índice de refracción en función de la distancia radial; la distancia queda especificada de manera única cuando se conoce  $\eta(r)$ ,  $X_0$ ,  $Y_0$ ,  $\theta_0$  y  $\phi_0$ .

Aquí  $\eta_0 = \eta(r_0)$ .

Un medio donde el índice de refracción está graduado radialmente, se considera como una concatenación de lentes que periódicamente enfocan los rayos propagantes. En este caso la apertura numérica es:

$$NA = \frac{\eta(o) \sqrt{2 \Delta}}{\eta_e} \quad \dots (3.7.13)$$

los rayos oblicuos, al igual que la fibra de índice escalonado siguen trayectorias casi helicoidales.



### **3.8. DISPERSION.**

Dispersión en fibras. La dispersión se entiende básicamente como un ensanchamiento temporal del pulso óptico inyectado a lo largo de su viaje por la fibra. Hay tres tipos de dispersión en la fibra y son:

#### **3.8.1. DISPERSION INTERMODAL.**

Es el resultado de la diferencia de velocidades de viaje entre los modos que se propagan.

#### **3.8.2. DISPERSION DEL MATERIAL.**

Ya que el vidrio cambia su índice de refracción efectivo en función de la longitud de onda, trae como consecuencia que para diferentes longitudes de onda se tendrá diferentes velocidades de propagación en el material y ésta es una causa de dispersión.

#### **3.8.3. DISPERSION GUIA DE ONDA.**

Cuando el índice de refracción permanece constante y la velocidad de grupo del modo varía con la longitud de la onda.

### **3.9. ATENUACION.**

Atenuación. Existen tres causas principales que atenúan la información en la fibra y son: absorción del material, distorsión geométrica y pérdida por radiación. El orden de la magnitud de atenuación en la fibra es de 3 db/Km para la utilizada en este trabajo.

#### **3.9.1. ABSORCION DEL MATERIAL.**

La absorción del material es debido a las impurezas en él; que se puede minimizar en la selección de la materia prima del núcleo y en el proceso de fabricación.

#### **3.9.2 DISTORSION GEOMETRICA.**

Que produce irregularidades principalmente en la frontera entre el núcleo y el revestimiento.

#### **3.9.3. PERDIDA POR RADIACION.**

La pérdida por radiación es debido a la curvatura de la fibra, en especial las de radio pequeño.

### 3.10. FOTOEMISORES.

En un sistema de comunicación por fibra óptica, el elemento principal del transmisor es la fuente electroluminicente. Los dos tipos de fuentes ópticas utilizadas en los sistemas de comunicación por fibra óptica son:

- Diodo Emisor de Luz.
- Diodo Laser de Inyección.

Los diodos LED se utilizan en velocidades de transmisión bajas y en enlaces cortos (<50 Mb/s Km) y los diodos Laser en velocidades de transmisión altas y/o enlaces largos (>50 Mb/s Km). Dos conceptos importantes en el manejo de fotoemisores son: la eficiencia cuántica y la radianza.

**Eficiencia cuántica.** La razón del número de fotones emitidos al número de pares hueco-electrón inyectados.

**Radianza.** Potencia radiante electromagnética por unidad de ángulo sólido y unidad de superficie normal a la dirección considerada. La unidad de medida está dada en Watts/(Sterad·m<sup>2</sup>).

### 3.10.1. DIODOS EMISORES DE LUZ.

Características del LED. El ancho espectral a temperatura ambiente, en la región de  $\lambda=0.8-0.9\mu\text{m}$ , es de 350 a 500 Å y el corrimiento de la longitud de onda con respecto a la temperatura es de 3 a 4 Å/°C.

Para la potencia óptica contra la corriente de entrada, se tiene que esta característica es bastante lineal hasta un punto en el cual se produce un efecto de saturación, por la temperatura, aproximadamente a 100 mA.

### 3.10.2. DIODO LASER.

Características del Diodo Laser. El ancho espectral es generalmente menor a 20 Å.

Corriente de umbral. Debajo de esta corriente, la salida óptica se comporta como la de un led, pero arriba del umbral el laser tiene una salida óptica que se incrementa rápidamente con una eficiencia que se aproxima al 100%, el nivel de umbral varía con la temperatura con valores de 0.5 mA/°C.

### 3.11. TRANSMISORES OPTICOS.

En las figuras siguientes se muestran dos circuitos típicos de excitación que pueden acoplarse a una fuente TTL y una fuente balanceada ECL (Lógica acoplada por emisor) a un Led.

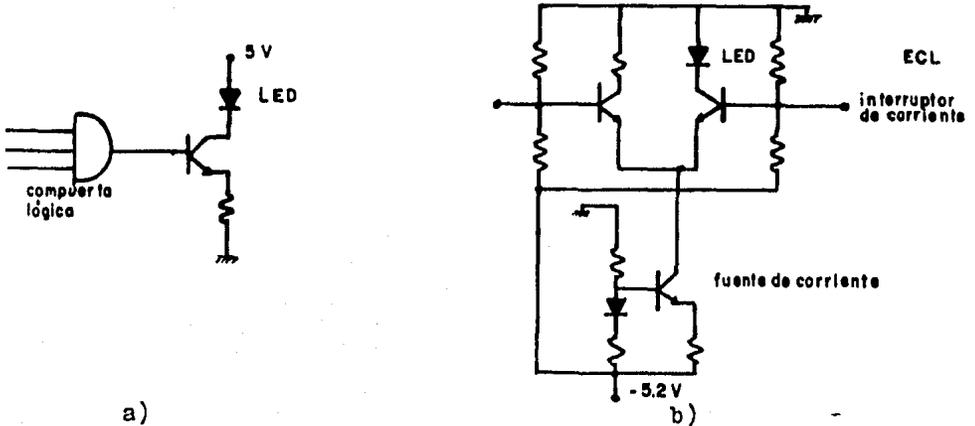


Figura 3.13. Transmisores ópticos.

En los transmisores la salida de la fuente de energía debe ser perfectamente filtrada para evitar retroalimentación hacia el interior de otros componentes del sistema. Una manera de reducir este efecto es usar un excitador balanceado como se muestra en b) de la figura anterior. Esto significa sacrificar el consumo de potencia para aumentar la capacidad de velocidad de modulación y reducir el ruido en la línea de la fuente de alimentación.

Como la salida de luz del LED contra las características de entrada de corriente es bastante lineal hasta el punto de saturación, los excitadores analógicos para leds no son particularmente complejos. Pero si se requiere linealidad muy alta a un espaciamiento muy preciso entre niveles, entonces pueden emplearse varias técnicas de retroalimentación como el de la figura siguiente. Donde una parte de la luz emitida es capturada por un fotodetector local, se amplifica y se compara con la señal de excitación.

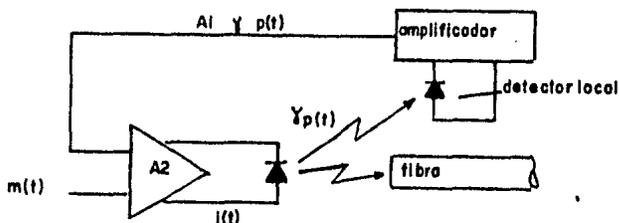


Figura 3.14. Excitador LED controlado por retroalimentación.

#### Circuito para Transmisor Laser.

Para usar el laser, es con frecuencia deseable "prepolarizar" el dispositivo cerca de la corriente de umbral, para evitar los retardos de tiempo necesarios en la generación de altas densidades de portadores contenidos en el dispositivo, a niveles asociados con la corriente de umbral.

La variación del umbral con la temperatura y el tiempo, es un problema significativo para cualquier circuito que trate de polarizar el laser a un nivel fijo con relación a un umbral.

Un método para lograr lo anterior, es monitorear la salida del laser con una derivación óptica y un detector local como se muestra en la figura 3.15. En el cual se usa un circuito de retroalimentación para controlar la polarización, de manera que haga que el promedio de salida de potencia del Laser sea constante.

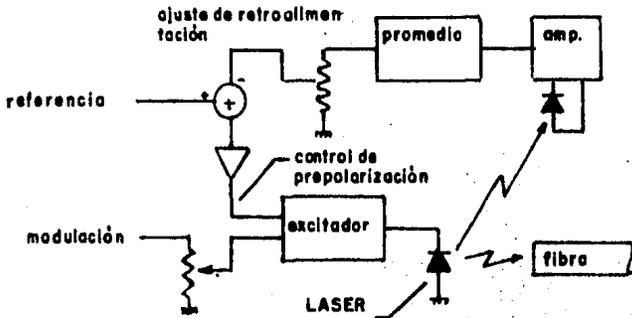


Figura 3.15. Circuito simple de estabilizador del laser.

### 3.12. FOTODETECTORES.

La función del fotodetector es convertir la señal luminosa, a la entrada del receptor, en una señal equivalente; para esto se deben de cumplir los siguientes requisitos.

- Alta respuesta a la energía incidente.
- Adecuada velocidad de respuesta, para el ancho de banda de la información en la portadora óptica.
- Mínimo ruido adicional introducido por el detector.
- Baja susceptibilidad a los cambios de temperatura.

En los fotodetectores hay dos conceptos importantes que determinan la eficiencia de estos, los cuales son: La eficiencia Cuántica y la Responsividad.

- Eficiencia cuántica. Es la razón del número de pares hueco electrón generados al número de fotones incidentes.
- Responsividad  $R_o$ . Es la razón de la corriente eléctrica producida a la potencia óptica incidente.

El fotodetector trabaja de la siguiente forma, la luz incidente considerada como pequeños paquetes de energía cuantificada o fotones, eleva la energía de los electrones de un determinado material, hasta un nivel en el cual éstos pueden producir una corriente eléctrica impulsada por un campo eléctrico.

Los Fotodetectores se clasifican en:

- Fotodetectores PIN.
- Fotodetectores de avalancha.

### 3.12.1. FOTODIODO PIN.

Se tiene una unión P-N polarizada inversamente, como se muestra en la figura 3.16., formándose una barrera de potencial y una región de agotamiento. Si al incidir la luz se genera un par electrón-hueco en la región de agotamiento, es decir de alto campo, los portadores se separarán y serán atraídos por el electrodo de polaridad opuesta originando una corriente y por lo tanto un voltaje en la resistencia de carga externa.

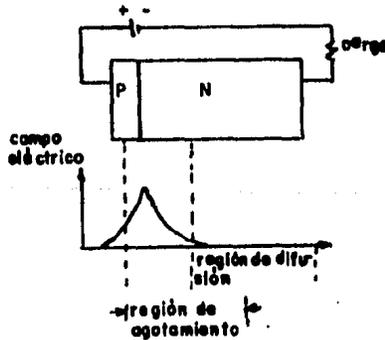


Figura 3.16. Diodo P-N.

### 3.12.2. FOTODETECTORES DE AVALANCHA.

En el fotodiodo de avalancha se generan pares de huecos electrón de la misma manera que en el fotodiodo PIN, pero ésta se ve multiplicada por una ganancia  $M_a$ . Donde  $M_a$  es una variable aleatoria. Esta multiplicación se debe a colisiones sucesivas en las que un portador genera nuevos portadores.

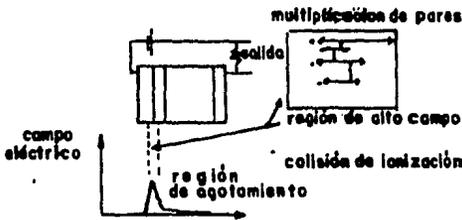


Figura 3.17. Fotodiodo de avalancha.

En este caso, los pares electrón hueco se generan en la región de agotamiento, fuera de la de alto campo y cuando son atraídos a esta última, se producen las colisiones que generan la multiplicación o avalancha autosostenida de portadores.

Los niveles de potencia óptica que recibe un fotodetector y por lo tanto los niveles de corriente que se generan son muy pequeñas del orden de nanoamperes y por ello son muy susceptibles a ruido.

### 3.13. RECEPTORES OPTICOS.

La principal función del receptor es detectar la señal de luz incidente y convertirla en una señal eléctrica utilizable y se forma por:

- a) Fotodetector.
- b) Etapa de amplificación.
- c) Igualador.
- d) filtro.

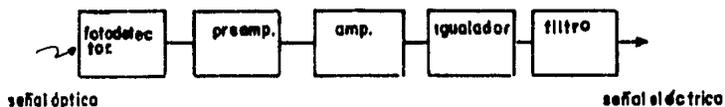


Figura 3.18. Esquema básico del receptor óptico.

Su objetivo principal es minimizar la potencia óptica requerida de entrada para una determinada relación señal a ruido.

- a) Fotodetector

Su función es convertir la potencia incidente en una señal eléctrica débil y se clasifican en:

- Fotodiodo PIN.
- Fotodiodo de avalancha.

El modelo del fotodiodo es el que se muestra a continuación.

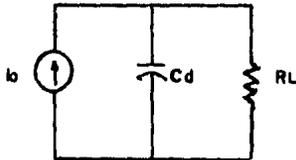


Figura 3.19. Circuito equivalente del fotodiodo.

- $i_0$  Es la fuente de corriente.
- $C_d$  Capacitancia de agotamiento de la unión producida por la polarización inversa.
- $R_L$  Resistencia del circuito de polarización.
- $R$  Responsividad.

El circuito de polarización es el siguiente:

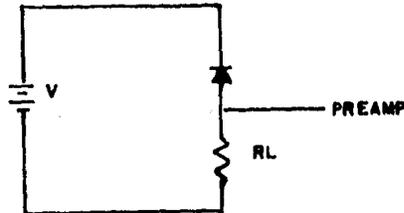


Figura 3.20. Circuito de polarización del fotodiodo.

Donde  $i_0 = RP$

b) Etapa amplificadora.

Donde tenemos dos etapas preamplificador y postamplificador, en éstos la potencia de la luz incidente al receptor es muy baja y la corriente a la salida del fotodetector también lo es. Esta señal eléctrica debe enfrentar las fuentes de ruido de disparo causadas por la generación de portadores en los semiconductores. Por lo tanto un amplificador de bajo ruido es un factor muy importante en el diseño de receptores para comunicación óptica.

c) Igualador.

Es un filtro paso altas cuya función es compensar la atenuación en altas frecuencias ocasionada por el efecto de integración a la entrada del fotodetector (RC).

d) Filtro.

Su función de transferencia es tal que minimice el ruido y la interferencia entre símbolos. A continuación se muestran las fuentes de ruido en los receptores:

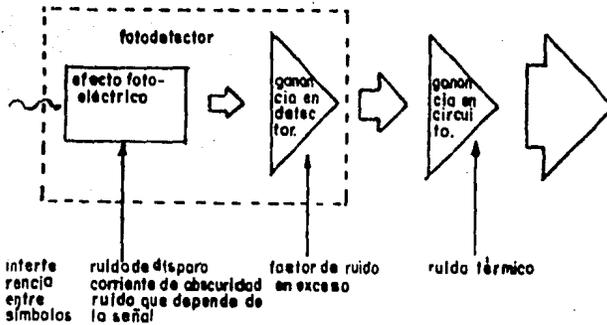


Figura 2.21. Fuentes de ruido en el receptor óptico.

Hay tres tipos básicos de preamplificadores y ellos son:

- 1.- A FET para bajas frecuencias.
- 2.- A BJT para altas frecuencias.
- 3.- A transimpedancia (rango dinámico amplio)

Valor cuadrático medio para el ruido.

(Preamplificador)

Para el FET.

$$\langle n^2_{tot} \rangle = 2.8 kTg_m^{-1} \frac{B^3}{3} [ 2\pi(C_a + C_d)^2 A^2 ] \dots (3.12.1)$$

Para el BJT.

$$\langle n^2_{\text{tot}} \rangle = \frac{4KT [2\pi (C_a + C_d) A^2 B]}{\beta^{1/2}} = \frac{4KT B}{r_{\text{in opt}}} \quad (3.12.2)$$

Para el de transimpedancia.

$$\langle n^2_{\text{tot}} \rangle = \langle n^2_{\text{tot}} \rangle_{\text{FET } \text{ ó } \text{ TBJ}} + \langle n^2_{\text{f}} \rangle \quad (3.12.3)$$

Donde:

- K constante de Boltzman.
- T temperatura.
- B velocidad de transmisión.
- $g_m$  Transconductancia.
- $C_a$  Capacitancia de entrada del preamplificador.
- $C_d$  Capacitancia de agotamiento en el detector.
- A Ganancia.
- $\beta$  Ganancia de corriente.
- $\langle n^2 \rangle$  Ruido en el elemento de retroalimentación.  $= 4KT B / R_f$ .

### 3.14. SISTEMAS DIGITALES A FIBRA OPTICA.

Es en los sistemas digitales donde la fibra óptica tiene el campo de acción más promisorio, ya que se pueden manejar, telefonía, telegrafía, transmisión de datos entre computadoras, etc.

En sistemas digitales se requiere llevar flujo de datos de un punto a otro con la mínima cantidad de errores, para lograr lo anterior se usa la codificación, teniendo cada código diferentes ventajas para cada tipo de transmisión (asíncrona, síncrona), dentro de los códigos encontramos a RZ, NRZ, AMI. Un sistema de comunicaciones por fibra óptica (digital) se muestra en la figura 3.22.

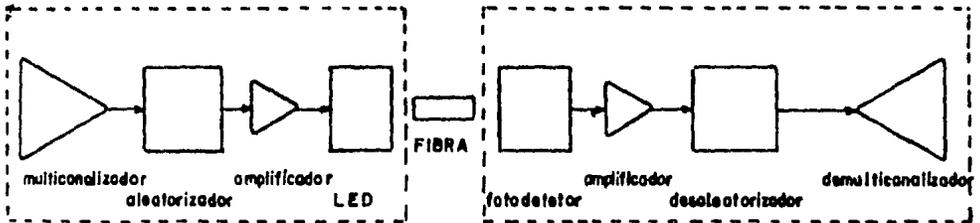


Figura 3.22. Sistema de comunicaciones por fibra óptica digital.

A continuación se da la tabla 3.1. donde se resume la aplicación de diferentes alternativas de comunicación, ponderándolas del 1 al 3 de acuerdo a su importancia en este tipo de aplicación.

TABLA 3.1.

	MICRO- ONDAS	CABLE COAXIAL	PAR TELEFO- NICO	SATELITE	GUIA DE ONDA	FIBRA OPTICA
ESTACION TRANSMISORA	3	3	3	3	3	3
ENLACE DE LARGO ALCANCE	3	3	2	3	3	3
ENLACE DE CORTO ALCANCE	2	3	3	1	1	3
ENLACES ENTRE USUARIOS	1	2	3	1	1	3
ENLACES ENTRE LA CENTRAL Y USUARIO	1	3	1	1	1	3
MILITAR	3	3	3	3	3	3
ENLACES ENTRE COMPUTADORAS	1	3	1	1	1	3
CATV	3	3	1	3	1	3

## CAPITULO IV.

### DISEÑO DEL MULTIPLEXOR TDM PARA CANALES DE DATOS A FIBRA OPTICA.

#### 4.1. INTRODUCCION.

El Multiplexor fue desarrollado como un proyecto del Instituto de Investigaciones Eléctricas, para la empresa CONDUTEL, S.A. de C.V., del grupo CONDUMEX. Quien a empezado a trabajar con equipo electrónico para transmisión de señales, a través de fibra óptica; dicha empresa solicitó el desarrollo del Multiplexor, para tener una variedad de equipos con los cuales pueda ser competitiva en el mercado nacional.

El equipo tiene como características principales que es enlazado a fibra óptica y puede manejar velocidades asíncronas de 0-19.2 Kbps. El proyecto se extendió hasta lograr la construcción de dos prototipos a nivel industrial, los cuales cumplen con las especificaciones requeridas.

En el presente capítulo, se da el desarrollo de la elaboración de este prototipo, el cual está estructurado de la siguiente forma: primero, se da la concepción de un sistema multiplexor de señales analógicas y digitales para transmisión por fibra óptica; después, se describe la

elaboración del prototipo de 8 canales bidireccionales, para la transmisión de datos asíncronos independientes, con velocidades de 0-19.2 Kbps. Donde, se trata las especificaciones, descripción del circuito, las consideraciones de diseño, circuitos impresos, envolvente mecánica, la evaluación de operación y la explicación de sus formas de conexión.

Por último, se dan las consideraciones de diseño para que el prototipo desarrollado maneje señales analógicas y datos.

## 4.2. CONCEPCION DE UN SISTEMA DE MULTIPLEXACION DE SEÑALES ANALOGICAS Y DIGITALES PARA TRANSMISION POR FIBRA OPTICA.

### 4.2.1. DESCRIPCION GENERAL.

El sistema multiplexor comprende dos equipos terminales enlazados por un par de fibras ópticas. Donde cada equipo está formado por un número variable de entradas, un subsistema transmisor, un subsistema receptor y un número variable de salidas.

El subsistema transmisor está constituido por interfases\* de entrada, tanto digitales como analógicas, una base de tiempos, un circuito serializador y un transmisor electro-óptico, acoplado a una fibra óptica, que interconecta a este subsistema, con el subsistema receptor del equipo terminal distante.

El subsistema receptor está constituido por un receptor electro-óptico, un circuito recuperador de reloj, un circuito conversor serie/paralelo, un circuito para sincronización de la trama e interfases de salida.

---

Interfases. Circuitos que permiten la unión de miembros de un sistema, de manera que puedan funcionar en una forma compatible y coordinada.

El equipo multiplexor tiene una serie de características, las cuales, están encaminadas a aumentar la versatilidad del equipo y son:

- \* La capacidad de manejar señales analógicas y digitales, síncronas o asíncronas.

- \* La utilización de la fibra óptica para interconectar los equipos terminales.

- \* La técnica tanto de generación como de detección del código de sincronización de la trama, que permite cambiar la longitud y el tipo de código en forma simple.

- \* La técnica de recuperación de reloj que evita la pérdida de sincronización, reduciendo el error acumulativo proveniente de diferencias en frecuencia o fase entre las bases de tiempos del subsistema transmisor y del subsistema receptor.

- \* La técnica para sincronizar la entrada de datos, establecer la velocidad de salida de los datos serializados de la trama y generar el código de sincronización de la trama.

#### 4.2.2. DESCRIPCION A BLOQUES.

La figura 4.1. muestra el diagrama en bloques del multiplexor en el que se aprecian los circuitos que lo conforman.

Estando constituido por dos equipos terminales (5 y 14), enlazados por un par de fibras ópticas (6).

Cada equipo terminal está formado por un número variable de entradas (nVE o mWE), un subsistema transmisor (12), un subsistema receptor (13) y un número variable de salidas (nVs o mWs), que corresponden a las entradas respectivas del equipo terminal distante.

Las interfases de entrada (1) están constituidas por circuitos acondicionadores de señal, que puedan ser tanto analógicas como digitales, ya sea sincronas o asincronas. El bloque de interfases de entrada (1), está gobernado por una base de tiempos (2), que suministra las señales necesarias para la conversión analógica/digital o la sincronización para señales digitales sincronas, dependiendo del tipo de canal que se desea.

El número de canales y el tipo de señales es variable; estando su límite máximo determinado por la frecuencia base generada en la base de tiempos (2).

La salida de las interfases de entrada (1) son señales únicamente digitales y son transferidas al serializador (3).

Por otro lado, la base de tiempos proporciona el código de sincronización de la trama, el cual es transferido al serializador (3).

El serializador (3), toma periódicamente, de acuerdo a señales dadas por la base de tiempos (2), las señales digitales de las interfases de entrada (1) en forma paralela y las transfiere en forma serie al transmisor electro-óptico (4), adicionándole información para la sincronización de la trama proveniente de la base de tiempos (2). El transmisor electro-óptico (4), convierte las señales eléctricas en pulsos luminosos que se transmiten a través de fibras ópticas (6), para la terminal de entrada óptica del equipo terminal distante (5), para efectuar el proceso de separar y distribuir adecuadamente la información de datos a cada uno de los canales.

Al subsistema receptor (13) le llega la información codificada del subsistema transmisor del equipo terminal distante (5), a través de una fibra óptica (6) a un receptor electro-óptico (7), que transforma los pulsos luminosos en pulsos eléctricos. La salida del receptor electro-óptico (7) por un lado se alimenta a un conversor serie/paralelo (9) y por otro, al circuito recuperador de reloj (8).

El circuito recuperador de reloj (8) con base a una señal proporcionada por la base de tiempos (2), genera la señal que permite al conversor serie/paralelo (9), efectuar su función. El conversor serie/paralelo (9) separa la información digital y la asigna a los canales que les corresponde, según su posición dentro de la trama y suministra también, el código de sincronización de la trama al circuito correspondiente (10).

El circuito de sincronización de trama (10), es un circuito que detecta el código de sincronización generada en el serializador (3) del multiplexor distante, genera la sincronización de la trama y provee también señales de sincronización a las interfases de salida (11).

En la figura 4.2. se muestra el subsistema transmisor (12) y el detalle de las interfases de entrada (1) y la base de tiempos (2). Las interfases de entrada (1), están constituidas por circuitos acondicionadores de señales digitales (15), que además de efectuar un adecuado acoplamiento de impedancias, se encargan de proporcionar las características establecidas por normas internacionales para la transmisión de datos. El número de canales digitales y los circuitos acondicionadores de señales digitales (15), puede ser variable y de dos tipos asíncronos y síncronos. Las señales del tipo asíncrono son muestreadas a alta velocidad (diez o más veces por bit) y cargadas dichas

muestras en los registros del serializador (3); en cambio, las del tipo síncrono, son cargadas en el serializador (3), cada vez que la base de tiempos (2) lo establece; por tanto las señales del tipo síncrono pueden ser más veloces (por lo menos diez veces superiores a las del tipo asíncrono). La base de tiempo (2) proporciona la señal de sincronización para todas las señales del tipo síncronos y es única.

Los circuitos acondicionadores de señales analógicas (16), están conformados por conversores analógicos/digital, los cuales están sincronizados por la base de tiempos (2).

El serializador (3), es un circuito lógico que está constituido por tantos registros como número de canales se requieran. Cuenta además con entradas para sincronizar la entrada de cada canal a los registros internos, así como el reloj que establece la velocidad de salida de los datos serializados. Estas señales son suministradas por un contador (18), que forma parte de la base de tiempos (2). El serializador (3), también cuenta con una entrada serie que se utiliza para conformar la trama de salida. Permite incorporar a la información de los canales el código de sincronización de la trama, mismo que es suministrado por el circuito lógico (19) de la base de tiempos (2).

La base de tiempos (2), está constituida por un oscilador a cristal (17) que proporciona una frecuencia estable a un contador (18), el cual proporciona la sincronización para la entrada de datos, la sincronización para los canales de datos síncronos y analógicos, la velocidad de transmisión de los datos serializados, y la longitud de la trama. Por otro lado, genera a través del circuito lógico (19) el código de sincronización de la trama.

El circuito lógico (19), está constituido por una configuración variable de compuertas lógicas para generar, a partir de las señales provenientes del contador (18), el código de sincronización de la trama.

Por otro lado, la base de tiempos (2), genera a través del oscilador a cristal (17), la señal (20) que se utiliza para la recuperación del reloj en el subsistema de recepción (13).

En la figura 4.3. se detalla el subsistema de recepción (13), al cual le llega la trama enviada por el multiplexor remoto (5), conteniendo la información de los canales distantes, a través de una fibra óptica (6).

La señal óptica es transformada en señal eléctrica por el conversor óptico/ eléctrico (7), y amplificada para que alcance los niveles lógicos adecuados. Esta señal se

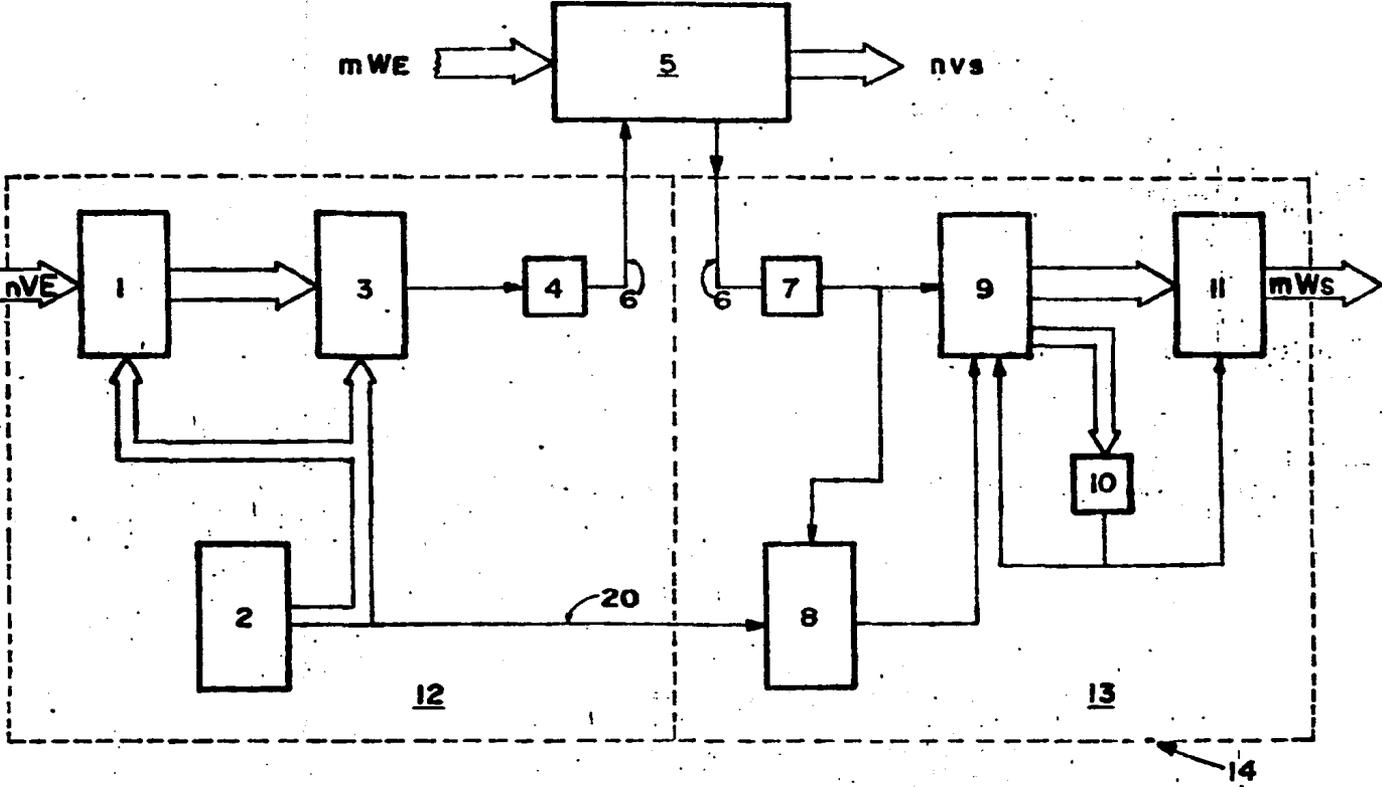
alimenta por un lado al circuito recuperador de reloj (8) directamente a través de un circuito derivador (30) y por otro al conversor serie/paralelo (9).

Por otro lado, la señal (20) que proviene de la base de tiempos (2), tiene una frecuencia que es un múltiplo entero de la velocidad de transmisión y se alimenta a un contador (31) también forma parte del circuito recuperador de reloj (8) que divide la frecuencia de entrada de tal forma que coincide con la velocidad de transmisión, siendo esta señal utilizada como reloj por el conversor serie/paralelo (9).

El circuito derivador (30), proporciona un pulso cada transición positiva de la trama y éste es utilizado para inicializar el contador (31) cada vez que ocurra una transición positiva, recuperando con precisión al reloj requerido por el conversor serie/paralelo (9).

El conversor serie/paralelo (9), está conformado por tantos registros como número de bits conformen la trama, esto es el número de canales más la longitud del código de sincronización de la trama. La información serializada entra sucesivamente en los registros del conversor serie/paralelo (9), hasta que el código de sincronización de la trama es detectada por el circuito lógico de sincronización de la trama (10); y es entonces cuando la información es transferida a las interfases de salida (11) y por otro lado, esta señal borra el contenido de todos los

Figura 4.1. Diagrama en bloques del multiplexor.



registros que conforman el conversor serie/paralelo (9) y habilita la entrada de la información siguiente, repitiéndose el proceso cada vez que el código de sincronización de la trama es detectado.

Las interfases de salida (11) están constituidas por registros de salida (32) que toman la información de cada canal cuando el código de sincronización de la trama es detectado y sus salidas son transferidas a circuitos acondicionadores de señales tanto digitales (33), como analógicos (34) que utilizan conversores analógicos/digitales.

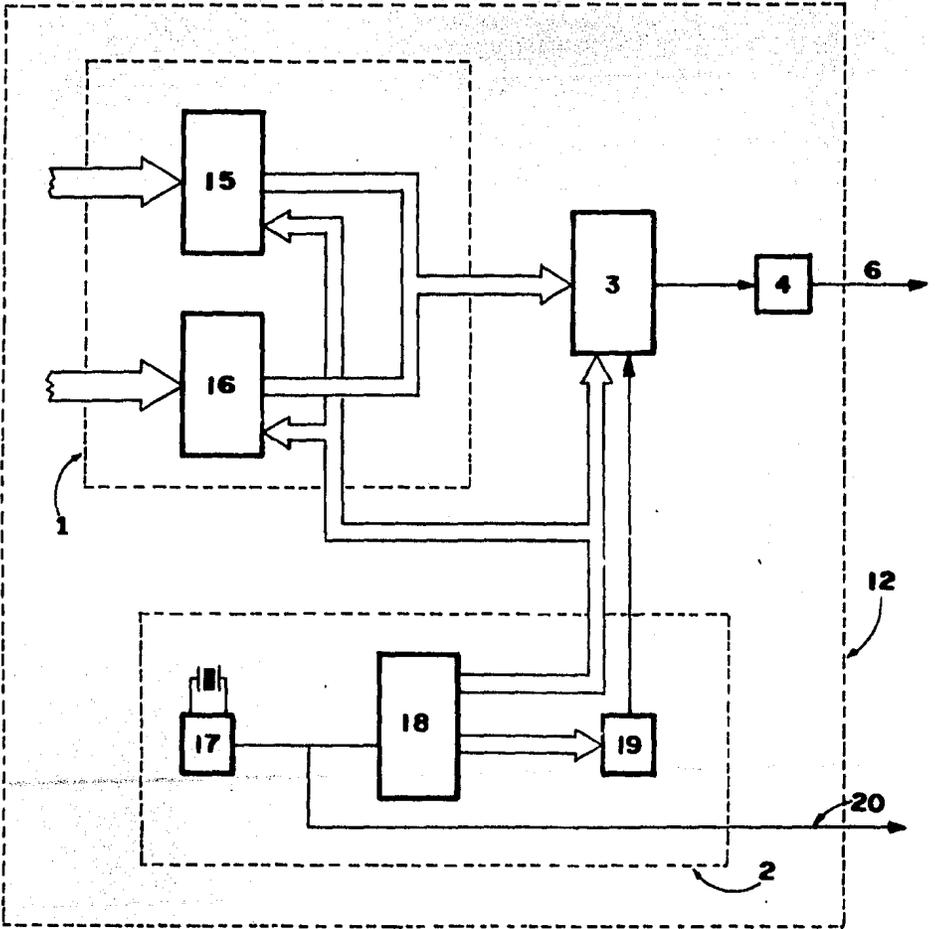


Figura 4.2. Subsistema transmisor del multiplexor.

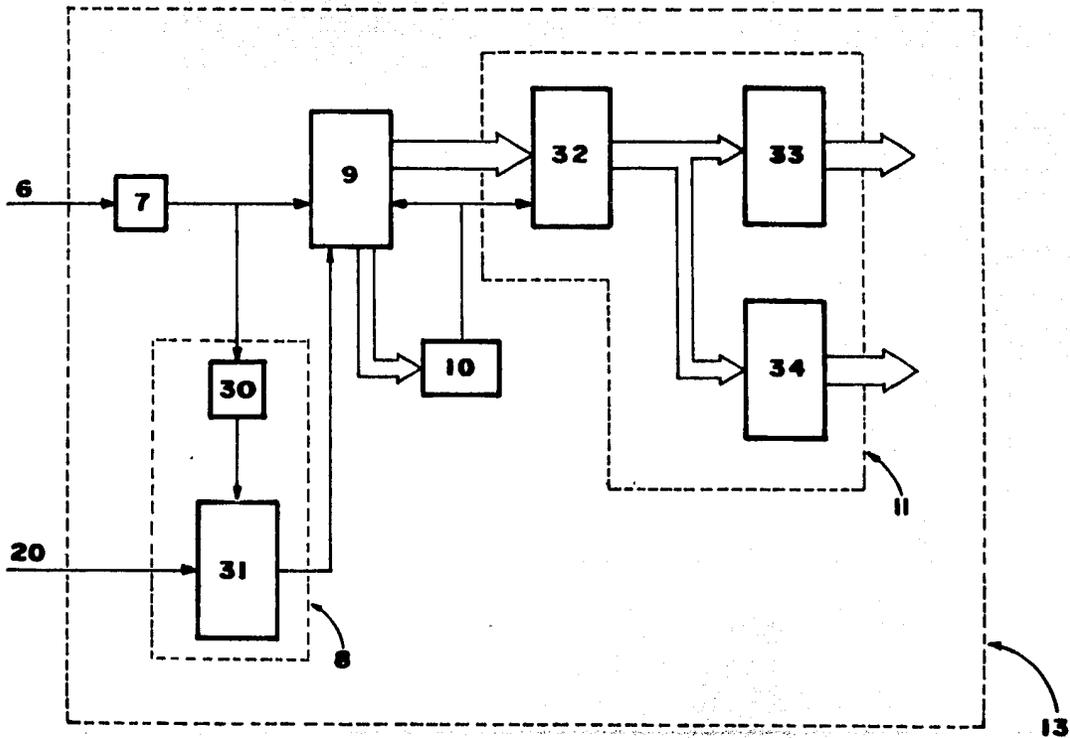


Figura 4.3. Subsistema de recepción del multiplexor.

### 4.3. DESARROLLO DE UN PROTOTIPO DE 8 CANALES BIDIRECCIONALES PARA LA TRANSMISION DE DATOS ASINCRONOS INDEPENDIENTES CON VELOCIDADES DE HASTA 19.2 Kbps.

#### 4.3.1. ESPECIFICACIONES.

##### Características del Sistema.

- \* El sistema multiplexor trabaja con el método de muestreo de bits.
- \* El sistema de multiplexación consiste de dos equipos terminales enlazados por un par de fibras ópticas (50 micras de diámetro del núcleo).
- \* Permite la transmisión de datos asincronos (8 canales bidireccionales) con velocidades de hasta 19.2 kbps.
- \* La tasa de errores típica es de  $10^{-9}$ .
- \* La distorsión en ancho de pulsos a 19.2 kbps.
  - 3.0µseg. con una probabilidad de 90%
  - +9.3µseg. con una probabilidad de 10%
- \* Retraso máximo a respuesta escalón de 12.3µseg.
- \* No requiere ajustes de ningún tipo.
- \* Interfases conforme al estandar EIA RS-232-C (norma CCITT V.24).

##### Características eléctricas de las interfases.

- \* Conforme con el estandar EIA RS-232-C sección 2 (CCITT V.24) para la asignación de los pines.

\* Conector hembra de 25 pines subminiatura tipo "D".

\*Asignación de pines:

No. Pin	EIA RS-232-C		CCITT V.24	
1	Protective Ground	AA	Earth Common	101
2	Transmitted Data (Primary)	BA	Transmitted Data	103
3	Received Data (Primary)	BB	Received Data	104
6	Data Set Ready	CC	Data Set Ready	107 *
7	Signal Ground	AB	Signal Ground	102
14	Secondary Transmitted Data	SBA	Transmitted Backward Channel Data	118
16	Secondary Received Data	SBB	Received Backward Channel Data	118

\* El pin 6 está conectado a +10V a través de una resistencia de 3.9KΩ.

#### Características ópticas.

\* Potencia óptica de transmisión -19 dBm

a 820 nm.

\* Potencia óptica mínima de recepción -24 dBm.

\* Conectores ópticos tipo PCR-002 OFTI.

### **Indicadores.**

- \* Indicador rojo de transmisión de información.
- \* Indicador amarillo o verde de recepción de señales provenientes del transmisor remoto.

### **Características Ambientales.**

- \* Temperatura de almacenaje -40°C a +75°C.
- \* Temperatura de operación 0°C a +55°C
- \* Humedad relativa 95%

### **Características Físicas.**

- \* Tamaño: 29.5 x 17.0 x 5.5 cm
- \* Peso: 1.150 kg.
- \* Longitud de cable de línea: 1.5 m

### **Alimentación**

- \* Voltaje de alimentación 110 V.
- \* Consumo 6 VA.
- \* Fusible 250 mA/250V.

---

\*\*EIA RS-232. (Electronic Industries Association) Interfase entre Equipos Terminales de Datos y Equipos Comunicadores de Datos, empleando datos binarios serie.

#### 4.3.2. DESCRIPCION DEL CIRCUITO.

El prototipo multiplexor trabaja con el método de muestreo de bits. En donde, cada canal de datos es muestreado a una frecuencia de 89.353 KHz, y mandado en un agregado serie, con una velocidad de 894.886 Kbps.

Este está constituido por dos equipos terminales, intercomunicados a través de fibra óptica. Cada equipo está formado por 8 entradas de datos, un subsistema transmisor, un subsistema receptor y 8 salidas de datos, que corresponden a las entradas respectivas del equipo terminal distante.

Las interfases de entrada están constituidas por circuitos acondicionadores de señal, para señales asincrónicas, éstas pasan los niveles de la interfase RS-232 a voltajes con niveles TTL (0-5 Volts); las salidas de la interfases son transferidas al subsistema transmisor, a el circuito denominado serializador, al cual también le llega el código de sincronización, que es generado por la base de tiempo.

El serializador toma las señales de las interfases, a una frecuencia de 81.353 veces por segundo, que es la señal dada por la base de tiempo, éste toma las entradas paralelo y las transfiere en forma serie, agregándole información para la sincronización de la trama; dicha información serie,

es suministrada al transmisor electro-óptico, donde los pulsos eléctricos son convertidos en pulsos luminosos y se transmiten por fibra óptica al equipo terminal distante.

Al subsistema receptor le llega la información del equipo terminal distante, a través del receptor electro-óptico, que convierte los pulsos luminosos a pulsos digitales, estos pulsos se suministran por un lado al conversor serie paralelo y por otro a un circuito recuperador de reloj. Este circuito recuperador de reloj genera las señales necesarias para que el conversor serie/paralelo efectue su función.

El conversor separa la información serie, según el canal que le corresponde y suministra el código de sincronización de la trama al circuito de sincronización de la trama.

El subsistema transmisor, como se ha mencionado, está constituido por interfases de entrada RS-232, que proporcionan un acoplamiento de impedancias correcto, donde las señales asíncronas son muestreadas 4.2 veces por dato.

El serializador está constituido por 8 registros y una serie de entradas con el siguiente uso: una sirve para sincronizar la entrada a cada canal, otra donde se suministra la señal de la base de tiempos, que determina la velocidad con la que salen los datos serie, y la otra donde

entra el código de sincronización de la trama, que es generado en el circuito generador de la base de tiempo.

La base de tiempos, al igual que para el multiplexor descrito en el punto (4.2), está constituido por un oscilador a cristal, que proporciona una frecuencia estable de 3.579 MHz, ésta se aplica a un contador para generar la sincronización para la entrada de datos, la velocidad de transmisión y el código de sincronización de la trama. El contador genera las señales anteriores gracias a que trabaja con la ayuda de circuitos lógicos.

En el subsistema receptor llega la trama generada por el multiplexor distante, en forma de pulsos luminosos, estos son convertidos en pulsos eléctricos, por el receptor electro-óptico, entregandolos con niveles TTL; estos son suministrados por un lado al conversor serie/paralelo y por otro al circuito recuperador de reloj, a través de un circuito derivador.

En el circuito recuperador de reloj llega la frecuencia de 3.579 MHz, que es cuatro veces la frecuencia de salida de datos, llegando ésta a un contador, que la divide para que coincida con la frecuencia de entrada de datos y es usada como reloj para el conversor serie/paralelo.

El circuito derivador, proporciona un pulso cada transmisión positiva de la trama y éste es utilizado para inicializar al contador, recuperando el reloj requerido para el conversor serie/paralelo.

El conversor serie paralelo está conformado por 11 registros, es decir, 8 registros de datos y 3 para el código de sincronización. Los datos serie entran en los registros del conversor, hasta que el código de sincronización (110) es detectado, cuando esto pasa los datos que están en los registros son pasados a las interfases, almacenandose hasta la otra detección del código de sincronización (los datos se almacenan en un circuito de memoria denominado "LATCH", que está antes de los circuitos de interfase), al mismo tiempo que los registros son borrados, asegurandose de que la sincronía no se pierda, debido a datos iguales al código de sincronización.

Las interfases de salida convierten las señales digitales de valores TTL a la norma RS-232, a la vez que proporciona la impedancia necesaria para esta norma.

Las figuras siguientes muestran el prototipo, su diagrama a bloques y la trama.

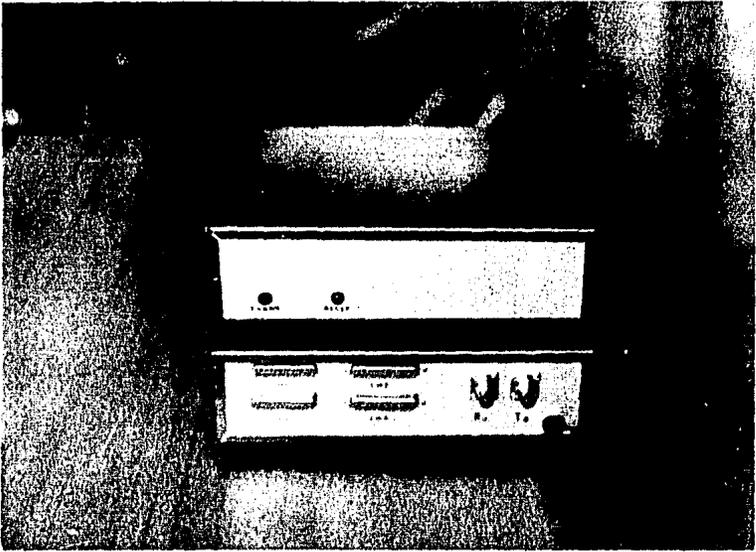


Figura 4.4. Prototipo del multiplexor de 8 canales.

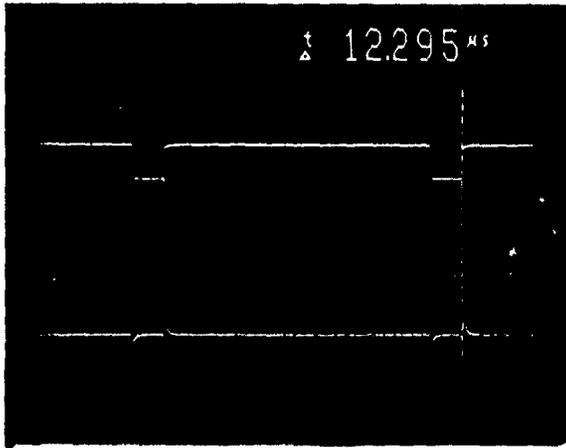


Figura 4.5. Trama del Multiplexor de 8 canales.

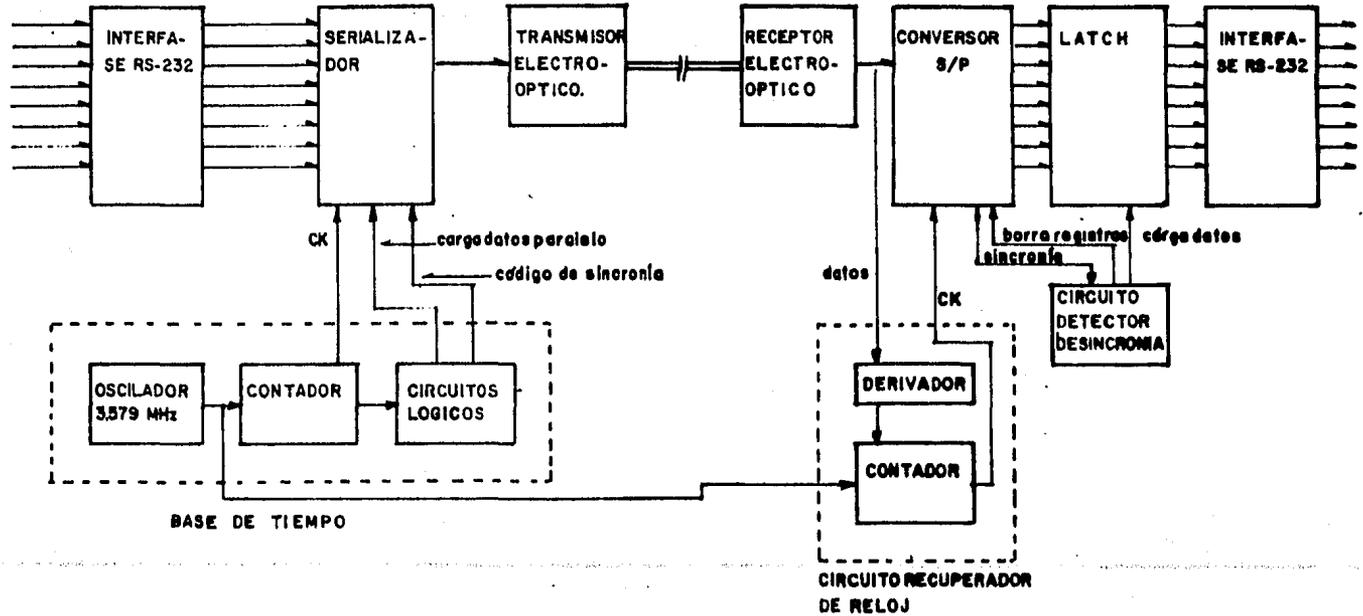


Figura 4.6. Diagrama a bloques del multiplexor de 8 canales.

### 4.3.3. CONSIDERACIONES DE DISEÑO.

#### 4.3.3.1. CIRCUITO PARA LA BASE DE TIEMPO.

En este punto se trata lo referente al circuito que es usado para generar la base de tiempo del multiplexor.

Este circuito, comúnmente llamados oscilador o sistema de reloj, es generador de ondas rectangulares y su salida no necesariamente será una onda cuadrada, como se ve en la figura 4.7.

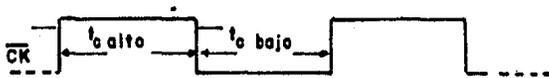


Figura 4.7. Señal de reloj.

Por lo general, los osciladores son especificados por varias características de las cuales podemos mencionar las siguientes:

- 1) Frecuencia ( $f_0$ ) en Hz (ciclos por segundo)
- 2) Estabilidad de frecuencia es igual al porcentaje de  $f_0$  que varia debido a cambios de temperatura y envejecimiento del aparato.

### 3) Ciclo de trabajo.

$$= [t_{c\_alto} / [(t_{c\_alto}) + (t_{c\_bajo})]] \times 100\%$$

El oscilador que usa el multiplexor se muestra en la figura siguiente, dando a continuación sus principales ventajas y desventajas.

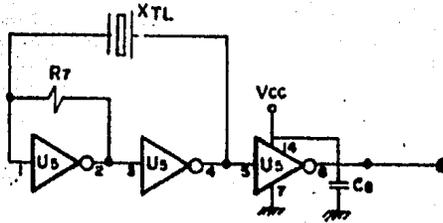


Figura 4.8. Oscilador del sistema.

#### Ventajas.

- 1) Frecuencia estable.
- 2) Simple.
- 3) Alcanza altas frecuencias.

#### Desventajas.

- 1) No supresión de sobre tonos.
- 2) No simétrico.
- 3) Requiere potencia para empezar a trabajar.

En el circuito anterior, los inversores trabajan como amplificadores, esto es por la retroalimentación negativa que se tiene a través de la resistencia  $R_7$  de  $470\Omega$ ; el cristal del oscilador actúa como un vibrador mecánico

estable, debido a su comportamiento piezo-eléctrico, constituyendo la red esencial de retroalimentación para la oscilación del circuito. La función de la compuerta de salida es la de proporcionar aislamiento entre la carga y el circuito de oscilación. La frecuencia del circuito está dada por la oscilación propia del cristal, siendo ésta de 3.579 545 MHz. La siguiente fotografía muestra la señal de la base de tiempo del multiplexor de 8 canales.

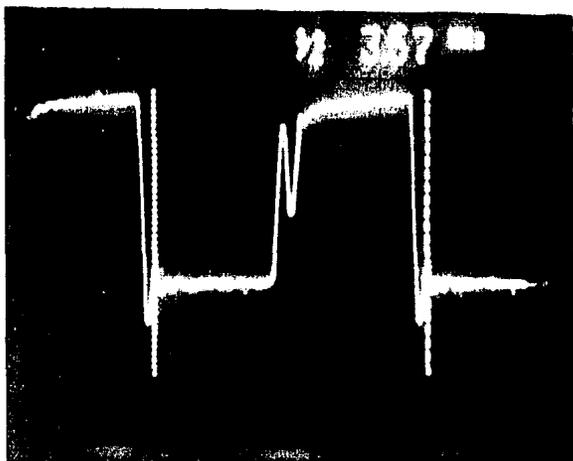


Figura 4.9. Señal de reloj del multiplexor.

#### 4.3.3.2. SERIALIZADOR.

El serializador toma periódicamente, de acuerdo a señales dadas por la base de tiempos, las señales digitales de cada interfase en forma paralela y las transfiere a forma serie, adicionándole información para la sincronización de la trama, proveniente de la base de tiempos. El circuito serializador se muestra en la figura 4.10.

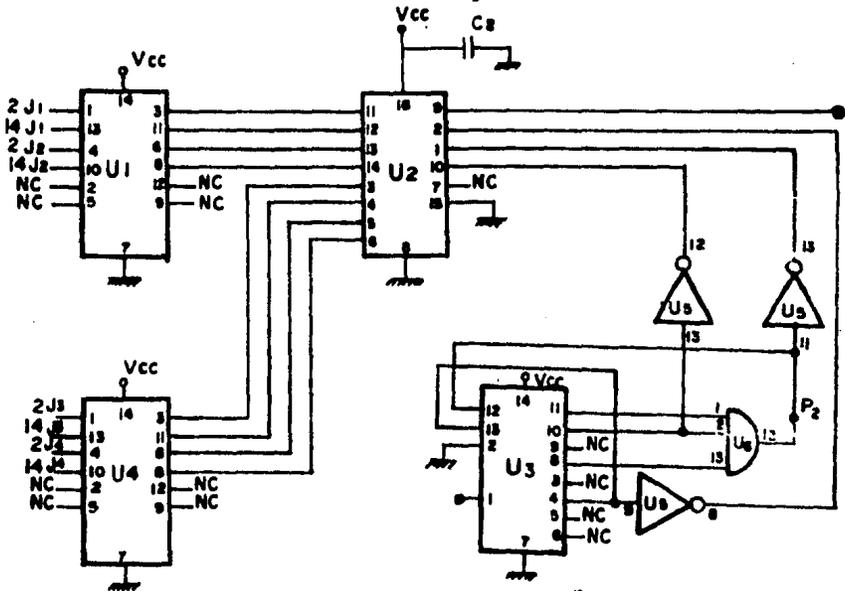


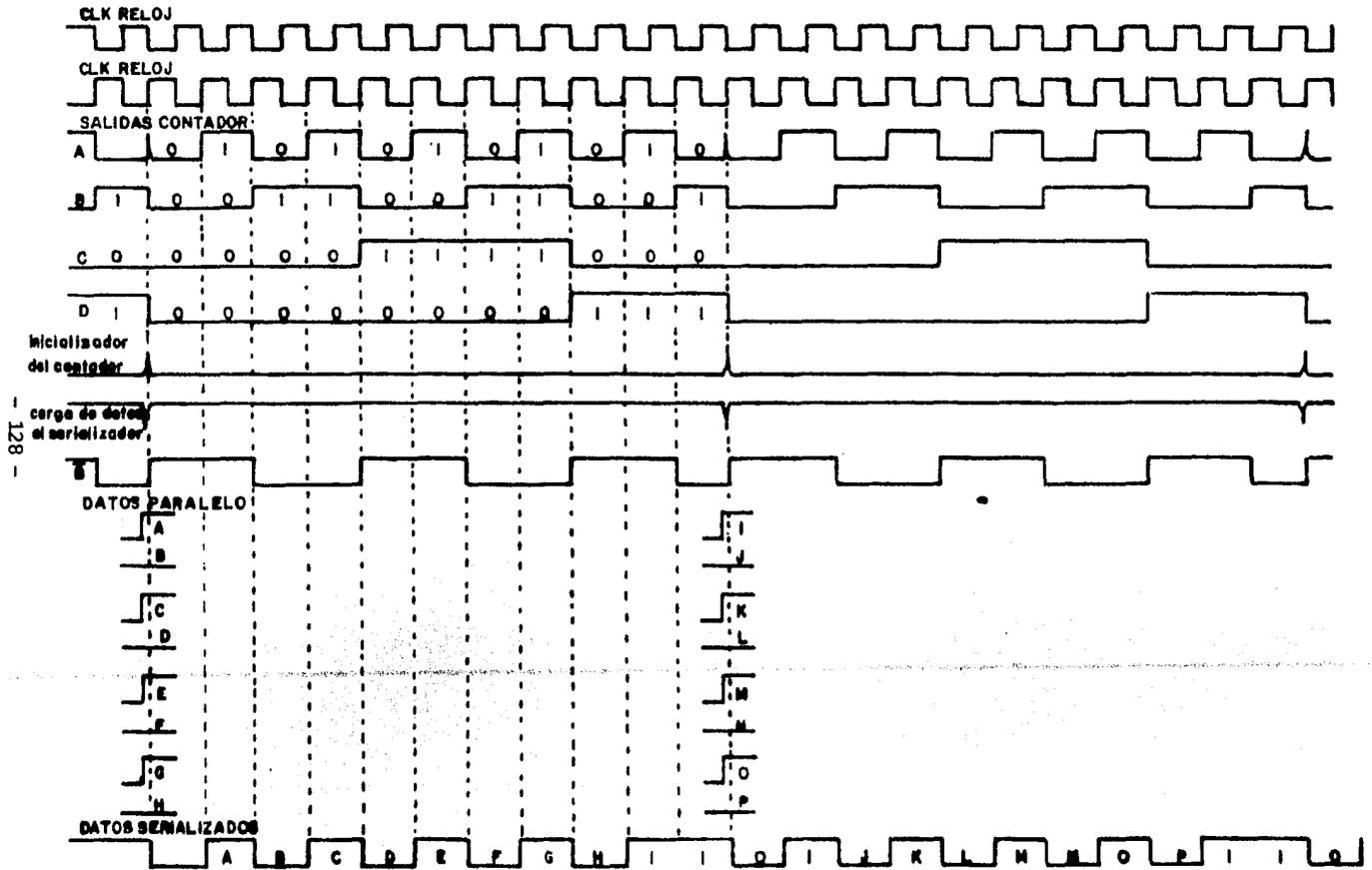
Figura 4.10. Serializador de 8 canales,

El serializador consta de las siguientes partes: Un contador circuito U<sub>3</sub>, un convertidor paralelo serie U<sub>2</sub>, varios inversores y una compuerta AND.

Lo primero que se hace, es dar al circuito  $U_3$  (contador) la señal de reloj con una frecuencia de 3.579545 MHz a través del pin 1, que es la entrada a uno de los dos contadores del circuito  $U_3$ , este contador se usa para bajar la frecuencia a 894.886 KHz, frecuencia con la que van a salir los datos serie, esta frecuencia se obtiene del pin 4 del circuito contador  $U_3$ .

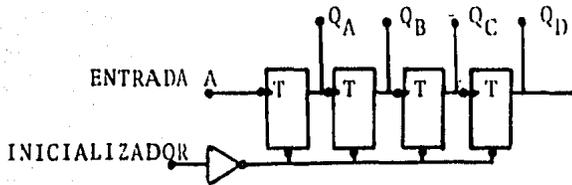
El diagrama de tiempos del serializador se muestra en la figura 4.11. En éste se tiene lo siguiente: el oscilador con una frecuencia de 894.8 KHz (CK), este mismo oscilador pero negado ( $\overline{CK}$ ) (donde la negación se logra por medio de uno de los inversores), las cuatro salidas del segundo contador del circuito  $U_3$  (D,C,B,A), la señal para inicialización del segundo contador del circuito  $U_3$ , la señal para cargar registros en paralelo, la señal  $\overline{E}$  del contador, la entrada de datos y la salida serie.

Su funcionamiento se da a continuación: cuando el contador está en la posición 0000 y pasa a la posición 0001, sale un dato serie previamente cargado en el conversor paralelo/serie y entra un dato para la sincronía por la entrada serie, tomado de la salida B del contador (pin 10 del  $U_3$ ), el cual es negado. La salida y entrada serie del circuito conversor paralelo/serie, son los pines 9 y 10 respectivamente del circuito  $U_2$ ; el circuito contador y el conversor serie/paralelo se muestran en la figura 4.12.

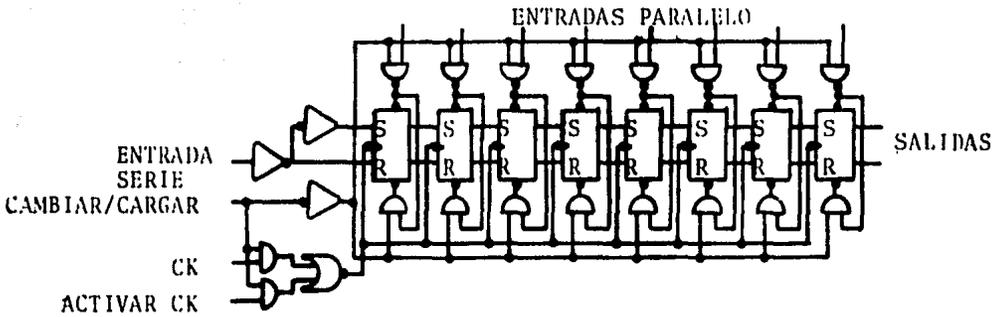


128 -

Figura 4.11. Diagrama de tiempos del Serializador.



a) Circuito contador.



b) Conversor paralelo/serie.

Figura 4.12. Circuitos contador y conversor paralelo/serie.

Cuando el contador pasa de 0001 a 0010, sale otro dato serie y se carga el segundo dato de sincronia, éste y el anterior son dos datos positivos o sea "1"s lógicos como observamos en la figura 4.13.

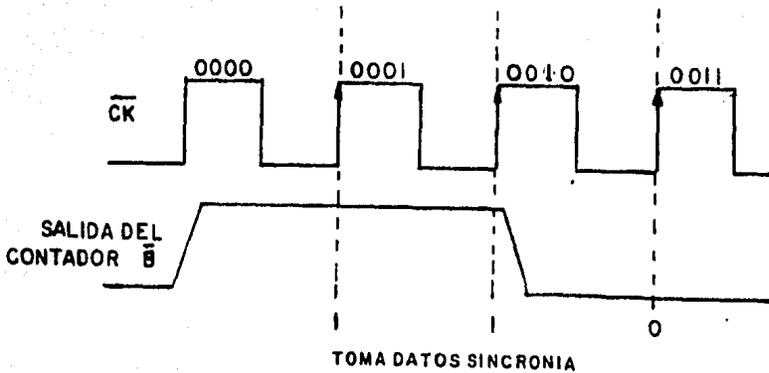


Figura 4.13. Datos de sincronía tomados de la base de tiempo.

Al pasar ahora el contador de 0010 a 0011, tenemos otro dato serie de salida y el tercer dato de sincronía es cargado en el conversor paralelo/serie, este dato es un "0" lógico como se observa en la figura anterior. En el conteo de 0011 a 0100 se obtiene, en la salida serie del conversor, el cuarto dato serie. Así para la transición 0100 a 0101, se tiene el quinto dato; para 0101 a 0110, el sexto dato; para 0110 a 0100, el séptimo dato; para 0100 a 1000, el octavo dato; para 1000 a 1001, se tiene un dato de sincronía que fue cargado en el periodo 0000 a 0001. Al pasar de 1001 a 1010 sale el segundo dato de sincronía, cargado en el periodo 0001 a 0010. El siguiente cambio es el más importante debido a que el contador es inicializado, sale el

último dato de sincronía y se carga el conversor; la secuencia es la siguiente, cuando el oscilador negado CK pasa de alto a bajo, es sacado el último dato serie, que es dato de sincronía, inmediatamente después el contador es inicializado y se coloca en la posición 0000, esto se logra con la lógica de la compuerta AND, cuya tabla de verdad aparece en la figura siguiente:

D	C	B	A	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	*
1	1	0	1	*
1	1	1	0	*
1	1	1	1	*

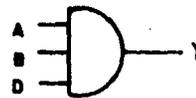
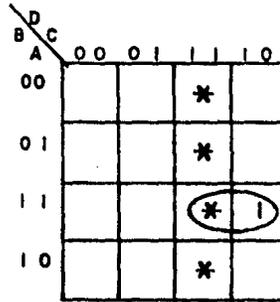


Figura 4.14. Lógica para inicializar el contador y cargar el conversor serie paralelo.

Después de que el reloj fue inicializado, se cargan los datos en paralelo, los cuales serán sacados en forma serie, con el siguiente ciclo de conteo de 0000 a 1010. El pulso para cargar el conversor paralelo/serie se obtiene de la lógica de la compuerta para inicializar el reloj, la única diferencia es que este pulso se invierte antes de ser aplicado.

Con esto se obtiene un ciclo de cargar datos paralelo y sacarlos en forma serie, con sus respectivos datos de sincronía; donde el punto más crucial fue el anterior donde se saca el último dato de sincronía, se inicializa el contador y se cargan datos en paralelo. Este momento se aprecia en la figura 4.15.

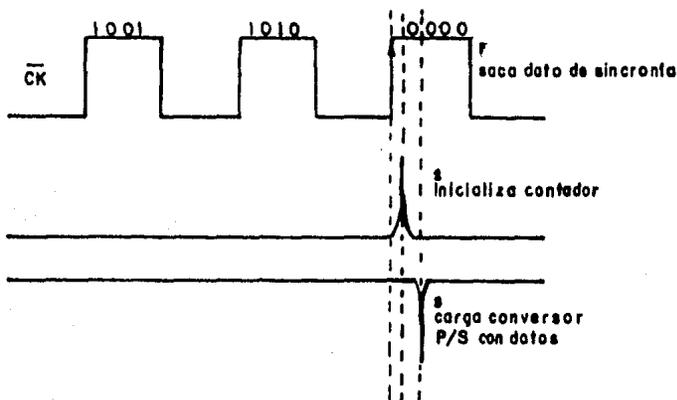


Figura 4.15. 1. Sale dato de sincronía, 2. inicializa el contador, 3. carga datos paralelo.

De esta forma es como se multiplexa las 8 entradas paralelo; en el diagrama, (figura 4.10), los circuitos  $U_1$  y  $U_4$  son interfases para las normas RS-232, los cuales pasan los voltajes de estas normas a valores de TTL (+5 V).

La frecuencia con que se cargan los datos paralelo es de 81.353 KHz y la denominamos frecuencia de muestreo del dato. Si aumentamos esta frecuencia obtendremos menos

distorsión del dato; esta frecuencia la podemos cambiar variando la frecuencia del oscilador local, haciéndolo mayor.

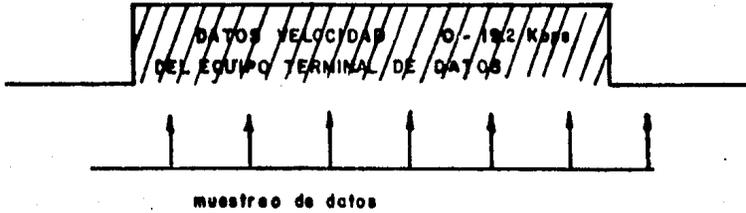


Figura 4.16. Frecuencia de muestreo del dato

#### 4.3.3.3. SUBSISTEMA RECEPTOR.

El subsistema receptor está formado por un conversor serie/paralelo, un circuito recuperador de reloj, un circuito recuperador de la trama y un receptor electro-óptico, el cual se explicará en un punto aparte.

El circuito recuperador de reloj con base en una señal proporcionada por la de base de tiempos (oscilador local), genera la señal que permite al conversor serie/paralelo efectuar su función. El conversor serie/paralelo separa la información digital y la asigna a los canales que le corresponden, según la posición que tienen dentro de la trama y suministra también el código de sincronización de la trama al circuito que lo detecta.

El subsistema receptor de 8 canales se muestra en la figura 4.17. En el subsistema receptor de 8 canales, se tiene el circuito recuperador de reloj el cual está formado por los siguientes componentes: un circuito diferenciador (RC) y un circuito contador  $U_{14}$ . Este trabaja de la siguiente forma, al contador  $U_{14}$  le llega una señal de reloj a 3.579 MHz proveniente del oscilador local, al llegar un dato el circuito diferenciador empieza a trabajar y genera pulsos que inicializan al contador, sincronizándose para atrapar los datos aproximadamente a la mitad de estos, en el diagrama de tiempos (figura 4.18) se aprecia como ocurre lo anterior.



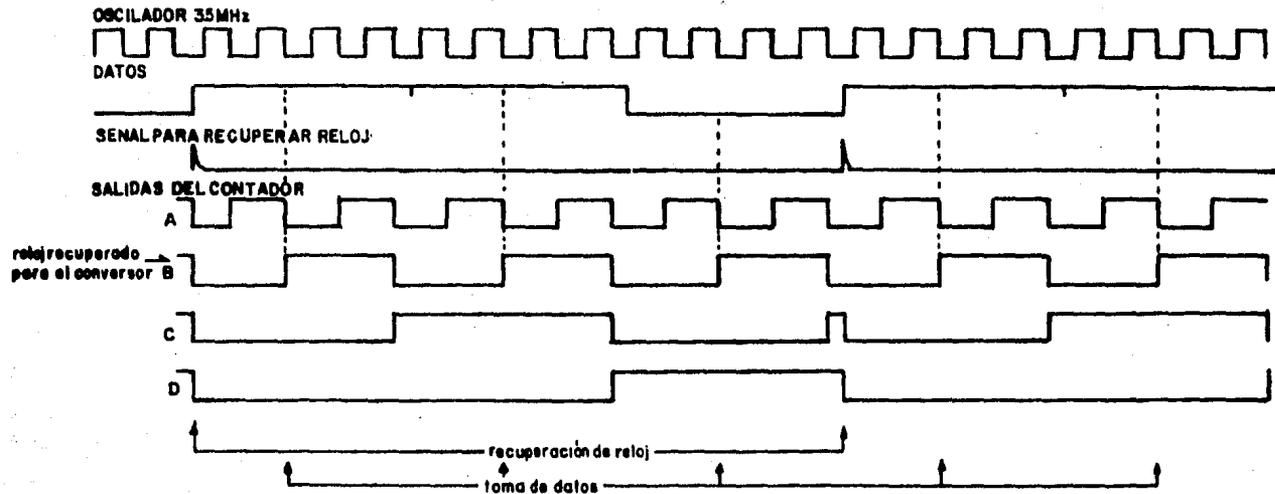


Figura 4.18. Diagrama de tiempos del circuito recuperador de reloj.

El circuito conversor serie paralelo consta de los circuitos siguientes: dos conversores serie/paralelo ( $U_8$  y  $U_{13}$ ), un "LATCH"  $U_{12}$ , para la captura y almacenamiento de los datos paralelo y circuitos de interfase  $U_7$  y  $U_{11}$ , para estandarizar las salidas a RS-232, el conversor serie/paralelo y el latch se muestran en la figura 4.19. y 4.20.

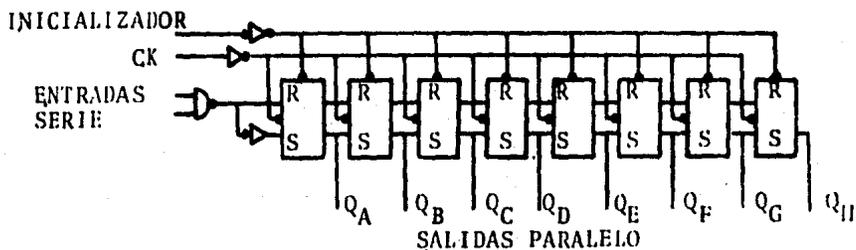


Figura 4.19. Conversor serie/paralelo.

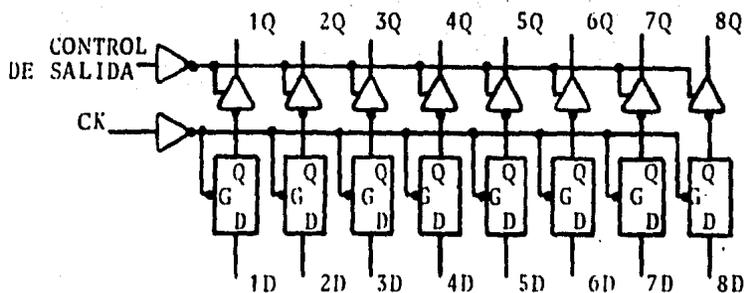


Figura 4.20. "LATCH" 74LS373.

El circuito de sincronización de la trama está compuesto por la lógica de la compuesta AND y el inversor, de tal manera que cuando detecta el código de sincronización, hace que el "LATCH" capture a los datos, esto es, manda una señal a la entrada de reloj del "LATCH", haciendo que éste tome los datos, a la vez que borra los registros del conversor serie paralelo. La tabla de verdad y el mapa de Karnaugh se muestran en la figura 4.21.

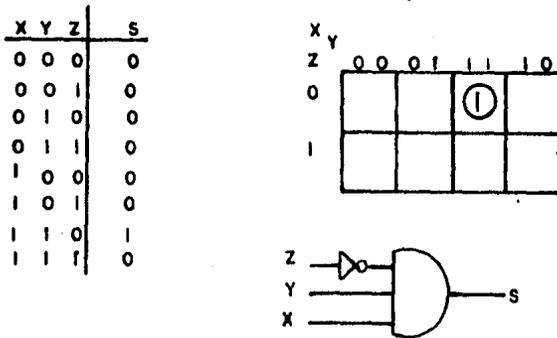


Figura 4.21 Tabla de verdad y mapa de Karnaugh del circuito de sincronización de la trama.

El funcionamiento del circuito conversor serie/paralelo y del circuito de sincronización de la trama se explicará a través del diagrama de tiempos de dichos circuitos (figura 4.22.)

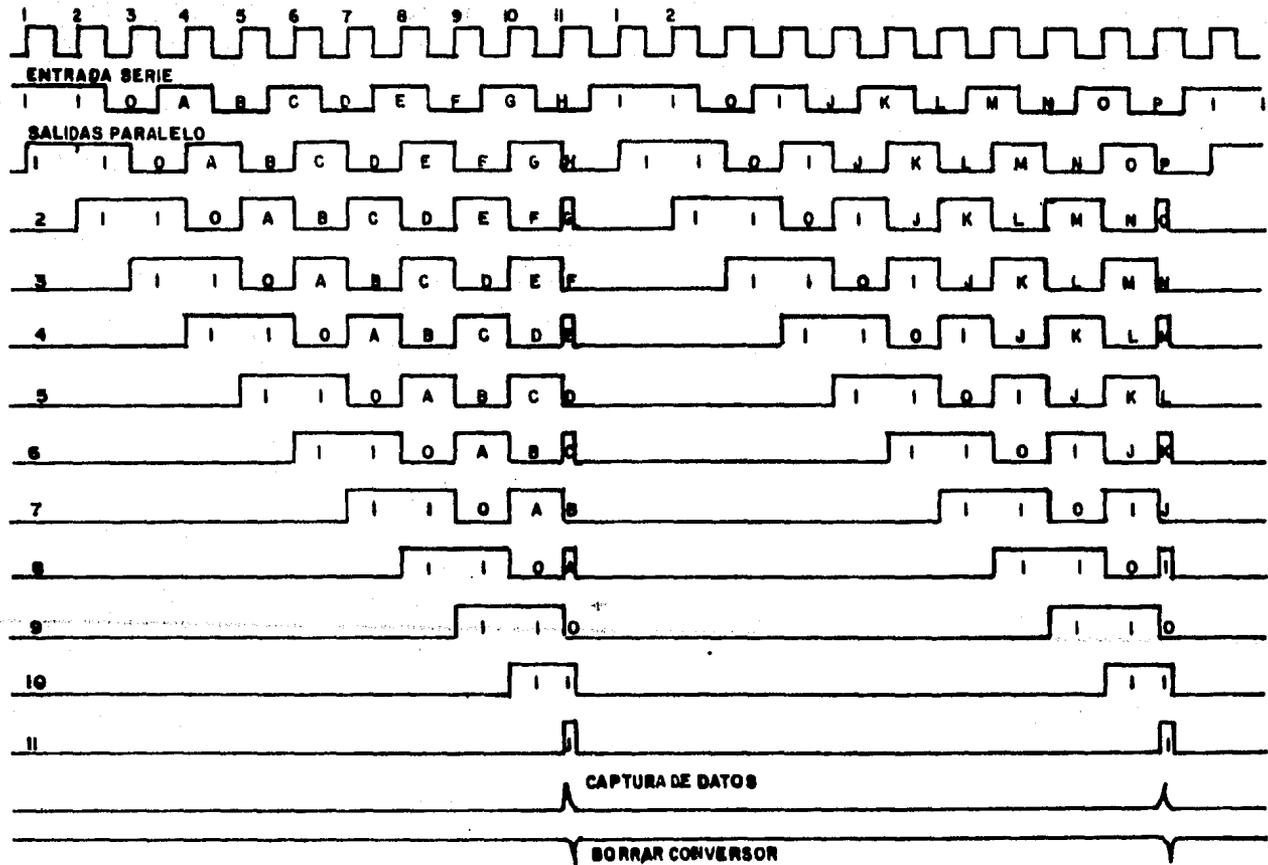


Figura 4.22. Diagrama de tiempos del convertor Serie/Paralelo.

Del diagrama de tiempos, aplicando a la entrada de reloj de los conversores serie/paralelo la señal de reloj ya recuperada, la cual toma a los datos aproximadamente a la mitad, se tiene lo siguiente.

En la posición 1 de la figura 4.22. donde hay un cambio de un nivel bajo a un alto, que es precisamente con la parte que se cargan los registros del conversor serie/paralelo, se carga el primer dato de sincronía en el primer registro del conversor, al mismo tiempo que se verifica en los últimos tres registros, si se tiene el código de sincronización, en este caso no hay tal código de sincronización en dichos registros. En la posición 2 del diagrama entra otro dato de sincronización al primer registro, recorriéndose el anterior al segundo registro, en este caso también se verifica el código de sincronización en los últimos tres registros. En la posición 3 se captura el tercer dato de sincronía en el primer registro, recorriéndose los datos anteriores en el conversor serie/paralelo y verificando la sincronía. Así en la posición 4 se carga el dato A, se recorren los datos y se verifica la sincronía; en la posición 5 se carga el dato B, se recorren los datos y se verifica la sincronía; en la posición 6 se carga el dato C, se recorren los datos y se verifica la sincronía; en la posición 7 se carga el dato D, se recorren los datos y se verifica la sincronía; en la posición 8 se carga el dato E, se recorren los datos y se

verifica la sincronía; en la posición 9 se carga el dato F, se recorren datos y se verifica la sincronía; la posición 10 se carga el dato G, se recorren los datos y se verifica la sincronía. La posición 11 es el estado más crítico, pues en este entra el dato H y se verifica la sincronía, la cual tiene el código correcto, por lo que en el circuito de sincronización de la trama se genera un pulso, con el cual el "LATCH" captura los datos separándolos en su respectivo canal y manteniéndose este dato almacenado hasta la próxima verificación del código de sincronización, una vez que el "LATCH" captura los datos, los registros del conversor serie/paralelo son limpiados con la misma señal de captura pero invertida, esto se hace con el propósito de que si entre los datos hay una secuencia igual al código de sincronización no se confunda con éste y no se pierda la sincronía de la trama. Las salidas ya demultiplexadas después del "LATCH" pasan a los circuitos  $U_7$  y  $U_{11}$  para obtener salidas estandarizadas a RS-232. El ciclo se vuelve a repetir continuamente capturando datos cada que el código de sincronía se detecte.

En la figura 4.23. podemos apreciar el momento en el que es detectado el código de sincronización, la captura de datos y el momento en que se borran los registros del conversor serie/paralelo.

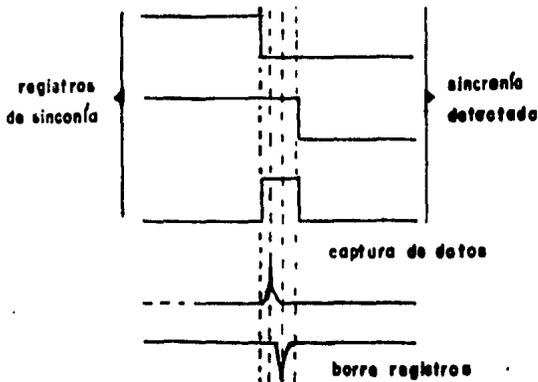


Figura 4.23. 1. detecta el código de sincronización  
 2. captura los datos 3. borra registros del conversor.

De esta manera es como se demultiplexan 8 salidas paralelo, entregándolas ya con los estándares RS-232.

La frecuencia con que se entrega el dato de salida es igual a la frecuencia que llamamos de muestreo, de esta forma un dato del equipo terminal de datos estará formado por varios datos del multiplexor como se muestra en la figura 4.24.

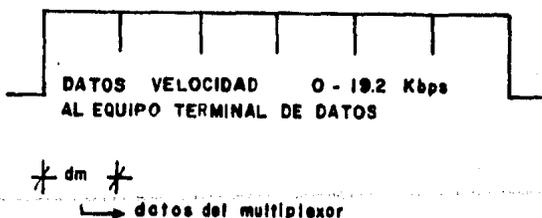


Figura 4.24. Salida de datos de un canal del multiplexor.

#### 4.3.3.4. TRANSMISOR ELECTRO-OPTICO.

El circuito transmisor electro-óptico es un circuito típico de excitación que está acoplado a una fuente TTL; su diagrama se muestra en la figura 4.25.

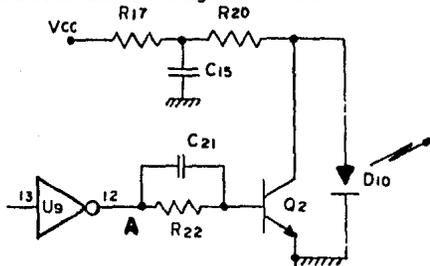


Figura 4.25. Circuito transmisor electro-óptico.

El funcionamiento del circuito anterior se verá de la siguiente forma; los datos que provienen de la salida serie del multiplexor son pulsos de +5V y 0V, por lo que el circuito puede analizarse para dos estados; cuando en la entrada A hay un pulso positivo de +5V y cuando hay un pulso de 0V.

Si en la entrada A hay +5V hacemos lo siguiente:

Calculamos la corriente de base; de la figura 4.25.

tenemos:

$$I_B = \frac{V_B - V_D}{R_{22}}$$

sustituyendo valores tenemos:

$$I_B = \frac{5.0 - 0.7}{220} = 19.5 \text{ mA.} \quad \text{Si } \beta = 40$$

calculando la corriente de colector

$$I_C = \beta I_B \quad I_C = 40(19.5) = 781 \text{ mA.}$$

La cual es una corriente muy grande, por lo que podemos afirmar que el transistor está saturado y toda la corriente  $I_1$  fluye por éste, esto se debe a que en el diodo tiene entre sus terminales el voltaje de saturación  $V_{CE}$ , que es aproximadamente de 0.2 V, por lo cual el diodo no conduce.

La corriente que fluye por el transmisor es la que se muestra a continuación:

$$I_C = \frac{V_{CC} - V_s}{R_{17} + R_{20}}$$

Sustituyendo valores tenemos:

$$I_C = \frac{5.0 - 0.2}{4.7 + 33} = 127.3 \text{ mA}$$

Ahora si en A tenemos 0V, no hay una circulación de corriente puesto que el voltaje  $V_{BE} = 0V$  y el transistor está cortado. Por lo anterior, no circula corriente por

dicho transistor, pasando toda ésta por el LED, generandose una señal luminosa; la corriente tiene un valor de:

$$I = \frac{V_{cc} - V_D}{R_{17} + R_{20}}$$

Sustituyendo valores tenemos:

$$I = \frac{5.0 - 0.7}{4.7 + 33} = 114 \text{ mA.}$$

Esta corriente nos da aproximadamente -19  $\mu$ m de potencia óptica de salida, equivalente a 12.5  $\mu$ W.

La salida de la fuente de energía debe ser perfectamete filtrada para evitar retroalimentación en el transmisor hacia el interior de otros componentes del sistema, de ahí el uso de un capacitor  $C_{15}$  para desacoplamiento de fuente. El capacitor de base es usado para aumentar la velocidad de conmutación del transistor.

#### 4.3.3.5. RECEPTOR ELECTRO-ÓPTICO.

La función del receptor electro-óptico es detectar la señal de luz incidente y convertirla en una señal eléctrica utilizable que contenga la información transmitida.

Su objetivo principal es minimizar la potencia óptica requerida de entrada para una determinada probabilidad de error en sistemas digitales.

El receptor del multiplexor está constituido por una etapa en la que se encuentra el fotodetector, una etapa de amplificación como se muestra en la figura y un comparador.

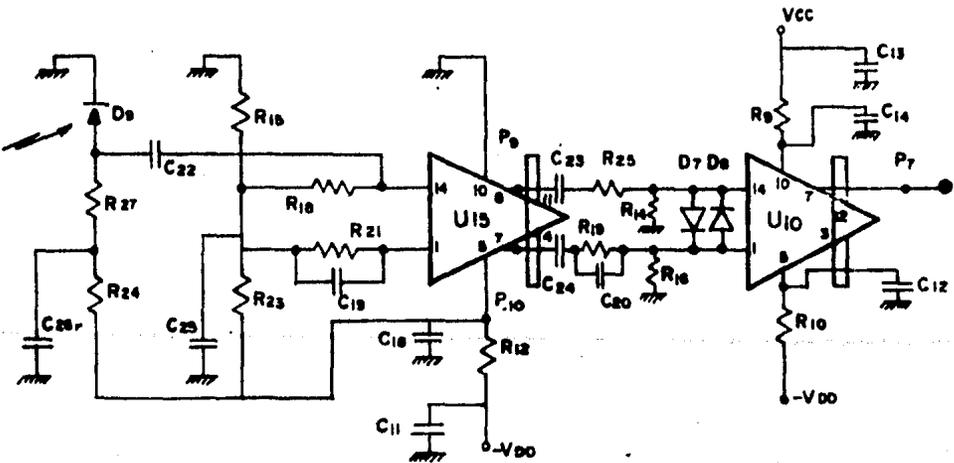


Figura 4.26. Receptor electro-óptico.

La ganancia de la primera etapa está dada por lo siguiente, donde se considera que:

- Los amplificadores tienen un ancho de banda muy grande.

El modelo para la primera etapa es:

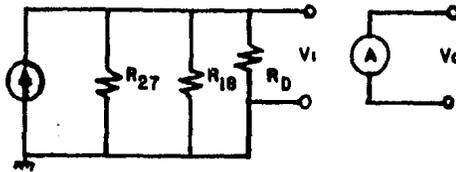


Figura 4.27. Modelo de la etapa de amplificación.

donde:

$R_D = 4K\Omega$  Para la ganancia 1 del circuito 733, según datos del manual.

$R_{18} = 8.2K\Omega$

$R_{27} = 8.2K\Omega$

de la figura observamos que:

$$\frac{V_0}{I} = \frac{V_0}{V_1} * \frac{V_1}{I}$$

donde:

$$\frac{V_1}{I} = (R_{27} // R_{18} // R_D) = 2.024 \text{ K}\Omega$$

Además:

$$\frac{V_o}{V_1} = A_v = 200$$

sustituyendo los dos resultados anteriores en la primera ecuación tenemos:

$$\frac{V_o}{I} = \frac{V_o}{V_1} * \frac{V_1}{I} = (2.024)(200)$$

Por lo que el resultado final es:

$$\frac{V_o}{I} = 404.93 \text{ K}\Omega$$

El segundo amplificador es usado como un comparador y su esquema es el siguiente:

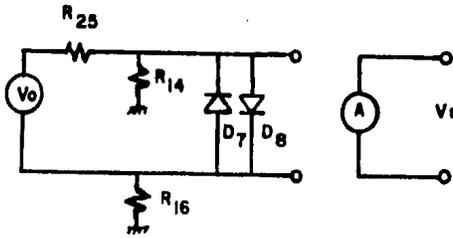


Figura 4.28. Modelo para el comparador.

Donde los 0.2 V del circuito recortador son suficientes para saturar al segundo amplificador y mantener a éste entre corte y saturación, entregando una onda cuadrada a la salida.

En el diagrama los capacitores  $C_{26}$  y  $C_{25}$  trabajan como filtros para corte a bajas frecuencias. El capacitor  $C_{22}$  es usado como filtro a bajas frecuencias y como capacitor de acoplamiento, obteniéndose una mejor sensibilidad. Los capacitores  $C_{23}$  y  $C_{24}$  son de acoplamiento y además sirven para evitar oscilaciones debidas a retroalimentación. Con el capacitor  $C_{20}$  se aumenta la velocidad entre los cambios de saturación y corte. Los diodos  $D_7$  y  $D_8$  son usados como un circuito recortador de nivel, para que el segundo amplificador pueda trabajar en perfectas condiciones, sin que se distorsione la señal de salida debido a los efectos de una señal de entrada con demasiada amplitud, estos trabajan junto con las resistencias  $R_{25}$  y  $R_{19}$ .

## CALCULO DE LA SENSITIVIDAD.

La sensibilidad del sistema anterior está dada por la fórmula siguiente: para un BER=10<sup>-9</sup>\*,

$$P_o = \frac{2q(Q')^2}{R_o} B_N F(M) + \frac{2\sigma_o Q'}{R_o M}$$

donde:

- q carga de electrón.
- R<sub>o</sub> Responsividad.
- Q' Variable que depende de la función de distribución de probabilidad gaussiana para una señal digital de dos niveles.
- B<sub>N</sub> ancho de banda.
- F(M) factor de exceso de ruido.
- σ<sub>o</sub> ruido equivalente a la entrada.
- M ganancia para el fotodiodo.

Para calcular el ruido tenemos la siguiente fórmula que nos da la corriente cuadrática media de ruido:

---

\* BER Probabilidad de Error.

$$\langle i_{\text{ruido}}^2 \rangle = \frac{4KT B_N}{R_r} = \frac{1.6 \times 10^2 B_N}{4.1 \text{ K}}$$

donde:

- K constante de Boltzman.
- T temperatura °k.
- $R_r = R_{27} // R_{18}$ .

Por lo que:

$$\langle i_{\text{ruido}}^2 \rangle = 3.9 \times 10^{-24} (B_N)$$

donde

$$B_N = 2 \times 10^6 \text{ aproximadamente.}$$

$$\langle i_{\text{ruido}}^2 \rangle = 3.9 \times 10^{-24} (2 \times 10^6) \text{ A}^2$$

$$\langle i_{\text{ruido}} \rangle = 2.7937 \times 10^{-9} \text{ A}$$

El ruido del amplificador según datos tomados de sus hojas de características es de 40µV, que reflejados hacia la rama del fotodiodo se tiene en corriente:

$$I_r = 1.975 \times 10^{-8} \text{ A.}$$

si

$$\sigma_0 = i_{\text{ruido}} + I_r$$

sustituyendo valores:

$$\sigma_0 = 1.975 \times 10^{-8} + 1.975 \times 10^{-8} A.$$

$$\sigma_0 = 2.2543 \times 10^{-8} A.$$

$Q' \rightarrow Q$  cuando el ancho de banda es grande y lo obtenemos de la tabla siguiente:

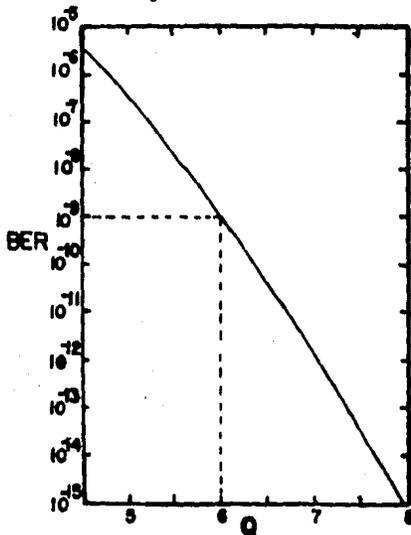


Figura 4.29. Probabilidad de error contra Q.

si

$$R_0 = 0.55$$

$$q = 1.6 \times 10^{-19}$$

$$Q = 6$$

$$F(M) = 1$$

Y sustituimos valores en la fórmula de sensibilidad tenemos:

$$P_0 = \frac{(2)(1.6 \times 10^{-19})(6^2)(2 \times 10^6)(1)}{0.55} + \frac{(2)(2.254 \times 10^{-8})(6)}{0.55}$$

Por lo que  $P_0 = 4.91889 \times 10^{-7} \text{W}$ .

en dB.  $p_0 = -33.0 \text{dBm}$

Si la potencia transmitida es de  $-19 \text{dBm}$ , entonces:

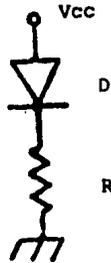
Pot. Trans. - Pot. Rec. = Pot. Disponible.

$-19 \text{dBm} - (-33.0 \text{dBm}) = -14.0 \text{dBm}$  de potencia disponible.

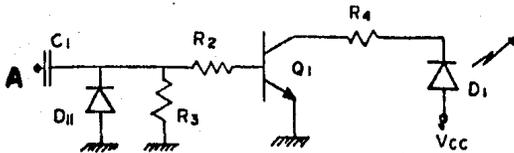
De lo anterior, si perdemos 2 dBm por los conectores, tenemos 12 dBm libres para su uso y considerando que la fibra tiene una atenuación de 3 dBm por cada kilómetro, entonces tendremos una distancia de enlace máxima de 4 Km.

#### 4.3.3.6. CIRCUITOS INDICADORES.

Los circuitos indicadores son usados para informar al usuario, que el sistema está transmitiendo y recibiendo información; los diagramas eléctricos se muestran en la figura 4.30. y a continuación se explica cada circuito.



a) Indicador de transmisión de datos.



b) Indicador de recepción de datos

Figura 4.30. Circuitos indicadores.

#### 4.3.3.6.1 INDICADOR DE TRANSMISION DE DATOS.

Es un led polarizado en directa, que al dar alimentación al sistema éste prende, con lo cual se indica que todo el sistema está trabajando y por lo tanto está mandando información.

#### 4.3.3.6.2. INDICADOR DE RECEPCION DE DATOS

Al llegar datos a la entrada A, éstos hacen que el transistor esté trabajando en corte y saturación manteniéndose el led la mayor parte del tiempo encendido. Cuando no hay recepción de datos el transistor se encuentra en corte por lo que el led permanece apagado. Si en la entrada A hay una componente de corriente continua el capacitor  $C_1$  está encargado de eliminar esta señal para que no se prenda el led sin datos.

#### 4.3.3.7. FUENTE DE ALIMENTACION.

La fuente de alimentación del multiplexor es una fuente que suministra tres voltajes, que son +5, +9 y -9. En la figura 4.31. se muestra el diagrama de la fuente de alimentación de este sistema.

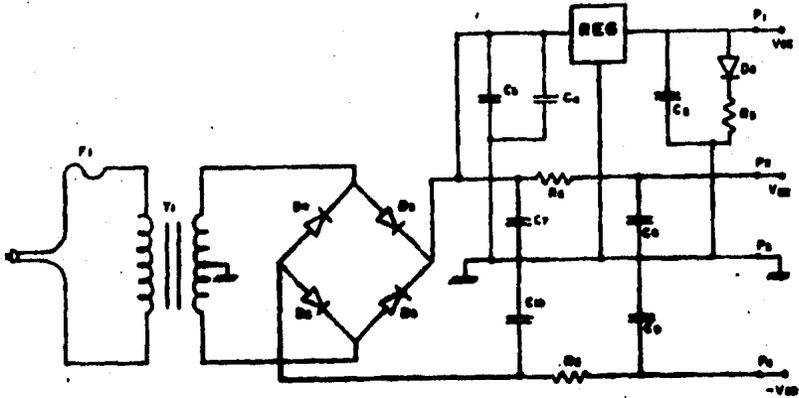


Figura 4.31. Fuente de alimentación.

La fuente está constituida por las siguientes partes:

- Un transformador que aísla la alimentación de la red suministradora de energía y reduce la entrada de 120 volts de CA a una baja tensión de corriente alterna utilizable.

- Un rectificador de onda completa, tipo puente, que convierte la CA en CC y satisface la demanda de corriente de carga.

- Filtros que mantienen un nivel suficiente entre los ciclos de carga, para satisfacer las limitaciones de las tensiones de entrada del regulador y de las fuentes sin regulación.

El transformador es de 120 a 18 V con tap central a 500 mA, el filtrado se realiza colocando un condensador en paralelo con la carga, el funcionamiento de este sistema se basa en el hecho de que el condensador almacena energía durante el periodo de conducción y libera esta energía sobre la carga durante el periodo de no conducción, disminuyendo de esta manera la tensión de rizado. La forma de onda de la fuente de alimentación con sólo el filtro es:

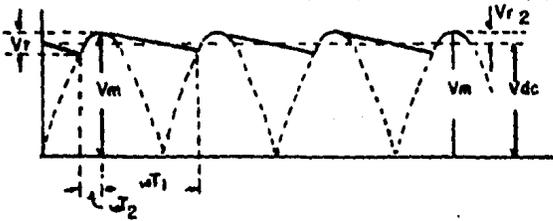


Figura 4.32. Forma de onda de la fuente de alimentación.

Para tener un rizado bajo y asegurar una buena regulación, deben emplearse capacitancias bastante grandes.

La fuente de alimentación de 5 volts es una fuente regulada, lográndose esto a través de un circuito integrado de tres terminales. Las tres conexiones son: una de corriente continua no regulada, desde nuestro filtro de entrada, otra que es referencia a tierra y finalmente una

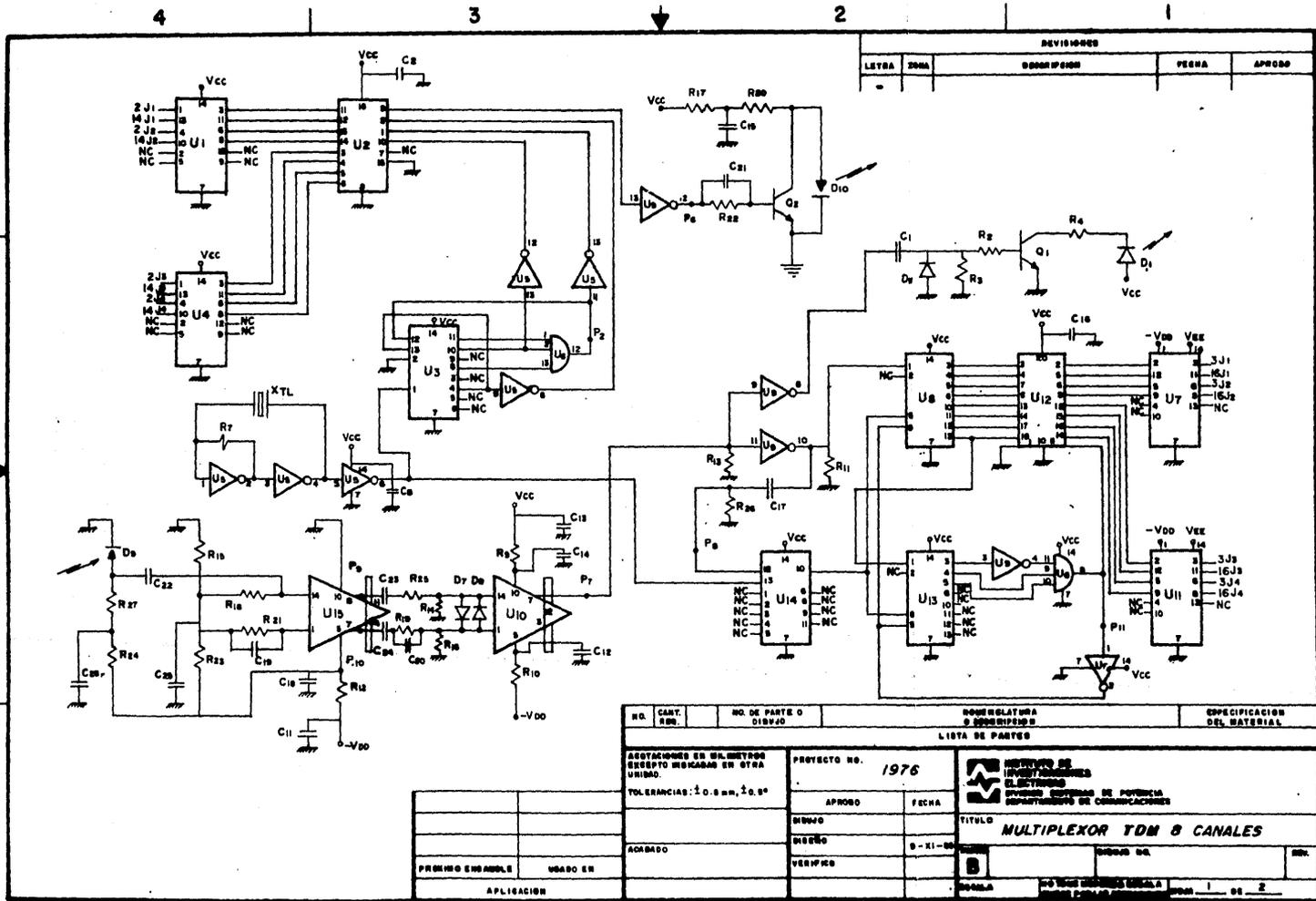
salida de corriente directa regulada.

En un regulador de tres terminales la referencia de tensión es la parte más importante, porque cualquier anomalía o perturbación se reflejará a la salida. Por consiguiente, la referencia debe ser estable y exenta de ruido y desviaciones.

Las fuentes de +9 y -9 Volts no es muy necesario que sean reguladas ya que son utilizadas para dar los voltajes de salida a las interfaces RS-232.

#### **4.3.4. DIAGRAMAS ELECTRICOS Y CIRCUITOS IMPRESOS.**

A continuación se dan los diagramas eléctricos, así como los circuitos impresos del prototipo desarrollado.



NO.	CANT. REQ.	NO. DE PARTE O DIBUJO	denominatura o DESCRIPCION	ESPECIFICACION DEL MATERIAL
LISTA DE PARTES				

ADECUACIONES EN DIMENSIONES EXCEPTO INDICADAS EN OTRA UNIDAD. TOLERANCIAS: ±0.5mm, ±0.5°		PROYECTO NO. 1976	 INSTITUTO DE INVESTIGACIONES ELÉCTRICAS UNIVERSIDAD NACIONAL DE MÉXICO DEPARTAMENTO DE COMUNICACIONES	TÍTULO <b>MULTIPLEXOR TDM 6 CANALES</b>
APROBO	FECHA	DISEÑO		DISEÑO NO.
ACABADO	B-11-80	VERIFICADO		DISEÑO DE
PRIMER ENAMBLADO	USADO EN	APLICACION		NO.


DIBUJO NO. 1976  
 HOJA REV. 1



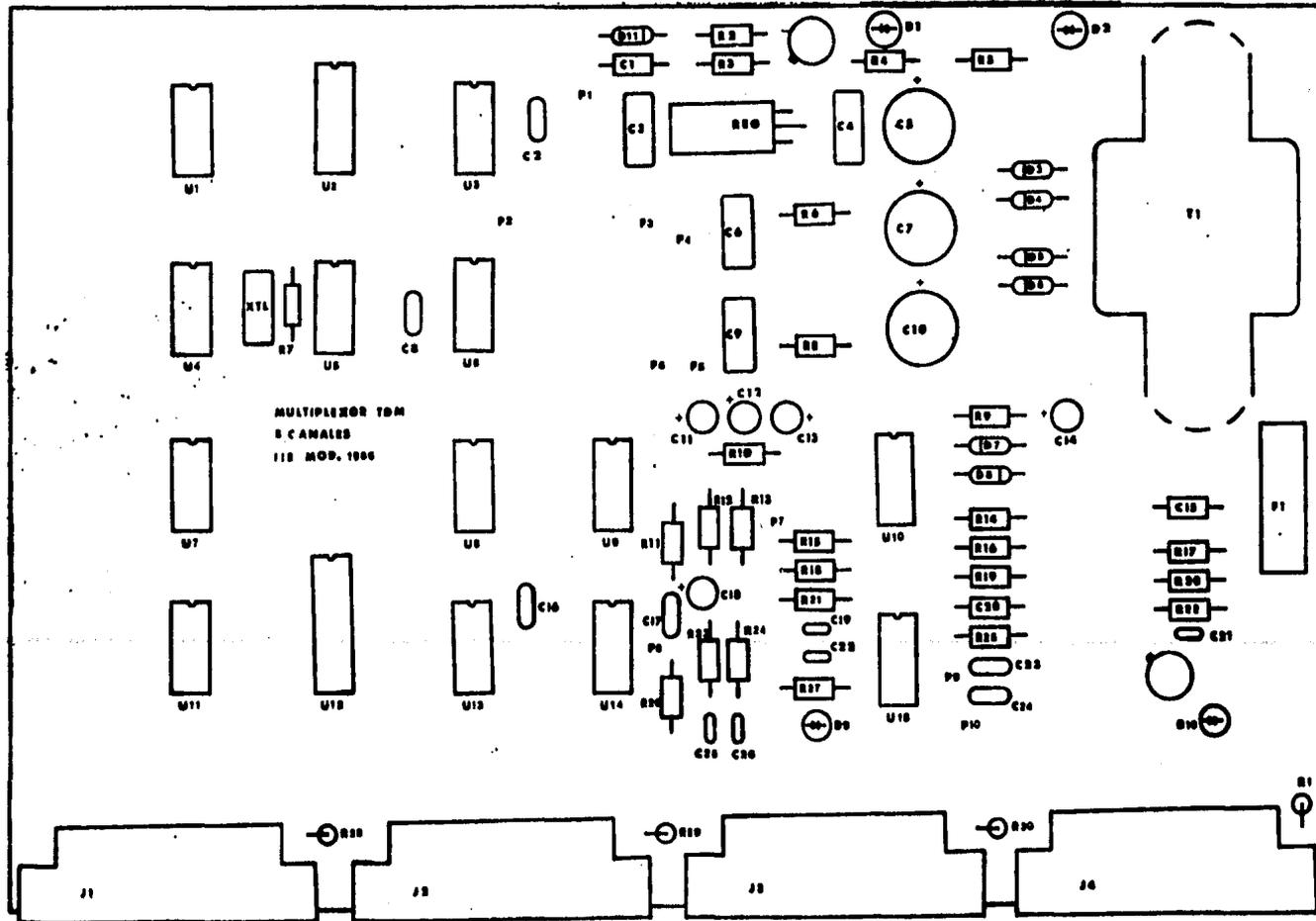


Figura 4.35. Distribución de componentes del Multiplexor.

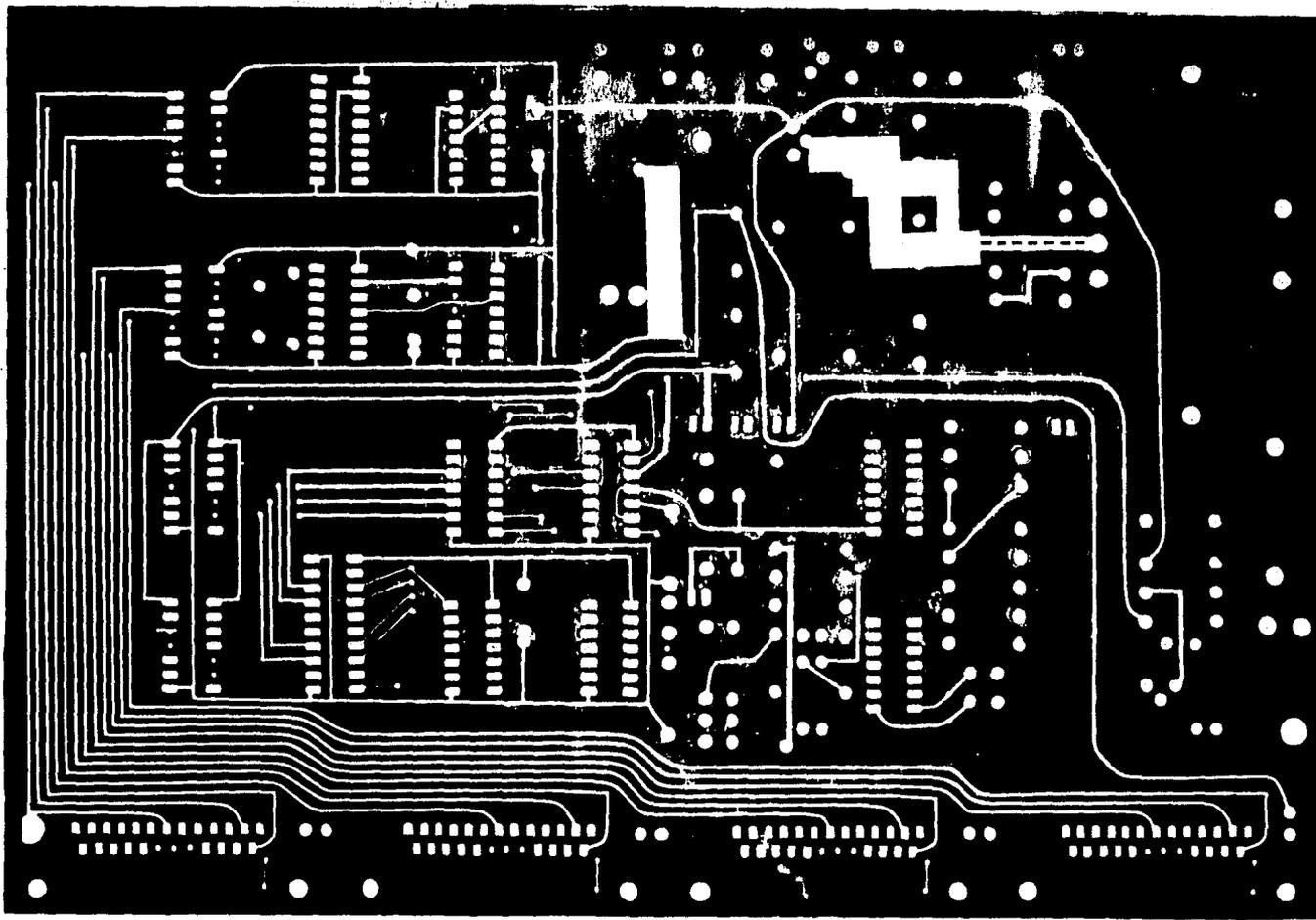


Figura 4.36. Circuito impreso parte superior.

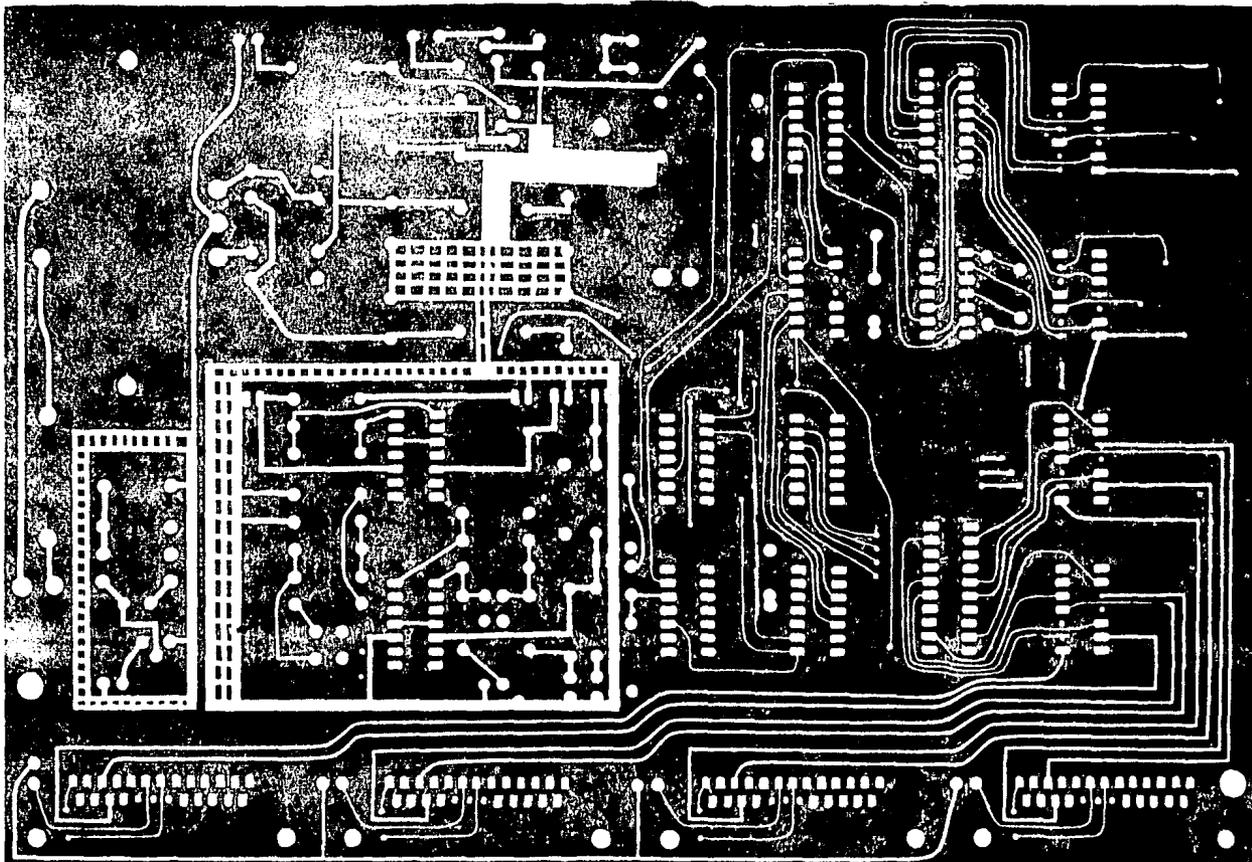
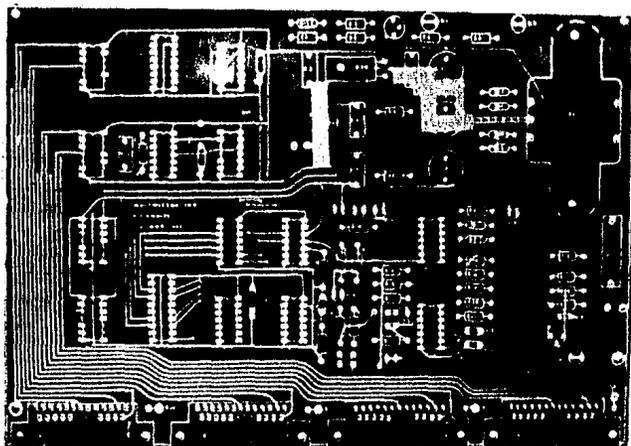
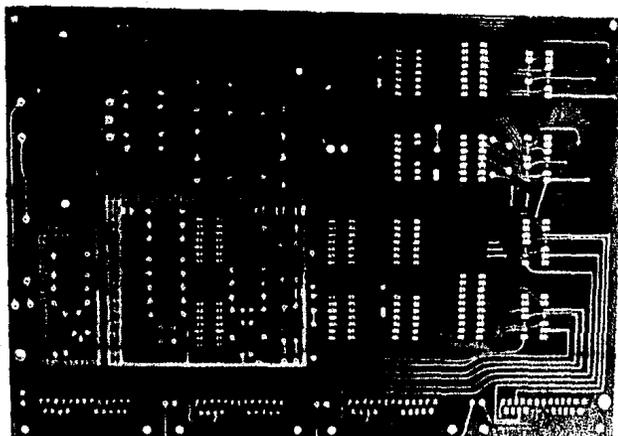


Figura 4.37. Circuito impreso parte inferior.



a) Vista superior.



b) Vista inferior.

Figura 4.38. Fotografía del circuito impreso.

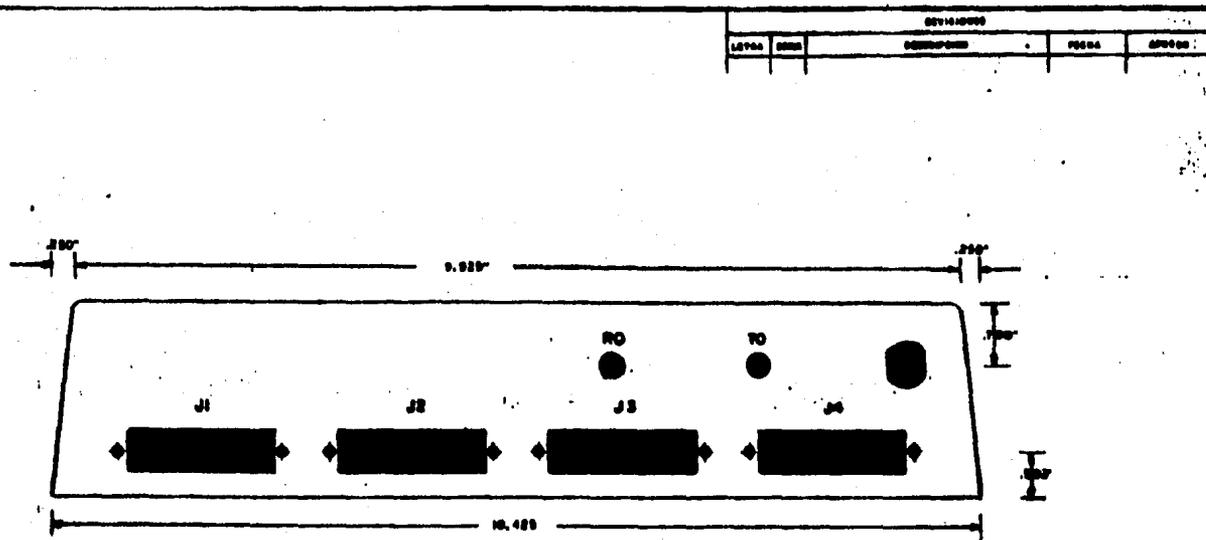
#### **4.3.5. ENVOLVENTE MECANICA**

Los siguientes planos muestran las partes que conforman a la envolvente mecánica del prototipo desarrollado.





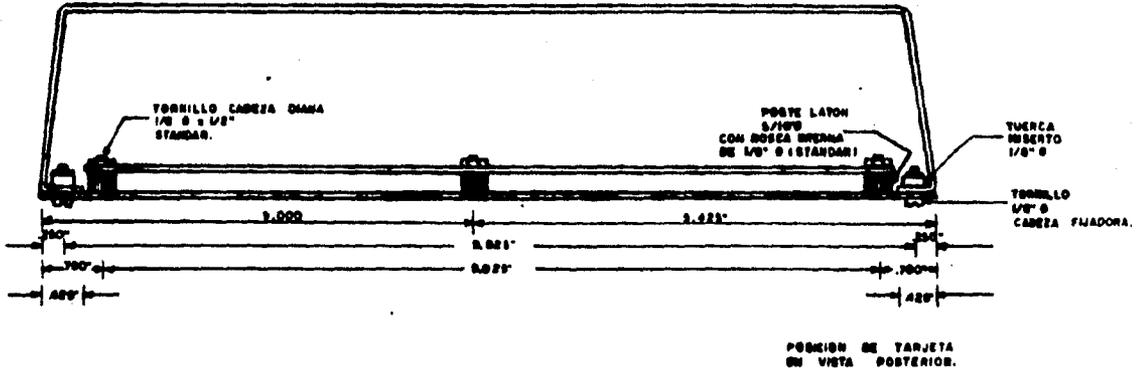




VISTA POSTERIOR.

UN. EMP. LIB.		NO. DE FOLIO O PAGINA		OPERACIONES O ENCARGOS		ENCARGADOR O MATERIAL	
LISTA DE PARTES							
DESCRIPCION DE UNIDADES ACCESO MÓDULO DE 2724 VOLUMEN: 50.0 de, 50.0"				PROYECTO DE:		INSTITUTO NACIONAL DE ESTANDARES Y TECNOLOGIA NATIONAL INSTITUTE OF STANDARDS AND TECHNOLOGY	
PRESENTE EN:				FORMA:			
CALIFICACION:				FECHA:		VISTA POSTERIOR MULTIPLEXOR	
NOMBRE:				MODELO:		NO. DE:	
C. P. 15000				ESCALA: 1:1		NO. DE:	

Figura 4.42. Vista frontal del Multiplexor.



NO. DE DISEÑO		COMANDO EN JEFE		SUPERVISOR DEL MATERIAL	
LISTA DE PARTES		LISTA DE PARTES		LISTA DE PARTES	
DESCRIPCION DE UN MATERIAL COMO UN MATERIAL DE OTRO MATERIAL: 5 1/2 x 1/2 x 1/2		PROYECTO NO.		0 0000	
FECHA: 20/7/66		20/7/66		TITULO: DETALLE DE ENSAMBLE DE TARJETA MULTIPLEXOR	
POSICION DE ENSEMBLE		ESTADO EN		0	
APLICACION		0		0	

Figura 4.43. Detalle de ensamble de tarjeta del Multiplexor.

#### 4.3.6. LISTA DE COMPONENTES POR EQUIPO TERMINAL.

##### Circuitos integrados.

U1	MC1489.
U2	74LS165.
U3	74LS393.
U4	MC1489.
U5	74LS04.
U6	74LS11.
U7	MC1488.
U8	74LS164.
U9	74LS14.
U10	LM733CN.
U11	MC1488.
U12	74LS374.
U13	74LS164.
U14	74LS393.
U15	LM733CN.

##### Resistencias a 1/2 Watt.

R1	3.9K $\Omega$ .
R2	2.2K $\Omega$ .
R3	100K $\Omega$ .
R4	220 $\Omega$ .
R5	220 $\Omega$ .
R6	10 $\Omega$ .
R7	470 $\Omega$ .
R8	10 $\Omega$ .
R9	56 $\Omega$ .
R10	56 $\Omega$ .
R11	2.2K $\Omega$ .
R12	56 $\Omega$ .
R13	1K $\Omega$ .
R14	6.8K $\Omega$ .
R15	1K $\Omega$ .
R16	6.8K $\Omega$ .
R17	4.7 $\Omega$ .
R18	8.2K $\Omega$ .
R19	470 $\Omega$ .
R20	33 $\Omega$ .
R21	8.2K $\Omega$ .
R22	220 $\Omega$ .
R23	1K $\Omega$ .
R24	10K $\Omega$ .
R25	470 $\Omega$ .
R26	820 $\Omega$ .
R27	8.2K $\Omega$ .
R28	3.9K $\Omega$ .
R29	3.9K $\Omega$ .

R30 3.9K $\Omega$ .

### Capacitores.

C1 0.1  $\mu$ f 250 V Poliéster.  
C2 0.1  $\mu$ f 250 V Poliéster.  
C3 0.1  $\mu$ f 250 V Poliéster.  
C4 0.1  $\mu$ f 250 V Poliéster.  
C5 1000  $\mu$ f 25V Electrolítico.  
C6 0.1  $\mu$ f 250 V Poliéster.  
C7 1000  $\mu$ f 25V Electrolítico.  
C8 0.1  $\mu$ f 250 V Poliéster.  
C9 0.1  $\mu$ f 250 V Poliéster.  
C10 1000  $\mu$ f 25V Electrolítico.  
C11 10  $\mu$ f 25V Electrolítico.  
C12 10  $\mu$ f 25V Electrolítico.  
C13 10  $\mu$ l 25V Electrolítico.  
C14 10  $\mu$ f 25V Electrolítico.  
C15 10  $\mu$ f 25V Electrolítico.  
C16 0.1  $\mu$ f 250 V Poliéster.  
C17 82 pf cerámico.  
C18 10  $\mu$ f 25 V Electrolítico.  
C19 5.6 pf cerámico.  
C20 1.8 nf cerámico.  
C21 0.32 nf cerámico.  
C22 0.47 nf cerámico.  
C23 0.1  $\mu$ f cerámico.  
C24 0.1  $\mu$ f cerámico.  
C25 2.2 nf cerámico.  
C26 2.2 nf cerámico.

### Componentes Semiconductores.

Q1 2N2222.  
Q2 NTE 278 ó SK3218 ó GE-261.  
Regulador de voltaje +5V, 7805.  
D1 Led amarillo.  
D2 Led rojo.  
D3 - B4 4001.  
D4 - B4 4001.  
D5 - B4 4001.  
D6 - B4 4001.  
D7 - Diodo de Germanio.  
D8 - Diodo de Germanio.  
D9 - BPX 65 Centronic.  
D10 - FED 086 Kiwa.  
D11 - Diodo de Silicio (BY4001).

### Componentes Varios.

XTL Cristal de 3.579 MHz (de TV).  
J1 Conector para impreso RS 232.

- J2 Conector para impreso RS 232.
- J3 Conector para impreso RS 232.
- J4 Conector para impreso RS 232.
- T1 Transformador 18V con tap  
central, 500 mA.
- F1 Fusible 250 mA/250 V y porta-  
fusible tipo europeo.
- 2 cables coaxiales de 10 cm.
- 1 cable de línea de 1.50 mts.

#### 4.3.7. EVALUACION DE LAS CARACTERISTICAS DE OPERACION.

##### 4.3.7.1. PROCEDIMIENTO DE PRUEBA.

El procedimiento de prueba está diseñado para verificar el funcionamiento de cada equipo terminal en forma independiente.

Para llevar a cabo la prueba completa del equipo, es necesario seguir en forma secuencial los siguientes pasos:

##### Prueba del Subsistema Transmisor.

###### 1. Verificación de voltajes de alimentación.

- Conectar el equipo a la alimentación de 110 volts AC.
- Todos los voltajes serán medidos con respecto al punto de prueba P3\*, el cual es tierra.
- Verificar los voltajes de alimentación de la tarjeta en los siguientes puntos:
  - P1 + 5 volts
  - P4 + 9 volts
  - P5 - 9 volts
- Solamente la fuente de +5 volts es regulada.

---

\* Los puntos de prueba están indicados en la figura 4.33.

2. Verificar el oscilador local.

El oscilador local debe generar una onda cuadrada con una frecuencia de 3.579 MHz (pata 6 del circuito integrado U6).

3. Verificación de la señal de "carga de los datos de entrada", en el conversor paralelo/serie (U2).

- En el punto de prueba P2 deben de existir agudos pulsos espaciados 12.29  $\mu$ s (con una frecuencia de 81.36 KHz), con una amplitud mayor a 2 volts.
- Si la señal antes mencionada aparece, el circuito integrado U3 funciona correctamente.

4. Verificación del conversor paralelo/serie.

- Si se mantienen las entradas de datos de los ocho canales en nivel bajo o sin conexión alguna; en la pata 9 del circuito integrado U2, aparece la trama completa formada por la sincronización de la trama (dos unos y un cero), y por el espacio en tiempo que corresponde a los datos provenientes de cada uno de los ocho canales de entrada.

La forma de onda corresponderá a un pulso bajo de 1.11 $\mu$ s de ancho que se repite a una frecuencia de 81.36 KHz y con una magnitud de 5 volts.

Esta misma señal aparecerá invertida en el punto de prueba P6. Esta inversión es efectuada por el circuito integrado U9, el cual es el que maneja al transistor de potencia Q2 que controla al emisor óptico.

5. Verificación de interfases de entrada RS232/TTL.

- Aplicar un pulso positivo a cada una de las entradas (pin 2 y pin 14 de todos los conectores RS-232) y verificar que en la trama aparezcan en el lugar que les corresponda dentro de la trama.

6. Verificación de emisor óptico.

- Con un visor infrarrojo, comprobar que exista emisión en el conector óptico que resguarda el diodo D10 y que se acoplen a la fibra óptica un nivel superior a -20 dBm.

**Prueba del Subsistema de Recepción.**

7. Verificación de la primera etapa de recepción.

- Conectar el transmisor electro-óptico con el receptor-óptico a través de una fibra óptica.
- En los puntos de prueba P9 o P10, se observará una señal similar a la transmitida por el subsistema transmisor en oposición de fases respectivamente y con una magnitud pico a pico de entre 500 mV y 2 volts; montadas en un valor de - 2.5 volts.

8. Verificación de la 2a. etapa de amplificación.

- En el punto de prueba P7 se tiene la misma señal transmitida, pero con una excursión que va de 0 volts a 3 volts.
- El diodo indicador de presencia de señal de recepción D1, encenderá si el circuito opera adecuadamente hasta esta etapa.

9. Verificación del circuito recuperador de reloj.

- En el punto de prueba P8 se observa un pulso angosto positivo, con una magnitud de 2 volts que aparece con las transiciones de "1" a "0" de la señal existente en el punto de prueba P7.
- Esta señal inicializa el contador U14 de tal forma que en la pata 10 de U14 se tiene la señal de reloj recuperada.

10. Verificación de la sincronización de la trama.

- En la pata 8 del U6 (punto de prueba P11), se observan agudos pulsos con una frecuencia de repetición de 81.36 KHz (cada 12.29  $\mu$ s) que indican la adecuada sincronización de la trama. Esta señal carga los datos ordenados correctamente en el circuito integrado U12.

11. Verificación "LATCH" U12, y las interfases de salida U7 y U11.

- Aplicando pulsos positivos en los pines 2 y 14 de cada conector KS-232 (conectar el pin 6 a la pata 2 ó 14), se tendrán pulsos positivos en los pines 3 y 16 respectivamente en los conectores a los que se les aplique la prueba.
- Es importante verificar que los pulsos transmitidos por un canal se reciban únicamente a la salida de recepción correspondiente.

12. Verificación de Operación.

- Teniendo dos equipos terminales probados con los once puntos anteriores, interconectarlos por medio de dos fibras ópticas de no más de un kilómetro y efectuar pruebas de transmisión de datos a velocidades de hasta 19.2 kbps y medir la tasa de error que no deberá ser mayor que  $10^{-9}$ .
- Comparando la señal transmitida con la recibida en el extremo distante se encontrará una distorsión en el ancho de los pulsos, que va de -3.0  $\mu$ seg a 9.3  $\mu$ seg, debido a la frecuencia de muestreo utilizada.

#### 4.3.7.2. SINCRONIZACION, DISTORSION DEL ANCHO DEL PULSO Y PROBABILIDAD DE ERROR.

En el sistema multiplexor podemos mencionar 3 puntos que son importantes en las características de operación del equipo y son:

- A)- Sincronización de la trama y sincronización de la entrada de datos.
- B)- Distorsión del ancho del pulso.
- C)- Probabilidad de error en cada canal.

##### A) SINCRONIZACION DE LA TRAMA Y LA ENTRADA DE DATOS.

La sincronización de la trama permite que los espacios de tiempo recibidos sean correctamente asignados a los canales adecuados del receptor. La sincronización de entrada de datos implica que el transmisor y el receptor deben ajustar sus respectivos relojes entre sí, de manera que la integridad de los bits se mantenga, lográndose esto a través del circuito recuperador de reloj.

Supóngase que una trama tiene  $L$  bits de largo, de los cuales  $n$  bits representan el código de sincronía de la trama. Si  $p \ll 1$  es la probabilidad de detección incorrecta de un bit, y teniendo que los errores que sufren los bits se deben al ruido que se genera durante la transmisión, presentándose en forma aleatoria entre bit y bit, entonces para el multiplexor se tiene que, al generarse un error en

el código de sincronía se perderá la sincronía de la trama, esta pérdida tiene una probabilidad de ocurrencia de:

$$P_f = 1 - (1-p)^n = np \quad p \ll 1 = 10^{-9}$$

sustituyendo valores

$$p_f = 1 - (1 - 10^{-9})^3 = 3 \times 10^{-9}$$

Una vez que se perdió la sincronía, se requiere de un tiempo para recuperarla, este tiempo para el equipo es relativamente pequeño debido a que la trama es lo bastante pequeña.

La secuencia 110 es el código de sincronía que debe detectarse, en el peor caso la búsqueda comienza en el segundo bit, por lo que la secuencia correcta se encuentra 11 bits más lejos. Por lo tanto, tardará en recuperar la trama 11 bits o sea aproximadamente 12.29 microsegundos. si es que no se vuelve a presentar el error.

#### **B)- DISTORSION DEL ANCHO DEL PULSO.**

Otro parámetro importante en el sistema multiplexor es la distorsión del pulso, esto es debido a que el multiplexor trabaja como TDM con muestreo asincrono. Es decir, las señales de entrada son muestreadas y convertidas en una señal serie, donde el periodo de muestreo es el que determina la distorsión de la forma de onda (jitter de la señal de datos).

El máximo valor de distorsión de la forma de onda está relacionado directamente con el periodo de muestreo. De tal manera, que si queremos tener una señal que tenga una pequeña deformación, el muestreo debe de ser más rápido hasta tener una distorsión permisible.

La distorsión que se obtuvo con una señal de 19.2 Kbits por segundo es la siguiente:

periodo de muestreo = 12.292  $\mu$ seg.

periodo del dato = 52.083  $\mu$ seg.

En la figura se observa que un pulso puede ser distorsionado cuando sólo se recupera con 4 ó 5 muestras. Cuando se recupera solo con 4 muestras, que será la mínima distorsión el pulso, estará distorsionado 23.71% de una muestra, ya que los datos de 19.2 Kbits se muestrean 4.237 veces por lo que el porcentaje de distorsión para este caso será:

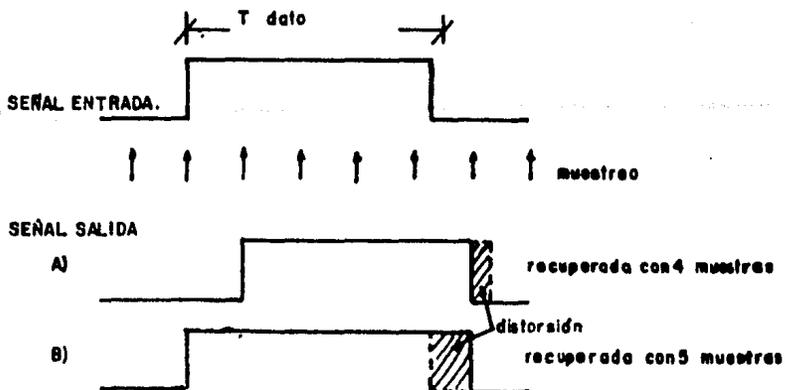


Figura 4.44. Distorsión del pulso.

$$\text{min\%d} = \frac{(P_m)(\text{min dm}) \times 100}{P_d}$$

donde:

min%d es el mínimo porcentaje de distorsión del dato.

P<sub>m</sub> es el período de muestreo.

min dm es el mínimo de distorsión de una muestra.

P<sub>d</sub> es el período del dato. sustituyendo valores:

$$\text{min\%d} = \frac{(12.292 \text{ } \mu\text{seg})(0.2371)(100)}{52.083 \text{ } \mu\text{seg}} = 5.595 \%$$

$$\text{min\%d} = 5.595 \% = 3 \text{ } \mu\text{seg.}$$

De la misma figura, cuando se recupera con 5 muestras se observa que se tiene la máxima distorsión, ya que el pulso está distorsionado 76.29% de una muestra, debido a que el muestreo es 4.237 veces para cada dato de 19.2 Kbits por segundo, el porcentaje de distorsión será:

$$\text{Max\%d} = \frac{(P_m)(\text{Max dm}) \times 100}{P_d}$$

donde

Max%d es el máximo porcentaje de distorsión del dato.

Max dm es el máximo de distorsión de una muestra.

sustituyendo valores:

$$\text{Max\%d} = \frac{(12.292 \text{ useq})(0.7629)(100)}{52.083 \text{ useq}} = 18.005 \%$$

$$\text{Max\%d} = 18.005\% = 9.37 \text{ useq.}$$

Los valores anteriores están dentro de lo permisible para una señal de 19.2 Kbits.

### C)- PROBABILIDAD DE ERROR EN CADA CANAL.

El tercer factor que se considera de importancia es la probabilidad de error en cada canal (BER). El método más exacto de apreciar la calidad de información es comparar la información recibida a la transmitida. Para hacer esto, se tiene una secuencia de datos especial y conocida para el receptor, el cual las compara o regresa a la fuente, con esto la cantidad de errores introducidos por el sistema de comunicación será apreciado.

El procedimiento de prueba del BER se llevó a cabo de la siguiente forma:

El equipo utilizado fue un generador de patrones/detector de errores HP3780, en el cual hay dos configuraciones básicas, la de un sólo hilo y aquella en la que se forma un loop de retorno. Al hacer el loop de retorno sólo un aparato es necesario para generar la señal y hacer las mediciones. Cuando se usa un sólo hilo dos

aparatos son necesarios, uno para generar el patrón de prueba y otro para detectarlo, las configuraciones se muestran en figura 4.45.

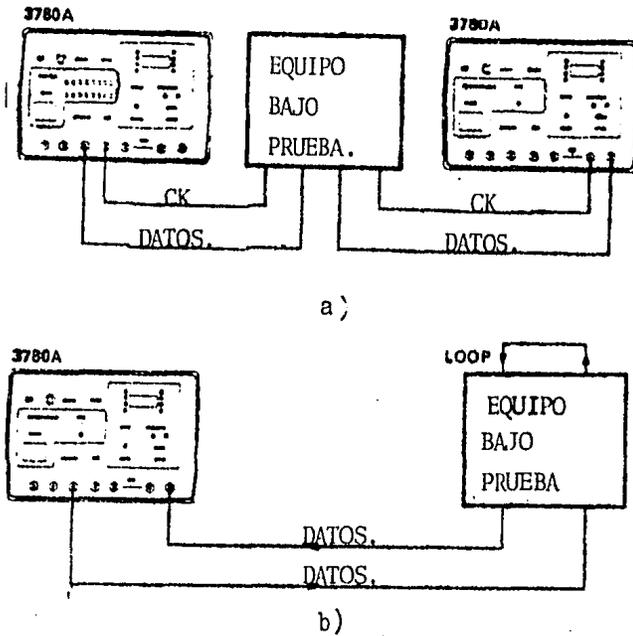


Figura 4.45. configuraciones para el HP3780.

Para tomar la medición, el generador de patrones fue colocado en una frecuencia de 19.2 KHz, para que entregara datos a 19.2 Kbps. Se escogió el patrón o palabras a enviar y el código, que en este caso fue NRZ (No Retorno a Cero). Cuando ya el generador trabajó correctamente, se colocó a una de las entradas del multiplexor e hizo un loop de retorno, como el de la figura B, a través de fibra óptica. En la parte de detección de errores se aplicó la señal de salida del multiplexor, con la cual éste hace la comparación. El número de errores fue mostrado en el

display de dicho aparato.

Las siguientes fotografías muestran el equipo bajo prueba (Multiplexor), el generador de patrones, así como los equipos utilizados en la construcción del prototipo.

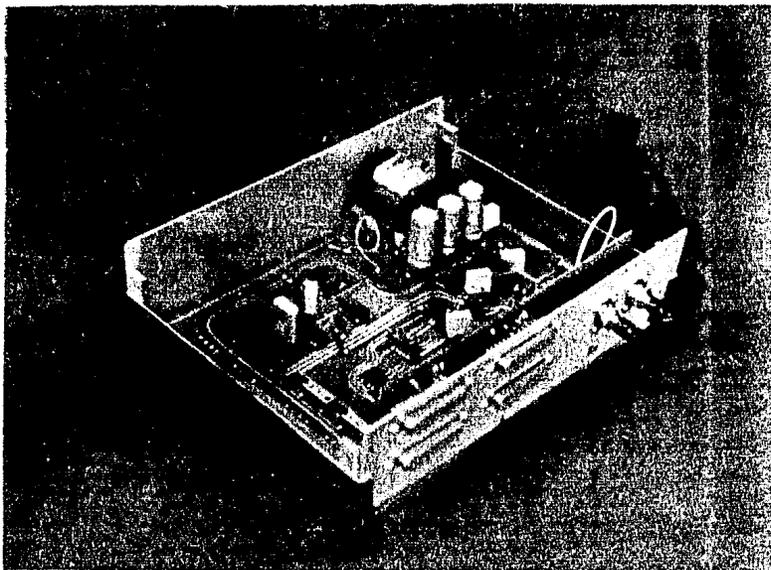


Figura 4.46. Equipo bajo prueba (Multiplexor)

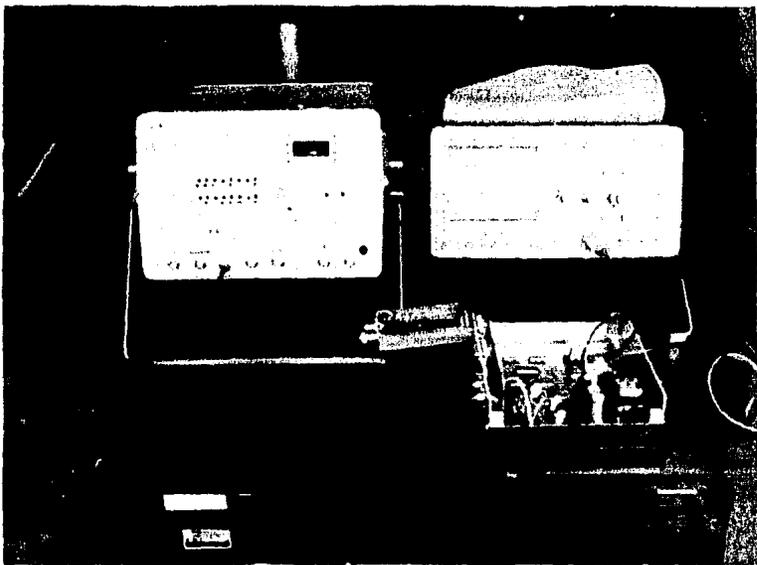


Figura 4.47. Prueba con el generador de patrones.

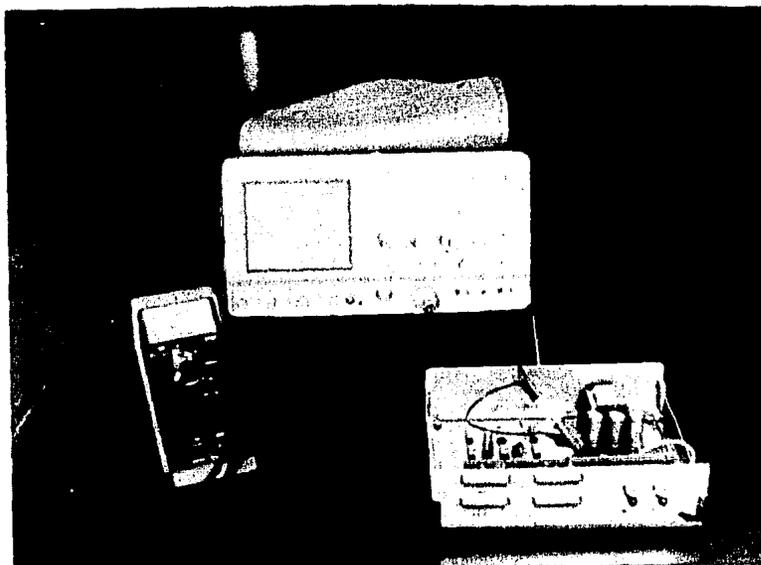


Figura 4.48. Equipo utilizado en la construcción del prototipo.

#### 4.3.8. CONEXIONES PARA LA APLICACION DEL MULTIPLEXOR.

Cada conector RS-232 en el multiplexor puede ser conectado a una variedad de Equipos Terminales de Datos (ETD), pero usando las conexiones adecuadas para éste. Cada conector proporciona dos canales independientes asincronos "full-duplex", en las líneas primaria y secundaria de datos. por lo que son necesarios cuatro conectores para los ocho canales del multiplexor. Las siguientes figuras describen como conectar los diversos Equipos terminales de datos al multiplexor, mostrando sólo un conector del multiplexor.

##### A) EQUIPO TERMINAL DE DATOS CON DATOS ASINCRONOS.

Es posible conectar uno o dos Equipos Terminales de Datos (Sólo datos) a cada conector del multiplexor. la figura 4.49. muestra la conexión para un ETD utilizando un canal primario del conector, la figura 4.50. muestra la conexión necesaria para separar el canal secundario de cada conector. Entonces, dos conexiones como las mencionadas anteriormente serán necesarias para conectar dos Equipos Terminales de Datos en el mismo conector.

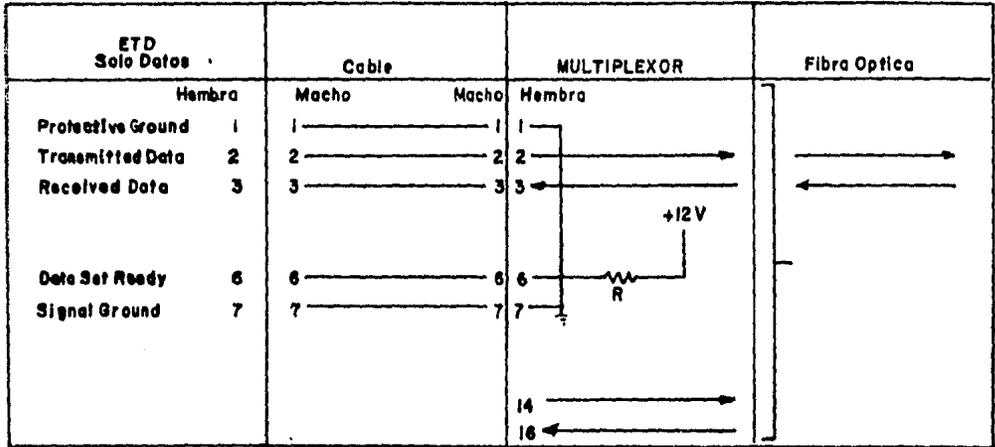


Figura 4.49. Equipo Terminal de Datos con datos asincronos.

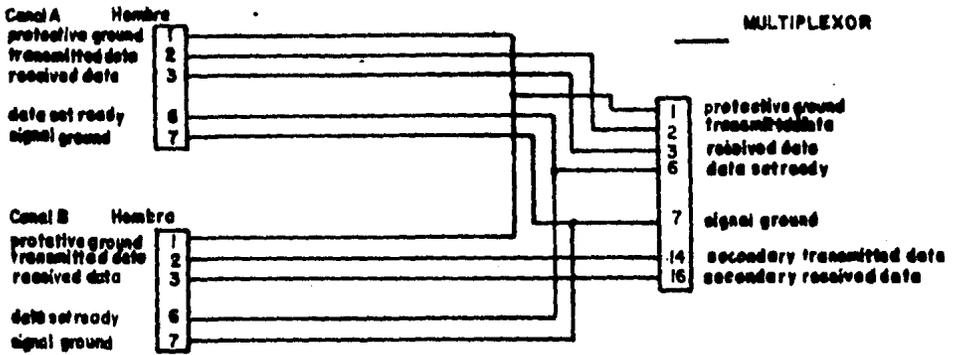


Figura 4.50. Cable adaptador.

**B) EQUIPO TERMINAL DE DATOS CON "HANDSHAKE" MAS DATOS.**

Si el equipo requiere lineas de "handshake" para el propósito de control, el canal secundario de cada conector del multiplexor puede ser usado para entablar esta conexión entre el CPU y las terminales remotas. La figura 4.51.

muestra una posible conexión usando el canal secundario del conector para conectar el "request to send"/"clear to send" del ETD. Con lo que 4 Equipos Terminales de Datos, de este tipo, pueden ser conectados al multiplexor.

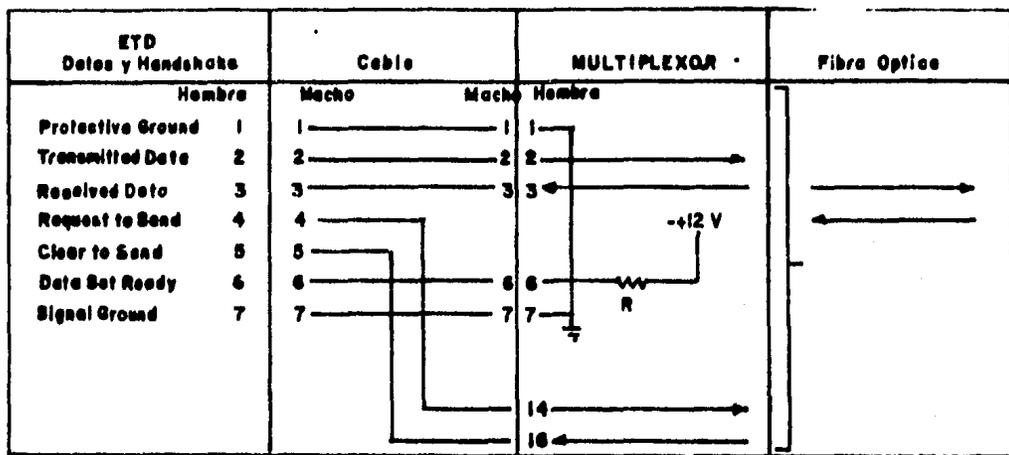


Figura 4.51. Equipo Terminal de Datos con "handshake" más datos.

### C) DATOS SINCRONOS CON SUMINISTRO DE RELOJ.

Aunque el multiplexor de 8 canales armado no proporciona un reloj para transmisión de datos síncronos. Equipos Terminales de Datos con transmisión síncrona pueden interconectarse por los canales del multiplexor; al mismo tiempo que en otros canales se envían las señales de reloj. La figura 4.52. muestra el uso de un canal secundario para llevar a cabo este tipo de conexión. 4 Equipos Terminales de Datos, de este tipo, pueden ser conectados al multiplexor.

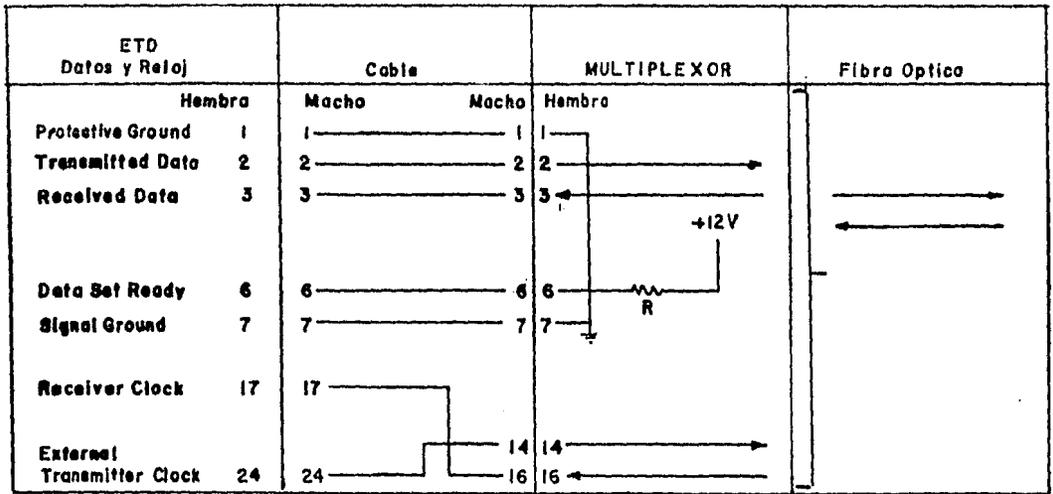


Figura 4.52. Datos sincronicos con suministro de reloj.

La siguiente figura muestra a el multiplexor probandose con dos terminales de datos asincronicos (sólo datos). Dichas terminales trabajan a una velocidad de 2400 bps y están interconectadas al sistema VAX11/780.

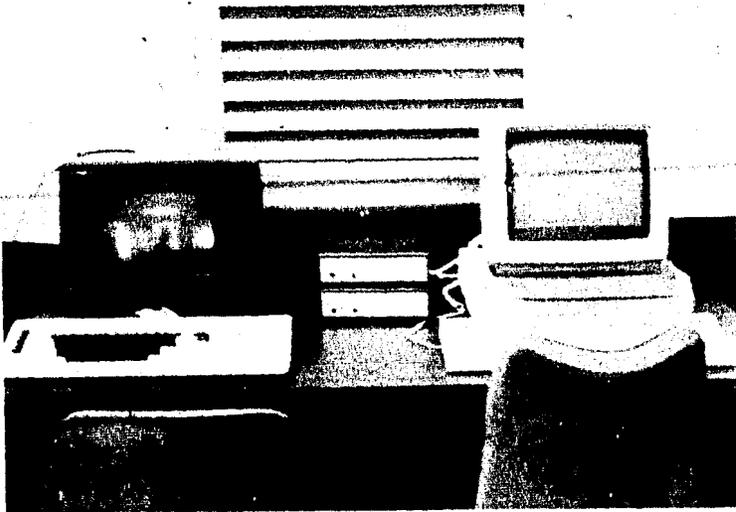


Figura 4.53. Prueba del Multiplexor con terminales asincronicas.

4.4. CONSIDERACIONES DE DISEÑO PARA QUE EL PROTOTIPO  
DESARROLLADO MANEJE SEÑALES ANALÓGICAS Y DATOS.

4.4.1. CONVERSOR ANALÓGICO/DIGITAL PARA EL  
MULTIPLEXOR.

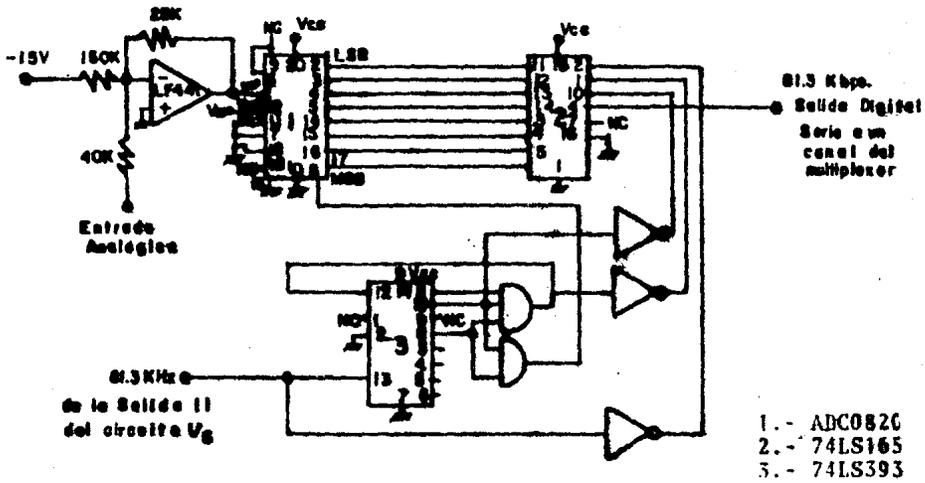


Figura 4.54. Conversor A/D.

El circuito anterior queda propuesto para poder manejar un canal de voz dentro del multiplexor, dicho canal será para un ancho de banda de 3 KHz. Si se desea tener un ancho de banda mayor, para poder manejarlo como canal de voz, con ancho de banda de 4 KHz, lo que se puede hacer es aumentar la frecuencia del oscilador local a 4 MHz, pues lo que determina el ancho de banda de la señal a transmitir es la frecuencia de muestreo. En el caso anterior, la frecuencia de muestreo de la señal es de 7.395 KHz, y como ya se

mencionó en el capítulo I, para que se pueda recuperar una señal a partir de sus muestras, éstas deben por lo menos tener una frecuencia de dos veces el ancho de banda de 4 KHz, al aumentar la frecuencia del oscilador local a 4 MHz la frecuencia de muestreo será 8.264 KHz y con ésta es posible recuperar la señal de 4 KHz de ancho de banda.

El circuito anterior consta de las siguientes partes: un circuito típico para la conversión de la señal analógica a digital, siendo la salida en paralelo, un conversor paralelo/serie, donde obtenemos los datos en serie, y por último un contador, el cual proporciona la sincronización del canal analógico y la velocidad de transmisión.

La señal digital del circuito anterior se puede enviar a través de cualquier canal del multiplexor, tomando las respectivas señales de éste. La salida del multiplexor es necesario volverla a convertir a señal analógica con un circuito conversor D/A.

4.4.2.      CONVENSOR      DIGITAL/ANALÓGICO      PARA      EL  
MULTIPLEXOR.

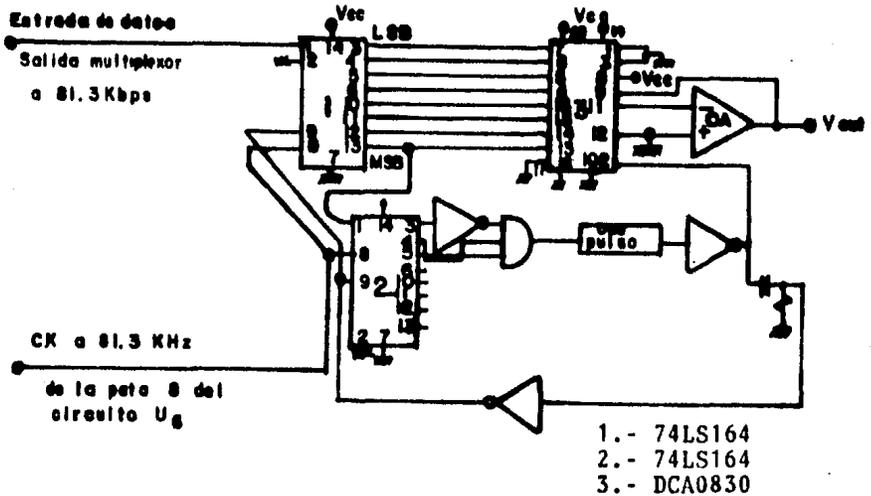


Figura 4.55. Conversor D/A.

El circuito que se muestra nos convierte un canal del multiplexor en una señal analógica. Este circuito consta de las siguientes partes: un circuito conversor serie/paralelo, un circuito que detecta la sincronización de la trama, un conversor analógico/digital y un circuito retardador (ONE SHOT).

Dicho circuito entrega una señal analógica cada 7.39 KHz. Una característica muy importante para que trabaje perfectamente dicho circuito, es que el retardador (ONE SHOT) tenga una duración como máximo de 5  $\mu$ seg, sin esto el circuito podría hacer conversiones de datos que no

corresponden a la posición de cada bit y se tendrá una salida errónea. El funcionamiento es el siguiente, en el conversor serie/paralelo llegan los datos a una velocidad de 81.3 Kbps y en el circuito detector de la trama se genera un pulso cuando se ha detectado la trama, el cual ordena al conversor digital/analógico que haga la conversión, este pulso debe de permanecer por lo menos 1useg para poder hacer la conversión correctamente, por lo cual se usa el circuito ONE SHOT, obteniéndose de esta forma la señal analógica.

## BIBLIOGRAFIA.

1. Mischa Schwartz, "Transmisión de Información, Modulación y Ruido", Mc Graw Hill, primera edición en español, México 1983.
2. DEGEM, "Experimentos en Comunicaciones Modernas", curso COM-6, DEGEM SYSTEM LTD.
3. Ralph Glasgal, "Advanced Techniques in Data Communications, Artech House, inc. USA 1978.
4. B.P. Lathi, "Sistemas de comunicación", Limusa, México 1980.
5. John Bellamy, "Digital Telephony", John Wiley & Sons, inc. USA 1982.
6. Donald E. Murphy & Stephen A. Kallis Jr, "Introducción a la Comunicación de Datos", Secretaría de Comunicaciones y Transportes, México 1979.
7. Comisión Federal de Electricidad e Instituto de Investigaciones Eléctricas, "Curso de Transmisión Digital", México 1979.
8. Datos en línea S.A., "Seminario sobre Multiplexores y Ruteadores de Paquetes", México Otoño 1984.
9. División de Educación Continua Facultad de Ingeniería U.N.A.M., Telecomunicaciones vía Fibra Optica, México, Otoño 1984.
10. María José Salmerón, "Líneas de Transmisión, Guía de Onda y Fibra Optica, Trillas, México 1981.
11. Allen H. Cherin, "An Introduction to Optical Fibers", Mc Graw Hill, Japan 1983.
12. Crane, Russak & Company, inc. "Fiber and Integrated Optics, USA 1983.
13. T. Kihara, M. Gotoh, A. Miyata, A. Tokimasa, "Optical Data-Transmission Equipment For Computer Systems", Fujitsu Limited, Kawasaki, Japan 1981.

14. E. Alexander Newcombe & Subbarayan Pasupathy, "Error Rate Monitoring of the IEEE, Vol.70, No. 8, August 1982.
15. Thomas M. O'hearn, "Multiplexing Low-Speed Data Streams into a Single Fiber Optic Line" Canaoga Data Systems, Canaoga park, CA.
16. Martin Shepard, "Data Communications a Fibre Optic Solution", Communication Engineering International, december 1985/ January 1986.
17. Applied Ideas, "Simple Multiplexing Circuit", electronic Engineering, march 1980.
18. Willian I Fletcher, "An Engineering Approach to digital Design", Prentice-Hall, inc. 1980.
19. Jacob Millman, Ph.D. y Christos C. Halkias, "Electrónica Integrada" editorial Hispano Europea, España 1980.
20. Martin D. Seyer, "RS-232 Made Easy", Prentice-Hall, inc. USA 1986.
21. Documentación del Equipo Multiplexor a Fibra Optica de Hewlett Packard.
22. The TTL Data Book, Texas Instrument.
23. Linear and Interface Integrated Circuits, Motorola, inc.
24. Data Conversion/Adquisition Data Book, National Semiconductor.
25. Fujitsu Light Emitting Diodes, September 1984.
26. Electro Optical Devices, Centronic.
27. Patente, J. Ramirez Niño, D. Juárez López.

## CONCLUSIONES .

Como hemos visto a lo largo de este trabajo, los multiplexores tienen un gran campo de aplicación, tanto en telefonía, teleinformática y control de procesos industriales, ya que traen como consecuencia el ahorro de las líneas de comunicación y de equipo periférico, en los sistemas de comunicación. Ahora, los multiplexores aunados a la ventaja de la fibra óptica le dan más versatilidad a este tipo de sistemas.

En la presente tesis se elaboró un multiplexor para 8 canales de datos a fibra óptica dejando propuesto el diseño de un multiplexor para 16 canales y la interfase para canales de voz. Este multiplexor tiene la ventaja de ser transparente para diversos protocolos y velocidades de transmisión.

Las especificaciones y características del equipo tienen las cualidades requeridas para dichos multiplexores, así como una serie de ventajas sobre los equipos comerciales.

Las ventajas de este equipo pueden resumirse en las siguientes:

1.- El multiplexor TDM para 8 canales de datos a fibra óptica, tiene la ventaja de poder manejar canales de datos (asíncronos y síncronos) y canales de voz.

2.- Gran alcance de transmisión, teniéndose una distancia de un kilómetro sin distorsión, que en comparación con un par telefónico es aproximadamente una longitud 10 veces mayor.

3.- Ventajas de la fibra óptica como son:

- AISLAMIENTO ELECTRICO.
  - INMUNIDAD AL RUIDO.
  - ANCHO DE BANDA.
  - POCA ATENUACION.
  - ALTA CAPACIDAD DE TRANSMISION.
  - TAMAÑO.
- ETC.

4.- Alta velocidad de transmisión del multiplexor debido a que los componentes del sistema multiplexor son componentes tecnología TTL, alcanzándose una gran velocidad en comparación con equipos similares a éste. Puede multiplexar terminales de datos con velocidades de hasta 19.2 Kbps.

5.- La técnica tanto de generación como de detección del código de sincronización es tal, que permite cambiar la longitud y el tipo de código en forma simple.

6.- La técnica de recuperación de reloj evita la pérdida de sincronización reduciendo el error acumulativo proveniente de diferencias en frecuencia o fase entre las bases de tiempo del subsistema receptor.

7.- Diseño simple, haciendo que el sistema sea lo bastante barato con relación a otros sistemas del mismo tipo.

Este sistema fue desarrollado con el fin de poder manejar terminales de datos asincronos, pero se tiene la ventaja de manejar datos sincronos y canales de voz. Los canales de datos pueden usarse para diferentes protocolos y diferentes velocidades gracias a la técnica que se aplicó para la multiplexación, que fue la de muestreo de datos; con esto es posible manejar los diferentes tipos de datos en una forma sencilla y fácil.

El equipo fue desarrollado hasta el punto de producción, de tal forma que se da el diseño final de producción, es decir, diagramas eléctricos, envolvente mecánica, especificaciones, etc.

Podemos decir entonces que al igual que los equipos de su genero, es competitivo tanto en las características de operación como sus características económicas y funcionales.

En este equipo se deja la posibilidad de hacer modificaciones, de tal forma que podemos aumentar el número de canales con facilidad, sin hacer grandes cambios en la lógica de sincronización de la trama y sincronización de la entrada de datos. También se puede mejorar la calidad en la distorsión del pulso, ya que como se vio esta distorsión es una función directa de la frecuencia de muestreo, por lo que al aumentar la frecuencia del oscilador local (base de tiempo) es posible disminuir dicha distorsión. Tal variación de frecuencia no puede aumentarse mucho debido a la respuesta del receptor electro-óptico, el cual debido a la constitución de sus componentes tiene un ancho de banda limitado a determinadas frecuencias y no podemos pasar dichos límites sin una distorsión de la señal.

Otro factor que puede modificarse es el tamaño del circuito impreso, ya que los componentes de dicho sistema tienen una distancia de separación, la cual se puede reducir con una técnica adecuada para hacer circuitos impresos

## APENDICE A.

### DESARROLLO DE $\delta(t)$ EN SERIES DE FOURIER.

A continuación se dan las series de Fourier que se aplicarán en el desarrollo de  $\delta(t)$ .

$$f(t) = \frac{a_0}{T} + \frac{2}{T} \sum_{n=1}^{\infty} (a_n \cos \omega_n t + b_n \operatorname{sen} \omega_n t) \dots (A.1)$$

Donde:

$$\omega_n = \frac{2\pi n}{T} \dots (A.2.)$$

$$a_n = \int_{-T/2}^{T/2} f(t) \cos \omega_n t \, dt \quad n=0,1,2,\dots \dots (A.3.)$$

$$b_n = \int_{-T/2}^{T/2} f(t) \operatorname{sen} \omega_n t \, dt \quad n=0,1,2,\dots \dots (A.4.)$$

Las ecuaciones anteriores también están dadas por:

$$f(t) = \frac{a_0}{T} + \frac{2}{T} \sum_{n=1}^{\infty} C_n \cos \omega_n t \quad \dots(A.5.)$$

Donde:

$$C_n = \int_{-T/2}^{T/2} f(t) e^{j\omega_n t} dt \quad \dots(A.6)$$

Desarrollo de  $\delta(t)$  en series de Fourier, de la figura A.1.

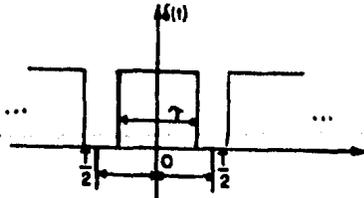


Figura A.1. Señal  $\delta(t)$ .

Podemos hacer lo siguiente, al aplicar la fórmula (A.6.):

$$s(t) = \frac{a_0}{T} + \frac{2}{T} \sum_{n=1}^{\infty} C_n \cos \omega_n t \quad \dots (A.7)$$

Para el valor de  $a_0$  tenemos:

$$a_0 = \int_{-\lambda/2}^{\lambda/2} 1 \cos \omega_n t \, dt. \quad \text{Donde } \omega_n = 0 \quad \dots (A.8.)$$

$$a_0 = \int_{-\lambda/2}^{\lambda/2} 1 \, dt = (1) t \Big|_{-\lambda/2}^{\lambda/2} = 1[\lambda/2 - (-\lambda/2)] = \lambda \quad \dots (A.9.)$$

$$a_0 = \lambda \quad \dots (A.10.)$$

Para el valor de  $C_n$  tenemos:

$$C_n = \int_{-\lambda/2}^{\lambda/2} A e^{-j\omega_n t} \, dt = \frac{A}{-j\omega_n} e^{-j\omega_n t} \Big|_{-\lambda/2}^{\lambda/2} \quad \dots (A.11.)$$

$$C_n = \frac{A}{-j\omega_n} \left[ e^{-j\omega_n \lambda/2} - e^{j\omega_n \lambda/2} \right] \quad \dots (A.12.)$$

$$C_n = \frac{A}{\omega_n} \left[ \frac{e^{j\omega_n \lambda/2} - e^{-j\omega_n \lambda/2}}{j} \right] \quad \dots (A.13.)$$

$$C_n = \frac{2A}{\omega_n} \left[ \frac{e^{j\omega_n \lambda/2} - e^{-j\omega_n \lambda/2}}{2j} \right] \quad \dots (A.14.)$$

si  $\frac{e^{j\omega_n \lambda/2} - e^{-j\omega_n \lambda/2}}{2j} = \text{sen } \omega_n \lambda/2 \quad \dots (A.15.)$

Entonces:

$$\boxed{C_n = \frac{2A}{\omega_n} \text{sen } \omega_n \lambda/2} \quad \dots (A.16)$$

Por lo tanto  $\delta(t)$  está dado por:

$$\delta(t) = \frac{\lambda}{T} + \frac{2}{T} \sum_{n=1}^{\infty} \frac{2}{\omega_n} \sin \omega_n \lambda/2 \cos \omega_n t \quad \dots (A.17.)$$

de lo cual tenemos que  $\delta(t) \cdot A(t)$  está dado por:

$$\delta(t) \cdot A(t) = \left[ \frac{\lambda}{T} + \frac{2}{T} \sum_{n=1}^{\infty} \frac{2}{\omega_n} \sin \omega_n \lambda/2 \cos \omega_n t \right] A_m \cos \omega_m t \dots (A.18.)$$

## APENDICE B.

### INTERFASE RS-232.

La EIA RS-232 es la interfase entre Equipos Terminales de Datos (ETD, típicamente una terminal de computadora o computadoras) y Equipos de Comunicación de Datos (ECD, típicamente modems o multiplexores); empleando datos binarios en serie. Es decir, que ésta es simplemente un estandar, que indica la forma en que se deben de intercambiar los datos entre un ETD y ECD. Esto surge como necesidad de tener velocidades, conectores y diversas características compatibles, entre las diferentes marcas de computadoras , modems, etc.

La interfase RS-232 maneja las siguientes señales:

		PIN
Señales de tierra	Protective Ground.	(1)
	Signal Ground	(7)
Señales de datos	Received data	(3)
	Transmitted Data	(2)
Señales de Control	Request to send	(4)
	Clear to Send	(5)
	Data set Ready	(6)
	Received Line Signal Detector	(8)
Señales de Reloj	Transmit Signal Element Timing	(24)
	Receiver Signal Element Timing	(17)

La siguiente figura es el circuito equivalente para la interfase RS-232 con sus respectivos parámetros.

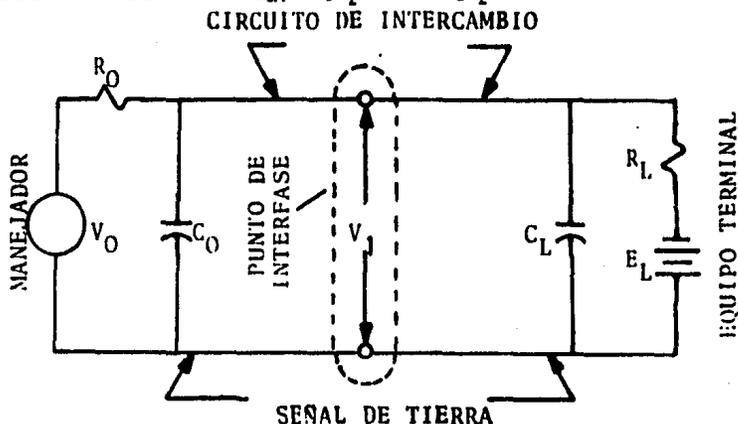


Figura B.1. Circuito equivalente para la interfase RS-232.

Donde:

$V_0$  Voltaje del manejador en circuito abierto.

$R_0$  Resistencia interna del manejador.

$C_0$  Es la capacitancia efectiva total asociada con el manejador, medida en el punto de interfase.

$V_1$  Voltaje en el punto de interfase.

$C_L$  Es la capacitancia efectiva total asociada con el equipo terminal, medida en el punto de interfase.

$R_L$  Resistencia de carga en DC del equipo terminal.

$E_L$  Es el voltaje del equipo terminal en circuito abierto.

Para la transmisión de señales de datos, se considera que hay un estado "1" lógico, cuando tenemos un voltaje menor de -3 Volts y se tiene un "0" lógico, cuando se tiene

un voltaje mayor a +3 Volts, la zona que se encuentra entre +3 y -3 Volts se denomina región de transición y en esta región los valores no están definidos.

Para los circuitos de control y tiempo, un estado será considerado como prendido (ON), cuando se encuentre en la zona arriba de +3 Volts y será considerado como apagado (OFF), cuando se encuentre en la zona abajo de -3 Volts.

La impedancia de carga del lado del equipo receptor debe ser para  $R_L$ , no menor a  $3000\Omega$  medidos con un voltaje no mayor a 25 Volts y no mayor a  $7000\Omega$ , medido con un voltaje de 3 a 25 Volts. La capacitancia en paralelo  $C_L$  no debe exceder de 2500 pf y el voltaje del equipo receptor  $E_L$  no deberá exceder de 2 Volts en magnitud.

El voltaje del circuito manejador, en circuito abierto, con respecto a tierra no debe de exceder de 25 Volts en magnitud. La impedancia del manejador  $R_0$  y  $C_0$  no es especificada pero debe ser tal que al combinarse  $V_0$  y  $R_0$  en un corto circuito, la corriente no debe de exceder de 1/2 Ampere: así mismo, cuando la resistencia  $R_L$  esté en el rango de  $3000\Omega$  a  $7000\Omega$  y el Voltaje  $E_L$  sea igual a cero Volts, el voltaje  $V_1$  no debe ser menor de 5 Volts ni mayor que 15 en magnitud.

La asignación de pines en el conector se da a continuación, teniendo cada conector 25 pines.

ASIGNACION DE PINES DEL CONECTOR RS-232

PIN NUMERO	CIRCUITO	DESCRIPCION
11	IAA	Protective Ground
12	IBA	Transmitted Data
13	IBB	Received Data
14	ICA	Request to Send
15	ICB	Clear to Send
16	ICC	Data Set Ready
17	IAB	Signal Ground(Common Return)
18	ICF	Received Line Signal Detector
19	---	(Reserved for Data Set Testing)
110	---	(Reserved For Data Set Testing)
111		Unassigned
112	ISCF	Sec. Rec'd. Line Sig. Detector
113	ISCB	Sec. Clear to Send
114	ISBA	Secondary Transmitted Data
115	IDB	Transmission Signal Element Timing (DCE Source)
116	ISBB	Secondary Received Data
117	IDD	Receiver Signal Element Timing(DCE Source)
118		Unassigned
119	ISCA	Secondary Received Data
120	ICD	Data Terminal Ready
121	ICG	Signal Quality Detector
122	ICE	Ring Indicador
123	ICH/CI	Dta Signal Rate selector (DTE DCE Source)
124	IDA	Transmit Signal Element Timing (DTE Source)
125		Unassigned

El conector está formado, como ya se dijo, por 25 pins y es del tipo "D", Donde cada pin tiene las siguientes características:

Pin No. 1.- Tierra de protección (Protective Ground), esta línea no tiene dirección y es la tierra física de nuestro sistema.

Pin No. 2.- Datos Transmitidos (Transmitted Data), esta línea va hacia el ECD, y en ella se transmite la información del ETD.

Pin No. 3.- Datos Recibidos (Received Data), esta línea va hacia el ETD y en ella se recibe toda la información del ETD distante.

Pin No. 4.- Petición para transmitir (Request To Send), esta línea va hacia el ECD y tendrá una señal si el ETD tiene información para transmitir.

Pin No. 5.- Listo para transmitir (Clear To Send), esta línea va hacia el ETD y nos indica que éste puede mandar información.

Pin No. 6.- Modem listo (Data Set Ready), esta línea va hacia el ETD y nos indica que el ECD está listo para mandar información.

Pin No. 7.- Señal de tierra (Signal Ground), esta tierra es la referencia para todas las señales que maneja nuestro sistema.

Pin No. 8.- Detector de portadora (Data Carrier Detector), esta línea va hacia el ETD, y cuando hay una señal en ella nos indica que ETD distante está mandando información.

Pin No. 9.- Reservado para pruebas.

Pin No. 10.- Reservado para pruebas.

Pin No. 11.- No usado.

Pin No. 12.- Detector de portadora secundario.

Pin No. 13.- Listo para mandar secundario.

Pin No. 14.- Datos transmitidos secundario

Pin No 15.- Reloj para transmisión (Transmission Signal Element Timing) del ECD, da la señal con la cual el equipo ETD va a transmitir la información.

Pin No. 16.- Datos recibidos secundario.

Pin No. 17.- Reloj para recepción (Receiver Signal Element Timing) Del ECD, indica la velocidad con la cual van a llegar los datos.

Pin No. 18.- No usada.

Pin No. 19.- Petición para transmitir secundario.

Pin No. 20.- Terminal de datos lista (Data Terminal Ready), con dirección al ECD, sirve para tener establecida la comunicación, con la ayuda del pin No. 6 del ETD distante, e indica que la terminal está lista.

Pin No. 21.- Detector de calidad de la señal (Signal Quality Detector), con esta señal se indica si la información tiene una alta probabilidad de error.

Pin No. 22.- Indicador de llamada (Ring Indicator), del ECD e indica que el ETD tiene una llamada del ETD distante, ésta es para establecer comunicación.

Pin No. 23.- Selector de velocidad de datos (Data Signal Rate Select), en ambas direcciones y escoge una velocidad, en caso de tener el sistema 2 velocidades sincronas.

Pin No. 24.- Reloj para transmitir (Trasmit Signal Element Timing), con dirección del ETD, e indica la velocidad con la cual salen los datos del ETD.

Pin No. 25.- no usado.

# APENDICE C.

## CARACTERISTICAS DE LOS COMPONENTES.

### $\mu A733$ DIFFERENTIAL VIDEO AMPLIFIER FAIRCHILD LINEAR INTEGRATED CIRCUIT

**GENERAL DESCRIPTION** - The  $\mu A733$  is a monolithic two stage Differential Input, Differential Output Video Amplifier constructed using the Fairchild Planar<sup>®</sup> epitaxial process. Internal series-shunt feedback is used to obtain wide bandwidth, low phase distortion, and excellent gain stability. Emitter follower outputs enable the device to drive capacitive loads and all stages are current source biased to obtain high power supply and common mode rejection ratios. It offers fixed gains of 10, 100 or 400 without external components, and adjustable gains from 10 to 400 by the use of a single external resistor. No external frequency compensation components are required for any gain option. The device is particularly useful in magnetic tape or disc file systems using phase or NRZ encoding and in high speed thin film or plated wire memories. Other applications include general purpose video and pulse amplifiers where wide bandwidth, low phase shift, and excellent gain stability are required.

- 120 MHz BANDWIDTH
- 250 k $\Omega$  INPUT RESISTANCE
- SELECTABLE GAINS OF 10, 100, AND 400
- NO FREQUENCY COMPENSATION REQUIRED

#### ABSOLUTE MAXIMUM RATINGS

Supply Voltage	$\pm 6$ V
Differential Input Voltage	$\pm 5$ V
Common Mode Input Voltage	$\pm 6$ V
Output Current	10 mA
Internal Power Dissipation (Note 1)	
Metal Can	800 mW
Flatpak	570 mW
DIP	670 mW
Operating Temperature Range	
Military ( $\mu A733$ )	$-55^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
Commercial ( $\mu A733\text{C}$ )	$0^{\circ}\text{C}$ to $+70^{\circ}\text{C}$
Storage Temperature Range	$-66^{\circ}\text{C}$ to $+180^{\circ}\text{C}$
Lead Temperature (Soldering, 60 second time limit)	300 $^{\circ}\text{C}$

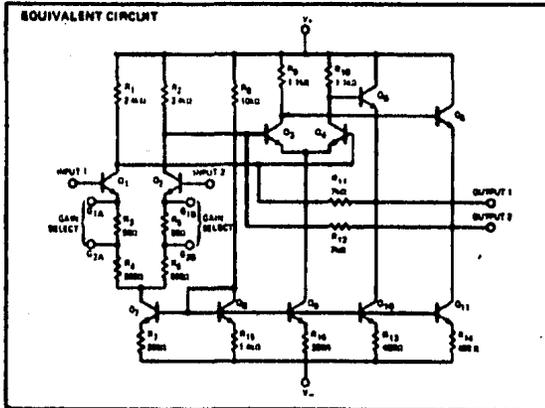
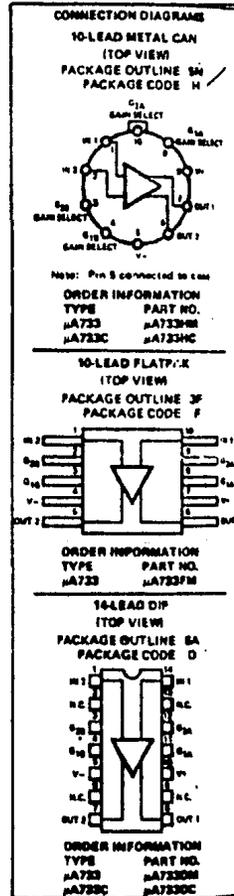


Figura C.1. C.I.  $\mu A733$ .





**MC1488**

**QUAD LINE DRIVER**

The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

**Features:**

- Current Limited Output  
±10 mA typ
- Power-Off Source Impedance  
300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTL Logic Families

**QUAD MDTL LINE DRIVER  
RS-232C  
SILICON MONOLITHIC  
INTEGRATED CIRCUIT**

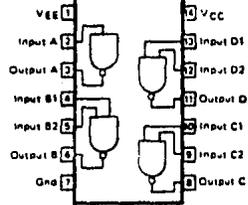


**L SUFFIX  
CERAMIC PACKAGE  
CASE 632-02  
MQ-001AA**

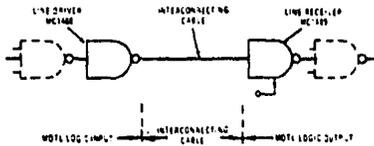


**P SUFFIX  
PLASTIC PACKAGE  
CASE 846-05**

**PIN CONNECTIONS**



**TYPICAL APPLICATION**



**CIRCUIT SCHEMATIC  
(1/4 OF CIRCUIT SHOWN)**

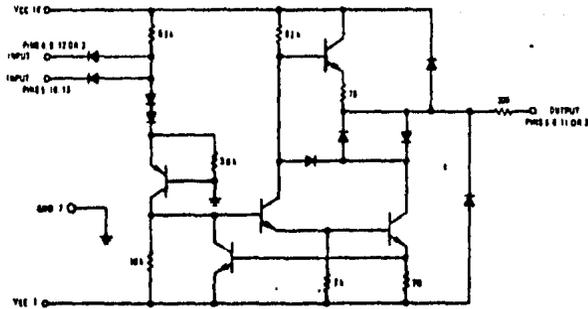


Figura C.2. C. I. MC1488.



**MC1489  
MC1489A**

**QUAD LINE RECEIVERS**

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C

- Input Resistance - 30 k to 70 kilohms
- Input Signal Range - ± 30 Volts
- Input Threshold Hysteresis Built In
- Response Control
  - a) Logic Threshold Shifting
  - b) Input Noise Filtering

**QUAD MDTL  
LINE RECEIVERS  
RS-232C**

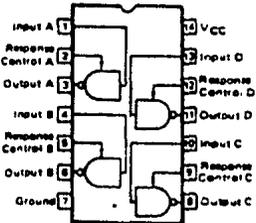
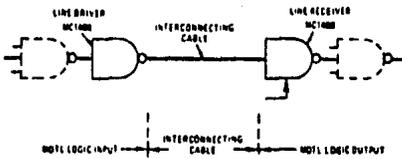
**SILICON MONOLITHIC  
INTEGRATED CIRCUIT**



**L SUFFIX  
CERAMIC PACKAGE  
CASE 632-02  
MD-001AA**

**P SUFFIX  
PLASTIC PACKAGE  
CASE 648-05**

**TYPICAL APPLICATION**



**EQUIVALENT CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)**

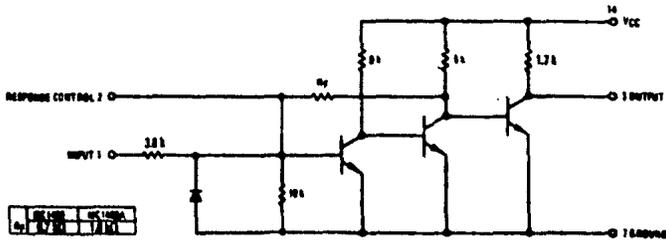


Figura C.3. C.I. MC1489.

# TTL TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74L164, SN74LS164 MSI 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

BULLETIN NO. DL-8 781183B, MARCH 1974—REVISED OCTOBER 1978

- Gated (Enable/Disable) Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

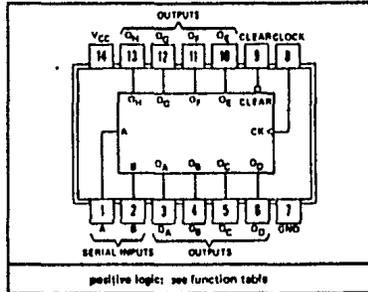
TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'L164	18 MHz	11 mW per bit
'LS164	36 MHz	10 mW per bit

### description

These 8 bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either (or both) input(s) inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

Series 54, 54L, and 54LS devices are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ ; Series 74, 74L, and 74LS devices are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

SN54164, SN54LS164 ... J OR W PACKAGE  
SN54L164, SN74L164 ... J, N, OR T PACKAGE  
SN74164, SN74LS164 ... J OR N PACKAGE  
(TOP VIEW)



### FUNCTION TABLE

INPUTS		OUTPUTS					
CLEAR	CLOCK	A	B	QA	QB ... QH		
L	X	X	X	L	L	L	L
H	L	X	X	QA0	QB0	QH0	
H	H	H	H	H	QA <sub>n</sub>	QH <sub>n</sub>	
H	H	L	X	L	QA <sub>n</sub>	QH <sub>n</sub>	
H	H	X	L	L	QA <sub>n</sub>	QH <sub>n</sub>	

H = high level (steady state), L = low level (steady state)  
X = irrelevant (any input, including transitions)  
↑ = transition from low to high level  
QA<sub>0</sub>, QB<sub>0</sub>, QH<sub>0</sub> = the level of QA, QB, or QH, respectively, before the indicated steady-state input conditions were established.  
QA<sub>n</sub>, QH<sub>n</sub> = the level of QA or QH before the most-recent ↑ transition of the clock; indicates a one-bit shift.

### schematics of inputs and outputs

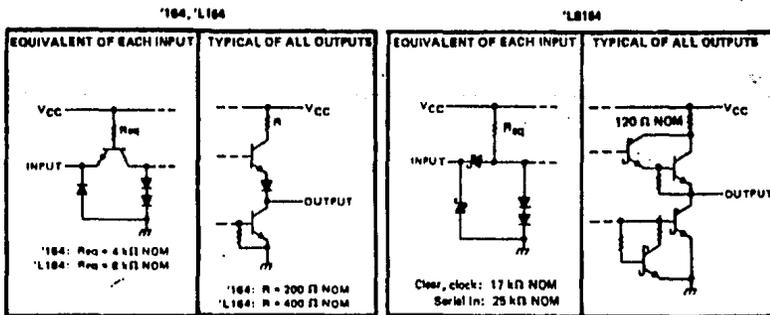


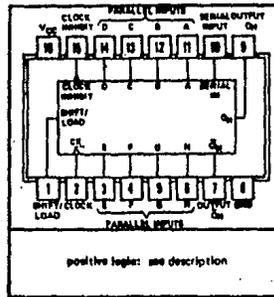
Figura C.4. C.I. 74LS164.

TYPES SN54165, SN54LS165, SN74165, SN74LS165  
PARALLEL-LOAD 8-BIT SHIFT REGISTERS

BULLETIN NO. DL-8 7811375, OCTOBER 1974

- Complementary Outputs
- Direct Overriding Load (Data) Inputs
- Gated Clock Inputs
- Parallel-to-Serial Data Conversion

SN54165, SN54LS165 ... JDR W PACKAGE  
SN74165, SN74LS165 ... JDR N PACKAGE  
(TOP VIEW)



TYPE	TYPICAL MAXIMUM	TYPICAL
	CLOCK FREQUENCY	POWER DISSIPATION
'165	25 MHz	210 mW
'LS165	35 MHz	105 mW

description

The '165 and 'LS165 are 8-bit serial shift registers that shift the data in the direction of  $Q_A$  toward  $Q_H$  when clocked. Parallel-in access to each stage is made available by eight individual direct data inputs that are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

Cloning is accomplished through a 2-input positive-NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking and holding either clock input low with the shift/load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the shift/load input is high. Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input independently of the levels of the clock, clock inhibit, or serial inputs.

FUNCTION TABLE

SHIFT/ LOAD		INPUTS				INTERNAL OUTPUTS		OUTPUT $Q_H$
		CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	$Q_A$	$Q_B$	
L	X	X	X	X	a...h	a	b	h
L	L	L	X	X	X	$Q_{A0}$	$Q_{B0}$	$Q_{H0}$
H	L	L	H	X	X	H	$Q_{An}$	$Q_{Hn}$
H	L	L	L	X	X	L	$Q_{An}$	$Q_{Hn}$
H	H	X	X	X	X	$Q_{A0}$	$Q_{B0}$	$Q_{H0}$

See explanation of function tables on page 3 B.

schematic of inputs and output

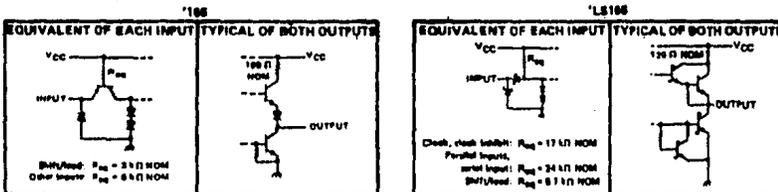


Figura C.5. C.I. 74LS165.

TTL  
MSI

**TYPES SN54LS373, SN54LS374, SN54S373, SN54S374,  
SN74LS373, SN74LS374, SN74S373, SN74S374  
OCTAL D-TYPE TRANSPARENT LATCHES AND  
EDGE-TRIGGERED FLIP-FLOPS**

BULLETIN NO. DL-8 12280, OCTOBER 1976 - REVISED JUNE 1978

- Choice of 8 Latches or 8 D-Type Flip-Flops in a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS383 and SN74LS384 Are Similar But Have Higher  $V_{OH}$  For MOS Interface

'LS373, 'S373  
FUNCTION TABLE

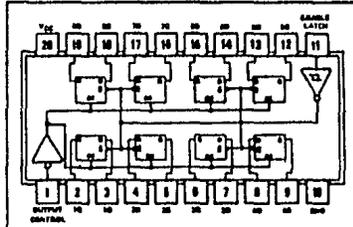
OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	$Q_0$
H	X	X	Z

'LS374, 'S374  
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	$Q_0$
H	X	X	Z

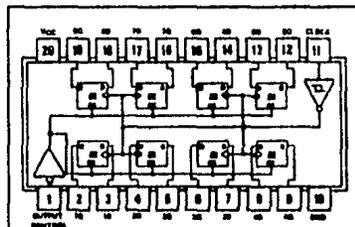
See explanation of function tables on page 1-52.

SN54LS373, SN54S373 ... J PACKAGE  
SN74LS373, SN74S373 ... J OR N PACKAGE  
(TOP VIEW)



logic: see function table

SN54LS374, SN54S374 ... J PACKAGE  
SN74LS374, SN74S374 ... J OR N PACKAGE  
(TOP VIEW)



logic: see function table

**description**

These 8-bit registers feature totem-pole three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

Figura C.6. C.I. 74LS374.

TTL

**TYPES SN64390, SN64LS390, SN64393, SN64LS393,  
SN74390, SN74LS390, SN74393, SN74LS393  
DUAL 4-BIT DECADE AND BINARY COUNTERS**

BUFILE TIN NO. DL-8 7812098, OCTOBER 1978

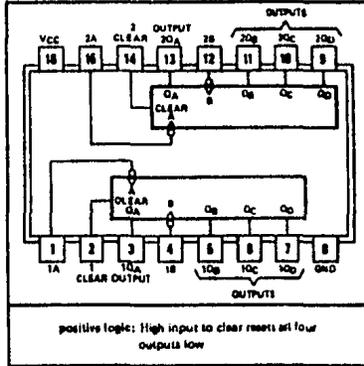
- Dual Versions of the Popular '90A, 'LS90 and '93A, 'LS93
- '390, 'LS390... Individual Clocks for A and B Flip-Flops Provide Dual +2 and +5 Counters
- '393, 'LS393... Dual 4-Bit Binary Counter with Individual Clocks
- All Have Direct Clear for Each 4-Bit Counter
- Dual 4-Bit Versions Can Significantly Improve System Densities by Reducing Counter Package Count by 50%
- Typical Maximum Count Frequency... 35 MHz
- Buffered Outputs Reduce Possibility of Collector Commutation

description

Each of these monolithic circuits contains eight master-slave flip-flops and additional gating to implement two individual four-bit counters in a single package. The '390 and 'LS390 incorporate dual divide-by-two and divide-by-five counters, which can be used to implement cycle lengths equal to any whole and/or cumulative multiples of 2 and/or 5 up to divide-by-100. When connected as a bi-quinary counter, the separate divide-by-two circuit can be used to provide symmetry (a square wave) at the final output stage. The '393 and 'LS393 each comprise two independent four-bit binary counters each having a clear and a clock input. N-bit binary counters can be implemented with each package providing the capability of divide-by-256. The '390, 'LS390, '393, and 'LS393 have parallel outputs from each counter stage so that any submultiple of the input count frequency is available for system-timing signals.

Series 64 and Series 64LS circuits are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74 and Series 74LS circuits are characterized for operation from 0°C to 70°C.

SN64390, SN64LS390... J OR W PACKAGE  
SN74390, SN74LS390... J OR N PACKAGE  
(TOP VIEW)



SN64393, SN64LS393... J OR W PACKAGE  
SN74393, SN64LS393... J OR N PACKAGE  
(TOP VIEW)

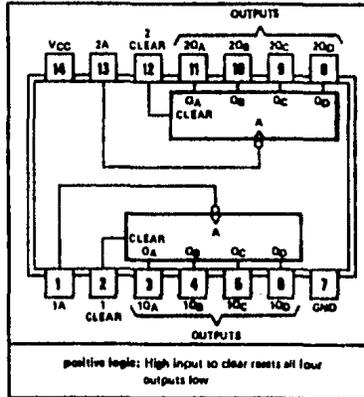


Figura C.7. C.I. 74LS393.

# ADC0820 8-Bit High Speed $\mu$ P Compatible A/D Converter with Track/Hold Function

## General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5  $\mu$ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ $\mu$ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

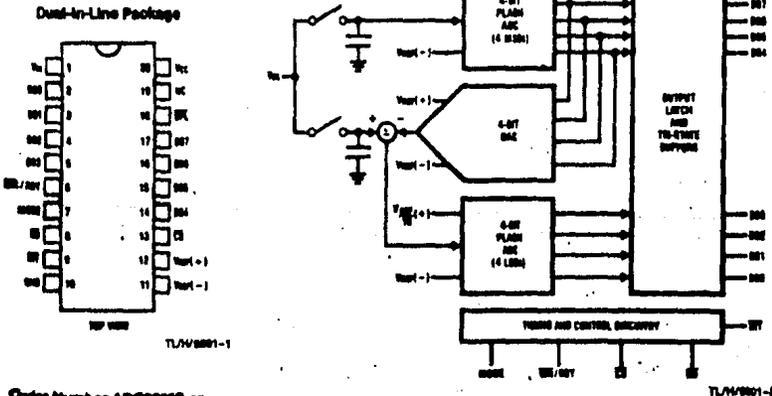
## Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V<sub>CC</sub>
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V<sub>CC</sub>
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP

## Key Specifications

- Resolution 8 Bits
- Conversion Time 2.5  $\mu$ s Max (RD Mode)  
1.5  $\mu$ s Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/ $\mu$ s converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error  $\pm 1/2$  LSB and  $\pm 1$  LSB

## Connection and Functional Diagrams



Order Number ADC0820 or  
ADC0820N  
See NS Package D36A or H30A

FIGURE 1

Figura C.8. C.I. ADC0820.

## DAC0830, DAC0831, DAC0832

### 8-Bit $\mu$ P Compatible, Double-Buffered D to A Converters

#### General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80<sup>®</sup>, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

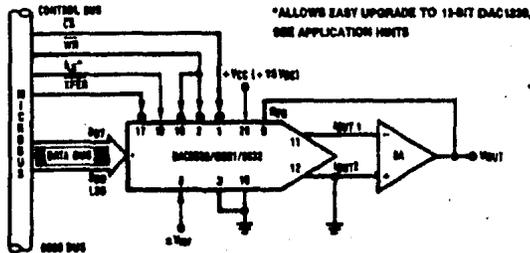
#### Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with  $\pm 10$ V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without  $\mu$ P) if desired

#### Key Specifications

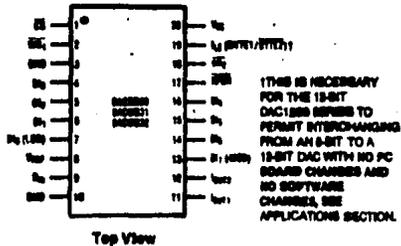
- |                         |                  |
|-------------------------|------------------|
| ■ Current settling time | 1 $\mu$ s        |
| ■ Resolution            | 8-bits           |
| ■ Linearity             | 8, 9, or 10 bits |
| (guaranteed over temp.) |                  |
| ■ Gain Tempco           | 0.0002% FS/°C    |
| ■ Low power dissipation | 20 mW            |
| ■ Single power supply   | 5 to 15 Vcc      |

#### Typical Application



#### Connection Diagram

See NS Packages D08A and NS8A

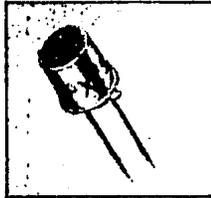


TL1/4000-1

Figura C.9. C.I. DAC0830.

**CENTRONIC****BPX 65**

Internationally  
recognized low-cost  
high-performance  
silicon P on N photo-  
diode.

**TYPICAL CHARACTERISTICS @ 23°C**

Active Area	1	mm <sup>2</sup>
Responsibility	450nm	0.2 A/W
	907nm	0.55 A/W
	1064nm	0.15 A/W
Maximum Operating Voltage	50	Volts
Dark Current	20V 1.0	nA
Rise Time	900nm 50 ohm	
	20V	1 nS
Capacitance	0V	15 pF
	20V	3.5 pF
Noise Equivalent Power 900nm	20V	3.6x10 <sup>-14</sup> W/√Hz
Operating Temperature Range	-55 to +70	°C
Package (non isolated)	TO18	
Field of View	74	o
Technology:	Good process control resulting in low dark current, superior long-term stability and device-to-device uniformity.	
Applications:	Fiber Optic Communication. Laser Instrumentation. General Purpose Light Detection. Laser Pulse Detection. Energy Monitoring. LED Sensing. Edge Detection.	
Custom Options:	Unit can be provided in chip form or assembled without window can.	

Figura C.10. C.I. BPX 65 CENTRONIC.

# FED073K1WA FED086K1WA

## ABSOLUTE MAXIMUM RATINGS

Parameters	Symbols	FED073K1WA	FED086K1WA	Unit
Storage temperature	$T_{stg}$	-50 to +90	-50 to +90	$^{\circ}\text{C}$
Operating case temperature	$T_{op}$	-40 to +90	-40 to +90	$^{\circ}\text{C}$
Forward current	$I_F$	150	150	mA
Reverse voltage	$V_R$	2	2	V

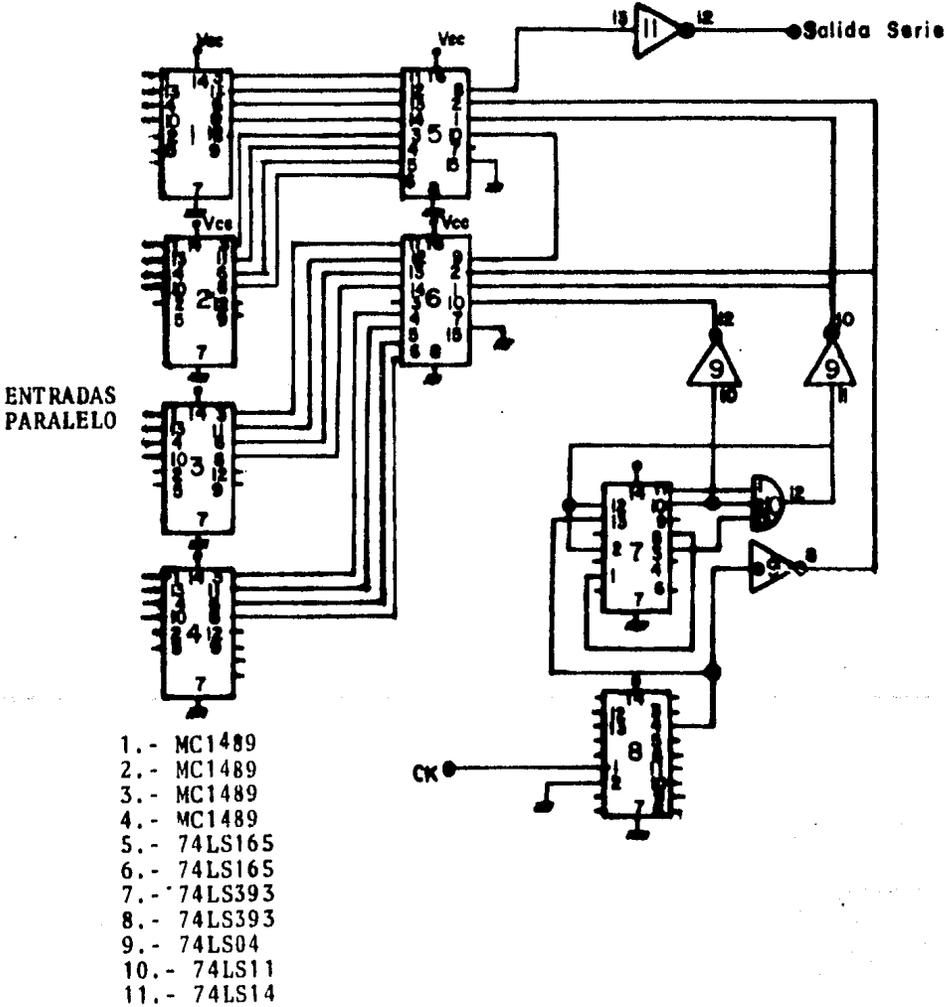
## ELECTRICAL AND OPTICAL CHARACTERISTICS ( $T_c = 25^{\circ}\text{C}$ )

Parameters	Symbols	Test conditions	FED073K1WA			FED086K1WA			Unit	
			Min.	Typ.	Max.	Min.	Typ.	Max.		
Peak wavelength	$\lambda_p$	$I_F = 100 \text{ mA}$	715	730	745	845	865	890	nm	
Spectral half-width	$\Delta\lambda$	$I_F = 100 \text{ mA}$	-	25	-	-	45	-	nm	
Optical output power	$P$	$I_F = 100 \text{ mA}$	5	10	-	5	10	-	mW	
Half angle at half maximum	$\theta_{1/2}$	$I_F = 100 \text{ mA}$	-	$\pm 5$	-	-	$\pm 5$	-	degree	
Cutoff frequency	$f_c$	$I_F = 100 \text{ mA}$ $+20 \text{ mA}_{p-p}$	-1.5 dB from 1 MHz	5	20	-	15	35	-	MHz
			-3.0 dB from 1 MHz	-	40	-	-	70	-	
Forward voltage	$V_F$	$I_F = 100 \text{ mA}$	-	-	2.8	-	-	2.3	V	
Capacitance	$C_i$	$f = 1 \text{ MHz}, V_R = 0 \text{ V}$	-	-	400	-	-	400	pF	

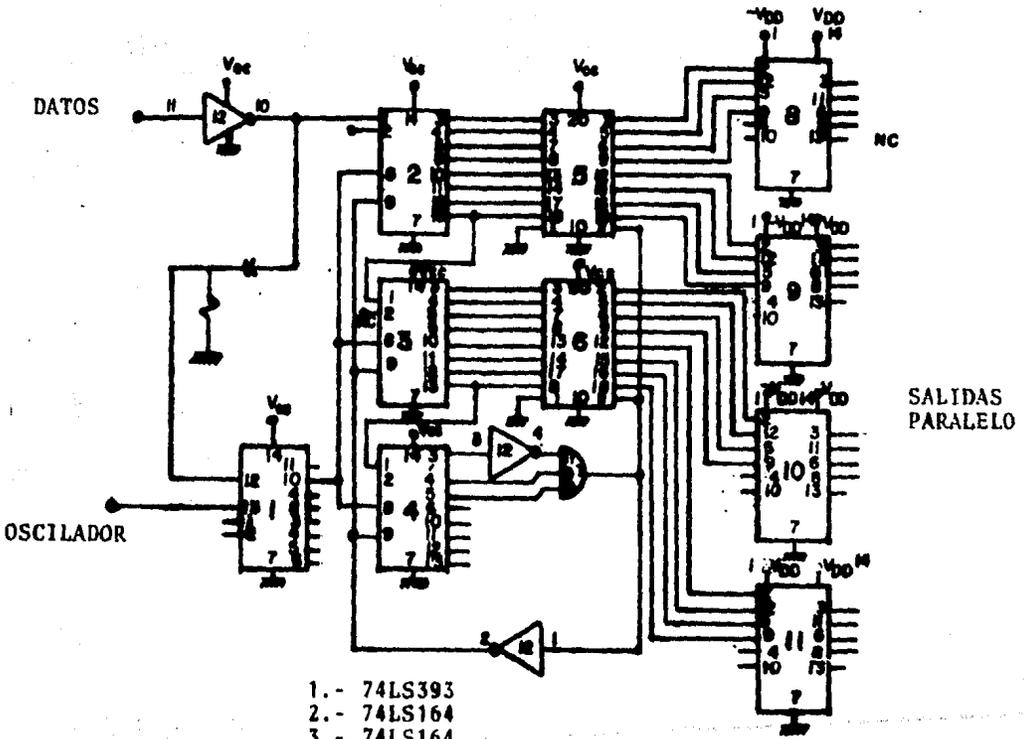
Figura C.11. C.1. 086 KIWA.

## APENDICE D.

DIAGRAMA DEL SERIALIZADOR Y SUBSISTEMA RECEPTOR  
PARA EL MULTIPLEXOR DE 16 CANALES.



SERIALIZADOR PARA 16 CANALES.



- 1. - 74LS393
- 2. - 74LS164
- 3. - 74LS164
- 4. - 74LS164
- 5. - 74LS374
- 6. - 74LS374
- 7. - 74LS11
- 8. - 1488
- 9. - 1488
- 10. - 1488
- 11. - 1488
- 12. - 74LS04

SUBSISTEMA RECEPTOR PARA 16 CANALES.