



# Universidad Nacional Autónoma de México

FACULTAD DE INGENIERIA

**ACONDICIONADOR DE SEÑALES SISMICAS  
PARA TELEMETRIA DIGITAL**

**T E S I S**

Que para obtener el Título de  
**INGENIERO MECANICO ELECTRICISTA**  
P r e s e n t a

**JUAN MANUEL VELASCO MIRANDA**

Dir.: M. en I. Pablo R. Pérez Alcázar.

México, D. F.

1984



Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## I N D I C E

1. INTRODUCCION.	1
2. DESCRIPCION GENERAL.	5
2.1 Estación de Campo.	5
2.2 Estación de Registro.	10
3. ESTACION DE CAMPO.	13
3.1 Diagrama de Bloques.	13
3.2 Unidad de Control.	13
3.2.a Diagramas de Flujo del Secuenciador.	16
3.2.b Circuitos de la Unidad de Control.	29
3.2.b.1 Base de Tiempo.	29
3.2.b.2 Circuitos de Borrado, Inicio de Operación y Selección de Canales Manejados.	31
3.2.b.3 Contador de Muestras.	33
3.2.b.4 Contador y Selector de Canales.	35
3.2.b.5 Secuenciador.	37
3.3 Sensores.	46
3.4 Circuito de Muestreo y Mantenimiento de las Señales.	51
3.5 Conversor Análogo a Digital.	53
3.6 Memoria.	55

3.7 Conversor Paralelo a Serie.	57
3.7.a Formato de Datos.	59
3.8 Alimentación.	61
4. ESTACION DE REGISTRO.	62
4.1 Diagrama de Bloques.	62
4.2 Unidad de Control.	64
4.2.a Diagrama de Flujo.	65
4.2.b Programa AIM-65.	73
4.3 Conversor Serie a Paralelo.	78
4.4 Memoria.	80
4.5 Conversor Digital a Análogo.	81
4.6 Selección y Registro de Información.	81
5. PERSPECTIVAS A FUTURO.	85
6. CONCLUSIONES.	87
7. BIBLIOGRAFIA.	90
APENDICE.	92

## 1. INTRODUCCION.

El estudio de los movimientos sísmicos es de gran interés para el país, dada su posición geográfica, la cual hace que le corresponda una alta sismicidad, en especial la región de la costa del Pacífico. El estudio de los movimientos ocurridos, permite estimar aspectos tales como la localización de las regiones focales de temblores, la determinación de la frecuencia y de las zonas sísmicas donde ocurren, el estudio de la energía que liberan, el papel que juegan las fallas geológicas en la generación de los sismos, etc. El seguimiento de los movimientos puede lograrse mediante estaciones sismográficas situadas en sitios convenientes de las regiones sísmicas.

Cuando se produce un movimiento sísmico, se emiten tres clases de ondas, cada una de las cuales viaja de manera distinta y a diferente velocidad. El tiempo que tardan las ondas para llegar a una estación sismográfica permite estimar la distancia a la que se produjo el evento sísmico. Con tres estaciones emplazadas a distancias convenientes, puede indicarse el foco del movimiento.

El Instituto de Ingeniería, en su sección de Sismología, maneja señales de baja frecuencia procedentes de sensores ta-

les como sismómetros y acelerómetros. Actualmente se tienen estaciones en el campo, las cuales, mediante registradores, toman la información analógica procedente de los sensores - mencionados y después de convertirla a digital, la almacenan en cinta magnética. Estas estaciones requieren, pues, de visitas periódicas para recoger la información de los eventos sísmicos posibles.

El presente trabajo plantea la telemetría como alternativa para la "recolección" de los eventos sísmicos de interés, dados por los sensores mencionados. En la figura 1 se da un diagrama de bloques del sistema de telemetría en que se basa el estudio realizado. Se observa del mismo, que se permite el conocimiento continuo e inmediato de los datos de la estación en el campo, dado que el retardo (despreciable) solo se deberá a la transmisión en sí de los mismos; siendo esto de especial interés al plantear una red de estaciones para una región. Aunque por otra parte se precise de una red de transmisión de la información.

Este trabajo contempla el manejo de las señales, hasta antes de su modulación, en la estación de campo, y el reacondicionamiento de las mismas en la estación de registro, después de haber sido demoduladas, para su graficación en papel.

En el capítulo 2 se da una descripción general de las estaciones de campo y de registro; los dos siguientes capítu-

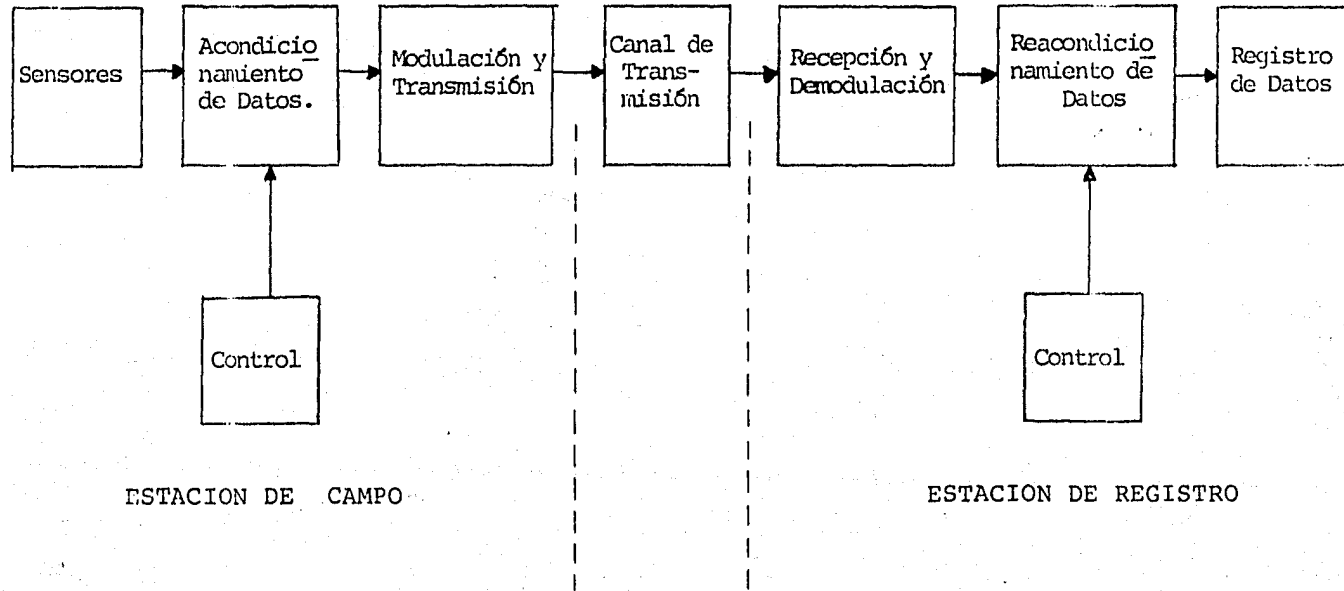


FIG. 1 DIAGRAMA DE BLOQUES DEL SISTEMA DE TELEMETRIA.

los (3 y 4), describen en detalle cada una de las estaciones así como el fundamento teórico de su elaboración.

El capítulo 5 plantea las perspectivas a futuro, así como las limitantes de los sistemas desarrollados. Finalmente se dan las conclusiones y la bibliografía (capítulos 6 y 7).



## 2. DESCRIPCION GENERAL.

El sistema de telemetría sísmica consiste, en su forma más elemental, de una estación de campo y una estación de registro. (Ver figura 1).

### 2.1 ESTACION DE CAMPO.

Esta sección se encarga de acondicionar las señales analógicas, dadas por 3 sensores dispuestos ortogonalmente, que varían en amplitud de 0 a 5 volts, y en frecuencia de 0 a 40 hertz, correspondientes a una velocidad o a una aceleración dependiendo de que los sensores sean sismómetros o acelerómetros, para tenerlas, finalmente, en forma digital serie.

Para esto las señales analógicas son muestreadas y multiplexadas en un selector de canal, a razón de 100 muestras por segundo por cada canal; el selector de canal consiste de un grupo de 3 interruptores analógicos comandados por la unidad de control de la estación. Se selecciona un canal a la vez, comenzando con el canal 1, siguiendo con el 2 y finalmente con el 3, repitiéndose esta operación para cada muestra.

Después de seleccionado, cada canal es convertido a pulsos mediante un conversor analógico/digital de 12 bits, del

tipo de aproximaciones sucesivas; los 12 bits de cada muestra son separados en dos partes: la parte alta, que contiene los 7 bits más significativos y la parte baja, con los 5 bits menos significativos mas dos bits agregados para identificar a que canal corresponde cada dato convertido.

Cada una de estas partes se pasa a una unidad de memoria temporal (latch), que además de almacenar las dos partes de cada muestra, genera otros dos grupos de 7 bits, cada 99 - muestras de un canal, usados para sincronía en la recepción de los datos, dado que en la estación de campo, la transmisión de datos es continua a partir del inicio de operación y se requiere pues, de una señal que evite errores en la identificación de los datos.

La función de la unidad de memoria (latch) es mantener los datos, para posteriormente transferirlos hacia el serializador (UART - transmisor-receptor universal asíncrono) a través de un bus de datos.

Así pues, el UART toma del bus de datos grupos de 7 bits de forma paralela para serializarlos; a cada grupo o palabra de 7 bits, le agrega un bit de inicio de palabra, un bit de paridad y dos mas de terminación de palabra.

La salida de forma digital serie queda así lista para modularse y transmitirse al aire. Esta tarea, desde selección hasta serialización, se repite para los 3 canales y las

100 muestras.

Las funciones de selección de canal, conversión de dato, almacenamiento temporal de palabra y serialización de la misma se efectúan mediante la guía de una unidad de control secuencial, formulada a partir de un "programa de trabajo", que dependerá del manejo de los canales, es decir, si se manejan 3 canales o solo uno. Se tiene así un secuenciador en la unidad de control, que dirige la operación de la estación.

La forma en que se elaboró este secuenciador fue en base al método AHPL (A Hardware Programming Language), que básicamente permite lograr un programa o secuencia de instrucciones a partir del diagrama de flujo de trabajo; con este programa se implementan físicamente las instrucciones en un circuito determinado que se alambrará al mismo nivel del diagrama de flujo del secuenciador de la estación.

En seguida se muestra un diagrama de bloques para la estación de campo, figura 2, en el que se observa la secuencia en que se efectúan las operaciones antes descritas.

Un aspecto a considerar, relacionado con la estación de campo, es la velocidad de generación de la información. A continuación se desarrolla este aspecto.

Como se apuntó antes, se toman 100 muestras por segundo, por canal; la primera muestra corresponde a una palabra conocida, usada para sincronía en la estación de registro, y las

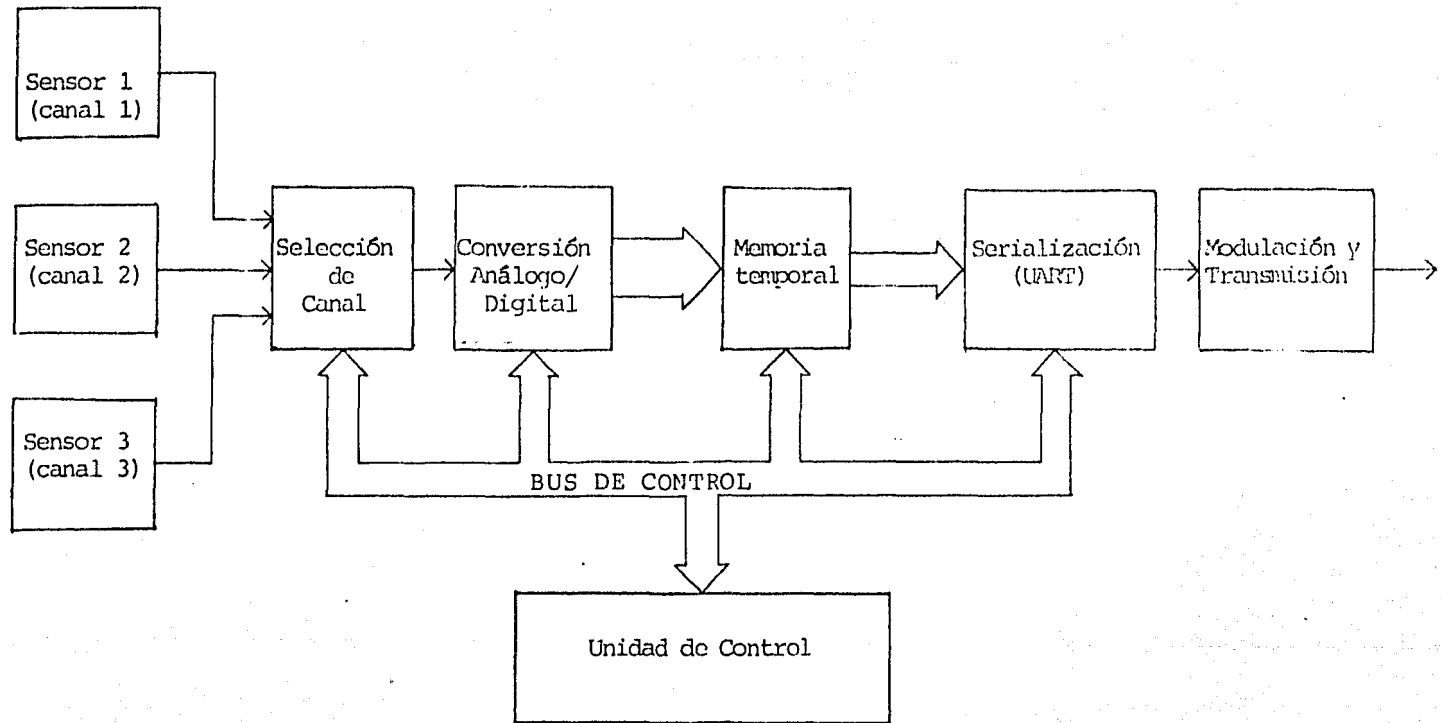


FIG. 2 DIAGRAMA DE BLOQUES DE LA ESTACION DE CAMPO.

restantes 99 corresponden a muestras de los 3 canales existentes en la estación de campo.

Cada muestra de cada canal ya en forma digital paralela, se divide en dos partes de 7 bits cada una, para su conversión paralelo/serie; en esta última etapa se agregan 4 bits a cada palabra de 7 bits, un bit de inicio, otro de paridad y dos de terminación de palabra.

Así pues, por cada canal se tienen 22 bits correspondientes a las dos palabras en que se dividió la muestra, más los bits de control mencionados (inicio, paridad y terminación de palabra); considerando lo anterior, se obtiene la siguiente velocidad de generación de bits en cada segundo:

$$\begin{aligned} & (100 \frac{\text{muestras/seg}}{\text{canal}}) \times (3 \text{ canales}) \times (22 \frac{\text{bits}}{\text{muestra}}) = \\ & = 6,600 \text{ bits/seg.} \end{aligned}$$

La estación de campo puede, también, manejar un solo canal, por tanto, la velocidad de generación de bits correspondiente es de 2,200 bits/seg.

## 2.2 ESTACION DE REGISTRO.

En la estación de registro la operación es inversa. Se toma la señal digital serie, ya recibida y demodulada, y se la reacondiciona a su forma analógica, para su registro en papel sobre tambor rotatorio.

En la figura 3 se presenta el diagrama de bloques correspondiente a la estación de registro.

Como primer paso, la señal digital serie, demodulada, se convierte a paralelo, utilizando un UART, y se identifican los dos grupos o palabras de sincronía, para iniciar enseguida, el reconocimiento de datos de cada canal; si no ha llegado la palabra de sincronía la estación espera a que aquella arribe. Ya en sincronía, la estación procede a tomar las palabras subsiguientes como datos, así, las dos siguientes palabras de 7 bits ya en forma paralela se almacenan en una unidad de memoria temporal (latch) para reconstruir la muestra completa de 12 bits.

Teniendo la parte alta (7 bits más significativos), la parte baja (5 bits menos significativos) y la identificación del canal al que corresponde la muestra, se pasa ésta última a un conversor digital/analógico de tipo multiplicador; el dato, ya de forma analógica, se direcciona mediante un selector de canal hacia un graficador de tambor rotatorio.

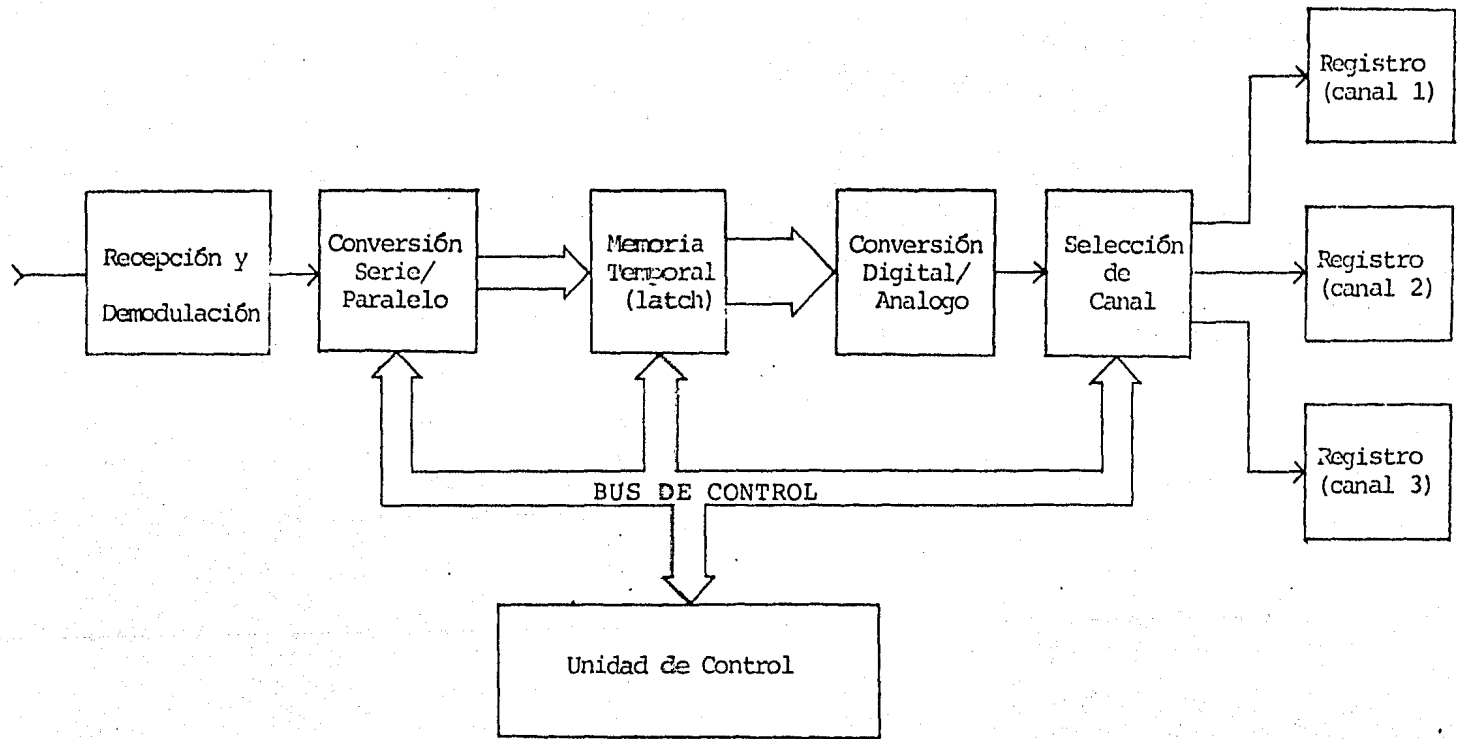


FIG. 3 DIAGRAMA DE BLOQUES DE LA ESTACION DE REGISTRO.

El selector de canal consiste, nuevamente, de interruptores analógicos comandados por la unidad de control de la estación. Esta operación se repite continuamente, cubriendo los 3 canales y la totalidad de las muestras recibidas.

Para el control de la estación de registro se utiliza - una microcomputadora Rockwell, que se encarga de dar las órdenes adecuadas a las secciones de conversión serie/paralelo, de memoria temporal (latch - para reconstrucción de las muestras) y de selección de canal a graficar, también se encarga de reconocer la señal digital de sincronía y de identificar el canal que se esté procesando.

Así pues, en la estación de registro el "programa de trabajo" se realiza por software.



### 3. ESTACION DE CAMPO.

#### 3.1 DIAGRAMA DE BLOQUES.

En este capítulo se describen cada uno de los bloques que componen la estación de campo, empezando con la unidad de control de la estación, la cual, como se comentó anteriormente, es la encargada de comandar a los otros bloques que realizan las funciones de muestreo, conversión A/D, almacenamiento temporal y serialización. El diagrama de la figura 4 muestra los bloques que componen la estación, así como el flujo de los datos y las señales de control.

#### 3.2 UNIDAD DE CONTROL.

En la figura 5 se muestra el diagrama de bloques correspondiente a la unidad de control, con las señales producidas y requeridas para su operación, mismas que serán descritas más adelante, al plantear el diagrama de flujo del secuenciador.

La operación de esta unidad se fundamenta en el método AHPL (A Hardware Programming Language), usado para la realización del secuenciador.

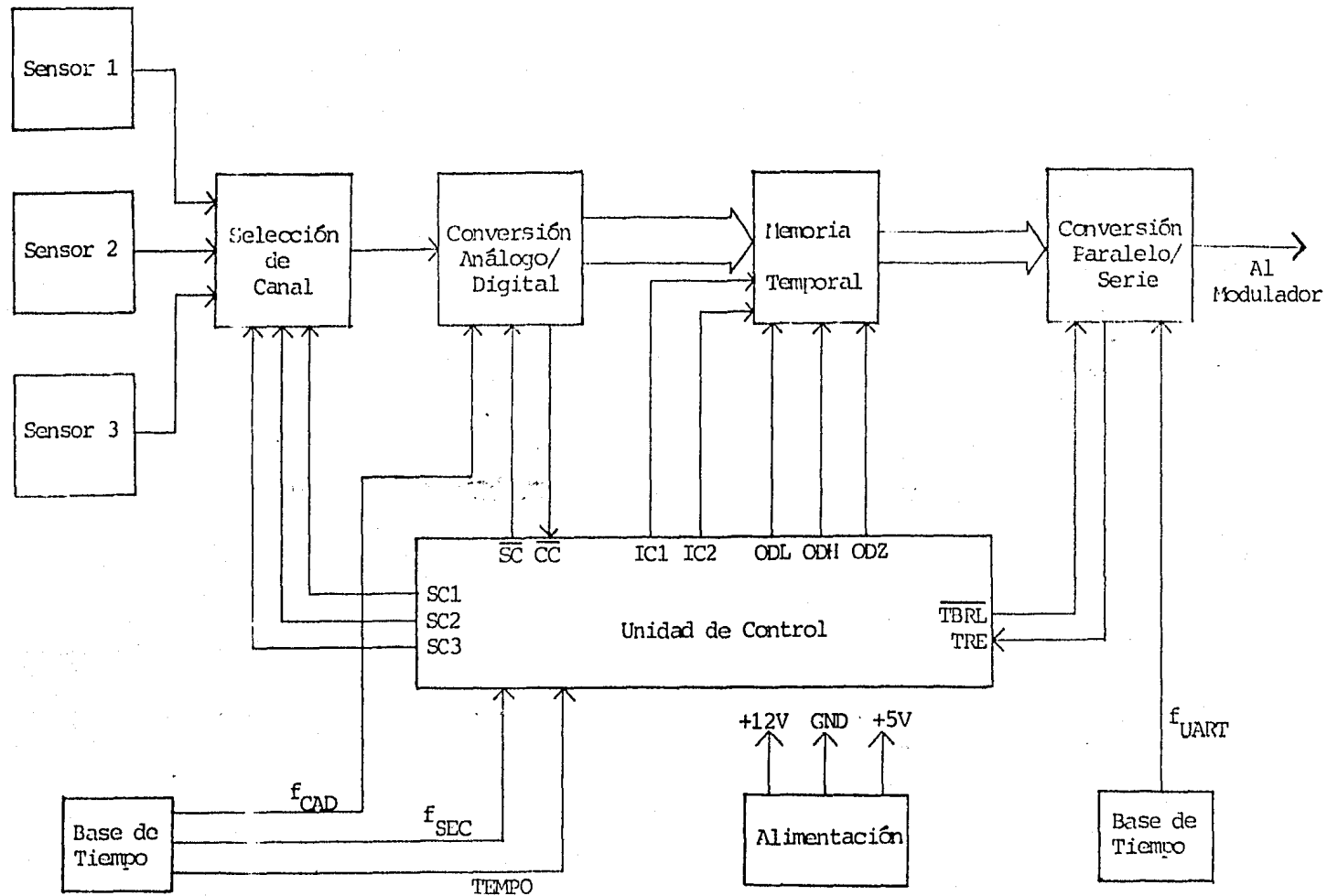


FIG. 4 DIAGRAMA DE BLOQUES DE LA ESTACION DE CAMPO

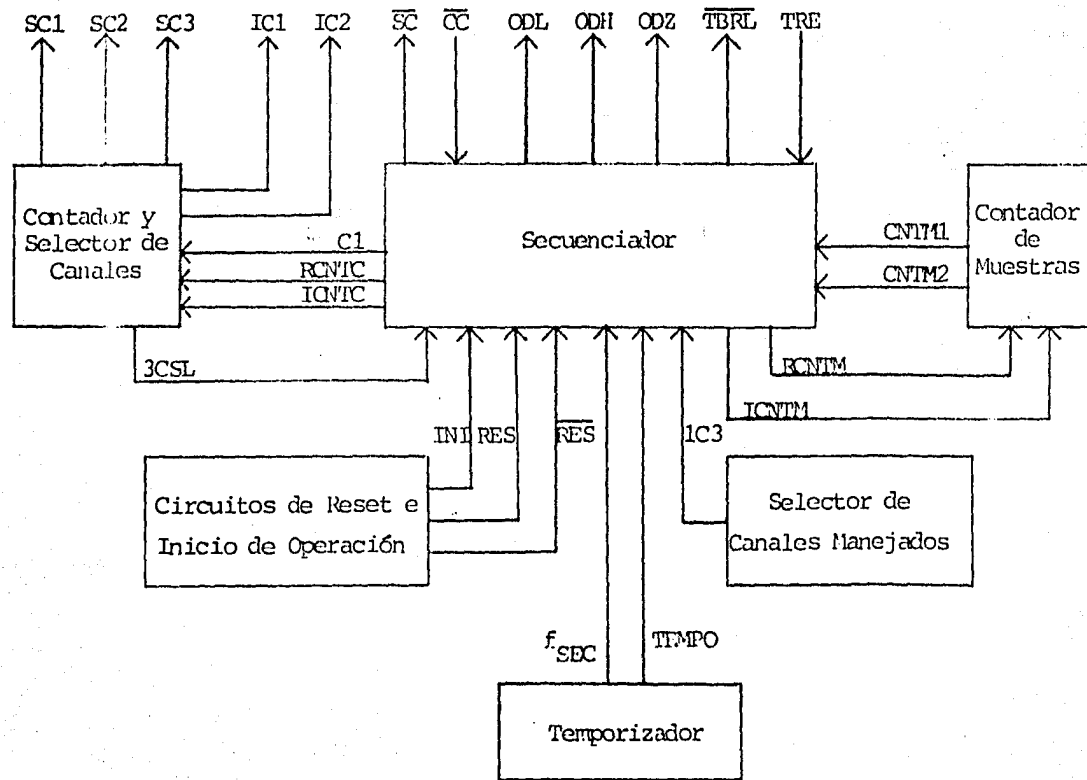


FIG. 5 DIAGRAMA DE BLOQUES DE LA UNIDAD DE CONTROL

Este es un método de diseño que requiere el planteamiento de un diagrama de flujo con las funciones del sistema a implementar. A partir de este diagrama de flujo se elabora un programa que indique la secuencia de ejecución de las diversas operaciones del sistema. La cualidad de este programa es que cada instrucción del mismo se ejecuta en el momento que se presenta un estado de un secuenciador, que puede ser realizado mediante flip-flops. Por tanto, en este método se tiene un flip-flop por estado. Las decisiones se realizan mediante compuertas lógicas, contadores, banderas de los circuitos integrados comandados por el mismo secuenciador, etc.

Por tanto es necesario plantear el diagrama de flujo requerido. Este diagrama indica las funciones que realizará la estación en su conjunto sobre cada uno de los datos procesados (muestras de cada canal) desde su forma analógica hasta su forma digital serie.

### 3.2.a DIAGRAMAS DE FLUJO DEL SECUENCIADOR.

Como se observa en la figura 6, las operaciones son realizadas continuamente a partir de la inicialización del sistema, ésta consiste en dar una señal de borrado (reset) y otra de inicio de operación al secuenciador; después de esto, se procede a la serialización del dato de sincronía, el cual se

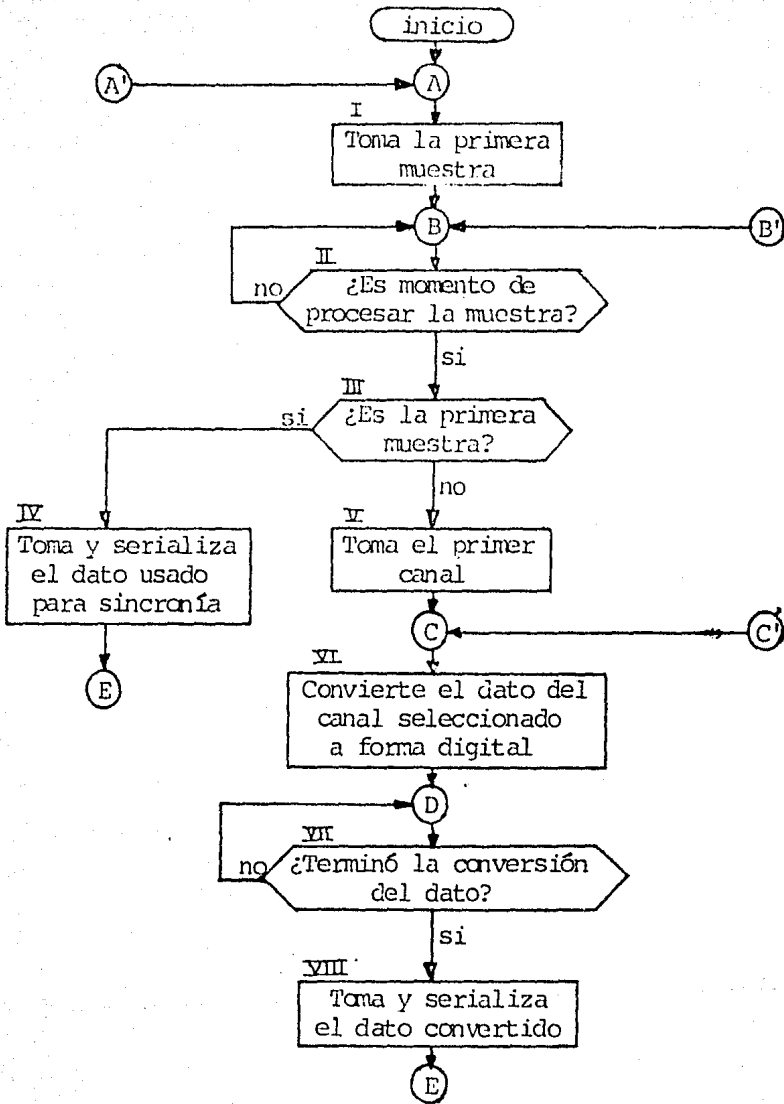


FIG. 6 DIAGRAMA DE FLUJO DEL SECUENCIADOR.

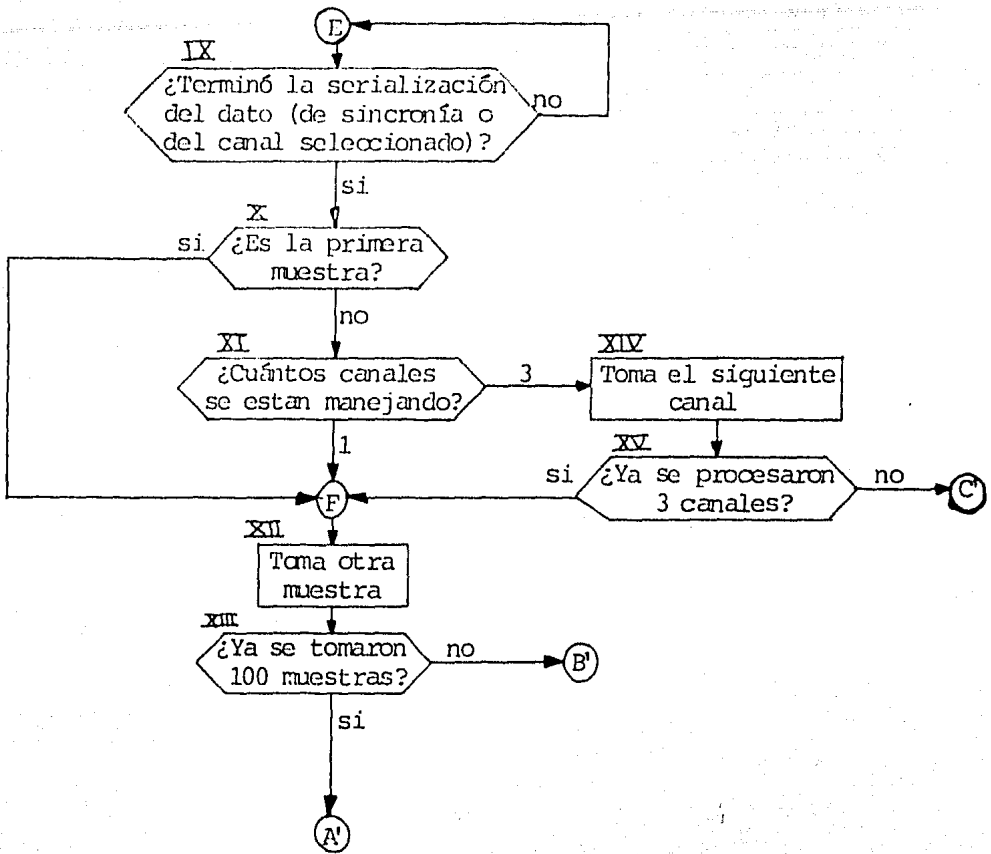


FIG. 6 DIAGRAMA DE FLUJO DEL SECUENCIADOR (CONT.)

considera como la primera muestra que, además, se usará para el reacondicionamiento de las señales en la estación de registro; luego de contabilizar esta muestra, se procede con la siguiente que se tomará para uno o tres canales; en caso de manejar 3 canales, estos se muestrean, convierten y serializan uno en seguida del otro; terminado el proceso para esta muestra, se continua con la siguiente y así sucesivamente hasta completar 100, después de lo cual vuelve a repetirse toda la operación.

Dado que se manejan 100 muestras por segundo y 3 canales por muestra, el sistema recorre todos los estados del diagrama cada segundo; si se maneja un solo canal, los pasos XIV y XV no se ejecutan.

Puesto que de este diagrama se formula el programa de trabajo del secuenciador de la unidad de control, se tendrán los siguientes requerimientos del mismo:

- Inicialización del sistema, que contempla una "limpieza" del sistema para asegurar un estado inicial apropiado, y una orden de principio de operación.
- Conteo del número de muestras procesadas y conocimiento del momento en que sucede la primera muestra y la última. (Pasos III, X y XIII).
- Indicación del momento en que puede procesarse una muestra. (Paso II).

- Conocimiento de que canal esta siendo procesado y control de este proceso. (Paso XV).
- Indicación del número de canales procesados, 1 ó 3. (Paso XI).
- Indicación del momento en que se termina la conversión análogo/digital y la serialización del dato (ya sea el de sincronía o el de la conversión A/D). (Pasos VII y IX).

Exceptuando la inicialización al sistema, los demás son puntos en los que se toma una decisión, de aquí que se los mencione como requerimientos, dado que son necesarios como indicadores para producir la decisión correspondiente.

Los puntos I, IV, V, VI, VIII, XII y XIV corresponden a ejecuciones en sí del programa, como se verá más adelante al plantear este último.

Tomando en cuenta las anteriores premisas, se puede plantear el diagrama de flujo que muestre cada una de las ejecuciones y decisiones a tomar para el cumplimiento de las tareas asignadas a la estación.

Para esto, se definen a continuación algunos términos de tipo mnemónico, que se usarán en el diagrama y que corresponden a las señales que maneja el secuenciador, mismas que son generadas por los circuitos controlados (banderas) o por los circuitos de soporte del secuenciador, figura 5, o bien que



son necesarias para producir la operación de los mismos.

Los términos manejados son los siguientes:

RES,INI - Señales de borrado (reset) e inicio de operación del secuenciador, ambas son pulsos.

CNTM - Contador de muestras.

TEMPO - Señal pulsante que indica el momento de procesar una muestra.

CNTC - Contador (y muestreador) de canales.

$\overline{SC}$  - Señal que requiere el conversor A/D para iniciar la conversión del dato a su entrada.

$\overline{CC}$  - Señal (bandera) del conversor, que indica la conversión completa del dato.

ODZ - Señal que permite pasar el dato de sincronía, de la memoria temporal (latch Z) hacia el serializador (UART).

ODL - Señal que permite pasar la parte baja del dato convertido, de la memoria temporal (latch L) hacia el serializador.

ODH - Señal que permite pasar la parte alta del dato convertido, de la memoria temporal (latch H) hacia el serializador.

$\overline{TBRL}$  - Señal enviada al serializador para iniciar su operación.

TRE - Señal (bandera) producida por el serializador,

para indicar que el dato que recibió ya fue -  
procesado.

1C3 - Señal que indica si se procesan uno o tres ca-  
nales.

Así, con esta terminología, se replantea el diagrama de flujo, figura 7, que servirá de base para implementar el programa de trabajo del secuenciador, y dado que ambos (diagrama y programa) están directamente relacionados se da también, en la figura 8, el programa de trabajo del secuenciador.

Tanto el diagrama de flujo como el programa de trabajo se han numerado de tal forma que a una instrucción del programa corresponde un bloque del diagrama, bajo la misma numeración (ver figuras 7 y 8).

A continuación se describen las tareas realizadas en cada uno de los pasos (o estados) del programa de trabajo de la figura 8 (mismos que pueden seguirse en el diagrama de la figura 7, de acuerdo a la terminología antes definida).

Estos pasos corresponden a instrucciones AHPL y en la - descripción se indica el significado de las mismas:

1.  $\longrightarrow$  (INI) / (1)

En esta instrucción se tiene un salto condicionado, es decir, si se da la señal INI se pasa al estado (1) indi-

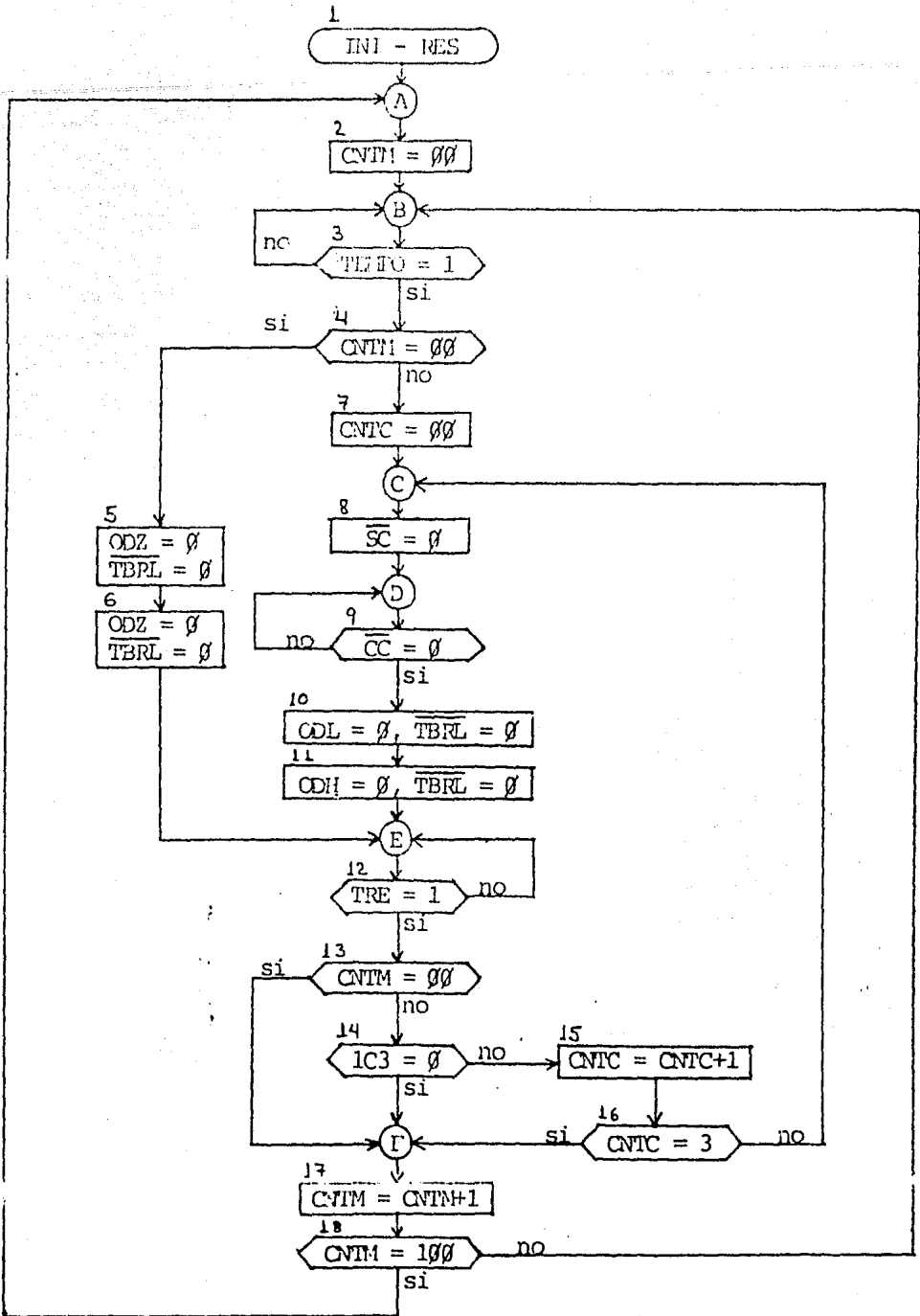


FIG. 7 INSTRUCCIONES DEL DIAGRAMA DE FLUJO DEL SECUENCIADOR

1.  $\longrightarrow$  (INI, RES) / (1)
2. (RCNTM)  $\longleftarrow$  1
3.  $\longrightarrow$  (TEMPO) / (3)
4. Sin retardo.  
 $\longrightarrow$  (CNTM1) / (7)
5. ODZ =  $\emptyset$ ;  $\overline{\text{TBRL}}$  =  $\emptyset$
6. ODZ =  $\emptyset$ ;  $\overline{\text{TBRL}}$  =  $\emptyset$   
 $\longrightarrow$  (12)
7. (RCNTC)  $\longleftarrow$  1
8.  $\overline{\text{SC}}$  =  $\emptyset$
9.  $\longrightarrow$  (CC) / (9)
10. ODL =  $\emptyset$ ;  $\overline{\text{TBRL}}$  =  $\emptyset$
11. ODH =  $\emptyset$ ;  $\overline{\text{TBRL}}$  =  $\emptyset$
12.  $\longrightarrow$  (TRE) / (12)
13. Sin retardo.  
 $\longrightarrow$  (CNTM1) / (14)
- 13a.  $\longrightarrow$  17
14.  $\longrightarrow$  (1C3) / (17)
15. CNTC  $\longleftarrow$  INC (CNTC)
- (16)  $\longrightarrow$  ( $\overline{3\text{CSL}}$ ) / (8)
17. CNTM  $\longleftarrow$  INC (CNTM)
- (18)  $\longrightarrow$  (CNTM2,  $\overline{\text{CNTM2}}$ ) / (2,3)

Entradas: INI, RES, 1C3, Datos de muestra.

Salida: TRO = Salida serie del UART.

Memoria: Z (7), L = (7), H = (7)

FIG. 8 PROGRAMA AHPL

La numeración de las instrucciones corresponde a la numeración dada a los bloques del diagrama de flujo.

cado después de la diagonal, y si se da la señal  $\overline{INI}$  (negado de INI) se pasa a la siguiente instrucción. El propósito de este estado es pues, esperar la señal  $\overline{INI}$  para iniciar la operación del secuenciador.

2.  $(RCNTM) \leftarrow 1$

Mediante esta instrucción se genera un nivel alto (lógico) para poner en ceros al contador de muestras -- ( $RCNTM = \text{"reset"}$  al contador de muestras). Luego de generar esta señal se pasa a la siguiente instrucción.

3.  $\rightarrow (\overline{TEMPO}) / (3)$

Esta es una instrucción similar a la primera, es decir, es un estado de espera de la señal pulsante TEMPO (en nivel alto), cuando ésta aparece, se pasa al siguiente estado o instrucción. La instrucción indica "espera en el estado 3 si se da  $\overline{TEMPO}$  (negado de TEMPO), en caso contrario continua con la siguiente instrucción".

4. Sin retardo

$\rightarrow (\overline{CNTM1}) / (7)$

Esta es una instrucción "sin retardo", dado que se ejecuta en el mismo intervalo de tiempo que la anterior e indica un salto a la instrucción 7 del programa si se da la señal  $\overline{CNTM1}$ , que indica que el contador de muestras tiene un valor distinto de cero. Si se da el nivel alto ( $\overline{CNTM1}$ ) entonces se continua con la instrucción siguiente.

5.  $ODZ = \emptyset ; \overline{TBRL} = \emptyset$

Esta instrucción permite que el primer dato de sincronía pase de la memoria temporal hacia el serializador (UART) y se ordena la operación de éste último, mediante las se

ñales de ODZ y  $\overline{\text{TBRL}}$  respectivamente y en niveles bajos ( $\emptyset$  lógico). Se continua hacia el siguiente estado.

6.  $\text{ODZ} = \emptyset$  ;  $\overline{\text{TBRL}} = \emptyset$

— $\triangleright$  (12)

Igual que la instrucción anterior, ahora para el segundo dato de sincronía y con un salto a la instrucción 12.

7.  $(\text{RCNTC}) \leftarrow 1$

Es similar a la instrucción 2; con ella se produce un nivel alto (1 lógico) para poner en ceros al contador de canales, (RCNTC = "reset" al contador de canales); se continua con la siguiente instrucción.

8.  $\overline{\text{SC}} = \emptyset$

En esta instrucción se ordena el inicio de la conversión análogo/digital ( $\overline{\text{SC}}$  = Start Conversion), mediante un nivel bajo ( $\emptyset$  lógico) en la señal de salida  $\overline{\text{SC}}$ .

9. — $\triangleright$  (CC) / (9)

Se tiene nuevamente una instrucción de espera, en este caso de la señal  $\overline{\text{CC}}$  (negado de CC = Conversion Complete) que es una señal (bandera) del conversor A/D, de nivel bajo ( $\emptyset$  lógico).

10.  $\text{ODL} = \emptyset$  ;  $\overline{\text{TBRL}} = \emptyset$

Igual que para la instrucción 5, solo que ahora para el proceso de la parte baja (5 bits menos significativos - mas los dos usados para la identificación de canal) del dato convertido a digital.

11.  $\text{ODH} = \emptyset$  ;  $\overline{\text{TBRL}} = \emptyset$

Igual que la anterior (o que la 5) pero para el proceso

de la parte alta (7 bits más significativos) del dato - convertido a digital.

12.  $\rightarrow (\overline{\text{TRE}})$  / (12)

Esta instrucción consiste en la espera de la señal TRE en su nivel alto (1 lógico) para continuar con la siguiente instrucción.

13. Sin retardo

$\rightarrow (\overline{\text{CNTM1}})$  / (14)

En esta instrucción se da un salto a la instrucción 14, si se da el nivel bajo (0 lógico) en la señal CNTM1, que indica que el contador de muestras es distinto de cero, si no, se sigue al siguiente estado. En forma similar a la instrucción 4, se tiene una instrucción sin retardo, es decir, ejecutada en el mismo periodo de tiempo anterior.

13a.  $\rightarrow$  (17)

Este estado produce un salto a la instrucción 17 y se debe a un 1 lógico en la señal de la instrucción 13, o sea  $\text{CNTM1} = 1$ .

14.  $\rightarrow (\overline{\text{1C3}})$  / (17)

Aquí se produce un salto a la instrucción 17, si se da un nivel bajo en la señal 1C3 (nivel que indica el procesamiento de un solo canal; en caso de darse el nivel alto en la misma señal (indicando esto el manejo de 3 canales), se continua con la siguiente instrucción.

15.  $\text{CNTC} \leftarrow \text{INC (CNTC)}$

$\rightarrow (\overline{\text{3CSL}})$  / (8)

Este estado produce un incremento, en uno, del contador de canales y además produce un salto, en el programa, a

la instrucción 8, si se da un nivel bajo en la señal - 3CSL (nivel que indica que aún no se procesan 3 canales); si se da el nivel alto (3 canales seleccionados) se continúa con el estado siguiente.

17. CNTM  $\leftarrow$  — INC (CNTM)  
 $\longrightarrow$  (CNTM2,  $\overline{\text{CNTM2}}$ ) / (2,3)

Ahora se produce un incremento unitario al contador de muestras, y se da un salto a la instrucción 2, si la señal CNTM2 esta en un nivel alto o bien a la instrucción 3 si esta en un nivel bajo (CNTM2 = indica en 1 lógico que ya se contaron 100 muestras), repitiendose así la - operación.

Como se había mencionado antes, cada una de las instrucciones se traducirán a estados de elementos biestables (Flip-Flops ó FF), a excepción de las instrucciones 4 y 13 que se ejecutan solo por lógica alambrada, de aquí que en la explicación anterior, del programa, se haya usado el término estado o instrucción indistintamente.

Así pues, se pasa a la implementación del circuito encargado de ejecutar las instrucciones indicadas por el programa de trabajo previamente elaborado.

En primer lugar se describen los circuitos de apoyo al secuenciador, tales como contadores de muestras y de canales, base de tiempo, etc., para finalizar con el circuito del secuenciador.



### 3.2.b CIRCUITOS DE LA UNIDAD DE CONTROL.

#### 3.2.b.1 BASE DE TIEMPO.

La base de tiempo se implementó tomando como referencia a un oscilador a cristal y circuitos integrados CMOS. La frecuencia de oscilación del cristal es de 3.2768 MHz usado en una malla típica de realimentación tipo II, los circuitos integrados son el CD4060 (contador de 7 etapas independientes) y el MM74C14 (6 inversores con Schmitt Trigger).

El circuito CD4060 se encarga de generar, a partir de la frecuencia del oscilador, 3 señales, cada una de ellas con una frecuencia necesaria para la operación del sistema, siendo estas:

- a) El reloj del conversor A/D:  $f_{CAD} = 102.4 \text{ kHz}$ .
- b) El reloj de los biestables (Flip-flops ó FFs) del secuenciador:  $f_{SEC} = 6.4 \text{ kHz}$ .
- c) El reloj previo a la señal TEMPO:  $f_{2t} = 200 \text{ Hz}$ .

Esta última se divide entre 2 para obtener la frecuencia de muestreo,  $f'_t = 100 \text{ Hz}$ , mediante uno de los biestables (FFs) del integrado CD4013. Recuerdese que esta señal indica, al secuenciador, el momento en que se procesa una muestra.

El circuito de la base de tiempo se muestra en la figura 9. El circuito RC junto con el inversor mostrado (74C14) se

emplean para producir un pulso de 180  $\mu$ s en cada flanco de bajada de la señal  $f'_t$ ; dichos pulsos constituyen la señal TEMPO, la cual es utilizada en el secuenciador.

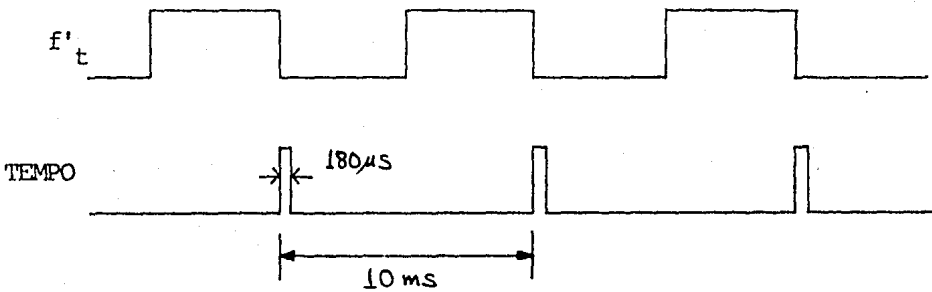
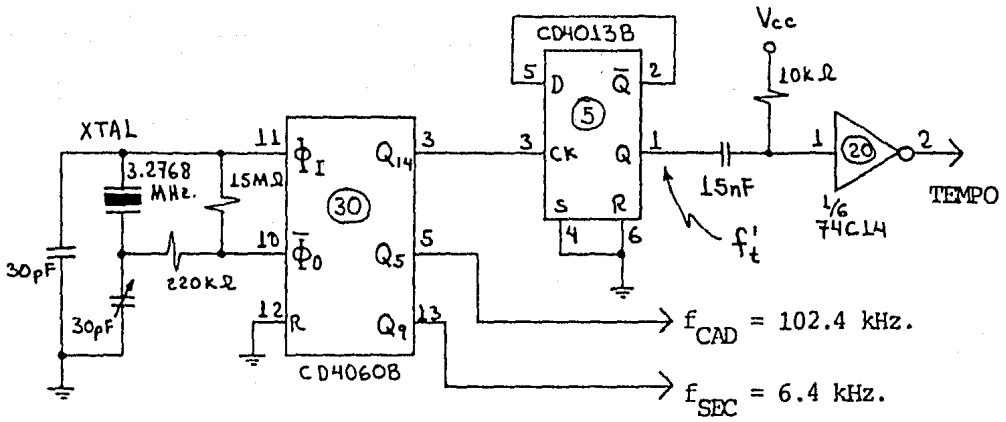


FIG. 9 BASE DE TIEMPO DEL SECUENCIADOR.

### 3.2.b.2 CIRCUITOS DE BORRADO, INICIO DE OPERACION Y SELECCION DE CANALES MANEJADOS.

El circuito de borrado e inicio de operación se requiere para colocar al sistema en un estado conocido después de energizarlo, dado que al "encendido" puede tenerse información errónea en los biestables. Así pues, esta operación se realiza mediante el circuito de la figura 10a., en el que mediante un interruptor del tipo "push button" se produce un pulso de borrado (RESET) de 10 ms que se aplica a los FFs y además se produce otro pulso por medio del circuito RC-Inversor mostrado, mismo que se aplica al par de FFs (CD4013) para producir finalmente el pulso adecuado de inicio de operación, INI, que en adelante llamaré pulso de trabajo. En la figura 11 se muestra un diagrama de tiempos para este circuito.

Para seleccionar el número de canales a manejar se emplea solamente un interruptor (SW8) y un arreglo RC que permite tener un nivel de 5 volts para el manejo de 3 canales (SW8 cerrado) ó 0 volts (SW8 abierto para indicar el manejo de un solo canal, (señal 1C3 en los diagramas), figura 10b.

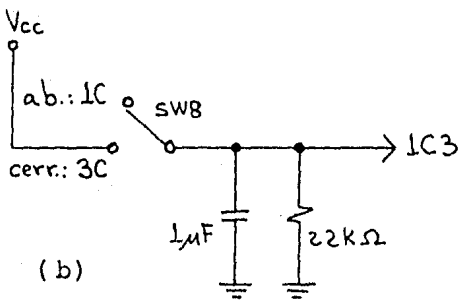
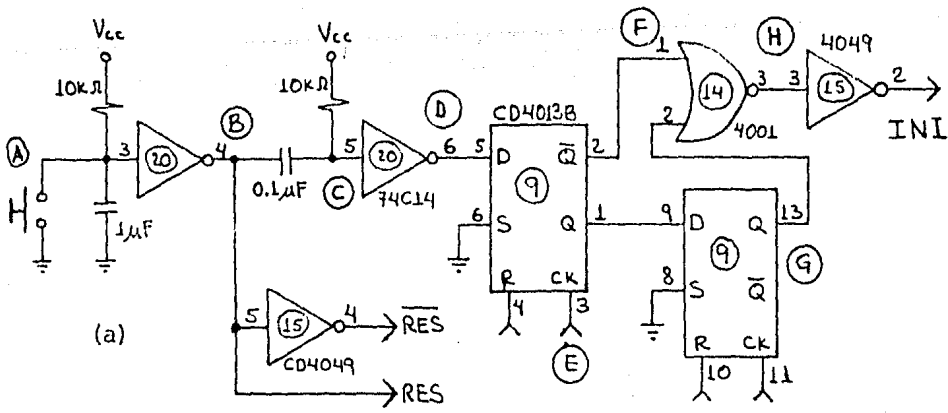


FIG. 10 (a) "RESET" E INICIO DE OPERACION, (b) INDICACION DE CANALES A MANEJAR.

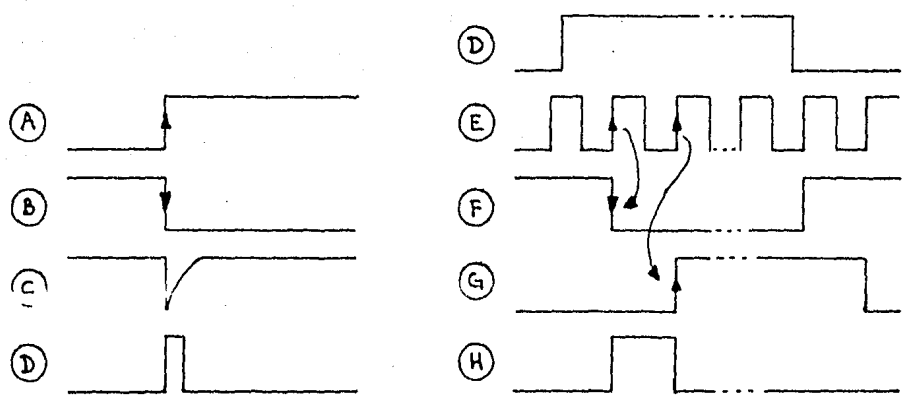


FIG. 11 DIAGRAMA DE TIEMPOS PARA LA FIG. 10a.

### 3.2.b.3 CONTADOR DE MUESTRAS.

Este circuito se encarga no sólo de contar las muestras procesadas, sino también de indicar cuándo se procesan la primera (00) y la última (100) muestras, mediante las señales - CNTM1 y CNTM2 respectivamente. El circuito consta de un contador binario de 7 etapas y de compuertas NOR (CD4001), NAND - (CD4011), NOT (MC14049) que permiten generar las señales mencionadas.

El contador de muestras es borrado al inicio de la operación y después de que se han procesado 100 muestras de cada uno de los canales, y es incrementado al procesar cada muestra (ya sea para uno o 3 canales).

Así, la señal CNTM1 indica con un nivel alto (1 lógico) que el contador esta en cero y con un nivel bajo (0 lógico) que está por debajo de 100.

Estas señales serán útiles para la operación del secuenciador, ya que cuando el contador está en ceros, se procesa el dato de sincronía y cuando está en otro valor, se procesan datos de los canales muestreados.

El circuito de la figura 12 corresponde al contador de muestras descrito.

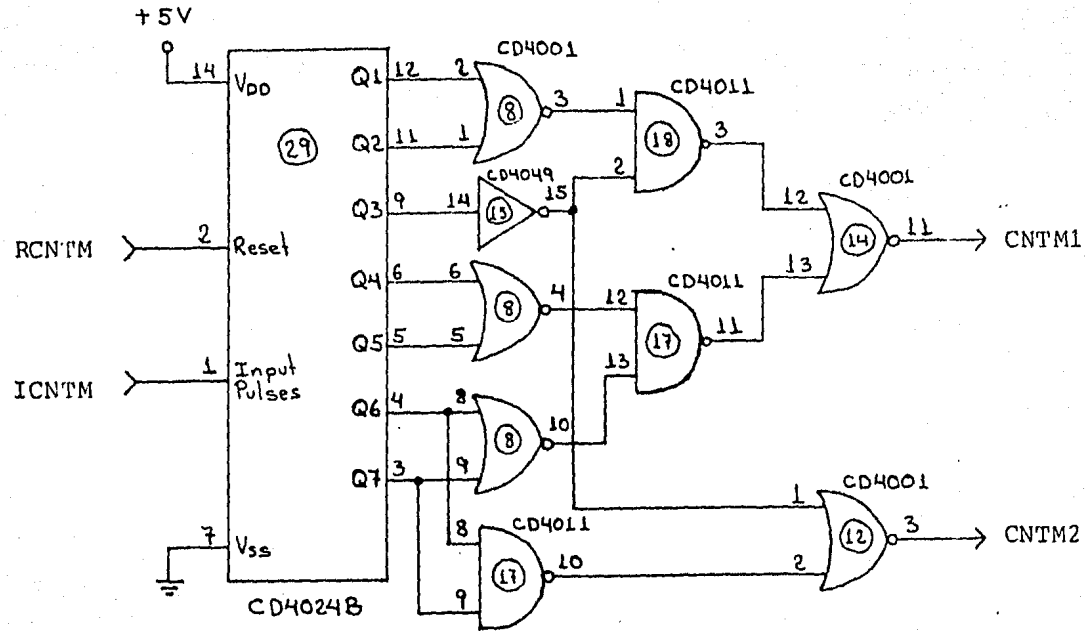


FIG. 12 CONTADOR DE MUESTRAS.

#### 3.2.b.4 CONTADOR Y SELECTOR DE CANALES.

Esta unidad está constituida, como se muestra en la figura 13, por dos biestables (FFs) tipo D en una configuración de contador a tres, un conjunto de compuertas NOR, empleadas para identificar los estados  $\emptyset$ , 1, 2 y 3, y circuitos monoestables RC usados como detectores de flanco de subida de las señales debidas a los estados mencionados del contador, que generan las señales SC1, SC2 y SC3 que permiten la selección de los canales 1, 2 y 3 respectivamente.

El reconocimiento del estado 3 (11 binario) es útil para generar la señal 3CSL que indica al secuenciador que los 3 canales han sido seleccionados. Además, se tienen dos líneas de salida (IC1 e IC2) provenientes de los biestables las cuales dan la identificación del canal seleccionado; estas señales se añaden a la parte baja del dato convertido de cada canal (5 bits menos significativos).

Las señales de entrada a esta unidad son: ICNTC, usada para incrementar al contador y realizar la selección de canales; RCNTC, que permite el borrado del contador, y C1, empleada cuando el sistema maneja un solo canal.

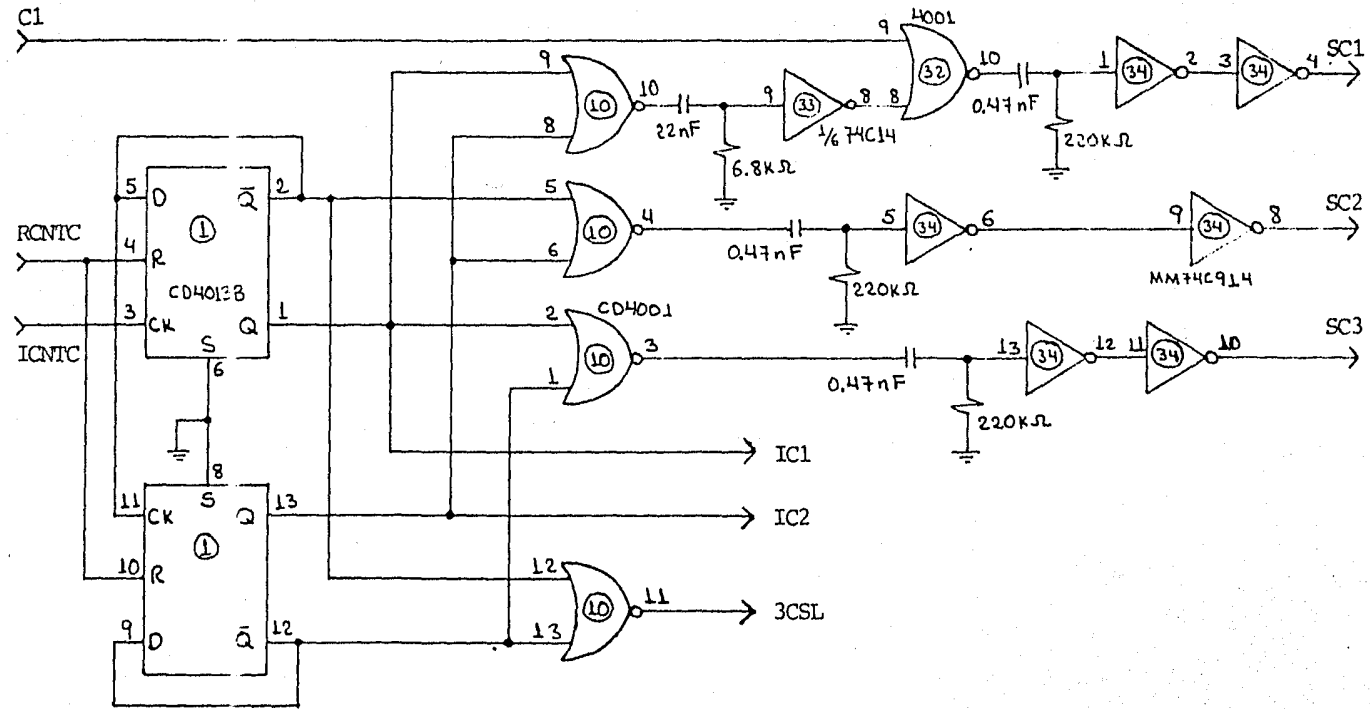


FIG. 13 CONTADOR Y SELECTOR DE CANALES.



### 3.2.b.5 SECUENCIADOR.

El programa de trabajo, figura 8, es ejecutado por el secuenciador, mismo que esta constituido por Flip-Flops tipo D (CD4013) y compuertas NAND, NOR y NOT, además de algunos componentes RC.

Los Flip-Flops (FFs) operan en sincronía, su cambio de estado se produce con el flanco de subida de la señal de reloj,  $f_{SEC}$ , que los maneja y a la cual se debe la ejecución de los pasos del programa.

El secuenciador está realizado a partir del programa de trabajo de la unidad de control, como ya se había mencionado; así pues, las instrucciones del programa corresponden a un Flip-Flop del secuenciador, cada uno de estos FFs ordenan la tarea indicada en la instrucción respectiva; en adición a los FFs, en el secuenciador se utilizan nuevamente compuertas NOR, NAND y NOT, así como circuitos RC, que forman parte de los circuitos de decisión dentro del secuenciador, o que se encargan de adecuar las señales dadas por los estados de los FFs, para comandar a los circuitos de conversión A/D, memoria temporal y serialización.

El circuito correspondiente al secuenciador se muestra en la figura 14. Para fines de claridad en el funcionamiento, se ha colocado sobre cada FF, una E seguida de un número, para

indicar a qué estado o instrucción del programa AHPL corresponde cada FF. Se muestran además las señales manejadas ya sean de salida o entrada.

Así pues, el pulso de trabajo (señal INI), pasa a través del secuenciador produciendo los cambios de estado en los FFs; inicialmente, en el estado 2, producen un pulso alto para borrar al contador de muestras.

El estado 3 es un estado de sincronía, que permite el paso del pulso de trabajo, proveniente del estado anterior o del estado 17, cuando aparece la señal TEMPO; en la figura 15 se muestra el diagrama de estado para esta instrucción así como el razonamiento seguido para permitir la sincronía.

Después de que el pulso de trabajo es sincronizado con la señal TEMPO, se pregunta por la señal CNTM1, si ésta está en un nivel alto, el secuenciador ordena el procesamiento de la palabra  $\emptyset\emptyset\emptyset\emptyset\emptyset 11$  (primer dato de sincronía) durante el estado 5, en el cual se producen las señales  $ODZ = \emptyset$  y  $\overline{TBRL} = \emptyset$ , que permiten el paso de la palabra a procesar, desde la memoria (latch Z) hacia el UART y dan la orden de inicio de serialización, respectivamente. Este proceso se repite durante el estado 6, para el segundo dato de sincronía. Si la señal CNTM1 está en un nivel bajo, se procesan las dos palabras en que se dividen los datos de cada canal; para esto, en el estado 7, se borra el contador de canales mediante la señal RCNTC, con

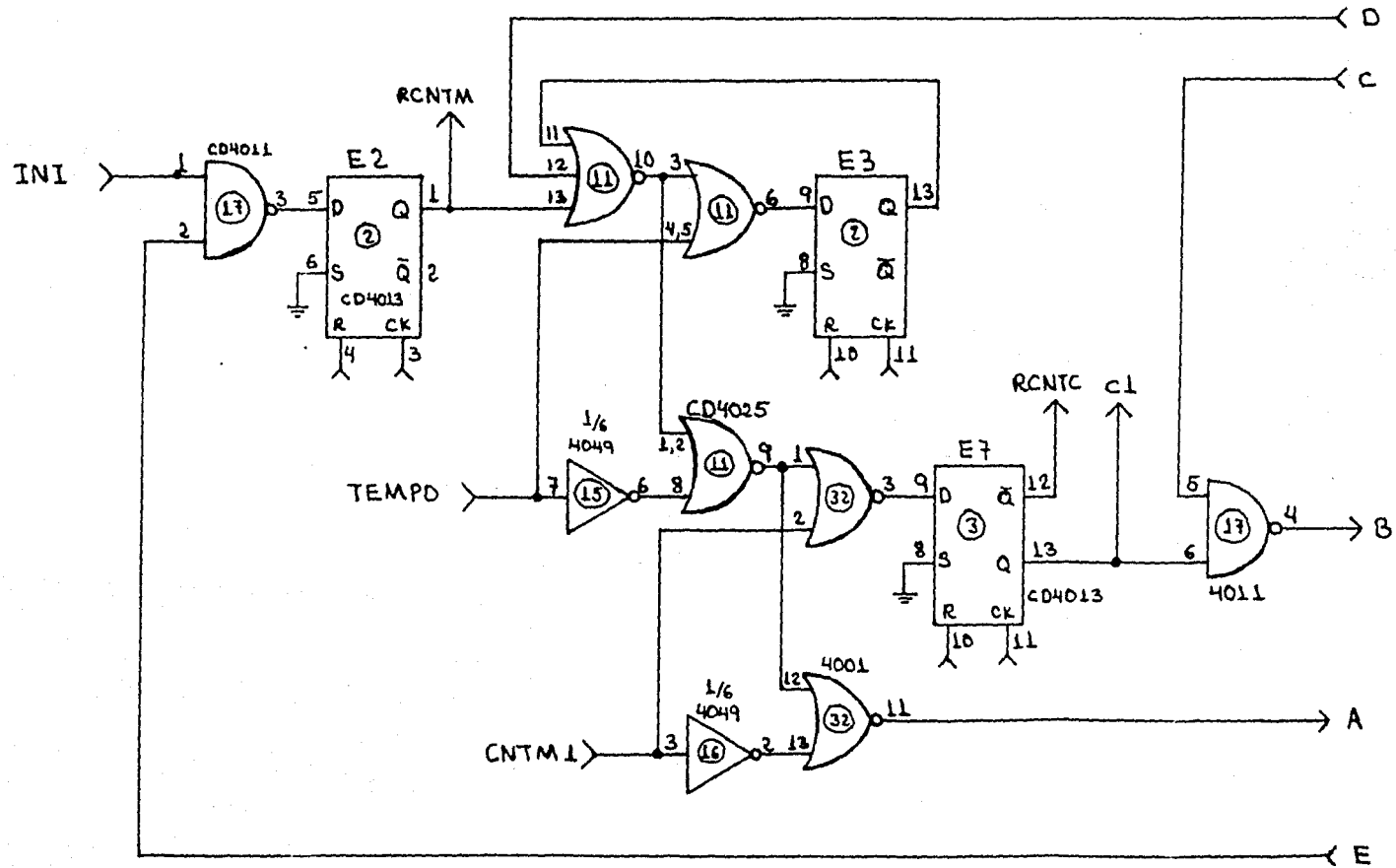


FIG. 14 SECUENCIADOR.

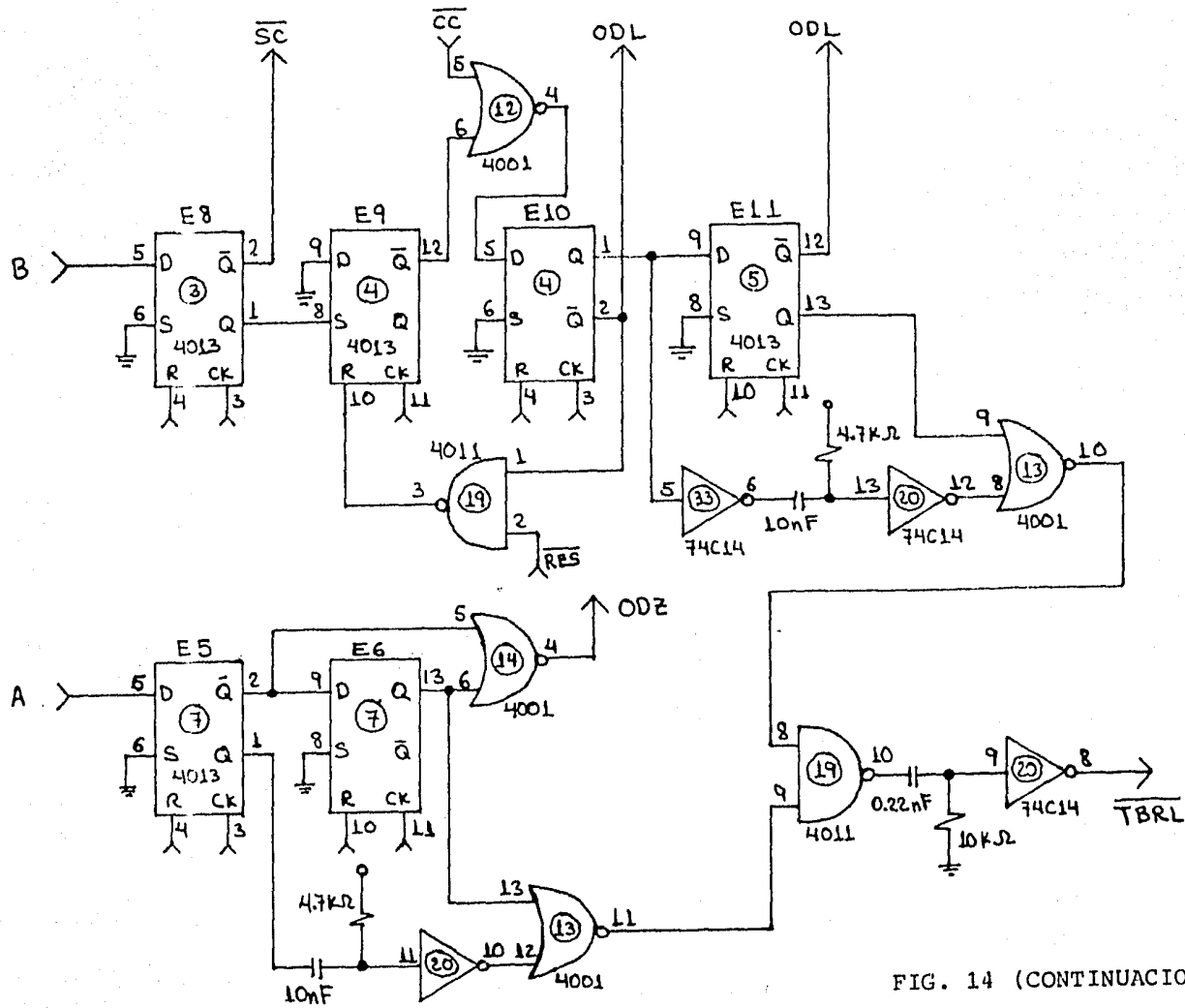


FIG. 14 (CONTINUACION)

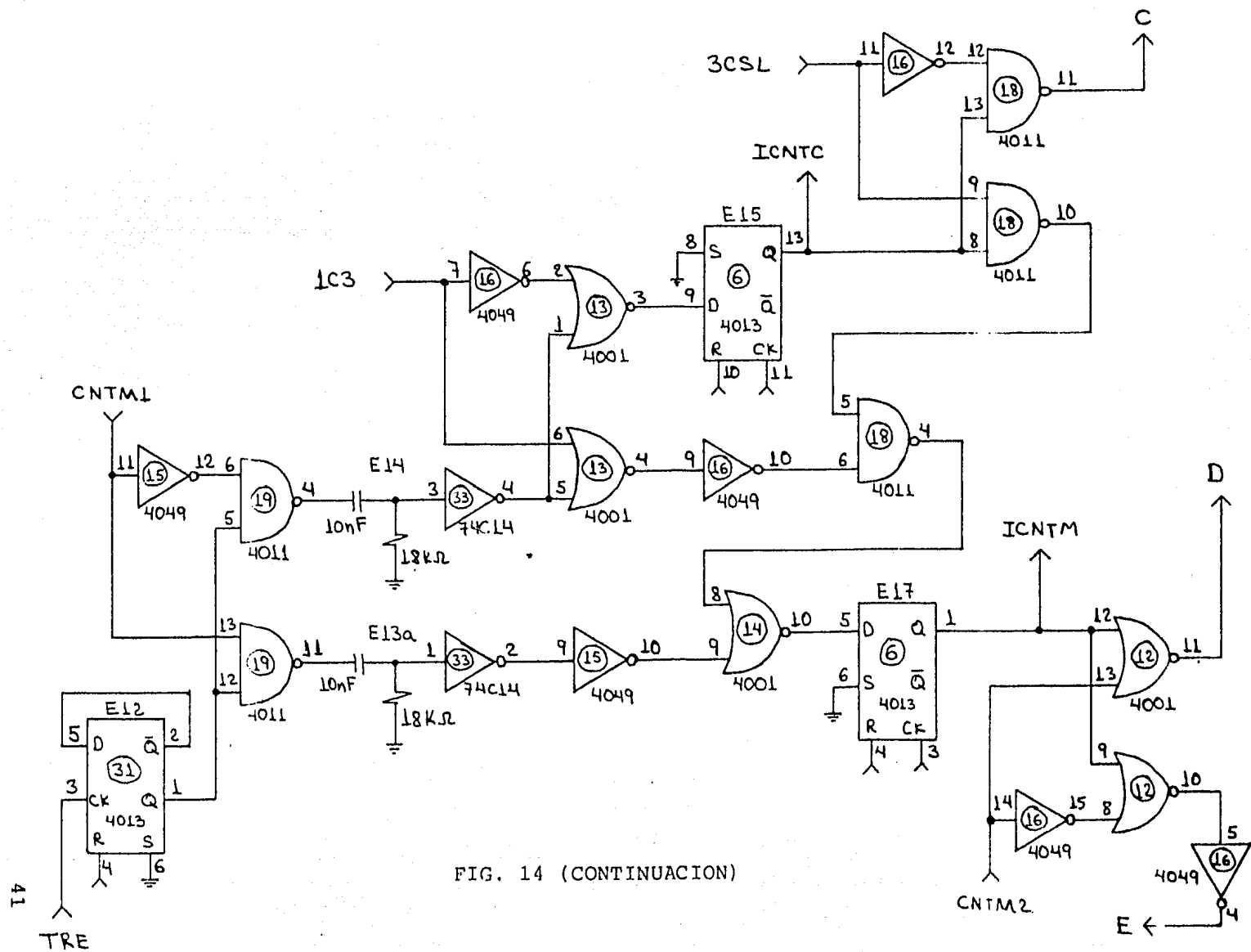


FIG. 14 (CONTINUACION)

NOTACION:

- $\alpha$  - Pulso del E2.
- $\beta$  - Pulso del E17.
- $\gamma$  - OR de  $\alpha$  y  $\beta$ .
- $z$  - Señal TEMPO.
- $\sigma$  - Salida del estado 3.

entradas/salida  $\equiv z, \gamma / \sigma$

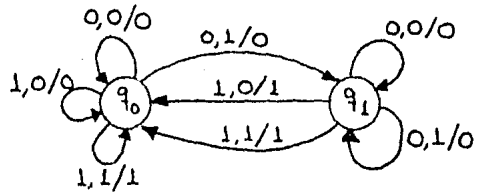


DIAGRAMA DE ESTADOS

$z, \gamma$	00	01	11	10
$q_0$	$q_0/0$	$q_1/0$	$q_0/1$	$q_0/0$
$q_1$	$q_1/0$	$q_1/0$	$q_0/1$	$q_0/1$

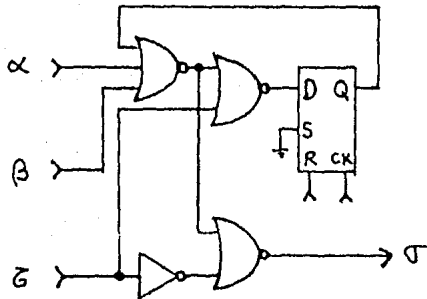
TABLA DE ESTADOS

$z, \gamma$	00	01	11	10
0	0	1	0	0
1	1	1	0	0

$z, \gamma$	00	01	11	10
0	0	0	1	0
1	0	0	1	1

CALCULO PARA D:  $D = \bar{z}\gamma + q\bar{z}$   
 $= \bar{z}(\gamma + q)$   
 $= \bar{z} + (\gamma + q)$

CALCULO PARA  $\sigma$ :  $\sigma = z\gamma + qz$   
 $= z(\gamma + q)$   
 $= \bar{\bar{z}} + (\gamma + q)$



IMPLEMENTACION: FF - TIPO D, NOR, NOT.

FIG. 15 DESARROLLO DEL ESTADO 3.

lo cual, además, se produce la selección del canal 1; enseguida de esto el pulso de trabajo, en el estado 8, produce la señal  $\overline{SC} = \emptyset$  (  $\overline{\text{TL}}$  ) con lo que se convierte, de análogo a digital, el dato del canal que se esté seleccionando, una vez ordenada esta operación, el conversor A/D responde mediante la señal  $\overline{CC} = \emptyset$  (  $\overline{\text{TL}}$  ) que indica al secuenciador el final de la conversión.

Dado que la palabra de 12 bits, resultado de la conversión, pasa directamente a la memoria (latch L y latch H), en los estados 10 y 11 se generan las señales  $ODL = \emptyset$  y  $ODH = \emptyset$  con las cuales se permite el paso de las partes baja (L) y alta (H) en que se divide la palabra de 12 bits, hacia el serializador (UART); en los mismos estados se genera también la señal  $\overline{TBRL} = \emptyset$  mediante la cual se ordena la serialización de ambas partes; observar que entre ambos estados existe una diferencia de un pulso del reloj de los biestables (igual que entre los estados 5 y 6). Esto es posible dado que el UART tiene la posibilidad de aceptar un dato aún cuando no haya terminado de procesar el anterior.

Cuando el UART termina de procesar (serializar) la palabra colocada a su entrada, se produce un pulso TRE y dado que cada muestra completa consiste de las partes alta y baja antes mencionadas, alimentadas al UART, es necesario contabilizar los dos pulsos TRE para producir un pulso que indique al

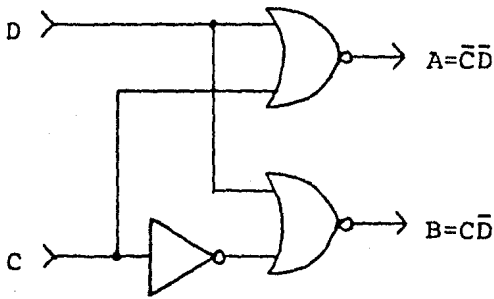
secuenciador que la tarea de serialización ha sido completada. Esto se logra mediante el FF del estado 12, en el que además se pregunta nuevamente por la señal CNTM1 para saber si el dato serializado fue el de sincronía o el de alguno de los canales, después de lo cual se pasa al estado 13a o al 14, respectivamente. Si se trata del primer caso (serialización del dato de sincronía  $\emptyset\emptyset\emptyset\emptyset11$ ), entonces, el pulso de trabajo produce un incremento al contador de muestras, mediante el estado 17; si se trata del segundo caso (serialización del dato convertido de análogo a digital), el pulso de trabajo "pregunta" por la señal 1C3 para saber si se maneja un solo canal o si se manejan los 3 canales, en cuyos casos se pasará al estado 17 para incrementar al contador de muestras o al estado 15 para incrementar y seleccionar el siguiente canal, respectivamente. En el estado 15 el pulso de trabajo "pregunta" ahora por la señal 3CSL que indica al secuenciador si ya se han seleccionado los 3 canales o no; si no, entonces, el pulso de trabajo pasa al estado 8 para repetir las tareas de conversión A/D y serialización del dato del nuevo canal seleccionado y si ya se seleccionaron los 3 canales el pulso pasa al estado 17 para incrementar al contador de muestras.

En este último estado se toma otra decisión, ahora sobre la señal CNTM2, que dirige el pulso de trabajo al estado 3, si aún no se han contabilizado 100 muestras, o al estado 2,

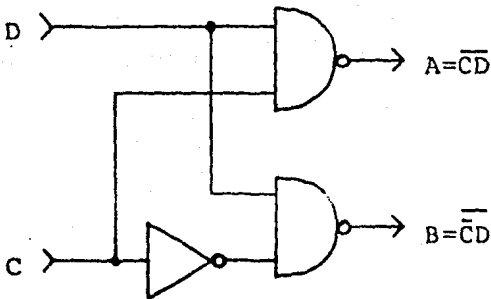


si ya se tomaron las 100 muestras.

Así pues, se tiene que el programa de trabajo se ha traducido a un circuito en el cual el cambio de estado de los FFs que la componen, produce la ejecución de un paso del programa. Las decisiones se toman según los arreglos NOR-NOT y NAND-NOT de la figura 16, mismos que pueden identificarse en el diagrama del secuenciador.



C	D	A	B
0	0	1	0
0	1	0	0
1	0	0	1
1	1	0	0



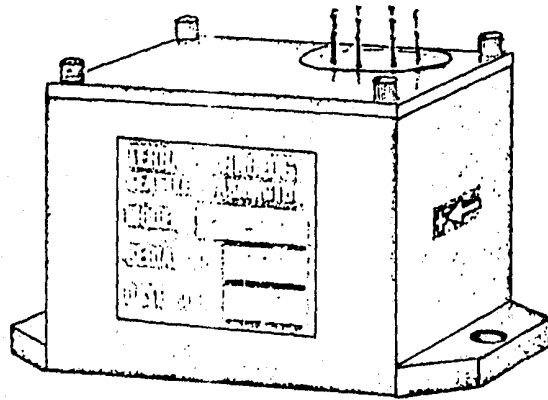
C	D	A	B
0	0	1	1
0	1	1	0
1	0	1	1
1	1	0	1

FIG. 16 ARREGLOS NOR-NOT Y NAND-NOT USADOS EN EL SECUENCIADOR.

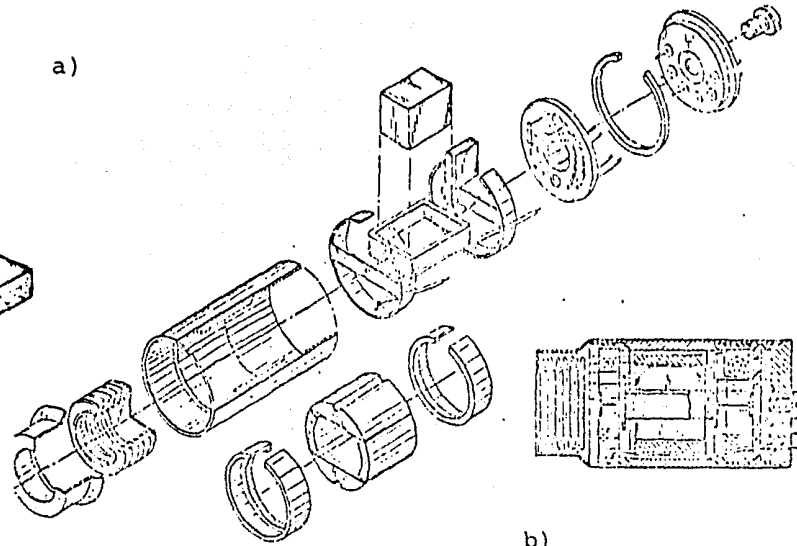
### 3.3 SENSORES.

En el sistema se utilizan, como sensores, 3 servoacelerómetros Terra Technology, figura 17a y b, que colocados en la dirección de 3 ejes ortogonales (vertical, longitudinal y transversal), permiten obtener una medición de la aceleración resultante para el punto en donde éstos se encuentran. Cada acelerómetro sensa una de las componentes de la aceleración, según las direcciones mostradas en la figura 17c.

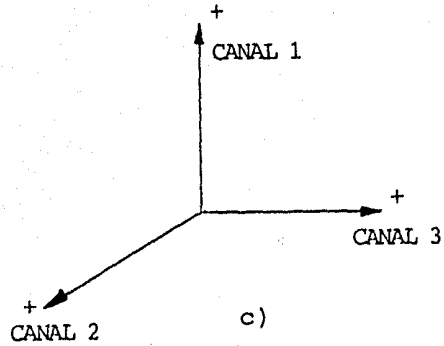
Cada acelerómetro consta de una parte mecánica y una eléctrica, las cuales están formando un servo dispositivo de malla cerrada que responde a aceleraciones (entrada) a lo largo de su eje sensitivo. La teoría de operación es la siguiente: una bobina de alambre, con un peso desbalanceado añadido a la misma, es suspendida dentro de un campo magnético permanente (suspensión metálica flexible, amortiguada por fluido), esta construcción se torna en un péndulo, con un solo grado de libertad; cuando este péndulo se mueve, debido a una aceleración de entrada, un detector de posición diferencial, sensa electrónicamente el movimiento, enviando una corriente hacia un amplificador, que a su vez envía una corriente de realimentación a través de la bobina suspendida en el campo magnético, causando una fuerza de dirección opuesta a la aceleración de entrada, que va aumentando en valor hasta igualarla a la fuer



a)



b)



c)

FIG. 17 SERVOACCELEROMETROS TERRA TECHNOLOGY.  
 a) ASPECTO EXTERNO.  
 b) "TORQUER", CONFIGURACION INTERNA.  
 c) DISPOSICION DE LOS CANALES.

za debida a la aceleración.

Esta fuerza, actuando sobre la bobina, restablece la posición original del sistema y, además, reduce o aumenta la salida del detector de error de posición hasta hacerla cero. El sistema se encuentra así en una condición de balance de fuerzas, de donde se obtiene que la corriente del servo requerida para lograr este balance es directamente proporcional a la aceleración de entrada. Este resultado se obtiene al igualar las siguientes ecuaciones de fuerza:

$$(1) \quad F = Blni \quad (\text{Fuerza debida a la corriente en el campo magnético})$$

con:  $B$  = Intensidad de campo magnético.

$l$  = Longitud del alambre en el espacio magnético.

$n$  = Número de vueltas del alambre en la bobina.

$i$  = Corriente.

$$(2) \quad F = ma \quad (\text{Fuerza debida a la aceleración})$$

con:  $m$  = Masa del péndulo.

$a$  = aceleración.

Igualando:  $ma = Blni$

Dado que todos los términos, excepto "a" e "i", son constantes, se obtiene que "i" es directamente proporcional a "a".

Esta corriente, enviada hacia la bobina de restauración, se aplica también a una resistencia de valor conocido, y es así como puede tenerse un voltaje de salida directamente proporcional a la aceleración de entrada, figura 18.

La respuesta a la frecuencia del acelerómetro se aproxima a la de un sistema de segundo orden, con un coeficiente de amortiguamiento de  $0.7 \pm 0.15$ , para tener una respuesta críticamente amortiguada. Por debajo de la frecuencia natural se tiene una respuesta plana y arriba de ésta, la respuesta es asintótica a  $-18$  dB/octava. El valor de la frecuencia natural es de 45 Hz.

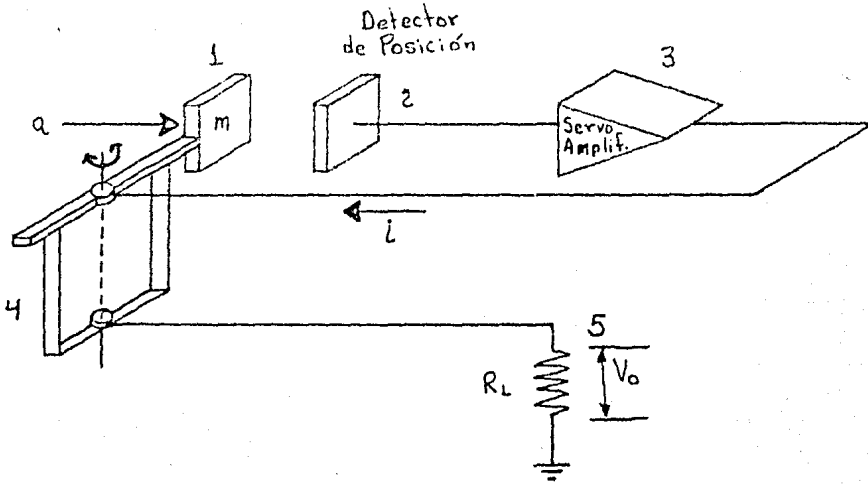
El acelerómetro debe mantenerse firme sobre una superficie plana; para su alineamiento se toman como referencia tanto la línea central de los agujeros de montaje, que presenta la empaquetadura, como la superficie superior de la misma.

Los acelerómetros se alimentan con un voltaje de 12 VDC teniendo un consumo de 20 mA. Una aceleración en la dirección indicada en la empaquetadura producirá una señal de voltaje de salida, variable, entre 0V y 5V, con un valor de 2.5V para aceleración nula.

El factor de escala es de  $2.5V / 0.5g$ , ( $g$  = aceleración de la gravedad).

En adelante la señal analógica de cada uno de los sensores, se mencionará como canal 1, 2 ó 3 correspondientes

a las tres direcciones ortogonales, esto es, vertical, longitudinal y transversal, respectivamente.



1. Masa del péndulo.
2. Detector de posición.
3. Servo amplificador.
4. Bobina de restauración.
5. Resistencia de valor conocido.

FIG. 18 DIAGRAMA FUNCIONAL  
DEL ACELEROMETRO.

### 3.4 CIRCUITO DE MUESTREO Y MANTENIMIENTO DE LAS SEÑALES.

La operación de muestreo de las señales analógicas de los 3 canales que se manejan, se realiza mediante el circuito integrado CD4016, consistente de 4 interruptores analógicos de control independiente.

Las señales analógicas de los canales 1, 2 y 3 se encuentran presentes a las entradas de los interruptores A, B y C, respectivamente.

Las señales SC1, SC2 y SC3, provenientes del circuito de selección de canales, de la unidad de control, producen el cierre de los interruptores analógicos y así, el paso de la señal analógica, del sensor escogido, hacia un capacitor que sigue la señal durante el tiempo que el interruptor se mantenga cerrado, cuando éste último se abre, el capacitor se mantiene cargado al valor analógico que haya alcanzado hasta antes de la apertura del interruptor; el valor muestreado se mantiene hasta que opere el conversor A/D y se complete el proceso de conversión sobre dicha muestra.

Se utiliza un amplificador operacional (LM358), como seguidor, para acoplar el circuito de muestreo con el conversor A/D.

El circuito correspondiente se muestra en la figura 19.

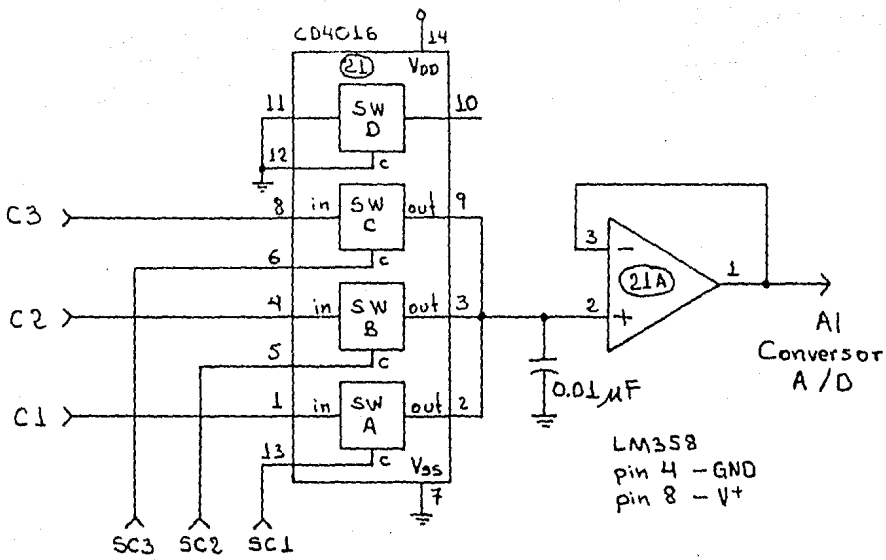


FIG. 19 MUESTREO Y MANTENIMIENTO  
DE LAS SEÑALES ANALOGICAS.



### 3.5 CONVERTOR ANALOGO A DIGITAL.

Las señales analógicas se convierten a forma digital mediante el uso del circuito integrado ADC1211, que es un convertor A/D de 12 bits del tipo de aproximaciones sucesivas. El convertor se emplea en una configuración que sólo necesita 5 volts, tanto para polarización como para nivel de referencia, y que admite señales de entrada de 0 a 5 volts.

Los 5 volts de polarización y referencia se obtienen a la salida de un regulador de precisión, LM723, que a su vez es alimentado por una fuente de 12 volts.

El convertor opera con la señal de reloj,  $f_{CAD}$ , proveniente de la base de tiempo de la estación. Inicia su operación con el flanco de bajada de la señal  $\overline{SC}$ , proveniente de la unidad de control; 12 pulsos del reloj  $f_{CAD}$ , después del flanco de subida de  $\overline{SC}$ , se tiene a la salida del convertor la representación binaria de 12 bits, complementada, de la señal de entrada, hecho que el convertor indica mediante un nivel bajo en la señal  $\overline{CC}$ .

El nivel bajo en  $\overline{CC}$  se mantiene hasta que se produzca nuevamente la señal  $\overline{SC}$ .

En la figura 20 se muestra el circuito empleado.

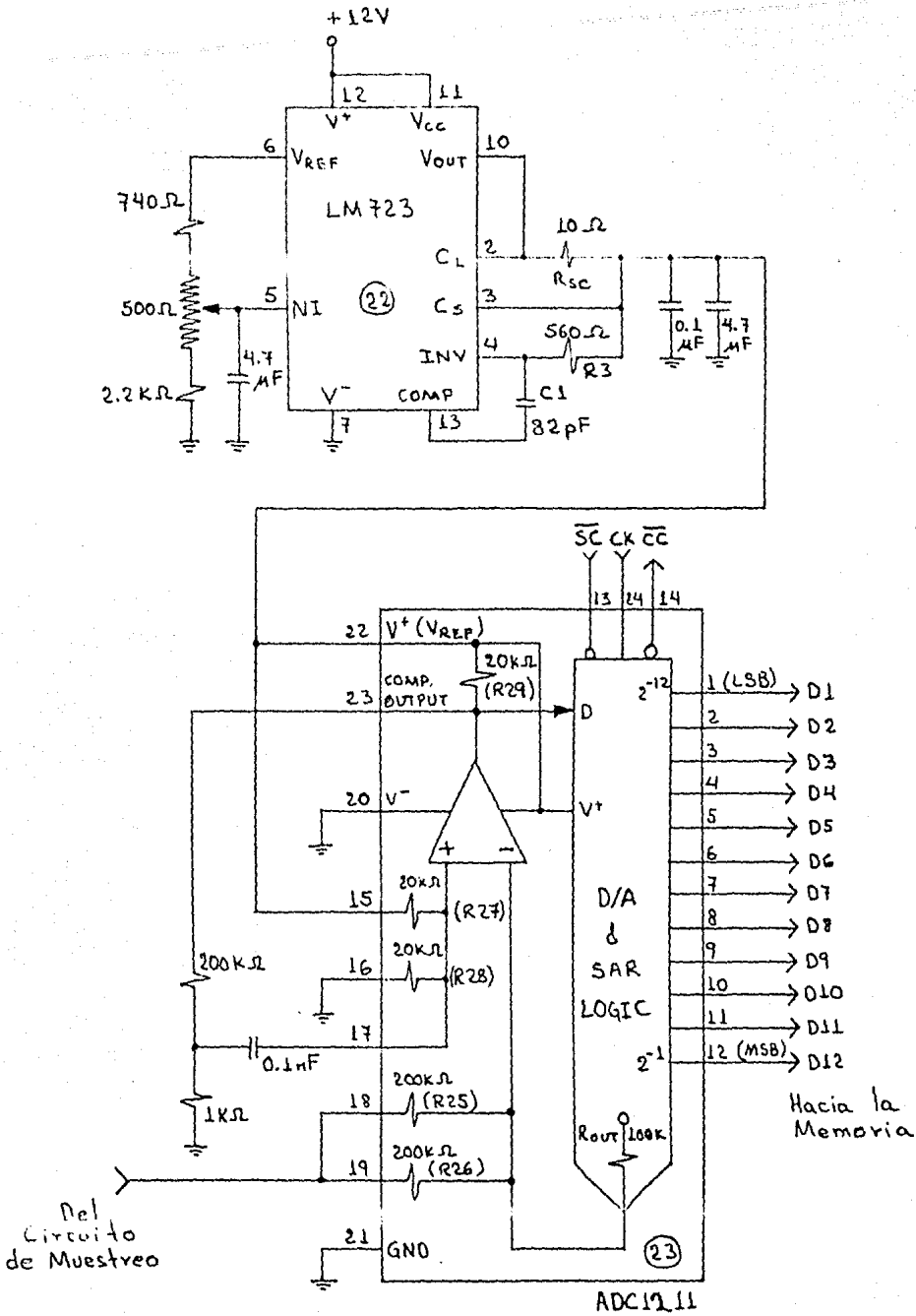


FIG. 20 CONVERSION ANALOGO A DIGITAL.

### 3.6 MEMORIA.

La unidad de memoria está constituida por 3 registros, - de 8 bits cada uno, que permiten manejar las partes baja (L) y alta (H) del dato convertido de 12 bits y la parte correspondiente al dato de sincronía (Z) 0000011. El tipo de registro utilizado es el circuito integrado 74C373 que posee lógica de 3 estados a su salida; esto es, mediante la señal OD - (output disable) se ponen las salidas del circuito en un estado de alta impedancia. El arreglo utilizado se muestra en la figura 21.

Al registro "L" se alimentan los 5 bits menos significativos de la conversión A/D mas los dos bits usados para identificación del canal al que pertenece la muestra.

Los restantes 7 bits más significativos se alimentan al registro "H".

El tercer registro, "Z", se emplea para generar el dato de sincronía 0000011. Las salidas de los tres registros están conectadas al "bus" de datos que va hacia el serializador - (UART).

El paso hacia el UART, de los datos almacenados en estos registros, se logra mediante las señales ODL, ODH y ODZ provenientes de la unidad de control.

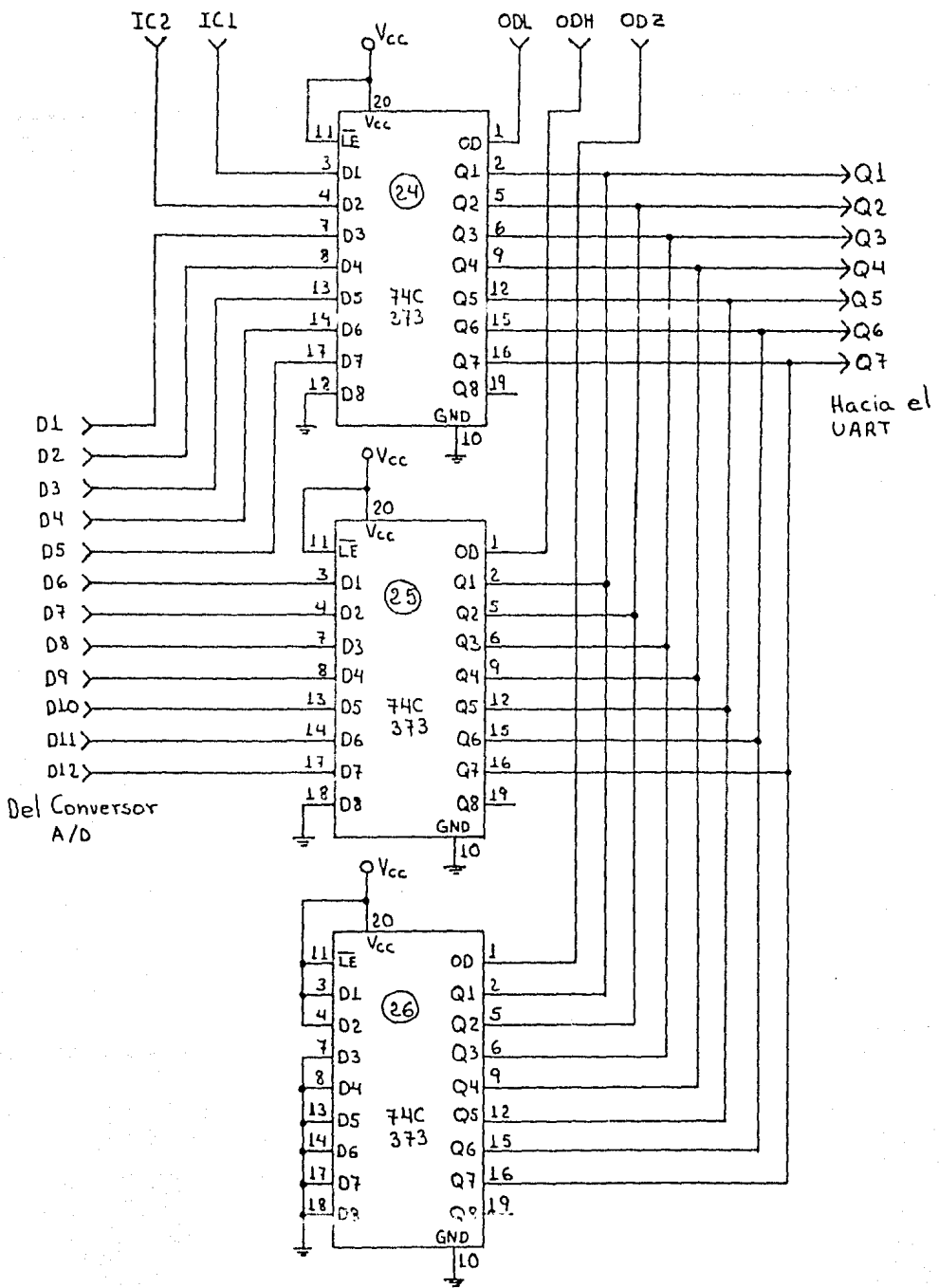


FIG. 21 MEMORIA TEMPORAL.

### 3.7 CONVERTOR PARALELO A SERIE.

Como ya se ha mencionado, la serialización se logra mediante el circuito integrado IM6402 (UART - Transmisor-Receptor Universal Asíncrono), usado en la configuración mostrada en la figura 22.

El UART, empleado como transmisor, convierte el dato paralelo presente a su entrada, en este caso de 7 bits, a forma serie, y automáticamente le añade a la palabra serializada 1 bit de inicio, 1 bit de paridad (par) y dos de terminación de palabra. Este formato se le indica al UART mediante los interruptores SW1 a SW7.

El circuito ICM7555 se emplea como oscilador, para generar la señal de reloj necesaria para la operación del UART. - La frecuencia de esta señal es 16 veces la velocidad de transmisión de los datos, por requerimiento del UART.

Entonces, si se manejan 3 canales, la velocidad de transmisión de datos es de 6,600 bits/seg (como se vió en el capítulo 2) y la frecuencia del oscilador será de:

$$16 ( 6,600 ) \text{ Hz.} = 105.6 \text{ kHz.} = f_{\text{UART},3\text{C}}$$

Si se maneja un solo canal, se requerirá el reloj a un tercio de la frecuencia anterior:

$$f_{\text{UART},1\text{C}} = 35.2 \text{ kHz.}$$

La operación del UART se ordena desde la unidad de con-

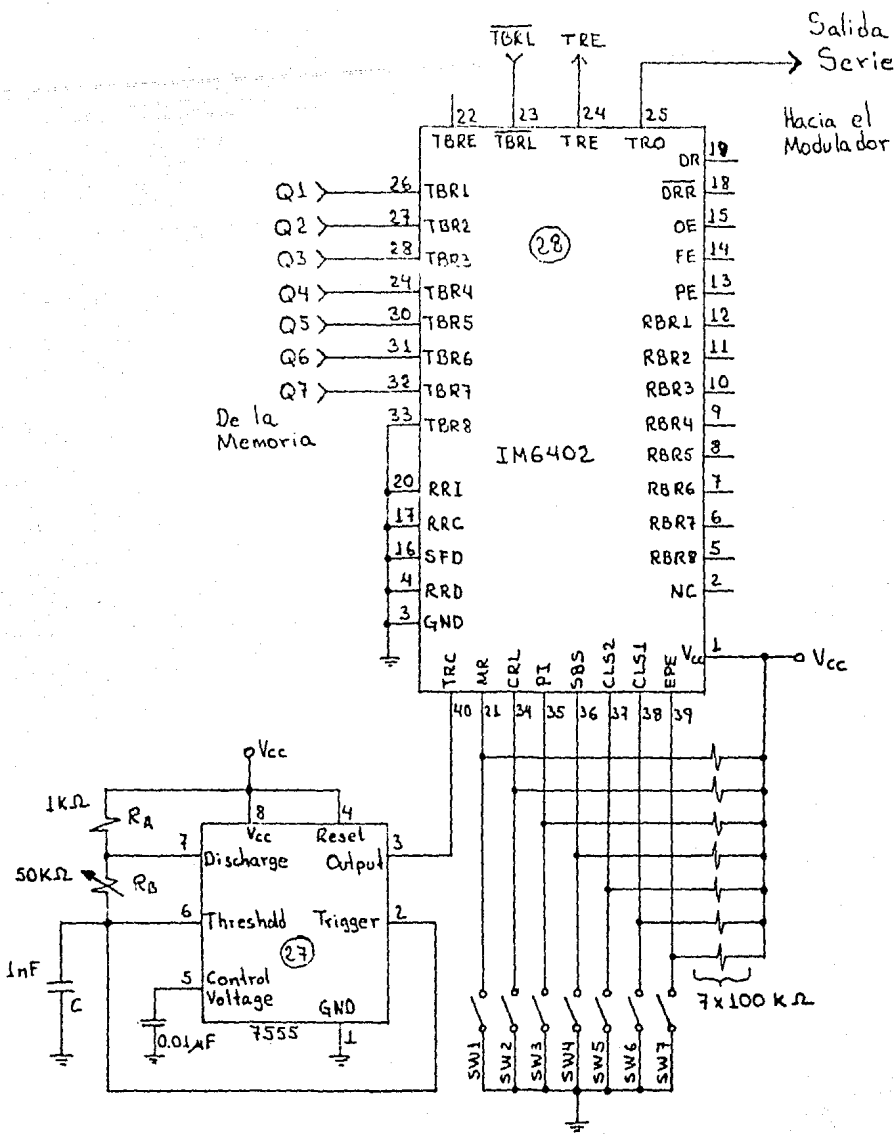


FIG. 22 CONVERSION PARALELO A SERIE.

trol mediante un nivel bajo ( $\emptyset$  lógico), en la señal  $\overline{\text{TBRL}}$ , un ciclo de reloj después del flanco de subida de esta señal, se inicia la serialización; además, la señal TRE de salida del UART se pone en un nivel bajo, el cual se mantiene hasta que la serialización concluye, con lo cual la señal TRE pasa a un nivel alto. Esta transición, de bajo a alto en la señal TRE, funge como reloj en el FF que da el estado 12 del secuenciador, con lo cual se indica, al mismo, el final de la conversión paralelo a serie.

En la figura 23 se muestra un diagrama de tiempos correspondiente a la operación del UART.

### 3.7.a FORMATO DE LOS DATOS.

Los datos en forma serie aparecen en la salida TRO del UART, según el formato presentado en la figura 24.

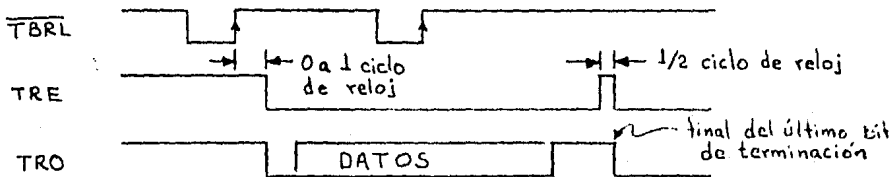


FIG. 23 OPERACION DEL UART, EN LA RECEPCION.

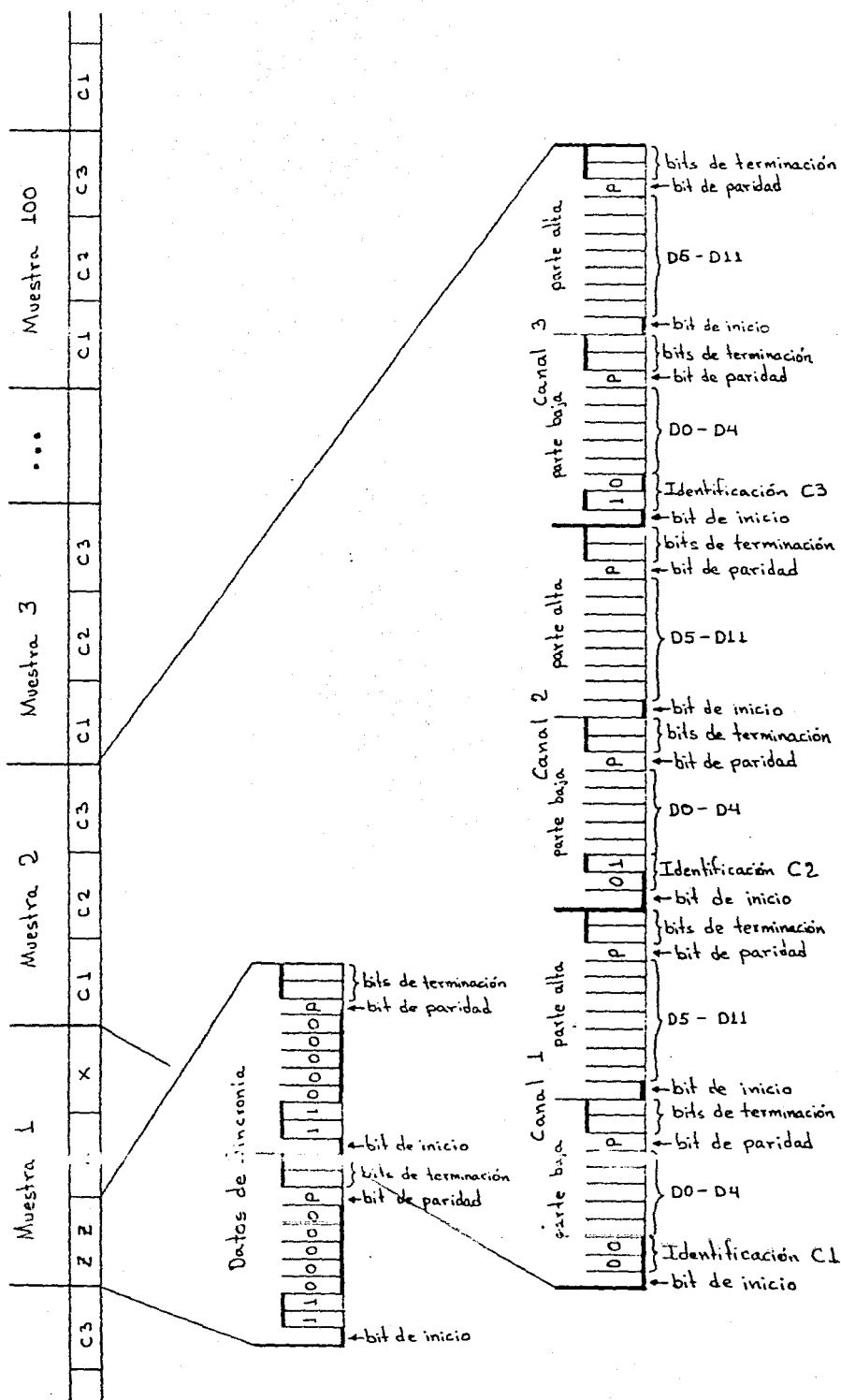


FIG. 24 FORMATO DE LOS DATOS SERIE.



### 3.8 ALIMENTACION.

La energía eléctrica necesaria para la operación de la estación de campo, se obtiene de una batería tipo automotriz de +12 VDC, que se opera en flotación con un cargador, el cual, dependiendo de la ubicación de la estación, puede consistir de un convertidor de AC en DC o bien de un panel de celdas solares, si no se dispone de la red de suministro de AC.

Los voltajes requeridos para la operación son: +12 VDC y +5 VDC; éste último se obtiene mediante el uso del circuito integrado LM7805, que consiste de un regulador de voltaje de +5 V (3 terminales: entrada, salida y tierra), figura 25.

El voltaje de referencia usado en el conversor, cuyo valor es +5 VDC, se regula usando el circuito LM723 (alimentado con +12 V) de acuerdo a la configuración mostrada en la figura 20. La corriente empleada, tanto para polarización de los acelerómetros como de los circuitos de la estación, es de 75 mA.

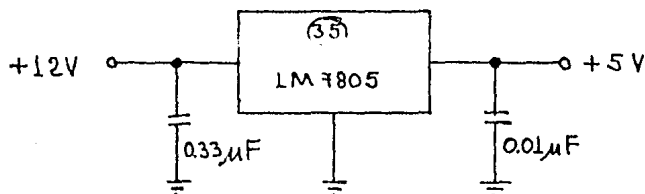


FIG. 25 REGULADOR LM7805.

#### 4. ESTACION DE REGISTRO

Como ya se anotó antes, en la estación de registro se lleva a cabo el reacondicionamiento de los datos serie generados en el campo; estos son tomados a la salida del demodulador para su interpretación y registro.

De manera similar al capítulo anterior, se describe primero la unidad de control de la estación y posteriormente los circuitos comandados por esta unidad, encargados del reacondicionamiento de la señal. Se muestra el diagrama de bloques de la estación en la figura 26.

##### 4.1 DIAGRAMA DE BLOQUES.

El diagrama muestra el flujo de señales, ya sean de datos o de control.

Los términos empleados corresponden a los propios de los circuitos integrados y a los de la interfase de la microcomputadora AIM-65 (unidad de control). Mismos que se aclararán más adelante, en la descripción de los bloques.

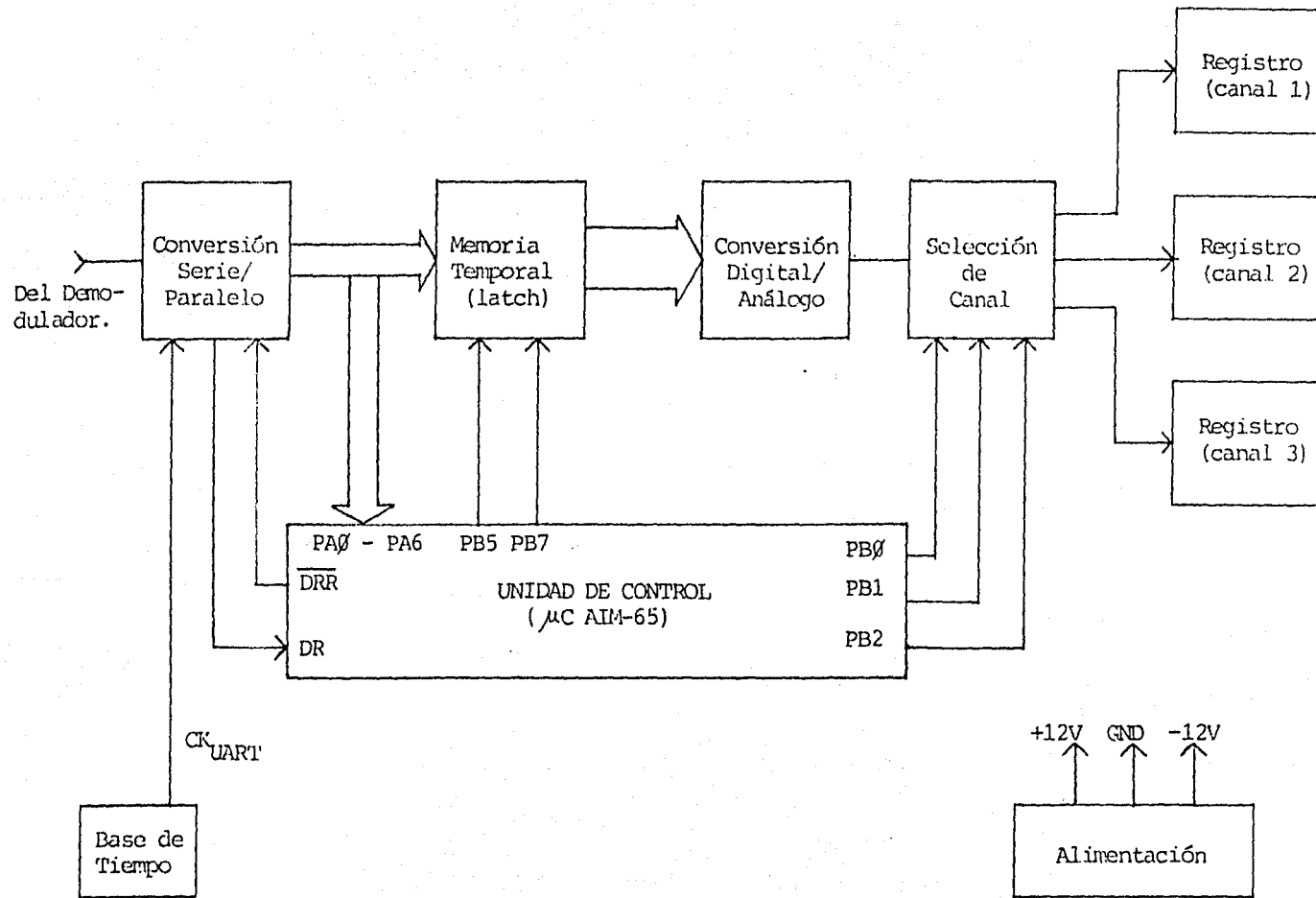


FIG. 26 DIAGRAMA DE BLOQUES DE LA ESTACION DE REGISTRO.

## 4.2 UNIDAD DE CONTROL.

El control de las tareas en la estación de registro se realiza por medio de una microcomputadora Rockwell AIM-65, - utilizando un dispositivo de interfase de la misma (VIA-Versatile Interfase Adapter). Esta interfase permite el manejo de los dispositivos periféricos mediante sus dos puertos (A y B) de 8 líneas cada uno; estas líneas pueden programarse individualmente para ser usadas como entradas o como salidas. Adicionalmente, cada puerto posee dos líneas de control, las cuales permiten el intercambio de información entre el procesador y los periféricos, y además, servir los requerimientos - del dispositivo periférico.

Así pues, es por medio del VIA que se manejan los circuitos en la estación de registro. La estación de registro utiliza los dos puertos. Del puerto A se utilizan 7 líneas como - entrada (PA0 - PA6), mismas que permiten el paso, hacia el - procesador, de la información relativa a las palabras de sincronía o a la parte baja del dato convertido, el cual contiene la identificación del canal procesado. Este flujo de datos se logra mediante las líneas de control propias de este puerto (CA1, CA2); la línea CA1 se encarga de sensar la bandera DR, del conversor serie a paralelo (UART), para almacenar su estado y permitir que el procesador se de cuenta de que se ha

recibido un dato y se le ha transferido al registro del receptor, ya en forma paralela; esta señal (DR) debe ser borrada desde la misma unidad de control, lograndose esto mediante la línea CA2 del mismo puerto, que, durante un pulso de reloj, produce un estado bajo después de una operación de lectura.

Las líneas del puerto B se han programado como salidas, para controlar las operaciones de transferencia de los datos del UART hacia la memoria temporal y después para su selección, luego de la conversión digital/análoga; no se utilizan las líneas de control de este puerto.

El modo de operación antes mencionado se indica al VIA cargando la información correspondiente en el registro de control de periféricos (PCR - Peripheral Control Register), y en los registros de dirección de datos para cada puerto (DDRA y DDRB - Data Direction Register, A y B), del mismo VIA, como se verá al plantear el programa para la operación de la estación.

#### 4.2.a DIAGRAMA DE FLUJO.

La figura 27 presenta un diagrama de flujo con las tareas a realizar en la estación de registro.

Como se observa, la operación es continua, y se cumple todo el diagrama en cada segundo. En el punto I se prepara a

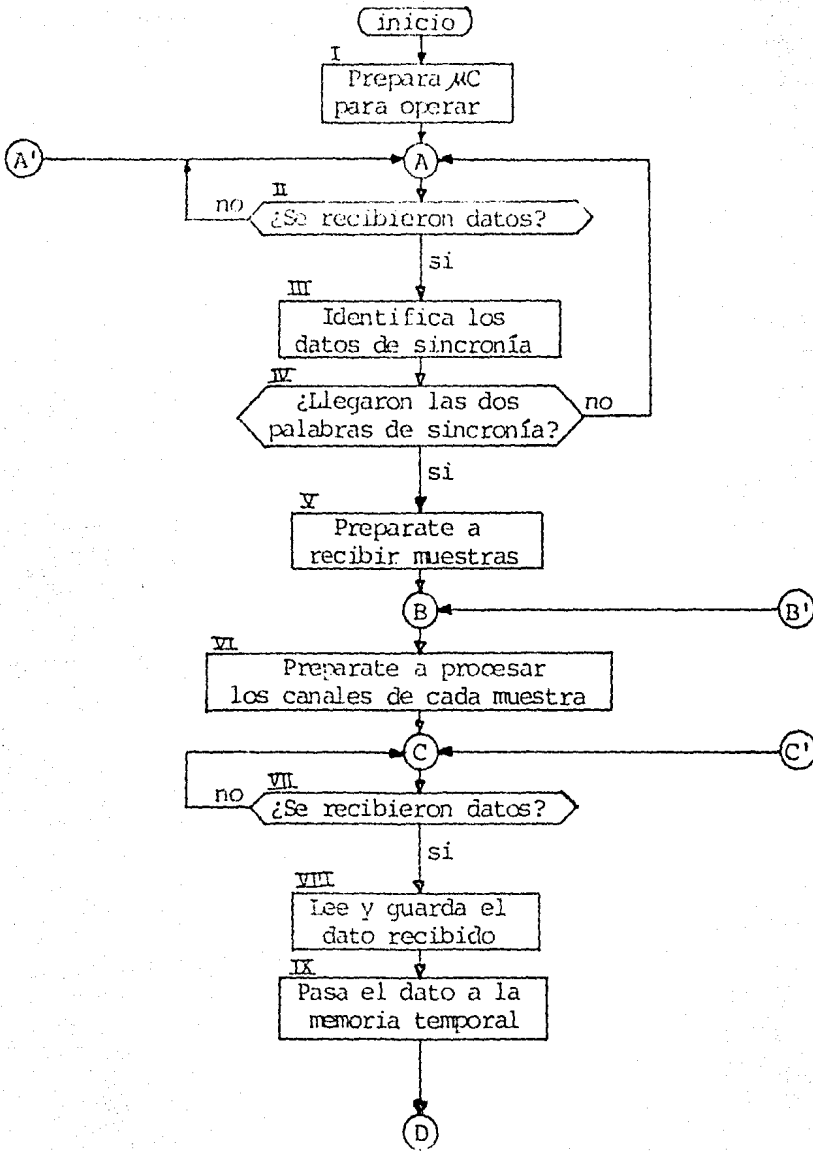


FIG. 27 DIAGRAMA DE FLUJO DE LA ESTACION DE REGISTRO

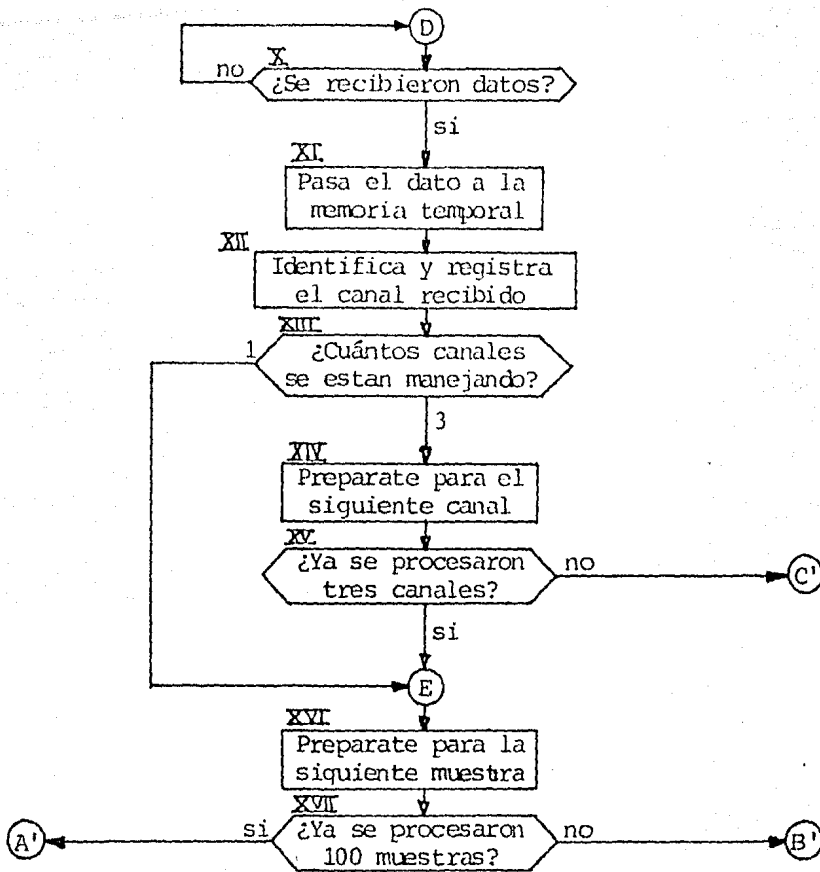


FIG. 27 (CONTINUACION).

la microcomputadora para el modo de operación de sus puertos (descrito anteriormente). En los puntos II, III y IV se realiza la detección de la información de sincronía (las dos palabras  $\text{0000011}$ ); en V y VI se crean dos contadores, y en XIV y XVI se dan incrementos unitarios a los mismos, usados para la contabilización tanto de muestras como de canales recibidos, respectivamente; las decisiones tomadas en XV y XVII dependen de estos contadores. En VII se guarda el dato recibido pues contiene la información relativa a la identificación del canal al que corresponde el mismo. En IX y XI se pasan los datos del UART a la memoria temporal (dos "latches") cuyas salidas están conectadas a las entradas del conversor D/A. Finalmente, en XII, se lleva a cabo la identificación del canal al que pertenecen los datos procesados y que permita el registro adecuado de los mismos.

Las labores antes mencionadas se realizan en la  $\mu\text{C}$ , por software. Así pues, es necesario plantear el programa que se encargue de realizar tales actividades. En la figura 28 se muestra un diagrama de flujo en el que se indican las actividades de la estación pero al nivel mismo del programa AIM-65, requerido por la  $\mu\text{C}$ .

A continuación se definen algunos términos usados en el diagrama:

CNTZ - Contador de las dos palabras de sincronía recibidas.



- CA1 - Línea de control del VIA, a través de la cual -  
se indica al mismo que hay un dato listo en el  
UART.
- Z - Palabra de sincronía 00000011.
- PA,PB - Puertos A y B del VIA.
- DR - Bandera del UART que indica que hay datos lis-  
tos en su registro de salida.
- $\overline{DRR}$  - Señal enviada al UART para limpiar la bandera  
DR.
- MIC12 - Localidad de memoria en la  $\mu C$ , donde se almace-  
na la parte baja del dato recibido que contiene  
la identificación del canal y los 5 bits menos  
significativos de la muestra.
- D0-D11 - Datos correspondientes a los doce bits de cada  
muestra.
- b0,b1 - Bits menos significativos del dato almacenado  
en MIC12.
- MIC3 - Localidad de memoria en la  $\mu C$ , en la que se in-  
dica si se maneja un solo canal o los tres que  
se tienen. 00<sub>H</sub> indica un solo canal y FF<sub>H</sub> indi-  
ca 3 canales manejados.

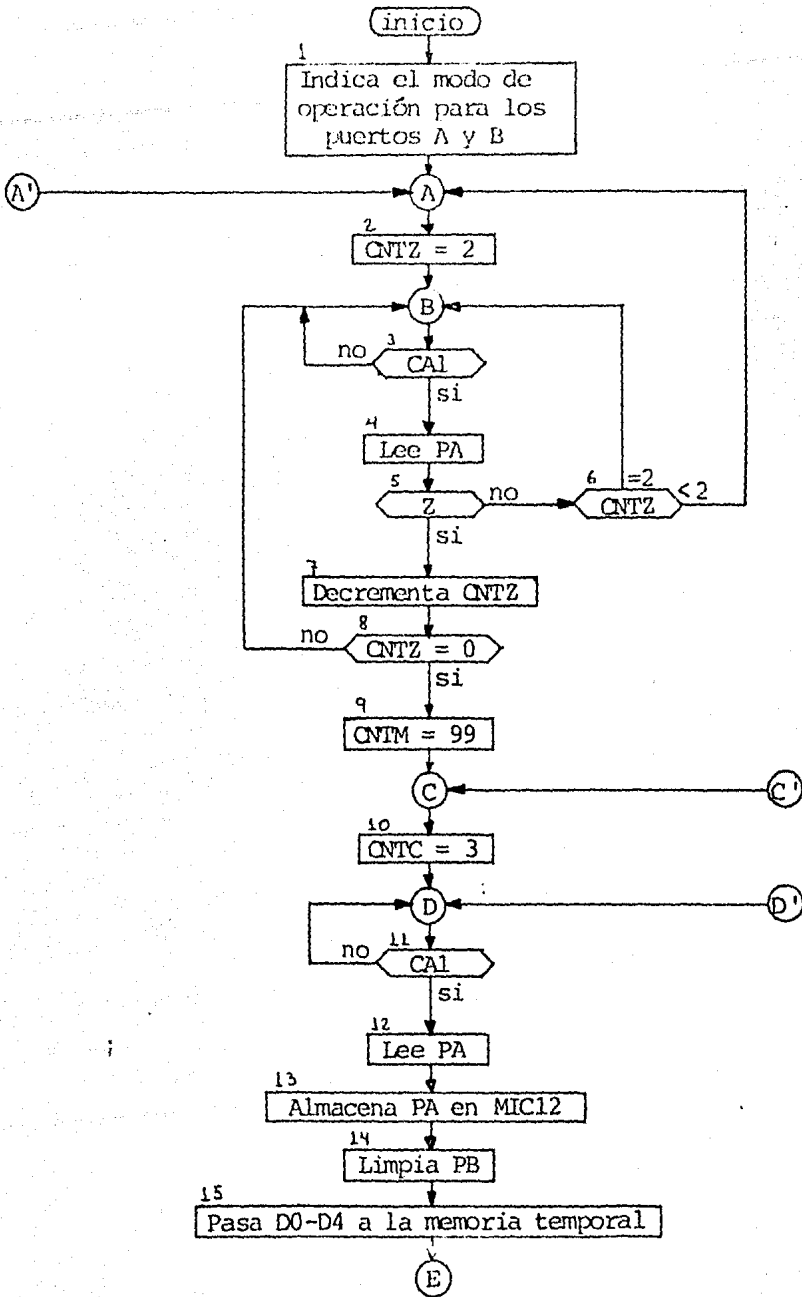


FIG. 28 DIAGRAMA DE FLUJO PARA EL PROGRAMA AIM - 65

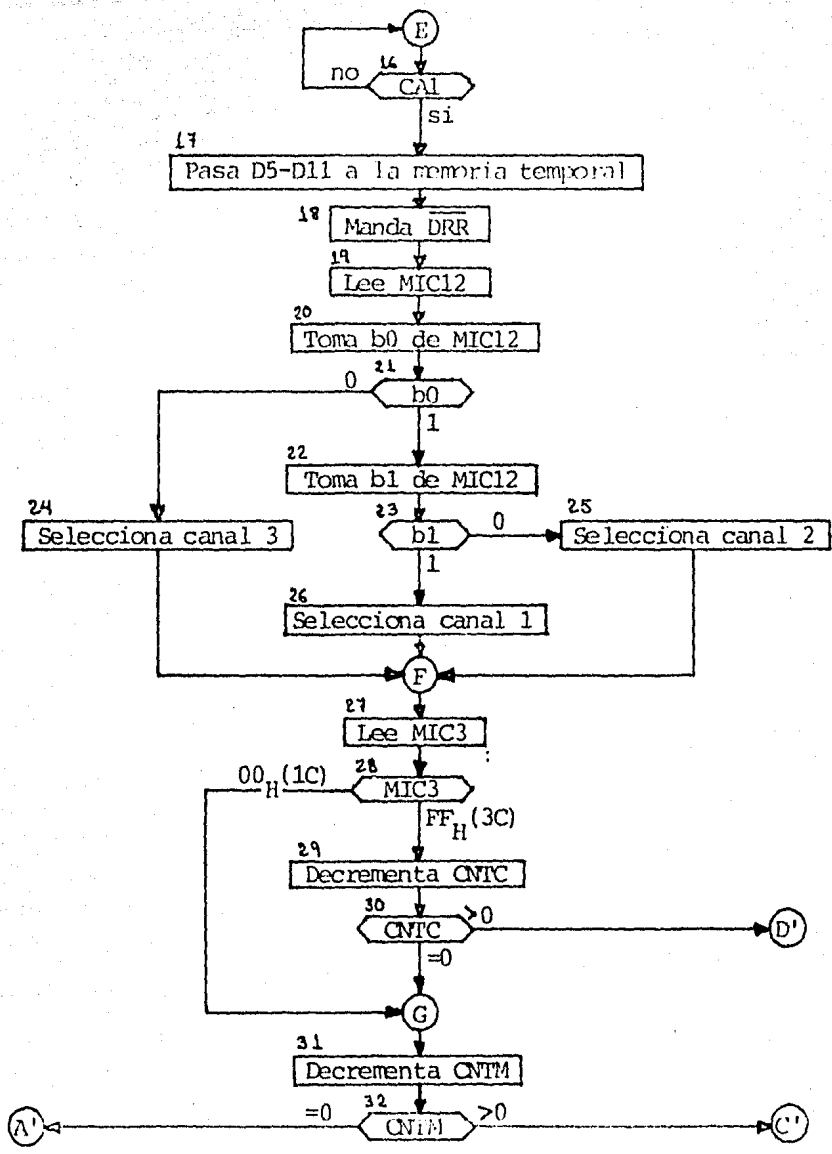


FIG. 28 (CONTINUACION)

En el punto 1 se indica a la  $\mu$ C que los puertos A y B del VIA, se operarán como entrada y salida respectivamente, según se indicó antes. Los puntos 2 al 8 indican la forma de detectar la recepción de las dos palabras de sincronía - ~~000000~~11.

En 9 y en 10 se tienen los contadores para muestras y para canales respectivamente, afectados por los decrementos dados en 31 y en 29, y por las decisiones 32 y 30, según sean muestras o bien canales.

Los pasos 11 al 15 y 16 al 18 corresponden al manejo de las palabras correspondientes a las partes baja y alta de cada muestra recibida. Dado que la parte baja contiene, además, la información relativa al canal al que pertenece la muestra, es necesario almacenar este dato para su uso en los pasos 19 y 23, en los que se revisan los dos bits en los que se tiene la identificación del canal al que pertenece el dato (recordar las señales IC1 e IC2 del contador de canales en la estación de campo).

En los pasos 27 y 28 se determina mediante el análisis del dato almacenado en la localidad de memoria dada por M1C3, si es uno o son tres los canales manejados.

Teniendo el diagrama de flujo anterior sólo resta traducir sus pasos a instrucciones en software, para constituir el programa para la  $\mu$ C.

#### 4.2.b PROGRAMA AIM-65.

A continuación se enumeran las instrucciones, en ensamblador, correspondientes al programa para la  $\mu$ C AIM-65.

M1C3            Localidad de memoria al principio del programa, en la que se da el dato sobre el número de canales manejados:  $00_H$  (1 canal) ó  $FF_H$  (3 canales).

LDA # $00$         Se programa a los puertos A, como entrada, y B, como salida, cargando los datos  $00_H$  (entrada) y  $FF_H$  (salida) en los registros de dirección de datos de los puertos A y B (cuyas direcciones son A003 y A002 respectivamente).

DIR $0$  LDX # $02$     Registro X = CNTZ = 2

DIR1 LDA A00D    Se revisa la señal CA1 (ó DR) en el registro de banderas de interrupción (dirección A00D).  
AND # $02$         de banderas de interrupción (dirección A00D).  
BEQ DIR1        Si es 1, hay un dato recibido y se pasa a la siguiente instrucción, si no, se pasa a DIR1 a esperar.

LDA A001    Se lee el registro de datos del puerto A -  
 CMP #7C    (dirección A001), si el dato leído es la pa  
 BEQ DIR2    labra de sincronía, se pasa a DIR2, si no,  
             se sigue con la siguiente instrucción. Al -  
             leer el registro se envía  $\overline{DRR}$ .

CMX #02    Se revisa CNTZ para saber si ya se recibió  
 BMI DIR0    una de las palabras de sincronía; si ya se  
 JMP DIR1    recibió, entonces, se pasa a DIR0, puesto  
             que la segunda palabra de sincronía no se  
             identifica como tal. Si no se ha recibido  
             ninguna palabra de sincronía, se pasa a DIR1.

DIR2    DEX            Se incrementa CNTZ, pues se identificó el da  
 BNE DIR1    to recibido como palabra de sincronía; si  
             CNTZ = 00, ya se identificaron las dos pala-  
             bras de sincronía y se continua con la si-  
             guiente instrucción, si no, se pasa a DIR1.

LDX #63    Ahora el registro X se usa como CNTM y el Y  
 LOOP1    LDY #03    como CNTC. ( $63_H = 99$  decimal y  $03_H = 3_D$ ).

LOOP2    LDA A00D    Nuevamente se revisa si hay dato recibido  
 AND #02    mediante la inspección del registro de ban-

BEQ LOOP2   deras de interrupción (como en DIR1).

LDA A001   Lee el dato del registro de datos del puer-  
STA MIC12   to A y almacénalo en la localidad MIC12 pa-  
ra usarlo posteriormente en la identifica-  
ción del canal.

LDA #000   Envía ceros al registro de datos del puerto  
STA A000   B (dirección A000) para deshabilitar la se-  
lección de canales y el paso de los datos  
al conversor.

LDA #200   Se produce un pulso de salida en la línea  
STA A000   PB5 del puerto B, para pasar a la memoria  
LDA #000   temporal los datos D0-D4 recibidos en el  
STA A000   UART, (5 bits menos significativos).

DIR3   LDA A00D   Se revisa si hay otro dato recibido en el  
AND #02   UART. (Como en DIR1 ó en LOOP2).  
BEQ DIR3

LDA #800   Se produce un pulso de salida en PB7 del -  
STA A000   puerto B, para pasar D5-D11 del UART a la

LDA #00 memoria temporal, (7 bits mas significati-  
 STA A000 vos).

LDA A001 Se lee el dato recibido, para producir  
DRR.

LDA MIC12 Se lee el dato de la localidad MIC12 para  
 saber que canal se va a seleccionar (regis-  
 trar).

ROR A En este grupo de instrucciones se inspec-  
 BCC DIR5 cionan los bits b0 y b1 del dato que con-  
 ROR A tiene la identificación de los canales,  
 BCC DIR4 previamente colocado en el acumulador. Dado  
 LDA #01 que se invierten los datos a la salida del  
 STA A000 UART, el canal 1 corresponde ahora a b0 = 1  
 JMP DIR6 y b1 = 1; para el canal 2, b0 = 1 y b1 = 0;  
 DIR4 LDA #02 y para el 3, b0 = 0, b1 = 1. Dependiendo  
 STA A000 de la identificación, se habilitan las lí-  
 JMP DIR6 neas PBO, PB1 ó PB2 según se trate de los  
 DIR5 LDA #04 canales 1, 2 ó 3 respectivamente; mediante  
 STA A000 el envío de un "1" a los bits mencionados,  
 del registro de datos del puerto B (de di-  
 rección A000).



DIR6 LDA M1C3 Se pregunta por el número de canales maneja  
BEQ DIR7 dos, cuya información se encuentra en la lo  
calidad M1C3, si es uno solo se pasa a DIR7,  
si son 3, se pasa a la siguiente instruc-  
ción.

DEY Se decrementa el CNTC. Si no se han procesa  
BNE LOOP2 do los 3 canales se regresa a LOOP2, si ya  
se procesaron se sigue a la instrucción in-  
mediata.

DIR7 DEX Se decrementa el CNTM. Si no se han procesa  
BNE LOOP1 do todas las muestras, se regresa a LOOP1,  
JMP DIRØ si ya se procesaron se regresa a DIRØ a re-  
petir la operación.

### 4.3 CONVERSION SERIE A PARALELO.

Para esta conversión se emplea de nuevo el circuito integrado IM6402 (UART), ahora en su función de receptor, según la configuración mostrada en la figura 29.

Mediante los interruptores SW1 a SW6, se indica al UART la forma en que deberá asumir la información serie presente en su entrada RRI, misma que debe permanecer en un estado alto (1 lógico) cuando no se estén recibiendo datos.

La velocidad del reloj debe ser 16 veces la velocidad de los datos recibidos.

Como primer paso, el UART detecta el bit de inicio de la palabra recibida, mediante el paso de "1" a "0" en RRI; esta transición se identifica, cuando mucho, medio ciclo de reloj después de que haya ocurrido, y el centro de este bit de inicio se define 7 y medio ciclos de reloj después.

El siguiente bit de inicio se empieza a buscar en el centro del primer bit de terminación. Una vez recibidos los bits de datos, estos son transferidos del registro del receptor a un registro de salida (RBR1-RBR8) y con esto la señal DR se pone en 1, con lo que se indica a la  $\mu$ C, mediante la línea de control CA1, que se ha recibido un dato. A su vez, la  $\mu$ C responde con un nivel bajo en CA2, para borrar la señal DR e indicar al UART que ha tomado el dato.

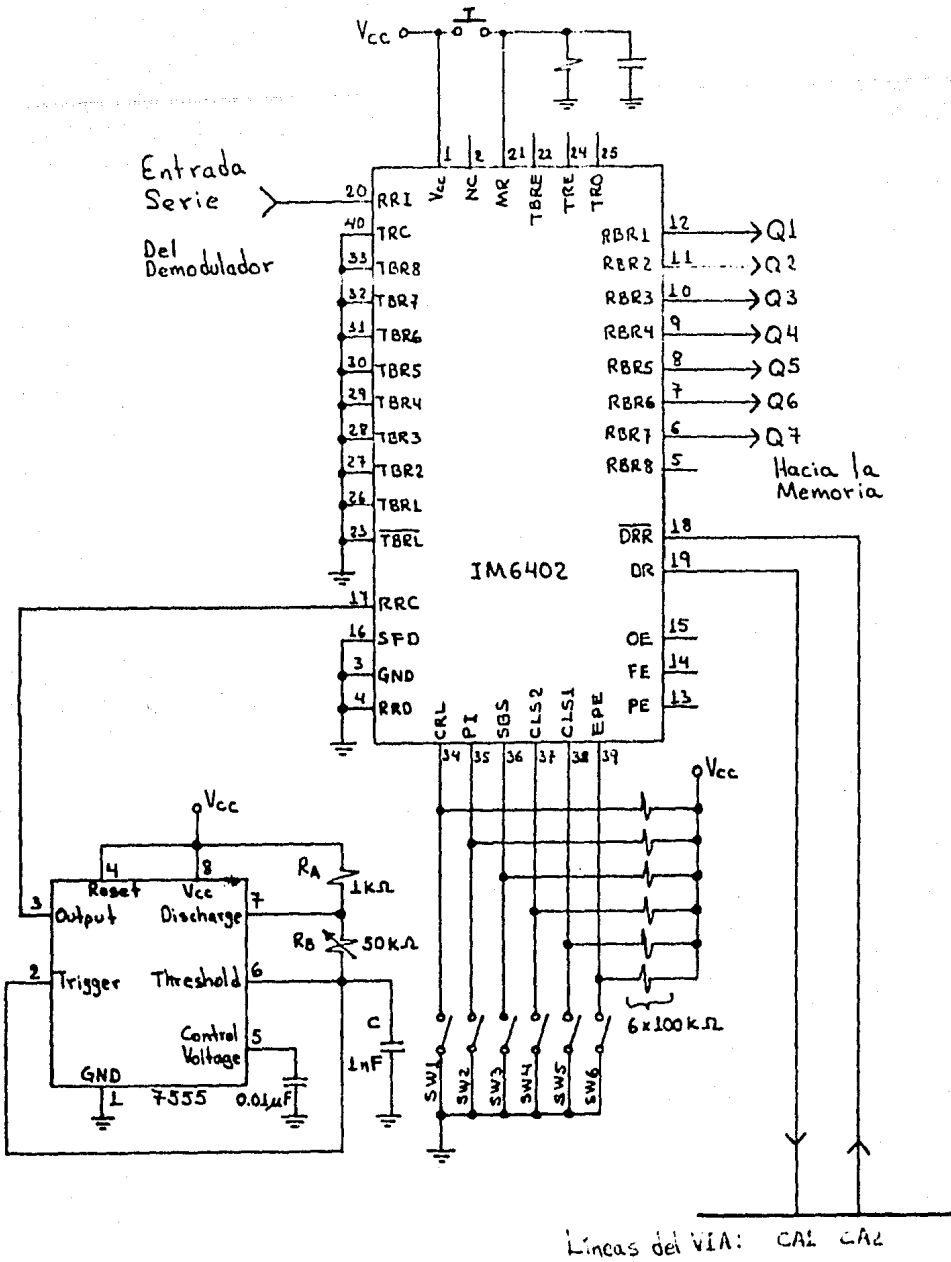


FIG. 29 CONVERSION SERIE A PARALELO.

Para la base de tiempo se emplea el circuito integrado ICM7555, como en la estación de campo.

#### 4.4 MEMORIA.

Los datos presentes a la salida del UART, ya en forma paralela, son pasados a un par de registros, para su almacenamiento temporal, permitiendo con esto ensamblar la muestra de 12 bits, a partir de las partes alta y baja correspondientes que se hayan recibido. Los registros que se emplean consisten de dos circuitos integrados 74C373 de 8 bits cada uno.

Las salidas de estos registros están conectadas a las entradas del convertidor D/A; se emplean las líneas de salida PB5 y PB7 del puerto B (en el VIA) para lograr el paso de los datos, esto es, aplicando esas líneas a las entradas  $\overline{LE}$  (latch enable) de los registros mencionados.

Así, por medio del programa de la  $\mu C$ , se habilita primero el registro que va a guardar la parte baja del canal recibido y enseguida, al haber otra palabra recibida en el UART, se habilita el registro que guarda la parte alta del canal en cuestión. Teniendo ambas partes, el dato se encuentra listo para su conversión de digital a análogo.

#### 4.5 CONVERTOR DIGITAL A ANALOGO.

Para la conversión del dato digital de 12 bits a forma analógica, se emplea el circuito integrado AD7521, consistente de un conversor D/A del tipo multiplicador, de 12 bits.

Para su operación es necesario suministrarle un voltaje de 5 volts (regulado) usado como referencia, mismo que "pesado" por la entrada digital, dará un valor analógico a la salida.

Se utiliza además un amplificador operacional en una configuración de inversor.

En la figura 30 se muestra el arreglo usado para el almacenamiento temporal de las señales y la configuración del conversor D/A.

El conversor opera continuamente; como se mencionó antes, los datos del UART se alimentan a través de los registros mencionados, y una vez que se tiene el valor analógico correspondiente a los doce bits de la muestra, se procede a su registro.

#### 4.6 SELECCION Y REGISTRO DE INFORMACION.

Los datos ya de forma analógica, presentes a la salida del amplificador operacional, se manejan de forma inversa a



como se hizo en la estación de campo, esto es, se utiliza el circuito integrado CD4016, consistente de 4 interruptores analógicos cuya apertura o cierre depende de una señal de control, independiente para cada uno de los mismos.

Se emplean 3 de estos interruptores, uno para cada canal; a las entradas de estos se aplica, de forma común, la señal - analógica antes mencionada. Así, de acuerdo a la habilitación que corresponda, se tiene a la salida del interruptor A el valor del canal 1, en B el valor del canal 2 y en C el valor - del canal 3.

La selección de cada canal se lleva a cabo desde la  $\mu C$ , a través de las líneas de salida PB0, PB1 y PB2 del puerto B, en las que se genera un pulso que producirá el cierre del interruptor correspondiente, de acuerdo a la identificación que se haya hecho del dato.

Después del interruptor se encuentra un capacitor y un seguidor de voltaje que permitirán la recuperación completa de la señal analógica. En la figura 31 se muestra el diagrama correspondiente a esta sección.

Las señales analógicas se registran en un papel, colocado sobre un tambor rotatorio, utilizando uno para cada canal. La señal de entrada al tambor se alimenta a un motor que moverá una plumilla capilar, dentro de la cual circula la tinta imprimirá la traza de la señal analógica.

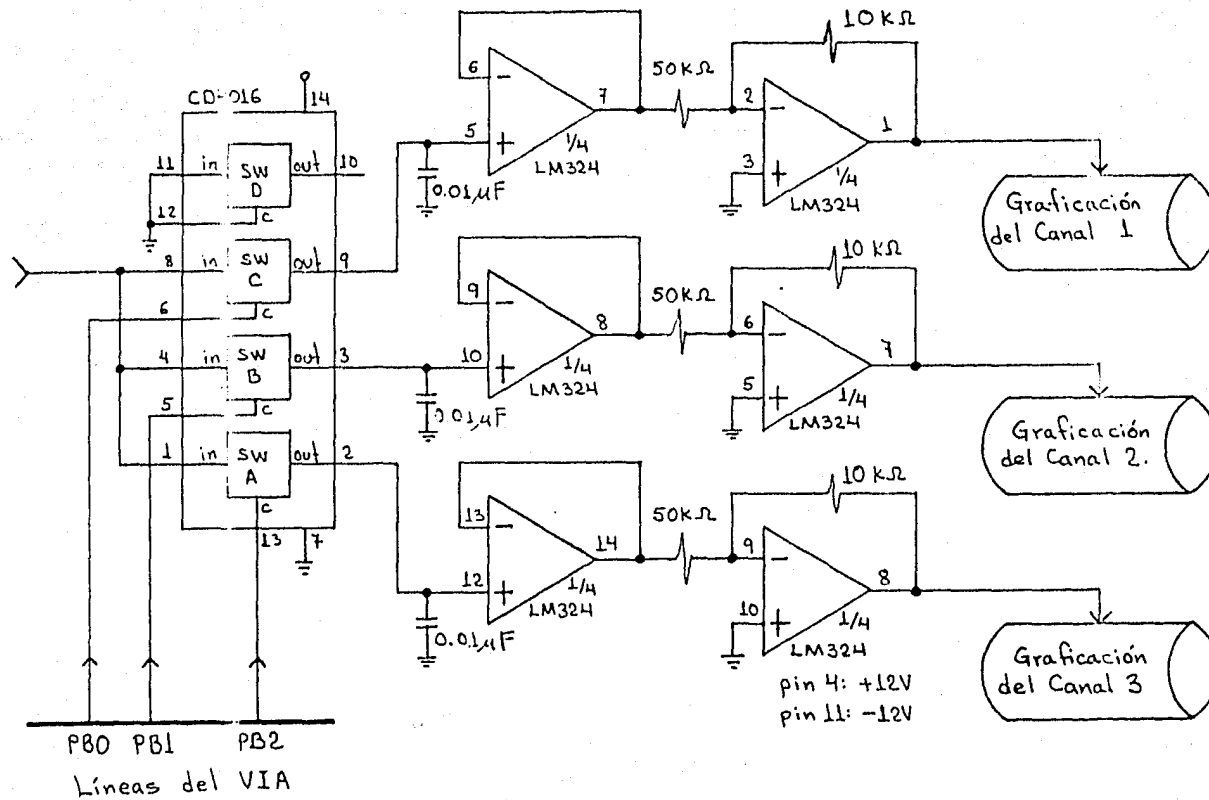


FIG. 31 SELECCION Y REGISTRO DE LOS CANALES.



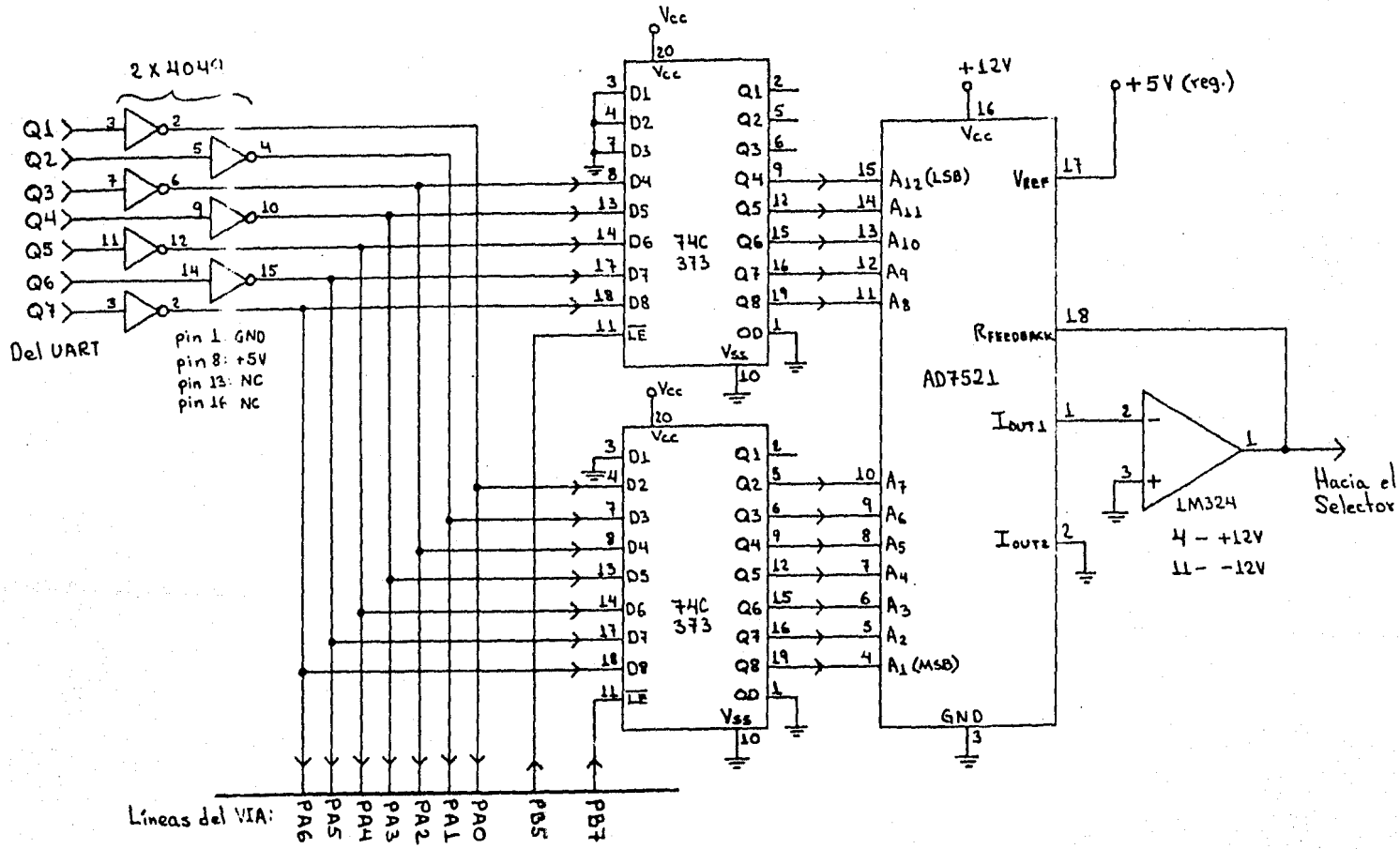


FIG. 30 ALMACENAMIENTO Y CONVERSION D/A.

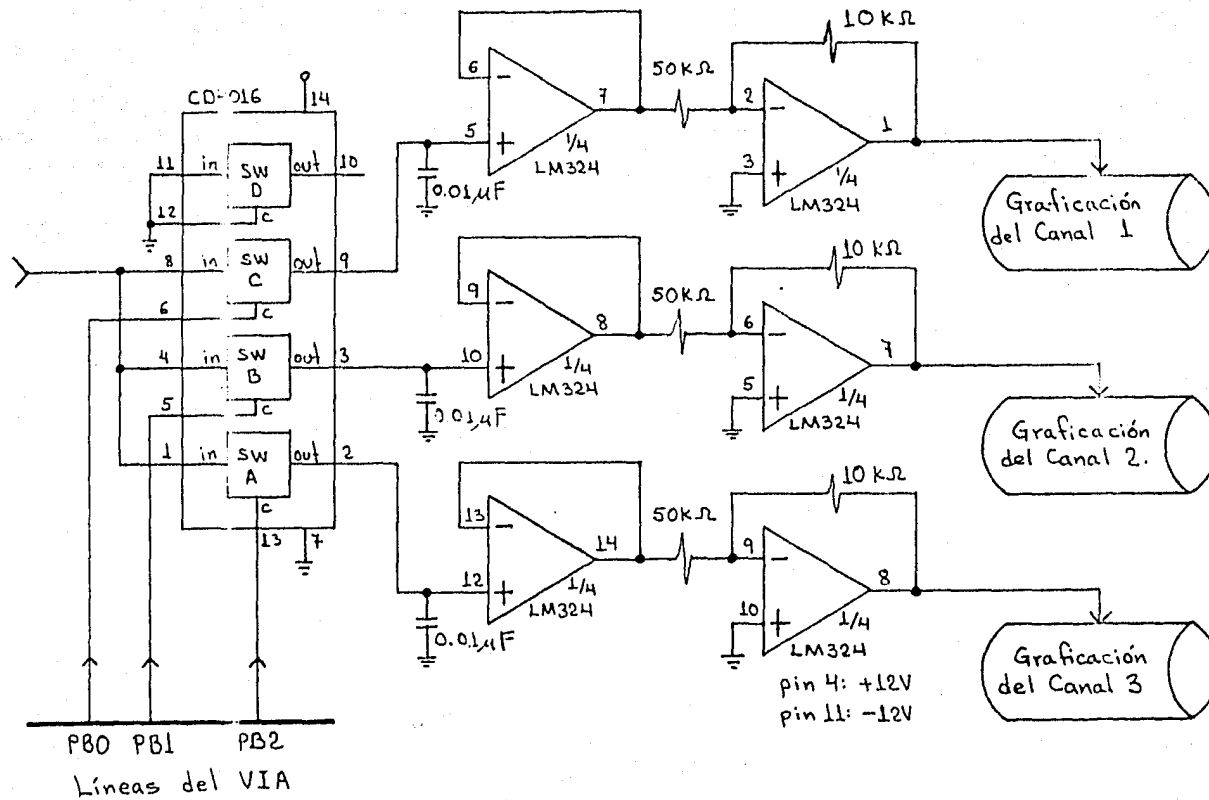


FIG. 31 SELECCION Y REGISTRO DE LOS CANALES.

## 5. PERSPECTIVAS A FUTURO.

En este trabajo se plantea la telemetría de una forma elemental, una estación de campo y una estación de registro, en la que la graficación de la información recibida se realiza sobre papel en el tambor rotatorio.

Desde una perspectiva más amplia, es deseable el manejo de una red de estaciones de campo, de localización adecuada a los sitios de interés sísmico, que puedan reportar eventos de manera continua.

Para esta red, y para ambas estaciones, pueden plantearse algunos puntos:

Respecto a la estación de campo, recordando el formato de envío de información, se observa que, empleando el UART para manejar palabras de 8 bits, se puede enviar información adicional de las estaciones de campo. Esto es, la muestra de 12 bits se divide en dos partes, baja y alta de 4 y 8 bits respectivamente y, dado que se envían palabras de 8 bits, en la palabra correspondiente a la parte baja tendremos 4 bits disponibles para enviar, por ejemplo, el voltaje de la batería que alimenta a la estación, o el de la celda solar usada como cargador.

Buscando una operación más amplia en la estación de cam-

po, ésta puede contar con un receptor, que admita señales con órdenes de operación, procedentes de la estación de registro, como puede ser el envío de un solo canal o de los tres, o bien, la alteración del formato de datos del UART.

Al planteamiento anterior hay que añadir el de la transmisión en sí, la cual, para el caso de tres canales manejados, deberá contar con un sistema que tenga una velocidad de hasta 7,200 bits/seg, o bien 2,400 bits/seg para un solo canal, de acuerdo al formato de palabras de 8 bits y el manejo de 100 muestras/seg.

A la estación de registro se pueden encomendar tareas adicionales que permitan el conocimiento más amplio de los datos recibidos, tales como el aviso de eventos importantes, esto es, que rebasen cierto umbral prefijado; despliegue de letreros con información referente a los datos, transferencia de los mismos a una computadora mayor, para su análisis y archivo, etc.

Además, debido a las posibles fallas en la recepción, es deseable contar con tareas que logren la detección de errores y la corrección de los mismos sobre los datos recibidos.

Esto implica más programación, pero, a su vez, la utilización a mayor grado de la capacidad del microprocesador.

## 6. CONCLUSIONES.

En el planteamiento inicial del trabajo se buscó observar la diferencia entre el uso de lógica alambrada (método - AHPL) en la estación de campo y el uso del microproceso ( C en la estación de registro), y además, desarrollar un sistema digital para la adquisición remota de las señales dadas por los sensores, ya sean acelerómetros o sismómetros.

Al respecto se hace notar que, empleando lógica alambrada, la versatilidad en la operación se traduce en un circuito con más componentes y de mayor complejidad, que además dependerá de un buen diseño inicial para el desempeño adecuado de sus tareas, dado que una alteración al mismo requerirá rehacer el circuito, con la labor que esto implica. Por otra parte la localización de las fallas es más directa debido a que, normalmente, los circuitos pueden separarse en bloques definidos, a los que se puede comprobar su buen o mal funcionamiento.

En contraparte, el uso del microprocesador permite una operación más versátil, pues el problema se traducirá ahora en la optimización del programa que ejecute las labores encomendadas, y sujeto a cambios posibles sin mayor problema que el de reordenar o aumentar las instrucciones del mismo.

En cuanto a la cantidad de componentes, ésta se reduce, pues los integrados a utilizar serán en general de propósito específico.

Por otro lado, dado que normalmente los circuitos involucrados se encuentran conectados a buses de datos, direcciones o control, la localización de fallas puede tornarse más complicada, debido a que estos buses se comparten entre los integrados.

Se construyó el circuito correspondiente a la estación de campo, así mismo se efectuó la prueba de las operaciones que en ésta se realizan. De la estación de registro, se probaron por separado las diversas secciones que la constituyen. - Aunque no se llevó a cabo la prueba de la operación conjunta de las estaciones.

Con el desarrollo del acondicionador de señales sísmicas se adquirió experiencia en el manejo de señales eléctricas de baja frecuencia, producidas por los acelerómetros descritos, manejándolas ya sea por hardware (estación de campo) o por software (estación de registro). De acuerdo a esto, para el caso de tener en el campo una estación con las características descritas en este trabajo, será más apropiada la realización mediante lógica alambrada. Sin embargo, para una estación en la que se realicen mayor número de operaciones, el uso del microprocesador será más apropiado, dada la versatilidad que el

mismo ofrece y la menor cantidad de elementos necesarios a -  
utilizar alrededor del mismo.

## 7. BIBLIOGRAFIA.

1. Fredrick J. Hill, Gerald R. Peterson. "Digital Systems: Hardware Organization and Design", John Wiley & Sons, USA, 1978.
2. Roger Melen, Harry Garland. "Understanding CMOS Integrated Circuits", Howard W. Sams & Co., USA, 1980.
3. Herbert Taub, Donald Schilling. "Digital Integrated Electronics", McGraw-Hill Kogakusha, Ltd., Japan, 1977.
4. Peter R. Rony, David G. Larsen, Jonathan A. Titus, - Christopher A. Titus. "Interfacing & Scientific Data Communications Experiments", Howard W. Sams & Co., USA, 1979.
5. J. Prince (Editor). "Estudios sísmicos para los puer-  
tos industriales de la Laguna del Ostión, Ver. y Láza  
ro Cárdenas, Mich. Instrumentación Sísmica (Etapa I)",  
Instituto de Ingeniería, UNAM, 1981.
6. Terra Technology. "Operation Manual. SA-102 & SA-111  
Acelerometers", USA, 1982.
7. Rockwell International. "AIM-65 User's Guide", USA,  
1979.
8. Rockwell International. "R6500, Microcomputer System,  
Hardware Manual", USA, 1978.

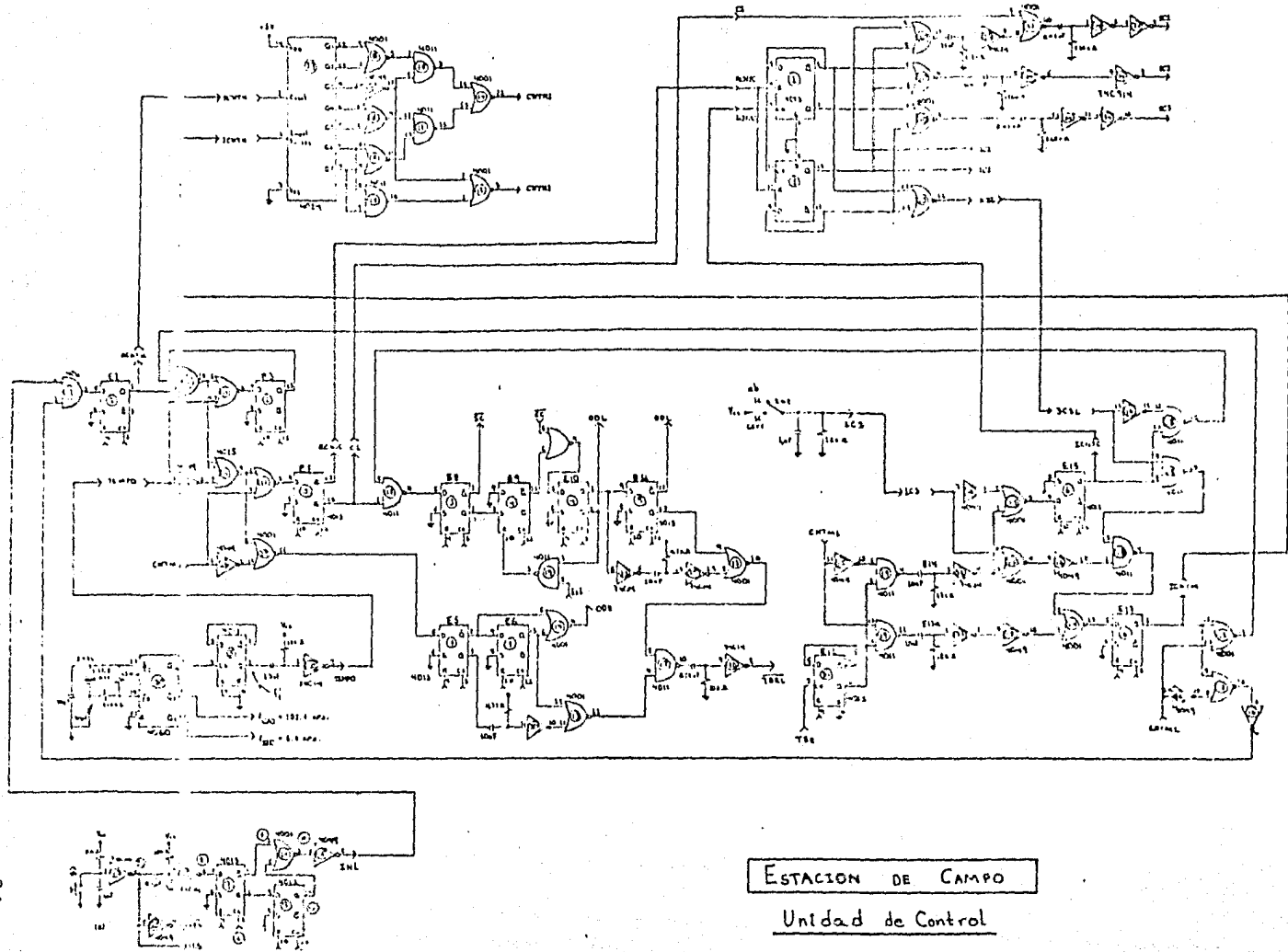


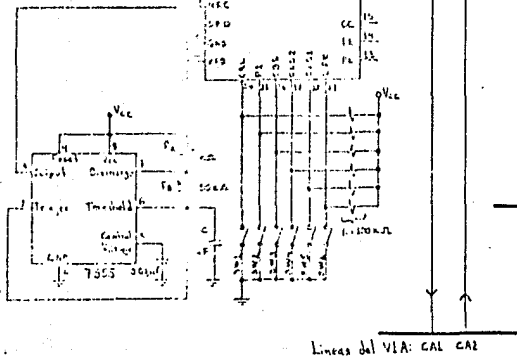
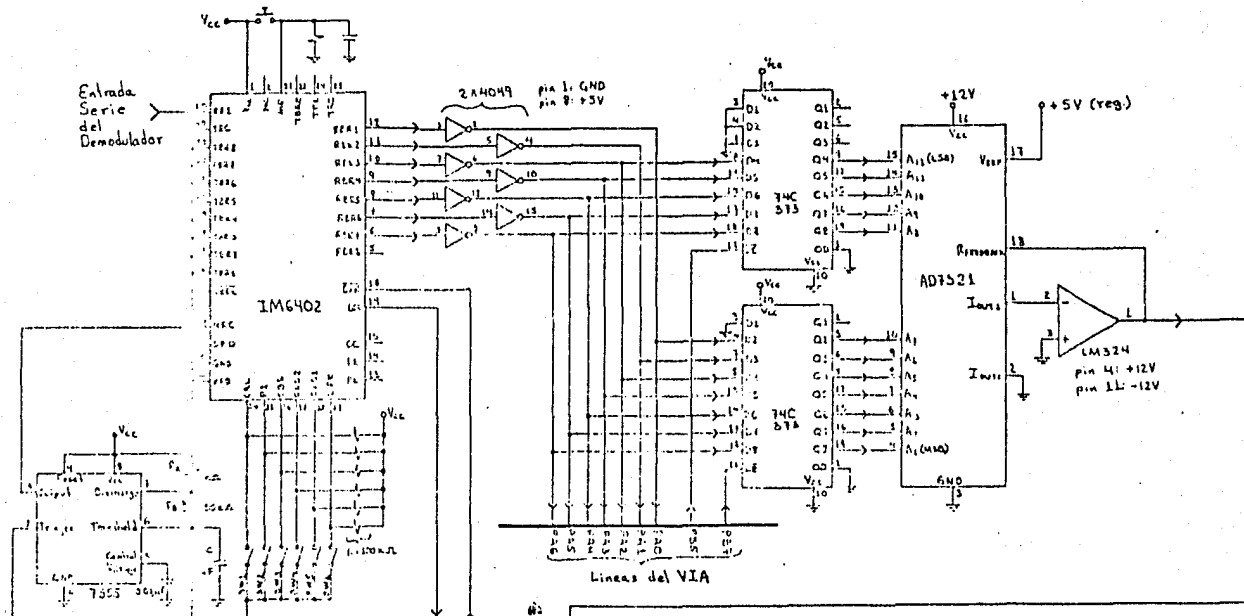
9. Rockwell International. "R6500, Microcomputer System, Software Manual", USA, 1978.
10. RCA Corporation. "RCA COS/MOS Integrated Circuits", USA, 1978.
11. Intersil. "Intersil Data Book", USA, 1979.
12. National Semiconductor Corporation. "Linear Databook", USA, 1980.

A P E N D I C E

Diagramas completos  
de las estaciones de  
Campo y de Registro.







ESTACION DE REGISTRO

