

F-98



Universidad Nacional Autónoma
de México

FACULTAD DE INGENIERIA

DISEÑO Y CONSTRUCCION DE UN
PROGRAMADOR DIGITAL PARA EL
CONTROL DE PROCESOS

T E S I S

QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA

P R E S E N T A

JORGE SERGIO MARTINEZ SARACHO

141
98



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

CAPITULO I. INTRODUCCION	1
I-1 Conceptos generales sobre el control de procesos	1
I-2 Control por computadora	3
I-3 Objetivo del proyecto	5
I-4 Aplicación del programador digital	7
CAPITULO II. ALMACENAMIENTO DE PROGRAMAS	11
II-1 Introducción de datos	11
II-2 Codificación, transferencia de datos	14
II-3 Restablecimiento del sistema	18
II-4 Control de grabación	22
CAPITULO III. REPRODUCCION DE PROGRAMAS	29
III-1 Recuperación de datos	29
III-2 Decodificación	30
III-3 Control de reproducción	33
III-4 Base de tiempo	35
III-5 Conversión digital-analógica	39
III-6 Fuentes de alimentación	43
CAPITULO IV. CONSTRUCCION Y PRUEBAS	50
APENDICE I. TEORIA DE CIRCUITOS LOGICOS	61
A1-a algebra booleana	61
A1-1 Funciones básicas	61

AI-c Postulados y teoremas	63
AI-d Circuitos Lógicos	63
AI-e Familias Lógicas	65
AI-f Familia TTL	65
AI-g Memorias	68
AI-h Contadores y registros de corrimiento	71
APENDICE II. TABLAS DE ESPECIFICACIONES	73
AII-a Circuitos integrados digi- tales (SSI)	73
AII-b Circuitos integrados digi- tales (MSI)	78
AII-c Circuitos integrados lineales	85
AII-d Dispositivos optoelectrónicos	101
BIBLIOGRAFIA.	108

CAPITULO I

INTRODUCCION

I-1 CONCEPTOS GENERALES SOBRE EL CONTROL DE PROCESOS.

De una manera muy general, los sistemas de control pueden clasificarse en sistemas que tienen retroalimentación y aquéllos que no la tienen. En un sistema con retroalimentación, la variable controlada es comparada con la variable de referencia y cualquier diferencia que exista entre ambas (el error), es usada para reducir ésta última.

Los sistemas de control retroalimentados pueden dividirse en dos amplias categorías: sistemas reguladores y sistemas seguidores (follow-up systems).

La función de los primeros es mantener esencialmente constante la variable controlada a pesar de las perturbaciones inconvenientes que pudieran actuar sobre el sistema. En los sistemas de seguimiento, la función es mantener la variable controlada en correspondencia muy próxima con una variable de referencia, la cual es cambiada frecuentemente.

Los sistemas de seguimiento tienen una gran aplicación en la industria como sistemas de control de procesos en los que la salida es una variable como temperatura, presión, flujo, nivel de líquido o PH etc. Frecuentemente se usan en estos sistemas controles programados como podría ser el de temperatura de un horno de calentamiento en que la temperatura del horno es controlada de acuerdo a un programa establecido. Por ejemplo, este programa puede consistir en elevar la temperatura a determinado valor durante determinado tiempo y luego reducir a otra temperatura prefijada también durante un periodo de tiempo prefijado. En un programa como éste el punto de ajuste varía en correspondencia a un programa establecido previamente.

La forma general de los controles de procesos se muestra esquemáticamente en la Fig.I-1.

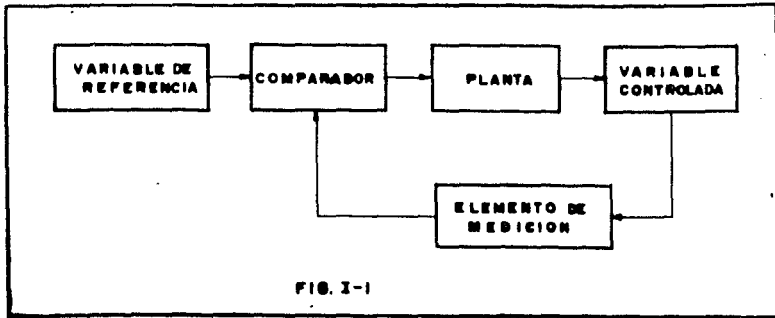


FIG. I-1

Como las señales que han de compararse deben ser del mismo tipo, es necesario acondicionarlas (por medio de transductores) antes de introducirlas al comparador. En nuestro ejemplo del control de temperatura, la planta estaría constituida posiblemente por un conjunto de relevadores que controlarían válvulas de inyección de combustible y/o ventiladores; el elemento de medición podría ser un termopar, un termistor o cualquier sensor semejante. En un sistema como éste la comparación se haría con niveles de voltaje por lo que la variable de referencia se introduciría al comparador como un voltaje cuya magnitud para cada intervalo de tiempo sería proporcional al valor de referencia; para lograr esto automáticamente suelen utilizarse sistemas electromecánicos como el que se ilustra en la Fig.I-2.

En el sistema de la figura, la leva 'L' gira con velocidad constante movida por un motor con reducción, de tal manera que realice una revolución en el tiempo que dura el proceso. El contorno de la leva representa la magnitud de la variable de referencia correspondiente al cronograma deseado. Un seguidor-

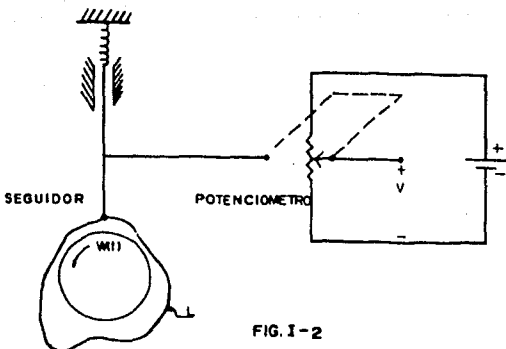


FIG. I-2

mecánico transmite esta magnitud al cursor de un potenciómetro del que obtendremos un nivel de voltaje proporcional. Esta forma de implementar la variable de referencia tiene dos - desventajas: a).- La construcción de las levas resulta fastidiosa, sobretodo cuando han de experimentarse varios cronogramas - como sucede en las aplicaciones de investigación. b).- Para modificar el tiempo del proceso deben incorporarse reductores de velocidad ya sea mecánicos o electrónicos con lo que se complica el sistema haciéndolo poco versátil.

I-2 CONTROL POR COMPUTADORA.

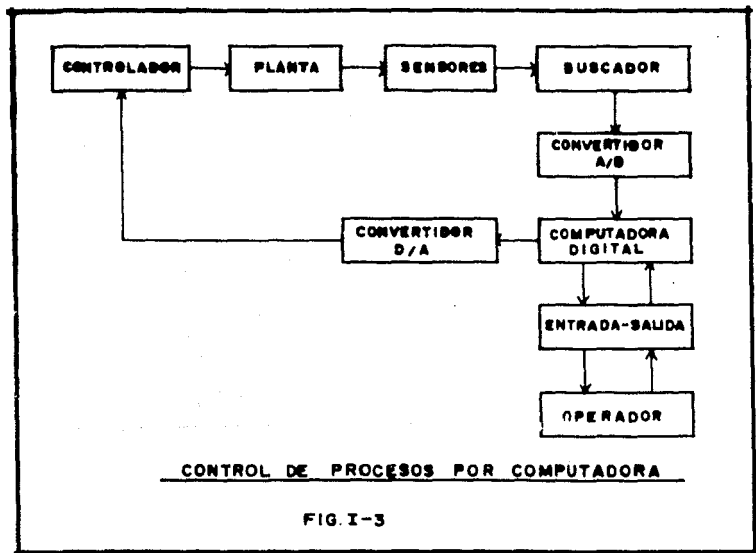
Recientemente se ha extendido el uso de computadoras digitales en el control de procesos; el aspecto más importante de éstas es su habilidad para procesar y transformar grandes cantidades de información en una forma preescrita. Además del cálculo la computadora digital de propósito general puede almacenar y sacar información, hacer decisiones lógicas, adaptarse a con-

diciones variables y finalmente, aprender.

En las aplicaciones de la computadora digital para el control, ésta puede programarse para hacer funciones básicas tales como:

- 1.- Recolección de los datos de la planta.
- 2.- Identificación de la dinámica de la planta.
- 3.- Selección de los parámetros de control.
- 4.- Implementación de los algoritmos de control.
- 5.- Implementar los procedimientos de optimización a fin de establecer el control óptimo.
- 6.- Manipulación de las variables que sirven de señal a la planta.

La extensión hasta la cual se utilicen cualquiera de estas funciones en una aplicación dada, depende de la complejidad del sistema, los objetivos operantes y las capacidades de ingeniería. El esquema general de un control de proceso por computadora puede verse en la Fig.I-3.



Con el advenimiento de los microprocesadores integrados el costo de las computadoras para fines de control ha disminuido, sin embargo los sistemas operativos y los equipos periféricos que requieren hacen a los sistemas computarizados incosteables en muchas aplicaciones.

I-3 OBJETIVO DEL PROYECTO.

El objeto de nuestro proyecto es crear un dispositivo capaz de almacenar un cronograma y reproducir el comportamiento de la variable en el tiempo de una forma más eficiente y versátil de lo que podría hacerse mediante sistemas electromecánicos, pero a un costo menor del que representaría el uso de un microcomputador.

El dispositivo estará constituido por dos unidades que llamaremos: Escritor de programas y Lector de programas. La función del primero será almacenar secuencialmente en una grabadora de cassettes los valores codificados correspondientes al cronograma de la variable a controlar. El escritor podrá almacenar cualquier número entero entre 0 y 99 por lo que los valores deberán ser previamente discretizados y escalados (cuando esto sea necesario).

El lector de programas operará la grabadora a intervalos de tiempo regulares para decodificar la información digital almacenada y convertirla en un voltaje analógico que podrá variar entre 0 y 9.9volts. El periodo de los intervalos de lectura podrá modificarse externamente mediante un selector del que se obtendrán tiempos de 1 a 99 segundos entre cada lectura.

En la Fig.1-4 se muestra el esquema del funcionamiento de estas dos unidades.

El nivel de voltaje obtenido en el lector representará en cada tiempo el valor deseado para la variable controlada que, al

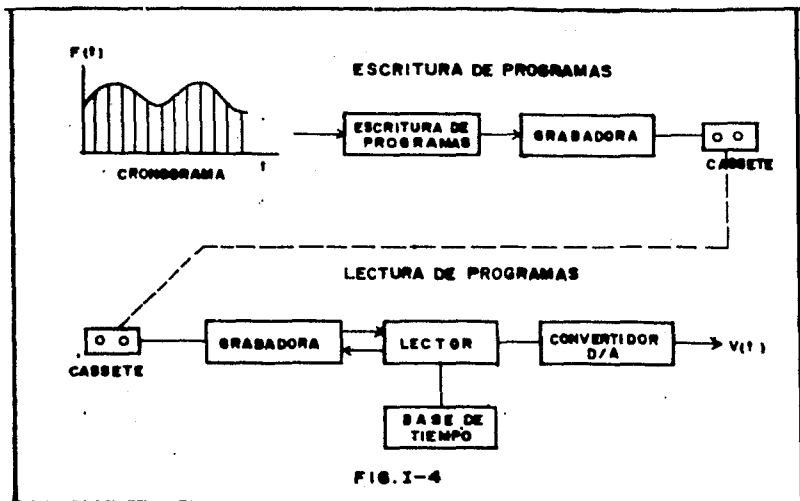


FIG. I-4

compararse con el valor real de ésta (obtenido mediante el transductor de medición) será posible obtener la señal de error necesaria para el control del proceso.

La razón de haber dividido el proyecto en dos unidades se desprende del hecho de que el escritor de programas no interviene durante el proceso de control; y una sola de estas unidades es suficiente para grabar la información para todos los lectores de programas que se requieran.

Muchos de los sistemas reales cuyo esquema general es el de la Fig. I-1 pueden ser adaptados para funcionar con nuestro programador lo que hace de él un dispositivo bastante versátil. Hemos visto cuales podrían ser los sensores y los actuadores para un control de temperatura programado; en el apartado siguiente mostraremos una aplicación más específica de control de proceso pero solo con fines de ilustración y sin pretender analizar sus

características de estabilidad, exactitud y rapidez de respuesta, para lo cual se remite al interesado a los textos sobre Teoría de Control.

I-4 APLICACION DEL PROGRAMADOR DIGITAL.

En el lugar donde trabajamos actualmente, que es el Departamento de Estudios y Laboratorios de la Dirección General de Obras Marítimas S.C.T., se realizan estudios sobre modelos reducidos de obras portuarias en los cuales se simulan condiciones de oleaje y/o mareas. La simulación de mareas es importante para conocer las corrientes producidas principalmente en la desembocadura de los ríos y prever así el grado de sedimentación en las mismas.

El programador de mareas usado hasta ahora consiste en un sistema electromecánico como el descrito anteriormente y en el cual la curva de mareas está representada en el contorno de la leva giratoria (ver Fig. I-2), mientras que el valor real de la variable -en este caso nivel de agua- lo proporciona un simple flotador. Utilizando el programador digital para reproducir las mareas se evitaron las desventajas inherentes a los sistemas electromecánicos obteniéndose resultados más satisfactorios.

La forma general de un modelo en el que se simulan mareas se muestra en la figura I-5.

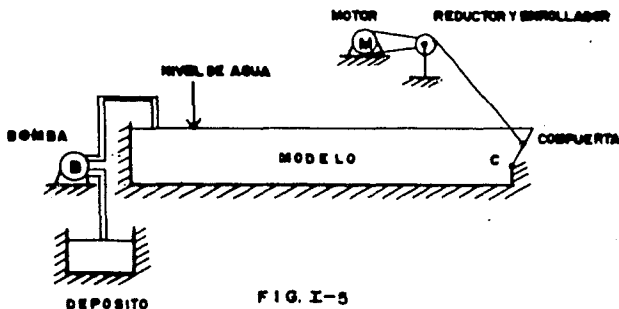


FIG. I-5

En la figura la bomba 'B' suministra un flujo constante Q_1 al modelo, la compuerta 'C' controla el flujo de desagüe Q_2 mediante el funcionamiento de un motor reversible. El nivel de agua en el modelo depende de la diferencia $Q_1 - Q_2$, este nivel será medido con un detector que presentará un voltaje proporcional a la profundidad a la que se encuentren sus puntas sensoras.

Los voltajes del programador y del detector de nivel se compararán en un amplificador diferencial del que se obtendrán las señales para abrir y cerrar la compuerta.

Los resultados obtenidos, así como la forma en que se implementó el sistema, se verán en el capítulo cuarto.

En las fotografías 1 y 2 puede apreciarse el programador electro mecánico de mareas mientras que la 3 y la 4 muestran dos perspectivas del mecanismo de la compuerta de desagüe. La instalación - corresponde a un modelo de la desembocadura del Río Pánuco.

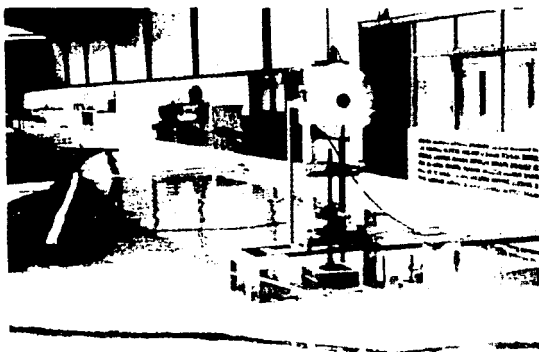


FOTO 1

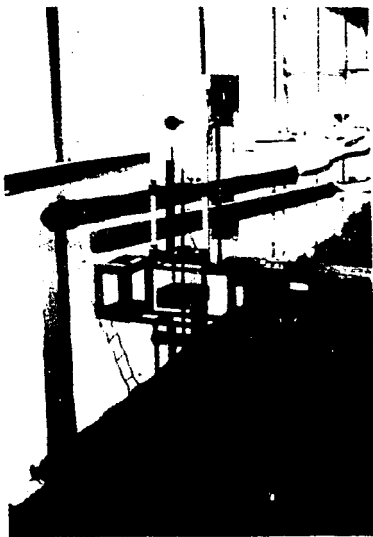


FOTO 2

Sistema electromecánico
para la simulación de
mareas.

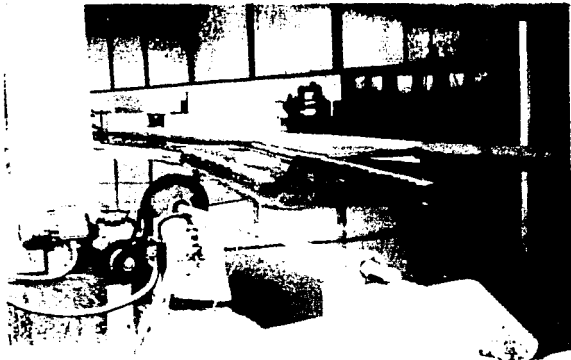


FOTO 3

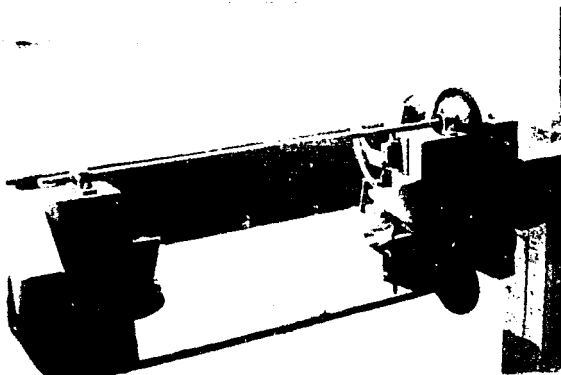


FOTO 4

Vistas de la compuerta de desagüe

CAPITULO II

ALMACENAMIENTO DE PROGRAMAS

En el primer capítulo se mencionó el propósito de construir un sistema capaz de almacenar en una grabadora convencional los valores discretizados que la variable a controlar deberá tomar al transcurrir el tiempo. Este sistema, que hemos llamado "Escritor de programas", constituirá una unidad independiente y sus funciones básicas serán las siguientes:

- a) Permitir al operador seleccionar un valor --o cifra-- entre 0 y 99 para cargarlo en un registro.
- b) Codificar el dato del registro y transferirlo a la grabadora.
- c) Restablecer automáticamente el sistema una vez realizada la transferencia.

En los apartados siguientes se analizarán los circuitos que ejecutan estas funciones.

II-1 INTRODUCCION DE DATOS.

Dado que no hemos de efectuar ninguna operación aritmética con las cifras, resulta adecuado trabajar con dígitos binarios --codificados a decimal (BCD), éstos han de ser introducidos a un registro para su posterior transferencia.

Las cifras serán de dos dígitos decimales, lo que implica que el registro deberá tener capacidad para ocho bits. Una forma sencilla de implementar el registro consiste en utilizar un arreglo de ocho interruptores conectados como se muestra en la Fig.II-1 en donde están indicadas las posiciones para la cifra '56'.

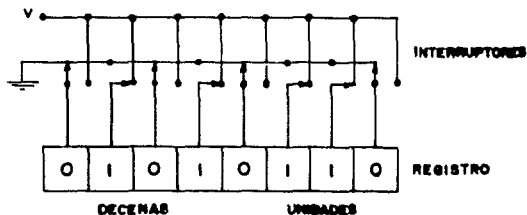
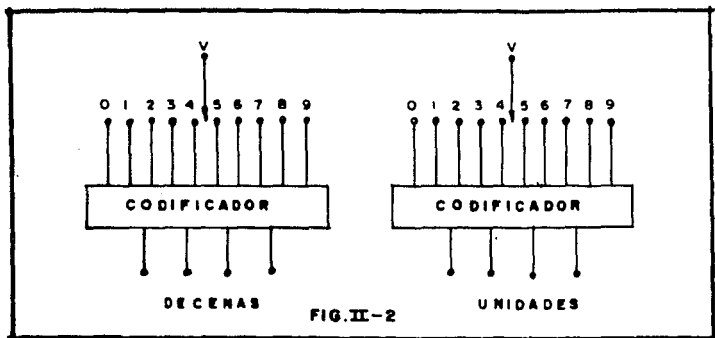


FIG.II-1

Este sistema elemental tiene la inconveniencia de requerir -- que el operador conozca el código BCD lo que no siempre es el caso. Para remediar esta desventaja puede incluirse alguna forma de codificación de 10 a 4 líneas de tal manera que el operador disponga de dos selectores; uno para las unidades y otro para las decenas, y pueda introducir la cifra seleccionando los valores decimales respectivos.

La codificación puede realizarse mediante interruptores previamente codificados o empleando un codificador integrado --el SN74-197-- de la familia TTL. La Fig.II-2 muestra un registro BCD empleando dichos codificadores.



Otra alternativa para construir el registro, y que es la que escogimos para el proyecto, emplea dos contadores BCD conectados en serie a los que se introduce un tren de pulsos por medio de un reloj. Las salidas de los contadores presentará en forma codificada la cantidad de pulsos introducida entre dos cierres del interruptor. Ver Fig.II-3.

Hacemos la aclaración que esta alternativa se escogió solo porque contábamos con el material necesario para su construcción, aunque los sistemas mencionados anteriormente hubieran resultado igualmente adecuados.

Si a las salidas de los contadores conectamos dos decodificadores BCD a 7 segmentos, y a éstos sus respectivos displays, podremos observar el avance de la cuenta de tal manera que al llegar al número deseado interrumpiremos la entrada de reloj.

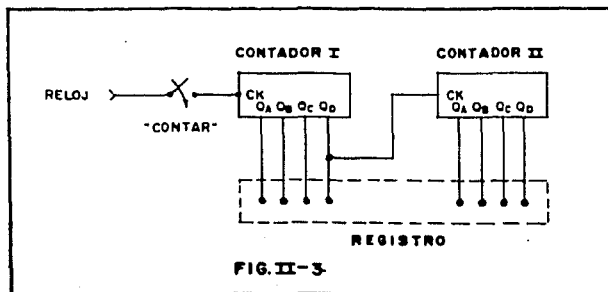


FIG. II-3

Existe en el mercado un componente optoelectrónico -el TIL - 306/7- que contiene integrados un contador BCD, cerrojos (latches), decodificador, drivers y display de 7 segmentos; el uso de este componente permitirá simplificar el diseño.

Un aspecto a considerar es que la frecuencia del reloj deberá ser lo suficientemente grande para recorrer los cien números en un tiempo relativamente corto, sin embargo esto aumentaría la dificultad de detener la cuenta justo en el número deseado. La solución será emplear dos frecuencias y un gatillo para seleccionar la velocidad de avance. Para diseñar el gatillo definiremos:

F_1 = Frecuencia de avance rápido = 100 Hz

F_2 = Frecuencia de avance lento = 1 Hz

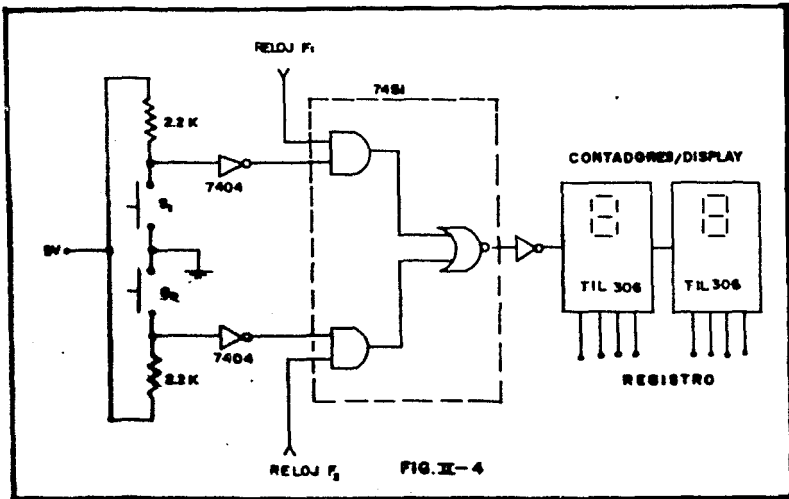
S_1 = Se opera el interruptor de avance rápido

S_2 = Se opera el interruptor de avance lento

La ecuación lógica del gatillo será entonces:

$$G = S_1 + S_2$$

Que se puede implementar utilizando la mitad del circuito integrado SN 7451. El circuito final quedará como el de la Fig.II-4.

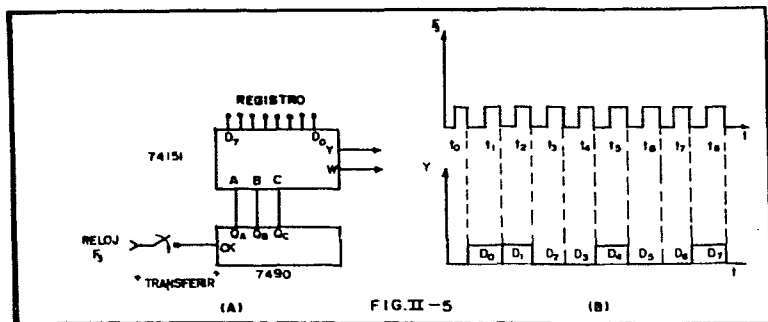


II-2 CODIFICACION Y TRANSFERENCIA DE DATOS.

La información contenida en el registro ha de ser almacenada en una grabadora económica de audio, por lo cual debe previamente codificarse y transferirse en serie.

La conversión a serie se realiza mediante un multiplexador/selector de datos integrado -el SN74151- cuya tabla funcional indica que el valor binario de los controles A, B y C determina el número del dato que se presenta en la salida 'Y'; esto es, conectando las salidas Q_a , Q_b y Q_c de un contador binario a los con-

troles A, B y C respectivamente, la salida 'Y' tendrá secuencial mente los valores correspondientes a las entradas D_0 a D_7 . La entrada de reloj del contador binario estará conectada a un generador de pulsos cuya frecuencia F_3 se deducirá más adelante. El circuito convertidor paralelo a serie se muestra en la figura II-5a.



En la Fig.II-5 b puede verse la forma de las señales en F_3 y en 'Y' cuando el registro contiene la cifra 93; la señal a la salida del multiplexador es la información que ha de ser almacenada en la grabadora para lo cual debe codificarse primero, la razón de esto es que se utilizará una grabadora convencional de audio y éstas -debido a su limitada banda de respuesta- no pueden manejar señales digitales. El método que utilizamos nosotros para codificar los datos se escogió al considerar que las cifras estarían distribuidas aisladamente en la cinta magnética por lo cual debía existir alguna forma de diferenciar entre los estados de cero lógico y ausencia de señal.

La codificación en cuestión es por número de pulsos donde he

mos definido la siguiente correspondencia:

- El uno lógico estará codificado como un tren de 20 pulsos.
- El cero lógico lo estará como uno de 8 pulsos.

La frecuencia de los pulsos será de aproximadamente 1 KHz, que está dentro del rango de cualquier grabadora.

El decodificador -que analizaremos en el capítulo III- reconocerá como cero lógico cualquier tren de menos de 16 pulsos y como uno-lógico cualquiera que sobrepase esa cantidad; con esta tolerancia suponemos que se puede contrarrestar el efecto de señales espurias sobre la información.

Para diseñar el codificador definimos las siguientes variables:

Y= Salida del multiplexador.

a= "Han pasado 20 pulsos"

b= "Han pasado 8 pulsos"

G= Generador de pulsos ($f = 1024$ Hz)

La ecuación lógica del codificador es:

$$S = (\bar{a}Y + b\bar{Y})G = \overline{(aY + b\bar{Y})}G$$

El circuito puede implementarse empleando la otra mitad del -- circuito integrado SN 7451 que contiene el arreglo $S = \overline{AB + CD}$, la variable \bar{Y} corresponde a la salida "W" del multiplexador.

Las variables a y b se obtienen utilizando dos contadores decimales en serie y tomando la salida Q_d del primero y Q_b del segundo respectivamente (ver tabla funcional en el apéndice).

El circuito codificador se muestra en la figura II-6, donde se aprecia también la etapa de salida que incluye un "buffer" y un - optoacoplador, cuyas funciones son aumentar la capacidad de carga y aislar el circuito del exterior.

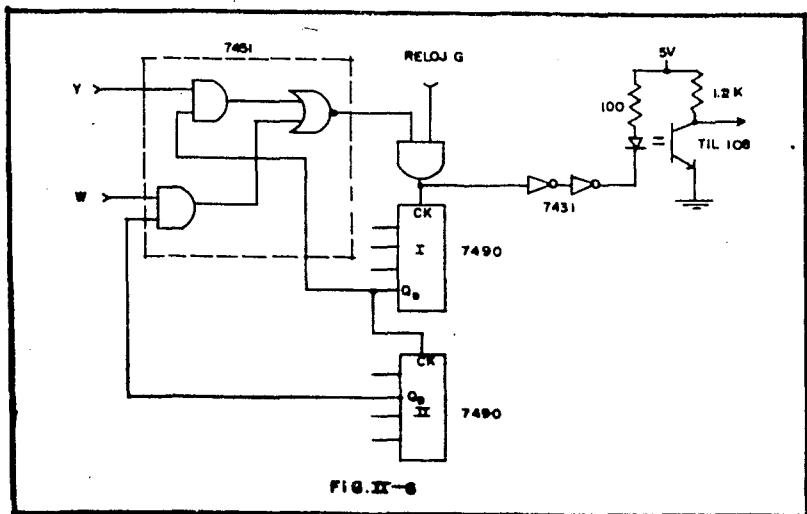


FIG. IX-6

La frecuencia del reloj F_3 , o sea la que determina la velocidad de codificación y transmisión de datos la deduciremos a partir de la siguiente consideración: Cada uno lógico requiere la transferencia de 20 pulsos a una frecuencia de 1024 Hz, esto se efectúa en un lapso de $20 \times (1/1024) = 19.5$ ms., o sea que la frecuencia máxima posible de F_3 será de $1/19.5 = 51.28$ Hz; sin embargo es conveniente emplear una frecuencia menor para que entre los trenes de pulsos existan intervalos de tiempo que permitan diferenciarlos.

Con el propósito de evitar el uso de varios generadores de pulsos que generen las frecuencias necesarias en el circuito, éstas se obtendrán de un solo generador de 1024 Hz (2^{10}) y una serie de contadores binarios que dividirán dicha frecuencia reduciéndola a otras cuyos valores serán potencias de 2. La potencia de 2 inmediatamente inferior a 51.28 es 32; con una frecuencia de esta magnitud -que significa un periodo de 31.25 ms.- dispondremos de un lapso de $(31.25 - 19.5) = 11.75$ ms. entre cada dígito cuando éstos son pulsos "unos", es decir, en el peor caso.

En la grabadora los pulsos de corriente directa que constituyen la información tenderán a centrarse al nivel medio debido a la polarización alterna de la cabeza magnética; este efecto ha de tomarse en cuenta durante el proceso de recuperación de datos y se verá más detalladamente en el capítulo III.

Para ilustrar el proceso de codificación puede verse en la Fig. II-7 la forma de las señales en diferentes puntos. Obsérvese también como el tiempo requerido para transferir una cifra completa es de 250 milisegundos.

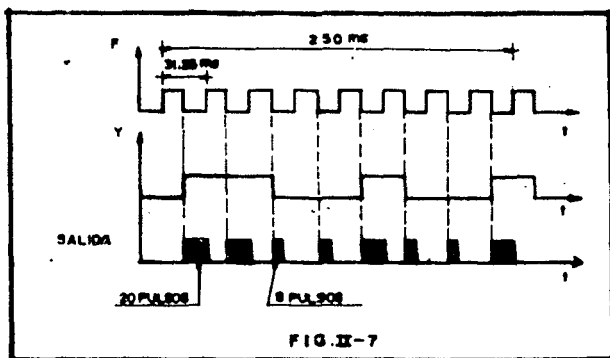


FIG. II-7

II-3 RESTABLECIMIENTO DEL SISTEMA.

El circuito codificador que hemos visto hasta aquí (Fig. II-6) está aún incompleto, ya que después de haberse codificado y transferido un dígito deben recuperarse las condiciones iniciales y preparar así el sistema para la codificación del siguiente dígito, esta operación puede hacerse bloqueando la señal de reloj 'G' y al mismo tiempo restablecer los contadores I y II como se muestra en el circuito de la Fig. II-8.

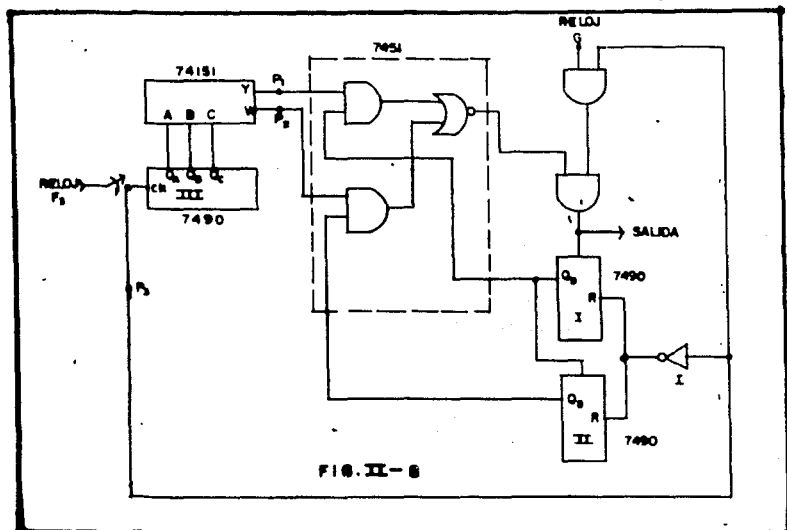


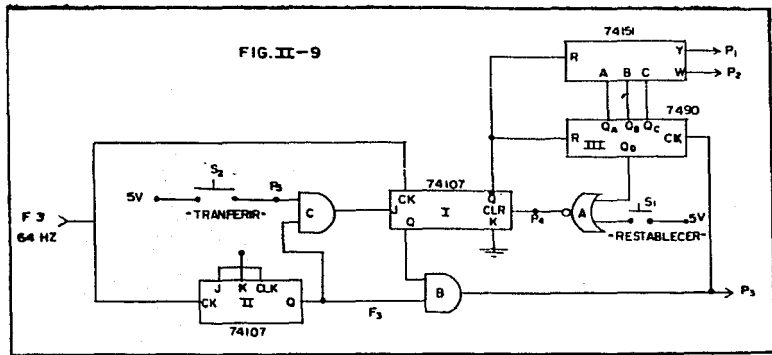
FIG. II-6

Con este circuito la codificación se realizará sólo durante los estados altos del reloj F_3 , empleándose los estados bajos para restablecer el sistema. El inversor 'I' es necesario debido a que los contadores SN 7490 se restablecen con un estado alto.

Una vez que haya sido hecha la codificación y transferencia de ocho dígitos, o sea una cifra completa, el multiplexador y el contador que lo controla deben restablecerse y permanecer en ese estado hasta que una nueva orden de transferir sea introducida. Esta orden deberá ser ignorada si se hace durante el periodo de transferencia por lo que necesitamos un elemento de memoria que "recuerde" el estado del sistema.

Para que el restablecimiento del sistema se haga en forma automática después de la transferencia, podemos aprovechar la salida Q_0 --

del contador III cuyo estado se hará alto después el octavo pulso del reloj F_3 , esto es, una vez transferido el último dato. En la Fig. II-9 se muestra la sección del circuito que nos interesa; nóte se en dicha figura la presencia del circuito integrado SII 74107 -- que contiene dos memorias del tipo J-K (ver apéndice I).



La tabla funcional del 74107 es la siguiente:

ESTADO	J	K	CK	CLR	Q	\bar{Q}
1	x	x	x	L	L	H
2	L	L		H	Q_n	\bar{Q}_n
3	H	L		H	H	L
4	H	H		H	\bar{Q}_n	Q_n (TOGGLE)
5	L	H		H	L	H

En la memoria I la entrada 'K' esta conectada a tierra, por lo que su operación se reduce a los tres primeros estados de la tabla, al primero le podríamos llamar "estado de restablecimiento" y se produce cuando la salida Q_d del contador III presenta un nivel al-

to (restablecimiento automático), o cuando se opera el interruptor S_1 (restablecimiento manual); La compuerta 'A' permite que cualquiera de estas condiciones introduzca un nivel bajo en la entrada CLR. Durante el estado de restablecimiento la salida \bar{Q} permanece en su nivel alto borrando el contenido del multiplexador y del contador III; por otro lado, el nivel bajo en la salida Q impide el paso de la señal de reloj F_3 en la compuerta 'B'. Los niveles lógicos en las entradas J, K y CK se ignoran durante este estado.

Al restablecerse el contador III, la salida Q_d vuelve a su nivel bajo por lo que el estado de restablecimiento dura solo un tiempo muy pequeño igual a la suma de los tiempos de propagación del flip-flop, el contador y la compuerta 'A'. Una vez transcurrido ese tiempo (menos de 100 nanosegundos), la entrada CLR cambia a un nivel alto y la memoria pasa al segundo estado de la tabla que llamaremos "estado de espera"; en éste las salidas no cambian y el sistema permanece en sus condiciones iniciales.

Para pasar al tercer estado -"estado de transferencia"- el nivel lógico en la entrada 'J' debe ser alto antes del pulso de reloj en CK, este nivel se presentará momentáneamente al operarse el interruptor S_2 de transferir, sin embargo como esta operación es manual, pudieran presentarse dos inconvenientes: Si el nivel en 'J' se hace bajo antes de la transición alto-bajo del pulso de reloj, el estado de la memoria no cambiará; si por otra parte 'J' mantiene su nivel alto durante un periodo mayor del que toma hacer una transferencia (250 ms.), la cifra en el registro se transferirá más de una vez. La solución a este último problema es usar un monostable en lugar del interruptor S_2 como se verá en la siguiente sección.

El primer problema se resuelve utilizando otro flip-flop como puede verse en la Fig.II-9; en este caso el flip-flop II está conectado como "toggle" y divide la frecuencia de F_3 , entre dos, produciendo la señal de reloj F_3 cuya frecuencia, como ya vimos, es de 32 Hz. El SN 74107 es un biestable del tipo maestro-esclavo

(ver Apéndice I), por lo que los cambios de estado se efectúan con la transición alto-bajo de los pulsos del reloj de sincronía aunque sabemos que debido al tiempo de conmutación estos cambios no son instantáneos, de tal manera que la transición alto-bajo de F_3 estará atrasada algunos nanosegundos con respecto a F_3 , un poco más atrasada estará la señal a la salida de la compuerta 'C' ya que en ese punto se tiene la conjunción lógica de F_3 y la orden de transferencia.

Si hacemos que el periodo del pulso que ordena la transferencia tenga una duración igual o mayor que el periodo de F_3 , la transición alto-bajo a la salida de la compuerta 'C', o sea en la entrada 'J' del biestable, se hará siempre después del pulso de reloj F_3 , y el problema estará resuelto.

II-4 CONTROL DE GRABACION.

Para que el escritor de programas esté completo debe contar con un circuito que controle el funcionamiento de la grabadora. Las funciones que debe realizar este circuito secuencialmente son las siguientes:

1) Arrancar la grabadora.- Esta operación se hará aprovechando el interruptor de pausa con que cuentan la mayoría de las grabadoras de cassettes. Dicho interruptor será sustituido por un relevador el cual se accionará por medio del interruptor de transferencia.

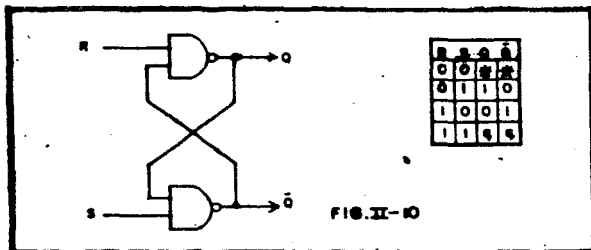
2) Proporcionar a la grabadora un tiempo suficiente para que alcance su velocidad de operación.- Esta función es necesaria debido a que el tiempo de aceleración en las grabadoras económicas puede ser hasta de 400ms.; la información grabada durante este periodo sería interpretada erróneamente por el lector de programas. Para evitar esta situación usamos un multivibrador monoestable para producir un retardo de aproximadamente 400 milisegundos.

3) Efectuar la transferencia de la cifra contenida en el registro-

En la sección II-3 vimos que la transferencia empezaba en el momento de operar un interruptor S_2 y habíamos dicho que éste sería sustituido por un monoestable cuyo periodo debía ser mayor que el de F_3 y menor de 250ms. . El monoestable que usaremos tendrá una constante de tiempo de 40ms. y será disparado al terminar el periodo de retardo descrito anteriormente.

4) Detener automáticamente la grabadora una vez transferidos todos los datos del registro. Esto se logra haciendo uso de la señal de restablecimiento automático para desactivar el relevador de pausa.

La primera y la última funciones se pueden implementar con una memoria sencilla del tipo "cerrojo" (latch) constituida de dos compuertas NAND como la que se muestra en la Fig.II-10.



En la salida \bar{Q} se conectará un transistor cuyo fin será suministrar la corriente necesaria para energizar el relevador de pausa. La tabla funcional de la memoria indica que el relevador accionará cuando un cero lógico sea introducido en la entrada 'S'; esto sucederá al operarse el interruptor momentáneo S_2 de transferencia. El nivel de \bar{Q} se mantendrá invariable hasta que 'R' tenga un nivel bajo; como deseamos que esto suceda al presentarse la señal de restablecimiento (automático o manual), la entrada 'R' estará conectada a la salida de la compuerta 'A' de la figura II-9. (Punto #4).

Con el fin de implementar la segunda y tercera funciones se usarán dos monoestables integrados SN 74121 que tienen la ventaja de poder modificar su forma de disparo cambiando sus conexiones externas. En la forma en que están conectados -ver Fig.II-11- el primer-

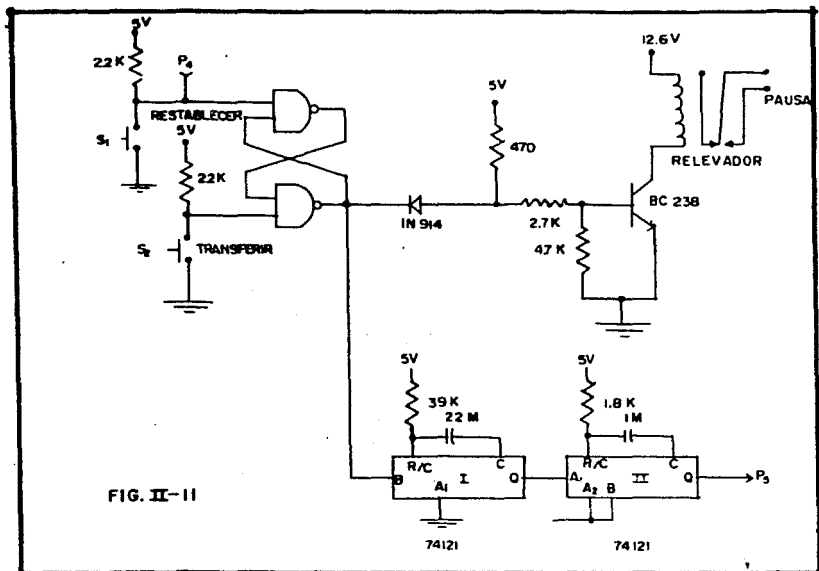


FIG. II-11

monoestable se disparará con la transición bajo-alto de \bar{Q}_1 ; la resistencia y el condensador externos se escogen para proporcionar un pulso cuya duración sea de 400ms., la transición alto-bajo de este pulso disparará al segundo monoestable que producirá a su vez el pulso requerido para efectuarse la operación de transferencia antes descrita.

Finalmente en la Fig.II-12 se muestra el diagrama completo del escritor de programas; véase como las señales de reloj se obtienen a partir del conocido circuito integrado LM 555 que trabaja como astable y cuya frecuencia se ajusta lo más cercana a 1024 Hz. Conectadas en serie al astable tenemos hasta diez etapas de división de frecuencia de donde pueden obtenerse las otras tres señales de reloj necesarias en el sistema. La división de frecuencia se realiza mediante dos contadores binarios SN 7493 y dos flip-flops maestro-esclavo SN 7476.

La fuente de poder que suministra el voltaje de alimentación de los TTL's (5 volts) y el del relevador (12.6 volts) es igual a la que se utiliza en el lector de programas por lo que se describirá en el capítulo siguiente.



FOTO 5



Oscilograma de la señal a la salida del escritor de programas.

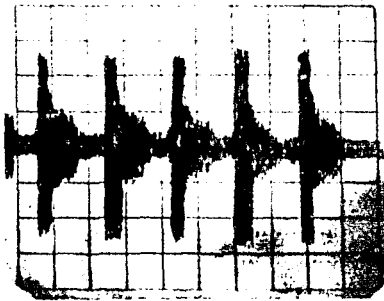


FOTO 6

Oscilograma de la señal a la salida de la grabadora (retocado).

CAPITULO III

REPRODUCCION DE PROGRAMAS

En este capítulo desarrollaremos la unidad lectora de programas cuya función, como ya se mencionó al principio de este trabajo, será recuperar la información digital almacenada en una cinta magnética y convertirla a un voltaje analógico proporcional que será utilizado como referencia para determinado control de proceso. Dado que las lecturas deben efectuarse a intervalos regulares, la unidad incluirá una base de tiempo cuyo periodo pueda ser seleccionado por el operador. Los circuitos de base de tiempo y conversión digital-analógica así como los de regeneración de señal, decodificación y fuente de poder se verán separadamente en las siguientes secciones.

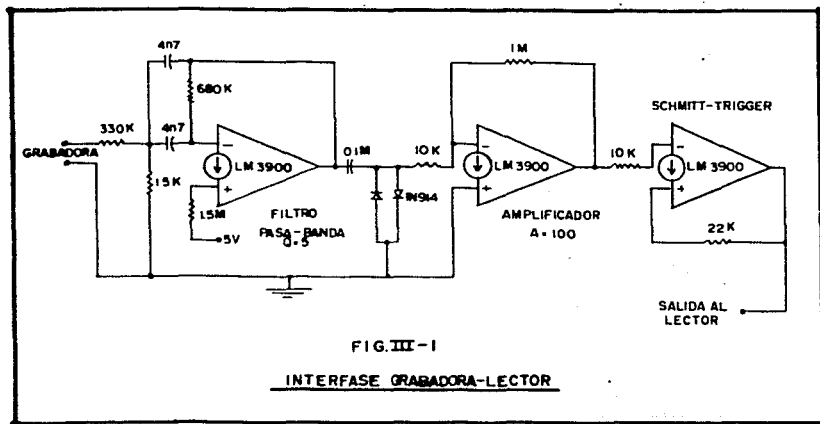
III-1 RECUPERACION DE DATOS.

En el capítulo anterior vimos como la información transferida del escritor de programas a la grabadora estaba codificada en forma de trenes de pulsos como los que se aprecian en la fotografía N^o 5. Sin embargo, debido a que se utilizará una grabadora convencional de audio y éstas tienen una banda de respuesta muy limitada, las frecuencias armónicas de los pulsos serán eliminadas y los trenes tendrán ahora forma senoidal; además la polarización alterna de la cabeza magnética introducirá una componente exponencial al tender los pulsos a centrarse en el nivel medio. A todo esto debemos sumar el ruido propio de la grabadora que suele ser considerable; como resultado tendremos durante la reproducción una señal poco definida (ver fotografía N^o 6), lo que nos obliga a desarrollar una etapa de regeneración de señal que permita llevar los datos a su forma original antes de ser decodificados.

El circuito regenerador estará constituido de tres partes; la primera será un filtro pasa banda con ganancia unitaria cuya fre -

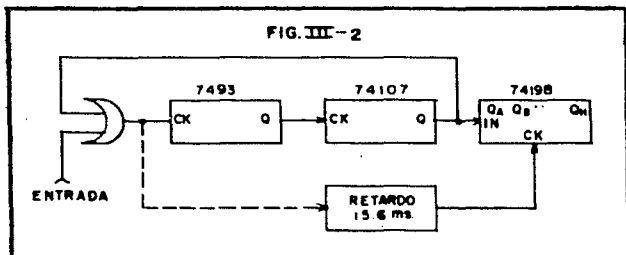
cuencia central será de 1024 Hz. y su selectividad Q será pequeña pero suficiente para eliminar la mayoría de los ruidos de la grabadora. Acoplada capacitivamente al filtro se encuentra la siguiente etapa que consiste en un amplificador-inversor con ganancia $A = 100$ y tiene el propósito de saturar la señal senoidal convirtiéndola en pulsos que son finalmente rectificadas y conformados en la tercera parte del circuito consistente en un Schmitt-Trigger sencillo.

Las tres partes del circuito pueden ser implementadas con amplificadores operacionales; nosotros hemos utilizado el amplificador cuádruple integrado tipo Norton LM 3900 que además de ser económico, tiene la ventaja de trabajar con una fuente de alimentación unipolar. En la Fig.III-1 se muestra el diagrama del circuito regenerador.



III-2 DECODIFICACION:

Como la codificación de los datos fue hecha por número de pulsos, la decodificación consistirá simplemente en contar esos pulsos para determinar cuándo los datos corresponden a ceros o unos lógicos. Para ilustrar esta operación recurriremos al diagrama simplificado de la Fig. III-2.



Supondremos que inicialmente todos los componentes se encuentran - restablecidos; al introducirse a través de la compuerta OR un tren de pulsos en la entrada de reloj del contador binario SN 7493, éste procederá a contar, y como la entrada CK del biestable SN 74107 está conectada a la salida Q_2 del contador el estado lógico de Q - se hará alto cuando hayan entrado 16 pulsos al contador (ver tabla funcional en el Apéndice II), con esta condición la entrada de pulsos quedará bloqueada por la compuerta OR.

El nivel alto de Q será identificado por el registro de corrimiento SN 74198 cuando éste recibe un pulso de sincronía; si el tren - introducido al contador es de menos de 16 pulsos, el estado del -- biestable no cambiará y el nivel identificado por el registro de - corrimiento será un cero lógico.

La frecuencia de los trenes de pulsos es de 1004 Hz., y la de - codificación de un uno lógico requiere el paso de 16 pulsos, esta-

operación se hace en $16 \times (1/1024) = 15.6 \text{ms.}$, por tanto la identificación de nivel en el registro de corrimiento no deberá efectuarse -- antes de ese tiempo. Debe introducirse pues un elemento que retrase el pulso de sincronía del registro 15.6 milisegundos con respecto -- al momento en que se empiezan a contar los pulsos.

Por otra parte, para que el sistema pueda leer una cifra completa -- (8 bits), debe restablecerse automáticamente después de cada dígito, dicho más específicamente, después de recorrerse los datos en el registro de corrimiento. En la Fig.III-3 se presenta más detallado el circuito decodificador con las modificaciones necesarias.

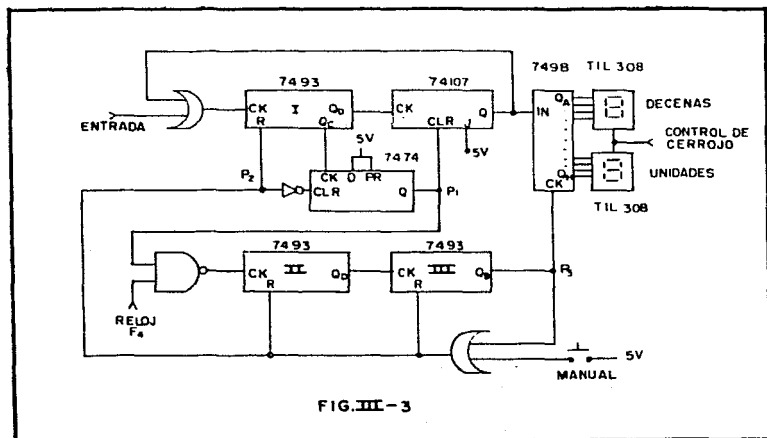


FIG. III-3

El circuito integrado SN 7474 es un flip-flop cuya sincronía se realiza con el frente positivo del pulso de reloj; por la forma en que está conectado, su salida Q se hará alta cuando la salida Q_c -- del contador I lo haga, o sea al cuarto pulso del tren introducido.

Dado que el cambio de estado de este elemento va a iniciar el proceso de decodificación, es conveniente que esto suceda después del cuarto pulso de cada dato, pues así nos aseguramos que los pulsos son parte de la información y no picos aislados (spikes) debidos al ruido por inducción o switchco.

Al hacerse alta la salida Q del 7474 se producen dos efectos: El flip-flop 74107 sale de su estado de restablecimiento y solo cambiará su salida si, como ya vimos, se introducen 16 o más pulsos al decodificador; en caso contrario la salida permanece en su estado bajo. Por otro lado la compuerta NAND dejará pasar la señal del reloj F_4 hacia los contadores II y III que proporcionarán el retardo para sincronizar el corrimiento del registro y restablecer el sistema. Hemos visto que dicho retardo deberá ser de por lo menos 15.6 msg. por lo cual, considerando que los contadores en serie dividirán la frecuencia de F_4 entre 64, ésta deberá ser de $1/(15.6 \times 64) = 1000$ Hz. La señal procederá de un astable implementado a partir del circuito integrado LM 555 como se hizo en el capítulo anterior.

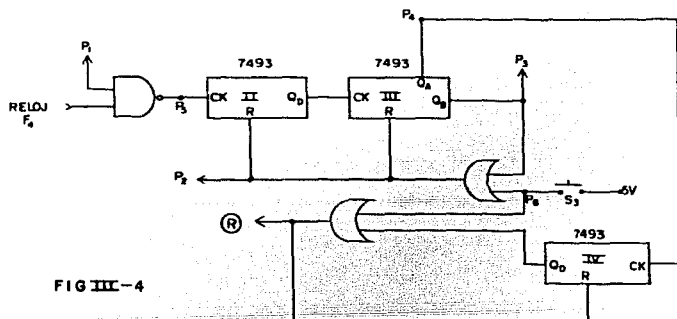
La compuerta OR conectada a la salida Q_b del contador III permite efectuar el restablecimiento de los componentes también en forma manual, además de que el pequeño retardo que introduce (por el tiempo de propagación) nos asegura que el corrimiento en el registro se haga antes del restablecimiento del sistema. La presencia de un inversor en la entrada de restablecimiento del 7474 se debe a que éste, a diferencia de los demás componentes, se borra con un estado bajo.

En el diagrama pueden verse también dos dispositivos optoelectrónicos TIL 308 que contienen integrados un display de 7 segmentos, - un decodificador BCD-7 segmentos, cerrojos (latches) y drivers. Estos dispositivos nos servirán para observar si la decodificación se llevó a cabo correctamente a la vez que de ellos obtendremos las salidas "latcheadas" para la conversión digital-analógica.

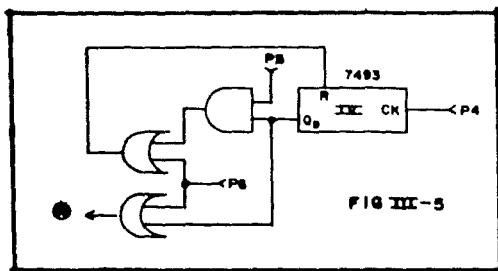
El TIL 308 posee un control de cerrojo (latch strobe) cuya función con un cero lógico es hacer que las salidas sigan a las entradas; con un nivel alto las salidas se mantienen constantes y no se afectan por la nueva información en las entradas. Este control irá conectado a la base de tiempo como se verá más adelante.

III-3 CONTROL DE REPRODUCCION.

El lector de programas, igual que el escritor, debe contar con un dispositivo que controle el funcionamiento de la grabadora. Durante el proceso de lectura la grabadora arrancará cada vez que aparezca un pulso de la base de tiempo y se apagará automáticamente cuando haya sido introducida una cifra completa al decodificador. Observando la salida Q_a del contador III encontramos que presenta un pulso cada vez que se introduce un tren de pulsos al decodificador, esto es, con cada dígito de la información. Conectando esta salida a un contador binario IV la salida Q_d de éste se hará alta cuando hayan sido decodificados los ocho dígitos de una cifra completa. En la Fig. III-4 se muestra un detalle del circuito con el nuevo elemento agregado.



Un nivel alto de 'R' será la señal que detenga la grabadora y se produce manualmente al operar el interruptor S_3 o en forma automática después de decodificarse el octavo dígito de la cifra binaria. Como se aprecia en la figura, el contador IV se restablece a sí mismo, por lo cual el período de la señal 'R' será muy pequeño ya que depende sólo de los tiempos de propagación de los componentes involucrados; esto se resuelve con la modificación que se ilustra en la figura III-5.



Hemos utilizado una compuerta AND cuyas entradas están conectadas al reloj F_4 (punto F5) y a la salida Q_d del contador IV; sabemos por la tabla funcional del 7493 que éste cambia sus estados con los frentes negativos de los pulsos de reloj, esto implica que cuando Q_d se hace alto el nivel del reloj está bajo y lo mismo sucederá con la salida de la compuerta que se hará alta hasta que el propio reloj pase a un nivel alto; debido a esta operación la señal 'R' habrá sido un pulso de período igual a 0.5ms. (más los tiempos de propagación).

De la misma forma que se hizo con el escritor de programas, emplearemos ahora una memoria tipo "cerrojo" para controlar el encendido y apagado de la grabadora. En este caso las entradas R y S estarán invertidas como puede verse en la Fig. III-6, la razón de esto

es que las señales, tanto de la base de tiempo como de 'R', son pulsos positivos.

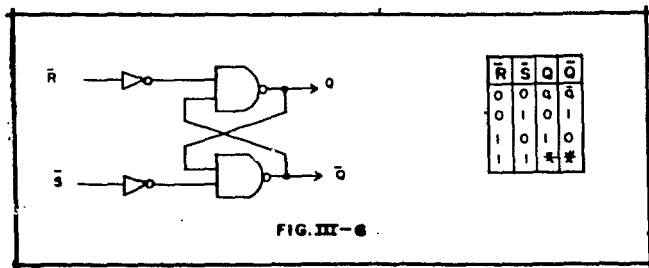


FIG.III-6

En el circuito final que se muestra en la Fig.III-7 puede verse como el control de cerrojo de los TIL 308 está conectado a la señal invertida de la base de tiempo, el efecto de esto será que los cerrojos "copien" la información en el momento de poner en funcionamiento la grabadora y la mantengan constante durante la recepción de los datos.

Por razones económicas las compuertas OR han sido sustituidas por NANDs que son funcionalmente equivalentes si recordamos (Apéndice I) que:

$$\overline{A + B} = \bar{A} \cdot \bar{B} \text{ Ley de De Morgan}$$

o sea que para hacer estas sustituciones se requiere sólo invertir el nivel de las entradas.

III-4 BASE DE TIEMPO.

En los apartados anteriores vimos que el sistema lector de programas necesita para su operación un reloj como base de tiempo -- que permita efectuar las lecturas a intervalos regulares previamente seleccionados.

El circuito de base de tiempo debe incluir además del dispositivo

que seleccione el tamaño de periodo, alguna forma de restablecimiento manual y, de ser posible, un indicador visual de su funcionamiento.

La parte esencial del circuito será un generador de pulsos cuya frecuencia sea suficientemente estable durante periodos largos. Para desarrollar dicho generador se consideró la posibilidad de emplear un oscilador a base de cristal; sin embargo, por el hecho de que éstos trabajan a frecuencias relativamente altas y considerando que el periodo mínimo de la base será de un segundo, necesitaríamos varias etapas de división de frecuencia para obtener una señal útil. Otra posibilidad considerada fue la de usar la frecuencia de la línea de alimentación, para lo cual se hicieron mediciones durante periodos prolongados. Habiendo encontrado que las variaciones podían ser de hasta un 10% con respecto a la nominal, nos vimos obligados a desechar este sistema.

Finalmente se recurrió al ubicuo circuito integrado LM 555 que - además de su costo reducido proporciona suficiente estabilidad aún en frecuencias bajas cuando se conecta como astable. Existe otro - circuito integrado - el XR 2242 manufacturado por Exar- que consiste básicamente en un timer como el 555 y un contador de 8 bits conectados en serie, con lo que pueden obtenerse periodos de 128 veces - la constante de tiempo; aunque este componente serviría perfectamente para nuestra aplicación, tiene la desventaja de no ser ni económico ni fácil de conseguir por lo que no se empleó en este proyecto.

Al generador de pulsos le conectaremos dos contadores por década SN 7490 en serie para aumentar el periodo hasta 100 veces, o sea que si la frecuencia del astable es de 1 Hz. tendremos posibilidad de seleccionar periodos de hasta 99 segundos. Para facilitar la selección de periodos conectaremos a las salidas de los contadores dos decodificadores BCD a decimal (SN 7442) como se muestra en la Fig.III-8.

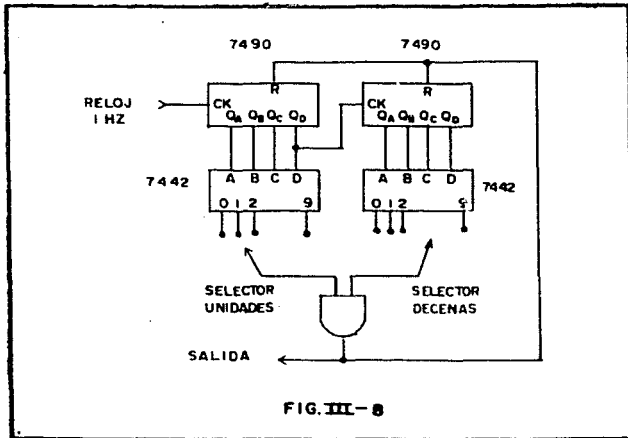


FIG. III-8

Mediante la compuerta AND cuyas entradas están conectadas a dos llaves selectoras, se determinan las unidades y las decenas del retardo deseado en segundos. La salida de la compuerta está conectada a su vez a las entradas de restablecimiento de los contadores - para lograr un funcionamiento cíclico. La acción de conteo puede - interrumpirse en cualquier momento introduciendo un nivel alto en la conexión de restablecimiento o simplemente abriendo dicha conexión.

En cada ciclo el nivel alto a la salida de la compuerta AND es - en realidad un impulso de periodo muy pequeño que puede ser menor - del necesario para disparar un flip-flop; por esta razón se incluye un multivibrador monoestable integrado SN 74121 de tal manera - que éste presente en su salida Q un pulso de duración $T_w = RCLn2$ al ser disparado con el frente positivo de la señal en la compuerta.

Como el 74121 cuenta con dos salidas: Q y \bar{Q} utilizaremos esta última para activar un diodo emisor de luz (LED) que permitirá observar el funcionamiento de la base de tiempo.

El circuito completo puede verse en la Fig.III-9, nótese que en lugar de la compuerta AND se tiene una NOR debido a que las salidas - del 7442 aparecen negadas.

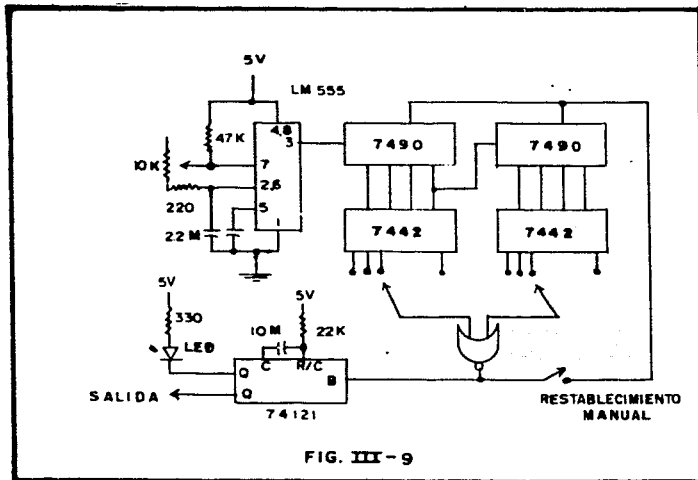


FIG. III-9

III-5 CONVERSION DIGITAL-ANALÓGICA.

Una vez decodificada la información correspondiente a una cifra-tendremos en el registro de corrimiento del decodificador ocho dígitos binarios codificados en BCD; este valor digital ha de convertirse en uno analógico por medio del convertidor que desarrollaremos en esta sección; ya que como hemos mencionado anteriormente, el

programador tiene como salida un nivel de voltaje analógico que representa en cada momento la magnitud de la variable controlada.

La implementación del convertidor se realizó a partir de un circuito de aplicación del MC 1408L-8 proporcionado por Motorola; este circuito se adapta perfectamente a nuestras necesidades con un mínimo de modificaciones (ver características en el Apéndice II). No obstante hemos decidido incluir aquí algunos conceptos sobre convertidores que ayudarán a comprender su funcionamiento.

Un convertidor digital-analógico (DAC), como su nombre sugiere, es un circuito que convierte una señal digital en una cantidad eléctrica analógica relacionada directamente con el número codificado en forma digital.

Dado que la cantidad de entrada es un número, la base de todas las técnicas de conversión consiste en hacer de ese número uno correspondiente de unidades de corriente, tensión o carga; para después sumar esas cantidades mediante un circuito sumador analógico.

La forma más simple de DAC puede verse en la Fig. III-10, en donde las resistencias de precisión en serie con un voltaje de referencia V_R constituyen fuentes de corriente cuyo "peso" relativo a la corriente total corresponde a la significancia de cada bit de entrada.

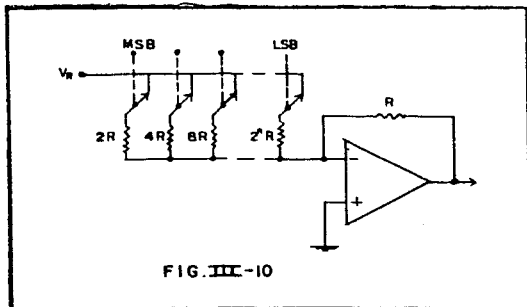
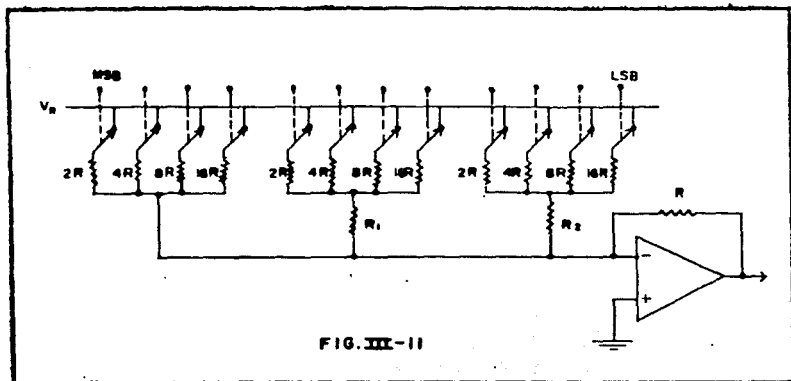


FIG. III-10

El control de las fuentes de corriente se logra mediante interruptores analógicos que se cierran con los niveles altos de los bits correspondientes. Las corrientes generadas se suman con un amplificador operacional en configuración de seguidor de corriente.

Este circuito tiene la desventaja de requerir un gran rango de valores de resistencia lo que limita seriamente su utilidad. Para evitar este inconveniente puede utilizarse un circuito como el de la Fig. III-11, en donde cada grupo de cuatro generadores de corriente es igual al que corresponde a los cuatro bits más significativos, pero incluyen además una resistencia atenuadora en serie que se determina a partir de la siguiente consideración:



La resistencia equivalente del grupo más significativo es;

$$R_{eq} = 1/(1/2+1/4+1/8+1/16) = 16/15R$$

Con código binario el segundo y tercer grupos menos significativos deberán generar una corriente 16 y 256 veces menor respectivamente

por lo tanto;

$$R_1 = 16 \times 16 / 15R - R_{eq} = 16R$$

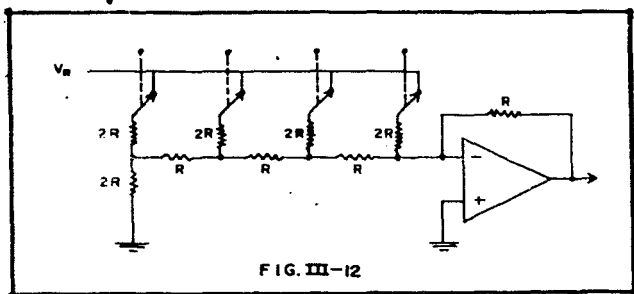
$$R_2 = 256 \times 16 / 15R - R_{eq} = 272R$$

Si el código es BCD el segundo grupo generará una corriente diez veces menor, en tanto que la del tercer grupo será cien veces menor. Entónces;

$$R_1 = 10 \times 16 / 15R - R_{eq} = 9.6R$$

$$R_2 = 100 \times 16 / 15R - R_{eq} = 105.6R$$

Otra técnica para reducir aún más el rango de valores de resistencia consiste en utilizar un circuito llamado red de escala (ladder) como el que se muestra en la figura III-12. Este circuito es actualmente el más popular ya que, debido a que sólo incluye dos valores de resistencia, se facilita grandemente la integración de los convertidores.



El convertidor integrado que hemos empleado es del tipo multiplicador, o sea, que el voltaje de salida es igual al producto del voltaje de referencia V_R y la cifra digital introducida. Aunque existen convertidores integrados para entradas codificadas en BCD, éstos resultan ser más difíciles de conseguir, razón por la

cual nosotros preferimos emplear dos convertidores binarios de bajo costo haciendo un escalamiento de 10 a 1 por medio de un divisor de corriente, obteniendo de esta forma el peso adecuado para cada dígito.

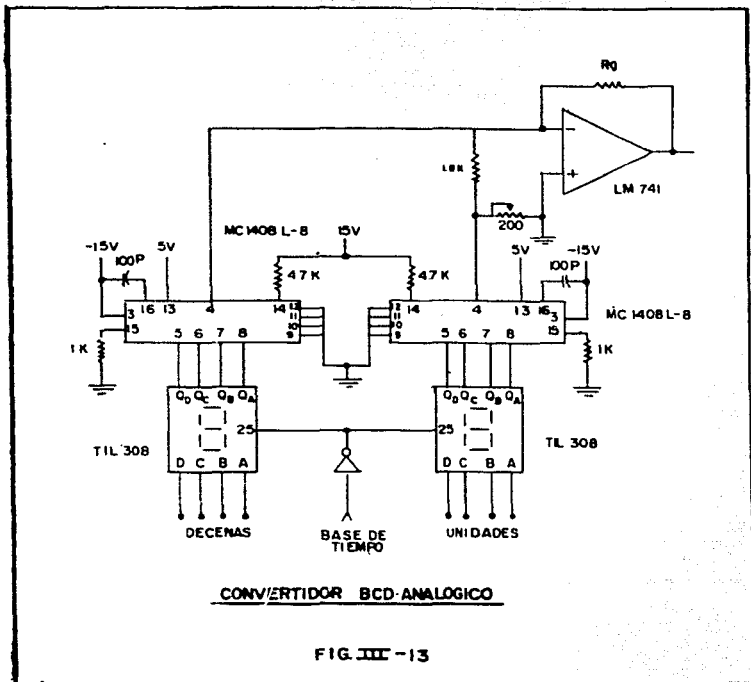
Una resistencia ajustable de 200 ohms (ver Fig.III-13) permite lograr el escalamiento con suficiente exactitud. La ganancia del amplificador operacional LM 741 la determina la resistencia R_g que se ajusta para proporcionar una tensión de 9.9 volts cuando se introduce la cifra binaria 1001 1001 (99 en decimal) en el registro de entrada.

Dado que la información digital procede de un registro de corriente, necesitamos un sistema de cerrojo que presente dicha información sólo cuando haya sido leída una cifra completa. Esto se logra como ya vimos, utilizando el componente optoelectrónico TIL 308 de Texas Instruments que contiene un cerrojo de cuatro bits además del decodificador y el display de siete segmentos; la señal necesaria para activar el cerrojo, que es un pulso negativo según las especificaciones publicadas, se obtendrá al invertir la señal de la base de tiempo.

III-6 FUENTES DE ALIMENTACION.

El diseño de fuentes de alimentación puede llegar a ser un proceso bastante laborioso y complicado si se desarrolla en forma rigurosa. Sin embargo, pueden hacerse simplificaciones basadas en la experiencia ingenieril que, aunque repercuten en una disminución de eficiencia, no afectan mayormente en la calidad de la fuente. Como nosotros hemos empleado reguladores integrados, el proceso de diseño se reduce a la aplicación de unas cuantas fórmulas para las que haremos las siguientes definiciones:

V_{sal} = Voltaje de salida



V_{reg} = Voltaje necesario para la operación del regulador - Típicamente 2 a 3 volts.

V_{rec} = Caída de tensión en los diodos rectificadores (1.25 V)

V_{rzo} = Valor pico del voltaje de rizo (10% del voltaje de salida)

V_{nom} = Tensión nominal de línea (115 V)

V_{min} = Tensión mínima de línea (95 V)

E = Eficiencia del transformador (92% típica)

El voltaje RMS necesario en el secundario del transformador se determina aplicando la siguiente relación:

$$V_{ac} = \frac{V_{sal} + V_{reg} + V_{rec} + V_{rzo}}{E} \times \frac{V_{nom}}{V_{min}} \times \frac{1}{\sqrt{2}} \quad (1)$$

Esta fórmula es útil cuando la rectificación es de onda completa - con tap central; en caso de usarse puente rectificador la caída en los diodos se multiplica por dos, o sea $V_{rec} = 2.5$ V.

La corriente RMS en el secundario del transformador se calcula tomando en cuenta las siguientes consideraciones; (válidas solamente para filtro capacitivo)

<u>Tipo de rectificación</u>	<u>Corriente RMS requerida</u>
Onda completa/ tap central	1.2 x corriente de carga
Onda completa/ puente	1.8 x corriente de carga

(2)

Selección del capacitor de filtro.- Para requerimientos de corriente menores a un amperé puede utilizarse la fórmula número tres, que sirve para encontrar el valor mínimo del capacitor;

$$C = \frac{I_1 \times 6 \times 10^{-3}}{V_{pp}} \quad (3)$$

donde: I_1 = corriente de carga

V_{pp} = voltaje pico a pico de rizo

Los voltajes requeridos en nuestro proyecto son:

Escritor de programas;	5V a 600ma	regulados
	12V a 50ma	no regulados
Lector de programas;	5V a 700ma	regulados
	12V a 50ma	no regulados
	15V a 40ma	regulados
	-15V a 40ma	regulados

Los valores de corriente indicados corresponden a aproximadamente un 30% más de la corriente necesaria medida experimentalmente.

Como puede verse el lector y el escritor necesitan fuentes semejantes para los voltajes de 5 y 12V, por tanto el diseño será el mismo en ambos casos.

Transformador.- De la fórmula (1) obtenemos;

$$V_{ac} = \frac{5+3+1.25+0.5}{0.92} \times \frac{115}{95} \times \frac{1}{\sqrt{2}} = 9V \text{ mínimo}$$

Podemos usar el mismo transformador para obtener el voltaje no regulado de 12V, para esto la tensión RMS en el secundario debería ser de $12 / \sqrt{2} = 8.48V$; los 12V están destinados a la alimentación --

del relevador que admite bastante tolerancia, así que nos quedaremos con la tensión del secundario obtenida anteriormente y el voltaje del relevador quedará de $9 \times \sqrt{2} = 12.6$ volts.

La corriente total de carga es de 750ma, que aplicando (2) nos resulta una capacidad del transformador de 0.9 amperes; tomando valores comerciales la especificación completa del transformador será entonces: 18 VCT a 1 ampere

Capacitor de filtro.- Con la ecuación (3) y los valores $I_1 = 750\text{ma.}$ y $V_{pp} = 3V$ se obtiene;

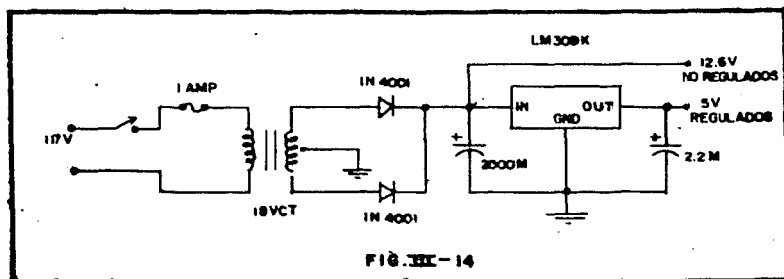
$$C = \frac{0.75 \times 6 \times 10^{-3}}{3} = 1500 \text{ uF mínimo}$$

Se usaron capacitores de 2000 uF con lo cual el voltaje de rizo se reduce a 2.25V

Rectificadores.- Cada diodo soportará la mitad de la corriente de entrada que será la suma de la corriente de carga y la que se entrega al capacitor. En la práctica la capacidad de cada diodo deberá ser por lo menos igual a la corriente de carga. La tensión inversa en los diodos es dos veces el voltaje de directa; de las anteriores consideraciones tendremos para cada diodo: $I_D = 0.75 \text{ Amp.}$ y FIV = 18V. Estas características son satisfechas con rectificadores de uso general como el BY 127 o el 1N4001, ambos de bajo costo.

Regulador.- Como la cantidad de corriente regulada que se requiere es de 0.7 amp., se puede emplear el regulador integrado LM 309 de National que entrega hasta 1 ampere con un disipador de calor apropiado. El diagrama de la fuente con los valores encontrados se muestra en la Fig.III-14.

El convertidor digital-analógico del módulo de lectura necesita pa



ra su funcionamiento una fuente dual de +/- 15V con capacidad de - 80ma. En este caso usaremos un regulador integrado dual manufacturado por Motorola -el MC 1463- cuyas características aparecen en - el Apéndice II.

La selección del transformador, capacitor y rectificadores se hace de la misma forma que se hizo con la otra fuente, con la salvedad de que esta vez la rectificación se hará con un puente para evitar valores altos de voltaje del secundario.

Transformador.- De (1)

$$V_{ac} = \frac{15+3+1.25+0.75}{0.92} \times \frac{115}{95} \times \frac{1}{\sqrt{2}} = 18.6V$$

y de (2) $I_{ac} = 1.8 \times 80 = 144ma.$

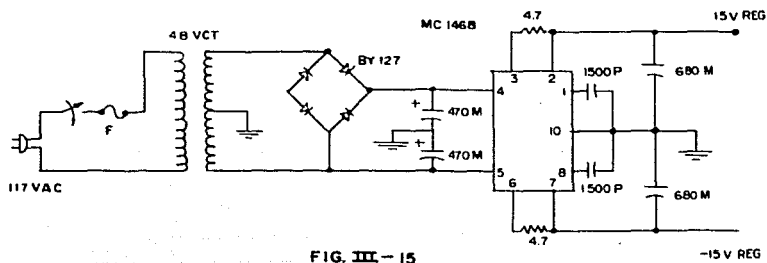
con valores comerciales la especificación sería: 48 VCT a 200ma.

Capacitores.- De (3)

$$C = \frac{0.04 \times 6 \times 10^{-3}}{3} = 80 \mu F \text{ mínimo}$$

usando capacitores de 470 uF el rizado será de 0.5 V_{p-p}

El circuito final se muestra en la figura III-15 donde se pueden apreciar también los capacitores y resistencias que el fabricante recomienda para una apropiada estabilización y limitación de corriente.



CAPITULO IV

CONSTRUCCION Y PRUEBAS

Durante la experimentación de un nuevo circuito suelen aparecer problemas que no habían sido considerados en la fase de diseño; -- nuestro proyecto no resultó ser la excepción y de hecho fueron muchos los cambios que se hicieron en esta etapa.

Sólo por citar algunos; el circuito de control de grabación descrito en la sección II-4 se introdujo cuando notamos que los datos -- grabados en el periodo de arranque de la grabadora presentaban errores durante la reproducción, esto se debe a que la frecuencia -- de la señal varía con la velocidad de la cinta.

Otra modificación que se hizo --esta vez en el lector-- fue la de incluir una etapa de regeneración de señal (ver sección III-1) que -- además de eliminar el ruido en la información, permitiera acoplar la salida de la grabadora a los circuitos digitales del decodifica dor.

Como estos circuitos se desarrollaron después de haberse implementado la parte lógica de ambos módulos (escritor y lector de programas) fue necesario construirlos en circuitos impresos anexos al principal según puede observarse en las fotografías 7 a 10.

Además de los mencionados también se encuentran como anexos los -- circuitos de las fuentes de poder, los generadores de frecuencias-- de reloj, la base de tiempo y el convertidor digital--analógico. En las próximas construcciones que se hagan, todos estos circuitos anexos deberán, de ser posible, estar integrados en un solo circuito impreso para evitar la gran cantidad de cables de interconec -- ción que se aprecian en las fotografías.

Ya en la etapa de pruebas se encontró que la forma de introdu -- cir cifras al registro del escritor deberá sustituirse en lo futuro por cualquiera de las alternativas sugeridas en la sección II-1.

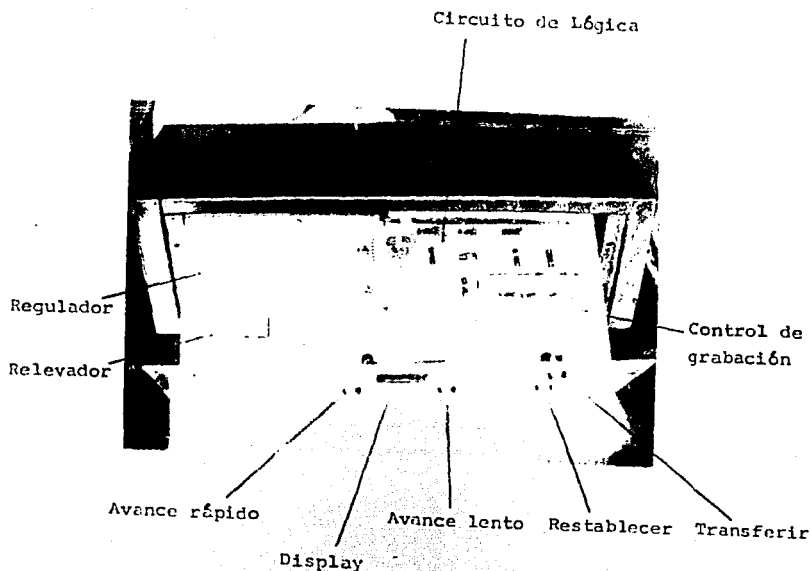
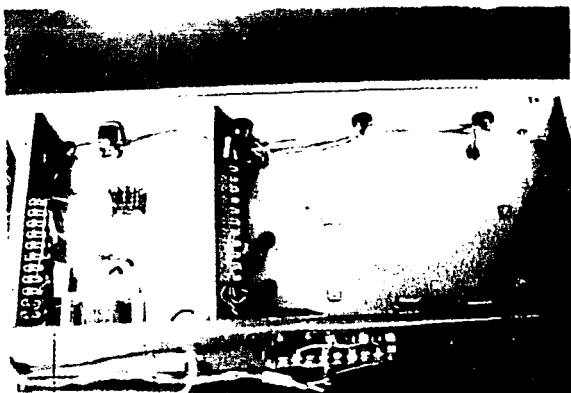


FOTO 7

Escritor de programas.- Vista superior

Generador de frecuencias de reloj



Fuente de poder

FOTO 3

Escritor de programas.- Vista inferior

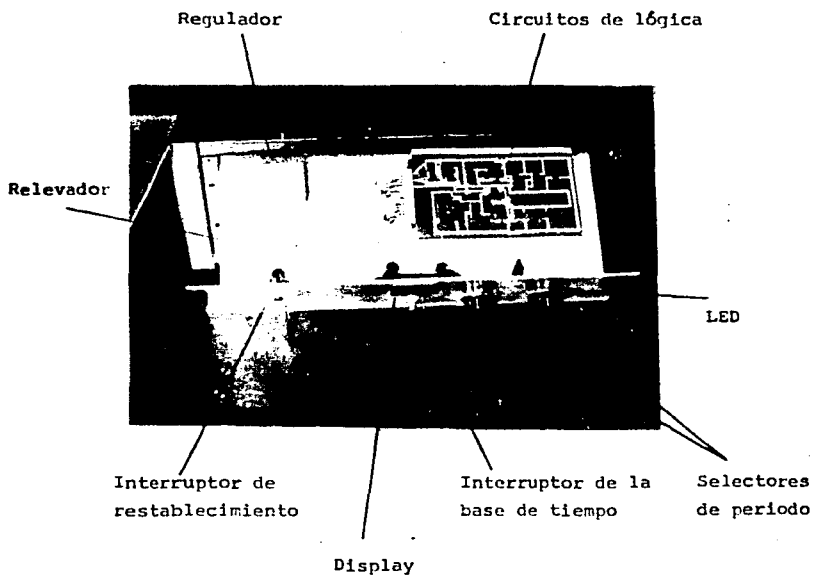


FOTO 9

Lector de programas.- Vista superior

Convertidor digital-
analógico

Base de tiempo



Fuente de poder

Interfase a grabadora

FOTO 10

Lector de programas.- Vista inferior

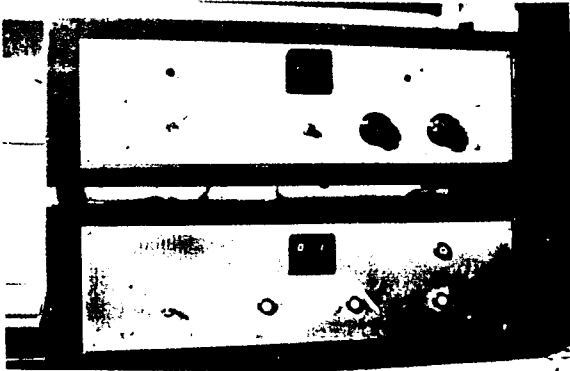


FOTO 11

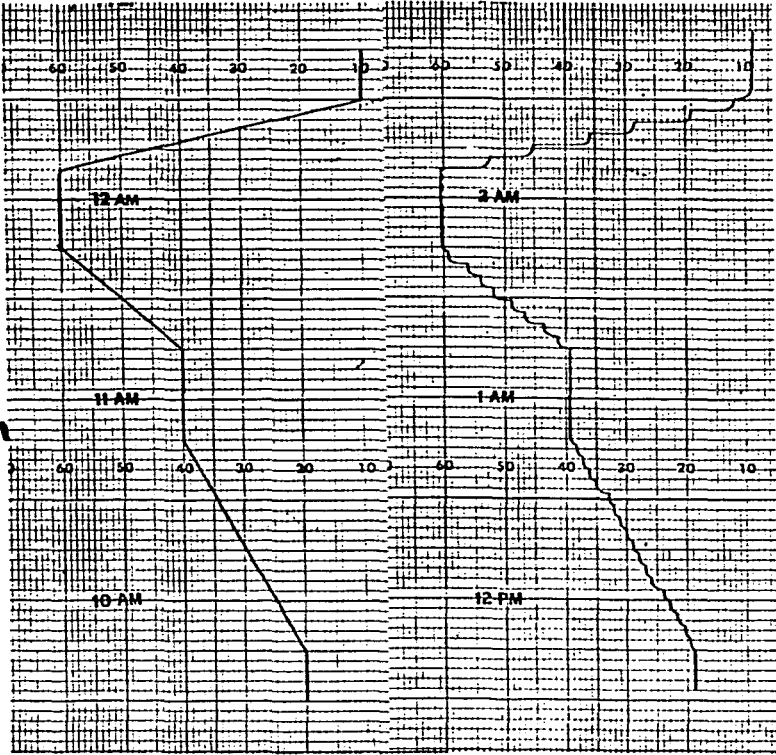
Vista frontal de las dos unidades

En la forma actual la introducción de cifras no presenta problemas cuando éstas corresponden a valores crecientes en el cronograma, - sin embargo, para valores decrecientes hay que hacer avanzar el -- contador casi un ciclo completo -cien números- lo que representa - pérdida de tiempo.

Una vez hechos los ajustes de frecuencia de los relojes y la salida de tiempo del lector, se procedió a calibrar el voltaje de salida de esta unidad; mediante la resistencia R_g del convertidor digital-analógico se hizo que la tensión fuera de 9.9 volts al ser introducida la cifra 99 en el decodificador. Después de calibrado el convertidor, la máxima diferencia entre el voltaje obtenido y el esperado fue de 0.01 volt que representa una correlación bastante aceptable.

Para observar el funcionamiento completo del programador se trazó un cronograma arbitrario y se discretizó en 65 puntos; los valores de estos puntos se almacenaron por medio del escritor de programas en una grabadora portátil marca Panasonic modelo RG-309DS. La salida del lector -cuya base de tiempo se ajustó para un periodo de 10 segundos entre cada lectura- se conectó a un graficador -calibrado previamente a una décima de volt por división. El resultado puede verse en la figura IV-1 donde aparecen el cronograma teórico y el voltaje de salida con respecto al tiempo.

En el primer capítulo se habló de la intención de utilizar el programador en un sistema simulador de mareas; en esta sección analizaremos más detalladamente las partes que constituyen el sistema y mostraremos los resultados obtenidos con nuestro proyecto. El nivel real de agua en el modelo lo proporcionará un detector electrónico (desarrollado también por nosotros) que tiene como sensor un elemento que varía su capacitancia con la profundidad a la



Cronograma teórico.

Salida del programador

FigIV-1

que se encuentre sumergido; un multivibrador monoestable que es disparado por un reloj de frecuencia constante producirá pulsos de periodo proporcional a la capacitancia del sensor. Introduciendo los pulsos a un filtro pasa bajas se obtiene un voltaje proporcional al ancho de los pulsos y por tanto a la profundidad del sensor. Finalmente el detector cuenta con un amplificador de ganancia variable que permite hacer la calibración deseada; para utilizarlo en el sistema de simulación de mareas, nosotros ajustamos la ganancia para obtener una tensión de 1 volt por centímetro de profundidad.

Las señales del detector de nivel (o sea el nivel real) y el programador (nivel deseado) se comparan por medio del circuito de la figura IV-2 que consiste en un amplificador operacional en con-

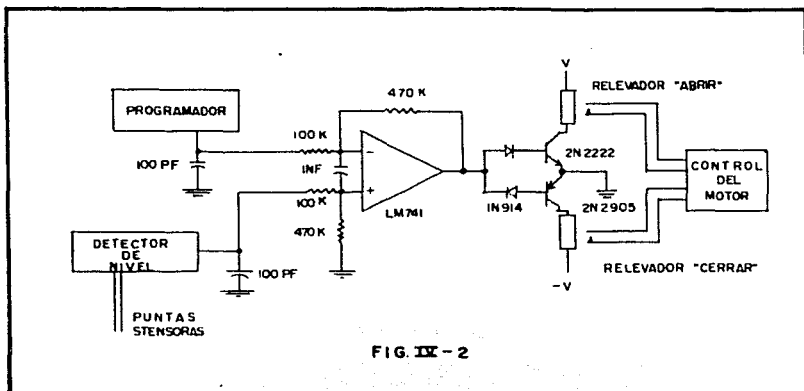
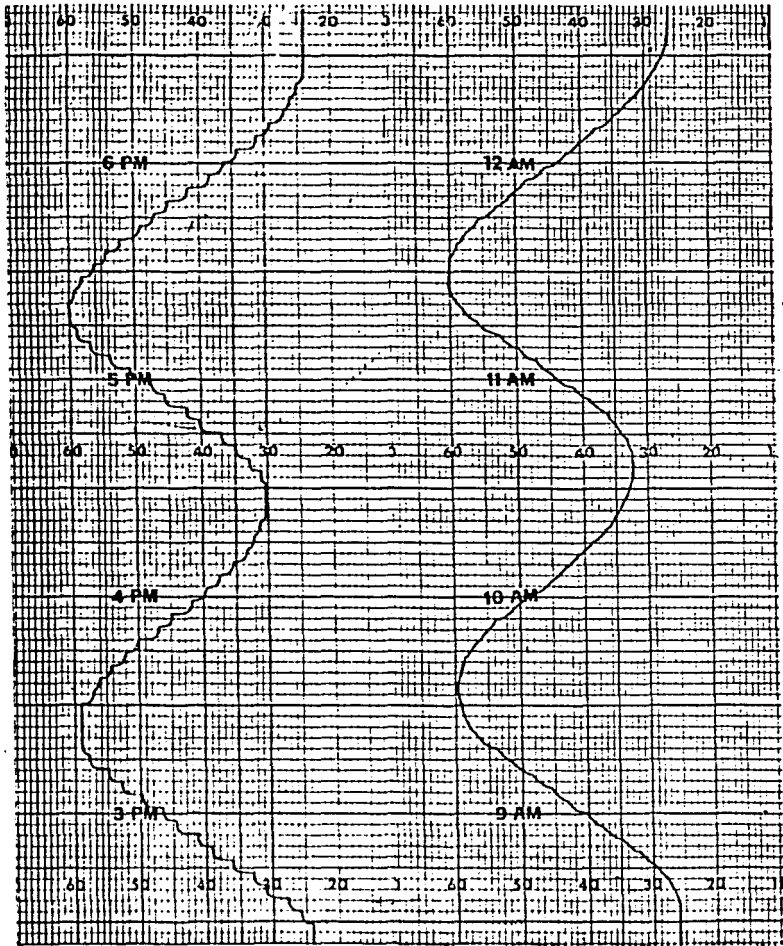


FIG. IX-2

figuración de amplificador diferencial con ganancia de 4.7; a la salida del amplificador están conectados dos transistores que pro-

veen la corriente necesaria para activar los relevadores que controlan el motor de la compuerta de desagüe. Según sea la diferencia de señales positiva o negativa la compuerta se abrirá (bajando el nivel) o se cerrará (subiéndolo).

Las gráficas de tensión contra tiempo de las señales en el programador y en el detector se muestran en la figura IV-3. El cronograma almacenado es el de una curva de mareas típico. Como puede verse en la segunda curva, la marca reproducida es muy similar a la que se deseaba y supera con mucho a las obtenidas con el sistema electromecánico.



Salida del programador.

Salida del detector

Fig. IV-3

APENDICE I

TEORIA DE CIRCUITOS LOGICOS

El propósito de esta sección es mostrar algunos conceptos teóricos empleados en el diseño de nuestro proyecto. No pretendemos, por cierto, hacer una exposición completa de la teoría de circuitos lógicos, pues difícilmente podríamos agregar algo al material ya existente sobre el tema; sin embargo es necesario mencionar algunos elementos a los que se hace referencia en el transcurso de este trabajo. De cualquier manera, en la parte final se incluye bibliografía para la persona interesada en una información más detallada sobre dicho tema.

AI-a ALGEBRA BOOLEANA.

El Algebra Booleana o Algebra Lógica es un método que permite -- describir, sintetizar y analizar funciones lógicas binarias, esto es, aquellas que se basan en la existencia de dos estados opuestos como: verdadero y falso, conectado y desconectado etc.

Su desarrollo fue realizado por el ingles George Boole a mediados de los años mil ochocientos, aunque fue Claude E. Shannon quien casi cien años después la aplico a la simplificación de circuitos lógicos o circuitos de conmutación.

AI-b FUNCIONES BASICAS.

Las funciones y operaciones básicas en el Algebra Lógica son:

- 1.- La función AND* o conjunción.
- 2.- La función OR* o alternación.
- 3.- La operación NOT* o negación.

* Hemos preferido en este trabajo no hacer la traducción de estos términos

nos ya que se usan practicamente como si fueran símbolos en toda la literatura de circuitos de conmutación.

1.- La función AND.- Esta función es verdadera si, y solo si, todas las variables lógicas involucradas son verdaderas; se representa como:

$$Y = A B \quad \text{ó} \quad Y = AB$$

En adelante identificaremos los estados verdaderos mediante unos "1", y los estados falsos con ceros "0"; de esta forma la tabla de verdad o tabla funcional de la función AND será:

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Fig. AI-1

2.- La función OR.- Esta es verdadera cuando al menos una de las variables involucradas es verdadera. Su representación y tabla funcional se muestran en la Fig. AI-2.

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

$$Y = A + B$$

Fig. AI-2

3.- La operación NOT.- Esta es una operación inversora, o sea, cambia el valor de una variable por el de su complemento. La notación que usaremos aquí será: Negación de $A = \bar{A}$

AI-c POSTULADOS Y TEOREMAS.

El Algebra Booleana tiene las siguientes propiedades:

Commutatividad;	$AB=BA$	$A+B=B+A$
Asociatividad;	$A(BC)=(AB)C$	$A+(B+C)=(A+B)+C$
Distributividad;	$A(B+C)=AB+AC$	$A+BC=(A+B)(A+C)$

Y sus postulados son:

1.- $A+1$ si $A \neq 0$	$A=0$ si $A \neq 1$
2.- $0 \cdot 0=0$	$1+1=1$
3.- $1 \cdot 1=1$	$0+0=0$
4.- $1 \cdot 0=0$	$0+1=1$
5.- $\overline{0}=1$	$\overline{1}=0$

Con las propiedades y los postulados pueden demostrarse los siguientes teoremas:

1.- $A+0=A$	$A \cdot 1=A$
2.- $A+1=1$	$A \cdot 0=0$
3.- $A+A=A$	$A \cdot A=A$
4.- $\overline{(\overline{A})}=A$	$\overline{(\overline{A})}=A$
5.- $A \cdot \overline{A}=0$	$A \cdot \overline{A}=0$
6.- $\overline{A+B+C}=\overline{A} \cdot \overline{B} \cdot \overline{C}$	$\overline{A \cdot B \cdot C}=\overline{A} + \overline{B} + \overline{C}$
7.- $A(A+B)=A+AB=A$	$A+AB=A(A+B)=A$

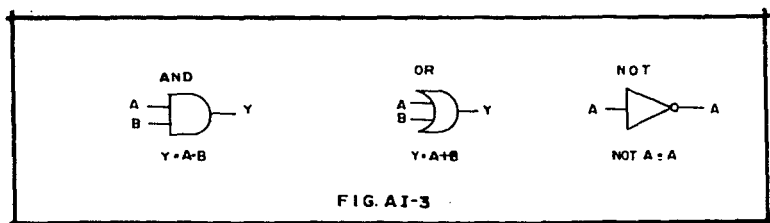
AI-d CIRCUITOS LOGICOS.

Las funciones lógicas que hemos visto se implementan en la electrónica digital mediante circuitos llamados "compuertas", donde los estados lógicos 1 y 0 están representados -en la mayoría de los sistemas lógicos modernos- por niveles de voltaje.

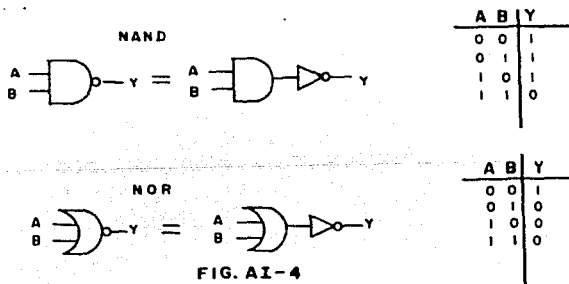
En los circuitos de lógica positiva el voltaje lógico más positivo-

(también llamado nivel alto o 'H') se define como 1 lógico, y el nivel de voltaje más negativo (o nivel bajo 'L') se define como 0 lógico. En los circuitos de lógica negativa sucede precisamente lo contrario.

Nosotros usaremos la lógica positiva por ser la más empleada en los libros de texto. La representación de las compuertas que efectúan las funciones básicas se muestra en la Fig. AI-3.



Por las razones que veremos más adelante, las compuertas más usadas no son las que corresponden a las funciones básicas, sino combinaciones de ellas como son la NAND (AND negada) y la NOR (OR-negada) cuyas representaciones y tablas funcionales aparecen en la Fig. AI-4.



AI-e FAMILIAS LOGICAS.

Actualmente las compuertas se construyen en forma de circuitos - integrados existiendo para ello varias técnicas que dan nombre a -- las diferentes familias lógicas; las más conocidas de éstas son:

DCTL.- Lógica de transistor acoplado directamente

RTL.- Lógica de resistor y transistor

RCTL.- Lógica de resistor-capacitor y transistor

DTL.- Lógica de diodo y transistor

TTL.- Lógica de transistor-transistor

STTL.- Lógica de transistor-transistor Schottky (TTL no saturada)

ECL.- Lógica de acoplamiento por emisor

CMOS.- Lógica de óxido de metal complementario

No entraremos en detalle a la descripción de cada familia, limi - tándonos sólo a exponer en la tabla AI-1 sus características prin - cipales para fines de comparación.

Los términos "Fan in" y "Fan out" que aparecen en la tabla designan la capacidad de corriente de los circuitos lógicos; ésta usualmente se expresa en forma normalizada, es decir, con el número de circui - tos de la misma familia que pueden conectarse a la entrada y a la - salida respectivamente del elemento en cuestión.

AI-f FAMILIA TTL.

En la tabla comparativa de familias lógicas es fácil observar -- que, para la mayoría de las aplicaciones, la familia TTL es la que - tiene mejor relación de comportamiento a costo, razón por la cual - es positivamente la más popular y todo indica que seguirá siéndolo - por algún tiempo, al menos, en el campo de la integración a peque - ña y mediana escala (SSI y MSI).

Por lo anterior, y por el hecho de que en nuestro país esta familia es la de más fácil adquisición, queda plenamente justificado su uso en los circuitos digitales de nuestro proyecto.

CARACTERISTICA	DTL	RTL	TTL	STTL	ECL	CMOS
Función de la compuerta básica.	NAND	NOR	NAND	NAND	OR/ NOR	NAND/ NOR
Fan-in máximo.	10	5	8	8	5	8
Fan-out típico.	8-10	4	8-10	8-10	20-25	ilimitado
Disipación típica de potencia.	10mW	12mW	1-25mW	2-20mW	alta	1mW a 1MHz
Retardo típico en nanosegundos	30	20	6-33	3-10	1-2	25-35
Comportamiento al ruido.	bueno	aceptable	medio	medio	aceptable	muy bueno
Costo.	bajo	bajo	bajo	medio	alto	medio
Posibilidad de funciones complejas.	aceptable	aceptable	excelente	medio	aceptable	medio, cediendo

1
9
1

TABLA AI-1

Ciertamente trabajar con estos dispositivos simplifica a tal grado el diseño de circuitos digitales, que en la actualidad el ingeniero se limita a conocer las características publicadas de cada circuito y considerarlo como una "caja negra" con función específica, sin importarle su construcción interna.

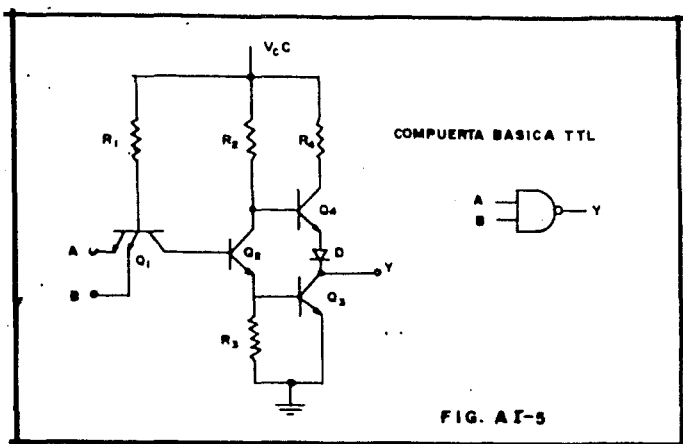
Gracias a la gran variedad de circuitos integrados (C.I.) de la familia TTL -también conocida como la serie 54/74- se cuenta además de una gran variedad de compuertas como las que hemos mencionado, con elementos de mayor complejidad como son: memorias, registros de corrimiento, contadores, decodificadores, selectores de datos y elementos aritméticos.

En la familia TTL, dadas sus características de construcción - la compuerta básica -y por tanto la más económica- es la NAND por lo que el diseñador ha de darle preferencia sobre otras compuertas al proyectar un circuito.

El diagrama esquemático de una compuerta NAND se muestra en la figura AI-5. El transistor Q_1 , como puede apreciarse, es de emisor múltiple evitándose así combinaciones de diodos, resistencias y transistores que suelen encontrarse en otras familias; esto reduce el tamaño geométrico y repercute en menor costo y/o más funciones por C.I., además de quitar capacitancias parásitas y aumentar la velocidad de conmutación.

En la sección de salida de la compuerta; Q_3 y Q_4 constituyen lo que se conoce como configuración "Totem Pole", su propósito es presentar una baja impedancia a la salida. Este arreglo permite conectar cargas capacitivas sin afectar seriamente el tiempo de conmutación.

Con la salida en el estado lógico 1, Q_4 se comporta como emisor -seguidor proporcionando corriente a la carga; con un nivel lógico bajo, la corriente de la carga es limitada sólo por la pequeña resistencia de saturación de Q_3 .



AI-g MEMORIAS

Si en un momento determinado el valor actual de la salida en un sistema de conmutación depende sólo de los valores actuales de las entradas, se dice que el sistema es "combinacional". Tal sistema puede describirse totalmente mediante un conjunto de ecuaciones de la forma:

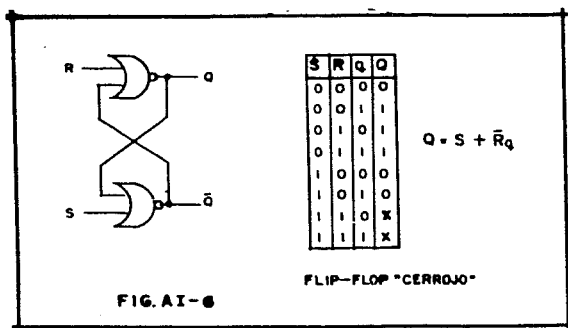
$$Z_i = F(X_1, X_2, \dots, X_n)$$

O sea que para una cierta combinación de entradas, habrá siempre una salida, o bien, no la habrá nunca.

Si por otra parte, el valor actual de las salidas es dependiente no sólo del valor presente de las entradas sino también del estado anterior del sistema, entonces se le conoce como sistema "se-

cuencial". De la definición anterior se desprende que los circuitos secuenciales requieren almacenar información sobre los estados anteriores, y para ello existen muchos elementos de almacenamiento o "memorias"; en los circuitos electrónicos los más usados son los multivibradores biestables, también conocidos como "Flip-flops".

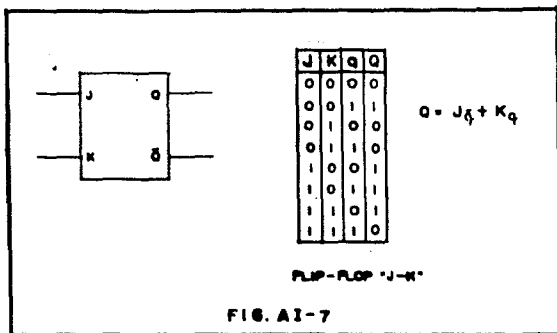
Historicamente los primeros flip-flops son los llamados "cerrojo" (latch) o R-S que pueden construirse a partir de dos compuertas NOR como se ilustra en la Fig. AI-6



El dispositivo tiene dos entradas: R (restablecer) y S (ajustar), que dependiendo del estado de la salida en el tiempo t -que llamaremos q - determinan el estado Q de la salida en el tiempo $t+1$ según la tabla funcional de la figura; esta tabla se puede expresar mediante la ecuación lógica $Q=S+\bar{R}q$.

Las cruces en los dos últimos renglones de la tabla significan que la salida es impredecible cuando ambas entradas son altas, por lo que esta condición constituye un estado "no permitido". Existen aplicaciones donde la aparición de estados no permitidos representa una desventaja, y en este caso se suele emplear un flip

flop más versátil; el J-K, en el que según se aprecia en la tabla funcional de la figura AI-7, esta desventaja desaparece.

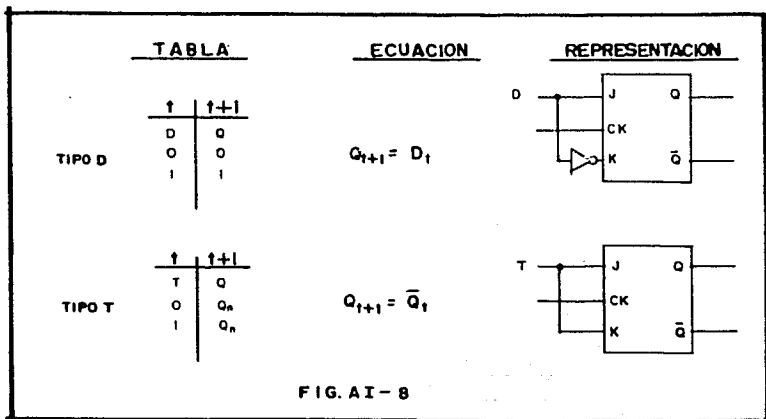


En muchos casos se requiere que las memorias operen en forma sín crona, esto es, con la presencia u ocurrencia de un pulso de reloj; por esto la mayoría de los biestables integrados cuentan con una en trada de sincronía (clock) cuya forma de disparo puede ser de tres tipos:

- Disparo por frente de onda (edge-triggered)
- Acoplamiento de AC
- Maestro-esclavo

Este último consiste básicamente de dos cerrojos conectados en serie, lográndose así que las entradas nunca estén conectadas directamente con las salidas lo que proporciona un aislamiento total.

Existen otros tipos de flip-flops como son el de "palanca" (tipo 'T' ó Toggle), y el de retardo (tipo 'D' ó Delay) cuyas tablas funcionales se presentan en la figura AI-8. En la práctica estos dispositivos suelen implementarse a partir del flip-flop J-K en la forma que se muestra en la misma figura.



AI-h CONTADORES Y REGISTROS DE CORRIMIENTO.

En la mayoría de las aplicaciones de circuitos secuenciales se requiere poder almacenar más de un dígito binario de información; en general, la capacidad de almacenamiento de un circuito secuencial se refleja por el número de flip-flops en el mismo. Existen dos configuraciones de flip-flops que son usadas con mucha frecuencia en los circuitos secuenciales, éstas son: los contadores y los registros de corrimiento.

En el sentido más llano, los contadores son sistemas de memoria que "recuerdan" cuantos pulsos de reloj han sido aplicados a la entrada; además de contar, estos dispositivos van almacenando la cuenta durante los intervalos comprendidos entre cada pulso de reloj. A cualquier conjunto de flip-flops usado para almacenar varios bits de información suele llamársele "registro"; los contadores

res pueden entonces, ser considerados como registros de conteo.

A menudo un registro debe almacenar la información proveniente de una fuente de datos en serie; para esta aplicación resulta adecuado el uso de registros de corrimiento que son básicamente un grupo de flip-flops conectados en cascada, o sea que la salida de cada flip-flop está conectada a la entrada del siguiente; los pulsos de reloj son aplicados a todos simultáneamente para que trabajen en forma síncrona.

Hemos hecho hasta aquí un resumen de los conceptos básicos de la lógica combinatoria y secuencial. Estos conceptos serán suficientes para que -con la ayuda de las tablas funcionales de la familia TTL- (Apéndice II)- pueda hacerse el desarrollo de nuestro proyecto.

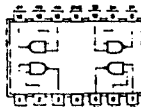
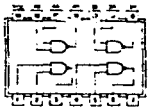
54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

QUADRUPLE 2 INPUT
POSITIVE-RAND GATES
00

position logic:
 $V = \overline{A\overline{B}}$

See page 6-2



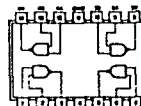
SN5400 LR SN7400 LJ, NS
SN5408 LR SN7408 LJ, NS
SN54100 LR SN74100 LJ, NS
SN54100 LJ, NS SN74100 LJ, NS
SN54100 LJ, NS SN74100 LJ, NS
SN5400 LR SN7400 LJ, NS

SN5400 TR
SN5400 TR
SN54100 TR
SN54100 TR

QUADRUPLE 2 INPUT
POSITIVE-RAND GATES
WITH OPEN-COLLECTOR OUTPUTS
01

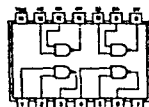
position logic:
 $V = \overline{A\overline{B}}$

See page 6-4



SN5401 LR SN7401 LJ, NS
SN5401 LJ, NS SN7401 LJ, NS

SN5401 TR
SN5401 TR

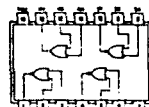


SN5401 LR SN7401 LJ, NS

QUADRUPLE 2 INPUT
POSITIVE-RAND GATES
02

position logic:
 $V = \overline{A\overline{B}}$

See page 6-4



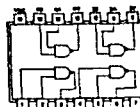
SN5402 LR SN7402 LJ, NS
SN54102 LR SN74102 LJ, NS
SN54102 LJ, NS SN74102 LJ, NS
SN5402 LJ, NS SN7402 LJ, NS

SN5402 TR
SN5402 TR

QUADRUPLE 2 INPUT
POSITIVE-RAND GATES
WITH OPEN-COLLECTOR OUTPUTS
03

position logic:
 $V = \overline{A\overline{B}}$

See page 6-4

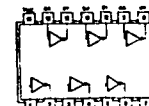


SN5403 LR SN7403 LJ, NS
SN54103 LR SN74103 LJ, NS
SN54103 LJ, NS SN74103 LJ, NS
SN5403 LJ, NS SN7403 LJ, NS

HEX INVERTERS
04

position logic:
 $V = \overline{A}$

See page 6-2



SN5404 LR SN7404 LJ, NS
SN5404 LR SN7404 LJ, NS
SN54104 LR SN74104 LJ, NS
SN54104 LJ, NS SN74104 LJ, NS
SN5404 LJ, NS SN7404 LJ, NS

SN5404 TR
SN5404 TR
SN54104 TR
SN54104 TR

6474 FAMILIES OF COMPATIBLE TTL CIRCUITS

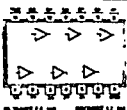
PIN ASSIGNMENTS (TOP VIEW)

HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
100K-VOL. TAPE OUTPUTS

07

positive logic
 $Y = A$

See page 6-26

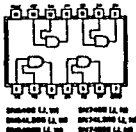


QUADRUPLE 2-INPUT
POSITIVE-AND GATES

08

positive logic
 $Y = AB$

See page 6-10

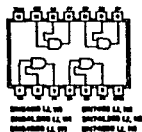


QUADRUPLE 2-INPUT
POSITIVE-AND GATES
WITH OPEN-COLLECTOR QUADRUPE

09

positive logic
 $Y = AB$

See page 6-12



TRIPLE 3-INPUT
POSITIVE-AND GATES

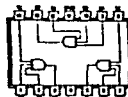
11

positive logic
 $Y = ABC$

See page 6-10



SH6411 LA, 16 SH6411 LB, 16 SH6411 LC, 16 SH6411 LD, 16 SH6411 LE, 16 SH6411 LF, 16



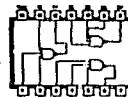
SH6411 08

TRIPLE 3-INPUT
POSITIVE-AND GATES
WITH OPEN-COLLECTOR QUADRUPE

12

positive logic
 $Y = ABC$

See page 6-4



SH6412 LA, 16 SH6412 LB, 16 SH6412 LC, 16 SH6412 LD, 16

QUAD. 6-INPUT
POSITIVE-AND
SCHMITT TRIGGER

13

positive logic
 $Y = X1X2$

See page 6-14



SH6413 LA, 16 SH6413 LB, 16 SH6413 LC, 16 SH6413 LD, 16

MC - No external component

HEX SCHMITT-TRIGGER
INVERTERS

14

positive logic
 $Y = \bar{X}$

See page 6-14



SH6414 LA, 16 SH6414 LB, 16 SH6414 LC, 16 SH6414 LD, 16

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

DUAL 2-WIDE 2-INPUT
AND-OR-INVERT GATES
(SOME GATE EXPANDABLE)

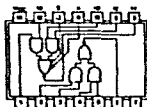
50

positive logic:

$$Y = \overline{A \cdot B} \cdot \overline{C \cdot D}$$

\overline{Y} : X = output of SN5400/7400
 \overline{Y} : X = output of SN5400B/7400B
 or SN5402/7402

See page 6-20



SN5400 LS SN7400 LS, NS
 SN5400B LS SN7400B LS, NS



SN5402 PVI
 SN5402B PVI

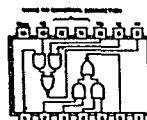
AND-OR-INVERT GATES

51

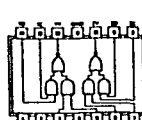
\overline{Y} : \overline{Y} , \overline{Y} , \overline{Y} , \overline{Y}
 DUAL 2-WIDE 2-INPUT
 2-WIDE 2-INPUT

positive logic:

$$Y = \overline{A \cdot B} \cdot \overline{C \cdot D}$$



SN5401 LS SN7401 LS, NS
 SN5401B LS SN7401B LS, NS



SN5403 PVI
 SN5403B PVI

\overline{Y} : \overline{Y} , \overline{Y} , \overline{Y} , \overline{Y}
 2-WIDE 2-INPUT,
 2-WIDE 2-INPUT

positive logic:
 $1Y = \overline{A \cdot B} \cdot \overline{C \cdot D} \cdot \overline{E \cdot F} \cdot \overline{G \cdot H}$
 $2Y = \overline{A \cdot B} \cdot \overline{C \cdot D} \cdot \overline{E \cdot F}$

See page 6-20



SN5405 LS SN7405 LS, NS
 SN5405B LS SN7405B LS, NS



SN5407 TT

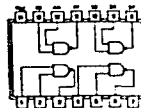
QUADRUPLE 2-INPUT
 POSITIVE-OR BUFFER

37

positive logic:

$$Y = A \cdot B$$

See page 6-20



SN5403 LS, NS SN7403 LS, NS
 SN5403B LS, NS SN7403B LS, NS
 SN5403T LS, NS SN7403T LS, NS

QUADRUPLE 2-INPUT
 POSITIVE-OR BUFFER
 WITH OPEN-COLLECTOR OUTPUTS

38

positive logic:

$$Y = A \cdot B$$

See page 6-20 and 6-20



SN5403 LS, NS SN7403 LS, NS
 SN5403B LS, NS SN7403B LS, NS
 SN5403T LS, NS SN7403T LS, NS

DUAL JK FLIP FLOPS WITH CLEAR

73

73, 7473, 7473

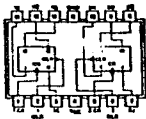
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	\bar{Q}
L	H	X	X	L	H
H	JL	L	L	Q ₀	\bar{Q}_0
H	JL	H	H	L	H
H	JL	L	H	L	H
H	JL	H	L	H	L
H	JL	H	H	TOGGLE	

7473

FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	\bar{Q}
L	H	X	X	L	H
H	JL	L	L	Q ₀	\bar{Q}_0
H	JL	H	H	L	H
H	JL	L	H	L	H
H	JL	H	L	H	L
H	JL	H	H	TOGGLE	
H	H	X	X	Q ₀	\bar{Q}_0



SN5473 L1, W1 SN7473 L2, W2
 SN5473 L1, W1 SN7473 L2, W2
 SN5473 L1, W1 SN7473 L2, W2
 SN5473 L1, W1 SN7473 L2, W2

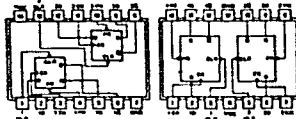
See pages 6-46, 6-50, 6-54, and 6-58

DUAL D-TYPE POSITIVE EDGE TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

74

FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	\bar{Q}
L	H	X	H	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0



SN5474 L2 SN7474 L1, W1 SN5474 W1
 SN5474 L2 SN7474 L1, W1 SN5474 W1
 SN5474 L2 SN7474 L1, W1 SN5474 W1
 SN5474 L1, W1 SN7474 L1, W1
 SN5474 L1, W1 SN7474 L1, W1

See pages 6-46, 6-50, 6-54, and 6-58

PIN ASSIGNMENTS (TOP VIEWS)

4-BIT BISTABLE LATCHES

75

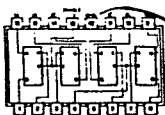
FUNCTION TABLE

(Each Latch)

INPUTS		OUTPUTS	
D	Q	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q ₀	\bar{Q}_0

H = high level, L = low level, X = indeterminate
 Q₀ = the level of Q before the high-to-low transition of D

See page 7-30



SN5475 L1, W1 SN7475 L1, W1
 SN5475 L1, W1 SN7475 L1, W1
 SN5475 L1, W1 SN7475 L1, W1

DUAL JK FLIP FLOPS WITH PRESET AND CLEAR

76

76, 7476

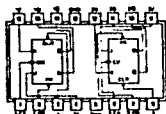
FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q
L	H	X	X	X	H
H	L	X	X	X	L
L	L	X	X	X	H*
H	H	↑	H	H	H
H	H	↑	L	L	L
H	H	L	H	H	TOGGLE

7476

FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q
L	H	X	X	X	H
H	L	X	X	X	L
L	L	X	X	X	H*
H	H	↑	H	H	H
H	H	↑	L	L	L
H	H	L	H	H	TOGGLE
H	H	L	H	H	Q ₀



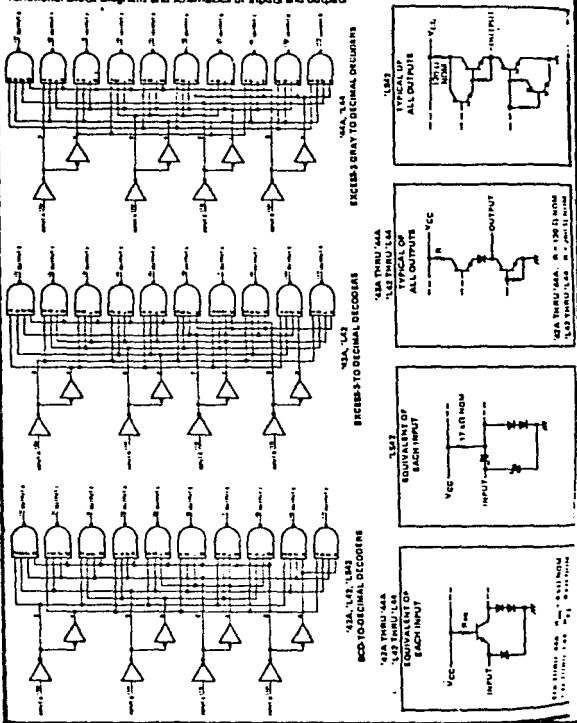
SN5476 L1, W1 SN7476 L1, W1
 SN5476 L1, W1 SN7476 L1, W1
 SN5476 L1, W1 SN7476 L1, W1

See pages 6-46, 6-50, and 6-58

**TYPES SN5442A THRU SN5444A, SN54142 THRU SN54144
SN541S42, SN7442A THRU SN7444A, SN74142 THRU SN74144, SN741S42
4-LINE-TO-10-LINE DECODERS (1-OF-10)**

REVISED OCTOBER 1976

Functional block diagrams and schematics of inputs and outputs



SN54151 SN54151A SN54152 SN54152A SN54151 SN54151S1 SN54152 SN54152A
SN74151 SN74151A SN74151S1 SN74152 SN74152A
DATA SELECTORS MULTIPLEXERS

DESIGNED BY TEXAS INSTRUMENTS INC. DALLAS, TEXAS 75201

- Selects One of 5 Input Data Sources
- Drivers Select One of Eight Data Sources
- Performs Parallel-to-Serial Conversion
- Permits Multiplexing from N Lines to One Line
- Also For Use as Boolean Function Generator
- Input/Output Diodes Simplify System Design
- Fully Compatible with Most TTL and DTL Circuits

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIME DATA INPUT TO W OUTPUT	TYPICAL POWER CONSUMPTION
'150	11 ns	300 mW
'151A	8 ns	140 mW
'152A	8 ns	120 mW
'LS151	11 ns ¹	20 mW
'LS152	11 ns ¹	20 mW
'S151	4.5 ns	120 mW

¹ Transistor data

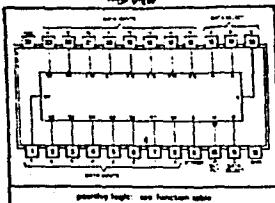
Description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select the desired data source. The '150 selects one-of-sixteen data sources; the '151A, '152A, 'LS151, 'LS152, and 'S151 select one-of-eight data sources. The '150, '151A, 'LS151, and 'S151 have a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output high, and the Y output (as applicable) low.

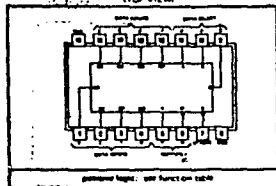
The '151A, 'LS151, and 'S151 feature complementary W and Y outputs whereas the '150, '152A, and 'LS152 have an inverted (W) output only.

The '151A and '152A incorporate address buffers which have symmetrical propagation delay times through the complementary paths. This reduces the possibility of transient occurring at the outputs due to changes made at the select inputs, even when the '151A outputs are enabled (i.e., strobe low).

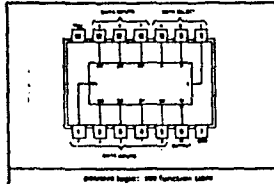
SN54150, SN74150 J OR W PACKAGE
TOP VIEW



SN54151A, SN74151A, SN54151S1, SN74151S1 J OR W PACKAGE
SN54152A, SN74152A, SN54151S1, SN74151S1 J OR W PACKAGE
TOP VIEW



SN54152A, SN74152A J OR W PACKAGE
TOP VIEW



TYPES SN5490A, '92A, '93A, SN54LS90, '193, SN54LS90, '1S92, '1S93, SN7490A, '92A, '93A, SN74LS90, '193, SN74LS90, '1S92, '1S93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

74A, '1S92, '1S93
BICOUNT[®] BICOINCE[®]
See Note A1

COUNT	OUTPUT			
	Q _A	Q _B	Q _C	Q _D
1	L	L	L	L
2	L	L	L	H
3	L	L	H	L
4	L	L	H	H
5	L	H	L	L
6	L	H	L	H
7	L	H	H	L
8	L	H	H	H
9	H	L	L	L
0	H	L	L	H

74A, '1S92, '1S93
BICOINCE[®] BICOUNT[®]
See Note B1

COUNT	OUTPUT			
	Q _A	Q _B	Q _C	Q _D
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

72A, '1S92
COUNT BICOINCE[®]
See Note C1

COUNT	OUTPUT			
	Q _A	Q _B	Q _C	Q _D
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H

72A, '1S92, '1S93
COUNT BICOINCE[®]
See Note C2

COUNT	OUTPUT			
	Q _A	Q _B	Q _C	Q _D
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	L	L	L
13	H	L	L	H
14	H	L	H	L
15	H	L	H	H

70A, '1S92, '1S93

REST COUNT FUNCTION TABLE

REST INPUTS				OUTPUT			
Rest 0	Rest 1	Rest 11	Rest 11	Q _A	Q _B	Q _C	Q _D
H	H	L	L	L	L	L	L
H	H	L	H	L	L	L	H
H	H	H	L	L	L	H	L
H	H	H	H	L	L	H	H
H	L	L	L	L	L	L	L
H	L	L	H	L	L	L	H
H	L	H	L	L	L	H	L
H	L	H	H	L	L	H	H
L	L	L	L	L	L	L	L
L	L	L	H	L	L	L	H
L	L	H	L	L	L	H	L
L	L	H	H	L	L	H	H

72A, '1S92, '1S93, '1S92, '1S93

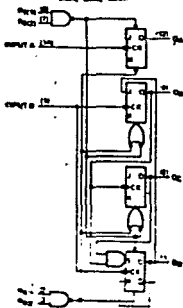
REST COUNT FUNCTION TABLE

REST INPUTS				OUTPUT			
Rest 0	Rest 1	Rest 11	Rest 11	Q _A	Q _B	Q _C	Q _D
H	H	L	L	L	L	L	L
H	H	L	H	L	L	L	H
H	H	H	L	L	L	H	L
H	H	H	H	L	L	H	H
L	L	L	L	L	L	L	L
L	L	L	H	L	L	L	H
L	L	H	L	L	L	H	L
L	L	H	H	L	L	H	H

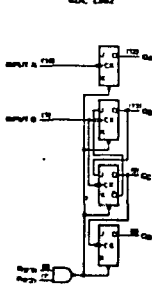
- NOTES: A. Output Q_A is connected to input B for BICOUNT.
 B. Output Q_B is connected to input A for BICOINCE.
 C. Output Q_A is connected to input B.
 D. H = High level, L = Low level, X = indeterminate

Functional block diagrams

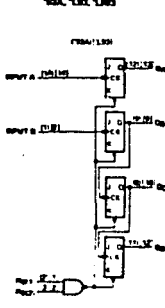
74A, '1S92, '1S93



72A, '1S92



72A, '1S92, '1S93



**TYPES SN54150 SN54151A SN54152A SN54155L SN54157 SN54175
SN74150 SN74151A SN74151 SN74155L
DATA SELECTORS MULTIPLEXERS**

Logic

74150 FUNCTION TABLE

INPUTS				OUTPUTS	
D	C	B	A	Y	Z
X	X	X	X	H	H
L	L	L	L	L	L
L	L	L	H	L	L
L	L	H	L	L	L
L	L	H	H	L	L
L	H	L	L	L	L
L	H	L	H	L	L
L	H	H	L	L	L
L	H	H	H	L	L
H	L	L	L	L	L
H	L	L	H	L	L
H	L	H	L	L	L
H	L	H	H	L	L
H	H	L	L	L	L
H	H	L	H	L	L
H	H	H	L	L	L
H	H	H	H	L	L

74151A, 151B, 151C FUNCTION TABLE

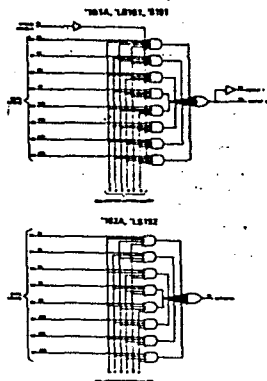
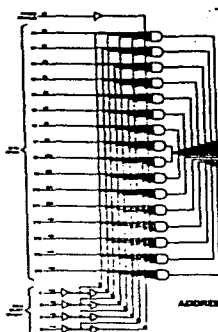
INPUTS				OUTPUTS			
C	B	A	S	Y	W	V	U
X	X	X	X	L	H	L	H
L	L	L	L	00	00	00	00
L	L	L	H	01	01	01	01
L	L	H	L	02	03	02	03
L	L	H	H	03	02	03	02
L	H	L	L	04	04	04	04
L	H	L	H	06	06	06	06
L	H	H	L	06	06	06	06
L	H	H	H	07	07	07	07
H	L	L	L	08	08	08	08
H	L	L	H	08	08	08	08
H	L	H	L	08	08	08	08
H	L	H	H	08	08	08	08
H	H	L	L	08	08	08	08
H	H	L	H	08	08	08	08
H	H	H	L	08	08	08	08
H	H	H	H	08	08	08	08

74151A, 151B, 151C FUNCTION TABLE

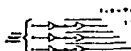
SELECT INPUTS				OUTPUT
C	B	A	S	Y
L	L	L	L	00
L	L	L	H	01
L	L	H	L	02
L	L	H	H	03
L	H	L	L	04
L	H	L	H	05
L	H	H	L	06
L	H	H	H	07
H	L	L	L	08
H	L	L	H	09
H	L	H	L	0A
H	L	H	H	0B
H	H	L	L	0C
H	H	L	H	0D
H	H	H	L	0E
H	H	H	H	0F

X = high level, L = low level, H = unknown
00, 01, ..., 0F = the complement of the hex of the respective S input
00, 01, ..., 0F = the hex of the S input

functional block diagrams



ADDRESS BUFFERS FOR 74151A, 151B, 151C ADDRESS BUFFERS FOR 74150, 74151, 74155L



TTL
MSI

TYPES SN54198, SN54199 SN74198, SN74199
8-BIT S² FT REG WITH

Description

These 8 bit shift registers are compatible with most other TTL, DTL, and MSI logic families. All inputs are buffered to lessen the drive requirements to any particular Series 54/74 load, and output clamping diodes minimize switching transients to simplify system design. Maximum input clock frequency is typically 33 megahertz and power dissipation is typically 300 mW.

Series 54 devices are characterized for operation over the full military temperature range of -55°C to 125°C. Series 74 devices are characterized for operation from 0°C to 70°C.

SN54198 and SN74198

These bidirectional registers are designed to incorporate virtually all of the features a system designer may want in a shift register. These circuits contain 87 equivalent gates and feature parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

- Parallel (Bunchable Load)
- Shift Right (in the direction Q_A toward Q_H)
- Shift Left (in the direction Q_H toward Q_A)
- Inhibit Clock (Do nothing)

Synchronous parallel loading is accomplished by applying the right bits of data and taking both mode control inputs, S0 and S1, high. The data is loaded into the associated flip-flop and appears at the output after the positive transition of the clock input. During loading, serial data flow is inhibited.

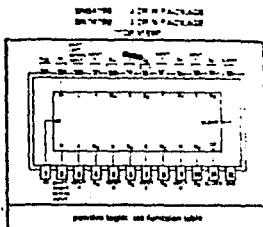
Shift right is accomplished synchronously with the rising edge of the clock pulse when S0 is high and S1 is low. Serial data for this mode is entered at the shift-right data input. When S0 is low and S1 is high, data shifts left synchronously and new data is entered at the shift-left serial input.

Clamping of the flip-flop is inhibited when both mode control inputs are low. The mode controls should be changed only while the clock input is high.

FUNCTION TABLE

CLEAR	MODE		INPUTS				OUTPUTS			
	S ₁	S ₀	CLOCK	SERIAL LEFT	SERIAL RIGHT	PARALLEL A...H	Q _A	Q _B	Q _C	Q _H
L	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{H0}
H	H	H	↑	X	X	A...H	a	b	c	h
H	L	H	↑	X	H	X	H	Q _{A0}	Q _{B0}	Q _{C0}
H	L	H	↑	X	L	X	L	Q _{A0}	Q _{B0}	Q _{C0}
H	H	L	↑	H	X	X	Q _{B0}	Q _{C0}	Q _{D0}	H
H	H	L	↑	L	X	X	Q _{B0}	Q _{C0}	Q _{D0}	L
H	L	L	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{H0}

H = high level (logic 1), L = low level (logic 0)
 X = unspecified logic level, including transition
 ↑ = transition from low to high level
 A...H = 8-bit word of serial data stored at inputs A thru H, respectively.
 Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} = the level of Q_A, Q_B, Q_C, or Q_D, respectively, before the indicated asynchronous input condition was established.
 Q_{A0}, Q_{B0}, etc. = the level of Q_A, Q_B, etc., respectively, before the next input ↑ transition of the clock.





Voltage Regulators

LM309 five-volt regulator general description

The LM309 is a complete 5V regulator fabricated on a single silicon chip. It is designed for local regulation on digital logic cards, eliminating the distribution problems associated with single-point regulation. The device is available in two common transistor packages. In the solid kovar TO-5 header, it can deliver output currents in excess of 200 mA, if adequate heat sinking is provided. With the TO-3 power package, the available output current is greater than 1A.

The regulator is essentially blow-out proof. Current limiting is included to limit the peak output current to a safe value. In addition, thermal shutdown is provided to keep the IC from overheating. If internal dissipation becomes too great, the regulator will shut down to prevent excessive heating.

Considerable effort was expended to make the LM309 easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient

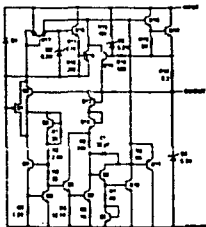
response somewhat. Input bypassing is needed, however, if the regulator is located very far from the filter capacitor of the power supply. Stability is also achieved by methods that provide very good rejection of load or line transients as are usually seen with TTL logic.

Although designed primarily as a fixed voltage regulator, the output of the LM309 can be set to voltages above 5V, as shown below. It is also possible to use the circuit as the control element in precision regulators, taking advantage of the good current handling capability and the thermal overload protection.

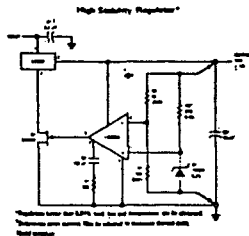
To summarize, outstanding features of the regulator are:

- Specially designed to be compatible, worst case, with TTL and DTL
- Output current in excess of 1A
- Internal thermal overload protection
- No external components required

schematic diagram



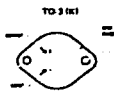
typical application



connection diagrams



Order Number: LM309P
See Package 9



Order Number: LM309K
See Package 10

absolute maximum ratings

Input Voltage	35V
Power Dissipation	Internally Limited
Operating Junction Temperature Range	0°C to 125°C
Storage Temperature Range	-85°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics (Note 1)

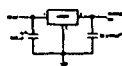
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage	$T_j = 25^\circ\text{C}$	4.8	5.05	5.2	V
Line Regulation	$T_j = 25^\circ\text{C}$ $7V \leq V_{IN} \leq 25V$		4.0	50	mV
Load Regulation	$T_j = 25^\circ\text{C}$				
LM309H	$5\text{ mA} \leq I_{OUT} \leq 0.5\text{ A}$	20	50		mV
LM309K	$5\text{ mA} \leq I_{OUT} \leq 1.5\text{ A}$	50	100		mV
Output Voltage	$7V \leq V_{IN} \leq 25V$ $5\text{ mA} \leq I_{OUT} \leq I_{max}$ $P < P_{max}$	4.75		5.25	V
Quiescent Current	$7V \leq V_{IN} \leq 25V$		5.2	10	mA
Quiescent Current Change	$7V \leq V_{IN} \leq 25V$ $5\text{ mA} \leq I_{OUT} \leq I_{max}$			0.5	mA
				0.8	mA
Output Noise Voltage	$T_A = 25^\circ\text{C}$ $10\text{ Hz} \leq f \leq 100\text{ kHz}$		40		μV
Long Term Stability				20	mV
Thermal Resistance					
Junction to Case (Note 2)			15		$^\circ\text{C/W}$
LM309H			3.0		$^\circ\text{C/W}$
LM309K					

Note 1: Unless otherwise specified, these specifications apply for $0^\circ\text{C} \leq T_j \leq 125^\circ\text{C}$, $V_{IN} = 10V$ and $I_{OUT} = 0.1A$ for the LM309H or $I_{OUT} = 0.5A$ for the LM309K. For the LM309H, $I_{max} = 0.5A$ and $P_{max} = 2.0W$. For the LM309K, $I_{max} = 1.5A$ and $P_{max} = 20W$.

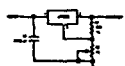
Note 2: Without a heat sink, the thermal resistance of the TO-3 package is above 150°C/W , while that of the TO-3 package is approximately 35°C/W . With a heat sink, the effective thermal resistance can only approach the values specified, depending on the efficiency of the sink.

typical applications (con't)

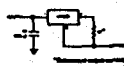
Fixed 5V Regulator



Adjustable Output Regulator

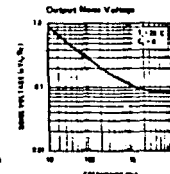
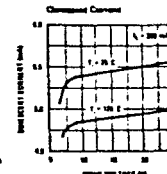
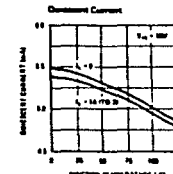
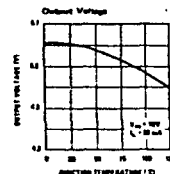
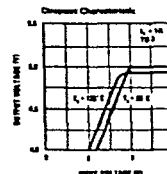
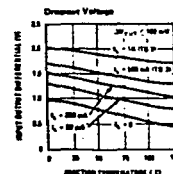
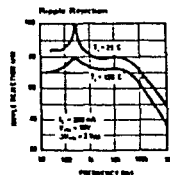
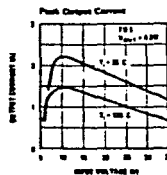
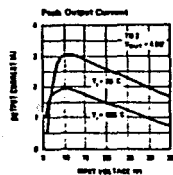
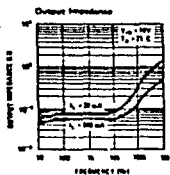
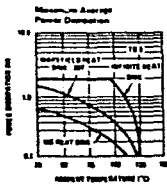
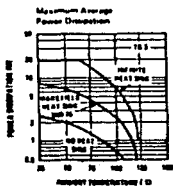


Current Regulator



*Resistor R regulates a fixed or adjustable current from zero to 100 mA.
*Through an op-amp, a current source is used to provide a low thermal resistance.

typical performance characteristics





Functional Blocks

LM555/LM655C timer general description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Monostable on and normally off output

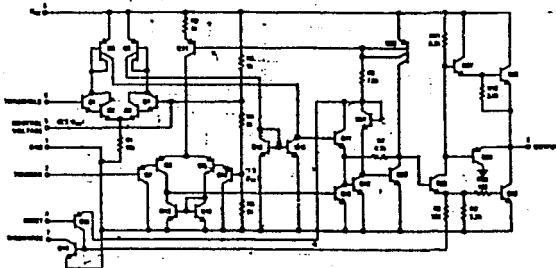
features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

applications

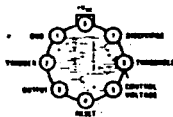
- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

schematic diagram



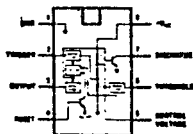
connection diagrams

Minid Can Package



TOP VIEW
Order Number LM555H or LM655CH
See Package 11

Dead-Air-Line Package



TOP VIEW
Order Number LM555CH
See Package 20

absolute maximum ratings

Supply Voltage	-15V ^{MIN}
Power Dissipation (Note 1)	600 mW
Operating Temperature Range	0°C to +70°C
LM555C	-55°C to +125°C
LM555	-65°C to +130°C
Storage Temperature Range	-65°C to +130°C
Lead Temperature (Soldering, 10 seconds)	300°C

electrical characteristics ($T_A = 25^\circ\text{C}$; $V_{CC} = +5\text{V}$ to $+15\text{V}$, unless otherwise specified)

PARAMETER	COMMENTS	LIMITS						LIMITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5	10	15	4.5	10	15	V
Supply Current	$V_{CC} = 5\text{V}$, $I_Q = 0$ $V_{CC} = 15\text{V}$, $I_Q = 0$ R _{Load} Set (Note 2)	2	2	3	3	3	3	mA
Timing Error, Monostable								%
Initial Accuracy								ppm/°C
Drift with Temperature	R _{Load} , R _T = 1k to 100k, C = 0.01 μ F, (Note 3)	0.5	0	1	0.5	0	1	%
Accuracy over Temperature		0.05	0.2	0.1	0.05	0.2	0.1	%
Drift with Supply		1.0	1.0	1.0	1.0	1.0	1.0	%
Timing Error, Astable								%
Initial Accuracy								ppm/°C
Drift with Temperature		0.5	0	1	0.5	0	1	%
Accuracy over Temperature		0.05	0.2	0.1	0.05	0.2	0.1	%
Drift with Supply		1.0	1.0	1.0	1.0	1.0	1.0	%
Threshold Voltage		0.657		0.657		0.657		+V _{CC}
Trigger Voltage	$V_{CC} = 5\text{V}$ $V_{CC} = 15\text{V}$	4.5	1.0	0.2	0	0	0	V
Trigger Current		1.0	1.0	1.0	1.0	1.0	1.0	mA
Reset Voltage		0.5	0.5	1	0.5	0.5	1	V
Reset Current		0.1	0.1	0.1	0.1	0.1	0.1	mA
Threshold Current	(Note 4)	0.1	0.1	0.25	0.1	0.25	0.25	mA
Control Voltage Load	$V_{CC} = 15\text{V}$ $V_{CC} = 5\text{V}$	0.6	10	10.5	0	10	11	V
No 7 Lockup Output High		2.0	2.25	2.0	2.0	2.25	4	V
No 7 Set Output High		1	100	1	1	100	1	mA
No 7 Set (Note 5)								mA
Output Low	$V_{CC} = 15\text{V}$, $I_Q = 10\text{ mA}$ $V_{CC} = 4.5\text{V}$, $I_Q = 4.5\text{ mA}$	100	100	100	100	100	100	mV
Output Voltage Drop Load	$V_{CC} = 15\text{V}$ $I_{Load} = 10\text{ mA}$ $I_{Load} = 50\text{ mA}$ $I_{Load} = 100\text{ mA}$ $I_{Load} = 200\text{ mA}$ $V_{CC} = 5\text{V}$ $I_{Load} = 10\text{ mA}$ $I_{Load} = 5\text{ mA}$	0.1	0.1	0.15	0.1	0.25	0.25	V
		0.4	0.4	0.4	0.4	0.75	0.75	V
		0.7	0.7	0.7	0.7	1.0	1.0	V
		1.0	1.0	1.0	1.0	1.5	1.5	V
		0.1	0.1	0.25	0.1	0.25	0.25	V
Output Voltage Drop (High)	$I_{Load} = 100\text{ mA}$, $V_{CC} = 15\text{V}$ $I_{Load} = 100\text{ mA}$, $V_{CC} = 15\text{V}$ $V_{CC} = 5\text{V}$	13	12.5	12.5	12.75	13.3	13.3	V
		2	2.2	2.2	2.75	3.3	3.3	V
Rise Time of Output		100	100	100	100	100	100	ns
Fall Time of Output		100	100	100	100	100	100	ns

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +45°C/W junction to case for TO-8 and +185°C/W junction to ambient for lead packages.

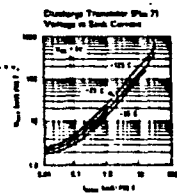
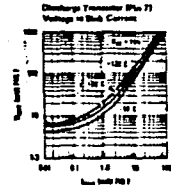
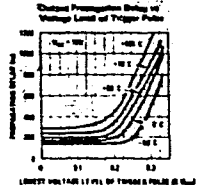
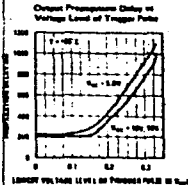
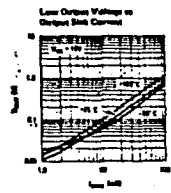
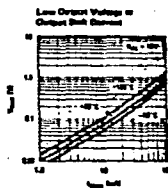
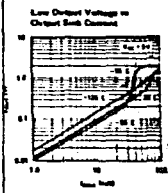
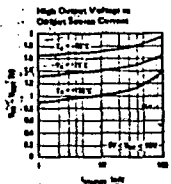
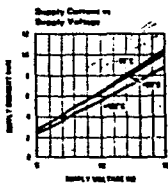
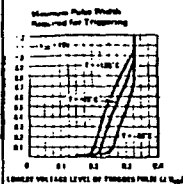
Note 2: Sustain current when output high typically 1 mA load at $V_{CC} = 5\text{V}$.

Note 3: Tested at $V_{CC} = 5\text{V}$ and $V_{CC} = 15\text{V}$.

Note 4: This cell determines the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20 M Ω .

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Typical performance characteristics



applications information

MONOSTABLE OPERATION

In this mode of operation, the timer functions as a one-shot (Figure 7). The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than $1/3 V_{CC}$ to pin 2, the flip-flop is set which both releases the start circuit across the capacitor and drives the output high.

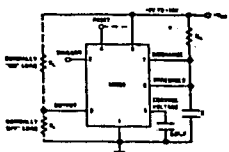


FIGURE 3. Monostable

The voltage across the capacitor then increases exponentially for a period of $t = 1.1 R_A C$, at the end of which time the voltage reaches $2/3 V_{CC}$. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. Figure 2 shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the capacitor are both directly proportional to supply voltage, the timing interval is independent of supply.

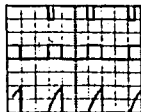


FIGURE 2. Monostable Waveforms
 R_A = 10K
 C = 0.01μF
 V_{CC} = 5V
 V_{TR} = -1.5V

FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of $R_A C$ values for various time delays.

ASTABLE OPERATION

If the circuit is connected as shown in Figure 4 (pins 2 and 6 connected) it will trigger itself and free run as a

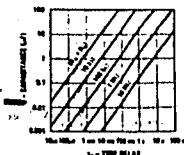


FIGURE 3. Time Delay

multivibrator. The external capacitor charges through $R_A + R_B$ and discharges through R_B . Thus the duty cycle may be precisely set by the ratio of these two resistors.

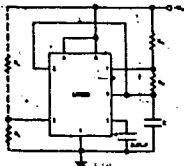


FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between $1/3 V_{CC}$ and $2/3 V_{CC}$. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

Figure 5 shows the waveforms generated in this mode of operation.

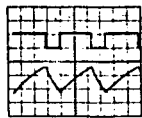


FIGURE 5. Astable Waveforms
 R_A = 10K
 R_B = 10K
 C = 0.01μF
 V_{CC} = 5V
 V_{TR} = -1.5V

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:
 $t_1 = 0.693 (R_A + R_B) C$

And the discharge time (output low) by:
 $t_2 = 0.693 (R_B) C$

Thus the total period is:
 $T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$

applications information (con't)

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C}$$

Figure 6 may be used for quick determination of appropriate RC values.

The duty cycle is:

$$D = \frac{R_B}{R_A + 2R_B} \cdot C$$

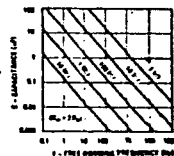


FIGURE 6. Pulse Width Modulator

FREQUENCY DIVIDER

The monostable circuit of Figure 1 can be used as a frequency divider by adjusting the length of the timing cycle. Figure 7 shows the waveforms generated in a divide by three circuit.

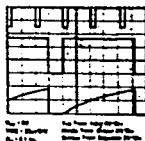


FIGURE 7. Frequency Divider

PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. Figure 8 shows the circuit, and in Figure 9 are some waveform examples.

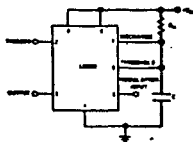


FIGURE 8. Pulse Width Modulator



FIGURE 9. Pulse Width Modulator

PULSE POSITION MODULATOR

This application uses the timer connected for astable operation, as in Figure 10, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. Figure 11 shows the waveform generated for a triangle wave modulation signal.

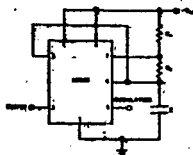


FIGURE 10. Pulse Position Modulator

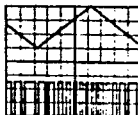


FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pulse resistor, R_A , in the monostable circuit is replaced by a constant current source, a linear ramp is

D-TO-A CONVERTER

**MC1508L-8
MC1408L-8
MC1408L-7
MC1408L-6**

Specifications and Applications Information

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

... Designed for use where the output current is a linear product of an eight-bit digital word and an analog input voltage.

- Relative Accuracy: $\pm 0.19\%$ Error maximum (MC1508L, 8; MC1408L, 8)
- Seven and Six Bit Accuracy Available (MC1408L, 7; MC1408L, 6)
- Fast Settling Time - 200 ns typical
- Noninverting Digital Inputs are MITL and CMOS Compatible
- Output Voltage Swing - $+0.5\text{V}$ to -5.0V
- High Speed Multiplying Input Slew Rate 4.0 mA/us
- Stand-By Supply Voltages: $+5.0\text{V}$ and -5.0V to -15V

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

SILICON MONOLITHIC INTEGRATED CIRCUIT



L SUFFIX CERAMIC PACKAGE CASE 620

FIGURE 1 - D-to-A Transfer Characteristics

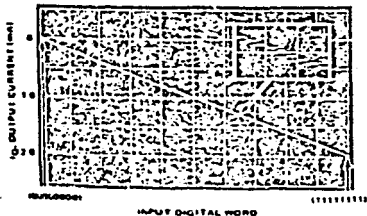
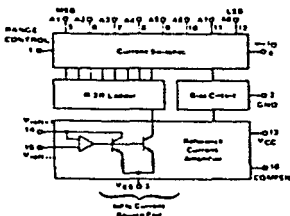


FIGURE 2 - BLOCK DIAGRAM



TYPICAL APPLICATIONS

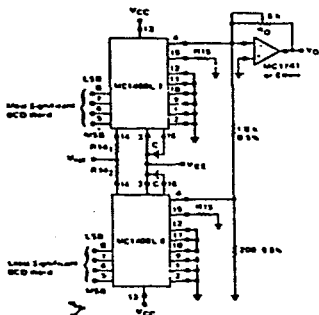
- Tracking A-to-D Converters
- Successive Approximation A-to-D Converters
- 1/2-Digit Panel Meters and DVM's
- Waveform Synthesis
- Sample and Hold
- Peak Detector
- Programmable Gain and Attenuation
- CRT Character Generation
- Audio Digitizing and Decoding
- Programmable Power Supplies
- Analog-Digital Multiplication
- Digital-Digital Multiplication
- Analog-Digital Division
- Digital Addition and Subtraction
- Speech Compression and Expansion
- Stepping Motor Drive

See Packaging Information Section for Ordering Information.

MC1508L-8, MC1408L-8, MC1408L-7, MC1408L-6 (continued)

APPLICATIONS INFORMATION (continued)

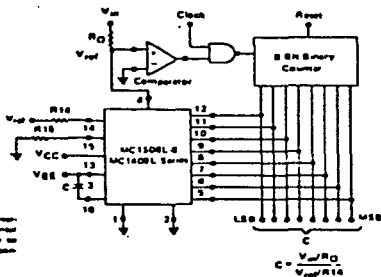
FIGURE 36 - TWO-DIGIT BCD CONVERSION



Two 8-bit D-to-A converters can be used to build a two-digit BCD D-to-A or A-to-D converter. If both outputs feed the virtual ground of an operational amplifier, 10:1 current scaling can be achieved with a resistive current divider. If current output is desired, the units may be operated at full scale current levels of:

4.0 mA and 0.4 mA with the outputs connected to earth. The error of the D-to-A converter handling the least significant bits will be scaled down by a factor of ten and thus an MC1408L-8 may be used for the least significant word.

FIGURE 37 - DIGITAL QUOTIENT OF TWO ANALOG VARIABLES OR ANALOG-TO-DIGITAL CONVERSION



The circuit shown is a binary counting divider. An UP/DOWN counter and dual threshold comparator can be used to provide faster operation and simultaneous conversion.

$$C = \frac{V_{ref}/R_{10}}{V_{ref}/R_{11}}$$



Operational Amplifiers

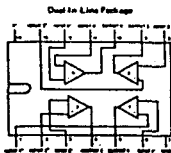
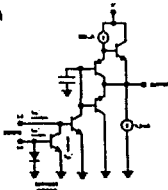
LM3900 quad amplifier general description

The LM3900 consists of four independent, dual input, internally compensated amplifiers which were designed specifically to operate off of a single power supply voltage and to provide a large output voltage swing. These amplifiers make use of a current mirror to achieve the non-inverting input function. Application areas include: AC amplifiers, RC active filters; low frequency triangle, squarewave and pulse waveform generation circuits, tachometers and low speed, high voltage digital logic gates.

features

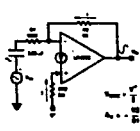
- Wide single supply voltage range 4 V_{DC} to 38 V_{DC} or dual supplies ±2 V_{DC} to ±18 V_{DC}
- Supply current drain independent of supply voltage
- Low input biasing current 30 nA
- High open-loop gain 70 dB
- Wide bandwidth 2.5 MHz (Unity Gain)
- Large output voltage swing (V₊ - 1) V_{CC}
- Internally frequency compensated for unity gain
- Output short circuit protection

schematic and connection diagrams

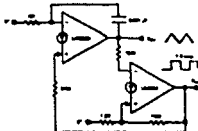


Order Number LM3900
See Package 22

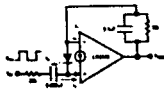
typical applications (V₊ = 15V_{DC})



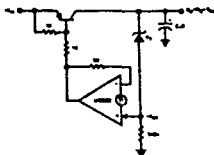
Inverting Amplifier



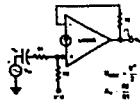
Triangle/Square Generator



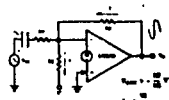
Frequency Doubling Tachometer



Low V_{CE(sat)} Voltage Regulator



Non-Inverting Amplifier



Negative Supply Source

absolute maximum ratings

Supply Voltage	+32 VDC
	-18 VDC
Power Dissipation ($T_A = 25^\circ\text{C}$) (Note 1)	570 mW
Input Current, I_{in} or I_{in}	30 mA DC
Output Short-Circuit Duration - One Amplifier $T_A = 25^\circ\text{C}$ (See Application Note)	Continuous
Operating Temperature Range	0°C to $+70^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Lead Temperature (Soldering, 10 seconds)	300°C

electrical characteristics ($V^+ = +15\text{ VDC}$ and $T_A = 25^\circ\text{C}$ unless otherwise noted)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Open Loop					
Voltage Gain	$f = 100\text{ Hz}$	1200	2800		V/V
Input Resistance	Inverting Input		1		M Ω
Output Resistance			6		Ω
Unity Gain Bandwidth	Inverting Input		2.5		MHz
Input Bias Current	Inverting Input		30	280	nA
Skew Rate	Positive Output Swing		6.5		V/ μ s
	Negative Output Swing		20		V/ μ s
Supply Current	$R_L = \infty$ On All Amplifiers		6.2	10	mA DC
Output Voltage Swing	$R_L = 5\text{ k}\Omega$				
$V_{out\ High}$	$I_{out} = 0, I_{in} = 0$	13.8	14.2		VDC
$V_{out\ Low}$	$I_{out} = 10\text{ }\mu\text{A}, I_{in} = 0$		0.08	0.2	VDC
Output Current Capability					
Source		3	18		mA DC
Sink	(Note 2)	0.5	1.3		mA DC
Power Supply Rejection	$f = 100\text{ Hz}$		70		dB
Mirror Gain	$I_{in} = 200\text{ }\mu\text{A}$ (Note 3)	0.9	1	1.1	$\mu\text{A}/\mu\text{A}$
Mirror Current	(Note 4)		10	500	$\mu\text{A DC}$
Negative Input Current	(Note 5)		1.0		mA DC

Note 1: For operating at high temper. levels, the device must be derated based on a 125°C maximum junction temperature and a thermal resistance of $175\text{ }^\circ\text{C/W}$ which applies for the device soldered on a printed circuit board, depending on a lead or ambient.

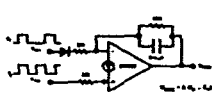
Note 2: The output current sink capability can be increased for large signal conditions by overdriving the inverting input. This is shown in the section on Typical Characteristics.

Note 3: This spec indicates the current gain of the current mirror which is used as the non-inverting input.

Note 4: Input V_{GG} match between the non-inverting and the inverting inputs occurs for a mirror current (non-inverting input current) of average every $10\text{ }\mu\text{A}$. This is provided a typical design center for many of the applications circuits.

Note 5: Certain transistors are included on the IC to prevent the input voltages from swinging below ground more than approximately -0.3 VDC . The negative input currents which they result from large signal swings with capacitor input loading need to be internally limited to values of approximately 1 mA . Negative input currents in excess of 6 mA will cause the output voltage to drive to a low voltage. The maximum current applies to any one of the input terminals. If more than one of the input terminals are simultaneously driven negative similar maximum currents are placed. Common-mode current loading can be used to prevent negative input voltages, see for example the "Differential Circuit" in the applications section.

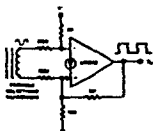
typical applications (con't)



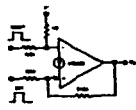
Frequency Differentiating Transducer



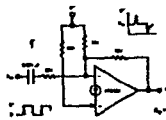
Frequency Averaging Transducer



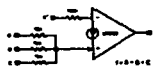
Slew Rate Limiter (Diode Feedback)



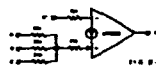
Voltage Multiplier



Differential Comparator with Hysteresis (Square Wave Input at $\pm V_{sat}$)



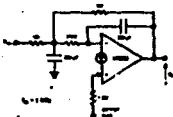
"OR" Gate



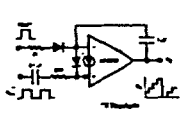
"AND" Gate



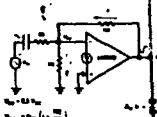
Difference Integrator



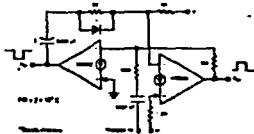
Low Pass Active Filter



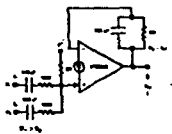
Square Wave Generator



V_{CC} Monitor

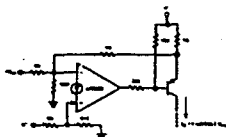


One Shot Multivibrator

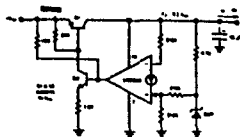


Low Frequency Mixer

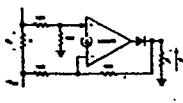
typical applications (con't)



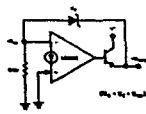
Voltage-Controlled Current Source
(Transconductance Amplifier)



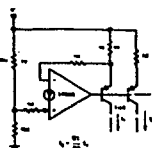
Hi-Z, Lo ($V_{out}-V_{in}$) Self Regulator



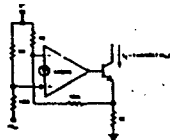
Ground Referencing &
Differential Input Signal



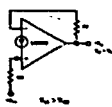
Voltage Regulator



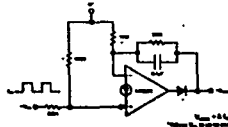
Fixed Current Source



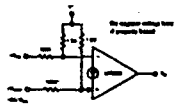
Voltage-Controlled Current Sink
(Transconductance Amplifier)



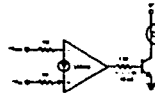
Buffer Amplifier



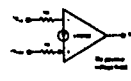
Transducer



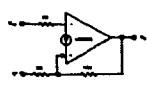
Low Voltage Comparator



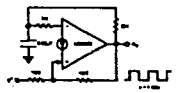
Precision Comparator



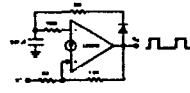
Comparator



Schmitt Trigger



Square-Wave Oscillator



Pulse Generator

MC1568, MC1468 (continued)

MAXIMUM RATINGS - $T_C = +25^\circ\text{C}$ unless otherwise noted 1

Rating	Symbol	Value	Limit
Input Voltage	V_{CC}, V_{EE}	30	Vdc
Peak Load Current	I_{PK}	100	mA
Power Dissipation and Thermal Characteristics $T_A = +25^\circ\text{C}$ Drate at $J = T_A = +25^\circ\text{C}$ Thermal Resistance, Junction to Air $T_C = +25^\circ\text{C}$ Drate above $T_C = +25^\circ\text{C}$ Thermal Resistance, Junction to Case	P_D	0.4	1.0
	$1/10 A$	5.4	6.7
	$0.1 A$	185	62
	P_D	2.1	9.0
	$1/10 J C$	14	61
$0.1 C$	70	17	50
Storage Junction Temperature Range	T_J, T_{STG}	-65 to +175	$^\circ\text{C}$
Minimum Short Circuit Resistance	$R_{SC(\text{min})}$	4.0	Ohms

OPERATING TEMPERATURE RANGE

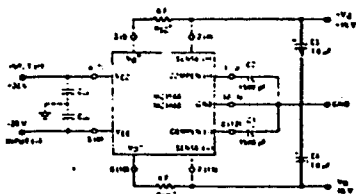
Ambient Temperature	T_A	$^\circ\text{C}$
MC1468	0 to +75	
MC1568	-55 to +125	

ELECTRICAL CHARACTERISTICS ($V_{CC} = +20\text{ V}$, $V_{EE} = -20\text{ V}$, $C_1 = C_2 = 1500\text{ }\mu\text{F}$, $C_3 = C_4 = 10\text{ }\mu\text{F}$, $R_{SC} = 4.0\text{ }\Omega$, $I_L^* = I_L^* = 0$, $T_C = +25^\circ\text{C}$ unless otherwise noted 1 (See Figure 1).

Characteristic	Symbol	MC1568			MC1468			Limit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage	V_O	±14.8	±15	±15.2	±14.5	±15	±15.5	Vdc
Input Voltage	V_{in}	-	-	±30	-	-	±30	Vdc
Input Output Voltage Differential	$V_{in} - V_O$	2.0	-	-	2.0	-	-	Vdc
Output Voltage Balance	V_{BE}	-	±150	-	±150	-	±300	mV
Line Regulation Voltage ($V_{in} = 10\text{ V}$ to $\pm 1\text{ V}$) $T_C = +25^\circ\text{C}$	Reg_{in}	-	-	10	-	-	10	mV
Load Regulation Voltage ($I_L = 0$ to 50 mA, V_O constant) ($T_A = 100\text{ mV}/^\circ\text{C}$)	Reg_{L}	-	-	10	-	-	10	mV
Output Voltage Range (R and G Pins) (See Figures 2 and 13)	V_{OR}	±8.0 ±14.5	-	±20	±8.0 ±14.5	-	±20	Vdc
Ripple Rejection ($f = 120\text{ Hz}$)	RR	75	-	-	75	-	-	dB
Output Voltage Temperature Stability ($T_{in} = 0\text{ }^\circ\text{C}$)	$ 1\%V_O $	-	0.3	1.0	-	0.3	1.0	%
Short Circuit Current Limit ($R_{SC} = 10\text{ m}\Omega$)	I_{SC}	60	-	-	60	-	-	mA
Output Noise Voltage (BW = 100 Hz, 10 kHz)	V_N	100	-	-	100	-	-	μV
Quiescent Standby Current ($V_{in} = \pm 30\text{ V}$)	I_Q^1	2.4	4.0	-	2.4	4.0	-	mA
Quiescent Standby Current ($V_{in} = \pm 30\text{ V}$)	I_Q^2	1.0	1.6	-	1.0	1.6	-	mA
Long Term Stability	$\Delta V_O/1\text{ yr}$	0.2	-	-	0.2	-	-	%/yr

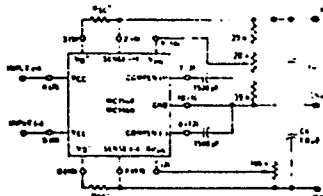
① $T_{amb} = 0^\circ\text{C}$ for MC1468
 $= 55^\circ\text{C}$ for MC1568② $T_{amb} = +25^\circ\text{C}$ for MC1468
 $= +125^\circ\text{C}$ for MC1568

FIGURE 1 - BASIC 50-mA REGULATOR



C1 and C2 should be chosen so that the filter capacitor C1 provides a 5% of average load current. C2 may be increased and the value of R3 decreased to increase the ripple voltage. The maximum load current is limited by the average load current.

FIGURE 2 - VOLTAGE ADJUST AND BALANCE ADJUST CIRCUIT



Balance adjust circuit is for MC 1701, MC 1702, etc. and should be used only.

FIGURE 3 - 25 AMPERE REGULATOR
(Short Circuit Protected, with Proper Installation)
(Metal Packaged Devices Only, R Suffix)

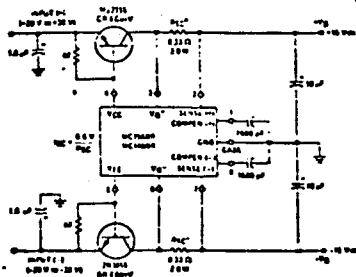
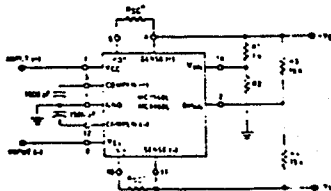


FIGURE 4 - OUTPUT VOLTAGE ADJUSTMENT
FOR 5.0 V < V_O < 16.5 V
(Ceramic Packaged Devices Only, L Suffix)



The presence of the 100 Ω resistor (R3) is required to adjust the output voltage down to 5.0 V. The resistor value of resistor R3 can be calculated from:

$$R_3 = \frac{V_{O1} - V_{O2}}{I_{BQ1} - I_{BQ2}}$$

Where R_3 = Resistor Value $\times 10^{-3}$ Ω
 V_{O1} = 5.0 V

Some standard design values are listed below:

V_O	I_{BQ1} (mA)	I_{BQ2} (mA)	R₃ (Ω)
16.5	1.0	0.1	1500
12.0	0.5	0.1	1000
5.0	0.1	0.0	0

TYPES TIL306, TIL307 NUMERIC DISPLAYS WITH LOGIC

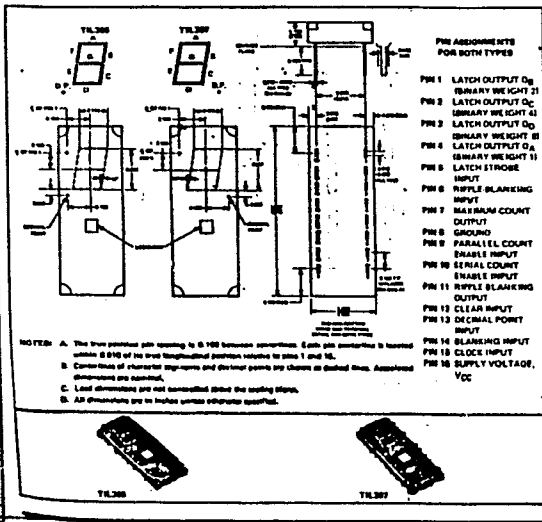
DALETYPE NO. DL-9 731101, MARCH 1972

SOLID-STATE VISIBLE DISPLAYS WITH INTEGRAL TTL MSI CIRCUIT CHIP
FOR USE IN ALL SYSTEMS WHERE THE DATA TO BE DISPLAYED
IS THE PULSE COUNT

- 0.270-Inch-High Character
- High Luminance Intensity
- TIL306 Has Left Digits
- TIL307 Has Right Digits
- Easy System Interface
- Wide Viewing Angle
- Internal TTL MSI Chip and Counter, Latch, Decoder, and Driver
- Constant-Current Drive for Light-Emitting Diodes

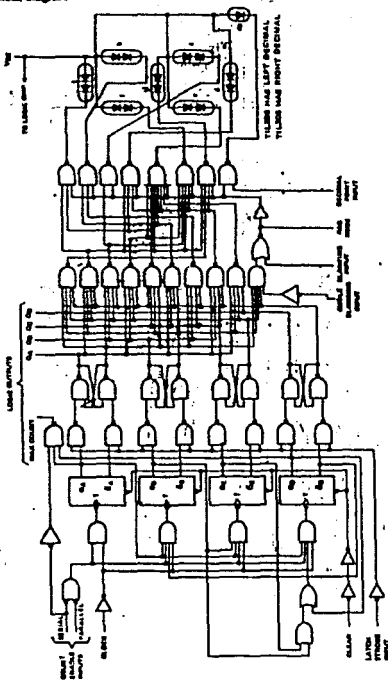
mechanical data

The displays are mounted on lead-frame assemblies which are then cast into a red, electrically nonconductive, transparent plastic compound. Multiple displays may be mounted on 0.450-inch centers.



TYPES TIL306, TIL307 NUMERIC DISPLAYS WITH LOGIC

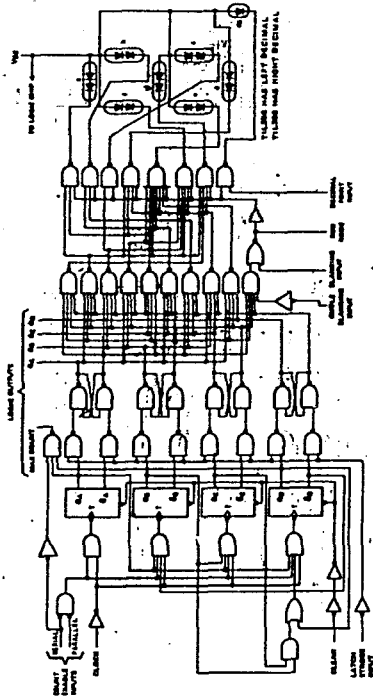
Functional block diagram



SYNCHRONOUS CLOCK CONTROLLED BY A SYNCHRONOUS CLOCK SIGNAL WHICH IS A FREE RUN

**TYPES TIL306, TIL307
NUMERIC DISPLAYS WITH LOGIC**

functional block diagram



SYNCHRONOUS BCD COUNTER, 4-BIT LATCH, OR CODE AGRIVES, IN VSI EQUIPMENT, I/O DISPLAY WITH DECIMAL POINT

**TYPES TIL306, TIL307
NUMERIC DISPLAYS WITH LOGIC**

Description

These internally-driven seven-segment light-emitting-diode (LED) displays contain a BCD counter, a four-bit latch, and a decade/LED driver in a single 18-pin package. A description of the functions of the inputs and outputs of these devices follows:

FUNCTION	PIN NO.	DESCRIPTION
CLEAR INPUT	12	When low, resets and holds counter at 0. Must be high for normal counting.
CLOCK INPUT	16	Each positive-going transition will increment the counter provided that the circuit is in the normal counting mode (serial and parallel count enable inputs low, clear input high).
PARALLEL COUNT ENABLE INPUT (PCE1)	9	Must be low for normal counting mode. When high, counter will be inhibited. Logic level must not be changed when the clock is low.
SERIAL COUNT ENABLE INPUT (SCE1)	10	Must be low for normal counting mode, also must be low to enable maximum count output to go low. When high, counter will be inhibited and maximum count output will be driven high. Logic level must not be changed when the clock is low.
MAXIMUM COUNT OUTPUT	7	Will go low when the counter is at 9 and serial count enable input is low. Will return high when the counter changes to 0 and will remain high during counts 1 through 8. Will remain high (inhibited) as long as serial count enable input is high.
LATCH STROBE INPUT	8	When low, data in latches follow the data in the counter. When high, the data in the latches are held constant, and the counter may be operated independently.
LATCH OUTPUTS (O _A , O _B , O _C , O _D)	4, 1, 2, 3	The BCD data that drives the decoder can be stored in the 4-bit latch and is available at these outputs for driving other logic and/or processors. The binary weights of the outputs are: O _A = 1, O _B = 2, O _C = 4, O _D = 8.
DECIMAL POINT INPUT	13	Must be high to display decimal point. The decimal point is not displayed when this input is low or when the display is blanked.
BLANKING INPUT (BI)	14	When high, will blank (turn off) the entire display and force RBO low. Must be low for normal display. May be pulsed to implement intensity control of the display.
RIPPLE BLANKING INPUT (RBI)	6	When the data in the latches is BCD 0, a low input will blank the entire display and force the RBO low. This input has no effect if the data in the latches is other than 0.
RIPPLE BLANKING OUTPUT (RBO)	11	Requires ripple blanking information for the ripple blanking input of the next decade. Provides a low if BI is high, or if RBI is low and the data in the latches is BCD 0; otherwise, this output is high. This pin has a resistor pull-up circuit suitable for performing a wire-AND function with any open collector output. Whenever this pin is low the entire display will be blanked; therefore, this pin may be used as an active low blanking input.

The TTL MSI circuits contain the equivalent of 86 gates on a single chip. Logic inputs and outputs are completely TTL/DTL compatible. The buffered inputs are implemented with relatively large resistors in series with the base of the input transistors to lower drive current requirements to one-half of that required for a standard Series 54/74 TTL input. The serial-carry input, actually two internal leads, is rated as one standard series 54/74 lead.

TYPES TIL308, TIL307
NUMERIC DISPLAYS WITH LOGIC

TYPICAL CHARACTERISTICS

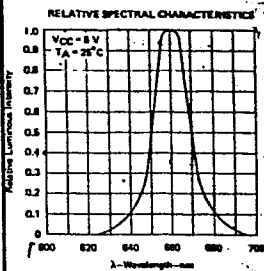


FIGURE 2

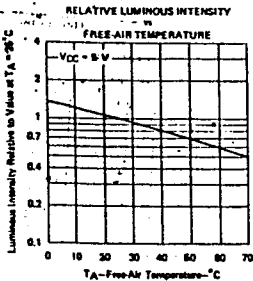
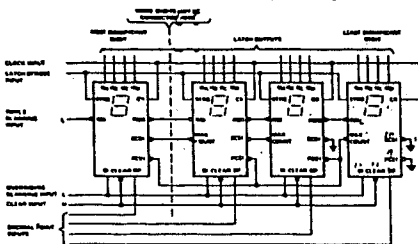


FIGURE 3

TYPICAL APPLICATION DATA

This application demonstrates how the displays may be cascaded for N bit display applications. It features:

- Synchronous, least significant counting
- Flip-flop blanking for leading zeros
- Overriding blanking for total suppression of intensity production of display
- Direct parallel clear
- Latch strobe permits counter to acquire data for the next display while viewing current display.



¹ The serial carry input of the least significant digit is normally grounded, however, it may be used as a count enable control for the previous counter stage (though no enable, here no count) provided the logic level on this pin is not changed while the clock line is high or for a short period thereafter.

TYPES TIL308, TIL309 NUMERIC DISPLAYS WITH LOGIC

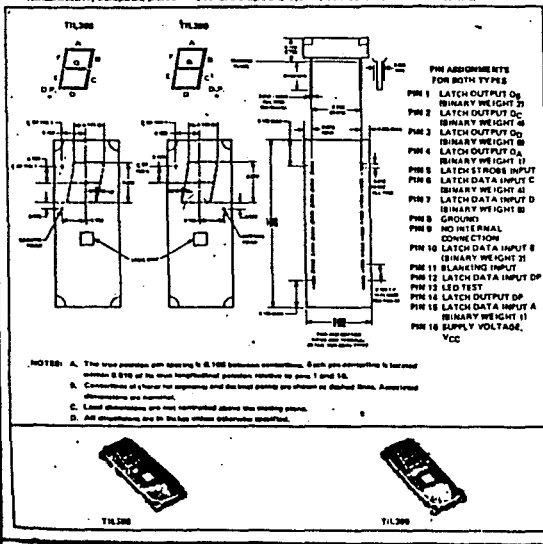
QUALITY NO. DL 8 7211808, MARCH 1972

SOLID-STATE VISIBLE DISPLAYS WITH INTEGRAL TTL MSI CIRCUIT CHIP FOR USE IN ALL SYSTEMS REQUIRING A DISPLAY OF BCD DATA

- 0.270-Inch-High Character
- High Luminous Intensity
- TIL308 Has Left Dashed
- TIL308 Has Right Dashed
- Easy System Interface
- Wide Viewing Angle
- Integral TTL MSI Chip with Latch, Decoder, and Driver
- Constant-Current Drive for Light-Emitting Diodes

Mechanical Data

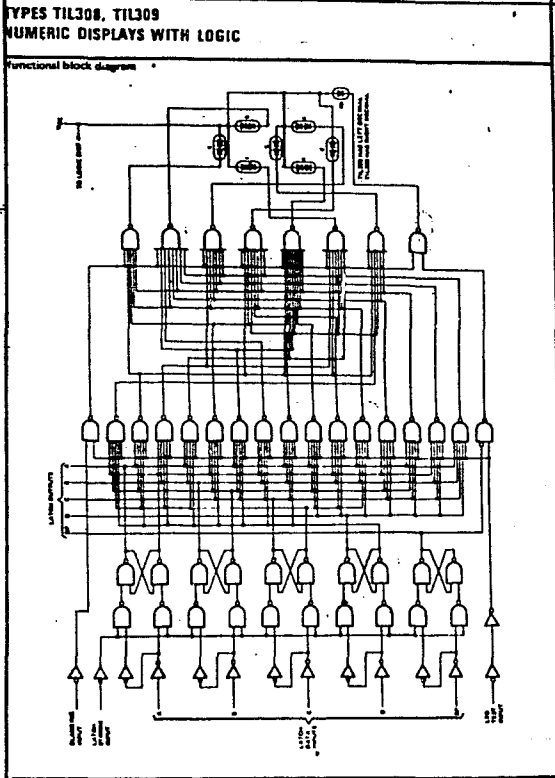
The display and TTL MSI chip are mounted on a lead-frame assembly which is then cast within a red, electrically nonconductive, transparent plastic compound. Multiple displays may be mounted on 0.480-inch centers.



TIL308



TIL309



**TYPES TIL308, TIL309
NUMERIC DISPLAYS WITH LOGIC**

Description

These internally driven seven-segment light-emitting-diode (LED) displays contain a five bit latch and a decoder/LED driver in a single 16-pin package. A description of the functions of the inputs and outputs of these devices follows:

FUNCTION	PIN NO.	DESCRIPTION
LATCH STROBE INPUT	8	When low, the data in the latches follow the data on the latch inputs. When high, the data in the latches are held constant and are unaffected by new data on the latch inputs.
LATCH DATA INPUTS A, B, C, D, DP	11, 10, 6, 7, 12	Data on these inputs are entered into the latches under the control of the latch strobe input. The binary weights of the inputs are: A = 1, B = 2, C = 4, D = 8. DP is decimal point latch data input.
LATCH OUTPUTS O _A , O _B , O _C , O _D , O _{DP}	4, 1, 2, 3, 10	The BCD data that drives the decoder is stored in the five latches and is available at these outputs. The binary weights of the outputs are: O _A = 1, O _B = 2, O _C = 4, O _D = 8. O _{DP} is decimal point latch output.
BLANKING INPUT	11	When low, will blank (turn off) the entire display. Must be high for normal operation of the display.
LED TEST INPUT	13 ¹	When low, will turn on the entire display, overriding the data in the latches and the blanking input. Must be high for normal operation of the display.

FUNCTION TABLE

FUNCTION	LATCH INPUTS						BLANKING INPUT	LED TEST	LATCH OUTPUTS					DISPLAY		
	B	C	D	A	DP	STROBE			O _B	O _C	O _D	O _A	O _{DP}	TIL308	TIL309	
0	L	L	L	L	L	L	H	H	L	L	L	L	L	L	0	0
1	L	L	L	H	H	L	H	H	L	L	L	H	H	H	1	1
2	L	L	H	L	L	L	H	H	L	L	H	L	L	L	2	2
3	L	L	H	H	H	L	H	H	L	L	H	H	H	H	3	3
4	L	H	L	L	L	L	H	H	L	H	L	L	L	L	4	4
5	L	H	L	H	H	L	H	H	L	H	L	H	H	H	5	5
6	L	H	H	L	L	L	H	H	L	H	H	L	L	L	6	6
7	L	H	H	H	H	L	H	H	L	H	H	H	H	H	7	7
8	H	L	L	L	L	L	H	H	H	L	L	L	L	L	8	8
9	H	L	L	H	H	L	H	H	H	L	L	H	H	H	9	9
A	H	L	H	L	L	L	H	H	H	L	H	L	L	L	A	A
BLANK SIGN	H	L	H	H	H	L	H	H	H	H	H	H	H	H	-	-
C	H	L	L	L	L	L	H	H	H	H	L	L	L	L	C	C
BLANK	H	H	L	H	H	L	H	H	H	H	L	H	H	H	.	.
E	H	H	H	L	L	L	H	H	H	H	H	L	L	L	E	E
F	H	H	H	H	H	L	H	H	H	H	H	H	H	H	F	F
BLANK	X	X	X	X	X	X	L	H	X	X	X	X	X	X	.	.
LED TEST	X	X	X	X	X	X	X	L	X	X	X	X	X	X	B	B

H = High level, L = Low level, X = Indefinite.

DP blank for alphanumeric signs shown in column 14 and on every other line of this table.

BIBLIOGRAFIA

- "Designing with TTL integrated circuits"
Texas Instruments Inc.
Mc Graw Hill

- "Introduction to switching theory and logical design"
Frederick J. Hill, Gerald R. Peterson
John Wiley and Sons

- "Pulse digital and switching waveforms"
Jacob Hillman, Herber Taub
Mc Graw Hill

- "Circuitos de conmutación para ingenieros"
Michel P. Marcus
Editorial Diana

- "The design of digital systems"
John B. Peatman
Mc Graw Hill

- "Wave generation and shaping"
Leonard Strauss
Mc Graw Hill

- "Manual de circuitos de lógica"
John D. Lenk
Editorial Diana

- "Linear applications" volume I
National

- "Integrated electronics: Analog and digital circuits and systems"
Jacob Millman, Christos C. Halkias
Mc Graw Hill
- "Analog-digital conversion handbook"
Engineering staff of Analog Devices
Analog Devices
- "Digital and analog data conversions"
Howard V. Malmstadt, Christie G. Enke, Stanley R. Crouch
W. A. Benjamin Inc.
- "Controlles Automáticos"
Howard I. Harrison, John G. Bollinger
Editorial Trillas
- "FSK modem interfaces cassette and computer"
John I. Compton
Electronics Magazine April 1, 1976
- "The TTL data book"
Texas Instruments
- "The optoelectronics data book"
Texas Instruments
- "Linear data book"
National
- "Voltaje regulator handbook"
National