



**UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO**

PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA

INGENIERÍA ELÉCTRICA – SISTEMAS ELECTRÓNICOS

MODELO A SEÑAL GRANDE DE LOS TRANSISTORES HEMT PARA EL DISEÑO  
DE AMPLIFICADORES NO LINEALES DE ALTA EFICIENCIA.

TESIS

QUE PARA OPTAR POR EL GRADO DE:

DOCTOR EN INGENIERÍA

PRESENTA:

FRANCISCO JAVIER MARTÍNEZ RODRÍGUEZ.

TUTORES PRINCIPALES:

DR. JOSÉ ISMAEL MARTÍNEZ LÓPEZ, FACULTAD DE INGENIERÍA.

DR. PATRICK ROBLIN, DEPARTAMENTO DE INGENIERÍA ELÉCTRICA Y  
COMPUTACIÓN, UNIVERSIDAD ESTATAL DE OHIO.

COMITÉ TUTOR.

DR. OLEKSANDR MARTYNYUK, FACULTAD DE INGENIERÍA.

DR. JORGE RODRÍGUEZ CUEVAS, FACULTAD DE INGENIERÍA

CIUDAD UNIVERSITARIA, CD. MX, ENERO, 2019



Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## Dedicatoria.

A todos mis seres queridos que ya no están con nosotros.

## Gratitudes.

Agradezco a mis padres, Beatriz y Javier, por todas sus enseñanzas, amor y el apoyo que he recibido. Gracias por guiarme por el buen camino, el cual me llevo alcanzar este objetivo.

A mi prometida María Eugenia, por todo su amor y por acompañarme en todo momento.

A mi asesor doctoral, al Dr. J. Ismael Martínez López, por su amistad y apoyo, es una de las personas que más aprecio y admiro.

A mi asesor doctoral, al Dr. Patrick Roblin, por su confianza, amistad y por abrirme las puertas de la Universidad Estatal de Ohio, es una persona extraordinaria.

A mi hermana Elizabeth, por la paciencia que me tiene y por estar conmigo en todo momento.

A mi hermano Javier, por compartir conmigo el gusto de estudiar y por enseñarme a cada momento que el mundo avanza rápido y que estoy obligado a nunca detenerme.

Al Dr. Jorge Rodríguez Cuevas, gracias por sus consejos y amistad.

A mis amigos del posgrado, Henry, Manuel, José María, Trinidad y Roberto. Por el compañerismo y la amistad que llevamos.

A los amigos de la Universidad Estatal de Ohio, Alejandro Galaviz, Hsiu-Chen y Chenyu. Gracias por su amistad.

A mi Jurado Doctoral, integrado por el Dr. J. Mario Peña Cabrera, Dr. Oleksandr Martynyuk, Dr. J. Ismael Martínez López, Dr. Jorge Rodríguez Cuevas y Dr. Patrick Roblin, por dedicarle tiempo a este trabajo.

A los proyectos PAPIIT 1N114116, 1N116517 y al proyecto CONACYT 166106.

Al proyecto PAPIIT 1N115016 “Arreglos periódicos bidimensionales con propiedades electromagnéticas sobre demanda para aplicaciones en sistemas de antenas”. Por el apoyo económico recibido para concluir este trabajo.

A la Beca CONACYT, por el apoyo económico.

## Resumen.

Se presenta el desarrollo de modelos a señal grande para transistores usados en el diseño de amplificadores no lineales de alta eficiencia. En primer lugar, se presenta un modelo incrustado con Redes Neuronales Artificiales para un transistor SOS-MOSEFT, para la optimización de las formas de onda en el plano de referencia intrínseco del transistor. Con este modelo se predicen los voltajes y corrientes que se requieren en la referencia del empaquetado para obtener la máxima eficiencia. También con el modelo incrustado de Angelov, se hace una actualización de la definición de un amplificador de potencia clase F para un transistor HEMT, donde el voltaje del tercer armónico tiene un voltaje diferente a cero en la rodilla de la curva IV del transistor. La operación óptima del amplificador clase F en el plano intrínseco se obtiene con una carga sin pérdidas e inductiva. La forma de onda para el voltaje es cuasi cuadrada. La operación de este amplificador clase F se verificó con mediciones utilizando un transistor HEMT de Nitruro de Galio. Donde la correlación entre las mediciones y lo que predice el modelo es muy alta. También se presenta un ejemplo de la actualización del amplificador clase F para un transistor SOS-MOSFET. La corriente de un transistor HEMT es fuertemente afectada por efectos de memoria. Uno de los efectos que se estudian es el auto calentamiento, que es la conversión de energía de corriente directa a calor, en este trabajo también se presenta un modelo lineal electro térmico. Otro efecto de memoria que afecta al HEMT son las trampas, por lo que se desarrolla un modelo no lineal para baja frecuencia, que es comprobado mediante mediciones.

# Índice General.

Resumen.....	1
Capítulo 1. Estado del arte.....	3
1.1.Modelos a señal grande .....	8
1.2.Modelos no lineales para el diseño de amplificadores de potencia.....	11
1.3.Alta eficiencia en los amplificadores de potencia. ....	15
1.4. Caracterización de autocalentamiento y señal grande para RF. ....	19
1.5.Trampas en GaN.....	20
1.6. Conclusión.....	22
Capítulo 2. Modelo no lineal incrustado para el SOS-MOSFET. ....	28
2.1.Banco de pruebas para la carga activa en tiempo real (RTALP).....	28
2.2.Extracción del modelo cuasi-estático con redes neuronales artificiales para SOS-MOSFET. ....	30
2.3.Modelo ANN incrustado para el transistor SOS-MOSFET. ....	35
2.4.Diseño de amplificadores con el modelo incrustado ANN para el SOS-MOSFET. ....	38
2.5.Conclusión.....	45
Capítulo 3. Operación real de un amplificador clase F usando el modelo incrustado. ..	46
3.1.Extensión teórica para un transistor clase F. ....	47
3.2.Diseño de un amplificador clase F. ....	58
3.3.Configuración en mediciones y datos.....	62
3.4.Resultados Medidos.....	65

3.5.Diseño real de un amplificador clase F con el modelo incrustado ANN SOS-MOSFET. ....	70
3.6.Conclusión. ....	73
Capítulo 4. Efectos de memoria (Autocalentamiento y trampas).....	75
4.1.Efecto de memoria de autocalentamiento.....	77
4.2.Modelo del autocalentamiento.....	78
4.3.Banco de prueba para el autocalentamiento. ....	79
4.4.Resultados experimentales. ....	81
4.5.Efecto de memoria trampas. ....	84
4.6.Modelo para el efecto de memoria de las trampas. ....	86
4.7.Mediciones en tiempo real de carga activa a baja frecuencia.....	87
4.8.Resultados experimentales. ....	89
4.9.Conclusión. ....	95
Conclusiones.....	95

# Introducción.

Los modelos a señal grande han permitido diseñar amplificadores de potencia de alta eficiencia, para cubrir las necesidades en los sistemas de comunicaciones, en particular en la transmisión de datos. Esto ha motivado el desarrollo de mediciones y caracterización a señal grande para transistores de microondas, con el objetivo de desarrollar modelos compactos. Estos modelos compactos se implementan en software CAD, para el fácil diseño de amplificadores de potencia. Pero muchos de estos modelos carecen de precisión al calcular algunos parámetros de amplificador, debido a que todavía no se explora muchos de los efectos que hay en el transistor. Por esta razón, es importante la extracción de parámetros en el transistor, para obtener un modelo que permita predecir fielmente la operación del transistor en las regiones no lineales en la que estará operando.

Existen diferentes tipos de enfoque de diseño, como es el barrido de carga pasiva o activa en la salida. Este método de barrido requiere de numerosas mediciones para obtener la máxima eficiencia. Otros métodos requieren de numerosas simulaciones para obtener la eficiencia óptima del amplificador. En este trabajo el enfoque utilizado es diseñar el amplificador en el plano intrínseco. Con este enfoque, el diseñador no requiere de múltiples simulaciones o múltiples mediciones, además se optimizan las formas de onda en dicho plano de referencia. Con este enfoque se acerca más al diseño real de un amplificador, como se verá en el capítulo 3 para el caso de un amplificador clase F.

Los objetivos de este trabajo son:

- Desarrollar un modelo incrustado para un amplificador SOS-MOSFET, con el objetivo de obtener la eficiencia en el plano de referencia intrínseca y predecir las terminaciones en los diferentes planos de referencia, como el de empaquetado.
- Actualizar la teoría de un amplificador clase F, con la ayuda de los modelos intrínsecos y tomando en cuenta las características reales de un transistor. Como es el voltaje de rodilla de las curvas de voltaje y corriente directa.

- Explorar los efectos de memoria del transistor HEMT tales como el autocalentamiento y las trampas para poder obtener modelos que permitan representar dichos efectos.

Mediante mediciones a señal grande, se comprobó la teoría de un amplificador clase F y de los efectos de memoria del transistor HEMT. Los resultados del trabajo de investigación han sido publicados en cuatro artículos de revista y en cuatro congresos internacionales.

El presente trabajo está dividido en cuatro capítulos. En el primer capítulo se muestra el estado del arte de los modelos a señal grande y del diseño de los amplificadores de alta eficiencia para microondas. En el capítulo 2 se define el modelo incrustado para transistor SOS-MOSFET. El capítulo 3 muestra la teoría para el diseño de un amplificador clase F considerando las características reales del transistor. Por último, en el capítulo 4, se exploran los efectos de memoria de un transistor HEMT, con el objetivo de obtener modelos que describan el comportamiento del autocalentamiento y de las trampas.

# Capítulo 1.

## Estado del Arte.

Los transistores para microondas juegan un papel muy importante en el crecimiento de los sistemas de comunicación inalámbricas, como también en el continuo progreso de las tecnologías de comunicación para aplicaciones civiles y militares. Por estas razones, se requiere que el rendimiento del transistor sea más exigido en aplicaciones de comunicación inalámbrica, debido a que el ancho de banda utilizado en las telecomunicaciones actuales es más grande y se requiere además una mejor eficiencia en los amplificadores de potencia de alta frecuencia [1].

Entre las aplicaciones en las telecomunicaciones tenemos las transmisiones inalámbricas empleadas para comunicaciones, tales como; telefonía celular, satelital y televisión digital, donde los transistores para microondas se usan en el diseño de dispositivos amplificadores de potencia de alta frecuencia para la transmisión inalámbrica. Asimismo, este tipo de dispositivos brindan ventajas para que la antena del usuario final sea de tamaño reducido [1]. El mismo requerimiento es necesario para el servicio de internet inalámbrico, donde la velocidad de transmisión de datos se está incrementando exponencialmente. Para alcanzar todos estos requerimientos es necesario el diseño de amplificadores de alta eficiencia en

potencia para microondas utilizando transistores de alto rendimiento. Para la fabricación de estos tipos de amplificadores son empleados generalmente materiales semiconductores en la construcción de los transistores cuyas aleaciones como el Silicio-Germanio (Si-Ge), Carburo de silicio (SiC), Arseniuro de Galio (GaAs) y Nitruro de Galio (GaN), se caracterizan por sus cualidades para aplicaciones que demandan alta potencia y alta velocidad [1]-[5].

Así pues, los amplificadores de alta eficiencia y potencia generalmente requieren transistores basados en materiales semiconductores como: el GaN y SiC, los cuales tienen un alto voltaje de ruptura y una alta movilidad, lo cual los hace ideales para sistemas de transmisiones inalámbricas que manejan un ancho de banda grande. También los transistores basados en GaN y SiC presentan una alta velocidad de saturación lo cual permite operar al transistor en altas frecuencias. La habilidad de crear hetero estructuras con los semiconductores permite incrementar la movilidad de los portadores. Un ejemplo es el transistor de alta movilidad de electrón (HEMT) donde el canal del transistor HEMT tiene una movilidad más alta que la de un transistor de efecto de campo metal-óxido-semiconductor (MOSFET) fabricado con SiC o un transistor de efecto de campo metal-semiconductor fabricado con GaN [2]. Asimismo, el material de GaN ya se ha aplicado ampliamente para dispositivos de microondas debido a las ventajas de rendimiento alcanzables [1]. Una de las características de los dispositivos GaN es que tienen una baja pérdida de potencia, una conmutación de alta velocidad, así como una alta estabilidad térmica en comparación con los dispositivos basados en Silicio (Si). Por lo tanto, con aleaciones como el GaN y el AlGaN se construye una hetero unión, la cual es la principal capa de los dispositivos tipo HEMT [2] - [4]. El principal origen del alto rendimiento de un HEMT fabricado con GaN/AlGaN para aplicaciones de alta velocidad es el gas de electrones 2-D (2-DEG), que se induce en la interfaz AlGaN/GaN debido al desplazamiento del borde de la banda de conducción entre AlGaN y GaN [5]. El 2-DEG compone una carga de inversión de canal inherente, que se modula aplicando un voltaje en la compuerta del HEMT. Una diferencia importante del HEMT de AlGaN/GaN en comparación con un MOSFET de Silicio (Si) convencional es el sustrato no empalmado, debido al empalmamiento existen estados de captura en el HEMT, lo cual provoca un colapso en los portadores, esto origina una degradación en la corriente [6], [9],[10], [11].

Generalmente para diseñar amplificadores de potencia (PA), el HEMT de GaN es ampliamente empleado debido a que tiene un voltaje de ruptura alto en comparación con otros materiales semiconductores que permiten hetero estructuras como el GaAs. El dispositivo HEMT de GaN permite manejar altas potencias en un tamaño reducido de semiconductor, también el HEMT de GaN tiene una banda prohibida amplia que permite operar a altas temperaturas, así el GaN tiene mejor rendimiento que el GaAs en el manejo de la potencia, eficiencia y difusión térmica. El HEMT maneja mayor potencia en comparación con otros dispositivos que tienen hetero estructuras como son: los transistores bipolares de hetero-unión (HBT). Mientras que el dispositivo HBT basado en GaAs tiene aplicaciones en baja potencia, entre estas aplicaciones están los teléfonos celulares [26].

Es un hecho que el GaN mejoró la tecnología de microondas con el circuito monolíticamente integrado para microondas (MMIC) para el diseño de módulos de transmisión y recepción (T/R), el HEMT de GaN es muy empleado para amplificar señales de radar y de arreglos de fase. En las comunicaciones móviles, los amplificadores de potencia (PA) de RF son requeridos para amplificar la señal de comunicación móvil de un sistema global (GSM), WCDMA y LTE-A [6].

Así pues, en este proyecto de investigación el HEMT de GaN es usado para obtener el modelo a señal grande para el diseño de un amplificador no lineal. El transistor HEMT empleado es de la compañía CREE, el cual presenta cualidades basadas en una buena movilidad y una amplia región prohibida para operar en frecuencias de microondas (en este proyecto 2 GHz) y un alto voltaje (alrededor de 80 V). Una comparativa entre diferentes semiconductores se muestra en la tabla 1.1 [4].

Tabla 1.1. Semiconductores para transistores de microondas [4].

Material	Movilidad $\mu, cm^2/Vs.$	Constante dieléctrica, $\epsilon.$	Banda Prohibida. <i>Eg, eV</i>	Campo de ruptura. $10^6 V/cm.$	Temperatura máxima, °C
Si	1300	11.9	1.12	0.3	300
GaAs	5000	12.5	1.42	0.4	300

4H-SiC	260	10	3.2	3.5	600
GaN	1500	9.5	3.4	2	700

Entre las aplicaciones de los PAs se encuentran sistemas para microondas y radiofrecuencias que se implementan en las áreas de telecomunicaciones, radar, electrónica militar e imágenes médicas [7]. Adicionalmente, una característica esencial en los PAs lineales, consisten en garantizar condiciones de operación de alta potencia y alta ganancia, sin embargo, para limitar el consumo de potencia de los PAs generalmente son operados en el área de señal grande, esto conlleva a oscilar dentro de la región no lineal del transistor [7]. Por lo tanto, las topologías comunes a señal grande para las clases de los PAs de RF son asociadas a su clase de operación, tales como; A, B, AB, C, D, E, F y S [8].

En circuitos prácticos los PAs de clase D, E y F son identificados por las formas de onda de voltaje y corriente, en donde sus formas de onda se comportan como un interruptor [9]. Asimismo, conforme la tecnología de los transistores se está mejorando, el diseño de los PAs se aproxima más a lo que describe la teoría. En la Tabla 1.2, se realiza una comparación de un HEMT de GaN con un LDMOSFET basado en Silicio para el diseño de PAs

Tabla 1.2. Comparación de diferentes tipos de amplificadores.

Amplificador	Silicio	GaN sobre SiC
Class E/F/J	Bajo $f_T$ , Voltaje de ruptura regular	Alto $f_T$ , alto voltaje de ruptura.
Doherty	Impedancia de apagado bajo, alta capacitancia de salida.	Alta impedancia de apagado, baja capacitancia de salida.
Pre-distorsión Digital	Tiempo de constante térmica alto, ancho de banda medio.	Tiempo de constante térmica bajo, ancho de banda alto.

Uno de los parámetros esenciales de los PAs es la eficiencia, para anchos de banda estrechos en el rango de frecuencias de los gigahertz (GHz), los PAs de clase B y clase AB tienen un buen rendimiento en la eficiencia. El amplificador clase F tiene mejor eficiencia y puede considerarse que es derivado del clase B; el clase F es usado en comunicaciones satelitales y aplicaciones LINC [4], al igual los amplificadores lineales son usados en aplicaciones LINC [4]. La métrica conocida como eficiencia de potencia agregada (PAE) es uno de los principales parámetros de rendimiento a considerar en el diseño de PAs. En la figura 1.1. se muestra el PAE, donde el transistor HEMT usado en el diseño de PAs de alta eficiencia presenta buenos niveles de desempeño [4].

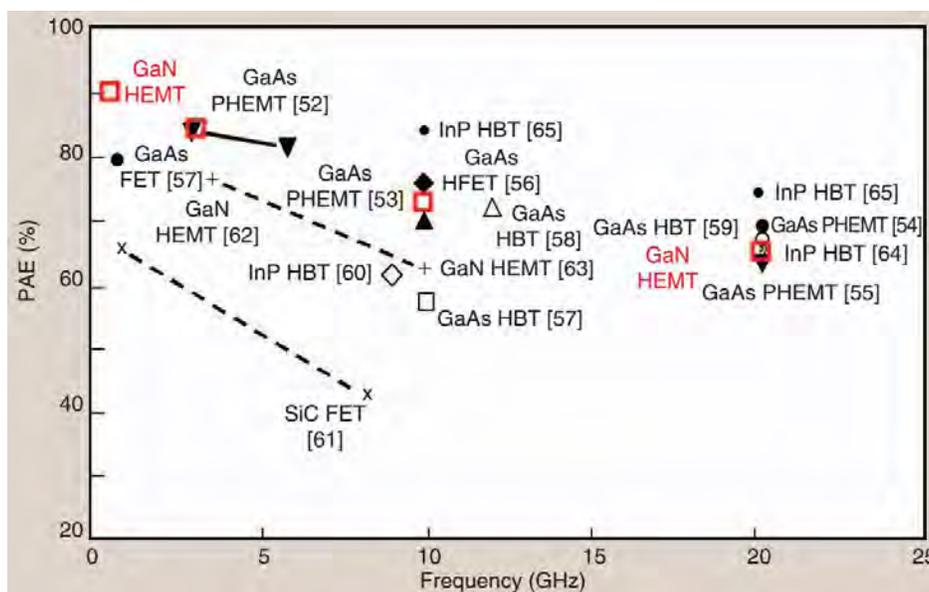


Figura 1.1. PAE para diferentes tipos de transistores [4].

No obstante, para obtener un mejor rendimiento en la eficiencia en el transistor al diseñar PAs es necesario implementar el modelo de comportamiento en un software CAD para obtener los parámetros característicos de voltajes y corrientes mediante estimación.

A medida que las tecnologías de comunicación inalámbrica han evolucionado, se han introducido señales con modulaciones cada vez más complejas, las cuales se caracterizan por manejar niveles con una alta relación de potencia pico a promedio (PAPR) y un ancho de banda de señal amplio [6]. De tal manera, que para las señales con niveles de PAPR alto, los

amplificadores de potencia de arquitectura tipo Doherty (DPA) han sido utilizados ampliamente, dado que permiten obtener una alta eficiencia a un nivel de potencia de salida promedio, que generalmente es un poco más bajo que el PAPR de la señal de la potencia de salida pico [1–4]. Las arquitecturas DPA constan de dos PAs conectados con dos líneas de transmisión de retardo, tal y como se muestra en la figura 1.2. En esta configuración un PA amplifica la potencia promedio de la señal de entrada, a este PA se le conoce como principal, mientras que en la otra rama el PA se encarga de amplificar la potencia pico y se le conoce como auxiliar, para este caso el PA auxiliar en potencias promedio se encuentra desactivado. La eficiencia de un DPA con una potencia pico es mayor que la eficiencia con una potencia promedio. De esta manera, generalmente en el PA principal se emplea un amplificador de clase F y en el PA auxiliar se utiliza un PA de clase C.

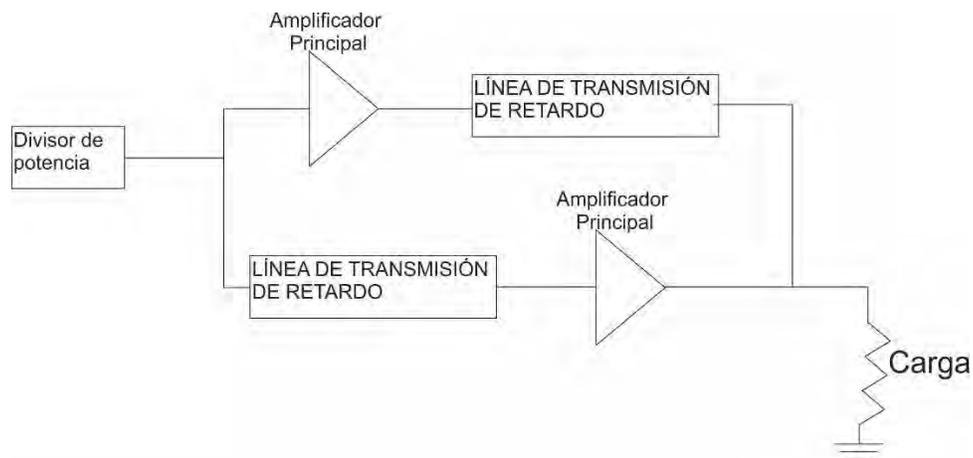


Figura 1.2. Esquema de una arquitectura DPA.

### 1.1. Modelos a señal grande.

Prácticamente los modelos a señal grande son representaciones matemáticas del comportamiento eléctrico del transistor [10]. La complejidad del modelo depende de la precisión con la que se describa el comportamiento eléctrico del transistor y la velocidad de la simulación [11]-[13]. De igual manera, también depende de la facilidad con la que se pueden determinar los parámetros extraídos desde varias mediciones.

Los modelos a señal grande se usan en el diseño del PA, donde los PAs dependen fuertemente de su condición no lineal, la mayor motivación en el diseño de los PAs es el mejoramiento del PAE [14]. El desarrollo de dispositivos de alta eficiencia donde se emplean amplificadores de Clase F, Clase J o arquitecturas multi-etapa como el Doherty o Chirex demandan una complejidad de parámetros que necesitan modelarse [11], [30]. Por tal motivo, el comportamiento de modelos implementados en un programa CAD para RF son esenciales para el diseño preciso de PAs, donde estos modelos deben de predecir con alta precisión métricas como el PAE, la intermodulación armónica y otros parámetros característicos [30].

Dentro de los modelos a señal se tienen los modelos compactos que son ampliamente usados para describir el comportamiento del transistor en el dominio del tiempo. Un circuito equivalente ampliamente usado consiste en dos fuentes de corriente en donde una fuente describe la relación de corriente de conducción y voltaje (I-V) y la otra fuente describe la carga de la corriente de desplazamiento y voltaje (Q-V) [14],[29]. Este procedimiento permite que la corriente de conducción y la carga sean extraídas de las mediciones [14]. Existen diferentes métodos analíticos de extracción como son redes neuronales, pero un modelo compacto presenta más facilidad en la implementación mediante un software tipo CAD para el diseño de amplificadores. De esta manera, lo que se busca con los modelos compactos es que sean fáciles de implementar en un simulador CAD, que las simulaciones sean rápidas y que sean capaces de describir ampliamente el comportamiento del transistor, también en el modelo compacto se busca que su circuito equivalente sea pequeño y el número de ecuaciones no sea grande [25].

Algunos modelos basados en la física se pueden basar en la solución de ecuaciones como la de Poisson, la ecuación de Schrödinger y la ecuación de transporte, tomando datos de la estructura física del transistor, del material, de las impurezas y otras propiedades del transistor [15],[16].

Los modelos basados en la física tienen buena precisión al predecir los parámetros de dispersión, el PAE y la potencia de salida (POUT). Para el manejo de diferentes polaridades, la extracción de los parámetros es fácil ya que depende de la geometría y de las propiedades del semiconductor del dispositivo [15],[16]. Para la extracción se requieren pocas mediciones y la implementación es fácil en modelos compactos, pero estos modelos no tienen una buena

precisión para predecir el contenido armónico o el POUT en altas potencias, también estos modelos tienen mala convergencia al calcular el comportamiento del transistor. Los modelos basados en la física sirven muy bien para analizar el efecto físico del transistor y es una opción para el diseño de amplificadores de RF a señal pequeña, en la figura 1.3 se muestra un modelo basado en la física del transistor [5].

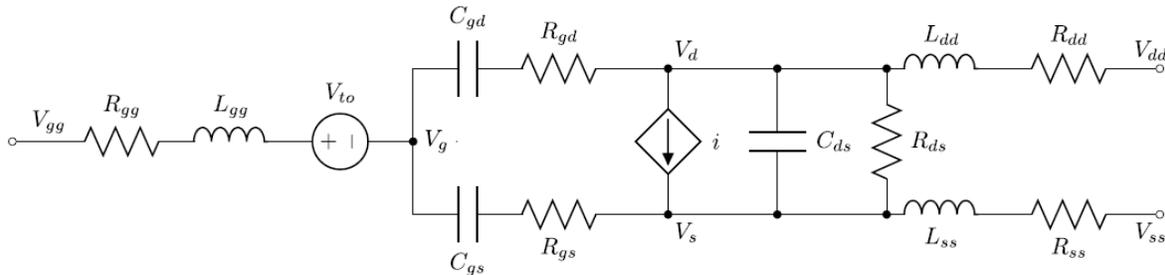


Figura 1.3 Modelo basado en la física [5].

En contraste, los modelos basados en tablas tienen buena precisión al describir la relación I-V y los parámetros de dispersión, pero presentan una limitación dado que para obtener buenos resultados el costo computacional es alto y por lo tanto el uso de la memoria es grande, por lo que las simulaciones son lentas usando estos modelos [10]. Otra limitación es el problema de la convergencia usando interpolación en un software CAD, la predicción de la relación Q-V es pobre y tiene imprecisiones para simular distorsión de alto orden [10].

Por otra parte, los modelos basados en los parámetros X describen la distorsión de múltiples armónicos (PHD) para diseñar PAs. Los parámetros X son la extensión de los parámetros S [19]. La PHD modelan la linealización espectral usando el principio de superposición [20], además se requiere de múltiples soluciones y una gran cantidad relativa de ecuaciones lineales y de un gran número de simulaciones de balance armónico para diferentes puntos de operación. Por esta razón la PHD tiene limitaciones para predecir las no-linealidades, otra limitación de la PHD es el uso de funciones por partes para modelar la condición en diferentes polarizaciones, esto resulta en una pobre extrapolación y una oscilación entre diferentes puntos [11,21]. Para crear un modelo con parámetros X se requiere de diferentes capturas de frecuencia y diferentes niveles de potencia de entrada, por esta razón para obtener un modelo con parámetros X el costo computacional es alto [19]. Para obtener el comportamiento del transistor con mediciones a señal pequeña se requiere de  $N^2$  muestras, en comparación con

mediciones a señal grande solo se necesita de  $N$  muestras [14], para obtener diferentes muestras se puede usar cargas pasivas, cargas activas (ALP) donde son necesarias fuentes de RF.

En este trabajo se desarrolló un modelo no-lineal cuasi-estático para un transistor SOS-MOSFET, el cual fue extraído y verificado con mediciones para obtener las fuentes de carga y corriente que cubren un amplio rango de puntos de operación del transistor. Asimismo, se implementó una red neuronal artificial (ANN) para extraer la relación I-V y Q-V [14]. Esta ANN provee funciones y derivadas suaves y continuas, lo cual permite obtener aproximaciones para ajustar bien el comportamiento de no linealidad del transistor [31].

## 1.2. Modelos no lineales para el diseño de amplificadores de potencia.

La ingeniería de ondas para el análisis de voltajes y corrientes es una herramienta para el diseño de PAs, que permite hacer una unificación de los modelos de comportamiento basados en la tecnología del transistor [32], el diseño del circuito y las mediciones, así el PA es optimizado con la forma de onda del voltaje y corriente en el dominio del tiempo [33]. Los amplificadores de potencia como el basado en la clase F son optimizados para obtener la máxima onda plana en el voltaje [34]. Una dificultad de aplicar la ingeniería de ondas es el significativo cambio de fase o pérdida de la amplitud que generan los parásitos intrínsecos, extrínsecos y de empaquetamiento [35], también es necesario sintonizar la impedancia de la carga para obtener la forma de onda deseada [32].

Los parásitos para un transistor HEMT de GaN se muestran en la figura 1.4, los parásitos extrínsecos son los inductores, resistores asociados a la metalización del surtidor, de la compuerta y del drenador [25]. La separación entre compuerta-surtidor es pequeña con la intención de que la resistencia entre ellos disminuya y así la retroalimentación debido a esta resistencia afecte lo menos posible, y la separación entre drenador-compuerta es grande para que su resistencia sea grande y así el voltaje de ruptura se incremente [25]. Como se observa en la figura 1.4 el circuito equivalente de un modelo compacto para el diseño de

amplificadores se puede obtener de las características físicas del transistor, los parásitos intrínsecos en el transistor son los capacitores  $C_{gs}$ ,  $C_{ds}$  y  $C_{gd}$ , donde estos capacitores normalmente son no lineales, y la referencia de la fuente es  $I_d$ .

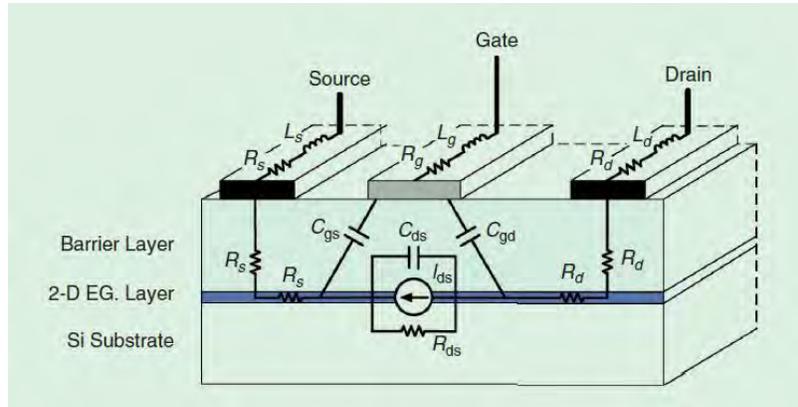


Figura 1.4. Parásitos del transistor HEMT [25].

Algunas técnicas para diseñar amplificadores de potencia no necesitan conocer los parásitos lineales y no lineales del transistor, por ejemplo, para obtener el PAE óptimo con figuras de mérito, la técnica de carga de jale es usada para localizar la mejor carga [36]. Las mediciones de carga de jale no proveen las formas de onda intrínsecas sin desincrustar los datos de las mediciones (voltajes y corrientes), tampoco proveen las corrientes de fuga, el voltaje de ruptura y el ancho de banda para diseñar PA, por lo que con esta técnica no se obtiene un modelo para el transistor. Otra desventaja de la carga activa es el tiempo largo para encontrar las impedancias óptimas para el diseño del PA y el tiempo se incrementa aún más si se quiere diseñar amplificadores de banda ancha [37].

La teoría de las diferentes clases de los PAs está basada en la baja frecuencia del transistor [38], en altas frecuencias en el diseño del PA se pueden utilizar diferentes técnicas. Un enfoque en el diseño del PA es en la referencia extrínseca o de empaquetamiento del transistor [37], donde el amplificador clase E alcanza un rendimiento satisfactorio. Otro enfoque consiste en desincrustar los parásitos del transistor, de tal forma que el diseñador puede acceder al plano intrínseco del transistor [39], para esto se necesita un modelo y por lo tanto se puede diseñar conociendo las formas de onda del plano intrínseco [36], esta técnica se usa con amplificadores clase F. En este proyecto de investigación se diseñó un amplificador clase F real usando el modelo incrustado de Angelov para un transistor HEMT,

este modelo fue implementado en un simulador y el modelo desarrollado fue el modelo incrustado compacto para un transistor SOS MOSFET.

El modelo de Angelov describe la corriente de conducción  $I_D$  en función de los voltajes y sus derivadas, especialmente para predecir los armónicos del transistor [8]. En este modelo es necesario extraer desde mediciones el valor pico de la transconductancia en función de  $V_{GS}$ , por lo tanto, este modelo está basado en  $I_D(V_{GS}, V_{DS})$  y  $g_m(V_{GS})$  para describir las características I-V, siguiendo el circuito mostrado en la figura 1.5,  $I_D$  y la transcapacitancia son calculados como se muestra a continuación:

$$I_D(V_{GS}, V_{DS}) = I_{pk}(1 + \tanh(\psi))(1 + \lambda V_{DS}) \tanh(\alpha V_{DS}) \quad (1)$$

$$C_{gs} = C_{gs0}(1 + \tanh(P_{1gs} V_{GS}))(1 + \tanh(P_{1gsd} V_{DS})) \quad (2)$$

$$C_{dg} = C_{dg0}(1 + \tanh(P_{1gd} V_{GS}))(1 + \tanh(P_{1gsg} V_{DS})) \quad (3)$$

Donde  $\psi$  es una serie de potencia centrada en el voltaje de compuerta pico ( $V_{pk}$ ) para obtener la máxima transconductancia  $g_{mpk}$ ,  $C_{gs}$  es la capacitancia de compuerta-fuente y  $C_{dg}$  es la capacitancia drenador-compuerta,  $C_{gs0}$  y  $C_{dg0}$  son medidos en un voltaje de cero volts,  $P_{1gs}$ ,  $P_{1gsd}$ ,  $P_{1gd}$  y  $P_{1gsg}$  ajustan la curva de medición.

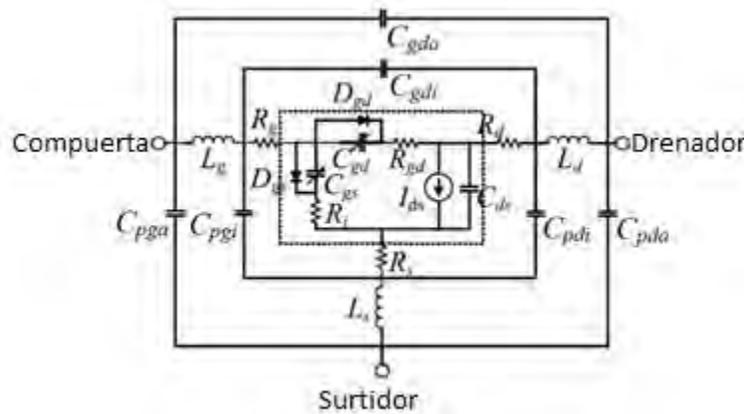


Figura 1.5. Modelo de Angelov.

El modelo compacto de un SOS MOSFET es usado para describir el comportamiento del transistor a señal grande [11], este modelo fue extraído con una carga activa en tiempo real (RTALP). Este modelo tiene dos puertos que describe el comportamiento intrínseco del

transistor y consiste en una fuente de corriente directa y una fuente de carga, ambas fuentes están en función de los voltajes aplicados en el plano de referencia intrínseca (Figura 1.6).

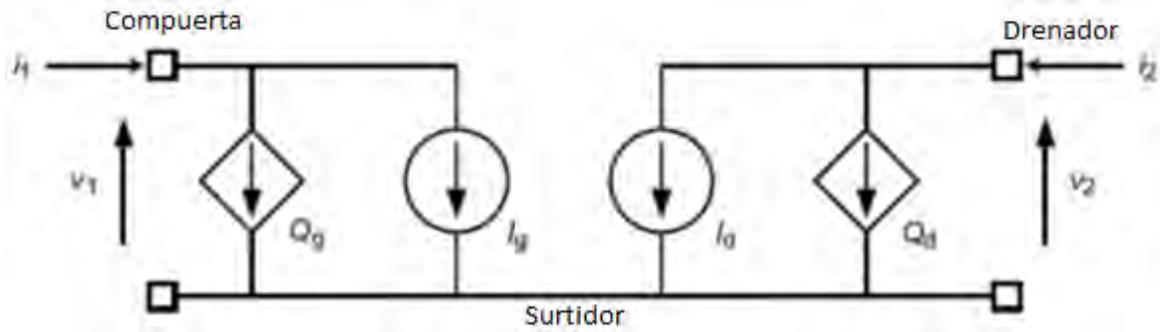


Figura 1.6. Modelo Compacto.

Para un transistor SOS MOSFET, un modelo de transferencia incrustada (ETN) fue desarrollado, en este modelo se diseña un PA con las características ideales de un transistor y luego se agregan los parásitos del transistor con elementos inversos a un resistor, inductor y capacitor.

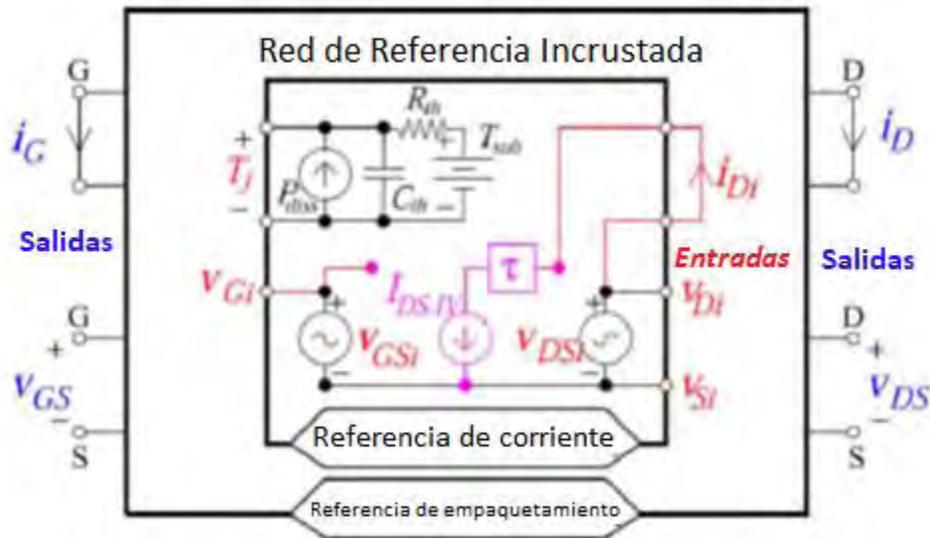


Figura 1.7. Modelo incrustado de transferencia (ETN).

### 1.3. Alta eficiencia en los amplificadores de potencia.

La alta eficiencia es una consideración de diseño crucial para el PA, el PA de Doherty y el PA modulado. Debido a problemas de temperatura, confiabilidad y tamaño [1] - [3], se han propuesto varias topologías de PA, por ejemplo, clase E, clase F y clase F inversa, las cuales permiten lograr una alta eficiencia [3] - [17]. En el PA de clase E, un transistor actúa como un interruptor, que tiene una pérdida muy baja [39]. El voltaje del amplificador de clase E se soporta a través de la carga y descarga del capacitor de salida de un transistor, que es paralelo al interruptor [39]. Debido a que este amplificador ajusta todos los componentes armónicos mediante el resonador LC, ofrece la mayor eficiencia entre los amplificadores propuestos. El capacitor se encarga de la carga, sin embargo, por encima de la frecuencia máxima teórica, el capacitor no puede descargarse lo suficientemente rápido como para soportar la forma de onda ideal [3], [4]. Como resultado, la eficiencia del PA de clase E se degrada significativamente a una frecuencia superior a la frecuencia máxima, [3] - [6]. Además, la densidad de potencia del amplificador de clase E es baja debido al bajo valor del voltaje fundamental.

Para ofrecer una alta eficiencia a una alta frecuencia, los PAs son sintonizados armónicamente, como los amplificadores de clase J, clase F y clase F inverso, que se han estudiado exhaustivamente [7] - [23]. Las formas de onda de corriente y voltaje de estos amplificadores se muestran en la Figura 1.8. Aquí, los amplificadores están polarizados en la condición de corte actual. Como se muestra en la Figura 1.10 (c), la forma de onda actual de la clase J es una media onda, la forma de onda de voltaje de un amplificador clase J también es una media onda, pero la forma de onda de voltaje se puede desfasar de  $0^\circ$  a  $45^\circ$ , por lo que a  $45^\circ$  se reduce la potencia de salida a una proporción de raíz de 2. La forma de onda de voltaje del amplificador de clase B es una onda sinusoidal con una potencia fundamental de raíz de 2 veces menor y la misma forma de onda actual. Los contenidos de corriente directa son los mismos para los dos amplificadores; por lo tanto, la potencia de salida y la eficiencia del amplificador de clase J son las mismas que las del amplificador de clase B [12], limitadas al 78%, aunque la variación de voltaje de un amplificador clase J es mayor a 2 [8].

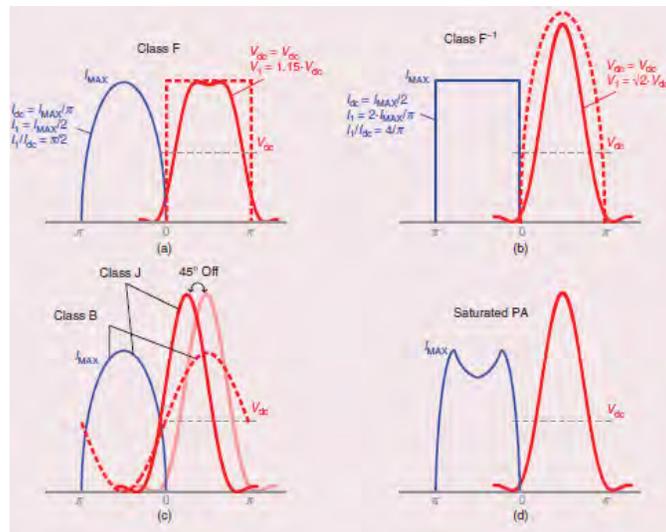


Figura 1.8. Las formas de onda de corriente y voltaje para los PAs de alta eficiencia. (a) Las formas de onda de clase F con armónicos infinitos (línea de puntos) y hasta terceros armónicos (línea continua), (b) las formas de onda de clase F inverso con armónicos infinitos (línea de puntos) y hasta terceros armónicos (línea continua), (c) las formas de onda de los amplificadores de clase B y clase J, y (d) las formas de onda de un PA saturado [8].

Un enfoque para diseñar amplificadores de alta eficiencia consiste en monitorear las formas de onda de voltaje y corriente en el plano de referencia de la fuente de DC del transistor. Algunos diseñadores usan el modelo desincrustado donde los parásitos lineales, no lineales y la carga son removidos para optimizar la forma de la onda de la corriente de la fuente de DC del transistor. El diseño en el modelo ETN busca las formas de ondas correctas en la referencia de la fuente y las proyecta a los planos extrínsecos y de empaquetamiento agregando los parásitos que tiene el transistor. Las topologías que se han diseñado con el modelo ETN son: PA clase J, F, amplificador Doherty y Chirex.

El amplificador clase B es ampliamente usado y puede extenderse al amplificador clase AB, el clase AB es un amplificador que a baja potencia su eficiencia es baja, pero se emplea para manejar potencias pico en amplificadores multi etapa [25]. La diferencia entre el clase F y el clase B es la impedancia para el tercer armónico. La forma de onda corriente y el voltaje del clase F es una sinusoidal y cuadrada respectivamente. Con el clase F se tiene un gran interés para construir amplificadores multi etapa de alta eficiencia como es el Chirex. Como se mencionó antes en el caso del amplificador multi etapa el Doherty se utiliza un clase F para la potencia promedio y un clase AB para las potencias pico[25,27]. En este proyecto de

investigación se hace una actualización del amplificador clase F utilizando el modelo ETN para un transistor HEMT.

La teoría clásica de un PA de clase F consiste en establecer una impedancia de cero para los armónicos pares e infinita para los armónicos impares [41], como consecuencia el análisis de la corriente y el voltaje es expresado como sigue:

$$v_D(\theta) = V_{DD} + V_{om} \sin \theta + V_{3m} \sin 3\theta + V_{5m} \sin 5\theta + \dots \quad (4)$$

y

$$i_D(\theta) = I_{DC} - I_{om} \sin \theta - I_{2m} \sin 2\theta - I_{4m} \sin 4\theta + \dots \quad (5)$$

Donde  $\theta = \omega t$  y  $\omega$  es la frecuencia fundamental. La eficiencia para un PA es la relación de la potencia de RF sobre la potencia de DC. Considerando únicamente la frecuencia fundamental, el segundo y tercer armónico, la eficiencia teórica puede llegar alcanzar el 90.7% [38]. Este PA clase F considera un voltaje de rodilla igual a cero y características IV del transistor ideales [15-17].

Algunas no-linealidades inherentes del transistor generan armónicos, de tal forma que la onda de la corriente del drenador es recortada, por lo tanto, se generan armónicos en la corriente [38]. El voltaje de rodilla genera armónicos impares en el voltaje, el diseño práctico de un amplificador clase F considera únicamente la frecuencia fundamental, el segundo y tercer armónicos y las altas frecuencia se consideran valores aleatorios. En un diseño práctico algunos parámetros son necesarios de optimizar para obtener una mejor eficiencia y salida de potencia.

Las impedancias para el amplificador clase F para los n armónicos son calculados de la siguiente manera [13],[16]:

$$Z_{L,n} = \begin{cases} \frac{4}{\pi} \frac{V_{D,max} - V_{ON}}{I_{D,max}}, & \text{para } n = 1 \\ 0, & \text{para pares} \\ \infty, & \text{para impares} \end{cases} \quad (6)$$

La impedancia fundamental es de tipo resistiva, las impedancias pares requieren una terminación en corto y las impedancias impares requieren una terminación abierta para

obtener la forma de onda de la corriente sinusoidal rectificada. En algunas ocasiones el diseño real de un amplificador clase F, la forma de onda de la corriente no es obtenida de la condición real del transistor.

Como se mencionó anteriormente el tercer armónico de un amplificador clase F es una terminación abierta sin pérdidas, pero usando una carga pasiva se muestra que la mejor eficiencia es representada por una terminación inductiva sin pérdidas, como se muestra en la figura 1.9, la corriente del tercer armónico es generada debido a la no linealidad de la capacitancia del drenador-surtidor. El modelo incrustado del dispositivo (transistor HEMT) predice automáticamente en la referencia del plano intrínseco la máxima carga del tercer armónico para obtener la mejor eficiencia [5]. Para implementar en mediciones las terminaciones sin pérdidas para los armónicos del amplificador clase F ideal en el plano intrínseco, se conecta una carga negativa para los armónicos en el plano de referencia del empaquetamiento, esto se consigue con una carga activa, la cual hace que las impedancias estén fuera de la carta Smith.

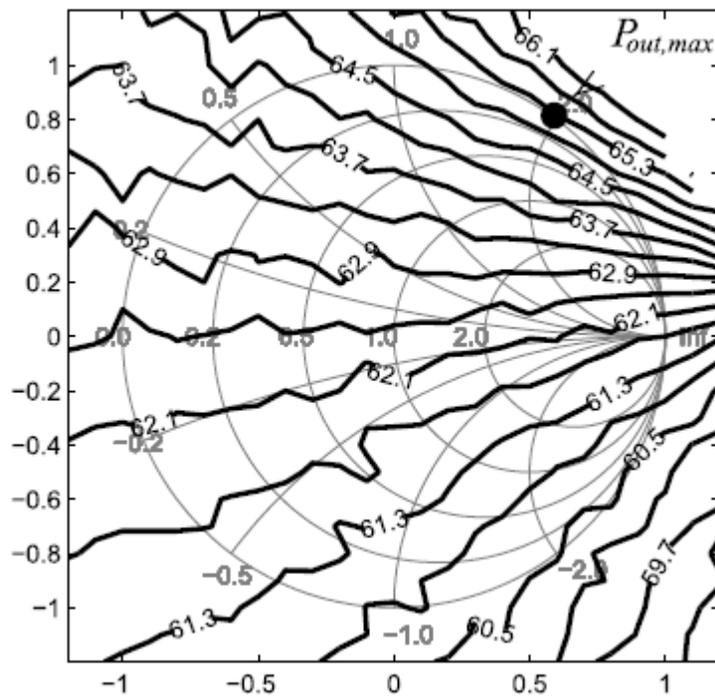


Figura 1.9. Contorno de la eficiencia de drenador para el tercer armónico.

El amplificador clase F continuo es utilizado en amplificadores para un ancho de banda amplio y consiste en barrer la reactancia para la frecuencia del segundo y tercer armónico [27]. Algunos diseños de estos amplificadores se hacen tomando en cuenta la referencia de empaquetamiento del transistor [27,28], probablemente se necesita un análisis más profundo de lo que sucede en el plano de referencia intrínseco para obtener una optimización mejor en la eficiencia del transistor.

En [22], se utilizan iteraciones numéricas para calcular la impedancia óptima ( $Z_{OPT}$ ) para el diseño de un amplificador clase E de banda ancha de 1.4 a 2.4 GHz, el diseño de este amplificador es muy atractivo debido a que la eficiencia es del 73 al 83 %, pero el problema con este tipo de diseño, que utiliza cálculos numéricos, es que no toman en cuenta la degradación de la corriente debido a los efectos de memoria y no se sabe si la forma de onda de la corriente y del voltaje son los óptimos.

#### 1.4. Caracterización de autocalentamiento y señal grande para RF.

Los HEMTs de AlGaIn/GaN son conocidos por manejar alta potencia y por su facilidad en el diseño de amplificadores de alta potencia [1], pero el rendimiento del HEMT a señal grande para RF es afectado por los efectos de memoria como es el auto calentamiento y las trampas, debido a la alta potencia de RF que maneja hay una alta potencia de disipación y una alta temperatura en el canal [24]. Estos fenómenos ocasionan que la eficiencia del amplificador decrezca conforme la temperatura aumenta [25], por tal motivo los modelos térmicos distribuido y transitorio son ampliamente utilizados para la obtención de modelos compactos. El auto calentamiento es la conversión de la energía eléctrica a calor, este aspecto físico está relacionado principalmente con la condición de polarización, la terminación de la carga y de los niveles de potencia de RF.

La potencia de disipación ( $P_{diss}$ ) en el transistor incrementa la temperatura en el dispositivo ( $T_{dev}$ ), por la resistencia térmica ( $R_{TH}$ ), la respuesta del autocalentamiento es típicamente arriba de los microsegundos, además la respuesta de este efecto de memoria es relativamente baja a la excitación de la modulación RF como es la LTE, la baja respuesta se ve en [29], en

donde se menciona un pulso aplicado de DC a un transistor HEMT o mejor conocido como pulso-IV, el ancho del pulso es de  $1 \mu s$  que representa el 1% de un ciclo de trabajo de un periodo, en este corto periodo la temperatura no cambia y no hay degradación del comportamiento de DC del HEMT (conocido también como IV).

Una de las contribuciones de este proyecto de investigación fue la obtención de un modelo térmico de un transistor HEMT, extraído de una operación isotérmica, en estas mediciones fue utilizado una carga activa (ALP).

## 1.5 Trampas en el HEMT.

Los HEMT de nitruro de galio (GaN) se han convertido en la tecnología más atractiva para el diseño de dispositivos de potencia y RF de alta potencia. Sin embargo, es bien sabido que estos dispositivos sufren una degradación del rendimiento relacionada con la captura de carga. La captura de carga se ha vinculado a las imperfecciones en el proceso de fabricación del dispositivo. Esto da lugar a la creación de los llamados centros de defectos, más comúnmente centros de captura o trampas. Las trampas son un efecto de memoria importante que se debe considerar en un transistor HEMT [25], las trampas colapsan la corriente de drenador, de este modo la potencia de salida disminuye, los mecanismos que generan las trampas son: (1) las trampas en la superficie que afectan la resistencia de drenador a surtidor, (2) las trampas en el sustrato afectan el voltaje de umbral. Existen modelos de superficie de trampas integrados al modelo compacto del transistor [25].

Se ha demostrado que una gran cantidad de trampas incrementan el voltaje de drenador y el voltaje de compuerta se decrementa hasta llevarlo a valores de voltaje de estrangulamiento, las trampas reducen el rendimiento de la máxima potencia de salida, distorsión y eficiencia, causando un impacto crítico en el diseño de amplificadores de potencia.

El modelo ampliamente usado para las trampas en donde se utiliza el análisis de Shockley-Read-Hall fue desarrollado por Rathmell y Parker [25] y es mostrado en la figura 1.10. Este modelo depende de los voltajes pasados e instantáneos de compuerta surtidor ( $V_{GS}$ ) y de drenador-surtidor ( $V_{DS}$ ) [23],  $\phi_1$  y  $\phi_2$  son los mecanismos de las trampas. El problema con

este modelo es la dificultad de describir la corriente de drenador ( $I_D$ ) con las variables internas del modelo de trampas. La inconsistencia entre las mediciones y el modelo es en la descripción del voltaje de rodilla de las curvas I-V.

El proceso de emisión de carga normalmente es mucho más lento que el proceso de captura de las trampas, esto agrega un retardo en la respuesta de la corriente de drenador al cambio de un voltaje, en capítulos posteriores se mostrará este efecto mediante mediciones. Además, la dinámica de la carga de las trampas exhibe tiempos de cargas muy pequeños del orden de los nanosegundos, así como tiempos de cargas muy grandes del orden de los microsegundos, también las trampas exhiben parásitos de mezclado de señales en RF.

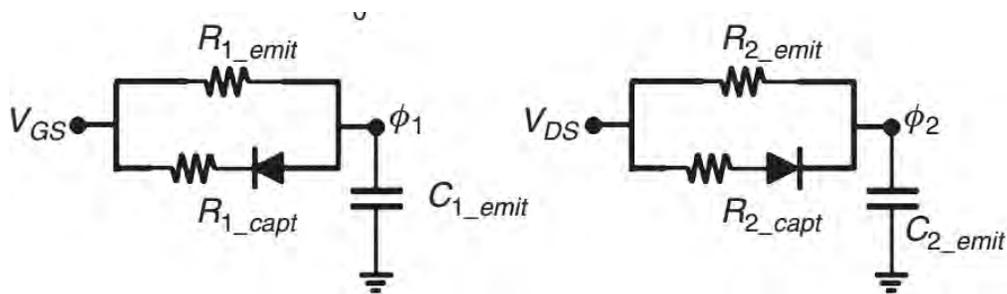


Figura 1.10. Sub circuito para el modelo de trampas para el HEMT.

Con la pasivación de la superficie la calidad del semiconductor se mejora y los estados en la superficie de las trampas se mitigan, pero la corriente de fuga se incrementa [28], el estudio de las trampas estacionarias se lleva a cabo en baja y alta frecuencia para obtener el modelo de comportamiento a señal grande y de esta manera implementar el efecto de memoria en el simulador de balance armónico para describir la dinámica de RF del transistor.

Existen varios modelos que describen las trampas como es en [23], donde el modelo predice muy bien las trampas del transistor, mediante variables de estado describen el funcionamiento de las trampas en función de voltajes pasados, instantáneos y las constantes de tiempo de carga y descarga. En [23] la descripción de las trampas lo hace en el plano intrínseco del transistor y por lo tanto la referencia de la fuente es desconocida, lo cual es una desventaja al momento de optimizar las formas de ondas de voltajes y corrientes, otra desventaja de este modelo es la utilización de tablas y por lo tanto puede tener problemas de convergencia al utilizarlo en un simulador de balance armónico.

## 1.6 Conclusión.

Con la extracción de parámetros de un transistor para microondas, se obtiene un modelo compacto de señal grande para su implementación en un software de simulación CAD. Esto ha permitido el diseño de amplificadores a señal grande, prediciendo la forma de las ondas de voltajes y corriente, lo cual permite calcular parámetros como el PAE, POUT, PDISS, entre otros más. Estos avances han permitido cubrir las necesidades tecnológicas que requieren los sistemas de comunicación inalámbricas. Pero todavía falta un análisis detallado del funcionamiento óptimo de los transistores, como son: las formas de ondas óptimas para obtener la mejor eficiencia y así calcular las impedancias reales que necesita el transistor. Un estudio detallado en el plano de referencia de la fuente e intrínseco del transistor permitirá conocer de manera rápida el comportamiento optimó del transistor.

## Referencias.

- [1] U. K. Mishra, L. Shen, T. E. Kazior, and Y.-F. Wu, “GaN-based RF power devices and amplifiers”, Proc. IEEE, vol. 96, no. 2, pp. 287–305, Feb. 2008.
- [2] C. S. Whelan, N. J. Koliass, S. Brierley, C. MacDonald, S. Bernstein, “GaN Technology for Radars”, CS Mantech Conference, April 23rd - 26th, 2012, Boston, Massachusetts, USA.
- [3] R.J. Trew, G.L. Bilbro, W. Kuang, Y. Liu, and H. Yin, “Microwave AlGaN/GaN” HFET”, IEEE Microwave Magazine, vol. 5, pp 56-66, March. 2005.
- [4] R. S. Pengelly, S. M. Wood, J. W. Milligan, S. T. Sheppard and W. L. Pribble, “A Review of GaN on SiC High Electron-Mobility Power Transistors and MMICs”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 60, NO. 6, JUNE 2012.
- [5] J. J. Komiak, “GaN HEMT”, IEEE Microwave Magazine, April 2015.
- [6] Z. Wang, “Envelope Tracking Power Amplifiers for Wireless Communications”, Artech House, 2014.
- [7] P. Colantonio, F. Giannini and E. Limiti, “High Efficiency RF and Microwave Solid State Power Amplifiers”, Wiley, 2009.
- [8] A. Eroglu, “Introduction to RF Power Amplifier Design and Simulation”, CRP Press, 2016.
- [9] J. Walker, “Handbook of RF and Microwave Power Amplifiers”, Cambridge, 2012.
- [10] D. E. Root, “Future Device Modeling Trends”, IEEE Microwave Magazine, vol. 13, no. 7, pp. 45-59, Nov. 2012.

- [11] S Saxena, K. Rawat and Patrick Roblin, “Continuous Class-B/J Power Amplifier Using Nonlinear Embedding Technique” IEEE Transactions on Circuits and Systems II, vol. 64, pp. 837-841, 2017.
- [12] E. Cipriani, P. Colantonio, F. Giannini, A. Raffo, V. Vadala, G. Bosi, G. Vannini, “Extended operation of class-F power amplifiers using input waveform engineering”, Proceedings of the 47th European Microwave Conference, Oct 2017, Nuremberg, Germany.
- [13] P. Colantonio, F. Giannini, G. Leuzzi, E. Limiti, “On the Class-F Power Amplifier Design”, John Wiley & Sons, Inc, 1999.
- [14] Y. Ko, P. Roblin, A. Zárate-de Landa, J. A. Reynoso-Hernández, D. Nobbe, C. Olson and F. J. Martinez, “Artificial Neural Network Model of SOS-MOSFETs Based on Dynamic Large-Signal Measurements”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 62, NO. 3, MARCH 2014.
- [15] G. L. Bilbron and R. J. Trew, “A Five-Parameter Model of the AlGaIn/GaN HFET”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 62, NO. 4, APRIL 2015.
- [16] S. A. AHSAN, S. GHOSH, S. KHANDELWAL AND Y. S. CHAUHAN, “Physics-Based Multi-Bias RF Large-Signal GaN HEMT Modeling and Parameter Extraction Flow”, Journal of the electron Device society.
- [17] Z. Wen, Y. Xu, Y. Chen, H. Tao, C. Ren, H. Lu, Z. Wang, W. Zheng, B. Zhang, T. Chen, T. Gao and R. Xu, “A Quasi-Physical Compact Large-Signal Model for AlGaIn/GaN HEMTs”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 65, NO. 12, DECEMBER 2017.
- [18] A. Gupta, T. Wang, A. M. Gokcen, and J. Roychowdhury, “STEAM: Spline based Tables for Efficient and Accurate Device Modelling”, IEEE, 2017.
- [19] R. Toukhtarian, M. T. Kassis, D. Tannir, and R. Khazaka, “Computation of X-Parameters Using Multipoint Moment Expansion, IEEE TRANSACTIONS ON

COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY”, VOL. 8, NO. 1, JANUARY 2018.

[20] M. T. Kassis, D. Tannir, R. Toukhtarian, and R. Khazaka, “Computation of the X-Parameters of Multi-Tone Circuits using Multipoint Moment Expansion”,

[21] D. E. ROOT, J. VERSPECHT, J. HORN and MIHAI MARCU, “X-Parameters Characterization, Modeling, and Design of Nonlinear RF and Microwave Components”, Cambridge University Press, 2013.

[22] F. You J. Benedikt, “An Optimized-Load-Impedance Calculation and Mining Method Based on I-V Curves: Using Broadband Class-E Power Amplifier as Example”, IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, MAY 2018.

[23] G. P. Gibiino, A. Santarelli and F. Filicori, “A GaN HEMT Global Large-Signal Model Including Charge Trapping for Multibias Operation”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES

[24] Y. Jia, Y. Xu, and Y. Guo, “A Universal Scalable Thermal Resistance Model for Compact Large-Signal Model of AlGaIn/GaN HEMTs”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 66, NO. 10, OCTOBER 2018.

[25] Q. Wu, Y. Xu, Y. Chen, Y. Wang, W. Fu, B. Yan, and R. Xu, “A Scalable Multiharmonic Surface-Potential Model of AlGaIn/GaN HEMTs”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 66, NO. 3, MARCH 2018.

[26] J. Wood, “Compact, Portable, and Easy to Use”, IEEE Magazine, Volume 19, Issue 7, Nov-Dec 2018.

[27] N. Srirattana, A. Raghavan, D. Heo, P. E. Allen, and J. Laskar, “Analysis and Design of a High-Efficiency Multistage Doherty Power Amplifier for Wireless Communications”,

IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 53, NO. 3, MARCH 2005.

[28] C. Ni, M. Chen, Z. Zhang, L. Zhang, X. Wu, “Design of broadband high-efficient PA based on hybrid continuous modes”, The Journal of the engineering, Vol. 2017, No. 1, January 2017.

[29] E. Aggrawal, K. Rawat, and P. Roblin. “Investigating Continuous Class-F Power Amplifier Using Nonlinear Embedding Model”. IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 27, NO. 6, JUNE 2017.

[30] H. Jang, P. Roblin, C. Quindroit, Y. Lin, and R. D. Pond. “Asymmetric Doherty Power Amplifier Designed Using Model-Based Nonlinear Embedding”. IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 62, NO. 12, DECEMBER 2014.

[31] Q. Zhang, K. C. Gupta, and V. K. Devabhaktuni, “Artificial Neural Networks for RF and Microwave Design—From Theory to Practice”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 51, NO. 4, APRIL 2003.

[32] Paul J. Tasker, “Practical Waveform Engineering”, IEEE Microwave Magazine, Vol. 10, No. 7. December 2009.

[33] M. S. Hashmi, F. M. Ghannouchi, and P. J. Tasker, “High Frequency Waveform Engineering and its Applications: Tutorial 54”, IEEE Instrumentation & Measurement Magazine, Vol.18, No. 3. May 2015.

[34] Frederick H. Raab, “Class-F Power Amplifiers with Maximally Flat Waveforms”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 45, NO. 11, NOVEMBER 1997.

[35] S. Preis, D. Gruner and Georg Boeck, “Investigation of Class-B/J Continuous Modes in Broadband GaN Power Amplifiers”, IEEE/MTT-S International Microwave Symposium Digest.

[36] H. Jang, P. Roblin and Z. Xie. “Model-Based Nonlinear Embedding for Power-Amplifier Design”. IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 62, NO. 9, SEPTEMBER 2014.

[37] P. Colantonio, F. Giannini, and E. Limiti, *High Efficiency RF and Microwave Solid State Power Amplifiers*. Hoboken, NJ, USA: Wiley, 2009.

[38] S. C. Cripps, *RF Amplifiers for Wireless Communication*, 2nd ed. Norwood, MA, USA: Artech House, 2006.

[39] F. J. Martinez-Rodriguez, P. Roblin, Z. Popovic, and Jose I. Martinez-Lopez. “Optimal Definition of Class F for Realistic Transistor Models”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 65, NO. 10, OCTOBER 2017.

[40] G. Avolio, D. M. M.-P. Schreurs, A. Raffo, G. Crupi, G. Vannini, and B. Nauwelaers, “Waveforms-Only Based Nonlinear De-Embedding in Active Devices”, IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 22, NO. 4, APRIL 2012.

[41] F. H. Raab, “Class-F Power Amplifiers with Maximally Flat Waveforms”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 45, NO. 11, NOVEMBER 1997.

# Capítulo 2.

## Modelo no lineal incrustado para el SOS-MOSFET.

En este capítulo se muestra el modelo de una red de transferencia incrustada (ETN) para un SOS-MOSFET. Esta ETN fue desarrollada usando el modelo descrito en [1]. El cual fue extraído usando una red neuronal artificial (ANN). Con la ayuda de un analizador de redes no lineal (LSNA) y usando una carga activa en tiempo real (RTALP), se obtuvo una rápida medición a señal grande en tan solo 10 ms, para obtener los datos y después extraer el modelo en cuestión. En este capítulo se discute un ETN para el SOS-MOSFET.

### 2.1 Banco de pruebas para la carga activa en tiempo real (RTALP).

Para caracterizar al SOS-MOSFET el banco de pruebas utilizado se muestra en la figura 2.1. Para separar y suministrar potencia en RF y una corriente de polarización al transistor, fueron utilizados dos *TEES*, de polarización usados en el puerto 1 y en el puerto 2. Un sintonizador fue conectado en el puerto 1 para acoplar la impedancia de entrada del dispositivo bajo prueba (DUT). El sintonizador en la salida escoge la terminación de la impedancia de salida para el DUT. Las ondas de potencia incidentes y reflejadas fueron medidas con acopladores bidireccionales. En el puerto 1 se conectó un generador de señal de RF a una frecuencia fundamental de  $f_0 = 2GHz$ . Para manejar la condición de RTALP fue necesario conectar un generador de señal de RF con una frecuencia de  $f_0 + \Delta f$ , donde  $\Delta f$  está por debajo de 25

MHz, la corriente de DC cambia con la frecuencia de  $\Delta f$  y fue medida con un sensor de corriente y capturada con el osciloscopio, el LSNA midió las ondas incidentes y reflejadas.

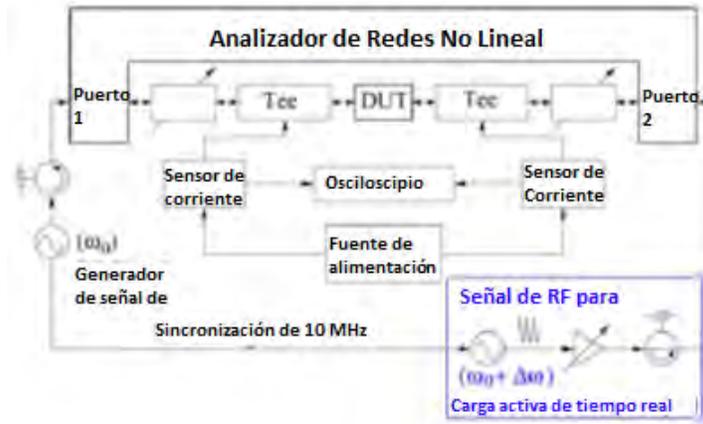


Fig. 2.1. RTALP para SOS-MOSFET.

El puerto 1 del DUT fue conectado la compuerta-surtidor del SOS-MOSFET y en el puerto 2 fue conectado al drenador-surtido. Con la calibración del LSNA se obtienen los datos de la onda incidente y reflejada del DUT. La calibración permite quitar todo los parásitos que hay al conectar el banco de pruebas, La idea básica del LSNA es poner el DUT bajo la condición de operación real. Para este proceso se pueden utilizar las calibraciones lineales SOLT, TRL ó LRRM. La calibración del LSNA es más complicada que la de un analizador de redes vectorial, porque el LSNA también necesita la calibración de potencia y fase. Esto implica que la medición es cercana a la condición real del DUT.

El LSNA mide las ondas de potencia incidente ( $a_i$ ) y reflejada ( $b_i$ ) en el puerto  $i$ . La relación entre  $a_i$ ,  $b_i$ , los voltajes ( $v_i$ ) y las corrientes ( $i_i$ ) se muestran como siguen:

$$a_i(n\omega) = \frac{v_i(n\omega) + Z_0 i_i(n\omega)}{2} \quad (2.1)$$

$$b_i(n\omega) = \frac{v_i(n\omega) - Z_0 i_i(n\omega)}{2} \quad (2.2)$$

Donde  $Z_0$  es la impedancia característica asociada, en este caso es de  $50 \Omega$ ,  $n$  es el número del armónico, la onda incidente y reflejada se calcula en el dominio del tiempo de la siguiente manera:

$$a_i(t) = \text{Re}(\sum_{n=1} a_i(n\omega) e^{jn\omega t}) \quad (2.3)$$

$$b_i(t) = \text{Re}(\sum_{n=1} b_i(n\omega) e^{jn\omega t}) \quad (2.4)$$

Para una modulación periódica  $a_i(t)$  y  $b_i(t)$  se calculan como sigue:

$$a_i(t) = \text{Re}(\sum_{n=1} \sum_{m=-M}^{m=M} a_i(n\omega + \Delta m\omega) e^{j(n\omega + \Delta m\omega)t}) \quad (2.5)$$

$$b_i(t) = \text{Re}(\sum_{n=1} \sum_{m=-M}^{m=M} b_i(n\omega + \Delta m\omega) e^{j(n\omega + \Delta m\omega)t}) \quad (2.6)$$

Donde  $M$  es el número total de tonos.

El coeficiente de reflexión variante en el tiempo de la armónica  $n$  del banco de pruebas de la figura 2.1 se calcula usando:

$$\Gamma_L(n\omega, t) = \frac{\sum_{m=-M}^{m=M} a_2(n\omega + \Delta m\omega) e^{j(\Delta m\omega)t}}{\sum_{m=-M}^{m=M} b_2(n\omega + \Delta m\omega) e^{j(\Delta m\omega)t}} \quad (2.7)$$

La potencia de salida de RF de la frecuencia fundamental es calculada por:

$$P_{out}(\omega_o, t) = \frac{1}{2} (\sum_{m=-M}^M \sum_{q=-M}^M (v_2(\omega_o + m\Delta\omega)) \times (i_2(\omega_o + q\Delta\omega)) e^{j(q\Delta\omega + m\Delta\omega)t}) \quad (2.8)$$

## 2.2. Extracción del modelo cuasi-estático con redes neuronales artificiales para SOS-MOSFET.

La teoría que sustenta la extracción con la ANN es desarrollada y descrita por, la corriente de drenador en el plano de referencia intrínseca incluye la corriente de conducción y la corriente de desplazamiento.

$$i_G(t) = I_G(v_{GS}(t), v_{DS}(t)) + \frac{dQ_G}{dt}(v_{GS}(t), v_{DS}(t)) \quad (2.9)$$

$$i_D(t) = I_D(v_{GS}(t), v_{DS}(t)) + \frac{dQ_D}{dt}(v_{GS}(t), v_{DS}(t)) \quad (2.10)$$

Del lado de la compuerta  $i_G$  está la corriente de componentes totales,  $I_G$  es la corriente de conducción y  $Q_G$  es la carga de la compuerta. Normalmente  $I_G$  es cero en los transistores de efecto de campo. Del lado del drenador  $i_D$ ,  $I_D$  y  $Q_D$  son la corriente total, la corriente de conducción y la carga del drenador, respectivamente. Para el transistor SOS MOSFET los efectos de memoria como son las trampas y el auto-calentamiento son despreciables, pero el parásito bipolar es un efecto de memoria que afecta en baja frecuencia al SOS MOSFET. Con la ayuda de las redes neuronales,  $I_G$  y  $Q_G$  son extraídos al mismo tiempo.

La ANN utilizada para extraer el modelo cuasi-estático del SOS-MOSFET consta de tres diferentes capas: la capa de entrada, la capa oculta y la capa de salida, que son conectadas por pesos  $w_1$  y  $w_2$ , como se muestra en la figura 2.2. Mediante el algoritmo de propagación hacia atrás y utilizando iteraciones se actualizan los pesos de tal manera que el error entre la salida que predice la ANN y las mediciones tiendan a valores pequeños. La salida de la ANN predice la corriente total de la compuerta o del drenador, la función de error de la ANN se calcula de la siguiente manera [1],[2]:

$$E_D = \frac{1}{P} \sum_{ii=1}^P e_D^2(ii) \quad (2.11)$$

Donde  $E_D$  es la función de error,  $ii$  indica el tiempo de muestreo en el tiempo  $t_{ii}$ ,  $P$  es el número total de muestras,  $e_D$  es el error entre la corriente medida  $i_D$  y la corriente que predice la ANN  $i_{D,ANN}$  tal y como muestra la ecuación 2.12:

$$e_D(ii) = i_D(ii) - i_{D,ANN} \quad (2.12)$$

La corriente  $i_{D,ANN}$  es calculada de la siguiente forma:

$$i_{D,ANN} = I_{D,ANN}(ii) + \frac{dv_{GS}(ii)}{dt} \frac{dQ_{G,ANN}(ii)}{dv_{GS}(i)} + \frac{dv_{DS}(ii)}{dt} \frac{dQ_{D,ANN}(ii)}{dv_{DS}(ii)} \quad (2.13)$$

Donde  $I_{D,ANN}$ ,  $Q_{G,ANN}$  y  $Q_{D,ANN}$  son la corriente de conducción, la carga de la compuerta y la carga del drenador respectivamente,  $v_{GS}$  y  $v_{DS}$ , son los voltajes que vienen de mediciones, para la extracción de la  $I_{D,ANN}$  se deriva el Jacobiano desde una función y sus derivadas, el entrenamiento de la ANN se hizo simultáneamente con una ANN original y una ANN adjunta.

La entrada de la ANN está dada por el vector  $v_n = [\tilde{v}_{DS}, \tilde{v}_{GS}, v_0]$ , donde  $v_0$  es un valor de activación,  $\tilde{v}_{DS}$  y  $\tilde{v}_{GS}$ , son los voltajes  $v_{DS}$  y  $v_{GS}$  escalados linealmente de la siguiente manera [2]:

$$\tilde{v}_{DS} = \tilde{v}_{DS,min} + \frac{v_{DS} - v_{DS,min}}{v_{DS,max} - v_{DS,min}} (\tilde{v}_{DS,max} - \tilde{v}_{DS,min}) \quad (2.14)$$

$\tilde{v}_{DS,min}$  y  $\tilde{v}_{DS,max}$  son el valor mínimo y máximo escalado de  $v_{DS}$  a la entrada de la red neuronal,  $v_{DS,max}$  y  $v_{DS,min}$  son el valor máximo y mínimo de  $v_{DS}$ , el mismo escalado se hace para  $v_{GS}$  e  $i_D$ , para recuperar la escala original se utiliza la siguiente ecuación [2]:

$$v_{DS} = v_{DS,min} + \frac{\tilde{v}_{DS} - \tilde{v}_{DS,min}}{\tilde{v}_{DS,max} - \tilde{v}_{DS,min}} (v_{DS,max} - v_{DS,min}) \quad (2.15)$$

$f_1$  y  $f_2$  que se muestran en la figura 2.2 son funciones suaves, continuas, acotadas y monótonas, entre las funciones que pueden ocupar están: la función sigmoide, la función arco tangente, la función hiperbólica tangente, entre otras más.  $net_1$  es la sumatoria de la multiplicación de los pesos que conectan la capa de entrada con la capa oculta y las entradas que son los voltajes escalados linealmente.  $net_2$  es la sumatoria de la multiplicación de los pesos que conectan la capa oculta con la capa de salida y  $f_1$ , finalmente  $f_2$  es la salida de la ANN.

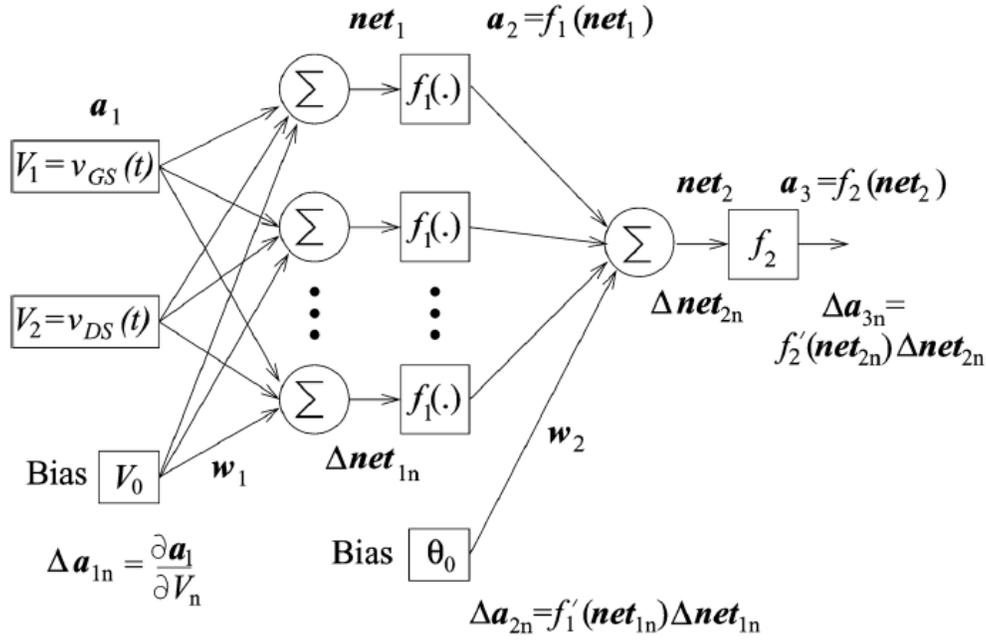


Figura 2.2. Diagrama de la red neuronal artificial.

El algoritmo de propagación hacia atrás para la corriente de conducción se determina derivado el error de costo  $E_D$  con respecto al peso  $w_2^a$  que conecta la capa oculta y la capa de salida, esta derivada está dada por:

$$J_{w_2^a}(j) = \frac{\partial E_D}{\partial w_2^a(j)} = -\frac{2}{P} \sum_{i=1}^P \delta_2(i) a_2(i, j) \quad (2.16)$$

donde:

$$\delta_2(i) = e_D(i) f_2'[\text{net}_2(i)] \quad (2.17)$$

$a_2(i, j)$  es igual a  $f_1$ ,  $i$  es el índice que nos indica la salida, en este caso  $i = 1$  debido a que solo tenemos la corriente adjunta,  $j$  es el índice que nos indica el número de neurona de la capa oculta, el error propagado para la capa oculta, se calcula con la derivada de la función de error  $E_D$  con respecto a  $w_1^a$  de la siguiente manera:

$$J_{w_1^a}(j) = \frac{\partial E_D}{\partial w_1^a(j, k)} = -\frac{2}{P} \sum_{i=1}^P \delta_1(i, j) a_1(i, k) \quad (2.18)$$

$a_1(i, k)$  son los voltajes escalados linealmente y  $k$  es el índice que indica el número de entrada.

La ANN adjunta calcula la carga en el drenador o la compuerta [4], para calcular la corriente de desplazamiento  $I_{D,ANN,desp}$  se utiliza la siguiente fórmula:

$$I_{D,ANN,desp} = \frac{dv_{GS}}{dt} \frac{dQ_{D,ANN}}{dv_{GS}} + \frac{dv_{DS}}{dt} \frac{dQ_{D,ANN}}{dv_{DS}} \quad (2.19)$$

Las derivadas  $\frac{dv_{GS}}{dt}$  y  $\frac{dv_{DS}}{dt}$  la podemos obtener mediante mediciones,  $Q_{D,ANN}$  es la carga que calcula la ANN y su derivada con respecto a los voltajes ( $\frac{dQ_{D,ANN}}{dv_{GS}}$  y  $\frac{dQ_{D,ANN}}{dv_{DS}}$ ) con la ANN de la figura 2.2 se calcula de la siguiente manera:

$$\Delta b_3 = f_2'(net_{2,n}) \Delta net_{2,n} \quad (2.20)$$

$\Delta b_3$  es la derivada de la carga con respecto a los voltajes,  $f_2'(net_{2,n})$  es la derivada de  $f_2$  con respecto a los voltajes,  $n$  es el índice de la entrada de voltaje. La derivada de la función del error  $E_D$  con respecto al peso  $w_2^b$  de la ANN de la corriente de desplazamiento es:

$$\frac{\partial E_D}{\partial w_2^b(j,k)} = -\frac{2}{P} \sum_{i=1}^P \delta_{2,n}^A(i) \Delta b_{2,n}(i,j) + \delta_{2,n}^B(i) b_2(i,j) \quad (2.21)$$

$b_2 = f_1$  para la ANN de la corriente de desplazamiento,  $\Delta b_{2,n}$  es la derivada de  $f_1$  con respecto al  $n$ -ésimo voltaje,  $\delta_{2,n}^A$  y  $\delta_{2,n}^B$  se definen como:

$$\delta_{2,n}^A(i) = e_D(i) f_2'(net_{2,n}(i)) \quad (2.22)$$

$$\delta_{2,n}^B(i) = e_D(i) \Delta net_{2,n}(i) f_2''(net_{2,n}(i)) \quad (2.23)$$

En la capa oculta de la ANN de la corriente de desplazamiento la derivada del error  $E_D$  con respecto al peso  $w_1^b(j,k)$ , está dada por:

$$\frac{\partial E_D}{\partial w_1^b(j,k)} = -\frac{2}{P} \sum_{i=1}^P \delta_{1,n}^A(i,j) \Delta b_{1,n}(i,k) + \delta_{1,n}^B(i,j) b_1(i,k) \quad (2.24)$$

Donde  $b_1 = f_1$ ,  $\Delta b_{1,n}$  es la derivada de  $b_1$  con respecto al  $n$  voltaje,  $\delta_{1,n}^A$  y  $\delta_{1,n}^B$  se definen como:

$$\delta_{1,n}^A(i,j) = \delta_{2,n}^A(i) w_2^b f_1'(net(i,j)) \quad (2.25)$$

$$\delta_{1,n}^B(i,j) = \delta_{2,n}^A(i) w_2^b \Delta net_{1,n}(i,j) f_1''(net(i,j)) + \delta_{2,n}^B(i) w_2^b f_1'(net(i,j)) \quad (2.26)$$

La actualización de los pesos en cada iteración o el aprendizaje de la ANN está dada por la siguiente ecuación.

$$w_{siguiente} = w_{ahora} - \eta \frac{\partial E_D}{\partial w_{ahora}} \quad (2.27)$$

Donde  $\eta$  es una constante de atenuación al gradiente del error con respecto al peso, mediante este algoritmo se extrajo la corriente de conducción y de desplazamiento utilizando ANN, ahora se explicará el modelo SOS-MOSFET incrustado.

### 2.3. Modelo ANN incrustado para el transistor SOS-MOSFET.

En la figura 2.3 se muestra el circuito equivalente para un transistor FET. En este circuito se muestran los diferentes parásitos que tiene un transistor FET. En el cuadro violeta representa a la fuente de corriente que modela la característica IV del transistor. En el cuadro verde se agregan los parásitos no lineales que son las cargas, en el cuadro cian se tiene a los parásitos extrínsecos, en azul a los parásitos de empaquetamiento y por último, en negro se representan los parásitos que agrega la línea de transmisión donde se monta al transistor.

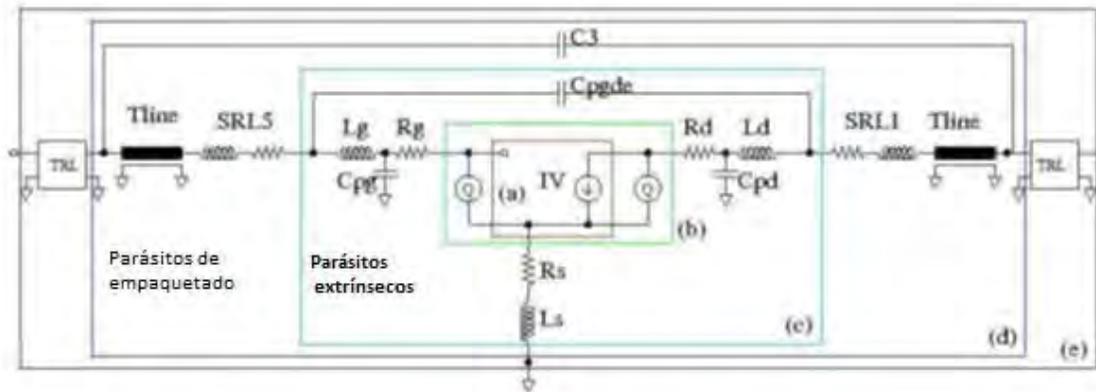


Figura 2.3. Modelo de un transistor FET, a) fuente de corriente, b) Parásitos intrínsecos, c) Parásitos extrínsecos, d) Parásitos de empaquetamiento y e) Parásitos de la línea de transmisión.

El modelo desincrustado de la figura 2.4 se utiliza cuando las entradas son los voltajes y corrientes en el plano de referencia del empaquetamiento o en el plano de conexión. Las salidas de este modelo son los voltajes y corrientes en el plano intrínseco del transistor. Por

ejemplo, este modelo se utiliza cuando se hacen mediciones a señal grande o pequeña. Un LSNA medirá los voltajes y corrientes de entrada en el plano de conexión. Por lo tanto, se tienen los parásitos que agrega el empaquetamiento y los parásitos extrínsecos, los cuales son lineales. Con los parámetros ABDC se pueden remover estos parásitos y así calcular los voltajes y corrientes de salida en el plano intrínseco del transistor. Si se desea conocer la corriente IV del transistor, los parásitos no lineales son removidos con métodos no lineales como son las redes neuronales [1].

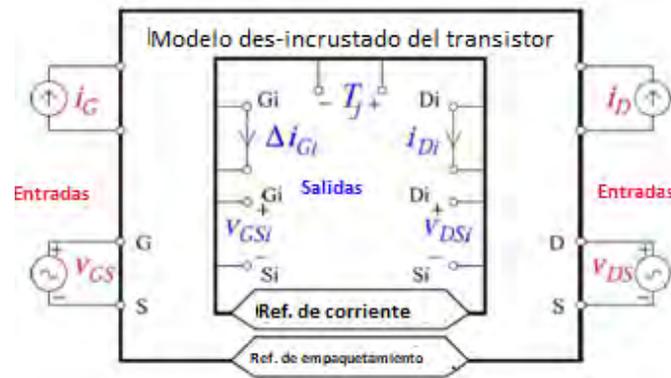


Figura 2.4. Modelo desincrustado de un FET.

Los modelos del dispositivo son aquellos que se implementan en un software CAD para hacer simulaciones ya sea con balance armónico o en el dominio del tiempo. En este modelo la entrada son los voltajes en la referencia de empaquetamiento del transistor, las corrientes en cualquier plano de referencia son las salidas y también este modelo tiene como salida los voltajes en el plano de referencia intrínseco.

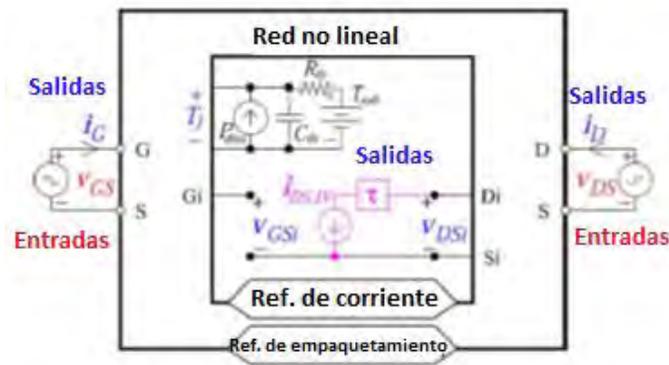


Figura 2.5. Modelo del dispositivo.

Uno de los proyectos de investigación fue la implementación de un modelo de transferencia incrustado (ETN) [5],[6] en el simulador de circuitos Advanced Agilent System (ADS) de la compañía Keysight. Con esta implementación se hacen simulaciones a señal grande con el simulador de balance armónico. El ETN tiene como entradas los voltajes y corrientes en el plano de referencia de la fuente de corriente. Para calcular el voltaje y corriente del plano intrínseco se utiliza capacitores de valores negativos no lineales. Para calcular los voltajes en el plano extrínseco y de empaquetamiento, se utilizan resistencias, capacitores e inductores lineales y negativos, en la figura 2.6 se muestra el ETN.

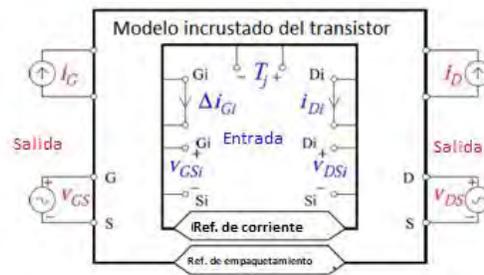


Figura 2.6. Modelo de transferencia incrustado.

En la figura 2.7a se representa el modelo del dispositivo con parásitos extrínsecos. En la figura 2.7b se muestra el modelo conceptual incrustado, donde se tiene como entrada los valores del plano intrínseco, con las resistencias, capacitores e inductores negativos se calcula los valores para el plano extrínseco.

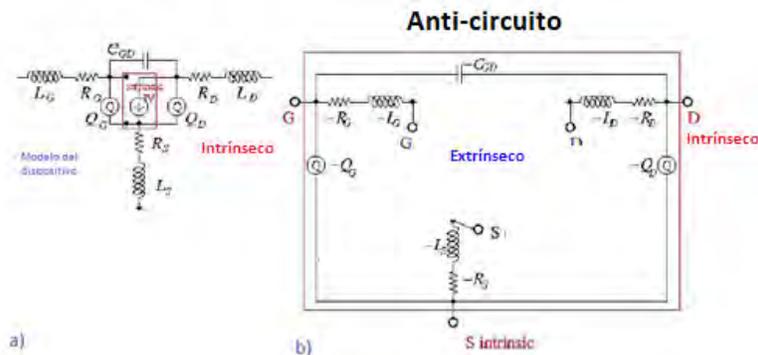


Figura 2.7. a) Modelo del dispositivo del circuito, b) Modelo incrustado conceptual.

La utilidad del modelo incrustado es la obtención de la línea de carga ideal en el plano de referencia de la fuente de corriente como se muestra en la figura 2.8a. Esta línea de carga corresponde al diseño de un amplificador clase B. El ETN hace el cálculo de los voltajes y corrientes en el plano de referencia extrínseco, por lo tanto, conociendo las impedancias que se necesitan en el plano de la fuente de corriente, el ETN proyecta a las impedancias al plano de referencia extrínseco, empaquetado hasta llegar a las impedancias que se necesitan el plano de referencia del conector.

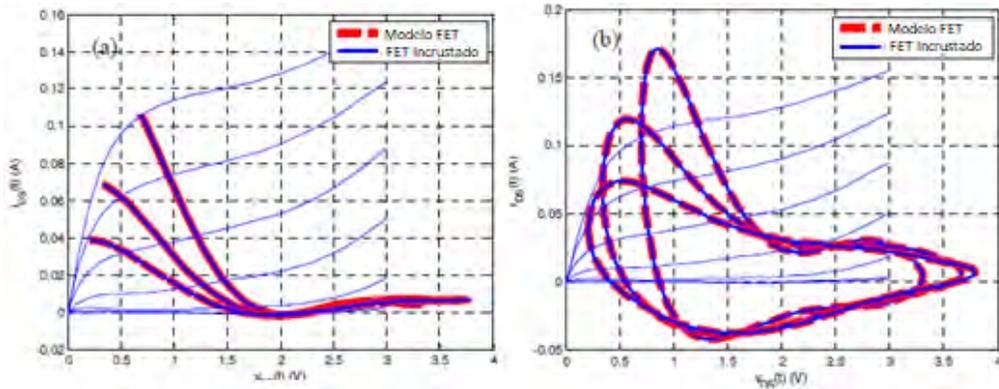


Figura 2.8. a) Línea de carga en el plano de referencia intrínseco, b) Línea de carga transferido al plano extrínseco.

## 2.4. Diseño de amplificadores con el modelo incrustado ANN para el SOS-MOSFET.

En esta sección se muestra el diseño de amplificadores a señal grande de clase A, clase B y clase F. Para estos diseños se utilizará el modelo de transferencia incrustada (ETN) para el transistor SOS-MOSFET, se calculará la eficiencia de drenador  $\eta$ , el  $PAE$ , la potencia de salida ( $P_{OUT}$ ), entre otros parámetros más.

a) Amplificador clase A.

Para el amplificador clase A se sigue la teoría propuesta en [3], aquí la resistencia óptima es calculada de la siguiente manera:

$$R_{opt} = (V_{ds} - V_k)/I_d \quad (2.27)$$

$V_{ds}$  es el voltaje de drenador-surtidor,  $V_k$  es el voltaje de rodilla e  $I_d$  es la corriente de drenador en el SOS-MOSFET. Con la ayuda de las gráficas IV se selecciona un  $V_{ds}$  que es igual a  $1.8\text{ V}$ , el  $V_k$  del transistor es igual  $0.6\text{ V}$  e  $I_d$  escogida es igual a  $50\text{ mA}$ , con esto se obtiene un  $R_{opt}$  igual a  $24\ \Omega$ . La gráfica IV y la pendiente de impedancia se muestra en la figura 2.9.

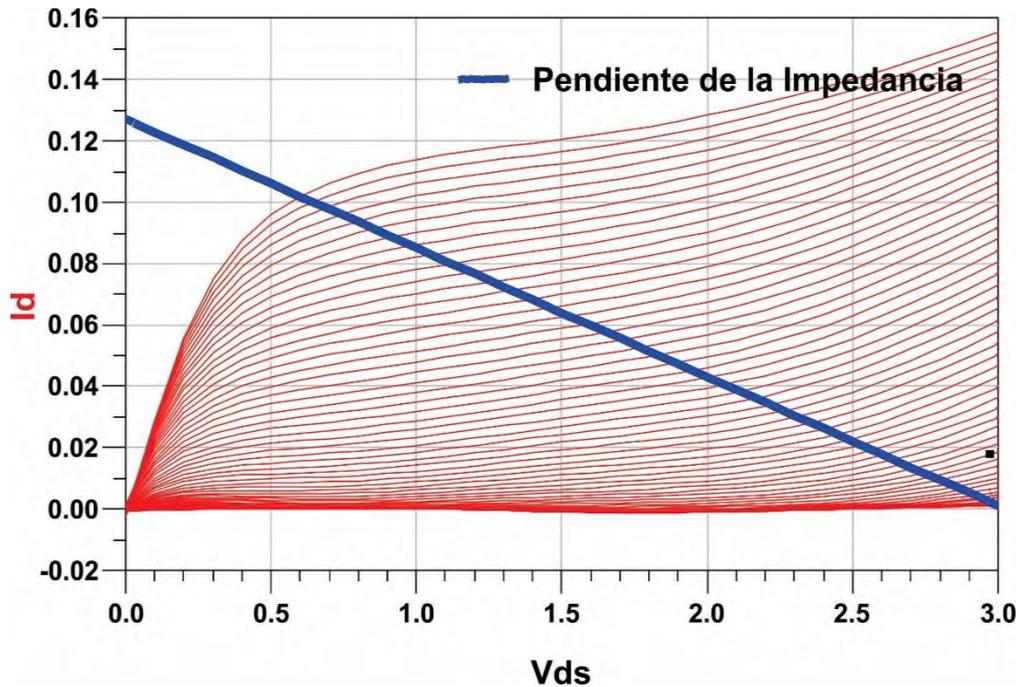


Figura 2.9. En rojo las curvas IV y la línea azul es la pendiente de la impedancia.

Con los valores calculados, se diseña el amplificador clase A en el plano de referencia de la fuente a una frecuencia de  $1\text{ GHz}$ , tal y como se muestra en la figura 2.10. Los capacitores e inductores que aparecen en este circuito no se consideran parásitos ya que no afectan el comportamiento en RF del amplificador, por lo que en este plano de referencia no existen parásitos no lineales y lineales.

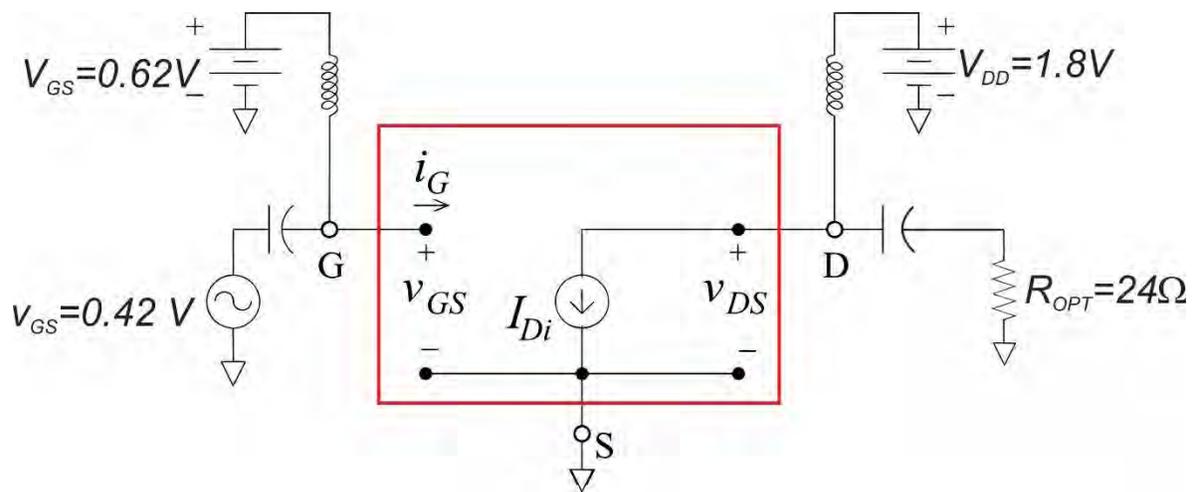


Figura 2.10. Diseño de un amplificador clase A en el plano de referencia de la fuente.

Se realizó la simulación utilizando balance armónico con el software *Advanced Design System*. En la figura 2.11 se simuló línea de carga en negro que es comparada con la línea de carga deseada en azul. Las diferencias entre las dos líneas de carga se deben a la relación no lineal y cuadrática entre el voltaje de compuerta-fuente y la corriente de drenador debido a que se trata de un transistor FET.

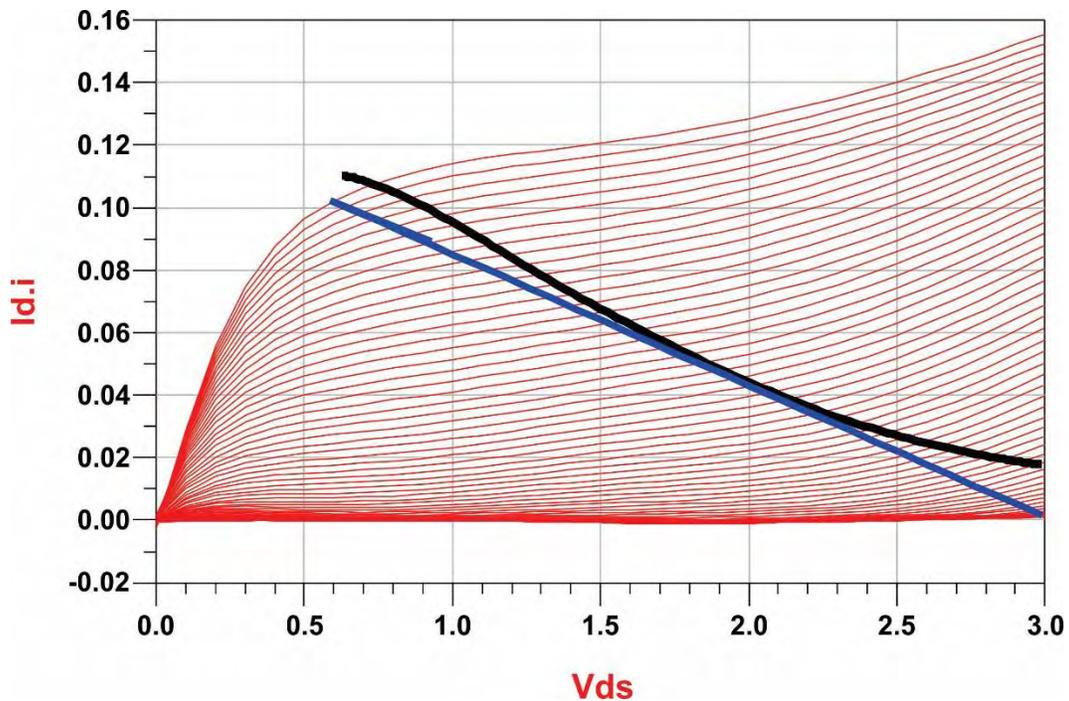


Figura 2.11. En negro la línea de carga de una amplificador clase A en el plano de referencia de la fuente, en azul la línea de carga ideal.

En la tabla 2.1 se muestran los valores  $V_{ds}$ ,  $I_d$  y la potencia de salida  $P_{out}$ . Se puede observar que a partir del segundo armónico  $V_{ds}$  y  $P_{out}$  son igual a cero tal y como lo predice la teoría de un amplificador clase A, la eficiencia de este amplificador es igual a 29 %

Tabla 2.1. Valores de voltajes, corrientes y potencia de salida del amplificador clase A.

Valores en DC			
	$V_{ds} V$	$I_d mA$	$P_{DC} W$
	1.8	0.059	0.1
Valores en RF			
Frecuencia GHz	$V_{ds} V$	$I_d mA$	$P_{out} W$
1	$1.175 \angle 180^\circ$	0.049	0.029
2	0	$0.002 \angle -180^\circ$	0
3	0	0	0
4	0	0	0

El siguiente paso es proyectar lo que predice el plano de referencia de la fuente hacia las cargas, esto es agregar la corriente de desplazamiento. En la figura 2.12 se observa la línea de carga en el plano de referencia intrínseco del transistor. Los valores absolutos del voltaje y la corriente en este plano de referencia se conservan, al igual que la potencia en este plano de referencia, el único cambio que se vio fue en la fase de  $46^\circ$  en la corriente del primer armónico agregados por las cargas del transistor.

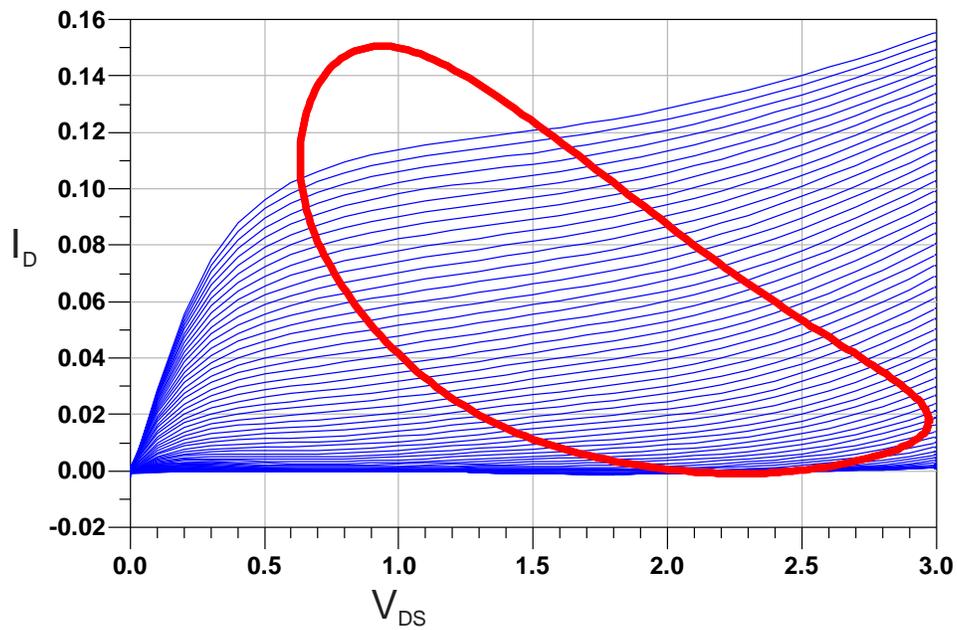


Figura 2.12. Línea de carga en el plano de referencia intrínseco.

En la figura 2.13 se muestra la proyección hacia el conector del transistor, los voltajes y potencias para los armónicos iguales o mayores a 2 GHz siguen siendo iguales a cero, pero en este plano se ve una pequeña caída en la eficiencia del transistor a 23%, debido principalmente a que la corriente de polarización del transistor aumenta ligeramente, en el nivel intrínseco se calculó un  $R_{opt}$  igual a  $24 \Omega$ , el modelo ETN del transistor SOS MOSFET proyecta una impedancia de carga en el plano de referencia del conector igual a  $15 \angle 129 \Omega$ .

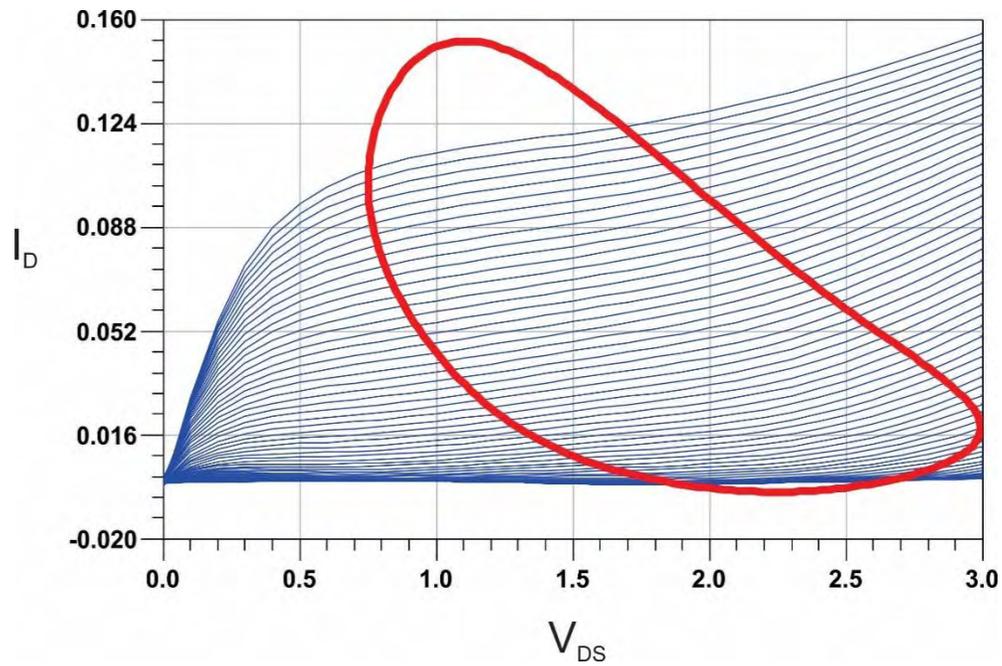


Fig 2.13 Línea de carga en el conector.

Tabla 2.2. Valores de voltajes, corrientes y potencia de salida del amplificador clase A en el plano del conector.

Valores en DC			
	$V_{ds}$ V	$I_d$ mA	$P_{DC}$ W
	1.865	0.059	0.11
Valores en RF			
Frecuencia	$V_{ds}$ V	$I_d$ mA	$P_{out}$ W
1	$1.12 \angle 180^\circ$	$0.073 \angle -48^\circ$	0.026

#### b) Amplificador clase B.

Para el diseño del PA clase B el voltaje de polarización de entrada fue igual o cercano al voltaje de umbral, en este caso  $V_{GS}$  fue igual a cero volts [3]. Este amplificador tiene la característica de amplificar  $180^\circ$  de la señal de entrada. La forma de la corriente de este amplificador es una sinusoidal rectificada, con terminaciones en corto circuito para los armónicos, con esto se asegura que el voltaje  $v_{DS}$  es sinusoidal. Con el ETN SOS-MOSFET se diseña un amplificador clase B en el plano de referencia de la fuente. La impedancia en la

salida del amplificador fue de  $19 \Omega$  para la frecuencia fundamental. Esta impedancia fue sintonizada para obtener la máxima eficiencia del 57 %, la línea de carga para la fuente de corriente se muestra en la figura 2.15 y en la figura 2.14 se muestran las formas de onda de  $v_{DS}$  e  $i_D$ .

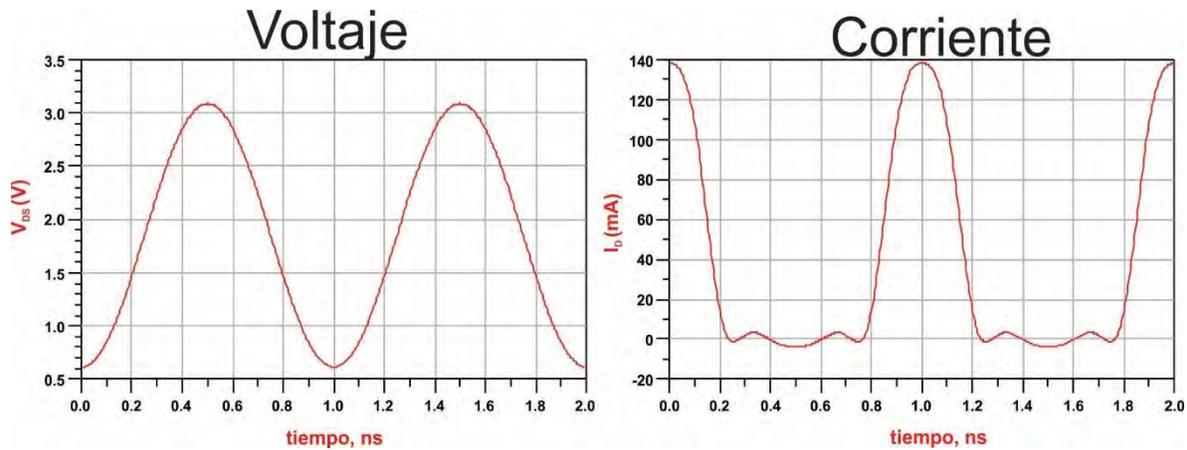


Fig. 2.14. Formas de onda de voltaje y corriente de un amplificador clase B.

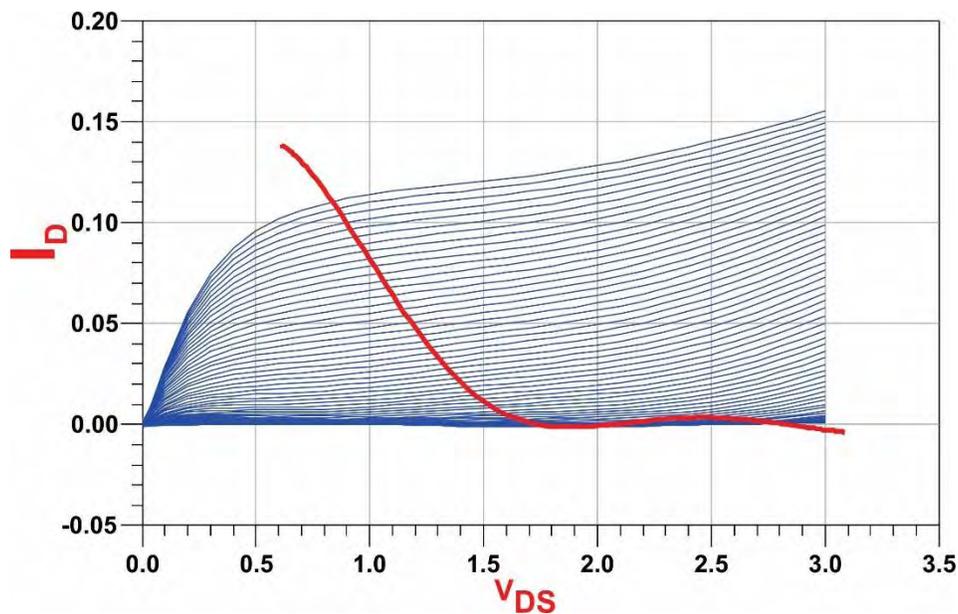


Fig. 2.15. Línea de carga para un PA clase B en el plano de referencia de la fuente.

Con en el diseño del PA en el plano de referencia de la fuente, se proyectan los voltajes y corrientes hacia el conector. En la figura 2.16 se muestra la línea de carga en el plano de referencia del conector, las impedancias para las cargas en los armónicos proyectadas en este

plano son iguales a cero Ohms, la impedancia para la carga de la frecuencia fundamental es igual a  $11.14\angle 55.23^\circ \Omega$  y la eficiencia en este plano de referencia es igual a 48.61%.

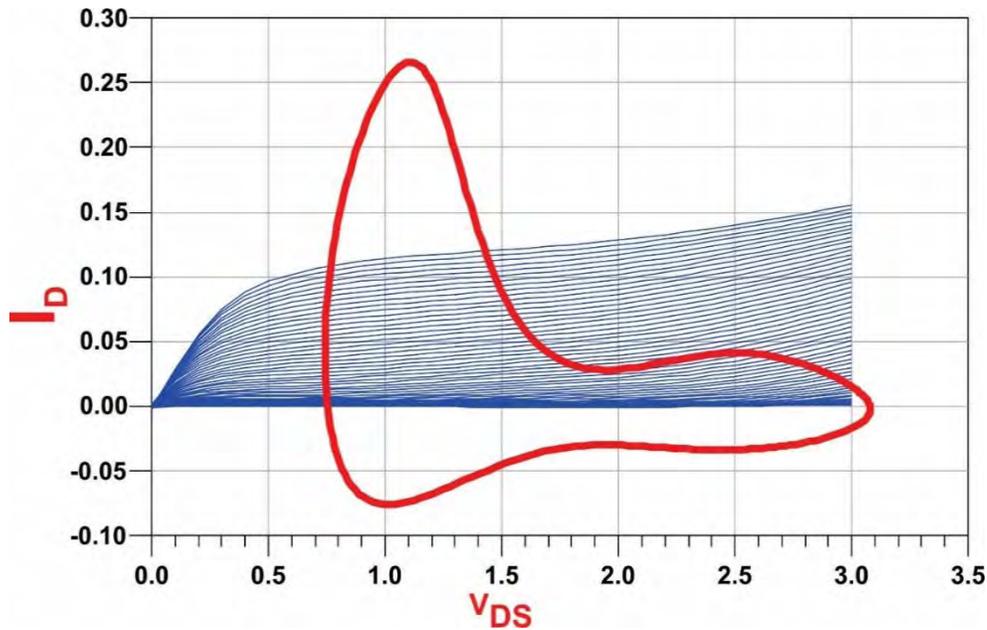


Fig. 2.16. Línea de carga para un PA clase B en el plano de referencia del conector.

## 2.5. Conclusión.

Con el modelo ETN para el transistor SOS MOSFET se obtuvieron las formas de onda de voltaje y corriente óptimas para el diseño amplificadores de alta eficiencia. Con este enfoque de diseño se busca calcular las impedancias en el plano de referencia del empaquetamiento. Con estas impedancias calculadas se obtuvieron la máxima eficiencia en el amplificador. La ventaja del modelo ETN implementado en un software comercial, es el rápido diseño de los amplificadores y la convergencia que ofrece. En el capítulo 3 se diseñará un amplificador clase F utilizando dos modelos: el ETN para un transistor SOS-MOSFET y el ETN para un transistor HEMT. Con la ayuda de estos dos modelos se considerará el diseño real de un PA clase F.

## Referencias.

- [1] Y. Ko, P. Roblin, A. Zárate-de Landa, J. A. Reynoso-Hernández, D. Nobbe, C. Olson and F. J. Martinez, “Artificial Neural Network Model of SOS-MOSFETs Based on Dynamic Large-Signal Measurements”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 62, NO. 3, MARCH 2014.
- [2] Q. Zhang, K. C. Gupta, and V. K. Devabhaktuni, “Artificial Neural Networks for RF and Microwave Design—From Theory to Practice”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 51, NO. 4, APRIL 2003.
- [3] S. C. Cripps, *RF Amplifiers for Wireless Communication*, 2nd ed. Norwood, MA, USA: Artech House, 2006.
- [4] J. Xu, M. C. E. Yagoub, R Ding, and Q. J. Zhang, “Exact Adjoint Sensitivity Analysis for Neural-Based Microwave Modeling and Design”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 51, NO. 1, JANUARY 2003.
- [5] P. Roblin, F. J. Martinez-Rodriguez, H. C. Chang, C. Xie and J. I. Martinez-Lopez. “Transistor Characterization and Modeling and the Use of Embedding Device Models for the Design of Microwave Power Amplifiers”, 2015 Integrated Nonlinear Microwave and Millimetre-wave Circuits Workshop (INMMiC).
- [6] P. Roblin, H. C. Chang, F. J. Martinez-Rodriguez, C. Xie and J. I. Martinez-Lopez. “On the design of GaN Chireix power amplifiers using an embedding device model” INTERNATIONAL JOURNAL OF NUMERICAL MODELLING: ELECTRONIC NETWORKS, DEVICES AND FIELDS. 2016.

# Capítulo 3.

## Operación real de un amplificador clase F usando el modelo incrustado.

Un amplificador clase F se caracteriza por manifestar un comportamiento donde la forma de onda del voltaje es cuadrada y la forma de onda de la corriente es una media onda rectificadora sinusoidal [1]. Asimismo, las impedancias son definidas por terminales abiertas para los armónicos impares y terminales en corto para armónicos pares [2]. En este capítulo se aborda una exploración del modelo incrustado intrínseco, el cual es capaz de predecir las características de un amplificador clase F real para una eficiencia de potencia agregada (PAE) optimizada con un voltaje de rodilla diferente a cero. Este modelo predictivo es comparado con las mediciones extraídas para el tercer armónico. Para reforzar la búsqueda de los efectos que ocurren debido a las características del capacitor no lineal en el plano intrínseco, se utilizó un dispositivo HEMT para comprobar esta teoría, de tal manera, la terminación óptima del PAE para el tercer armónico es inductiva.

### 3.1. Extensión teórica para un transistor clase F.

La teoría predice que la impedancia para el tercer armónico de un amplificador clase F se representa como un circuito abierto, sin embargo, esta terminación no garantiza la forma de

onda cuadrada que se predice en el voltaje. En algunas ocasiones los diseñadores de PA necesitan sintonizar la impedancia del tercer armónico, esto con la finalidad de obtener la forma de onda de voltaje deseada. En los diseños prácticos de los amplificadores clase F se toman en cuenta únicamente las impedancias de la frecuencia fundamental, del segundo y del tercer armónico. Las impedancias para armónicos mayores al tercero se consideran como terminaciones en corto, mientras que los voltajes de un amplificador clase F están dados por las siguientes expresiones [3]:

$$v_{GS} = V_{GS} - V_{GS,1} \cos(\omega t) \quad (3.1)$$

$$v_{DS} = V_{DS} + V_{DS,1} \cos(\omega t) + V_{DS,3} \cos(3\omega t) \quad (3.2)$$

Donde  $V_{GS}$  es el voltaje de polarización de compuerta-surtidor,  $V_{GS,1}$  es el voltaje de la frecuencia fundamental de compuerta-surtidor. Para el lado del drenador-surtidor,  $V_{DS}$  es el voltaje de polarización,  $V_{DS,1}$  es el voltaje de la frecuencia fundamental y  $V_{DS,3}$  es el voltaje del tercer armónico. El punto de operación a señal grande (LSOP) está en función de  $V_{GS}$ ,  $V_{GS,1}$ ,  $V_{DS}$ . Mediante la multiplicación de  $V_{DS,1}$ ,  $V_{DS,3}$ , se obtiene el parámetro de perturbación que define la operación de un PA Clase F. La ecuación 3.2 puede expresarse de la siguiente manera:

$$v_{DS} = V_{DS} + V_{DS,1}(\cos(\omega t) - \alpha_3 \cos(3\omega t)) \quad (3.3)$$

Donde  $V_{DS,3} = -\alpha_3 V_{DS,1}$ . Una de las condiciones teóricas para obtener la máxima condición de onda plana en el voltaje es que  $\alpha_3 = 1/6$  [2],[4], con esta condición se logra obtener de manera teórica la forma de onda de voltaje ideal mostrada en la figura 3.1, más adelante en este capítulo, se verificará que  $\alpha_3$  es optimizada para diferentes valores de LSOP.

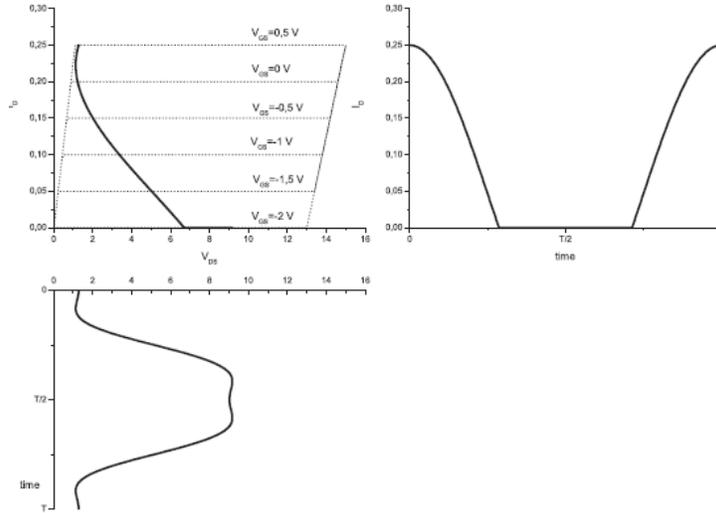


Figura 3.1. Curvas ideales del amplificador Clase F.

La potencia de salida entregada en función de la frecuencia a una carga externa es igual a:

$$P_{out}(f) = \frac{1}{2} \text{Re}\{V_{out}(f) \cdot I_{out}^*(f)\} \quad (3.4)$$

La potencia en corriente directa se expresa de la siguiente manera:

$$P_{dc} = V_{DD} \cdot I_{DS} \quad (3.5)$$

Una métrica esencial de desempeño es la eficiencia en la conversión de potencia de corriente directa a potencia de RF y se define como la relación entre ellos, en el caso del dispositivo HEMT se le conoce como eficiencia del drenador y está dada por:

$$\eta = \frac{P_{out}(f)}{P_{DC}} \quad (3.6)$$

Mientras que la potencia de salida de la frecuencia fundamental  $P_{RF,1}$  puede ser escrita como:

$$P_{RF,1} = P_{dc} - P_{diss} - P_{RF,3} \quad (3.7)$$

La potencia de DC que no es convertida a potencia de RF es disipada por el dispositivo y es potencia que en su mayoría se convierte en calor. Esta potencia de disipación se calcula de la siguiente manera:

$$P_{diss} = \frac{1}{T} \int_0^T v_{DS}(t) i_D(t) dt \quad (3.8)$$

De las ecuaciones 3.6 y 3.7 y considerando el cuarto armónico en adelante con terminación en corto para un amplificador clase F, la obtención de la eficiencia del drenador puede escribirse de la siguiente manera:

$$\eta = 1 - \frac{P_{diss}}{P_{dc}} - \frac{P_{RF,3}}{P_{dc}} \quad (3.9)$$

Si las relaciones de las potencias  $P_{diss}/P_{dc}$  y  $P_{RF,3}/P_{dc}$  decrecen entonces la potencia de salida se incrementa, esto quiere decir que más potencia llega a la carga y por lo tanto  $P_{diss}$  es minimizada. Asimismo, cuando  $P_{diss}$  tiende a valores pequeños en un amplificador clase F las formas de onda de  $v_{DS}(t)$  e  $i_D(t)$  son ortogonales sí. De esta forma, cuando la corriente del tercer armónico es igual a cero ( $I_{DS,3} = 0$ ) la relación  $P_{RF,3}/P_{dc}$  es minimizada debido a:

$$P_{RF,3} = \frac{1}{2} \text{Re}\{V_{DS,3} \cdot I_{DS,3}^*\} \quad (3.10)$$

Donde  $V_{DS,3}$  y  $I_{DS,3}$  son el voltaje y la corriente del tercer armónico respectivamente. Para alcanzar una impedancia infinita en la salida para la frecuencia del tercer armónico  $Z_{out,3}^{(IV)} = \infty$ , la polarización  $V_{DD}$ , la amplitud  $V_{DS,1}$  y la impedancia del tercer armónico pueden ser sintonizadas, tal y como se muestra en la figura 3.2.

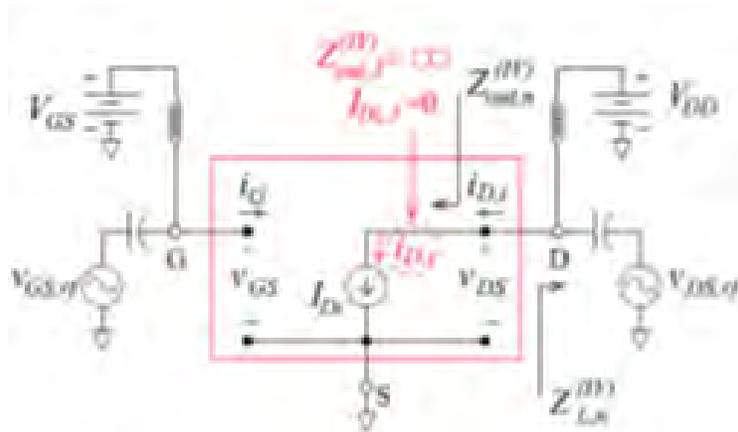


Figura 3.2. Impedancias en el plano de referencia de la fuente.

Para llevar a cabo la comprobación del comportamiento de un amplificador clase F se utiliza un dispositivo HEMT de fabricación tipo GaN. Este dispositivo cuenta con un modelo ETN de Angelov que describe su dinámica a señal grande, tal y como lo reportan en [5]. Los

parámetros característicos utilizados en este modelo fueron extraídos en [6]. El dispositivo HEMT comercial utilizado es fabricado por la compañía CREE y el modelo es el CGH27015F.

Mediante la realización de varias simulaciones el modelo del dispositivo HEMT fue polarizado con  $V_{DD} = 25 \text{ V}$  para generar una potencia de salida igual a 10 W. En la figura 3.3a se muestra la variación de  $V_{DD}$  y de la parte real de la admitancia para el tercer armónico. A partir de un valor de  $V_{DS,1} = 25.13 \text{ V}$  se obtiene un valor real, conforme se aumenta  $V_{DD}$  el valor  $Re[I_{DS,3}]$  también aumenta. Un valor positivo en  $Re[I_{DS,3}]$  indica que se tiene una potencia de disipación para el tercer armónico, mientras que un valor negativo indica que se genera potencia para el tercer armónico. En la figura 3.3b se puede apreciar la variación de  $V_{DS,1}$  con respecto a  $Re[I_{DS,3}]$ , también en la figura 3.3b se comprueba la variación de  $Re[Y_{out,3}]$  y la conmutación de valores negativos a positivos.

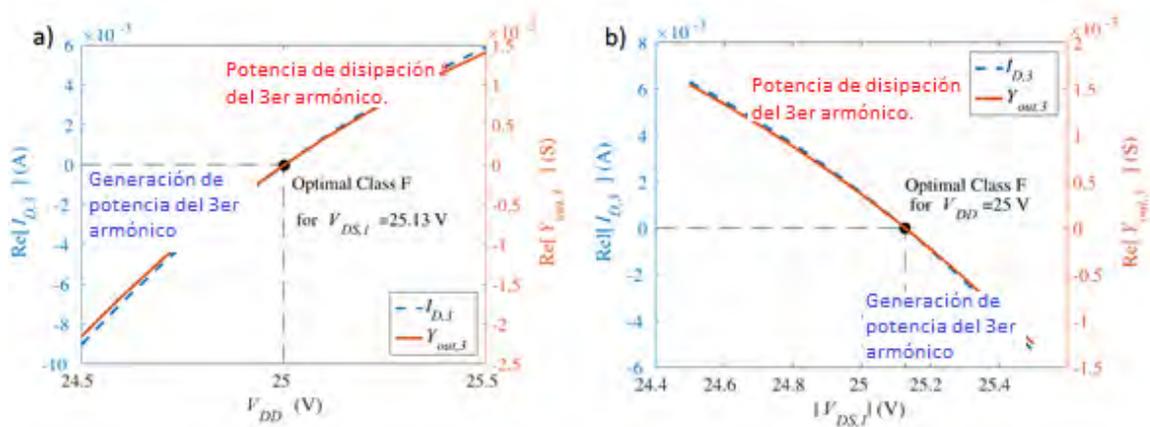


Figura 3.3. a) Variación de  $I_{DS,3}$  y  $Re[I_{DS,3}]$  contra  $V_{DD}$ , b) Variación de  $I_{DS,3}$  y  $Re[Y_{out,3}]$ .

El cambio entre el valor positivo y negativo de  $Re[Y_{out,3}]$  y  $Re[I_{DS,3}]$ , se debe a que el voltaje  $v_{DS}$  empieza a entrar a la región de rodilla de las curvas IV del transistor. Asimismo, en la condición  $I_{DS,3} = 0$  no se necesita conectar una carga abierta ( $Z_{L,3}$ ) como lo dice la teoría clásica, como la corriente de este armónico es igual a cero la impedancia transistor ( $Z_{OUT}$ ) es infinita.

Con la gráfica de la simulación que se presentó anteriormente,  $\alpha_3$  es igual  $1/6$  para obtener la condición ideal de un amplificador clase F, el LSOP fue sintonizado con los parámetros  $V_{DD}$  o  $V_{DS,1}$  para alcanzar la condición deseada de  $Z_{OUT} = \infty$ . Otros parámetros que también se podrían sintonizar son  $V_{DS,3}$  o  $\alpha_3$ .

Los datos obtenidos de la simulación se muestran en la tabla 3.1. Para valores de  $V_{DD} = 25 V$  y  $V_{DS,1} = 25.13 V$ , la relación de  $P_{diss}/P_{DC}$  cambia de signo positivo a negativo cuando  $\alpha_3$  se vuelve más grande que  $1/6$  y  $|\Gamma_{L,3}|$  se vuelve más grande que uno. La eficiencia  $\eta$  en la fuente de corriente y en los planos de referencia del empaquetado, incrementan conformen  $\alpha_3$  crece.

Tabla 3.1. Eficiencias simuladas como función de  $\alpha_3$  para  $V_{DD} = 25 V$  y  $V_{DS,1} = 25.13 V$

$\alpha_3$	$P_{DC}(W)$	$\frac{P_{RF,3}}{P_{DC}}(\%)$	$\frac{P_{diss}}{P_{DC}}(\%)$	$\eta(\%)$	$\eta^{(P)}(\%)$	$ \Gamma_{L,3} $
0.13666	13.74	0.24	22.33	77.43	74.09	0.56
0.16666	13.94	0.00	22.17	77.83	74.44	1.00
0.26666	14.01	-0.24	22.14	78.10	74.67	1.33

Mediante la utilización del modelo del dispositivo incrustado para el transistor HEMT, se realizó el diseño del amplificador clase F en el plano de referencia intrínseco. Con este modelo incrustado, los voltajes y corrientes son proyectados al plano de referencia del empaquetado, y así se conocen las terminaciones necesarias para conectar en el empaquetado del transistor, de tal manera es posible la obtención del valor  $V_{DS,3}$  deseado en el plano de referencia intrínseco.

Para el diseño de un amplificador clase F existen dos enfoques equivalentes. El primer enfoque consiste en la aplicación de la forma de onda de un amplificador clase F utilizando las ecuaciones 3.1 y 3.2, mientras que el segundo enfoque examina el proceso físico que sostiene la forma de onda de la clase F, esto se obtiene mediante la determinación de la carga de la impedancia del tercer armónico requerida en el plano de referencia intrínseco.

Ambos métodos son equivalentes y producen los mismos resultados, pero requieren diferentes modelos de dispositivos intrínsecos. El primer método es sencillo dado que ya hemos determinado el voltaje de drenaje óptimo que sostiene la nueva clase F optimizada intrínsecamente. El modelo de dispositivo intrínseco convencional que se muestra en la figura 4.4 determinará las cargas de impedancia multi armónica requeridas en los niveles del paquete o conector para lograr la clase F intrínseco optimizado. El segundo enfoque, que se describirá a continuación, tiene la ventaja de revelar el proceso físico requerido para que el PA de clase F sea auto sostenido con una carga de impedancia de tercer armónico pasivo sin pérdidas en los planos de referencia intrínsecos.

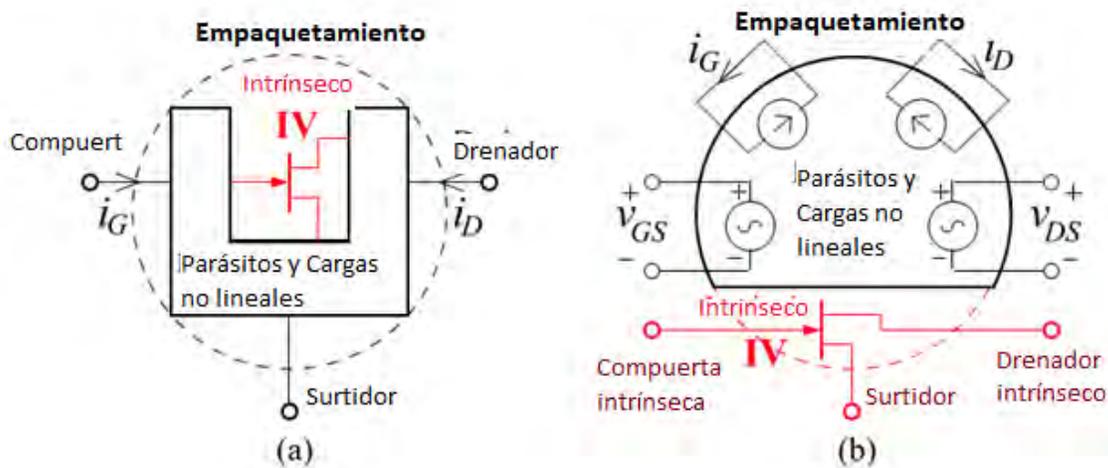


Fig. 3.4. (a) Modelo convencional del FET y (b) modelo de dispositivo incrustado.

Como se deduce de las ecuaciones 3.1 y 3.2, el voltaje de la frecuencia fundamental  $V_{GS,1}$  está desfasado  $180^\circ$  con respecto al voltaje  $V_{DS,1}$ , y en fase con el componente del tercer armónico  $V_{DS,3} = -\alpha_3 V_{DS,1}$ . La condición para la generación del voltaje de drenador del tercer armónico se debe dar para una carga positiva  $Z_{L,3} = R_3$ , esto indica que la corriente del tercer armónico no es igual a cero. Mas adelante se demostrará que el voltaje de drenaje del tercer armónico se puede sostener con una carga sin pérdidas, mientras que para la corriente de desplazamiento del tercer armónico se origina a partir de la capacitancia no lineal del drenador-compuerta.

Para describir la teoría de un clase F con una carga en el tercer armónico sin pérdidas, se considera el modelo de dispositivo intrínseco de la figura 3.6. En este modelo se tienen las

cargas no lineales  $q_{DS}$  de drenador-fuente y  $q_{DG}$  de drenador-compuerta junto con la corriente de drenador intrínseca  $I_{Di}$ . Para simplificar el análisis las cargas  $q_{DS}$  y  $q_{DG}$  son consideradas en un estado cuasi-estático, y no se considera la constante de tiempo de carga ni las resistencias de carga. La corriente de desplazamiento en el drenador está dada por la siguiente expresión:

$$i_{D,displ} = \frac{dq_{DG}(v_{DG})}{dt} + \frac{dq_{DS}(v_{DS})}{dt} = C_{DG} \frac{dq_{DG}(v_{GS})}{dt} + C_{DS} \frac{dq_{DS}(v_{DS})}{dt} \quad (3.11)$$

con

$$C_{DS} = \frac{\partial q_{DS}(v_{DS})}{\partial v_{DS}} + \frac{\partial q_{DG}(v_{DG})}{\partial v_{DG}} \quad (3.12)$$

$$C_{DG} = -\frac{\partial q_{DG}(v_{DG})}{\partial v_{DG}} \quad (3.13)$$

Expandimos en series de Fourier la corriente y la carga:

$$i_{D,displ} = Re\{\sum_{n=1}^{n_H} I_{D,displ,n} e^{jn\omega t}\} \quad (3.14)$$

$$q_{DG} = Re\{\sum_{n=1}^{n_H} Q_{DG} e^{jn\omega t}\} \quad (3.15)$$

$$q_{DS} = Re\{\sum_{n=1}^{n_H} Q_{DS} e^{jn\omega t}\} \quad (3.16)$$

Entonces podemos escribir fácilmente la corriente de desplazamiento:

$$I_{D,displ,n} = jn\omega(Q_{DG,n} + Q_{DS,n}) \quad (3.17)$$

Donde  $Q_{DG,n}$  y  $Q_{DS,n}$  son coeficientes reales,  $V_{DS}$  y  $V_{GS}$  aplicados en la ecuación 3.2 son ondas coseno. Por lo tanto, los componentes de corriente de desplazamiento  $I_{D,displ,n}$ , están todas desfasadas  $90^\circ$  en relación con el voltaje de drenador-fuente.

Las impedancias de las armónicas impares son dadas por:

$$Z_{L,n}^{(int)} = \frac{V_{DS,n}}{-I_{D,n}} = \frac{V_{DS,n}}{-I_{D,displ,n}} = \frac{jV_{DS,n}}{n\omega(Q_{DS,n} + Q_{DG,n})} \quad (3.18)$$

La corriente de drenador intrínseca se asume que es igual a cero ( $I_{Di,n} = 0$  para  $n > 1$  e impar). Los coeficientes  $V_{DS,n}$ ,  $Q_{DG,n}$  y  $Q_{DS,n}$  son reales y distintos de cero para armónicos impares, por lo tanto, la operación de un clase F puede estar dada por una impedancia sin pérdidas. Típicamente,  $(Q_{DS,3} + Q_{DG,3})/V_{DS,3}$  es real y positivo para el tercer armónico, y se requiere un inductor para  $\Gamma_{L,3}^{(int)}$  como se muestra en la Fig. 3.5 (círculos negros en el borde de la carta Smith). Las trayectorias (líneas de puntos rojos) de  $\Gamma_{out,3}^{(IV)}$  y  $\Gamma_{L,3}^{(int)}$  cuando varía  $V_{DD}$  también se muestran en la Fig. 3.5.

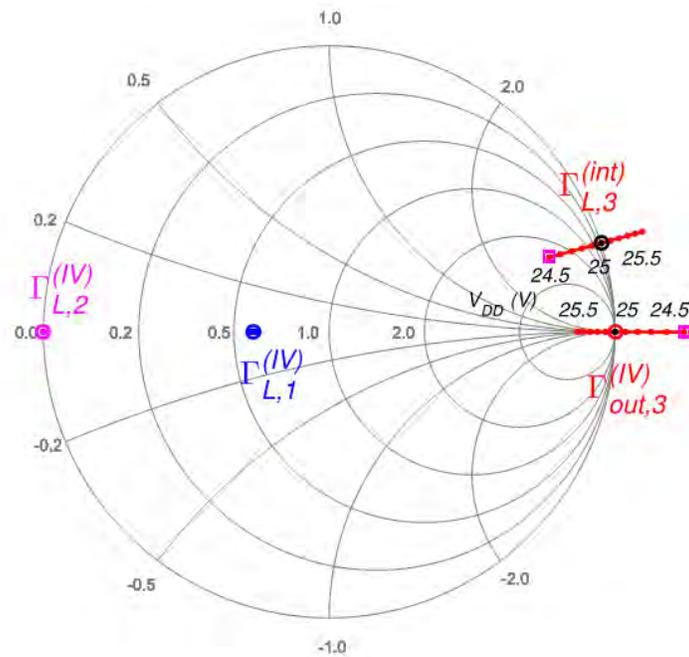


Fig. 3.5. Trayectoria de  $\Gamma_{L,3}^{(int)}$  con  $V_{DD}$  a 2 GHz. También se muestran los coeficientes de reflexión  $\Gamma_{L,1}^{(IV)}$ ,  $\Gamma_{L,2}^{(IV)}$  y  $\Gamma_{out,3}^{(IV)}$  en el punto de operación para un clase-F optimizado.

La variación de la carga fundamental  $\Gamma_{L,1}^{(IV)}$  (puntos azules) con el voltaje de drenador en sí mismo es casi despreciable. El diseño de un clase F utilizado para estas simulaciones se describe con más detalle en la siguiente sección. Para confirmar la validez de la carga  $\Gamma_{L,3}^{(int)}$  estimada por la simulación del circuito en la Fig. 3.5.

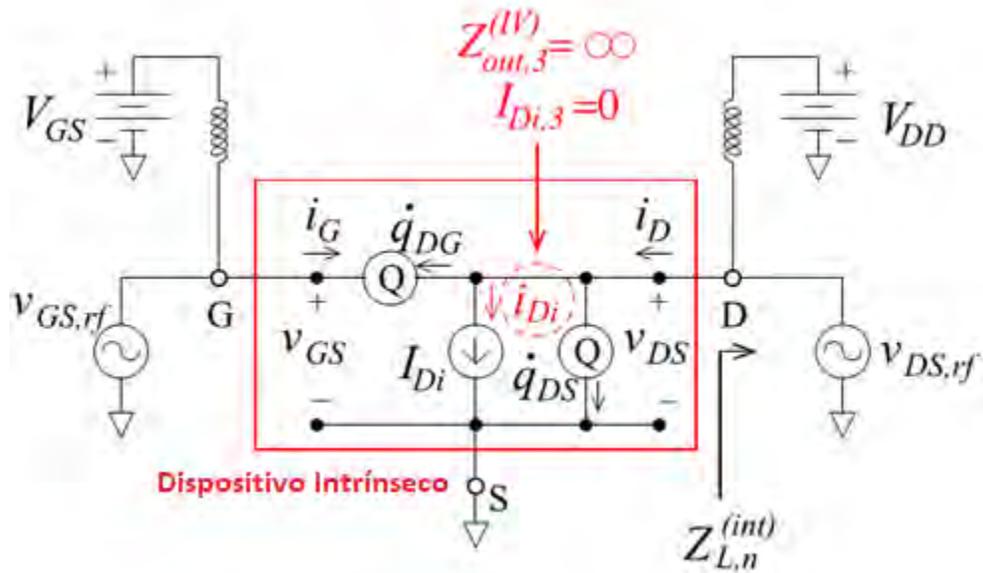


Fig. 3.6. Modelo de dispositivo intrínseco con condiciones clase-F optimizadas.

En la figura 3.7. se muestra una gráfica de contorno de eficiencia obtenida para una simulación de carga para el tercer armónico. Esto confirma que la carga  $\Gamma_{L,3}^{(int)}$  obtenida para el diseño de clase F optimizado propuesto es la solución óptima para el dispositivo en los planos de referencia intrínsecos. En lugar de usar la forma de onda de voltaje de drenaje para un amplificador clase F, ahora podemos usar un inductor para la terminación de carga del tercer armónico tal y como se muestra en la Fig. 3.8.

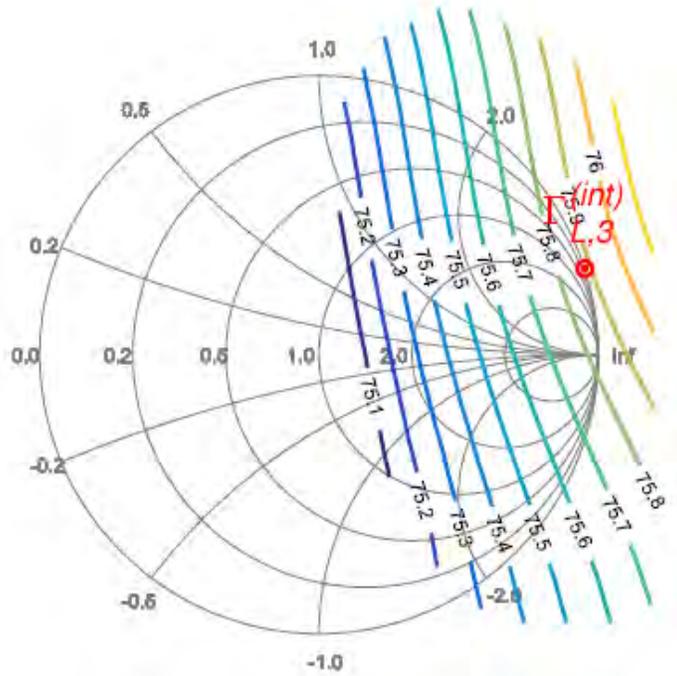


Fig. 3.7. Contorno de eficiencia del tercer armónico.

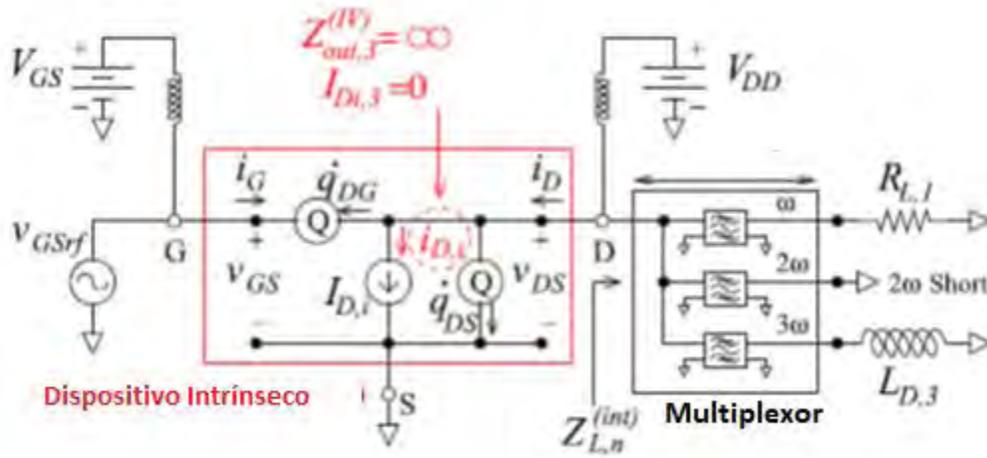


Fig. 3.8. Terminaciones en el plano de referencia intrínseco.

Las formas de onda se optimizan en el plano de referencia intrínseco, en donde este plano incluye los capacitores no lineales. Con esta optimización se calculan los voltajes y corrientes en los planos de referencia del paquete. En la figura 3.9a se muestra el modelo desincrustado para un FET y en la figura 3.9b se muestra el modelo incrustado para un FET. En ambos modelos se incluye las cargas no lineales en donde se optimiza las formas de onda.

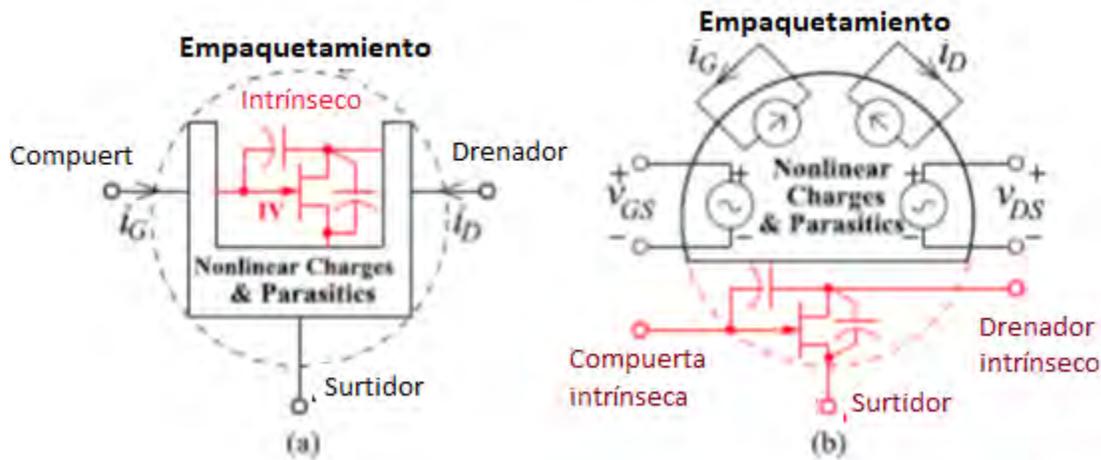


Fig. 3.9. (a) Modelo Modificado del FET y (b) modelo de dispositivo incrustado cuando la operación optimizada de un amplificador clase F se define mediante terminaciones de impedancia multiarmónica en los planos de referencia intrínsecos.

### 3.2. Diseño de un amplificador clase F.

En esta sección se realiza una validación de la definición obtenida de un clase F en el nivel intrínseco, para esto se diseñó una PA de clase F optimizada utilizando un modelo de Angelov incrustado para el HEMT. Este modelo se implementó en el software de diseño ADS utilizando la opción de dispositivos definidos simbólicamente (SDD) [6]. La definición tipo SDD se define como la generación de dispositivos multipuerto que permiten crear componentes no lineales definidos por el usuario basados en ecuaciones. El SSD relaciona los voltajes de los puertos con las corrientes y sus derivadas. El procedimiento para obtener los parásitos del empaquetamiento y los coeficientes del modelo se presenta en [6]. Mediante la simulación de balance armónico dentro de ADS se calculan los valores de voltajes ( $v_{DS}$  y  $v_{GS}$ ) y la corriente  $I_D$  en la referencia intrínseca para la frecuencia fundamental, segundo y tercer armónico ( $\omega$ ,  $2\omega$  y  $3\omega$ ). El enfoque de diseño se basó en [1] y [2] para una respuesta de voltaje máxima y el  $V_{DS}$  óptimo teniendo en cuenta los tres primeros armónicos. Mientras que las cargas de impedancia se obtienen a partir de las ecuaciones 3.2 y 3.3.

En la simulación del HEMT se realizó una configuración donde se llevó a cabo la polarización de drenaje a surtidor con un valor de  $V_{DS} = 25 V$  y de compuerta a surtidor de

$V_{GS} = -2.9 V$  para producir una corriente de drenaje de 95 mA. Asimismo, la fuente de voltaje de entrada de RF se ajustó a valores de  $V_{GS,1} = 2.37 V$  para una frecuencia fundamental de 2 GHz, mientras que en la salida del transistor se conectaron dos fuentes de voltaje RF en serie. Una de las fuentes corresponde al voltaje  $V_{DS,1}$  a una frecuencia fundamental, con una magnitud de voltaje igual a 25.12 V y un desplazamiento de fase de  $180^\circ$  con respecto a  $V_{GS,1}$ . La segunda fuente en la salida corresponde a la fuente de voltaje  $V_{DS,3}$  de RF para el tercer armónico. Como  $V_{DS,3} = -\alpha_3 V_{DS,1}$  y  $\alpha_3 = 1/6$ , la magnitud de  $V_{DS,3}$  fue igual a 4.19 V y en fase con respecto a la fuente de voltaje  $V_{DS,1}$ . En esta simulación fue empleado la técnica del balance armónico donde se tomaron en cuenta los primeros 15 armónicos para obtener los voltajes y las corrientes en el plano de referencia intrínseco. Los resultados simulados para  $v_{DS,i}$ , e  $i_{Di}$  correspondientes a los primeros cinco armónicos se presentan en la Tabla 3.2.

Tablas 3.2. Resultados simulados para  $V_{DS,n}$  y  $I_{Di,n}$ , en los planos de referencia intrínsecos para en PA de clase F.

N	Frecuencia (GHz)	$v_{DS,n}$ (V)	$I_{Di,n}$ (A)
1	2	$25.13 \angle 180^\circ$	$0.863 \angle -0.572^\circ$
2	4	0	$0.349 \angle 0.78^\circ$
3	6	$4.19 \angle 0^\circ$	$0.013 \angle 89.9^\circ$
4	8	0	$0.044 \angle 171^\circ$
5	10	0	$0.035 \angle 3.85^\circ$

Mientras que en la figura 3.10 se muestra la línea de carga intrínseca para el transistor, junto con las curvas IV como referencia. En esta figura se observa como la línea de carga alcanza la rodilla IV a bajos voltajes del drenador. Las formas de onda simuladas del voltaje del drenador se caracterizan por tener un comportamiento rectangular y por una forma de onda

de corriente como una sinusoidal rectificada. Estas ondas corresponden a un PA clase F tal y como se muestra en la figura 3.11.

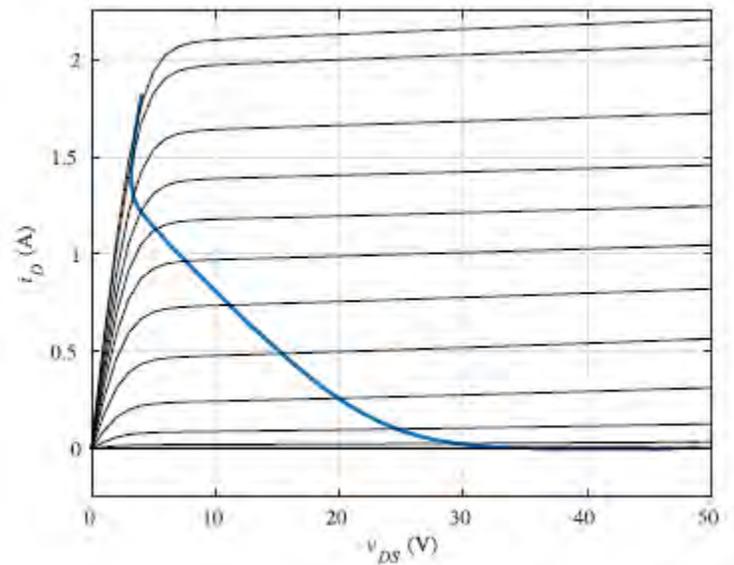


Fig. 3.10. Línea de carga intrínseca simulada del PA clase F.

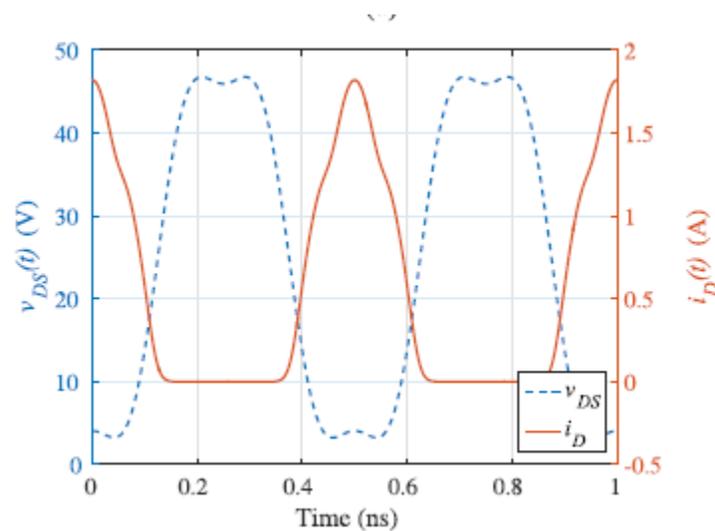


Fig. 3.11. Formas de onda intrínseco de un PA de clase F.

Tomado los datos de la tabla II, se pueden calcular las impedancias para los diferentes armónicos en el plano de referencia intrínseco mostrado en la figura 7. Teniendo la corriente ( $I_{D,n}$ ) y el voltaje ( $V_{DS,n}$ ) para cada armónico se calcula la impedancia en el plano intrínseco ( $Z_{L,n}^{(int)}$ ) utilizando la siguiente ecuación:

$$Z_{L,n}^{(int)} = -\frac{V_{DS,n}}{I_{D,n}} \quad (3.19)$$

Las impedancias calculadas para cada uno de los armónicos fueron las siguientes:  $Z_{L,1}^{(int)} = 29.1 \Omega$ ,  $Z_{L,2}^{(int)} = 0 \Omega$  Y  $Z_{L,3}^{(int)} = j311.9 \Omega$ . Asimismo, las impedancias determinadas a partir de la simulación concuerdan con las ecuaciones descritas en 3.1. Para el tercer armónico la impedancia es una carga inductiva y no a una carga de impedancia infinita. De tal manera que para determinar la excitación o carga de entrada requerida para cada armónico en los planos de referencia empaquetados, se realiza una proyección externa de la operación interna a los planos de referencia del paquete mediante una única simulación empleando el modelo de dispositivo de incrustación. Las cargas fundamentales y armónicas resultantes obtenidas de la proyección a través de los parásitos extrínsecos y de paquetes lineales se muestran en la Fig. 3.12.

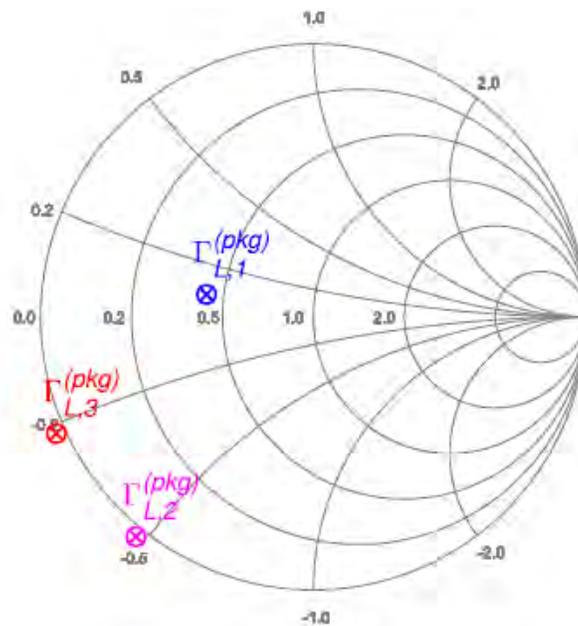


Fig. 3.12. Cargas en los planos de referencia empaquetados pronosticados por el modelo de dispositivo de incrustación en  $\omega$ ,  $2\omega$  y  $3\omega$ .

Las cargas armónicas en los planos de referencia empaquetados están giradas en comparación con el plano de referencia intrínseco y ligeramente fuera de la carta Smith. Esto se debe a los elementos reactivos y con pérdidas que generan los parásitos extrínsecos y del paquete.

Por lo tanto, para obtener la operación de un amplificador clase F deseada en el plano de referencia intrínseco, las cargas de las impedancias fundamental y armónicas en los planos de referencia del empaquetado vienen dadas por  $Z_{L,1}^{(pkg)}$ ,  $Z_{L,2}^{(pkg)}$  y  $Z_{L,3}^{(pkg)}$ , las cuales se predijeron con el modelo incrustado de Angelov. De la figura 12, las cargas armónicas deben estar ligeramente activas para sintetizar el modo óptimo de operación en el plano de referencia intrínseco del dispositivo. En implementaciones de PA prácticas, se utilizará la carga pasiva más cercana. Sin embargo, dado que la intención es aproximarse a la operación óptima de clase F, se sintetizaron cargas ligeramente activas utilizando inyección armónica en las mediciones de carga.

La tabla 3.3. muestra que no solamente se puede optimizar la eficiencia sintonizando los voltajes de polarización  $V_{DD}$  o variando  $V_{DS,1}$ , también se puede sintonizar  $\alpha_3$  para que  $V_{DS3}$  varíe y así obtenga la máxima eficiencia. En la tabla 3.3. se muestra que se llega a alcanzar eficiencias arriba del 80%.

Tabla 3.3. Eficiencia simulada en función del parámetro  $\alpha_3$  para  $V_{DD} = 23.2$  y  $V_{DS1} = 25.13$  V

$\alpha_3$	$P_{DC}$ (W)	$P_{RF,3}/P_{DC}$ (%)	$P_{diss}/P_{DC}$ (%)	$\eta$ (%)	$\eta^{(P)}$ (%)	$ \Gamma_{L,3} $
0.1875	10.79	0.38	17.78	81.84	78.65	0.69
0.1975	10.85	0.00	17.74	82.26	79.04	1.00
0.2075	10.88	-0-40	17.76	82.64	79.39	1.38

### 3.3. Configuración en mediciones y datos.

Para validar los resultados simulados, se llevaron a cabo varios experimentos para demostrar la buena concordancia entre los resultados simulados y medidos.

Se empleó una configuración de medición armónica de carga activa con un analizador de redes de señal grande (LSNA) para caracterizar un transistor GaN CGH27015F. Este HEMT fue diseñado originalmente para capacidades de alta eficiencia, alta ganancia y ancho de banda amplio. La máxima potencia del dispositivo es de 15 W proporcionado por el

empaquetamiento 440166 con una potencia promedio de 2 W con un voltaje de polarización de drenaje de 28 V. El banco de pruebas TRL que se muestra en la Fig. 3.13 se utilizó para montar el transistor. Se empleó una barra de presión de plástico (no se muestra en la Fig. 3.13) para mejorar el contacto eléctrico entre la puerta y los contactos del terminal de drenaje a las líneas de microcinta del banco de pruebas. Por otro lado, debajo del transistor, se utiliza una barra de cobre que actúa como un disipador de calor para conectar la terminal de la fuente, que se asentará en un disipador térmico controlado por temperatura. Las mediciones se realizaron a una temperatura del plato de 10 ° C.

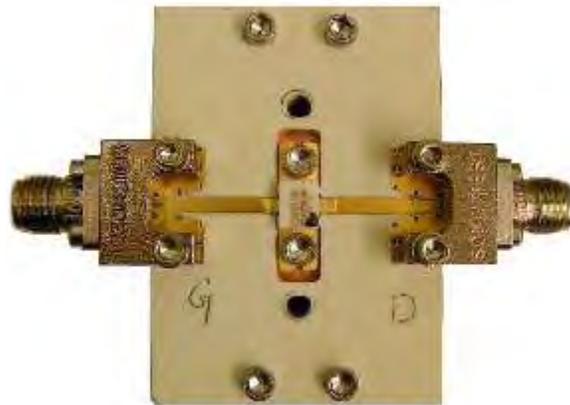


Fig. 3.13. Fotografía del banco de pruebas para medir el transistor HEMT de GaN (CGH27015F).

Con la ayuda del equipo LSNA (MT4463A), se llevaron a cabo las mediciones para las ondas incidentes de los múltiples armónicos ( $a_1$  y  $a_2$ ) y las ondas reflejadas ( $b_1$  y  $b_2$ ) en cada puerto del dispositivo bajo prueba (DUT) utilizando dos acopladores direccionales (RT0812H). Estas ondas de potencia junto con la impedancia característica del sistema permiten calcular las magnitudes y fases de los voltajes, al igual que las corrientes en los planos de referencia del banco de pruebas. El banco de pruebas o el DUT se colocan en la configuración activa de carga, como se muestra en la Fig. 3.14. La frecuencia fundamental ( $\omega$ ) de la fuente de señal de entrada (Agilent ESG4438C) se establece en 2 GHz. Se utiliza un sintonizador mecánico automático conectado entre la fuente de la señal de entrada y la entrada del banco de pruebas para obtener la red de acoplamiento de entrada en el fundamental. Por otro lado, en la etapa de salida, se realiza una inyección armónica activa para el segundo y tercer armónicos ( $2\omega$  y  $3\omega$ ) con la ayuda de dos fuentes de señal de RF (Agilent ESG4438C) y un triplexador (Maury Microwave, 9677G). El triplexador se utiliza para conectar la salida

del DUT a la carga fundamental, así como a las cargas de segundo y tercer armónico. Estas cargas armónicas en los planos de referencia de la salida del DUT se pueden obtener mediante inyección de onda utilizando las fuentes de señal de RF mencionadas anteriormente.

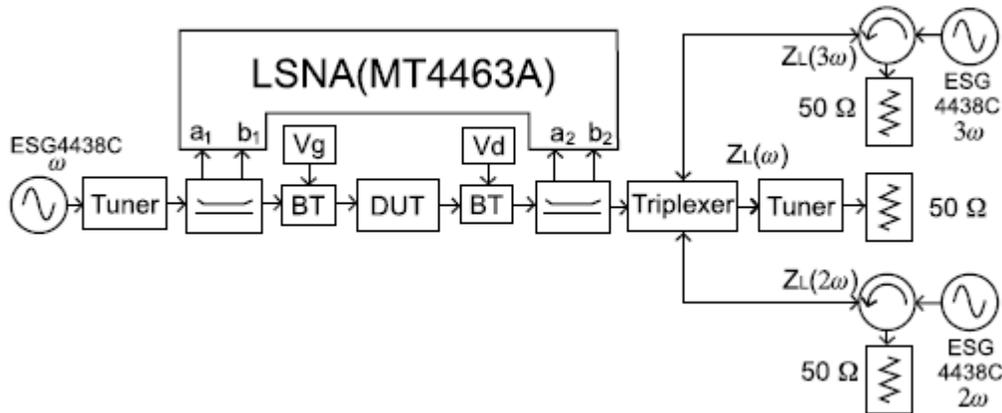


Fig. 3.14. Banco de pruebas de medición de carga con un LSNA.

Para proteger las fuentes de RF, se usan circuladores entre cada una de las fuentes de señal y el triplexador para inyectar la onda incidente  $a_2$  y  $a_3$  en la salida del DUT mientras se redirige la onda de potencia reflejada  $b_2$  y  $b_3$  a una carga compatible. Se utilizan dos *TEES* de polarización para proporcionar la polarización requerida del transistor. Se usa un medidor de corriente directa para medir la corriente de drenaje.

Antes de aplicar excitaciones al DUT, es importante tener en cuenta que se requiere otra proyección de las cargas fundamental y armónica en los planos de referencia empaquetados (obtenidos con la ayuda de un modelo de incrustación lineal) para tener en cuenta las líneas de transmisión y los conectores del banco de pruebas. El método de calibración TRL se utilizó para caracterizar las cajas de error de la línea de transmisión.

Inicialmente, el transistor estaba polarizado de la siguiente manera:  $V_{DD} = 25\text{ V}$ ,  $V_{GS} = -2.65\text{ V}$  e  $I_D = 95\text{ mA}$ . La fuente de potencia de entrada se estableció en una amplitud  $|a_1(\omega)|$  de 27 dBm con una frecuencia fundamental de 2 GHz. Con la ayuda de un sintonizador pasivo, la impedancia de carga fundamental se obtuvo en el plano de referencia del conector. Se utilizaron dos fuentes de potencia de RF en la salida del DUT para implementar inyecciones de armónicos en  $2\omega$  y  $3\omega$ . Al controlar la magnitud y fase armónica

correspondiente de cada fuente de potencia, se pueden obtener las impedancias de carga armónica requeridas en los planos de referencia del conector. Se usó una señal de referencia de 10 MHz para cerrar la fase del LSNA con las tres fuentes de RF. Al barrer  $V_{DD}$  en un rango de 24–27-V, se obtuvo la mejor eficiencia de drenaje a 26 V. Esta sintonización de polarización de drenaje es necesario para compensar la diferencia en los voltajes de rodilla entre el dispositivo real y el modelo de dispositivo utilizado. Este voltaje de polarización se utilizó en el resto de las mediciones. Con el fin de determinar experimentalmente la dependencia de la eficiencia de drenaje en la carga de impedancia del tercer armónico, se implementó una carga-tracción activa cambiando la magnitud y la fase de la fuente de energía que inyecta la señal a  $3\omega$ .

### 3.4. Resultados medidos.

El diagrama de contorno de la eficiencia resultante obtenido a partir de una carga activa del tercer armónico se muestra en la Fig. 3.15. Las ondas de potencia  $a_1$ ,  $b_1$ ,  $a_2$  y  $b_2$  medidas con el LSNA en los planos de referencia del conector se desincrustaron en los planos de referencia del paquete. El coeficiente de reflexión de carga del tercer armónico  $\Gamma_{L,3}^{(PKG)}$  pronosticado por el modelo de dispositivo de incrustación para la operación optimizada de clase F propuesta también se grafica (cruces rojas y círculos) para comparación y se muestra que están en buen ajuste con las mediciones de carga activa. Esto demuestra experimentalmente la precisión de la predicción de impedancia del tercer armónico, y revela los grandes ahorros de tiempo logrados con este enfoque de diseño. De hecho, con el modelo incrustado junto con la definición de clase F propuesta predice directamente la terminación de impedancia óptima del tercer armónico sin la necesidad de barrer la impedancia del tercer armónico.

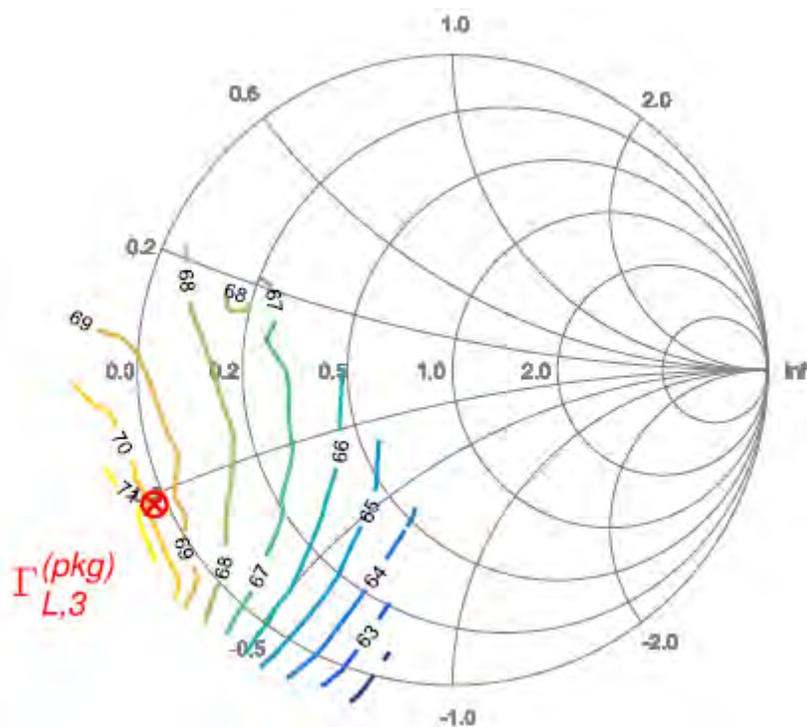


Fig. 3.15. Contorno de eficiencia para el tercer armónico.

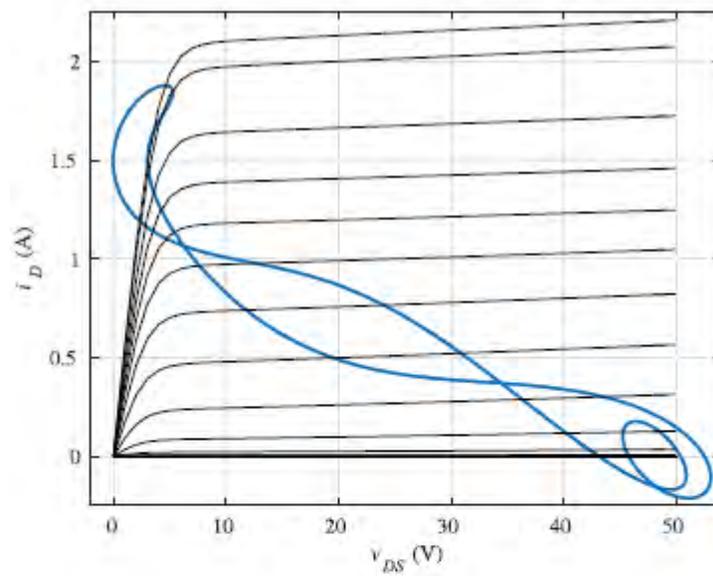
Las ondas de potencia medidas nos permiten obtener los voltajes y las corrientes en el nivel del conector. Sin embargo, con la ayuda de la red de transferencia incrustada, se puede predecir el voltaje de drenaje armónico real y la corriente de drenaje en los planos de referencia intrínsecos [5]. La magnitud y las fases de medición incrustadas para  $\omega$ ,  $2\omega$  y  $3\omega$  se presentan en la Tabla 3.4.

Tabla 3.4.  $V_{DS}$  e  $I_D$  incrustados en los planos de referencia intrínsecos.

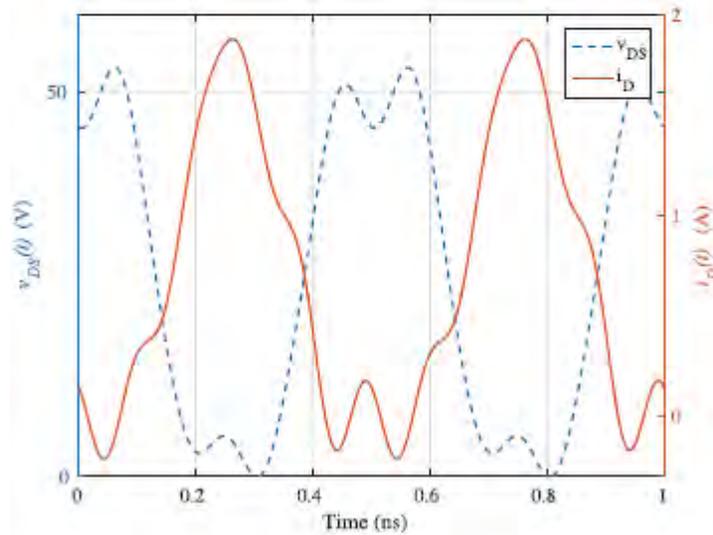
N	Frecuencia (GHz)	$v_{DS,n}$ (V)	$I_{Di,n}$ (A)
1	2	$27.38 \angle -8.28^\circ$	$0.939 \angle 171.8^\circ$
2	4	$0.114 \angle 124.5^\circ$	$0.199 \angle -23.3^\circ$
3	6	$5.9 \angle 166.4^\circ$	$0.025 \angle 64.9^\circ$
4	8	$1.03 \angle 122.4^\circ$	$0.125 \angle 15.9^\circ$

5	10	$1.17 \angle 152.8^\circ$	$0.105 \angle 43.14^\circ$
---	----	---------------------------	----------------------------

De la Tabla 3.4, se puede observar un cambio de fase de  $180^\circ$  entre  $V_{DS,i}(\omega)$  e  $I_{D,i}(\omega)$ , así como entre  $V_{DS,i}(\omega)$  y  $V_{DS,i}(3\omega)$ . Además, las magnitudes de  $V_{DS,i}(2\omega)$  e  $I_{D,i}(3\omega)$  son muy pequeñas, como se esperaba. La línea de carga intrínseca medida y las formas de onda desincrustadas se muestran en la Fig. 3.16 (a) y (b), respectivamente. Las características intrínsecas dc IV obtenidas del modelo de transistor también se muestran como una referencia. La Tabla 3.5 resume la eficiencia predicha y medida en los planos de referencia intrínsecos y de paquetes. Se observa alrededor del 3% de diferencia. Cabe señalar que los armónicos no terminaron en los planos de referencia de la puerta con la impedancia predicha por el modelo del dispositivo de incrustación, lo que podría explicar la pérdida de eficiencia residual observada. También el modelo de dispositivo extraído es de precisión limitada. Sin embargo, la carga óptima para el tercer armónico predicho por el modelo de dispositivo de incrustación está en estrecha concordancia con la predicción del modelo de dispositivo de incrustación para el modo de operación de clase F óptimo propuesto.



(a)



(b)

Fig. 3.16. (a) Línea de carga intrínseca medida (incrustada) y (b) formas de onda utilizando los cinco armónicos medidos.

Tabla 3.5. Eficiencias de Drenador simuladas y medidas.

Plano de referencia.	Eficiencia de drenador simulada.	Eficiencia de drenador medida.

Intrínseco	75.88 %	72.64 %
Empaquetamiento	72.63 %	69.78 %

Con el voltaje de la frecuencia fundamental, de los primeros cuatro voltajes de los armónicos y de los voltajes de polarización del plano intrínseco de la mediciones a señal grande, la corriente es calculada en el plano de referencia de la fuente utilizando el modelo de Angelov, en la figura 3.17 se tienen los voltajes obtenidos de mediciones para cada una de las frecuencia y para cada puerto  $V_{DS,i}$  y  $V_{GS,i}$ , la forma de onda calculada en la referencia de la fuente se muestra en la figura 3.18, la línea de carga calculada se muestra en la figura 3.19.

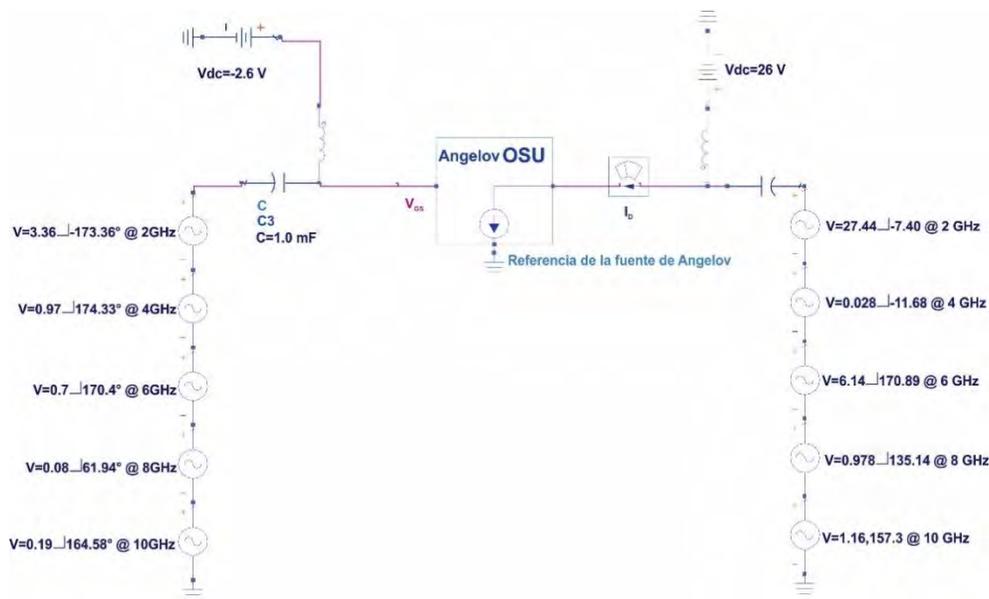


Figura 3.17. Modelo Angelov de la referencia de la fuente con entrada de los voltajes proveniente de las mediciones.

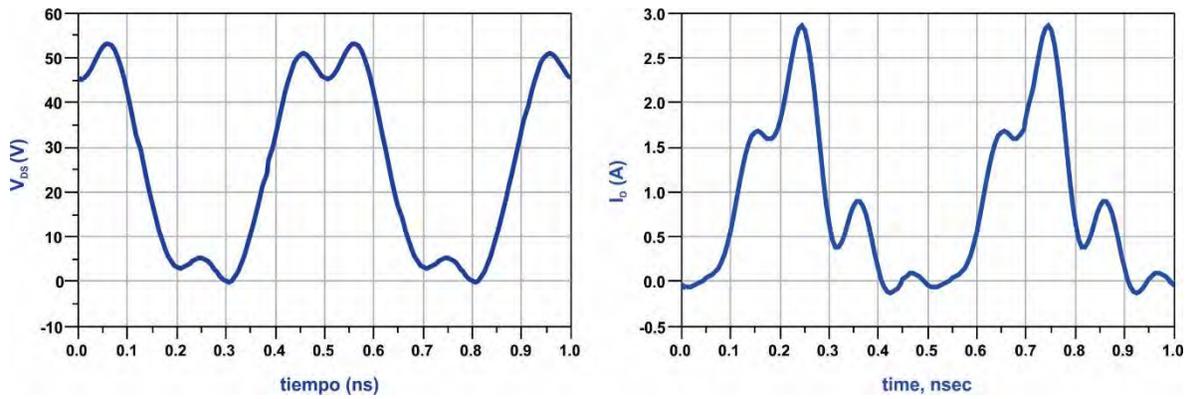


Figura 3.18. Formas de onda del voltaje medido y de la corriente calculada en el plano de referencia de la corriente.

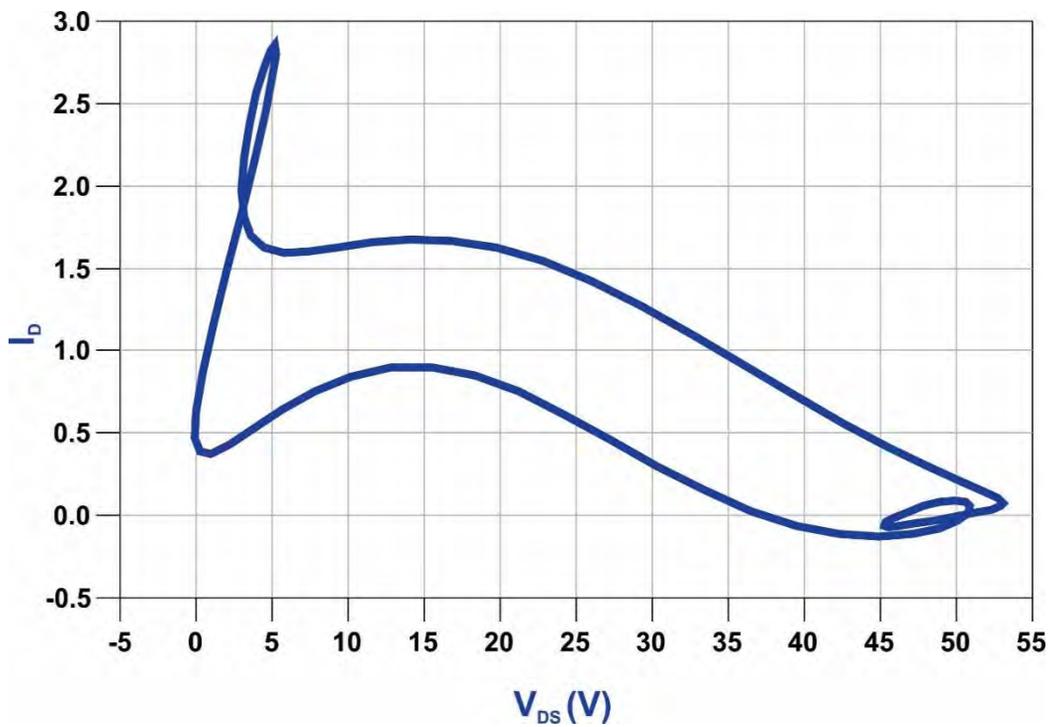


Figura 3.19. Líneas de carga

### 3.5. Diseño real de un amplificador clase F con el modelo incrustado ANN SOS-MOSFET.

Con en el modelo incrustado ANN SOS-MOSFET se diseña un amplificado clase F real, en el plano de referencia intrínseco del transistor se tiene que  $V_{DSi}(3\omega) = (1/6)V_{DSi}(\omega)$ , la

fase entre  $V_{DSi}(3\omega)$  y  $V_{DSi}(\omega)$  es de  $180^\circ$ , también la fase entre  $V_{GSi}(\omega)$  y  $V_{DSi,1}(\omega)$  es de  $180^\circ$ , en la figura 3.20 se muestra el esquemático del diseño del amplificador clase F.

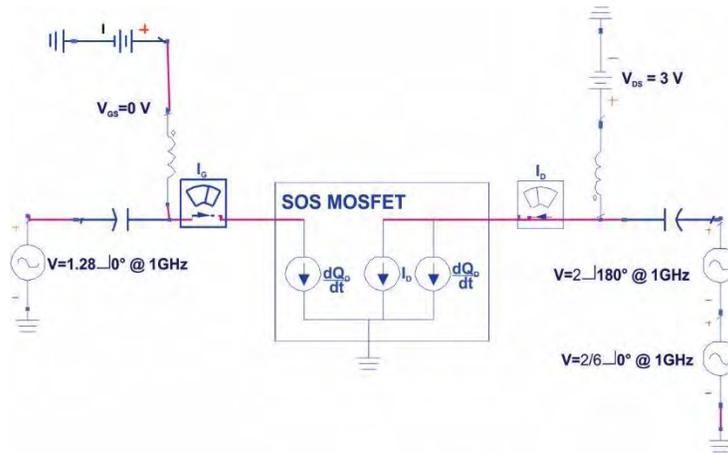


Figura 3.20. Esquemático del diseño de un amplificador clase F Real con el transistor SOS-MOSFET

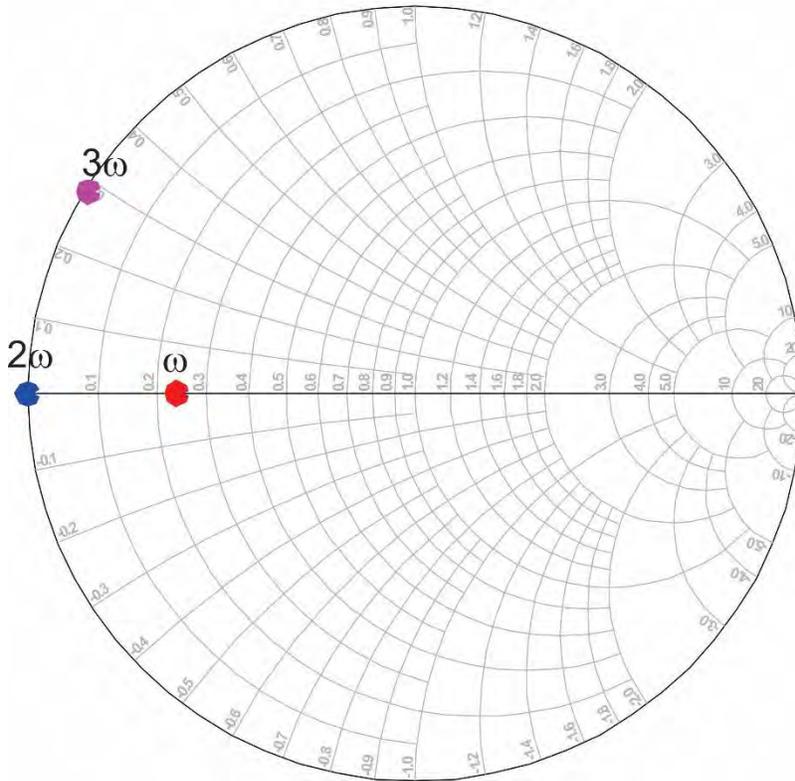
Se realizó la simulación en ADS utilizando balance armónico, con los valores  $V_{DSi}(\omega) = 2\angle 180^\circ$ ,  $V_{DSi}(3\omega) = \frac{2}{6}\angle 0^\circ$  y  $V_{GSi}(\omega) = 1.28\angle 0^\circ$ , los resultados de esta simulación se muestra en las tabla 3.6, la fase entre  $V_{DSi}(3\omega)$  y  $V_{DSi}(\omega)$  es de  $201^\circ$ , la diferencia de  $21^\circ$  de desvió en referencia a  $180^\circ$  se debe a que se tuvo que sintonizar la fase del voltaje del tercer armónico para que estuviera al borde de la carta Smith, en la figura 3.21 se muestran las cargas que necesita el amplificador clase F, para el tercer armónico nuevamente se ve que para lograr la máxima eficiencia se necesita una carga inductiva para acoplar el efecto inductivo que agregan las cargas, la eficiencia obtenida para este amplificador es del 72 %, la cual es muy superior al amplificador clase A y clase B que se diseñaron en el capítulo 2.

Tabla 3.6.  $V_{DS}$  e  $I_D$  incrustados en los planos de referencia intrínsecos para un SOS-MOSFET.

N	Frecuencia (GHz)	$v_{DS,n}$ (V)	$I_{Di,n}$ (A)
1	1	$2\angle 180^\circ$	$0.167\angle 1.97^\circ$
2	2	0	$0.052\angle 41^\circ$

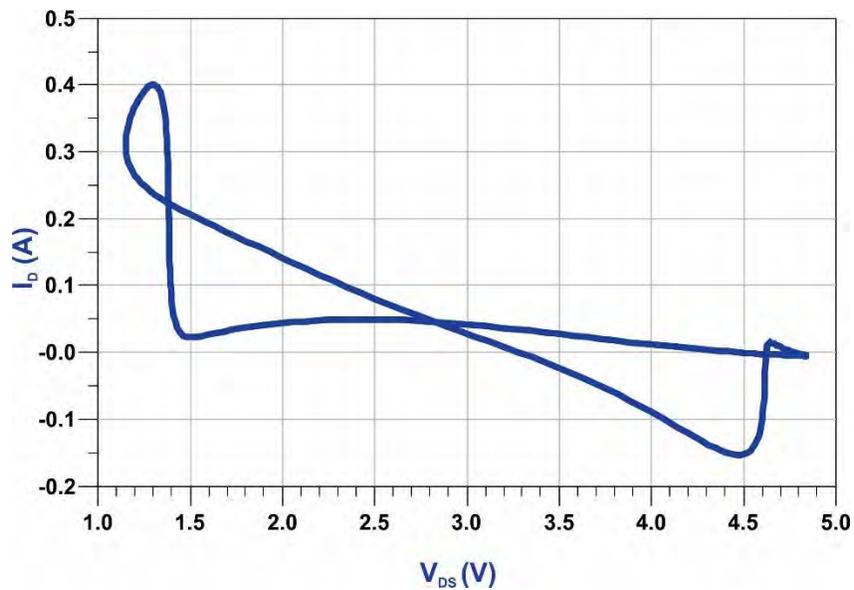
3	3	$0.333\angle -21^\circ$	$0.023\angle 69^\circ$
4	4	0	$0.045\angle -15.9^\circ$
5	5	0	$0.016\angle 6.3^\circ$

Impedancias de salida



3.21. Carta Smith de las impedancias de salida del amplificador real clase F con un transistor SOS-MOSFET.

La impedancias de salida  $Z_L^{INT}(\omega) = 12 \Omega$ ,  $Z_L^{INT}(2\omega) = 0 \Omega$  y  $Z_L^{INT}(3\omega) = j14.2 \Omega$ , para la impedancia de carga del tercer armónico el modelo ANN SOS-MOSFET predice un comportamiento inductivo para obtener la mejor eficiencia, la línea de carga del plano de referencia intrínseco se muestra en la figura 3.22, aquí se muestra un efecto fuerte por parte de las carga no lineales del transistores.



3.22. Línea de carga del plano de referencia intrínseco.

### 3.6. Conclusión.

En este capítulo se mostró que para alcanzar las formas óptimas de las ondas de un amplificador clase F, y para alcanzar la máxima eficiencia, no es necesario una carga con pérdidas, En lugar se conecta una carga inductiva. La fase de la corriente de  $90^\circ$  de la corriente de drenador y la fase de  $180^\circ$  del drenador-fuente son los resultados obtenidos y óptimos para un amplificador clase F.

La pequeña desviación que hay entre las mediciones y las simulaciones en el transistor HEMT, se deben a que el modelo incrustado de Angelov no predice bien el comportamiento de los efectos de memoria. Por esta razón en el siguiente capítulo se hace un estudio sobre dichos efectos.

## Referencias.

- [1] F. H. Raab, “Class-F Power Amplifiers with Maximally Flat Waveforms”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 45, NO. 11, NOVEMBER 1997.
- [2] S. C. Cripps, RF Amplifiers for Wireless Communication, 2nd ed. Norwood, MA, USA: Artech House, 2006.
- [3] F. J. Martinez-Rodriguez, P. Roblin, Z. Popovic, and Jose I. Martinez-Lopez. “Optimal Definition of Class F for Realistic Transistor Models”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 65, NO. 10, OCTOBER 2017.
- [4] P. Colantonio, F. Giannini, and E. Limiti, High Efficiency RF and Microwave Solid State Power Amplifiers. Hoboken, NJ, USA: Wiley, 2009.
- [5] I. Angelov, “Empirical nonlinear IV and capacitance large signal models and model implementation,” in *Proc. MOS-AK GSA Workshop*, Dec. 2009.
- [6] H. Jang, P. Roblin and Z. Xie. “Model-Based Nonlinear Embedding for Power-Amplifier Design”. IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 62, NO. 9, SEPTEMBER 2014.

# Capítulo 4.

## Efectos de memoria (Autocalentamiento y trampas).

En este proyecto de investigación se realizó un estudio de los efectos producidos por el autocalentamiento y de las trampas en un transistor tipo HEMT. En reportes científicos ha sido demostrado que para dispositivos de baja potencia las características IV y la carga en un modelo del dispositivo no lineal pueden extraerse directamente de mediciones de señal grande [1,2]. De tal manera que un enfoque válido para extraer el modelo no lineal con efectos de memoria es mediante la implementación de modelos matemáticos como las Redes Neuronales Artificiales (ANN), tal y como se reporta en [3] y se mencionó en el capítulo 2 para el caso del parásito de un transistor bipolar en un SOS-MOSFET. Sin embargo, para los HEMT de GaN de potencia, la corriente de drenador intrínseca ( $I_D$ ) no solamente está en función de los voltajes de la compuerta-fuente ( $V_{GS}$ ), y del drenador-fuente ( $V_{DS}$ ), sino también de la temperatura del dispositivo ( $T_{dev}$ ) y del comportamiento de las trampas. Por tal razón, la motivación para este trabajo experimental es realizar la implementación de una ANN para extraer un modelo que describa el comportamiento no lineal mediante mediciones a señal grande y tener en cuenta los efectos de memoria.

El comportamiento del amplificador de potencia (PA) está vinculado con las características de los transistores, por lo tanto, los efectos de memoria se consideran durante el modelado y diseño de los PA. El término memoria es empleado muchas veces para describir los efectos que varían en escalas de tiempo mucho más largas que las asociadas con el período de RF[4].

En algunos otros casos los efectos de memoria como la captura de carga muestra constantes de tiempo que se extienden desde valores muy pequeños hasta valores muy grandes [4], induciendo mecanismos mixtos en RF [5] y empeorando el comportamiento del PA, especialmente en presencia de señales moduladas de banda ancha con espaciados estrechos de frecuencia.

Un efecto de memoria que se estudia en este trabajo es el autocalentamiento dinámico debido a consideraciones termodinámicas. También se estudian las trampas que se relacionan con los efectos dinámicos de captura y emisión de portadores, que a su vez prevalecen especialmente en algunos materiales semiconductores como el: GaN y GaAs. Asimismo, un efecto de memoria que afecta al SOS-MOSFET es un transistor bipolar parásito en los componentes de microondas, también se sabe que el circuito de polarización introduce efectos de memoria que deben considerarse en el modelado del dispositivo.

Los mecanismos múltiples que producen memoria a largo plazo y corto plazo a menudo están presentes simultáneamente en los transistores, lo que dificulta identificar y modelar por separado las contribuciones independientes para un dispositivo en particular [1].

En la Fig. 4.1 se presenta un modelo intrínseco de un HEMT con efectos de memoria térmicos, con emisión y captura de portadores [1]. Para el efecto de memoria térmico, se utiliza un simple circuito equivalente de una sola resistencia y capacitor para calcular la temperatura en la juntura del transistor a partir de la potencia eléctrica disipada. Existen modelos térmicos con más elementos eléctricos para obtener un modelo más aproximado en la distribución de calor, pero entre más elementos se tengan más complicado se vuelve el modelo.

La captura y emisión de los portadores es modelado con un capacitor, el cual guarda el estado de la captura. El principio de funcionamiento de este modelo es que existe un proceso de captura rápida, que está en dirección de un diodo y una resistencia de carga. El otro proceso es una emisión lenta de portadores, por lo tanto, este proceso se puede modelar con una resistencia de valor grande que carga al capacitor.

A partir de la obtención de los efectos de memoria, el modelo eléctrico intrínseco para corrientes y cargas depende no linealmente de cinco variables: los dos voltajes de terminales

intrínsecos instantáneos, de la temperatura de la juntura y de los dos voltajes de estado de atrapamiento a través de los respectivos capacitores de retardo de compuerta y de retardo de drenaje, respectivamente.

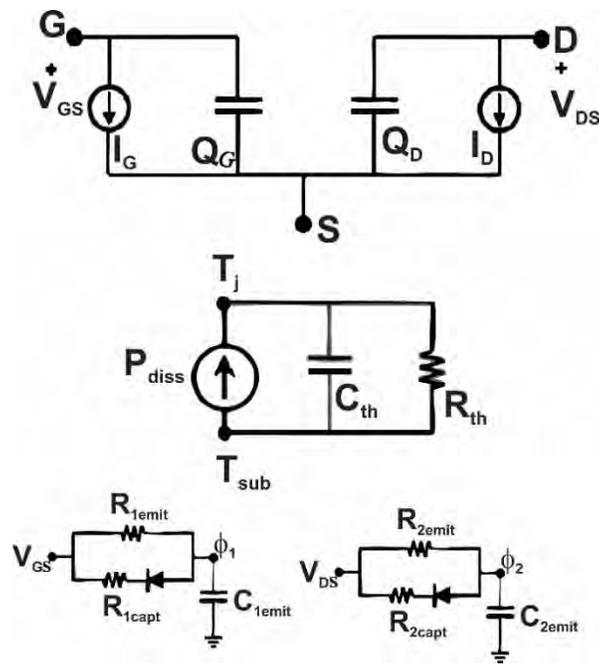


Fig 4.1. Circuito equivalente no lineal para un HEMT con efectos de memoria.

#### 4.1. Efecto de memoria de autocalentamiento.

El autocalentamiento juega un papel importante en la operación del transistor de potencia. La conversión de energía eléctrica a calor crea un cambio en la temperatura del dispositivo que, a su vez, afecta las características importantes del dispositivo eléctrico, como la ganancia y la potencia de salida [2]. La distribución de la temperatura del transistor depende significativamente de la clase de operación del PA. De igual manera, el autocalentamiento depende de las condiciones de polarización, de las condiciones de carga y los niveles de potencia asociados con las señales de RF. Asimismo, la temperatura ambiente y la condición de disipación térmica también son factores importantes a modelar.

## 4.2. Modelo del autocalentamiento.

Dado que la conducción de calor en el transistor se modela con un circuito equivalente que consiste en una resistencia térmica y una capacitancia, vale la pena señalar que no hay análogo térmico para la inductancia [6]. En contraste con los circuitos eléctricos donde las inductancias pueden causar un exceso de voltaje, la termodinámica no permite que las temperaturas excedan sus valores de equilibrio [6].

Esta analogía termoeléctrica nos permite reemplazar el problema de conducción de calor con el circuito eléctrico que se muestra en la Fig. 4.2. Con este circuito podemos simular la transferencia de calor en la superficie isotérmica del substrato del transistor [1],[6].

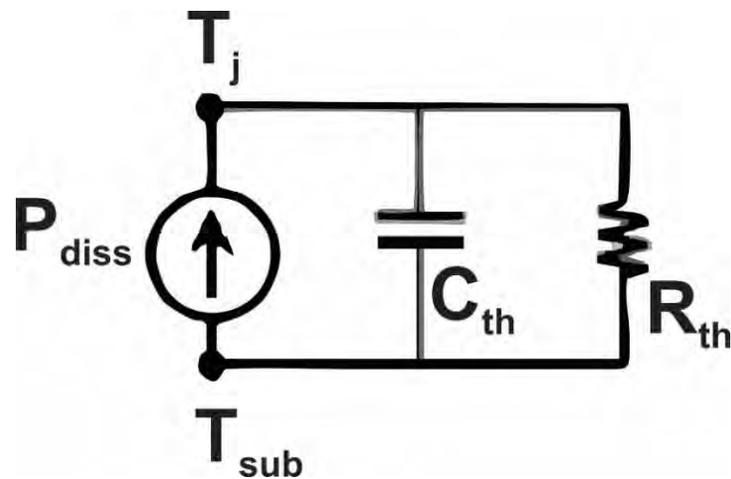


Fig. 4.2. Circuito equivalente del autocalentamiento.

La resistencia térmica y la capacitancia deben extraerse de mediciones. En este caso, la resistencia térmica se define como la diferencia de temperatura entre dos superficies isotérmicas, dividida por el flujo de calor total entre ellas, las unidades son grados por watts ( $C/W$ ) [6]. Esta definición requiere que todo el calor que entra en el plano definido por el primer límite isotérmico debe ser igual al que pasa a través del segundo, no debe haber acumulación neta de masa o dispersión dentro del volumen cerrado. Por lo tanto, las superficies isotérmicas no necesariamente tienen que corresponder a superficies físicas o geométricas, son simplemente contornos de igual temperatura. Si escribimos matemáticamente este fenómeno podemos definir la resistencia térmica como:

$$R_{th} = \frac{T_{dev} - T_{sub}}{P_{diss}} \quad (4.1)$$

donde la temperatura del transistor ( $T_{dev}$ ) y la temperatura del disipador ( $T_{sub}$ ) son la temperaturas en las superficies isotérmicas entre las cuales pasa el flujo de calor,  $P_{diss}$ .

Generalmente cuando se aplica una fuente de calor, a menudo toma algo de tiempo para que el objeto que se está calentando alcance una temperatura estable. De hecho, esto ocurre porque no se cumple la condición de flujo de calor igual a través de ambas superficies isotérmicas. De tal manera, el tiempo para alcanzar el equilibrio térmico entre diferentes superficies se modela con una capacitancia térmica. Además de las propiedades del material, la capacitancia térmica  $C_{th}$  depende del tamaño o volumen del material a través del cual se conduce el calor.

En condiciones transitorias, la conducción de calor se rige por la combinación de la resistencia térmica y de la capacitancia térmica, por lo tanto, analizamos la impedancia térmica en lugar de solo la resistencia térmica. En lugar de referirnos directamente al valor de la capacitancia térmica, usamos la constante de tiempo térmica,  $\tau$ . Para el caso, de la constante de tiempo se refiere al tiempo que se tarda en alcanzar el 63.2% del valor de equilibrio, como se define en la ecuación 4.12. Mientras, que la temperatura alcanza aproximadamente el 95% de su valor de equilibrio en tres constantes de tiempo. Por lo tanto, para los circuitos térmicos, las constantes de tiempo se emplean a menudo, ya que pueden proporcionar una visión significativa de las curvas de calentamiento o enfriamiento. La constante de tiempo térmico se calcula con el producto RC de la siguiente manera:

$$\tau = R_{th}C_{th} \quad (4.2)$$

Las capacitancias térmicas solo pueden detectarse durante condiciones transitorias, por lo que se examina la respuesta del sistema en el dominio del tiempo resultante de una excitación escalonada [13].

### 4.3. Banco de prueba para el autocalentamiento.

En este trabajo de investigación se implementó un banco de pruebas el cual fue empleado para caracterizar el autocalentamiento se muestra en la Fig. 4.3. El HEMT de GaN, utilizado para realizar la medición es el modelo CGH27015F de la compañía CREE Inc. Para la obtención de las mediciones de carga activa se utilizó la configuración de dos fuentes de RF colocadas en la entrada y en la salida. La frecuencia fundamental para realizar la medición fue fijada a una frecuencia de 2GHz y se utilizó una fuente de RF en la entrada (MG3692A), en la salida se utilizó una fuente de RF (ESG4438C) para la carga activa a la frecuencia fundamental. Mientras que para las impedancias de salida para el segundo y tercer armónico se utilizó un sintonizador pasivo, con un triplexor se conectaron los dos sintonizadores pasivos y la carga activa a la salida del transistor. Asimismo, se seleccionaron las impedancias a partir de simulaciones con el modelo incrustado de Angelov, donde las impedancias de salida para el segundo y tercer armónico se aproximaron a un corto circuito en el plano de referencia de la fuente, para obtener la condición de un PA clase B. Para obtener la temperatura del sustrato se controló parcialmente con la temperatura de la placa de sujeción, de forma sistemática. Mientras que la temperatura del sustrato y del dispositivo  $T_{sub}$  y  $T_{dev}$ , se midieron en el disipador de calor del transistor y la superficie del transistor, respectivamente. Para acceder a la superficie del transistor se hizo un orificio al empaquetado del transistor. Asimismo, las ondas incidentes y reflejadas se adquieren con un LSNA utilizando dos acopladores direccionales (RT0812H). En la figura 4.4. se muestra el banco de pruebas para llevar a cabo las mediciones de la temperatura de transistor.

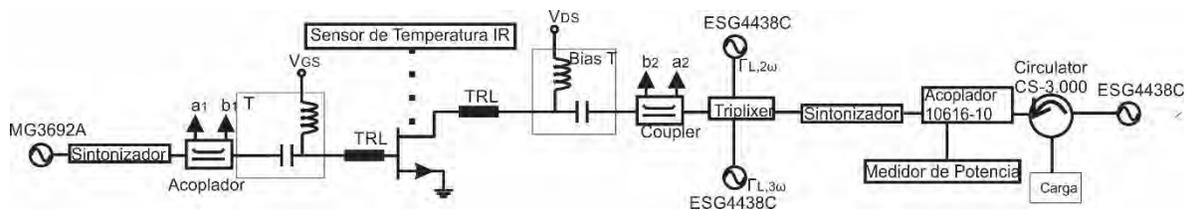


Figura 4.3. Configuración del ALP utilizada para mediciones de RF y temperatura.

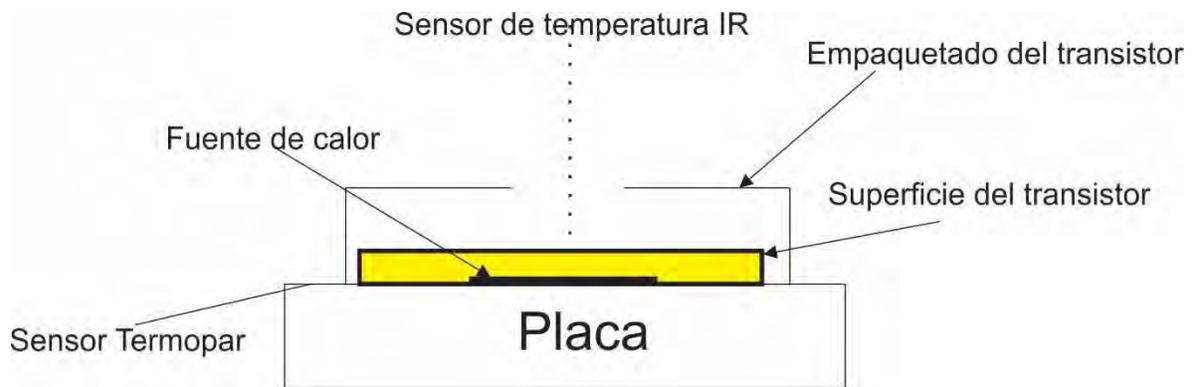


Fig. 4.4. Configuración para medir la temperatura del transistor.

#### 4.4. Resultados experimentales.

Debido a que con el equipo de medición LSNA se adquieren mediciones las formas de onda de los voltajes y corrientes en su forma estacionaria, y en las simulaciones de balance armónico se describe la dinámica del PA o del transistor de forma estacionaria,  $C_{th}$  no se determina en este trabajo, ya que se no se trabaja con la temperatura transitoria del transistor.

Cuando se aplica energía de RF al transistor o al dispositivo, la potencia disipada ( $P_{diss}$ ) aumenta, por lo tanto, la diferencia de temperatura ( $\Delta T = T_{dev} - T_{sub}$ ) aumentan en consecuencia [7]. Con las mediciones a señal grande, se demuestra la variación de la temperatura del dispositivo  $T_{dev}$  con respecto a la temperatura del sustrato  $T_{sub}$ , en la figura 4.5 se muestran las mediciones para diferentes temperaturas del disipador de temperatura donde se montó el transistor.

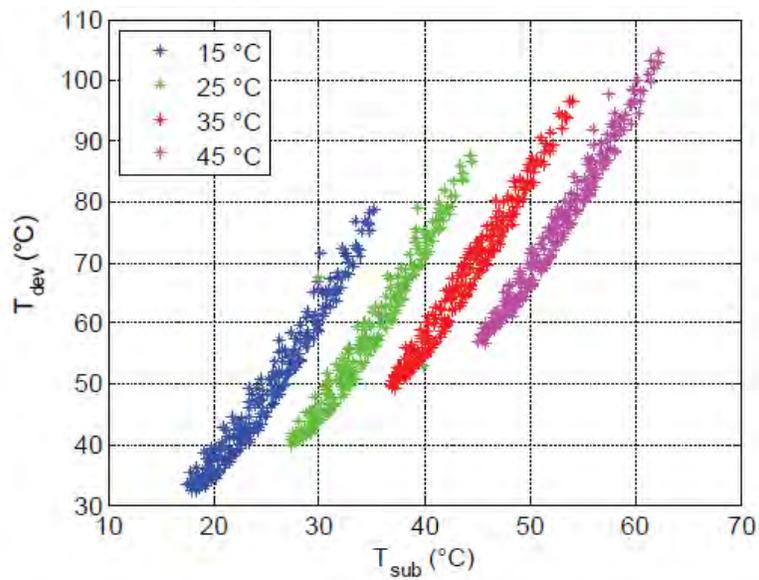


Figura 4.5. Mediciones  $T_{sub}$  contra  $T_{dev}$ .

A partir de los datos de  $P_{diss}$  y  $\Delta T$ , la resistencia térmica del dispositivo se extrae para diferentes temperaturas del disipador de calor y los resultados obtenidos se resumen en la Tabla 4.1. La comparativa entre la medición y el modelo se muestra en la Fig. 4.3 para el caso de una temperatura del disipador de 35 ° C. Asimismo, La correlación entre  $P_{diss}$  y  $\Delta T$  es casi lineal como se muestra en la Fig. 4.6. Esta relación lineal está bien representada por:

$$\Delta T = T_{dev} - T_{sub} = R_{th}P_{diss} \quad (4.3)$$

Tabla 4.1. Extracción de  $R_{th}$ .

Temperatura del plato (°C)	$R_{th}$ (°C)
15	1.56
25	1.52
35	1.53

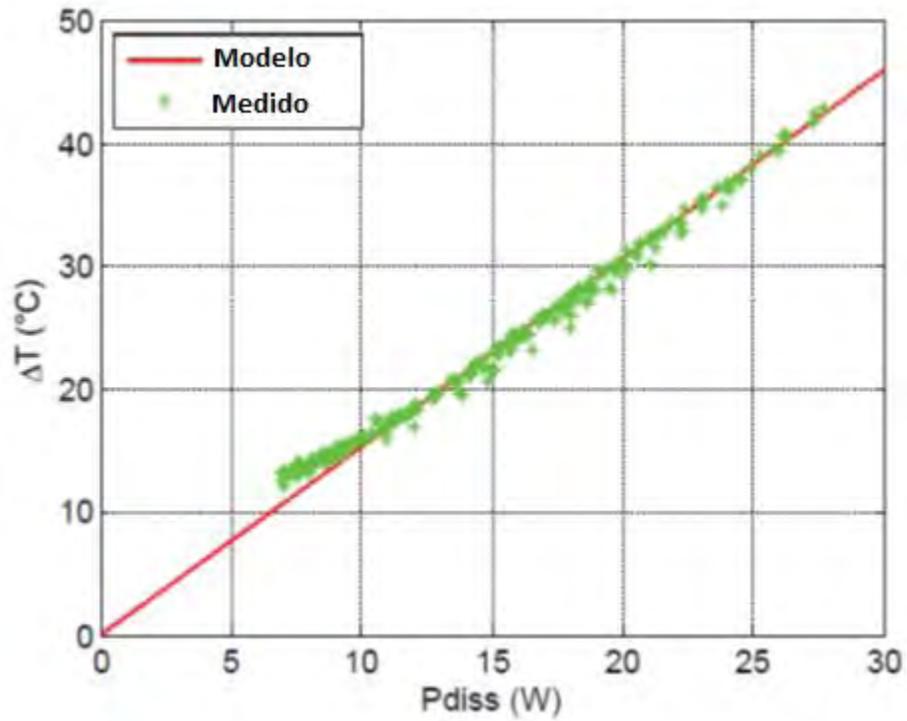


Figura 4.6. Comparación entre el valor medido y calculado.

Sin embargo, para  $P_{diss}$  por debajo de 10 W se tiene una relación lineal. Se observa que esta relación requiere investigaciones adicionales.

$P_{diss}$  y el aumento de  $T_{dev}$  varían con las impedancias de salida de carga. El aumento de  $T_{dev}$  pronosticado por el modelo a partir de  $R_{th}P_{diss}$  se compara con el medido de  $\Delta T$  de la Fig. 4.7 en función de las impedancias de carga.

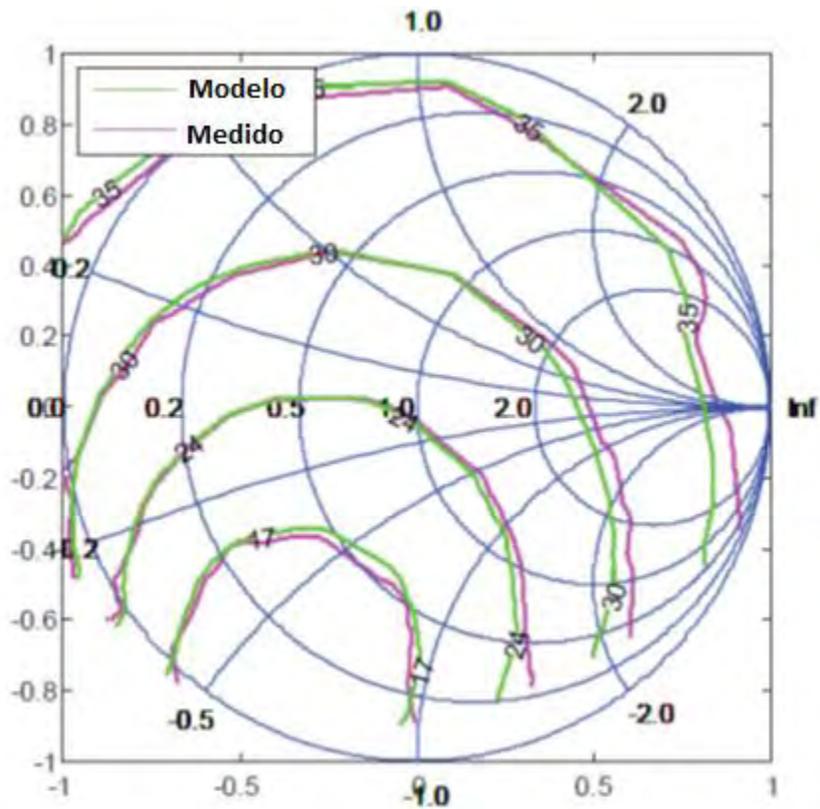


Fig. 4.7. Impedancias de carga, comparación entre el valor medido y calculado de  $\Delta T$ .

La correlación entre la potencia disipada y la potencia de salida en el control de carga proporciona información valiosa adicional para evaluar la consistencia de los datos térmicos adquiridos. La Fig. 4.5 muestra los contornos de la potencia de salida ( $P_{OUT}$ ) en verde y los contornos de la potencia disipada en púrpura. A lo largo de un nivel de  $P_{OUT}$  constante dado,  $P_{diss}$  variará de acuerdo con el contorno púrpura que se muestra en la Fig. 4.5. La trayectoria azul proporciona la carga de salida donde  $P_{diss}$  y  $\Delta T$  son mínimas y la trayectoria roja donde  $P_{diss}$  y  $\Delta T$  son máximas.

#### 4.5. Efecto de memoria trampa.

Algo que es importante señalar es que los fenómenos de captura, en el substrato o en la superficie del material semiconductor, prevalecen en las tecnologías de transistores de efecto de campo (FET) III-V, como los MESFET basados en GaAs y los HEMT pseudomorfos

(pHEMT). Las tecnologías basadas en GaN manejan altas potencias de salida y una alta velocidad en sus portadores. Cabe señalar que se afirma que los efectos de captura de diferentes tipos son responsables de la "caída de la potencia", el "colapso de la rodilla" y los fenómenos del retraso de drenaje y el retraso de la puerta [1], [4].

Por lo tanto, el origen físico del colapso de la corriente de drenaje en AlGaN / GaN HEMT está asociado con la presencia de trampas ubicadas en la estructura epitaxial [4] o en la superficie [8]. En [8] ha demostrado que la causa del colapso de la corriente es la carga de una segunda compuerta virtual, ubicada físicamente en la región de acceso de la compuerta-drenador. Debido a los grandes voltajes de polarización aplicados al HEMT durante la medición de potencia en RF, los estados de la superficie cerca de la puerta pueden atrapar electrones, actuando así como una compuerta virtual cargada negativamente. De igual manera, la corriente máxima disponible de un dispositivo durante una medición de potencia de microondas está limitada por la descarga de esta puerta virtual. Los dispositivos pasivados ubicados cerca de dispositivos no pasivados en la misma oblea no muestran casi ningún colapso actual, lo que demuestra que la pasivación de la superficie adecuada evita la formación de la puerta virtual.

Si existe carga negativa en la superficie, el potencial de la superficie se hace negativo, agotando el canal de electrones y llevando a la extensión de la región de agotamiento de la compuerta. Por lo tanto, el efecto de la carga negativa de la superficie es actuar como una compuerta de metal con polarización negativa. Por lo tanto, ahora existen dos compuertas en la superficie, entre la fuente y el drenaje, conectadas en serie como se muestra en la Fig. 4.8. El potencial en la compuerta metálica se controla mediante la polarización de la compuerta aplicada, mientras que el potencial en la segunda puerta se controla mediante la cantidad total de carga atrapada en la región de acceso al drenaje de la puerta. Esta segunda puerta se conoce como la compuerta virtual. La corriente de drenaje de salida ahora está controlada por el mecanismo que suministra carga y elimina la carga de la puerta virtual, además de la polarización de la puerta aplicada.

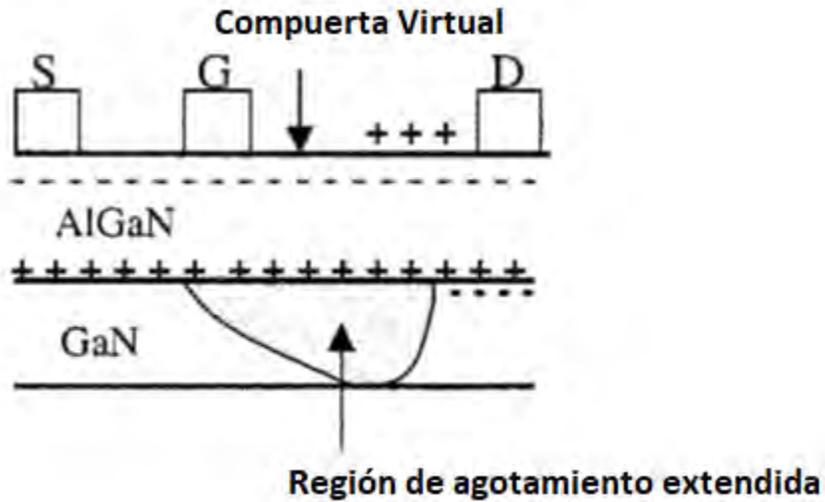


Fig. 4.8. Modelo del dispositivo que muestra la ubicación de la puerta virtual.

#### 4.6 Modelo para el efecto de memoria de las trampas.

En la figura 4.9. se muestran los subcircuitos de los efectos de memoria de las trampas, estos dos subcircuitos modelan la captura dinámica y las emisiones controladas por los voltajes de compuerta y drenaje, respectivamente [8]. Mientras que las relaciones eléctricas constitutivas para la corriente y la carga ahora dependen de cinco variables de estado: los voltajes instantáneos de compuerta y drenaje,  $V_{GS}$  y  $V_{DS}$ , la temperatura de la unión variable en el tiempo,  $T_j$  [8] y dos tensiones variables en el tiempo,  $\phi_1$  y  $\phi_2$ , asociados con mecanismos de captura [4].

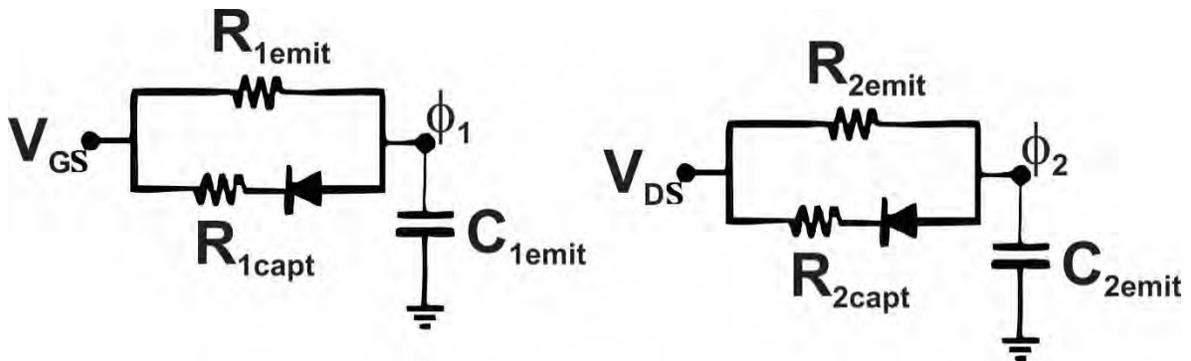


Figura 4.9. Subcircuitos del efecto de memoria de las trampas.

#### 4.7. Mediciones en tiempo real de carga activa a baja frecuencia.

En la figura 4.10. se ilustra el banco de pruebas para realizar las mediciones en tiempo real para carga activa a una frecuencia fundamental de 25 MHz. En este banco se utiliza un transistor HEMT de la compañía CREE, cuyo modelo es el CGH27015F, el HEMT es operado en una condición isotérmica para evitar un aumento en la temperatura del dispositivo. Para tal caso, se emplearon dos generadores de funciones arbitrarias (AFG) conectados al transistor, uno en la entrada y el otro a la salida, mediante que con dos *TEES* de polarización se separa la señal de los AFG con la polarización del transistor en cada puerto. El TRL que se presenta en la fig. 4.7 corresponde a las líneas de transmisión donde se monta el transistor, como se tienen señales en el orden de los MHz, estas líneas de transmisión no representan un parásito. De igual manera, entre la línea de transmisión y la *TEE* de polarización se conectan los sensores de voltaje y corriente para capturar las señales en el dominio del tiempo, mediante el osciloscopio.

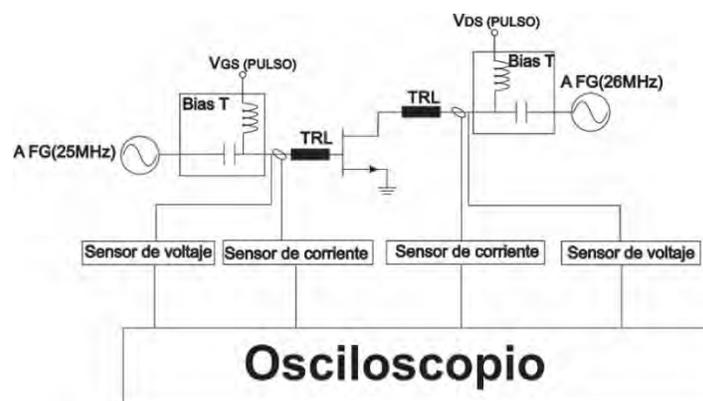


Figura 4.10. Banco de pruebas a señal pequeña para tiempo real de carga activa a baja frecuencia.

El AFG permite dar controlabilidad total de la amplitud, la fase del tono fundamental y los armónicos, esto permite obtener una configuración adecuada para cualquier régimen de operación ajustando directamente los valores desde el generador. En este banco de pruebas se utilizó un AFG, el cual se programó para que tuvieran una señal modulada por pulsos con un periodo de 1 ms y un ciclo de trabajo de 0.23 %, esto quiere decir que el AFG's de la entrada transmitió un voltaje sinusoidal durante 2.3  $\mu$ s, a una frecuencia de 25 MHz, con esto se garantiza una condición isotérmica en el transistor para que este no se caliente, en la fig. 4.11 se muestra el voltaje de entrada ( $v_{GS}$ ) modulada que es capturada con el osciloscopio.

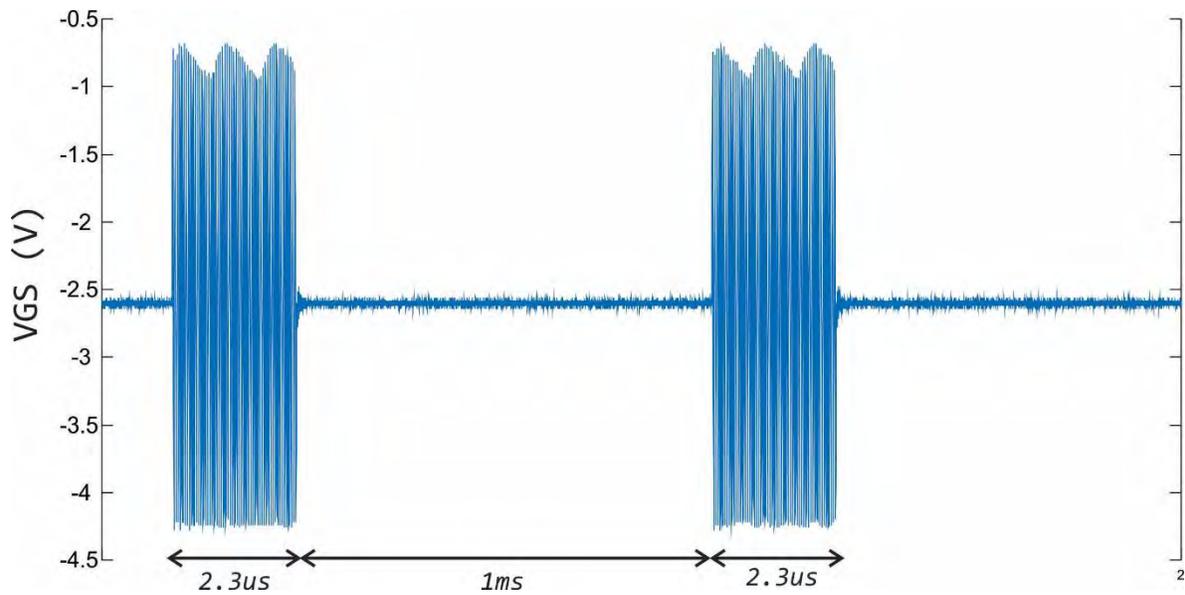


Figura 4.11. Señal modulada en la entrada ( $v_{GS}$ ) del transistor.

En la salida del transistor se transmitió un voltaje sinusoidal durante  $2.3 \mu s$ , a una frecuencia de 26 MHz, el ciclo de trabajo de la salida modulada es de 0.23 % y el periodo es de  $1 ms$ , en la figura 4.12 se muestra la señal de salida. Con los dos voltajes modulados  $v_{DS}$  y  $v_{GS}$ , que tienen distinta frecuencia, se tiene una carga que varía con el tiempo, además los pulsos con un ciclo de trabajo muy bajo garantizan que el transistor opere a temperatura ambiente, esto garantiza que se remueva el efecto de memoria del autocalentamiento y se analice únicamente la corriente del drenador en función de los voltajes y del efecto de memoria de la trampas. A frecuencias menores a 100 MHz se tiene la hipótesis que las cargas no lineales se pueden despreciar.

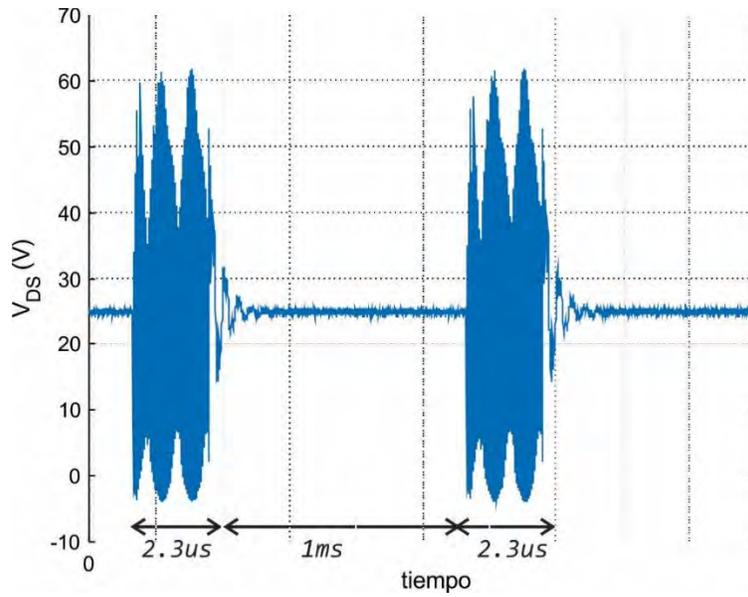


Figura 4.12. Señal modulada en la salida ( $v_{DS}$ ) del transistor.

#### 4.8. Resultados experimentales.

En la fig. 4.10 se muestran los voltajes de polarización de  $V_{GS} = 2.6 V$ ,  $V_{DS} = 25 V$  y con los voltajes modulados de las figuras 4.13 y 4.14 la medición de la corriente en  $i_D$ .

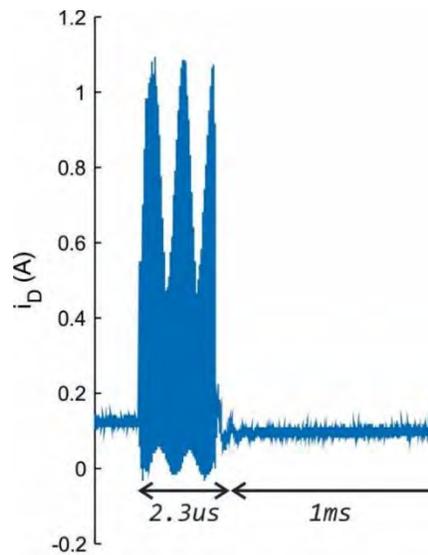


Figura 4.14. Corriente medida  $i_D$  en el transistor  $v_{DS}$ .

Como se observa en la figura 4.14, la corriente antes del pulso sinusoidal es de 125 mA, después del pulso sinusoidal la corriente cae a un valor de 100 mA. La corriente cae 25 mA debido a la captura de electrones lo cual reduce la cantidad de electrones en el canal. Las ecuaciones para la corriente de drenaje instantánea y las otras variables dinámicas dependientes del tiempo asociadas con la temperatura de la juntura  $T_j(t)$ , y los estados de captura para el retardo de compuerta  $\phi_1(t)$  y el retardo de drenaje  $\phi_2(t)$ , respectivamente, se dan en (4.4) - (4-7). Las ecuaciones de corriente de compuerta se pueden encontrar en [3]:

$$I_D(t) = I_D(V_{GS}(t), V_{DS}(t), T_j(t), \phi_1(t), \phi_2(t)) + \frac{d}{dt} Q_D(V_{GS}(t), V_{DS}(t), T_j(t), \phi_1(t), \phi_2(t)) \quad (4.4)$$

$$\frac{dT_j}{dt} = \frac{T_j - T_0}{\tau_{th}} + \frac{1}{C_{th}} V_{DS}(t) I_D(t) \quad (4.5)$$

$$\frac{d\phi_1}{dt} = f_1(V_{GS}(t) - \phi_1(t)) + \frac{V_{GS}(t) - \phi_1(t)}{\tau_{1\_emit}} \quad (4.6)$$

$$\frac{d\phi_2}{dt} = f_2(V_{DS}(t) - \phi_2(t)) + \frac{V_{DS}(t) - \phi_2(t)}{\tau_{2\_emit}} \quad (4.7)$$

Las ecuaciones (4.4) - (4.7) son ecuaciones de estado: ecuaciones diferenciales de primer orden para la evolución de las variables dinámicas (estado) que son argumentos de las relaciones constitutivas eléctricas que aparecen en (4.4). Las funciones  $f_1$  y  $f_2$  que aparecen en (4.6) y (4.7), respectivamente, son no linealidades similares a diodos que representan tasas de captura preferentes cuando el voltaje de la compuerta instantánea (o drenaje) se vuelve más negativa (o positiva para el drenador) que los valores de  $\phi_1$  y  $\phi_2$ . Por lo tanto, como las mediciones se hicieron a baja frecuencia, en el orden de los MHz, se considera que la corriente de desplazamiento  $\frac{dQ_D}{dt}$  es igual cero, por lo que las derivadas de primer orden se igualan a cero, en las mediciones se utiliza una señal modulada con un ciclo de trabajo de valor muy pequeño. Asimismo, para el término de  $T_j$  es igual a una constante, por lo que  $I_D$  queda en función de los voltajes y de las trampas, tal y como se muestra a continuación:

$$I_D(t) = I_D(V_{GS}(t), V_{DS}(t), \phi_1(t), \phi_2(t)) \quad (4.8)$$

De la medición que se hizo en la corriente de drenador  $I_{Dmedida}$ , se deduce que el tiempo de captura es mucho menor que el tiempo de emisión, por lo que en este modelo para  $\phi_1(t)$  y  $\phi_2(t)$ , solo se va a considerar la captura para el efecto de memoria de la trampas, por lo que el subcircuito de la trampas se reduce, como se muestra en la figura 4.15.

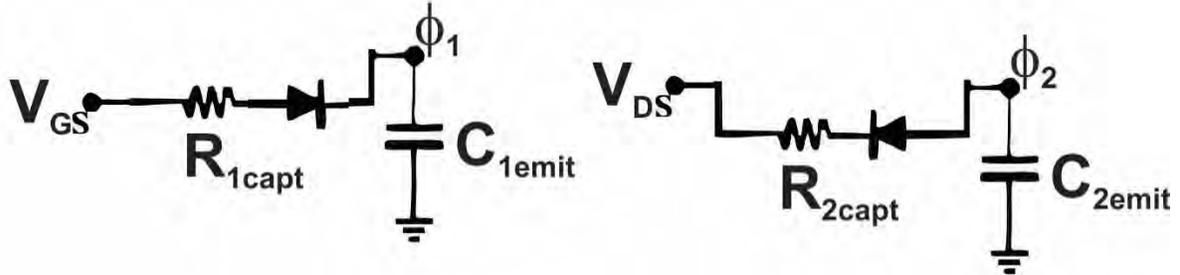


Figura 4.15. Subcircuito de las trampas, solo se considera la captura de electrones.

Siguiendo la figura 4.15, la ecuación para  $\phi_1(t)$  que se propone queda de la siguiente manera,

$$\phi_1(t) = \begin{cases} \phi_0 + (V_{GS} - \phi_0) \left( 1 - \exp\left(-\frac{t}{\tau_{1capt}}\right) \right), & \phi_1(t) < V_{GS}(t) \\ V_{GS} + (\phi_0 - V_{GS}) \left( \exp\left(-\frac{t}{\tau_{1emit}}\right) \right), & V_{GS}(t) \geq \phi_1(t) \end{cases} \quad (4.9)$$

$\phi_0$  es una condición de inicial o de memoria de la carga del capacitor, En estas mediciones se propone que el tiempo de captura tienda a cero  $\tau_{1capt} \rightarrow 0$ , y el tiempo de emisión tienda  $\tau_{1emit} \rightarrow \infty$ , por lo que al momento de calcular a  $\phi_1(t)$  de la ecuación (4.9), y utilizando  $V_{GS}$  de mediciones, obtenemos la gráfica de  $\phi_1(t)$  que se muestra en a figura 4.16.

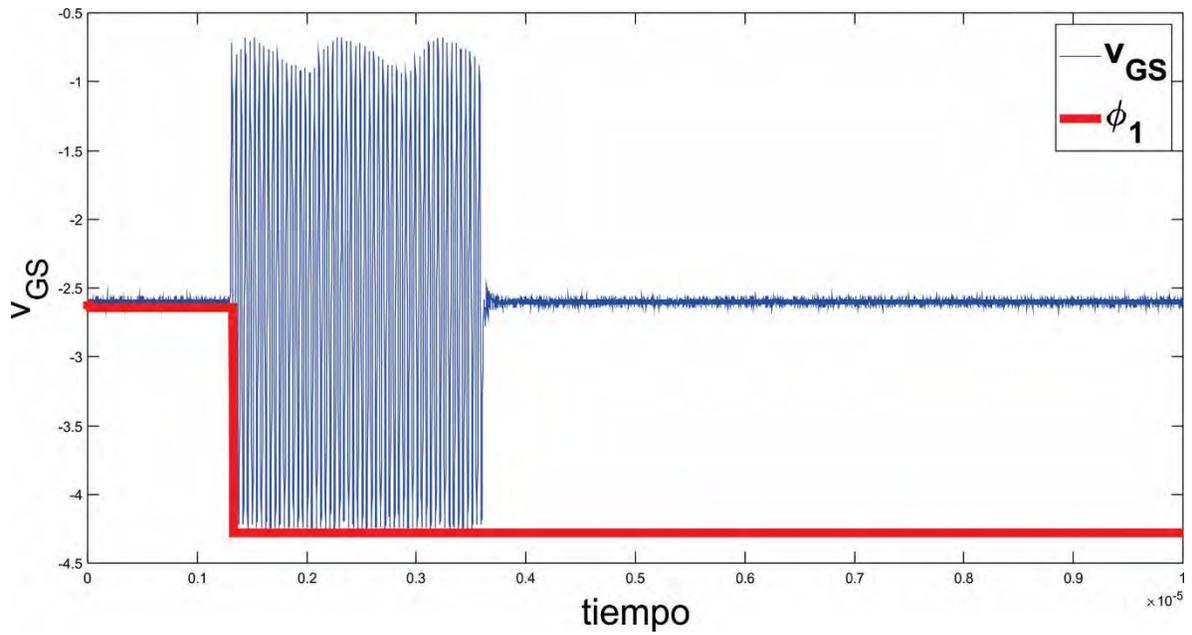


Fig. 4.16. Grafica de  $\phi_1$ .

Para  $\phi_2(t)$  se propone la siguiente expresión:

$$\phi_2(t) = \begin{cases} \phi_{02} + (V_{DS} - \phi_{02}) \left( 1 - \exp\left(-\frac{t}{\tau_{2capt}}\right) \right), & \phi_1(t) > V_{DS}(t) \\ V_{DS} + (\phi_{02} - V_{DS}) \left( \exp\left(-\frac{t}{\tau_{2emit}}\right) \right), & V_{DS}(t) < \phi_1(t) \end{cases} \quad (4.10)$$

$\phi_{02}$  es una condición inicial o de memoria de la carga del capacitor, también se propone que el tiempo de captura tienda a cero  $\tau_{2capt} \rightarrow 0$ , y el tiempo de emisión tienda a infinito  $\tau_{2emit} \rightarrow \infty$ , la gráfica de  $\phi_2(t)$  se muestra en la figura 4.17.

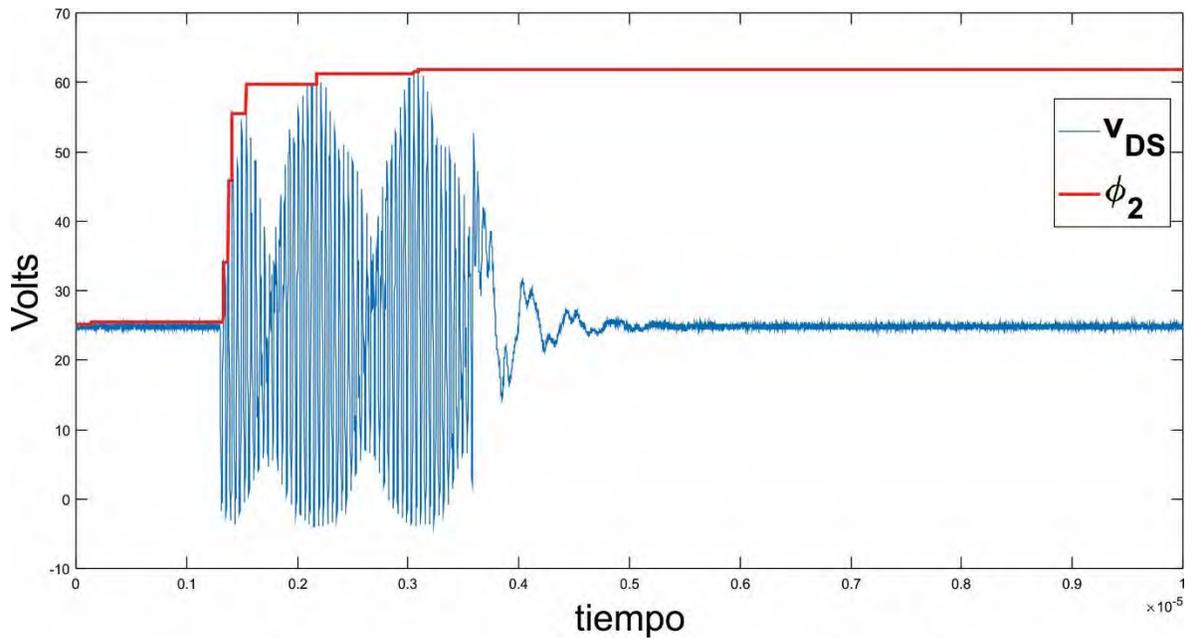


Fig. 4.17. Grafica de  $\phi_2$ .

Teniendo los modelo para  $\phi_1$  y  $\phi_2$ , con redes neuronales se tiene un modelo para  $I_D$  en función de la variables que se muestran en la ecuación (4.8), las entrada a la red neuronal artificial son  $V_{DS}$  y  $V_{GS}$  que viene de la mediciones a baja frecuencia, y los valores calculados de  $\phi_1$  y  $\phi_2$ .

La red neuronal artificial utilizada para extraer el modelo para  $I_D$  del HEMT consta de tres diferentes capas: la capa de entrada, la capa oculta y la capa de salida, que son conectadas por pesos  $w_1$  y  $w_2$ , como se muestra en la figura 4.18, mediante el algoritmo de propagación hacia atrás y utilizando iteraciones se actualizan los pesos de tal manera que el error entre la salida que predice la ANN y la mediciones tiendan a valores pequeños, la salida de la ANN predice la corriente total del drenador, la función de error de la ANN se calcula de la siguiente manera:

$$E_D = \frac{1}{P} \sum_{ii=1}^P e_D^2(ii) \quad (4.11)$$

Donde  $E_D$  es la función de error,  $ii$  indica el tiempo de muestreo en el tiempo  $t_i$ ,  $P$  es el número total de muestras,  $e_D$  es el error entre la corriente medida  $i_D$  y la corriente que predice la ANN  $i_{D,ANN}$  tal y como muestra la ecuación 2.12:

$$e_D(ii) = I_D(ii) - I_{D,ANN}$$

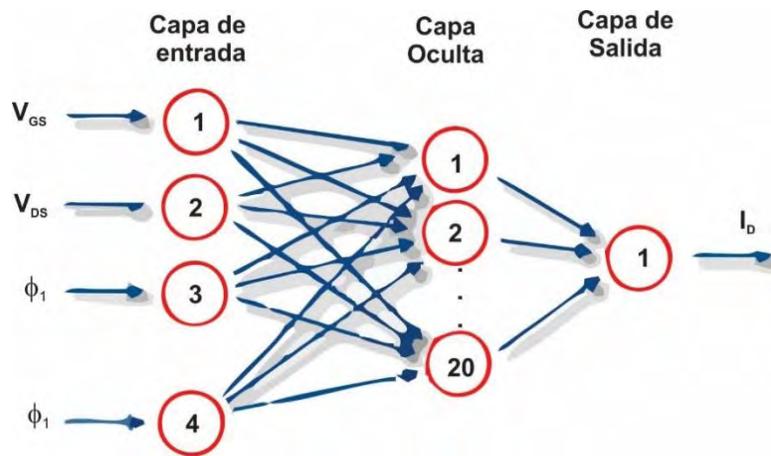


Fig. 4.18. Red neuronal Artificial para calcular  $I_D$  con trampas.

La comparación de calcular  $I_D$  con la Red Neuronal Artificial y del valor medio de  $I_{Dmedida}$  se muestra en la figura 4.19, la caída de la corriente después del pulso es calculada por la red neuronal artificial.

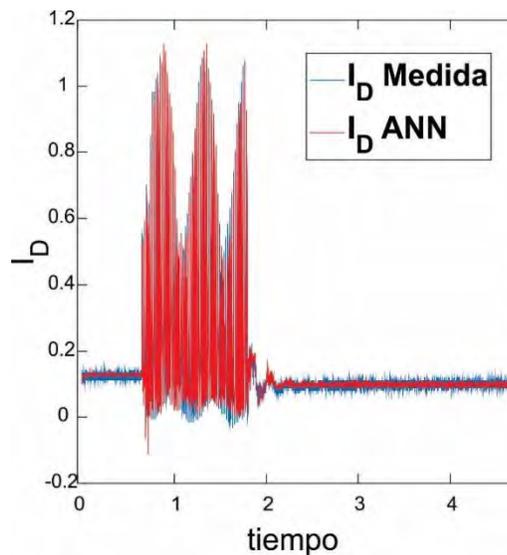


Fig. 4.19. Comparación entre  $I_D$  calculada e  $I_D$  medida.

Como se puede observar en la figura 4.19, calculando previamente los estados  $\phi_1$  y  $\phi_2$ , de las trampas y utilizando redes neuronales, se obtuvo un modelo a señal grande para baja frecuencia, el siguiente paso es obtener un modelo a alta frecuencia, donde se tienen el efecto de las cargas.

#### 4.9. Conclusión.

En este trabajo se realizó un estudio de las trampas, se propuso un modelo de extracción mediante mediciones a baja frecuencia (alrededor de 25 MHz). Asimismo, para determinar el estado de las trampas  $\phi$ , en esta medición se observó que el tiempo de captura es mucho menor que el tiempo de emisión, por el cual se consideró solamente en el modelo la captura de los electrones. Falta verificar si este modelo se puede utilizar para voltajes y corrientes en alta frecuencia (alrededor de 2 GHz). Se ha observado que, bajo una excitación periódica de alta frecuencia, la población promedio de trampas responde a la señal periódica de alta frecuencia aplicada, lo que en algunos casos produce un aumento o disminución dramático de la ocupación y el ruido generado por las trampas. Este es el llamado efecto ciclo estacionario y probablemente al modelo propuesto se le tenga que hacer una modificación.

Normalmente, se observarán fuertes efectos cíclicos bajo excitaciones periódicas cuando la tasa de emisión y captura tenga una dependencia no lineal de las tensiones instantáneas de compuerta y drenaje. De las ecuaciones 4.9 y 4.10 será necesario en un futuro calcular el valor promedio de  $\tau_{emit}$  y  $\tau_{capt}$ .

Referencia.

- [1] P. Roblin, D. E. Root, J. Verspecht, Y. Ko, and J. P. Teyssier, "New Trends for the Nonlinear Measurement and Modeling of High-Power RF Transistors and Amplifiers With Memory Effects". IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 60, NO. 6, JUNE 2012.
- [2] F. J. Martinez-Rodriguez, P. Roblin, J. I. Martinez-Lopez, "Joint Self-Heating and RF Large Signal Characterization", 86th ARFTG Microwave Measurement Conference, 2015.
- [3] [14] Y. Ko, P. Roblin, A. Zárate-de Landa, J. A. Reynoso-Hernández, D. Nobbe, C. Olson and F. J. Martinez, "Artificial Neural Network Model of SOS-MOSFETs Based on Dynamic Large-Signal Measurements", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 62, NO. 3, MARCH 2014.
- [4] S. A. Albahrani, A. E. Parker, and M. Heimlich, "Identifying a doubleenergy-level trap center in a GaN HEMT by performing three-stage pulse measurements," *IEEE Trans. Electron Devices*, vol. 63, no. 9, Sep. 2016.
- [5] A. Benvegnù *et al.*, "On-wafer single-pulse thermal load-pull RF characterization of trapping phenomena in AlGaIn/GaN HEMTs," *IEEE Trans. Microw. Theory Techn.*, vol. 64, no. 3, Mar. 2016.
- [6] J. Wood and D. E. Root, "Fundamentals of Nonlinear Behavioral Modeling for RF and Microwave Design", Artech House Publishers, 2005.
- [7] P. Roblin, *Nonlinear RF Circuits and Nonlinear Vector Network Analyzers*, Cambridge University Press, 2011.
- [8] R. Vetry, N. Q. Zhang, S. Keller, and U. K. Mishra. "The Impact of Surface States on the DC and RF Characteristics of AlGaIn/GaN HFETs", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 48, NO. 3, MARCH 2001.

## Conclusiones.

En este proyecto de investigación se trabajó principalmente con los transistores HEMT y SOS-MOSFET en modelos de señal grande para el diseño de amplificadores de potencia de alta eficiencia, las conclusiones principales de este trabajo son las siguientes:

1. Se implementó en un simulador de circuitos el modelo compacto desincrustado e incrustado de un transistor SOS-MOSFET. Extrayendo los parámetros no lineales con redes neuronales artificiales. Con este modelo se permite el diseño de amplificadores de alta eficiencia en un corto periodo de tiempo y una buena precisión, lo importante del modelo incrustado es el diseño directamente en el plano de referencia de la fuente del transistor.
2. Mediante mediciones con el LSNA y un sensor de temperatura se obtuvo un modelo para el autocalentamiento para un transistor HEMT. En este trabajo se demostró que conforme se aumenta la potencia de disipación, la temperatura del transistor aumenta de manera cuasi-lineal, también se muestra una buena correlación entre la potencia disipada, la potencia de salida y la temperatura del dispositivo. Con el banco de pruebas que se montó utilizando una carga activa, se demostró que se puede obtener un modelo electro térmico utilizando mediciones de RF.
3. Se propuso un modelo no lineal para el efecto de memoria de las trampas, este modelo se verificó a baja frecuencia, en un trabajo a futuro hay que verificar si este modelo es adecuado a frecuencias de microondas.
4. Se hizo una actualización de la definición de un amplificador clase F en el plano de referencia intrínseco, considerando las características reales del transistor, como es el voltaje de rodilla diferente de cero. La predicción del modelo intrínseco para la impedancia del tercer armónico de un clase F es una carga sin pérdidas e inductiva. La forma de onda de voltaje que se obtuvo fue casi cuadrada y la potencia de disipación del tercer armónico fue igual a cero. Esta predicción se comprobó mediante mediciones.

5. Con mediciones se barrió la impedancia del tercer armónico para obtener la máxima eficiencia. La óptima eficiencia obtenidas con las mediciones coincide exactamente con lo que predice el modelo incrustado para un transistor HEMT, por lo tanto, se comprueba la teoría que se propuso para la actualización de un amplificador clase F.

Los resultados de este proyecto de investigación fueron publicados en 4 publicaciones en revista y 4 en conferencia.