



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO
POSGRADO EN CIENCIA E INGENIERÍA DE MATERIALES
CENTRO DE NANOCIENCIAS Y NANOTECNOLOGÍA

CARACTERIZACIÓN DE PROPIEDADES ELÉCTRICAS DE CAPACITORES CON DIELECTRICOS NANOLAMINADOS

TESIS
QUE PARA OPTAR POR EL GRADO DE:
MAESTRÍA EN CIENCIA E INGENIERÍA DE LOS MATERIALES

PRESENTA:
FRANCISCO JAVIER ORTIZ FONSECA

TUTOR PRINCIPAL
DR. HUGO JESÚS TIZNADO VÁZQUEZ
CENTRO DE NANOCIENCIAS Y NANOTECNOLOGÍA

MIEMBROS DEL COMITÉ TUTOR
DR. GERARDO SOTO HERRERA
CENTRO DE NANOCIENCIAS Y NANOTECNOLOGÍA
DR. FRANCISCO JAVIER ESPARZA HERNÁNDEZ
CENTRO DE INVESTIGACIÓN CIENTÍFICA Y DE EDUCACIÓN SUPERIOR DE ENSENADA

ENSENADA, B. C., ENERO DE 2018



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

Comité asesor

Tutor Principal

- Dr. Hugo Jesús Tiznado Vázquez
Centro de Nanociencias y Nanotecnología, UNAM

Miembros del Comité Tutor

- Dr. Gerardo Soto Herrera
Centro de Nanociencias y Nanotecnología, UNAM
- Dr. Francisco Javier Esparza Hernández
Centro de Investigación Científica y de Educación Superior de Ensenada

Jurado

- Dr. Mario Humberto Farías Sánchez, presidente
Centro de Nanociencias y Nanotecnología, UNAM
- Dr. Hugo Jesús Tiznado Vázquez, primer vocal
Centro de Nanociencias y Nanotecnología, UNAM
- Dr. Nicola Radnev Nedev, segundo vocal
Universidad Autónoma de Baja California
- Dr. Juan Carlos Alonso Huitrón, tercer vocal
Instituto de Investigaciones en Materiales, UNAM
- Dr. Heriberto Márquez Becerra, secretario
Centro de Investigación Científica y de Educación Superior de Ensenada

Derechos reservados

PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de texto, imágenes, fragmentos de video, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

Dedicatorias

A mis padres, esposa e hijos, por su amor y su apoyo.

Agradecimientos

Al Buen Dios, de quien he recibido todo.

A las escuelas que me han formado:

Colegio Cristóbal Colón, en Ocotlán, Jal.

Escuela Normal Queretana, en Querétaro, Qro.

Colegio Cervantes, en Guadalajara, Jal.

Escuela Preparatoria Benito Juárez, en Zapotlán el Grande, Jal.

Instituto Tecnológico de Ciudad Guzmán, en Zapotlán el Grande, Jal.

Centro de Nanociencias y Nanotecnología, en Ensenada, B. C.

A los maestros, incontables, formales y no formales, de quienes he aprendido lo que sé.

A quienes han intervenido directamente en la elaboración y revisión de esta tesis:

Al Comité asesor

Al Jurado

Al Dr. Joel Humberto Castro Chacón. Instituto de Astronomía, UNAM.

Al Consejo Nacional de Ciencia y Tecnología CONACYT por el soporte económico de la beca recibida para estos estudios (2015-2017).

“Conocerán la Verdad, y la Verdad les hará libres”

ÍNDICE

Comité asesor	2
Jurado	2
Derechos reservados	2
Dedicatorias	3
Agradecimientos	3
Índice	4
I. Resumen	6
II. Antecedentes	
a) Entorno tecnológico	7
III. Planteamiento	
a) Problema	10
b) Hipótesis	10
c) Objetivo	11
d) Metas	11
IV. Marco teórico	
a) Entorno científico	
1. El capacitor nanolaminado	12
2. Modelo preciso del capacitor	14
3. Análisis de corriente directa del capacitor	15
4. Análisis de corriente alterna del capacitor	16
5. Modelo de bandas de energía	18
b) Materiales dieléctricos	20
1. El óxido de silicio	20
2. El óxido de aluminio	22
3. El óxido de circonio	22
c) Propiedades dieléctricas	
1. Permitividad	23
2. Brecha prohibida	24
3. Voltaje de ruptura o rigidez dieléctrica	26
4. Espesor de óxido equivalente ("EOT")	26

V.	Desarrollo experimental	
a)	Identificar y organizar los materiales bajo estudio	27
b)	Identificar la cristalinidad de las muestras	29
c)	Determinar espesores	31
d)	Determinar brecha prohibida	32
e)	Construir electrodos	34
f)	Identificar capacitores útiles	37
g)	Obtener curvas C-V	40
VI.	Discusión	
a)	Brecha prohibida y espesores	46
b)	Corriente de fuga	47
c)	Rigidez dieléctrica y corriente de fuga máxima	48
d)	Capacitancia	50
e)	Permitividad relativa	51
f)	Espesor de óxido equivalente	53
VII.	Conclusiones	55
VIII.	Anexos	
a)	Abreviaturas	57
b)	Índice de figuras	58
c)	Índice de tablas	60
IX.	Fuentes de información	60

I. RESUMEN

La estructura capacitadora MOS (Metal – Óxido – Semiconductor) forma parte del arreglo de los transistores de efecto de campo (FET) en circuitos integrados, los cuales son los más utilizados en los equipos electrónicos actuales. Una de las demandas para estos equipos es reducir su tamaño y mejorar sus capacidades. Los fabricantes de estos equipos innovan continuamente la arquitectura, software y materiales para lograr las mejoras que los hagan competitivos.

Con respecto a los materiales, el óxido de silicio ha sido utilizado por muchos años, como material dieléctrico en la terminal de puerta de los transistores tipo MOS. Pero los requerimientos para incrementar la densidad de ellos han llevado a este material a su límite.

Una de las soluciones planteadas es sustituir al óxido de silicio con estructuras dieléctricas formadas por capas alternadas de dos materiales, con dimensiones menores a los 100 nanómetros. A estas estructuras las denominamos materiales dieléctricos nanolaminados.

En los últimos años se ha investigado sobre algunos materiales dieléctricos, buscando obtener altos valores de permitividad, brecha prohibida, capacitancia y voltaje de rompimiento, así como bajos niveles de corriente de fuga, entre otros.

En este trabajo se estudiaron capacitores tipo MOS elaborados con multicapas de óxido de aluminio y óxido de circonio, depositados alternadamente por ALD sobre un sustrato de silicio dopado p.

La caracterización de las propiedades eléctricas se realizó mediante las técnicas Corriente – Voltaje (I-V) y Capacitancia – Voltaje (C-V).

Los resultados obtenidos nos muestran que al manipular el espesor de cada capa de óxido, podemos obtener un material dieléctrico nanolaminado con propiedades eléctricas controladas.

II. ANTECEDENTES

a) Entorno tecnológico

Los circuitos integrados son dispositivos miniaturizados que realizan operaciones lógicas, matemáticas, de comunicación, de memoria de información, etc. y son el cerebro de los equipos electrónicos; como ejemplo están los microprocesadores en una computadora.

En un microprocesador actual pueden encontrarse varios millones de compuertas lógicas en un solo circuito integrado. Y una compuerta lógica incluye al menos una decena de transistores para realizar sus funciones. El transistor más utilizado es de tipo CMOS FET (Transistor de efecto de campo, complementario, metal-óxido-semiconductor) que requiere estar construido con varias capas de materiales, y conectado a otros transistores por medio de electrodos metálicos. La figura 1 muestra un esquema simplificado de un transistor MOS FET de canal n.

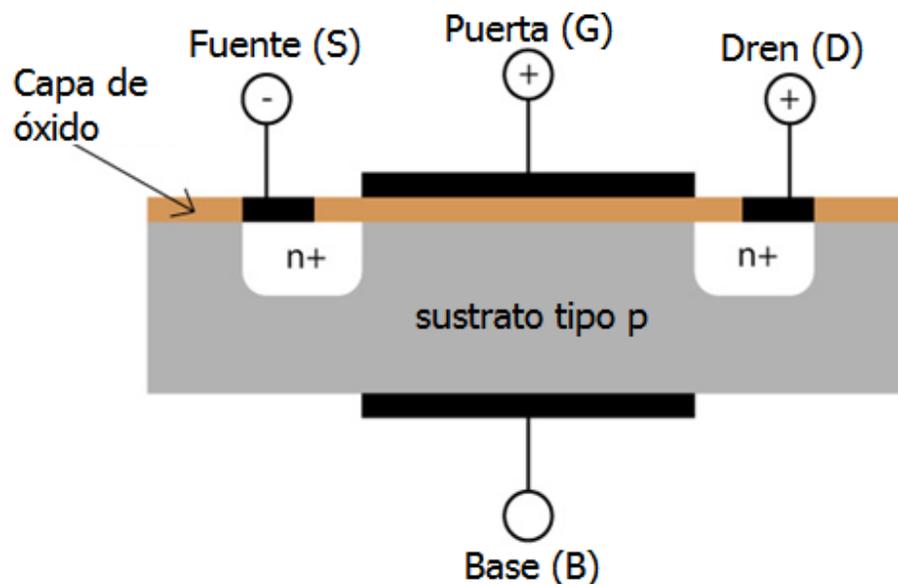


Figura 1. Esquema de un transistor MOS FET de canal n [1].

A esta tecnología se le denomina ULSI ("ultra large scale integration"). Un ejemplo es el microprocesador quad-core (cuatro núcleos), arquitectura Haswell, fabricado por Intel en 2013, que contiene 1,400 millones de transistores en una matriz de 177 mm². En esta escala de integración, el grosor del canal en el transistor es de 22 nanómetros. Dimensiones de 10 nanómetros son esperadas en los productos Intel de 2017 [2].

En la construcción de estos transistores tipo MOS FET, el elemento que ha llegado a sus dimensiones mínimas para un desempeño óptimo es un material dieléctrico (tradicionalmente SiO_2) que está entre el electrodo llamado puerta ("gate") y el sustrato de silicio dopado. A esta estructura se le denomina MOS y tiene un comportamiento capacitivo.

La función de este material dieléctrico (aislante, óxido de puerta) es recibir un potencial eléctrico en la puerta, bloquear cualquier corriente eléctrica y permitir la transmisión de un campo eléctrico a través del dieléctrico hacia el canal en el sustrato del transistor.

Debido a la miniaturización de los componentes electrónicos, la construcción de transistores de efecto de campo denominados CMOS FET se enfrenta a un límite: no puede reducirse más el grosor del material dieléctrico (tradicionalmente óxido de silicio, SiO_2) que se construye entre la terminal llamada puerta (material metálico, ejemplo: Aluminio) y el canal del transistor (material semiconductor, ejemplo: Silicio dopado), sin que pierda sus propiedades capacitivas y aislantes.

Actualmente, el óxido de puerta se ha reducido a límites de desempeño: su espesor (t_{ox}) no puede ser menor, pues aparecen altas corrientes de fuga a través de él. Estas corrientes generan calor y caída de voltajes, o sea, daños y pérdida de información.

En la figura 2 se visualiza la Ley de Moore, enunciada en 1965 por Gordon E. Moore, cofundador de Intel, quien predijo la duplicación de los transistores al interior de un circuito integrado ("Integrated circuit", IC) cada dos años.

Un mayor espesor del material dieléctrico, resolvería el problema de la corriente de fuga, pero esta solución está en contra de los requerimientos de mayor integración, por lo que está descartada para el SiO_2 .

Otra opción de mejora es sustituir el material dieléctrico por otro que tenga una alta constante dieléctrica, que permita incrementar el grosor del dieléctrico y así limite la corriente de fuga a niveles aceptables. El material dieléctrico que se ha utilizado tradicionalmente es el óxido de silicio (SiO_2).

Hay estudios con diversos materiales para reemplazar al óxido de silicio: óxidos de un solo metal (óxidos simples), como el óxido de hafnio (HfO_2) [3] o el óxido de circonio (ZrO_2) [4], y óxidos de varios metales (óxidos mixtos), como el titanato de estroncio (SrTiO_3) [5] o el compuesto YSZ ($\text{Y}_2\text{O}_3:\text{ZrO}_2$) [6].

A partir de estudios de este tipo se ha sustituido el SiO₂ en algunos circuitos integrados. Ejemplos son el empleo de Al₂O₃ en memorias tipo flash [7], HfO₂ en microprocesadores [8] y ZrO₂ en memorias DRAM [9].

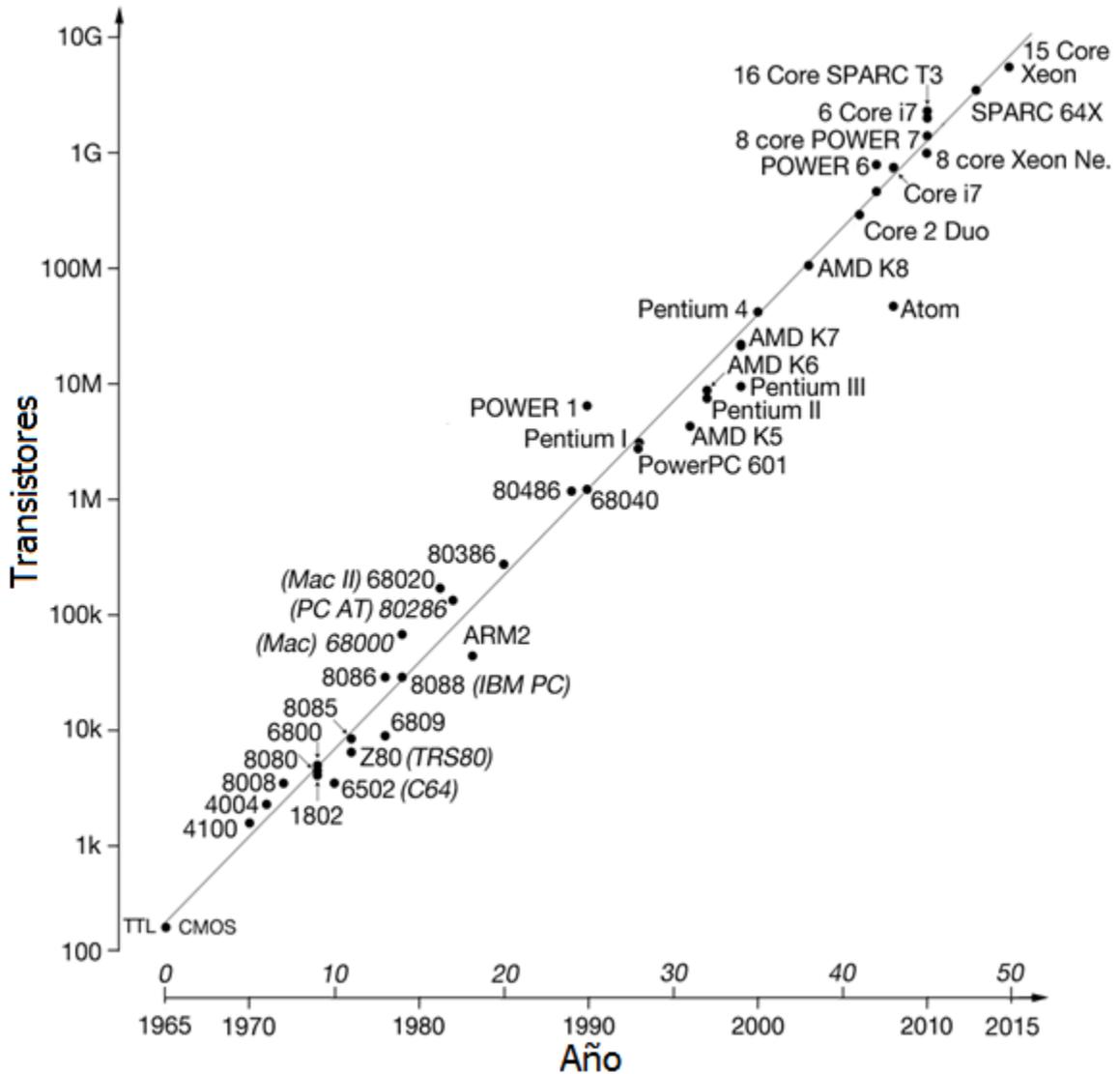


Figura 2. Ley de Moore. Microprocesadores Intel ubicados según el año de comercialización y la cantidad de transistores en su interior [10].

III. PLANTEAMIENTO

a) Problema

La reducción de escala o miniaturización de los circuitos integrados requiere nuevos materiales dieléctricos de alta- k (alta constante dieléctrica) que permitan: a) incrementar el espesor del óxido de puerta, b) mantener valores aceptables de capacitancia, y c) lograr una energía de brecha prohibida (E_g , "bandgap") relativamente alta. Todo esto orientado a reducir las indeseables corrientes de fuga.

El problema es que no existen dieléctricos puros que cumplan tales requerimientos. Por tanto, la estrategia general para encontrar una solución ha sido combinar materiales para controlar las propiedades eléctricas resultantes. Una manera alternativa es combinar materiales en estructuras nanolaminadas a través de técnicas de crecimiento controlado hasta fracciones de nanómetro. Específicamente, nanolaminados a base de Al_2O_3 y ZrO_2 son candidatos para desarrollar buenos dieléctricos debido a su combinación de propiedades. Sin embargo, aún falta información científica acerca de su respuesta eléctrica en estructuras MOS que confirmen sus ventajas y desventajas. Dado lo anterior, se requieren de trabajos experimentales para verificar su aplicabilidad en el problema propuesto.

En este trabajo se investigará el efecto del espesor de bicapa [Al_2O_3 - ZrO_2] en el control de la constante dieléctrica y la brecha prohibida. Se espera que la información generada abra rutas para obtener materiales aislantes con propiedades a la medida de las necesidades de los diseñadores de circuitos integrados.

b) Hipótesis

Se propone que la constante dieléctrica (k) y la brecha prohibida (E_g , "bandgap") del material nanolaminado [Al_2O_3 - ZrO_2], puedan ser controladas mediante el espesor de bicapa.

c) Objetivo

El objetivo general es:

Relacionar el comportamiento de las propiedades constante dieléctrica y brecha prohibida de los materiales nanolaminados óxido de aluminio – óxido de circonio en la estructura capacitiva tipo MOS.

El control de k y E_g se alcanzará modificando tres variables independientes:

- Temperatura de depósito
- Espesor de bicapa
- Espesor total del nanolaminado.

d) Metas

Para lograr este objetivo, se deben alcanzar las siguientes metas:

1. Identificar y organizar los materiales bajo estudio.
2. Identificar la cristalinidad de las muestras.
3. Determinar espesor del material dieléctrico.
4. Determinar brecha prohibida.
5. Construir electrodos.
6. Medir área de capacitores.
7. Identificar capacitores útiles.
8. Obtener curvas C-V.
9. Obtener constante dieléctrica.
10. Obtener espesor de óxido equivalente.
11. Comparar los resultados experimentales con los datos calculados de los parámetros en estudio.
12. Discutir la información obtenida.
13. Verificar la hipótesis.

IV. MARCO TEÓRICO

a) Entorno científico

1. El capacitor nanolaminado

El nuevo material dieléctrico debe mejorar sustancialmente los valores de constante dieléctrica (k) y brecha prohibida (E_g) del SiO_2 . En la **tabla 1** se comparan estos valores del óxido de silicio con los correspondientes a óxidos ya estudiados.

Dieléctrico	k	E_g (eV)
Si	-	1.1
SiO_2	3.9	9
Si_3N_4	7	5.3
Al_2O_3	9	8.8
Ta_2O_5	22	4.4
TiO_2	80	3.5
SrTiO_3	2000	3.2
ZrO_2	25	5.8
HfO_2	25	5.8
HfSiO_4	11	6.5
La_2O_3	30	6
Y_2O_3	15	6

Tabla 1. Materiales dieléctricos de alta k , su constante dieléctrica y brecha prohibida [11].

Para lograr mejorar k y E_g , se combinaron dos materiales dieléctricos, cuyo espesor es del orden de nanómetros, según se muestra en la figura 3. A este arreglo se le denomina material nanolaminado.

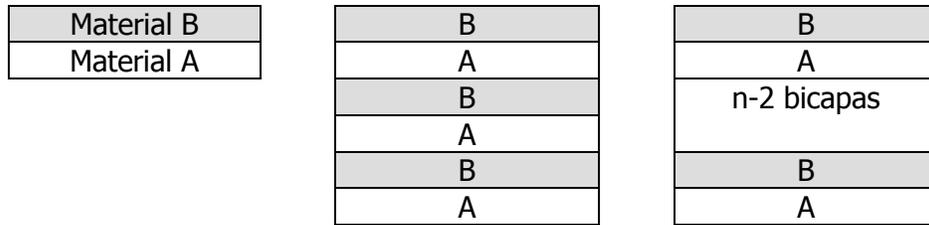


Figura 3. a) Estructura de una bicapa. b) Estructura de 3 bicapas. c) Estructura de n bicapas.

El material dieléctrico nanolaminado está construido sobre un sustrato, generalmente de silicio. Arriba del dieléctrico, así como debajo del sustrato, se han construido electrodos de contacto con material conductor. En la figura 4 se presenta la estructura el capacitor MOS (Metal – Óxido – Semiconductor) con los datos de un ejemplo particular.

Estructura y materiales	Función	Grosor	Modelo	
	Electrodo superior	50 nm		
	Dieléctrico	3.5 nm		C2
		3.5 nm		C1
		3.5 nm		C2
		3.5 nm		C1
	8 bicapas	56 nm		8 C2
		2.78 nm		8 C1
	óxido nativo			C3
	Sustrato	380 μm		Csi
	Electrodo inferior	50 nm		

Figura 4. Ejemplo de capacitor MOS nanolaminado con 10 bicapas de óxido de aluminio - óxido de circonio.

Podemos observar este capacitor MOS nanolaminado como una serie de capacitores, donde cada capa de material es un capacitor en particular. Analizando esta estructura y continuando con el ejemplo, su capacitancia total será:

por ser capacitores en serie:

$$\frac{1}{C_T} = \frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_1} + \frac{1}{C_2} + \dots + \frac{1}{C_3} + \frac{1}{C_{Si}}$$

N = número de capas C1 ó C2:

$$\frac{1}{C_T} = \frac{N}{C_1} + \frac{N}{C_2} + \frac{1}{C_3} + \frac{1}{C_{Si}}$$

y después del álgebra:

$$C_T = \frac{1}{\frac{N(C_1 + C_2)}{C_1 C_2} + \frac{C_3 + C_{Si}}{C_3 C_{Si}}}$$

Considerando exclusivamente el material dieléctrico:

$$C_{ox} = \frac{1}{\frac{N(C_1 + C_2)}{C_1 C_2} + \frac{1}{C_3}} \quad (1)$$

2. Modelo preciso del capacitor

Enfocándonos en una sola capa, observada como capacitor individual, podremos analizar su respuesta ante las señales eléctricas que se le apliquen.

En la figura 5 se observa el modelo de un solo capacitor, al que se le ha agregado un resistor en serie, responsable del retardo en la carga y descarga del capacitor, y un resistor en paralelo, camino alternativo que toman las corrientes de fuga que pueda tener el capacitor.

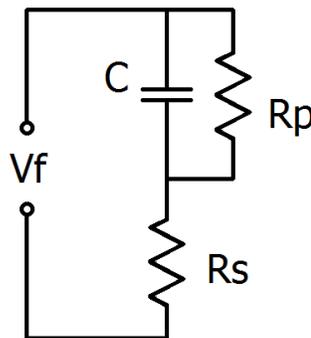


Figura 5. Modelo preciso del capacitor.

Para este modelo preciso del capacitor, partimos de:

La corriente de carga o descarga del capacitor $i = C \frac{dv}{dt}$ (2) [12]

La carga en un capacitor $q = Cv$ (3)

La ley de Ohm $v = Ri$ (4)

$1\text{Faradio} = \frac{1\text{Coulomb}}{1\text{Volt}}$ por definición; equivale a $C = \frac{q}{v}$ (5)

De (2): $v = \frac{1}{C} \int idt$ con límites: $v = \frac{1}{C} \int_{t_0}^t idt + v(t_0)$ (6)

Que es el voltaje en el capacitor.

De (3): $\frac{dq}{dt} = C \frac{dv}{dt}$ nos lleva a la definición: $i = \frac{dQ}{dt}$ (7)

Que es la corriente en el capacitor.

Donde i: corriente alterna C: capacitancia v: voltaje alterno q: carga

R: resistencia t: tiempo t₀: tiempo inicial

3. Análisis de corriente directa del capacitor

Condiciones iniciales en $t_0 = 0\text{ s}$ $v_c = 0\text{ V}$ $q_c = 0\text{ C}$

Por mallas de Kirchhoff $V_f - v_c - v_{R_s} = 0$

Despejando y sustituyendo con (4) y (5) $V_f = \frac{q}{C} + R_s i_s$

Nos lleva a $i_s = -\frac{1}{CR_s}(q - CV_f)$ (8)

Por nodos de Kirchhoff $i_c + i_p = i_s$

Sustituyendo con (7), (4) y (8) $\frac{dq}{dt} + \frac{v_p}{R_p} = -\frac{1}{CR_s}(q - CV_f)$

Reacomodando $\frac{dq}{dt} + \left[\frac{1}{CR_p} + \frac{1}{CR_s} \right] q = \frac{V_f}{R_s}$ (9)

Esta es una ecuación diferencial de primer orden forma estándar, no homogénea [13], cuya solución conduce a:

$$\text{Si } P = \left[\frac{1}{CR_p} + \frac{1}{CR_s} \right] \quad q = \frac{V_f}{PR_s} + \left(1 + \frac{V_f}{PR_s} \right) C e^{-Pt} \quad (10)$$

$$\text{En } t = 0, q = 0 \quad 0 = \frac{V_f}{PR_s} + \left(1 + \frac{V_f}{PR_s} \right) C e^0$$

$$\text{Despejando } C \quad C = -\frac{V_f}{PR_s + V_f}$$

$$\text{Sustituyendo en (10) obtenemos} \quad q = \frac{V_f}{PR_s} (1 - e^{-Pt})$$

$$\text{Aplicando el valor de } P \quad q_c = V_f \frac{CR_p}{R_s + R_p} \left(1 - e^{-\frac{R_s + R_p}{CR_s R_p} t} \right) \quad (11)$$

$$\text{Sustituyendo en (7) tenemos} \quad i_c = \frac{V_f}{R_s} e^{-\frac{R_s + R_p}{CR_s R_p} t} \quad (12)$$

$$\text{Sustituyendo en (6), con } t_0 = 0s, v_c = 0V \quad v_c = V_f \frac{R_p}{R_s + R_p} \left(1 - e^{-\frac{R_s + R_p}{CR_s R_p} t} \right) \quad (13)$$

$$\text{Para una corriente de fuga} \quad i_p = \frac{v_p}{R_p} = \frac{v_c}{R_p}$$

$$\text{Sustituyendo con (13)} \quad i_p = V_f \frac{1}{R_s + R_p} \left(1 - e^{-\frac{R_s + R_p}{CR_s R_p} t} \right) \quad (14)$$

4. Análisis de corriente alterna del capacitor

$$\text{La fuente de señal alterna es} \quad v_f = V_f \text{Sen}(\omega t)$$

$$\text{Por mallas de Kirchhoff} \quad v_f - v_c - v_s = 0$$

$$\text{Lo que es igual a} \quad v_s = V_f \text{Sen}(\omega t) - v_c \quad (15)$$

$$\text{Por nodos de Kirchhoff} \quad i_c + i_p = i_s$$

Sustituyendo con (2), (4) y (14)

$$C \frac{dv}{dt} + \frac{v_p}{R_p} = \frac{1}{R_s} (V_f \text{Sen}(\omega t) - v_c)$$

Reacomodando

$$\frac{dv_c}{dt} + \frac{1}{C} \left(\frac{1}{R_p} + \frac{1}{R_s} \right) v_c = \frac{V_f}{CR_s} \text{Sen}(\omega t)$$

Esta es una ecuación diferencial de primer orden forma estándar, no homogénea, cuya solución conduce a:

Si $P = \frac{1}{C} \left[\frac{1}{R_p} + \frac{1}{R_s} \right]$

$$v_c = \frac{V_f}{CR_s(P^2 + \omega^2)} \left[P \text{Sen}(\omega t) - \omega \text{Cos}(\omega t) + \left(C_1 + \frac{V_f}{CR_s} C_2 \right) e^{-Pt} \right] \quad (16)$$

Evaluando (16) en $t=0$, $v_c=0$

$$\left(C_1 + \frac{V_f}{CR_s} C_2 \right) = \frac{\omega V_f}{CR_s(P^2 + \omega^2)}$$

Y si sustituimos este paréntesis en (16), nos lleva a

$$v_c = \frac{V_f}{CR_s(P^2 + \omega^2)} \left[P \text{Sen}(\omega t) - \omega \text{Cos}(\omega t) + \omega e^{-Pt} \right] \quad (17)$$

Sustituyendo (17) en (2) y derivando

$$i_c = \frac{V_f \omega}{R_s(P^2 + \omega^2)} \left[P \text{Cos}(\omega t) + \omega \text{Sen}(\omega t) - P e^{-Pt} \right] \quad (18)$$

Para calcular la corriente de fuga $i_p = \frac{v_p}{R_p} = \frac{v_c}{R_p}$ por modelo

Tomando v_c de (17)

$$i_p = \frac{V_f}{CR_p R_s(P^2 + \omega^2)} \left[P \text{Sen}(\omega t) - \omega \text{Cos}(\omega t) + \omega e^{-Pt} \right] \quad (19)$$

5. Modelo de bandas de energía

Para la comprensión del flujo de cargas en un capacitor MOS es muy útil el modelo de bandas de energía [14], donde se observa a los materiales dieléctricos como barreras de potencial que se oponen al paso de los portadores de carga.

Los electrones tienen cierta cantidad de energía, dependiendo del nivel atómico, cuyos valores son discretos; los átomos no pueden recibir, o emitir, cantidades de energía que se encuentren entre los valores determinados en cada nivel atómico. La cercanía de los átomos en los sólidos hace que los niveles discretos exteriores se conviertan en bandas, de acuerdo con el principio de Pauli [15].

El intervalo de valores de energía entre el nivel electrónico mínimo de la banda más alta ocupada (banda de conducción) y el nivel máximo de la siguiente banda (banda de valencia) en el átomo de materiales cristalinos en estado sólido, es la brecha prohibida (E_g) en la que no es posible encontrar electrones. Los electrones en niveles inferiores están fuertemente enlazados y no intervienen en los fenómenos de conducción de electricidad.

En teoría, un material semiconductor a 0K (Cero grados Kelvin), tiene todos sus electrones en la banda de valencia y en los niveles inferiores, dejando vacía la banda de conducción, por lo que actuará como un aislante perfecto. Pero a temperatura mayor, como la temperatura ambiente, el material tiene energía suficiente para que algunos de sus electrones pasen a la banda de conducción.

El capacitor MOS de este estudio puede ser representado de forma similar a la figura 6, donde se muestra el diagrama de un capacitor MOS con silicio policristalino altamente dopado como puerta. En el eje vertical se ubican valores de energía de los electrones y en el eje horizontal se ubican las distancias (no todas las dimensiones son proporcionales).

Los capacitores estudiados tienen como metal de puerta un electrodo de oro; el dieléctrico lo componen la capa de SiO_2 nativo y las capas de Al_2O_3 y ZrO_2 ; el semiconductor es el sustrato de silicio tipo p.

Cuando se aplica potencial negativo al electrodo de este capacitor ($V_g < 0V$) y potencial de referencia al sustrato ($V_s = 0V$), se genera una **acumulación** de cargas móviles en el sustrato, cerca de la interfaz dieléctrico - sustrato, cargas positivas proporcionadas por el campo eléctrico externo desde el electrodo inferior.

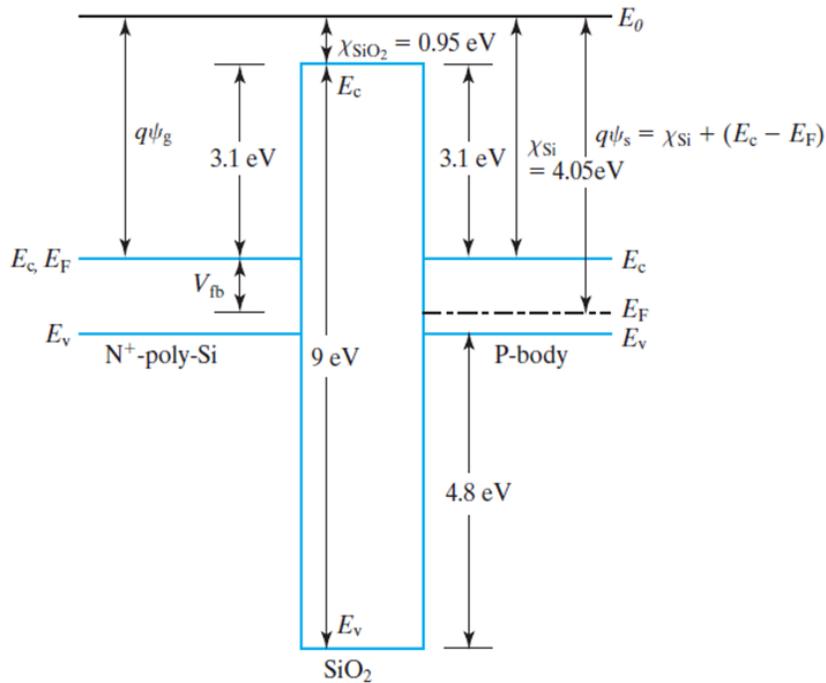


Figura 6. Diagrama de bandas de energía de un capacitor **MOS** en condición de banda plana, con silicio policristalino como **Metal**, SiO₂ como **Oxido** y silicio dopado p como **Semiconductor** [16].

En la condición de **banda plana** ("flat band" en inglés), las cargas en el semiconductor están en equilibrio. No siempre corresponde a un potencial externo de 0 voltios ($V_g = V_{FB} \sim 0$) debido al dopaje del semiconductor, a posibles cargas atrapadas en el capacitor y a la diferencia entre las funciones de trabajo del metal y del semiconductor.

Si el potencial en el electrodo sigue aumentando, cambia su polaridad y presenta pequeños valores positivos, aparecerá la zona de **agotamiento** ("depletion" en inglés). En esta condición, las cargas debidas al dopaje que se encuentran cerca de la interfaz con el óxido quedan equilibradas debido a las cargas positivas presentes en puerta, agotando los portadores libres.

La condición de **umbral** ("threshold" en inglés) se alcanza cuando la concentración de los portadores minoritarios en la interfaz dieléctrico - sustrato es igual a la concentración de los portadores mayoritarios en el bulto de semiconductor. En la figura 7 está el modelo de esta condición, límite entre el agotamiento y la inversión.

Cuando a este capacitor se le aplica potencial aún más positivo al electrodo y potencial negativo al sustrato, se genera una **inversión** en el sustrato: en la zona próxima a la frontera

con el material dieléctrico se presenta una acumulación de cargas negativas debidas a la polarización externa.

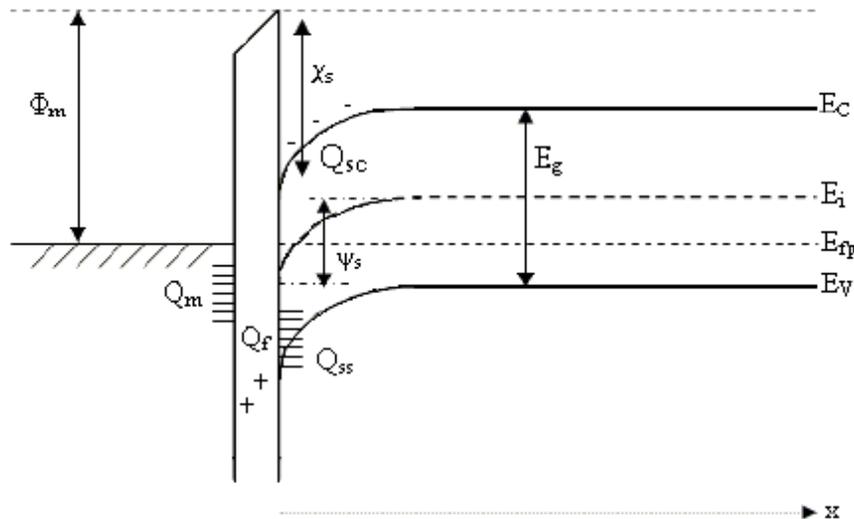


Figura 7. Diagrama de bandas del capacitor p-MOS en la condición de umbral [17].

b) Materiales dieléctricos

El término "dieléctrico" hace referencia a los materiales que son pobres conductores de la electricidad, pero que pueden establecer un campo eléctrico interno si está bajo la influencia de un campo eléctrico externo. Se comportan como aislantes, pero retienen cargas eléctricas en sus fronteras al aplicarles un campo eléctrico externo.

A continuación se detallan los óxidos que forman el material dieléctrico nanolaminado de este estudio. En la **tabla 2** están listados datos sobre estos materiales.

1. El Óxido de Silicio

(Sílice) Es un anhídrido. Muy abundante en la naturaleza, siendo el cuarzo el polimorfo más estable del grupo de la sílice, a temperaturas inferiores a los 870°C. Se utiliza en la construcción y en la fabricación de vidrios.

Tabla 2. Información sobre los materiales en estudio [18], [19].

	Si	SiO ₂ nativo	ZrO ₂	Al ₂ O ₃
<i>Tipo de estructura</i>	Diamante	amorfa	crystalina	amorfa
<i>Sistema cristalino</i>	Cúbica fcc Tetragonal	Trigonal Zinc blenda	Monoclínico	Trigonal ¹
<i>Grupo cristalográfico</i>	203	154	14	167
<i>Parámetro de red (Å)</i>	a= 5.43	a=4.9186 c=5.4052	a=5.1454 b=5.2075 c=5.3107 β=99.23°	a=4.7591 c=12.9894
<i>Número de coordinación Z</i>	8	3	4	6
<i>Volumen celda unitaria (Å³)</i>	160.16	113.01	140.45	254.8
<i>Volumen molar (cm³)</i>	12.058	22.688	21.149	25.577
<i>Masa (g/mol)</i>	28.086	60.0843	123.22	101.961
<i>Densidad específica (g/ml)</i>	2.33	2.63	4.86 [20]	3.97
<i>Punto de fusión (°C)</i>	1410	1713	2710	2054
<i>Constante dieléctrica</i>	11.9	3.9	22.2 [20]	9.34
<i>Brecha prohibida, E_g (eV)</i>	1.107	9	3.4 [20]	8.8
<i>Desbalance de la banda de conducción (Conduction band offset) (eV)</i>	1.1	3.5	1.4	2.8
<i>Desbalance de la banda de Valencia (Valence band offset) (eV)</i>	0	4.5	3.3	4.9
<i>Resistividad (Ωm)</i>	1 – 10	10 ²⁰	1 x 10 ¹¹	1 x 10 ¹⁴ a 1 x 10 ¹⁶
<i>Índice de refracción (n_α, n_β)</i>	3.49 (589nm)	1.544, 1.553	2.13, 2.19, 2.2	1.761, 1.769
<i>Rigidez dieléctrica (Breakdown strength) (MV/cm)</i>	0.3	1 - 10	0.12	7.5

Previo al trabajo experimental, en la superficie del sustrato de silicio se formó una capa de óxido de silicio, denominado nativo, porque crece con el simple contacto al aire, a temperatura ambiente y a presión atmosférica, con estequiometría variable y estructura amorfa [21]. Forma una capa de crecimiento lento que va reduciendo su tasa de crecimiento hasta formar un escudo que restringe la reactividad del silicio del sustrato.

¹ El diferente color de texto indica los datos de la poca probable fase cristalina.

Óxido de silicio de alta calidad, crecido bajo condiciones muy controladas, ha sido utilizado tradicionalmente como material dieléctrico por su facilidad de fabricación, mínimo costo, alta estabilidad química y excelente desempeño. Es la primera capa del dieléctrico.

Las siguientes capas se construyeron con: óxido de aluminio (Al_2O_3) y óxido de circonio (ZrO_2). Ambos materiales se han depositado alternadamente para formar las bicapas de los capacitores nanolaminados.

2. El Óxido de Aluminio

(Alúmina) Es un óxido metálico. Compuesto de alta dureza y alto punto de fusión. Es refractario y utilizado como aislante térmico.

Por depósito de capa atómica (ALD, siglas del inglés "*Atomic Layer Deposition*") y aún con un proceso de posthorneado hasta los 900°C , permanece amorfo, incrementando esta temperatura de cristalización si la capa depositada es más delgada [22]. Por lo tanto, aseguramos que el óxido de aluminio en los capacitores MOS de este estudio se encuentra en estado amorfo.

3. El Óxido de Circonio

(Circonia) Es un óxido metálico. En la naturaleza se presenta principalmente en fase monoclinica estable, la badeleyita, cristalizada a temperaturas inferiores a los 1170°C .

Por ALD, 350°C , genera una fase policristalina, principalmente monoclinica; pero a temperaturas menores a 300°C y espesores menores a 5 nm, el ZrO_2 es preponderantemente amorfo [23]. El umbral para iniciar la cristalización es un espesor mínimo de 15 nm por capa (para fase cúbica) o una temperatura mínima de 300°C (para fase monoclinica) [24]. La figura 8 es parte de un estudio sobre este umbral, donde 100 ciclos ALD corresponden a un espesor de 10 nm de ZrO_2 .

El ZrO_2 cristalizado favorece el incremento de la corriente de fuga. Pero cuando el ZrO_2 se alterna con el Al_2O_3 amorfo, dicha corriente de fuga se reduce [25].

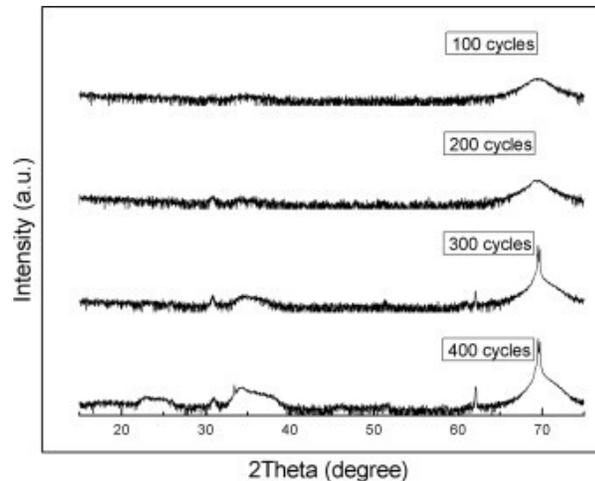


Figura 8. Patrón de difracción XRD de películas de ZrO_2 depositado a 300 °C con diferentes espesores, mostrando ausencia de ZrO_2 cristalino con 100 ciclos ALD [24].

c) Propiedades dieléctricas

Para conocer la respuesta de un material dieléctrico en un capacitor, tenemos que calcular, o medir, sus propiedades eléctricas.

De entre todas las propiedades eléctricas del capacitor, en este trabajo vamos a centrarnos en las siguientes: permitividad, brecha prohibida, resistividad, voltaje de ruptura y espesor de óxido equivalente (EOT).

1. Permitividad

La permitividad mide el efecto que tiene un campo eléctrico dentro de un medio determinado [26]; es la capacidad de un material dieléctrico para almacenar energía electrostática en presencia de un campo eléctrico externo. Se mide en faradios por metro.

La permitividad de un material se expresa en función de la permitividad del vacío y se denomina permitividad relativa (ϵ_r). Esta propiedad es también llamada constante dieléctrica (k).

La permitividad del vacío es un valor de referencia: $\epsilon_0 = 8.8541878176 \times 10^{-12}$ F/m.

La permitividad relativa se obtiene entonces: $\epsilon_r = \epsilon/\epsilon_0$

Donde ϵ : permitividad absoluta de un material

En un capacitor: $C = \epsilon_r \epsilon_0 \frac{A}{t}$ [27] (22)

Donde C: capacitancia

A: área del capacitor

t: distancia entre las placas del capacitor, equivale al espesor del material dieléctrico

Aprovechando el ejemplo mostrado en la figura 4, podemos estimar el valor de la permitividad relativa (constante dieléctrica):

$$\epsilon_r = k = \frac{Ct}{\epsilon_0 A} \quad (23)$$

- a) Tomando valores teóricos de k del Al₂O₃, ZrO₂ y SiO₂ según la **tabla 1**.
- b) Tomando valores medidos de espesores de capas del dieléctrico (6.51 nm para cada capa de Al₂O₃ y de ZrO₂; 2.78 nm para SiO₂) y del área del capacitor (0.60076 mm²).

c) Aplicando las ecuaciones (1) y (23), obtenemos k = 11.27

Experimentalmente, necesitamos medir el valor de capacitancia total del material dieléctrico (en la curva C-V) para verificar el valor calculado de la constante dieléctrica.

2. Brecha prohibida

La brecha prohibida (E_g , "bandgap") es la diferencia entre la máxima energía de la banda de valencia y la mínima energía de la banda de conducción [28].

La figura 9 nos muestra las diferencias de brecha prohibida entre tres grupos de materiales. En un semiconductor, esta brecha de energía es pequeña, y ciertas condiciones favorecerán, o bloquearán, el paso de electrones hacia la banda de conducción.

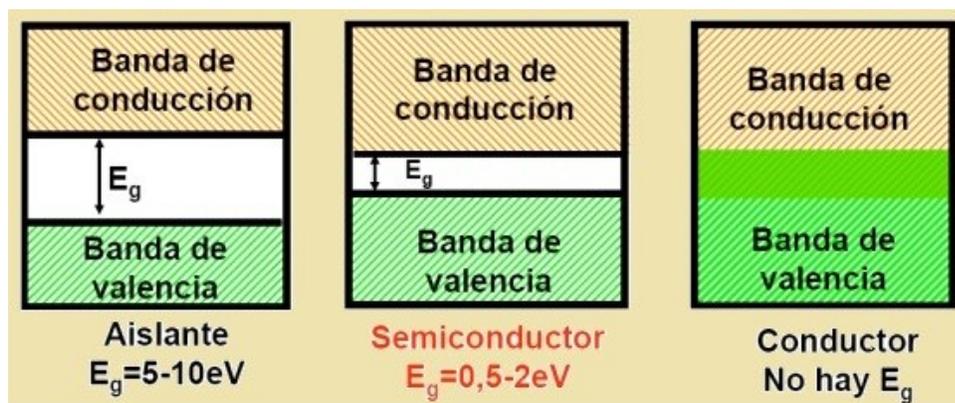


Figura 9. Brecha prohibida en materiales sólidos [29].

Según la gráfica Tauc, el coeficiente de absorción α , debido a la transición entre bandas, cercana a E_g , se describe mediante:

$$\alpha h\nu = B(h\nu - E_g)^r \quad (24)$$

Donde $h\nu$: energía del fotón (constante de Planck * frecuencia de la radiación)

$r = 1/2$ para transiciones directas permitidas. $r = 3/2$ para transiciones directas prohibidas.

$r = 2$ para transiciones indirectas permitidas. $r = 3$ para transiciones indirectas prohibidas.

Al obtener los valores de α y $h\nu$, se grafica $(\alpha h\nu)^{1/r}$ en función de $h\nu$. El segmento rectilíneo se extrapola hasta el eje horizontal. El valor $h\nu$ de este punto es el E_g óptico. La figura **10** muestra esta evaluación.

El coeficiente de absorción se obtiene por elipsometría, o por espectroscopía ultravioleta – visible (uv-vis).

La energía del fotón se obtiene a partir de la longitud de onda de la luz incidente.

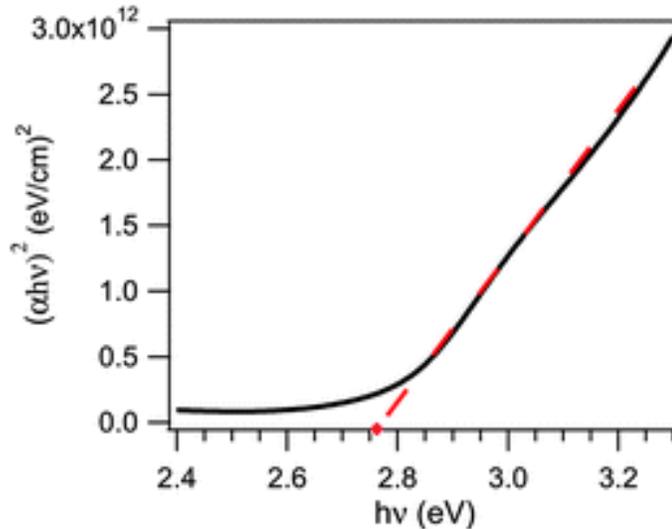


Figura 10. Gráfica Tauc para el cálculo de E_g óptico [30].

3. Voltaje de ruptura o rigidez dieléctrica

Es el límite de la intensidad del campo eléctrico que soporta un material dieléctrico antes de perder sus propiedades aislantes. A un valor mayor se generará una corriente de avalancha no controlada que puede ser destructiva para el material dieléctrico.

Se mide en volts/metro (usualmente en MV/m o MV/cm).

En un capacitor MOS, este voltaje de ruptura es el límite después del cuál, los electrones en la banda de valencia reciben suficiente energía del campo eléctrico exterior para brincar la brecha prohibida de energía [31].

4. Espesor de Óxido Equivalente ("EOT")

Es el espesor del óxido de silicio que tiene la misma capacitancia que un material dieléctrico de alta k con un espesor dado [32]. El propósito de sustituir el SiO₂ es alcanzar valores EOT menores a los 2 nm, con espesores mayores de óxidos de alta k. Podemos calcularlo con:

$$EOT = d(H - k) \frac{k(SiO_2)}{k(H-k)} \quad (29)$$

Donde

d(H-k): espesor del material de alta k $k(SiO_2) = 3.9$

k(H-k): constante dieléctrica del material de alta k

V. DESARROLLO EXPERIMENTAL

a) Identificar y organizar los materiales bajo estudio

Los dispositivos desarrollados son capacitores tipo MOS crecidos sobre sustratos de Silicio. Estos sustratos son fragmentos de obleas de silicio cristalino, tipo p, orientación <100>, boro como dopante, diámetro de 101.6 mm, espesor de 300 μm y resistividad de 0.1 a 0.5 Ωm . Los fragmentos tienen un área entre 1 y 2 cm^2 .

Los materiales dieléctricos fueron elaborados por la técnica depósito de capa atómica por su excelente control del espesor y de la composición de las películas depositadas.

En esta técnica, el sustrato se coloca en una cámara con vacío a temperatura controlada, y en forma cíclica se somete a los siguientes pasos:

- | | |
|-----------|------------------------------------|
| Ciclo ALD | 1. Exposición al primer precursor |
| | 2. Purga con gas inerte |
| | 3. Exposición al segundo precursor |
| | 4. Purga con gas inerte |

En el primer paso, el primer precursor gasificado llena la cámara del reactor en condiciones controladas de presión y temperatura y se adsorbe sobre el sustrato hasta formar una monocapa autolimitante que evita una aglomeración del precursor sobre el sustrato. En el paso 2, por medio del gas inerte, se evacúa el sobrante del precursor y los productos que la adsorción libera. En el paso 3, se libera en la cámara el segundo precursor gasificado, produciendo la quimisorción del compuesto deseado en la superficie del sustrato. En el paso 4, el gas inerte evacúa los productos sobrantes de esta reacción y el precursor no procesado.

Este ciclo se repite las veces necesarias para construir una capa de material. El espesor de la capa depende del número de ciclos ALD, no de la geometría del sustrato.

Para nuestro trabajo, el precursor para el Al_2O_3 es el trimethyl aluminium (TMA), preparado a temperatura ambiente. El precursor para el ZrO_2 es el tetrakis (ethylmethyramido) zirconium (TEMAZ) preparado a 90°C. El segundo reactivo para ambos es agua desionizada, preparada a temperatura ambiente.

La cámara del reactor se fijó a una presión de 1.5 mbar y a una temperatura (T_{ALD}) de 200°C o 250°C.

Los materiales fueron elaborados en tres grupos: El material nanolaminado de las muestras del grupo 1 fue depositado a 200°C, con la meta de obtener un espesor (t_{ox}) de 100 nm en el dieléctrico. El material de las muestras del grupo 2 fue depositado a 250°C, con la meta de obtener un espesor de 100 nm en el dieléctrico. El material de las muestras del grupo 3 fue depositado a 200°C, con la meta de obtener un espesor de 20 nm en el dieléctrico. Para este grupo 3, el precursor para el ZrO_2 fue tetrakis (dimethylamido) zirconium (TDMAZ).

En la figura **11** se muestra el reactor marca Beneq, modelo TFS 200, del Laboratorio de Nanocaracterización en el Centro de Nanociencias y Nanotecnología, con el que se desarrollaron los materiales dieléctricos.



Figura 11. Equipo para depósitos ALD.

Los espesores obtenidos por elipsometría son muy diferentes a los espesores esperados: en el grupo 1 los espesores variaron desde 51.2 nm (AZ-1-01) hasta 71.6 nm (AZ-1-10); en el grupo 2 los espesores variaron desde 48.2 nm (AZ-2-01) hasta 70.7 nm (AZ-2-10); en el grupo 3 los espesores variaron desde 19.8 nm (AZ-3-1) hasta 18.1 nm (AZ-3-10). Ya que se dificulta

utilizar estos datos como identificadores de cada muestra, se ha optado por utilizar el espesor esperado por capa en la nomenclatura de las mismas.

Para identificar las diferentes muestras, se eligió una nomenclatura que se interpreta con la siguiente clave: **AZ-x-y**: **A** abrevia al Al_2O_3 , **Z** abrevia al ZrO_2 , **x** indica el número del grupo, **y** indica el espesor esperado de cada capa en nanómetros.

En la **tabla 3** está el listado de todas las muestras.

Tabla 3. Nomenclatura de muestras.

Grupo	Particularidad	Espesor esperado de capa	Nomenclatura
1	$T_{\text{ALD}} = 200^\circ\text{C}$ para depósito $t_{\text{ox}} = 60$ nm de dieléctrico (real aproximado)	10 nm	AZ-1-10
		5 nm	AZ-1-5
		2 nm	AZ-1-2
		1 nm	AZ-1-1
		0.5 nm	AZ-1-05
		0.1 nm	AZ-1-01
2	$T_{\text{ALD}} = 250^\circ\text{C}$ para depósito $t_{\text{ox}} = 60$ nm de dieléctrico (real aproximado)	10 nm	AZ-2-10
		5 nm	AZ-2-5
		2 nm	AZ-2-2
		1 nm	AZ-2-1
		0.5 nm	AZ-2-05
		0.1 nm	AZ-2-01
3	$T_{\text{ALD}} = 200^\circ\text{C}$ para depósito $t_{\text{ox}} = 20$ nm de dieléctrico (real aproximado)	10 nm	AZ-3-10
		5 nm	AZ-3-5
		2 nm	AZ-3-2
		1 nm	AZ-3-1

b) Identificar la cristalinidad de las muestras

El estudio de cristalinidad se realizó mediante difracción de rayos x.

En este tema, aprovechamos el desarrollo elaborado por Max Von Laue, premio nobel en 1914, al verificar la difracción de los rayos X que pasan por un cristal. Fue así como demostró la ley de Bragg: $n\lambda = 2d \text{ Sen } \theta$

Donde n: orden λ : longitud de onda d: distancia entre planos θ : ángulo incidente

En un difractómetro se aplica, a un cristal, un haz de rayos X de longitud de onda definida, variando el ángulo de incidencia, o el ángulo de reflexión. Se identifican de esta manera los ángulos que presentan picos de reflexión, que indican la presencia de un plano del cristal.

Se utilizó un difractómetro marca Panalytical, modelo X'pert PRO, que se encuentra en el CNYN, en Ensenada. Este equipo opera con rayos X cuya longitud de onda es $\lambda = 1.54184 \text{ \AA}$, emitidos hacia un ánodo de cobre, con potencial eléctrico de 45 kV y cuya intensidad de corriente es de 40 mA.

Primero se analizó la muestra de referencia, que es un fragmento de la oblea de Silicio, con SiO_2 nativo. Enseguida se analizaron algunas muestras para efectos de comparación.

En el difractómetro se utilizó la configuración Bragg-Brentano, de tipo ángulo simétrico. En la figura **12** se presentan difractogramas en que se identifica la huella de silicio.

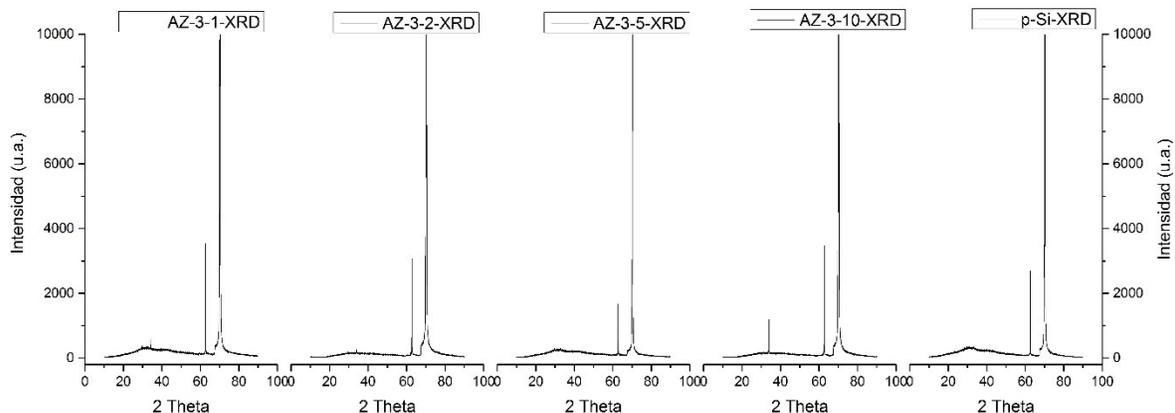


Figura 12. Difractogramas de muestras del grupo 3 ($t_{\text{ox}} \cong 20\text{nm}$, $T_{\text{ALD}}=200^\circ\text{C}$) por configuración Bragg-Brentano, mostrando la presencia del sustrato de silicio. La muestra de referencia está denominada p-Si-XRD.

Enseguida se analizaron muestras con los materiales en estudio, utilizando el difractómetro con la técnica de haz rasante. El ángulo de incidencia se mantuvo constante en 2.5° .

En la figura **13** observamos los difractogramas obtenidos. Se detectó un pico en la posición 55° que corresponde al óxido de circonio con orientación preferencial (400). Este dato no corresponde con resultados en otros estudios [23] [24].

Con esta información, hemos podido comprobar que el material dieléctrico contiene ZrO_2 cristalino, fase monoclinica, mientras que el Al_2O_3 es amorfo.

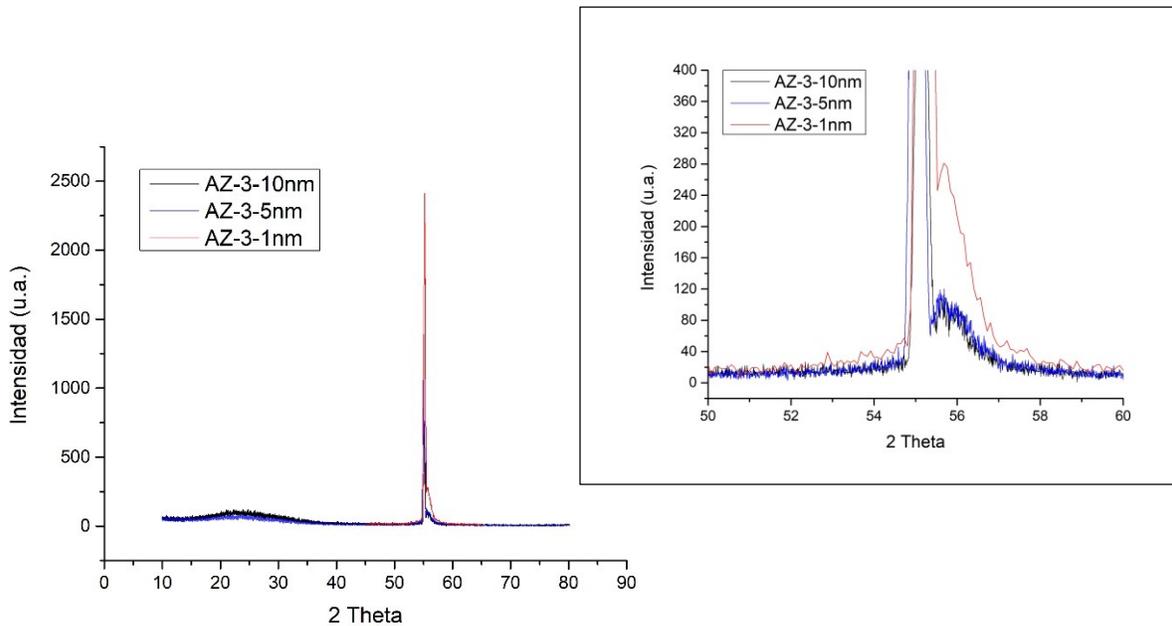


Figura 13. Difractogramas de muestras del grupo 3 ($t_{ox} \cong 20nm$, $T_{ALD}=200^\circ C$) por configuración de haz rasante.

c) Determinar espesores

Para obtener los espesores de los materiales dieléctricos nanolaminados se utilizó elipsometría. Esta técnica se basa en la interacción de un haz de luz linealmente polarizada, con las distintas interfaces de un material. Cuando el haz de luz incide a un ángulo determinado sobre una película delgada, las componentes s (perpendicular al plano de incidencia) y p (paralela al plano de incidencia) del haz son reflejadas de distinta manera, produciéndose cambios relativos de fase (Δ) y amplitud (ψ): éstos son los parámetros elipsométricos.

Estos cambios dependen de las propiedades del material, tales como espesor, índice de refracción, coeficiente de extinción, entre otras.

A partir de los parámetros elipsométricos y comparando datos experimentales contra modelos, se determinan las propiedades específicas del material en estudio.

En particular, se utilizó un equipo Vase M-2000 ellipsometer, marca Woollam, para obtener el espesor de los materiales. Este equipo se encuentra en el Instituto de Ingeniería, de la Universidad Autónoma de Baja California, Campus Mexicali.

Los datos obtenidos están en la **tabla 4**.

d) Determinar brecha prohibida

Para obtener el valor de la brecha prohibida se utilizó espectroscopía ultravioleta-visible en un sistema de medición por reflectancia difusa.

Con una fuente de luz de halógeno y deuterio, Avalight- DH-S-BAL, un espectrómetro de fibra óptica, Avaspec ULS2048 y fibra óptica, se midió la reflectancia del material a diferentes longitudes de onda.

Este equipo se encuentra en el Centro de Nanociencias y Nanotecnología. El equipo proporciona tablas de datos con los cuáles obtuvimos el coeficiente de absorción (α):

$$\alpha = -(\ln(T))/d \quad (30)$$

Donde T: transmitancia d: espesor

Y la energía de fotón incidente (E):

$$E = h\nu = hc/\lambda \quad (31)$$

Donde h: constante de Planck c: velocidad de la luz λ : longitud de onda

En la figura **14** se muestra un esquema de los componentes utilizados en esta técnica.

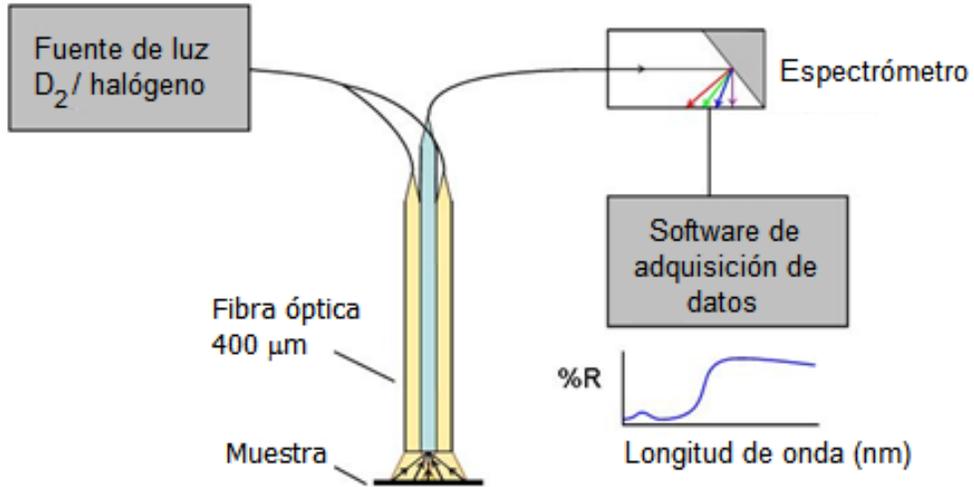


Figura 14. Esquema del sistema de medición por reflectancia difusa ultravioleta – visible [33].

En la figura **15** se presenta la gráfica Tauc, que muestra la obtención de la brecha prohibida a partir de la tabla de datos obtenida de la medición, la ecuación (24) y el procedimiento descrito en las propiedades dieléctricas.

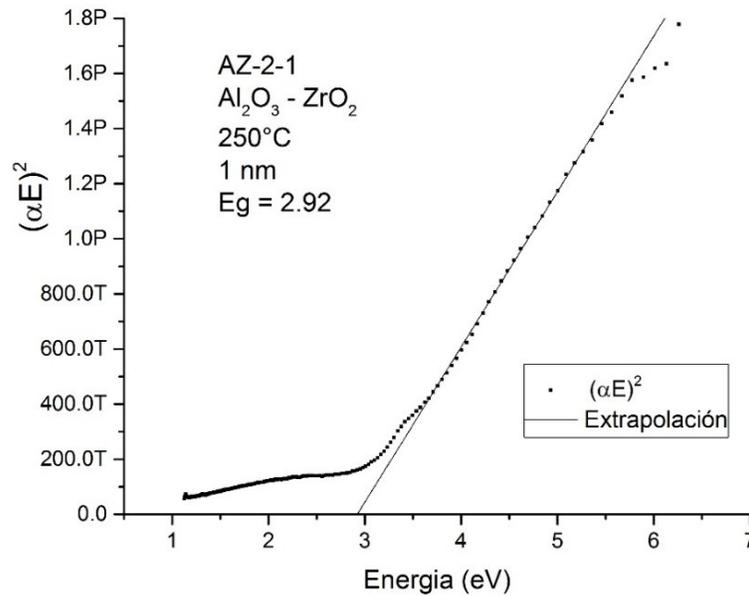


Figura 15. Gráfica Tauc obtenida de un capacitor en estudio.

En la **tabla 4** están listados los valores de brecha prohibida obtenidos.

Tabla 4. Espesor y brecha prohibida de las muestras.

Nomenclatura	Espesor esperado de capa	Espesor real del material dieléctrico	Brecha prohibida
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$			
AZ-1-10	10 nm	71.6 nm	2.42 eV
AZ-1-5	5 nm	61.8 nm	2.86 eV
AZ-1-2	2 nm	60.8 nm	2.89 eV
AZ-1-1	1 nm	59.4 nm	2.93 eV
AZ-1-01	0.1 nm	51.2 nm	3.02 eV
($t_{ox} \cong 60\text{nm}$, $T_{ALD}=250^{\circ}\text{C}$)			
AZ-2-10	10 nm	70.7 nm	2.49 eV
AZ-2-5	5 nm	62.8 nm	2.80 eV
AZ-2-2	2 nm	59.8 nm	2.90 eV
AZ-2-1	1 nm	55.6 nm	2.94 eV
AZ-2-01	0.1 nm	48.1 nm	3.15 eV
($t_{ox} \cong 20\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$)			
AZ-3-10	10 nm	18.1 nm	4.15 eV
AZ-3-5	5 nm	17.8 nm	4.31 eV
AZ-3-2	2 nm	18.9 nm	4.40 eV
AZ-3-1	1 nm	19.8 nm	4.38 eV

e) Construir electrodos

En la cara no pulida de los fragmentos se depositó oro, una capa aproximada de 50 nm de espesor, abarcando todo el fragmento. Este es el electrodo inferior.

En el lado opuesto, encima del material dieléctrico, se depositaron electrodos de oro, con forma circular, diámetros de 1, 0.8 y 0.5 mm y espesor de 50 nm, datos aproximados. Cada uno de ellos es el contacto superior de un capacitor MOS.

Estos depósitos de oro se realizaron por evaporación térmica al vacío. El equipo utilizado es marca JEOL, modelo JEE-100, se muestra en la figura **16** y está en el Laboratorio de Nanocaracterización del Centro de Nanociencias y Nanotecnología.



Figura 16. Evaporadora para depositar electrodos de oro

El número de capacitores por muestra varía, dependiendo del tamaño de la muestra, desde 12 hasta 150, para un total de 868.

Estos capacitores se nombraron con letras siguiendo la secuencia de izquierda a derecha y de arriba hacia abajo.

Para identificar un capacitor en particular, se agrega la letra que le corresponde a la nomenclatura de la muestra.

Un dato necesario para varios parámetros es el área del capacitor. Con el fin de obtenerlo, se utilizó un microscopio óptico.

El electrodo superior fue cubierto con una cámara de Neubauer a fin de obtener una imagen referenciada a escala lineal. Con la cámara del microscopio se tomó una fotografía instantánea.

Esta imagen se procesó en un software gráfico para fraccionarla y medir el área efectiva del depósito de oro.

En la figura **17** se muestra la fotografía de uno de los capacitores. En la **tabla 5** se proporcionan las áreas de capacitores seleccionados.

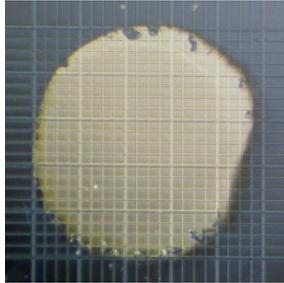


Figura 17. Fotografía del capacitor AZ-1-01-E ($t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^\circ\text{C}$), para la medida de su área efectiva.

Tabla 5. Áreas de capacitores seleccionados.

Nomenclatura	Área esperada del capacitor	Área real del capacitor
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^\circ\text{C}$		
AZ-1-10-O	$7.85 \times 10^{-07} \text{ m}^2$	$6.008 \times 10^{-07} \text{ m}^2$
AZ-1-5-L	$7.85 \times 10^{-07} \text{ m}^2$	$4.385 \times 10^{-07} \text{ m}^2$
AZ-1-2-F	$7.85 \times 10^{-07} \text{ m}^2$	$8.049 \times 10^{-07} \text{ m}^2$
AZ-1-1-D	$7.85 \times 10^{-07} \text{ m}^2$	$7.439 \times 10^{-07} \text{ m}^2$
AZ-1-01-E	$7.85 \times 10^{-07} \text{ m}^2$	$7.219 \times 10^{-07} \text{ m}^2$
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=250^\circ\text{C}$		
AZ-2-10-F	$1.96 \times 10^{-07} \text{ m}^2$	$1.971 \times 10^{-07} \text{ m}^2$
AZ-2-5-C1	$1.96 \times 10^{-07} \text{ m}^2$	$1.815 \times 10^{-07} \text{ m}^2$
AZ-2-2-B1	$1.96 \times 10^{-07} \text{ m}^2$	$2.117 \times 10^{-07} \text{ m}^2$
AZ-2-1-W	$1.96 \times 10^{-07} \text{ m}^2$	$2.350 \times 10^{-07} \text{ m}^2$
AZ-2-01-D	$1.96 \times 10^{-07} \text{ m}^2$	$1.765 \times 10^{-07} \text{ m}^2$
$t_{ox} \cong 20\text{nm}$, $T_{ALD}=200^\circ\text{C}$		
AZ-3-10-S	$6.1 \times 10^{-07} \text{ m}^2$	$6.105 \times 10^{-07} \text{ m}^2$
AZ-3-5-O1	$6.1 \times 10^{-07} \text{ m}^2$	$6.107 \times 10^{-07} \text{ m}^2$
AZ-3-2-D1	$6.1 \times 10^{-07} \text{ m}^2$	$5.847 \times 10^{-07} \text{ m}^2$
AZ-3-1-A1	$6.1 \times 10^{-07} \text{ m}^2$	$6.451 \times 10^{-07} \text{ m}^2$

Hay varias causas para las variaciones en la medida de área: el uso de diferentes máscaras para el depósito del oro, con diferentes diámetros como se señaló anteriormente, la obtención de figuras no circulares (círculos deformados, elipses) y el daño en los electrodos debido al manejo y almacenamiento de los mismos.

f) Identificar capacitores útiles

Para la técnica Corriente – Voltaje (I-V), se utilizó un equipo denominado Sistema de Caracterización de Semiconductores, marca Keithley 4200, en conjunto con un microscopio óptico, un posicionador de tres ejes para la aguja de contacto y una jaula de Faraday.

Esta estación de trabajo se encuentra en el Instituto de Ingeniería de la Universidad Autónoma de Baja California, en Mexicali, B. C.

Con esta técnica se obtuvo un conjunto de mediciones de corriente en el dispositivo a medir, al aplicarle un barrido de voltajes.

Se aplicó la técnica I-V de dos maneras distintas:

a) Se realizaron mediciones en rangos bajos de voltaje (-4 a 4 voltios), para determinar si el capacitor presentaba un buen desempeño al retener la carga eléctrica. Reservamos estos capacitores para mediciones posteriores.

En la figura **18** se observa la curva I-V de un capacitor eficiente.

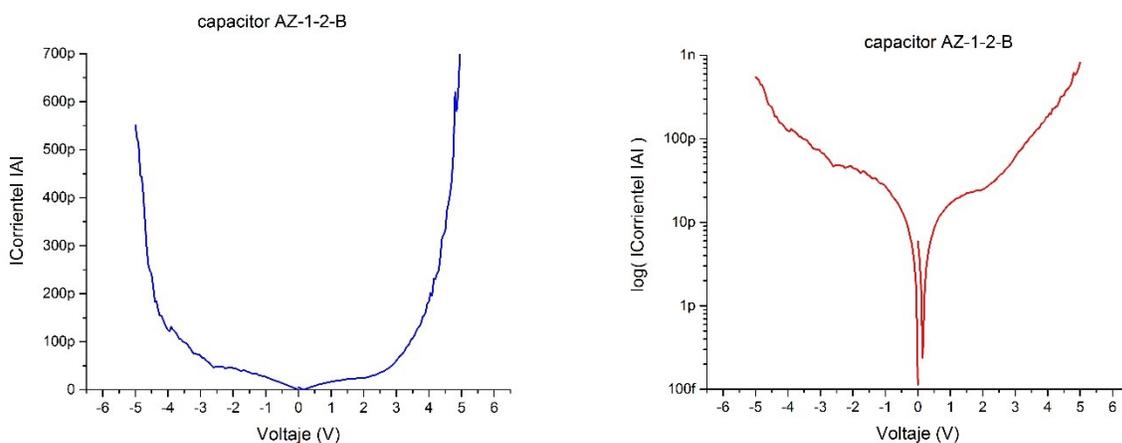


Figura 18. Curva I-V de un capacitor en escala lineal y en escala logarítmica.

En la figura **19** se muestran curvas I-V de capacitores útiles. Estos capacitores se seleccionaron, en cada muestra, según la respuesta con menos ruido eléctrico.

Este estudio se hizo en el rango de -4 voltios hasta 5 voltios, con corriente de fuga que no rebasó 1 nanoamperio ($1 \text{ nA} = 1 \times 10^{-9} \text{ A}$), límite planteado en este estudio para identificar a los capacitores útiles, o no dañados.

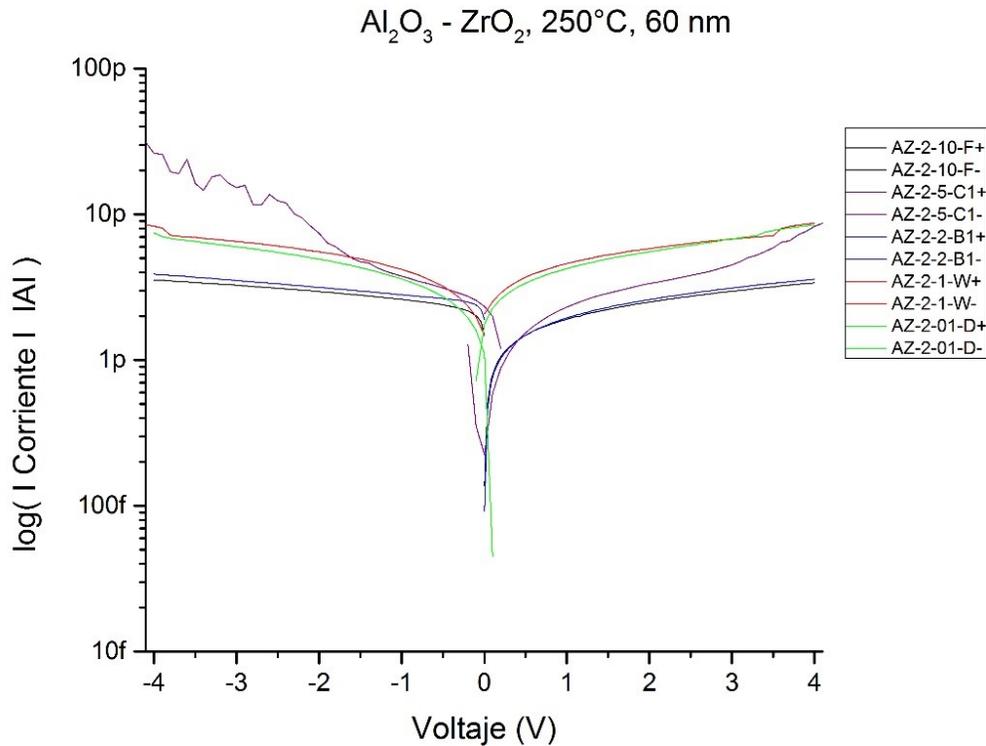


Figura 19. Comparación de curvas I-V de capacitores útiles del grupo 2.

b) Se realizaron mediciones en rangos de voltaje, desde bajos hasta altos, buscando determinar la rigidez dieléctrica y la corriente de fuga máxima. Estos capacitores fueron registrados como dañados, ya que esta prueba es destructiva.

En la figura **20** se muestran curvas I-V de capacitores en las que se identifica el voltaje de ruptura. Este estudio se realizó sólo a algunos capacitores en cada muestra, dada la posibilidad de destrucción del capacitor.

Es notoria la dispersión de datos en cuanto a rigidez dieléctrica y corriente de fuga máxima. Además, no se observa tendencia en estos valores con respecto a espesores, áreas o temperatura de depósito, de los capacitores del mismo grupo.

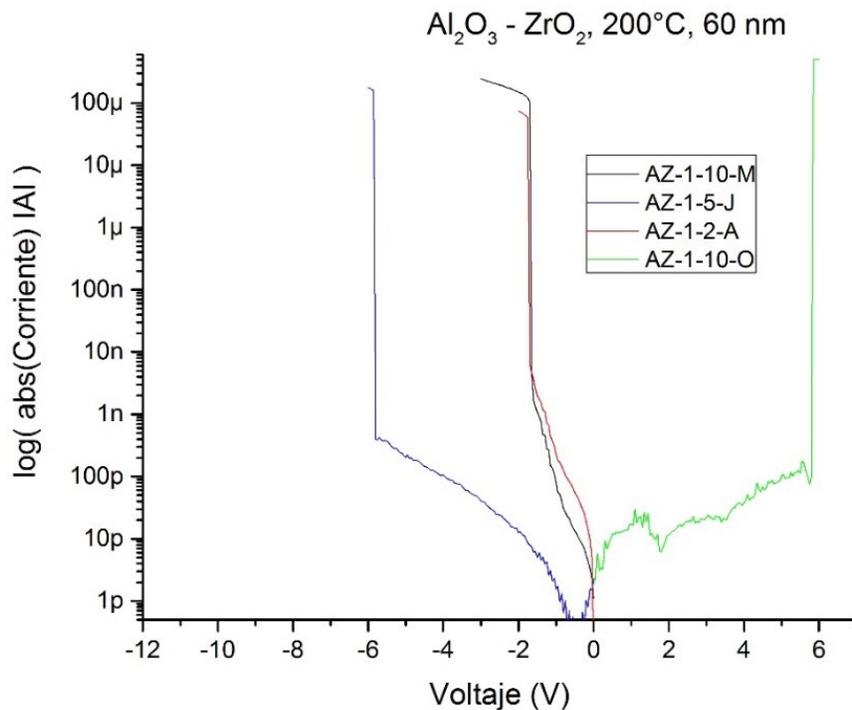


Figura 20. Comparación de curvas I-V de capacitores del grupo 1, mostrando la ruptura dieléctrica.

Con esta técnica I-V fueron seleccionados 2 o 4 capacitores útiles en cada una de las muestras originales. A su vez, fue identificado el mejor capacitor para representar a cada muestra.

En total, se realizaron 87 mediciones I-V a capacitores de las dieciséis muestras.

En la **tabla 6** se enumeran valores de rigidez dieléctrica y corriente de fuga máxima de algunos capacitores. El valor de esta corriente de fuga máxima se tomó del instante previo al rompimiento del material dieléctrico.

Tabla 6: Valores de rigidez dieléctrica y corriente de fuga máxima de algunos capacitores.

Nomenclatura	Rigidez dieléctrica (V/m)	Corriente de fuga máxima (A)
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$		
AZ-1-10-O	81.7E+6	97.0E-12
AZ-1-5-J	-93.8E+6	-399.1E-12
AZ-1-2-A	-28.8E+6	-6.2E-9
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=250^{\circ}\text{C}$		
AZ-2-10-E1	171.1E+6	510.7E-12
AZ-2-5-P	-68.5E+6	-323.6E-12
AZ-2-2-O1	297.7E+6	7.2E-9
AZ-2-1-U	316.4E+6	467.1E-9
$t_{ox} \cong 20\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$		
AZ-3-10-S	-276.8E+6	-272.4E-12
AZ-3-5-N1	980.9E+6	93.4E-9
AZ-3-2-T	-269.1E+6	-16.7E-9
AZ-3-1-B1	250.2E+6	123.9E-12

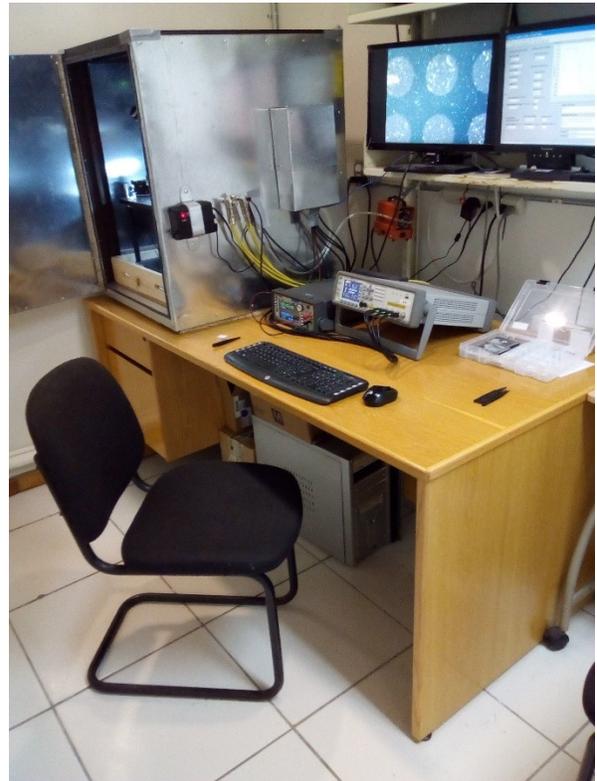
g) Obtener curvas C-V

El siguiente estudio es la técnica Capacitancia – Voltaje (C-V). Este estudio fue realizado con un equipo llamado Fuente - medidor ("SMU" por sus siglas en inglés) marca Keithley 2450 y un equipo llamado Medidor de Precisión LCR marca Agilent E4980A, en conjunto con un microscopio óptico, un posicionador de tres ejes para la base y otro para la aguja de contacto y una jaula de Faraday.

Esta estación de trabajo se encuentra en el Centro de Nanociencias y Nanotecnología de la UNAM. La figura **21** muestra el estado actual de esta estación de caracterización eléctrica.

Durante el presente estudio fue construida la actual jaula de Faraday y se tienen previstas otras mejoras, como la inclusión de un horno in situ.

Figura 21. Estación para caracterización eléctrica.



De cada curva C-V se obtiene la capacitancia del material dieléctrico del valor máximo en la zona de acumulación.

En la figura **22** se observa una curva C-V obtenida de un capacitor. En esta curva se observa un patrón de histéresis y se ubican los valores de capacitancia de óxido (C_{ox}), capacitancia de banda plana (C_{fb}) y voltaje de banda plana (V_{fb}).

La histéresis se presenta cuando existen cargas atrapadas en el material dieléctrico, cerca de la interfaz con el semiconductor [34]. A mayor cantidad de cargas, más amplio es el valor de la histéresis. En la figura **22** se observa un V_{fb} positivo, por lo que la carga neta en el material dieléctrico es negativa; también se observa que la histéresis es positiva, por lo tanto, las cargas atrapadas cerca de la interfaz son negativas.

En la figura **23** se muestra representadas estas cargas atrapadas, ubicadas en el material dieléctrico pero en la proximidad con el material semiconductor.

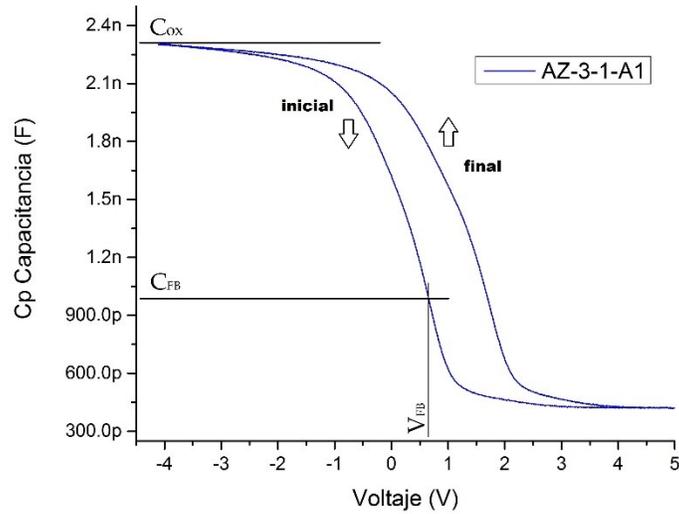


Figura 22. Curva C-V mostrando histéresis, capacitancia de banda plana (C_{fb}), voltaje de banda plana (V_{fb}) y capacitancia total del material dieléctrico (C_{ox}).

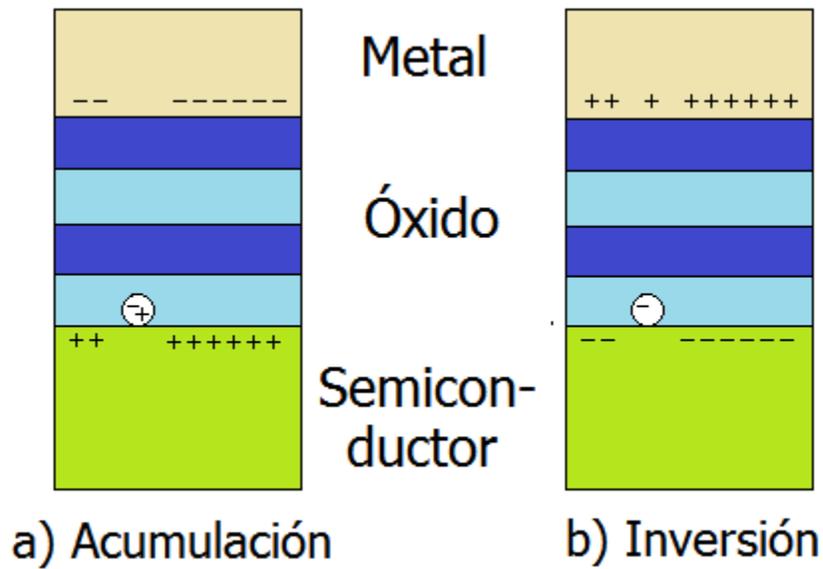


Figura 23. Cargas atrapadas en la interfaz óxido-semiconductor (Dieléctrico nanolaminado – Silicio tipo p) en una estructura MOS.

a) Polarización en acumulación, b) Polarización en inversión.

En la figura **24** se comparan las curvas C-V de capacitores del grupo 1 ($t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^\circ\text{C}$). Observamos la curva C-V típica.

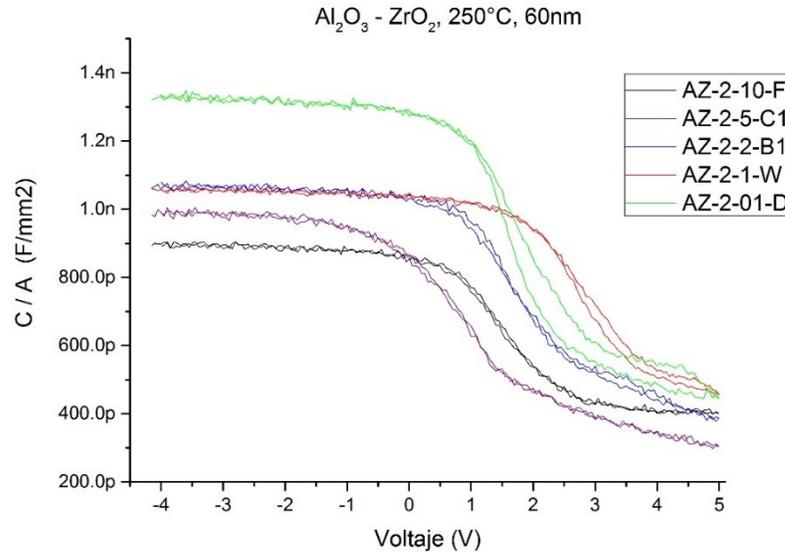


Figura 24. Comparación de curvas C-V del grupo 2, mostrando capacitancia por unidad de área.

El corrimiento hacia valores mayores en voltaje, de la zona de agotamiento, se debe a la presencia de cargas fijas negativas en el material dieléctrico. Este corrimiento implica también un cambio similar en el V_{fb} .

En el trabajo de Xing-Yao Feng et al. [35], se estudiaron estructuras MOS de bicapas de materiales de alta k con proporción 1:1 y Espesor de óxido total de 7 nm (características similares a las del presente estudio) en las que, a mayor cantidad de bicapas (y más delgadas) se presenta un corrimiento del V_{fb} hacia valores negativos. En el mismo estudio se compararon dos muestras S2 y S5 con el mismo valor de V_{fb} , mostrando que la diferencia en el número de bicapas no agrega más cargas que desplacen el V_{fb} .

Por lo tanto, la mayoría de las cargas atrapadas en el material dieléctrico no están al interior de cada óxido, sino en la interfaz entre óxido y óxido. Lo anterior se representa en la figura **25**.

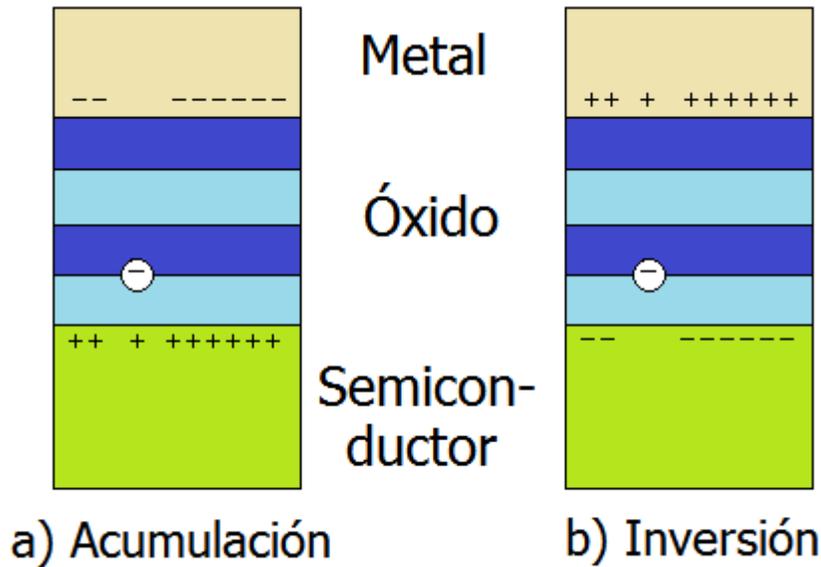


Figura 25. Cargas atrapadas en el interior del óxido (dieléctrico nanolaminado) en una estructura MOS. a) Polarización en acumulación, b) Polarización en inversión

En total, se realizaron 59 mediciones C-V a otros tantos capacitores, antes de seleccionar a las 14 curvas representativas de las muestras en estudio.

Para obtener el valor de la constante dieléctrica de cada capacitor, se aplica la ecuación (23), y para obtener el espesor de óxido equivalente se aplica la ecuación (29).

En las **tablas 7 y 8** se muestran los valores ϵ_r y EOT obtenidos:

a) Nominal. Corresponde a los valores calculados, a partir de los datos experimentales de área y espesor, al aplicarles las ecuaciones antes mencionadas.

b) Experimental. Corresponde a los valores obtenidos directamente de la característica C-V, de la capacitancia en la condición de acumulación.

Tabla 7: Permitividad de capacitores, con valores nominales y experimentales.

	Nomenclatura	Nominal	Experimental
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$	AZ-1-10-O	11.27	6.7
	AZ-1-5-L	11.26	6.5
	AZ-1-2-F	11.37	7.1
	AZ-1-1-D	11.38	7.0
	AZ-1-01-E	11.17	6.9
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=250^{\circ}\text{C}$	AZ-2-10-F	11.25	7.2
	AZ-2-5-C1	11.29	7.0
	AZ-2-2-B1	11.34	7.3
	AZ-2-1-W	11.27	6.7
	AZ-2-01-D	11.06	7.3
$t_{ox} \cong 20\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$	AZ-3-10-S	7.88	7.2
	AZ-3-5-O1	8.16	7.3
	AZ-3-2-D1	8.59	8.0
	AZ-3-1-A1	8.83	8.0

Tabla 8: Espesor de óxido equivalente de capacitores, con valores nominales y experimentales.

	Nomenclatura	Nominal (nm)	Experimental (nm)
$t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$	AZ-1-10	24.8	41.6
	AZ-1-5	21.4	37.2
	AZ-1-2	20.9	33.5
	AZ-1-1	20.4	33.0
	AZ-1-01	17.9	29.1
$(t_{ox} \cong 60\text{nm},$ $T_{ALD}=250^{\circ}\text{C})$	AZ-2-10	24.5	38.5
	AZ-2-5	21.7	34.8
	AZ-2-2	20.6	32.1
	AZ-2-1	19.2	32.5
	AZ-2-01	17.0	25.8
$t_{ox} \cong 20\text{nm}$, $T_{ALD}=200^{\circ}\text{C}$	AZ-3-10	8.9	9.8
	AZ-3-5	8.5	9.5
	AZ-3-2	8.6	9.3
	AZ-3-1	8.7	9.7

VI. DISCUSIÓN

En esta sección se presenta la comparación de los resultados obtenidos, describiendo las implicaciones de estas observaciones con los objetivos y con las hipótesis planteadas en este proyecto.

a) Brecha prohibida y espesores

En la figura 26 se observa, sólo para los grupos 1 y 2:

A menor espesor total, mayor brecha prohibida.

(A)

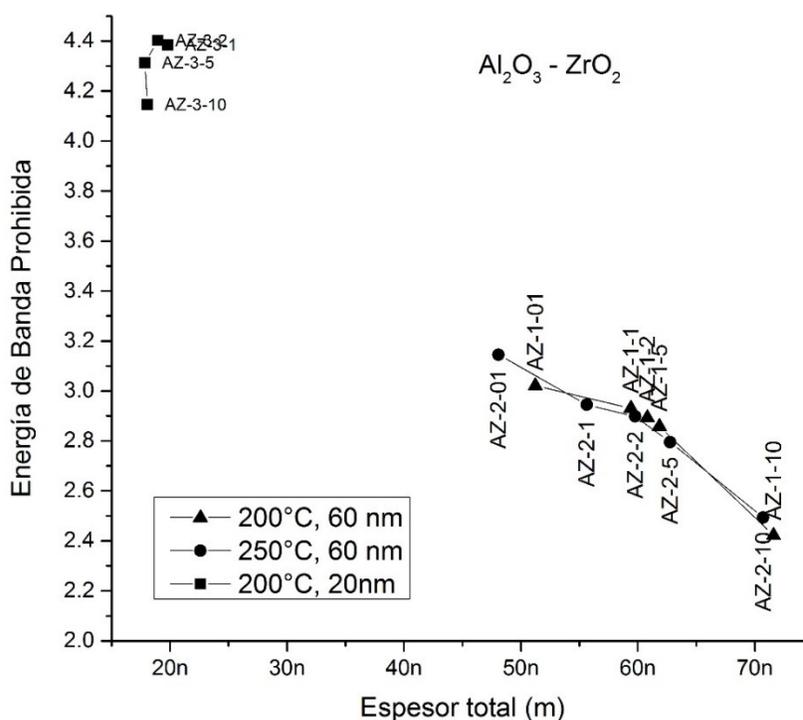


Figura 26. Relación entre brecha prohibida y espesor de dieléctrico.

La diferente temperatura de depósito para los grupos 1 (200°C) y 2 (250°C) no influyó en el valor de la brecha prohibida.

También se observa que a mayor espesor de capa de óxido, tenemos un espesor total ligeramente mayor, lo cual se debe a la capa adicional de Al₂O₃, que es del mismo espesor que las demás capas de la misma muestra.

En los tres grupos es claro que:

A menor espesor de capa, mayor brecha prohibida. (B)

A menor espesor de grupo, mayor brecha prohibida. (C)

En un estudio realizado por Javier López et al. [36] se llegó a una conclusión similar con Al_2O_3 y ZnO , controlando E_g en función del espesor de bicapa.

Los valores medidos de brecha prohibida (**tabla 4**) son menores al valor que tiene el óxido de silicio, que es igual a 9 eV. Los dos materiales individuales Al_2O_3 y ZrO_2 tienen brecha prohibida menor que el SiO_2 . Por lo tanto, el material dieléctrico compuesto tiene una brecha prohibida menor.

b) Corriente de fuga

Al comparar las curvas I-V de capacitores útiles en los tres grupos de muestras (como en la figura 19) no se observa una tendencia entre la corriente de fuga y el espesor de capa de óxido. Es posible que las interfaces del material dieléctrico presenten estados de superficie que actúan como trampas para portadores móviles, positivas o negativas, complicando el control de la corriente total a través del material dieléctrico.

Comparando las curvas I-V de los grupos 1 y 2, en la figura 27, se observa una mayor estabilidad de corriente de fuga en el grupo 2 ($T_{\text{ALD}}=250^\circ\text{C}$) que en el grupo 1 ($T_{\text{ALD}}=200^\circ\text{C}$).

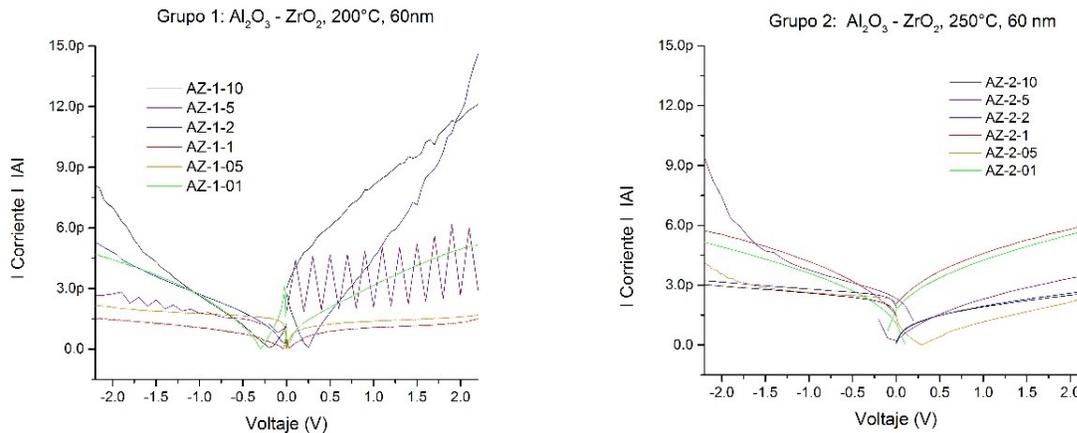


Figura 27. Curvas I-V de los grupos 1 y 2.

Estas gráficas respaldan lo siguiente:

A mayor temperatura de depósito, se logra una menor corriente de fuga. (D)

Sin embargo, los valores de corriente de fuga aquí obtenidos son menores a los observados en estudios similares, como el realizado por Hyunwoo Kim [37]. En la figura **28** se muestran los valores de densidad de corriente para estructuras MOS: A) óxido de aluminio (Al_2O_3), $[\text{Al}_2\text{O}_3\text{-ZrO}_2\text{-Al}_2\text{O}_3]$ (AZA), $[\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-ZrO}_2]$ (ZAZ), óxido de circonio (ZrO_2), cuyos materiales dieléctricos tienen un espesor de 100 nm, y B) los 6 nanolaminados del grupo 2 del presente estudio, con espesor aproximado promedio de 60 nm.

Por lo tanto, se deduce que es eficiente el control de corriente de fuga de los nanolaminados aquí estudiados y sus resultados son competitivos.

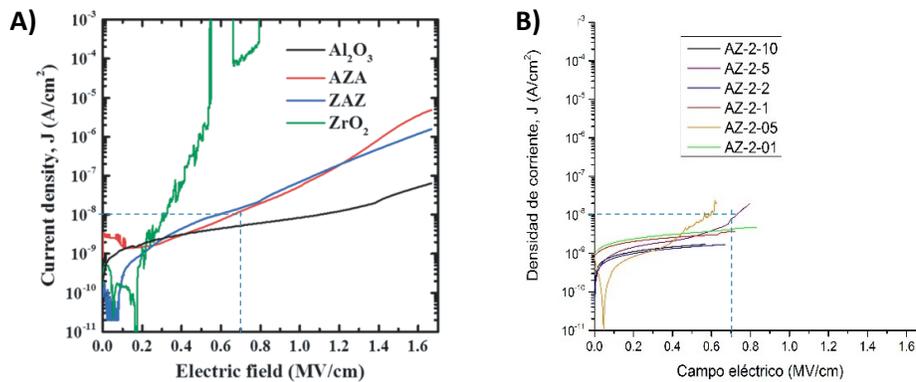


Figura 28. Corriente de fuga de capacitores MOS. A) en estudio de Hyunwoo Kim [37]. B) En el grupo 2 ($t_{\text{ox}} \cong 60\text{nm}$, $T_{\text{ALD}}=250^\circ\text{C}$) de esta tesis.

La razón de esta tendencia es que una temperatura de 250°C genera menor densidad de defectos en las capas individuales o en las interfaces entre los dos óxidos que una temperatura de 200°C . Menos cargas atrapadas (defectos) limitan las rutas de fuga para las cargas externas provenientes desde la puerta o desde el sustrato.

c) Rigidez dieléctrica y corriente de fuga máxima

La figura **29** muestra capacitores con rompimiento positivo, donde se observa:

A menor espesor de capa, mayor rigidez dieléctrica. (E)

El grupo 1 ($t_{ox} \cong 60\text{nm}$, $T_{ALD}=200^\circ\text{C}$) presenta mayor corriente de fuga máxima a una menor rigidez dieléctrica. En cambio, el grupo 3 ($t_{ox} \cong 20\text{nm}$, $T_{ALD}=200^\circ\text{C}$) presenta lo contrario: a mayor corriente de fuga máxima, mayor rigidez dieléctrica. Una posible explicación es que sus valores de E_g son más altos, presentados en la tabla 4.

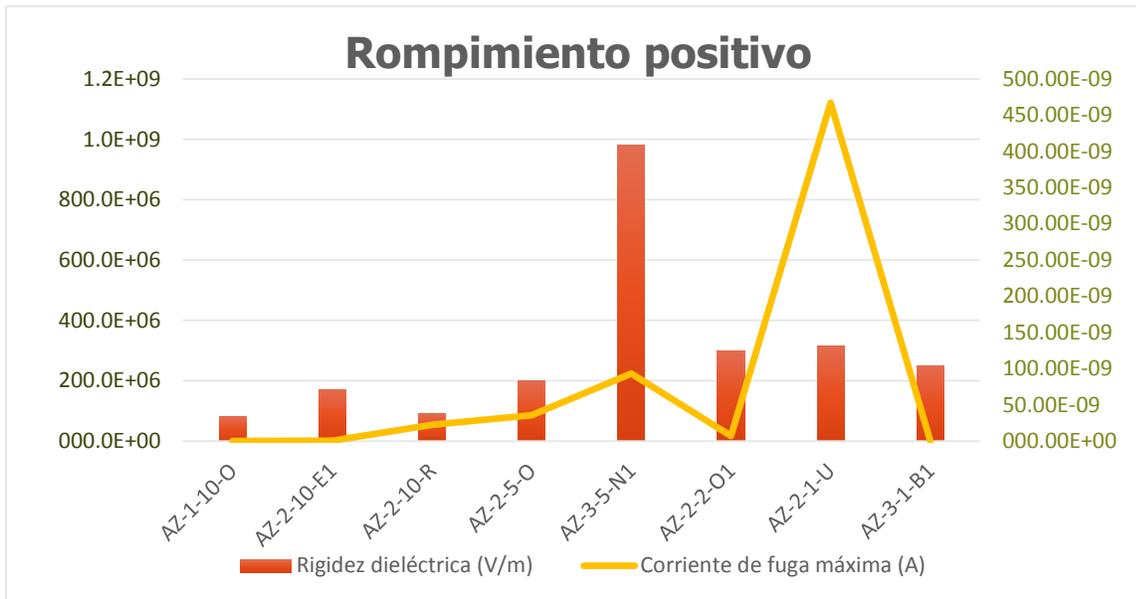


Figura 29. Relación entre rigidez dieléctrica y corriente de fuga máxima, para capacitores que presentaron rompimiento positivo.

En la figura 30 se muestran capacitores con rompimiento negativo; se observa la falta de correlación entre espesor de capa de óxido y rigidez dieléctrica.

Para observar un comportamiento más definido será necesario elaborar un mayor número de capacitores MOS y así lograr ver su tendencia estadística.

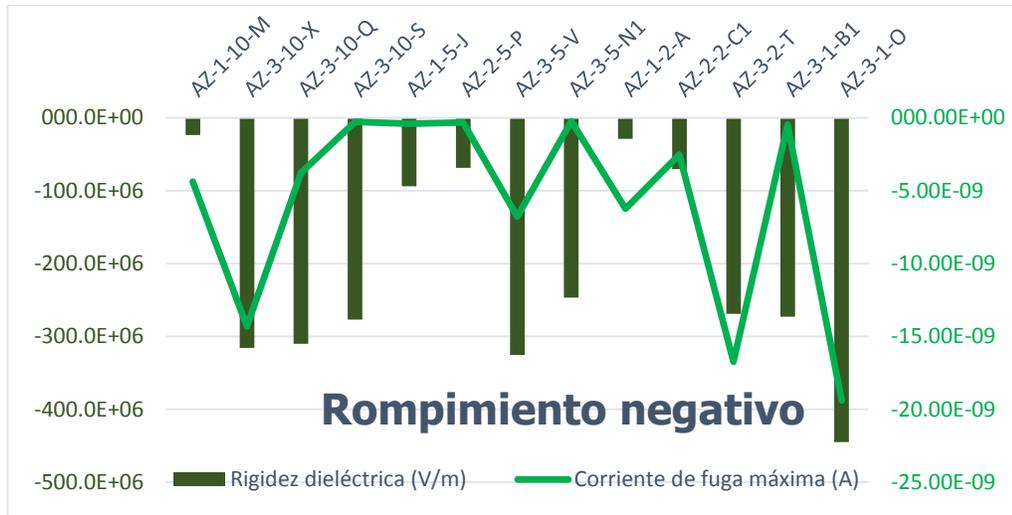


Figura 30. Relación entre rigidez dieléctrica y corriente de fuga máxima, para capacitores que presentaron rompimiento negativo.

d) Capacitancia

La figura **31** muestra la densidad de capacitancia (capacitancia por unidad de área, C_d) de todas las muestras. Se observa:

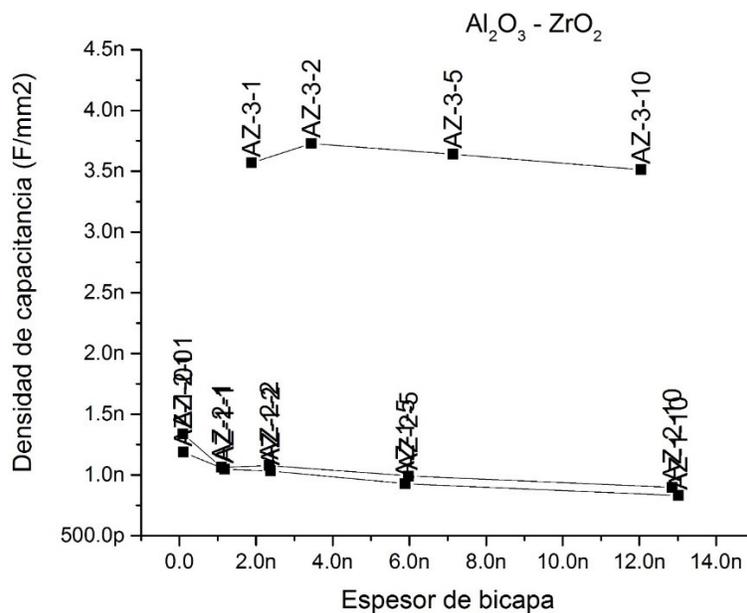


Figura 31: Comparación de la densidad de capacitancia de todas las muestras.

A menor espesor de capa, mayor capacitancia por unidad de área. (F)

Capas más delgadas de cada óxido, en una estructura nanolaminada, generan un mejor efecto capacitivo. Tanto los valores calculados como los experimentales coinciden en esta tendencia.

A menor espesor de grupo, mayor capacitancia por unidad de área. (G)

Esto se debe a que el espesor total del material dieléctrico es menor, provocando un alza en el valor de capacitancia, de acuerdo a la ecuación (22).

e) Permittividad relativa

La figura 32, que compara la permitividad relativa de todas las muestras, no indica una tendencia clara en los resultados.

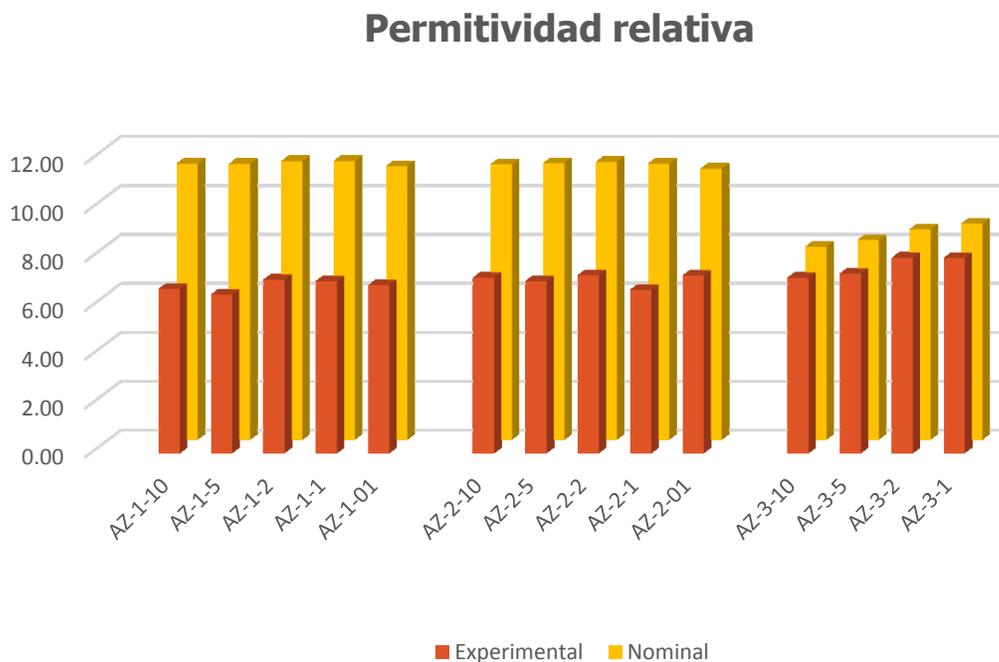


Figura 32. Comparación entre datos teóricos y experimentales de permitividad relativa.

La razón que encontramos a este resultado es que la proporción de la cantidad de los dos óxidos, en cada una de las muestras, es muy cercana a 1:1, por lo que el valor esperado en

permitividad relativa no presentaría variaciones. Ya que ésta es una propiedad intrínseca, las diferencias en espesor y área no influyen en su valor.

En estudios posteriores será interesante comprobar que, si alteramos la proporción de la cantidad de óxidos en el material dieléctrico, podremos controlar el valor final de permitividad relativa.

Sin embargo, los valores obtenidos de permitividad relativa son mayores que la permitividad relativa del SiO_2 , que es 3.9, lo cual es un buen dato. Por el contrario, los valores de permitividad relativa y de brecha prohibida de nuestras muestras están por debajo de lo estipulado en la literatura para el Al_2O_3 y para el ZrO_2 . En la figura 33 observamos su ubicación.

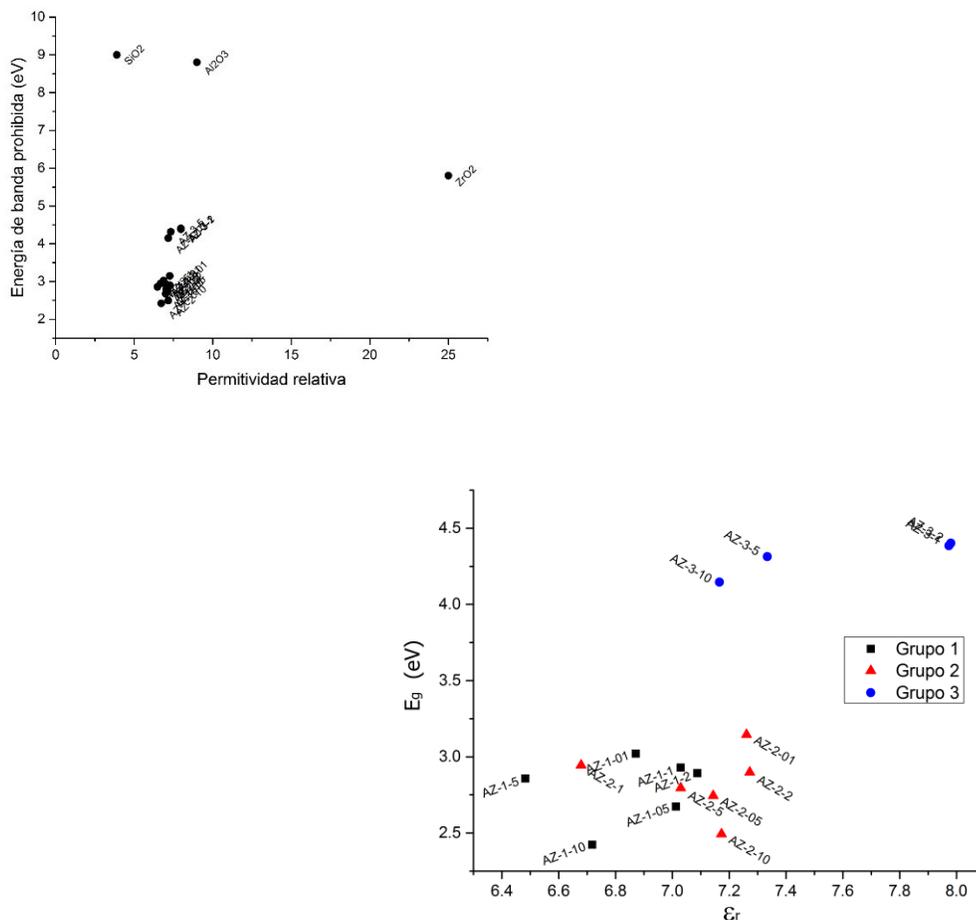


Figura 33. E_g y k de las muestras en estudio, respecto a los óxidos individuales.

Con este gráfico hemos alcanzado el objetivo general: Relacionar el comportamiento de las propiedades constante dieléctrica y brecha prohibida...

Claramente observamos que los valores obtenidos de los nanolaminados estudiados son menores a lo esperado: ambos parámetros (k , E_g) tienen menor valor que sus correspondientes en los óxidos simples.

La poca dispersión de los datos medidos es debida al diseño de las muestras. Deberán replantearse estrategias de fabricación que evidencien los parámetros de este estudio.

f) Espesor de óxido equivalente

En la figura 34 se observa:

A menor espesor de capa de óxido, un menor espesor de óxido equivalente. (H)

A menor espesor de grupo, tenemos un menor espesor de óxido equivalente. (I)

Este dato involucra a los valores medidos de área, espesor y capacitancia, siendo así un dato que representa un comportamiento integral de varios parámetros.

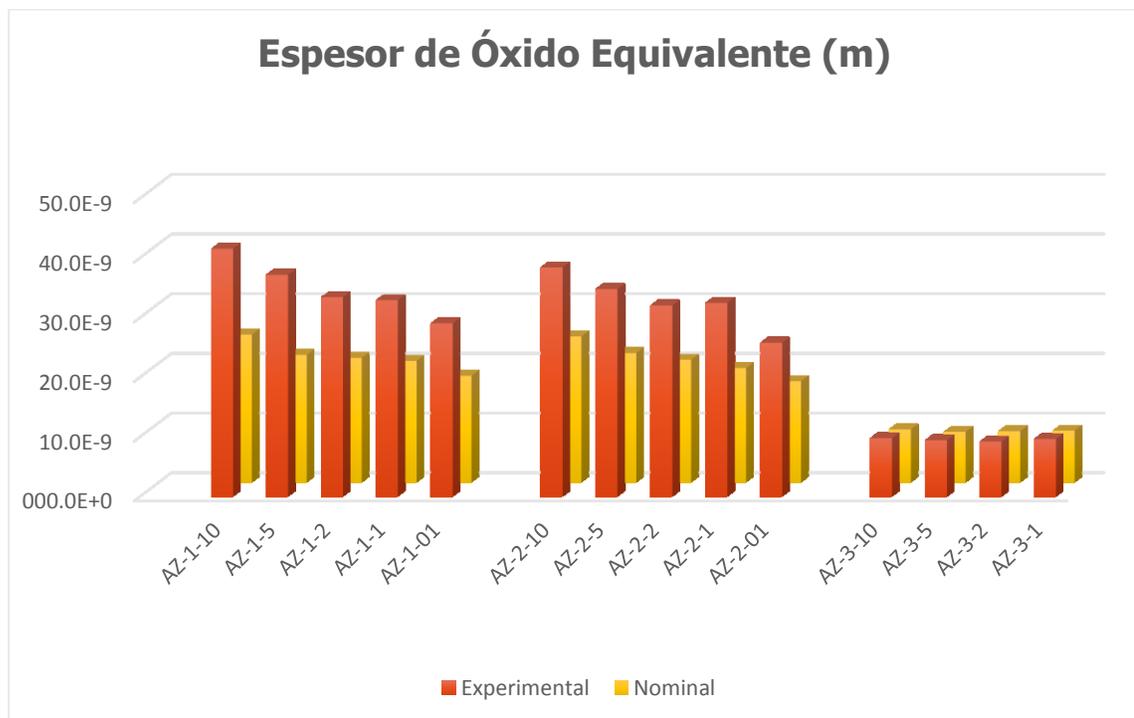


Figura 34. Comparación entre datos teóricos y experimentales de espesor de óxido equivalente.

El valor experimental de EOT es mayor que el valor correspondiente nominal. Esto no es un buen resultado final. Valores grandes de EOT no resuelven el problema de la sustitución del SiO_2 , pues lo que se busca es conseguir un material dieléctrico con una capacitancia similar al SiO_2 cuando su espesor es muy delgado ($\text{EOT} < 2 \text{ nm}$). Sin embargo, la tendencia tanto en datos nominales como experimentales es la misma y se refuerzan mutuamente.

Las diferencias en los datos nominales con los experimentales, en E_g , k , EOT, corriente de fuga y rigidez dieléctrica se incrementan por el número y la calidad de las interfaces, así como por la delgadez de las capas (hasta de 0.1 nm). Este tema no fue posible analizarlo debido a la falta de materiales. Es un análisis que se propone a futuro.

La presencia de ZrO_2 cristalino ha influido en detrimento del control de la corriente de fuga máxima. Es importante que en estudios posteriores se elaboren óxidos amorfos que favorezcan el bloqueo de estas corrientes de fuga indeseables.

VII. CONCLUSIONES

Al finalizar este trabajo, se tiene una visión más clara sobre los materiales dieléctricos analizados, así como sobre las técnicas utilizadas para su caracterización.

Inicialmente, se recibieron para estudio 16 muestras elaboradas con material dieléctrico nanolaminado de Al_2O_3 y ZrO_2 sobre sustrato de silicio dopado p. También se recibieron los valores de espesor del material dieléctrico total de cada muestra, medidos por elipsometría. A las muestras recibidas, se les colocaron los electrodos superior e inferior para completar la estructura MOS.

A partir de ahí, se caracterizaron las propiedades eléctricas de los capacitores, efectuando las medidas experimentales de brecha prohibida, área del capacitor, capacitancia, permitividad relativa, rigidez dieléctrica, corriente de fuga máxima y espesor de óxido equivalente.

Se calcularon los valores nominales de capacitancia, permitividad relativa y espesor de óxido equivalente.

Reuniendo las tendencias generales se ha llegado a lo siguiente:

A menor espesor de capa de óxido y menor espesor del material dieléctrico, es mayor la brecha prohibida: en el caso de la muestra AZ-2-10 ($t_{\text{ox}} = 70.7 \text{ nm}$, $T_{\text{ALD}}=250^\circ\text{C}$), con espesor de capa de 6.4 nm , se observó $E_g = 2.49 \text{ eV}$; en contraste, la muestra AZ-2-01 ($t_{\text{ox}} = 48 \text{ nm}$, $T_{\text{ALD}}=250^\circ\text{C}$), con espesor de capa de 0.05 nm , se observó $E_g = 3.14 \text{ eV}$.

A menor espesor de capa de óxido y menor espesor del material dieléctrico, se incrementa la capacitancia por unidad de área (C_d): en las mismas muestras del párrafo anterior, AZ-2-10 presentó $C_d = 898 \text{ pF/mm}^2$, mientras que AZ-2-01 tuvo $C_d = 1337 \text{ pF/mm}^2$.

A menor espesor de capa de óxido y menor espesor del material dieléctrico, se obtiene un menor espesor de óxido equivalente: en las mismas muestras, AZ-2-10 obtuvo $\text{EOT} = 38.4 \text{ nm}$, y AZ-2-01 logró 25.8 nm .

También se observó que una mayor temperatura de depósito tiene un efecto reductor en la corriente de fuga.

Todas las muestras estudiadas presentaron mayores valores de permitividad relativa (entre 6.5 y 8) que el óxido de silicio (3.9), manteniendo la corriente a través del material dieléctrico a valores razonables (menor a 10^{-8} A/cm^2 , menor a 0.7 MV/cm) para aplicaciones como aislante de puerta en estructuras MOS.

Por lo anterior, se pueden deducir las siguientes conclusiones:

- a) Un menor espesor de capa de óxido, de bicapas de óxidos, así como un menor espesor total del material dieléctrico, mejoran el desempeño del capacitor MOS.
- b) Al controlar el espesor de las bicapas de óxido, se controlan parámetros como brecha prohibida, capacitancia por unidad de área y espesor de óxido equivalente.
- c) Al controlar la temperatura de depósito, se controla la corriente de fuga del capacitor MOS.

Y con respecto a la hipótesis planteada en este estudio:

Se propone que la constante dieléctrica (k) y la brecha prohibida (E_g) del material nanolaminado [$\text{Al}_2\text{O}_3\text{-ZrO}_2$], puedan ser controladas mediante el espesor de bicapa.

Se puede concluir:

- d) Se ha verificado que el control en el espesor de bicapa en un nanolaminado sí influye en el control de la brecha prohibida.
- e) Se ha verificado que el control en el espesor de bicapa en un nanolaminado no influye en el control de la permitividad relativa (constante dieléctrica), mientras la proporción de óxidos permanezca constante.

Para trabajos posteriores se propone realizar más estudios modificando las especificaciones para la elaboración de los materiales dieléctricos.

Concretamente proponemos:

- i. Reducir el espesor total del material dieléctrico en el capacitor MOS, con la intención de obtener valores de EOT menores a 2 nm.
- ii. Modificar la proporción de los óxidos involucrados en el material dieléctrico para observar el control en la permitividad relativa.
- iii. Modificar la temperatura de depósito ALD de materiales dieléctricos, en un mayor rango de valores para obtener un mejor control de corriente de fuga.
- iv. Seleccionar técnicas de caracterización estructural para identificar la presencia y la calidad de las interfaces metal-óxido, óxido-óxido y óxido-semiconductor en los capacitores MOS nanolaminados.

VIII. ANEXOS

a) Abreviaturas

Al ₂ O ₃	Óxido de aluminio
ALD	Depósito de capa atómica
AZ	Al ₂ O ₃ – ZrO ₂
C-V	Capacitancia – Voltaje
C _d	Densidad de capacitancia ó Capacitancia por unidad de área
CICESE	Centro de Investigación Científica y de Educación Superior de Ensenada
CNyN	Centro de Nanociencias y Nanotecnología
E _g	Brecha prohibida
EOT	Espesor de óxido equivalente
eV	Electrón – Volt
I-V	Corriente – Voltaje
k	Constante dieléctrica
MOS	Metal – Óxido – Semiconductor
nm	nanómetro
SiO ₂	Óxido de silicio
UABC	Universidad Autónoma de Baja California
ZrO ₂	Óxido de circonio
°C	Grados Celsius
ε _r	Permitividad relativa

b) Índice de figuras

Figura 1. Esquema de un transistor MOS FET de canal n.	Página 7
Figura 2. Ley de Moore. Microprocesadores Intel ubicados según el año de comercialización y la cantidad de transistores en su interior.	9
Figura 3. a) Estructura de una bicapa. b) Estructura de 3 bicapas. c) Estructura de n bicapas.	13
Figura 4. Ejemplo de capacitor MOS nanolaminado con 10 bicapas de óxido de aluminio - óxido de circonio.	13
Figura 5. Modelo preciso del capacitor.	14
Figura 6. Diagrama de bandas de energía de un capacitor MOS en condición de banda plana, con silicio policristalino como Metal , SiO ₂ como Óxido y silicio dopado p como Semiconductor .	19
Figura 7. Diagrama de bandas del capacitor p-MOS en la condición de umbral.	20
Figura 8. Patrón de difracción XRD de películas de ZrO ₂ depositado a 300 °C con diferentes espesores, mostrando ausencia de ZrO ₂ cristalino con 100 ciclos ALD.	23
Figura 9. Brecha prohibida en materiales sólidos.	24
Figura 10. Gráfica Tauc para el cálculo de E _g óptico.	25
Figura 11. Equipo para depósitos ALD.	28
Figura 12. Difractogramas de muestras del grupo 3 ($t_{ox} \cong 20nm$, $T_{ALD}=200^{\circ}C$) por configuración Bragg-Brentano, mostrando la presencia del sustrato de silicio. La muestra de referencia está denominada p-Si-XRD.	30
Figura 13. Difractogramas de muestras del grupo 3 ($t_{ox} \cong 20nm$, $T_{ALD}=200^{\circ}C$) por configuración de haz rasante.	31
Figura 14. Esquema del sistema de medición por reflectancia difusa ultravioleta – visible.	33
Figura 15. Gráfica Tauc obtenida de un capacitor en estudio.	33
Figura 16. Evaporadora para depositar electrodos de oro.	35
Figura 17. Fotografía del capacitor AZ-1-01-e ($t_{ox} \cong 60nm$, $T_{ALD}=200^{\circ}C$), para la medida de su área efectiva.	36
Figura 18. Curva I-V de un capacitor en escala lineal y en escala logarítmica.	37
Figura 19. Comparación de curvas I-V de capacitores útiles del grupo 2.	38
Figura 20. Comparación de curvas I-V de capacitores del grupo 1, mostrando la ruptura dieléctrica.	39
Figura 21. Estación para caracterización eléctrica.	41

Figura 22. Curva C-V mostrando histéresis, capacitancia de banda plana (C_{fb}), voltaje de banda plana (V_{fb}) y capacitancia total del material dieléctrico (C_{ox}).	42
Figura 23. Cargas atrapadas en la interfaz óxido-semiconductor (dieléctrico nanolaminado – Silicio tipo p) en una estructura MOS. a) Polarización en acumulación, b) Polarización en inversión.	42
Figura 24. Comparación de curvas C-V del grupo 2, mostrando capacitancia por unidad de área.	43
Figura 25. Cargas atrapadas en el interior del óxido (dieléctrico nanolaminado) en una estructura MOS. a) Polarización en acumulación, b) Polarización en inversión	44
Figura 26. Relación entre brecha prohibida y espesor de dieléctrico.	46
Figura 27. Curvas I-V de los grupos 1 y 2.	47
Figura 28. Corriente de fuga de capacitores MOS. A) en estudio de Hyunwoo Kim. B) En el grupo 2 ($t_{ox} \cong 60\text{nm}$, $T_{ALD}=250^\circ\text{C}$) de esta tesis.	48
Figura 29. Relación entre rigidez dieléctrica y corriente de fuga máxima, para capacitores que presentaron rompimiento positivo.	49
Figura 30. Relación entre rigidez dieléctrica y corriente de fuga máxima, para capacitores que presentaron rompimiento negativo.	50
Figura 31. Comparación de la densidad de capacitancia de todas las muestras.	50
Figura 32. Comparación entre datos teóricos y experimentales de permitividad relativa.	51
Figura 33. E_g y k de las muestras en estudio, respecto a los óxidos individuales.	52
Figura 34. Comparación entre datos teóricos y experimentales de espesor de óxido equivalente.	53

c) Índice de tablas

Tabla 1. Materiales dieléctricos de alta k, su constante dieléctrica y brecha prohibida.	Página 12
Tabla 2. Información sobre los materiales en estudio.	21
Tabla 3. Nomenclatura de muestras.	29
Tabla 4. Espesor y brecha prohibida de las muestras.	34
Tabla 5. Áreas de capacitores seleccionados.	36
Tabla 6: Valores de rigidez dieléctrica y corriente de fuga máxima de algunos capacitores.	40
Tabla 7: Permitividad de capacitores, con valores experimentales y teóricos.	45
Tabla 8: Espesor de óxido equivalente de capacitores, con valores experimentales y teóricos.	45

IX. FUENTES DE INFORMACIÓN

- [1] U. d. Cambridge, «Traducido de: Introduction to semiconductors,» noviembre 2007. [En línea]. Available: <https://www.doitpoms.ac.uk/tlplib/semiconductors/mosfet.php>. [Último acceso: 7 febrero 2017].
- [2] M. Miller, «Forward thinking,» PCMag Digital Group, 14 diciembre 2015. [En línea]. Available: <http://forwardthinking.pcmag.com/none/340355-is-moore-s-law-alive-and-well-depends-on-how-you-define-scaling>. [Último acceso: 9 mayo 2016].
- [3] H. García, H. Castán, S. Dueñas y L. Bailón, «Electrical characterization of atomic-layer-deposited hafnium oxide films from hafnium tetrakis (dimethylamide) and water/ozone,» *Journal of vacuum science & technology*, vol. 31, nº 01A127, p. 01a127, 2013.
- [4] P. C. Roy, H. S. Jeong, W. H. Doh y C. M. Kim, «Atomic layer deposition (ALD) of ZrO₂ in ultra high vacuum (UHV),» *Bulletin of the Korean Chemical Society*, vol. 34, nº 4, p. 1221, 2013.
- [5] C. Choi y R. Choi, «The electrical and structural properties of HfO₂/SrTiO₃ stacked gate dielectric with TiN metal gate electrode,» *Thin Solid Films journal*, vol. 521, 2012.
- [6] S. J. Wang, C. K. Ong, S. Y. Xu, P. Chen, W. C. Tjiu, A. C. Huan, W. J. Yoo, J. S. Lim, W. Feng y W. K. Choi, «Electrical properties of crystalline YSZ films on silicon as alternative gate dielectrics,» *Semiconductor Science and Technology journal*, vol. 16, pp. L13-L16, 2001.
- [7] C.-H. Lee, S.-H. Hur, Y.-C. Shin, D.-G. Park y K. Kim, «Charge-trapping device structure of SiO₂/SiN/high-k dielectric Al₂O₃ for high-density flash memory,» *Applied Physics Letters*, vol. 86, nº 152908, 2005.
- [8] J. Robertson, «High dielectric constant gate oxides for metal oxide Si transistors,» *Reports on Progress in Physics*, vol. 69, pp. 327-396, 2006.

- [9] S. K. Kim, S. W. Lee, J. H. Han, B. Lee, S. Han y C. S. Hwang, «Capacitors with an equivalent oxide thickness of <0.5 nm for nanoscale electronic semiconductor memory,» *Advanced Functional Materials*, vol. 20, pp. 2989-3003, 2010.
- [10] T. Scherer, «50 Years of Moore's Law,» *Elektor magazine*, 26 mayo 2015. [En línea]. Available: <https://www.elektormagazine.com/articles/moores-law/6631>. [Último acceso: 7 febrero 2017].
- [11] J. Robertson, «High dielectric constant oxides,» *The European Physical Journal Applied Physics*, pp. 265-291, 2004.
- [12] W. J. Hayt, *Análisis de circuitos en ingeniería*, 8a ed., México: McGraw Hill, 2012, pp. 218, 221.
- [13] D. G. Zill, *Ecuaciones Diferenciales con aplicaciones de modelado*, Querétaro: Cengage Learning, 2012.
- [14] C. Hu, «Electrons and Holes in Semiconductors,» de *Modern semiconductor devices for integrated circuits*, Prentice Hall, 2010.
- [15] W. Smith y J. Hashemi, *Fundamentos de la ciencia e ingeniería de materiales*, 4a ed., México: McGraw Hill, 2006.
- [16] C. Hu, «MOS capacitor,» de *Modern semiconductor devices for integrated circuits*, Prentice Hall, 2010.
- [17] A. Hafez y M. A. El-Latif, «Optimum Barrier Height for SiC Schottky Barrier Diode,» *ISRN Electronics*, vol. 2013, 2013.
- [18] D. R. Lide, Ed., *Handbook of Chemistry and Physics*, 80a ed., Boca Raton, FL: CRC Press, 1999.
- [19] T. Ahrens, Ed., *Mineral Physics and Crystallography*, 3a ed., USA: American Geophysical Union, 2013.
- [20] D. Vanderbilt, «Structural and dielectric properties of crystalline and amorphous ZrO₂,» *Thin Solid Films*, vol. 486, pp. 125-128, 2005.
- [21] A. H. Al-Bayati, «Composition and structure of the native Si oxide by high depth resolution medium energy ion scattering,» *Surface science*, vol. 241, pp. 91-102, 1991.
- [22] S. Jakschik, U. Schroeder, T. Hecht y J. W. Bartha, «Crystallization behavior of thin ALD-Al₂O₃ films,» *Thin solid Films*, vol. 425, pp. 216-220, 2003.
- [23] M. Putkonen, J. Niinisto, K. Kukli, T. Sajavaara, M. Karppinen, H. Yamauchi y L. Niinisto, «ZrO₂ thin films grown on Silicon substrates by Atomic Layer Deposition with Cp₂Zr(CH₃)₂ and water as precursors,» *Chemical vapor deposition journal*, vol. 9, nº 4, pp. 207-212, 2003.
- [24] W. Chen, W. Ren, Y. Zhang, M. Liu and Z.-G. Ye, "Preparation and properties of ZrO₂ and TiO₂ films and their nanolaminates by atomic layer deposition," *Ceramics International*, vol. 41, no. 1, pp. S278-S282, 3 Abril 2015.
- [25] J. Zhang, «Performance enhancement in InZnO thin-film transistors with compounded ZrO₂-Al₂O₃ nanolaminates as gate insulators,» *Ceramics International*, vol. 42, pp. 8115-8119, 2016.
- [26] G. Hornyak, J. Dutta, H. Tibbals y A. Rao, *Introduction to nanoscience*, Boca Raton, FL: CRC Press, 2008, p. 504.
- [27] R. Serway y J. Jewett, *Physics for scientists and engineers*, 6a ed., Thomson Brooks / Cole, 2004, p. 811.
- [28] H. Tibbals, J. Dutta y J. Moore, *Introduction to nanoscience and nanotechnology*, Boca Raton, FL: CRC Press, 2009, p. 354.

- [29] Y. Montaña González, «Quantum dots: el control de la emisión de luz,» Nanotecnología, de Fundación Telefónica, [En línea]. Available: <https://nanotecnologia.fundaciontelefonica.com/2016/02/23/quantum-dots-el-control-de-la-emision-de-luz/>. [Último acceso: 28 febrero 2017].
- [30] J. R. Bakke, J. T. Tanskanen, H. J. Jung, R. Sinclair y S. F. Bent, «Atomic layer deposition of CdxZn1-xS films,» *Journal of Materials Chemistry*, vol. 21, pp. 743-751, 2011.
- [31] L. Solymar y D. Walsh, Lectures on the electrical properties of materials, 5a ed., New York: Oxford University Press, 1993, p. 282.
- [32] M. D. Groner y S. M. George, «High-k dielectrics grown by Atomic Layer Deposition: Capacitor and Gate Applications,» de *Interlayer Dielectrics for Semiconductor Technology*, Murarka, Eizenberg y Sinha, Edits., Elsevier Academic Press, 2003.
- [33] Department of Materials Science and Metallurgy of the University of Cambridge, «Traducido de: The Applied Superconductivity and Cryoscience Group,» [En línea]. Available: <http://ascg.msm.cam.ac.uk/characterisation/uvvisimages/uvspec.jpg>. [Último acceso: 6 marzo 2017].
- [34] J. Lin, Y. Y. Gomeniuk, S. Monaghan, I. M. Povey, K. Cherkaoui, E. O'Connor, M. Power y P. K. Hurley, «An investigation of capacitance-voltage hysteresis in metal/high-k/In_{0.53}Ga_{0.47}As metal-oxide-semiconductor capacitors,» *Journal of Applied Physics*, vol. 114, nº 144105, 2013.
- [35] X.-Y. Feng, H.-X. Liu, X. Wang, L. Zhao, C.-X. Fei y H.-L. Liu, «Impacts of annealing conditions on the flat band voltage of alternate La₂O₃/Al₂O₃ multilayer stack structures,» *Nanoscale Research Letters*, vol. 11, p. 394, 2016.
- [36] J. López, J. Martínez, N. Abundiz, D. Domínguez, E. Murillo, F. F. Castellón, R. Machorro, M. H. Farías y H. Tiznado, «Thickness effect on the optical and morphological properties in Al₂O₃/ZnO nanolaminate thin films prepared by atomic layer deposition,» *Superlattices and microstructures*, vol. 90, pp. 265-273, 2016.
- [37] H. Kim, S. Kim, J. Lee y B. Choi, «Electrical properties of solution-processed nanolaminates of ZrO₂ and Al₂O₃ as gate insulator materials for thin-film transistors,» *Journal of Nanoscience and Nanotechnology*, vol. 17, pp. 7209-7213, 2017.
- [38] J. Singh, Dispositivos Semiconductores, México: Mc Graw Hill, 1997.
- [39] S. H. Lin, K. C. Chiang, A. Chin and F. S. Yeh, "High-Density and Low-Leakage-Current MIM Capacitor Using Stacked TiO₂/ZrO₂ Insulators," *IEEE electron device letters*, vol. 30, no. 7, 2009.
- [40] G. He y Z. Sun, Edits., High-k gate dielectric for CMOS technology, Wiley-VCH, 2012.
- [41] J. L. Morán y J. L. Rodríguez, Los materiales nanoestructurados, México: FCE, 2012.
- [42] D. Schroder, Semiconductor material and device characterization, Wiley-Interscience, 2006.
- [43] R. Waser, Nanoelectronics and information technology, Wiley-VCH, 2005.
- [44] H. García, H. Castán, S. Dueñas y L. Bailón, «Electrical characterization of atomic-layer-deposited hafnium oxide films from hafnium tetrakis (dimethylamide) and water/ozone,» *Journal of vacuum science & technology A: Vacuum, surfaces and films*, vol. 31, nº 01A127, p. 01 a 127, 2013.