



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

DISEÑO E IMPLEMENTACIÓN DE UN TDC
(CONVERTIDOR TIEMPO-DIGITAL) DE ALTA
RESOLUCIÓN APLICADO A LA INVESTIGACIÓN DE
RAYOS CÓSMICOS

T E S I S

QUE PARA OBTENER EL TÍTULO DE:
INGENIERO ELÉCTRICO ELECTRÓNICO

PRESENTA:

JUAN ANTONIO HERNÁNDEZ MERALES



DIRECTOR DE TESIS:
M.I. Ricardo Mota Marzano

Ciudad Universitaria 2014



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

*Un especial agradecimiento al
Dr. José Francisco Valdes Galicia,
al Ing. Marcos Alfonso Anzorena Méndez
y a todo el personal del observatorio
Javier A. Otaola Lizarzaburu
quienes permitieron realizar este trabajo.*

Agradecimientos

Quiero agradecer en primer lugar a mis padres, quienes siempre me han brindado su apoyo incondicional, su comprensión y su cariño. A mi hermana, a quien a pesar de todo quiero y estimo mucho. Los llevo siempre en mi mente y corazón.

Al M.I. Ricardo Mota Marzano por compartir conmigo parte de su tiempo y su conocimiento, por sus consejos y sus enseñanzas. Muchas gracias por permitirme trabajar con usted.

A todos mis amigos de las facultades de Ingeniería, Química y Veterinaria a quienes considero como parte de mi familia. Gracias por sus consejos, apoyo y amistad.

Y finalmente, a la Universidad Nacional Autónoma de México por la oportunidad que me brindó de estudiar una profesión que he amado desde niño.

MIL GRACIAS A TODOS.

Contenido

Introducción	1
1 ¿Qué son los rayos cósmicos?	3
1.1 El descubrimiento de los rayos cósmicos	3
1.2 Los rayos cósmicos	5
1.2.1 ¿Qué son los rayos cósmicos?	6
1.2.2 ¿De dónde provienen los rayos cósmicos?	7
1.3 Las nuevas partículas	8
1.3.1 Componente nucleónica	8
1.3.2 Componente mesónica	8
1.3.3 Componente electromagnética	9
2 El observatorio de rayos cósmicos de Ciudad Universitaria	11
2.1 La red internacional de rayos cósmicos	11
2.2 Los rayos cósmicos en México	12
2.3 Observatorio Javier A. Otaola Lizarzaburu	14
2.4 Los detectores en el observatorio de rayos cósmicos	17
2.4.1 El Super Monitor de Neutrones	17
2.4.2 El Telescopio de muones	19
3 Convertidores tiempo-digital	23
3.1 ¿Qué es un convertidor tiempo-digital?	23
3.2 Métodos de medición	24
3.2.1 Conteo amplio	25
3.2.2 Medición fina	26

CONTENIDO

3.2.2.1	Conversión doble	26
3.2.2.2	Extensión de tiempo	28
3.2.2.3	Líneas de retraso	29
3.2.2.4	Método de Vernier	33
3.2.3	Interpolación	36
3.3	¿Qué método implementar?	37
4	Arreglos de Compuertas Programables en Campo	39
4.1	Arquitectura interna	40
4.1.1	Bloques lógicos	41
4.1.2	Interconexiones programables	42
4.1.3	Bloques de entrada/salida	43
4.1.4	Tecnología de programación	43
4.2	Lenguaje descriptivo de hardware	44
4.3	Tarjeta de desarrollo DE0-Nano	45
4.3.1	El FPGA Cyclone IV	46
4.3.1.1	Elementos lógicos	46
4.3.1.2	Bloques de arreglos lógicos	47
5	Diseño de un TDC para la investigación de rayos cósmicos	49
5.1	Convertidor tiempo-digital	49
5.1.1	Celda básica de retraso	49
5.1.2	Tiempo de respuesta	50
5.1.3	Rango de medición	51
5.1.4	Detección en coincidencia	52
5.2	Codificador	52
5.2.1	Implementación	53
5.3	Transferencia y almacenamiento de datos	55
5.3.1	Módulo I^2C esclavo	55
5.3.1.1	Algoritmo implementado	56
5.3.2	Interfaz gráfica	57
5.3.2.1	Algoritmo implementado	58
5.4	Control de activación y reinicio	61
5.5	Circuito de acondicionamiento de señales	62

5.6	Arquitectura final	63
6	Pruebas y resultados	65
6.1	Primera etapa: las tarjetas descartadas	65
6.1.1	Kit de evaluación SmartFusion	65
6.1.2	Kit de desarrollo PSoC 5	67
6.2	Segunda etapa: simulaciones y pruebas de laboratorio	68
6.2.1	Convertidor tiempo-digital	68
6.2.1.1	Simulaciones	68
6.2.1.2	<i>Floorplan</i>	69
6.2.2	Codificador	70
6.2.3	Transferencia y almacenamiento de datos	71
6.2.3.1	Simulaciones del módulo I^2C esclavo	71
6.2.3.2	Prueba de comunicación	72
6.2.4	Circuito de acondicionamiento de señales	72
6.2.4.1	Simulaciones	72
6.2.4.2	Pruebas de laboratorio	73
6.2.5	Prueba de la arquitectura final	74
6.3	Tercera etapa: lectura de datos en el Observatorio	74
6.3.1	Primeras pruebas	74
6.3.2	Adquisición de datos	75
7	Conclusiones	79
7.1	Recomendaciones y trabajo a futuro	80
	Apéndices	81
A	Bus de comunicación I^2C	83
A.1	Protocolo de comunicación	84
B	Módulo de comunicación $USB - I^2C$	87
B.1	Controladores	87
B.2	Conexión	87
B.3	Comandos	88
B.3.1	I2C_SGL	88

CONTENIDO

B.3.2	I2C_MUL	89
B.3.3	I2C_AD1	89
B.3.4	I2C_AD2	89
B.3.5	I2C_USB	89
C	Hojas de especificaciones	91
	Bibliografía y referencias	101

Introducción

El ser humano, a través de los siglos, ha intentado comprender el entorno que lo rodea; desde fenómenos naturales como las tormentas y las estaciones del año, hasta misterios tan complejos como el origen de la vida o la codificación del ADN.

En esta búsqueda interminable de conocimiento, el cielo y el Universo no han pasado desapercibidos; la historia esta llena de sucesos sobre su investigación.

Los Mayas, por ejemplo, tenían un observatorio en el que realizaban observaciones de eventos astronómicos con una enorme precisión. Cientos de años después, al otro lado del mundo, Galileo Galilei utilizó por primera vez un telescopio con el que pudo observar los cráteres de la Luna y algunos satélites de Saturno. Y en la actualidad se realizan observaciones a través de toda clase de instrumentos como el telescopio Hubble a 559 kilómetros de altura, el Very Large Telescope (VTL) en Chile, el Gran Telescopio Milimétrico (GTM) en México y una extensa lista de aparatos que permiten ver el Universo no sólo en el espectro de luz visible, si no en otras frecuencias que el ojo humano jamás podría apreciar.

Entre los elementos de esta lista figura el Telescopio de muones que se encuentra dentro del Observatorio de rayos cósmicos “Javier A. Otaola Lizarzaburu” ubicado en Ciudad Universitaria. Este instrumento realiza la cuenta de las partículas de rayos cósmicos que llegan a la superficie de la Tierra proveyendo a la comunidad científica datos importantes sobre éstos.

La forma en que este instrumento está construido permite realizar dichas cuentas de catorce diferentes maneras, cinco de las cuales se deben a la coincidencia entre la detección en un plano superior y uno inferior del mismo.

Sin embargo, hay un parámetro acerca de su geometría que no se ha explotado: la posibilidad de medir el tiempo que tardan dichas partículas en atravesar el telescopio. Motivo por el cual se realiza este trabajo de tesis.

CONTENIDO

Para poder llevar a cabo esta medición se espera obtener, al finalizar este trabajo, un dispositivo que cuente con las siguientes características:

- 1) Debido a que las partículas viajan a una velocidad muy cercana a la de la luz, el dispositivo deberá realizar la medición de tiempo con la mejor resolución posible.
- 2) El rango de medición será de alrededor de 100[ns] (valor indicado por personal del observatorio).
- 3) Como los eventos de incidencia son totalmente aleatorios, es necesario que el tiempo que tarda en realizar la medición y guardar la información sea el mínimo posible, ya que debido a la naturaleza del fenómeno, no es posible conocer la cantidad de eventos que no se lograrán medir.
- 4) Se deberán hacer mediciones únicamente de eventos en coincidencia, esto es, cuando se presente una detección en el plano superior y a la vez en el plano inferior del telescopio.
- 5) Los datos obtenidos deberán poder ser almacenados para su posterior análisis por personal experto en el tema.
- 6) El dispositivo diseñado deberá poder ser modificable en un futuro, replicable o reutilizable ya sea en tecnología similar o mejor.

Este trabajo de tesis consta de siete capítulos en los cuales se presentará el marco teórico sobre los rayos cósmicos, el observatorio de Ciudad Universitaria en el cual se realizaron las mediciones, los convertidores tiempo-digital y el dispositivo FPGA que se seleccionó. También se mostrará el diseño del sistema y todos los procesos que se realizaron hasta obtener una arquitectura final. Por último, se presentarán los resultados obtenidos y las posibles mejoras que se harían al sistema.

¿Qué son los rayos cósmicos?

A principios del siglo *XVIII* Charles F. DuFay estudió la capacidad que tienen algunas sustancias de conducir la corriente eléctrica. De entre todas ellas observó el caso particular del aire, el cual era capaz de conducir la electricidad en la cercanía de un sólido caliente. Que el aire tuviera esta propiedad significaba que en él existían partículas eléctricas libres con la capacidad de desplazarse de un punto a otro.

1.1 El descubrimiento de los rayos cósmicos

En los años posteriores a los estudios hechos por DuFay se siguieron realizando experimentos acerca de la descarga eléctrica, la mayoría de los cuales utilizaban electros copios para tal fin.

El electroscopio (Figura 1.1) es un aparato diseñado por el físico William Gilbert que consiste principalmente en dos hojas delgadas de oro, las cuales cuelgan de una barra metálica dentro de un recipiente de vidrio. Si se toca la barra metálica con alguna pieza cargada eléctricamente las láminas de oro se repelen, sin embargo, al separar la pieza el electroscopio pierde gradualmente la carga y las láminas de oro vuelven a unirse.

Entre 1898 y 1900 Charles Thomson Rees Wilson

estudió el fenómeno de la descarga del electroscopio, encontrando que la conductividad del aire dentro del mismo era permanente a pesar



Figura 1.1: Funcionamiento de un electroscopio.

1. ¿QUÉ SON LOS RAYOS CÓSMICOS?

de extraer continuamente los iones¹ de su interior. De sus observaciones, Wilson pensó que existía una “radiación extraña” que generaba constantemente los iones en el aire.

Posteriormente, se observó que los rayos X y la radiactividad descargaban los electroscopios y, por lo tanto, se atribuyó inmediatamente que la “radiación extraña” mencionada por Wilson se debía a materiales radiactivos cercanos al electroscopio o contenidos en el material con que fue construido.

A pesar de que la segunda hipótesis sobre la descarga del electroscopio era correcta, con el tiempo se crearon instrumentos de mejor calidad y con un grado de pureza mayor, disminuyendo así la contaminación debida al material y fijando la atención de la comunidad científica a la primer hipótesis. De forma que se esperaba que al aumentar la altura sobre la superficie terrestre, la cual es la principal fuente de materiales radiactivos, el grado de ionización del aire dentro del electroscopio disminuyera.

Sin embargo, los experimentos realizados por Theodor Wulf y Albert Gockel en alturas de 300 y 4 500 metros respectivamente, mostraron que la ionización efectivamente decrecía con la altura, pero en proporción mucho menor a la esperada.

Es entonces cuando el físico austriaco Victor Francis Hess, con la intención de corroborar los resultados obtenidos por Wulf, decide realizar una serie de 10 ascensos en globo (entre 1911 y 1913) llevando consigo electroscopios del mismo tipo a los utilizados por Wulf para tomar lecturas simultáneas y asegurar así la mayor exactitud posible.

Hess observó que a los 500 metros de elevación la ionización era en promedio dos veces menor que en la superficie terrestre, a los 1 500 metros era igual y a partir de 1 800 metros ésta aumentaba notablemente. A los 3 500 metros sobre la superficie el incremento era de aproximadamente 4 veces y a los 5 000 metros llegaba a aumentar hasta 16 veces. Observó, además, que sus lecturas no tenían diferencia entre el día y la noche.

Debido a que era imposible explicar que el aumento de ionización a mayores alturas fuese causado por sustancias radiactivas, Hess recurrió a una novedosa hipótesis en la que proponía *la existencia de una radiación muy penetrante, hasta entonces desconocida, que llegaba a la atmósfera desde afuera, es decir, del espacio exterior, y que no podía ser de origen solar dado que no se observaba diferencia alguna entre la ionización medida durante el día y la noche.*

¹Partículas cargadas eléctricamente

Veinticuatro años después, Victor Francis Hess recibiría el Premio Nobel de Física por el descubrimiento de lo que hoy en día se conoce como *Rayos Cósmicos*.



Figura 1.2: Fotografía tomada a Victor F. Hess antes de realizar un ascenso en globo.

A pesar de los resultados obtenidos por Hess y la posterior confirmación por Werner Kolhörster, quien repitió los experimentos hasta una altura de 9 300 metros, algunos en la comunidad científica no estaban conformes. Entre ellos figuraba Robert Andrews Millikan quien, junto con sus colaboradores, emprendió una serie de experimentos entre 1923 y 1926 para determinar si los resultados de Hess y demás investigadores eran correctos. Finalmente, los experimentos realizados en los lagos Muir y Arrowhead dieron los resultados definitivos para convencer a la comunidad científica y a Millikan del origen extraterrestre de la “radiación muy penetrante”, siendo este último quien les dió el nombre de *Rayos Cósmicos*.

1.2 Los rayos cósmicos

Ahora que ya se tenía la certeza de la existencia de los rayos cósmicos la comunidad científica centró su interés en dos nuevas interrogantes: ¿qué son? y ¿de dónde provienen?

1. ¿QUÉ SON LOS RAYOS CÓSMICOS?

1.2.1 ¿Qué son los rayos cósmicos?

Originalmente se pensó que la radiación cósmica era debida a fotones de muy alta energía, superior a los rayos γ o a la radiación β^2 . Con esta idea, el propio Millikan creía que los rayos cósmicos eran energía liberada en el proceso de fusión de átomos de hidrógeno al convertirse en elementos más pesados.

Sin embargo, a través de sus experimentos, Bothe y Kolhörster detectaron una “radiación corpuscular” por la cual podrían ser explicados los efectos hasta entonces conocidos de la radiación de muy alta energía. Mostraban de esta forma, una de las primeras pruebas de que la radiación cósmica estaba compuesta por partículas.

En 1930 Arthur Holly Compton llevó a cabo un programa de investigación en sesenta y nueve estaciones alrededor del mundo, en el cual se realizaron mediciones de la intensidad de los rayos cósmicos utilizando instrumentos similares y calibrados por una cápsula patrón. Sus observaciones confirmaron finalmente que los rayos cósmicos eran partículas cargadas.

Actualmente se sabe que los rayos cósmicos están formados principalmente por protones y en menor proporción partículas α^3 y otros núcleos más pesados. La tabla 1.1 muestra un valor aproximado de la composición de los rayos cósmicos.

Tabla 1.1: Composición de los rayos cósmicos

Grupo	Elemento	Abundancia en los RC (%)
Protón	H	93
Alfa	He	6.3
L	Li, Be, B	0.1
M	C, N, O, F	0.42
H	Ne \rightarrow K	0.14
VH	Ca \rightarrow Zn	0.04
VVH	Ga \rightarrow U	2×10^{-6}
SH	$> U$	desconocido

²Posteriormente se descubrió que los rayos γ son fotones y los rayos β electrones.

³Núcleos de helio, formados por 2 protones y 2 neutrones

1.2.2 ¿De dónde provienen los rayos cósmicos?

Hasta el momento, sólo se sabe que la radiación cósmica llega a la Tierra desde diferentes direcciones del espacio y, aunque no se conoce su origen exacto, se tienen algunas teorías acerca de sus posibles fuentes.

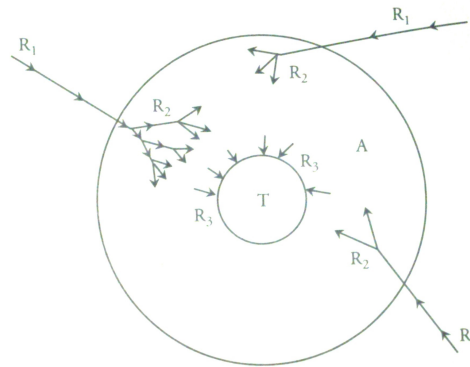


Figura 1.3: Incidencia de los rayos cósmicos. T: Tierra, A: Atmósfera, R_1 : Rayos cósmicos primarios, R_2 : Rayos cósmicos secundarios, R_3 : Rayos cósmicos a nivel del mar.

Una de estas posibles fuentes de rayos cósmicos es el Sol. En él, se generan reacciones de fusión nuclear con las cuales se produce helio a partir de hidrógeno⁴; los cuales son arrojados al espacio a grandes velocidades durante las ráfagas solares.



Figura 1.4: Remanente de la supernova SN 1006 visto en diferentes longitudes de onda.

En febrero de 2013 se publicó en la revista Science observaciones detalladas del remanente de la supernova *SN 1006* (Figura 1.4) realizadas por un equipo de astrónomos a través del telescopio VTL del European Southern Observatory, las cuales sugieren que en el gas de las regiones cercanas al frente de choque había protones moviéndose a altas velocidades.

Aunque estos protones no son precisamente rayos cósmicos, creen que son las partículas necesarias que al interactuar con el material del frente de choque alcanzan la energía suficiente para saltar al espacio como tales.

⁴El hidrógeno es el elemento más abundante en el Sol con alrededor del 90% de su composición, seguido por el helio con el 8%.

1. ¿QUÉ SON LOS RAYOS CÓSMICOS?

1.3 Las nuevas partículas

Como se vio previamente, los rayos cósmicos están compuestos principalmente por protones y partículas α . Estas partículas, que llegan desde el espacio exterior a la parte superior de la atmósfera terrestre, se denominan *rayos cósmicos primarios*.

Una vez que los rayos cósmicos primarios atraviesan la atmósfera interactúan con ésta produciendo diferentes partículas: los *rayos cósmicos secundarios*.

Dichas interacciones son producidas cuando alguna partícula de los rayos cósmicos colisiona con las moléculas contenidas en el aire y pueden ser de dos tipos: con la estructura electrónica del átomo o con el núcleo. El primer tipo de colisiones es más frecuente y generalmente provoca que un electrón sea liberado de la estructura del átomo colisionado, generando de esta forma un ion.

El segundo tipo de interacción se logra cuando la colisión es directamente con el núcleo del átomo provocando que este se desintegre e incrementando el número de partículas cargadas secundarias. Dependiendo de la energía de la partícula primaria este proceso se puede clasificar en tres diferentes: componente *nucleónica*, componente *mesónica* y componente *electromagnética*.

1.3.1 Componente nucleónica

La desintegración de un átomo colisionado por una partícula primaria de baja energía da lugar a esta componente, en la cual se producen neutrones y protones. Estos, a pesar de tener una menor energía que la partícula primaria, tienen la suficiente como para interactuar con nuevos átomos, generando lo que se conoce como “proceso de cascada”.

1.3.2 Componente mesónica

Cuando la partícula primaria tiene mayor energía, la interacción nuclear no es elástica⁵ y parte de la energía total se utiliza en la creación de un nuevo tipo de partículas y en proveerles energía cinética. Estas nuevas partículas son conocidas como *mesones π* o *piones*.

⁵En un proceso elástico, la cantidad de movimiento y la energía cinética total se conservan. Al contrario, en un proceso inelástico una fracción de la energía de la partícula incidente es absorbida por el núcleo del átomo colisionado el cual queda, a su vez, excitado.

Los piones existen en tres diferentes estados de carga: piones positivos (π^+), piones negativos (π^-) o piones neutros (π^0). Y, como todas las partículas que son creadas mediante interacciones nucleares son inestables, por lo tanto decaen en uno o varios pasos hasta convertirse en partículas estables. Si su estado de carga es positivo o negativo, los piones se desintegran en *mesones* μ o *muones*, mientras que si su estado de carga es neutro estos decaen en rayos γ .

Los muones son partículas cargadas con una masa intermedia entre la del electrón y la del protón. Tienen interacciones electromagnéticas débiles por lo que pueden atravesar grandes distancias en la materia sin ser absorbidos, debido a esto más de la mitad de la radiación cósmica que llega a la superficie de la Tierra está constituida por este tipo de partículas. Finalmente, decaen en electrones, positrones(e^+) y neutrinos(V).

1.3.3 Componente electromagnética

La componente electromagnética está formada principalmente por los electrones y positrones resultado del decaimiento de los mesones, de procesos de ionización, producción de pares y cascadas fotón-electrón. Los positrones tienden a desaparecer por el proceso de aniquilación con los electrones de los átomos de la atmósfera.

La tabla 1.2 muestra algunos datos de las partículas encontradas en los rayos cósmicos.

Tabla 1.2: Partículas elementales encontradas en la radiación cósmica

Nombre	Símbolo	Antipartícula	Símbolo	Vida media [s]	Decaimiento
Fotón	γ	Fotón	γ	estable	
Protón	p	antiprotón	\bar{p}	estable	
Electrón	e^-	Positrón	e^+	estable	
Neutrino	V_e o V_μ	Antineutrino	\bar{V}_e o \bar{V}_μ	estable	
Neutrón	n	Antineutrón	\bar{n}	1 013	$p + e^- + \bar{V}_e$
Muon neg.	μ^-	Muon pos.	μ^+	2.2×10^{-6}	$e^- + V_e + V_\mu$
Muon pos.	μ^+	Muon neg.	μ^-	2.2×10^{-6}	$e^+ + \bar{V}_e + \bar{V}_\mu$
Pión pos.	π^+	Pión neg.	π^-	2.6×10^{-8}	$\mu^+ + V_\mu$
Pión neg.	π^-	Pión pos.	π^+	2.6×10^{-8}	$\mu^- + \bar{V}_\mu$
Pión neutro	π^0	Pión neutro	π^0	1.8×10^{-16}	$\gamma + \gamma$

El observatorio de rayos cósmicos de Ciudad Universitaria

Con el propósito de establecer una red internacional de estaciones para el estudio de la distribución geográfica de los rayos cósmicos, Arthur Holly Compton organizó una expedición por Canadá, Estados Unidos, Nueva Zelanda, Australia, Perú y México, para lo cual se necesitó establecer contacto con personas e instituciones en los lugares donde se pretendía tomar las mediciones.

En México, este contacto se realizó a través de Manuel Sandoval Vallarta, quien era profesor en el Instituto Tecnológico de Massachusetts (MIT, por sus siglas en inglés), y con un grupo de ingenieros de la Universidad Nacional Autónoma de México.

2.1 La red internacional de rayos cósmicos

El Departamento de Magnetismo Terrestre (DTM), creado a principios del siglo *XX* por la Institución Carnegie de Washington (CIW), coordinó varias expediciones alrededor del mundo para realizar el mapeo del magnetismo terrestre. De manera análoga a estas expediciones, Compton organizó a ocho grupos que se encargarían de realizar mediciones de los rayos cósmicos, los cuales se distribuyeron en regiones, cada uno dirigido por un experto:

- 1) J. C. Stearns (University of Denver) y A. H. Compton (University of Chicago) en Colorado y Suiza.
- 2) A. H. Compton (University of Chicago) en Hawaii, Nueva Zelanda, Australia, Panamá, Perú, México, norte de Canadá, Michigan e Illinois.

2. EL OBSERVATORIO DE RAYOS CÓSMICOS DE CIUDAD UNIVERSITARIA

- 3) R. D. Bennett (MIT) en Alaska, California, Colorado y Cambridge.
- 4) E. O. Wollan (University of Chicago) en Chicago, Spitzbergen y Suiza.
- 5) Allen Carpe (New York City University) en Alaska.
- 6) S. M. Naude (University of Capetown) en Sudáfrica.
- 7) J. M. Benade (Forman Christian College) en India, Ceylán, Malasia, Java y Lad akh.
- 8) P. G. Ledig (DTM) en Sudamérica.

Desde entonces, esta red de observatorios cuenta con más de cincuenta estaciones alrededor del mundo para la detección de rayos cósmicos (Figura 2.1), entre los que figuran el *Observatorio de Rayos Cósmicos* de Ciudad Universitaria y el *Telescopio de Neutrones Solares* ubicado en el volcán Sierra Negra en Puebla.

2.2 Los rayos cósmicos en México

La expedición realizada por Compton en territorio mexicano se llevó a cabo gracias al contacto con el Dr. Manuel Sandoval Vallarta, quien recomendó el Nevado de Toluca como sitio apto para la medición de los rayos cósmicos.

Durante su estancia en México, Compton impartió una conferencia acerca de rayos cósmicos para los miembros de la Sociedad Científica Antonio Alzate (SCAA), la Sociedad de Geografía y Estadística y la Sociedad de Ingenieros y Arquitectos, siendo esta el primer acercamiento sobre el tema en el país.

Posteriormente se realizaron otras expediciones, las cuales tenían la intención de detectar el efecto azimutal⁶ de la radiación cósmica. Dichas expediciones fueron realizadas en 1933, de manera separada, por Luis Álvarez y Thomas Johnson.

Lamentablemente, ninguno de los instrumentos que se habían utilizado durante las expediciones habían permanecido en el país.

⁶La teoría Lemaitre-Vallarta establece que el campo magnético terrestre desvía la trayectoria original de las partículas de los rayos cósmicos, de forma que, si estos estaban cargados positivamente llegarían principalmente del oeste, en cambio, si eran negativos llegarían por el este.

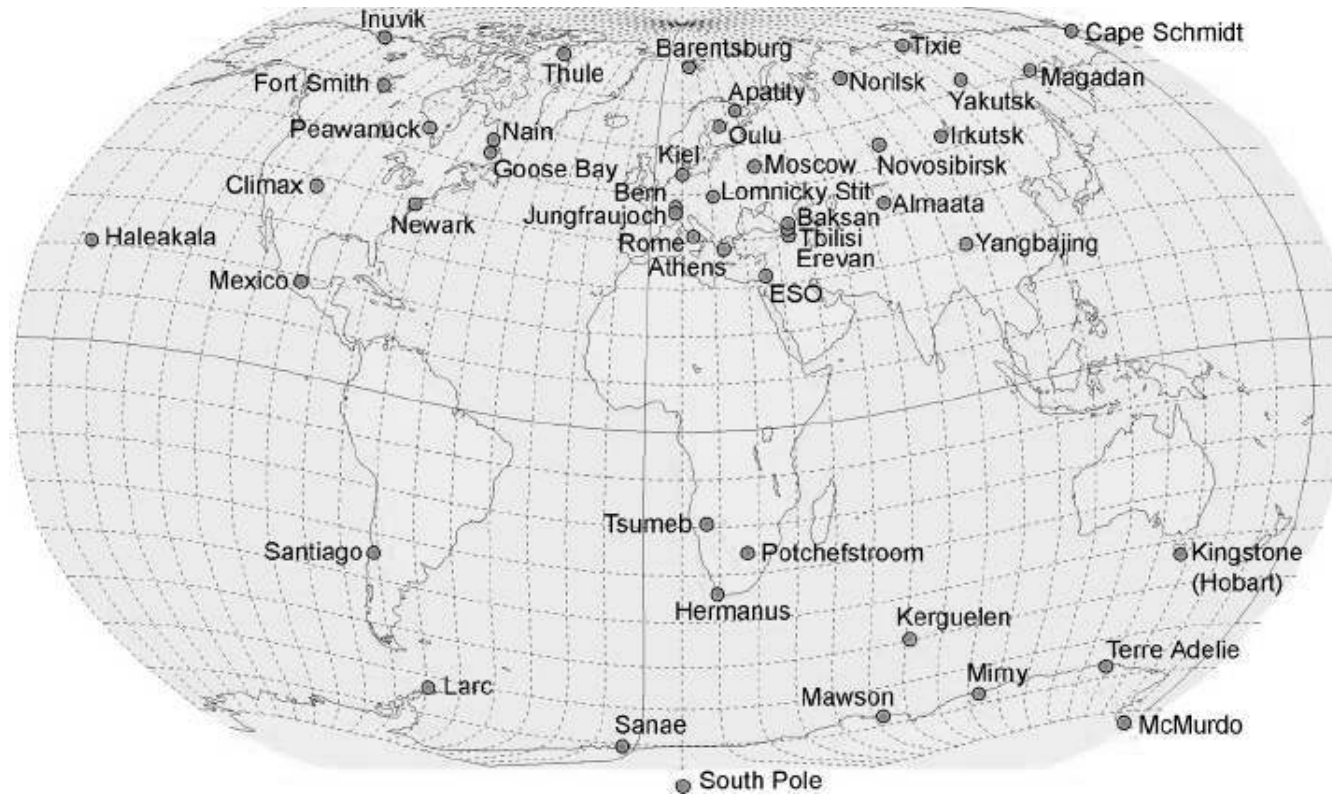


Figura 2.1: Mapa con la ubicación de algunas de las estaciones de observación de rayos cósmicos.

2. EL OBSERVATORIO DE RAYOS CÓSMICOS DE CIUDAD UNIVERSITARIA

Fue hasta 1934 cuando Compton planeó la colocación de una estación de medición de los rayos cósmicos, para lo cual consultó nuevamente a Sandoval Vallarta con quien decidió la mejor ubicación. En esta ocasión se pensó en utilizar el observatorio magnético de Teoloyucan, al norte de la Ciudad de México, en el cual se instaló un “cosmic ray-meter” para continuar con las mediciones del efecto latitudinal de los rayos cósmicos⁷, este instrumento entró en funcionamiento en el año de 1937.

En ese mismo año, se firmó un acuerdo de colaboración entre el MIT, la Universidad de Chicago y la Escuela Nacional de Ciencias Físicas y Matemáticas (promovido por Sandoval Vallarta, Compton y Monges López) con el cual se realizaría la construcción e instalación de un contador de coincidencias de rayos cósmicos en la Ciudad de México.

En dicho acuerdo se estableció que el MIT y la Universidad de Chicago se encargarían de suministrar el equipo necesario para la construcción del contador, en tanto que la UNAM colaboraría con personal calificado y con las instalaciones, las cuales fueron hubicadas en el Palacio de Minería.

La tabla 2.1 muestra algunas de las expediciones realizadas en territorio mexicano con el fin de obtener información sobre los rayos cósmicos.

2.3 Observatorio Javier A. Otaola Lizarzaburu

Con motivo del Año Geofísico Internacional la Universidad de Chicago donó un monitor de neutrones IGY que fue instalado en el Pabellón de rayos cósmicos en Ciudad Universitaria, una estructura basada en un paraboloide hiperbólico diseñada por el arquitecto español Felix Candela Outeriño.



Figura 2.2: Manuel Sandoval Vallarta, pionero en el tema de rayos cósmicos en México.

⁷Debido a que los rayos cósmicos son partículas cargadas, la cantidad que llega a la superficie terrestre es diferente para cada latitud, siendo mayor en los polos magnéticos.

Tabla 2.1: Expediciones para la investigación de los rayos cósmicos realizadas a México

Fecha	Líder de expedición	Instrumentos	Lugares visitados	Colaboradores mexicanos	Objetivos
Agosto 1932	Arthur H. Compton	Cosmic ray-meter	Veracruz, Orizaba, Cd. de México, Nevado de Toluca	Sandoval Vallarta	Probar el efecto latitudinal
Marzo a Abril 1933	Luis Alvarez	Contador de doble coincidencia	CD. de México	Sandoval Vallarta	Detectar el efecto azimutal
Marzo a Abril 1933	Thomas Johnson	Contador de doble coincidencia	Hotel Génève en la Cd. de México	Sandoval Vallarta	Detectar el efecto azimutal
Septiembre a Octubre 1934	Thomas Johnson Lews Fussel	Seven coincidence counter	Copilco, San Rafael, Veracruz, Nevado de Toluca, Parral	Sandoval Vallarta César R. Margian Ricardo Monges	Medir el efecto azimutal
1937	Sandoval Vallarta	Equipo para construir un contador de coincidencia triple	Escuela Nacional de Ingenieros UNAM	Ricardo Monges Jorge Graf Efrén Casillas Alfredo Baños Manuel Perrusquia	Instalación de una estación de rayos cósmicos
1937	Arthur H. Compton	Cosmic ray-meter	Teoloyucan	Alfonso Vaca Joaquín Gallo	Instalación de instrumentos en el Observatorio Magnético de Teoloyucan
1941	Arthur H. Compton		Teoloyucan	Alfonso Vaca Joaquín Gallo	Calibración de los instrumentos del Observatorio Magnético de Teoloyucan

2. EL OBSERVATORIO DE RAYOS CÓSMICOS DE CIUDAD UNIVERSITARIA

Este monitor utilizaba un sistema de adquisición de datos basado en un contador mecánico; una cámara cinematográfica que tomaba una película del registro del contador cada 15 minutos.



Figura 2.3: Antiguo Pabellón de rayos cósmicos.

En el año de 1964 el Instituto de Geofísica comenzó la instalación de un monitor de neutrones NM64 con equipo donado por el Dr. John Bland, el cual comenzó a funcionar en conjunto con el monitor IGY a principios de 1975. En el mismo año, el monitor de neutrones IGY fue desmantelado y puesto en exhibición en el Museo de Geofísica de la Ciudad de México, mientras que el Pabellón de rayos cósmicos pasó a formar parte del conjunto de edificios de la Facultad de Odontología de la UNAM (Figura 2.3).

A partir de su instalación, el monitor de neutrones NM64 recogió datos de forma similar al monitor IGY pero con un tiempo de acumulación de 5 minutos. Sin embargo el funcionamiento de este no era el adecuado debido a errores en su construcción, por lo que un año después de comenzar a funcionar el Dr. Javier Alejandro Otaola Lizarzaburu, quien queda a cargo del observatorio y tras realizar un estudio en los datos del monitor, decide desmantelarlo y llevar a cabo su reconstrucción (Figura 2.4).

Con la ayuda del Ing. Octavio Musalem Clemente desarrolla un sistema de adquisición de datos basado en tecnología digital y algunos años más tarde, con la ayuda del físico Alejandro Hurtado logran almacenar los datos en una PC.

Al fallecer el Dr. Javier Alejandro Otaola Lizarzaburu en el año de 1995, el Observatorio quedo bajo la responsabilidad del Dr. José Francisco Valdés Galicia, quien había sido su alumno. Durante su dirección, se realiza la



Figura 2.4: Observatorio Javier A. Otaola Lizarzaburu, ubicado dentro del conjunto de edificios de la Facultad de Medicina Veterinaria y Zootecnia.

2.4 Los detectores en el observatorio de rayos cósmicos

instalación de un telescopio de muones, el cual se encuentra en funcionamiento desde el año 2008.

Entre las aportaciones que el observatorio ha dado a la comunidad científica se encuentran:

- Detección de protones solares de hasta $15[GeV]$ ⁸ el 29 de septiembre de 1989. El evento solar más grande que se ha podido detectar en los últimos años.
- Detección del evento de neutrones solares del 24 de mayo de 1990.
- Hallazgo de una variación de 115 días en el ciclo solar.
- Análisis de los efectos de campos eléctricos atmosféricos en los rayos cósmicos detectados en la superficie.
- Aportación de los datos necesarios para la calibración de los detectores de la Universidad de Roma en 1995.

Actualmente, el observatorio se encuentra trabajando las 24 horas del día, los 365 días del año, bajo la dirección del Dr. José Francisco Valdés Galicia y del grupo de rayos cósmicos, entre los que figura el Ing. Marcos Alfonso Anzorena Méndez, quien ha apoyado en la realización de éste trabajo.

2.4 Los detectores en el observatorio de rayos cósmicos

La detección de los rayos cósmicos en el Observatorio Javier A. Otaola Lizarzaburu se realiza gracias a dos detectores, el *Super Monitor de Neutrones* y el *Telescopio de Muones*.

2.4.1 El Super Monitor de Neutrones

El Super Monitor de Neutrones NM64 fue diseñado en el año de 1964 por Hugh Carmichael y utilizado como detector de rayos cósmicos estándar en el congreso International Quiet Sun Year (IQSY).

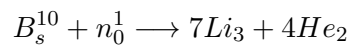
⁸El electronvolt [eV] es la unidad que representa la energía cinética que adquiere un electrón cuando es acelerado por una diferencia de potencial de $1[V]$ y equivale a $1.602 \times 10^{-19}[J]$.

2. EL OBSERVATORIO DE RAYOS CÓSMICOS DE CIUDAD UNIVERSITARIA

El monitor que se encuentra en el observatorio de Ciudad Universitaria (Figura 2.5) cuenta con 3 unidades eléctricamente independientes, cada una conformada por dos contadores por sección y tiene una resolución de hasta 750 00 cuentas por hora.

Este detector esta formado por cuatro partes fundamentales:

- 1) **Productor.** Produce localmente los neutrones a detectar mediante un anillo de plomo.
- 2) **Moderador.** Es una capa de polietileno cuyo objetivo es disminuir la velocidad de los neutrones incidentes para poder aumentar la probabilidad de que sean detectados.
- 3) **Reflector.** Evita que los neutrones creados en el productor escapen y que los neutrones de baja energía externos al monitor afecten su respuesta.
- 4) **Contador proporcional.** En su interior tiene trifluoruro de boro (BF_3) enriquecido al 96% con el isótopo de Boro B^{10} a una presión de 0.27[bar]. Los neutrones incidentes generan una reacción química con el Boro produciendo Litio y Helio:



Las partículas de Helio son recolectadas por el cátodo provocando una corriente eléctrica que es detectada.

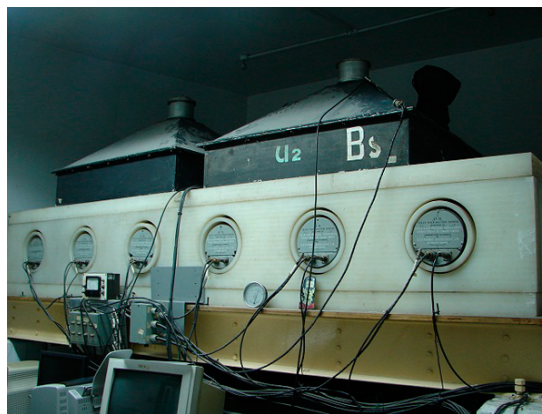


Figura 2.5: Detectores de rayos cósmicos. En la parte superior se ve el Telescopio de muones, mientras que en el centro el Super Monitor de Neutrones.

2.4.2 El Telescopio de muones

El segundo detector con que cuenta el Observatorio Javier A. Otaola Lizarzaburu es el Telescopio de muones que se encuentra ubicado por encima y por debajo del Super Monitor de Neutrones NM64, como se muestra en la Figura 2.6.

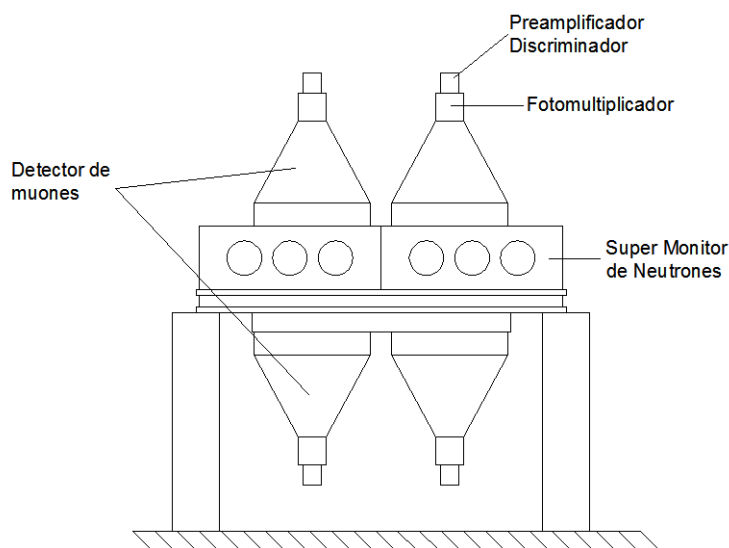


Figura 2.6: Diagrama de la ubicación de los detectores.

El funcionamiento del detector de muones se basa en la utilización de plásticos centelleadores hechos de polivinil-tolueno en los que hay disuelto un centellador orgánico conocido como P-Terphenil. Estos plásticos tienen la propiedad de producir fotones fluorescentes cuando una partícula cargada pasa a través de ellos.

Posteriormente, los fotones generados en el centellador pasan al fotocátodo del fotomultiplicador (Figura 2.7) el cual, debido al efecto fotoeléctrico, libera electrones que son acelerados en un arreglo de elementos llamados “dinodos”.

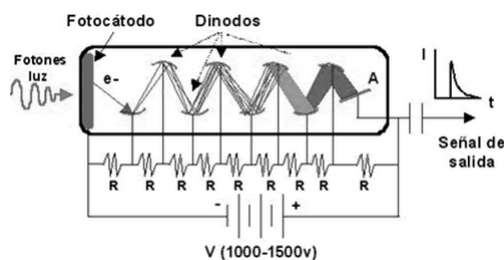


Figura 2.7: Funcionamiento del fotomultiplicador.

2. EL OBSERVATORIO DE RAYOS CÓSMICOS DE CIUDAD UNIVERSITARIA

De esta forma, el fotomultiplicador actúa como transductor convirtiendo los pulsos luminosos de los fotones en pulsos eléctricos. Este se encuentra polarizado con un voltaje negativo de $-1300[V]$ y dado que la sensibilidad del fotocátodo es de aproximadamente $110[\mu A/lm]$ se obtiene un voltaje de salida mínimo de alrededor de $-150[mV]$ el cual es suficiente para la detección de muones.

Los pulsos que se obtienen del fotomultiplicador son amplificados por un amplificador inversor y, posteriormente, pasan por un circuito limitador de altura que los recorta a una amplitud máxima de $350[mV]$ y por un circuito discriminador que excluye todos los pulsos cuya amplitud se encuentra por debajo de los $250[mV]$.

Este nuevo tren de pulsos es enviado a un sistema digital que funciona bajo el estándar NIM⁹, por lo que es necesario volver a invertir la señal.

En este sistema se lleva a cabo la cuenta del número de pulsos que hay en un intervalo de tiempo, para lo cual se realiza el registro de 14 canales diferentes de la siguiente manera:

- 8 canales independientes que corresponden a cada uno de los centelladores que conforman el telescopio.
- 1 canal “superior” que detecta la incidencia en alguno de los cuatro detectores del plano superior.
- 1 canal “vertical” para detectar la coincidencia entre uno de los detectores superiores y su correspondiente detector inferior.
- 1 canal “norte” que detecta coincidencias producidas por partículas provenientes del norte.
- 1 canal “sur” para partículas del sur
- 1 canal “este” para partículas del este
- 1 canal “oeste” para partículas del oeste

⁹El estándar NIM (Nuclear Instrumentation Modules) define sus propios niveles lógicos de voltaje. Para el cero lógico establece un voltaje de $-100[mV]$, mientras que para el uno lógico permite un voltaje entre $-600[mV]$ y $-1.6[V]$.

2.4 Los detectores en el observatorio de rayos cósmicos

Es importante mencionar que las coincidencias detectadas por los últimos 5 canales se deben a la forma en que están colocados los centelladores; cuatro en el plano superior y cuatro en el plano inferior. Gracias a este arreglo es posible conocer la procedencia de la partícula detectada (Figura 2.8), razón por la cual el sistema recibe el adjetivo de “telescopio”.

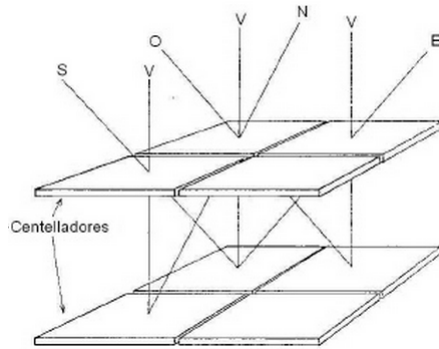


Figura 2.8: Posibles direcciones de incidencia del Telescopio de muones.

Convertidores tiempo-digital

La medición precisa del tiempo que transcurre entre dos eventos y con la mejor resolución posible es un reto común en control industrial, sistemas electrónicos embebidos, investigación científica, instrumentación, entre otros campos.

Como respuesta a esta problemática surgieron los *convertidores tiempo-digital* o *TDC* (*time-to-digital converters*).

3.1 ¿Qué es un convertidor tiempo-digital?

Un convertidor tiempo-digital es un circuito diseñado de tal manera que permite realizar la medición de intervalos de tiempo y expresar sus resultados de forma digital.

Básicamente, un TDC realiza la medición del tiempo que pasa entre dos señales eléctricas que son aplicadas en sus terminales de entrada (Figura 3.1). El resultado del tiempo medido es almacenado, procesado o mostrado en forma de código binario, BCD, Johnson, Gray, displays de 7 segmentos o LDC, o algún otro dependiendo la aplicación que se le dé.

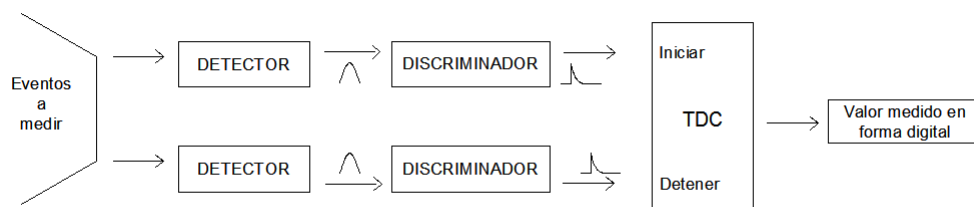


Figura 3.1: Funcionamiento básico de un TDC.

3. CONVERTIDORES TIEMPO-DIGITAL

Existen diferentes métodos para realizar un TDC, cada uno de ellos con ventajas y desventajas sobre el resto. Por esta razón, es necesario conocer ciertos parámetros que ayudarán a decidir que método será más conveniente para las diferentes necesidades. Los más importantes son:

- **Rango de medición.** Tiempo máximo que podrá ser medido.
- **Precisión.** Desviación entre el tiempo medido por el TDC y el tiempo transcurrido realmente.
- **Resolución.** Tiempo mínimo que podrá ser medido. Como se trata de un formato digital, se considera como el valor de tiempo asociado al bit menos significativo (LSB).
- **Tiempo muerto.** Mínimo lapso de tiempo que transcurre entre el termino de una medición y el inicio de la siguiente.
- **Velocidad de salida de lectura.** Tiempo mínimo que tarda el TDC en almacenar, enviar o mostrar los datos una vez realizada la medición.
- **No linealidades.** Debidas a elementos internos o externos al TDC.

Es posible clasificar a los convertidores tiempo-digital de dos diferentes formas. La primera clasificación los divide en dos grandes grupos según la manera en que hacen la medición; “analógicos”, si existe un elemento con esta característica en el circuito o “digitales”, si no los hay. La segunda clasificación se hace de acuerdo al método que utilizan para realizar la medición, la cual, para fines de este trabajo, se desarrolla a continuación.

3.2 Métodos de medición

Existen métodos muy variados con los que un TDC puede realizar la medición del tiempo, los cuales se pueden clasificar en:

- 1) Conteo amplio.
- 2) Medición fina.
- 3) Interpolación.

3.2.1 Conteo amplio

Los convertidores tiempo-digital que realizan la medición a través de este método son comúnmente llamados “contadores” y son los más sencillos de implementar.

La forma más básica de hacer un contador es mediante flip-flops conectados en cascada (Figura 3.2) los cuales entregan el valor de la medición en forma de código binario.

La referencia de tiempo de los contadores esta basada en el reloj (CLK) que se encuentre conectado al sistema, por lo que su resolución es igual a un periodo de este:

$$LSB = T_0 = 1/f_0$$

Debido a esto, tienen la limitación de ofrecer poca resolución puesto que, en caso de desear disminuir dicho valor, se necesitaría de un reloj estable de alta frecuencia y flip-flops rápidos, los cuales son difíciles de obtener y de precios muy elevados.

Esta desventaja se hace más notable si el valor real a medir es asíncrono al reloj, ya que el valor medido será siempre un múltiplo entero de su periodo:

$$T_p = nT_0$$

Por lo que el error máximo es muy próximo a $\pm T_0$. Una forma de mejorar la medición, es realizando una serie de mediciones del mismo intervalo de tiempo T y promediando los resultados. Sin embargo, realizar esta operación necesita de una gran cantidad de tiempo.

En compensación, los contadores tienen un gran rango de medición:

$$RM = (2^N - 1)T_0$$

En donde N es el número de flip-flops conectados en cascada. El rango puede ser duplicado cada que se agrega un flip-flop más al circuito dependiendo de las necesidades de la medición.

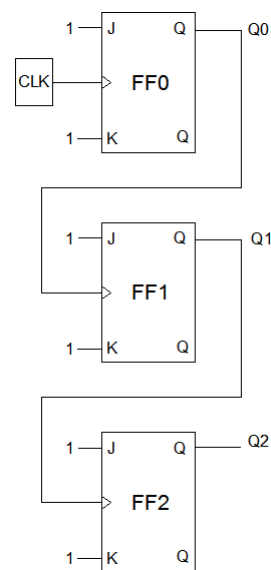


Figura 3.2: Contador a base de flip-flops JK.

3. CONVERTIDORES TIEMPO-DIGITAL

3.2.2 Medición fina

Los contadores tienen un buen funcionamiento cuando el tiempo que se pretende medir es mucho mayor al periodo de reloj, sin embargo, si este tiempo es menor o de algunos cuantos pulsos la medición se vuelve muy imprecisa y la resolución se pierde totalmente, generando un error considerable en la misma.

Es por eso que fue necesario implementar métodos diferentes que permitieran realizar la medición con la mejor resolución, la mejor precisión y el menor error posible. De esta manera surgieron los métodos de medición fina.

Existen diferentes métodos de medición fina, entre los cuales se encuentran:

- Conversión doble.
- Extensión de tiempo.
- Líneas de retraso.
- Método de Vernier.

3.2.2.1 Conversión doble

Este método realiza su operación apoyándose de un capacitor y un transistor (Figura 3.3) por lo que es clasificado dentro de los TDCs analógicos y recibe su nombre debido a que realiza la medición de tiempo en dos pasos.

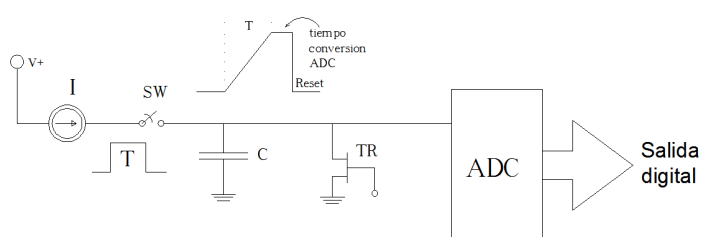


Figura 3.3: Circuito básico usado en el método de conversión doble.

En la primera conversión el capacitor C es cargado con una corriente constante I durante un lapso de tiempo T . Así, el voltaje final en el capacitor V_{eq} será equivalente al tiempo que se desea medir de acuerdo a la ecuación de carga del capacitor:

$$V_{eq} = \frac{I * T}{C}$$

Durante la segunda conversión, el voltaje V_{eq} es transformado en su equivalente valor binario a través del convertidor analógico-digital (ADC). Es este último dispositivo el que definirá algunos de los parámetros del TDC (resolución, rango de medición y tiempo muerto) por lo que es muy importante elegir adecuadamente un ADC que cumpla con los requerimientos de la medición y del circuito analógico empleado para tal fin.

Una vez concluida la conversión, el capacitor es descargado totalmente por medio del transistor TR , de esta forma se disminuye en gran medida el tiempo muerto. La Figura 3.4 muestra las señales implicadas en la medición.

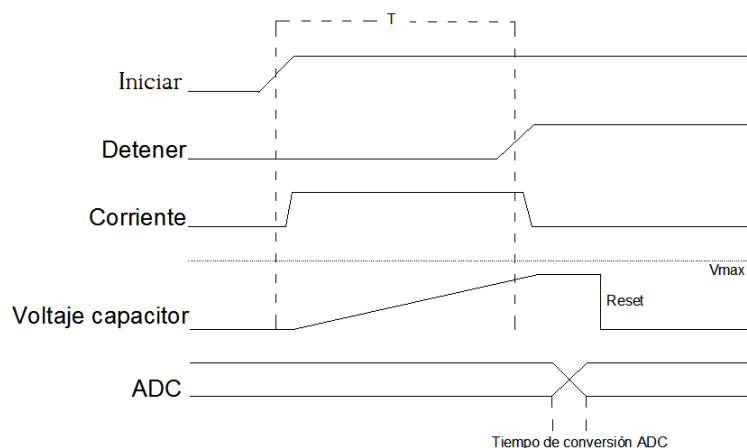


Figura 3.4: Señales en el método de conversión doble.

Por la forma en que está implementado este método, una vez realizado un circuito es muy difícil modificarlo para cambiar alguno de sus parámetros, de manera que estos TDCs son diseñados específicamente para cada aplicación, teniendo como gran desventaja que, si se desea cambiar la aplicación, es necesario volver a diseñar un TDC nuevo.

Otra desventaja que presentan este tipo de convertidores tiempo-digital es la gran cantidad de parámetros que pueden afectar la linealidad de la conversión, entre los que se pueden mencionar:

- No linealidad de la ecuación de carga del capacitor.
- Degradación del capacitor con el transcurso del tiempo.
- Resistencias parásitas en terminales de los componentes.
- Temperatura de operación.

3. CONVERTIDORES TIEMPO-DIGITAL

Por lo tanto, es necesario elegir cuidadosamente los componentes que se emplearán en su construcción; principalmente el capacitor, que debe ofrecer la mayor linealidad posible así como exactitud en su valor de capacitancia.

3.2.2.2 Extensión de tiempo

Al igual que el método de conversión doble, el método de extensión de tiempo también se puede clasificar como un TDC analógico, esto gracias a que emplea un capacitor y un diodo en su funcionamiento (Figura 3.5).

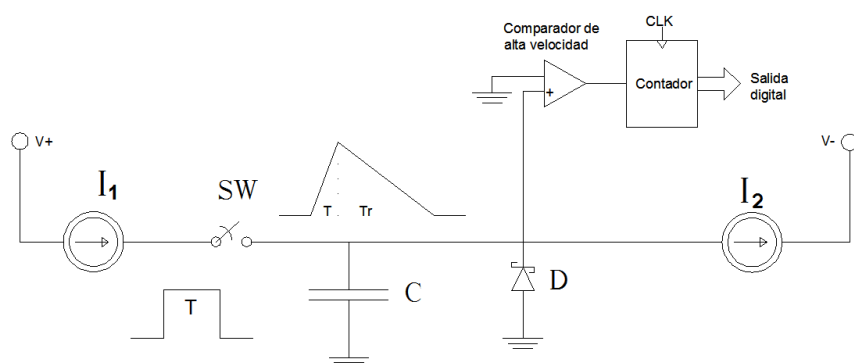


Figura 3.5: Circuito básico usado en el método de extensión de tiempo.

El modo de operación es el siguiente: mientras que el circuito se encuentre en condiciones iniciales el diodo D estará activado y conducirá una corriente $I_2 \ll I_1$, con lo cual el capacitor se mantendrá con un voltaje $V_{eq} = 0$.

Una vez que inicia la medición, el capacitor es cargado a través de una corriente constante $(I_1 - I_2)$ durante el tiempo T que se desea medir y posteriormente es descargado mediante una corriente mucho menor I_2 .

De esta forma, el tiempo de descarga del capacitor es “extendido” proporcionalmente al tiempo de carga del mismo:

$$T_r = K * T$$

En donde el “factor de extensión” queda definido como:

$$K = \frac{I_1 - I_2}{I_2}$$

Finalmente, el tiempo total ($T + T_r$) es detectado por un comparador y medido por un contador, el cual tendrá como resolución:

$$LSB = \frac{T_0}{K + 1}$$

En donde T_0 es el periodo del reloj asociado al sistema. Y, al igual que en el método de conteo amplio, el resultado de la medición será un múltiplo entero de su periodo de reloj, aunque en esta ocasión afectado por el “factor de extensión”:

$$T_p = \frac{nT_0}{K + 1}$$

Cómo se puede ver en su diagrama de señales (Figura 3.6), la operación del método de extensión de tiempo está basada en las rectas de carga y descarga del capacitor, por lo que es también conocido como el método de la doble rampa.

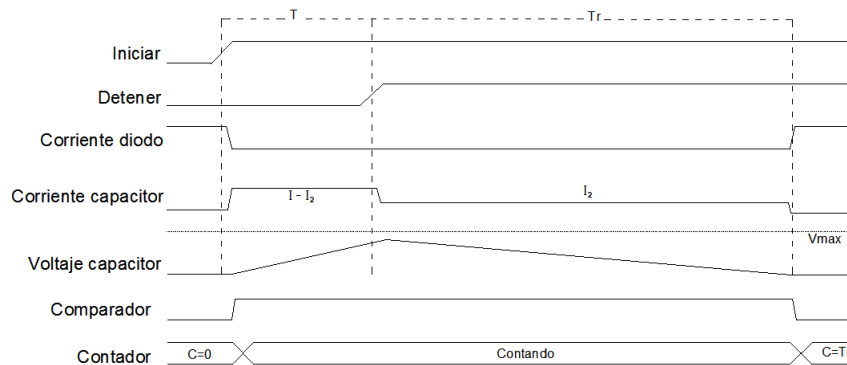


Figura 3.6: Señales en el método de extensión de tiempo.

En comparación con el método anterior, este método tiene mayor cantidad de variables que pueden ser modificadas si se desea cambiar alguno de sus parámetros de operación. Sin embargo, tiene como inconveniente el realizar la medición en un tiempo mucho mayor, lo que se traduce como un incremento en el tiempo muerto, además de que presenta las mismas desventajas en cuanto a no linealidades.

3.2.2.3 Líneas de retraso

Un atributo inherente a cualquier dispositivo, por más simple que este sea, es su tiempo de respuesta. Este se define como el tiempo que tarda una señal en “atravesar” dicho

3. CONVERTIDORES TIEMPO-DIGITAL

dispositivo y difiere en cada uno dependiendo de su complejidad y escala de integración, entre otros factores.

Es precisamente esta propiedad la que se utiliza como fundamento en el método de líneas de retraso. Este, como su nombre lo indica, concatena una serie de dispositivos lógicos¹⁰ que tienen el mismo tiempo de respuesta o retraso τ .

Aunque existen diferentes configuraciones para realizar un TDC mediante este método, en todas se realiza la misma operación: la señal para iniciar la medición se hace pasar a través de una cadena de N retrasos, propagándose un tiempo τ por cada elemento y, posteriormente, con la señal para detener se realiza el muestreo del estado actual de la “ubicación” de la señal de inicio en ese momento (Figura 3.7).

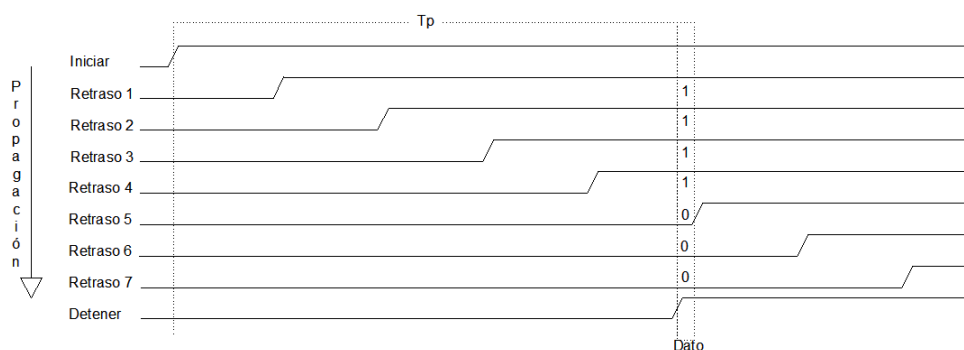


Figura 3.7: Propagación de la señal de inicio.

La forma más simple de implementar este método es creando la cadena de retrasos con flip-flops o latches (Figura 3.8a), de tal manera que la señal de inicio se propague consecutivamente por cada uno de estos elementos hasta el momento en que la señal *Detener* aparezca y detenga la propagación. Así, el dato mostrado por el TDC será en forma de código Unario¹¹ y el resultado de la medición será la suma de los n elementos con estado Q en alto por los que se propagó la señal:

$$T_p = n\tau$$

¹⁰Es posible utilizar cualquier dispositivo lógico como compuertas AND, OR, XOR, etcétera, ya que todos tienen un tiempo de respuesta. Sin embargo, los más utilizados son buffers, compuertas NOT y flip-flops.

¹¹El código Unario es una forma de codificación binaria que representa un número natural como una cadena de n unos, tal que el número de unos existentes en la cadena será igual al número representado.

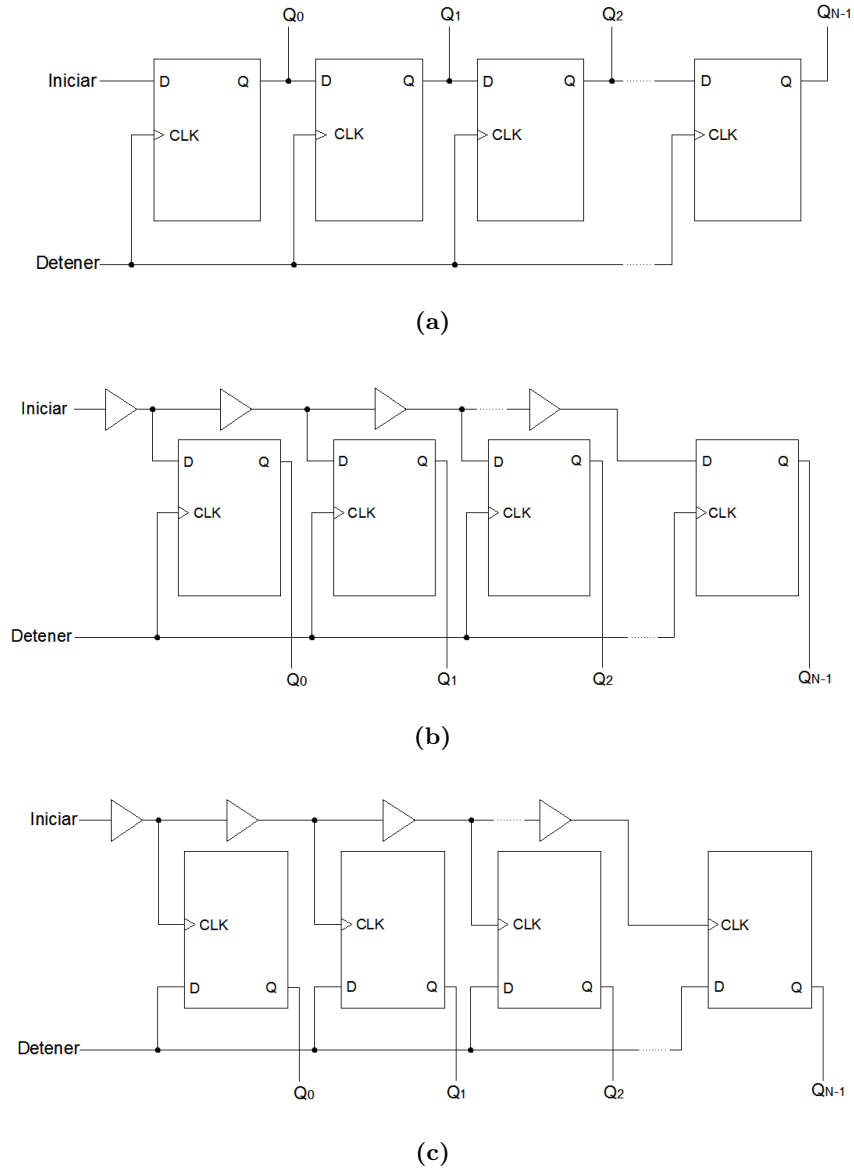


Figura 3.8: Diferentes maneras de implementar el método de líneas de retraso.

De la ecuación anterior se puede observar que la mínima lectura obtenida es cuando la señal de inicio se propaga a través de un solo elemento de retraso o, lo que es lo mismo, cuando $n = 1$.

Por lo tanto, la resolución queda definida como:

$$LSB = \tau$$

3. CONVERTIDORES TIEMPO-DIGITAL

Una segunda forma de implementar este método es mediante el circuito de la Figura 3.8b. En este esquema la propagación se realiza mediante una cadena de buffers, de la cual cada elemento de retraso está conectado a la entrada de dato de un flip-flop tipo D, mientras que a la entrada de reloj de este último se encuentra conectada la señal para detener la medición. Con esta configuración, cuando se presenta un flanco de subida en la señal detener, se obtiene la muestra del valor de la propagación en ese instante y se mantiene a la salida Q de los flip-flops pues, en comparación con la configuración anterior, la señal se seguirá propagando en la cadena de buffers.

La forma en que esta configuración muestra los datos obtenidos es exactamente la misma que en el primer circuito, al igual que las ecuaciones del tiempo medido (T_p) y de la resolución (LSB).

Si en el esquema anterior se intercambian las señales de entrada de los flip-flops (D y CLK) se obtiene el circuito mostrado en la Figura 3.8c. En este caso la señal de inicio va activando los flip-flops uno a uno en intervalos de tiempo τ provocando que, antes de la llegada de la señal *Detener*, las salidas de los flip-flops ya activados mantengan un estado Q en bajo mientras que, posterior a la llegada de la señal detener, los flip-flops mantendrán un estado Q en alto.

Debido a la manera en que realiza el muestreo, el dato obtenido con esta configuración también será en código Unario pero en complemento a unos, por tanto el tiempo medido será la suma de los n elementos por los que se propagó la señal, o sea, los que mantienen un estado Q en bajo. Aún así, la ecuación de la resolución sigue siendo la misma que en los dos casos anteriores.

El tiempo máximo que pueden llegar a medir cualquiera de las tres configuraciones mostradas es igual a la cantidad de elementos de retraso que estén concatenados:

$$RM = N\tau$$

Aunque es posible aumentar el rango de medición indefinidamente, esta opción es poco práctica debido a la cantidad de bits que conformarían el código de salida, por lo que normalmente se concatenan algunos cuantos cientos de elementos de retraso, limitando así este valor.

En cambio, tienen la enorme ventaja de realizar la operación de muestreo de manera casi inmediata por lo que, sin tomar en cuenta el tiempo de salida de la lectura, el tiempo muerto es totalmente despreciable.

Una gran desventaja que presentan estos convertidores tiempo-digital es que, en cualquiera de los casos, se idealiza el tiempo de retraso τ como un valor constante e igual para cada elemento, lo que en la realidad es erróneo. Sin embargo, es posible minimizar en gran medida este error implementando el TDC en dispositivos PLDs o ASICs.

3.2.2.4 Método de Vernier

El calibrador Vernier es una herramienta que permite realizar la medición de una distancia con gran precisión. Este instrumento, inventado por el matemático francés Pierre Vernier, utiliza una escala auxiliar ligeramente menor a la escala base, con la cual se puede obtener un resolución menor a la de ambas escalas.

Aunque este instrumento es el más conocido, el método ideado por Vernier se ha implementado en diferentes aplicaciones, entre ellas se encuentran los convertidores tiempo-digital. Es posible realizar diferentes configuraciones de un TDC mediante el método de Vernier, dos de ellas se presentan en las Figuras 3.9 y 3.11.

La primera configuración es conocida como método de Vernier con dos osciladores debido a que utiliza estos elementos para realizar la medición de tiempo.

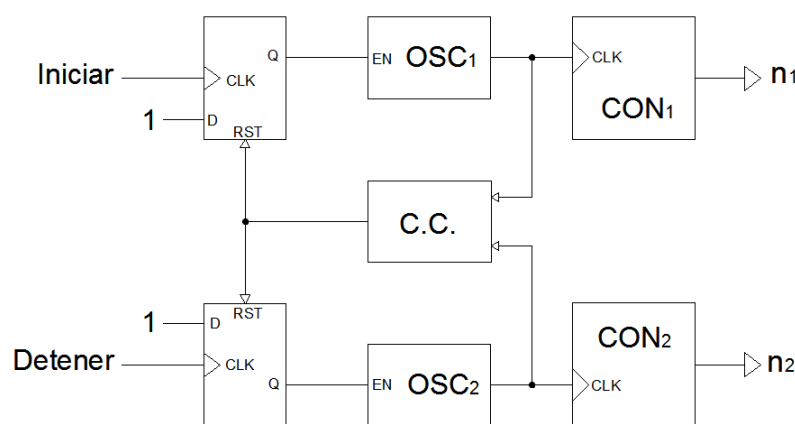


Figura 3.9: Método de Vernier con dos osciladores.

En este circuito, los osciladores OSC_1 y OSC_2 se encuentran, en un principio, deshabilitados ($Q = 0$) de manera que no hay ninguna oscilación, mientras que los contadores se mantienen con un valor $n_1 = n_2 = 0$.

3. CONVERTIDORES TIEMPO-DIGITAL

Cuando las señales *Iniciar* y *Detener* cambian el estado del flip-flop asociado a cada una ($Q = 1$) los osciladores comienzan a generar una oscilación tal que:

$$f_1 = \frac{1}{T_1} \quad y \quad f_2 = \frac{1}{T_2}$$

En donde la frecuencia f_2 es ligeramente menor que f_1 . Así, ambos osciladores se mantendrán activos hasta que el circuito de coincidencia (*C.C.*) detecte la coincidencia entre los flancos positivos de cada oscilación (Figura 3.10).

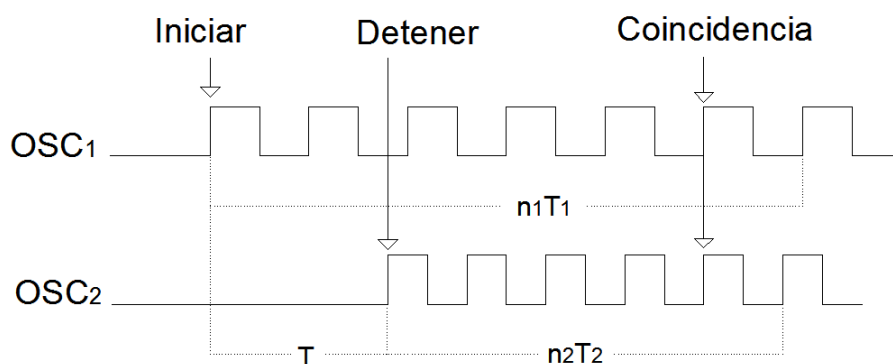


Figura 3.10: Principio de operación del método de Vernier con dos osciladores.

Una vez detectada la coincidencia, se reinician los flip-flops ($Q = 0$) y los osciladores vuelven a quedar deshabilitados, sin embargo, en esta ocasión los contadores CON_1 y CON_2 habrán realizado la cuenta de los ciclos transcurridos hasta la coincidencia más uno. Finalmente, el resultado de la medición estará dado por la ecuación:

$$T_p = (n_1 - 1)T_1 - (n_2 - 1)T_2 = (n_1 - n_2)T_1 + (n_2 - 1)r$$

En donde r es la resolución del convertidor tiempo-digital:

$$LSB = r = T_1 - T_2$$

Implementar un TDC mediante este método tiene la ventaja de que puede disminuir la resolución tanto como se desee aproximando el valor de T_2 a T_1 , sin embargo una gran desventaja es que, debido a que debe esperar hasta obtener una coincidencia entre ambas oscilaciones, el tiempo muerto suele ser mayor que en los métodos antes mencionados y realizar la anterior consideración aumenta aún más dicho tiempo.

Otra manera de implementar el método de Vernier es combinándolo con el método de líneas de retraso, lo que da como resultado un circuito como el mostrado en la Figura 3.11, el cual es conocido como método de líneas de retraso diferencial.

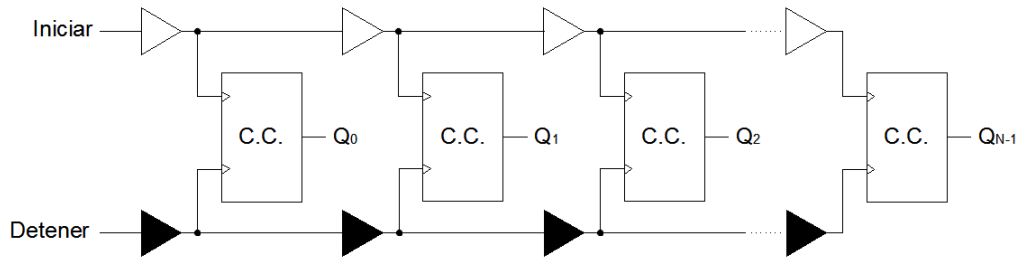


Figura 3.11: Implementación del método de Vernier con líneas de retraso.

En esta configuración se utilizan dos cadenas de buffers en las que todos los elementos de la primera cadena (en color blanco) tienen el mismo tiempo de respuesta τ_1 mientras que los elementos de la segunda cadena (en color negro) tienen un tiempo de respuesta $\tau_2 < \tau_1$. Con esta consideración y siguiendo el mismo principio del método de Vernier, la resolución que se puede obtener con esta configuración es:

$$LSB = \tau_1 - \tau_2$$

El principio de funcionamiento es el siguiente: las señales *Iniciar* y *Detener* se hacen pasar a través de su respectiva cadena de retrasos las cuales se encuentran conectadas a un circuito de coincidencia (C.C.) que relaciona uno a uno sus elementos y detecta cuando cambien de estado al mismo tiempo (Figura 3.12).

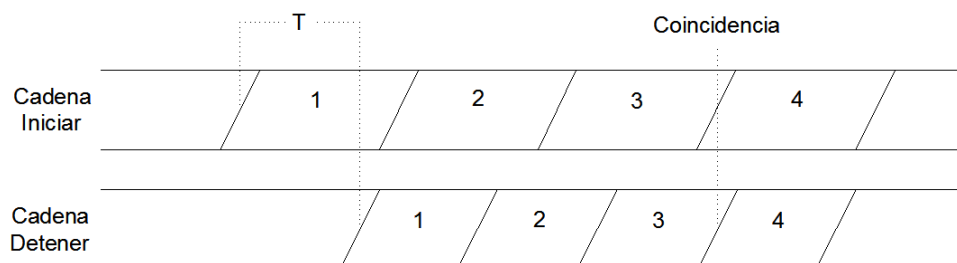


Figura 3.12: Principio de operación método de Vernier con líneas de retraso.

3. CONVERTIDORES TIEMPO-DIGITAL

El resultado mostrado por este circuito es una cadena de N bits en estado bajo ($Q = 0$) en la que uno solo se mantendrá en estado alto ($Q = 1$), dicho bit representa el n -ésimo elemento de ambas cadenas en el que se presentó la coincidencia de flancos y el tiempo medido podrá ser calculado por la formula:

$$T_p = n\tau_1 - n\tau_2$$

Con este método se puede mejorar en gran medida la resolución del método de líneas de retraso, sin embargo tiene dos inconvenientes; el primero es, como en la implementación con dos osciladores, que el tiempo muerto aumenta por tener que esperar una coincidencia entre los retrasos de ambas señales. El segundo, y de mayor importancia, es encontrar los elementos de cada una de las cadenas de manera que tengan diferente tiempo de respuesta pero que sean muy próximos entre sí por lo que estos elementos son comúnmente creados en dispositivos ASIC personalizados.

3.2.3 Interpolación

Las dos clasificaciones anteriores, conteo amplio y medición fina, parecen ser mutuamente excluyentes, mientras que en la primera se pueden medir grandes intervalos de tiempo pero con una resolución relativamente grande, en la otra se miden intervalos reducidos con resoluciones bastante más pequeñas.

Pero ¿qué hacer si fuese necesario medir grandes intervalos de tiempo con la mejor resolución posible? La respuesta es muy sencilla, simplemente se deben combinar ambas clasificaciones; gracias a esto surgieron los métodos de interpolación.

Para realizar la medición de tiempo estos métodos hacen uso de un contador que se encargará de ampliar el rango de medición y de alguno de los métodos digitales de medición fina (líneas de retraso o método de Vernier) con el que se logrará la máxima resolución posible. Tal acción es posible dividiendo el tiempo que se desea medir en tres intervalos: T_A , T_B y T_C (Figura 3.13).

El intervalo T_A esta definido entre la señal de *Inicio* y el primer flanco de subida del reloj asociado al sistema, por lo que es necesario utilizar un método de medición fina para poder contabilizar este tiempo.

T_B , el segundo intervalo, es el que se encuentra entre el primer pulso de reloj posterior a la señal *Inicio* y el siguiente a la llegada de la señal *Detener*. En este se hará la cuenta del mayor tiempo posible con poca resolución.

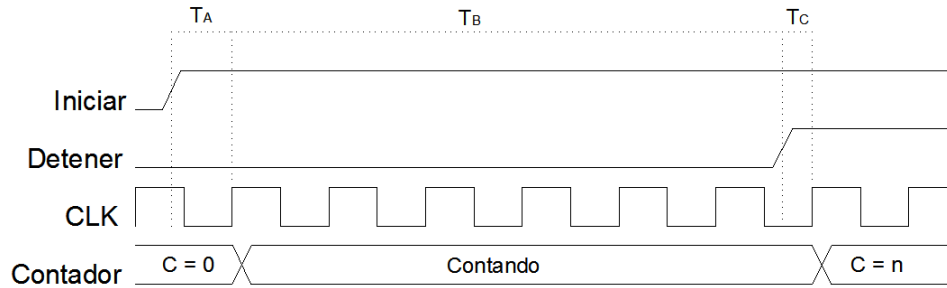


Figura 3.13: División del tiempo a medir en los métodos de interpolación.

El último intervalo, T_C , es el tiempo “extra” que contabiliza el contador después de que la señal *Detener* aparece y, al igual que en el intervalo T_A , se hace uso de un método de medición fina para medirlo.

Una vez obtenidas estas tres mediciones se calcula el tiempo medido mediante la ecuación:

$$T_P = T_A + T_B - T_C$$

Los convertidores tiempo-digital que utilizan el método de interpolación suelen “heredar” las ventajas de cada uno de los métodos empleados con lo que se logra minimizar las desventajas de cada uno. Sin embargo, también adquieren ciertas desventajas que de acuerdo al método empleado no es posible compensar, por lo que se debe elegir adecuadamente el método a emplear que represente la menor cantidad de inconvenientes para la aplicación deseada.

Existen también otras configuraciones del método de interpolación como son los TDCs basados en DLL (Delay-Locked-Loop) o PLL (Phase-Locked-Loop), convertidores multi-evento, contracción de pulso, entre otros, los cuales debido a su gran complejidad y a la cantidad de variables que se toman en cuenta para su implementación son creados en dispositivos ASIC con parámetros fijos para aplicaciones específicas.

3.3 ¿Qué método implementar?

Una vez expuestas algunas de las configuraciones más utilizadas para realizar un convertidor tiempo-digital es necesario saber cual de todas ellas es óptima para poder cubrir las características mencionadas en la introducción de este trabajo.

3. CONVERTIDORES TIEMPO-DIGITAL

A partir de la tabla 3.1, en la que se hizo una recopilación de las ventajas y desventajas de los métodos vistos en la sección anterior, se puede observar que el método que permite implementar un convertidor tiempo-digital que satisfaga con las características necesarias es el método de líneas de retraso.

Tabla 3.1: Ventajas y desventajas de las diferentes configuraciones de implementación de un convertidor tiempo-digital.

Configuración	Ventajas	Desventajas
Conteo amplio	<ul style="list-style-type: none"> • Rango de medición flexible • Tiempo muerto puede ser reducido con reinicio paralelo a los flip-flops. 	<ul style="list-style-type: none"> • Resolución limitada por el reloj • Mejorar la resolución aumenta el tiempo muerto
Conversión doble	<ul style="list-style-type: none"> • Buena resolución • Tiempo muerto disminuye con el transistor TR 	<ul style="list-style-type: none"> • Diseño fijo • ADC limita algunos parámetros del TDC • Muchas no linealidades
Extensión de tiempo	<ul style="list-style-type: none"> • Buena resolución • Diseño flexible 	<ul style="list-style-type: none"> • Tiempo muerto muy grande • Muchas no linealidades
Líneas de retraso	<ul style="list-style-type: none"> • Buena resolución • Rango de medición flexible • Tiempo muerto casi nulo 	<ul style="list-style-type: none"> • Retrasos τ idealmente iguales
Método de Vernier	<ul style="list-style-type: none"> • Buena resolución 	<ul style="list-style-type: none"> • Tiempo muerto muy grande • Implementación en dispositivos ASIC personalizados
Interpolación	<ul style="list-style-type: none"> • Buena resolución • Rango de medición flexible 	<ul style="list-style-type: none"> • Tiempo muerto grande • Otras desventajas dependiendo del método empleado

Con este método se podrá obtener una medición con buena resolución, un rango de medición ajustable al solicitado y un tiempo muerto que dependerá únicamente de la forma en que se procese la información obtenida.

Sin embargo, como se mencionó en la descripción del método, el tiempo τ se idealiza como un valor igual. Para lograr esta consideración, el circuito se implementará en un dispositivo lógico programable, más concretamente en un FPGA.

Arreglos de Compuertas Programables en Campo

Dentro del mundo de los circuitos integrados digitales existen cuatro diferentes categorías como muestra la Figura 4.1. La primera se refiere a los dispositivos de lógica estándar como son compuertas, flip-flops o contadores, los que son implementados principalmente en chips con tecnología TTL (Transistor-Transistor Logic), CMOS (Complementary metal-oxide semiconductor) o ECL (Emitter-Coupled Logic).

En otro grupo se encuentran los microprocesadores y DSPs (Digital Signal Processors) los cuales contienen diversos bloques funcionales que permiten el control de diferentes dispositivos de manera electrónica, así como el manejo de datos a través de la ejecución paso a paso de una serie de instrucciones.

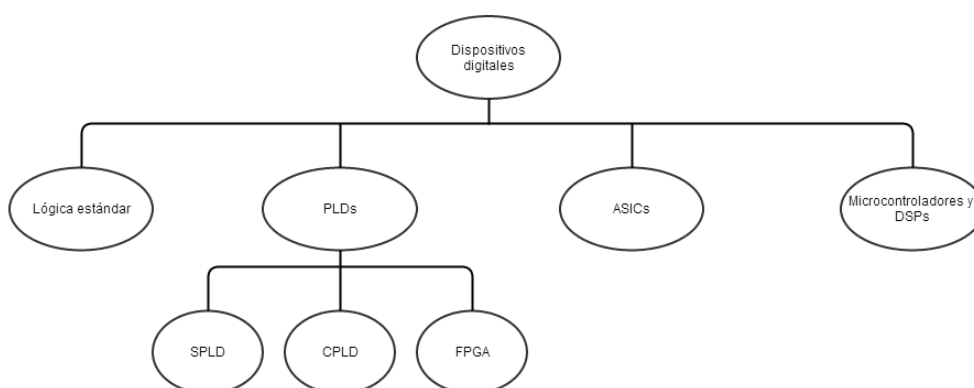


Figura 4.1: Clasificación de los circuitos integrados digitales.

4. ARREGLOS DE COMPUERTAS PROGRAMABLES EN CAMPO

Los dispositivos de aplicación específica o ASICs (Application Specific Integrated Circuits) están diseñados, como su nombre lo indica, para implementarse en una aplicación específica deseada. En estos dispositivos todos los componentes y las conexiones se diseñan a la medida de las especificaciones y necesidades del usuario.

Finalmente, se encuentra la categoría de los dispositivos lógicos programables o PLDs (Programmable Logic Devices) que pueden ser configurados para crear cualquier circuito digital deseado. A su vez, esta categoría se divide en tres grupos: dispositivos lógicos programables simples (SPLDs), dispositivos lógicos programables complejos (CPLDs) y arreglos de compuertas programables en campo (FPGAs).

4.1 Arquitectura interna

Los FPGAs (Field Programmable Gate Arrays) son dispositivos semiconductores que contienen bloques lógicos que pueden ser configurados e interconectados, permitiendo reproducir funciones como compuertas lógicas, sistemas combinacionales u otros diseños más complejos.

Un FPGA está compuesto básicamente de tres elementos: bloques lógicos configurables, interconexiones programables y bloques de entrada/salida (Figura 4.2).

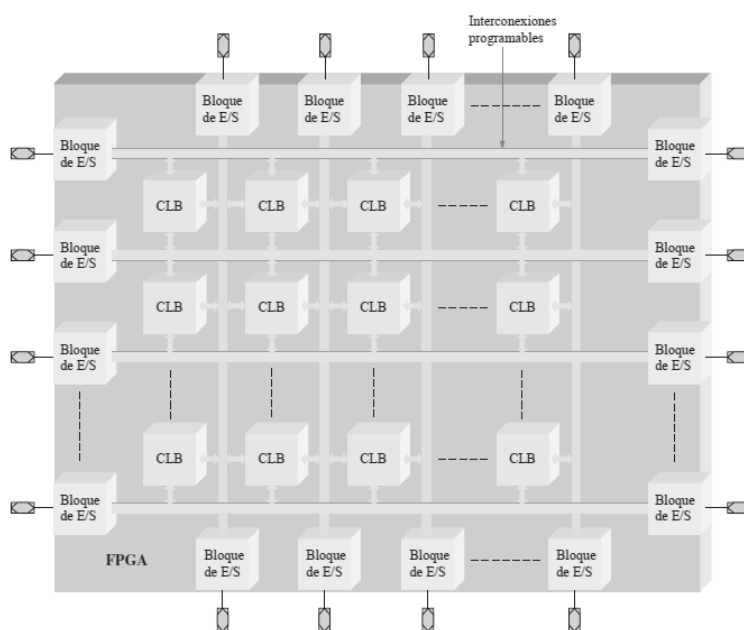


Figura 4.2: Arquitectura básica de un FPGA.

4.1.1 Bloques lógicos

Genéricamente, un FPGA cuenta con miles de bloques lógicos rodeados por una red de interconexiones globales. Cada uno de estos bloques lógicos está, a su vez, formado por varios módulos lógicos más pequeños con conexiones locales propias (Figura 4.3).

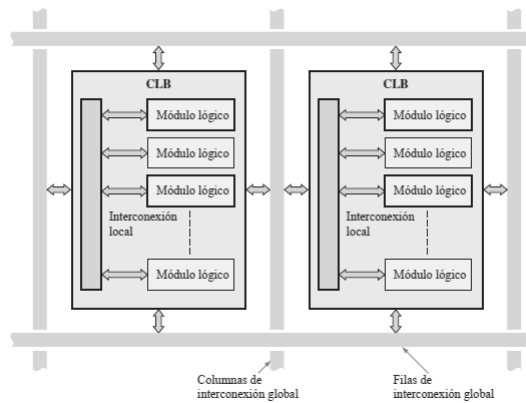


Figura 4.3: Bloques lógicos.

Un módulo lógico puede ser configurado para implementar un circuito de lógica combinacional o de lógica secuencial haciendo uso de una LUT, un flip-flop y un multiplexor (Figura 4.4a). La LUT (Look-Up Table) consiste en 2^n celdas de memoria, en donde n es el número de variables de entrada¹², y se utiliza para generar funciones lógicas combinacionales en suma de productos (Figura 4.4b).

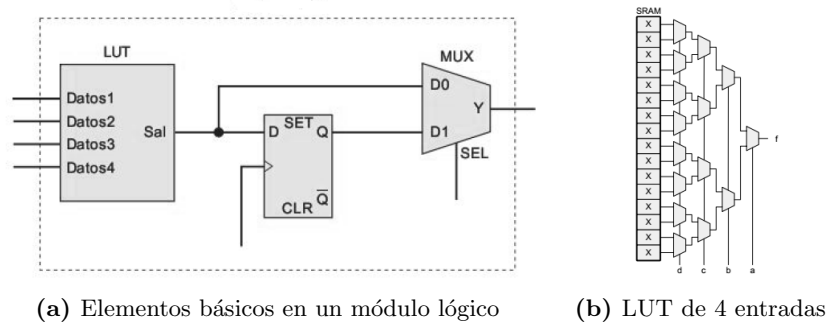


Figura 4.4: Elementos internos de un bloque lógico.

¹²Generalmente, los FPGAs tienen implementadas LUTs de 4 entradas por lo que se tienen 16 celdas de memoria en cada una.

4. ARREGLOS DE COMPUERTAS PROGRAMABLES EN CAMPO

El flip-flop puede programarse para operar como tipo D, T, JK o SR y se utiliza cuando se pretende implementar lógica secuencial. En caso de no ser necesario, se desvía su función a través del multiplexor.

4.1.2 Interconexiones programables

Dentro de un FPGA existen dos tipos de conexiones: las conexiones globales y las conexiones locales. Las primeras se utilizan para conectar los bloques lógicos entre sí o para conectarlos con los bloques de entrada/salida.

Para mejorar la eficiencia del dispositivo, las conexiones globales se agrupan en jerarquías de acuerdo al tipo de conexión que se realizará:

- **Conexión de reloj global.** Se utilizan como entradas de reloj a cada bloque lógico, proporcionando un retardo corto.
- **Conexión directa.** Proporcionan una conexión con el bloque lógico siguiente permitiendo “extender” el bloque lógico previo. Son unidireccionales.
- **Conexión simple.** Permiten conexiones entre bloques adyacentes con la ventaja de ser bidireccionales.
- **Conexión doble.** Permiten la conexión de hasta dos bloques lógicos posteriores al de origen.
- **Conexión larga.** Recorren todo el FPGA en líneas verticales y horizontales.

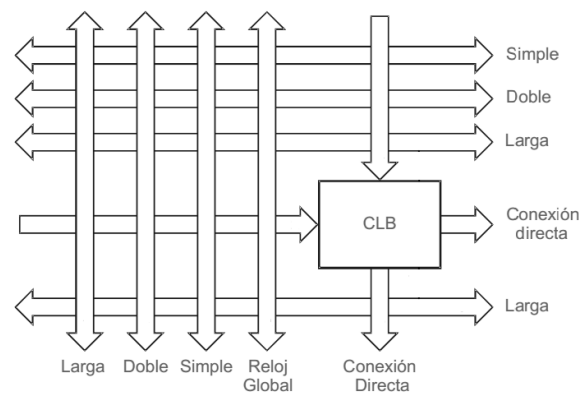


Figura 4.5: Estructura de las interconexiones programables globales.

Las conexiones locales son las que se encuentran dentro de cada bloque lógico y permiten la conexión en paralelo o serie de LUTs adyacentes, interconexiones entre los módulos lógicos del propio bloque y conexión entre éstos y las conexiones globales.

4.1.3 Bloques de entrada/salida

En su forma más simple, los bloques de entrada/salida cumplen la función de permitir el paso de señales hacia el interior o exterior del dispositivo FPGA, contando con recursos como:

- Configuración como entrada, salida o bidireccional.
- Salidas configurables como *open-collector*.
- Entradas con posibilidad de configurar resistores *pull-up* o *pull-down*.
- Registros de entrada.
- Registros de salida.

4.1.4 Tecnología de programación

Los dispositivos FPGA hacen uso de la tecnología SRAM (Static Random Access Memory) para poder ser programados. El implementarse con este tipo de tecnología le permite al dispositivo contar con la ventaja de ser fácilmente reprogramado. Además, las memorias SRAM pueden ser reprogramadas un número infinito de veces.

Otra gran ventaja es el uso de transistores en la configuración de la celda de memoria (Figura 4.6), lo que permite al FPGA utilizar transistores de última tecnología incrementando así la escala de integración.

El mayor inconveniente es que las memorias SRAM son volátiles, lo que quiere decir que mantienen la información únicamente cuando se encuentran conectadas a una fuente de voltaje y al desconectar la alimentación dicha información se pierde. Por tanto, todo dispositivo FPGA hace uso de una memoria no volátil (como memorias EEPROM) para mantener los datos cuando el dispositivo es desconectado. Esta memoria puede ser interna o externa al propio dispositivo.

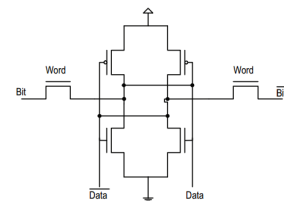


Figura 4.6: Celda de memoria SRAM.

4.2 Lenguaje descriptivo de hardware

La herramienta más importante para poder implementar cualquier tipo de circuito dentro de alguno de los dispositivos lógicos programables es el lenguaje descriptivo de hardware (HDL).

A diferencia de los lenguajes de programación, en los que las instrucciones se ejecutan paso a paso y en el orden en que fueron escritas, los lenguajes descriptivos de hardware realizan la representación de un circuito lógico describiendo el funcionamiento del mismo mediante tres diferentes niveles de abstracción, de forma que se pueden realizar circuitos desde compuertas lógicas, contadores o multiplexores hasta circuitos más elaborados como procesadores, sistemas embebidos o circuitos en paralelo.

Una de las mayores ventajas de implementar un circuito con un lenguaje descriptivo de hardware es su “universalidad” ya que, a diferencia de los microprocesadores o DSPs que tienen un set de instrucciones diferente para cada uno¹³, es posible cambiar de dispositivo PLD sin tener que alterar el código HDL escrito en su totalidad¹⁴.

Otra de las ventajas de los lenguajes descriptivos de hardware es la capacidad de simulación, la cual permite reproducir a través de una computadora el comportamiento final del circuito antes de ser implementado en un PLD. Esto permite localizar posibles errores, hacer correcciones o modificaciones, agregar o eliminar elementos y todo tipo de depuración previa a la programación del dispositivo empleado.

Existen diferentes tipos de lenguajes descriptivos de hardware como:

- VHDL (Very High Speed Integrated Circuit HDL)
- Verilog
- AHDL (Altera HDL)
- System C

¹³El set de instrucciones varía severamente entre dispositivos de diferentes fabricantes. Incluso, entre dispositivos del mismo fabricante, puede tener variaciones (más o menos instrucciones) dependiendo de la complejidad del microprocesador o DSP que se esté empleando.

¹⁴Algunos dispositivos pueden necesitar líneas de código para su configuración, por ejemplo declaración de paquetes, configuración del dispositivo (número de pines, tipo de encapsulado, etc) entre otros.

Cada uno de los cuales utiliza su propia forma de expresar las diferentes sintaxis que compondrán el código a programar.

Para realizar este trabajo se empleó el lenguaje VHDL en la descripción de cada una de las entidades implementadas en el dispositivo FPGA.

4.3 Tarjeta de desarrollo DE0-Nano

El dispositivo seleccionado para la realización de este trabajo es la tarjeta de desarrollo DE0-Nano de Altera (Figura 4.7).



Figura 4.7: Tarjeta de desarrollo DE0-Nano.

La tarjeta de desarrollo DE0-Nano cuenta con las siguientes características:

- FPGA Cyclone IV EP4CE22F17C6N de Altera.
- Circuito para programación USB-Blaster integrado en la tarjeta.
- Dispositivo Spansion EPCS64.
- Ochenta pines para conexiones de propósito general, de los cuales: setenta y dos son pines de entrada/salida, dos pines con voltaje de 5[V], dos pines con voltaje de 3.3[V] y cuatro pines de conexión a tierra.
- Memoria SDRAM de 32MB y EEPROM de 2kb.
- Ocho LEDs verdes de propósito general.
- Dos pushbuttons con protección anti-rebote.
- Un DIP switch de 4 posiciones.

4. ARREGLOS DE COMPUERTAS PROGRAMABLES EN CAMPO

- Acelerómetro ADI ADXL345 de 3 ejes con alta resolución (13 bits).
- Convertidor analógico-digital ADC128S022 de 8 canales con resolución de 12 bits y tasa de muestreo de 50 a 200[*ksp*s].
- Oscilador de 50[*MHz*].
- Alimentación a través de puerto USB-mini o mediante pines para conexión externa proporcionando un voltaje entre 3.6 y 5.7[V].

4.3.1 El FPGA Cyclone IV

A pesar de la gran cantidad de recursos con que cuenta la tarjeta de desarrollo, el más importante es el FPGA Cyclone IV EP4CE22F17C6N en el que se realizaron la mayor cantidad de circuitos para este trabajo.

Previamente se describieron los componentes básicos que conforman un FPGA, sin embargo, es importante mencionar que tales componentes son implementados de forma específica por cada fabricante; por tanto, a continuación se describirán a muy grandes rasgos los componentes que implementa el fabricante Altera en sus dispositivos FPGA haciendo énfasis en el dispositivo contenido en la tarjeta DE0-Nano.

4.3.1.1 Elementos lógicos

Los elementos lógicos o LEs son las unidades lógicas más pequeñas dentro de la arquitectura del FPGA de Altera y sustituyen al módulo lógico presentado con anterioridad (Figura 4.8). Cuentan con una LUT de 4 entradas y un registro programable (flip-flop), entre otra gran cantidad de características.

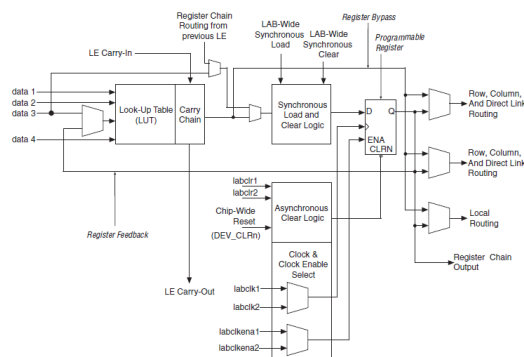


Figura 4.8: Elemento lógico.

4.3.1.2 Bloques de arreglos lógicos

De la misma forma que los bloques lógicos configurables, los bloques de arreglos lógicos o LABs contienen un grupo de Elementos lógicos. Cada LAB contiene 16 LEs, señales de control, cadenas de acarreo, cadenas de registros e interconexiones locales. El FPGA Cyclone IV EP4CE22F17C6N contiene 1 395 LABs, dando un total de 22 320 elementos lógicos.

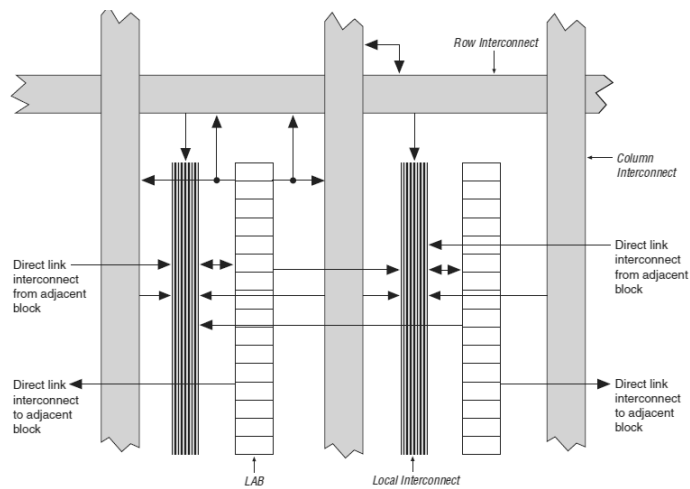


Figura 4.9: Bloques de arreglos lógicos.

Diseño de un TDC para la investigación de rayos cósmicos

La arquitectura final del convertidor tiempo-digital implementado para la investigación de rayos cósmicos esta compuesta de una serie de elementos interconectados entre sí y que cumplen con funciones específicas dentro del circuito.

El diseño de cada uno de estos elementos se realizó de acuerdo a las necesidades que implicaban las especificaciones mencionadas en la introducción y a los elementos previos a cada uno. De esta forma, el primer elemento implementado fue el propio convertidor tiempo-digital.

5.1 Convertidor tiempo-digital

En el capítulo 3 se presentaron algunos de los diferentes métodos que existen para implementar un convertidor tiempo-digital y finalmente, de entre todos ellos, se decidió implementar el método de líneas de retraso en un dispositivo FPGA, el cual se presentó en el capítulo anterior.

Para diseñar la cadena de retrasos que componen este método, se concatenaron una serie de bloques, uno tras otro, a cada uno de los cuales se les denominó como “celda básica de retraso”.

5.1.1 Celda básica de retraso

Cada celda básica de retraso está compuesta por un buffer que fue generado a partir de los elementos prediseñados de la librería de Altera, y por un flip-flop diseñado a

5. DISEÑO DE UN TDC PARA LA INVESTIGACIÓN DE RAYOS CÓSMICOS

la medida de las necesidades del convertidor tiempo-digital y de los elementos que lo componen (Figura 5.1).

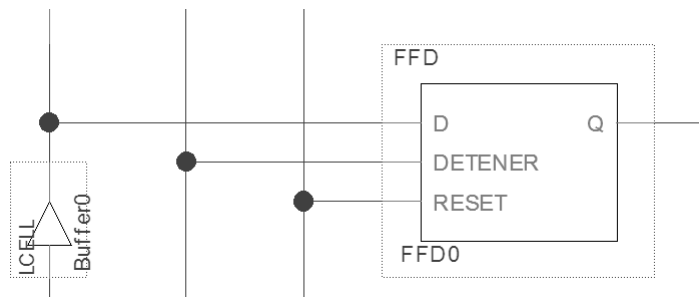


Figura 5.1: Elementos de la celda básica de retraso.

Dicho flip-flop cuenta con las siguientes características:

- 1) Al detectarse el primer flanco de subida en la entrada *DETENER* el dato actual del buffer (entrada *D*) pasa directamente a la salida *Q*.
- 2) El dato obtenido se mantendrá fijo sin importar el que se detecten nuevos flancos de subida en la entrada *DETENER*¹⁵.
- 3) Mediante la entrada de *REINICIO* (*RESET*) el flip-flop regresará a condiciones iniciales ($Q=0$) para una nueva lectura.

Al realizar la concatenación de estos elementos las señales *DETENER* y *REINICIO* se conectaron a su respectiva fuente, mientras que la salida del buffer fue conectada a la entrada del buffer de la siguiente celda básica de retraso.

5.1.2 Tiempo de respuesta

Debido a que el fabricante no proporciona este dato y a que no se contaba con el equipo especializado para poder obtenerlo, se implementó un método alternativo para medirlo.

Este método consistió en utilizar una serie de compuertas lógicas patrón (compuertas AND SN74HC11N), de las cuales se conocía su tiempo de respuesta promedio gracias a sus hojas de especificaciones, y se realizaron una serie de mediciones de este valor con un TDC prueba que consistía en sesenta y cuatro celdas básicas de retraso.

¹⁵El flip-flop se implementó de esta manera para poder mantener los datos hasta que fuesen almacenados.

Para realizar estas mediciones se implementó el circuito mostrado en la Figura 5.2, en el cual se hizo pasar un pulso a través de una compuerta lógica que lo retrasaría un tiempo τ_{CL} . Ambos pulsos se conectaron al TDC para medir el tiempo de retraso generado por la compuerta, de tal forma que:

$$\tau_{CL} = n\tau$$

En donde n es el número de celdas básicas de retraso por las que se propagó el pulso y τ el tiempo de respuesta de cada una de estas.

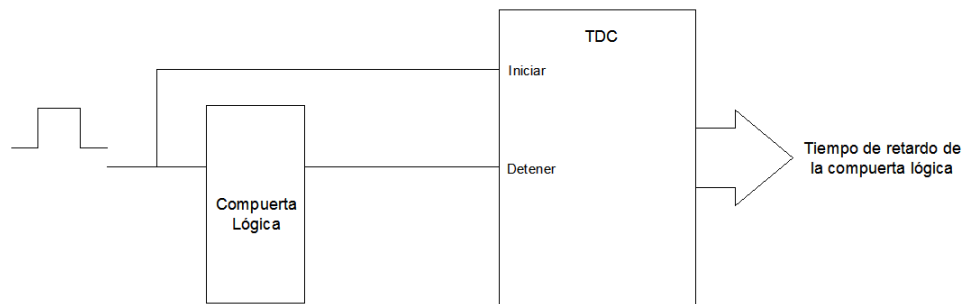


Figura 5.2: Circuito implementado para medir el tiempo de respuesta.

A partir de los datos obtenidos se calculó el tiempo de respuesta promedio de cada celda básica de retraso en $180[ps]$. Finalmente, se realizó otra serie de mediciones en diferentes tipos de compuertas (AND SN74HC11N, NOR 74F02 y NAND DM74LS10) con la que se corroboró el valor obtenido previamente.

5.1.3 Rango de medición

Una vez conocido el tiempo de respuesta de cada celda básica de retraso, fue necesario ajustar el convertidor tiempo-digital previo para que cumpliera con la especificación del rango de medición.

Finalmente, el TDC fue implementado con una cadena de 512 celdas básicas de retraso, con lo que el rango de medición se calculó en:

$$RM = N\tau = 512 * 180[ps] = 92.16[ns]$$

En la siguiente sección se explicará el porqué de realizar la concatenación de 512 elementos y no los necesarios para cubrir los $100[ns]$ indicados en la introducción.

5. DISEÑO DE UN TDC PARA LA INVESTIGACIÓN DE RAYOS CÓSMICOS

5.1.4 Detección en coincidencia

Otro de los parámetros con que debe cumplir el convertidor tiempo-digital es realizar la detección en coincidencias. Esto se debe a que el carácter aleatorio de la detección de las partículas puede generar incidencias independientes en alguno de los dos planos que constituyen el Telescopio de mounes.

Para lograr esto, simplemente se empleó una compuerta AND para relacionar las entradas INICIAR y DETENER, de forma que el pulso se genere únicamente cuando ambas están presentes. Para compensar el retardo causado por esta compuerta, se implementó una compuerta igual en la entrada INICIAR (Figura 5.3).

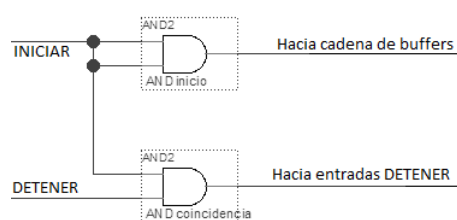


Figura 5.3: Implementación de las compuertas AND para la detección en coincidencia.

5.2 Codificador

Como se mencionó anteriormente, el método de líneas de retraso muestra el valor de su medición mediante un código unario de N bits, por tanto el convertidor tiempo-digital implementado mostrará sus resultados con 512 bits. Sin embargo, es difícil procesar esta cantidad de bits, el almacenarlos necesitaría de una enorme cantidad de recursos de memoria y transferirlos requeriría de un tiempo excesivo.

Debido a estos inconvenientes, se decidió codificar el resultado a un código binario puro de tan sólo nueve bits. Como se pretendía que existiera un correlación entre el código unario y el código binario el TDC se implementó con únicamente 512 celdas básicas de retraso, ya que $2^9 = 512$.

5.2.1 Implementación

Para lograr la implementación de este elemento y debido a la complejidad que representa el manejo de tal cantidad de bits, estos se dividieron en treinta y dos secciones de 16 bits cada una. Con esta consideración, se logró crear un patrón en el que los cuatro bits menos significativos se repetían en cada una de las secciones (Tabla 5.1).

Tabla 5.1: Tabla de verdad simplificada de cualquiera de las treinta y dos secciones.

X	O	N	M	L	K	J	I	H	G	F	E	D	C	B	A	B3	B2	B1	B0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	0	1
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	--	--	--	--

A partir de la tabla de verdad simplificada representativa de cada una de las treinta y dos secciones, se obtuvieron las funciones booleanas expresadas en suma de productos de los primeros cuatro bits:

$$B_3 = H$$

$$B_2 = L + \bar{H}D$$

$$B_1 = N + \bar{L}J + \bar{H}F + \bar{D}B$$

$$B_0 = O + \bar{N}M + \bar{L}K + \bar{J}I + \bar{H}G + \bar{F}E + \bar{D}C + \bar{B}A$$

Ya obtenidas las funciones booleanas de forma general, fue necesario asignar el correspondiente número de bit del código unario a las variables de estas de acuerdo a las

5. DISEÑO DE UN TDC PARA LA INVESTIGACIÓN DE RAYOS CÓSMICOS

secciones en que fueron divididos, para lo cual se utilizó la tabla 5.2.

Tabla 5.2: Asignación de bits.

Var.	S1	S2	S3	S4	...	S31	S32
A	0	16	32	48	...	480	496
B	1	17	33	49	...	481	497
C	2	18	34	50	...	482	498
D	3	19	35	51	...	483	499
E	4	20	36	52	...	484	500
F	5	21	37	53	...	485	501
G	6	22	38	54	...	486	502
H	7	23	39	55	...	487	503
I	8	24	40	56	...	488	504
J	9	25	41	57	...	489	505
K	10	26	42	58	...	490	506
L	11	27	43	59	...	491	507
M	12	28	44	60	...	492	508
N	13	29	45	61	...	493	509
O	14	30	46	62	...	494	510
X	15	31	47	63	...	495	511

Una vez conocidas las expresiones booleanas de los primeros 4 bits del código binario, fue posible simplificar el código unario a únicamente treinta y dos elementos que se dividieron en dos secciones de 16 bits cada una. Esta nueva división permitió volver a replicar el mismo patrón observado anteriormente, de manera que las funciones booleanas obtenidas fueron válidas para los siguientes 4 bits (B_7, B_6, B_5, B_4).

Entonces, fue necesario designar de nueva cuenta el número de bit correspondiente a las variables de las ecuaciones booleanas. Para lo cual, se designaron los bits que representarían un cambio inmediato entre una sección y la siguiente los cuales se representaron como la variable X en la Tabla 5.2, de manera que esta segunda asignación quedó como la mostrada en la Tabla 5.3.

Tabla 5.3: Segunda asignación de bits.

Var.	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	X
Sa	15	31	47	63	79	95	111	127	143	159	175	191	207	223	239	255
Sb	271	287	303	319	335	351	367	383	399	415	431	447	463	479	495	511

Para el último bit (B_8) se realizaron las mismas consideraciones anteriores y siguiendo la misma lógica se obtuvo como valor directo el bit 255 del código unario.

Finalmente, fue necesario relacionar adecuadamente todas las secciones en que se dividió el código unario original, ya que para los bits B_7, B_6, B_5 y B_4 había dos posibles resultados, en tanto que los bits B_3, B_2, B_1 y B_0 tenían treinta y dos. Esto se realizó mediante una serie de compuertas AND y OR.

5.3 Transferencia y almacenamiento de datos

Todos los datos obtenidos por el convertidor tiempo-digital y respectivamente codificados son transferidos a una computadora personal para poder ser procesados y almacenados para su posterior análisis.

Para realizar esta transferencia de datos entre el dispositivo FPGA y la computadora se optó por utilizar el bus de comunicación I^2C ¹⁶.

5.3.1 Módulo I^2C esclavo

Dentro del dispositivo FPGA se implementó un módulo de comunicación I^2C esclavo diseñado a la medida con las siguientes características:

- 1) El módulo se mantiene inactivo mientras el convertidor tiempo-digital no realice detección alguna. De forma que, aunque se reciba la dirección correcta por parte del dispositivo maestro, este módulo no responderá a la solicitud.
- 2) Se implementó como un dispositivo esclavo de sólo lectura, con dirección configurable y con registros internos no direccionables.
- 3) Cuenta con entrada paralela de los nueve bits que conforman el código del dato obtenido por el TDC, los cuales se leen continuamente durante el estado de inactividad.
- 4) Después de que el TDC realiza la detección y medición de un evento, el módulo entra en estado de actividad. Durante este periodo no es posible leer los datos mostrados por el codificador, esto se implementó así para evitar posibles cambios de valor en los datos durante su envío.

¹⁶En el Apéndice A se realiza una breve explicación sobre el modo de funcionamiento de este bus de comunicación.

5. DISEÑO DE UN TDC PARA LA INVESTIGACIÓN DE RAYOS CÓSMICOS

- 5) La lectura realizada por el convertidor tiempo-digital se envía al dispositivo maestro en dos bytes (16 bits).
- 6) Una vez realizada la lectura del dato, no se podrá realizar una segunda lectura hasta que el módulo sea desactivado, de esta forma se evita duplicar datos.

5.3.1.1 Algoritmo implementado

El algoritmo que sigue el módulo I^2C esclavo para la lectura de datos (Figura 5.4) es el siguiente:

- Primeramente, el módulo I^2C se mantendrá inactivo en tanto que no se detecte un evento. Durante este proceso, los datos que serán enviados se leen constantemente.
- Cuando se presente un evento a medir, el módulo se activa y se mantendrá en espera de la secuencia de inicio. A partir de este momento, y hasta que la señal *Activar* se deshabilite, los datos leídos del codificador se mantendrán fijos.
- Una vez detectada la secuencia de inicio, comenzará a recibirse la dirección que envía el dispositivo maestro bit a bit. En caso de que la dirección recibida no corresponda con la del módulo esclavo o si se pretende realizar una operación de escritura, este módulo responderá con un NACK y esperará a ser desactivado.
- En caso contrario, el módulo I^2C responderá con un ACK y comenzará la transferencia de información. Se enviarán los bytes A y B de forma serial hacia el dispositivo maestro y se recibirá de este el correspondiente ACK.
- Finalizado el envío de ambos bytes, el módulo se mantendrá en espera de ser deshabilitado antes de realizar otra transferencia de datos.

Si en cualquier momento la señal *Activar* es deshabilitada el módulo I^2C esclavo regresará a su estado inicial de inactividad.

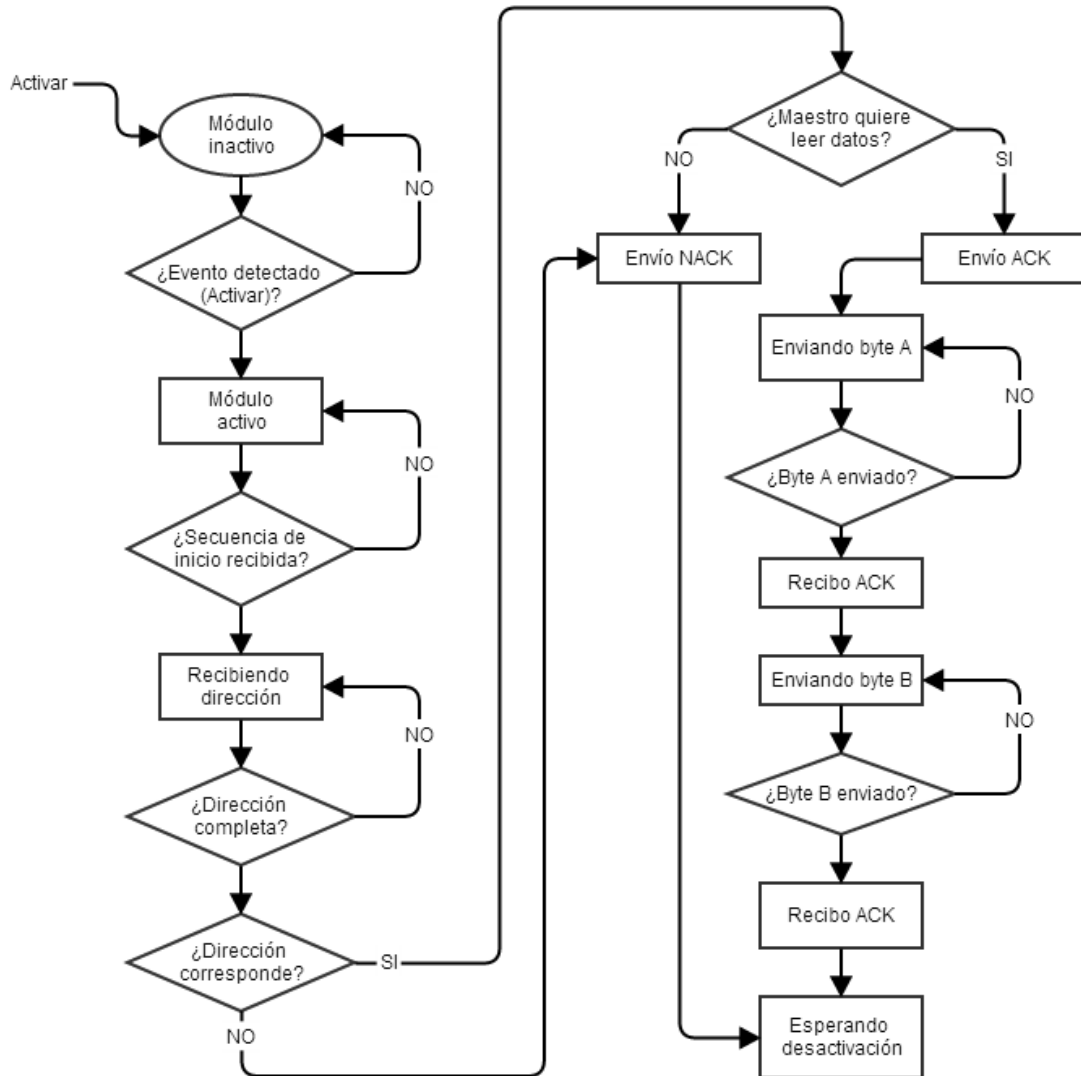


Figura 5.4: Diagrama de flujo del módulo I^2C esclavo.

5.3.2 Interfaz gráfica

Ya que una computadora personal no cuenta con una conexión especializada para el bus I^2C se utilizó el módulo de comunicación $USB - I^2C$ ¹⁷ que permitirá la conexión necesaria entre la computadora y dicho bus.

¹⁷Referirse al Apéndice B para más información acerca de este dispositivo.

5. DISEÑO DE UN TDC PARA LA INVESTIGACIÓN DE RAYOS CÓSMICOS

Para controlar el módulo de comunicación $USB-I^2C$ así como procesar y almacenar la información obtenida se creó una interfaz gráfica que facilitará la implementación de los procesos que conlleve cada caso.

Esta interfaz se encargará de realizar las siguientes acciones:

- 1) Controlar el módulo de comunicación $USB-I^2C$ para la lectura de datos desde el FPGA.
- 2) Mostrar en pantalla el número de incidencias detectadas, la hora en que se presenta el evento y el tiempo medido en cada uno. Además, mostrará de forma gráfica éstos datos.
- 3) Guardar la información mencionada en bloques de 500 datos dentro de archivos de texto así como la imagen de la gráfica creada.



Figura 5.5: Interfaz gráfica.

5.3.2.1 Algoritmo implementado

La interfaz gráfica implementa el siguiente algoritmo para su funcionamiento (Figura 5.6):

- Al ejecutarse se declaran e inicializan automáticamente las variables a emplear así como el entorno para realizar el gráfico de los datos. También se crea el primer documento de texto en donde se guardarán los datos con el nombre “TESIS DATOS (fecha y hora de creación).txt”.

5.3 Transferencia y almacenamiento de datos

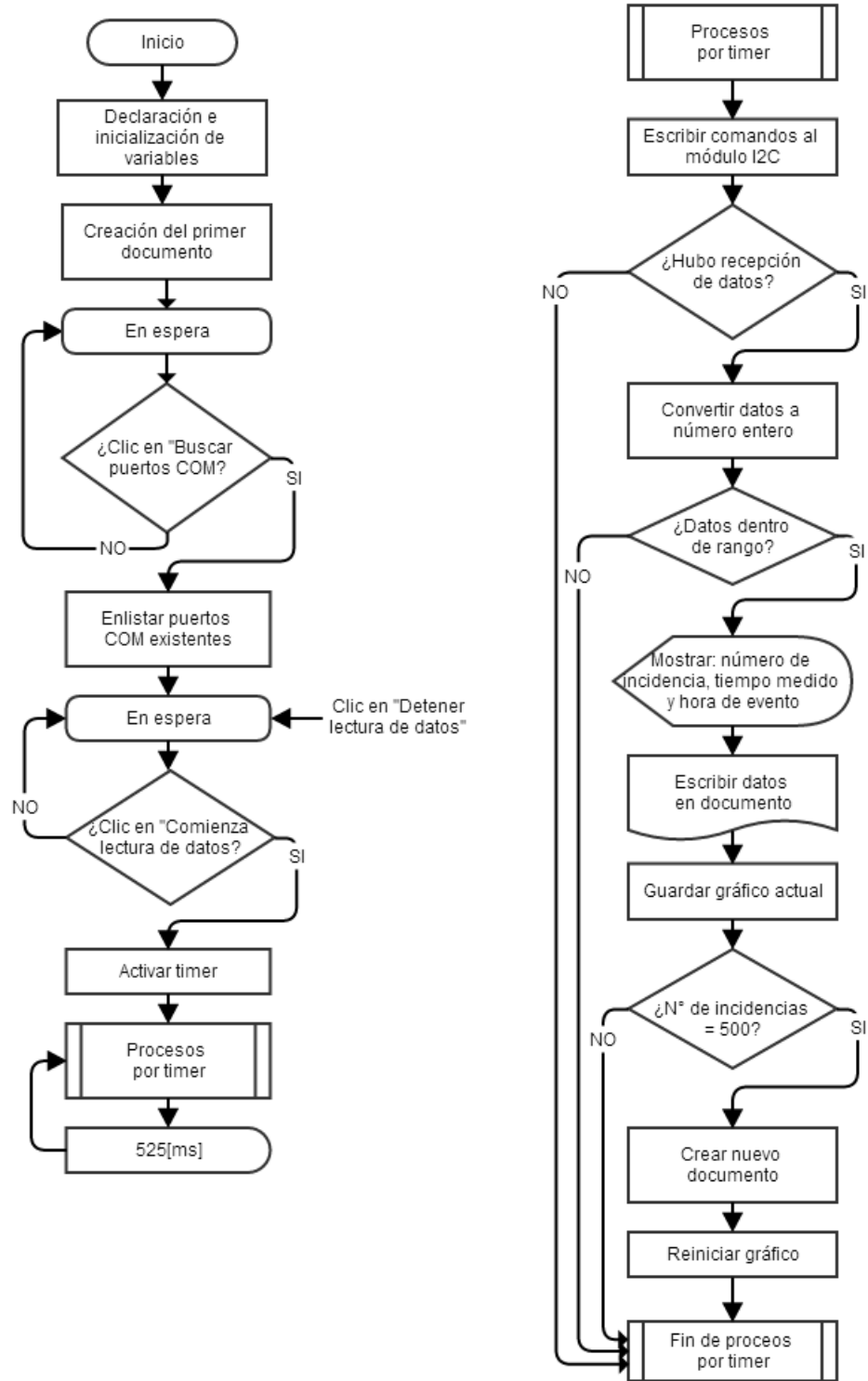


Figura 5.6: Diagrama de flujo de la interfaz gráfica.

5. DISEÑO DE UN TDC PARA LA INVESTIGACIÓN DE RAYOS CÓSMICOS

- Una vez realizado lo anterior se mantiene en espera hasta que se presione sobre el botón “Buscar puertos COM”. Al ser presionado, se enlistarán los puertos COM existentes en la computadora, entre ellos el puerto virtual que genera el módulo de comunicación $USB - I^2C$, el cual deberá ser seleccionado.
- De nuevo se mantendrá en espera, pero en esta ocasión del botón “Comienza lectura de datos”. Cuando se haga clic en este se activará el timer por el cual se ejecutarán una serie de instrucciones cada $525[ms]$ ¹⁸, así mismo la leyenda del botón cambiará a “Detener lectura de datos”. Si en cualquier momento se hace un segundo clic en el botón, se completarán los procesos que se encuentren en ejecución (si los hay), se desactivará el timer, cambiará la leyenda del botón y volverá a entrar en estado de espera.

Las instrucciones que son ejecutadas interactivamente por medio del timer son las siguientes:

- Se escriben al módulo de comunicación $USB - I^2C$ los bytes necesarios del comando $I2C.MUL$ para realizar una petición de lectura. Si no hay respuesta por parte del dispositivo esclavo, se infiere que este se encuentra inactivo y por tanto no ha habido eventos detectados y se termina con la ejecución de instrucciones. Lo mismo sucede si los datos se encuentran fuera de rango¹⁹.
- En caso contrario, se mostrarán en pantalla el número de incidencia detectada, el tiempo medido por el convertidor tiempo-digital en nanosegundos, la hora en que se registra el evento y se actualiza la gráfica mostrada. Igualmente, se escriben los datos en el documento de texto y se guarda el gráfico actual en un archivo de imagen con el nombre: “TESIS GRAFICO (fecha y hora del documento de texto asociado).png”.
- Si hasta el momento se han registrado 500 incidencias se crea un nuevo documento de texto con la fecha y hora de ese instante, se reinician el gráfico y el número de incidencias y se termina la ejecución de instrucciones, en caso contrario, simplemente se realizará esto último.

¹⁸Tiempo debido a las especificaciones del módulo de comunicación $USB - I^2C$. Debido a esto, al detectarse un evento de coincidencia, se tendrá un margen máximo de $525[ms]$ previos a la hora registrada.

¹⁹En el siguiente capítulo se explicará el porqué de esta decisión.

5.4 Control de activación y reinicio

Para controlar con precisión el momento en que se debe activar o desactivar el módulo I^2C esclavo y en el que se reinicie el convertidor tiempo-digital, se implementó una entidad con la capacidad de controlar estas señales (Figura 5.7).

Esta entidad consta de una ASM (Algorithmic State Machine) con 3 estados:

- 1) **Inicio.** En este estado el módulo I^2C esclavo se mantiene inactivo y la línea de reinicio se encuentra en estado bajo, de tal forma que el sistema se encuentra en espera de la detección de una coincidencia.

Cuando se detecte un evento transcurrirán $300[ns]$ antes de pasar al siguiente estado para permitir que el TDC y el codificador concluyan sus operaciones.

- 2) **Activo.** Este estado activa el módulo I^2C esclavo. Antes de cambiar de estado transcurrirán $550[ms]$, tiempo suficiente para la transferencia de datos.

- 3) **Reinicio.** Durante este estado la línea de reinicio se cambia a nivel alto, regresando a condiciones iniciales todo el sistema.



Figura 5.7: Carta ASM de la entidad de control.

5. DISEÑO DE UN TDC PARA LA INVESTIGACIÓN DE RAYOS CÓSMICOS

5.5 Circuito de acondicionamiento de señales

Como se mencionó en el capítulo 2, las señales que entrega el Telescopio de muones se encuentran bajo el estándar NIM por lo que es necesario acondicionarlas de forma que sean compatibles con el dispositivo FPGA empleado. Para tal caso, se implementaron dos etapas analógicas (Figura 5.8):

- 1) **Amplificador de instrumentación.** Esta etapa se implementó con amplificadores operacionales TL084CN, resistores de precisión (1% de tolerancia) y un trimpot con el que se ajusta la ganancia. Amplifica e invierte la señal a un voltaje entre 2.4 y 4.5[V].
- 2) **Comparador de alta velocidad.** Con esta etapa se ajusta el voltaje de salida del amplificador de instrumentación a un voltaje de 3.3[V] compatible con el FPGA, a través de un comparador LM360N.

Para poder operar de manera correcta, estos dispositivos necesitan ser alimentados con un voltaje de $\pm 5[V]$. Este voltaje se obtiene de uno de los pines de la tarjeta DE0-Nano que provee $+5[V]$ y de un módulo inversor de voltaje que entrega $-5[V]$.

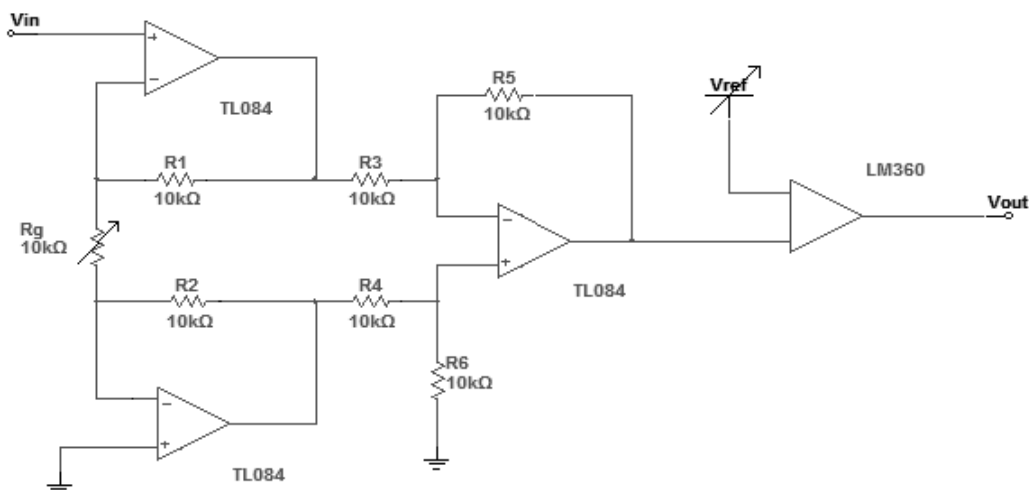


Figura 5.8: Diagrama del circuito empleado para acondicionar las señales.

5.6 Arquitectura final

Finalmente, sólo queda realizar las diferentes conexiones entre los elementos antes presentados. En la Figura 5.9 se muestra un diagrama con las diferentes conexiones realizadas.

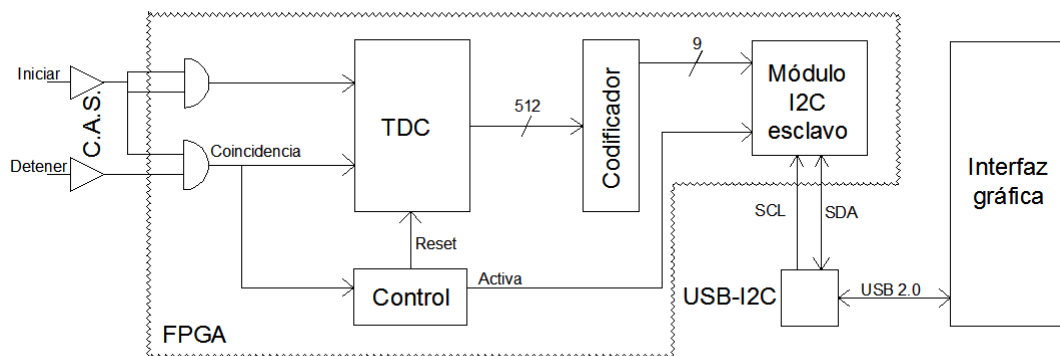


Figura 5.9: Arquitectura final del sistema.

Pruebas y resultados

Para verificar el correcto funcionamiento del dispositivo creado se realizaron diferentes pruebas a cada elemento por separado y en conjunto, las cuales permitieron encontrar y corregir fallas y hacer mejoras hasta lograr la arquitectura final. Durante el presente capítulo se presentará una recopilación de las diferentes pruebas realizadas divididas en tres etapas.

6.1 Primera etapa: las tarjetas descartadas

Previo a la elección de la tarjeta de desarrollo DE0-Nano, se probaron dos tarjetas más en las que se pretendía realizar el sistema, las que por diferentes razones fueron finalmente excluidas para su uso.

6.1.1 Kit de evaluación SmartFusion

La primera de ellas fue el kit de evaluación SmartFusion de Microsemi (Figura 6.1). Esta tarjeta tiene la ventaja de contar con un sistema integrado en un sólo chip (System-on-Chip) lo que le permite integrar un dispositivo FPGA, un microcontrolador y dispositivos analógicos en un solo encapsulado. Entre las múltiples características con las que cuenta esta tarjeta de desarrollo se encuentran las siguientes:

- Microcontrolador ARM Cortex-M3 de 32 bits.
- Dos módulos de comunicación I^2C configurables.
- FPGA ProASIC-3 con tecnología SRAM.
- Ocho comparadores de alta velocidad con histéresis programable.

6. PRUEBAS Y RESULTADOS

Las cuales la convertían en una excelente opción para el desarrollo de este trabajo, sin embargo, se presentaron dos inconvenientes:

- El primero de ellos debido a que los comparadores no respondían correctamente a las características de las señales que entregaba el Telescopio de muones, por lo que se necesitaba de una etapa analógica externa al encapsulado.
- El segundo inconveniente estaba relacionado con los módulos I^2C integrados en el microcontrolador de la tarjeta. Uno de ellos se encuentra conectado directamente a un display OLED, por lo que no es posible utilizarlo; mientras que el otro módulo, a pesar de que es posible configurarlo, debido al diseño de la tarjeta no cuenta con conexión física disponible en ella quedando también descartado.

De modo que a pesar de contar con una enorme cantidad de recursos, sólo era posible explotar el FPGA dejando de lado el resto de los componentes.

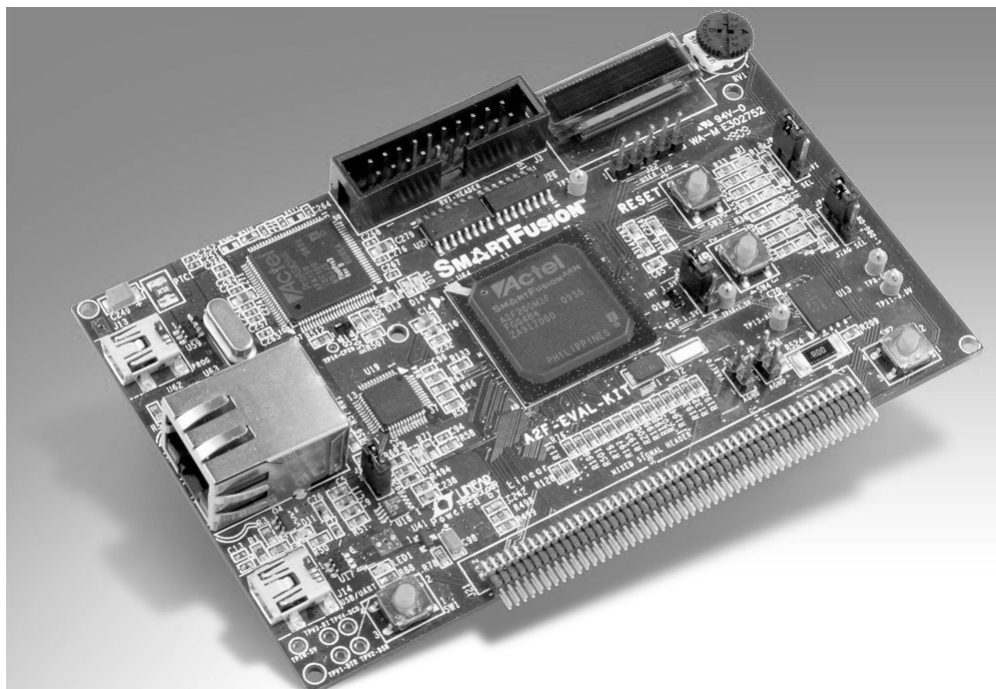


Figura 6.1: Kit de evaluación SmartFusion.

6.1.2 Kit de desarrollo PSoC 5

El kit de desarrollo PSoC 5 de Cypress (Figura 6.2) fue la segunda opción tomada en cuenta para la implementación de este trabajo. Esta tarjeta, al igual que la anterior, tiene las ventajas de un System-on-Chip y cuenta, entre muchas otras, con las siguientes características:

- Microcontrolador ARM Cortex-M3 de 32 bits.
- Un módulo de comunicación I^2C .
- Cuatro comparadores con histéresis programable.
- Bloques digitales basados en ALUs de 8 entradas.

El inconveniente que presentaba esta tarjeta es que sincronizaba sus bloques con el reloj interno, entre los que se encontraban los comparadores, de forma que no sería posible detectar las señales en el momento justo en el que se presentasen.

Finalmente, al comparar los recursos que podrían ser utilizados de estas dos tarjetas con la tarjeta de desarrollo DE0-Nano se decidió utilizar esta última, principalmente porque se podría obtener una mejor resolución del convertidor tiempo-digital.

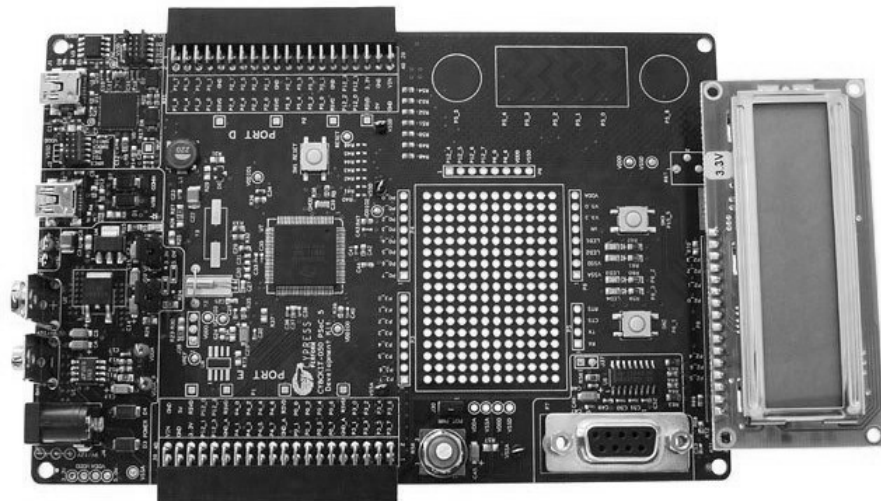


Figura 6.2: Kit de desarrollo PSoC 5.

6. PRUEBAS Y RESULTADOS

6.2 Segunda etapa: simulaciones y pruebas de laboratorio

Antes de poder realizar las pruebas definitivas con el Telescopio de muones, se desarrollaron algunas simulaciones por computadora y pruebas de laboratorio de los diferentes elementos que componen el sistema final.

6.2.1 Convertidor tiempo-digital

6.2.1.1 Simulaciones

Para fines prácticos, las simulaciones que se elaboraron sobre este elemento se hicieron con únicamente 10 celdas básicas de retraso, la Figura 6.3 muestra una de ellas.

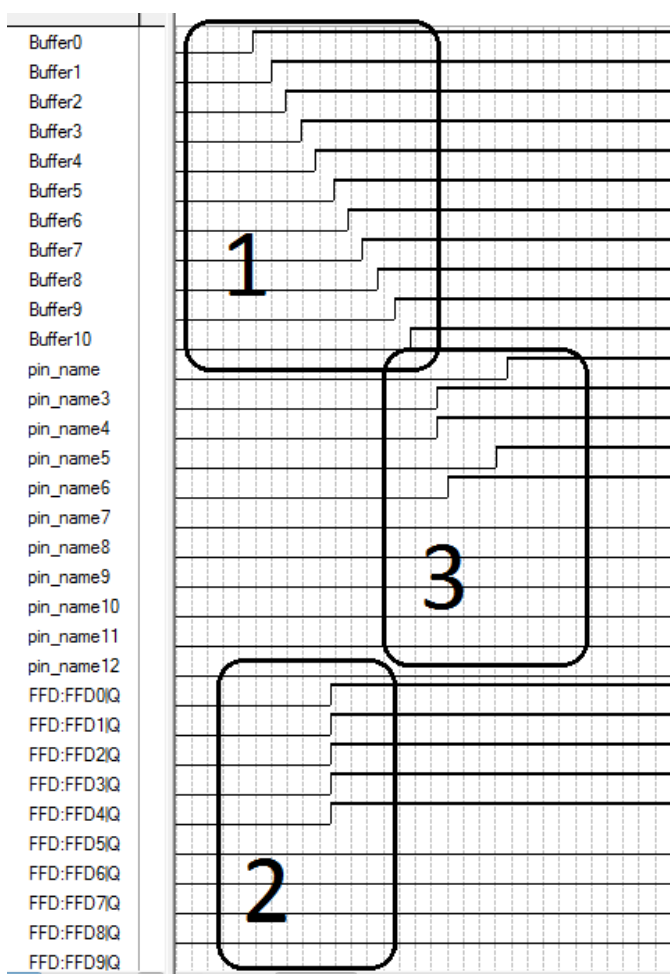


Figura 6.3: Simulación del funcionamiento del convertidor tiempo-digital.

6.2 Segunda etapa: simulaciones y pruebas de laboratorio

En esta simulación se muestran tres diferentes regiones:

- 1) La primera región corresponde a la cadena de buffers. Como puede observarse el resultado de la simulación es el esperado de acuerdo a la operación del método de líneas de retraso (Figura 3.7).
- 2) En la segunda región se muestra la salida de los flip-flops asociados a cada buffer. Este resultado es muy importante ya que se puede observar que todos responden al mismo tiempo²⁰ lo cual es indispensable para una correcta medición.
- 3) La última región representa los posibles retrasos que sufrirían las señales entre las salidas de los flip-flops y las entradas del codificador. Como se ve estas señales pueden no llegar al mismo tiempo al codificador, provocando que se presenten variaciones y glitches durante el proceso de codificación. Debido a esto, en el elemento “control de activación y reinicio” se implementó un margen de 300[ns] para permitir que se corrijan estos errores.

6.2.1.2 *Floorplan*

Posterior a la implementación del TDC se efectuó un análisis a nivel *floorplan*²¹ en el que se hizo un seguimiento de la cadena de celdas básicas de retraso.

Durante este análisis se verificaron las conexiones entre los elementos lógicos (LE) y se modificó la colocación de algunos de estos elementos de forma que el ruteo fuera lo más próximo posible entre una celda básica de retraso y la siguiente, evitando así aumentar el retraso producido por las líneas de interconexión de los elementos lógicos.

²⁰El cambio de esta señal se presenta con el respectivo retraso que es inherente a los flip-flops, el cual no afecta el resultado final de la medición.

²¹El *floorplan* es una herramienta que muestra la localización que tendrán los diferentes elementos lógicos dentro del chip al ser programado.

6. PRUEBAS Y RESULTADOS

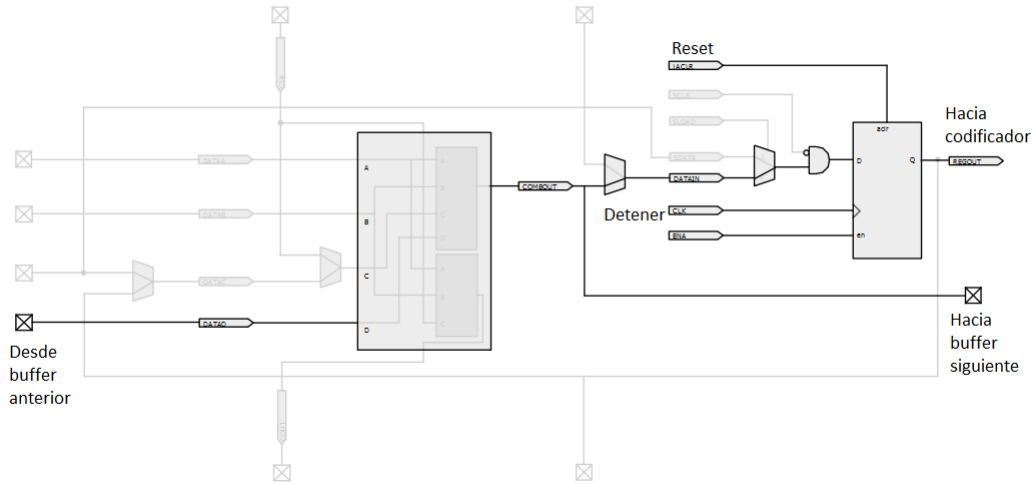


Figura 6.4: Celda básica de retraso implementada dentro de un LE (en negro).

6.2.2 Codificador

Para realizar la prueba de funcionamiento del codificador se implementó un circuito como el de la Figura 6.5.

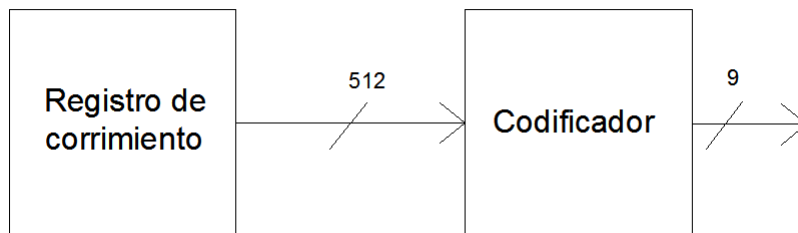


Figura 6.5: Circuito implementado para la prueba de funcionamiento del codificador.

En este, se conectó un registro de corrimiento de 512 bits a la entrada del codificador que emularía el funcionamiento del convertidor tiempo-digital entregando todos los posibles valores de este. La prueba se realizó adecuadamente y se pudieron observar, uno a uno, los datos codificados.

6.2.3 Transferencia y almacenamiento de datos

6.2.3.1 Simulaciones del módulo I^2C esclavo

Previo a la implementación del módulo I^2C esclavo se realizaron una serie de simulaciones de su posible comportamiento, una de estas se explica a continuación:

- Figura 6.6a. El módulo recibe la secuencia de inicio, seguida de su dirección (0000010) y el bit R/\bar{W} en alto indicando que se realizará una operación de lectura. El módulo esclavo responde con un ACK (SDA=0).
- Figura 6.6b. Se envía el primer byte de datos (01010001) y a su vez se recibe el ACK correspondiente.
- Figura 6.6c. El segundo byte es enviado (00011100) y de nueva cuenta se recibe el ACK que le corresponde, como ya no se leerá otro byte se recibe la secuencia de paro.

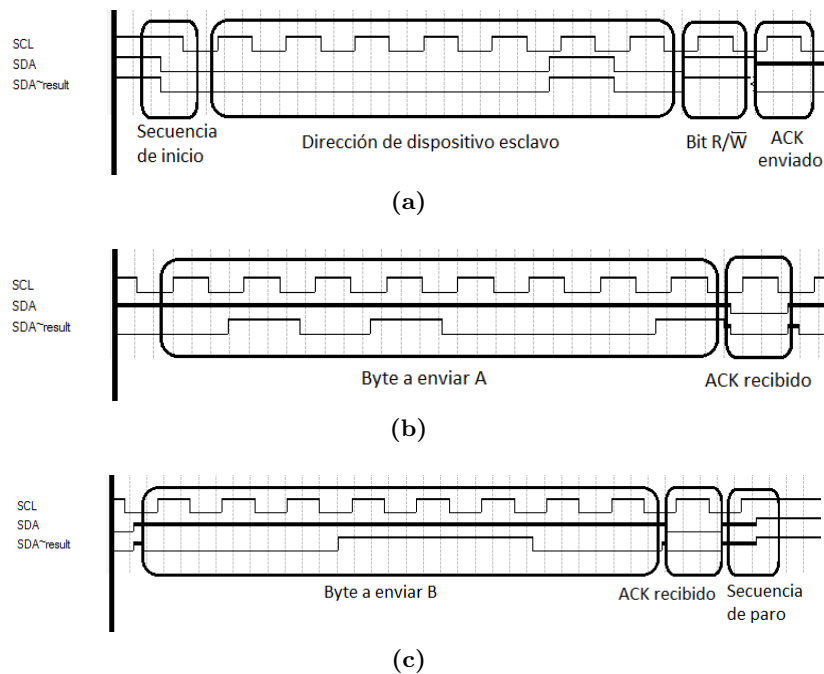


Figura 6.6: Simulación del módulo I^2C esclavo.

6. PRUEBAS Y RESULTADOS

6.2.3.2 Prueba de comunicación

Debido a que el módulo I^2C esclavo, la interfaz gráfica e incluso la entidad que controla la activación del módulo y la señal de reinicio están íntimamente ligados, se realizó la prueba de estos tres elementos en conjunto.

Para efectuar esta prueba se implementó el mismo circuito de la Figura 6.5 conectando la salida del codificador al módulo I^2C esclavo a través del cual se enviaron cada uno de los 512 valores codificados que entregaba el registro de corrimiento a una computadora personal en la que se había generado la interfaz gráfica.

Esta prueba también mostró los resultados esperados, la Figura 6.7 muestra la interfaz gráfica en funcionamiento.

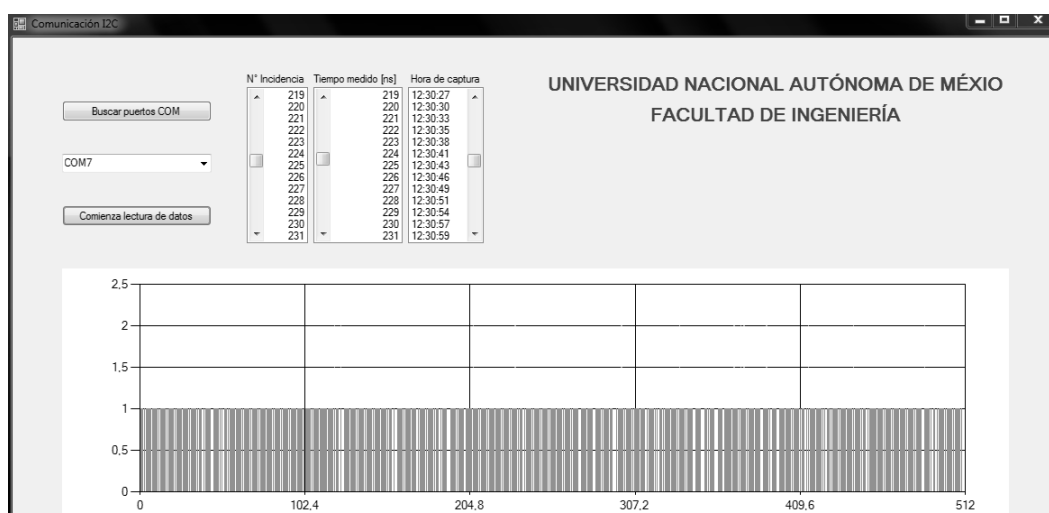


Figura 6.7: Interfaz gráfica recibiendo cada uno de los valores enviados por el codificador.

6.2.4 Circuito de acondicionamiento de señales

6.2.4.1 Simulaciones

Al igual que con los elementos anteriores, se hicieron simulaciones sobre el circuito diseñado para acondicionar las señales que entrega el Telescopio de muones.

Estas simulaciones se realizaron para los casos límite de voltaje: $-600[mV]$ en la Figura 6.8a y $-1.5[V]$ en la Figura 6.8b. Se muestran en color blanco las señales de entrada (emulando los pulsos del Telescopio de muones), en azul la salida del amplificador de instrumentación y en rojo la salida del comprador.

6.2 Segunda etapa: simulaciones y pruebas de laboratorio

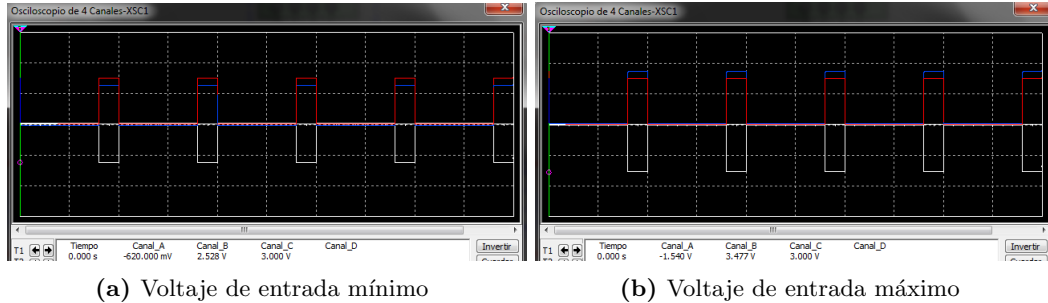


Figura 6.8: Simulaciones del circuito de acondicionamiento de señales.

6.2.4.2 Pruebas de laboratorio

Para probar este circuito se emuló las señales del Telescopio mediante un generador de señales (en amarillo) y se observaron en el osciloscopio ésta y las salidas de cada etapa (en azul). Las Figuras 6.9a y 6.9b corresponden a una entrada de $-648[mV]$ y las Figuras 6.9c y 6.9d a una entrada de $-1.55[V]$.

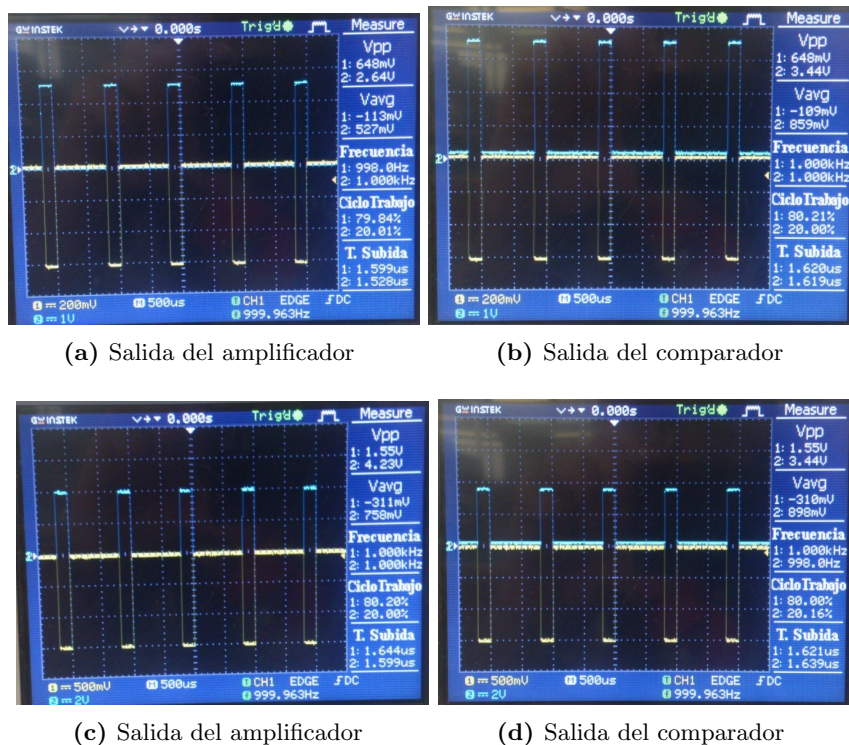


Figura 6.9: Pruebas del circuito de acondicionamiento de señales.

6. PRUEBAS Y RESULTADOS

6.2.5 Prueba de la arquitectura final

Finalmente, se conectaron todos los elementos y se realizó una prueba del funcionamiento de la arquitectura final del dispositivo diseñado, para lo cual se volvió a implementar el circuito realizado para la medición del tiempo de respuesta de una compuerta lógica (Figura 5.2) y se midió dicho tiempo en cada compuerta. Las lecturas fueron correctas en un 93.5% (Figura 6.10).



Figura 6.10: Medición del tiempo de respuesta en la arquitectura final.

6.3 Tercera etapa: lectura de datos en el Observatorio

Las pruebas reales dentro del Observatorio Javier A. Otaola Lizarzaburu se llevaron a cabo gracias al apoyo y bajo la supervisión del ingeniero Marcos Alfonso Anzorena Méndez.

6.3.1 Primeras pruebas

Las primeras pruebas hechas con el Telescopio de muones permitieron detectar y corregir algunos errores que no se presentaron durante las pruebas hechas en laboratorio. Estos errores son:

- 1) **Problema en el acoplamiento de tierras (GND).** Durante la primer prueba realizada se notó que el dispositivo parecía realizar lecturas muy aleatorias, esto

6.3 Tercera etapa: lectura de datos en el Observatorio

se atribuyó a ruido proveniente de la alimentación. Para corregir este problema se decidió cambiar la fuente de voltaje, que en un principio se hacía a través de la computadora mediante un cable de conexión USB, a un módulo de baterías con capacidad de suministrar $4.5[V]$.

- 2) **Error de sincronización.** Una vez corregido el problema anterior se hizo una nueva prueba en la cual se observó que no se realizaba lectura alguna. Después de analizar las posibles causas, se detectó un problema en la sincronización de las entidades descritas en el FPGA. Este error se corrigió modificando y combinando las entidades implicadas.

6.3.2 Adquisición de datos

Ya corregidos los últimos errores se hizo una prueba para la adquisición de datos, en la que se realizó la medición de coincidencias en cuatro detectores: dos superiores y su respectivo inferior en vertical. En el primer par de detectores se obtuvo una gráfica como la que se muestra en la Figura 6.11.

En esta se muestran una cantidad de datos muy próximos a un tiempo igual a cero, los cuales se piensa podrían ser debidos a detecciones de partículas independientes, rebotes o de partículas con una dirección inversa. Para evitar que estos interfiriesen con el resto de las lecturas²² se modificó el rango de los datos adquiridos para eliminar estos valores.

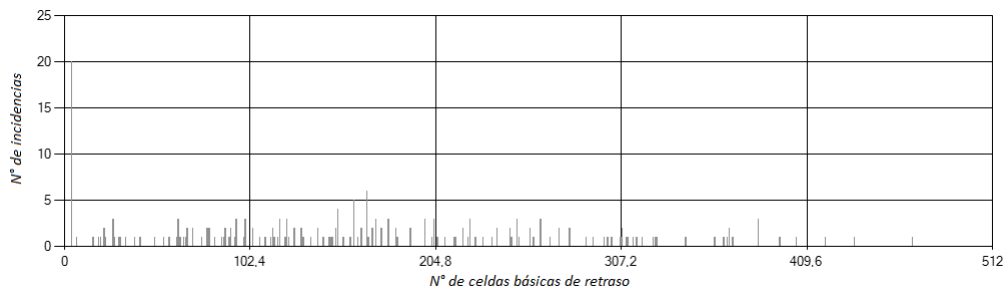


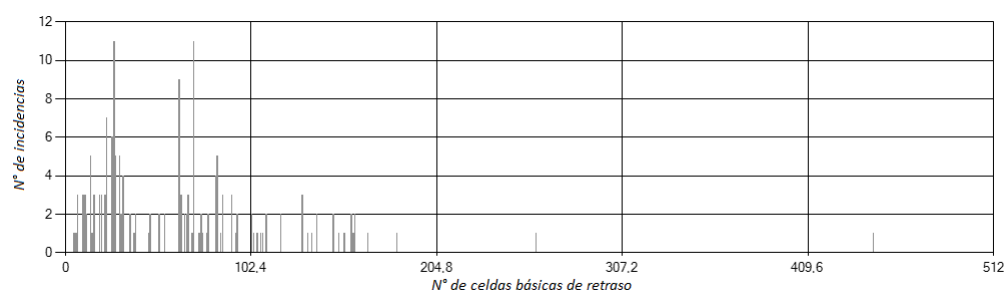
Figura 6.11: Histograma de las incidencias registradas en los detectores *S2I2*.

²²A pesar de ser una cantidad menor de datos (9% del total) el mismo valor se repitió constantemente ($720[ps]$), modificando los ejes de la gráfica y haciendo parecer que el resto de datos eran minoría.

6. PRUEBAS Y RESULTADOS

Se observa también que el resto de datos obtenidos muestra un comportamiento aleatorio, lo cual es contrario a lo esperado. Por lo que se piensa que quizá algún elemento de los detectores o de la electrónica empleada se encuentra degradado u obsoleto²³, por lo que se sugiere que personal especializado realice una evaluación de los canales mencionados para evaluar posibles anomalías en estos..

Las Figuras 6.12a y 6.12b muestran los datos obtenidos con el segundo par de detectores utilizados, en esta ocasión se puede distinguir una tendencia a detectar eventos con una duración de entre 4 y 15[ns] lo cuál se aproxima más a los valores esperados²⁴.



(a)



(b)

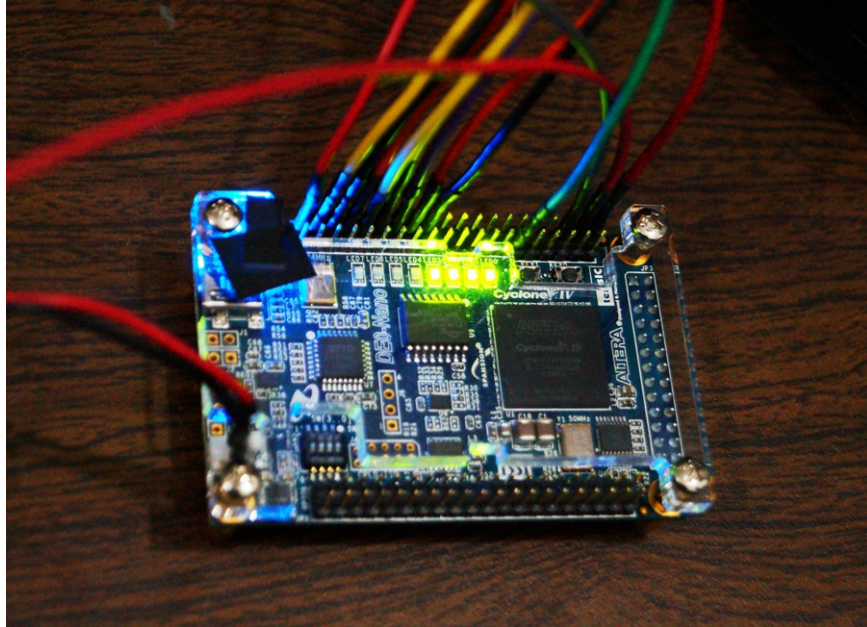
Figura 6.12: Histogramas de las incidencias registradas en los detectores *S3I3*.

Todos los datos recabados durante estas pruebas fueron entregados al personal del Observatorio Javier A. Otaola Lizarzaburu para ser analizados por expertos en el tema (Figura 6.13).

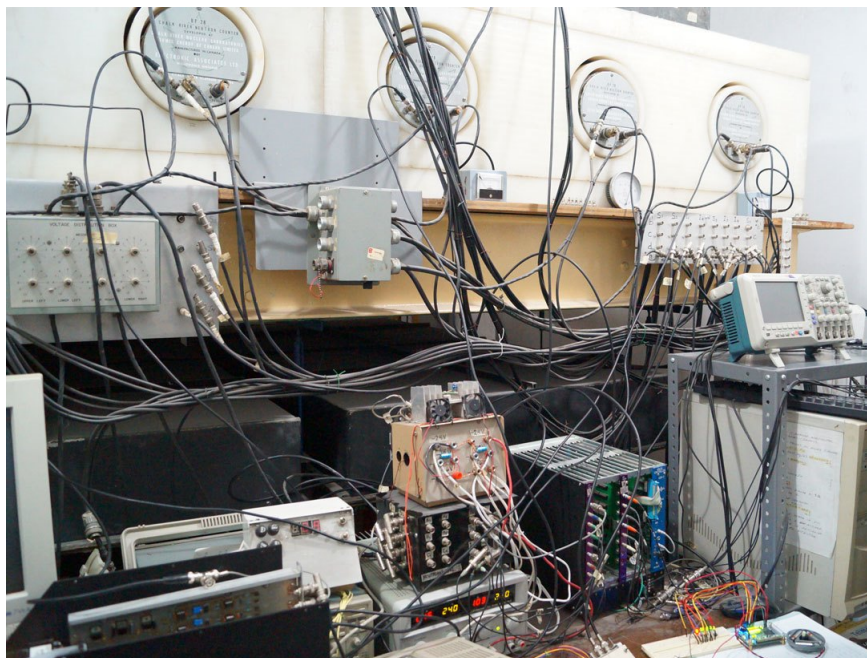
²³Estos elementos han estado operando de forma continua durante al menos 6 años, por lo que no se descartan estas posibilidades.

²⁴Junto con personal del Observatorio se calculó que los datos esperados se encontrarían entre 7.6 y 8.2[ns]

6.3 Tercera etapa: lectura de datos en el Observatorio



(a) Tarjeta DE0-Nano en funcionamiento



(b) Equipos en el Observatorio

Figura 6.13: Una de las pruebas realizadas dentro del Observatorio Javier A. Otaola Lizarzaburu.

Conclusiones

A lo largo de este trabajo de tesis se han implementado circuitos digitales mediante un dispositivo FPGA, en los cuales el principio de operación está basado en el tiempo de propagación de una señal a través de estos.

La implementación de dichos circuitos no ha sido fácil, ya que utilizar un dispositivo en el límite de su operación puede presentar ciertos efectos, como son jitter o skew, que llegan a derivar en problemas como la generación glitches, los cuales son perjudiciales para su diseño.

Sin embargo, el tiempo de propagación de un circuito digital puede ser aprovechado en múltiples aplicaciones, entre las que se encuentran la investigación científica.

En conclusión, tras la realización de las múltiples pruebas y de la adquisición de una cantidad de datos dentro del rango esperado, se infiere que el sistema diseñado funciona correctamente y cuenta con las siguientes características:

- 1) Resolución de 180[ps].
- 2) Rango máximo de medición de 92.16[ns].
- 3) Tiempo muerto del convertidor tiempo-digital de 300[ns].
- 4) Velocidad de salida de lectura de 550[ms].
- 5) Detección en coincidencia a partir de dos diferentes canales.
- 6) Almacenamiento de datos en PC mediante bus de comunicación I^2C ²⁵.

²⁵Se implementó esta forma de comunicación para que el sistema fuese compatible con los sistemas que existen actualmente en el Observatorio.

7. CONCLUSIONES

Las cuales cumplen con los requisitos mencionados en la introducción. También cabe mencionar que el sistema está diseñado a la medida de las necesidades del Telescopio de muones, sin embargo, es posible reutilizar el convertidor tiempo-digital en otro tipo de aplicaciones como puede ser la medición del ancho de pulso.

Igualmente, este sistema puede adaptarse a telescopios de dimensiones mayores únicamente aumentando el rango de medición (concatenando más celdas básicas de retraso) sin la necesidad de hacer grandes modificaciones de hardware.

7.1 Recomendaciones y trabajo a futuro

Aunque los resultados obtenidos son satisfactorios, aún se pueden realizar mejoras al sistema diseñado. En primer lugar se espera el análisis de los datos por parte del personal del Observatorio Javier A. Otaola Lizarzaburu quienes podrían ofrecer observaciones y puntos de vista en cuanto al tema.

Otra mejora a futuro sería incluir la medición de todos los canales que componen el Telescopio de muones, ya que el sistema sólo está implementado para la medición de dos canales en coincidencia.

Ya que las entidades implementadas en el FPGA fueron descritas en VHDL, es posible cambiar este dispositivo por algún otro de mayor velocidad, mejorando así la resolución de la medición.

Igualmente podría mejorarse la velocidad de salida de la lectura, ya que esta depende directamente del módulo de comunicación *USB – I²C*, por lo que si se cambiase de dispositivo por otro de menor tiempo de espera podría disminuirse dicho valor.

Apéndice

Bus de comunicación I^2C

El bus de comunicación I^2C (Inter-Integrated Circuits) fue diseñado por la compañía Philips Semiconductors a principios de los años 80 y permite la comunicación entre diferentes tipos de dispositivos con una velocidad estándar de aproximadamente $100[Kb/s]$.

Cuenta con únicamente dos líneas para la transferencia de señales:

- **SCL (Serial Clock)** Línea unidireccional que transfiere los pulsos de reloj del dispositivo maestro hacia el dispositivo esclavo, permitiendo la sincronización de la transferencia de datos.
- **SDA (Serial Data)** Línea bidireccional para el envío y recepción²⁶ de los datos en forma serial entre el dispositivo maestro y el dispositivo esclavo.

Ambas líneas son del tipo *open-drain* y deben ser polarizadas en estado alto con resistores de *pull-up* con valor de resistencia entre $1.8[K\Omega]$ y $47[K\Omega]$.

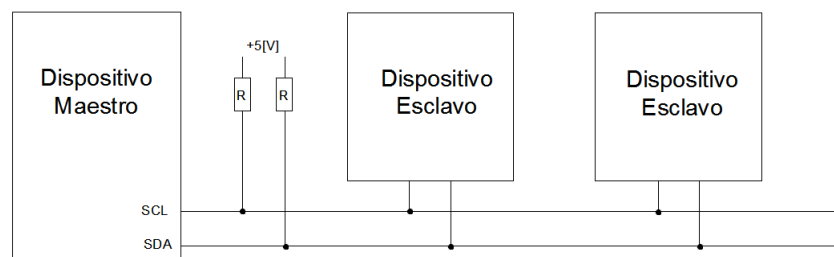


Figura A.1: Diagrama de conexiones del bus I^2C .

²⁶Por convención, la nomenclatura de la transferencia de datos se realiza a partir del dispositivo maestro, de forma que “envío” o “escritura” hace referencia a la transferencia del dispositivo maestro hacia el esclavo, mientras que “recepción” o “lectura” es del esclavo hacia el maestro.

A.1 Protocolo de comunicación

Cómo se pueden conectar una gran cantidad de dispositivos al bus (siempre y cuando no superen los $400[pF]$) es necesario que se sigan ciertas reglas para lograr una comunicación eficiente.

En primer lugar, es importante saber que todo dispositivo conectado al bus es definido como maestro o como esclavo. Con la norma de que únicamente los dispositivos maestros pueden iniciar el proceso de comunicación.

La serie de pasos que sigue el protocolo I^2C se enlistan a continuación:

- 1) En condiciones iniciales o de bus libre, cualquier dispositivo maestro puede utilizarlo estableciendo la condición de inicio. Esta se realiza cambiando el valor de la línea SDA manteniendo el valor de la línea SCL (Figura A.2).

Una vez que el dispositivo maestro toma control del bus, este generará pulsos de reloj en la línea SCL en grupos de 9 para sincronizar la transferencia de datos. Dicha transferencia se realiza en bytes (8 bits) dejando el último pulso para el bit de reconocimiento (ACK).

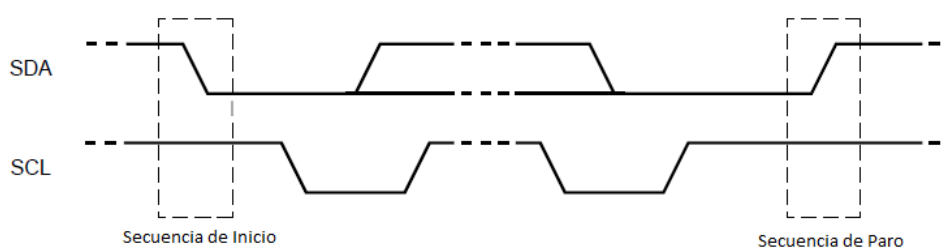


Figura A.2: El único momento en que la línea SDA cambia de estado mientras la línea SCL se encuentra en alto es durante las secuencias de inicio y paro.

- 2) El primer byte enviado contiene la dirección del dispositivo esclavo (7 bits) con el que se pretende realizar la comunicación más el bit de lectura/escritura (R/\bar{W}). Si este último bit se encuentra en estado bajo el dispositivo maestro realizará una operación de escritura, en cambio si se encuentra en estado alto se realizará una operación de lectura.

- 3) Si la dirección enviada corresponde con la de alguno de los dispositivos esclavos, el maestro recibirá el bit de reconocimiento (ACK) del esclavo correspondiente (SDA en bajo). En caso contrario la comunicación se dará por finalizada y el bus quedará de nuevo en condiciones iniciales.
- 4) En caso de realizarse una operación de escritura ($R/\bar{W} = 0$) el dispositivo maestro enviará la información en tantos bytes como sean necesarios, separando cada uno por la lectura del ACK.

De otro modo, si la operación a realizarse es de lectura ($R/\bar{W} = 1$) el maestro recibirá la información byte a byte contestando con un ACK entre cada uno.

- 5) Cuando se han enviado o recibido los datos, la comunicación se da por finalizada y el dispositivo maestro genera la condición de paro (Figura A.2) quedando el bus libre para realizar otra comunicación.

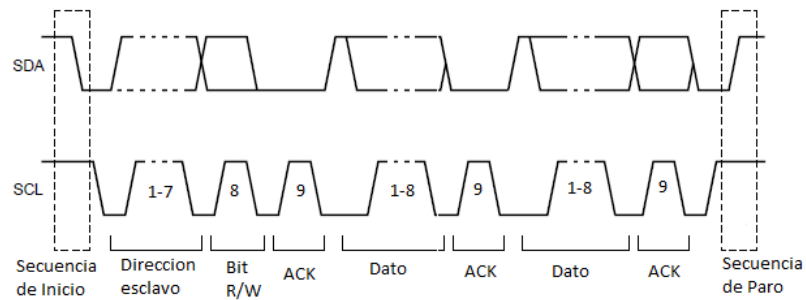


Figura A.3: Diagrama de señales de la transferencia de datos.

Módulo de comunicación

$USB - I^2C$

El módulo de comunicación $USB - I^2C$ es un dispositivo que provee de una interfaz entre una computadora y el bus I^2C conectándose a cualquier puerto USB del que toma el voltaje necesario para su funcionamiento.

B.1 Controladores

Para poder utilizar este dispositivo es necesario instalar una serie de controladores, los cuales generan un puerto virtual COM que debe ser configurado a 19 200 bauds de velocidad, datos de 8 bits, sin paridad y dos bits de paro.

De esta manera es posible acceder al dispositivo de la misma manera en que se accede a un puerto COM utilizando las librerías apropiadas. Dichos controladores pueden ser descargados de manera gratuita en la dirección de internet <http://www.ftdichip.com/FTDrivers.htm> y están disponibles para los sistemas operativos Windows, Apple y Linux.

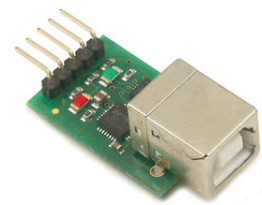


Figura B.1: Módulo de comunicación $USB - I^2C$.

B.2 Conexión

Para poder conectar el módulo $USB - I^2C$ con una computadora es necesario utilizar únicamente un cable de conexión con plug USB 2.0 tipo B.

B. MÓDULO DE COMUNICACIÓN $USB - I^2C$

Por otro lado, para realizar la conexión con el bus I^2C el dispositivo cuenta con cinco pines, cuya función es la siguiente:

- **0v Gnd.** Conexión a tierra.
- **Input1.** Este pin puede ser utilizado como entrada y tiene conectado un resistor de *pull-up* de $47[K\Omega]$. Si la aplicación no necesita de esta conexión puede ignorarse.
- **SCL I/O2.** Es el pin que corresponde con la señal de reloj del bus de comunicación I^2C . Debido a que el módulo funciona únicamente como dispositivo maestro, es este el que genera dicha señal.
- **SDA I/O3.** Es el pin que corresponde a la señal SDA, por la que se envían o reciben datos.
- **+5V.** Provee $5[V]$ de alimentación que pueden alimentar dispositivos externos que no superen un consumo de $70[mA]$. Si no es necesaria su función puede quedar desconectado.

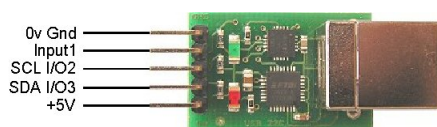


Figura B.2: Diagrama de pines del módulo de comunicación $USB - I^2C$.

B.3 Comandos

Para hacer funcionar este dispositivo es necesario escribir en él, a través del puerto USB, una serie de comandos para especificar qué tipo de operación realizará.

B.3.1 I2C_SGL

Este comando permite la lectura o escritura a dispositivos esclavos que no cuentan con registros internos a los cuales direccionar.

Para implementar este comando se deben escribir al módulo tres bytes: $(0x53) +$ (dirección de esclavo + bit R/\bar{W}) + (byte a escribir).

En caso de ser implementado como lectura sólo se escriben los primeros dos bytes.

B.3.2 I2C_MUL

Con este comando es posible leer múltiples bytes desde un dispositivo esclavo que no cuenta con dirección interna de registros.

En este caso es necesario escribir tres bytes al módulo: (0x54) + (dirección de esclavo + bit R/\bar{W}) + (número de bytes a leer).

B.3.3 I2C_AD1

Permite leer o escribir a dispositivos esclavos con un sólo byte de direccionamiento interno.

Para poder implementar este comando es necesario escribir por lo menos cinco bytes: (0x55) + (dirección de esclavo + bit R/\bar{W}) + (dirección interna del registro a acceder) + (número de datos a leer o escribir) + (bytes a escribir).

En el caso de que sea implementado como lectura, simplemente se escriben los primeros cuatro bytes.

B.3.4 I2C_AD2

Este comando permite leer o escribir a dispositivos esclavos que emplean dos bytes de direccionamiento a registros internos.

Para implementarlo se necesitan escribir al módulo por lo menos seis bytes: (0x56) + (dirección de esclavo + bit R/\bar{W}) + (byte más significativo de la dirección interna del registro a acceder) + (byte menos significativo de la dirección interna del registro a acceder) + (número de datos a leer o escribir) + (bytes a escribir).

Si únicamente se pretende leer del dispositivo esclavo, se deberán escribir al módulo los primeros cinco bytes.

B.3.5 I2C_USB

Con este comando se pueden ejecutar una serie sub-comandos propios del módulo de comunicación $USB - I^2C$, los cuales no serán explicados.

Es importante mencionar que después de ejecutar alguno de estos comandos, la computadora deberá esperar 500[ms] antes de proceder con una siguiente escritura.

Hojas de especificaciones

Hojas de especificaciones de los elementos utilizados en la arquitectura final del dispositivo diseñado.

- Tarjeta de desarrollo DE0-Nano.
- Amplificador operacional TL084CN.
- Comparador diferencial de alta velocidad LM360N.
- Módulo de evaluación SLVP096.

Chapter 1

Introduction

The DE0-Nano board introduces a compact-sized FPGA development platform suited for to a wide range of portable design projects, such as robots and mobile projects.

The DE0-Nano is ideal for use with embedded soft processors—it features a powerful Altera Cyclone IV FPGA (with 22,320 logic elements), 32 MB of SDRAM, 2 Kb EEPROM, and a 64 Mb serial configuration memory device. For connecting to real-world sensors the DE0-Nano includes a National Semiconductor 8-channel 12-bit A/D converter, and it also features an Analog Devices 13-bit, 3-axis accelerometer device.

The DE0-Nano board includes a built-in USB Blaster for FPGA programming, and the board can be powered either from this USB port or by an external power source. The board includes expansion headers that can be used to attach various Terasic daughter cards or other devices, such as motors and actuators. Inputs and outputs include 2 pushbuttons, 8 user LEDs and a set of 4 dip-switches.

1.1 Features

Figure 1-1 shows a photograph of the DE0-Nano Board.

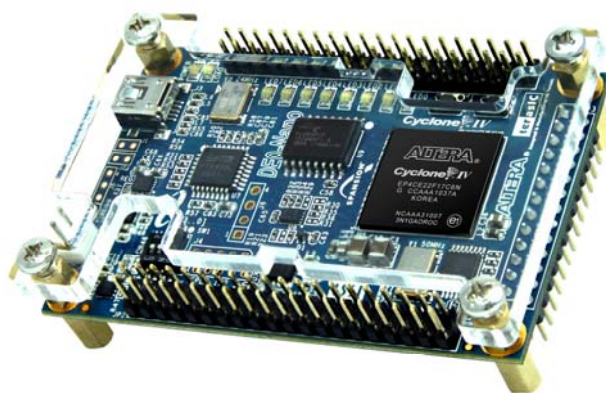


Figure 1-1 The DE0-Nano Board

The key features of the board are listed below:

- Featured device
 - Altera Cyclone® IV EP4CE22F17C6N FPGA
 - 153 maximum FPGA I/O pins

- Configuration status and set-up elements
 - On-board USB-Blaster circuit for programming
 - Spansion EPCS64

- Expansion header
 - Two 40-pin Headers (GPIOs) provide 72 I/O pins, 5V power pins, two 3.3V power pins and four ground pins

- Memory devices
 - 32MB SDRAM
 - 2Kb I2C EEPROM

- General user input/output
 - 8 green LEDs
 - 2 debounced pushbuttons
 - 4-position DIP switch

- G-Sensor
 - ADI ADXL345, 3-axis accelerometer with high resolution (13-bit)

- A/D Converter
 - NS ADC128S022, 8-Channel, 12-bit A/D Converter
 - 50 Ksps to 200 Ksps

- Clock system
 - On-board 50MHz clock oscillator

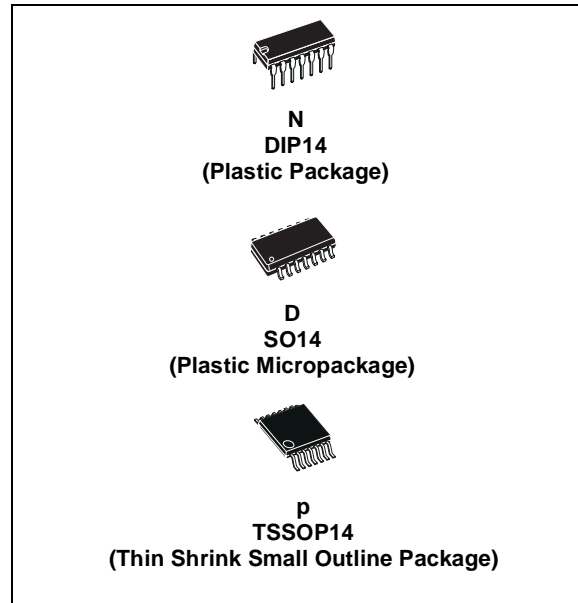
- Power Supply
 - USB Type mini-AB port (5V)
 - DC 5V pin for each GPIO header (2 DC 5V pins)
 - 2-pin external power header (3.6-5.7V)



TL084 TL084A - TL084B

GENERAL PURPOSE J-FET QUAD OPERATIONAL AMPLIFIERS

- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J-FET INPUT STAGE
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : $16V/\mu s$ (typ)

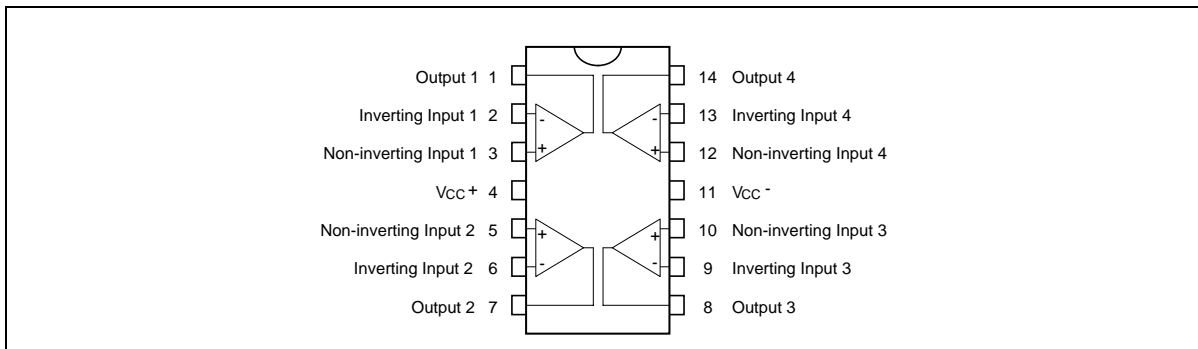


DESCRIPTION

The TL084, TL084A and TL084B are high speed J-FET input quad operational amplifiers incorporating well matched, high voltage J-FET and bipolar transistors in a monolithic integrated circuit.

The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

PIN CONNECTIONS (top view)

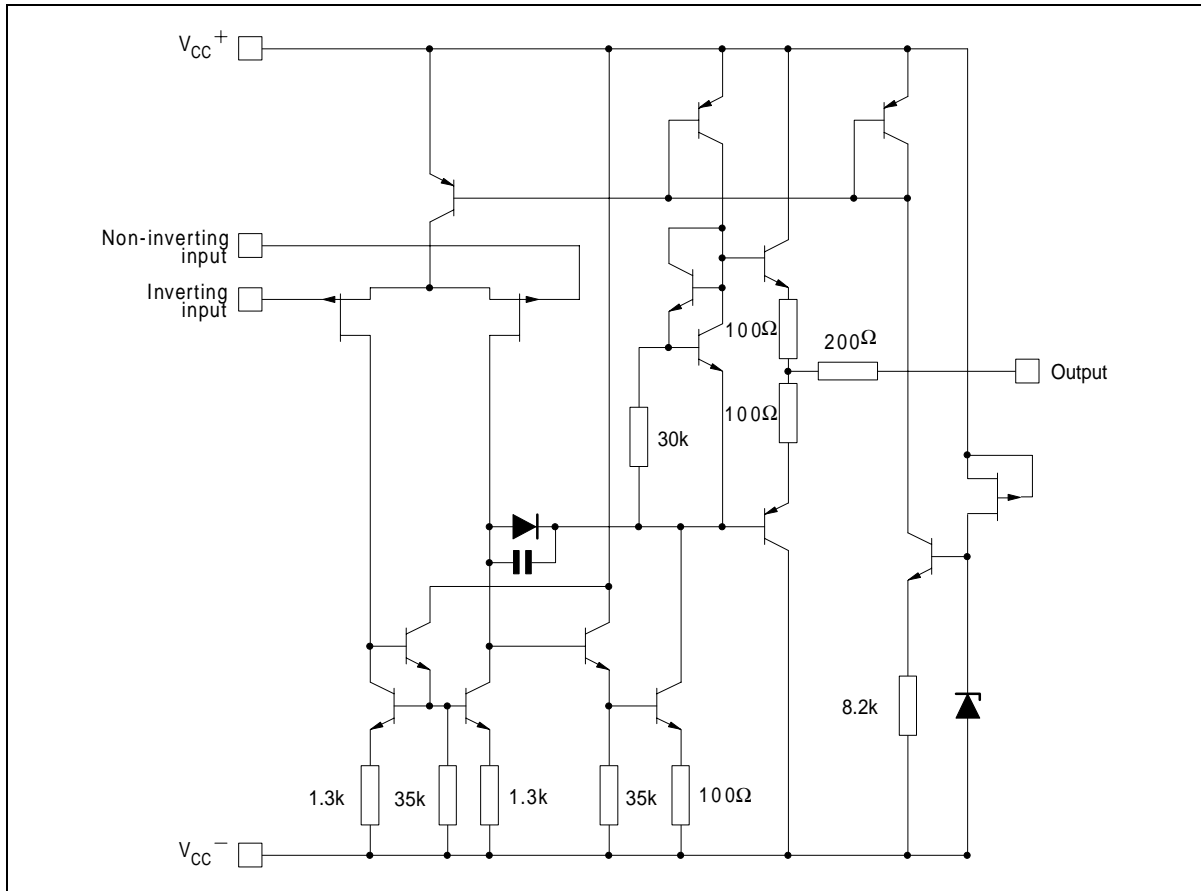


ORDER CODE

Part Number	Temperature Range	Package		
		N	D	P
TL084M/AM/BM	-55°C, +125°C	•	•	•
TL084I/AI/BI	-40°C, +105°C	•	•	•
TL084C/AC/BC	0°C, +70°C	•	•	•
Example : TL084CN, TL084CD				

N = Dual in Line Package (DIP)
D = Small Outline Package (SO) - also available in Tape & Reel (DT)
P = Thin Shrink Small Outline Package (TSSOP) - only available in Tape & Reel (PT)

SCHEMATIC DIAGRAM (each amplifier)



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	TL084M, AM, BM	TL084I, AI, BI	TL084C, AC, BC	Unit
V_{CC}	Supply voltage - note 1)	±18			V
V_i	Input Voltage - note 2)	±15			V
V_{id}	Differential Input Voltage - note 3)	±30			V
P_{tot}	Power Dissipation	680			mW
	Output Short-circuit Duration - note 4)	Infinite			
T_{oper}	Operating Free-air Temperature Range	-55 to +125	-40 to +105	0 to +70	°C
T_{stg}	Storage Temperature Range	-65 to +150			°C

1. All voltage values, except differential voltage, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between V_{CC}^+ and V_{CC}^- .
2. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
3. Differential voltages are the non-inverting input terminal with respect to the inverting input terminal.
4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

ELECTRICAL CHARACTERISTICS

V_{CC} = ±15V, T_{amb} = +25°C (unless otherwise specified)

Symbol	Parameter	TL084I,M,AC,AI,AM, BC,BI,BM			TL084C			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
V _{io}	Input Offset Voltage (R _S = 50Ω) T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}		3 3 1	10 6 3 13 7 5		3 10		mV
DV _{io}	Input Offset Voltage Drift		10			10		μV/°C
I _{io}	Input Offset Current - note 1) T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}		5	100 4		5 100 4		pA nA
I _{ib}	Input Bias Current -note 1 T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}		20	200 20		20 400 20		pA nA
A _{vd}	Large Signal Voltage Gain (R _L = 2kΩ, V _O = ±10V) T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}	50 25	200		25 15	200		V/mV
SVR	Supply Voltage Rejection Ratio (R _S = 50Ω) T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}	80 80	86		70 70	86		dB
I _{CC}	Supply Current, no load, per amplifier T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}		1.4	2.5 2.5		1.4 2.5 2.5		mA
V _{icm}	Input Common Mode Voltage Range	±11	+15 -12		±11	+15 -12		V
CMR	Common Mode Rejection Ratio (R _S = 50Ω) T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}	80 80	86		70 70	86		dB
I _{os}	Output Short-circuit Current T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}	10 10	40	60 60	10 10	40 60 60		mA
±V _{opp}	Output Voltage Swing T _{amb} = +25°C T _{min} ≤ T _{amb} ≤ T _{max}		10 12 10 12	12 13.5		10 12 10 12	12 13.5	V
SR	Slew Rate (T _{amb} = +25°C) V _{in} = 10V, R _L = 2kΩ, C _L = 100pF, unity gain		8	16		8 16		V/μs
t _r	Rise Time (T _{amb} = +25°C) V _{in} = 20mV, R _L = 2kΩ, C _L = 100pF, unity gain			0.1		0.1		μs
K _{ov}	Overshoot (T _{amb} = +25°C) V _{in} = 20mV, R _L = 2kΩ, C _L = 100pF, unity gain			10		10		%
GBP	Gain Bandwidth Product (T _{amb} = +25°C) V _{in} = 10mV, R _L = 2kΩ, C _L = 100pF, f = 100kHz		2.5	4		2.5 4		MHz
R _i	Input Resistance			10 ¹²			10 ¹²	Ω

TL084 - TL084A - TL084B

Symbol	Parameter	TL084I,M,AC,AI,AM, BC,BI,BM			TL084C			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
THD	Total Harmonic Distortion ($T_{amb} = +25^{\circ}\text{C}$), $f = 1\text{kHz}$, $R_L = 2\text{k}\Omega$, $C_L = 100\text{pF}$, $A_v = 20\text{dB}$, $V_o = 2V_{pp}$		0.01			0.01		%
e_n	Equivalent Input Noise Voltage $R_S = 100\Omega$, $f = 1\text{KHz}$		15			15		$\frac{\text{nV}}{\sqrt{\text{Hz}}}$
ϕ_m	Phase Margin		45			45		degrees
V_{o1}/V_{o2}	Channel Separation $A_v = 100$		120			120		dB

1. The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature.

LM160/LM360 High Speed Differential Comparator

General Description

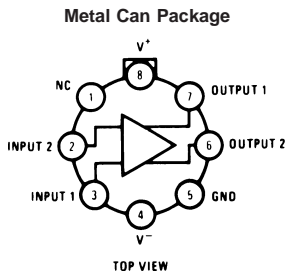
The LM160/LM360 is a very high speed differential input, complementary TTL output voltage comparator with improved characteristics over the μ A760/ μ A760C, for which it is a pin-for-pin replacement. The device has been optimized for greater speed, input impedance and fan-out, and lower input offset voltage. Typically delay varies only 3 ns for overdrive variations of 5 mV to 400 mV.

Complementary outputs having minimum skew are provided. Applications involve high speed analog to digital converters and zero-crossing detectors in disk file systems.

Features

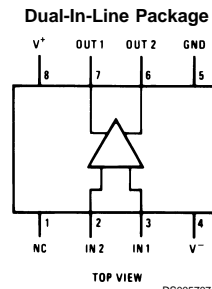
- Guaranteed high speed: 20 ns max
- Tight delay matching on both outputs
- Complementary TTL outputs
- High input impedance
- Low speed variation with overdrive variation
- Fan-out of 4
- Low input offset voltage
- Series 74 TTL compatible

Connection Diagrams



Order Number LM160H/883 (Note 1) or LM360H
See NS Package Number H08C

Note 1: Also available in SMD# 5962-8767401



Order Number LM360M or LM360N
See NS Package Number M08A or N08E

Absolute Maximum Ratings (Notes 6, 8)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Positive Supply Voltage	+8V
Negative Supply Voltage	-8V
Peak Output Current	20 mA
Differential Input Voltage	±5V
Input Voltage	$V^+ \geq V_{IN} \geq V^-$
ESD Tolerance (Note 9)	1600V
Operating Temperature Range	
LM160	-55°C to +125°C
LM360	0°C to +70°C

Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.	

Electrical Characteristics

($T_{MIN} \leq T_A \leq T_{MAX}$)

Parameter	Conditions	Min	Typ	Max	Units
Operating Conditions					
Supply Voltage V_{CC}^+		4.5	5	6.5	V
Supply Voltage V_{CC}^-		-4.5	-5	-6.5	V
Input Offset Voltage	$R_S \leq 200\Omega$		2	5	mV
Input Offset Current			0.5	3	μA
Input Bias Current			5	20	μA
Output Resistance (Either Output)	$V_{OUT} = V_{OH}$		100		Ω
Response Time					
	$T_A = 25^\circ\text{C}, V_S = \pm 5\text{V}$ (Notes 2, 7)		13	25	ns
	$T_A = 25^\circ\text{C}, V_S = \pm 5\text{V}$ (Notes 3, 7)		12	20	ns
	$T_A = 25^\circ\text{C}, V_S = \pm 5\text{V}$ (Notes 4, 7)		14		ns
Response Time Difference between Outputs					
$(t_{pd} \text{ of } +V_{IN1}) - (t_{pd} \text{ of } -V_{IN2})$	$T_A = 25^\circ\text{C}$ (Notes 2, 7)		2		ns
$(t_{pd} \text{ of } +V_{IN2}) - (t_{pd} \text{ of } -V_{IN1})$	$T_A = 25^\circ\text{C}$ (Notes 2, 7)		2		ns
$(t_{pd} \text{ of } +V_{IN1}) - (t_{pd} \text{ of } +V_{IN2})$	$T_A = 25^\circ\text{C}$ (Notes 2, 7)		2		ns
$(t_{pd} \text{ of } -V_{IN1}) - (t_{pd} \text{ of } -V_{IN2})$	$T_A = 25^\circ\text{C}$ (Notes 2, 7)		2		ns
Input Resistance	$f = 1 \text{ MHz}$		17		kΩ
Input Capacitance	$f = 1 \text{ MHz}$		3		pF
Average Temperature Coefficient of Input Offset Voltage	$R_S = 50\Omega$		8		μV/°C
Average Temperature Coefficient of Input Offset Current			7		nA/°C
Common Mode Input Voltage Range	$V_S = \pm 6.5\text{V}$	±4	±4.5		V
Differential Input Voltage Range		±5			V
Output High Voltage (Either Output)	$I_{OUT} = -320 \mu\text{A}, V_S = \pm 4.5\text{V}$	2.4	3		V
Output Low Voltage (Either Output)	$I_{SINK} = 6.4 \text{ mA}$		0.25	0.4	V
Positive Supply Current	$V_S = \pm 6.5\text{V}$		18	32	mA
Negative Supply Current	$V_S = \pm 6.5\text{V}$		-9	-16	mA

Note 2: Response time measured from the 50% point of a 30 mVp-p 10 MHz sinusoidal input to the 50% point of the output.

Note 3: Response time measured from the 50% point of a 2 Vp-p 10 MHz sinusoidal input to the 50% point of the output.

Note 4: Response time measured from the start of a 100 mV input step with 5 mV overdrive to the time when the output crosses the logic threshold.

Note 5: Typical thermal impedances are as follows:

Cavity DIP (J):	θ_{JA}	135°C/W	Header (H)	θ_{JA}	165°C/W	(Still Air)
Molded DIP (N):	θ_{JA}	130°C/W		θ_{JC}	67°C/W	(400 LF/min Air Flow)
				θ_{JC}	25°C/W	

Note 6: The device may be damaged if used beyond the maximum ratings.

Note 7: Measurements are made in AC Test Circuit, Fanout = 1

Note 8: Refer to RETS 160X for LM160H, LM160J-14 and LM160J military specifications.

**TPS6735 EVALUATION MODULE
SLVP095 USER'S GUIDE**

The user's guide serves as a reference for properly connecting the TPS6735 evaluation module SLVP095. The data sheet provides information on the operation of the TPS6735. Using both documents will provide engineers with the information needed for application development.

Input Connection

The 4 pin header connection (P1) is the connection for the input supply voltage (see Figure 1). The topmost pin of P1 must be connected to the input power supply positive terminal. The two middle pins must be connected to the input power supply ground terminal. The fourth pin is connected directly to EN on the TPS6735 and can be allowed to float for normal operation of the converter. The converter is disabled when the fourth pin is connected to ground. The input voltage must be between 4.5V and 6.2V to provide the 200mA load current.

Output Connection

The 4 pin header (P2) is the connection for the resistive load. The two topmost pins are the -5V output terminals. The two bottom pins are the ground terminal.

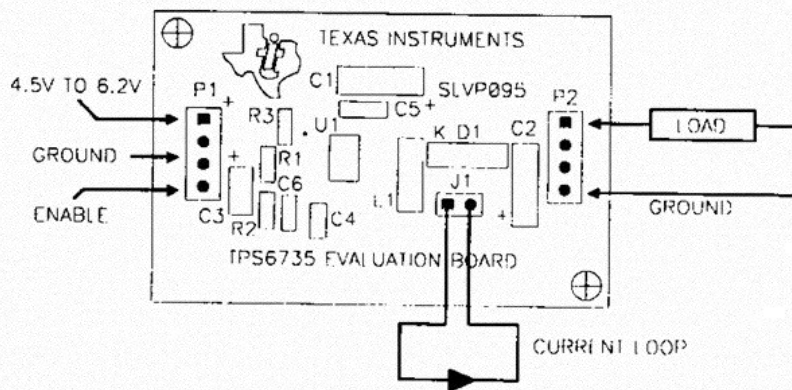


Figure 1 EVM Connections.

Bibliografía y referencias

- [1] JAVIER A. OTAOLA Y JOSÉ F. VALDÉZ-GALICIA. *Los rayos cósmicos: mensajeros de las estrellas*. Colección: La ciencia para todos; 108. Fondo de cultura económica, México, 1995. Segunda edición.
- [2] HISTORIA DE LA INVESTIGACIÓN DE RAYOS CÓSMICOS. <http://visitantes.auger.org.ar/index.php/historia.html>. Observatorio Pierre Auger Sur, Consulta: Mayo 2014.
- [3] SLADJANA NIKOLIĆ ET AL. *An Integral View of Fast Shocks Around Supernova 1006*. Science Magazine, publicación Online: 14 de Febrero de 2013.
- [4] RAMÓN FERNÁNDEZ ÁLVAREZ ESTRADA Y MARINA RAMÓN MEDRANO. *Partículas elementales*. Colección: La ciencia para todos; 195. Fondo de cultura económica, México, 2003.
- [5] ARTURO MENCHACA ROCHA. *El discreto encanto de las partículas elementales*. Colección: La ciencia para todos; 68. Fondo de cultura económica, México, 1996. Quinta edición.
- [6] MARCOS ALFONSO ANZORENA MÉNDEZ Y ROCÍO GARCÍA GÍNEZ. *Diseño e implementación de un sistema de adquisición de datos para el Observatorio de Rayos Cósmicos de Ciudad Universitaria*. Tesis profesional. Universidad Nacional Autónoma de México, 2011.
- [7] G. MATEOS Y A. MINOR. *La red internacional de rayos cósmicos, Manuel Sandoval Vallarta y la física en México*. Revista Mexicana de Física E, 2013. Págs. 148-155.
- [8] GRUPO DE RAYOS CÓSMICOS. http://www.geofisica.unam.mx/observatorios/rayos_cosmicos/grupo_raycos/index.html. Instituto de Geofísica, UNAM, Consulta: Junio 2014.
- [9] STEPHAN HENZLER. *Time-to-Digital Converters*. Springer series in advanced microelectronics; 29. Springer, Alemania, 2010.
- [10] JÓZEF KALISZ. *Review of methods for time interval measurements with picosecond resolution*. Metrologia, vol. 41 n° 1. Institute of Physics Publishing, 2004. Págs. 17-32.

BIBLIOGRAFÍA Y REFERENCIAS

- [11] G. S. JOVANOVIĆ Y M. K. STOJČEV. *Vernier's delay line Time-to-Digital Converter*. Series A: Applied mathematics, informatics & mechanics, vol.1. Scientific publications of the State University of Novi Pazar, 2009. Págs. 11-20.
- [12] X. QUIN ET AL. *Development of high resolution TDC implemented in radiation tolerant FPGAs for aerospace application*. IEEE, 2012.
- [13] ZAINALABEDIN NAVABI. *Digital design and implementation with field programmable devices*. Kluwer Academic Publishers, E.U.A., 2005.
- [14] THOMAS L. FLOYD. *Fundamentos de sistemas digitales*. Pearson, Madrid, 2006. Novena edición.
- [15] RONALD J. TOCCI, NEAL S. WIDMER, Y GREGORY L. MOSS. *Sistemas digitales. Principios y aplicaciones*. Pearson, México, 2007. Décima edición.
- [16] IAN KUON, RUSSELL TESSIER, Y JONATHAN ROSE. *FPGA architecture: survey and challenges*. Foundations and trends in electronic design automation, E.U.A., 2007. Volúmen 2, número 2.
- [17] WAYNE WOLF. *FPGA-Based system design*. Prentice Hall modern semiconductor design series. Prentice Hall, E.U.A., 2004. Cuarta edición.
- [18] ALTERA CORPORATION. *Cyclone IV device handbook*. Volumen 1, 2014.
- [19] DONALD A. NEAMEN. *Análisis y diseño de circuitos electrónicos*. McGraw-Hill, México, 1999.
- [20] COMUNICACIÓN BUS I2C. DESCRIPCIÓN Y FUNCIONAMIENTO. http://robots-argentina.com.ar/Comunicacion_busI2C.htm. Por Eduardo J. Carletti, Consulta: Agosto 2014.
- [21] USB TO I2C COMMUNICATIONS MODULE. http://www.robot-electronics.co.uk/htm/usb_i2c_tech.htm. Technical Specification, Consulta: Agosto 2014.