



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO  
PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA  
MAESTRÍA EN INGENIERÍA ELÉCTRICA - TELECOMUNICACIONES

VALIDACIÓN EXPERIMENTAL DEL MODELO DE CIRCUITO EQUIVALENTE DE  
PEQUEÑA SEÑAL PARA TRANSISTORES FINFET DE TRES COMPUERTAS

TESIS  
QUE PARA OPTAR POR EL GRADO DE:  
MAESTRO EN INGENIERÍA ELÉCTRICA

PRESENTA:  
MARIO ALBERTO HERNÁNDEZ ROMÁN

TUTOR:  
DR. JULIO CÉSAR TINOCO MAGAÑA,  
DEPARTAMENTO DE INGENIERÍA EN TELECOMUNICACIONES, UNAM

MÉXICO, D.F. – enero 2014



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**Jurado Asignado:**

Presidente:	DR. MARTÍNEZ LÓPEZ JOSÉ ISMAEL
Secretario:	DR. GUTIÉRREZ CASTREJÓN RAMÓN
Vocal:	DR. TINOCO MAGAÑA JULIO CÉSAR
1 <sup>er</sup> . Suplente:	DR. MATÍAS MARURI JOSÉ MARÍA
2 <sup>do</sup> . Suplente:	DR. PSENICKA BOHUMIL

Lugar donde se realizó la tesis: FACULTAD DE INGENIERÍA, UNAM

**Tutor de tesis:**  
DR. JULIO CÉSAR TINOCO MAGAÑA

.....  
**Firma**



*Para los dos sólidos pilares de mi vida, mis padres,  
sobre los que esta obra está construida, sin ustedes,  
esto hubiera sido edificado sobre la arena.*



# Agradecimientos

Sea escritas estas líneas:

A la Univesidad Nacional Autónoma de México, y por ende al pueblo de México, por ofrecerme la oportunidad de realizar de los estudios preparatorianos hasta estudios de posgrado, quedando siempre en deuda con ustedes.

A mis padres, María Magdalena y Leandro por el cariño y la motivación que me brindan.

A mis hermanos, Pablo y Gabriel donde, en todo momento, encuentro apoyo.

Al Dr. Julio Tinoco que me brindó el tiempo, la asesoría y toda la ayuda necesaria para realizar y culminar con éxito este proyecto. Con el que, estoy seguro, siempre estaré agradecido.

Al Dr. Joaquín Alvarado por la asesoría y la ayuda brindada.

Al Dr. Esaú Vicente y su grupo de trabajo: Emilio Jiménez, Rodrigo Córdova y Mario Mendoza por la motivación para realizar estudios de posgrado.

A mis amigos Lorenzo Antonio, Alejandro Córdova, Jorge Canchola, Marcos Melgosa, Elizabeth Tzintzun y Luis Zepeda que me han acompañado durante este trayecto.

Al Dr. Antonio Cerdeira de la Sección de Electrónica del Estado Sólido del CINVESTAV-IPN por el apoyo en las simulaciones.

Al Prof. Jean-Pierre Raskin del Institute of Information and Communication Technologies, Electronics and Applied Mathematics (ICTEAM) de la Universidad católica de Lovaina, Bélgica por proveer las mediciones experimentales de los FinFETs de triple compuerta.

A los miembros del jurado: Dr. Ismael Martínez, Dr. Ramón Gutiérrez, Dr. José Matías y Dr. Psenicka Bohumil por el tiempo dedicado y sus observaciones.

Al Centro de Estudios de Posgrado (CEP), al Consejo Nacional de Ciencia y Tecnología (CONACyT) y a fundación Telmex por el apoyo otorgado.





*"No hay riqueza que valga lo que vale la sabiduría;  
no hay mejor piedra de toque que la cultura del espíritu  
y no hay gloria mayor que el estudio y la ciencia."*

*Las mil y una noches, Noche 61, Anónimo.*



## Resumen

Debido a la posibilidad de fabricar RF-CIs con transistores avanzados, surge la necesidad de desarrollar modelos adecuados capaces de describir con buena precisión la operación del MOSFET, tanto en corriente directa como en pequeña señal, para con base a ellos, realizar el diseño de circuitos para aplicaciones de radiofrecuencia.

La presente tesis hace una validación experimental del modelo de circuito equivalente de pequeña señal de un transistor SOI FinFET multifinger de triple compuerta con longitud de canal  $L = 40\text{ nm}$ , mediante mediciones experimentales y simulaciones. Además se obtienen los parámetros de pequeña señal en los rangos típicos de operación del transistor.

Finalmente, se hace un análisis de los parámetros de pequeña señal (Transconductancia, Conductancia, Capacitancias intrínsecas y extrínsecas, etc.) y las Figuras de mérito (Frecuencia de corte y Frecuencia máxima de oscilación) del transistor FinFET validado.



# Abstract

Due to the possibility to manufacture RF-CIs advance transistors, the necessity arises to develop models able to describe with accuracy the MOSFET transistor operation, as in direct current as well as in small-signal in order to develop radiofrequency circuits applications.

This thesis makes an experimental validation of the small-signal circuit equivalent model for a multifinger SOI FinFET transistor with N-channel length  $L = 40 \text{ nm}$  by means of experimental measurements and with simulations of the DC for double gate model for channels length less than  $150 \text{ nm}$ . Small-signal parameters are achieved into the typical operation range of the transistor.

Finally, this thesis also makes a review of the small-signal parameters (Transconductance, Conductance, intrinsic and extrinsic Capacitances, etc.) and Figure of Merit (Cut frequency and maximum oscillation frequency) of the transistor FinFET that was validated.



# Índice general

<b>Resumen</b> . . . . .	XI
<b>Abstract</b> . . . . .	XIII
<b>Nomenclatura</b> . . . . .	XIX
<b>Introducción</b> . . . . .	1
<b>Capítulo 1. Tecnología MOSFET en las telecomunicaciones</b> . . . . .	3
1.1. . Introducción . . . . .	3
1.2. . Tecnología de Silicio Sobre Aislante (SOI, Silicon on Insulator) . . . . .	4
1.3. . Estructura SOI . . . . .	5
1.4. . Obtención de las obleas SOI . . . . .	5
1.4.1. . Sobrecrecimiento Epitaxial Lateral (ELO, Epitaxial Lateral Overgrowth) . . . . .	6
1.4.2. . Recristalización por zona de fusión (ZMR, Zone-Melting Recrystallitation) . . . . .	6
1.4.3. . Separación por implantación de oxígeno (SIMOX, Separation by IMplantation of OXYgen) . . . . .	6
1.4.4. . Wafer Bonding and Etch-Back (BESOI) . . . . .	8
1.4.5. . UNIBOND . . . . .	8
1.5. . Transistores SOI-MOSFET Parcialmente y Totalmente Empobrecidos . . . . .	9
1.6. . Tecnología SOI en aplicaciones de RF . . . . .	10
1.7. . Conclusión . . . . .	11
<b>Capítulo 2. El transistor MOSFET</b> . . . . .	13
2.1. . Introducción . . . . .	13
2.2. . Estructura MOS ideal . . . . .	13
2.2.1. . Acumulación . . . . .	14
2.2.2. . Empobrecimiento . . . . .	15
2.2.3. . Inversión . . . . .	15
2.2.4. . Voltaje de Umbral . . . . .	18
2.3. . Estructura MOS real . . . . .	19
2.3.1. . Diferencia en las funciones de trabajo . . . . .	19
2.3.2. . Efecto de la carga en la interfaz dieléctrico-semiconductor . . . . .	19
2.4. . El transistor MOSFET . . . . .	20
2.4.1. . Voltaje de Umbral . . . . .	24

2.5.	Escalado del Dispositivo	24
2.5.1.	Efectos de canal corto (SCE)	25
2.6.	Estructuras MuGFET	25
2.6.1.	El transistor FinFET	26
2.7.	Conclusión	29
<b>Capítulo 3. Modelo equivalente de pequeña señal del transistor MOSFET</b>		<b>31</b>
3.1.	Introducción	31
3.2.	Modelo intrínseco	31
3.2.1.	Efecto útil	31
3.3.	Modelo cuasi-estático	32
3.4.	Modelo extrínseco	34
3.4.1.	Capacitancias extrínsecas	34
3.4.2.	Resistencias e inductancias extrínsecas	35
3.4.3.	Parámetros de acceso	36
3.5.	Procedimiento para la extracción de los parámetros de pequeña señal	37
3.5.1.	Extracción de las capacitancias extrínsecas	37
3.5.2.	Extracción de los parámetros intrínsecos	38
3.6.	Tecnología MOSFET en aplicaciones de Radiofrecuencia (Figuras de Mérito)	38
3.7.	Desempeño de transistores Si MOSFETs en microondas	40
3.7.1.	Frecuencia de corte	41
3.7.2.	Frecuencia de máxima oscilación	41
<b>Capítulo 4. Modelo compacto para un transistor FinFET</b>		<b>45</b>
4.1.	Introducción	45
4.2.	Modelado del FinFET	45
4.3.	Modelado de Potenciales	47
4.3.1.	Régimen de subumbral (BT)	47
4.3.2.	Régimen de umbral (T)	47
4.3.3.	Régimen de sobreumbral (AT)	48
4.4.	Modelado de los portadores de carga	49
4.5.	Modelo de corriente	49
4.6.	Modelo de movilidad variable	50
4.6.1.	Velocidad de Saturación	51
4.7.	Efectos de canal corto	51
4.7.1.	$V_T$ roll off y DIBL	51
4.7.2.	Modulación de la longitud del canal	52
4.7.3.	Pendiente subumbral	52
4.8.	Modelo completo de corriente	52
4.9.	Modelado de capacitancias	53
<b>Capítulo 5. Obtención de los parámetros del circuito equivalente de pequeña señal para el transistor FinFET</b>		<b>57</b>
5.1.	Introducción	57



5.2. . Ajuste del Modelo de DC para un Transistor FinFET de triple compuerta . . . . .	57
5.3. . Curvas transferenciales . . . . .	57
5.4. . Curvas de salida . . . . .	59
5.5. . Obtención de los parámetros intrínsecos de pequeña señal . . . . .	60
5.6. . Figuras de Mérito . . . . .	62
5.7. . Parámetros de pequeña señal con variación en los voltajes de drenador y compuerta . . . . .	64
<b>Capítulo 6. Conclusiones . . . . .</b>	<b>67</b>
6.1. . Trabajo a futuro . . . . .	68
<b>Índice de figuras . . . . .</b>	<b>71</b>
<b>Índice alfabético . . . . .</b>	<b>75</b>
<b>Referencias . . . . .</b>	<b>77</b>



## Nomenclatura

$\epsilon_{ox}$	Constante dieléctrica del óxido
$\epsilon_s$	constante dieléctrica del Silicio
$\eta_i$	Concentración intrínseca de portadores
$\mathcal{E}_{ox}$	Campo eléctrico en el óxido
$\mathcal{E}_x$	Campo transversal
$\mathcal{E}_y$	Campo longitudinal
$\mu$	Movilidad
$\psi_{Fn}$	Cuasi-Fermi nivel para electrones
$\psi_{Fp}$	Cuasi-Fermi nivel para huecos
$\psi_o$	Potencial en el centro de la capa de silicio
$\psi_s$	Potencial superficial
$\psi_t$	Potencial térmico
$\rho_s(x)$	Densidad total de carga espacial
$C_{ds}$	Capacitancia drenador-fuente
$C_{gd}$	Capacitancia compuerta-drenador
$C_{gs}$	Capacitancia compuerta-fuente
$C_{mi}$	Transcapacitancia
$C_{ox}$	Capacitancia de la compuerta
$E_F$	Nivel de Fermi
$E_g$	Banda prohibida
$E_i$	Nivel de intrínseco de Fermi
$f_{max}$	Frecuencia de máxima oscilación
$f_t$	Frecuencia de corte
$g_d$	Conductancia
$g_{mi}$	Transconductancia intrínseca
$H_{fin}$	Altura del fin
$I_D$	Corriente de drenador
$k$	Konstante de Boltzmann
$L$	Longitud del canal
$n_p$	Concentración de electrones

NOMENCLATURA

$p_p$	Concentración de huecos
$q$	Carga del electrón
$q\lambda$	Afinidad eléctrica del semiconductor
$q\psi_B$	$E_F + E_i$
$q\psi_m$	Función trabajo del metal
$q\psi_s$	Función trabajo del semiconductor
$Q_B$	Carga dentro de la RCE
$Q_n$	Carga en el canal
$Q_{sem}$	Carga total en el semiconductor
$T_{ox-top}$	Grueso del óxido superior del fin
$T_{ox}$	Grueso del óxido
$V_{Def}$	Voltaje de drenador efectivo
$V_{Dsat}$	Voltaje de saturación
$V_D$	Voltaje de drenador
$V_{FB}$	Voltaje de banda plana
$V_G$	Voltaje de compuerta
$V_{ox}$	Potencial a través del óxido
$V_{sat}$	Voltaje de saturación
$v_{sat}$	Velocidad de saturación
$V_T$	Voltaje de umbral
$W$	Ancho del canal
$W_{fin}$	Espesor del fin
$x_{dmax}$	Ancho máximo de la RCE
$x_d$	Ancho de la RCE
CI	Circuitos integrados
CMOS	Complementary Metal-Oxide-Semiconductor
DIBL	Drain-induced barrier lowering
FD	Fully Depleted
FET	Field Effect Transistor
ITRS	International Technology Roadmap for Semiconductors
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
MuGFET	Multiple Gate Field Effect Transistor
PD	Partially Depleted
RCE	Región de Carga Espacial
Si	Silicio
SoC	Systems-On-Chip
SOI	Silicon-On-Insulator

# Introducción

Debido a la posibilidad de fabricar RF-CIs con transistores avanzados, aparece la necesidad de desarrollar modelos adecuados capaces de describir con buena precisión la operación del MOSFET, tanto en corriente directa como en pequeña-señal. En los modelos de circuito equivalente tradicionales de RF, los diferentes parámetros que conforman al circuito tienen una correspondencia con los fenómenos físicos que ocurren al interior del dispositivo, de este modo la descripción del dispositivo se puede realizar mediante estos parámetros.

En la medida que estos modelos sean validados se podrán desarrollar metodologías de diseño adecuadas, lo cual es determinante para su futura implementación en la industria. En [1], se ha validado con datos experimentales, el modelo de circuito equivalente de pequeña señal para transistores FinFET de longitudes de canal de 500 nm y 250 nm, donde los elementos del modelo de circuito equivalente de pequeña señal obtenidos con el modelo corresponden en buen grado a los medidos experimentalmente, sin embargo, los transistores avanzados actuales tienen longitudes de canal inferiores a 150 nm, por esto, el modelo de circuito equivalente necesita ser validado en dicho rango de longitud de canal.

Debido a lo anterior, en esta tesis se valida, por medio de mediciones experimentales, el modelo de circuito equivalente de pequeña señal de transistores FinFETs de triple compuerta con longitudes de canal menores a 150 nm.



## Capítulo 1

# Tecnología MOSFET en las telecomunicaciones

### 1.1. Introducción

**M**ICROELECTRÓNICA es un término de suma importancia desde el año de 1947 cuando el primer transistor fue inventado en los laboratorios Bell, por el grupo de investigación conformado por Bardeen, Shockley y Brattain [2]. Una década después, en 1958, Jack Kilby construyó un oscilador de corrimiento de fase en una pastilla de germanio [3]. El oscilador contenía un transistor, un capacitor y algunos resistores, esto constituyó la prueba de la posibilidad de integrar varios dispositivos en una barra semiconductor. Un año después Robert Noyce desarrolló lo que se considera el primer circuito integrado con tecnología planar [3].

A partir de aquellos años comienza un avance vertiginoso de la microelectrónica, guiada, durante sus primeros años, por los transistores bipolares. Es hacia la década de los años 1960's que se realizan los primeros intentos por fabricar transistores de efecto de campo MOSFETs, siendo Kahng y Atalla los primeros en lograrlo [4]. Así los MOSFETs fueron ganando cada vez mayor interés, intensificándose tras la invención de los circuitos CMOS realizada por Wanlass [3], comenzando a ser utilizados en los circuitos integrados (CIs).

Así, el desarrollo de la microelectrónica ha permitido avances muy grandes en diversas áreas del conocimiento humano. La capacidad de integrar una gran cantidad de dispositivos en un chip ha dado paso al desarrollo de circuitos integrados con una gran cantidad de funciones, cada vez más complejas y con menores tiempos de ejecución. Además ha permitido que estas funciones se realicen a menores costos y utilizando dimensiones cada vez menores.

Los continuos incrementos tanto en las densidades de integración como en las velocidades de operación, han sido logrados gracias a la continua reducción en las dimensiones de los transistores, lo que ha permitido a la tecnología de fabricación ir de los MOSFETs de longitudes de canal de  $10\ \mu m$  de los años 1970's a los actuales con longitudes de canal del orden de  $22\ nm$  [5, 6].

De este modo, la velocidad de operación de los MOSFETs se ha incrementado a tal grado que lo convierten en un sólido candidato para aplicaciones en radiofrecuencia. Recientemente, diversos grupos de investigación se han enfocado en la optimización de la geometría de los MOSFETs para aplicaciones de RF, logrando obtener frecuencias de corte mayores a  $400\ GHz$  [7, 8].

El uso de sustratos de silicio sobre aislante (Silicon-On-Insulator, SOI) permite el aislamiento

eléctrico del sustrato de silicio, coadyuvando a reducir muchos de los fenómenos indeseados y que están asociados a su presencia. Así el uso de la tecnología SOI hace factible el desarrollo de diversos dispositivos avanzados, haciendo viable la implementación de transistores con longitudes de canal del orden de los  $22\text{ nm}$  de alto desempeño [9, 10, 11, 12, 13].

Una ventaja adicional del uso de la tecnología SOI, es la posibilidad de fabricar dispositivos pasivos de alta calidad, tales como inductores, capacitores y líneas de transmisión con bajas pérdidas [14]. De forma que la tecnología SOI permite integrar en un mismo CI tanto dispositivos pasivos como transistores, permitiendo el desarrollo de sistemas integrados (SoC) para aplicaciones de radiofrecuencias.

Todos estos avances tecnológicos han permitido la posibilidad de desarrollar circuitos integrados competitivos aplicables a soluciones analógicas en los rangos de las microondas, tales como telefonía móvil, comunicación inalámbrica cuyo rango de frecuencias es menor a los  $6\text{ GHz}$ , pero también los hace factibles para aplicaciones a muy alta frecuencia tales como sistemas de radar que operan a frecuencias cercanas a los  $100\text{ GHz}$ . Además se puede prever que a medida que se incrementa la frecuencia de corte de los transistores y se mejoren las características tanto de los sustratos como de los dispositivos pasivos, se lograrán desarrollar aplicaciones para frecuencias cada vez mayores, dando una fuerte proyección, de la microelectrónica para las telecomunicaciones, de cara al futuro.

## 1.2. Tecnología de Silicio Sobre Aislante (SOI, Silicon on Insulator)

Para lograr menores longitudes de canal en los transistores MOSFET y realizar estructuras del transistor más complejas (transistores de múltiples compuertas), sin que su operación se vea degradada o totalmente dominada por los efectos parásitos que conlleva la naturaleza de su estructura (SCE, *Short Channel Effects*, capacitancias y resistencias parásitas), surge la tecnología SOI. La tecnología SOI reduce estos elementos parásitos, obteniendo un mejor desempeño.

Las principales motivaciones del escalamiento de los dispositivos MOSFET es incrementar la integrabilidad y mejorar el desempeño de los dispositivos. Este escalamiento se produce de manera continua y por lo tanto cada vez resulta un mayor reto fabricarlos sin comprometer su desempeño debido a efectos indeseables y por barreras tecnológicas existentes.

Cuando se reducen las dimensiones del dispositivo, es necesario un alto dopaje entre el drenador y la fuente, incrementando capacitancias parásitas entre la fuente, el drenador y el sustrato. Por esto es necesario desarrollar dispositivos que logren disminuir efectos indeseados que permitan un rendimiento óptimo, así como las tecnologías de fabricación que nos hagan viable construir dichos dispositivos de alto desempeño.

La tecnología SOI ofrece ventajas sobre la tecnología de volumen de silicio. En particular más altas velocidades de operación, bajo consumo de potencia, tolerancia a altas radiaciones, menores capacitancias parásitas, inmunidad a los SCE y es compatible con la tecnología de volumen de silicio.



La tecnología SOI es muy atractiva también para aplicaciones digitales, analógicas así como de señales mixtas [15]. Esto la hace viable para su uso en aplicaciones de RF con rangos de frecuencia entre los  $2\text{ GHz}$  a  $6\text{ GHz}$ , aplicaciones que antes se realizaban sólo con tecnología de *GaAs* debida a su alta velocidad de operación intrínseca. Sin embargo, los altos costos y la limitada capacidad de integración son factores serios a tomar en cuenta [16].

### 1.3. Estructura SOI

En los MOSFET de volumen sólo la región superior de la oblea de silicio ( $100\text{ nm} - 200\text{ nm}$ ) es útil para el transporte de electrones. Las estructuras SOI surgieron de la idea de aislar la parte activa del dispositivo de la influencia perjudicial del sustrato de silicio por medio de un óxido enterrado (BOX). La estructura SOI consiste en dos simples regiones de cristal de silicio separadas por una película de material aislante Figura 1.3.1. Proveyendo de las siguientes ventajas:

- Aislamiento: Los circuitos consisten en dispositivos individuales, separados unos de otros (lateral) y del sustrato (vertical). Los SOI MOS están naturalmente libres del efecto *latch-up*, evitando complejos esquemas de aislamiento.
- Uniones Verticales: Sus regiones de la fuente y el drenador se extienden al aislante y sólo sus partes laterales sirven como uniones. Esto produce una reducción substancial en las capacitancias parásitas, SCE y corrientes de fuga.
- Baja potencia de operación: En transistores SOI FD, la corriente subumbral es mas pronunciada y las corrientes de fuga son menores que en los de volumen.
- Alta potencia de operación: Pueden funcionar para aplicaciones de alta y mediana potencia.
- Alta temperatura de operación: Se han hecho estudios donde se muestra un desempeño satisfactorio del transistor a temperaturas mayores que  $250^\circ\text{C}$ , abriendo un amplio rango de aplicaciones (automotriz, aeroespacial, etc). Debido a que la temperatura no activa el efecto de latch-up, menores corrientes de fuga y menor sensibilidad del voltaje de umbral a la temperatura que en tecnología de volumen [17].

### 1.4. Obtención de las obleas SOI

Varias técnicas se han desarrollado para crear una película de silicio cristalino sobre la superficie del BOX que es amorfo, donde las técnicas SIMOX y UNIBOND parecen ser las ideales para aplicaciones VLSI (Very-Large Scale Integration) [18]. Algunas de las técnicas mas utilizadas son:

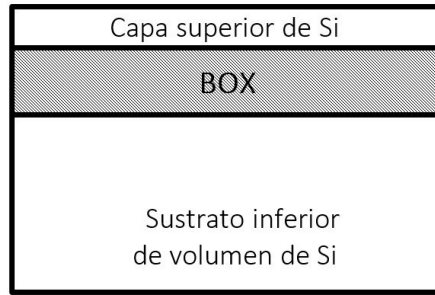


Figura 1.3.1: Estructura SOI, Capa superior de Silicio: Es usada para los dispositivos activos, BOX (Buried OXide): Aísla eléctricamente la capa superior del sustrato inferior de volumen y El sustrato inferior de volumen, es usado típicamente como soporte mecánico.

#### 1.4.1. Sobrecrecimiento Epitaxial Lateral (ELO, Epitaxial Lateral Overgrowth)

Permite obtener películas ultradelgadas SOI (Figura 1.4.1). Primero, es crecido el óxido de silicio a un grosor típico de  $300\text{ nm}$ , después es cubierto con un “esmalte de parada” (Figura 1.4.1.a). Se definen grandes regiones SOI en el esmalte de parada y líneas estrechas son grabadas en el óxido definiendo “áreas de sembrado” para el crecimiento epitaxial selectivo (Figura 1.4.1.b). El crecimiento comienza en las áreas de sembrado y después crece verticalmente y lateralmente sobre el óxido (Figura 1.4.1.c). Usando un pulido químico-mecánico, se pueden obtener películas superiores de silicio de espesores menores a  $100\text{ nm}$  (Figura 1.4.1.d). El espesor después del pulido de la capa superior puede ser controlado  $\pm 10\text{ nm}$  [15].

#### 1.4.2. Recristalización por zona de fusión (ZMR, Zone-Melting Recrystallitation)

Se deposita una película sobre el aislante (Película amorfa o policristalina de Silicio) que posteriormente será recristalizada mediante laser, haz de electrones, tira caliente de grafito o un banco de lámparas halógenas con un reflector elíptico. El calentador pasa a lo largo de la oblea a una velocidad de  $0.1 - 1\text{ mm/seg}$ , toda la recristalización se puede lograr mediante un solo barrido Figura 1.4.2.

#### 1.4.3. Separación por implantación de oxígeno (SIMOX, Separation by IMplantation of OXygen)

En este proceso es implantado oxígeno bajo la superficie de silicio con una dosis desde  $2 \times 10^{17}\text{ cm}^{-2} - 2 \times 10^{18}\text{ cm}^{-2}$  con una energía en el intervalo de  $150\text{ KeV} - 200\text{ KeV}$  Figura 1.4.3. La oblea es mantenida a  $600^\circ\text{C}$ . Después pasa por una etapa de recocido a una temperatura de  $1250^\circ\text{C}$  por 4 a 6 horas uniendo el oxígeno implantado con el silicio formando la capa enterrada de óxido de silicio. Sin embargo el BOX, es típicamente no estequiométrico<sup>1</sup>, y éste puede diferir

<sup>1</sup> Proceso químico en los cuales los elementos que los forman no mantienen proporciones simples y enteras, sino mixtas y variables “Ley de Proust”.

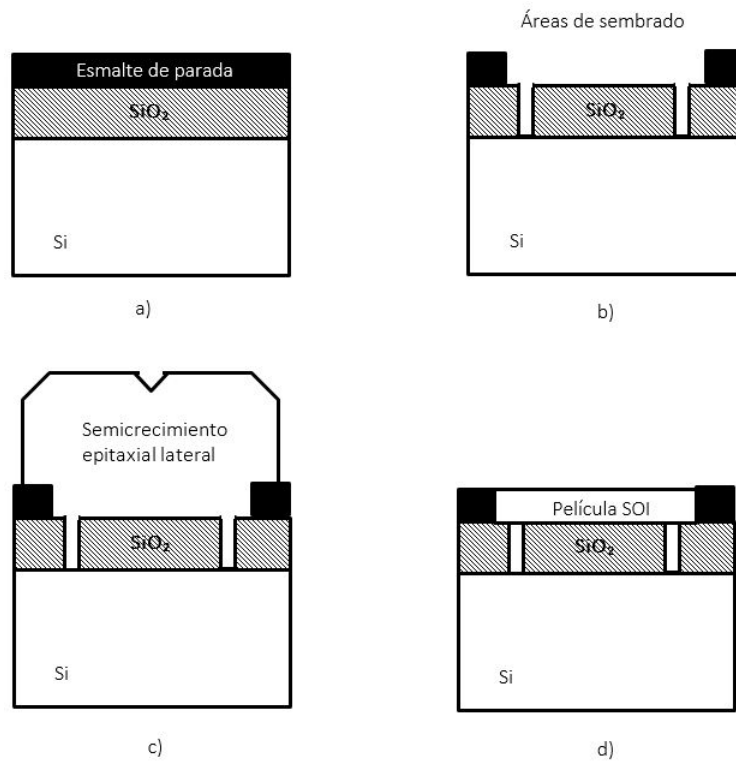


Figura 1.4.1: Proceso de Sobrecrecimiento Epitaxial Lateral.

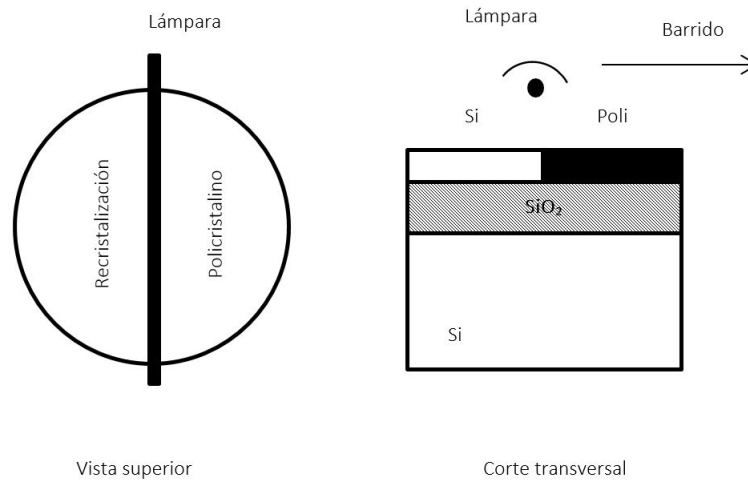


Figura 1.4.2: Proceso ZMR.

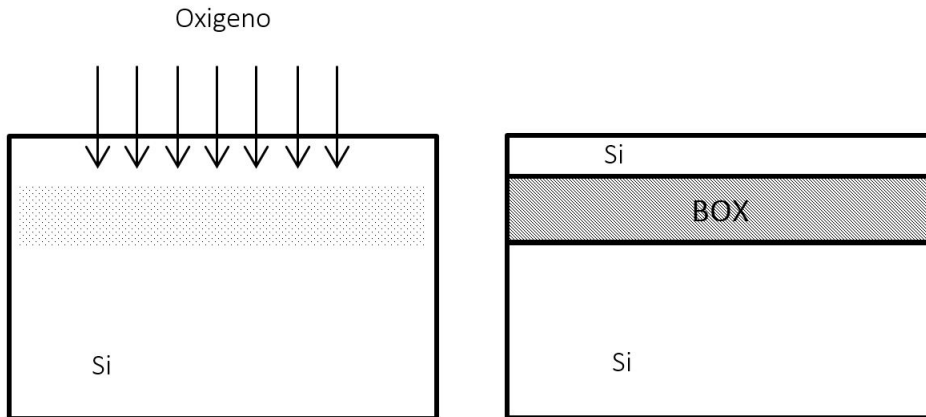


Figura 1.4.3: Proceso SIMOX.

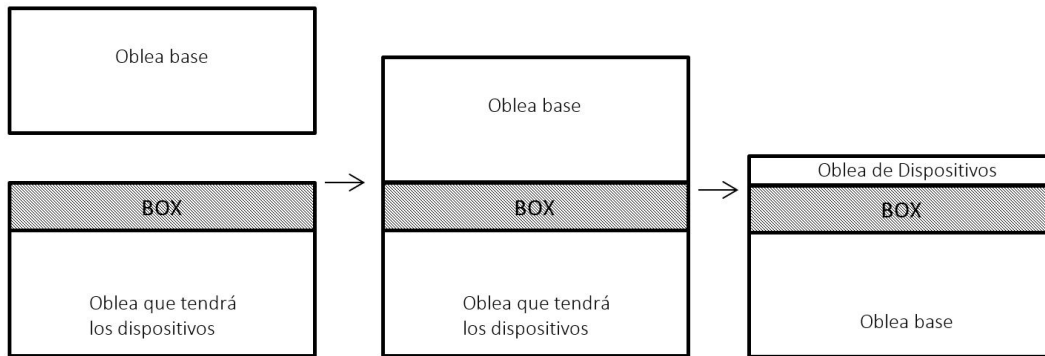


Figura 1.4.4: Proceso BESOI.

fuertemente de los creados mediante óxido crecido o depositado. La profundidad del BOX esta determinada por la dosis del oxígeno implantado y la energía utilizada.

#### 1.4.4. Wafer Bonding and Etch-Back (BESOI)

Se acoplan dos obleas a temperatura ambiente, se tiende una oblea de base y una oblea oxidada que tendrá los dispositivos. Se realiza un recocido alrededor de  $800^{\circ}C$  para unir fuertemente las obleas. Finalmente, la oblea que tendrá los dispositivos es adelgazada hasta el espesor deseado por medio de pulido Figura 1.4.4, sin embargo el proceso de *etch-back* tiene dificultades para controlar la uniformidad de la superficie para películas muy finas (menos de  $\pm 30nm$ ) [15, 18].

#### 1.4.5. UNIBOND

Sigue el mismo proceso que BESOI, salvo que el proceso *etch-back* es evitado y sustituido por el mecanismo *Smart-cut* que utiliza una implantación de hidrógeno para generar microcavidades. Después del cocimiento y la unión de las obleas se separan naturalmente a la profundidad definida

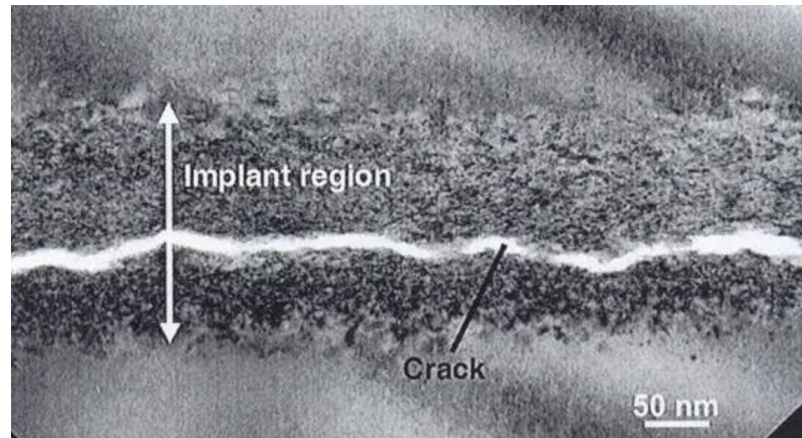


Figura 1.4.5: Microcavidades de Hidrógeno [19].

por la localización de las microcavidades de hidrógeno y por último se pule la superficie Figura 1.4.5. Evita el paso etch-back, proporcionando mayor uniformidad en la superficie ( $0.15\text{ nm}$ ) y la oblea que fue retirada puede ser reutilizada. Se pueden realizar combinaciones ilimitadas de espesores de BOX y películas superiores [18].

### 1.5. Transistores SOI-MOSFET Parcialmente y Totalmente Empobrecidos

Los dispositivos SOI pueden ser clasificados como parcialmente empobrecidos (PD, Partially Depleted) Figura 1.5.1.b y totalmente empobrecidos (FD, Fully Depleted) Figura 1.5.1.c.

En los SOI PD el espesor de la película de silicio es más grande que el ancho de la *región de empobrecimiento*, por ello, se mantiene una zona de silicio neutro debajo de la zona de empobrecimiento. Esta zona neutral es llamada “cuerpo”, y si es conectada a tierra por un “contacto de cuerpo” las características son las mismas que un dispositivo de volumen. Pero si este cuerpo es dejado eléctricamente flotante, presentará un efecto parásito llamado efecto de cuerpo flotante o *efecto Kink*. El efecto kink presenta alteraciones en las características de operación esperadas del SOI MOSFET. Esto se observa generalmente cuando se presentan un alto voltaje entre la fuente y el drenador y a medida que los electrones se mueven hacia el drenador, pueden crear pares de electrón-hueco debido a las ionizaciones por impacto, los electrones serán barridos al drenador incrementando la corriente y los huecos se colectan en el cuerpo flotante generando un incremento en el voltaje del cuerpo y por tanto en el voltaje de umbral [17, 18, 20].

Por otro lado si el espesor de la película de silicio es más pequeño que el ancho máximo de la región de empobrecimiento es llamado SOI FD, y estos dispositivos están virtualmente libres del efecto kink.

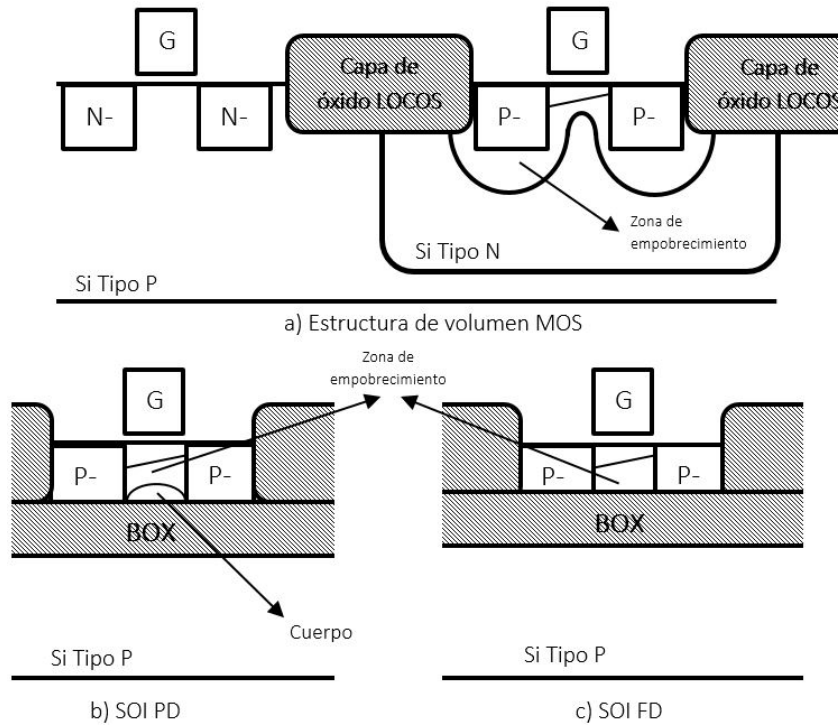


Figura 1.5.1: Estructuras de volumen, SOI PD y SOI FD .

Un problema que presentan los dispositivos SOI son los efectos de autocalentamiento. Surgen debido a que el dispositivo está aislado térmicamente del sustrato por la capa de óxido enterrada. Esto conduce a una elevación substancial de la temperatura dentro del dispositivo SOI, que consecuentemente modificará las características de operación del dispositivo. Este autocalentamiento es más pronunciado cuando las dimensiones del dispositivo son reducidas al régimen submicrométrico ya que se incrementa la intensidad del campo eléctrico y se reduce el volumen de silicio disponible para remover el calor generado.

## 1.6. Tecnología SOI en aplicaciones de RF

La tecnología *GaAs* ha sido elegida para aplicaciones de RF con rangos de frecuencia de  $2\text{ GHz}$  a  $6\text{ GHz}$ , debido a su alta velocidad de operación intrínseca, sin embargo, los altos costos y la limitada capacidad de integración son preocupaciones al considerar la tecnología de *GaAs*. Por lo tanto, aplicaciones donde el costo y la integrabilidad son claves, la tecnología SOI MOSFET es un gran candidato, tomando en cuenta que se han logrado frecuencias de operación arriba de los  $200\text{ GHz}$ . Las siguientes características se pueden lograr con la tecnología SOI:

- Alta Calidad de integración de elementos pasivos. El poder integrar dispositivos fácilmente reduce pérdidas y mejora el rendimiento total del sistema.

- Integración de señales de RF, digitales y mixtas.
- Bajo consumo de Potencia.
- Reducción significativa del efecto “cross-talk”. Uno de los objetivos es crear sistemas de RF completos en un solo chip, manejando señales mixtas, es decir, manipular señales tanto digitales como analógicas SoC (System-on-Chip), es importante tener un adecuado aislamiento en los rangos de frecuencia de los  $GHz$ . El efecto de cross-talk es disminuido gracias a estas dos características:
  - Excelente aislamiento entre dispositivos.
  - Se reducen capacitancias debidas al sustrato.
- Obtención de figuras de ruido NF mínimas. Se han reportado NF menores a  $0.2dB$  con tecnología CMOS SOI.

Se han desarrollado diferentes aplicaciones con esta tecnología, por ejemplo, un transceptor de bluetooth a  $2.4GHz$  con tecnología CMOS submicrométrica y un Chip de WLAN a  $5GHz$  demostrando que es viable para sistemas de RF complejos [16].

## 1.7. Conclusión

Para implementar transistores avanzados MOSFET en aplicaciones de radiofrecuencia, es necesario disminuir efectos nocivos que degraden el desempeño del transistor. La tecnología SOI aísla eléctricamente la parte activa del transistor del sustrato por medio de un óxido enterrado, generando las siguientes ventajas:

- Reduce los efectos parásitos relacionados al sustrato (principalmente capacitancias parásitas).
- Mejor desempeño en altas frecuencias.
- Permite estructuras geométricas del transistor complejas.
  - Reducción de los SCE.
  - Reducción en las dimensiones de compuerta.

La tecnología SOI es indispensable si deseamos operar transistores en frecuencias del orden de los Gigahertz con un alto desempeño.

Finalmente, permite la integración de elementos pasivos de alta calidad en la misma oblea de silicio, dando paso a la creación de sistemas complejos de RF siendo capaces de manejar señales analógicas y digitales en el mismo circuito integrado (SoC).





## Capítulo 2

# El transistor MOSFET

### 2.1. Introducción

**A**L tratar con estructuras de transistores avanzados es fundamental comprender el principio de funcionamiento del transistor MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) y los principales fenómenos que afectan su operación esperada, principalmente al momento del escalado.

Para un adecuado estudio del transistor de dimensiones nanométricas, es necesario considerar efectos que modifican el comportamiento esperado del transistor. La continua reducción en sus dimensiones provoca que la tecnología planar convencional MOSFET sea insuficiente para lograr un desempeño óptimo, dando paso a nuevas estructuras avanzadas de transistores de alto desempeño. Se explicarán los fenómenos que presentan los transistores de canal corto y como superar o minimizar estos efectos.

### 2.2. Estructura MOS ideal

Para entender la física del transistor MOSFET, es necesario conocer el funcionamiento de la estructura MOS (Metal-Oxide-Semiconductor). En la Figura 2.2.1 se observa una estructura MOS ideal, teniendo una capa de metal seguida por un óxido de espesor  $t_{ox}$  y finalmente un material semiconductor tipo-p, el cual esta conectado a tierra y  $V$  es el voltaje aplicado al metal.

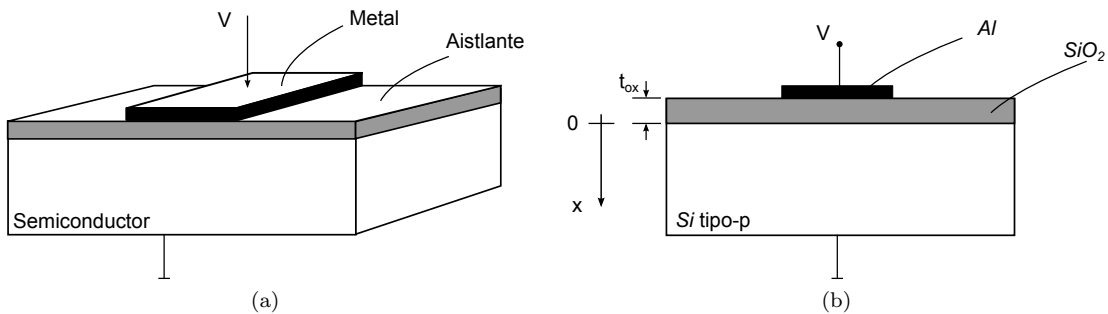


Figura 2.2.1: Estructura MOS. (a) Estructura MOS. (b) Sección transversal de la estructura MOS.

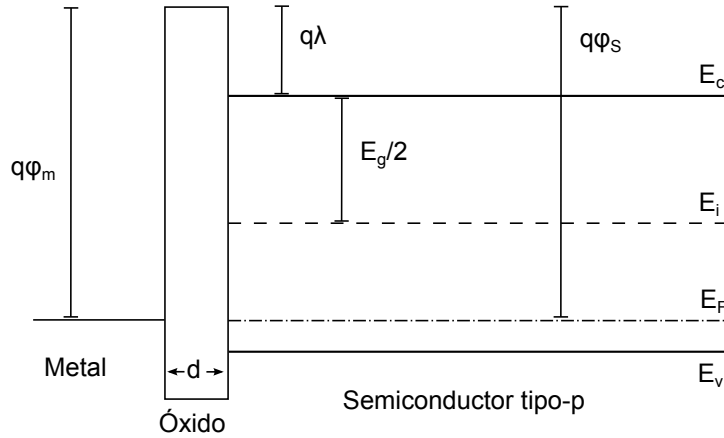


Figura 2.2.2: Diagrama de bandas de energía para una estructura MOS ideal a un  $V=0$ .

En la Figura 2.2.2 se muestra el diagrama de bandas de una estructura MOS ideal y esta definida bajo las siguientes condiciones:

1. A un voltaje de polarización igual a cero, la diferencia de energía entre la función de trabajo del metal  $q\psi_m$  y la función de trabajo del semiconductor  $q\psi_s$  es cero, esta diferencia  $q\psi_{ms}$  para un semiconductor tipo-p es [21]:

$$q\psi_{ms} \equiv (q\psi_m - q\psi_s) = q\psi_m - \left[ q\lambda + \frac{E_g}{2} + q\psi_B \right] = 0 \quad (2.2.1)$$

Donde  $q\lambda$  es la afinidad electrónica del semiconductor y  $q\psi_B$  el potencial de Fermi. Se observa que las bandas de energía están planas (*Condición de banda plana*), que implica que el potencial en la superficie de Silicio es cero.

2. Bajo cualquier condición de polarización, las únicas cargas que existen son las que están en el semiconductor y existe la misma cantidad de carga pero de signo opuesto en la superficie del metal adyacente al óxido.
3. No existe transporte de portadores a través del óxido bajo condiciones de polarización (la resistividad del óxido es infinita).

Cuando una estructura MOS es polarizada, pueden existir tres casos en la superficie del semiconductor : Acumulación, Empobrecimiento o Inversión.

### 2.2.1. Acumulación

Cuando un voltaje negativo ( $V < 0$ ) es aplicado en la placa de metal, las bandas cerca de la superficie del semiconductor son dobladas hacia arriba, como se muestra en la Figura 2.2.3.a . Para una estructura MOS ideal, no hay flujos de corriente con el voltaje aplicado, entonces, el nivel de Fermi del semiconductor se mantiene constante. Tomando en cuenta que la concentración de huecos en el semiconductor depende exponencialmente de la diferencia de energía  $E_i - E_F$ , esto es [22]:

$$p_p = \eta_i e^{(E_i - E_F)/kT} \quad (2.2.2)$$

A causa del doblamiento de las bandas hacia arriba en la superficie del semiconductor, se produce un incremento en la diferencia de energías  $E_i - E_F$  provocando un aumento en la concentración de huecos en la interface del óxido Figura 2.2.3.a.

### 2.2.2. Empobrecimiento

Cuando es aplicado un voltaje positivo relativamente pequeño ( $V > 0$ ), las bandas de energía se doblan hacia abajo, y la densidad de los portadores mayoritarios (en este caso huecos) es reducido. La carga espacial por unidad de area  $Q_B$  en el semiconductor esta dada por la carga dentro de la región de empobrecimiento (*Región de carga espacial*<sup>1</sup>, RCE) [22] Figura 2.2.3.b.

$$Q_B = -qN_A x_d \quad (2.2.3)$$

Donde  $x_d$  es el ancho de la RCE.

### 2.2.3. Inversión

Cuando es aplicado un voltaje positivo grande, las bandas se van a doblar aun más, de tal forma que el nivel intrínseco  $E_i$  de la superficie cruza sobre el nivel de Fermi, Figura 2.2.3.c. La concentración de electrones depende exponencialmente de la diferencia de energías  $E_F - E_i$  y esta expresada como [22, 21]:

$$n_p = \eta_i e^{(E_F - E_i)/kT} \quad (2.2.4)$$

En esta situación, la diferencia  $(E_F - E_i) > 0$ , entonces la concentración de electrones en la superficie es más grande que  $\eta_i$  y la concentración de huecos dada por la Ecuación 2.2.2 llega a ser menos que  $\eta_i$ , es decir, la densidad de electrones (en este caso por ser Si tipo-p, portadores minoritarios) en la superficie del semiconductor es más grande que la densidad de huecos (portadores mayoritarios), esto es, la superficie del Silicio tendrá una conductividad con signo opuesto, es decir, se encontrará invertida. Como las bandas son dobladas aun más, eventualmente el borde de la banda de conducción llega muy cerca del nivel de Fermi. En este punto la concentración de electrones cerca de la superficie se incrementa rápidamente. Después de este punto todas las cargas adicionales negativas en el semiconductor consisten en la carga

<sup>1</sup> Cuando un voltaje es aplicado en el metal los portadores mayoritarios son repelidos de la zona del óxido y los portadores minoritarios son atraídos al óxido, debido al campo eléctrico. Como los portadores mayoritarios continúan dejando sus posiciones, algunos iones aceptores negativos  $N_A^-$  son dejados descompensados. Pasa lo mismo con los portadores minoritarios, dejan algunos iones positivos  $N_D^+$ , consecuentemente un espacio negativo y otro positivo se forman. Esta región de espacio cargada de ancho  $x_d$  RCE, Figura 2.2.3.b, genera un campo eléctrico.

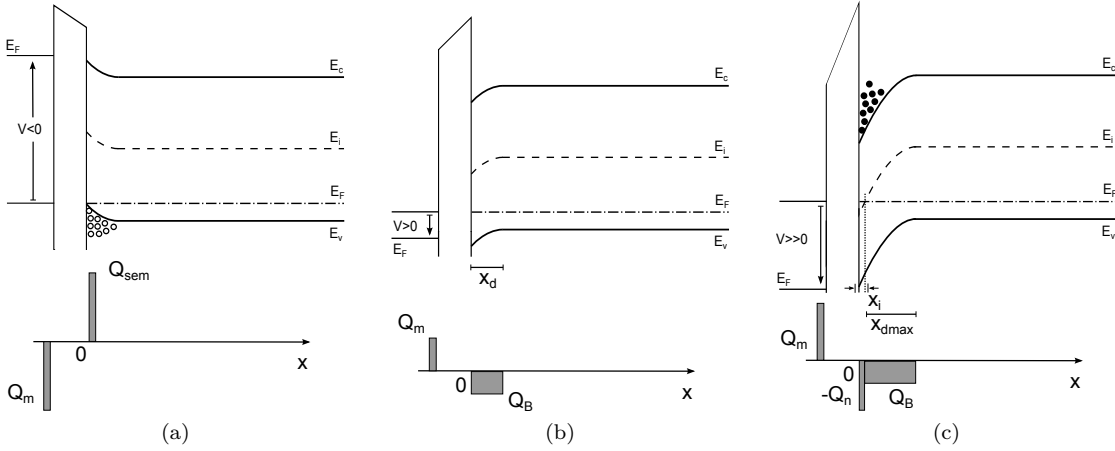


Figura 2.2.3: Diagrama de bandas de energía y sus distribuciones de carga de la estructura MOS. a) Acumulación. b) Empobrecimiento. c) Inversión.

$Q_n$  debido a que los electrones están en una capa de inversión tipo-n muy estrecha  $0 \leq x \leq x_i$ , donde  $x_i$  es el ancho de la región de inversión<sup>2</sup>.

Una vez que la región de inversión se ha formado, la RCE obtiene su valor máximo, esto es porque cuando las bandas son dobladas hacia abajo lo suficientemente lejos para que la inversión fuerte ocurra, un cambio mínimo en el incremento en el doblamiento de la banda, resulta en un gran incremento en la carga  $Q_n$  en la región de inversión. Entonces para una condición de inversión fuerte, la carga por unidad de área en el semiconductor está dada por [22, 21]:

$$\begin{aligned} Q_{sem} &= Q_n + Q_B \\ Q_B &= -qN_A x_{dmax} \end{aligned} \quad (2.2.5)$$

Donde  $x_{dmax}$  es el ancho máximo de la RCE, Figura 2.2.3.c.

Ahora, la Figura 2.2.4 muestra un diagrama de bandas de energía en la superficie de un semiconductor tipo-p en términos de los potenciales. El potencial electrostático  $\psi$ , definido como cero en el volumen del semiconductor, en la superficie del semiconductor  $\psi = \psi_s$ ,  $\psi_s$  es llamado potencial superficial. Las concentraciones expresadas en términos de los potenciales son:

$$\begin{aligned} n_p &= n_i e^{q(\psi - \psi_B)/kT} \\ p_p &= n_i e^{q(\psi_B - \psi)/kT} \end{aligned} \quad (2.2.6)$$

$\psi$  es positivo cuando las bandas se doblan hacia abajo. Y para las densidades en la superficie tenemos [21]:

<sup>2</sup> El valor de  $x_i$  está entre el rango de 1 a 10 nm y es siempre mucho más pequeña que la región de carga espacial  $x_i \ll x_d$ .

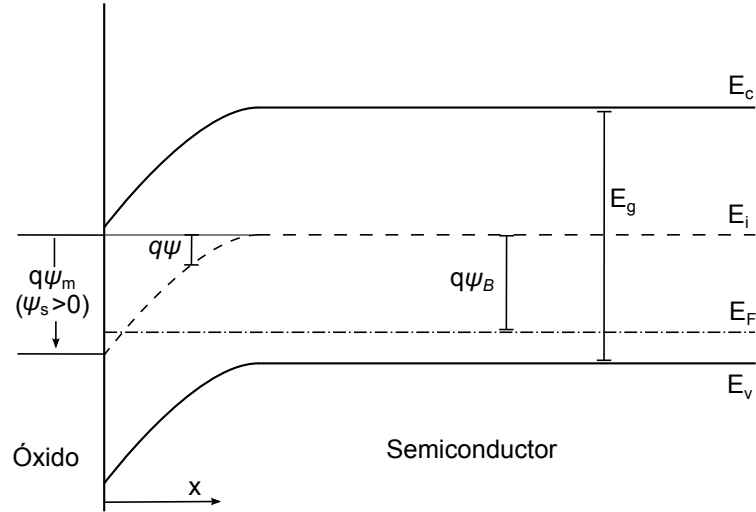


Figura 2.2.4: Diagrama de energía de bandas de un semiconductor tipo-p.

$$\begin{aligned} n_s &= n_i e^{q(\psi_s - \psi_B)/kT} \\ p_s &= n_i e^{q(\psi_B - \psi_s)/kT} \end{aligned} \quad (2.2.7)$$

Con la Ecuación 2.2.7 se pueden definir las siguientes situaciones:

$\psi_s < 0$	<i>Acumulación de huecos.</i>
$\psi_s = 0$	<i>Condición de banda plana.</i>
$\psi_B > \psi_s > 0$	<i>Empobrecimiento de huecos.</i>
$\psi_s = \psi_B$	<i>Condición intrínseca.</i>
$\psi_B > \psi_s > 2\psi_B$	<i>Inversión débil.</i>
$\psi_s \geq 2\psi_B$	<i>Inversión fuerte.</i>

El potencial  $\psi$  como función de la distancia puede ser obtenido usando la ecuación de Poisson [22, 21]:

$$\frac{d^2\psi}{dx^2} = \frac{-\rho_s(x)}{\epsilon_s} \quad (2.2.8)$$

Donde  $\rho_s(x)$  es el total de la densidad de carga espacial. Cuando el semiconductor esta empobrecido y la carga dentro del semiconductor esta dada por  $\rho_s = -qN_A$ . Integrando la ecuación de Poisson obtenemos la distribución del potencial electrostático en la RCE [22, 21].

$$\psi = \psi_s \left[ 1 - \frac{x}{x_d} \right]^2 \quad (2.2.9)$$

y el potencial superficial es:

$$\psi_s = \frac{qN_A x_d^2}{2\epsilon_s} \quad (2.2.10)$$

La superficie se invertirá cuando  $\psi_s$  sea más grande que  $\psi_B$ , sin embargo, para poder identificar el comienzo de la inversión fuerte se suele usar el siguiente criterio: Cuando la concentración de electrones en la superficie es igual a la concentración de impurezas en el sustrato [22, 21], es decir,  $n_s = N_A$ , y de la Ecuación 2.2.7 obtenemos:

$$\psi_s(inv) \simeq 2\psi_B = \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.2.11)$$

La Ecuación 2.2.11 establece que un potencial  $\psi_B$  es requerido para doblar las bandas hacia abajo y lograr la condición intrínseca ( $E_i = E_F$ ), luego entonces, es necesario doblar las bandas por dos veces  $q\psi_B$  en la superficie para obtener la condición de inversión fuerte.

Como se mencionó anteriormente el ancho de la RCE alcanza un máximo cuando la superficie esta fuertemente invertida. Este ancho máximo de la RCE es obtenido de la Ecuación 2.2.10 en el caso donde  $\psi_s = \psi_s(inv)$  [22, 21]:

$$x_{dmax} = \sqrt{\frac{4kT\epsilon_s \ln(N_A/n_i)}{q^2 N_A}} \quad (2.2.12)$$

y la carga espacial, entonces es:

$$Q_B = -\sqrt{2q\epsilon_s N_A (2\psi_B)} \quad (2.2.13)$$

#### 2.2.4. Voltaje de Umbral

La figura 2.2.3.c se observa que en ausencia de cualquier diferencia en las funciones de trabajo, el voltaje aplicado aparecerá parcialmente a través del óxido y parcialmente en el semiconductor, entonces:

$$V = V_{ox} + \psi_s \quad (2.2.14)$$

Donde  $V_{ox}$  es el potencial a través del óxido y esta dado por [22]:

$$V_{ox} = \mathcal{E}_{ox} x_d = \frac{|Q_{sem}| x_d}{\epsilon_{ox}} \equiv \frac{|Q_{sem}|}{C_{ox}} \quad (2.2.15)$$

Donde  $\mathcal{E}_{ox}$  es el campo en el óxido,  $Q_{sem}$  es la carga por unidad de área en el semiconductor y  $C_{ox} = \epsilon_{ox}/t_{ox}$  es la capacitancia por unidad de área en el óxido.

El *Voltaje de umbral* se define como el voltaje necesario en la compuerta para iniciar la inversión fuerte. Bajo esta condición se puede considerar que la carga en la región de inversión es despreciablemente pequeña, de modo que  $Q_{sem} = Q_B$ . Reemplazando la Ecuación 2.2.13 en 2.2.15 y sabiendo que en inversión  $\psi_s = 2\psi_B$ , se tiene :

$$V_T = \frac{qN_A W_m}{C_{ox}} + \psi_s(inv) = \frac{\sqrt{2\epsilon_s q N_A (2\psi_B)}}{C_{ox}} + 2\psi_B \quad (2.2.16)$$

### 2.3. Estructura MOS real

En una estructura MOS real, el metal y el semiconductor no tienen las mismas funciones de trabajo de extracción, además el dieléctrico no es ideal. Esto producirá cambios en el desempeño de la estructura ideal.

#### 2.3.1. Diferencia en las funciones de trabajo

La función de trabajo de un semiconductor  $q\psi_s$ , que es la diferencia entre el nivel del vacío y el nivel de fermi Figura 2.2.2, varía con la concentración de impurezas. Para un metal con una función de trabajo<sup>3</sup>  $q\psi_m$  esperamos que la diferencia  $q\psi_{ms}$  variará dependiendo del dopaje en el semiconductor.

Como se observa en la Figura 2.2.2, en una estructura MOS ideal sin polarización aplicada en las terminales, las bandas se encuentran planas, es decir el potencial en la superficie del silicio es cero. Sin embargo, en una estructura real, las funciones trabajo de extracción del metal y del silicio son diferentes. Esta diferencia inducirá un potencial en la estructura y por tanto un doblamiento en las bandas como se muestra en la Figura 2.3.1. De este modo, aún cuando el voltaje aplicado sea cero, en el semiconductor aparece un potencial y por tanto una densidad de carga en la superficie.

Es posible regresar a la estructura MOS a la condición de banda plana, para lo cual es necesario aplicar un voltaje a la compuerta denominado: *Voltaje de banda plana*. El valor y signo del voltaje queda definido por la diferencia entre las funciones trabajo de extracción, como indica la Ecuación 2.3.1

$$V_{FB} = \psi_m - \psi_s \quad (2.3.1)$$

#### 2.3.2. Efecto de la carga en la interfaz dieléctrico-semiconductor

Existen otros factores que causan también una curvatura en las bandas de energía, esto debido a la presencia de cargas entre la interfaz dieléctrico-semiconductor, entre ellas están: Cargas por estados superficiales, cargas fijas y cargas positivas móviles dentro del óxido [23], entonces, el voltaje de banda plana queda definido como:

$$V_{FB} = \psi_{ms} - \frac{Q_{ss}}{C_{ox}} = \psi_{ms} - \frac{qN_{ss}}{C_{ox}} \quad (2.3.2)$$

<sup>3</sup> Uno de los electrodos más comunes es el Aluminio con  $q\psi_m = 4.1 [eV]$  y el  $n^+$ -Polisilicio con  $q\psi_m = 3.95 [eV]$ .

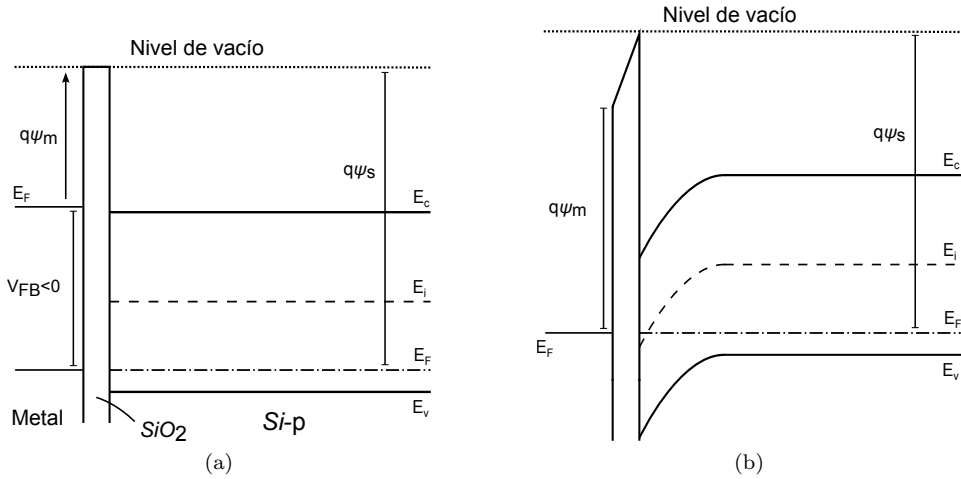


Figura 2.3.1: Estructuras de bandas. (a) Diagrama de bandas de la Estructura MOS ideal. (b) Diagrama de bandas de una Estructura MOS real en equilibrio térmico.

Donde  $\psi_{ms} = \psi_m - \psi_s$ .

## 2.4. El transistor MOSFET

En la Figura 2.4.1 se muestra la estructura de un transistor MOSFET canal N. Es un dispositivo de cuatro terminales con un sustrato tipo-p con dos regiones  $n^+$ , la fuente y el drenador. El metal que esta en contacto con el óxido es llamado compuerta<sup>4</sup>.

Los parametros básicos del dispositivo son la longitud del canal  $L$ , que es la distancia entre las dos uniones  $n^+ - p$ , el ancho del canal  $W$ , el espesor del oxido  $t_{ox}$ , la profundidad de la unión  $r_j$  y el dopaje del sustrato  $N_A$ .

El contacto de la fuente será usado como referencia. Cuando no existe un voltaje aplicado en la compuerta, los electrodos de fuente y drenador corresponden a uniones p-n conectadas una con otra. Tambiense observa que la sección central del transistor es una estructura MOS. Cuando aplicamos un voltaje positivo lo suficientemente grande en la compuerta, la estructura central esta invertida, es decir, la capa superficial de inversión (*canal*) se forma entre las dos regiones  $n^+$ . La fuente y el drenador ahora esta conectados por una zona conductora canal-n donde una corriente puede fluir. La conductividad de este canal puede ser modulada variando el voltaje en la compuerta. El contacto en el sustrato puede estar a un voltaje de referencia o estar polarizado en inversa, este voltaje influiría también en la conductividad del canal.

Considerando un voltaje aplicado en la compuerta, causando una inversión en la superficie Figura 2.4.2.a. Si un voltaje de drenador pequeño es aplicado, los electrones fluyen de la fuente

<sup>4</sup> Pueden ser utilizados como electrodos: Polisilicio fuertemente dopado o una combinación de silicios y Polisilicio.



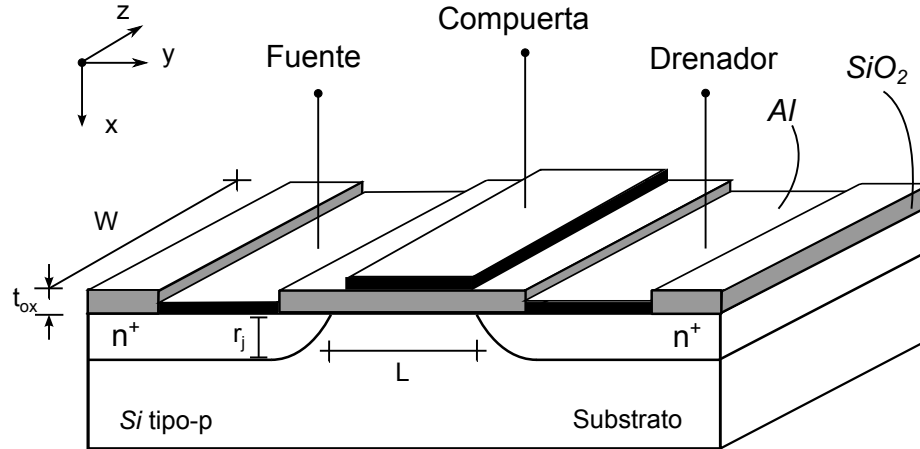


Figura 2.4.1: Estructura de un transistor MOSFET.

al drenador a través del canal inducido en la superficie del semiconductor. El canal actuará como una resistencia y la corriente de drenador  $I_D$  será proporcional al voltaje de drenador. Esto es la región lineal como indica la Figura 2.4.2.a.

Cuando el voltaje de drenador se incrementa, eventualmente la capa de inversión  $x_i$  alcanza un punto donde el ancho en la zona adyacente al drenador es reducido a cero, este punto es conocido como *pinch-off* Figura 2.4.2.b. Mas allá del punto de pinch-off (punto P), la corriente en el drenador se mantiene básicamente igual, porque  $V_D > V_{Dsat}$  el punto P de  $V_{Dsat}$  se mantiene igual. Entonces el número de portadores que llegan al punto P de la fuente, y por lo tanto el flujo de corriente de drenador a la fuente, se mantiene constante. El mayor cambio es un decremento en  $L$  a un valor  $L'$  Figura 2.4.2.c.

Para obtener las condiciones básicas del transistor MOSFET se establecerán las siguientes condiciones ideales:

1. La estructura de la compuerta corresponde a una estructura MOS ideal.
2. Solo se considera la corriente de deriva<sup>5</sup>.
3. La movilidad en la capa de inversión es constante.
4. El dopaje del canal es constante.
5. La corriente de fuga es despreciablemente pequeña.
6. Consideración de aproximación de canal gradual. El campo transversal ( $\mathcal{E}_x$  en dirección  $x$  y perpendicular al flujo de corriente) en el canal es mucha más grande que el campo longitudinal ( $\mathcal{E}_y$  en la dirección  $y$  y paralelo al flujo de corriente).

En la Figura 2.4.3 se presenta un MOSFET trabajando en la región lineal bajo las condiciones ideales. La carga total inducida en el semiconductor por unidad de área,  $Q_{sem}$ , a una distancia  $y$  de la fuente Figura 2.4.3.b, esta dada por las Ecuaciones 2.2.14 y 2.2.15 :

<sup>5</sup> La corriente debida al campo eléctrico.

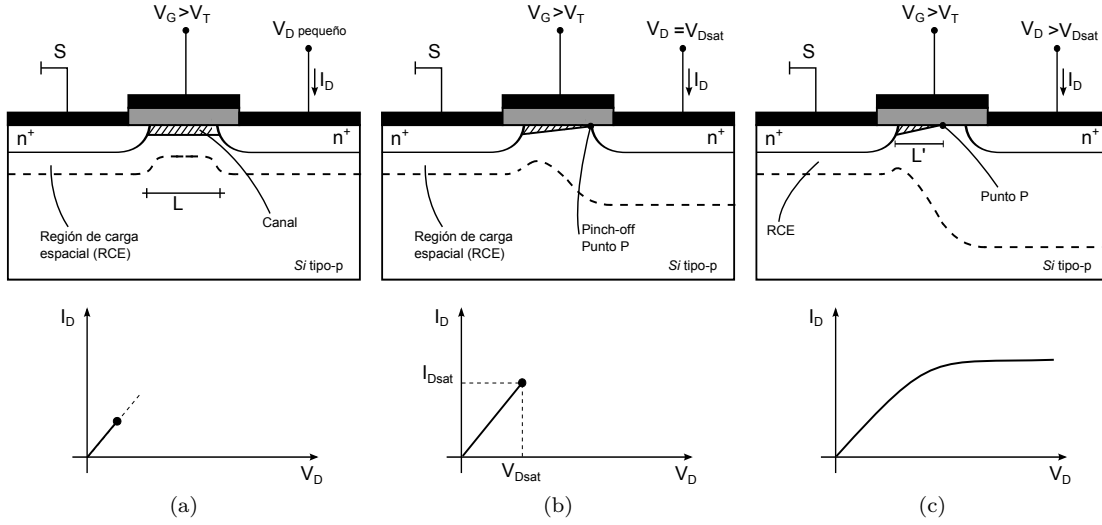


Figura 2.4.2: Operación de un MOSFET y curvas características I-V. (a) Voltaje bajo en drenador. (b) Saturación. (c) Después del punto de saturación.

$$Q_{sem}(y) = -[V_G - \psi_s(y)] C_{ox} \quad (2.4.1)$$

Donde  $\psi_s(y)$  es el potencial superficial a lo largo del canal y  $C_{ox}$  es la capacitancia de la compuerta por unidad de área, entonces la carga en la capa de inversión esta dada por las Ecuaciones 2.2.5 y 2.4.1 :

$$Q_n(y) = -[V_G - \psi_s(y)] C_{ox} - Q_B(y) \quad (2.4.2)$$

El potencial superficial  $\psi_s(y)$  en inversión puede ser aproximado por  $2\psi_B + V(y)$  [21], donde  $V(y)$  es el voltaje en un punto del canal ( $y$ ) y el electrodo de la fuente (que esta a tierra). La carga dentro la RCE  $Q_B(y)$  por la Ecuación 2.2.13 y substituyendo en la Ecuación 2.4.2 , la carga en la capa de inversión queda como [21]:

$$Q_n(y) \simeq -[V_G - V(y) - 2\psi_B] C_{ox} + \sqrt{2\epsilon_s q N_A [V(y) + 2\psi_B]} \quad (2.4.3)$$

La conductividad del canal en la posición ( $y$ ) puede ser aproximada por [21]:

$$\sigma(x) = qn(x)\mu_n(x) \quad (2.4.4)$$

Para una movilidad constante, la conductancia del canal esta dada por [22, 21]:

$$g = \frac{Z}{L} \int_0^{x_i} \sigma(x) dx = \frac{Z\mu_n}{L} \int_0^{x_i} qn(x) dx \quad (2.4.5)$$

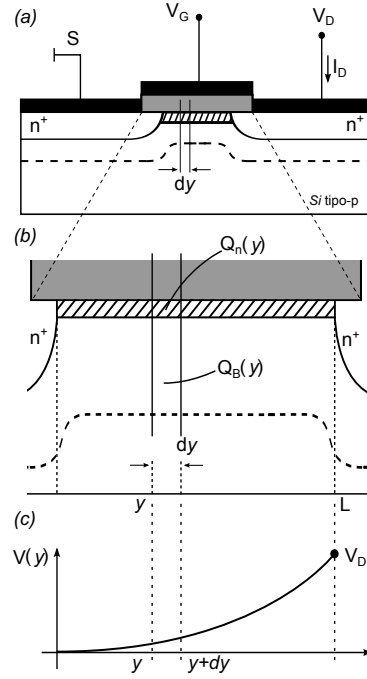


Figura 2.4.3: (a) MOSFET operando en la región lineal. (b) Ampliación del canal. (c) Caída del voltaje del drenador a través del canal.

La integral  $\int_0^{x_i} qn(x)dx$  corresponde a la carga total por unidad de área en la región de inversión y es igual a [22, 21]:

$$g = \frac{Z\mu_n}{L} |Q_n| \quad (2.4.6)$$

La resistencia del canal de una sección  $dy$ , Figura 2.4.3.b es:

$$dR = \frac{dy}{gL} = \frac{dy}{Z\mu_n |Q_n(y)|} \quad (2.4.7)$$

y la caída de voltaje en esa sección es:

$$dV = I_D dR = \frac{I_D dy}{Z\mu_n |Q_n(y)|} \quad (2.4.8)$$

Donde  $I_D$  es la corriente de drenador que es independiente de  $y$ , substituyendo la Ecuación 4.2.4 en la Ecuación 2.4.8 e integrando desde la fuente ( $y = 0, V = 0$ ) al drenador ( $y = L, V = V_D$ ) tenemos [21]:

$$I_D = \frac{W}{L} \mu_n C_{ox} \left\{ \left[ V_G - V_T - 2\psi_B - \frac{V_D}{2} \right] V_D - \frac{2}{3} \frac{\sqrt{2\epsilon_s q N_A}}{C_{ox}} \left[ (V_D + 2\psi_B)^{3/2} - (2\psi_B)^{3/2} \right] \right\} \quad (2.4.9)$$

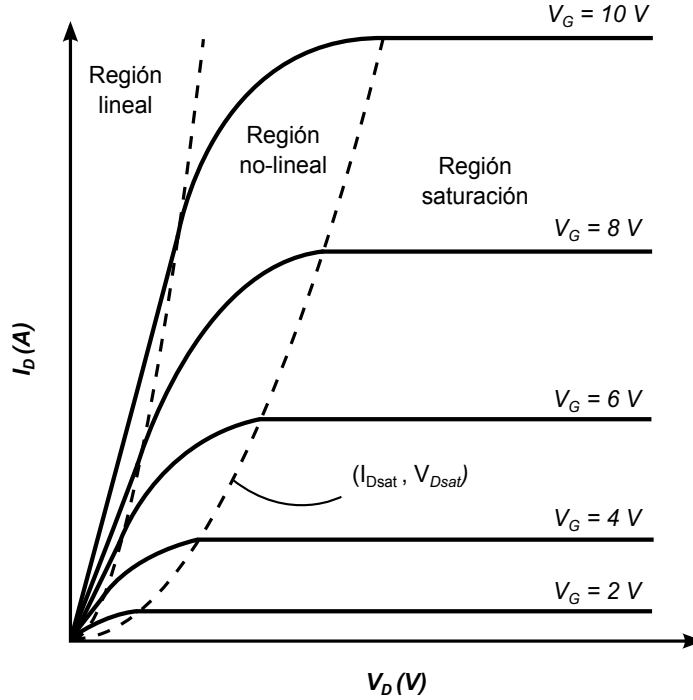


Figura 2.4.4: Curvas características I-V. Las líneas punteadas separan las diferentes regiones.

En la Figura 2.4.4 se muestran las curvas características de corriente - voltaje de un MOSFET basado en la Ecuación 2.4.9, para un  $V_G$  dado, la corriente de drenador incrementa primero linealmente con el voltaje de drenador (Región lineal). Después los niveles gradualmente bajan, acercándose a un valor de saturación (Región de saturación). La línea punteada indica el lugar del voltaje de drenador  $V_{Dsat}$  al cual, la corriente alcanza su valor máximo.

### 2.4.1. Voltaje de Umbral

Como se mencionó, el voltaje de umbral ideal  $V_T$  está definido como en la Ecuación 2.2.16, sin embargo, debido a la presencia del voltaje de banda plana ocurre un cambio en el voltaje de umbral [21]:

$$V_T = V_{FB} + 2\psi_B + \frac{\sqrt{2\epsilon_s q N_A (2\psi_B)}}{C_{ox}} \quad (2.4.10)$$

## 2.5. Escalado del Dispositivo

Desde 1959, las dimensiones de los dispositivos han sido reducidos drásticamente, esta reducción es debida y principalmente motivada por la necesidad de circuitos integrados complejos, compactando miles de millones de transistores en un solo chip. Para incrementar el número de

componentes por circuito integrado, las dimensiones del dispositivo necesitan ser reducidas. Sin embargo, escalar los CMOS convencionales más allá de los  $50\text{ nm}$  es complicado. Controlar las corrientes de fuga requieren dieléctricos de compuerta extremadamente pequeños y zonas de dopaje tan fuertemente dopadas, que su fabricación tal vez no pueda ser llevada a cabo [24]. Además, la continua contracción de la proximidad de la fuente y el drenador, reduce el control efectivo de la compuerta sobre el canal y cuando los canales llegan a ser tan cortos, aparecen efectos indeseados denominados efectos de canal corto (SCE, *Short Channel Effects*).

### 2.5.1. Efectos de canal corto (SCE)

Como la longitud  $L$  del canal es reducida, los anchos de las regiones de carga espacial de las uniones tanto de la fuente  $W_S$  como del drenador  $W_D$  llegan a ser comparables con la longitud del canal. Esto es, las dos regiones de carga espacial interfieren y la compuerta pierde el control de la corriente, limitando la operación del dispositivo para un MOSFET de canal corto.

Entre los principales problemas asociados a los SCE podemos señalar: Saturación de la velocidad de portadores, variaciones en el voltaje de umbral, reducción de la barrera de potencial en la fuente por el voltaje del drenador (DIBL, *Drain-induced Barrier Lowering*), incremento en la pendiente de subumbral  $S^6$ , fenómeno de ruptura por alcance (*punch-through*)<sup>7</sup>.

## 2.6. Estructuras MuGFET

Con la finalidad de mejorar el funcionamiento del transistor MOSFET convencional, han surgido estructuras de múltiples compuertas, tales como: Triple-Gate (TG), FinFET, Pi-gate (PG), quadruple-gate (QG) y Omega-gate ( $\Omega$ G). En contraste con la tecnología planar MOSFET, donde el óxido de la compuerta está en un solo plano, en los transistores de múltiple compuerta de efecto de campo (MuGFETs) cuentan con un óxido en más de un plano, obteniendo un mayor control desde la compuerta en el canal. Los MuGFETs reducen los SCE a través de un mejor control electrostático de la compuerta sobre el canal [26]. Existen transistores planares de doble compuerta y éstos también superan algunas de las limitaciones para la miniaturización del transistor. El colocar una segunda compuerta permite modular el canal desde dos lados, en lugar de uno obteniendo un mejor control de la corriente y por ende limita las corrientes de fuga. Sin embargo, la naturaleza planar de estos transistores hace en extremo difícil colocar

<sup>6</sup> La corriente subumbral se presenta cuando el voltaje aplicado en la compuerta  $V_G$  es menor que el voltaje de umbral  $V_T$ . Para caracterizar la región subumbral, se suele usar el concepto de pendiente subumbral:

$$S = \frac{1}{\frac{d \log(I_D)}{dV_G}} \left[ \frac{mV}{dec} \right]$$

De forma ideal la pendiente subumbral presenta un valor de  $60\text{ [mV/dec]}$ , aunque estudios recientes muestran que transistores basados en grafeno podrían lograr pendientes menores a ésta [25].

<sup>7</sup> Cuando el voltaje de drenador es puesto por arriba del voltaje de saturación, llegará el momento donde las RCE tanto de la fuente como del drenador se junten, provocando un incremento brusco de la corriente (una ruptura) [23].

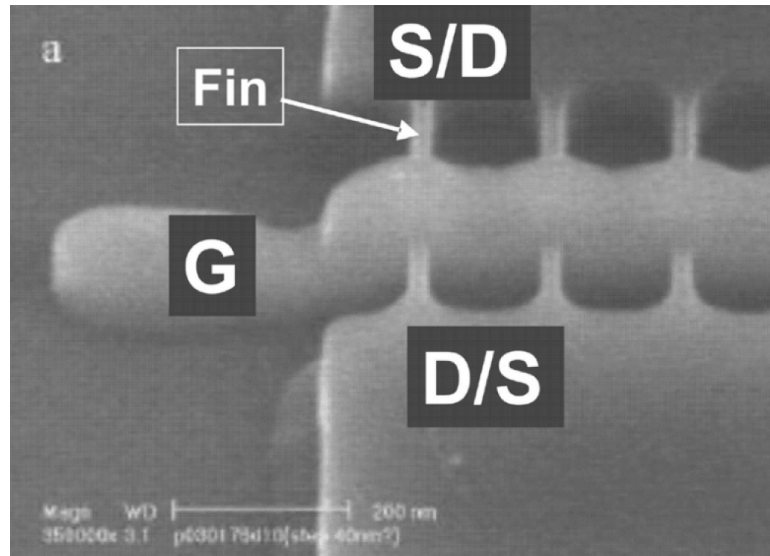


Figura 2.6.1: Transistor FinFET donde se observan las regiones de compuerta (G), fuente (S) y drenador (D) [28].

una segunda compuerta en el transistor sin comprometer su desempeño, donde factores como la alineación de las compuertas y variaciones en su longitud afectan negativamente el rendimiento del transistor y complican de manera significativa el proceso de fabricación.

### 2.6.1. El transistor FinFET

El transistor FinFET<sup>8</sup>, como ilustra la Figura 2.6.2, sigue el mismo esquema de doble compuerta, pero mejora la relación costo-efectividad y tiene como ventaja intrínseca una alineación natural de las compuertas. Consiste de una estructura denominada *fin* vertical que sobresale de la superficie de la oblea de silicio (en la dirección Z), las terminales de fuente y drenador se construyen opuestamente en los extremos finales del fin. La compuerta cubre al fin, por tanto, el ancho será dos veces la altura del fin (para un FinFET de doble compuerta). La corriente que fluye es paralela al plano de la oblea (plano XY), entonces se le puede considerar como una estructura cuasiplanar a pesar de su estructura tridimensional [24, 27]. Otras estructuras planares y no-planares han sido propuestas, sin embargo, el FinFET ha sido preferido por su relativa simplicidad y compatibilidad con la actual tecnología planar CMOS [24].

En la Figura 2.6.1 se muestra una microscopía de un transistor FinFET.

Los parámetros del FinFET son definidos en la Figura 2.6.2, la distancia entre la fuente y el drenador es la longitud de la compuerta  $L$ , la altura del fin es  $H_{fin}$  y es constante para todos los fines del chip<sup>9</sup>.  $W_{fin}$  es el ancho del fin. El grueso del óxido entre las compuertas laterales

<sup>8</sup> El nombre de FinFET deriva de su forma semejante a una aleta.

<sup>9</sup> Una altura relativamente grande complica el proceso de fabricación y aumenta la probabilidad de defectos al momento de su fabricación [27].

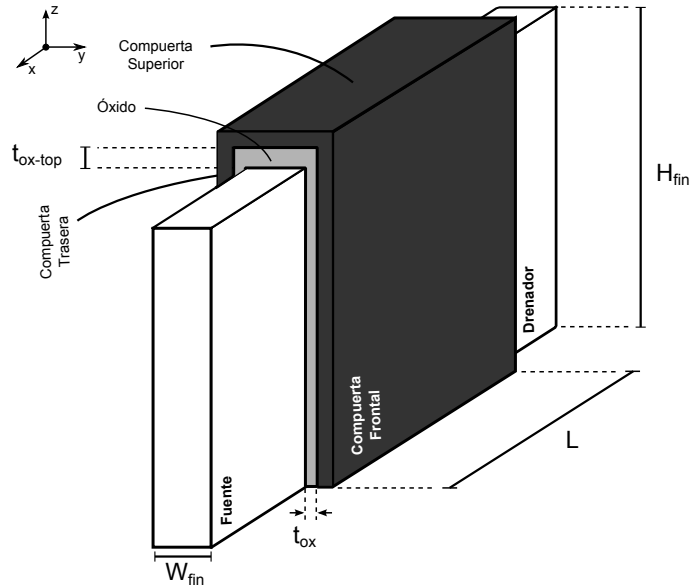


Figura 2.6.2: Geometría de un transistor FinFET.

(Compuerta frontal y trasera) y el fin es  $t_{ox}$ . El óxido entre la compuerta superior y el fin es  $t_{ox-top}$ <sup>10</sup>. El diseño de la estructura del fin es de suma importancia para minimizar corrientes de fuga y elementos parásitos.

En la Figura 2.6.3 se muestra una estructura FinFET en una oblea SOI, donde la compuerta se encuentra alrededor de tres lados del cuerpo de Silicio de cada fin. El ancho de conducción por cada triple compuerta puede ser calculada como dos veces la altura del fin  $H_{fin}$  más el ancho del fin  $W_{fin}$ . El ancho total del transistor puede ser aumentado fácilmente agregando múltiples *fins* en paralelo (*finger*). Se utilizan estructuras multi-finger y multi-fin como se muestra en la Figura 2.6.3, donde el ancho total de la compuerta de un FinFET de triple compuerta es proporcional al número de *fingers*  $N_{finger}$  y número de fins por finger  $N_{fin}$ :

$$W = N_{finger}N_{fin}(2H_{fin} + W_{fin}) \quad (2.6.1)$$

Una ventaja clave de utilizar fingers consiste en la reducción de la resistencia extrínseca de la compuerta  $R_g$  que afecta significativamente en el desempeño de RF y la frecuencia máxima de oscilación  $f_{max}$  del transistor, como se observará en capítulos posteriores. Colocando más fingers en paralelo la resistencia  $R_g$  es reducida [26].

En la Figura 2.6.4 se observa el área de oblea de un transistor MOSFET y un transistor

<sup>10</sup> Sí hacemos  $t_{ox-top}$  lo suficientemente grande, de tal manera que la compuerta superior no tenga influencia significativa sobre el canal que se formaría en la parte superior del fin, se le puede considerar como una estructura FinFET de doble compuerta. En la presente tesis, el transistor que se utilizó tiene  $t_{ox-top} = t_{ox}$ , siendo así, un transistor FinFET de triple compuerta.

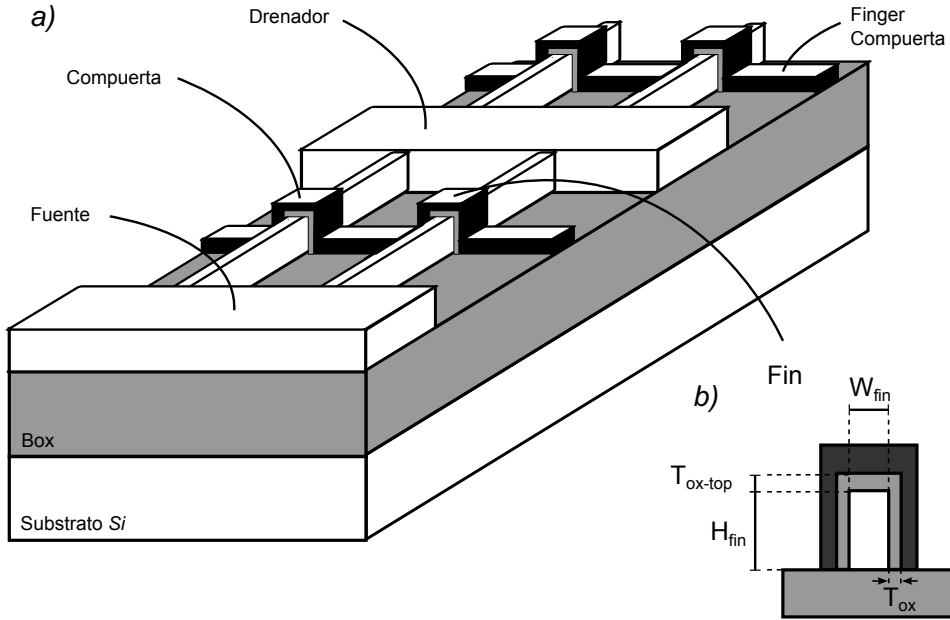


Figura 2.6.3: a) Estructura multifinger FinFET, compuesta de dos finger compuertas con dos fines cada una. b) Vista Frontal de un Fin.

FinFET. Haciendo un arreglo adecuado de la geometría de un transistor FinFET se puede lograr la misma e incluso una mayor área activa que un transistor MOSFET.

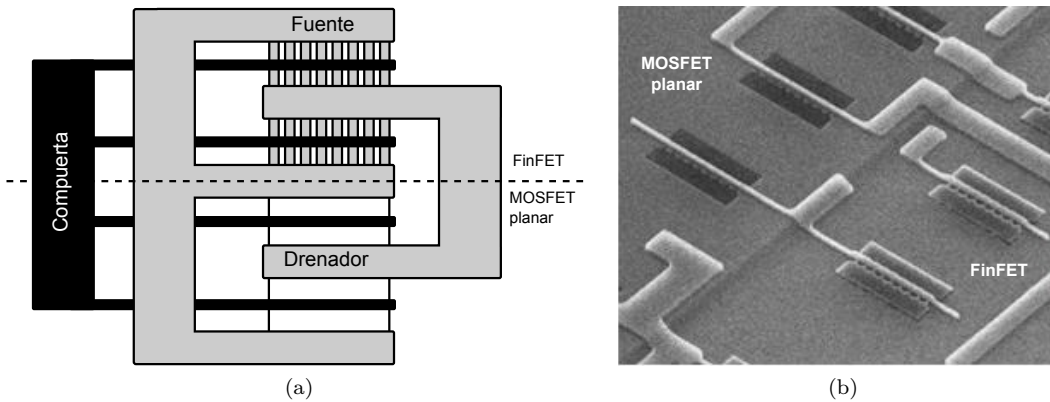


Figura 2.6.4: a) Vista superior de dos fingers compuertas de un MOSFET planar (abajo) y un FinFET con ocho fines cada finger (arriba), ocupando la misma área de oblea [26]. b) Integración de un circuito que contiene FinFETs y MOSFETs planares en la misma oblea, Imagen obtenida de [29].



## 2.7. Conclusión

Los transistores FinFET es una tecnología avanzada MOSFET que permite longitudes de compuerta por debajo de los 50 nm suprimiendo los SCE y por tanto, presentan un mejor desempeño que la tecnología planar. En particular, a pesar de su estructura tridimensional, se le puede considerar una estructura cuasiplanar debido a que el flujo de corriente es paralelo al plano de la oblea de silicio, haciendolo una estructura relativamente sencilla de modelar y aunado a esto, es compatible con la tecnología planar CMOS existente, permitiendo usar ambas tecnologías en una misma oblea.

Además, gracias a las longitudes de compuerta nanométricas, los transistores FinFETs pueden ser utilizados para aplicaciones de radiofrecuencia del orden de los GHz por ejemplo, bluetooth, wifi, radares, etc.



## Capítulo 3

# Modelo equivalente de pequeña señal del transistor MOSFET

### 3.1. Introducción

**R**EQUERIR cada vez más los transistores FinFETs en aplicaciones de radiofrecuencia, ha hecho necesario estudiar su comportamiento en RF. Para poder diseñar y comprender cada uno de los fenómenos que ocurren en el transistor en diferentes frecuencias de operación, es necesario comprender el concepto de modelo compacto del circuito equivalente de pequeña señal. Los FinFETs son una estructura MuGFET que ha sido bastante estudiada y que tiene la ventaja de ser compatible con la tecnología CMOS planar. Sin embargo, las investigaciones y publicaciones son referentes a los procesos tecnológicos y para aplicaciones digitales y sólo algunos estudian su comportamiento para aplicaciones de RF de alta frecuencia. Los FinFETs son transistores que tienen una gran oportunidad para ser empleados en aplicaciones de RF, no obstante, es necesario el desarrollo de modelos que expliquen su comportamiento, y así poder optimizar su estructura y reducir efectos parásitos que degradan en forma significativa su rendimiento.

Existen principalmente dos vertientes de modelos: los polinomiales<sup>1</sup> y los modelos basados en pequeña señal.

Los modelos de pequeña señal describen el transistor MOSFET como un circuito eléctrico de parámetros concentrados, estos parámetros tienen una correspondencia directa con los fenómenos físicos del transistor, sin embargo, resultan complejos de extraer. La obtención de un modelo de circuito equivalente permitirá el diseño de circuitos y observar la influencia de cada elemento en el desempeño del transistor.

### 3.2. Modelo intrínseco

#### 3.2.1. Efecto útil

El efecto útil de un MOSFET se refiere a la modulación, por medio de un voltaje aplicado a la compuerta (G), de la corriente ( $I_{ds}$ ) fluyendo a través del canal desde la terminal de la fuente (F)

---

<sup>1</sup> Este tipo de modelos describen el comportamiento del transistor como una caja negra y requieren de rutinas matemáticas de optimización. Y aunque en principio son relativamente sencillos de obtener, no describen el comportamiento físico de transistor [30]. Por lo tanto se usará el modelo basado en pequeña señal.

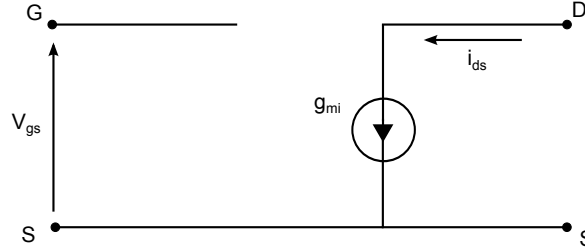


Figura 3.2.1: Circuito equivalente del efecto útil en un transistor MOSFET

al drenador (D). Electricamente es posible representarla como una fuente de corriente controlada por voltaje, donde la fuente esta conectada entre las terminales de S y D, mientras que el control del voltaje será aplicado en la terminal G,  $V_{gs}$ , Figura 3.2.1. La fuente de corriente esta definida por la transconductancia intrínseca  $g_{mi}$  y que esta definida como [21, 30]:

$$g_{mi} = \left. \frac{\partial i_{ds}}{\partial V_{gs}} \right|_{V_{gs}=cte} \quad (3.2.1)$$

### 3.3. Modelo cuasi-estático

Este modelo considera que cuando se aplica una pequeña señal y ésta varía lo suficientemente lento tal que los portadores dentro del transistor puedan seguirla instantaneamente. En el transistor MOSFET existen influencias entre terminales, de forma que un pequeño incremento del voltaje aplicado en una terminal producirá una variación en la carga asociada en las otras terminales [30]. En la Figura 3.3.1 se muestra un esquema simplificado del MOSFET cuando está polarizado en DC y una pequeña señal adicional es agregada a la terminal de la compuerta con un valor de  $\delta V_g$ . Un incremento en el voltaje produce un aumento en la carga del canal  $\delta Q$ . Este incremento en la carga esta asociado a ambas terminales (fuente y drenador)  $\delta Q_s$  y  $\delta Q_d$ .

Todos estos efectos pueden ser incluidos al modelo de circuito equivalente de pequeña señal como capacitancias debido al incremento de carga relacionado con un cambio en el voltaje de compuerta. Estas capacitancias quedan representadas como:

$$\begin{aligned} C_{gdi} &= - \left. \frac{\partial q_g}{\partial v_d} \right|_{v_{gs}=cte} & C_{dgi} &= - \left. \frac{\partial q_g}{\partial v_g} \right|_{v_{gs}=cte} \\ C_{gsi} &= - \left. \frac{\partial q_g}{\partial v_s} \right|_{v_{gd}=cte} & C_{sgi} &= - \left. \frac{\partial q_s}{\partial v_g} \right|_{v_{gd}=cte} \\ C_{dsi} &= - \left. \frac{\partial q_d}{\partial v_s} \right|_{v_{gs}=cte} & C_{sdi} &= - \left. \frac{\partial q_s}{\partial v_d} \right|_{v_{gs}=cte} \end{aligned} \quad (3.3.1)$$

Se observa que las capacitancias no son recíprocas.

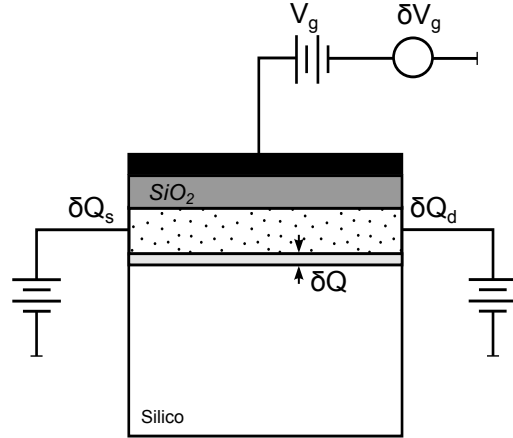


Figura 3.3.1: Esquema simplificado de un MOSFET [30].

Si consideramos un MOSFET polarizado en saturación, un incremento en el voltaje de drenador no producirá cambio alguno en la terminal de la compuerta, esto debido a la condición de *pinch-off*, entonces la  $C_{gdi} = 0$ . Por otra parte, un cambio pequeño en la compuerta producirá una variación en la densidad de carga del canal y en la corriente de drenador provocando un cambio asociado a la carga del drenador y por lo tanto  $C_{dgi} \neq 0$ . Bajo estas condiciones  $C_{gdi} \neq C_{dgi}$ . Este efecto no recíproco se modela añadiendo una parte imaginaria a la transconductancia (transcapacitancia,  $C_{mi}$ ) [30]. Entonces la transadmitancia  $Y_{mi}$  se define como:

$$Y_{mi} = g_{mi} - j\omega C_{mi} \quad (3.3.2)$$

Generalmente la transcapacitancia puede ser despreciada para frecuencias relativamente bajas, sin embargo, en muy altas frecuencias debe ser considerada para describir de manera precisa el comportamiento del MOSFET.

Además, el transistor actúa como una fuente real de corriente y entonces tiene una conductancia específica de salida y definida como [21, 30]:

$$g_{di} = \left. \frac{\partial i_{ds}}{\partial v_{ds}} \right|_{v_{gs}=cte} \quad (3.3.3)$$

Finalmente el circuito equivalente de pequeña señal será modificado como lo muestra la Figura 3.3.2, donde todos los parámetros son dependientes de la polarización y de la geometría del transistor.

La matriz de parámetros de admitancia (matriz  $Y$ ) del modelo de circuito equivalente cuasi-estático<sup>2</sup> de pequeña señal de la Figura 3.3.2, está dado por:

<sup>2</sup> En el caso del modelo no cuasi-estático, conforme la frecuencia de la pequeña señal aumenta las cargas presentarán un fenómeno inercial, produciendo un retardo entre el voltaje aplicado y la redistribución de la carga en el canal. El retardo a lo largo del canal puede ser representado por el uso de resistencias serie intrínsecas conectadas entre la compuerta y el drenador ( $R_{gdi}$ ), y entre la compuerta y la fuente ( $R_{gdi}$ ). Y el retardo del

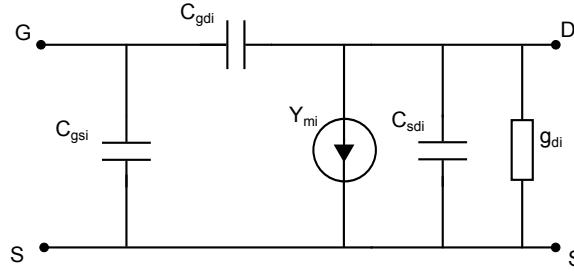


Figura 3.3.2: Modelo del circuito equivalente cuasi-estático de pequeña señal de un MOSFET.

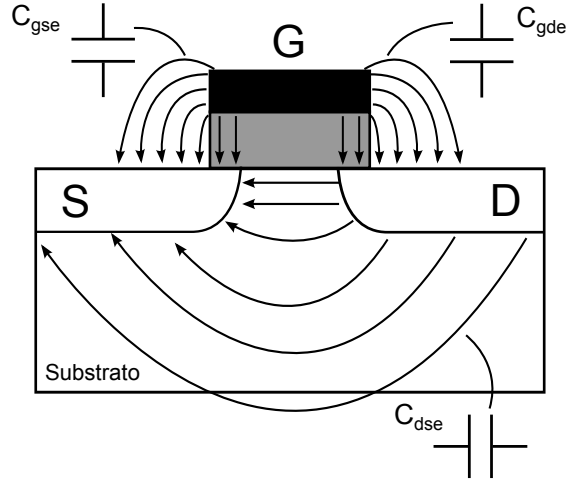


Figura 3.4.1: Capacitancias extrínsecas asociadas a la estructura del MOSFET [30].

$$Y_{\pi i} = \begin{bmatrix} j\omega (C_{gsi} + C_{gdi}) & -j\omega C_{gdi} \\ g_{mi} - j\omega C_{gdi} & g_{di} + j\omega (C_{sdi} + C_{gdi}) \end{bmatrix} \quad (3.3.4)$$

### 3.4. Modelo extrínseco

La estructura MOSFET esta rodeada por efectos parásitos originados principalmente por los contactos e interconexiones y son independientes de la polarización del transistor.

#### 3.4.1. Capacitancias extrínsecas

Varias capacitancias extrínsecas estan asociadas a la estructura física del transistor, como lo muestra la Figura 3.4.1:

Las capacitancias compuerta-drenador ( $C_{gde}$ ) y compuerta-fuente ( $C_{gse}$ ) tienen su origen por una combinación de: (i) la superposición de regiones debido a la difusión de los atomos momento donde la señal es aplicada a la compuerta al momento a que el efecto es transferido al canal se modela con una transconductancia compleja ( $g_{mi}e^{-j\omega\tau}$ ) [30].

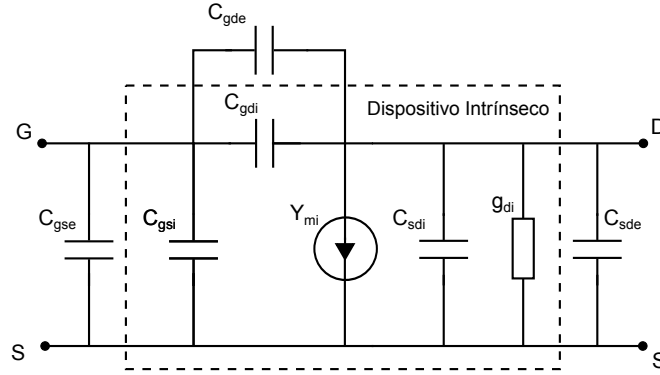


Figura 3.4.2: Modelo de circuito equivalente con capacitancias extrínsecas.

dopantes de la fuente y el drenador debajo del óxido de la compuerta. (ii) El campo eléctrico de borde desde el electrodo de la compuerta a las regiones de la fuente y drenador. La capacitancia ( $C_{dse}$ ) corresponde debido a los efectos de acoplamiento a través del sustrato [30].

La matriz  $Y$  de la Figura 3.4.2 del circuito equivalente incluyendo las capacitancias extrínsecas esta definido como:

$$Y_{\pi} = Y_{\pi i} + Y_e \quad (3.4.1)$$

$$Y_e = \begin{bmatrix} j\omega (C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega (C_{dse} + C_{gde}) \end{bmatrix}$$

### 3.4.2. Resistencias e inductancias extrínsecas

El dopaje de las regiones de la fuente y del drenador están caracterizadas por una cierta resistividad que debido a la geometría, relacionarán a los valores de las resistencias de acceso. Además, El transistor debe estar conectado al exterior usando líneas de metal. Estas líneas de interconexión introducen algunas resistencias serie. Finalmente, el contacto entre ellas y las regiones dopadas es caracterizada por una resistencia de contacto que también contribuye a la resistencia parásita total Figura 3.4.3.a. En la Figura 3.4.3.b se muestra una vista superior de las resistencias extrínsecas de un transistor MOSFET.

Debido a las líneas de interconexión el transistor puede presentar algunos efectos inductivos en cada electrodo. La Figura 3.4.4 muestra el modelo de circuito equivalente de pequeña señal con resistencias e inductancias extrínsecas y su matriz de impedancias (matriz  $Z$ ) está representada como:

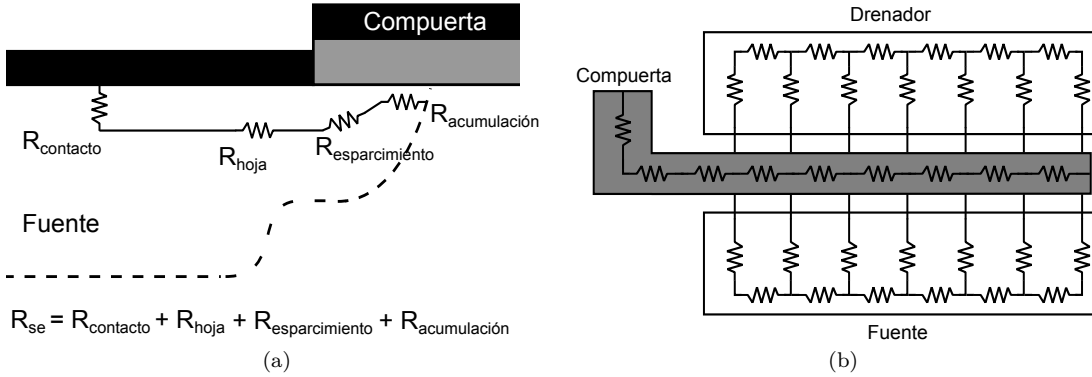


Figura 3.4.3: (a) Sección transversal de un MOSFET mostrando las diferentes resistencias de acceso. (b) Resistencias extrínsecas distribuidas en la estructura física del transistor [30].

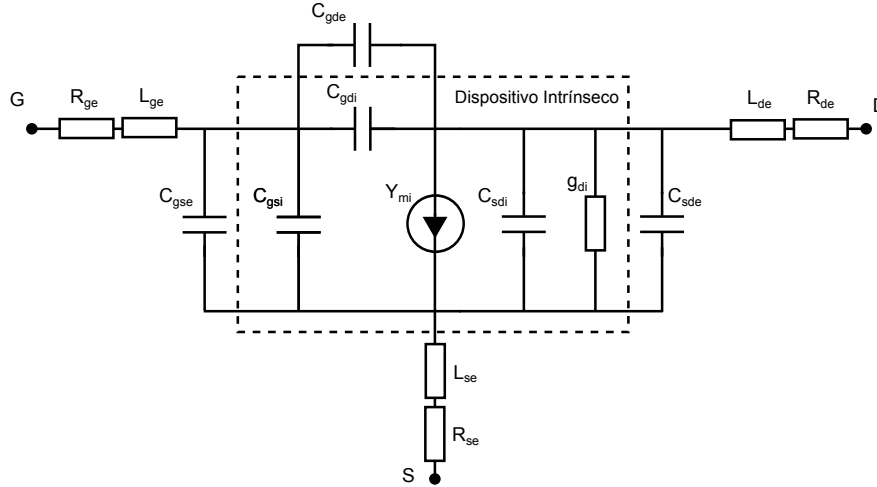


Figura 3.4.4: Modelo equivalente de pequeña señal con resistencias e inductancias serie.

$$Z_{\Sigma} = Y_{\pi}^{-1} + Z_e$$

$$Y_e = \begin{bmatrix} (R_{ge} + R_{se}) + j\omega(L_{ge} + L_{se}) & R_{se} + j\omega L_{se} \\ R_{se} + j\omega L_{ge} & (R_{de} + R_{se}) + j\omega(L_{de} + L_{se}) \end{bmatrix} \quad (3.4.2)$$

### 3.4.3. Parámetros de acceso

Para caracterizar al MOSFET en un rango de frecuencias, debe ser embebido en una línea de transmisión planar. Estas líneas de alimentación introducirán elementos parásitos en serie y en paralelo al circuito equivalente, por lo que es necesario un proceso de des-incrustación, sin embargo, actualmente la tecnología es lo suficientemente robusta para que las estructuras de



prueba utilizadas en los procedimientos de des-incrustación puedan remover los elementos parásitos adecuadamente [30]. Para el propósito de esta tesis, estos parámetros no serán agregados en el modelo equivalente de pequeña señal.

### 3.5. Procedimiento para la extracción de los parámetros de pequeña señal

La extracción de los elementos que forman el modelo de circuito equivalente de pequeña señal del MOSFET de la Figura 3.4.4 es como sigue:

- Las resistencias e inductancias extrínsecas son extraídas y se obtiene la matriz  $Z_e$ .
- La matriz  $Y_\pi^{-1}$  es deducida de la Ecuación 3.4.2.
- Las capacitancias extrínsecas son extraídas de la matriz  $Y_e$ .
- La matriz  $Y_{\pi i}$  es obtenida de la Ecuación 3.4.1 y los parámetros intrínsecos son determinados. Existen varios métodos para la extracción de las resistencias serie extrínsecas dividiéndolos en dos grupos (i) Métodos basados en mediciones de DC<sup>3</sup> y (ii) Métodos que requieren mediciones de RF.

La motivación de los métodos de extracción de RF es polarizar el MOSFET bajo condiciones específicas de polarización para reducir la complejidad del circuito equivalente y obtener una extracción directa de los elementos [31]. Entre estos métodos se encuentran el método de Lovelace, método de Torres-Torres, método de Raskin, método de Bracale y el método de Tinoco.

#### 3.5.1. Extracción de las capacitancias extrínsecas

Una vez extraídas las resistencias e inductancias serie, la matriz  $Z_e$  es construida y obtenida de la matriz  $Z_\Sigma$  de acuerdo con la Ecuación 3.4.2. Acto seguido, las capacitancias extrínsecas pueden ser extraídas polarizando el MOSFET en empobrecimiento con  $V_{ds} = 0$  y  $V_{gs} = 0$ . El circuito equivalente que obtenemos esta representado en la Figura 3.5.1.

Del circuito equivalente las capacitancias extrínsecas pueden ser obtenidas de las partes imaginarias de los parámetros de admitancias y están dadas por:

$$\begin{aligned}
 C_{gse} &= \frac{\text{Im}(Y_{11}+Y_{12})}{\omega} \\
 C_{gde} &= -\frac{\text{Im}(Y_{12})}{\omega} \\
 C_{dse} &= \frac{\text{Im}(Y_{22}+Y_{12})}{\omega}
 \end{aligned} \tag{3.5.1}$$

<sup>3</sup> Sólo es posible extraer la resistencia fuente-drenador ( $R_{se} + R_{de}$ ) [31].

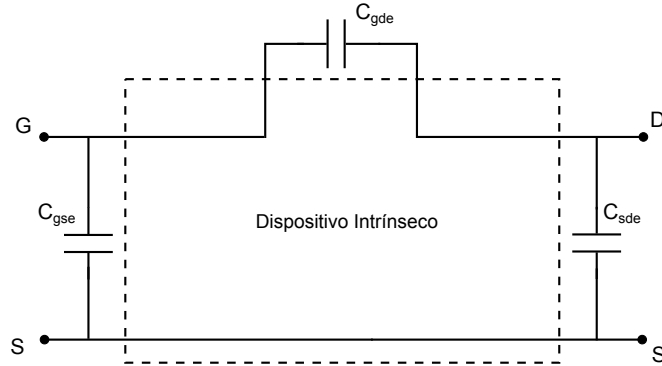


Figura 3.5.1: Circuito equivalente polarizado en empobrecimiento después de extraer las resistencias e inductancias serie.

### 3.5.2. Extracción de los parámetros intrínsecos

Una vez obtenidas las capacitancias extrínsecas la matriz intrínseca  $Y_{\pi i}$  puede ser obtenida de la Ecuación 3.3.4, quedando los parámetros intrínsecos como:

$$\begin{aligned}
 C_{gse} &= \frac{\text{Im}(Y_{11}+Y_{12})}{\omega} \\
 C_{gde} &= -\frac{\text{Im}(Y_{12})}{\omega} \\
 C_{dsi} &= \frac{\text{Im}(Y_{22}+Y_{12})}{\omega} \\
 g_{di} &= \text{Re}(Y_{22}) \\
 g_{mi} &= \text{Re}(Y_{21})
 \end{aligned} \tag{3.5.2}$$

## 3.6. Tecnología MOSFET en aplicaciones de Radiofrecuencia (Figuras de Mérito)

En 1996, gracias a la exitosa reducción de la compuerta en los MOSFET basados en silicio (Si MOSFET) se lograron dispositivos con frecuencias de corte  $f_t$  mayores a  $200 \text{ GHz}$ . Desde esa fecha el interés de MOSFETs para bajos voltajes, baja potencia, alta integrabilidad en señal mixta (Partes analógicas y digitales en el mismo Chip, SoC) en aplicaciones de microondas y ondas milimétricas han estado en un constante desarrollo [32].

Los MOSFETs habían sido considerados dispositivos lentos y ruidosos no aptos para aplicaciones de radiofrecuencia (RF), sin embargo, gracias al continuo escalamiento de sus dimensiones, el desempeño en RF de estos dispositivos ha sido mejorado considerablemente. A la fecha los MOSFETs son ampliamente usados en aplicaciones debajo del rango de los  $\text{GHz}$  y actualmente

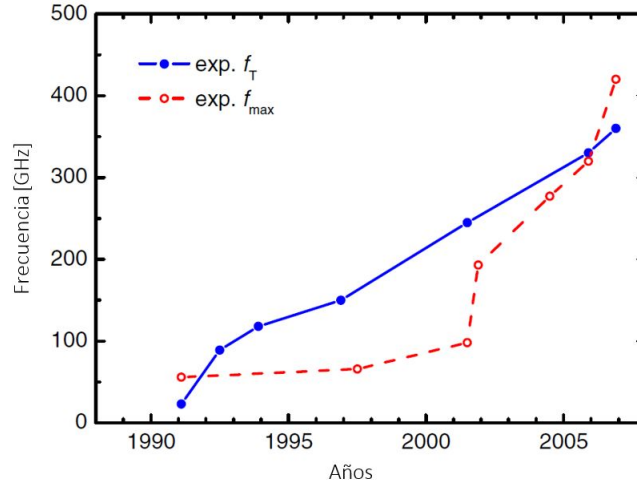


Figura 3.6.1: Evolución de frecuencias de corte  $f_T$  y frecuencias máximas de oscilación  $f_{max}$  record [33].

existen trabajos de desarrollo de circuitos de RF CMOS para aplicaciones arriba de los  $100\text{ GHz}$  [33, 34].

Para analizar el desempeño de un transistor en aplicaciones de RF en pequeña señal se utilizan principalmente las figuras de mérito, especialmente:

- Frecuencia de corte  $f_t$  : La frecuencia en la cual la ganancia de corriente en corto circuito es la unidad o  $0\text{ dB}$ .
- Frecuencia de máxima oscilación  $f_{max}$  : Frecuencia en la que la ganancia en potencia unilateral es la unidad o  $0\text{ dB}$ .

Durante el periodo de 1990-2000 el desempeño de los MOSFET se vió en un estancamiento, no fue sino a partir del año 2000 donde se alcanzaron  $f_t$  y  $f_{max}$  mayores a los  $300\text{ GHz}$ , La Figura 3.6.1 muestra las  $f_t$  y  $f_{max}$  con longitudes de compuertas de  $20\text{ nm}$  logradas experimentalmente. Según el ITRS<sup>4</sup> en el año 2020 se lograrán  $f_t$  y  $f_{max}$  de  $1.137\text{ THz}$  y  $912\text{ GHz}$  respectivamente, obtenidas con una longitud de compuerta de  $10.6\text{ nm}$  [35]. Esto es comparable al desempeño de los transistores *InP* más rápidos reportados hasta ahora. Por ahora estos transistores llegan a ser tan pequeños que el más mínimo efecto parásito (Capacitancias parásitas, resistencias serie parásitas, contactos, etc) afectan el desempeño del transistor e incluso llegan a dominarlo completamente.

Para lograr los objetivos de  $f_t$ , es necesario analizar la constante  $f_t \times L$ , este producto puede ser definido como la velocidad promedio de los electrones en el canal [ $\text{GHz} \times \mu\text{m}$ ]. El mejor producto  $f_t \times L$  experimental en *InP* HEMTs (con longitudes de compuertas entre  $80\text{ nm}$  y  $500\text{ nm}$ ) esta entre el rango de  $20 - 50 [\text{GHz} \times \mu\text{m}]$  y en un transistor de silicio MOSFET, el

<sup>4</sup> El ITRS (International Technology Roadmap for Semiconductors) presenta los desarrollos e investigaciones necesarias en un amplia gama de industrias en un horizonte a futuro de 16 años.

producto es de  $9 [GHz \times \mu m]$ , el transporte de electrones está muy por debajo de los InP HEMTs con canal de InGaAs [33]. No obstante, la tecnología de silicio ha seguido progresando, logrando frecuencias del orden de los  $500 GHz$ .

### 3.7. Desempeño de transistores Si MOSFETs en microondas

A través de los años han existido varias interpretaciones del efecto de la movilidad en la velocidad de los FETs. La alta movilidad de los portadores ha sido considerada como la condición más importante para un FET rápido. Tomando en cuenta esto y considerando los datos de movilidad de la Tabla 3.1. Llegamos a la conclusión que los transistores basados en semiconductores III-V deben ser mucho más rápidos que transistores de Si.

<i>Dopaje</i>	<i>Si de volumen</i>	<i>SiMOS</i>	<i>GaAs</i>	<i>In<sub>0.2</sub>Ga<sub>0.8</sub>As</i>	<i>In<sub>0.57</sub>Ga<sub>0.43</sub>As</i>
$10^{17} cm^{-3}$	700	540	4700	5000	7000
sin dopaje	1430	840	8625	9150	13800

Tabla 3.1: Movilidad de electrones ( $cm^2/Vs$ ) a temperatura ambiente [33].

También, se ha sugerido que la velocidad de un FET de compuerta pequeña no es muy afectada por la movilidad porque en la mayor parte del canal la velocidad está saturada. Investigaciones recientes argumentan que en los MOSFETs el transporte de portadores, incluso en canales FET extremadamente cortos, está fuertemente influenciado por la velocidad de inyección de portadores del extremo de la fuente al canal, que a su vez está relacionada a la masa efectiva de portadores y así a la movilidad. Desde este punto de vista, los transistores III-V tienen una ventaja de mayor movilidad comparados con los transistores basados en Silicio.

Por otro lados, algunos estudios indican que los semiconductores III-V con su masa efectiva pequeña y así alta movilidad, sufren de pequeñas densidades de estados cerca del borde de la banda de conducción, un número menor de estados disponibles significa una mayor carga en el nivel de Fermi y así una variación de voltaje en la compuerta más grande es necesaria para lograr una cierta variación en la concentración de electrones  $n_{sh}$  en el canal.

La corriente de drenador  $I_D$  de un FET está relacionada con la concentración de portadores en el canal  $n_{sh}$  [33]:

$$I_D \propto nvW \quad (3.7.1)$$

Donde  $v$  es la velocidad de portadores y  $W$  el ancho de la compuerta. La transconductancia, definida como la variación de corriente de drenador con respecto al voltaje de compuerta-fuente  $V_{GS}$  se puede definir como [33]:

$$g_m = \frac{dI_d}{dV_{gs}} \propto v \frac{dn_{sh}}{dV_{gs}} W \quad (3.7.2)$$

La proporcionalidad de la Ecuación 3.7.2 no es completamente correcta, donde la posible variación en la velocidad de portadores es ignorada, sin embargo, es una aproximación aceptable para esta explicación [33]. En la Ecuación 3.7.2 se observa que para lograr una transconductancia grande no solo es necesario un valor alto en la velocidad de portadores, también es requerido una relación  $dn_{sh}/dV_{gs}$  grande. Mientras que los materiales III-V ofrecen una alta velocidad de electrones, los FETs III-V sufren de un menor  $dn_{sh}/dV_{gs}$  que los basados en Silicio debido a su baja densidad de estados [33].

Por otro lado, la capacitancia intrínseca compuerta-fuente normalizada al ancho de la compuerta está dada por:

$$C'_{gsi} \propto L \frac{dn_{sh}}{dV_{gs}} \quad (3.7.3)$$

Las Ecuaciones 3.7.2 y 3.7.3 dependen de  $dn_{sh}/dV_{gs}$ , por lo tanto, una  $C'_{gsi}$  grande por unidad de longitud de la compuerta es una de las condiciones para un  $g_m$  grande.

### 3.7.1. Frecuencia de corte

Es la frecuencia en la cual la ganancia de corriente en corto circuito es la unidad. Para observar como influyen la capacitancia de compuerta-fuente y la transconductancia en la frecuencia de corte y frecuencia máxima de oscilación se pueden analizar mediante las siguientes ecuaciones [33, 36, 32]:

$$f_t \approx \frac{g_m}{2\pi C_{gs}} \frac{1}{\left(1 + \frac{C_{gd}}{C_{gs}}\right) + (R_d + R_s) \left[\frac{C_{gd}}{C_{gs}} (g_m + g_d) + g_d\right]} \quad (3.7.4)$$

Donde  $g_d$  es la conductancia,  $g_m$  es la transconductancia,  $C_{gs}$  y  $C_{gd}$  son las capacitancias de compuerta-fuente y compuerta-drenador,  $R_s$  es la resistencia serie de la fuente. Algunas veces es despreciado  $C_{gd}$ ,  $g_d R_d$  y  $R_s$  simplificándola a:

$$f_c \approx \frac{g_m}{2\pi C_{gs}} \quad (3.7.5)$$

### 3.7.2. Frecuencia de máxima oscilación

Está definida como la frecuencia en la que la ganancia en potencia unilateral es la unidad [32]:

$$f_{max} \approx \frac{f_c}{2 \left(1 + \frac{C_{gd}}{C_{gs}}\right) \sqrt{g_d (R_g + R_s) + \frac{1}{2} \frac{C_{gd}}{C_{gs}} \left(R_s g_m + \frac{C_{gd}}{C_{gs}}\right)}} \quad (3.7.6)$$

Analizando las Ecuaciones 3.7.5 y 3.7.6, llegamos a la conclusión que para el diseño de un FET rápido, la transconductancia debe ser tan grande como sea posible, mientras que los otros componentes incluyendo  $C_{gs}$  deben ser mínimos. Sin embargo, se había mencionado que

es necesario un valor grande de  $C'_{gsi}$  [ $F/cm$ ] para una transconductancia grande. Por otro lado tenemos que la capacitancia  $C_{gs}$  [ $F$ ] debe ser pequeña, esto se logra haciendo la compuerta más corta, así minimizamos la porción intrínseca de  $C_{gs}$  y reduciendo al mínimo los componentes externos parásitos de la capacitancia compuerta-fuente.

En la Ecuación 3.7.4 observamos que la conductancia  $g_d$  tiene un impacto sobre la velocidad del transistor, no obstante, experiencias han mostrado que la conductancia en un FET de compuerta pequeña puede ser mantenida pequeña cuando la relación  $L/d_{(G-Ch)}$  ( $d_{(G-Ch)}$ , distancia entre la compuerta y el canal del transistor) es grande, esto es, cuando se tienen compuertas muy cortas se necesitan barreras extremadamente delgadas entre la compuerta y el canal. Es aquí donde se presenta otra ventaja de los Si RF MOSFET con respecto a los HEMTs III-V [33].

Esta barrera delgada tiene un efecto deseable en el rendimiento del transistor relacionado con la relación de la capacitancia compuerta-fuente  $C_{gsi}$ , ya que la  $C_{gsi}$  es la variación de la carga de la compuerta causada por un cambio en el voltaje de compuerta-fuente  $dQ_s/dV_{gs}$  y se puede considerar como un capacitor de placas paralelas, donde la compuerta y el canal son las placas y la barrera como el dieléctrico:

$$C_{gsi} = \frac{dQ_s}{dV_{gs}} \approx \frac{\epsilon_{bar}LW}{d_{bar}} \quad (3.7.7)$$

Donde  $\epsilon_{bar}$  es la constante dieléctrica de la barrera y  $d_{bar}$  es el grosor de la barrera.

Si consideramos un FET con una capacitancia compuerta-fuente total  $C_{gs}$  que consiste de  $C_{gsi}$  y una componente parásita  $C_{gs_{par}}$  tenemos que la  $f_t$  va estar dada por:

$$f_t \approx \frac{g_m}{2\pi \left( \frac{\epsilon_{bar}LW}{d_{bar}} + C_{gs_{par}} \right)} \quad (3.7.8)$$

Si analizamos la expresión para un transistor con una longitud dada de compuerta  $L$  y ancho  $W$ , la componente de la capacitancia intrínseca debería ser grande, mientras que la capacitancia parásita debe ser pequeña. Para lograrlo necesitamos una relación  $\epsilon_{bar}/d_{bar}$  lo más grande posible y esto reducirá el efecto de la capacitancia parásita en el desempeño de RF, esta relación de  $\epsilon_{bar}/d_{bar}$  es grande en los transistores MOSFET basados en Si [33].

Las características anteriores que presentan los transistores MOSFET basados en Silicio compensan la baja movilidad en el canal.

Los FinFETs son considerados dispositivos prometedores para aplicaciones de alta densidad digital en dimensiones nanométricas ( $sub - 50 nm$ ), debido a su alta inmunidad a los SCE y su excelente compatibilidad con los procesos planares CMOS, sin embargo, se han realizado muy pocas investigaciones para analizar sus figuras de mérito [32].

En [32, 36] se han realizado estudios por medio de simulaciones y resultados experimentales indicando que el FinFET es una estructura de múltiple compuerta interesante que reduce los SCE, aseguran un menor voltaje de umbral, una mejor pendiente de sub-umbral y una mayor

relación en  $I_{on}/I_{off}$  , sin embargo, se presenta una degradación de las  $f_t$  por capacitancias parásitas ligadas a su estructura tridimensional.





## Capítulo 4

# Modelo compacto para un transistor FinFET

### 4.1. Introducción

IMPLEMENTAR circuitos integrados para radiofrecuencia con transistores avanzados crea la necesidad de desarrollar modelos adecuados capaces de describir con buena precisión la operación del MOSFET, tanto en corriente directa como en pequeña-señal. El modelo analítico de DC para MOSFETs de canal corto que se describirá a continuación, fue desarrollado para transistores de doble compuerta en [37] pero su aplicación ha sido demostrada en SOI FinFETs en [38].

Una de las ventajas que ofrece este modelo, es que los potenciales en la superficie y el potencial en la parte media del silicio no son considerados independientemente y tanto el campo eléctrico como el voltaje de compuerta, que están en función de estos potenciales, son obtenidos mediante ecuaciones analíticas y no existe ninguna ecuación trascendental. Además, es un modelo continuo en todas las regiones de operación y a diferentes temperaturas, utilizando un bajo número de parámetros [39].

A continuación se explicará y modelará la arquitectura del transistor FinFET, así como los diversos fenómenos que afectan a estas estructuras.

### 4.2. Modelado del FinFET

El modelo se desarrolló con la estructura que se muestra en la Figura 4.2.1, donde  $N_A$  es la concentración uniforme de aceptores en la capa de Silicio con espesor  $t_s$  para el caso de un transistor FinFET, por lo que  $t_s = W_{fin}$ , el espesor equivalente del dieléctrico de la compuerta representado por  $t_{ox}$ ,  $t_{poly}$  es el espesor del polisilicio con concentración de donores  $N_{poly}$  y longitud de canal  $L$ . El transistor es simétrico, con ambas compuertas conectadas a  $V_G$ .

La densidad de carga como función del potencial  $\psi$  es igual a [37, 38, 40]:

$$\rho = q(p - n - N_A) = q \left( \eta_i e^{\frac{\psi_{Fp} - \psi}{\psi_t}} - \eta_i e^{\frac{\psi - \psi_{Fn}}{\psi_t}} - \eta_i e^{\frac{\psi_{Fp}}{\psi_t}} \right) \quad (4.2.1)$$

Donde  $\psi_t = kT/q$  es el potencial térmico,  $k$  es la constante de Boltzmann,  $q$  es la carga del electrón y  $T$  es la temperatura en Kelvin,  $\eta_i$  es la concentración intrínseca de portadores.  $\psi_{Fp}$  es

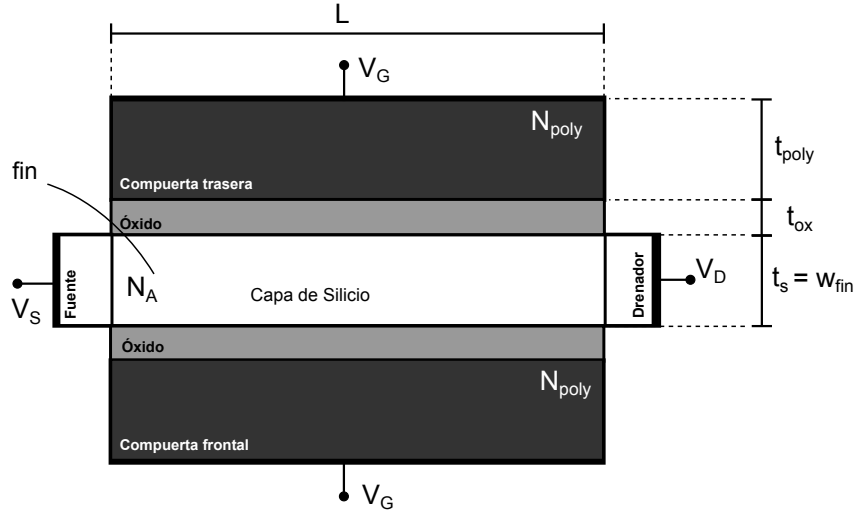


Figura 4.2.1: Vista superior de un transistor FinFET.

el nivel de cuasi-Fermi para huecos en la capa de Silicio tipo-p y  $\psi_{Fn}$  es el cuasi-nivel de Fermi para electrones.

El potencial a lo largo del canal es  $V = \psi_{Fn} - \psi_{Fp}$  [37, 40], entonces la Ecuación 4.2.1 puede ser escrita como:

$$\rho = -qN_A \left( 1 + e^{\frac{\psi - \psi_{Fp} - V}{\psi_t}} - e^{-\frac{\psi}{\psi_t}} \right) \quad (4.2.2)$$

El campo eléctrico en la capa superior de silicio es calculado usando la ecuación de Poisson (Ecuación 2.2.8). La siguiente expresión obtenida para  $E_s$ , como función del potencial en la superficie,  $\psi_s$  y en el centro de la capa de Silicio  $\psi_o$  [37, 40]:

$$E_s = \frac{\psi_t}{\epsilon_s} \sqrt{2q_b C_{ox} C_s \alpha} \sqrt{1 + \frac{1 - e^{-\alpha}}{\alpha} e^{\frac{\psi_s - 2\psi_{Fp} - V}{\psi_t}}} \quad (4.2.3)$$

donde  $\alpha = (\psi_s - \psi_o)/\psi_t$  es la diferencia de potenciales normalizada,  $\epsilon_s$  es la constante dieléctrica del Silicio,  $C_{ox} = \epsilon_{ox}/t_{ox}$  es la capacitancia de la compuerta por unidad de área,  $\epsilon_{ox}$  es la constante dieléctrica del óxido de la compuerta,  $q_b = Q_B/C_{ox}\psi_t = qN_A t_s/C_{ox}\psi_t$  es el módulo de la carga total de empobrecimiento normalizada en la capa de Silicio,  $Q_b$  es la carga total fijada en la capa de Silicio y  $C_s = \epsilon_s/t_s$  es la capacitancia de la capa de Silicio por unidad de área [37, 40].

En la Ecuación 4.2.3 se observa que el campo eléctrico no sólo depende de  $\psi_s$  también existe la diferencia de potencial en la superficie y en el centro de la capa de Silicio,  $(\psi_s - \psi_o)$  en  $\alpha$ . Si la capa de Silicio es considerada sin dopaje, el campo eléctrico dependerá únicamente de  $\psi_s$  [37], sin embargo, esta aproximación es insuficiente incluso para capas de dopaje de alrededor de  $10^{14} \text{ cm}^{-3}$ , por esto debe ser tomado en cuenta el efecto del dopaje [38, 37].

Usando la Ecuación 4.2.3 la expresión para el voltaje de compuerta [38, 37], puede ser escrita como:

$$V_G = V_{FB} + \psi_s + E_s \quad (4.2.4)$$

### 4.3. Modelado de Potenciales

#### 4.3.1. Régimen de subumbral (BT)

La diferencia entre el portencial superficial y el potencial en el centro de la capa de Silicio puede ser calculada usando la aproximación de empobrecimiento [38]:

$$\psi_{dBT} = \psi_{sBT} - \psi_{oBT} = \frac{qN_A t_s^2}{8\epsilon_s} = \frac{Q_B}{8C_s} \quad (4.3.1)$$

Donde  $\psi_{dBT}$  es la diferencia de potenciales  $\psi_{sBT}$  y  $\psi_{oBT}$  que son los potenciales en la superficie y en el centro de la capa de Silicio bajo la condición de régimen de subumbral, combinando la Ecuación 4.2.4 y la Ecuación 4.3.1 y usando la ecuación de Lambert,  $\psi_{sBT}$  puede ser expresada como [38]:

$$\psi_{sBT} = V_G - V_{FB} - \psi_t \frac{q_b}{2} - \psi_t \text{LambertW} \left[ \frac{q_b}{4} e^{\frac{V_G - V_{FB} - 2\psi_{FP} - \psi_t \frac{q_b}{2}}{\psi_t}} \right] \quad (4.3.2)$$

Y  $\psi_{oBT}$  puede ser obtenido de la Ecuación 4.3.1 y la Ecuación 4.3.2.

#### 4.3.2. Régimen de umbral (T)

De acuerdo con cálculos numéricos y simulaciones numéricas la diferencia de potencial  $\psi_{dT}$  en  $V_G = V_T$  puede ser expresada como [38]:

$$\psi_{dT} = \psi_{dBT} + \Delta\psi_{dT} = \psi_t \frac{q_b C_{ox}}{8C_s} + \frac{5}{8}\psi_t \quad (4.3.3)$$

Sí el método de la triple derivada es aplicado para obtener el voltaje de umbral, el potencial superficial en el umbral  $\psi_{sT}$  puede ser obtenido como  $(d^3\psi_s/dV_G^3) = 0$  en la Ecuación 4.2.4:

$$\psi_{sT} = 2\psi_{FP} + \psi_t \ln \left[ \frac{C_{ox}}{4C_s} \left( 1 + \frac{1}{q_b} \right) \right] \quad (4.3.4)$$

Y si sustituimos la Ecuación 4.3.4 en la Ecuación 4.2.4 obtenemos el voltaje de umbral [38]:

$$V_T = V_{FB} + 2\psi_{FP} + \psi_t \ln \left[ \frac{C_{ox}}{4C_s} \left( 1 + \frac{1}{q_b} \right) \right] + \psi_t \sqrt{\frac{2C_s q_b \alpha_T}{C_{ox}}} \sqrt{1 + \frac{1 - e^{-\alpha_T}}{\alpha_T} \frac{C_{ox}}{4C_s} \left( 1 + \frac{1}{q_b} \right)} \quad (4.3.5)$$

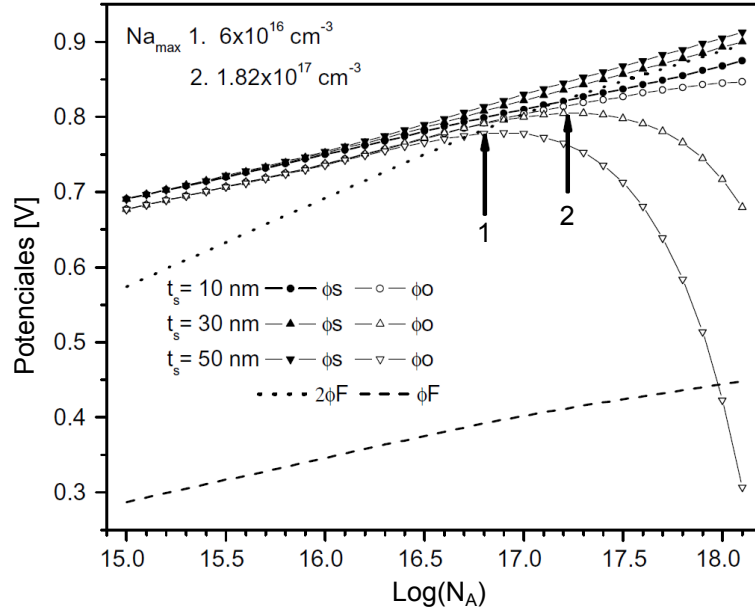


Figura 4.3.1: Potenciales en la superficie y en el centro de la capa de Silicio en función de  $N_A$  en el régimen de umbral para anchos  $t_s$  de 10, 30 y 50 nm.  $t_{ox} = 2.24 \text{ nm}$ . Las flechas indican la concentración de dopaje máximo  $N_{Amax}$  en el centro de la capa de Silicio para  $t_s = 30 \text{ nm}$  y  $50 \text{ nm}$  [40].

Donde  $\alpha_T = (\psi_{sT} - \psi_{oT}) / \psi_t$  y  $\psi_{oT} = \psi_{sT} - \psi_{dT}$ .

Además, el potencial en el centro de la capa de silicio en la condición de régimen de umbral, presenta una variación con la concentración de dopaje, Figura 4.3.1. Existe un dopaje máximo  $N_{Amax}$  para que  $\psi_{oT}$  sea considerado en inversión fuerte ( $\psi_{oT} > 2\psi_F$  si  $N_A \leq N_{Amax}$ ), y permanecerá en inversión débil en ( $\psi_F < \psi_{oT} < 2\psi_F$  si  $N_A > N_{Amax}$ ) [37, 38, 40].

### 4.3.3. Régimen de sobreumbral (AT)

La diferencia de potenciales en todas las regiones se hace mediante una expresión analítica empírica [37, 38, 40]:

$$\psi_d = \frac{\psi_{d1}}{2} [1 - \tanh(30(V_G - V_T - V))] + \frac{\psi_{d2}}{2} [1 + \tanh(30(V_G - V_T - V))] \quad (4.3.6)$$

Donde la diferencia de potenciales en el régimen de subumbral es  $\psi_{d1}$  y  $\psi_{d2}$  es la diferencia de potenciales en el régimen postumbral que depende de  $N_{Amax}$ .

El potencial en el régimen postumbral se obtiene con la Ecuación 4.3.6 y la Ecuación 4.2.4 [38].

$$\psi_{sAT} = V_G - V_{FB} - 2\psi_t \text{LambertW} \left[ \frac{1}{2} \sqrt{\frac{2q_s C_s}{C_{ox}}} (1 - e^{-\alpha}) e^{\frac{V_G - V_{FB} - 2\psi_{FP} - V}{2\psi_t}} \right] \quad (4.3.7)$$

Uniendo las soluciones antes y después del régimen de umbral, la expresión completa para el potencial superficial es obtenido [38]:

$$\psi_s = \frac{\psi_{sBT}}{2} [1 - \tanh(20(V_G - V_T))] + \frac{\psi_{sAT}}{2} [1 + \tanh(20(V_G - V_T))] \quad (4.3.8)$$

#### 4.4. Modelado de los portadores de carga

Para calcular la corriente primero es necesario la concentración de portadores de carga del canal  $Q_n$  normalizado a  $C_{ox}\psi_t$ ,  $q_n$ , es determinado a través de la siguiente relación con el campo eléctrico en la superficie en cada interface [37]:

$$E_s = \frac{Q_{sem}}{\epsilon_s} = \frac{C_{ox}\psi_t}{\epsilon_s} \left( q_n + \frac{q_b}{2} \right) \quad (4.4.1)$$

La carga total en el semiconductor  $Q_{sem}$  en cada superficie del transistor de doble compuerta es considerado igual a  $Q_n + Q_b/2$  y  $Q_b$  es compartido por las dos compuertas [37, 38].

Sustituyendo la Ecuación 4.2.3 en 4.4.1 la concentración de portadores de carga normalizada es igual a:

$$q_n(V) = \sqrt{2q_b \frac{C_s}{C_{ox}}} \sqrt{\alpha} \sqrt{1 + \frac{1 - e^{-\alpha}}{\alpha} e^{\frac{\psi_s - 2\psi_{FP} - V}{\psi_t}}} - \frac{q_b}{2} \quad (4.4.2)$$

Relacionando el voltaje del canal a los voltajes de la terminal de la fuente  $V_S$  y a la terminal del drenador  $V_D$ , la carga móvil normalizada en la fuente y en el drenador puede ser determinada como  $q_s = q_n(V_S)$  y  $q_d = q_n(V_D)$ , respectivamente.

#### 4.5. Modelo de corriente

La corriente es calculada como [37, 38]:

$$I_{DS} = 2 \frac{W}{L} \mu C_{ox} \psi_t \int_{V_S}^{V_D} q_n(V) dV \quad (4.5.1)$$

Donde  $W$  es el ancho total del canal, ver Ecuación 2.6.1,  $V_S$  y  $V_D$  son las diferencias de potenciales en la fuente y en el drenador respectivamente,  $\mu$  es la movilidad de los electrones y el término 2 es necesario para conciderar el efecto de ambos canales en la superficie.

Usando la Ecuación 4.4.2, el voltaje de compuerta  $V_G$  en la Ecuación 4.2.4 puede ser reescrito como [37]:

$$V_G = V_{FB} + \psi_s + \psi_t \left( q_n + \frac{q_b}{2} \right) \quad (4.5.2)$$

Sustituyendo  $\psi_s$  de la Ecuación 4.5.2 en la Ecuación 4.4.2 y resolviendo para  $V_G$ , la siguiente relación general es obtenida:

$$V_G - V_{FB} - 2\psi_{Fp} - V - \psi_t \frac{q_b}{2} + \psi_t \ln \left( \frac{1 - e^{-\alpha}}{\alpha} \right) = \psi_t q_b + \psi_t \ln \left[ \frac{\alpha_{BT}}{\alpha} \left( \frac{4q_n}{q_b} \left( 1 + \frac{q_n}{q_b} \right) + 1 \right) - 1 \right] \quad (4.5.3)$$

La Ecuación 4.5.3 representa el modelo unificado de control de corriente (UCCM) extendido a DG MOSFETs simétricos [37].

La variación de  $q_n$  con respecto a  $V$  tomando las consideraciones en [37] esta dada por:

$$-1 = \psi_t \left[ 1 + \left( \frac{1}{q_n} + \frac{1}{q_n + q_b} \right) \right] \frac{dq_n}{dV} \quad (4.5.4)$$

Sustituyendo la Ecuación 4.5.4 en la Ecuación 4.5.1 e integrando  $q_n$  desde su valor en la fuente  $q_s$  al valor en el drenador  $q_d$ , la corriente de drenador a lo largo del canal del dispositivo esta expresado como [37, 38]:

$$I_D = I_0 \left[ \frac{q_s^2 - q_d^2}{2} + 2(q_s - q_d) - q_b \ln \left( \frac{q_s + q_b}{q_d + q_b} \right) \right]; \quad I_0 = 2 \frac{W}{L} C_{ox} \psi_t^2 \quad (4.5.5)$$

Donde  $q_d$  y  $q_s$  son cargas normalizadas móviles en las terminales del drenador y la fuente, respectivamente.

## 4.6. Modelo de movilidad variable

En este modelo se consideró el modelo de movilidad variable de Shirahata [41] en la superficie, está dado por:

$$\mu_s = \frac{\mu_0}{1 + \left( \frac{E_{\perp}}{E_1} \right)^{P_1} + \left( \frac{E_{\perp}}{E_2} \right)^{P_2}} \quad (4.6.1)$$

Donde  $E_2 = E20(1 - E2v \cdot V_{Def_s})$  es un parámetro para considerar la dispersión causada por la rugosidad de la superficie [38],  $E20$ ,  $E2v$ ,  $E_1$ ,  $P_1$  y  $P_2$  son parámetros de ajuste,  $\mu_0$  es la movilidad máxima y  $E_{\perp}$  el campo eléctrico transversal:

$$E_{\perp} = \frac{C_{ox} \psi_t}{\epsilon_s} \left( \frac{q_s + q_d}{2} + \frac{q_b}{2} \right) \quad (4.6.2)$$

### 4.6.1. Velocidad de Saturación

Para dispositivos de canal corto, la velocidad de saturación  $v_{sat}$  logra un campo eléctrico a lo largo del canal causando una reducción en la movilidad superficial. Este efecto fue modelado por medio de:

$$\mu_{eff} = \frac{\mu_s}{\sqrt{1 + \left(\frac{\mu_s V_{Def}}{v_{sat} L}\right)^2}} \quad (4.6.3)$$

Donde  $V_{Def}$  es el voltaje de drenador efectivo.

Cuando los portadores alcanzan la velocidad de saturación, la corriente de drenador comienza a saturarse y la carga en el punto de saturación en el canal  $q_{sat}$  incrementa de acuerdo con [37, 38]:

$$q_{sat} = -\left(\frac{V_{Dsat} L}{\mu \psi_t} + 2\right) + \sqrt{\left(\frac{V_{Dsat} L}{\mu \psi_t} + 2\right)^2 + q_s^2 + 4q_s} \quad (4.6.4)$$

El voltaje de saturación es obtenido como [38]:

$$V_{Dsat} = \tau \psi_t \left[ q_s - q_{sat} + 2 \ln \left( \frac{q_s + q_b/2}{q_{sat} + q_b/2} \right) \right] \quad (4.6.5)$$

Donde  $\tau$  es un parámetro de ajuste a ser determinado.

El voltaje efectivo de drenador, que es siempre menor a  $V_{Dsat}$  es igual a [37] y es válido en la región lineal y en la región de saturación [38]:

$$V_{Def} = V_{Dsat} + \frac{1}{2} \left[ \left( V_D - V_{Dsat} + \frac{\psi_t}{3} \right) - \sqrt{\left( V_D - V_{Dsat} + \frac{\psi_t}{3} \right)^2 + \frac{4\psi_t}{3} V_{Dsat}} \right] \quad (4.6.6)$$

Para conciderar el efecto del voltaje de drenador en la región de subumbral, se utiliza un voltaje efectivo complementario [37]:

$$V_{Def_s} = \frac{V_D}{2} \left[ 1 - \tanh \left[ 3 \left( 1 - \frac{V_G}{V_T} \right) \right] \right] + \frac{V_{Def}}{2} \left[ 1 + \tanh \left[ 3 \left( 1 - \frac{V_G}{V_T} \right) \right] \right] \quad (4.6.7)$$

## 4.7. Efectos de canal corto

### 4.7.1. $V_T$ roll off y DIBL

Debido a la miniaturización del transistor, se genera una pequeña reducción en el voltaje de umbral. Estos fenómenos ( $V_T$  roll off y DIBL) son considerados a través de una corrección en el voltaje de umbral  $\Delta V_T$  que se obtuvo en [37, 38] como:

$$\Delta V_T = \sigma \psi_t \left( \frac{t_n}{L} \right)^2 \left( 1 - e^{-\frac{1}{0.3Lm}} \right) \ln \left( \frac{N_A}{\eta_{ia}} \right) \left( 1 + \frac{|V|}{39\psi_t} - e^{-\frac{|V|}{2.5\psi_t}} \right) \quad (4.7.1)$$

Donde  $\sigma$  es el parámetro de DIBL,  $Lm$  es una longitud de referencia de  $1 \times 10^{-5} \text{ cm}$ ,  $t_n$  es la longitud natural de las estructuras simétricas de doble compuerta igual a [37]:

$$t_n = \frac{t_s}{2\sqrt{2}} \sqrt{1 + \frac{4C_s}{C_o}} \quad (4.7.2)$$

#### 4.7.2. Modulaci3n de la longitud del canal

Debido al incremento en el campo el3ctrico a lo largo del canal por un aumento del voltaje de drenador se considera una reducci3n del canal como [37, 38]:

$$\frac{\Delta L}{L} = \lambda \frac{t_n}{L} \left[ \ln \left( \frac{L}{t_n} \right) - 1 \right] \ln \left( 1 + \frac{\mu_0 |V_D - V_{DefS}|}{V_{Dsat} t_n} \right) \quad (4.7.3)$$

Donde  $\lambda$  es un parámetro de ajuste a ser extraido.

#### 4.7.3. Pendiente subumbral

La degradaci3n de la pendiente subumbral es tambi3n provocada por la reducci3n de la longitud del canal, para considerar 3ste efecto se tiene [38]:

$$s = SN \cdot \left( 1 - 1.95e^{-\frac{L}{t_s}} \right) \cdot \frac{1}{2} [1 - \tanh(10(V_G - V_T))] + \frac{1}{2} [1 + \tanh(10(V_G - V_T))] \quad (4.7.4)$$

Donde  $SN$  es un parámetro de ajuste.

### 4.8. Modelo completo de corriente

La expresi3n de la corriente incluyendo todos los efectos antes mencionados, est3 expresada como [37, 38]:

$$I_D = \frac{I_0 \cdot \mu_{eff}}{\left(1 - \frac{\Delta L}{L}\right)} \left\{ \frac{q_s^2 - q_d^2}{2} + \left[ 2(q_s - q_d) - q_b \ln \left( \frac{q_s + q_b}{q_d + q_b} \right) \right]^s \right\} \quad (4.8.1)$$

El efecto de la reducci3n del voltaje de umbral  $\Delta V_T$ , esta incluido en las cargas normalizadas como  $q_s = q_n (V_G - \Delta V_T, V_S = 0)$  y  $q_d = q_n (V_G - \Delta V_T, V_D = V_{DefS})$ .

La validaci3n de este modelo fue realizada con un MOSFET de doble compuerta comparando las corrientes calculadas con la Ecuaci3n 4.8.1 con simulaciones num3ricas, en [40], la Figura 4.8.1 muestra las curvas transferenciales del modelo y simuladas para una capa de Silicio  $t_s = 34 \text{ nm}$  con una concentraci3n de dopaje de aceptores  $N_A = 10^{15} \text{ cm}^{-3}$  y para longitudes de canal  $L = 3 \mu\text{m}$  a  $50 \text{ nm}$ . Y la Figura 4.8.2 aparecen las curvas de salida para transistores



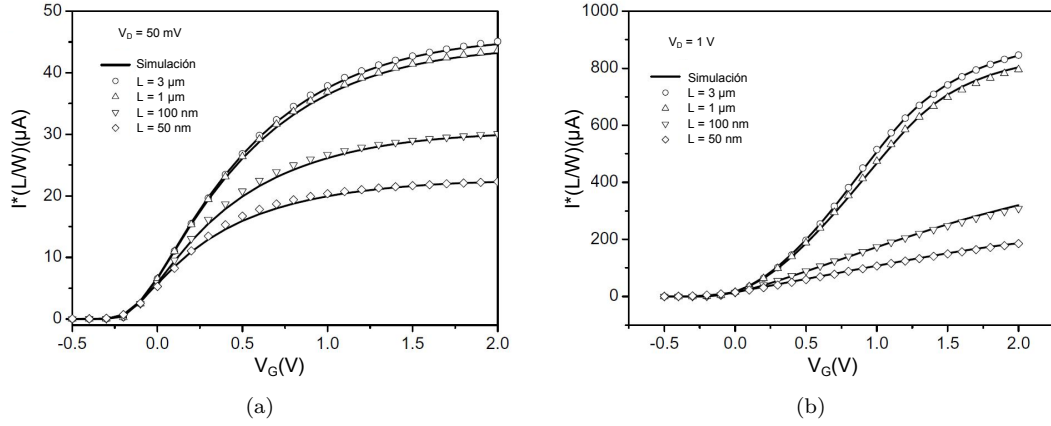


Figura 4.8.1: Comparación de curvas transferenciales normalizadas simuladas y modeladas para dispositivos con  $t_s = 34 \text{ nm}$ ,  $N_A = 10^{15} \text{ cm}^{-3}$  y para longitudes de canal  $L = 3 \mu\text{m}$  a  $50 \text{ nm}$ . a) Transferencial lineal  $V_D = 0.05 \text{ V}$ . b) Transferencial en saturación  $V_D = 1 \text{ V}$  [37].

con  $t_s = 34 \text{ nm}$  con longitud de canal  $L = 100 \text{ nm}$  para diferentes concentraciones de dopaje  $N_A = 10^{15} \text{ cm}^{-3}$  a  $N_A = 10^{18} \text{ cm}^{-3}$ .

Como se puede observar existe una buena correspondencia y continuidad en todas las regiones de operación del transistor para diferentes dopajes, en rangos prácticos de voltajes de compuerta y drenador.

El modelo de corriente fue implementado en un módulo de Verilog-A en SmartSpice en [42]. Este modelo fue validado con mediciones experimentales en [38] para dos transistores FinFET en diferentes temperaturas, presentando una buena correspondencia en las curvas transferenciales y de salida entre el modelo y mediciones, Figura 4.8.3 y Figura 4.8.4.

## 4.9. Modelado de capacitancias

Tomando en cuenta que la capacitancias intrínsecas son la variación de la carga con respecto a un voltaje, entonces, basados en el modelo de carga móvil en el canal, Ecuación 4.4.2, se pueden determinar analíticamente la capacitancias intrínsecas como [1]:

$$C_{ij} = -\frac{dQ_i}{dV_j} \propto -\frac{1}{C_{ox}\psi_t} \frac{dq_i}{dq_j} \frac{dq_i}{dV_j} \quad (4.9.1)$$

Donde  $q_i$ ,  $q_j$  y  $V_j$  son cargas normalizadas y voltajes relacionados con la compuerta, drenador o con la fuente. Las capacitancias  $C_{gsi}$ ,  $C_{gdi}$  y  $C_{sdi}$  del modelo de circuito equivalente de la Figura 3.4.2 se pueden calcular y la carga normalizada  $q_g$  esta dada por [1]:

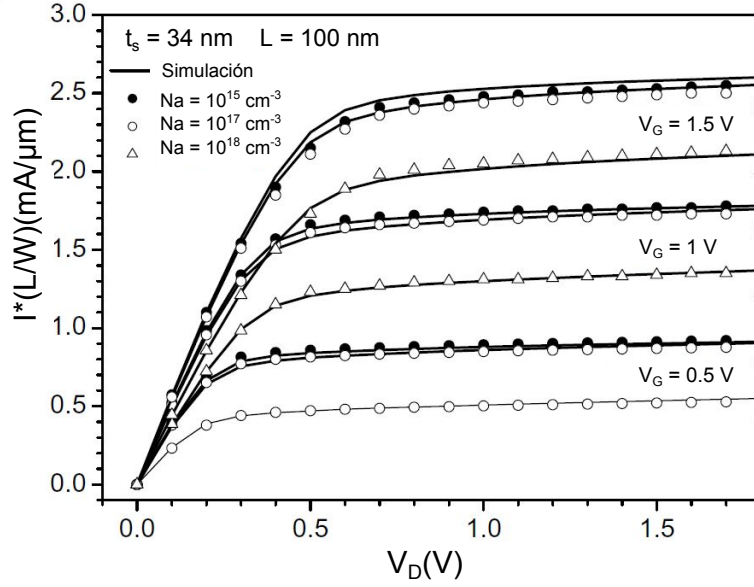


Figura 4.8.2: Comparación de curvas de salida normalizadas simuladas y modeladas para dispositivos con  $t_s = 34 \text{ nm}$  con longitud de canal  $L = 100 \text{ nm}$  para diferentes concentraciones de dopaje  $N_A = 10^{15} \text{ cm}^{-3}$ ,  $N_A = 10^{17} \text{ cm}^{-3}$  y  $N_A = 10^{18} \text{ cm}^{-3}$  [37].

$$q_g = \frac{4W^2 \mu C_{ox}^2 \psi_t^3}{I_D} \left[ \frac{1}{3} (q_s^3 - q_d^3) + (q_s^2 - q_d^2) - q_b (q_s - q_d) + q_b^2 \ln \left( \frac{q_s + q_b}{q_d + q_b} \right) \right] \quad (4.9.2)$$

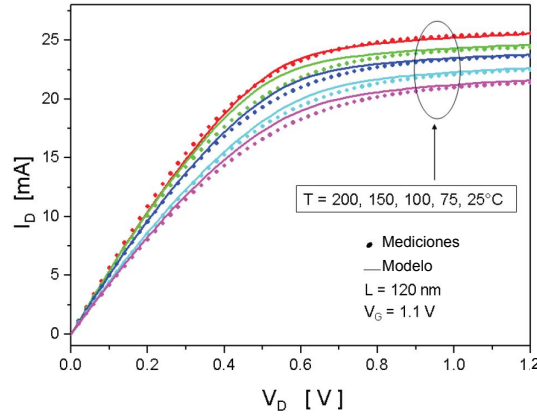


Figura 4.8.3: Curvas de salida para un transistor FinFET con  $L = 120 \text{ nm}$  y  $W_{fin} = 30 \text{ nm}$  [38].

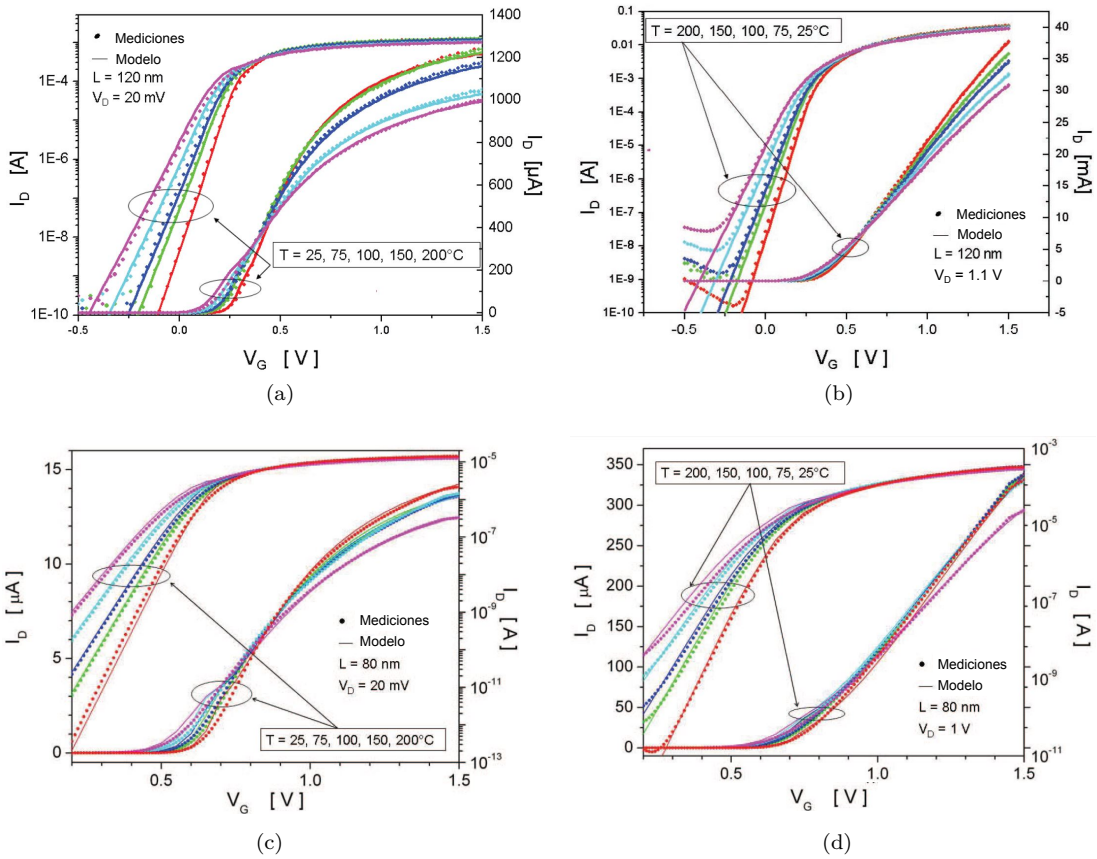


Figura 4.8.4: Curvas transferenciales a diferentes temperaturas para transistores FinFET. a) Transferencial lineal con  $L = 120 \text{ nm}$  y  $W_{fin} = 30 \text{ nm}$ . b) Transferencial en saturación con  $L = 120 \text{ nm}$  y  $W_{fin} = 30 \text{ nm}$ . c) Transferencial lineal con  $L = 80 \text{ nm}$  y  $W_{fin} = 25 \text{ nm}$ . d) Transferencial en saturación con  $L = 80 \text{ nm}$  y  $W_{fin} = 25 \text{ nm}$  [38].



## Capítulo 5

# Obtención de los parámetros del circuito equivalente de pequeña señal para el transistor FinFET

### 5.1. Introducción

**O**CUPANDO el modelo del Capítulo 4, el cual fue implementado en Verilog-A en [42], se harán un conjunto de simulaciones circuitales ajustando los parámetros propios del modelo para reproducir las curvas en DC experimentales y, con base a ellas, se obtendrán los parámetros del modelo compacto de circuito equivalente a pequeña señal, frecuencias de corte y de máxima oscilación del transistor FinFET de triple compuerta en los rangos de voltajes típicos de operación.

### 5.2. Ajuste del Modelo de DC para un Transistor FinFET de triple compuerta

El transistor con el que se trabajó es similar al mostrado en la Figura 2.6.3, el cual corresponde a un FinFET de triple compuerta con 48 fingers y 10 fines por finger, obteniendo un total de 480 fines. La estructura del fin, Figura 2.6.2, tiene un ancho  $W_{fin} = 12 \text{ nm}$ , una altura  $H_{fin} = 60 \text{ nm}$ , una longitud de canal de  $L = 40 \text{ nm}$  y espesor del óxido  $t_{ox} = t_{ox-top} = 1.8 \text{ nm}$ . El ancho total de la compuerta calculado con la Ecuación 2.6.1, es  $W = 63.36 \mu\text{m}$ .

El circuito fue simulado en Smartspice para reproducir las curvas características experimentales, esta representado por la Figura 5.2.1. Donde  $R_d$  y  $R_s$ , son las resistencias serie de drenador y fuente, respectivamente.

El ajuste se realizó por medio de simulaciones teniendo como objetivo final alcanzar a reproducir correctamente las corrientes experimentales del transistor FinFET. Los parámetros de ajuste que optimizan el modelo para este transistor FinFET de triple compuerta están representados en la Tabla 5.1:

### 5.3. Curvas transferenciales

Con los parámetros anteriores se logró el siguiente ajuste en las curvas características del transistor, éstas se obtuvieron tomando en cuenta las resistencias serie (comportamiento extrínseca) y sin ellas, es decir, en los nodos (1, 3) y (2, 3) del circuito de la Figura 5.2.1 (comportamiento

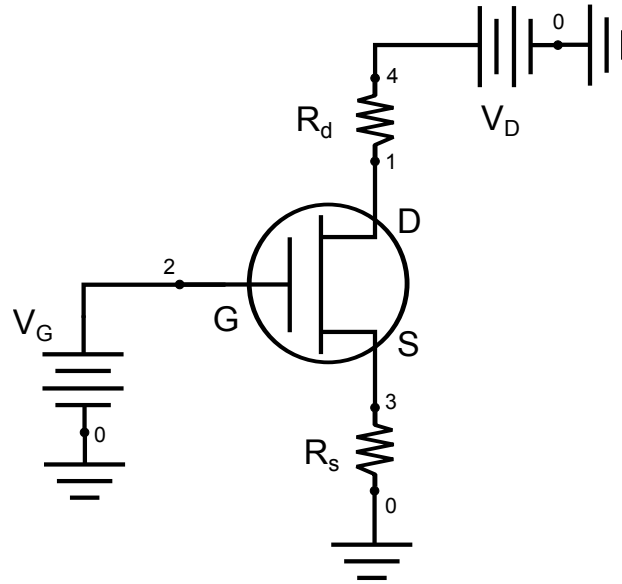


Figura 5.2.1: Circuito simulado.

<i>Movilidad</i>	
Parámetro	Valor
$\mu_0$ [ $cm^2/Vs$ ]	1300
$E20$ [ $KV/cm$ ]	$1.45 \times 10^5$
$E1$ [ $KV/cm$ ]	0.3
$E2v$	0.11
$P1$	0.1
$P2$	1.19

<i>Efectos de Canal Corto</i>	
Parámetro	Valor
$v_{sat}$	$22.28 \times 10^7$
$\tau$	1.2
$\sigma$	1
$\lambda$	3.9
$SN$	0.7

Tabla 5.1: Parámetros de ajuste para el transistor FinFET de triple compuerta.

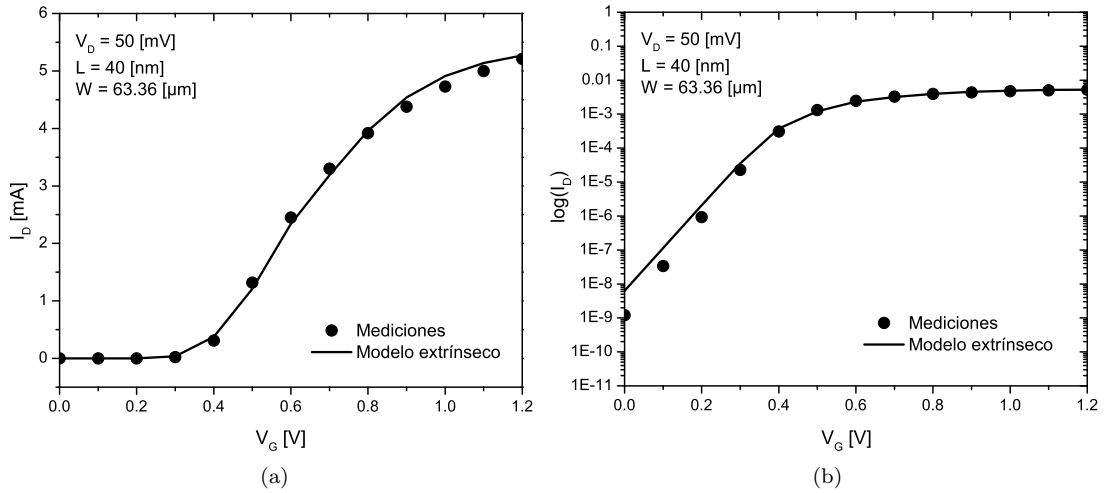


Figura 5.3.1: Curva transferencial lineal extrínseca para  $V_D = 50\text{ mV}$ . a) Régimen sobreumbral. b) Régimen Subumbral.

intrínseca). Este ajuste es importante, ya que con base a estos se obtendrán los parámetros intrínsecos del modelo de circuito equivalente de pequeña señal del transistor FinFET de triple compuerta.

La Figura 5.3.1.a muestra el ajuste de la curva transferencial lineal y la Figura 5.3.1.b en escala logarítmica, en ambas regiones (sobreumbral y subumbral) se obtiene un buen ajuste con el modelo y las mediciones.

En la Figura 5.3.2 se muestran las curvas transferenciales en saturación, en ambas se obtiene un buen ajuste de las curvas experimentales y las obtenidas con el modelo.

## 5.4. Curvas de salida

La Figura 5.4.1 muestra la comparación de las curvas de salida obtenidas mediante el modelo y las medidas experimentalmente para dos condiciones de  $V_G = 0.5\text{ V}$  y  $V_G = 1.0\text{ V}$ . Como se puede observar, el modelo reproduce adecuadamente el comportamiento del dispositivo. En el caso de la curva en  $V_G = 1.0\text{ V}$  existe una ligera desviación del modelo, lo cual puede estar asociado a diferentes efectos al interior del dispositivo. El modelo no está tomando en cuenta, por ejemplo la corriente de fuga a través del dieléctrico.

Otro posible efecto son los portadores calientes (*hot carriers*). Cuando los campos eléctricos internos cerca del drenador se incrementan debido a la disminución de la longitud del canal, aparecen corrientes parásitas asociados a ellos. Cuando los electrones del canal entran a esta zona (*portadores calientes*), adquieren una energía extra, si esta energía es lo suficientemente

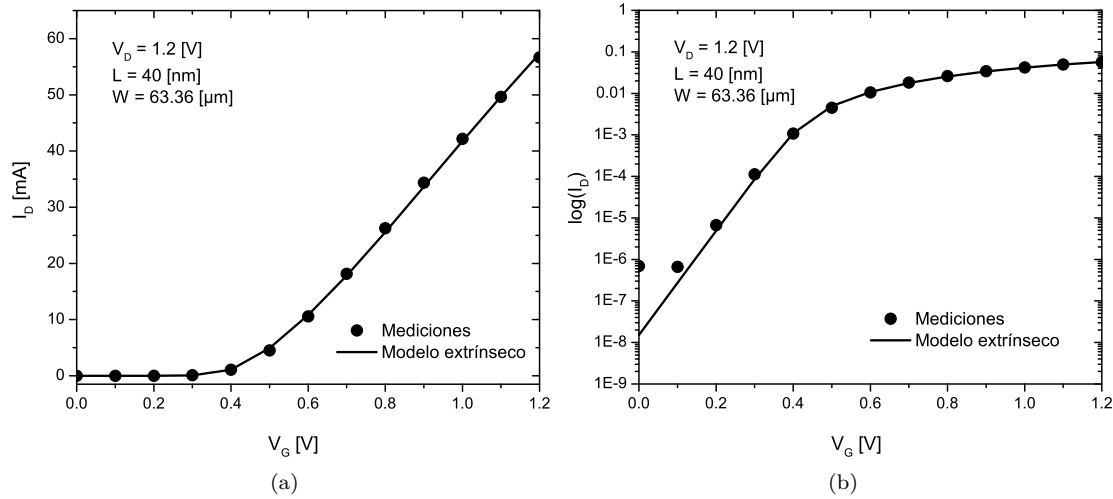


Figura 5.3.2: Curva transferencial en saturación extrínseca para  $V_D = 1.2$  V a) Régimen sobreumbral. b) Régimen Subumbral.

grandes, escapan al óxido y a la terminal de la compuerta generando un cambio en el voltaje de umbral.

Otro efecto debido a los altos campos eléctricos cerca del drenador, es el impacto de los electrones cerca del drenador provocando pares extra de electron-huecos, estos electrones van directamente al drenador y se suman a la corriente de drenador. Los huecos se dirigen al óxido y al sustrato y una pequeña cantidad van a la fuente. Estos dos últimos son evitados (*Efecto Kink*) por estar trabajando con obleas tipo FD SOI. Sin embargo, significa que todos los huecos generados van hacia el óxido, entonces la acumulación de carga en el óxido inducirá un cambio en el voltaje de umbral.

## 5.5. Obtención de los parámetros intrínsecos de pequeña señal

Los parámetros intrínsecos de pequeña señal son extraídos experimentalmente en un punto de operación del transistor con  $V_D = 1$  V. Gracias al simulador es posible retirar las resistencias serie y por tanto obtener los parámetros del dispositivo intrínseco. Esto nos permite determinar las transconductancias y conductancias intrínsecas. La Figura 5.5.1 se encuentran las curvas transferenciales con y sin resistencias serie.

La transconductancia que se define como la variación de la corriente de drenador con respecto a un cambio en el voltaje de compuerta, ver Ecuación 3.2.1, se obtiene la Figura 5.5.2, la cual coincide con los datos experimentales. Es de notar que la transconductancia comienza a disminuir para  $V_G > 0.8$ , esto debido a la degradación de la movilidad con el campo eléctrico.



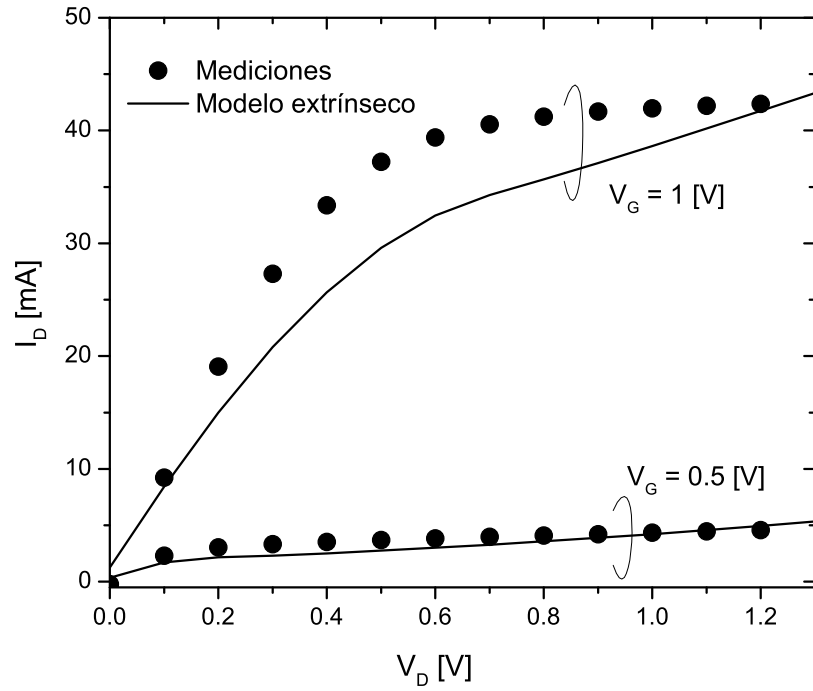


Figura 5.4.1: Curvas de salida a diferentes voltages de compuerta.

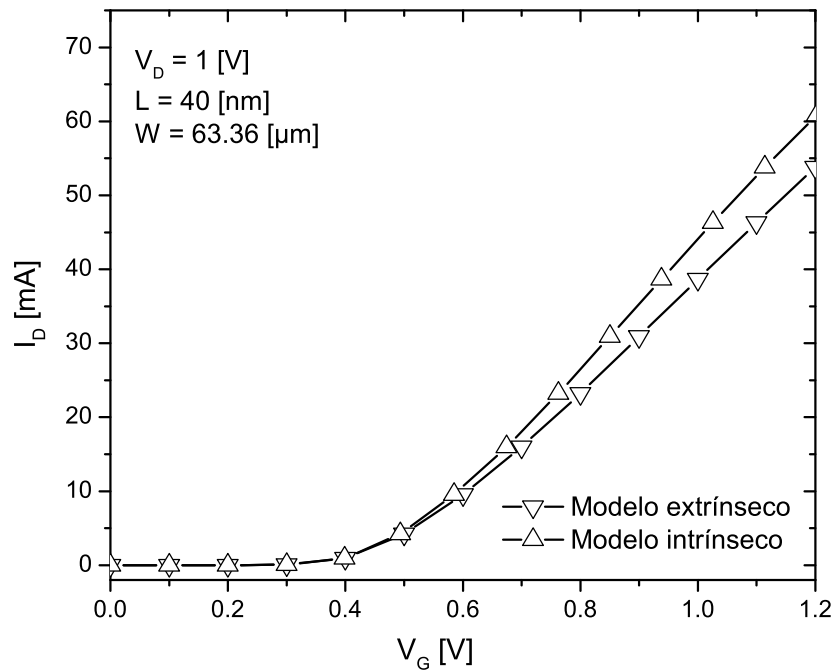


Figura 5.5.1: Curvas transferenciales con  $V_D = 1$  [V] para la obtención de los parámetros de pequeña señal.

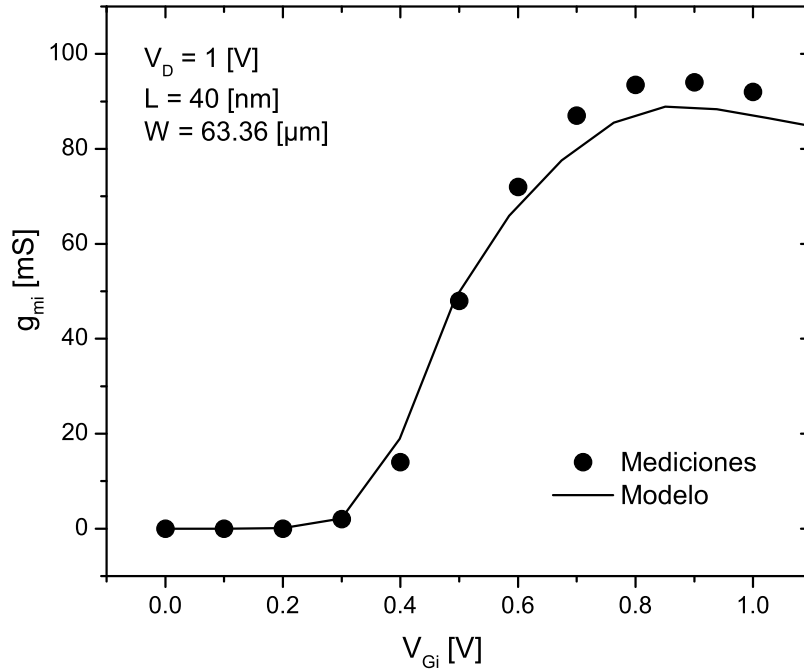


Figura 5.5.2: Transconductancia intrínseca.

Gracias al modelo, también es posible determinar las capacitancias extrínsecas, la Figura 5.5.3 muestra la comparación entre los valores obtenidos mediante el modelo y las experimentales.

## 5.6. Figuras de Mérito

Con los parámetros de pequeña señal obtenidos, es posible conocer las figuras de mérito con las Ecuaciones 3.7.4, 3.7.5 y 3.7.6 representadas en la Figura 5.6.1. Se puede observar primeramente, un buen ajuste entre las frecuencias obtenidas experimentalmente y las del modelo. Segundo, Se muestra claramente que si despreciamos las resistencias  $R_d$ ,  $R_s$  y la capacitancia  $C_{gd}$ , obtenemos una mejor frecuencia de corte, alcanzando un máximo de  $f_c = 220$  GHz, Figura 5.6.1.b, provocando una mayor frecuencia máxima de operación. Entonces para aumentar el desempeño del transistor FinFET debemos disminuir en la medida de lo posible las capacitancias extrínsecas y las resistencias serie.

En la Figura 5.6.2 están representadas las figuras de mérito intrínsecas sin las capacitancias parásitas extrínsecas del transistor. Se pueden obtener frecuencias de corte  $f_{ti} \approx 500$  GHz y frecuencias de máxima oscilación  $f_{maxi} \approx 950$  GHz, es evidente el impacto de las capacitancias extrínsecas, entonces disminuyendo estas capacitancias, ligadas con la estructura del transistor, podríamos lograr frecuencias del orden de los Terahertz.

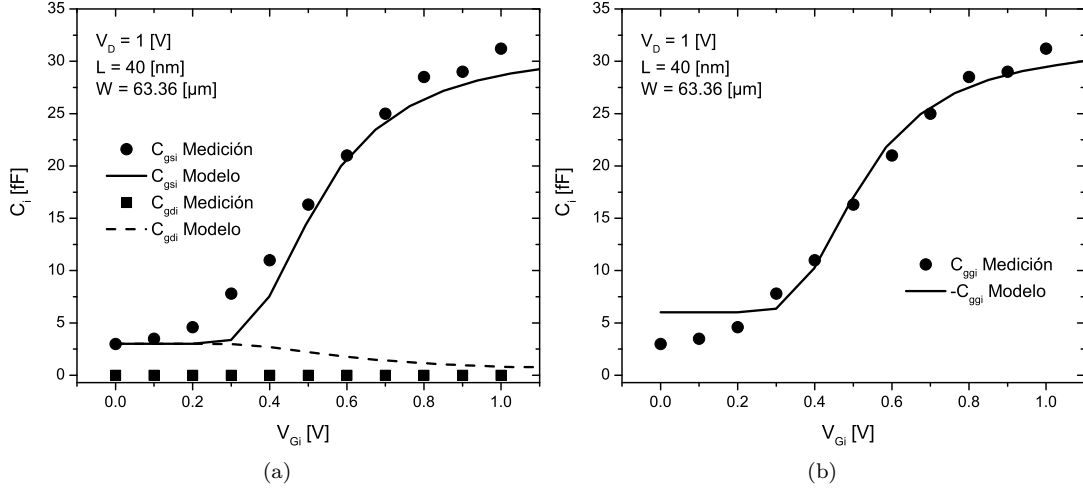


Figura 5.5.3: Capacitancias intrínsecas. a) Capacitancias compuerta-fuente y compuerta-drenador  $C_{gsi}$ ,  $C_{gdi}$ , respectivamente. b) Capacitancia de compuerta  $-C_{ggi}$ .

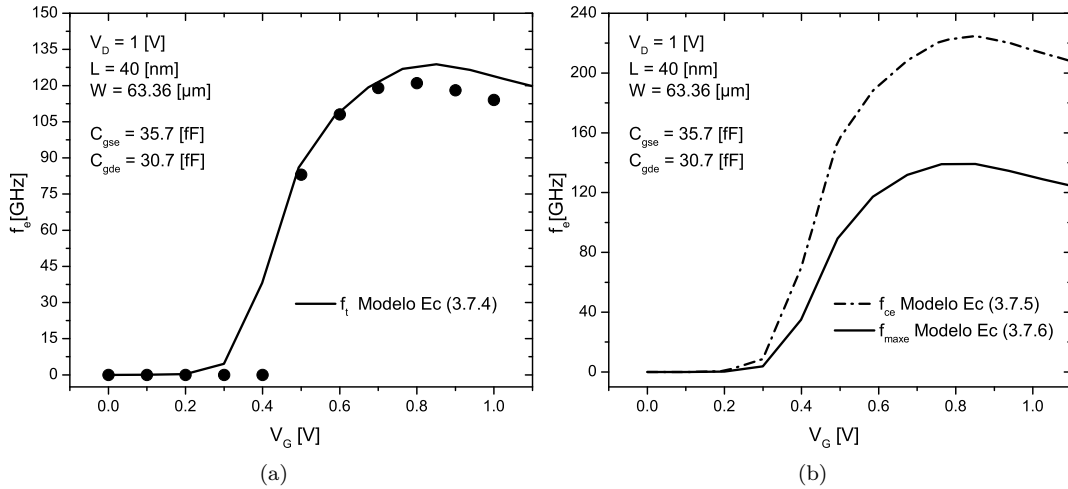


Figura 5.6.1: Figuras de Mérito incluyendo capacitancias extrínsecas. a) Frecuencias de corte  $f_{te}$ . b) Frecuencia de máxima oscilación  $f_{max}$  y frecuencia de corte  $f_{ce}$ .

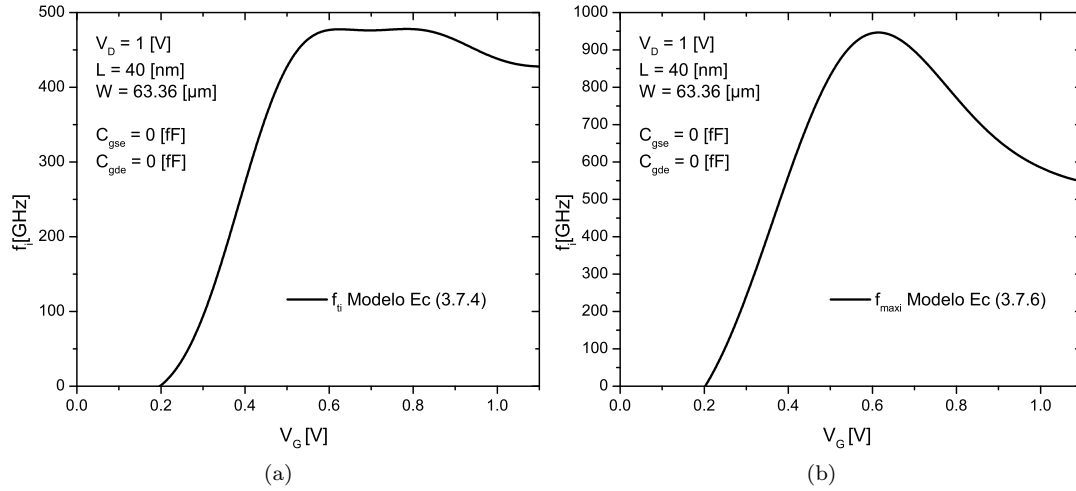


Figura 5.6.2: Figura de mérito intrínsecas. a) Frecuencia de corte  $f_{ti}$ . b) Frecuencia de máxima oscilación  $f_{maxi}$ .

## 5.7. Parámetros de pequeña señal con variación en los voltajes de drenador y compuerta

Una vez hecha la validación en las condiciones de polarización donde se hicieron las mediciones, por medio del modelo podemos saber el comportamiento del transistor en diferentes puntos de operación. Las siguientes simulaciones se realizaron con barridos de los voltajes de drenador y compuerta, obteniendo así los parámetros de pequeñas señal del transistor.

La Figura 5.7.1.b ilustra la transconductancia intrínseca que presenta el transistor FinFET a diferentes puntos de operación. La transconductancia, al depender de la corriente de drenador  $I_D$ , crece conforme el voltaje de drenador aumenta, esto es importante, ya que como se observó en las figuras de mérito, estas son directamente proporcional a la transconductancia, debiendo entonces trabajar en puntos de operación donde los voltajes de drenador maximicen la transconductancia.

En cuanto al efecto de la conductancia en las figuras de mérito, observamos que es inversamente proporcional, por tanto debemos minimizarla. La Figura 5.7.1.b muestra la conductancia a diferentes voltajes de drenador.

Otros factores que degradan el desempeño del transistor fuertemente son indudablemente las capacitancias intrínsecas por tanto deben ser minimizadas. En la Figuras 5.7.1.c y 5.7.1.d se muestran las dependencias de las capacitancias con los voltajes de compuerta y drenador.

En la Figura 5.7.2 observamos las frecuencias de corte y frecuencias de máxima oscilación extrínsecas para el transistor FinFET.

En la Figura 5.7.3 esta la frecuencia de corte intrínseca, sin considerar las capacitancias ni resistencias extrínsecas. Se puede observar que este transistor puede alcanzar frecuencias intrínsecas del orden de  $f_{ti} = 500$  [GHz].

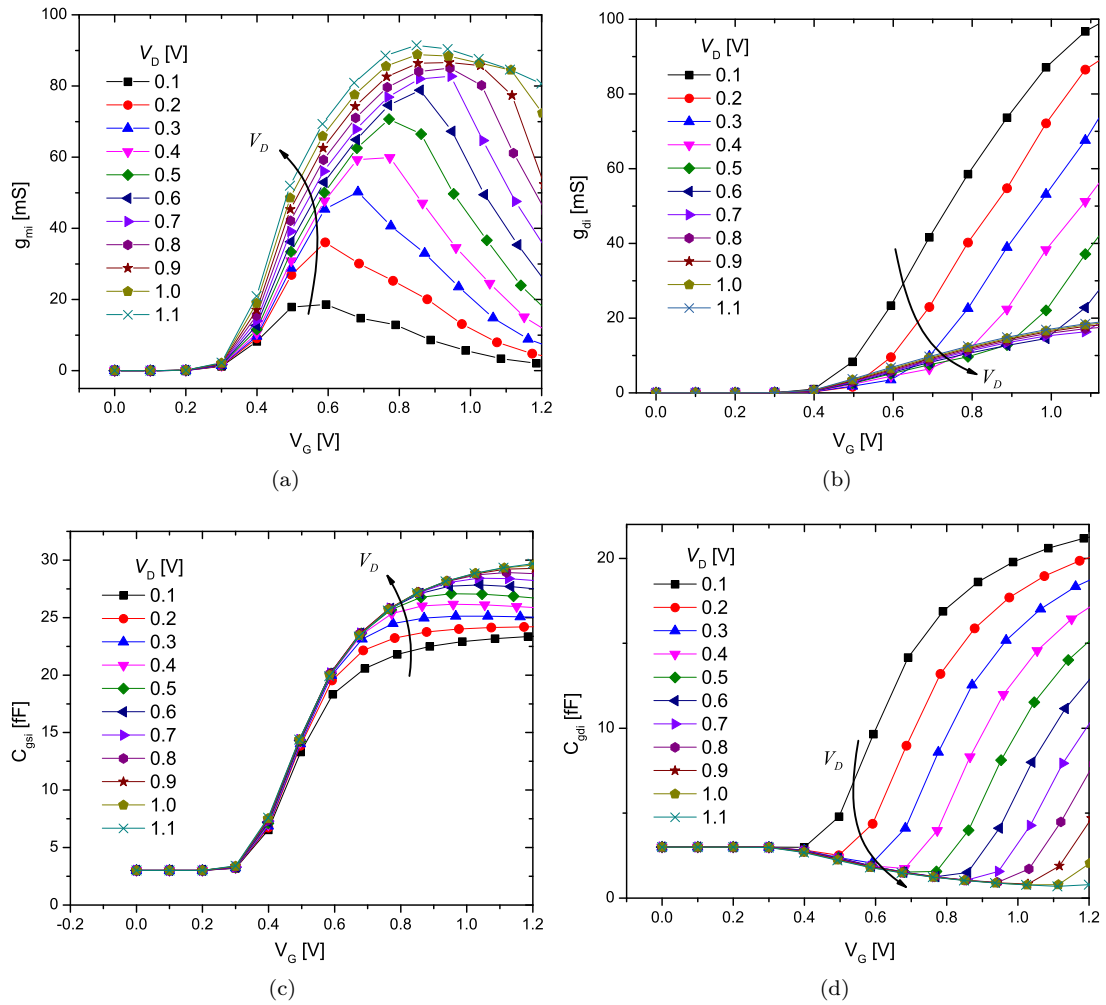


Figura 5.7.1: Parámetros de pequeña señal intrínsecos a diferentes voltajes de drenador  $V_D$ . a) Transconductancia  $g_{mi}$ . b) Conductancia  $g_{di}$ . c) Capacitancia compuerta-fuente  $C_{gsi}$ . b) Capacitancia compuerta-drenador  $C_{gdi}$

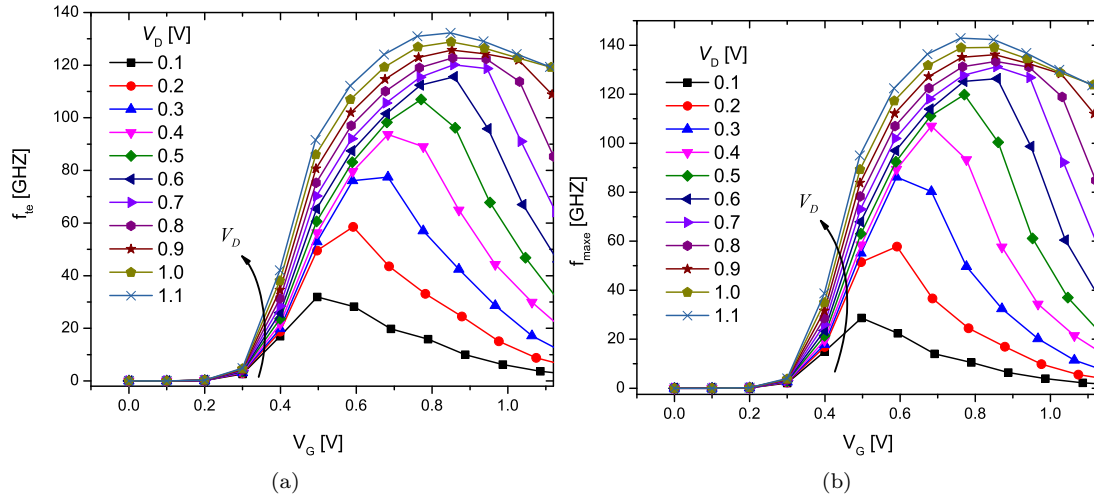


Figura 5.7.2: a) Frecuencias de corte extrínseca. b) Frecuencia de máxima oscilación extrínseca.

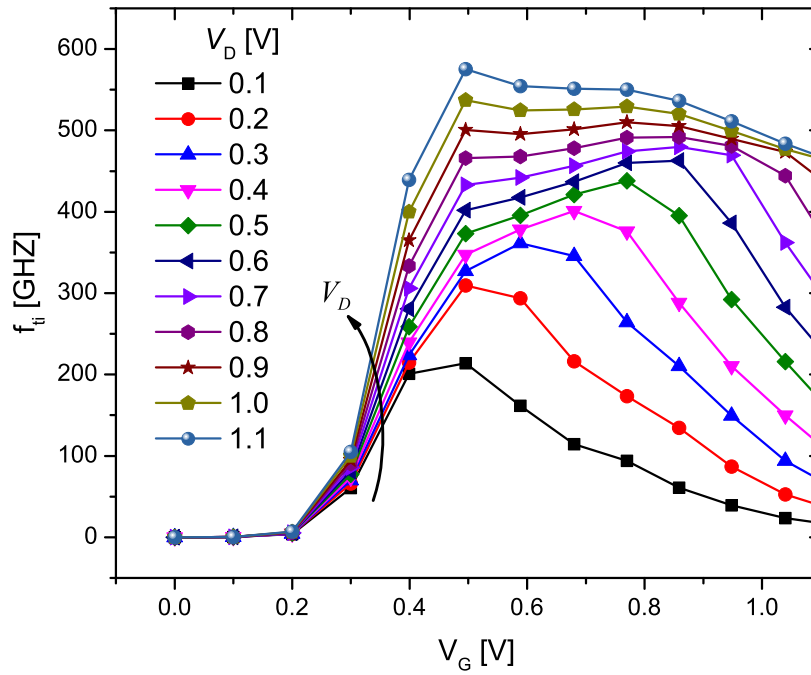


Figura 5.7.3: Frecuencias de corte intrínseca.

## Capítulo 6

# Conclusiones

HACIENDO uso de un modelo compacto para transistores de canal corto, que había sido provado únicamente para transistores de compuerta relativamente grande. Se demostró que es funcional para longitudes de compuertas sub-100  $nm$ . Pudiendo ser utilizado para implementar este tipo de transistores en diseño de circuitos con tecnología FD SOI multifinger FinFET canal N de triple compuerta, con una longitud  $L = 40 nm$ .

En la presente tesis se comprobó que el modelo se comporta adecuadamente para un transistor FinFET de triple compuerta con  $L = 40 nm$ , reproduciendo adecuadamente los SCE y arrojando las curvas características esperadas.

Además se estudió su comportamiento en radiofrecuencia con las figuras de mérito, realizando principalmente:

- El modelo compacto equivalente de pequeña señal para un transistor FinFET de triple compuerta fue validado con mediciones experimentales.
- Se hizo un estudio del comportamiento de los parámetros de pequeña señal en los rangos de voltajes típicos de operación del transistor.

Tomando en cuenta los resultados, se puede observar que los transistores FinFET son viables para su implementación en aplicaciones de RF de muy alta frecuencia. Un factor clave para obtener los desempeños deseados en frecuencias arriba de los 500  $GHz$ , es necesario reducir las capacitancias extrínsecas del transistor. Ello se logra optimizando la arquitectura del transistor FinFET, que al ser de naturaleza tridimensional, las capacitancias aumentan en comparación con la tecnología planar MOSFET, debiendo diseñar detenidamente la geometría del transistor. Para disminuir las capacitancias intrínsecas una disminución en la longitud de la compuerta permite valores menores.

Por otra parte, las resistencias serie afectan también las figuras de mérito, debiendo ser minimizadas. Esto se puede lograr con un diseño adecuado de las zonas de drenador y fuente.

Finalmente, una reducción en las dimensiones de la compuerta del transistor benefician su desempeño en RF.

Tomando en cuenta las predicciones que hace el ITRS en [35] sobre frecuencias de operación esperadas en tecnología MuGFET. La Figura 6.0.1 muestra en color blanco las frecuencias que se pueden lograr con la tecnología actual y que están siendo optimizadas, las amarillas se tiene la tecnología para lograrlas pero aún no han sido implementadas en la industria y las rojas no

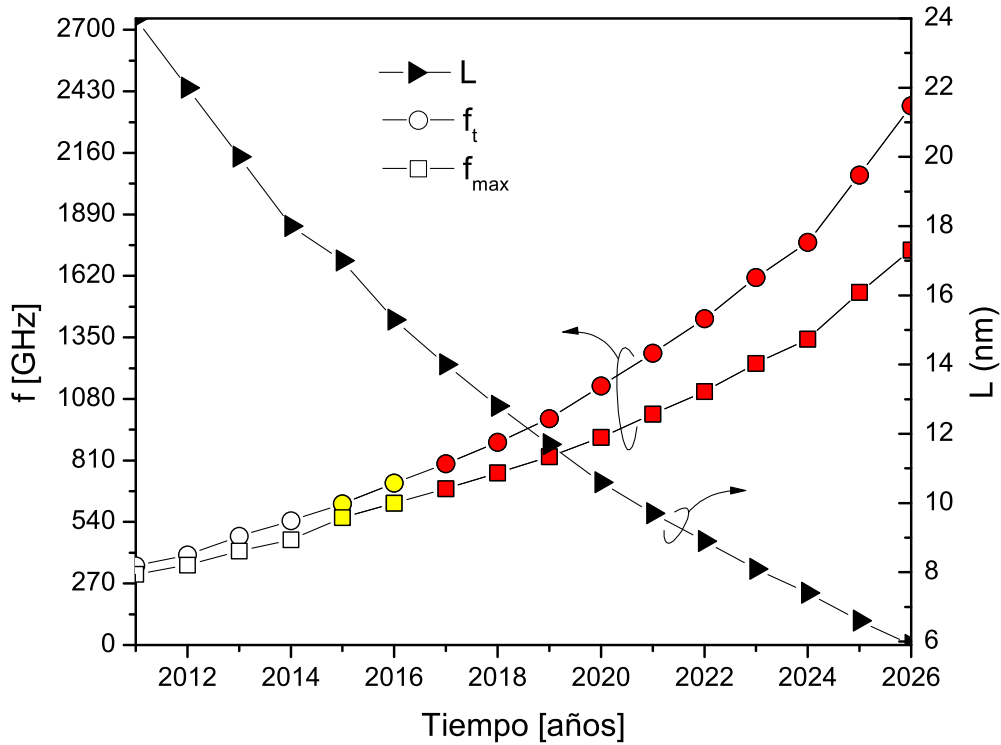


Figura 6.0.1: Frecuencias de operación esperadas según el ITRS para transistores MuGFET con proyección en los próximos 13 años.

existen soluciones tecnológicas aún para obtenerlas. Los resultados obtenidos, indican que la tecnología FinFET de triple compuerta, podría lograr los objetivos marcados por el ITRS, sin embargo, para lograr lograrlos es necesario la optimización de los parámetros extrínsecos. La tecnología FinFET de triple compuerta podría alcanzar frecuencias de alrededor de 1 [THz], sin embargo, alcanzar frecuencias mayores representa un gran reto para esta tecnología, debido a la dificultad en disminuir capacitancias parásitas.

Sin embargo, a esas frecuencias de operación obtenidas para (0.4 GHz – 30 GHz), los hace viables para su implementación en aplicaciones celulares, para redes WLAN, convertidores ADC y DAC, para los rangos de frecuencias (30 GHz – 300 GHz) enlaces punto a punto, radares, etc. y para frecuencias arriba de los 300 GHz donde aún no hay productos comerciales. Todo ello con la ventaja de ser dispositivos integrables y compatibles con la tecnología CMOS, dando paso a su implementación para dispositivos SoC.

### 6.1. Trabajo a futuro

Para longitudes de compuertas menores a 40 nm el modelo comienza a presentar diferencias en las curvas características esperadas, esto debido los SCE, y observable en las curvas de salida,



arrojando un error, en voltajes  $V_D < 1 V$  cerca del 13% para voltajes  $V_G \approx (0.4 - 0.7) V$ , provocando errores en la conductancia. Como trabajo posterior se propone estudiar adecuadamente este fenómeno en transistores de compuerta sub-50 nm e integrarlo al modelo.

El integrar el efecto de los protadores calientes al modelo ayudaría a reproducir mejor el comportamiento del transistor de longitudes de compuerta pequeñas y aunque no provocan un cambio significativo en la corriente de drenador, sí generan un corrimiento en el voltaje de umbral por la acumulación de carga en el óxido.

Y finalmente, el transistor fue validado para temperatura ambiente de operación  $T = 300 K$  sería interesante realizar un estudio de este transistor FinFET a diferentes rangos de temperatura y observar el desempeño del transistor.



# Índice de figuras

1.3.1. Estructura SOI, Capa superior de Silicio: Es usada para los dispositivos activos, BOX (Buried OXide): Aísla eléctricamente la capa superior del sustrato inferior de volumen y El sustrato inferior de volumen, es usado típicamente como soporte mecánico. . . . .	6
1.4.1. Proceso de Sobrecrecimiento Epitaxial Lateral. . . . .	7
1.4.2. Proceso ZMR. . . . .	7
1.4.3. Proceso SIMOX. . . . .	8
1.4.4. Proceso BESOI. . . . .	8
1.4.5. Microcavidades de Hidrógeno [19]. . . . .	9
1.5.1. Estructuras de volumen, SOI PD y SOI FD . . . . .	10
2.2.1. Estructura MOS. (a) Estructura MOS. (b) Sección transversal de la estructura MOS. . . .	13
2.2.2. Diagrama de bandas de energía para una estructura MOS ideal a un $V=0$ . . . . .	14
2.2.3. Diagrama de bandas de energía y sus distribuciones de carga de la estructura MOS. a) Acumulación. b) Empobrecimiento. c) Inversión. . . . .	16
2.2.4. Diagrama de energía de bandas de un semiconductor tipo-p. . . . .	17
2.3.1. Estructuras de bandas. (a) Diagrama de bandas de la Estructura MOS ideal. (b) Diagrama de bandas de una Estructura MOS real en equilibrio térmico. . . . .	20
2.4.1. Estructura de un transistor MOSFET. . . . .	21
2.4.2. Operación de un MOSFET y curvas características I-V. (a) Voltaje bajo en drenador. (b) Saturación. (c) Después del punto de saturación. . . . .	22
2.4.3. (a) MOSFET operando en la región lineal. (b) Ampliación del canal. (c) Caída del voltaje del drenador a través del canal. . . . .	23
2.4.4. Curvas características I-V. Las líneas punteadas separan las diferentes regiones. . . . .	24
2.6.1. Transistor FinFET donde se observan las regiones de compuerta (G), fuente (S) y drenador (D) [28]. . . . .	26
2.6.2. Geometría de un transistor FinFET. . . . .	27
2.6.3. a) Estructura multifinger FinFET, compuesta de dos finger compuertas con dos fines cada una. b) Vista Frontal de un Fin. . . . .	28
2.6.4. a) Vista superior de dos fingers compuertas de un MOSFET planar (abajo) y un FinFET con ocho fines cada finger (arriba), ocupando la misma área de oblea [26]. b) Integración de un circuito que contiene FinFETs y MOSFETs planares en la misma oblea, Imagen obtenida de [29]. . . . .	28
3.2.1. Circuito equivalente del efecto útil en un transistor MOSFET . . . . .	32

3.3.1. Esquema simplificado de un MOSFET [30]. . . . .	33
3.3.2. Modelo del circuito equivalente cuasi-estático de pequeña señal de un MOSFET. . . . .	34
3.4.1. Capacitancias extrínsecas asociadas a la estructura del MOSFET [30]. . . . .	34
3.4.2. Modelo de circuito equivalente con capacitancias extrínsecas. . . . .	35
3.4.3. (a) Sección transversal de un MOSFET mostrando las diferentes resistencias de acceso. (b) Resistencias extrínsecas distribuidas en la estructura física del transistor [30]. . . . .	36
3.4.4. Modelo equivalente de pequeña señal con resistencias e inductancias serie. . . . .	36
3.5.1. Circuito equivalente polarizado en empobrecimiento después de extraer las resistencias e inductancias serie. . . . .	38
3.6.1. Evolución de frecuencias de corte $f_T$ y frecuencias máximas de oscilación $f_{max}$ record [33].	39
4.2.1. Vista superior de un transistor FinFET. . . . .	46
4.3.1. Potenciales en la superficie y en el centro de la capa de Silicio en función de $N_A$ en el régimen de umbral para anchos $t_s$ de 10, 30 y 50 nm. $t_{ox} = 2.24$ nm. Las flechas indican la concentración de dopaje máximo $N_{Amax}$ en el centro de la capa de Silicio para $t_s = 30$ nm y 50 nm [40]. . . . .	48
4.8.1. Comparación de curvas transferenciales normalizadas simuladas y modeladas para dispositivos con $t_s = 34$ nm, $N_A = 10^{15} \text{ cm}^{-3}$ y para longitudes de canal $L = 3 \mu\text{m}$ a 50 nm. a) Transferencial lineal $V_D = 0.05$ V. b) Transferencial en saturación $V_D = 1$ V [37]. .	53
4.8.2. Comparación de curvas de salida normalizadas simuladas y modeladas para dispositivos con $t_s = 34$ nm con longitud de canal $L = 100$ nm para diferentes concentraciones de dopaje $N_A = 10^{15} \text{ cm}^{-3}$ , $N_A = 10^{17} \text{ cm}^{-3}$ y $N_A = 10^{18} \text{ cm}^{-3}$ [37]. . . . .	54
4.8.3. Curvas de salida para un transistor FinFET con $L = 120$ nm y $W_{fin} = 30$ nm [38]. . . . .	55
4.8.4. Curvas transferenciales a diferentes temperaturas para transistores FinFET. a) Transferencial lineal con $L = 120$ nm y $W_{fin} = 30$ nm. b) Transferencial en saturación con $L = 120$ nm y $W_{fin} = 30$ nm. c) Transferencial lineal con $L = 80$ nm y $W_{fin} = 25$ nm. d) Transferencial en saturación con $L = 80$ nm y $W_{fin} = 25$ nm [38]. . . . .	55
5.2.1. Circuito simulado. . . . .	58
5.3.1. Curva transferencial lineal extrínseca para $V_D = 50$ mV. a) Régimen sobreumbral. b) Régimen Subumbral. . . . .	59
5.3.2. Curva transferencial en saturación extrínseca para $V_D = 1.2$ V a) Régimen sobreumbral. b) Régimen Subumbral. . . . .	60
5.4.1. Curvas de salida a diferentes voltages de compuerta. . . . .	61
5.5.1. Curvas transferenciales con $V_D = 1$ [V] para la obtención de los parámetros de pequeña señal.	61
5.5.2. Transconductancia intrínseca. . . . .	62
5.5.3. Capacitancias intrínsecas. a) Capacitancias compuerta-fuente y compuerta-drenador $C_{gsi}$ , $C_{gdi}$ , respectivamente. b) Capacitancia de compuerta $-C_{ggi}$ . . . . .	63
5.6.1. Figuras de Mérito incluyendo capacitancias extrínsecas. a) Frecuencias de corte $f_{te}$ . b) Frecuencia de máxima oscilación $f_{maxe}$ y frecuencia de corte $f_{ce}$ . . . . .	63
5.6.2. Figura de mérito intrínsecas. a) Frecuencia de corte $f_{ti}$ . b) Frecuencia de máxima oscilación $f_{maxi}$ . . . . .	64

5.7.1. Parámetros de pequeña señal intrínsecos a diferentes voltajes de drenador $V_D$ . a) Transconductancia $g_{mi}$ . b) Conductancia $g_{di}$ . c) Capacitancia compuerta-fuente $C_{gsi}$ . b) Capacitancia compuerta-drenador $C_{gdi}$ . . . . .	65
5.7.2. a) Frecuencias de corte extrínseca. b) Frecuencia de máxima oscilación extrínseca. . . . .	66
5.7.3. Frecuencias de corte intrínseca. . . . .	66
6.0.1. Frecuencias de operación esperadas según el ITRS para transistores MuGFET con proyección en los próximos 13 años. . . . .	68



# Índice alfabético

- Acumulación, [14](#)
- BESOI, [8](#)
- Capacitancias extrínsecas, [34](#)
- Capacitancias intrínsecas, [38](#)
- CMOS, [29](#), [68](#)
- Conductancia, [22](#), [33](#)
- Corriente de drenador, [23](#)
- Curvas de salida, [59](#)
- Curvas transferenciales, [57](#)
- Drain-induced Barrier Lowering, [25](#), [51](#)
- Ecuación de Poisson, [17](#)
- Efecto útil, [31](#)
- Efecto Kink, [9](#), [60](#)
- Efectos de canal corto (SCE), [25](#), [51](#), [57](#)
- ELO, Epitaxial Lateral Overgrowth, [6](#)
- Empobrecimiento, [15](#)
- Figuras de Mérito, [38](#), [62](#), [67](#)
- FinFET, [1](#), [25–27](#), [42](#), [45](#), [57](#), [67](#)
- Frecuencia de corte, [39](#), [41](#), [62](#), [64](#)
- Frecuencia de máxima oscilación, [39](#), [41](#)
- Fully Depleted, [9](#)
- Funciones de trabajo, [19](#)
- GaAs, [10](#)
- HEMT, [40](#), [42](#)
- Hot carriers, portadores calientes, [59](#), [69](#)
- Inversión, [15](#)
- Modelo de corriente, [49](#), [52](#)
- Modelo equivalente de pequeña señal, [31](#), [60](#)
- MOSFET, [1](#), [3–5](#), [11](#), [13](#), [20](#), [21](#), [25](#), [42](#), [45](#), [50](#), [67](#)
- MuGFET, [25](#)
- Parámetros intrínsecos, [38](#)
- Partially Depleted, [9](#)
- Pendiente de subumbral, [25](#)
- Pinch-off, [21](#)
- Potencial superficial, [16](#)
- Radiofrecuencia, RF, [1](#), [10](#), [38](#)
- RCE, Region de carga espacial, [15](#), [17](#)
- Región de saturación, [24](#)
- Región lineal, [24](#)
- Resistencias extrínsecas, [35](#)
- Semiconductores III-V, [40](#)
- Silicon on Insulator (SOI), [4](#), [5](#), [9](#), [10](#), [27](#), [60](#), [67](#)
- SIMOX, Separation by IMplantation of OXygen, [6](#)
- SoC, [11](#), [38](#)
- Transconductancia, [32](#)
- UNIBOND, [8](#)
- Velocidad de Saturación, [51](#)
- Voltaje de Umbral, [18](#), [24](#)
- ZMR, Zone-Melting Recrystallitation, [6](#)





## Referencias

- [1] J. Alvarado, J.C. Tinoco and et al., "Compact Small-Signal Model for RF FinFETs," *Circuits and Systems (ICCDCS)*, vol. 8th International Caribbean Conference on Devices, 2012.
- [2] W. Shockley, "The path to the conception of the junction transistor," *IEEE Trans on Electron Devices*, vol. 23, no. 7, p. 597, 1976.
- [3] J. J. Liou, "RF MOSFET: recent advances, current status and future trends," *Solid State-Electronics*, vol. 47, p. 1881, 2003.
- [4] D. Kahng, "A historical perspective on the development of MOS transistors and related devices," *IEEE Trans on Electron Devices*, vol. 23, no. 7, p. 655, 1976.
- [5] P. Bai and et. al., "A 65 nm Logic Technology Featuring 35 nm Gate Lengths, Enhanced Channel Strain, 8 Cu interconnect Layers, Low-k ILD and 0.57  $\mu\text{m}^2$  SRAM cell," *Proc. IEEE-IEDM*, p. 657, 2004.
- [6] S. Tyagi and et. al., "An advanced low power, high performance, strained channel 65 nm technology," *Proc. IEEE-IEDM*, p. 245, 2005.
- [7] L. Tiemeijer and et. al., "Record RF performance of standard 90 nm CMOS technology," *Proc. IEEE-IEDM*, p. 441, 2004.
- [8] V. Ferlet-Cavrois and et. al., "High-Frequency Performances of a Partially Depleted 0.18- $\mu\text{m}$  SOI/CMOS technology at Low Supply Voltage-Influence of parasitic Elements," *IEEE electron device letters*, vol. 19, no. 7, p. 265, 1988.
- [9] D. Lederer, "Wideband characterization of advanced SOI materials and MOS devices for high frequency applications," Ph.D. dissertation, UCL, Bélgica, 2006.
- [10] B. Yu and et. al., "FinFET scaling to 10 nm gate length," *Proc. IEEE-IEDM*, p. 251, 2002.
- [11] J. Kavalieros and et. al., "Tri-gate transistor architecture with high-k dielectrics, metal gates and strain engineering," *Proc. VLSI simp*, 2006.
- [12] J. Kedzierski and et. al., "Extension and drain/source design for high performance FinFET devices," *IEEE Trans on Electron Dev.*, vol. 50, no. 4, p. 942, 2003.
- [13] L. Mathew and et. al., "Inverted T channel FET (ITFET) - fabrication and characteristics of vertical-horizontal, thin body, multi-gate, multi-orientation devices, ITFET SRAM bit-cell operation. A novel technology for 45 nm and beyond," *Proc. IEEE-IEDM*, p. 723, 2005.
- [14] R. Yang, H. Qian, J. Li, Q. Xu, C. Hai and Z. Han, "SOI technology for Radio-Frequency

- Integrated-Circuit Applications,” *IEEE Trans. on Electron Devices*, vol. 53, no. 6, p. 1310, 2006.
- [15] Badih El-Kareh, Timothy Stanley and B. Chen, “Silicon on Insulator-An Emerging High-Leverage Technology,” *IEEE*, pp. 224–233, 1997.
- [16] H. technical note, “CMOS SOI Technology Industry: Communications/ Wireless Communications,” Honeywell, Tech. Rep., October 2001.
- [17] S. Cristoloveanu and R. G., “Recent Advances in SOI Materials and device technologies for High temperature,” *Laboratoire de Physique des Composants à Semiconducteurs*.
- [18] J. Vishwas, “Silicon-on-Insulator Technology,” *EE 530 Advances in MOSFETs*, pp. 1–12, 2004.
- [19] J.-P. Colinge, *Silicon-on-Insulator technology: Materials to VLSI*. Kluwer Academic Publishers, 1991.
- [20] M. Yasuhiro Fukuda, Shuji ITO, “SOI-CMOS device technology,” *Special Edition on 21st Century Solutions*, vol. 68, pp. 54–57, March 2001.
- [21] S. M. Sze, *Semiconductor devices, physics and technology*, 1936.
- [22] Andrew S. Grove, *Physics and Technology of Semiconductor Devices*, 1967.
- [23] A. Cerdeira, *Notas para el curso de microelectrónica*, CINVESTAV, Marzo 1996.
- [24] S. H. Tang and et al., “FinFET- A Quasi-Planar Double-Gate MOSFET,” *IEEE International Solid-State Circuits Conference*, vol. 7, 2001.
- [25] K. Banerjee, “Graphene and Beyond-Graphene 2D-Crystals for Green Electronics.” in *Mini-Coloquio México, CINVESTAV-IPN*, Av. IPN 2508, México D.F., Auditorio de Ingeniería, mayo 2013.
- [26] G. Crupi, D. Schreurs, R. Jean-Pierre, A Caddemi, “A comprehensive review on microwave FinFET modeling for progressing beyond the state of art,” *Solid-State Electronics*, vol. 80, pp. 81–95, 2013.
- [27] Brian Swahn, Soha Hassoun, “Gate Sizing: FinFETs vs 32 nm Bulk MOSFETs.” *Tufts University*, vol. Medford, MA 02155, pp. 528–531, 2006.
- [28] Piet Wambacq, Bob Verbruggen, Karen Scheir et. al., “The Potential of FinFETs for Analog and RF Circuit Applications,” *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*, vol. 54, pp. 2541–2551, 2007.
- [29] (2010) FINFET devices. imec. Scientific report. [Online]. Available: <http://www.imec.be/ScientificReport/SR2010/2010/1159073.html>
- [30] J. C. Tinoco and J.-P. Raskin, “Advanced RF MOSFET’s for microwave and millimeter wave applications: RF characterization issues.” pp. 205–230.
- [31] J. C. Tinoco and J. P. Raskin, “New RF extrinsic resistances extraction procedure for deep-submicron MOS transistors.” *International Journal of numerical modelling: Electronic networks, devices and fields.*, vol. DOI: 10.1002/jnm.726, 2009.
- [32] Raskin Jean-Pierre, “SOI Technology: An Opportunity for RF Designers?” *Journal of telecommunications and information technology*, vol. 2009, pp. 3–17.

- [33] F. Schwierz. and J. Liou., “RF transistors: Recent developments and roadmap toward terahertz applications,” *Solid-State Electronics*, vol. 51, no. 8, pp. 1079–1091, 2007.
- [34] S. Moore, “Cheap chips for next wireless frontier,” *IEEE Spectrum*, vol. 43, no. 6, pp. 8–9, 2006.
- [35] International Technology Roadmap for Semiconductors, ITRS. (2012) RF and Analog/Mixed-signal Technologies (RFAMS). [Online]. Available: <http://www.itrs.net/home.html>
- [36] Abhinav Kranti and G. Alastair Armstrong, “Comparative analysis of nanoscale MOS device architectures for RF applications,” *Semiconductor Science and technology*, vol. 22, pp. 481–491, 2007.
- [37] Antonio Cerdeira, Benjamín Iñiguez, Magali Estrada, “Compact model for short channel symmetric doped double-gate MOSFETs,” *Solid State Electronics*, vol. 52, pp. 1064–1070, 2008.
- [38] J. Alvarado, V. Kilchytska, D. Flandre, J. Conde, M. Estrada and A. Cerdeira, “Continuous compact model for MuGFETs simulations,” *Mixed Design of Integrated Circuits & Systems*, vol. 19th International Conference, pp. 45–50, 2009.
- [39] A. Cerdeira, “Modeling FinFETs,” in *Mini-Coloquio México, CINVESTAV-IPN*, Av. IPN 2508, México D.F., Auditorio de Ingeniería, mayo 2013.
- [40] Antonio Cerdeira, O. Moldovan, B. Iñiguez, M. Estrada, “Modeling of potentials and threshold voltage for symmetric doped double-gate MOSFETs,” *Solid State Electronics*, vol. 52, pp. 830–837, 2007.
- [41] Silvaco, *Device Simulator ATLAS, Silvaco international; 2007*.
- [42] J. Alvarado, B. Iñiguez, D. Flandre, M. Estrada, D. Flandre and A. Cerdeira, “Implementation of Simetric Dople Double-Gate MOSFET Model (SDDGM) in Verilog-A for circuit simulation.” *International Journal of Numerical Modeling*, vol. 23, pp. 88–106, 2009.
- [43] Standards 22nm 3d tri-gate transistors. intel. [Online]. Available: <http://www.intel.la/content/www/xl/es/silicon-innovations/standards-22nm-3d-tri-gate-transistors-presentation.html>