



**UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO**  
PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA  
INGENIERÍA ELÉCTRICA- SISTEMAS ELECTRÓNICOS

**“Diseño e implementación de un inversor multinivel, de cinco niveles”**

TESIS

QUE PARA OBTENER EL GRADO DE MAESTRO EN INGENIERÍA

PRESENTA

**ING. GERARDO MALDONADO MARTÍNEZ**

Tutor principal: M. en I. Jesús Álvarez Castillo, Facultad de Ingeniería

Co-tutor: Dr. Gerardo René Espinosa Pérez, Facultad de Ingeniería

México D.F. Febrero 2013



Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**JURADO ASIGNADO:**

Presidente: Dr. Espinosa Pérez Gerardo René

Secretario: Dr. Martínez López José Ismael

Vocal: M. I. Álvarez Castillo Jesús

1<sup>er.</sup> Suplente: Dr. Prado Molina Jorge

2<sup>d o.</sup> Suplente: M. I. Haro Ruíz Luis Arturo

Lugar donde se realizó la tesis: Facultad de Ingeniería, Ciudad Universitaria, México D.F.

**TUTOR DE TESIS:**

M. I. Jesús Álvarez Castillo

## **Agradecimientos**

A mis padres Raymundo (q.e.p.d) y Gregoria porque me inculcaron los principios y valores personales que me han permitido llegar hasta aquí.

A mis hermanos Rey, Martin y Juan José porque sin hacer ruido, me han apoyado y respetado mis decisiones.

A mis tutores: Gerardo Espinosa y Jesús Álvarez por su apoyo y amistad.

A la UNAM por la generosa educación que me ha brindado. La mejor forma de retribuir lo recibido es siendo un profesionista responsable y honesto.

A la Coordinación de Estudios de Posgrado de la UNAM por el apoyo económico recibido durante mis estudios de maestría.

<b>RESUMEN .....</b>	<b>6</b>
<b>CAPÍTULO 1. INTRODUCCIÓN .....</b>	<b>7</b>
1.1. Antecedentes .....	7
1.2. Justificación .....	10
1.3. Formulación del problema.....	10
1.4. Objetivos .....	11
1.5. Metas.....	11
1.6. Organización del documento .....	11
<b>CAPÍTULO 2. PROPIEDADES GENERALES DE LOS INVERSORES.....</b>	<b>13</b>
2.1. Inversor de tres niveles .....	13
2.1.1. Esquemas de modulación .....	15
2.2. Parámetros de desempeño de los inversores .....	18
2.2.1 Distorsión armónica total .....	18
2.2.2 Pérdidas.....	18
2.3. Inversores multinivel .....	20
2.3.1. Inversor multinivel de diodos enclavados .....	21
2.3.2 Inversor multinivel de capacitores enclavados.....	22
2.3.3. Inversor multinivel conectado en cascada.....	24
2.4. Esquemas de modulación para inversores multinivel .....	25
2.5. Ventajas y limitaciones de los inversores multinivel .....	27
2.6. Filtro de salida .....	28
<b>CAPÍTULO 3. DISEÑO DEL INVERSOR MULTINIVEL .....</b>	<b>30</b>
3.1. Sistema de evaluación de esquemas de conmutación .....	30
3.1.1. Etapa de control .....	31
3.1.2. Etapa de Potencia .....	32
3.1.3. Etapa de Realimentación.....	33
3.2. Propuesta de solución .....	33
3.2.1. Puente H y selección de los dispositivos semiconductores .....	34
3.2.2. Etapa de acondicionamiento.....	36

3.2.3. Etapa de aislamiento .....	37
3.2.4. Sistema de protección .....	38
3.2.5. Circuito de temporización .....	40
3.2.6. Fuentes de tensión.....	41
3.2.7. Filtro LC.....	41
<b>CAPÍTULO 4. EVALUACIÓN EXPERIMENTAL DEL INVERSOR.....</b>	<b>43</b>
<b>4.1. Simulación de los inversores .....</b>	<b>43</b>
4.1.1. Puente H.....	43
4.1.2. Inversor multinivel .....	45
<b>4.2. Pruebas experimentales .....</b>	<b>47</b>
4.2.1. Circuito de temporización .....	48
4.2.2. Tiempo muerto.....	48
4.2.3. Señales de disparo acondicionadas .....	49
4.2.4. Salida del puente H .....	49
4.2.5. Inversor multinivel .....	50
<b>CAPÍTULO 5. CONTROL NO LINEAL.....</b>	<b>52</b>
<b>5.1. Modelado del inversor puente H .....</b>	<b>52</b>
5.1.1. Validación numérica del modelo.....	55
<b>5.2. Esquema de conmutación para el inversor puente H.....</b>	<b>56</b>
5.2.1. Validación numérica del esquema de conmutación .....	59
<b>5.3. Evaluación experimental del esquema de conmutación .....</b>	<b>65</b>
5.3.1. Lazo abierto.....	66
5.3.2. Lazo cerrado.....	67
<b>CAPÍTULO 6. CONCLUSIONES.....</b>	<b>70</b>
<b>APÉNDICES.....</b>	<b>72</b>
<b>A1. Diagrama esquemático del inversor de tres niveles.....</b>	<b>72</b>
<b>A2. Diagrama esquemático del inversor de cinco niveles .....</b>	<b>72</b>
<b>A3. Tarjetas de circuitos impresos .....</b>	<b>75</b>
<b>A4. Descripción de hardware del sistema de protección en VHDL .....</b>	<b>78</b>
<b>BIBLIOGRAFÍA .....</b>	<b>81</b>

## RESUMEN

El presente documento se sitúa en el campo de la electrónica de potencia y describe el diseño e implementación de bancos de prueba experimentales, que permitan evaluar estrategias de modulación de convertidores electrónicos de potencia, con el fin de que éstos alcancen un comportamiento deseado para un inversor multinivel, es decir, un circuito de potencia formado por la conexión en cascada de convertidores tipo Puente H completo. El proyecto consta de dos etapas: el diseño y construcción del circuito de potencia, incluyendo su circuito de control y algoritmos de control implementados en éste. Específicamente, se han recuperado de la literatura diferentes esquemas de conmutación, cuyas propiedades han sido demostradas en un contexto matemático, con el fin de implementarlas en la plataforma experimental para evaluar hasta que punto las propiedades reportadas se siguen verificando en la práctica.

Para la realización del proyecto, el tipo de inversor multinivel utilizado se denomina Inversor en Cascada. La razón de esta selección se basa en las ventajas que tienen respecto a otras topologías, en cuanto a su modularidad, la sencillez de su implementación y su flexibilidad para alcanzar un número más alto de niveles sin complicar excesivamente su estructura. Respecto a las propiedades del controlador que se planea evaluar, destaca el bajo contenido armónico que genera.

## CAPÍTULO 1. INTRODUCCIÓN

### 1.1. Antecedentes

Actualmente, es bien conocido el hecho de que la electrónica de potencia ha llegado a ser una rama de la ingeniería eléctrica fundamental en aplicaciones tanto industriales, como domésticas debido a su habilidad para tratar, procesar y controlar el flujo de corriente de una fuente de alimentación a una carga.

Básicamente el fin que persigue la electrónica de potencia es la modificación tanto de la tensión como de la corriente de una fuente de energía a las características exigidas por la carga. Para modificar tales características, existen esencialmente dos métodos: el primero consiste en utilizar dispositivos que trabajen en su zona lineal, en la cual hay niveles de tensión y corriente simultáneamente, el segundo método estriba en utilizar componentes electrónicos que operen tanto en su zona de corte y saturación donde (idealmente) sólo están presentes niveles máximos de tensión o de corriente.

La base fundamental de la electrónica de potencia está en el uso de dispositivos semiconductores que funcionan como interruptores electrónicos que trabajan bajo el segundo esquema mencionado, lo anterior resulta en que la energía que se disipa en el interruptor (pérdidas) es considerablemente menor a la que se disipa cuando éste opera en la zona lineal. Por ejemplo, mientras que con un divisor de tensión se logra alcanzar una eficiencia de tan sólo el 30 %, con la tecnología de conmutación se llega a alcanzar una eficiencia de hasta el 90 % [1].

Lo anterior no solo pone de manifiesto el considerable aumento de la eficiencia sino que también implica otras ventajas, por ejemplo, la utilización de disipadores de calor pequeños y un menor espacio requerido.

Entre las aplicaciones de la electrónica de potencia que han adquirido gran importancia en recientes años, están los sistemas de propulsión y tracción industriales, donde es cada vez más común que éstos alcancen niveles de megawatts [2]. La electromovilidad es también un campo de desarrollo donde ha tenido más presencia la electrónica de potencia, debido a que actualmente la tendencia es el desarrollo de vehículos completamente eléctricos.

Por otro lado, tratados internacionales como el de Kioto, firmado en la última década del siglo pasado, han fomentado la investigación de tecnología aplicable a las fuentes de energía renovables y amigables con el medio ambiente. Entre las fuentes de energía renovables destacan la solar y la eólica, no solo por su alto potencial, sino que con ellas es posible implementar sistemas de generación en lugares remotos que no necesariamente estén en la cercanía de redes eléctricas, como suelen ser las zonas rurales.



Como es sabido, la generación de energía eléctrica por medio de la luz solar se lleva a cabo a través de paneles solares, los cuales son capaces de generar energía eléctrica de naturaleza continua.

Una aplicación más de la electrónica de potencia es en cuanto a la calidad de la energía, la cual persigue controlar y mitigar los efectos generados por las perturbaciones a las líneas de transmisión. Para ello se utilizan actualmente sistemas denominados filtros activos, los cuales desde un punto de vista general, se encargan de generar e inyectar las señales de tensión y corriente armónicas a la carga conectada a la red eléctrica, evitando que la red eléctrica genere tales armónicos.

Tanto para los filtros activos como para los sistemas de generación de energía de fuentes alternativas, es fundamental poder convertir energía eléctrica de naturaleza continua a energía alterna. Para ello se utilizan convertidores electrónicos denominados inversores.

En su forma más general, un inversor está constituido por al menos dos interruptores electrónicos que de acuerdo a una secuencia de encendido y apagado, pueden suministrar a la carga conectada una tensión alterna simétrica a partir de una tensión directa. A este tipo de convertidores es común nombrarlos como inversores de tres niveles ya que la señal alterna contiene igual número de niveles de tensión.

En primera instancia la señal generada por el inversor es alterna no senoidal con alto contenido armónico total (THD, por sus siglas en inglés). Para disminuir el número de señales armónicas, se utilizan filtros pasivos a la salida del inversor y esquemas de modulación de las señales de encendido y apagado de los interruptores electrónicos. Si bien la implementación de filtros pasivos pareciera un tema trivial, éste presenta limitaciones debido a que para obtener un bajo contenido armónico, se requiere de filtros sumamente grandes, pesados y costosos.

Como una alternativa al problema anterior se desarrollaron técnicas de modulación de las señales de encendido y apagado de los interruptores electrónicos, por medio de las cuales se logra tener control sobre la amplitud de la señal de salida del inversor. Sin lugar a dudas la técnica de modulación más conocida es la de modulación por ancho de pulso (PWM, por sus siglas en inglés).

Por otro lado, la investigación en el campo de los inversores persigue dos objetivos fundamentales: 1) alcanzar mejores desempeños en los convertidores electrónicos (lo que se refleja en una mejor respuesta dinámica, reducción de pérdidas y una menor distorsión armónica); y 2) aumentar la cantidad de potencia que los convertidores de potencia pueden manejar.

Para lograr el primero de estos objetivos, los esfuerzos se concentran en la determinación de nuevas técnicas de conmutación de las señales de encendido de los dispositivos

semiconductores involucrados en los convertidores, con el fin de alcanzar las características preestablecidas para la señal de salida.

Por otro lado, para lograr un aumento en la cantidad de potencia de manejo el tema fundamental es la definición de nuevas formas de conectar los elementos semiconductores (topologías) y la evaluación de nuevos dispositivos (tanto pasivos como activos).

En los dos campos anteriores se han desarrollado investigaciones que han dado como resultado la propuesta de nuevas topologías de convertidores, así como nuevas técnicas de modulación [1], [3].

Una de las topologías que ha emergido que permite un mayor manejo de potencia es la de los convertidores multinivel (también llamados inversores multinivel) [4]. La función de un inversor multinivel es sintetizar varios niveles de tensión de corriente continua (CD) en una sola señal, con lo que ésta presenta gran parecido a una señal senoidal. Una estructura típica de un inversor multinivel se compone de inversores de tres niveles conectados en cascada, los cuales son alimentados cada uno por una fuente de tensión independiente entre si y el propósito es que la salida de cada inversor se suma para formar una señal alterna lo más parecida posible a una señal senoidal. Lo anterior está ligado al número de niveles con el cual esté constituido el inversor. Entre las ventajas que se tienen con los convertidores en cascada, es que se manejan altas tensiones y corrientes sin pesados y voluminosos transformadores, además se disminuye la frecuencia con que los interruptores electrónicos funcionan.

Estas nuevas topologías han encontrado una gran aceptación en aplicaciones industriales que requieren niveles de potencia del orden de los megawatts, de hecho en [4] se hace una revisión de algunos campos donde se aplican este tipo de inversores.

El desarrollo de los inversores multinivel ha acarreado evidentemente nuevos problemas inherentes a su mayor complejidad, tales como la propuesta de nuevas estrategias de modulación, que permitan operar de manera eficiente la estructura (más compleja) de los convertidores. Aunque en la literatura es posible encontrar esquemas clásicos de modulación, como por ejemplo modulación de pulso senoidal con multiportadoras y esquemas de control basados en estructuras proporcionales, integrales, derivativas (PID), también es posible encontrar propuestas provenientes del área de control de sistemas no lineales. Estas últimas han sido reportadas bajo la suposición de que una mejora en la operación de los convertidores se puede alcanzar sin modificar su estructura y explotándola de una mejor manera. Por ejemplo en [3] se plantea una nueva técnica de control que permite obtener altos desempeños de un inversor multinivel (menor THD) pero con una considerable disminución en el número de conmutaciones de los interruptores electrónicos.

Los problemas abordados a partir del enfoque de sistemas no lineales, cubren aplicaciones que van desde la generación de señales senoidales (con aplicación a fuentes ininterrumpibles de potencia) hasta los que se presentan en aplicaciones de filtros activos.

Es importante mencionar que actualmente existe el gran inconveniente de que algunas de estas nuevas propuestas solo han sido validadas a nivel de simulación numérica, quedando pendiente la evaluación de su utilidad a nivel experimental. Lo anterior representa una gran oportunidad a la ingeniería electrónica de consolidar y concluir sobre tales investigaciones, ya que por medio de la implementación y experimentación se obtienen datos que permitirán saber sobre qué campo se debe de seguir trabajando.

## **1.2. Justificación**

Por todo lo anterior, resulta clara la necesidad de desarrollar las condiciones necesarias para concluir sobre el desempeño de inversores multinivel y posteriormente, poder aplicarles nuevas técnicas de conmutación y determinar sobre qué línea seguir para continuar el mejoramiento de tales sistemas.

Considerando el escenario descrito en la sección anterior, resulta necesario concebir un trabajo de tesis de nivel maestría que contribuya a la investigación de inversores multinivel y su desempeño experimental ante nuevas técnicas de conmutación, todo ello aportando ideas de diseño y poniendo en práctica la capacidad adquirida durante la formación académica.

## **1.3. Formulación del problema**

El problema a abordar en este trabajo de tesis, consiste en consolidar de manera experimental los avances recientes en el área de los inversores multinivel y para lograrlo se requiere en primera instancia diseñar e implementar los bancos de prueba que permitan dicho cometido, para posteriormente, aplicar algún esquema de modulación para poder determinar su desempeño.

La motivación para desarrollar el presente trabajo es doble. Por un lado (como se comentó en la sección anterior), el estudio de los inversores multinivel es un tema importante por sí mismo, debido al impacto que la electrónica de potencia tiene actualmente en numerosas aplicaciones, tanto industriales como domésticas. Por otro lado, existe la necesidad de contar con convertidores electrónicos para el trabajo de investigación aplicada en el área de electrónica de potencia y control, que actualmente se desarrolla en la Facultad de Ingeniería de la UNAM.

El trabajo de tesis propuesto es importante, ya que además del tema central dado por la electrónica de potencia, involucra el uso de muchas ramas de la ingeniería eléctrica, como son: el análisis de circuitos eléctricos, técnicas de diseño en electrónica analógica y digital, teoría de control, procesamiento de señales y microprocesadores entre otras. Ofrece además la posibilidad de poner en práctica los conocimientos adquiridos durante los estudios de manera tangible en una aplicación práctica, lo que redundará en la adquisición de una visión más completa y profunda de los conocimientos, ya que generalmente durante el proceso se presentan factores que en etapas previas de la investigación se consideraron como ideales o que ni siquiera fueron tomadas en cuenta.

Con todo lo anterior, se está en posibilidad de plantear los objetivos que persigue este trabajo de tesis.

#### **1.4. Objetivos**

- Diseñar e implementar un banco de prueba constituido por un inversor multinivel.
- Implementar los sistemas electrónicos adicionales necesarios para el funcionamiento del inversor multinivel.
- Implementar físicamente un esquema emergente de conmutación para un inversor.
- Evaluar experimentalmente el desempeño de un inversor bajo la acción del esquema de conmutación programada.

#### **1.5. Metas**

Los tres resultados esperados que se pretenden alcanzar con este trabajo pueden ser enunciados de la siguiente manera:

1. Generar las herramientas físicas (inversores multinivel) que apoyen la investigación en el campo de la electrónica de potencia.
2. Implementar algoritmos de control de conmutación emergente y
3. Determinar, con base en un análisis experimental el desempeño de dichos inversores multinivel bajo dichas técnicas de conmutación.

#### **1.6. Organización del documento**

Este documento está dividido en 6 capítulos y 4 apéndices. En el capítulo 1 se han presentado las causas que justifican la realización de este trabajo y la importancia del mismo. En el capítulo 2 se abordan los conceptos básicos en el estudio de los inversores

para reforzar el entendimiento de esta área. En el capítulo 3, se aborda la metodología de diseño del inversor multinivel, considerando las características de funcionamiento establecidas y se presentan las distintas etapas que componen al inversor. Las pruebas físicas realizadas al inversor se presentan en el Capítulo 4 donde además se complementan con resultados de simulaciones numéricas.

En el capítulo 5 presenta un esquema de conmutación para inversores de tres niveles. Se valida el mismo por medio de simulaciones y se implementa experimentalmente. Así mismo, se presenta el desempeño del inversor bajo el esquema de modulación. El análisis y discusión de los resultados obtenidos y las conclusiones de este trabajo de tesis se presentan en el capítulo 6, donde además se plantea el trabajo a futuro relacionado con el tema en cuestión.

## CAPÍTULO 2. PROPIEDADES GENERALES DE LOS INVERSORES

En este capítulo se presentan las características más importantes de los inversores como son: las topologías, técnicas de modulación y los parámetros de desempeño. En un primer paso se presenta lo relacionado a los inversores de tres niveles debido a su importancia en este trabajo de tesis, y posteriormente se expande para los inversores multinivel. Finalmente se comenta acerca del filtro de salida necesario para el buen funcionamiento de los inversores.

### 2.1. Inversor de tres niveles

El convertidor electrónico de potencia que transforma una señal de tensión directa a una de naturaleza alterna y simétrica se denomina inversor [5]. Los inversores están constituidos por interruptores electrónicos, los cuales son dispositivos semiconductores que trabajan tanto en su zona de corte como en la de saturación. Los inversores pueden ser clasificados de diversas formas de acuerdo a sus características, en [6] el lector interesado puede encontrar a detalle algunas de las muchas clasificaciones posibles. En este trabajo la clasificación de los inversores se llevó a cabo con base en el número de niveles de tensión que constituyen la señal de salida del inversor.

Una de las topologías básicas para construir un inversor de tres niveles, es la de puente completo o puente H. En la Fig. 1, se muestra tal topología que consiste de cuatro interruptores electrónicos que permiten el flujo de corriente de una fuente de corriente continua ( $V_b$ ) a una carga (RL). Se le conocen como *ramas* del puente H al par de interruptores de un mismo lado del puente H, siendo una rama el par de interruptores M0 y M1 y otra el par M2 y M3. La operación de dicha topología se puede explicar de manera simple como sigue:

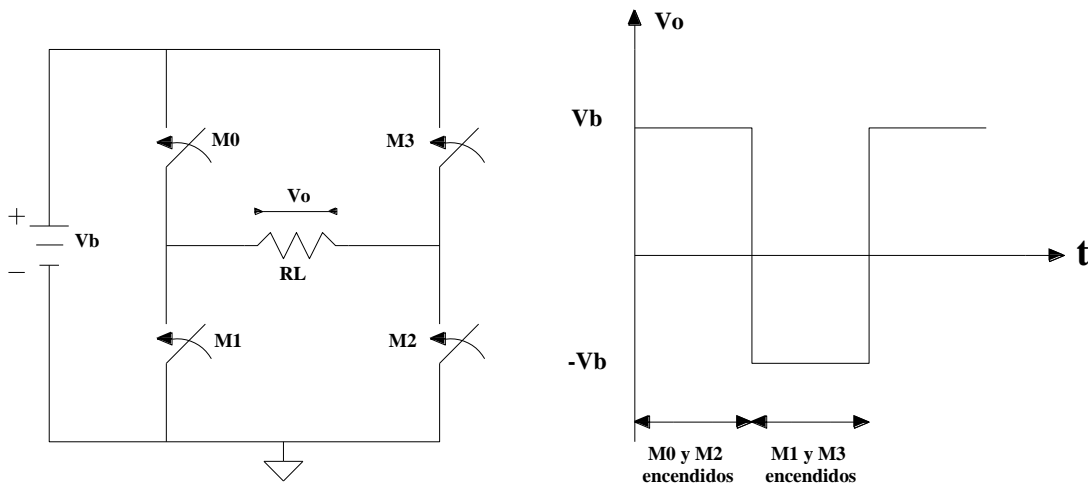
En un primer instante de tiempo cuando, el par de interruptores M0-M2 está cerrado y el par M1-M3 abierto, circula una corriente eléctrica a través de M0 a M2 pasando por la carga, lo que a su vez provoca una diferencia de potencial en RL de magnitud igual a  $V_b$ . En un segundo instante de tiempo, con el par M0-M2 abierto y el par M1-M3 cerrado, la corriente circula a través de M1 y M3 pasando por la carga, lo que también provoca una diferencia de potencial de magnitud igual a  $V_b$  en RL, pero de signo contrario a la primera. La alternancia de esta configuración de estados de interruptores origina que en la carga se presente una tensión de naturaleza alterna de magnitud pico igual a  $V_b$ , tal como se muestra en la Fig.1. Si además M0 y M3 o M1 y M2 funcionan abren o cierran simultáneamente el valor de tensión en la carga será de cero.

A este tipo de inversores se le conoce como inversores de tres niveles ya que la señal que generan puede adoptar cualquiera de los tres niveles de tensión siguientes:

1. Igual a  $V_b$  cuando M0 y M2 cierran.
2. Igual a  $-V_b$  cuando M1 y M3 cierran.
3. Igual a cero bajo alguna de las tres siguientes combinaciones: 1) cuando todos los interruptores están desactivados, 2) cuando M0 y M3 cierran o 3) cuando M1 y M2 cierran.

Cabe aclarar que las combinaciones anteriores no son las únicas posibles que se pueden implementar en un puente H pero sí las únicas permitidas ya que cualquier otra ocasionaría (debido a la topología) un corto circuito. Además se puede determinar que con solo una señal de encendido y su negada es posible generar los niveles  $V_b$  y  $-V_b$  en el puente H.

La información anterior se resume en la Tabla 1.



**Figura 1 Funcionamiento del inversor puente H**

Combinaciones	$V_o$	M0	M1	M2	M3
1	$V_b$	ON	OFF	ON	OFF
2	$-V_b$	OFF	ON	OFF	ON
3	0	OFF	OFF	OFF	OFF
4	0	ON	OFF	OFF	ON
5	0	OFF	ON	ON	OFF
-	NA	ON	ON	*	*
-	NA	*	*	ON	ON

**Tabla 1 Combinaciones posibles**

Si bien la señal generada por el puente H es alterna, ésta no es la más adecuada para alimentar cargas, en especial aquellas que requieren señales lo más parecido posible a señales senoidales. Como alternativa, es posible utilizar un filtro paso bajas entre el puente

H y la carga con el fin de que ésta última reciba una señal senoidal. En la sección 2.6 se profundiza más en el tema.

### 2.1.1. Esquemas de modulación

Generalmente se desea que la tensión de salida de un inversor cambie en amplitud, esto es posible haciendo variar la magnitud de la tensión de entrada directa del inversor, sin embargo, esto en muchos casos no es permisible y/o conlleva un alto grado de dificultad. Como una alternativa a lo anterior se utilizan técnicas de modulación, las cuales modifican el tiempo de encendido y apagado de los interruptores electrónicos del inversor, con lo que el valor promedio de la señal de salida cambia.

El método más común de modulación es aquel que modifica el ancho de pulso de las señales de disparo de los interruptores electrónicos del inversor y se le conoce como modulación en ancho de pulso (PWM).

Hay varias formas para modificar el ancho del pulso de las señales de control de los interruptores electrónicos del inversor, entre las cuales están:

- Modulación por ancho de pulso único.
- Modulación por ancho de pulsos múltiples.
- Modulación por ancho de pulsos senoidales.

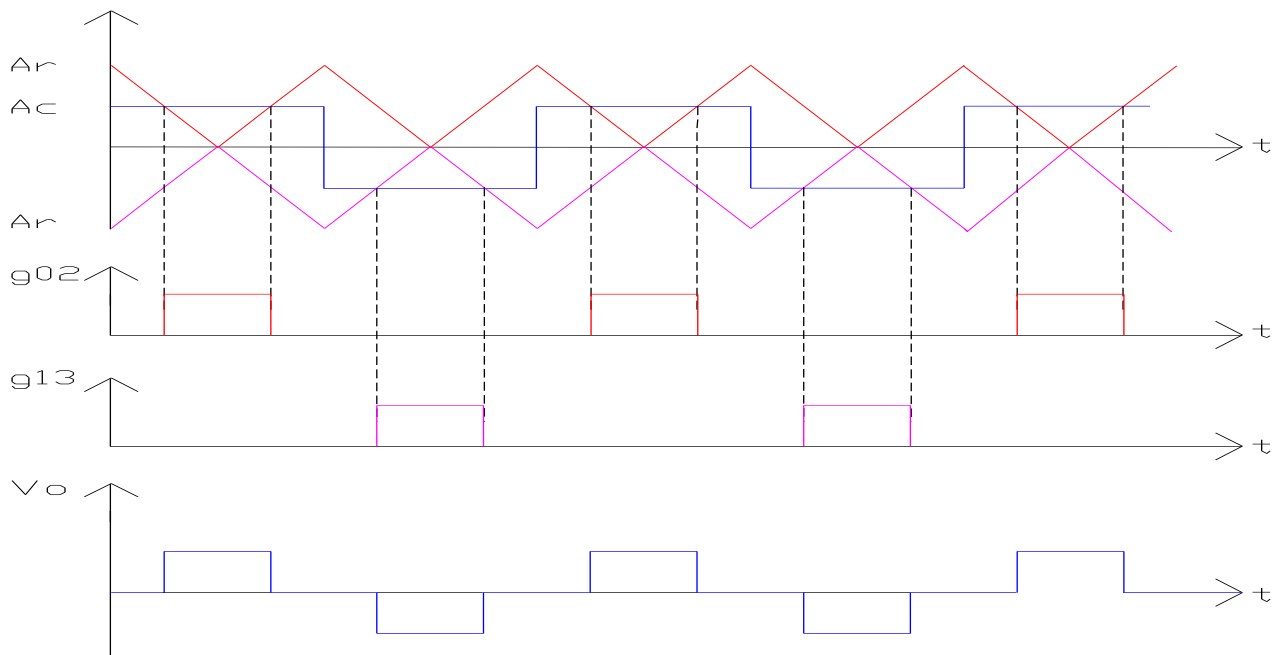
La finalidad de estos métodos es generar un patrón de pulsos de disparo de los interruptores electrónicos. En general estos métodos utilizan dos señales; una llamada portadora (de forma triangular), cuya frecuencia establece el número de veces que los interruptores funcionan en cada medio ciclo, y una llamada moduladora la cual establece la forma y frecuencia de la señal de salida del inversor. La comparación de estas señales establece la secuencia de las señales de disparo así como la duración de las mismas. Cabe mencionar que normalmente la frecuencia de la señal portadora es mucho mayor a la de la señal moduladora.

Con el fin de fundamentar los conceptos teóricos utilizados en esta tesis, a continuación se explican los tres métodos de modulación previamente mencionados.

En el método de **modulación por ancho de pulso único** se tiene un solo pulso de disparo (para cada par de interruptores) por cada medio ciclo de la señal de salida del puente H. Las señales de disparo se generan comparando la señal de referencia periódica (portadora) con la señal de control (moduladora) de forma cuadrada.

En la Fig. 2 se muestra la generación de las señales de disparo ( $g_{02}$  y  $g_{13}$ ) bajo éste método y la salida en la carga del puente H ( $V_o$ ). La señal portadora es de magnitud  $A_r$  y la señal de control de forma cuadrada es de magnitud  $A_c$ .





**Figura 2 Modulación por ancho de pulso único**

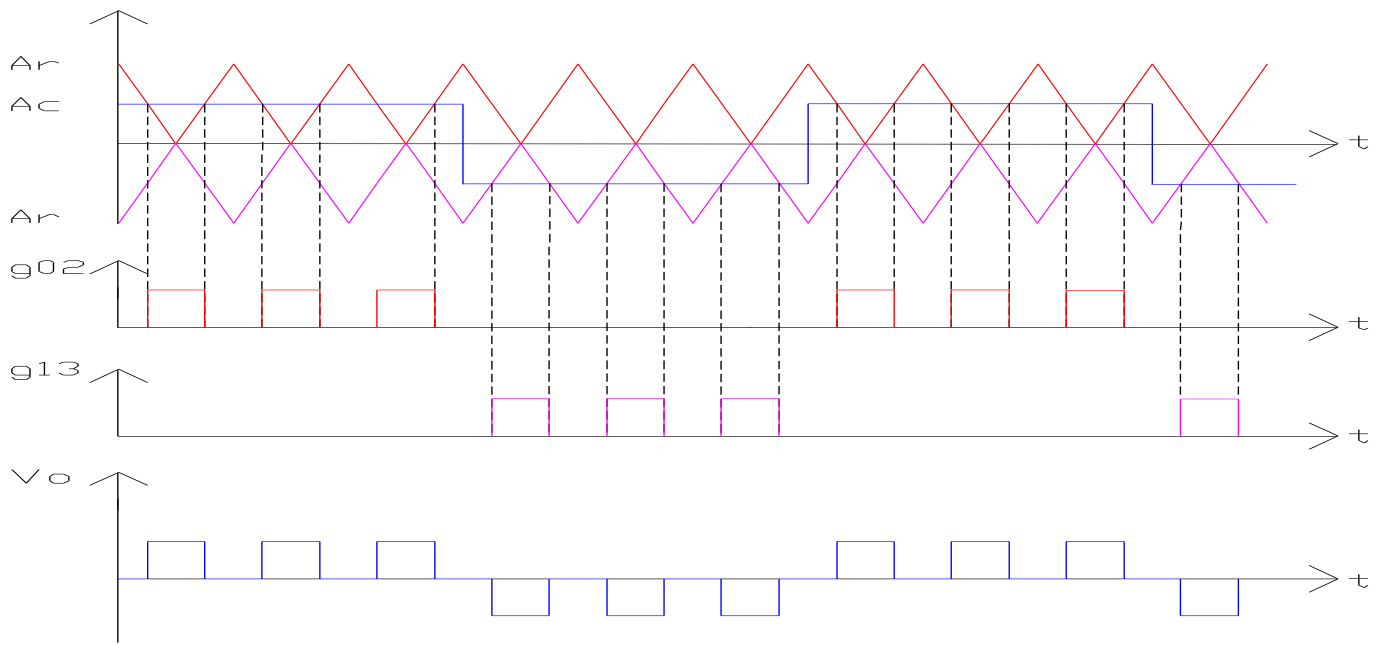
Es claro notar que si el valor de  $A_c$  varía, el valor del ciclo de trabajo de las señales de disparo también lo hará, con lo que se puede modificar el valor de la señal de salida del inversor.

### **Modulación por ancho de pulso múltiple**

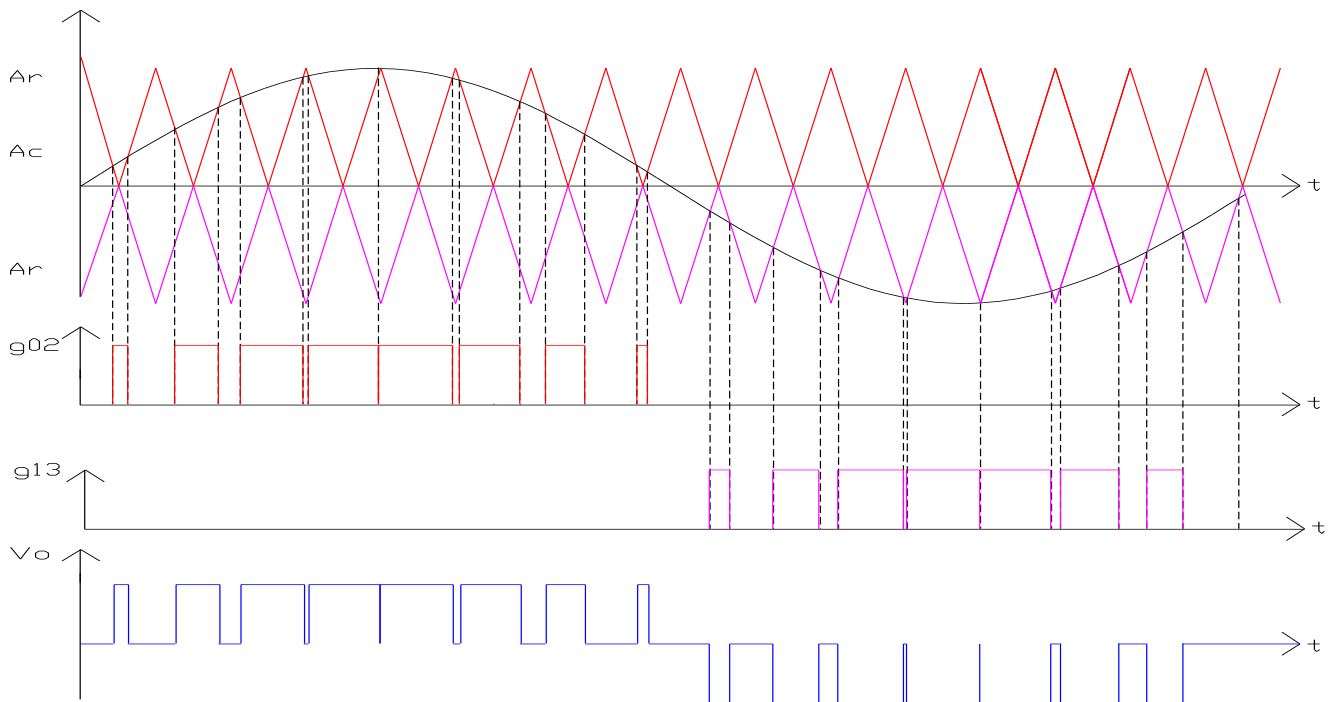
Este método consiste en generar más de un solo pulso en cada medio periodo, en la Fig. 3 se muestran las señales de disparo y la salida del inversor. Con este tipo de modulación se consigue que la señal de salida del inversor tenga un menor número de componentes armónicas [5].

### **Modulación por ancho de pulso senoidal**

Ésta forma de modulación consiste en utilizar una señal moduladora de forma senoidal de frecuencia igual a la que se desea obtener a la salida del inversor. Con lo anterior se logra que el ciclo de trabajo de los pulsos de disparo varíe de acuerdo con la amplitud de la onda senoidal. En la Fig. 4 se muestra la generación de las señales de disparo ( $g_{02}$  y  $g_{13}$ ) y la salida del inversor ( $V_o$ ).



**Figura 3 Modulación por ancho de pulso múltiple**



**Figura 4 Modulación por ancho de pulso senoidal**

Cabe mencionar que el método más utilizado es el de pulso senoidal debido a los buenos resultados y la facilidad para su implementación [5].

## 2.2. Parámetros de desempeño de los inversores

El rendimiento de los inversores suele medirse por medio de la calidad de la señal alterna que generan, para ello se mide la cantidad de señales armónicas presentes en la señal de salida. Asimismo, es de interés saber las pérdidas que se presentan durante su funcionamiento. A continuación se explican estos dos temas.

### 2.2.1 Distorsión armónica total

Para poder medir la cantidad de componentes armónicas presentes en la señal de salida de un inversor, se utiliza el parámetro llamado **Distorsión Armónica Total (THD)** el cual evalúa la coincidencia de una señal con respecto a la componente fundamental de ésta misma señal. Para el caso de los inversores (y en general para los sistemas eléctricos) la forma de la señal deseada es una señal senoidal simétrica (componente fundamental).

Las armónicas producen ciertos problemas en diferentes aplicaciones, por ejemplo, si la carga conectada al inversor es un motor, los devanados pueden sobrecalentarse debido a la segunda y tercera componente armónica.

El inversor ideal es aquel que genera señales de salida con una THD de valor cero.

Matemáticamente la THD se define por medio de la Ecuación 1 como.

$$THD = \frac{\left(\sqrt{\sum_{2,3,\dots}^{\infty} V_n^2}\right)}{V_0} \quad \dots (1)$$

donde

$V_0$  = Magnitud de la componente fundamental

$V_n$  = Magnitud de la componente armónica individual

Con el fin de reducir el contenido armónico se utilizan las técnicas de modulación previamente comentadas ya que una característica de éstas es que desplazan las componentes armónicas a un rango de frecuencia alta, aproximadamente a la frecuencia de conmutación (frecuencia de la portadora) [7]. Lo anterior facilita la implementación del filtro pasobajas de salida.

### 2.2.2 Pérdidas

El concepto de pérdidas, no sólo en los inversores sino en los convertidores electrónicos de potencia, es importante ya que permite cuantificar la eficiencia del sistema.

Las pérdidas totales en los inversores se deben a dos rubros: 1) las pérdidas por conducción y 2) las pérdidas por conmutación.

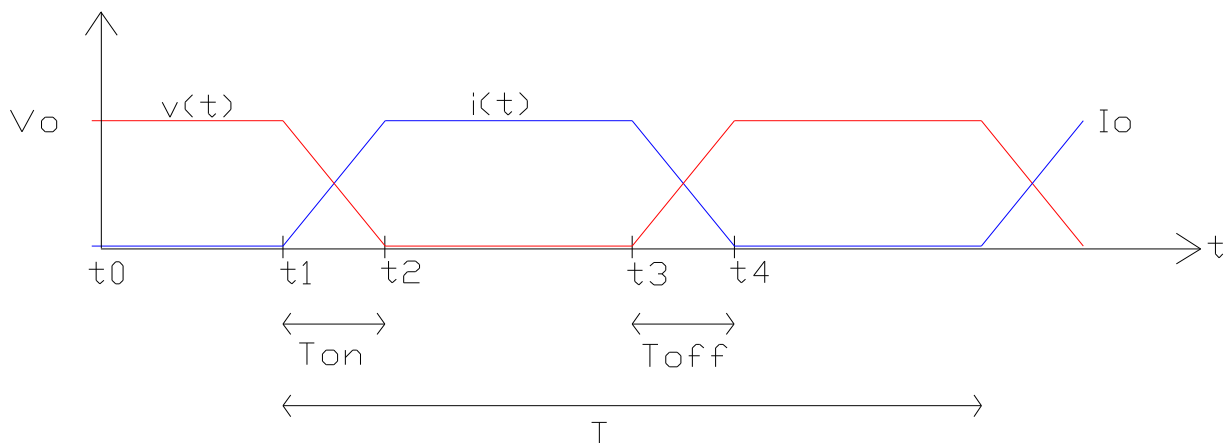
Las pérdidas por conducción se deben a que los interruptores electrónicos presentan una pequeña caída de tensión cuando conducen, por lo que durante ese periodo el producto ( $P=VI$ ) es diferente de cero. Generalmente el valor de la caída de tensión en los interruptores electrónicos no es mayor a 2 [V].

Por otro lado, un interruptor electrónico en estado de conducción puede ser modelado como un resistor cuyo valor es  $R_{on}$ . Así entonces, las perdidas por conducción están dadas por la Ecuación 2.

$$P_{cond} = I^2 R_{on} \quad [W] \quad \dots (2)$$

Por otro lado, las pérdidas por conmutación están asociadas al proceso de transición de los interruptores electrónicos de su estado de apagado al de encendido y viceversa [7]. Lo anterior se debe a que los interruptores no cambian inmediatamente de estado sino, que presentan un retraso de tiempo antes de que haya un cambio en la corriente que circula por ellos. De lo anterior, se puede determinar que las pérdidas por conmutación están relacionadas con el número de cambios de estados de los interruptores.

En la Fig. 5 se ilustra el proceso de cambio de estado de un interruptor electrónico. En el intervalo de tiempo de  $t_0$  a  $t_1$  el interruptor electrónico se encuentra desactivado y la tensión entre sus terminales es máxima ( $V_o$ ) y el valor de la corriente mínimo (prácticamente cero).



**Figura 5 Pérdidas**

En el tiempo  $t_1$  se enciende el interruptor electrónico y el valor de la tensión entre terminales empieza a disminuir, a su vez la corriente aumenta hasta el valor máximo ( $I_o$ ),

durante el intervalo de tiempo entre  $t_1$  y  $t_2$  el valor de la potencia disipada en el interruptor esta dado por la Ecuación 3.

$$P(Ton) = \int_{t_1}^{t_2} v_i dt = \frac{1}{6} I_o V_o \frac{(t_2 - t_1)}{T} \dots (3)$$

Ahora bien, en  $t_3$  el interruptor empieza a desactivarse y la tensión entre terminales empieza a aumentar y la corriente comienza a disminuir hasta el tiempo  $t_4$ . La potencia disipada en el interruptor electrónico durante el proceso de apagado esta dado por la Ecuación 4

$$P(Toff) = \int_{t_3}^{t_4} v_i dt = \frac{1}{6} I_o V_o \frac{(t_4 - t_3)}{T} \dots (4)$$

Cabe mencionar que el caso en el cual la tensión y la corriente inician y terminan su cambio simultáneamente es el menos común ya que en la mayoría de los casos la tensión comienza a cambiar hasta cuando la corriente ha llegado a su valor final [8].

Debido al análisis anterior, es fácil reconocer que cuando se utiliza algún tipo de modulación se reducen las componentes armónicas de la señal de salida, sin embargo debido al incremento en el número de conmutaciones en cada medio ciclo aumentan las pérdidas de conducción y conmutación.

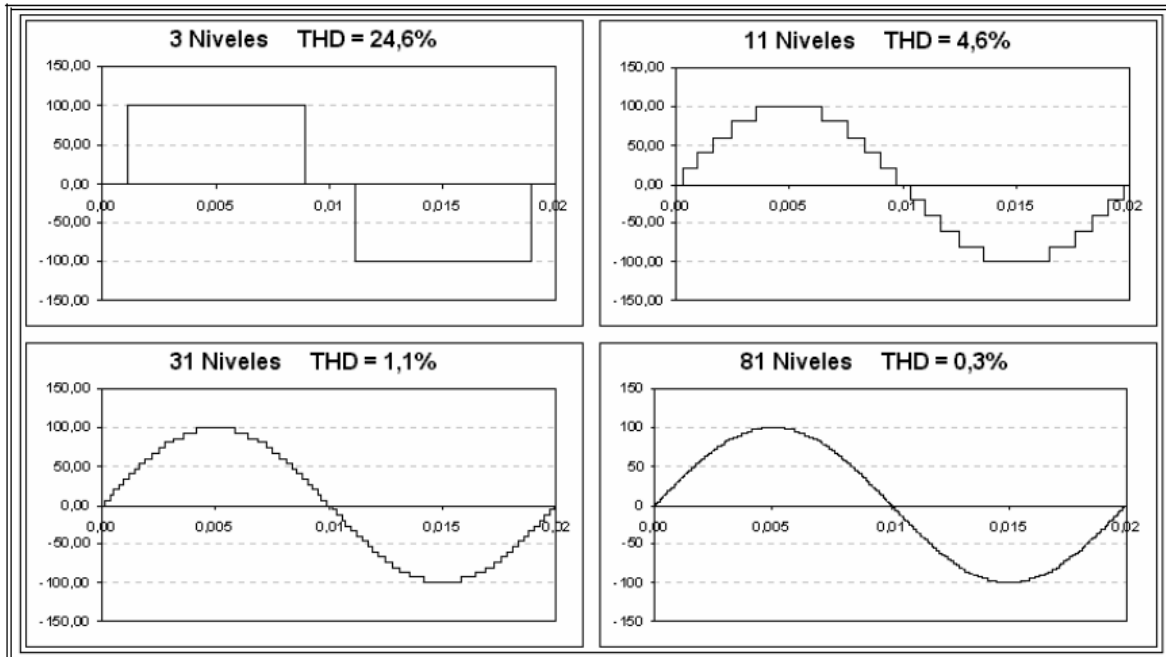
### 2.3. Inversores multinivel

Los inversores estudiados en la sección 2.1 son capaces de generar tres niveles distintos de tensión (0, +Vb -Vb). Además se ha establecido que si bien la señal que generan es alterna ésta contiene componentes armónicas. Como un paliativo a lo anterior, se comentó que es necesario que los interruptores electrónicos funcionen a altas frecuencias junto con técnicas de modulación de ancho de pulso (PWM). Sin embargo, este tipo de inversores presentan algunas limitaciones en aplicaciones donde se requieren altos niveles de potencia debido a los valores nominales de tensión y corriente que deberían de manejar los interruptores electrónicos, así como a las pérdidas por conmutación que se presentan.

Como una propuesta de solución a tales limitaciones, se han desarrollado los inversores multinivel los cuales sintetizan varios niveles de tensión (escalonados) de CD en una sola señal con el objetivo de que ésta última sea lo más parecida a una señal senoidal [5].

Algunas ventajas de los inversores multinivel son su capacidad para manejar altos niveles de tensión y corriente. Además conforme se aumenta el número de niveles, el contenido armónico de la señal de salida disminuye. En la Fig.6 se muestran cuatro señales generadas

por inversores con distinto número de niveles. Se aprecia que la THD disminuye conforme el número de niveles es mayor.



**Figura 6 Diferentes niveles de tensión en inversores multinivel**

Al igual que con los inversores de tres niveles, las topologías de los inversores multinivel son diversas, a continuación se presentan las más comunes.

### 2.3.1. Inversor multinivel de diodos enclavados

Este inversor se caracteriza por dividir la tensión continua de alimentación en una cierta cantidad de niveles por medio de condensadores conectados en serie. La cantidad de capacitores necesarios para ello está dada por  $(m-1)$ , donde  $m$  representa el número de niveles del inversor.

Requiere también  $(m-1) (m-2)/2$  diodos de enclavamiento, los cuales deben ser capaces de bloquear la tensión proveniente del capacitor. El número de interruptores electrónicos está dado por  $2(m-1)$  por cada fase deseada.

En la Fig. 7 se muestra un inversor de tres niveles (a) y uno de 5 (b) bajo esta topología.

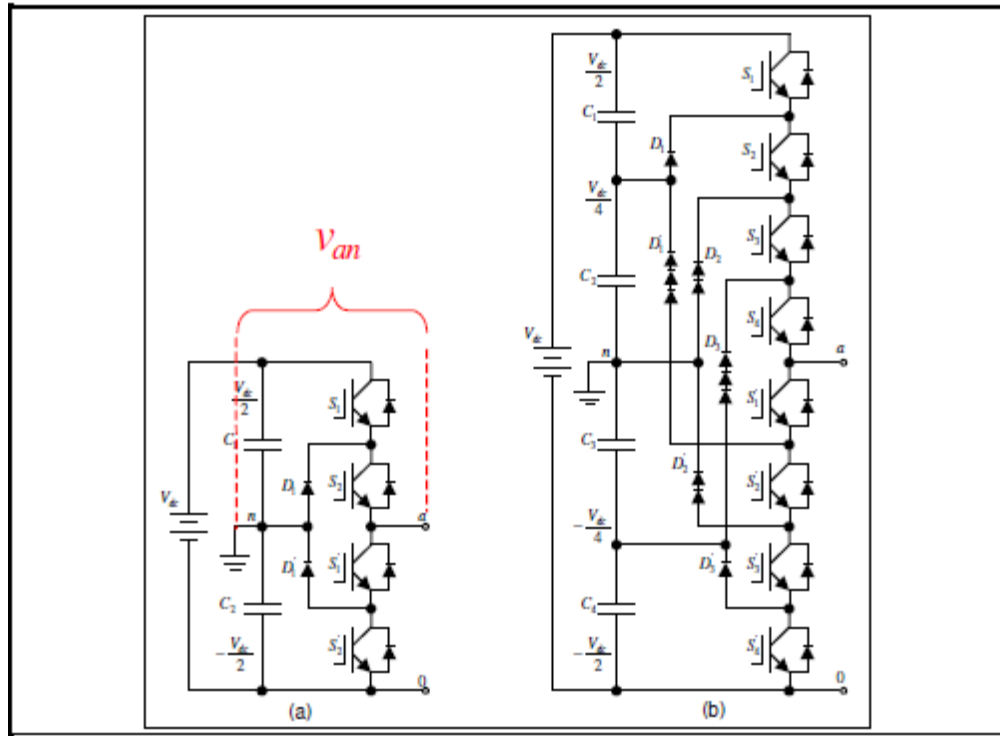


Figura 7 Inversor multinivel de diodos enclavados

La secuencia de disparo y los niveles de tensión para el inversor de cinco niveles se presentan en la Tabla 2.

$V_{an}$	M1	M2	M3	M4	M5	M6	M7	M8
$V_{dc}/2$	ON	ON	ON	ON				
$V_{dc}/4$		ON	ON	ON	ON			
0			ON	ON	ON	ON		
$-V_{dc}/4$				ON	ON	ON	ON	
$-V_{dc}/2$					ON	ON	ON	ON

Tabla 2 Combinaciones posibles. Inversor multinivel de diodos enclavados

### 2.3.2 Inversor multinivel de capacitores enclavados

Se presenta en la Fig. 8. En esta topología el bus de CD es dividido por medio de  $m-1$  capacitores y se requiere  $(m-1)(m-2)/2$  capacitores auxiliares por cada fase que se vaya a manejar. La secuencia de disparo para generar la señal de salida y los niveles de tensión de esta se muestran en la Tabla 3.

Al igual que ocurre con otras topologías, en ésta se tienen diferentes combinaciones de disparo para una misma tensión de salida. Sin embargo, el nivel máximo de tensión que se alcanza a la salida es de la mitad del bus de CD. Lo anterior, y junto con el número de capacitores auxiliares que exige esta topología, son sus principales desventajas.

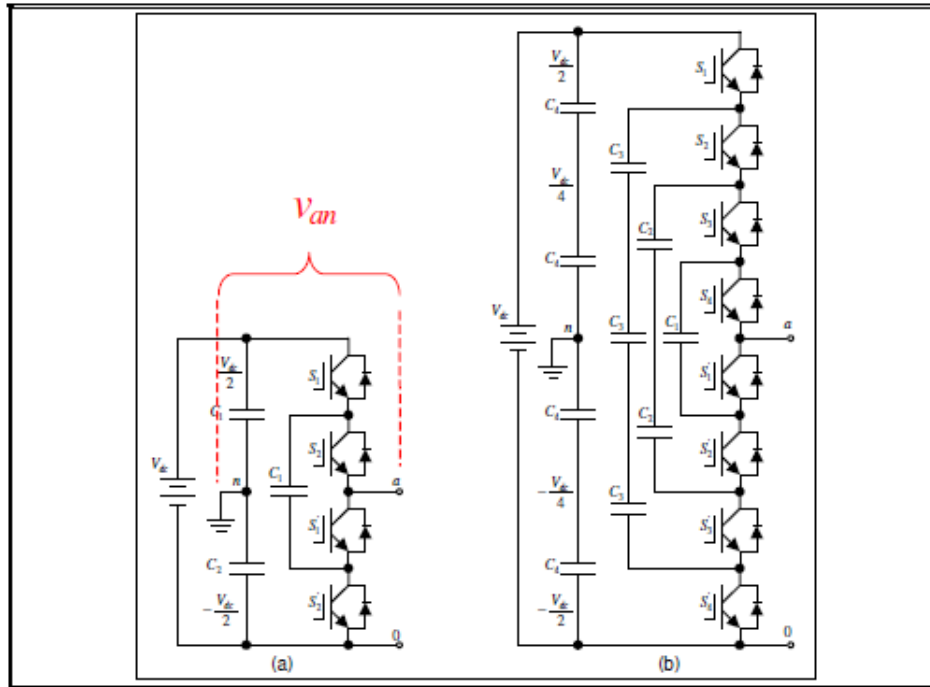


Figura 8 Inversor multinivel de capacitores enclavados

$V_{an}$	M1	M2	M3	M4	M5	M6	M7	M8
$V_{dc}/2$	ON	ON	ON	ON				
$V_{dc}/4$	ON	ON	ON		ON			
$V_{dc}/4$		ON	ON	ON				ON
$V_{dc}/4$	ON		ON	ON			ON	
0	ON	ON			ON	ON		
0			ON	ON			ON	ON
0	ON		ON		ON		ON	
0	ON			ON		ON	ON	
0		ON		ON		ON		ON
0		ON	ON		ON			ON
$-V_{dc}/4$	ON				ON	ON	ON	
$-V_{dc}/4$				ON		ON	ON	ON
$-V_{dc}/4$			ON		ON		ON	ON
$-V_{dc}/2$					ON	ON	ON	ON

Tabla 3 Combinaciones posibles inversor multinivel de capacitores enclavados



### 2.3.3. Inversor multinivel conectado en cascada

Esta topología se constituye como la conexión de varios inversores de tres niveles en cascada, cada uno de ellos alimentado por una tensión directa independiente [5]. La salida es la suma de las tensiones de cada uno de los inversores de tres niveles. Con esta topología es posible obtener niveles de tensión de acuerdo a la siguiente expresión

$$2n + 1 \quad \dots (5)$$

donde n representa al número de inversores de tres niveles.

Los inversores multinivel conectados en cascada pueden ser a su vez clasificados como inversores simétricos y asimétricos. La diferencia entre ellos radica en la magnitud de la fuente de alimentación de cada inversor de tres niveles. Los inversores simétricos requieren que las fuentes de alimentación tengan la misma magnitud, en cambio los asimétricos poseen fuentes de tensión de valores diferentes. Lo anterior se refleja en la cantidad de niveles que pueden generar con base en la misma secuencia de encendido. Los inversores asimétricos pueden generar más niveles de tensión que los simétricos.

En la Fig. 9 se muestra el diagrama de conexión para un inversor en cascada simétrico de dos etapas y cinco niveles. Este inversor puede generar tensiones de salida que van desde -2Vdc a 2Vdc y al igual que con el inversor de capacitores enclavados no son únicas las combinaciones para generar los niveles de tensión. En la Tabla 4 se presentan todas las combinaciones posibles de encendido.

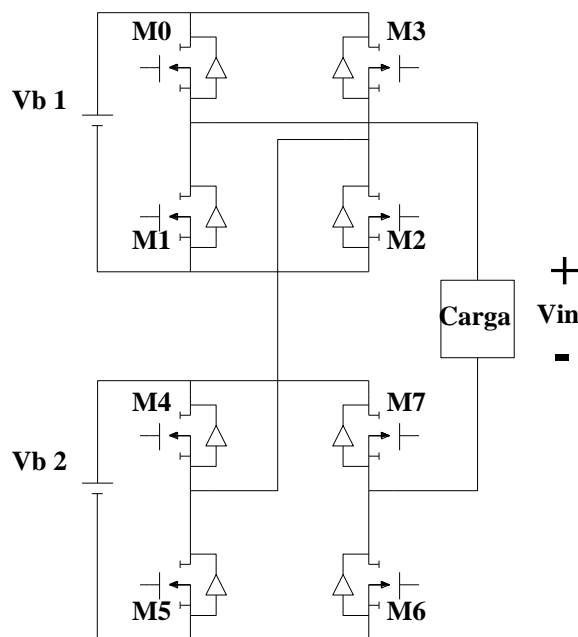


Figura 9 Inversor multinivel conectado en cascada

Combinaciones	Vin1	Vinv2	Vinv
1	Vb1	Vb2	2Vb
2	Vb1	0(4)	Vb
3	Vb1	0(5)	Vb
4	0(4)	Vb2	Vb
5	0(5)	Vb2	Vb
6	Vb1	-Vb2	0
7	-Vb1	Vb2	0
8	0(4)	0(4)	0
9	0(4)	0(5)	0
10	0(5)	0(4)	0
11	0(5)	0(5)	0
12	-Vb1	0(4)	-Vb
13	-Vb1	0(5)	-Vb
14	0(4)	-Vb2	-Vb
15	0(5)	-Vb2	-Vb
16	-Vb1	-Vb2	-2Vb

**Tabla 4 Combinaciones posibles. Inversor multinivel conectado en cascada**

En la Tabla 4, 0(3) y 0(4) corresponden al nivel de tensión cero en uno de los puentes H que se obtiene con la combinación 3 o 4 de la Tabla 1.

#### **2.4. Esquemas de modulación para inversores multinivel**

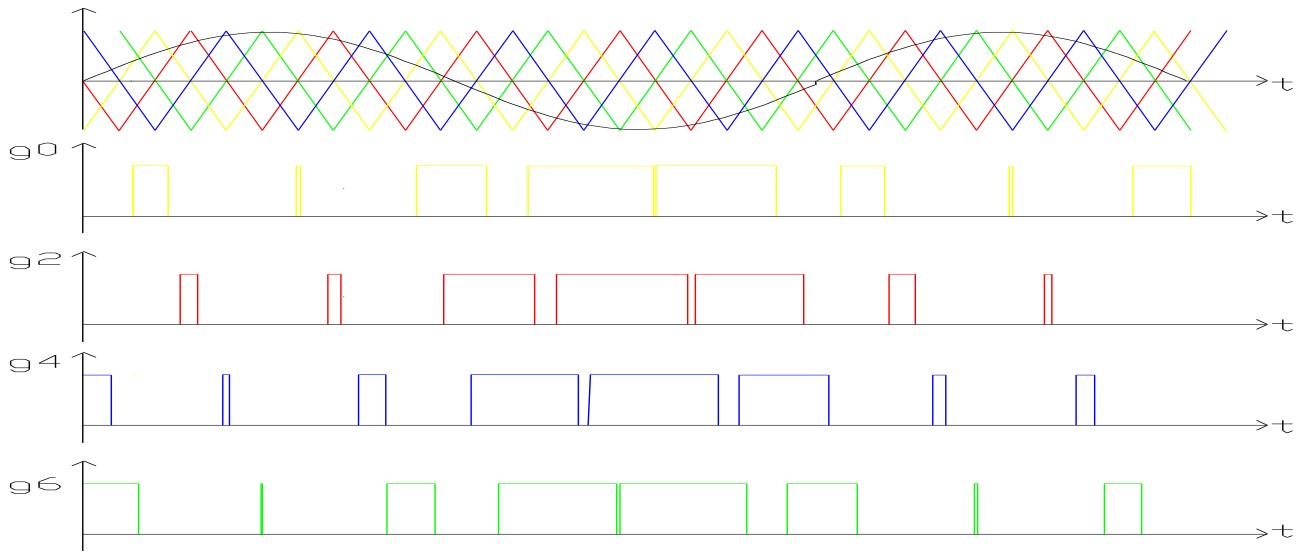
De igual forma que ocurre con los inversores de tres niveles, existen técnicas de modulación para los inversores multinivel. Estas se basan principalmente en el uso de múltiples señales portadoras. El número de señales portadoras necesarias está dado por  $n-1$  donde  $n$  representa el número de niveles. A continuación se presentan las técnicas más comunes.

##### **Modulación por corrimiento de fase**

Para obtener el patrón de encendido de los interruptores electrónicos por este método se requiere de la comparación entre  $n-1$  portadoras con la señal de referencia (moduladora). Las  $n-1$  portadoras deben estar defasadas entre sí un ángulo  $\theta$ , donde

$$\theta = \frac{360^\circ}{n-1} \quad \dots (6)$$

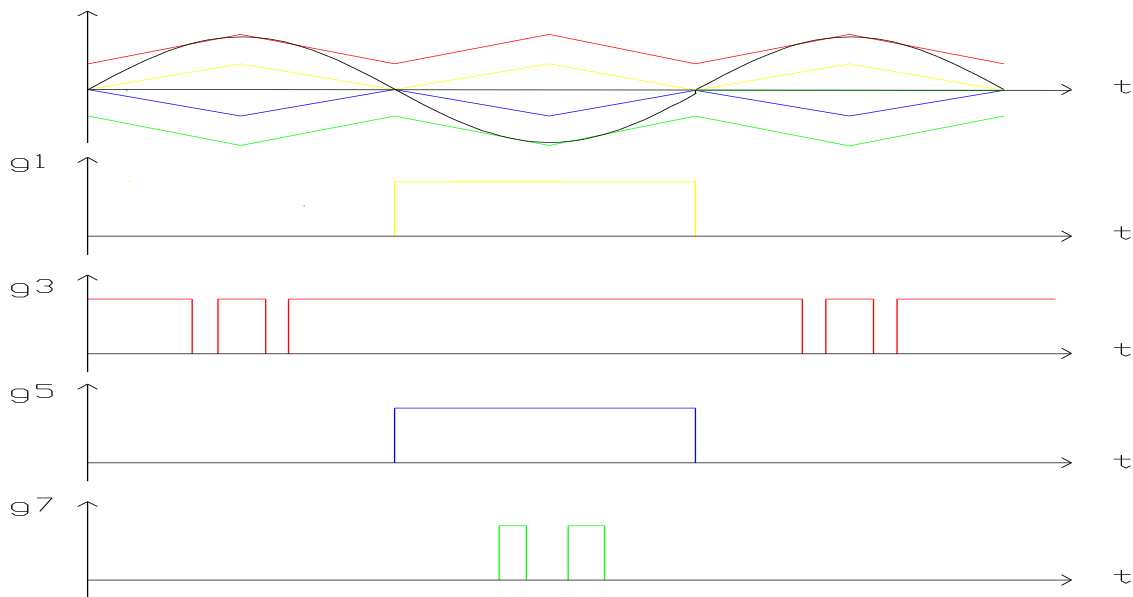
En la Fig. 10 se presenta este esquema de modulación y los disparos generados.



**Figura 10 Modulación por corrimiento de fase**

### Modulación por oposición y disposición de fase

Este método consiste en que la mitad de las señales portadoras se ubiquen por arriba del nivel cero de la señal moduladora (senoidal) y la otra mitad por debajo del cero de tal forma que el valor pico de la primera corresponda al valor mínimo de segunda. Existe además, entre el grupo de arriba y abajo un defasamiento de  $180^\circ$  mientras que entre las portadoras de cada grupo no hay defasamiento. En la Fig. 11 se muestra el esquema correspondiente.



**Figura 11 Modulación por oposición y disposición de fase**

## Modulación por disposición de fase

En este método el conjunto de portadoras cuentan con el mismo ángulo de fase entre ellas. Las portadoras están colocadas de forma paralela de tal manera que en conjunto abarcan toda la señal moduladora. En la Fig.12 se muestra tal esquema de conmutación.

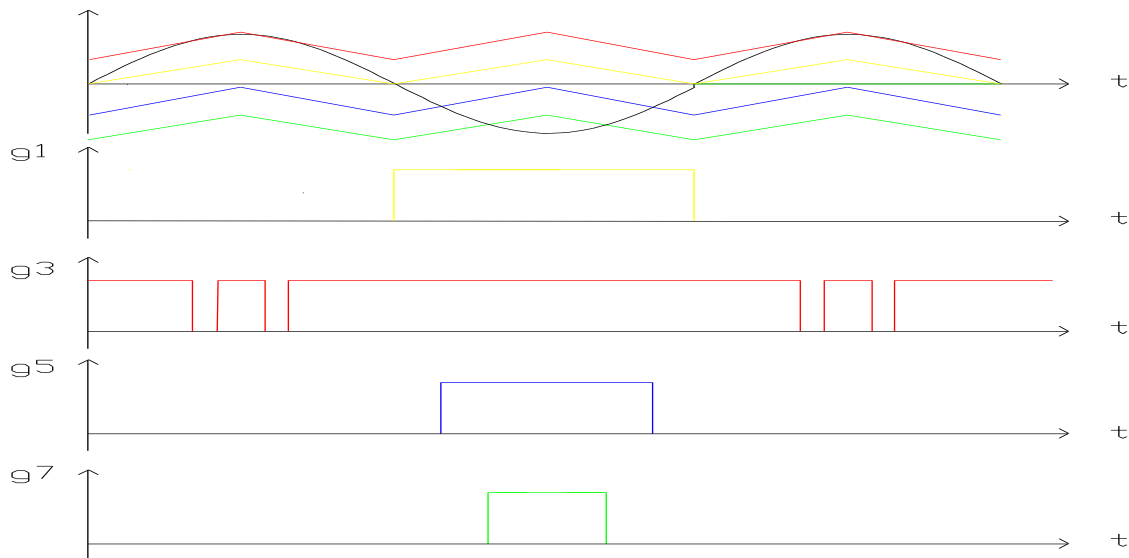


Figura 12 Modulación por disposición de fase

Existen otros muchos esquemas de modulación sin embargo un estudio detallado de los mismos queda fuera del alcance de este documento. Al lector interesado se le recomienda consultar [9] donde se presenta más información al respecto.

## 2.5. Ventajas y limitaciones de los inversores multinivel

Con base en las secciones anteriores podemos mencionar algunas ventajas que ofrecen los inversores multinivel

- Conforme aumenta el número de niveles en un inversor la señal de salida es más parecida a una senoidal por lo que la THD es menor.
- Con una THD mínima las dimensiones del filtro de salida del inversor disminuyen.
- Permiten manejar grandes cantidades de potencia ya que la salida es (para el caso de inversores conectados en cascada) la suma de las salidas de cada puente H.
- Las pérdidas por conmutación se reducen ya que la frecuencia con que trabajan los interruptores electrónicos es menor que en los inversores de tres niveles.
- Disminuye el estrés electrónico de los interruptores electrónicos ya que el número de conmutaciones se distribuye entre un número mayor de interruptores.

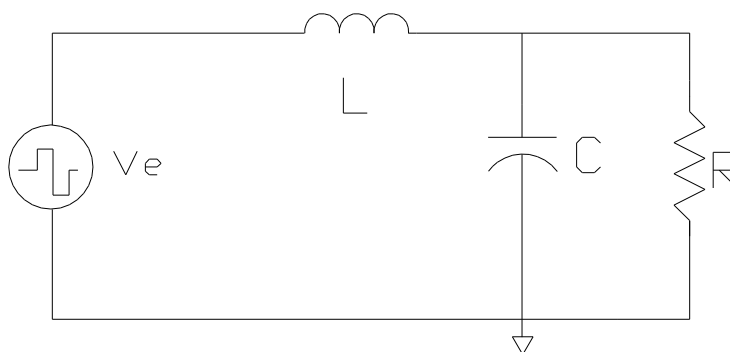
Por otro lado, algunos inconvenientes de los inversores multinivel son:

- La complejidad en el control de los interruptores es mayor que la de un inversor de tres niveles.
- Llegan a ser más voluminosos y pesados.
- La implementación de la técnica de modulación es de un grado de complejidad mayor que lo que es para un inversor de tres niveles.

## 2.6. Filtro de salida

La forma de onda de la tensión de salida de un inversor, si bien es alterna, no es senoidal debido a su contenido armónico. Para solucionarlo se utiliza un filtro de salida, el cual permite obtener a la salida del mismo una señal muy parecida a una senoidal. Tal filtro es del tipo pasobajas e impide el paso de las componentes de frecuencia alta de la señal modulada. El filtro se conecta de forma paralela a las dos terminales de salida del inversor y la carga. Existen muchas configuraciones de filtros que pueden ser utilizadas, sin embargo la más usual (y utilizada en este trabajo) es la conformada por un capacitor y un inductor (filtro LC). Con ello se representa una impedancia de valor grande ante las señales de frecuencia que se desean atenuar y una impedancia pequeña a las señales de frecuencia que se desean dejar pasar [10].

En la Fig. 13 se muestra el esquema eléctrico de tal filtro en donde el puente H se ha presentado como un generador de señal cuadrada ( $V_e$ ).



**Figura 13 Filtro de salida**

Es posible llevar a cabo un análisis del sistema con el fin de encontrar las ecuaciones de diseño de los componentes del filtro ( $L$  y  $C$ ). Dicho análisis consiste en encontrar la función de transferencia del sistema y definir tanto la frecuencia de corte como el factor de calidad del filtro.

Sea

$$Z_{eq} = R || Z_c \quad \dots (7)$$

$$Z_{eq} = \frac{RZ_c}{Z_c + R} = \frac{R}{RCS + 1} \quad \dots (8)$$

Así entonces, la tensión en R se determina por medio de:

$$V_{sal} = \frac{Z_{eq}}{Z_{eq} + Z_L} V_e \quad \dots (9)$$

$$V_{sal} = \frac{\frac{R}{RCS + 1}}{\frac{R}{RCS + 1} + LS} V_e \quad \dots (10)$$

Finalmente, la función de transferencia del sistema está dada como:

$$H = \frac{\frac{1}{LC}}{S^2 + \frac{1}{RC}S + \frac{1}{LC}} \quad \dots (11)$$

De esta manera, la frecuencia de corte esta determinada por:

$$f_c = \frac{1}{2\pi\sqrt{LC}} \quad \dots (12)$$

Mientras que el factor de calidad del filtro está dado por:

$$Q = R \sqrt{\frac{C}{L}} \quad \dots (13)$$

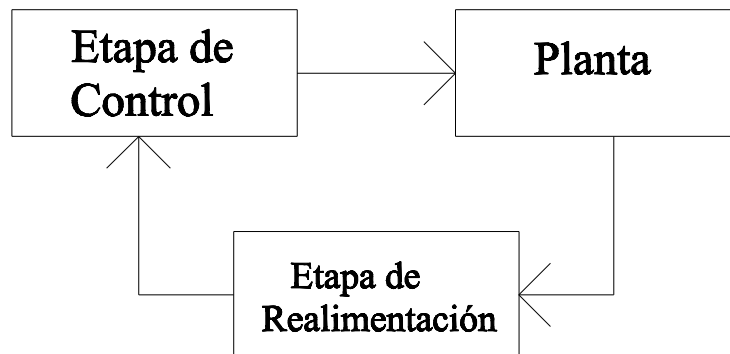
Las ecuaciones anteriores serán retomadas posteriormente para el diseño del filtro del inversor que se diseña en este trabajo de tesis.

## CAPÍTULO 3. DISEÑO DEL INVERSOR MULTINIVEL

En este capítulo se presenta la metodología de diseño llevada a cabo para la implementación del inversor multinivel. Se establece éste como un elemento de un sistema de evaluación de esquemas de modulación y se fijan las características de diseño que el inversor debe tener para posteriormente describir las etapas intermedias que permitieron la construcción final. Las pruebas experimentales se reportan en el Capítulo 4.

### 3.1. Sistema de evaluación de esquemas de conmutación

Un fin que se persigue con este trabajo de tesis es el de poder evaluar experimentalmente el rendimiento de inversores bajo esquemas de conmutación emergentes, para ello se requiere que el inversor construido sea capaz de funcionar de manera adecuada como un elemento más de un sistema de evaluación de esquemas de conmutación (SEEC), el cual cuenta con una etapa de control, una de realimentación y una planta, donde esta última está representada por el inversor multinivel.



**Figura 14 Diagrama de bloques del Sistema de evaluación de esquemas de conmutación**

En la Fig. 14 se muestra un esquema a bloques del sistema deseado, en él la *etapa de control* es la encargada de generar las señales de encendido y apagado de los interruptores electrónicos. Por otro lado, la *planta* del sistema (inversor) es el elemento del cual se desea manipular su funcionamiento por medio del manejo de sus variables de salida (tensión de salida y corriente). Finalmente la *etapa de realimentación* es la que obtiene información útil de la planta para después proporcionarla a la etapa de control con el fin de que esta última realice los cambios y ajustes pertinentes en las señales que manipulan la planta. A continuación se describen las características más importantes de cada etapa.

### 3.1.1. Etapa de control

Como se ha comentado, los inversores multinivel están integrados por interruptores electrónicos, los cuales cambian continuamente entre un estado de encendido y otro de apagado. Invariantemente del tipo de interruptor electrónico utilizado, el estado del mismo se determina por una señal de control. En concreto, las señales de control contienen información relacionada con el estado deseado para el interruptor, la secuencia de encendido/apagado y la duración de tiempo que cada interruptor debe tener en cada uno de los estados.

Generalmente, las señales de control de los interruptores son generadas como resultado de alguna metodología o algoritmo que establece el comportamiento deseado del inversor (forma de la tensión de salida, frecuencia). Por ejemplo, en caso de la modulación de inversores, las señales de control son determinadas como el resultado de la comparación de dos señales, una portadora y una moduladora.

Por otro lado, debido a la disponibilidad que se tiene actualmente de sistemas digitales basados en microprocesadores, es común que la etapa de control de un inversor sea implementada en un circuito digital de este tipo. En este sentido, la etapa de control utilizada para este trabajo es una tarjeta de adquisición y procesamiento de datos la cual permite establecer una comunicación entre una computadora personal y dispositivos externos con lo que se facilita la implementación de experimentos.

El modelo de la tarjeta utilizada es el DS1104 de la marca Dspace y está desarrollada sobre la base del procesador digital de señales TMS320C31 de Texas Instruments. La tarjeta además cuenta con otros periféricos, como por ejemplo:

- 8 convertidores digital-analógico.
- 8 convertidores analógico-digital.
- Un modulo PWM.

La tarjeta DS1104 trabaja bajo un ambiente de programación de lenguaje C, pero además cuenta con un programa de enlace que permite convertir esquemas de programación de SIMULINK en códigos tipo C. La característica anterior es una de las más sobresalientes particularidades de la tarjeta en cuestión, ya que permite al usuario desarrollar esquemas de control en SIMULINK e implementarlos físicamente. Adicionalmente, el software de manejo incluye librerías compatibles con SIMULINK con las cuales se pueden utilizar los diversos periféricos de la tarjeta.

Se cuenta además con el programa Control Desk, el cual es una interfaz de usuario con la que se pueden modificar los parámetros de la programación e implementación del programa



en tiempo real. Ofrece además la posibilidad de obtener gráficas de las variables involucradas en el programa, así como el inicio y paro de las corridas de simulación.

El enlace físico entre la tarjeta de datos y otros dispositivos externos se lleva a cabo por medio de un módulo de conexiones.

### **3.1.2. Etapa de Potencia**

La etapa de potencia es propiamente el inversor multinivel y se presentan a continuación las características de diseño y la justificación de cada una.

Como se ha mencionado en la sección 2.3, existen básicamente tres topologías distintas de inversores multinivel, entre las que destaca la de inversores conectados en cascada debido a que para su implementación no se requiere de un número excesivo de componentes como en los casos de diodos y capacitores enclavados. Una característica adicional de los inversores conectados en cascada, es que no presentan problemas de desbalanceo debido a que las fuentes de tensión que los alimentan son fijas y reguladas. Por lo anterior, la implementación de un inversor multinivel conectado en cascada, es una alternativa viable por lo que se propone como primera característica de diseño, que el inversor multinivel esté basado en una topología de inversores puente H conectados en cascada.

Una característica importante en los inversores de tres niveles con configuración de puente H, es el tiempo muerto, el cual es una consecuencia del uso de interruptores electrónicos reales. Los interruptores electrónicos reales no cambian de un estado a otro de manera inmediata, sino que tienen un tiempo de retardo de encendido y un tiempo de retardo de apagado, lo anterior es de suma importancia debido a que como se documentó en la sección 2.1, durante el funcionamiento del puente H no se debe permitir que dos interruptores de la misma rama se enciendan simultáneamente, ya que se presentaría un corto circuito. En este sentido se debe esperar un lapso de tiempo antes de encender una diagonal del puente para garantizar que la diagonal opuesta se ha desactivado completamente y así sucesivamente. Es precisamente a este lapso de tiempo el que se le conoce como tiempo muerto.

Del párrafo anterior se pueden establecer dos pasos más durante el diseño del inversor multinivel: selección del dispositivo semiconductor adecuado y generar el tiempo muerto necesario para la operación de los inversores en puente H.

Una vez que se establece el tipo de interruptor electrónico a utilizar es necesario acondicionar las señales de disparo con el fin de que éstas sean compatibles con los requisitos establecidos por funcionamiento del interruptor. Para ello, frecuentemente se utilizan circuitos denominados impulsores, por lo que como cuarta característica de diseño se establece la implementación de una etapa de acondicionamiento de señales de disparo.

En otro orden de ideas, la seguridad juega un papel muy importante al momento de diseñar cualquier circuito de potencia debido a que generalmente estos manejan niveles de tensión y corriente elevados, los cuales representan un riesgo a la integridad física del usuario. Así mismo, usualmente los sistemas electrónicos establecidos para la implementación de la etapa de control suelen ser la parte más costosa de todo el sistema electrónico. En este sentido es recomendable que el inversor multinivel cuente con sistemas de protección que aumenten la seguridad durante el funcionamiento de todo el SEEC, por lo tanto se está en la posibilidad de plantear como quinta característica de diseño sistemas de protección.

### **3.1.3. Etapa de Realimentación**

La etapa de realimentación en un sistema de control se encarga de obtener, acondicionar y enviar información útil de la planta hacia la etapa de control. La estructura de la etapa de realimentación de un sistema de control no es fija y depende de la aplicación del propio sistema de control. En nuestro caso, cuando se trabaja con inversores multinivel se desea que éstos generen una señal lo más parecido posible a una señal senoidal por lo que suele utilizarse un filtro pasivo a la salida del inversor, el cual atenúa componentes armónicas de altas frecuencias resultantes de la modulación. Debido a la utilización de componentes pasivos en la construcción del filtro de salida, es habitual que éste funcione como etapa de realimentación ya que de él se puede obtener fácilmente información sobre la planta (corriente y tensión en la carga). Como sexta característica de diseño se requiere de la implementación del filtro de salida.

El análisis anterior ha establecido las características y pasos indispensables con las que debe contar el inversor multinivel. A continuación se enlistan tales características de diseño:

- a) Inversor multinivel simétrico de cinco niveles.*
- b) Construido bajo una topología de inversores conectados en cascada.*
- c) Se requiere la elección del dispositivo semiconductor adecuado, esto es, que funcione como interruptor electrónico y cumpla con los niveles de tensión y corriente requeridos.*
- d) Debe contar con una etapa de acondicionamiento de señales de control.*
- e) Se requiere de la generación de tiempos muertos para los inversores de puente H.*
- f) Implementación de un sistema de protección.*
- g) Implementación del filtro de salida*

### **3.2. Propuesta de solución**

Con base en lo anterior, se ha propuesto que el diseño del inversor multinivel se lleve a cabo por medio de la implementación del siguiente esquema a bloques:

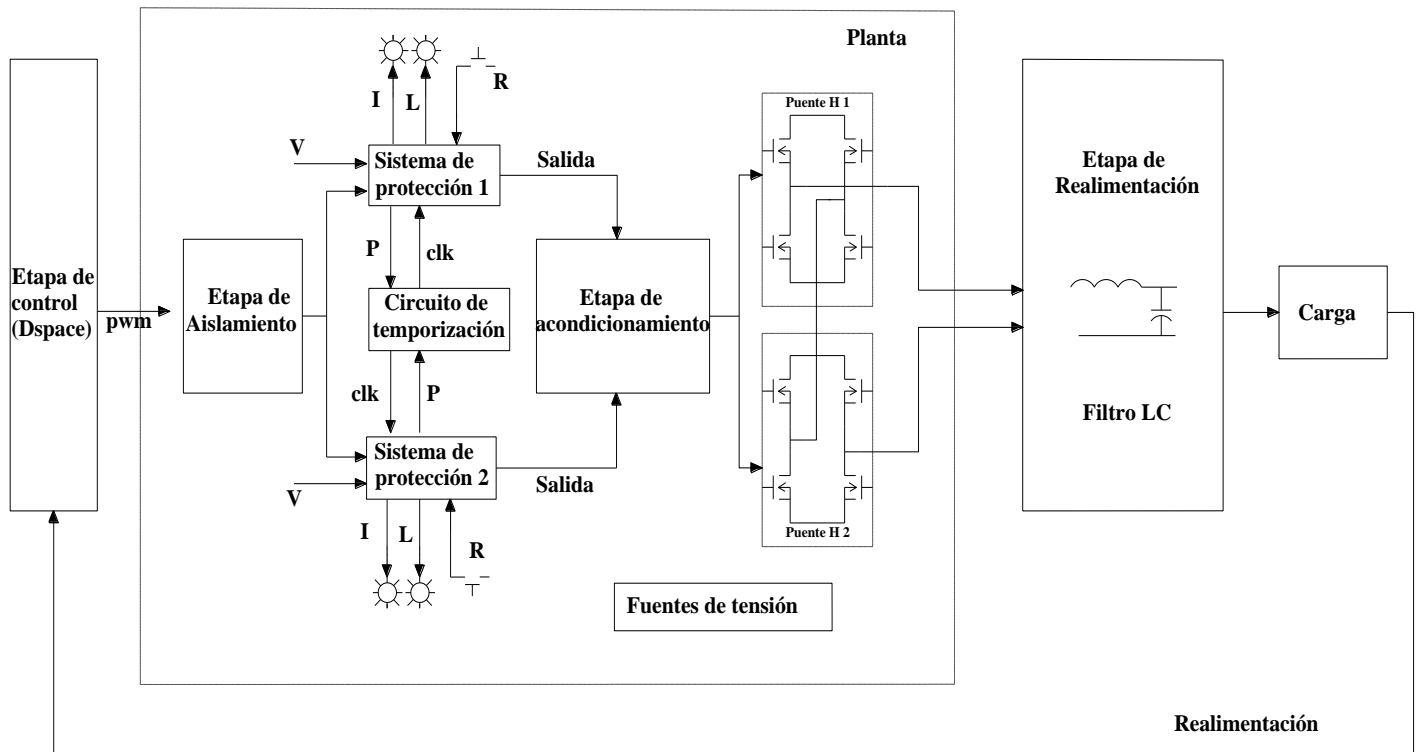


Figura 15 Propuesta de solución

El funcionamiento del sistema consiste en la generación de las señales de disparo (PWM) por la Etapa de control y una vez aislada por la Etapa de Aislamiento entra a los Sistemas de protección (1 y 2) los cuales permiten o impiden el paso de la misma a la Etapa de acondicionamiento (señal Salida). Cuando la señal está acondicionada correctamente enciende y/o apaga a los interruptores electrónicos de los puentes H 1 y 2. A su vez la Carga del inversor está conectada a la Etapa de Realimentación la cual acondiciona la señal Realimentación, que contiene información importante que es suministrada a la Etapa de control con lo cual termina el ciclo de funcionamiento del SEEC. Los sistemas de protección cuentan además con las señales de entrada V y R y de salida L e I.

### 3.2.1. Puente H y selección de los dispositivos semiconductores

Como se comentó en la sección 2.3.3, los inversores multinivel están integrados a su vez por inversores de tres niveles cuya configuración individual es del tipo puente H. El número de inversores de tres niveles requeridos se establece por medio de la ecuación 5 de la sección 2.3.3 con  $n=5$ , por lo que resulta que el número de inversores de tres niveles para la implementación del inversor sea 2.

Por otro lado el comportamiento de un convertidor electrónico que maneja altos valores de tensión no se ve afectado por el tipo de dispositivo semiconductor usado como interruptor electrónico, ya que la caída de tensión entre sus terminales en estado de conducción es pequeña en comparación con otras caídas en el circuito de potencia [11].

La elección de un dispositivo de potencia no solo depende de los niveles de tensión y corriente requeridos sino también de sus características de conmutación. En este sentido es posible clasificar a los dispositivos semiconductores en dos grandes categorías: aquellos que requieren de una corriente en su terminal de disparo (dispositivos controlados por corriente) y los que necesitan de una tensión para cambiar su estado (dispositivos controlados por voltaje).

Un dispositivo controlado por corriente requiere de una corriente constante por un periodo de tiempo determinado para iniciar o mantener su estado de conducción. Dos tipos de este dispositivo son el rectificador controlado de silicio (SCR) y el transistor de unión bipolar (TBJ). Por otro lado, los dispositivos controlados por voltaje requieren de una tensión constante en su terminal de disparo para mantener su estado de conducción. Los requerimientos físicos en la terminal de disparo de estos últimos son sustancialmente menores que los exigidos por los dispositivos controlados por corriente. Dos ejemplos de dispositivos controlados por tensión son el transistor bipolar de compuerta aislada (IGBT) y el transistor de efecto de campo metal oxido semiconductor (MOSFET) [12].

El dispositivo semiconductor a elegir debe ser capaz de:

1. *Manejar valores nominales de tensión y corriente adecuados a la operación del inversor.*
2. *Exigir un nivel de complejidad simple en su encendido y apagado.*
3. *Disponibilidad en el mercado nacional.*
4. *Tener un bajo costo.*

Se opta por usar un transistor de efecto de campo MOSFET como interruptor electrónico del puente H.

Realizando una búsqueda en los catálogos electrónicos de varios fabricantes se elige al transistor MOSFET IRFP450<sup>1</sup>. Sus principales características son:

- I. Un MOSFET es un dispositivo controlado por tensión de tres terminales fuente (S), compuerta (G) y drenador (D). Basta aplicar pulsos de tensión entre su terminal compuerta y fuente ( $V_{GS}$ ) para encenderlo (el IRFP450 requiere de una tensión de entre 10 y 20 [V]) y dejar de hacerlo para llevarlo a su estado de apagado.
- II. El IRFP450 es capaz de soportar una tensión de bloqueo de 500 [V] entre sus terminales S y D, además de una corriente nominal de drenador ( $I_D$ ) de 14 [A].

---

<sup>1</sup> De International Rectifier.

III. Tiene los siguientes tiempos de encendido y apagado  $t_{d(ON)}=27$  [ns],  $t_{d(OFF)}=100$  [ns],  $t_r=66$  [ns],  $t_f=60$  [ns].

En la Tabla 5 se presentan las características más importantes del MOSFET seleccionado y en la Fig. 16 el símbolo del MOSFET polarizado.

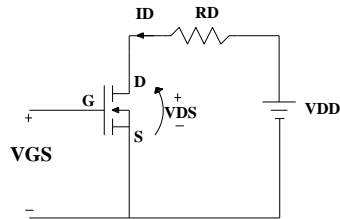


Figura 16 MOSFET polarizado

$V_{DS}=500[V]$
$I_D=14[A]$
$V_{GSmax}=20[V]$
$V_{GS(th)}=2$ a $4[V]$
$t_r=66[ns]$
$t_f=60[ns]$

Tabla 5 Características técnicas del MOSFET

### 3.2.2. Etapa de acondicionamiento

Para que un MOSFET funcione como interruptor electrónico, se debe aplicar entre sus terminales de compuerta y fuente una tensión ( $V_{GS}$ ) y una corriente ( $I_G$ ) apropiadas determinadas por las características de excitación del MOSFET. Se utilizó el circuito impulsor TLP 250 de la marca Toshiba, el cual tiene una estructura similar a un optoacoplador con un elemento de salida en configuración push-pull, el cual permite suministrar y drenar corrientes de hasta 1.5 [A]. En la Fig. 17 se presenta el esquema del TLP 250, y la forma en que fue conectado en el sistema.

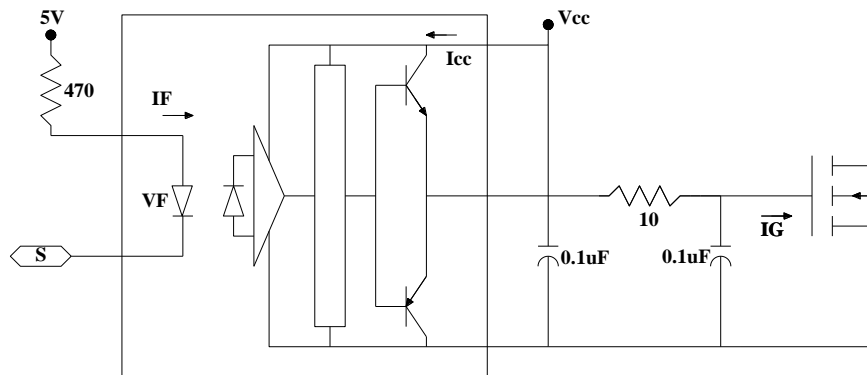


Figura 17 Etapa de acondicionamiento

### 3.2.3. Etapa de aislamiento

El aislamiento de señales de disparo es importante debido a que generalmente en un inversor electrónico se presenta una diferencia considerable de tensiones y corrientes entre la etapa de potencia y el circuito digital que genera las señales de disparo. Mientras que en la etapa de potencia se llegan a manejar tensiones y corrientes en el orden de los cientos, en la etapa de control suelen utilizarse señales digitales de baja tensión. Con el fin de evitar que haya algún tipo de influencia eléctrica sobre la etapa de control (ruido eléctrico o lazos de corriente) y que afecte el funcionamiento del convertidor es conveniente aislar eléctricamente a las dos etapas. Para ello se utilizaron optoacopladores modelo 6N137 cuyo elemento de entrada es un fotodiodo y de salida un transistor a colector abierto, el cual se alimenta con una tensión continua de 5 [V].

Cabe comentar que como medida precautoria, las señales de disparo que excitan al elemento de entrada son aplicadas a la terminal del cátodo para disminuir la posibilidad de encendido debido a señales de ruido.

A continuación se muestra el arreglo utilizado para la implementación de esta etapa. El valor de los resistores y capacitores fueron calculados con base en los datos proporcionados por el fabricante.

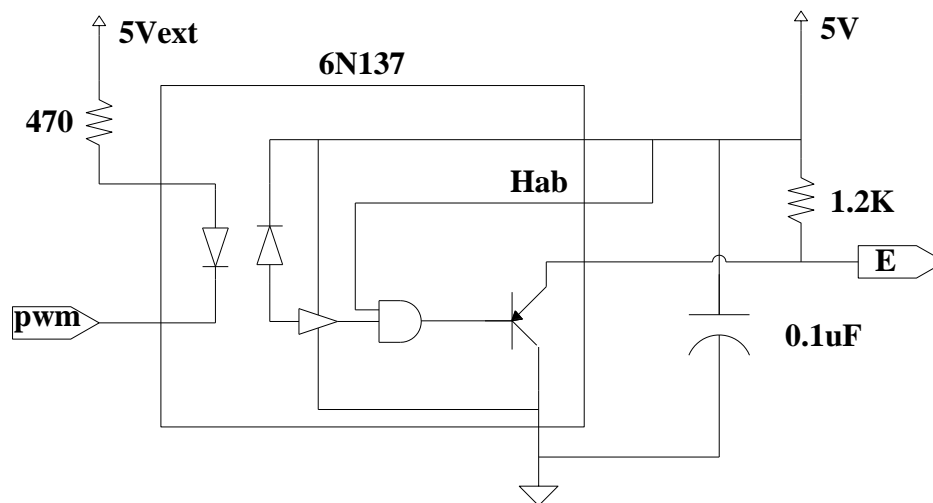


Figura 18 Etapa de aislamiento

### 3.2.4. Sistema de protección

Con el fin de aumentar la seguridad durante el funcionamiento del inversor se decidió implementar un sistema que sea capaz de detener la operación del inversor multinivel cuando este represente un peligro para el resto del sistema en el cual funciona.

Una posible causa del mal funcionamiento del inversor es que sean involuntariamente encendidos dos MOSFET de una misma rama por lo que el sistema de seguridad deseado debe ser capaz de determinar si la secuencia de encendido proveniente de la etapa de control es válida o no. Si la secuencia de encendido es segura deberá generar el sistema de protección un valor idóneo que concuerde con la etapa de acondicionamiento del sistema en caso contrario no permitirá el paso de la secuencia inválida.

Una tarea adicional del sistema de protección, es también la generación de los tiempos muertos necesarios durante la operación de los inversores en puente H.

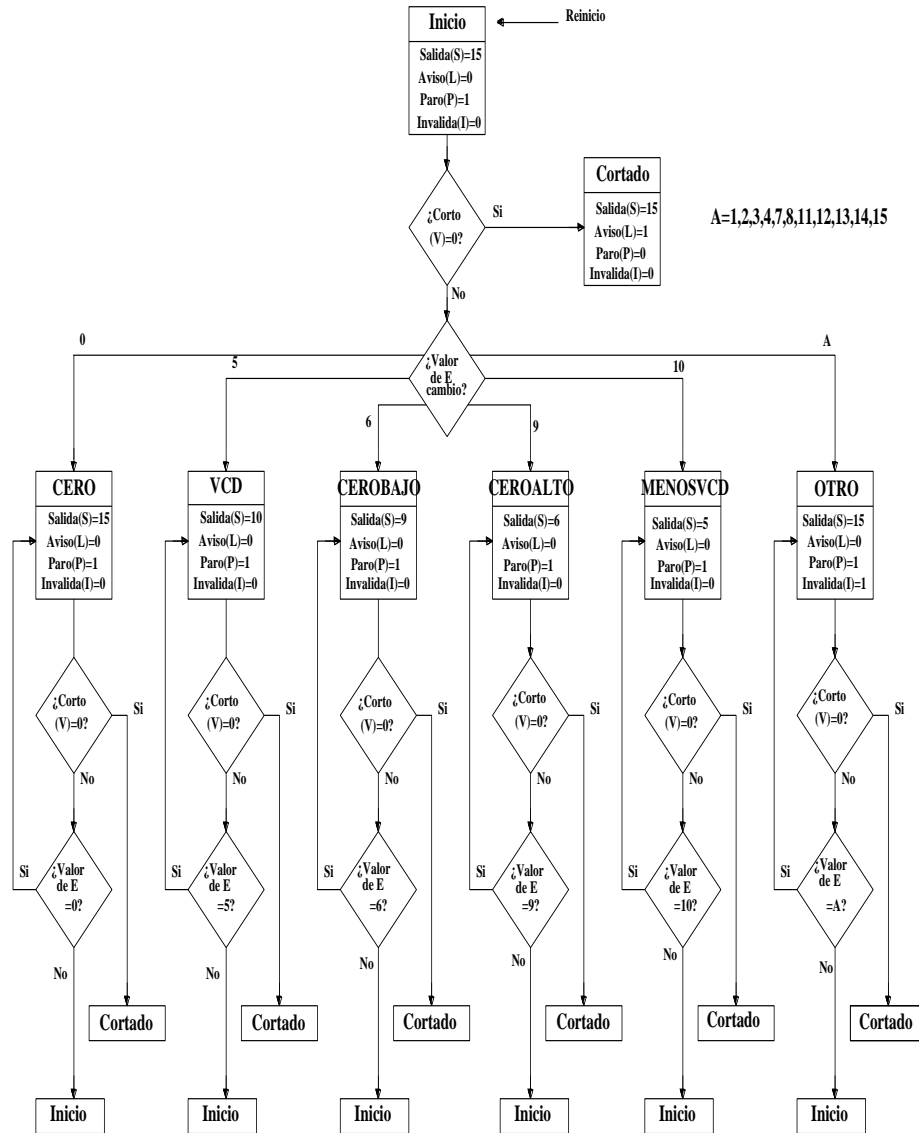
Con base en lo anterior, las tareas que debe realizar el Sistema de Protección son:

- a) *Verificar que la secuencia de encendido (secuencia de control) no ponga en riesgo al inversor.*
- b) *Establecer un valor adecuado para la señal “Salida” de tal manera que ningún valor active a dos MOSFET de una misma rama, al mismo tiempo.*
- c) *Suspender la operación del sistema cuando alguna señal externa sea activada.*
- d) *Indicar al usuario que se ha desactivado al sistema.*
- e) *Indicar al usuario que se ha detectado una secuencia de encendido inválida.*
- f) *Generar el tiempo muerto entre secuencias válidas consecutivas.*

Una vez establecidas las funciones a realizar por el Sistema de protección, se debe diseñar un circuito digital que se comporte de acuerdo a las demandas y elegir una plataforma tecnológica conveniente para su implementación.

Una forma de obtener el comportamiento deseado por el sistema de protección es por medio de una máquina de estados secuencial (ASM, por sus siglas en inglés), la cual representa un número finito de pasos de un procedimiento que especifican como obtener una solución a un problema [13].

A continuación se muestra el diagrama de la máquina de estados.



**Figura 19 Máquina de estados**

La máquina tiene 8 estados llamados Inicio, Cortado, Cero, VCD, Cero Bajo, Cero Alto, Menos VCD y Otro. Además cada estado tiene 4 salidas asociadas siendo éstas : Salida, Aviso, Paro e Inválida.

La interpretación física de cada estado es la siguiente:

**Inicio.** Se establece que los MOSFET estén apagados (Salida(S)=15) y que las señales de aviso al usuario durante un problema (Aviso(L), Inválida(I)) estén en un valor correcto.



Cortado. En este estado se detiene completamente el funcionamiento del inversor debido a que se ha detectado un problema en el mismo.

Cero. Permite establecer en el inversor la combinación número 3 de la Tabla 1.

VCD. Permite establecer en el inversor la combinación número 1 de la Tabla 1.

Cero Bajo. Permite establecer en el inversor la combinación número 5 de la Tabla 1.

Cero Alto. Permite establecer en el inversor la combinación número 4 de la Tabla 1.

Menos VCD. Permite establecer en el inversor la combinación número 2 de la Tabla 1.

Otro. No permite el paso de la secuencia de disparo y avisa al usuario de ello.

El sistema inicia siempre en el estado Inicio con lo cual se garantiza que todos los MOSFET se encuentran apagados. Posteriormente, se pregunta sobre alguna falla en el sistema por medio de la señal V, si ha ocurrido alguna perturbación se establece el estado Cortado, de otra manera se evalúa algún cambio en la secuencia de disparo y se direcciona de acuerdo a su valor al estado determinado. Una vez más se evalúa el estado de la señal V y algún cambio en la secuencia de disparo. Se puede observar también que sin importar el valor de la secuencia de disparo se establece siempre el estado inicio como intermedio entre algún cambio. Es precisamente esta condición la cual permite que se genere el tiempo muerto requerido por el inversor.

La implementación del circuito de protección se llevó a cabo en dos dispositivos lógicos programables (Sistema de protección 1 y 2). Para ello se requirió llevar a cabo la descripción del sistema deseado por medio de un lenguaje descriptivo de hardware siendo VHDL el utilizado. La síntesis final se implementó en dos circuitos GAL22V10D. En el apéndice A4. se muestra la descripción realizada.

### **3.2.5. Circuito de temporización**

Debido a que el sistema de protección es un sistema secuencial, es imperativo el uso de un circuito de temporización que determine de manera síncrona el cambio en los estados. El circuito utilizado es el CD4047 el cual es capaz de generar una señal de reloj con solo un resistor y un capacitor externos. La configuración utilizada se muestra a continuación.

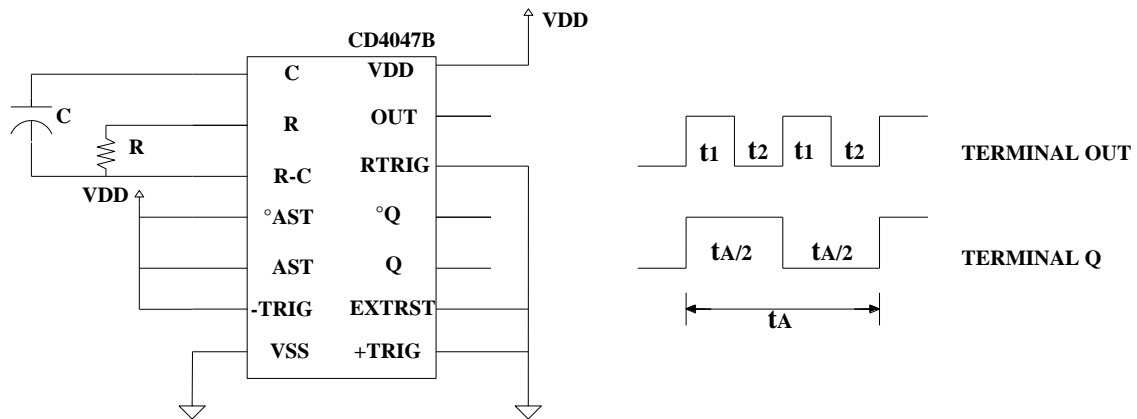


Figura 20 Circuito de temporización

### 3.2.6. Fuentes de tensión

Las fuentes de tensión requeridas para la implementación del sistema fueron:

- Una fuente de 5 [V] que alimenta a los elementos de entrada de los optoacopladores 6n137.
- Una fuente de 5 [V] que alimenta a
  - Los elementos de salida de los optoacopladores 6n137
  - El Sistema de protección
  - El Circuito de temporización
  - Elemento de entrada de los circuitos impulsores TLP250
- Seis fuentes de tensión de 12 [V] que alimentan a los elementos de salida de los circuitos impulsores.

Todas las fuentes de tensión necesarias fueron implementadas usando transformadores de tensión aislados.

### 3.2.7. Filtro LC

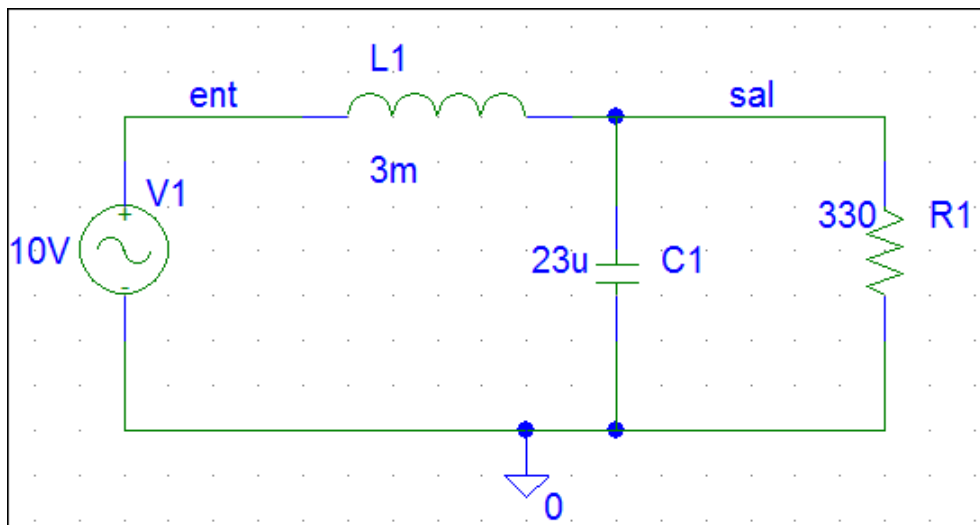
Como se comentó en la sección 2.6 el uso de un filtro de salida en un inversor, tiene por objeto mejorar la señal de salida de este. El filtro utilizado es del tipo pasobajas ya que impide el paso de componentes armónicas de alta frecuencia y solo permite el paso de las componentes cercanas a la fundamental de la señal moduladora.

Para determinar los valores del filtro se utilizaron las ecuaciones (12) y (13) con los siguientes valores:

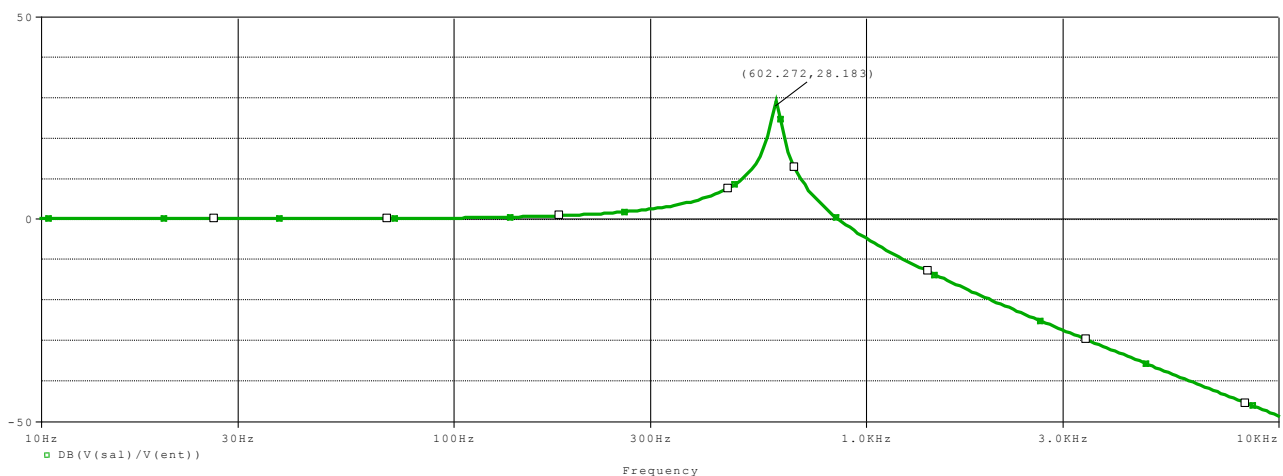
$$R=330 \text{ } [\Omega]$$

$$f_c=600 \text{ } [\text{hz}]$$

Obteniéndose así un valor de 3 [mH] para el inductor y 23 [ $\mu$ F] para el capacitor, con lo que se obtiene un Q de 28. Los valores obtenidos se validaron por medio del simulador electrónico Pspice versión 9.1 y a continuación se muestra la gráfica de su respuesta en frecuencia.



**Figura 21 Esquema de simulación**



**Figura 22 Respuesta en frecuencia del filtro de salida**

Con esto termina la etapa de diseño de inversor multinivel y en el apéndice A2. se presenta el esquema completo del sistema desarrollado.

## **CAPÍTULO 4. EVALUACIÓN EXPERIMENTAL DEL INVERSOR**

En este capítulo se presentan pruebas realizadas al inversor multinivel. El capítulo inicia con simulaciones del inversor puente H y multinivel y posteriormente se exponen las gráficas obtenidas de las pruebas físicas.

### **4.1. Simulación de los inversores**

Con el fin de analizar el comportamiento del inversor a detalle se llevaron a cabo simulaciones tanto de un inversor puente H como del inversor multinivel. El programa utilizado fue PSIM versión 6.0. A continuación se muestran los esquemas utilizados y las gráficas obtenidas por el programa mencionado.

#### **4.1.1. Puente H**

En la Fig. 23 se muestra el esquema de un inversor puente H simulado en PSIM modulado por ancho de pulso senoidal y con filtro LC de salida. Los parámetros de simulación fueron:

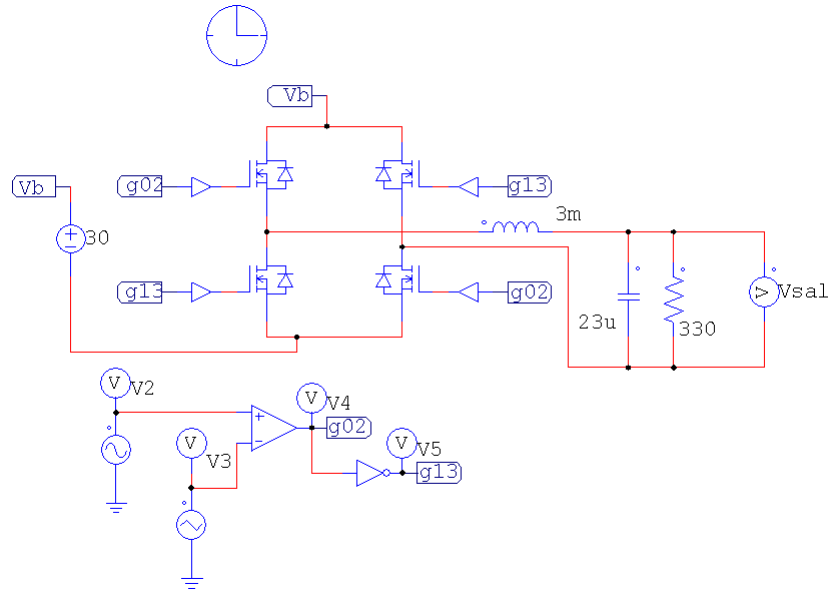
Tensión de bus: 30[V]

Frecuencia de la señal portadora: 8 [khz]

Frecuencia de la señal moduladora: 60 [hz]

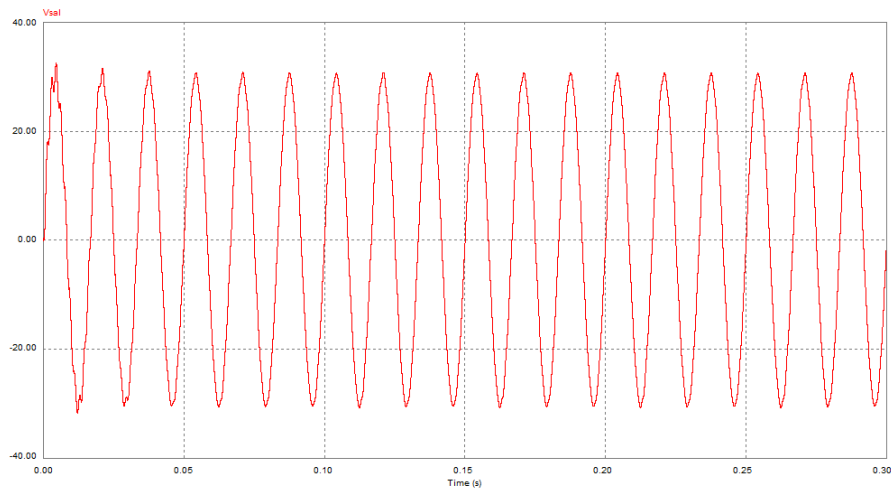
C: 23 [ $\mu$ F]

L: 3 [mH]

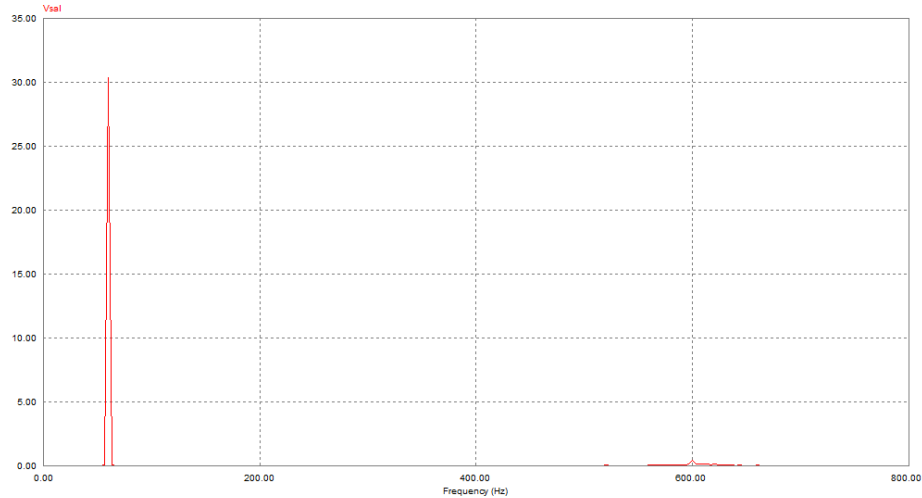


**Figura 23** Esquema de simulación del puente H

Como se esperaba, la señal de salida ( $V_{sal}$ ) es senoidal con magnitud de 30 [Vp] y frecuencia de 60 [hz] (Fig. 24). Por otro lado, en la Fig. 25 se muestra el espectro de frecuencias con la componente fundamental y la décima armónica, la cual tiene una magnitud de 0.414 con lo que utilizando la ecuación (1) se tiene que la THD es de 1.36 %.



**Figura 24** Tensión de salida



**Figura 25 Espectro de frecuencias**

#### **4.1.2. Inversor multinivel**

En la Fig. 26 se muestra el esquema de un inversor multinivel modulado por la técnica de corrimiento de fase. En la Fig. 27 se muestra la tensión de salida del mismo cuando no hay filtro de salida mientras, que en la Fig. 28 se muestra cuando éste está presente. Por último, en la Fig. 29 se muestra el espectro de frecuencias el cual posee una THD de 2.09 %. Los parámetros de simulación fueron:

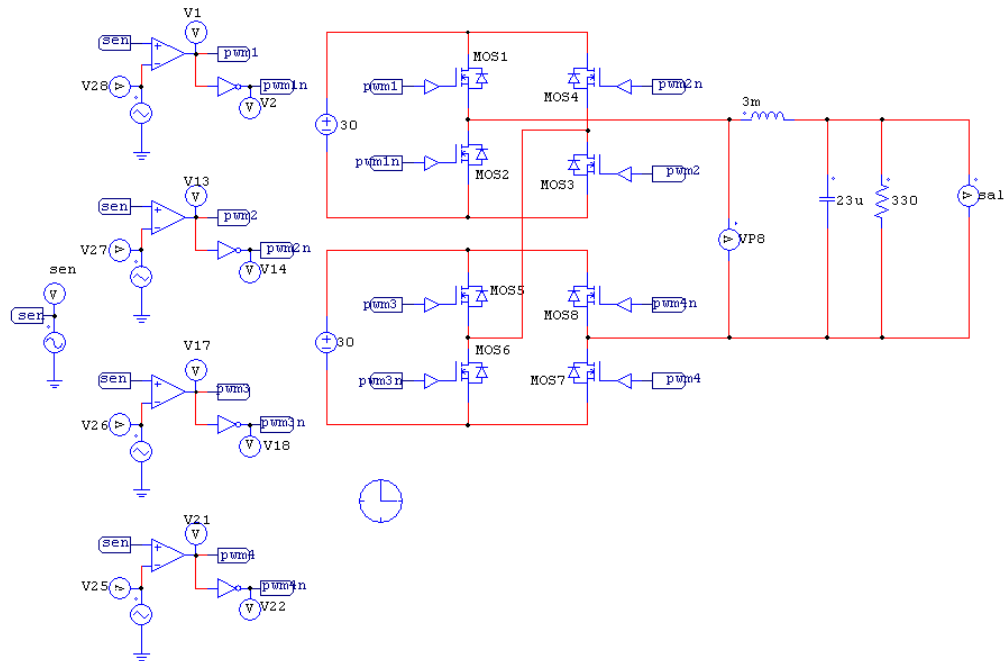
Fuentes de tensión de bus: 30[V]

Frecuencia de la señal portadora: 8 [khz]

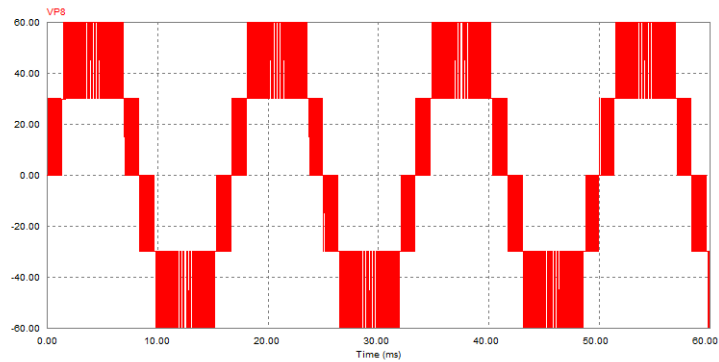
Frecuencia de la señal moduladora: 60 [hz]

C: 23 [ $\mu$ F]

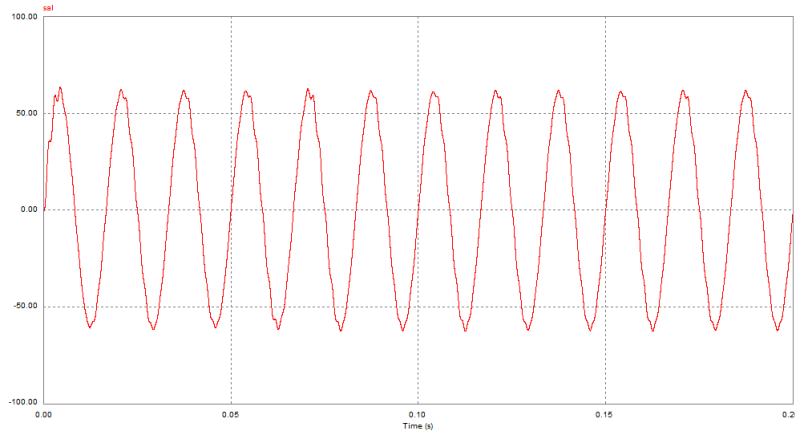
L: 3 [mH]



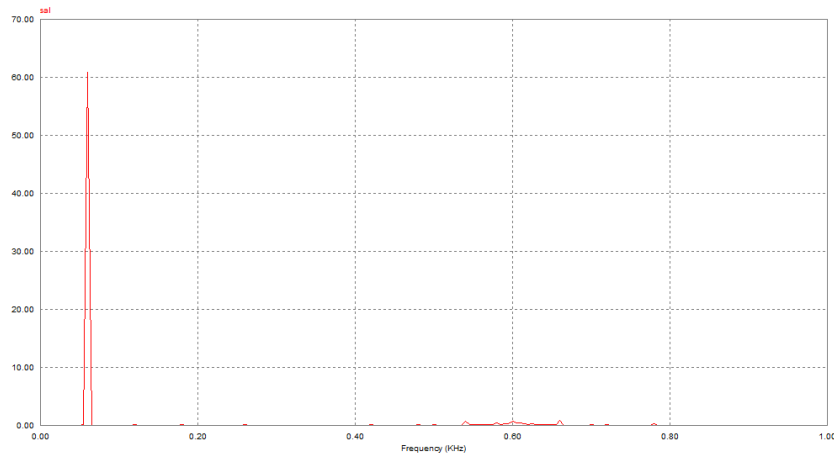
**Figura 26 Inversor multinivel modulado por corrimiento de fase**



**Figura 27 Tensión de salida sin filtro**



**Figura 28 Tensión de salida con filtro**



**Figura 29 Espectro de frecuencias**

## 4.2. Pruebas experimentales

Las pruebas realizadas al inversor multinivel consistieron en evaluar las etapas que conforman a la propuesta de solución y al inversor en conjunto, para esto último se utilizó una carga lineal resistiva. En la obtención de datos se utilizaron dos osciloscopios diferentes, uno de la marca Fluke modelo 196B y uno de la marca Tektronics modelo THS3000. Las pruebas fueron las siguientes:

- Generación de la señal “clk” por el Circuito de temporización.
- Generación del tiempo muerto.
- Señales de disparo acondicionadas.
- Señal de salida del inversor puente H con carga resistiva.
- Señal de salida del inversor multinivel sin filtro, con carga resistiva.



#### 4.2.1. Circuito de temporización

La Fig. 30 muestra la señal generada por el circuito temporizador, la cual sirve como señal de reloj del sistema de protección, tiene una magnitud de 5 [V] y una frecuencia de 468 [khz] con lo que la duración del tiempo muerto es de 2.1 [ $\mu$ s].

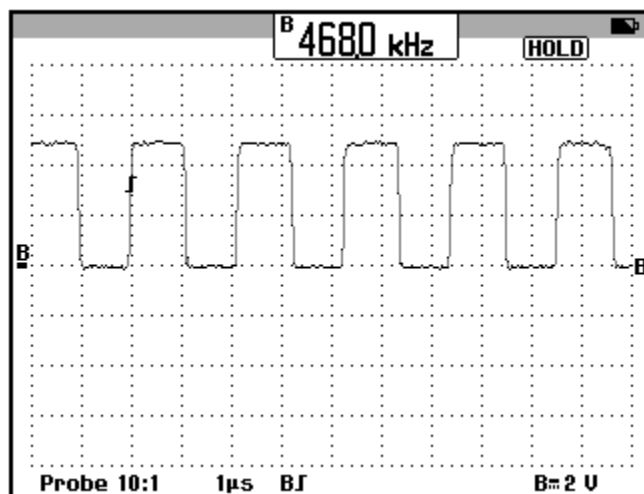


Figura 30 Señal de temporización

#### 4.2.2. Tiempo muerto

En la Fig. 31 se muestra dos señales de disparo para un puente H, entre ellas hay un tiempo muerto generado por el sistema de protección, cuya duración es acorde con la frecuencia de la señal del circuito de temporización.

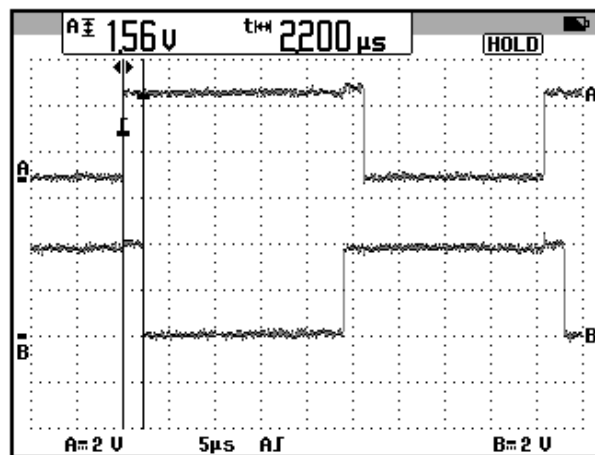


Figura 31 Medición del tiempo muerto

### 4.2.3. Señales de disparo acondicionadas

En la Fig. 32 se muestran las señales de disparo para un inversor puente H después de pasar por la etapa de acondicionamiento. Se observa que su magnitud es de 12 [V] y que están desfasadas entre ellas, lo que representa una secuencia válida de encendido. Su frecuencia es de 20 [khz]

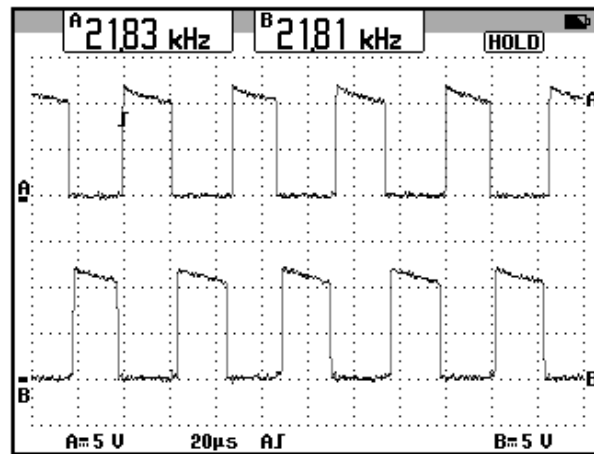


Figura 32 Señales de disparo acondicionadas

### 4.2.4. Salida del puente H

Las Figuras 33 y 34 muestran la señales de salida el inversor puente H cuando a éste se le aplica a) una tensión directa de 200 [V] y b) 300 [V] sin filtro de salida, con una carga resistiva de 330 [ $\Omega$ ] a una frecuencia de 24 [khz]. Se observa que las señales presentan picos en ambos lóbulos, los cuales son producto de la acción de conmutación de los MOSFET. Es posible observar también el tiempo muerto entre el encendido y apagado de transistores cuya magnitud sigue siendo de 2.2 [ $\mu$ s].

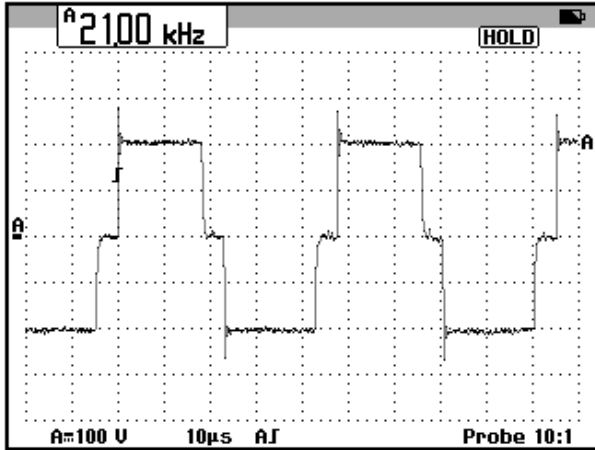


Figura 33 a) Señal de salida del inversor

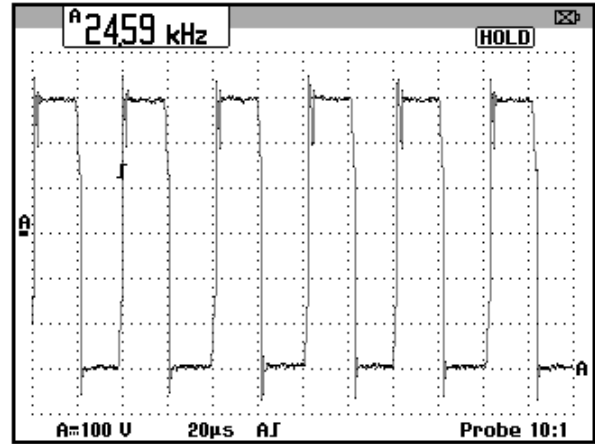


Figura 34 b) Señal de salida del inversor

En la Fig. 35 se presenta la tensión obtenida del inversor con su filtro de salida y una carga resistiva. La secuencia de control fue generada por medio de modulación por ancho de pulso senoidal en la tarjeta Dspace (etapa de control). La tensión de salida es de 40 [Vpp] y frecuencia de 60 [hz].

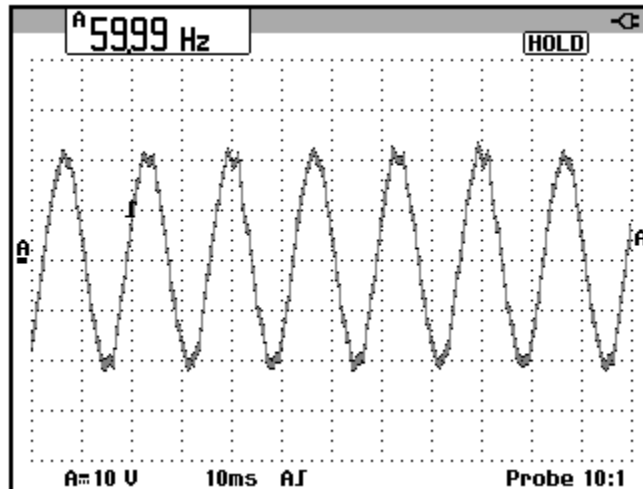
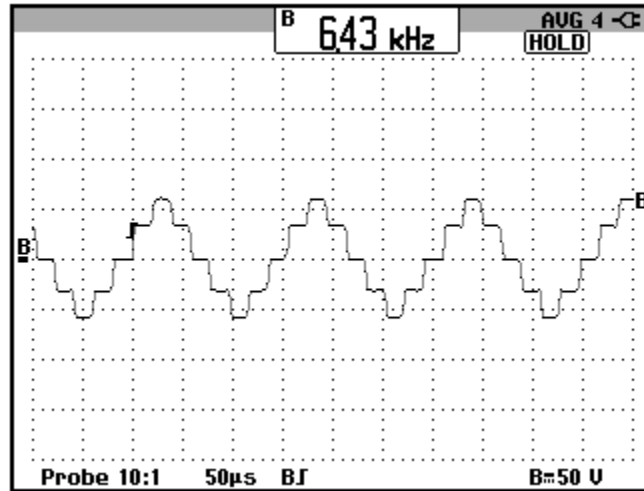


Figura 35 Señal de salida del inversor con filtro de salida

#### 4.2.5. Inversor multinivel

La Fig. 36 muestra la tensión de salida del inversor multinivel no modulado y sin filtro, cuando a éste se le conecta una carga resistiva. La secuencia de disparo fue generada por medio de un contador digital.

El valor de cada bus de CD fue de 30 [V]. Se aprecia que de acuerdo a la teoría, se obtuvieron cinco niveles distintos de tensión que en conjunto forman una señal senoidal con un valor pico de  $2V_{CD}$  siendo para nuestro caso de 60 [Vp] a una frecuencia de 6.43 [kHz].



**Figura 36 Señal de salida del inversor multinivel**

Con esto finaliza la evaluación experimental del inversor construido donde se observó en todos los casos un buen desempeño de acuerdo al diseño establecido.

## CAPÍTULO 5. CONTROL NO LINEAL

Como se ha establecido en la introducción de este documento, un objetivo a alcanzar es el de evaluar el funcionamiento del inversor bajo esquemas de conmutación, en este sentido se presentan en este capítulo los aspectos más relevantes en cuanto al desarrollo e implementación de un esquema de conmutación para un inversor de tres niveles con topología de puente H. Queda aún pendiente la implementación del mismo en un inversor multinivel. Este esquema permite obtener (y mantener) una tensión de salida del inversor deseada aún cuando se presenten cambios en el valor de la carga. Una aplicación inmediata de este esquema de conmutación puede ser en los sistemas de alimentación ininterrumpida (UPS) ya que se desea que éstos generen siempre una señal del tipo senoidal con amplitud y frecuencia fija cuando se presenta una falla en la red eléctrica.

El capítulo inicia con la determinación del modelo del sistema a trabajar, luego se desarrollan los pasos matemáticos que determinan la ecuación del esquema de conmutación. Una vez establecido lo anterior se realizan simulaciones numéricas y finalmente se presentan las pruebas experimentales realizadas al inversor.

### 5.1. Modelado del inversor puente H

El primer paso necesario en el desarrollo del esquema de conmutación es determinar el modelo del sistema, para nuestro caso éste consiste en el inversor de tres niveles y su filtro de salida (Fig.37). La tensión generada del puente H se ha representado como un generador de señal cuadrada  $V_e$ . Debido a la naturaleza del sistema se debe obtener un modelo por cada estado del sistema. En nuestro caso el inversor cuenta con dos estados diferentes de funcionamiento: a) cuando sólo los MOSFET M0 y M2 están encendidos y b) cuando sólo M1 y M3 lo están.

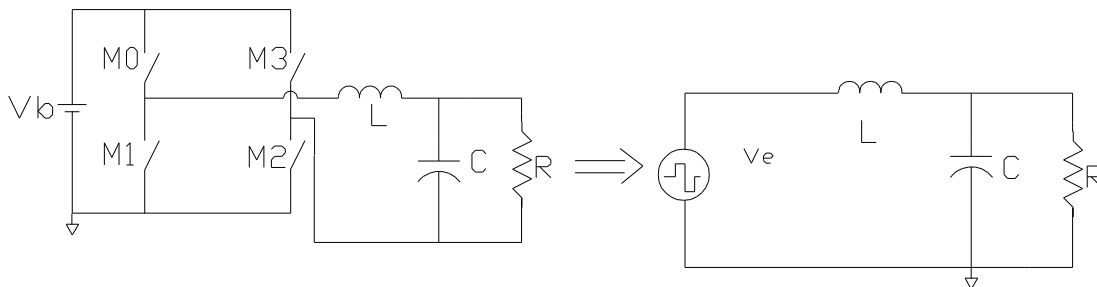
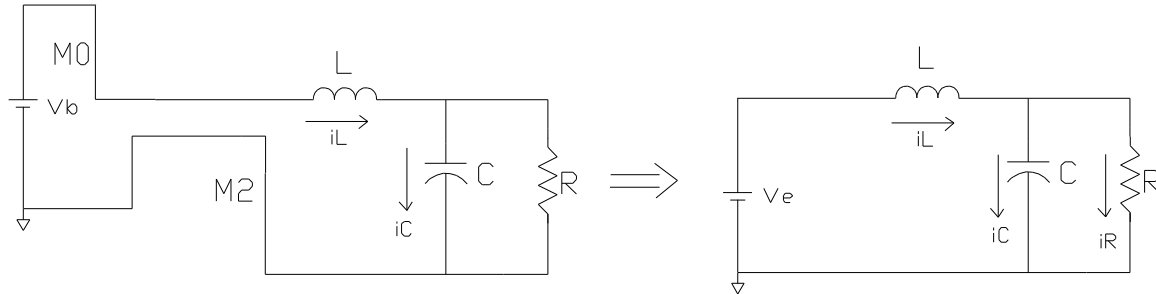


Figura 37 Inversor puente H y circuito equivalente

**Estado a.**

En la Fig.38 se muestra el sistema durante el estado “a” y el circuito equivalente del mismo.



**Figura 38 Estado a y circuito equivalente**

Aplicando las leyes de los elementos del sistema se tiene que:

$$V_L = L \frac{di_L}{dt} \quad \dots (14)$$

$$V_C = \frac{1}{C} \int i_C dt \quad \dots (15)$$

$$V_R = Ri_R \quad \dots (16)$$

Aplicando las leyes de conjunto (ley de voltaje y corriente de Kirchhoff)

$$V_e = V_L + V_C \quad \dots (17)$$

$$V_C = V_R \quad \dots (18)$$

$$i_L = i_C + i_R \quad \dots (19)$$

Sustituyendo (14) en (17) se tiene:

$$V_e = L \frac{di_L}{dt} + V_C \quad \dots (20)$$

de (19)

$$i_L = C \frac{dV_C}{dt} + \frac{V_R}{R} \quad \dots (21)$$

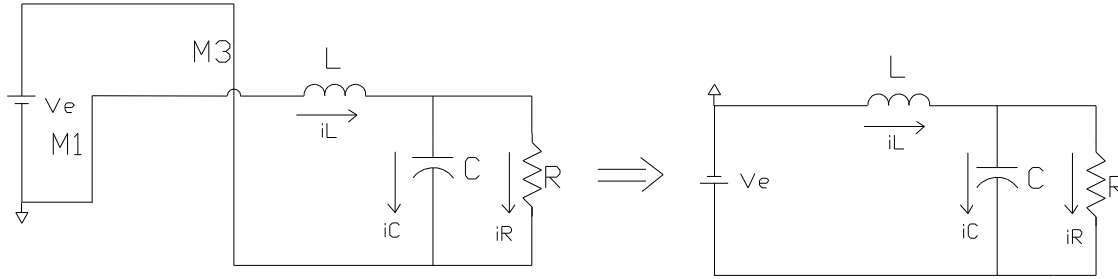
Pero  $V_R = V_C$  por lo que

$$i_L = C \frac{d_{Vc}}{dt} + \frac{Vc}{R} \quad \dots (22)$$

Las ecuaciones (20) y (22) describen el comportamiento del circuito durante el estado a.

**Estado b.**

Repitiendo el procedimiento anterior es posible obtener las ecuaciones (23) y (24) que describen el comportamiento del sistema durante el estado b.



**Figura 39 Estado b y circuito equivalente**

$$-V_e = L \frac{d_{iL}}{dt} + V_c \quad \dots (23)$$

$$i_L = C \frac{d_{Vc}}{dt} + \frac{Vc}{R} \quad \dots (24)$$

Una vez que se tienen las ecuaciones respectivas para cada estado, es posible obtener un modelo promedio el cual permita describir el comportamiento del sistema englobando los dos estados. Para ello es necesario considerar que el inversor es modulado. Para conseguir lo anterior se anexa a las ecuaciones (20) y (23) el término:

$$(2\mu - 1) \quad \dots (25)$$

donde el  $\mu$  representa el ancho de pulso de la señal moduladora.

Finalmente, el modelo promedio del inversor de puente completo está dado por

$$(2\mu - 1)V_e = L \frac{d_{iL}}{dt} + V_c \quad \dots (26)$$

$$i_L = C \frac{d_{Vc}}{dt} + \frac{Vc}{R} \quad \dots (27)$$

### 5.1.1. Validación numérica del modelo

El modelo matemático obtenido es aproximado ya que no representa las conmutaciones de los interruptores electrónicos, por lo anterior y como una forma de validar su funcionamiento, se simuló por medio de Simulink de Matlab. La simulación consiste en emular el funcionamiento de un UPS por lo que el fin deseado es obtener una señal de salida senoidal en el capacitor del sistema. En la Fig. 40 se muestra el diagrama a bloques utilizado (ecuaciones 26 y 27) con los parámetros de simulación y en la Fig. 41 la señal en el capacitor de salida ( $V_c$ ). Como señal moduladora ( $\mu$ ) se utilizó una señal senoidal de 0.5 [Vp].

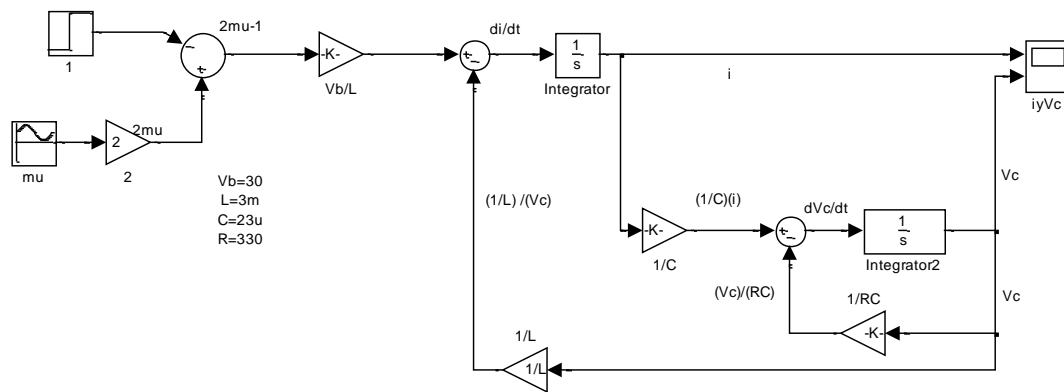


Figura 40 Validación numérica del modelo del inversor puente H

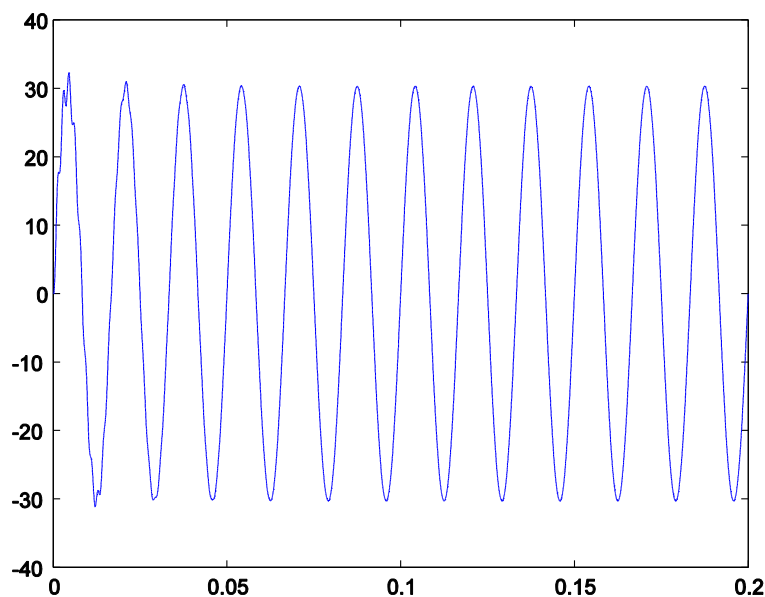


Figura 41 Tensión presente en el capacitor



Con se observa en la Fig. 41 el comportamiento del modelo es correcto ya que se obtiene una señal senoidal constante en amplitud y frecuencia.

## 5.2. Esquema de conmutación para el inversor puente H

La metodología de diseño utilizada consiste en moldear la energía del sistema, es decir en una modificación conveniente de la energía almacenada del sistema mediante la obtención de una nueva función de energía deseada para el sistema, la cual tiene un mínimo deseado en el punto de equilibrio deseado para el sistema. A este metodología se le conoce como basada en pasividad y un su estudio detallado escapa del alcance de este documento, sin embargo el lector interesado puede encontrar información al respecto en [14].

El esquema propuesto genera una señal moduladora la cual permite obtener una señal deseada a la salida del inversor. Para ello es necesario conocer los parámetros físicos del sistema (capacitor, inductor, resistencia).

A continuación se muestran los pasos matemáticos requeridos para la determinación del esquema de conmutación.

Se parte de la función de energía de nuestro sistema ( $E_T$ ) la cual es la suma de las funciones de energía de los elementos almacenadores del sistema ( $E_L, E_C$ ).

$$E_C = \frac{1}{2} CV_c^2$$

$$E_L = \frac{1}{2} CV_c^2$$

$$E_T = E_C + E_L$$

Si definimos a la dinámica del error tanto de voltaje como de corriente ( $e_v, e_i$ ) como el valor real menos el deseado y la derivamos, se obtiene

$$e_v = V_c - V_{cd} \Rightarrow V_c = e_v + V_{cd}$$

$$e_i = i_L - i_{Ld} \Rightarrow i_L = e_i + i_{Ld}$$

$$\frac{de_v}{dt} = \frac{dV_c}{dt} - \frac{dV_{cd}}{dt} \Rightarrow \frac{dV_c}{dt} = \frac{de_v}{dt} + \frac{dV_{cd}}{dt}$$

$$\frac{de_i}{dt} = \frac{di_L}{dt} - \frac{di_{Ld}}{dt} \Rightarrow \frac{di_L}{dt} = \frac{de_i}{dt} + \frac{di_{Ld}}{dt}$$

Además, sustituyendo en

$$V_e = L \frac{di_L}{dt} + V_C$$

$$i_L = C \frac{dV_C}{dt} + \frac{V_C}{R}$$

se tiene que

$$Ve = L \left( \frac{de_i}{dt} + \frac{di_{Ld}}{dt} \right) + e_v + V_{cd}$$

$$e_i + i_{Ld} = C \left( \frac{de_v}{dt} + \frac{dV_{cd}}{dt} \right) + \frac{1}{R} (e_v + V_{cd})$$

Reacomodando términos se tiene que

$$L \frac{de_i}{dt} + e_v = Ve - L \frac{di_{Ld}}{dt} - V_{cd}$$

y definiendo a

$$\overline{Ve} = Ve - L \frac{di_{Ld}}{dt} - V_{cd}$$

con

$$\phi = i_{Ld} - C \frac{dV_{cd}}{dt} - \frac{1}{R} V_{cd}$$

se tiene que

$$L \frac{de_i}{dt} + e_v = \overline{Ve}$$

$$C \frac{de_v}{dt} + \frac{1}{R} e_v = e_i + \phi$$

ahora bien, debe notarse en esta ecuación que si  $\phi = 0$  entonces

$$i_{Ld} = C \frac{dV_{cd}}{dt} + \frac{1}{R} V_{cd} \quad \dots (28)$$

La ecuación 28 determina la corriente deseada ( $i_{Ld}$ ) del inductor para el sistema. Por otro lado definiendo a la función de energía deseada como  $E_{Td}$  se tiene que

$$E_{cd} = \frac{1}{2} C e_v^2$$

$$E_{Ld} = \frac{1}{2} C e_i^2$$

$$E_{Td} = \frac{1}{2} C e_v^2 + \frac{1}{2} C e_i^2$$

de donde derivando se tiene

$$\dot{E}_{Td} = C e_v \frac{de_v}{dt} + L e_i \frac{de_i}{dt}$$

Además

$$L \frac{de_i}{dt} = \overline{V}e - e_v$$

$$C \frac{de_v}{dt} = e_i - \frac{1}{R} e_v$$

y finalmente

$$\dot{E}_{Td} = e_i \overline{V}e - e_v^2 \frac{1}{R}$$

Definiendo además a  $\overline{V}e = -k_1 e_i - k_2 e_v$  donde  $k_1$  y  $k_2$  son constantes, se tiene que la derivada de la función de energía deseada es

$$\dot{E}_{Td} = -e_v^2 \frac{1}{R} - k_1 e_i^2 - k_2 e_v e_i \quad \dots (29)$$

Para cumplir el propósito de control se requiere que la ecuación 29 sea menor que cero, con lo que se obliga a cumplir las siguientes condiciones:

$$\frac{1}{R} > 0$$

$$K1 > 0$$

$$K2 < \sqrt{\frac{4k1}{R}}$$

Además recordando que  $Ve = (2\mu - 1)Vb$  se tiene que

$$\overline{V}e = \begin{cases} Ve - L \frac{d_{iLd}}{dt} - V_{cd} \\ -k_1 e_i - k_2 e_v \end{cases}$$

$$Ve - L \frac{d_{iLd}}{dt} - V_{cd} = -k_1 e_i - k_2 e_v$$

$$V_e = L \frac{d_{iLd}}{dt} + V_{cd} - k_1 e_i - k_2 e_v$$

Ahora bien

$$(2\mu - 1)_e = \frac{V_e}{V_b}$$

$$\mu = \frac{1}{2} + \frac{1}{2} \frac{V_e}{V_b}$$

Finalmente la señal moduladora resultante del esquema de control es:

$$\mu = \frac{1}{2} + \frac{1}{2V_b} \left( L \frac{d_{iLd}}{dt} + V_{cd} - k_1 e_i - k_2 e_v \right) \quad \dots (30)$$

La ecuación 30 establece las siguientes características importantes:

- Es necesario poder medir la corriente del inductor y la tensión en el capacitor.
- Se requiere conocer el valor de la inductancia, capacitancia y tensión de bus.
- Conocer el valor de la resistencia de carga inicial.

### 5.2.1. Validación numérica del esquema de conmutación

Antes de poder implementar físicamente el esquema de conmutación se debe tener certeza de su buen funcionamiento, por lo que se procedió a validarlo por medio de simulaciones. En primer lugar se utilizó el programa Simulink en el cual se considera a los elementos pasivos como ideales y se dejan de lado las conmutaciones de los interruptores electrónicos. Posteriormente, se utilizó PSIM donde sí es posible simular tanto los efectos de conmutación como las no linealidades de los elementos. El reto en los dos casos es generar una señal senoidal deseada de 15 [Vp] a una frecuencia de 60 [hz] con una resistencia de carga conocida inicialmente. Posteriormente, se varía el valor de dicha carga, esperando que el sistema sea capaz de adaptarse y pueda mantener la tensión deseada.

En la Fig. 42 se muestra el diagrama a bloques del puente H y su esquema de conmutación programado en Simulink con una resistencia de diseño de 330 [ $\Omega$ ]. En las Figuras 43,44 y 45 se muestra la tensión en el capacitor para un valor de resistencia de carga distinta.

Los parámetros de simulación utilizados fueron:

$$V_{cd} = 15 \sin(60\pi t)$$

$$L = 3 [\text{mH}]$$

$$C = 23 [\mu\text{F}]$$

Resistencia inicial de carga = 330 [Ω]

K1=2, K2=0

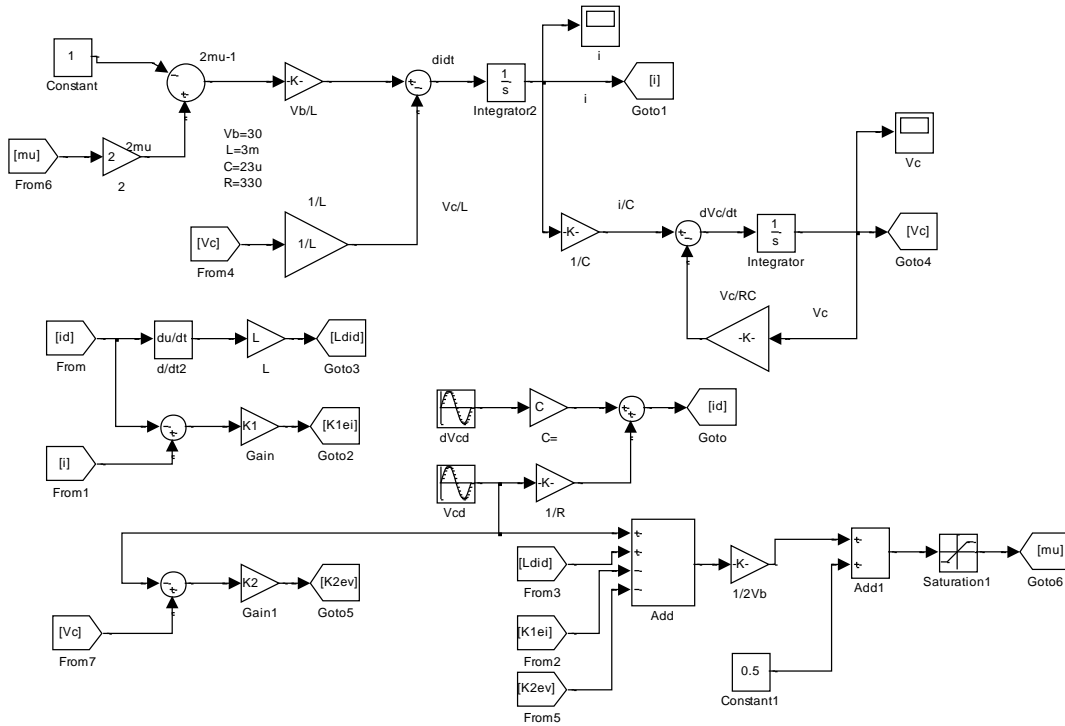


Figura 42 Diagrama a bloques del puente H y su esquema de conmutación

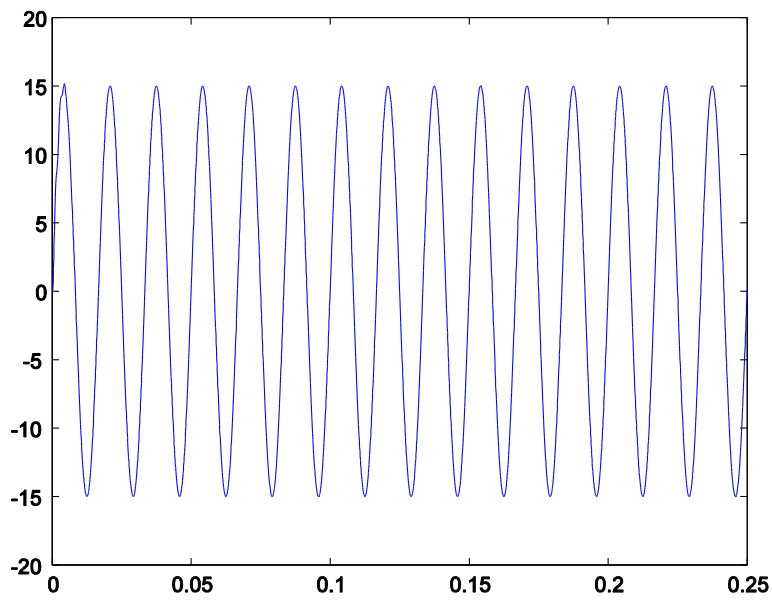
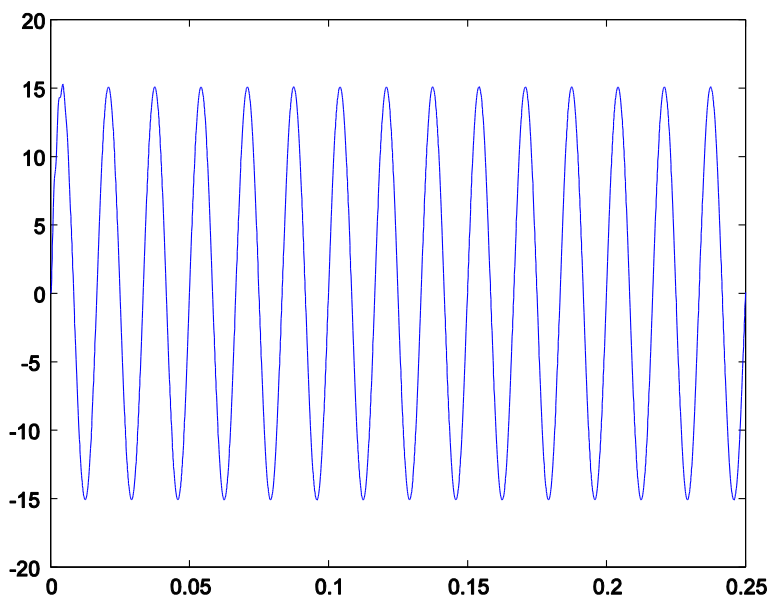


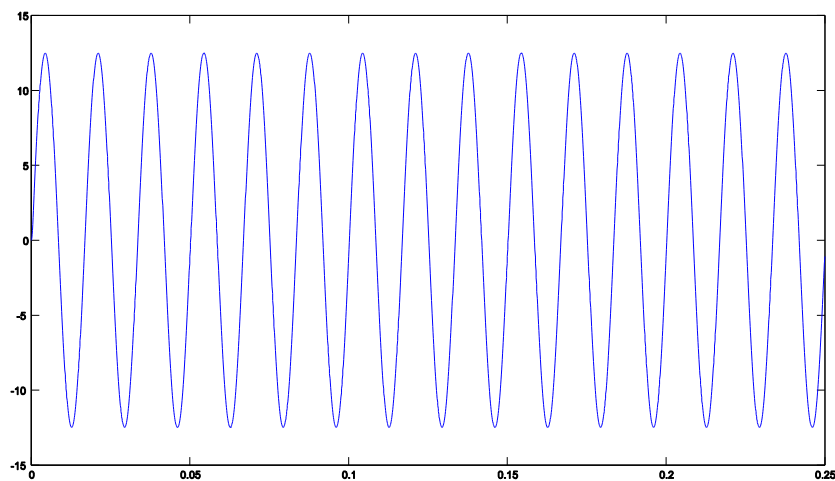
Figura 43 Tensión en el capacitor con R=330 [Ω]

con  $R=2200 \text{ } [\Omega]$ ,  $K1=2$ ,  $K2=0$



**Figura 44 Tensión en el capacitor con  $R=22000 \text{ } [\Omega]$**

con  $R=10 \text{ } [\Omega]$ ,  $K1=2$ ,  $K2=0$



**Figura 45 Tensión en el capacitor con  $R=10 \text{ } [\Omega]$**

Con base en las tres últimas gráficas, se observa que el esquema de control es capaz de generar la tensión deseada cuando se conecta una resistencia de  $330 \text{ } [\Omega]$  y una de  $2200 \text{ } [\Omega]$ , sin embargo cuando esta cambia a un valor de  $10 \text{ } [\Omega]$  el valor de la tensión cambia a  $13 \text{ } [\text{Vp}]$  lo cual representa una variación del 20 % del valor deseado. Lo anterior nos da una idea de la robustez del esquema de conmutación propuesto ya que presenta una desviación

de 20% del valor deseado cuando se presentan perturbaciones con porcentajes tan altos como el 97% del valor de la resistencia de diseño.

A continuación se muestran los resultados obtenidos a través del simulador PSIM en el cual es posible emular tanto las conmutaciones de los interruptores electrónicos como efectos parásitos de los elementos pasivos del sistema. La Fig. 46 muestra al puente H controlado por la señal moduladora “ $\mu$ ” generada por el esquema de control propuesto. También en este caso se varió el valor de la resistencia de carga.

Los parámetros de simulación utilizados fueron

- Inversor modulado por ancho de pulso senoidal.
- Frecuencia de la señal portadora de 8 [khz]
- $V_{cd}=15\text{sen}(60\pi t)$
- $L=3\text{[mH]}$
- $C=23\text{[}\mu\text{F]}$
- Resistencia de diseño= $330\text{ [}\Omega\text{]}$

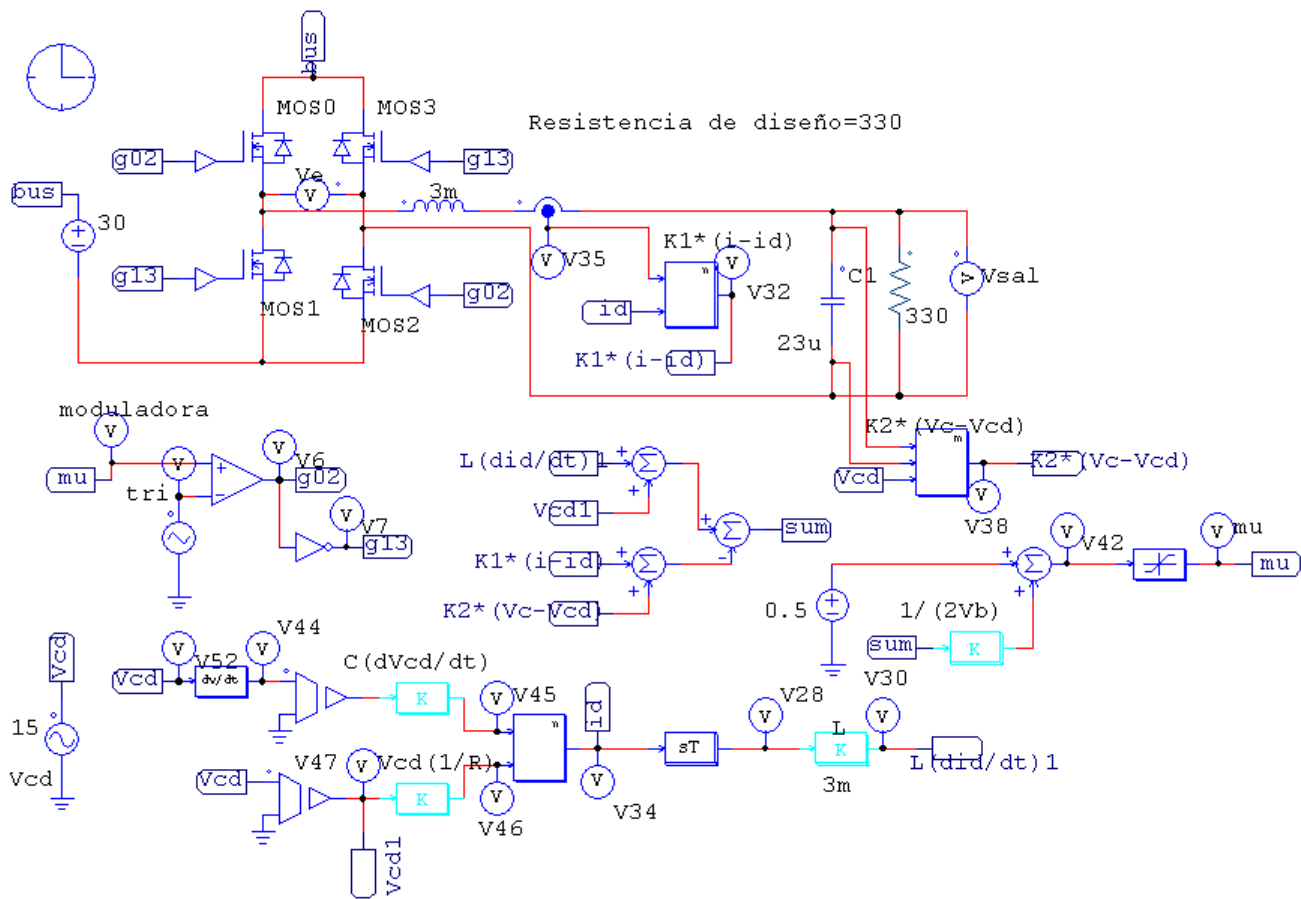
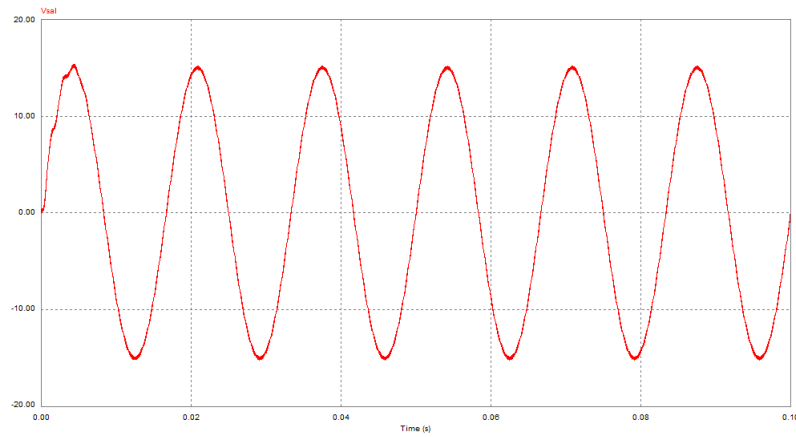
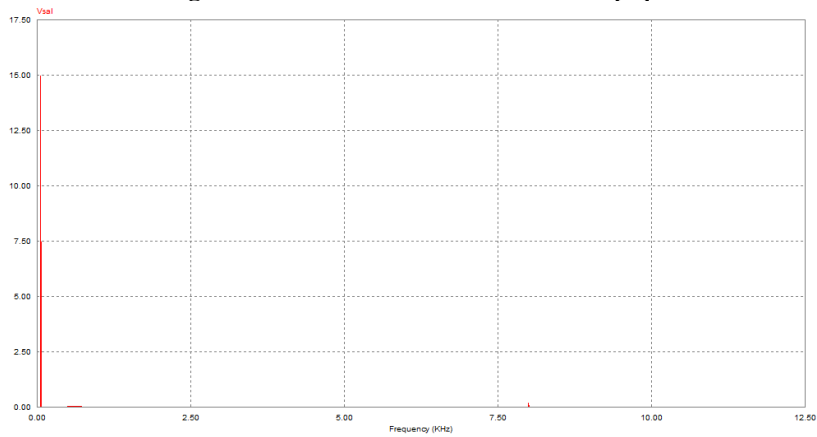


Figura 46 Puente H controlado por el esquema de conmutación

En la Fig. 47 se muestra la señal de tensión en el capacitor con una resistencia de carga de  $R=330\ [\Omega]$ , la magnitud es de 15 [Vp] con frecuencia de 60 [hz] y en la Fig. 48 se muestra el espectro de frecuencia de la señal cuya THD es de 0.24 %.



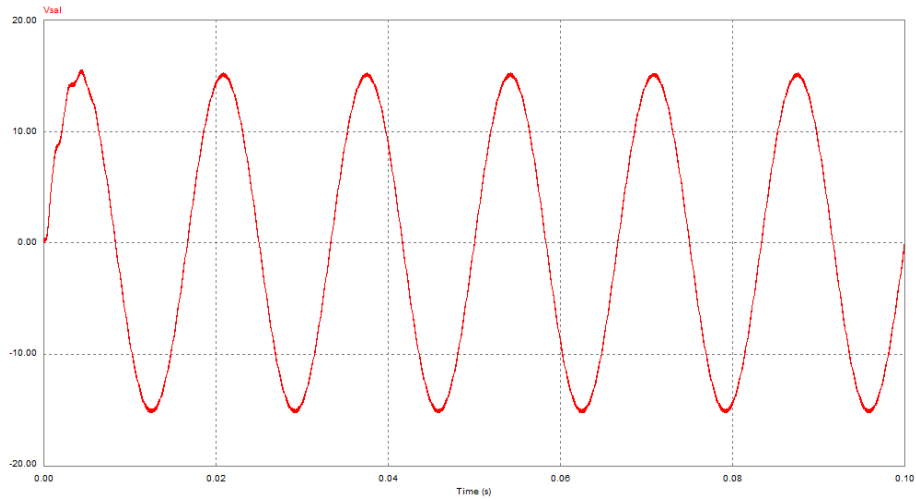
**Figura 47 Tensión de salida con  $R=330\ [\Omega]$**



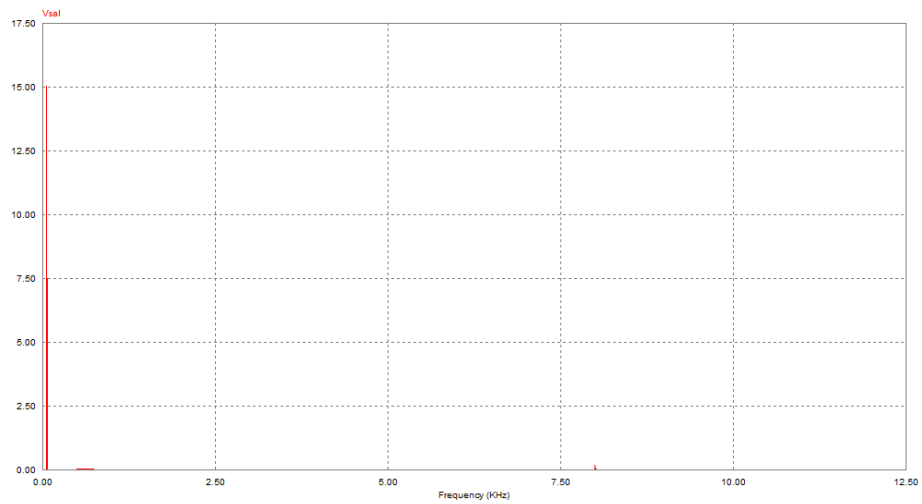
**Figura 48 Espectro de frecuencia con  $R=330\ [\Omega]$**

En la Fig. 49 la tensión de salida del inversor cuando  $R=2200\ [\Omega]$  es de 15 [Vp] con una THD de 0.27 % (Fig. 50).



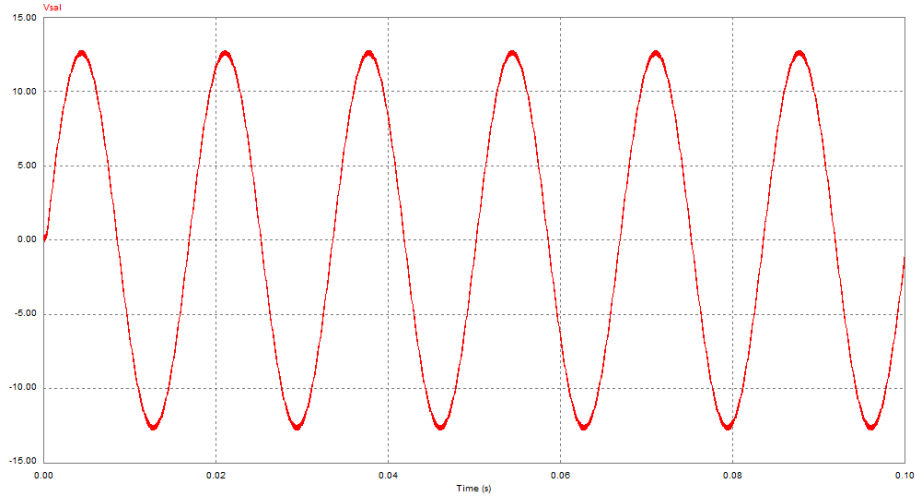


**Figura 49 Tensión de salida con R=2200 [Ω]**

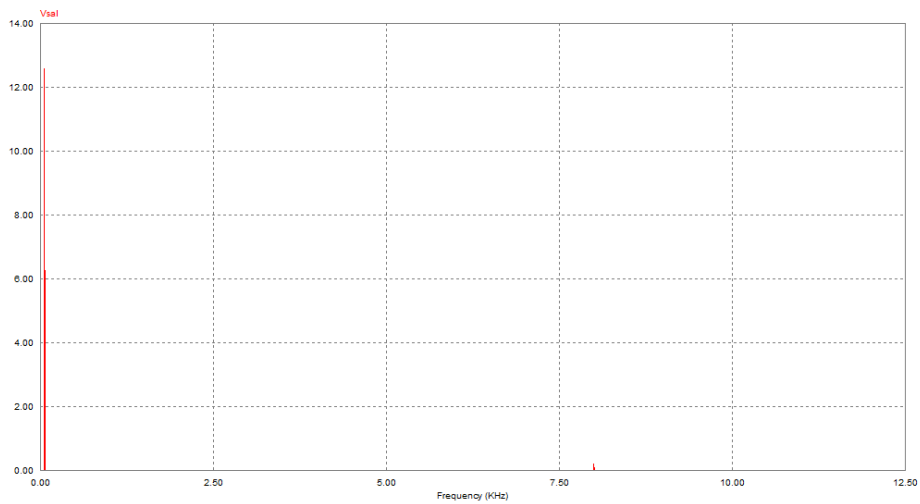


**Figura 50 Espectro de frecuencia con R=2200 [Ω]**

En la Fig. 51 se muestra la señal de tensión de salida con una resistencia de carga de R=10 [Ω], mientras que en la Fig. 52 se muestra el espectro de frecuencia de la señal cuya THD es de 0.5 %.



**Figura 51 Tensión de salida con R=10 [ $\Omega$ ]**



**Figura 52 Espectro de frecuencia con R=10 [ $\Omega$ ]**

De igual forma que sucedió en Simulink, se puede observar una disminución en la tensión del capacitor y el aumento en la THD cuando la resistencia de carga vale 10 [ $\Omega$ ], sin embargo tanto para el valor de 330 [ $\Omega$ ] y 2200 [ $\Omega$ ] el desempeño del inversor es el esperado. El resultado anterior muestra la capacidad de compensación del esquema propuesto ante cambios fuertes en el valor de la resistencia de carga incluso con una resistencia de carga de tan sólo 5% del valor nominal.

### **5.3. Evaluación experimental del esquema de conmutación**

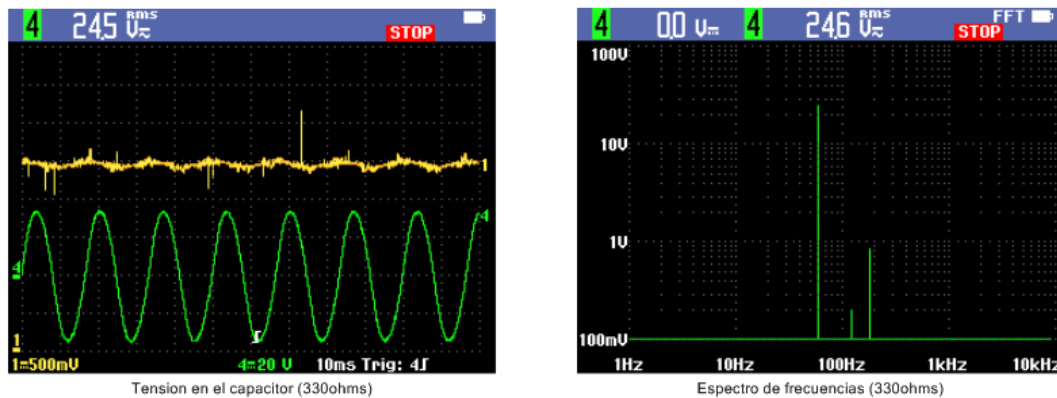
Una vez que se comprobó el buen funcionamiento del esquema de conmutación por medio de simulaciones, se procedió a su implementación en la tarjeta de datos Dspace de la etapa

de control. Para ello se utilizó el módulo PWM disponible en la misma y dos convertidores analógico-digitales, además se instrumentó la etapa de filtrado con el fin de poder medir tanto la corriente del inductor como la tensión en el capacitor. Para medir la corriente en el inductor se utilizó un sensor de efecto hall de la marca LEM modelo LTS 15-NP el cual produce una tensión proporcional a la corriente que fluye por él. Por otro lado se utilizó un transformador de tensión reductor con una relación de transformación 10:1 para poder medir la tensión en el capacitor y suministrarlo al convertidor analógico-digital de la Dspace.

Se realizaron tres pruebas en lazo abierto (sin esquema de conmutación) y tres en lazo cerrado con valor de resistencia de 330[Ω], 2200[Ω] y 10 [Ω]. Además se obtuvo la THD de la señales. A continuación se presentan las graficas obtenidas.

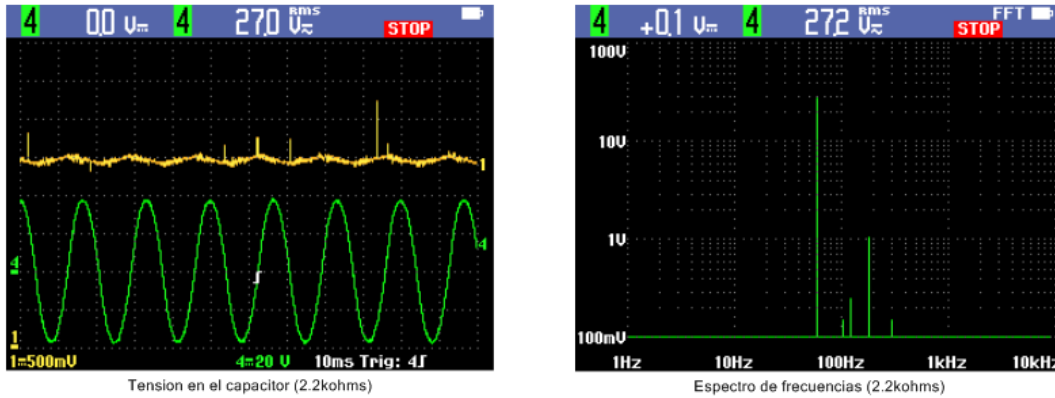
### 5.3.1. Lazo abierto

Bajo la condición de lazo abierto se desea obtener una tensión de salida de 15 [Vp] a frecuencia de 60 [hz], para ello se utilizó modulación por ancho de pulso senoidal a una frecuencia de conmutación de 8 [khz] y un voltaje de bus de 30 [V]. La tensión obtenida y su espectro de frecuencia se muestran en la Fig.53, en ella se observa que la tensión en el capacitor es de 34 [Vp] cuando R=330 [Ω] y su distorsión armónica es de 3.4 %.



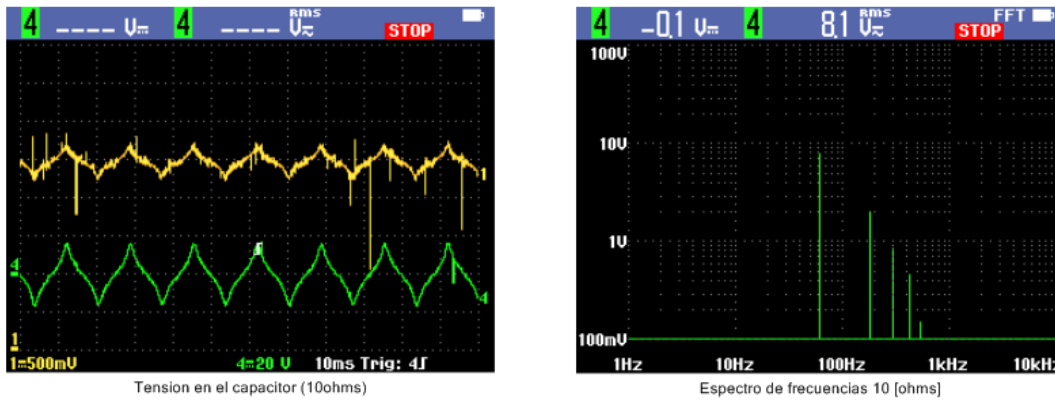
**Figura 53 Tensión de salida y distorsión armónica con R=330 [Ω]**

Para R=2200 [Ω] se obtuvo una tensión de 38 [Vp] y una THD de 3.92 %.



**Figura 54 Tensión de salida y espectro de frecuencias con  $R=2200 [\Omega]$**

Cuando  $R=10 [\Omega]$  el valor de la tensión de salida fue de 17 Vp y una THD del 27.2 %.



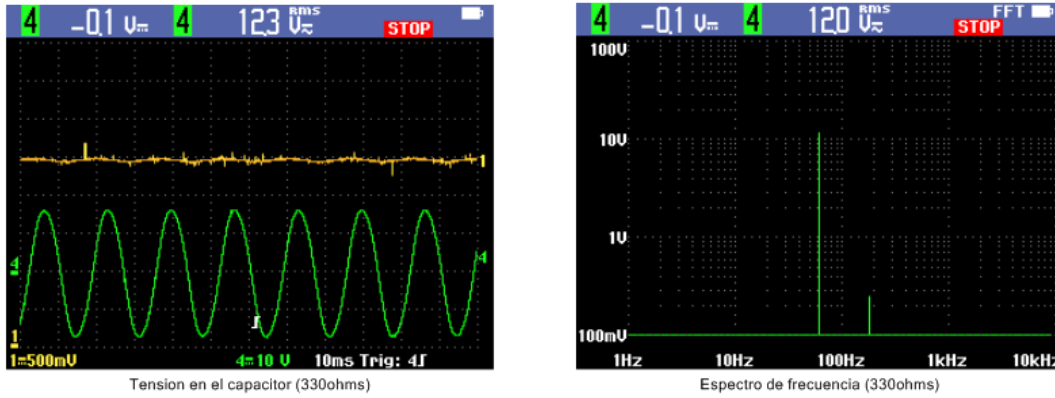
**Figura 55 Tensión de salida y espectro de frecuencias con  $R=10[\Omega]$**

Como se observa en las figuras, si bien la frecuencia de la señal es la deseada, en ninguno de los casos anteriores se pudo alcanzar la magnitud deseada siendo el caso de  $R=10 [\Omega]$  el más alejado del deseado debido a la forma de la señal.

A continuación se muestran los resultados cuando el inversor funciona controlado por el esquema de conmutación propuesto.

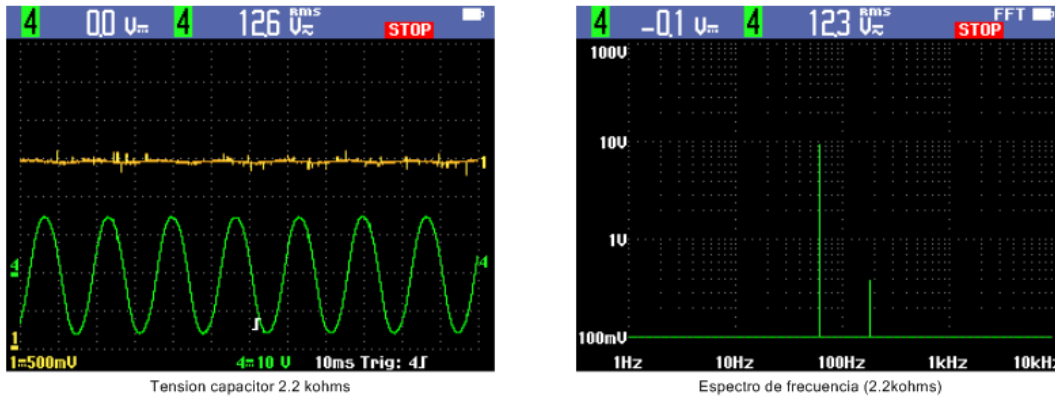
### 5.3.2. Lazo cerrado

En la Fig.56 se muestra la tensión de salida cuando con  $R=330 [\Omega]$ , se observa que esta es de 15 [Vp] y que la THD es de 1.96 %.



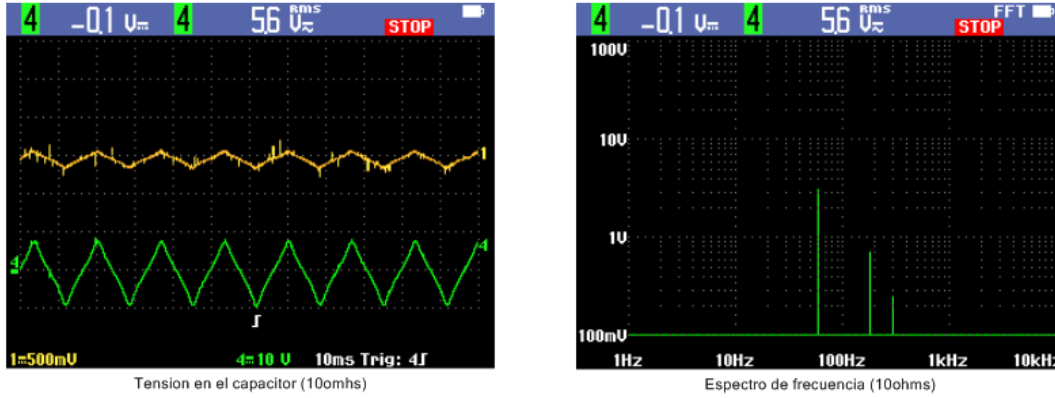
**Figura 56 Tensión de salida y espectro de frecuencias con  $R=330[\Omega]$**

La tensión de salida del inversor con  $R=2200 [\Omega]$  se muestra en la Fig.57, tiene una magnitud de 15 [Vp] la cual coincide con el valor deseado y presenta una THD de 2.6 %.



**Figura 57 Tensión de salida y espectro de frecuencias con  $R=10[\Omega]$**

Finalmente, en la Fig. 58 se presenta el caso cuando  $R=10 [\Omega]$  como se observa la señal obtenida dista mucho de la deseada en cuanto a forma (THD=15.29 %) y magnitud (8 [Vp]).



**Figura 58 Tensión de salida y espectro de frecuencias con  $R=10[\Omega]$**

Con esto termina la evaluación de un inversor de tres niveles tanto en lazo abierto y cerrado. En la Tabla 6 se muestran los valores obtenidos. Se observa que en lazo cerrado el inversor proporcionó la tensión deseada de 15 [Vp] a una frecuencia de 60 [hz], además de presentar señales con menor distorsión que en lazo abierto. Tanto en lazo abierto como cerrado el desempeño del inversor con  $R=10$  no fue adecuado ya que no se generó la tensión deseada.

Resistencia de carga [ $\Omega$ ]	Lazo abierto		Lazo cerrado	
	Tensión de salida [Vp]	THD [%]	Tensión de salida [Vp]	THD [%]
Con $R=330$	34	3.4	15	1.96
Con $R=2200$	38	3.92	15	2.6
Con $R=10$	17	27.2	8	15.29

**Tabla 6. Resultados experimentales**

## CAPÍTULO 6. CONCLUSIONES

Como resultado de la presente investigación se ha realizado un estudio de los convertidores inversores multinivel y el diseño e implementación uno de cinco niveles, como un elemento funcional de un sistema de evaluación experimental de algoritmos de conmutación, el cual tiene por finalidad verificar el funcionamiento y rendimiento de sistemas, donde se presenta la transformación de tensión directa a alterna.

El inversor multinivel implementado es monofásico y está basado en la topología de inversores puente H conectados en cascada. Durante su diseño se utilizaron los programas de simulación Pspice y PSIM con el fin de proporcionar un panorama supuesto de la operación del sistema.

El inversor fue construido con elementos discretos de fácil adquisición, disponibles en el mercado nacional y cuenta con un sistema de protección que monitorea la validez de la secuencia de encendido de los interruptores electrónicos y avisa oportunamente al usuario de situaciones de riesgo.

El diseño del sistema de protección está basado en lógica programable a través de la descripción hecha en VHDL y su implementación se llevó a cabo en dispositivos lógicos programables (PLD), obteniendo resultados satisfactorios en cuanto a velocidad y rendimiento. Esta forma de diseño permitió también la generación de los tiempos muertos en los puentes H por medio del sistema de protección, con lo que se evitó el uso de elementos extras que generaran el tiempo muerto ahorrando así en espacio y costo.

Una vez implementado el inversor, se realizaron pruebas experimentales que evaluaron su funcionamiento y a pesar de que el valor máximo de la tensión de bus en dichas pruebas fue de 300 [V] y frecuencia de 20 [khz], el inversor es capaz de manejar tensiones y corrientes mayores, solo limitado por la capacidad de los dispositivos electrónicos utilizados.

Como una aportación extra, se dedujo un esquema de conmutación enfocado a inversores puente H, que es capaz de generar y mantener una tensión deseada a la salida del inversor a pesar de variaciones en el valor de la carga conectada.

El desarrollo del esquema consistió en la determinación de las ecuaciones matemáticas necesarias y, de igual forma que con el inversor, su validación numérica se llevó a cabo por medio del programa Simulink. Finalmente, su implementación se hizo en un tarjeta de datos de la marca Dspace.

Los resultados experimentales mostraron un buen funcionamiento del esquema de conmutación ya que se obtuvo la señal de tensión de parámetros deseados (tensión y frecuencia). Además se observó una reducción en el contenido armónico de la misma cuando esta se comparó con su contraparte en las pruebas de lazo abierto. Por otro lado, el

esquema exhibe un buen grado de robustez ya que ante variaciones del orden del 90% en el valor de la carga, la tensión de salida sufrió cambios no mayores al 30%.

Por otro lado, durante la realización de este trabajo se establecieron aspectos del sistema desarrollado que pueden ser mejorados en el futuro, entre ellos, el de modificar la programación del PLD y del esquema de control con el fin de disminuir los recursos de hardware utilizados.

Un aspecto pendiente aún, es la evaluación experimental del inversor multinivel ante esquemas de control. Para ello se requiere en primer lugar establecer el modelo matemático del sistema, la determinación del esquema de conmutación correspondiente y la programación del mismo.

Tomando en cuenta los argumentos anteriores, se concluye que se cumplieron satisfactoriamente los objetivos planteados al inicio de este trabajo de tesis.

Con esto termina el presente trabajo y se sientan bases para la continuación de la investigación sobre convertidores electrónicos.



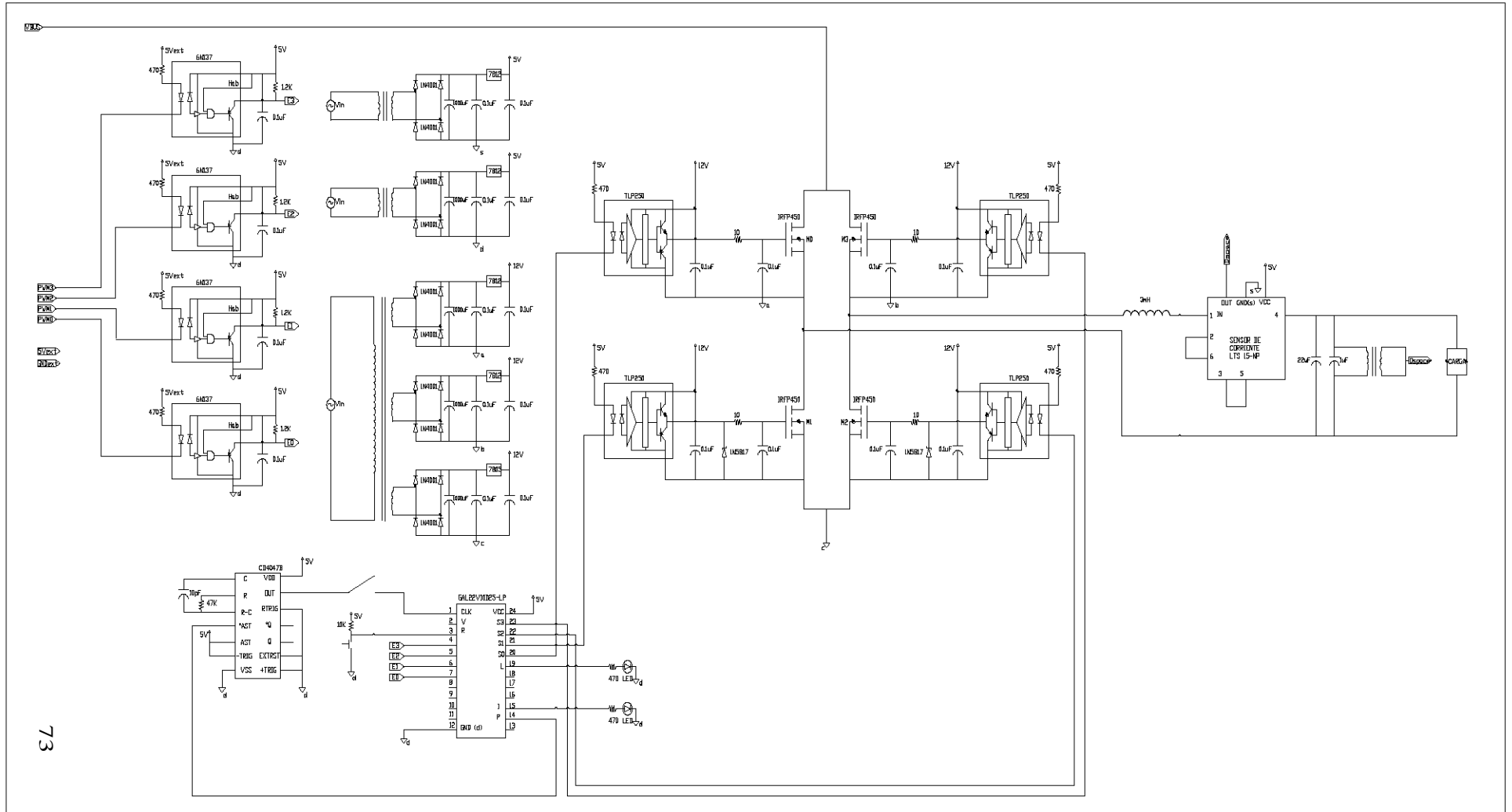
## **APÉNDICES**

En esta sección se presenta documentación complementaria generada durante la realización de esta tesis, como es el diagrama esquemático del sistema electrónico implementado, la descripción del sistema de protección en VHDL y los esquemas de los circuitos impresos realizados (PCB).

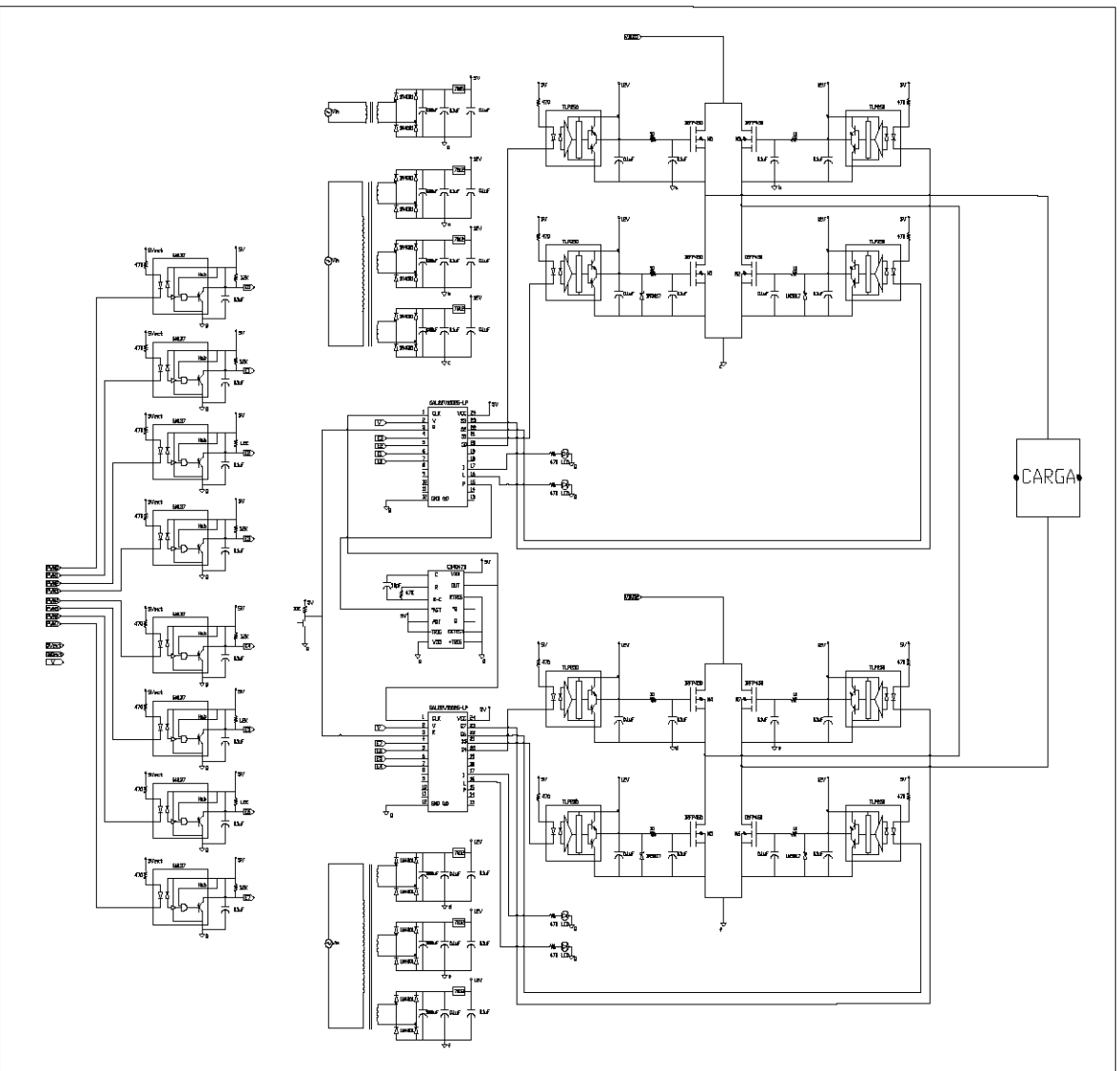
### **A1. Diagrama esquemático del inversor de tres niveles**

### **A2. Diagrama esquemático del inversor de cinco niveles**

## A2. Diagrama esquemático del inversor de tres niveles



A2. Diagrama esquemático del inversor de cinco niveles



### A3. Tarjetas de circuitos impresos

Los circuitos impresos se llevaron a cabo con el programa Dip Trace de libre acceso a continuación se muestra los esquemas de la tarjeta de disparos del inversor, del puente H, del bus de tensión directa, y del filtro de salida.

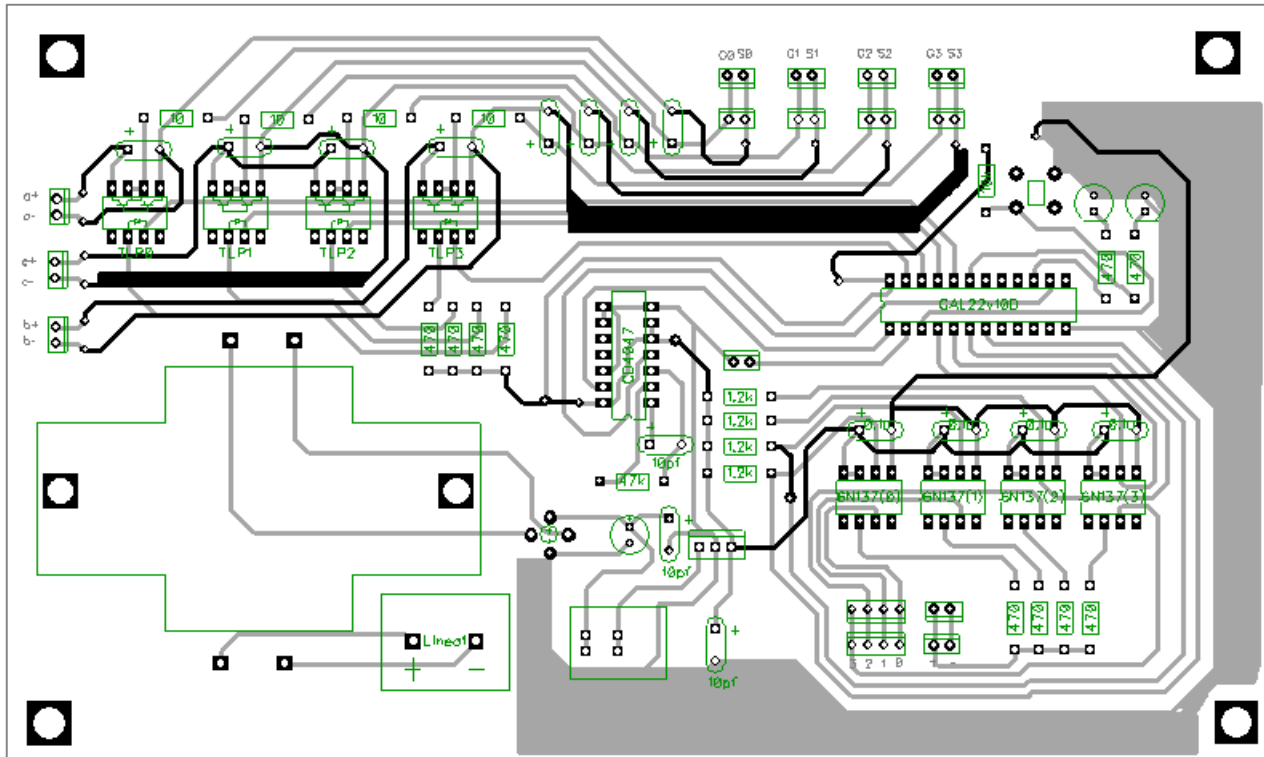


Figura 58 Tarjeta PCB de disparos

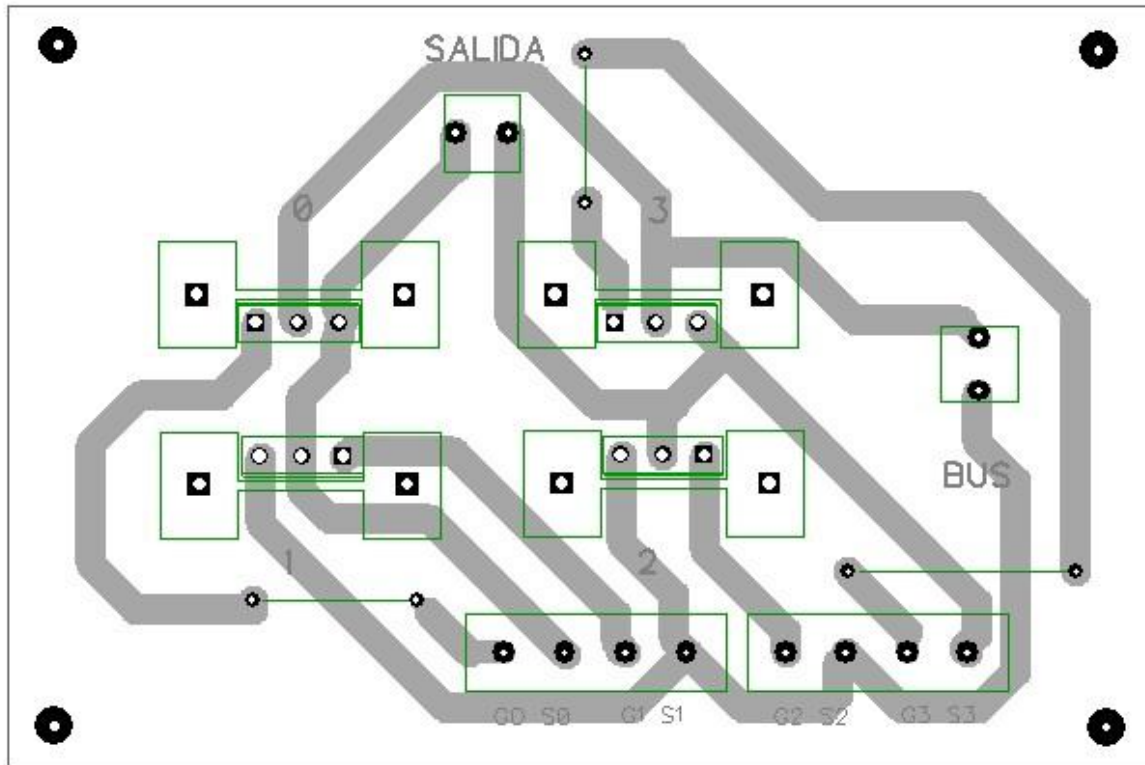


Figura 59 Tarjeta PCB del puente H

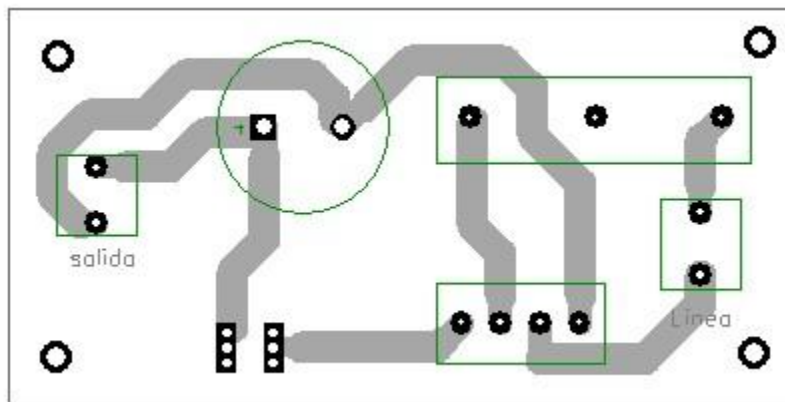


Figura 60 Tarjeta PCB del bus de tensión de CD

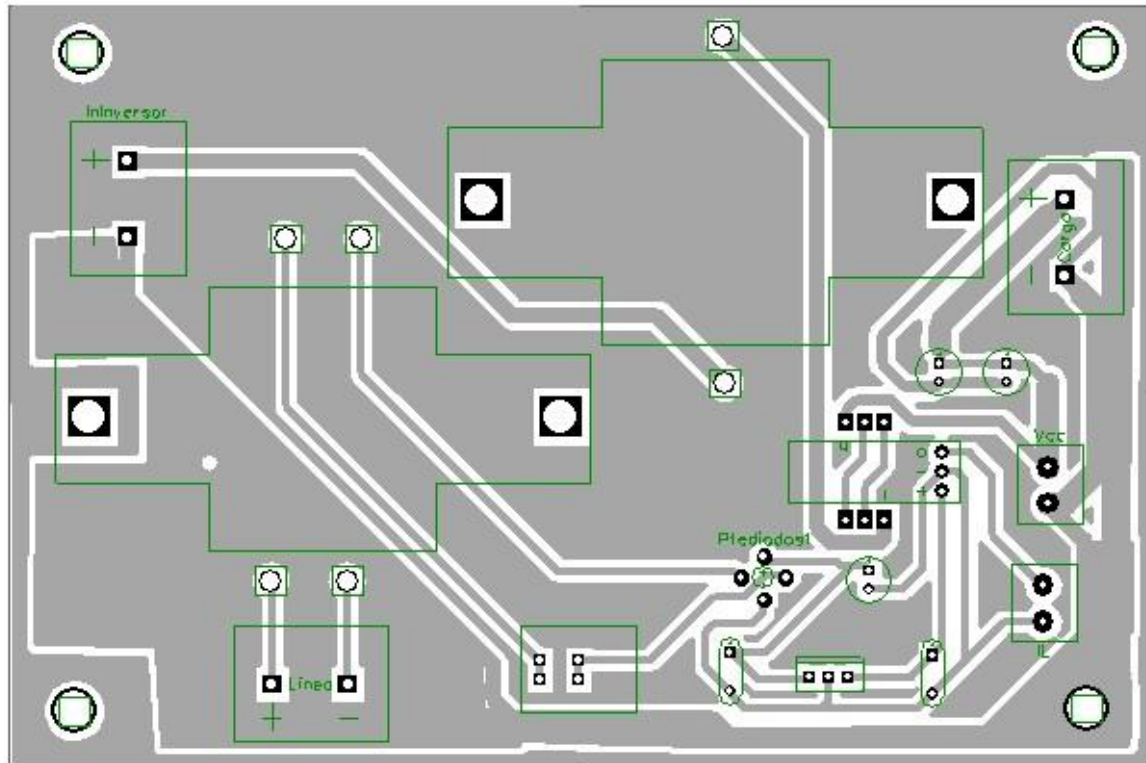


Figura 61 Tarjeta PCB del filtro de salida

#### A4. Descripción de hardware del sistema de protección en VHDL

```
Library IEEE;
use IEEE.std_logic_1164.all;
entity i3nmaster is
port(Entrada: in integer range 0 to 15;
      clk,V,R: in std_logic;
      P,L,I: out bit;
      Salida: out integer range 0 to 15);
attribute pin_numbers of i3nmaster : entity is
"Salida(3):23 Salida(2):22 Salida(1):21 Salida(0):20 V:2 R:3";
end entity;

Architecture algo of i3nmaster is
type estado is (inicio,cero,vcd,cerobajo,ceroalto,menosvcd,otro,cortado);
signal presente: estado:=inicio;
begin
process (clk,R)--ASM
begin

if R='0' then
presente<=inicio;
elsif clk'event and clk='1' then
case presente is

when inicio=>if V='0' then
presente<=cortado;
elsif Entrada=0 then
presente<=cero;
elsif Entrada=5 then
presente<=vcd;
elsif Entrada=6 then
presente<=cerobajo;
elsif Entrada=9 then
presente<=ceroalto;
elsif Entrada=10 then
presente<=menosvcd;
else
presente<=otro;
end if;

when cero=>if V='0' then
presente<=cortado;
elsif Entrada=0 then
presente<=cero;
else
presente<=inicio;
end if;

when vcd=>if V='0' then
presente<=cortado;
elsif Entrada=5 then
presente<=vcd;
else
presente<=inicio;
```

```

        end if;

when cerobajo=>if V='0' then
    presente<=cortado;
    elsif Entrada=6 then
        presente<=cerobajo;
    else
        presente<=inicio;
    end if;

when ceroalto=>if V='0' then
    presente<=cortado;
    elsif Entrada=9 then

        presente<=ceroalto;
    else
        presente<=inicio;
    end if;

when menosvcd=>if V='0' then
    presente<=cortado;
    elsif Entrada=10 then
        presente<=menosvcd;
    else
        presente<=inicio;
    end if;

when otro=>if V='0' then
    presente<=cortado;
    elsif Entrada=1 then
        presente<=otro;
    elsif Entrada=2 then
        presente<=otro;
    elsif Entrada=3 then
        presente<=otro;
    elsif Entrada=4 then
        presente<=otro;
    elsif Entrada=7 then
        presente<=otro;
    elsif Entrada=8 then
        presente<=otro;
    elsif Entrada=11 then
        presente<=otro;
    elsif Entrada=12 then
        presente<=otro;
    elsif Entrada=13 then
        presente<=otro;
    elsif Entrada=14 then
        presente<=otro;
    elsif Entrada=15 then
        presente<=otro;
    else
        presente<=inicio;
    end if;

when cortado=>presente<=cortado;

```



```

        when others=>presente<=inicio;

    end case;
end if;
end process;

process(presente)--asignacion de salidas
begin
    case presente is
        when inicio=>Salida<=15;
            P<='1';
            L<='0';
            I<='0';
        when cero=>Salida<=15;
            P<='1';
            L<='0';
            I<='0';
        when vcd=>Salida<=10;
            P<='1';
            L<='0';
            I<='0';
        when cerobajo=>Salida<=9;
            P<='1';
            L<='0';
            I<='0';
        when ceroalto=>Salida<=6;
            P<='1';
            L<='0';
            I<='0';
        when menosvcd=>Salida<=5;
            P<='1';
            L<='0';
            I<='0';
        when otro=>Salida<=15;
            P<='1';
            L<='0';
            I<='1';
        when cortado=>Salida<=15;
            P<='0';
            L<='1';
            I<='0';
        when others=>Salida<=15;
            P<='1';
            L<='0';
            I<='0';

    end case;
end process;

end algo;

```

## Bibliografía

- [1] Batarseh Issa, *“Power Electronic circuits,”* John Wiley, USA 2004.
- [2] K.A. Corzine, S.D. Sudhoff, E.A. *“Use of multilevel converters in ship propulsion drives”*, Proc, All Electric Ship Conference, London U.K. 1998.
- [3] Espinosa Perez, Noriega Pineda, Cardenas V. *“Passivity-based Control of An Asymmetric Nine-Level Inverter for Harmonic Current Mitigation”*. IET Power Electronics, accepted for publication, 2011.
- [4] J. Rodriguez, J.Lai, *“Multilevel Inverters: A survey of Topologies, Controls, and Applications”*, IEEE Trans. On Industrial Electronics, 2002.
- [5] Rashid H. Muhammad , *“Electrónica de potencia circuitos, dispositivos y aplicaciones,”* Pearson Prentice Hall, México 2004.
- [6] Sobero A. Guillermo, *“Diseño y construcción de un inversor de 500W para la interconexión de un Sistema Fotovoltaico con la red eléctrica”* Tesis de maestría en ingeniería eléctrica. Facultad de Ingeniería. UNAM, México 2011.
- [7] Mohan Ned. *“Power Electronics. Converters, Applications and Design”*, John Wiley, USA 1989.
- [8] Maniktala Sanjaya. *“Switching Power Supplies A to Z”*, John Wiley, Elsevier, UK 2006.
- [9] Pressman Abraham I. *“Switching Power Supply Design”*, McGraw-Hill, USA 1991.
- [10] D. Grahame Holmes, Thomas A. Lipo. *“Pulse width for power converters: principles and practice”*, IEEE Press Series on Power Engineering. USA 2003.
- [11] Núñez Gutiérrez Ciro A. *“Análisis de alternativas para la implementación del filtro de potencia con alta eficiencia, aplicado a convertidores CD/CA utilizados en sistemas de alimentación no convencionales ”*, Tesis de maestría CENIDET. 1997
- [12] Hart Daniel W. *“Electrónica de potencia”*, Prentice Hall. España. 1997
- [13] Rashid H. Muhammad, *“Power Electronics Handbook”*, Academic Press. Canadá 2001.
- [14] Morris Mano M. *“Diseño Digital”*, Pearson Educación. México 2003.
- [15] Campos-Canton, G. Espinosa-Perez, *“Nonlinear Control of Half-Bridge DC-AC Converter Application to UPS”*. 38<sup>th</sup> Conference on Decision & Control. USA 1999.

[16] D. Noriega-Pineda, G. Espinosa-Pérez, V. Cárdenas. “*Passivity-based Control of Multilevel Cascade Inverters: High Performance with Reduced Switching Frequency*”. Int. Journal of Robust and Nonlinear Control. 2008.

[17] Jiménez Antúnez Olga. “*Estudio de técnicas de modulación para convertidor multinivel en cascada asimétrico*”. Tesis de Maestría CENIDET. México. 2009.