



**UNIVERSIDAD NACIONAL AUTÓNOMA DE  
MÉXICO**

**FACULTAD DE INGENIERÍA**

**EXTRACCIÓN DE CAPACITANCIAS  
PARÁSITAS DE TRANSISTORES FinFETs  
DE TRES COMPUERTAS**

**T E S I S**

PARA OBTENER EL GRADO DE:  
INGENIERO ELÉCTRICO Y ELECTRÓNICO

**P R E S E N T A**

**DAVID LUCARIO MATÍAS**



DIRECTOR DE TESIS  
DR. JULIO CESAR TINOCO MAGAÑA

CIUDAD UNIVERSITARIA, MÉXICO 2011.



Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## AGRADECIMIENTOS

*A nuestra máxima casa de estudios que es la Universidad Nacional Autónoma de México y a la Facultad de Ingeniería por abrirme las puertas y el poder disfrutar de su majestuoso campus, que hasta la fecha, han sido piezas fundamentales para mi inspiración y desarrollo profesional.*

*A los catedráticos y miembros del jurado, quienes día a día se comprometen por la educación y por venir de nuestro país.*

*A la Université Catholique de Louvain, Laboratoire D'Hyperfrequences, Bélgica, por permitirme formar parte de sus investigaciones al concederme las mediciones de radio frecuencia, indispensables para poder realizar esta tesis.*

*Al Doctor Julio Tinoco, tu apoyo, tu tiempo, tu conocimiento, tu paciencia, tu esmero, tus regaños, por tan sólo citar algunos aspectos, me guiaron para formar otro criterio y visión. Sigue con ese compromiso, en hora buena Doc.*

*A mis padres, Roque y Martina, quienes con su amor, esfuerzo y sabios consejos, han allanado el camino de mi vida. Me alegra demasiado ser su hijo.*

*A mis hermanos, Raquel y Oscar, quienes nunca me dejaron y confiaron todo el tiempo en mí.*

*A la persona tan especial en mi vida, Erika Deneb, eres mi fuente y motor para generar y asentar ideas, me miro reflejado en ti. Tu apoyo incondicional y paciencia a lo largo de este trabajo de tesis, forman parte de muchas cualidades que observo en ti, que en síntesis, lo denomino amor.*

*A todos y con orgullo, ¡mil gracias!*

*¡México, Pumas, Universidad!*

*Otoño de 2011*

# CONTENIDO

<b>INTRODUCCIÓN .....</b>	<b>1</b>
---------------------------	----------

## **CAPÍTULO I**

### **REVISIÓN HISTÓRICA DE LOS MOSFETS**

1.1 Introducción: Antecedentes de los transistores .....	7
1.2 Transistores de radio frecuencia (RF) .....	8
1.2.1 Transistores de materiales III-V .....	8
1.2.2 MOSFETs de Si para aplicaciones de RF .....	10
1.2.3 Escalado del MOSFET .....	11
1.2.4 Figuras de mérito .....	15
1.3 Comparación de los transistores III-V vs. transistores de Si .....	16
1.4 Referencias .....	17

## **CAPÍTULO II**

### **MODELOS DE SEÑAL PEQUEÑA DEL MOSFET**

2.1 Introducción .....	21
2.2 Estructura y principio de operación del MOSFET .....	21
2.2.1 Regiones de operación del MOSFET .....	24
2.3 Modelado y caracterización del MOSFET en RF .....	26
2.3.1 Efecto útil .....	26
2.3.2 Modelo cuasi-estático .....	27
2.3.3 Parámetros extrínsecos .....	29
2.3.3.1 Capacitancias extrínsecas .....	29
2.3.3.2 Resistencias e inductancias extrínsecas .....	30
2.3.3.3 Parámetros de acceso .....	32

2.4 Influencia de los efectos parásitos en el funcionamiento del MOSFET .....	33
2.5 Referencias.....	36

## **CAPÍTULO III**

### **MÉTODOS DE EXTRACCIÓN EN PEQUEÑA SEÑAL**

3.1 Introducción .....	39
3.2 Parámetros de DC .....	39
3.2.1 Característica transferencial en régimen lineal.....	39
3.2.2 Característica transferencial en régimen de saturación.....	42
3.2.3 Característica de salida .....	44
3.3 Parámetros de RF.....	46
3.3.1 Extracción de las resistencias extrínsecas .....	46
3.3.2 Método de Bracale.....	47
3.3.3 Resultados de la extracción de las resistencias extrínsecas por medio del Método de Bracale .....	49
3.4 Extracción de las capacitancias extrínsecas .....	53
3.4.1 Resultados de la extracción de las capacitancias extrínsecas .....	55
3.5 Referencias.....	58
 <b>CONCLUSIÓN</b> .....	 61

# INTRODUCCIÓN

---



Una de las disciplinas que ha tenido mayor evolución en el campo de la ingeniería ha sido la ingeniería electrónica, ya que esta rama ha dedicado muchos esfuerzos en los últimos años para el desarrollo y mejora de dispositivos semiconductores y circuitos integrados. Estos contribuyen con el desarrollo de diversas áreas del conocimiento humano, tales como: La medicina, la física, la química, la instrumentación, el control, las telecomunicaciones, la computación, entre otras. La electrónica, desde sus inicios, ha sido de gran utilidad para el ser humano, facilitando sus actividades a fin de mejorar su calidad de vida y logrando incrementar su potencial.

Uno de los dispositivos electrónicos que ha tenido mayor atención, es el transistor de efecto de campo MOSFETs (Metal-Oxide-Semiconductor Field Effect Transistor), el cual se ha colocado como candidato próspero para aplicaciones analógicas en los rangos de radio frecuencia (RF), microondas y ondas milimétricas.

La continua reducción de las dimensiones de los MOSFETs (actualmente con longitudes de canal de 45 nm) ha propiciado la aparición de efectos no deseados en su estructura, los cuales son llamados efectos de canal corto (SCE: short channel effects). A fin de minimizar los SCE, se han desarrollado nuevas tecnologías cuya finalidad es propiciar un funcionamiento más eficiente, recobrando el correcto desempeño de los transistores. Una de las principales alternativas tecnológicas es la tecnología SOI (Silicon On Insulator), gracias a la cual, se han logrado desarrollar dispositivos activos de muy alta calidad y muy alta frecuencia; ampliando las aplicaciones de la tecnología CMOS (Complementary Metal Oxide Semiconductor) al permitir la fabricación de dispositivos pasivos de muy alta calidad, facilitando el desarrollo de sistemas analógicos completos en un circuito integrado (SoC: System-on-Chip). Además, la tecnología SOI ha abierto camino a tecnologías alternativas como los transistores basados en múltiples compuertas o MuGFETs, como es el caso del transistor de tres compuertas con estructura tridimensional (3-D), denominado FinFET.

En la estructura del FinFET se originan efectos parásitos tales como resistencias, inductancias y capacitancias, las cuales limitan su óptimo desempeño. Recientemente se ha demostrado que las capacitancias parásitas son las que mayor degradación provocan en los FinFETs; por tal motivo, la presente tesis tiene como objetivo principal estudiar dichas capacitancias. Para ello, se recurrirá a distintas metodologías de extracción, las cuales emplearán mediciones de RF obtenidas de FinFETs funcionales.

Para cumplir el objetivo, en el Capítulo I se describe de manera sintetizada la historia de los MOSFETs, dejando en claro su evolución y las proyecciones que tienen a futuro en aplicaciones de muy alta frecuencia. También se discutirán los principales transistores de RF, como los transistores basados en materiales III-V, que son los más importantes en esta área. Además, se van a definir aspectos muy relevantes como es el escalado del MOSFET y las principales figuras de mérito relacionadas con su desempeño. Al final del capítulo, se compararán los transistores basados en materiales III-V vs. los

Transistores MOS, con la finalidad de demostrar que es un buen candidato para aplicaciones analógicas de frecuencias muy elevadas.

A fin de entender la física del MOSFET, en el Capítulo II se explicará la estructura y principio de operación de este transistor, donde se va a dar lugar al concepto de *efecto útil*. Con base en estos argumentos, se definirán las respectivas regiones de operación del dispositivo. Posteriormente, se va a describir el modelo de pequeña señal, definiendo tanto los parámetros intrínsecos como los extrínsecos que lo componen.

Por último, en el Capítulo III se explicarán y aplicarán los respectivos métodos de extracción de dichos parásitos, logrando determinar propiamente las resistencias extrínsecas y las capacitancias extrínsecas.

# **CAPÍTULO I**

## **REVISIÓN HISTÓRICA DE LOS MOSFETs**

---



## 1.1 Introducción: Antecedentes de los transistores

Durante la primera mitad del siglo XX, el bulbo fue el dispositivo más interesante y más desarrollado en la industria de la electrónica. En 1904, el diodo de vacío fue introducido por J.A Fleming. Posteriormente en 1906, Lee De Forest añadió un tercer elemento al diodo llamado *rejilla de control*, el cual dio paso al tríodo, primer amplificador de su tipo. En los años subsecuentes, la radio y la televisión fueron los principales sistemas en hacer mayor uso de los tubos de vacío, desarrollando su industria y logrando avances de diseño. [1.1].

En diciembre de 1947, Walter H. Brattain y Joseph Bardeen demostraron la acción amplificadora del primer transistor en los Laboratorios Bell, el cual se muestra en la figura 1.1 [1.1]. Las ventajas de este dispositivo de estado sólido sobre los bulbos fueron:

- Más pequeño y ligero.
- Menor disipación de calor.
- Construcción más resistente.
- Mayor eficiencia por el bajo consumo de energía.
- Uso de voltajes de operación más bajos.



Figura 1.1. Primer transistor desarrollado en los Laboratorios Bell.

A partir de entonces comenzó un gran esfuerzo buscando reemplazar los tubos de vacío, y es así como en 1958 se logró la fabricación de dispositivos basados en germanio (Ge) que operaban a frecuencias del orden de 1 GHz [1.2]. En 1963 comenzó el desarrollo de los transistores bipolares de silicio (Si) (BJT: Bipolar Junction Transistor); a pesar de que no era considerado un material adecuado para aplicaciones en altas frecuencias, los transistores de silicio comenzaron a ser competitivos para aplicaciones analógicas. Para el año de 1970, casi todos los transistores para tales aplicaciones fueron de silicio [1.3].

Posteriormente, con la continua búsqueda por mejorar los transistores, resultó innovador emplear arseniuro de galio (GaAs) para su fabricación ya que este material presenta alta movilidad de electrones comparado con el silicio. A la fecha, el GaAs es de los mejores materiales para la fabricación de transistores de muy alta frecuencia [1.3]. Los intentos por desarrollar BJTs basados en GaAs fueron infructuosos, debido a ello, se dedicaron mayores esfuerzos para desarrollar transistores de efecto campo (FET: Field Effect Transistor). En 1966, fue presentado el primer MESFET (Metal Semiconductor Field Effect Transistor) y a pesar de que al inicio este transistor no fue diseñado para aplicaciones de altas frecuencias, marcó un perfil importante para el desarrollo de los transistores de efecto de campo modernos. El MESFET evolucionó rápidamente reportando para el año de 1967 frecuencias de 3 GHz [1.3], para 1970 se reportó una frecuencia record de 30 GHz, dejando claro el mejor funcionamiento en frecuencia comparado con los BJTs de silicio de aquel tiempo que comúnmente se limitaban a operar a frecuencias menores a 4 GHz. Los MESFETs fueron los dispositivos más usados para aplicaciones de alta frecuencia durante la segunda mitad de la década de los 70 e inicios de los 80 y tuvieron significativos avances, mientras que el progreso de los transistores de silicio fue lento [1.3].

En 1980 se construyó un nuevo transistor de efecto de campo con alta movilidad de electrones denominado HEMT (High Electron Mobility). En 1995 se observó el funcionamiento a frecuencias mayores de 500 GHz para este tipo de transistores [1.2].

Los transistores MOSFET de silicio han mostrado también su potencial en los últimos 15 años, por lo que han ganado atención como potenciales candidatos para aplicaciones analógicas de muy alta frecuencia, ejemplo de ello es que, actualmente, las frecuencias de corte record son del orden de los 500 GHz. Por lo que ofrecen un gran desarrollo a futuro, para aplicaciones en sistemas electrónicos de muy alta frecuencia, en los rangos de las microondas y ondas milimétricas [1.4].

## **1.2 Transistores de radio frecuencia (RF)**

En seguida se explica de manera general cómo se encuentran en la actualidad los transistores de RF y sus tendencias a futuro, en lo que respecta al funcionamiento en pequeña señal, así como las principales figuras de mérito tales como frecuencia de corte ( $f_T$ ), frecuencia máxima de oscilación ( $f_{max}$ ) y mínima figura de ruido (NF), que serán abordadas más adelante.

### **1.2.1 Transistores de materiales III-V**

Los transistores HEMT, basados en materiales semiconductores III-V, han sido utilizados por varios años en aplicaciones de RF de muy alta frecuencia, siendo los más importantes en esta área. Dentro de este tipo de dispositivos se consideran a los transistores de fosforo de indio (InP), los más rápidos [1.4]. Además, actualmente los HEMTs de InP presentan menor ruido y su buen funcionamiento se debe a sus regiones activas así como a las propiedades del material con el que están fabricados. Una desventaja de los transistores de InP es su alto costo relativo [1.4].

En la figura 1.2 se muestra la comparación de las frecuencias de corte reportadas de los HEMTs con las frecuencias de los MOSFETs de Si, observando que para una longitud de canal ( $L$ ) mayor a 100 nm, los HEMTs muestran frecuencias de corte muy superiores que la de los Transistores MOS de silicio. Sin embargo, se puede observar que a medida que la longitud de canal de los MOSFET se reduce por debajo de 100 nm, su desempeño comienza a ser comparable con los HEMT de InP [1.4].

Por otro lado, la figura 1.3 muestra la frecuencia máxima de oscilación con respecto a la longitud de canal. En el caso de los HEMTs,  $f_{max}$  se reduce a medida que disminuye la longitud de canal. Por otro lado, para los dispositivos de Si,  $f_{max}$  continúa aumentando [1.4]. De este modo se espera que para longitudes de canal menores a 30 nm, los MOSFETs de Si mostrarán mejor desempeño que los HEMTs.

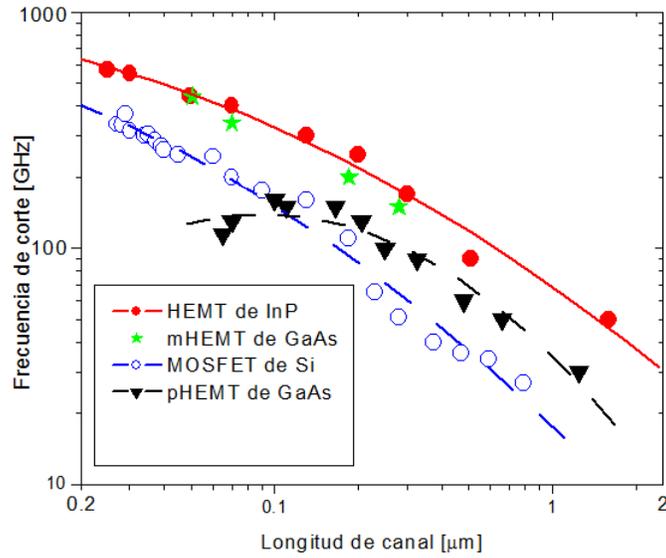


Figura 1.2. Frecuencia de corte reportada de los HEMTs III-V y los MOSFETs de Si vs. la longitud de canal.

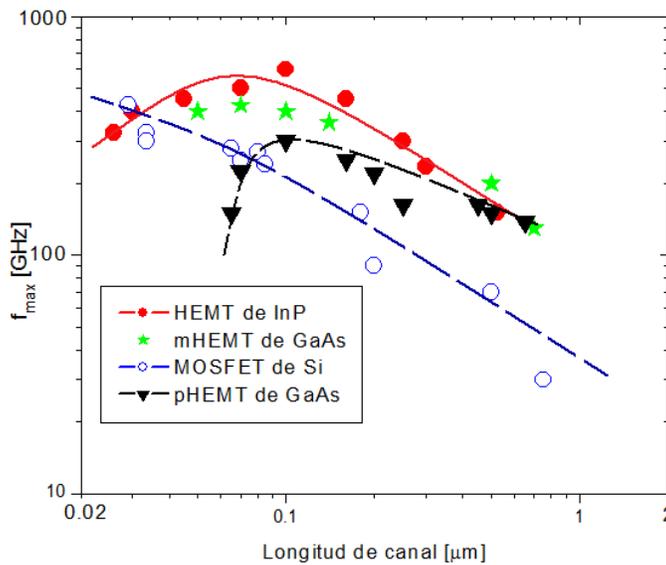


Figura 1.3. Máxima frecuencia de oscilación reportada de los HEMTs III-V y los MOSFETs de Si vs. la longitud de canal.

### 1.2.2 MOSFETs de Si para aplicaciones de RF

Anteriormente el MOSFET no se consideraba como un candidato para aplicaciones en RF, debido a que se consideraba lento y era un dispositivo que presentaba mucho ruido. Sin embargo, los esfuerzos que se han invertido en las últimas décadas para mejorar el desempeño de este transistor en aplicaciones digitales, ha permitido avances tanto en rendimiento como en velocidad de operación, de modo que las frecuencias de reloj se lograron incrementar hasta ordenes de GHz. Gracias a dichos resultados, se comenzó a considerar al transistor MOS como posible candidato para aplicaciones de RF, originando una búsqueda a fin de optimizar su estructura y sus parámetros para aplicaciones analógicas [1.4].

En la figura 1.4 se muestra la evolución tanto de la frecuencia de corte como de la frecuencia máxima de oscilación de los MOSFETs. Como puede observarse  $f_T$  ha tenido un incremento más o menos uniforme durante los últimos 20 años, alcanzando valores cercanos a los 400 GHz. Por otro lado,  $f_{max}$  no mostró avances significativos sino hasta el año 2002, a partir de ese año sufrió un incremento sustancial, fundamentalmente debido a la reducción de las resistencias parásitas asociadas a la compuerta del TMOS [1.4].

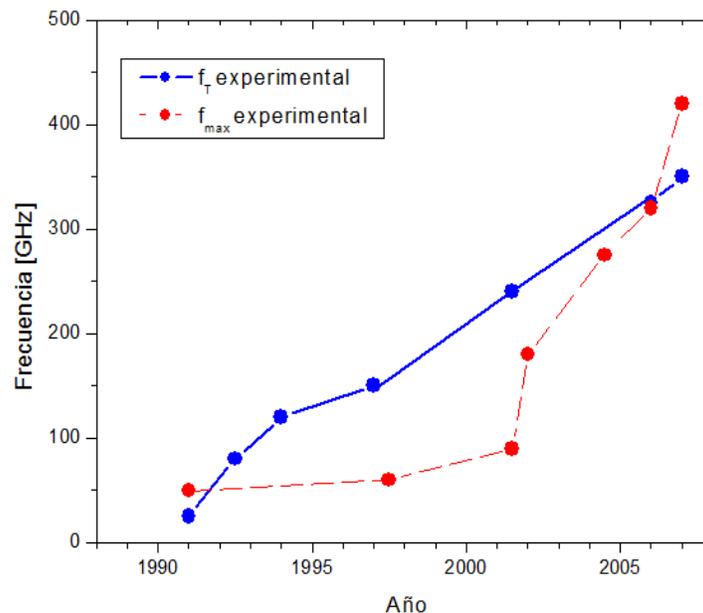


Figura 1.4. Evolución de la frecuencia de corte y la frecuencia de máxima oscilación de los MOSFETs de Si de RF vs. el tiempo.

Actualmente, los MOSFETs muestran frecuencias de operación mayores a los 500 GHz con longitud de canal de 30 nm, lo cual representa un progreso muy interesante [1.2]. Además, algunos estudios teóricos muestran que es factible el desarrollo de transistores MOS con frecuencias de corte del orden de THz, con longitudes de canal del orden de 10 nm, como se muestra en la figura 1.5 [1.4].

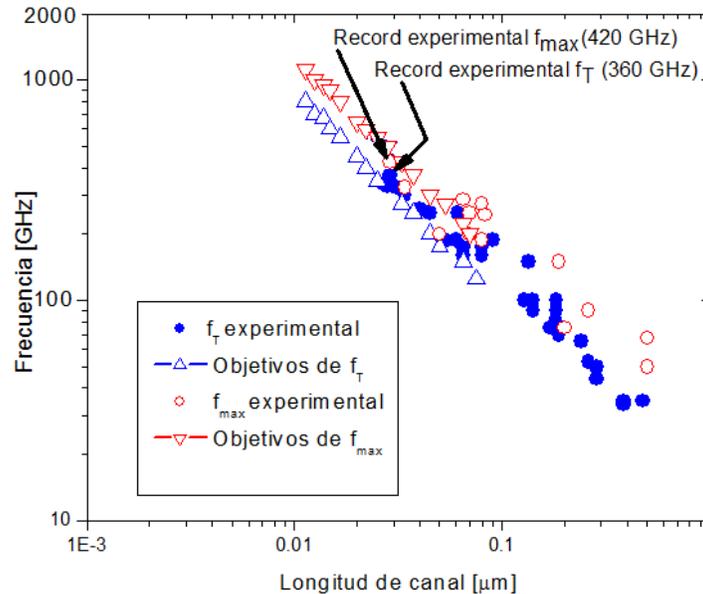


Figura 1.5. Tendencias de  $f_T$  y  $f_{max}$  vs.  $L$ , del transistor MOS.

Algunas razones que han permitido los progresos recientemente observados del TMOS son [1.4]:

- En los últimos años, los desarrollos para que estos transistores tengan mejor desempeño han sido constantes.
- El esfuerzo por lograr mejor escalado del dispositivo para aplicaciones digitales contribuye al mejor funcionamiento en RF.
- Las simulaciones hechas recientemente para transistores MOS escalados predicen frecuencias muy altas.

### 1.2.3 Escalado del MOSFET

El escalado (scaling-down) es la reducción de las dimensiones de la estructura del MOSFET, siendo su optimización el reto clave para la industria de semiconductores. Los objetivos del escalado son el de incrementar la velocidad de operación y la densidad de la integración en los circuitos integrados [1.2]. El escalado ha sido indispensable en el desarrollo de la microelectrónica en las últimas cuatro décadas y gracias a él, la electrónica digital evolucionó enormemente, de hecho, la densidad de integración pasó de cientos de dispositivos a cientos de millones de dispositivos en el mismo circuito integrado. Por otra parte, en los microprocesadores, las frecuencias de reloj incrementaron de MHz a GHz [1.5]. Algunas de las ventajas que tiene el transistor MOS son: mejor control del canal, alta integración, bajo consumo de potencia, en las últimas décadas ha incrementado su velocidad de operación, es resistente a altas temperaturas y es de bajo costo [1.5].

La finalidad de obtener mayores frecuencias, mayor velocidad de operación y estructuras muy reducidas de los MOSFETs no siempre es lograda, debido a que aparecen efectos que en conjunto degradan su funcionamiento. Dichos efectos pueden resumirse como la pérdida de control por parte de

la compuerta de los fenómenos que ocurren en el canal, los cuales son conocidos como efectos de canal corto (SCE) [1.5]. Además, las obleas de silicio, en donde son fabricados los transistores, tienen un espesor entre 300 y 500  $\mu\text{m}$ , pero sólo el primer micrómetro en la parte superior de la oblea es útil [1.6], por lo que el silicio restante de la oblea también presenta efectos parásitos asociados tales como resistencias y capacitancias. Debido a la degradación observada, es necesario buscar alternativas tecnológicas capaces de minimizar estos efectos.

Una posible alternativa para contrarrestar la degradación que sufren los transistores con canales muy pequeños, es hacer los dispositivos en una película delgada de silicio, la cual se deposita sobre un aislante [1.6]. Este proceso da origen a lo que se conoce como la tecnología SOI (Silicon on Insulator) o silicio sobre aislante (figura 1.6), la cual es una tecnología más madura [1.2], ya que permite reducir los efectos parásitos asociados al sustrato y presenta mayor inmunidad a los SCE, mejorando el funcionamiento del transistor.

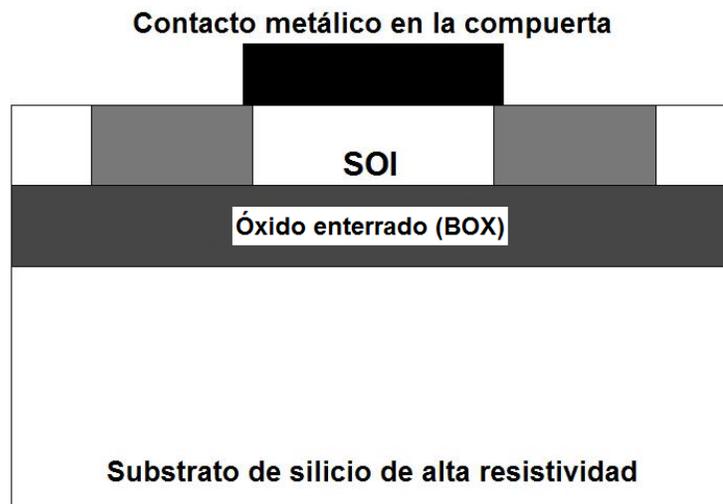


Figura 1.6. Esquema de la tecnología SOI.

A medida que las dimensiones de los MOSFET son reducidas por debajo de los 100 nm, las tecnologías convencionales y SOI no logran reducir de manera eficiente los SCE. Por tal motivo, otra alternativa muy interesante capaz de reducir dichos efectos, se encuentra en la fabricación de transistores con más de una compuerta (MuGFETs: Multiple-Gate MOSFETs) [1.2].

Existen varios tipos de MuGFETs, por ejemplo, el de doble-compuerta (DG), triple-compuerta (TG), cuádruple-compuerta (QG), compuerta-pi (PG), compuerta-omega ( $\Omega$ ), FinFET, etc. [1.7], muchos son los trabajos que han demostrado el potencial de estos dispositivos.

Recientes estudios de MuGFETs predicen frecuencias de corte muy altas, por ejemplo, en la figura 1.7, los MOSFETs de doble compuerta muestran frecuencias de corte entre 1.2 y 4.7 THz, para longitudes de canal de aproximadamente 20 nm [1.4].

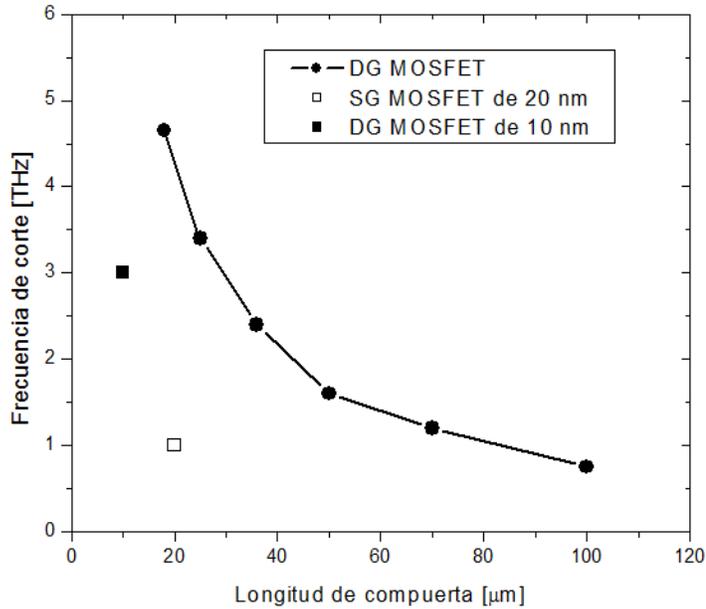
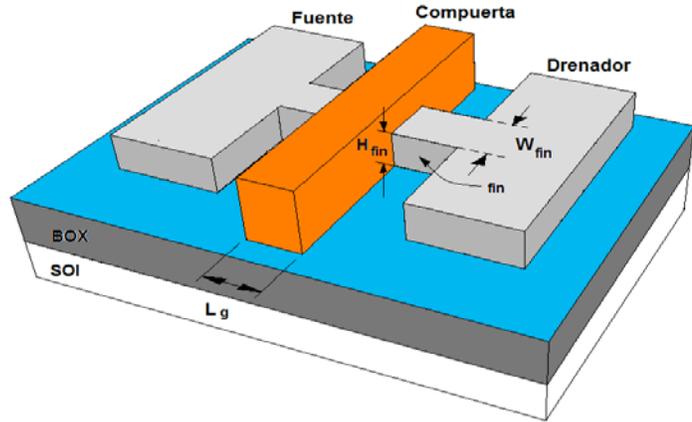


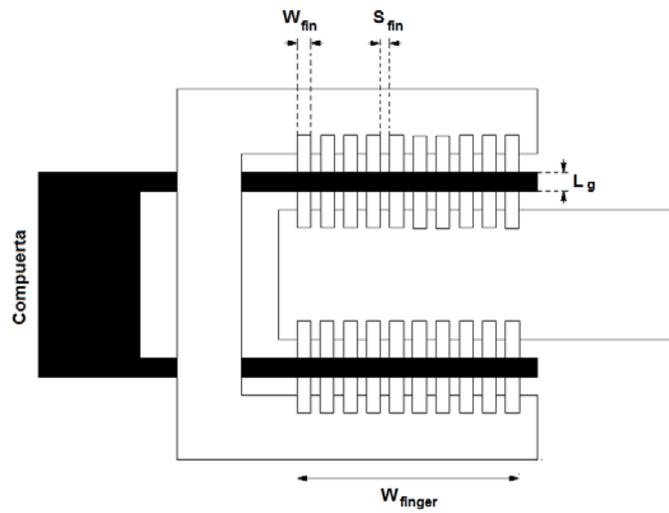
Figura 1.7. Frecuencias de corte simuladas de MOSFETs de doble-compuerta y una-compuerta.

Uno de los dispositivos de múltiples-compuertas más prometedores son los FinFETs, cuya tecnología de fabricación es compatible con la tecnología CMOS pero, que al utilizar substratos SOI, presenta mayor inmunidad a los SCE [1.2]. En la estructura de los FinFETs la compuerta se coloca en el canal de tal manera que lo rodea, produciendo tres compuertas activas. La capa activa de silicio entre la fuente y el drenador es conocida como *fin*, razón por la cual se le atribuye el nombre de FinFET a este tipo de MOSFET. La estructura básica del FinFET se presenta en la figura 1.8.a, en ella se especifican sus parámetros geométricos, tales como, la longitud de compuerta  $L_g$ , el ancho de fin  $W_{fin}$  y la altura del fin  $H_{fin}$ .

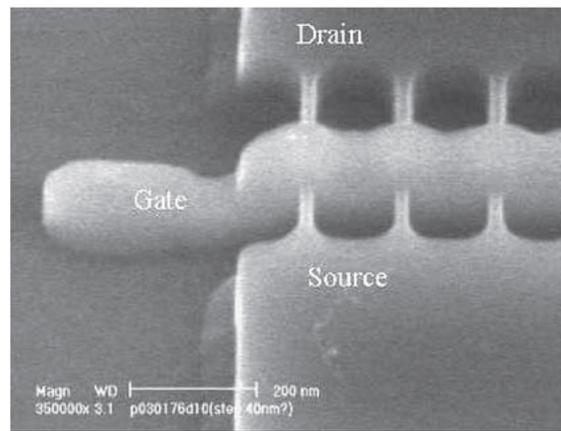
Los transistores de RF requieren de longitudes de canal muy pequeñas y, al mismo tiempo, anchos de canal muy grandes. A fin de realizar estos dispositivos en la menor área posible de silicio, se utiliza la configuración multidedos (multi-finger), la cual consiste en fabricar varias compuertas conectadas en paralelo, como se muestra en la figura 1.8 b. De este modo se formarán varios canales en paralelo, produciendo el efecto de un solo canal, cuyo ancho total será la suma de los anchos de los fingers. En el caso de los FinFETs para RF, se fabrican con la misma tecnología multifinger, pero además cada finger se construye con una cierta cantidad de fins en paralelo, de modo que el ancho total es la suma del número total de fins.



(a)



(b)



(c)

Figura 1.8. (a) Estructura básica del FinFET. (b) Geometría de un FinFET compuesto de 2 fingers con 10 fins cada uno. También es notable el espacio entre fins  $S_{fin}$  [1.8]. (c) Fotografía de la estructura de un FinFET [1.9].

### 1.2.4 Figuras de mérito

Las principales figuras de mérito para los transistores de RF son:

- Frecuencia de corte  $f_T$ . Es la frecuencia a la cual la magnitud de la ganancia de corriente es 1 (0 dB) [1.3]. Para el transistor MOSFET, este parámetro puede definirse mediante la siguiente ecuación [1.3].

$$f_T = \frac{g_{mi}}{2\pi (C_{gs} + C_{gd})(1 + g_{di}R_{se}) + C_{gd}g_{mi}R_{se}} \quad (1.1)$$

Donde la transconductancia  $g_{mi}$  es proporcional al ancho  $W$  y a la longitud de canal  $L$  del transistor.

$$g_{mi} \propto \frac{W}{L} \quad (1.2)$$

$g_{di}$ : Conductancia en el drenador.

$C_{gs}$ : Capacitancia de compuerta-fuente.

$C_{gd}$ : Capacitancia de compuerta-drenador.

$R_{se}$ : Resistencia de fuente extrínseca.

$g_{mi}$ : Transconductancia.

- Frecuencia máxima de oscilación  $f_{max}$ . La principal característica del transistor es la de amplificar señales, por lo que es importante que el dispositivo tenga estabilidad, evitando oscilaciones. El transistor puede ser analizado como un bipuerto, en cuya entrada se conecta una fuente o generador de señales y en la salida una carga. Por lo tanto la capacidad de transferir la máxima potencia hacia la carga, se le denomina ganancia en potencia. La frecuencia máxima de oscilación es la frecuencia a la cual la ganancia en potencia es 1, es decir, el dispositivo proporciona potencia en estado estable [1.3].

$$f_{max} = \frac{f_T}{2[2\pi f_T R_{ge} C_{gd} + g_{di}(R_{ge} + R_{se})]^{1/2}} \quad (1.3)$$

$R_{ge}$ : Resistencia de compuerta extrínseca.

- Mínima figura de ruido  $NF_{min}$ . El transistor también recibe señales de ruido no deseadas en la entrada, las cuales también serán amplificadas. Sin embargo, otro factor importante que se genera en la salida del transistor es el ruido intrínseco el cual debe ser reducido lo más posible. Con lo anterior, la mínima figura de ruido es una medida de la degradación en la relación de señal a ruido (signal-to-noise ratio) entre la entrada y la salida de un componente. La mínima figura de ruido es definida como [1.3]:

$$NF = 10 \log \left( \frac{P_{Si}/P_{Ni}}{P_{So}/P_{No}} \right) \quad (1.4)$$

$P_{Si}$  y  $P_{So}$ : Potencia de la señal en la entrada y en la salida, respectivamente.

$P_{Ni}$  y  $P_{No}$ : Potencia del ruido en la entrada y en la salida, respectivamente.

Un transistor ideal sin ruido debe presentar una NF igual a 1 (0 dB). La magnitud de la mínima figura de ruido es dependiente del acoplamiento en la entrada del transistor, condiciones de polarización y la frecuencia.

### 1.3 Comparación de los transistores de materiales III-V vs. transistores de Si

Con el transcurso de los años, hubo diversas interpretaciones de los efectos de la movilidad de los portadores en los transistores de RF. En los primeros desarrollos de los HEMTs, la alta movilidad de los electrones se consideró como la condición más importante para fabricar dispositivos rápidos, por lo que se llegó a la conclusión de que los transistores de materiales III-V deben ser mucho más rápidos que los transistores de Si, en especial el MOSFET, por tener muy baja movilidad de electrones [1.4].

Más tarde se sugirió que para transistores de longitudes pequeñas, la movilidad no afectaba de manera importante la velocidad de operación del transistor, debido a que en el canal del FET la velocidad de los electrones está saturada. Finalmente, un nuevo punto de vista sobre los MOSFET estableció que el transporte de electrones, aún con canales extremadamente cortos, está fuertemente afectado por la inyección de electrones de la fuente al canal, lo cual se relaciona con la masa efectiva del electrón y por lo tanto con su movilidad. Desde este punto de vista, los FETs III-V de nuevo tienen ventaja comparados con el silicio [1.4].

Por otro lado, un estudio reciente, comparando el potencial de diferentes materiales para transistores rápidos fue hecho por Fischetti y Laux [1.4]. Ellos concluyeron que los semiconductores III-V con pequeñas masas efectivas, sufren de baja densidad de estados en las bandas. Un pequeño número de estados disponibles significa un gran cambio en el nivel de Fermi y, por lo tanto, mayor variación del voltaje de compuerta necesario para alcanzar una adecuada concentración de electrones en el canal del FET ( $n_{sh}$ ).

La transconductancia del FET  $g_{mi}$  se define como la variación de la corriente de drenador  $I_{ds}$  a causa de una variación del voltaje de compuerta  $V_{gs}$  [1.4]:

$$g_{mi} = \frac{dI_{ds}}{dV_{gs}} \quad (1.5)$$

Donde la variación de la corriente de drenador es proporcional a la concentración de electrones en el canal del FET.

$$\frac{dI_{ds}}{dV_{gs}} \propto n_{sh} \quad (1.6)$$

Mientras que los materiales III-V ofrecen alta velocidad de electrones, los FETs basados en estos compuestos padecen de una pequeña variación de concentración de electrones en el canal comparado

con los FETs de silicio, debido a la baja densidad de estados de dichos materiales [1.4]; es decir, presentan una  $g_{mi}$  pequeña, la cual limita las frecuencias de corte  $f_T$  y  $f_{max}$ .

Por el contrario, los MOSFETs tienen ventaja sobre los transistores de materiales III-V, porque el silicio presenta alta densidad de estados en las bandas [1.4]; además, su estructura contiene una barrera muy delgada de aislante entre la compuerta y el canal, lo cual hace a los transistores MOS más inmunes a los SCE [1.4]. Estos aspectos compensan la baja movilidad en el canal de los transistores MOS.

La idea de que los transistores de materiales III-V son más rápidos y mejores que los TMOS, no es del todo cierta, puesto que se ha demostrado que los transistores de silicio han mejorado en los últimos años y comienzan a ser competitivos, incluso superando el desempeño de los HEMTs de GaAs [1.4].

## 1.4 Referencias

- [1.1] Boylestad, Robert L., "Electronic Devices and Circuit Theory", Prentice Hall, pp. 131,132, New Jersey 2002, 8ª ed.
- [1.2] Raskin, J.P., "SOI Technology: An Opportunity for RF Designers?", Journal of Tele-communications and Information Technology, 2009.
- [1.3] Schwierz, Frank, Liou, Juin J., "Modern Microwave Transistors: Theory, Design and Performance", John Wiley & Sons, pp. 1-14, New Jersey 2003, 1ª ed.
- [1.4] Schwierz, F., Liou, J. J., "RF transistors: Recent Developments and Roadmap Toward Terahertz Applications", Fachgebiet Festkörperelektronik, Technische Universität Ilmenau, Germany, School of EE and CS, University of Central Florida, Orlando, FL Julio 2007.
- [1.5] Tinoco, Julio C., Raskin, Jean-Pierre, "Microwave and Millimeter wave Technologies: From Photonic Bandgap Devices to Antenna and Applications", In-Tech, pp. 205-210, Marzo 2010.
- [1.6] Raskin, Jean-Pierre, "Modeling, Characterization and Optimization of MOSFET's and Passive Elements for the Synthesis of SOI MMIC's", Université Catholique de Louvain, Laboratoire D'Hyperfrequencies, pp. 0.3, 0.4, Diciembre 1997.
- [1.7] Colinge, J. P., "Multiple-gate SOI MOSFETs", Department of Electrical and Computer Engineering, University of California, Davis 2004.
- [1.8] Lederer D. *et al.*, "Dependence of FinFET RF Performance on Fin Width", IEEE Solid-State Electronics, Marzo 2006.
- [1.9] Lederer D. *et al.*, "FinFET Analogue Characterization from DC to 110 GHz", Elsevier Solid-State Electronics, Septiembre 2005.
- [1.10] Vendelin, George D., Pavo, Anthony M., Rohde, Ulrich L., "Microwave Circuit Design: Using Linear and Nonlinear Techniques", Wiley, pp. 103, New Jersey 2005, 2ª ed.



# **CAPÍTULO II**

## **MODELOS DE SEÑAL PEQUEÑA DEL MOSFET**

---



## 2.1 Introducción

El modelado y caracterización de los transistores MOS en altas frecuencias es de gran importancia para el diseño de los sistemas analógicos, para lo cual se utiliza la definición del modelo de circuito equivalente. En este capítulo se explicará la estructura y principio de operación del MOSFET, así como los conceptos fundamentales que permitirán entender su circuito equivalente, incluyendo tanto los parámetros intrínsecos como extrínsecos. Finalmente, se observará la influencia no deseada que tienen los elementos parásitos, los cuales degradan el desempeño del TMOS.

## 2.2 Estructura y principio de operación del MOSFET

El MOSFET es el principal miembro de la familia de los transistores de efecto campo (llamados así porque el canal está controlado por un campo eléctrico). De acuerdo al tipo de conductividad del canal, se tienen transistores de canal tipo  $n$  y canal tipo  $p$ . En estos dispositivos los portadores que se encuentran en el canal fluyen de la fuente al drenador [2.1]. Estos dispositivos son conocidos como “tipo de enriquecimiento”, llamados así debido a que al incrementar el voltaje aplicado a la compuerta se incrementa la densidad de portadores libres en la región del canal, aumentando su conductividad y, como consecuencia, la corriente que fluye a través del dispositivo.

El MOSFET posee cuatro terminales que son: la compuerta  $G$  (gate), la fuente  $S$  (source), el drenador  $D$  (drain) y el substrato  $B$  (bulk) [2.1]. La estructura básica de un transistor tipo  $n$  se ilustra en la figura 2.1. En la zona activa, que corresponde a la zona entre la fuente y el drenador, se fabrica una estructura MOS, la cual consiste de una capa muy delgada de óxido de silicio ( $\text{SiO}_2$ ) depositada sobre el substrato. Finalmente sobre el  $\text{SiO}_2$  se deposita una capa de silicio policristalino muy fuertemente dopado, la cual se comporta como un semimetal. De este modo, la estructura MOS corresponde a una estructura formada por un metal, un óxido aislante y el silicio. Las regiones de drenador y fuente consisten de zonas tipo  $n$  muy fuertemente dopadas, de modo que forman uniones N-P con el substrato.

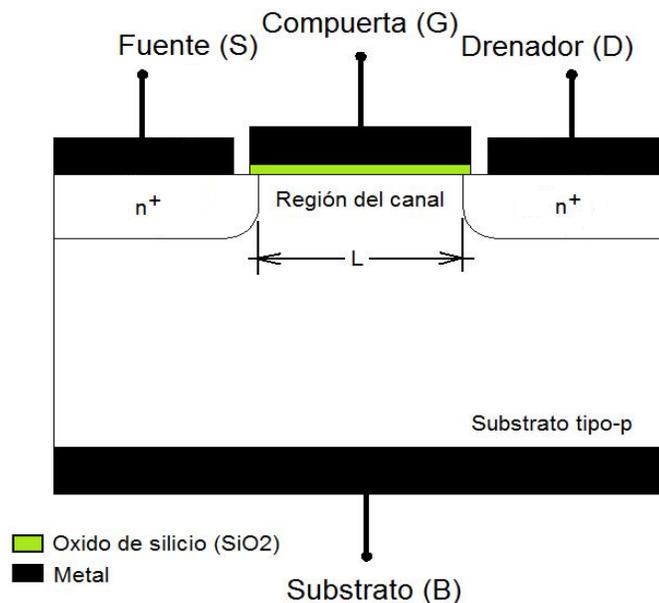


Figura 2.1. Sección transversal de la estructura del MOSFET.

El principio de operación básico del MOSFET es el control de la corriente que fluye a través del canal ( $I_{ds}$ ), mediante el voltaje aplicado entre la compuerta y la fuente  $V_{gs}$ . Este fenómeno se conoce como *efecto útil*, que se verá a detalle más adelante [2.2] [2.3].

Cuando se aplica un voltaje positivo a la compuerta, resulta un campo eléctrico perpendicular a la superficie del silicio. Dicho campo repele los huecos  $p$  de la superficie y atrae electrones  $n$  hacia ella. Si el voltaje de compuerta  $V_{gs}$  es suficientemente grande, la densidad de electrones concentrados en la superficie aumenta de forma importante, mientras que la densidad de huecos prácticamente se reduce hasta llegar a cero. Por lo tanto, la conductividad de la región entre la fuente y el drenador es transformada a tipo-n, es decir, el voltaje de compuerta induce una capa de inversión que forma un canal de electrones y que une las islas de drenador y fuente. El voltaje mínimo que provoca la inversión es llamado voltaje de umbral  $V_T$  [2.4]. Cuando el voltaje de compuerta es incrementado más allá de  $V_T$ , la densidad de electrones incrementa gradualmente.

La figura 2.2 muestra al MOSFET con voltaje de drenador  $V_{ds} = 0$  y un voltaje de compuerta  $V_{gs}$  positivo y mayor al voltaje de umbral  $V_T$  ( $V_{gs} > V_T$ ). Al ser  $V_{ds} = 0$ , no existe fuerza alguna en el canal que mueva los electrones de la fuente al drenador y consecuentemente  $I_{ds} = 0$ , por lo tanto, la concentración de electrones depende únicamente de  $V_{gs}$  produciendo un canal uniforme [2.4].

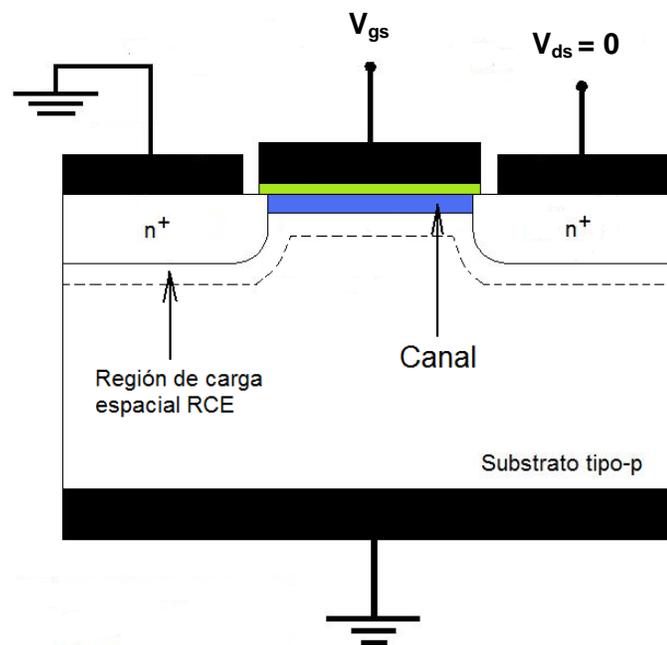


Figura 2.2. Sección transversal de un MOSFET con  $V_{gs} > V_T$  y  $V_{ds} = 0$ .

Ahora si se aplica un voltaje  $V_{ds} > 0$  al transistor, tal como se muestra en la figura 2.3, se establecerá un campo eléctrico a lo largo del canal. Este campo genera una fuerza sobre los electrones, los cuales se desplazarán desde la fuente hacia el drenador, por lo que comienza a crecer la corriente  $I_{ds}$ . A medida que se incrementa  $V_{ds}$ , el  $V_T$  en el borde del drenador se incrementa, debido fundamentalmente al incremento de la región de carga espacial (RCE) en la unión drenador-sustrato. Por lo tanto, el voltaje de compuerta no será suficiente para mantener la inversión y como resultado la

carga de inversión  $Q_n$  decrecerá [2.5]. Si  $V_{ds}$  continúa aumentando, llegará a un punto en el que  $Q_n$  es casi cero,  $Q_n \approx 0$ . A dicha condición se le conoce como pinch-off u oclusión del canal [2.1], como se muestra en la figura 2.4. Al voltaje necesario para alcanzar esta condición se le conoce como  $V_{dsat}$  y a partir de este voltaje la corriente de drenador llega a su valor máximo de saturación ( $I_{dsat}$ ).

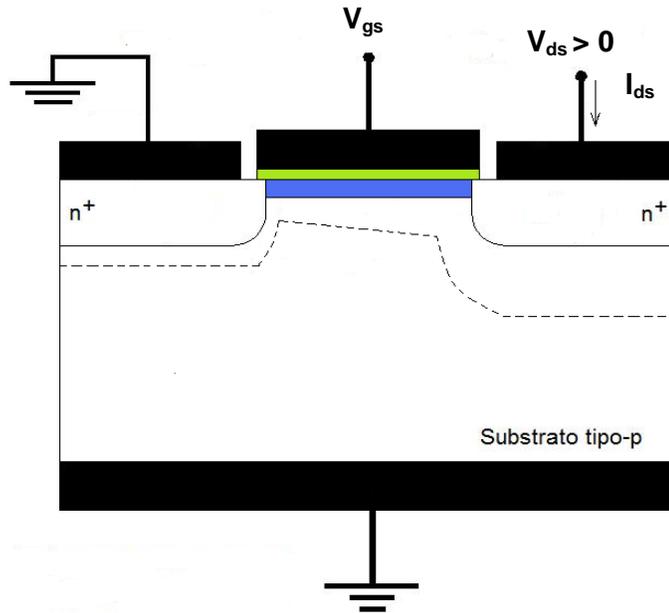


Figura 2.3. Sección transversal de un MOSFET con  $V_{gs} > V_T$  y  $V_{ds} > 0$ .

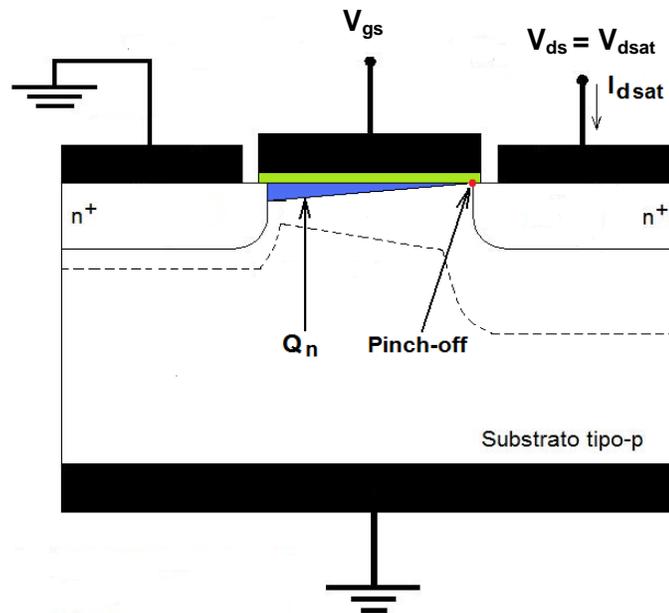


Figura 2.4. Sección transversal de un MOSFET al inicio de la saturación.

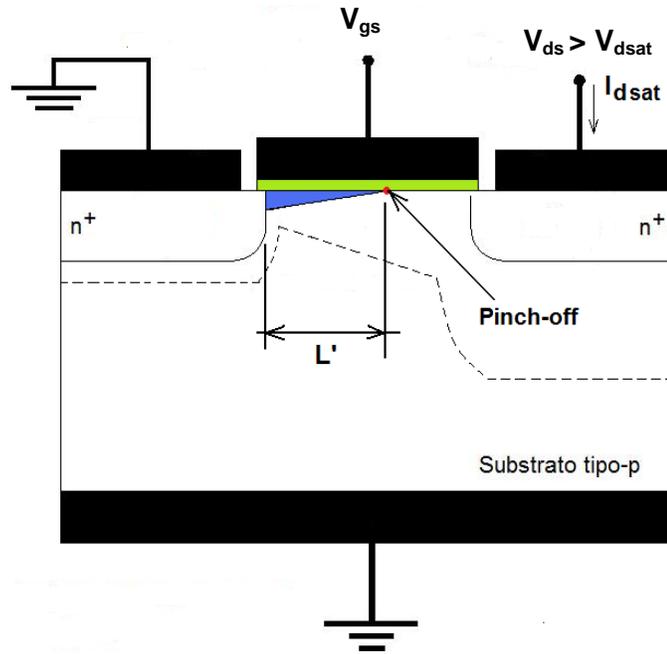


Figura 2.5. Sección transversal de un MOSFET en saturación, la longitud efectiva del canal  $L$  es reducida.

### 2.2.1 Regiones de operación del MOSFET

Dada la explicación de la estructura y operación del MOSFET, se derivan las regiones de operación de este transistor. Primero, para un voltaje positivo mayor a  $V_T$ , la corriente  $I_{ds}$  incrementa linealmente con respecto al voltaje  $V_{ds}$  (región lineal). A medida que  $V_{ds}$  se incrementa, se va desvaneciendo gradualmente dicha linealidad (región no lineal) y finalmente se llega a una zona de valor constante (región de saturación) [2.1]. Las curvas características de salida del transistor MOS se muestran en la figura 2.6. La línea punteada de la derecha muestra la región geométrica del voltaje de drenador ( $V_{dsat}$ ) al que la corriente alcanza un valor máximo ( $I_{dsat}$ ). En medio de las dos líneas punteadas se designa la región no lineal.

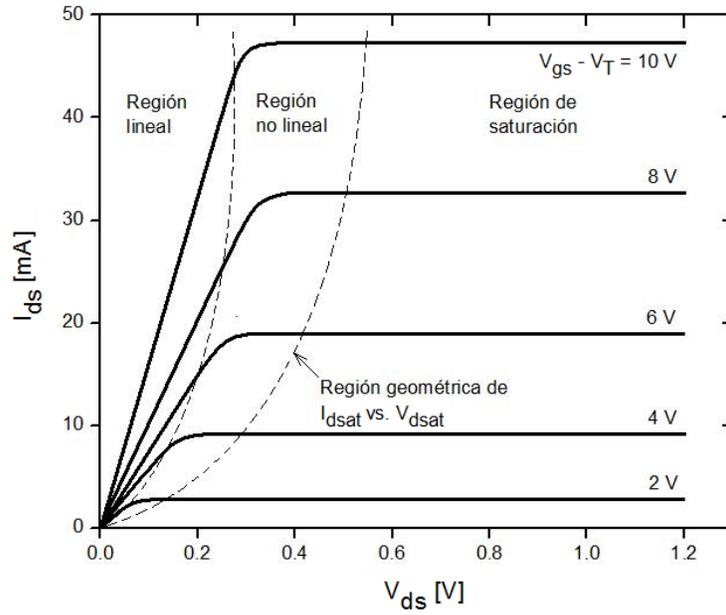


Figura 2.6. Curvas características de salida del MOSFET ( $I_{ds}$  vs.  $V_{ds}$ ). Las líneas punteadas separan la región lineal, no lineal y de saturación.

El símbolo eléctrico que representa al MOSFET de canal tipo  $n$  se muestra en la figura 2.7. Para la mayoría de las aplicaciones la terminal del sustrato es conectada a la fuente, dejando un elemento de tres terminales. Por convención, la corriente  $I_d$  fluye del drenador a la fuente [2.6].

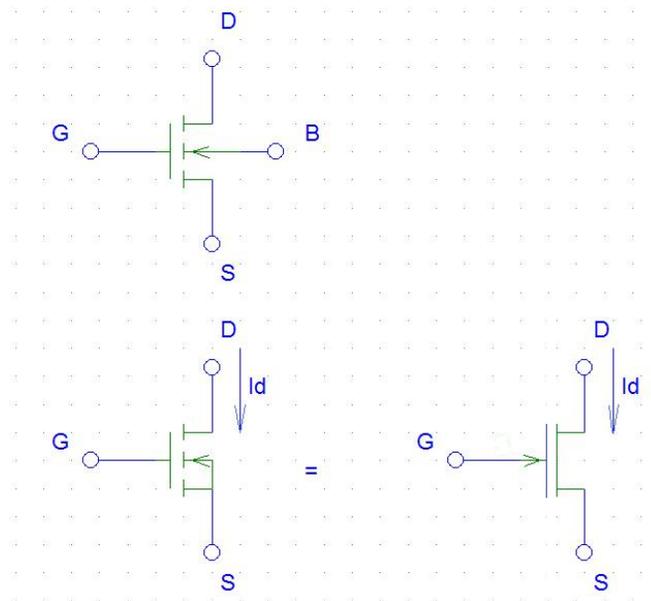


Figura 2.7. Símbolo eléctrico del transistor MOS con canal tipo  $n$ .

## 2.3 Modelado y caracterización del MOSFET en RF

El modelado y caracterización del MOSFET a muy altas frecuencias es muy importante y se realiza a través de la medición de los parámetros de dispersión (S). En general hay dos tipos de modelos [2.3]:

- Polinómico: Es aquel modelo que describe el comportamiento del transistor como una caja negra y utiliza ajustes matemáticos para describir el comportamiento del transistor. Usualmente requiere de rutinas de optimización matemática. Es muy fácil de obtener, pero no da información suficiente de la naturaleza física de los transistores [2.3].
- Física del transistor basada en modelos de pequeña señal: Estos modelos describen el comportamiento del transistor MOS como un circuito eléctrico equivalente. Los elementos tienen un origen físico, pero no son fáciles de extraer a partir de mediciones experimentales. Estos modelos se definen mediante dos tipos de parámetros [2.2] [2.3]:
  - Parámetros intrínsecos: Son aquellos que dependen del voltaje aplicado y se denotan con la letra "i".
  - Parámetros extrínsecos: Son independientes del voltaje aplicado y se denotan con la letra "e".

### 2.3.1 Efecto útil

Previamente se había mencionado el efecto útil del TMOS. El efecto útil es la modulación de la corriente  $I_{ds}$  que fluye a través del canal. Este comportamiento se modela como una fuente de corriente controlada por el voltaje  $V_{gs}$ , conectada entre la fuente y el drenador [2.2] [2.3]. Dicha fuente queda definida por la transconductancia intrínseca ( $g_{mi}$ ) y está matemáticamente expresada por la ecuación (1.5) de la sección 1.3 del capítulo I. En la figura 2.8 es representado el modelo de circuito equivalente del MOSFET considerando únicamente el efecto útil.

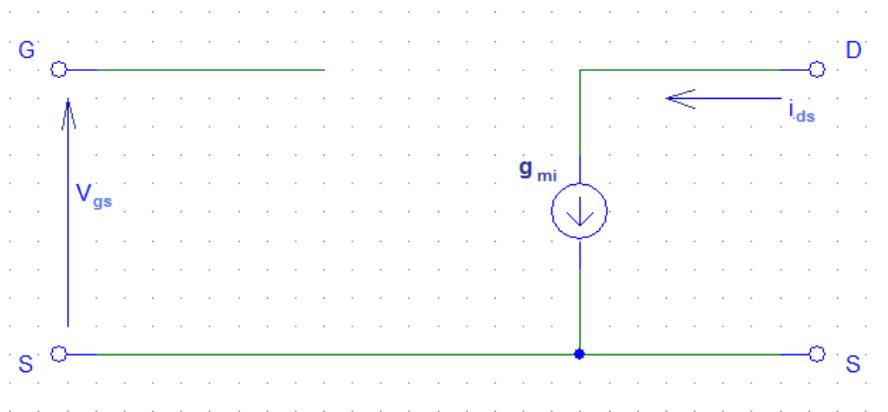


Figura 2.8. Modelo de circuito equivalente del MOSFET considerando el efecto útil.

### 2.3.2 Modelo cuasi-estático

El régimen cuasi-estático se define cuando una pequeña señal aplicada varía muy lentamente, permitiendo que los portadores dentro del transistor puedan seguirla de manera instantánea [2.2] [2.3]. Por otro lado, en el transistor MOS existen algunas influencias entre sus terminales, esto es, para un pequeño incremento en el voltaje aplicado en una terminal, se producirá una variación en la carga asociada a las otras terminales. La figura 2.9 muestra el MOSFET cuando está polarizado en DC y una pequeña señal es añadida a la compuerta con un valor  $\delta V_g$ . A medida que el voltaje se incrementa, produce un incremento en la carga del canal en un valor  $\delta Q$ . Este incremento de carga está asociado a las terminales de fuente y drenador, en  $\delta Q_s$  y  $\delta Q_d$  respectivamente [2.3].

Estos cambios en la carga asociada a cada terminal respecto al voltaje, representan efectos capacitivos asociados a cada terminal. Por lo tanto se incluyen en el modelo equivalente de señal pequeña en forma de capacitancias, definidas por [2.3]:

$$C_{gdi} = -\frac{\partial q_g}{\partial V_d}; V_{gs} = cte \quad (2.1)$$

$$C_{dgi} = -\frac{\partial q_d}{\partial V_g}; V_{gs} = cte \quad (2.4)$$

$$C_{gsi} = -\frac{\partial q_g}{\partial V_s}; V_{gd} = cte \quad (2.2)$$

$$C_{sgi} = -\frac{\partial q_s}{\partial V_g}; V_{gd} = cte \quad (2.5)$$

$$C_{dsi} = -\frac{\partial q_d}{\partial V_s}; V_{gs} = cte \quad (2.3)$$

$$C_{sdi} = -\frac{\partial q_s}{\partial V_d}; V_{gs} = cte \quad (2.6)$$

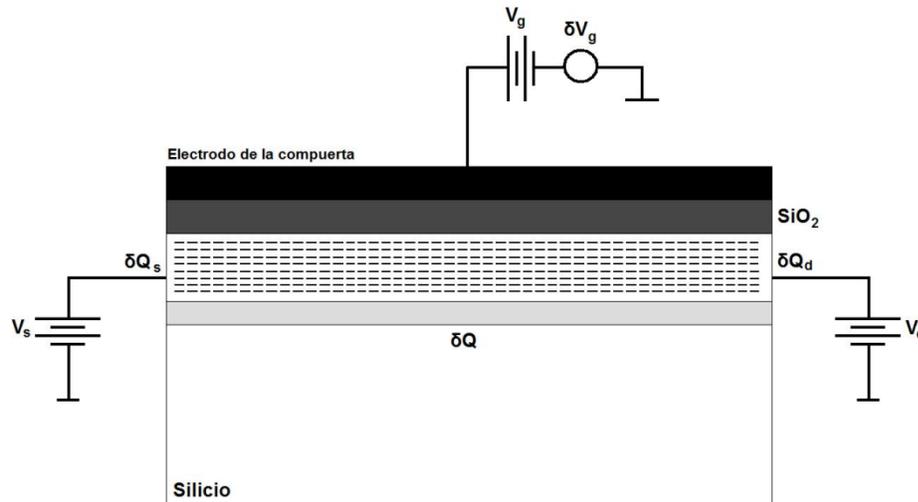


Figura 2.9. MOSFET polarizado en DC. El voltaje aplicado en una terminal, producirá una variación de la carga asociada a las otras terminales.

Es importante notar que las capacitancias definidas no son recíprocas. Por ejemplo, si consideramos el transistor polarizado en saturación, un incremento en  $V_{ds}$  no producirá ningún cambio en el canal, debido a la condición de pinch-off, por lo tanto  $C_{gdi} = 0$ . Por otro lado, un cambio pequeño en  $V_{gs}$  producirá una variación en la carga del canal y, por tanto, un cambio en la carga asociada al drenador;

como resultado  $C_{dgi} \neq 0$ . Así, bajo esta condición, se tiene que  $C_{gdi} \neq C_{dgi}$ . Este efecto no recíproco también se puede modelar añadiendo una parte imaginaria a la transconductancia llamada *transcapacitancia* ( $C_{mi}$ ). Por lo tanto, se define la *transadmitancia* ( $Y_{mi}$ ) como [2.3]:

$$Y_{mi} = g_{mi} - j\omega C_{mi} \quad (2.7)$$

Usualmente, la transcapacitancia puede ser despreciada para frecuencias relativamente bajas, sin embargo, para frecuencias muy altas se debe considerar para describir adecuadamente el comportamiento del transistor MOS.

El circuito equivalente queda modificado de la siguiente forma:

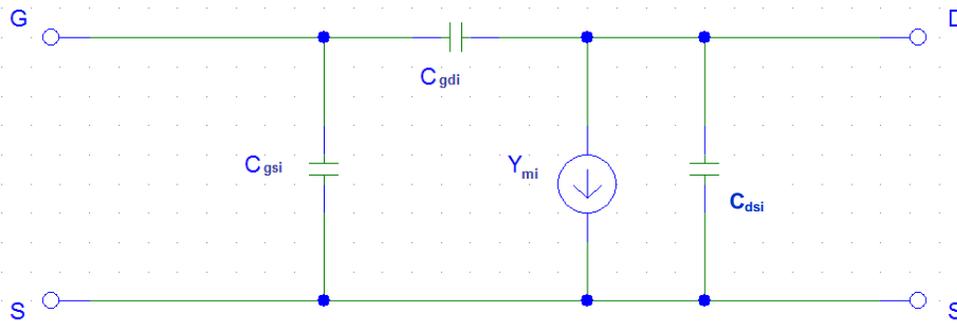


Figura 2.10. Modelo de circuito equivalente del MOSFET a pequeña señal mostrando de izquierda a derecha las capacitancias de compuerta-fuente, de compuerta-drenador y fuente-drenador intrínsecas.

Por otro lado, el transistor actúa como una fuente de corriente no ideal y por lo tanto tiene una conductancia a la salida [2.2], la cual se define como:

$$g_{di} = \frac{dI_{ds}}{dV_{ds}}; \quad V_{gs} = cte \quad (2.8)$$

Finalmente, el modelo de circuito equivalente a pequeña señal, en régimen cuasi-estático, queda representado por los parámetros intrínsecos, figura 2.11.

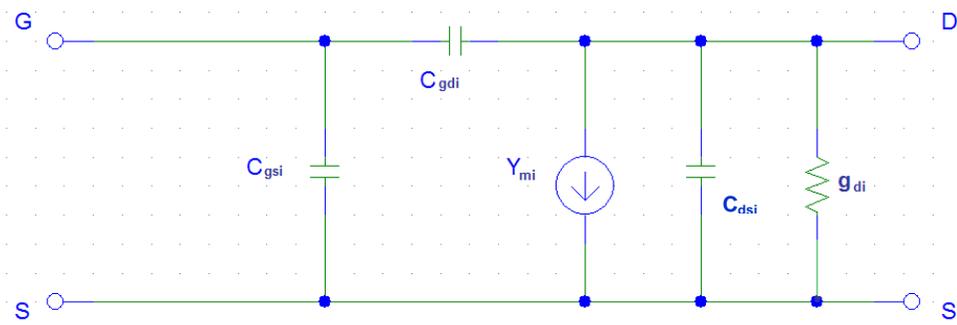


Figura 2.11. Modelo de circuito equivalente a pequeña señal del modelo cuasi-estático del MOSFET incluyendo todos los parámetros intrínsecos.

El circuito equivalente anterior queda definido por la matriz de admitancias Y, expresada por [2.2] [2.3]:

$$Y_{\pi i} = \begin{bmatrix} j\omega(C_{gsi} + C_{gdi}) & -j\omega C_{gdi} \\ g_{mi} - j\omega C_{gdi} & g_{di} + j\omega(C_{sdi} + C_{gdi}) \end{bmatrix} \quad (2.9)$$

### 2.3.3 Parámetros extrínsecos

Debido a la estructura del MOSFET, se originan algunos efectos parásitos, los cuales deben ser considerados para describir correctamente su comportamiento. Dentro de estos elementos parásitos se encuentran efectos capacitivos, resistivos e inductivos. Además, existen otros elementos que son producidos por las líneas de interconexión utilizadas para alimentar al transistor. Estos elementos son conocidos como parámetros de acceso y se denotan con el subíndice “a” [2.2].

#### 2.3.3.1 Capacitancias extrínsecas

Existen básicamente tres efectos que producen capacitancias parásitas en el transistor: i) Campos eléctricos de “borde” entre el electrodo de compuerta y las zonas de drenador y fuente, ii) el traslape de las zonas de drenador y fuente con el electrodo de compuerta, y iii) efectos de proximidad entre drenador y fuente  $C_{dse}$  [2.2].

Dichas capacitancias parásitas debidas a la estructura del MOSFET se representan en la figura 2.12.

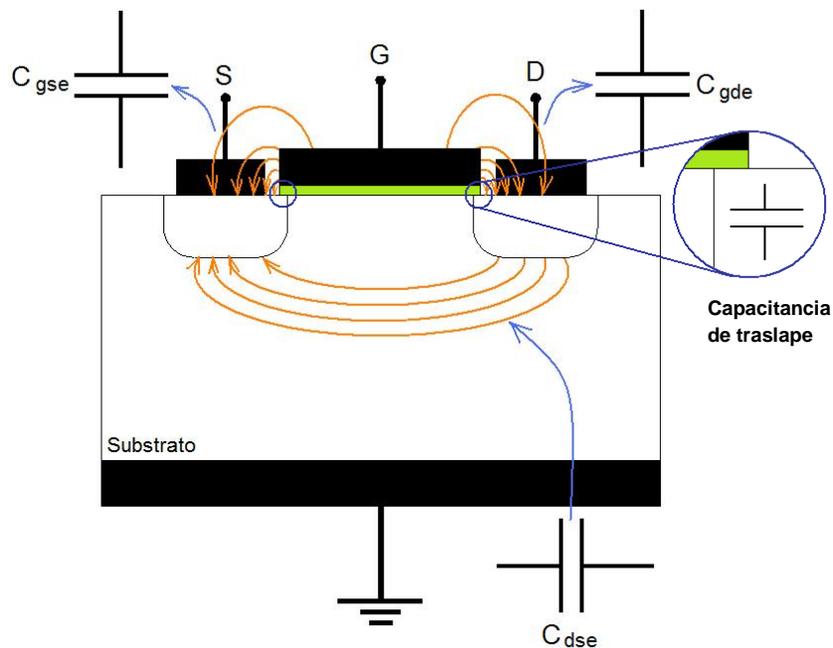


Figura 2.12. Efectos capacitivos en la estructura del MOSFET.

Las capacitancias extrínsecas  $C_{gse}$ ,  $C_{gde}$  y  $C_{dse}$  degradan fuertemente el funcionamiento del transistor, por lo tanto, es muy importante conocer su valor a fin de poder evaluar la degradación sobre el desempeño global del transistor [2.2].

El modelo de circuito equivalente a pequeña señal, incluyendo las capacitancias extrínsecas, es el siguiente:

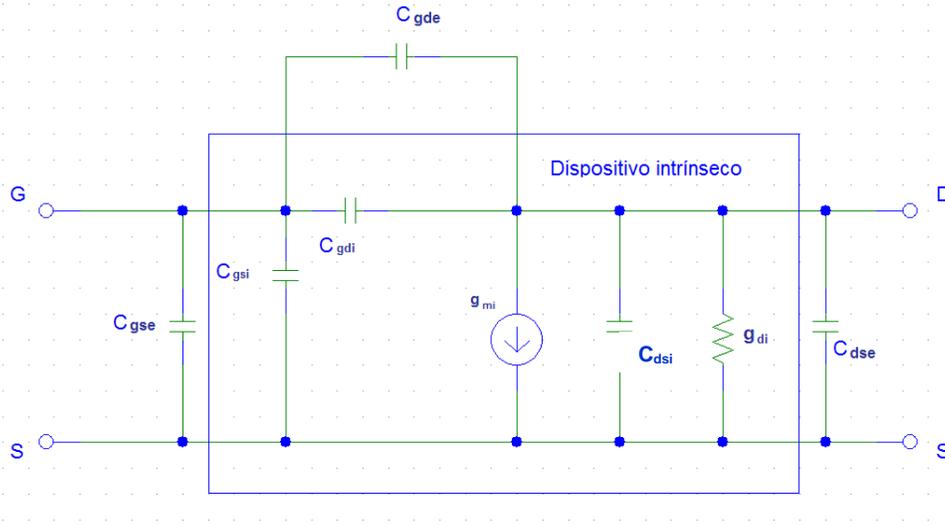


Figura 2.13. Modelo de circuito equivalente del MOSFET a pequeña señal incluyendo las capacitancias extrínsecas.

La matriz  $Y$  que representa el circuito anterior es [2.2] [2.3]:

$$Y_{\pi} = Y_{\pi i} + Y_e \quad (2.10)$$

Donde

$Y_{\pi i}$  es la matriz de admitancias que involucra sólo a los parámetros intrínsecos.  $Y_e$  es la matriz de admitancias producida por las capacitancias extrínsecas, definida por:

$$Y_e = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gde}) \end{bmatrix} \quad (2.11)$$

### 2.3.3.2 Resistencias e inductancias extrínsecas

Las regiones dopadas de la fuente y el drenador poseen una cierta resistividad; además, el transistor debe estar conectado al mundo exterior usando líneas metálicas conectadas al semiconductor. Ambos efectos producen una resistencia parásita en serie con el transistor. Por tal motivo, al transistor intrínseco se le deben añadir las resistencias asociadas a las terminales de compuerta  $R_{ge}$ , fuente  $R_{se}$  y drenador  $R_{de}$  [2.3].

Como se mencionó anteriormente, los transistores de RF se fabrican bajo la configuración multifinger, debido a esto las regiones de drenador y fuente, pueden dar lugar a algunos efectos inductivos asociados a los electrodos. Estos efectos producen una inductancia de compuerta  $L_{ge}$ , de fuente  $L_{se}$  y drenador  $L_{de}$  [2.3].

La figura 2.14 muestra el modelo de circuito equivalente a pequeña señal, incluyendo todos los elementos tanto intrínsecos como extrínsecos.

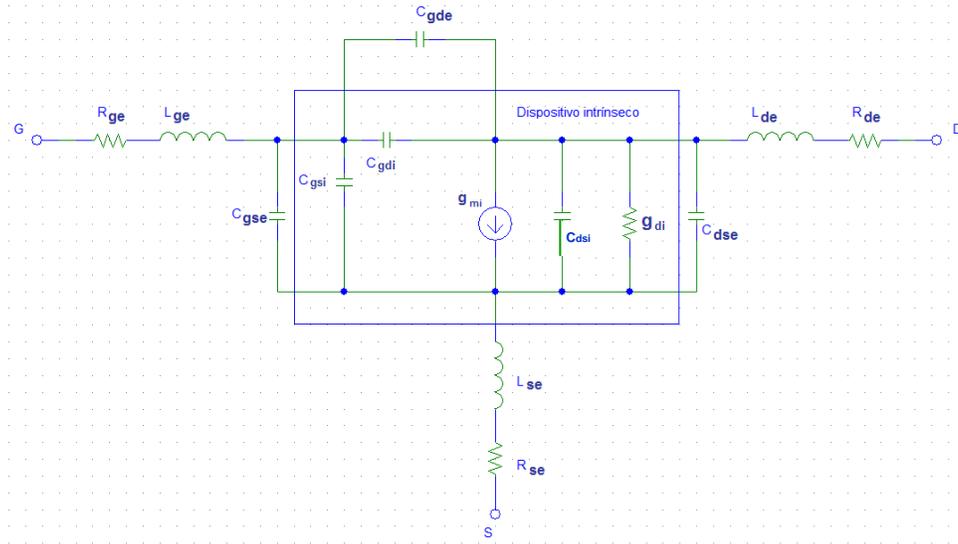


Figura 2.14. Resistencias ( $R_{ge}$ ,  $R_{se}$  y  $R_{de}$ ) e inductancias ( $L_{ge}$ ,  $L_{se}$ ,  $L_{de}$ ) extrínsecas.

Vale la pena destacar que debido al pequeño tamaño del transistor MOS, las inductancias extrínsecas en serie son muy pequeñas y pueden ser despreciadas [2.3] reduciéndose el circuito de la siguiente manera:

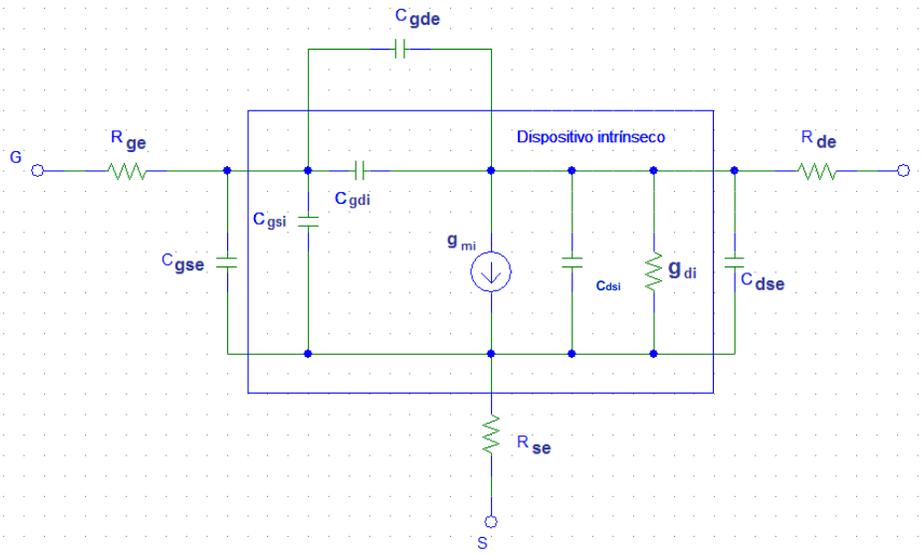


Figura 2.15. Modelo de circuito equivalente del MOSFET a pequeña señal sin considerar las inductancias extrínsecas.

La matriz de impedancias  $Z$  del circuito anterior se representa de la siguiente manera [2.2] [2.3]:

$$Z_{\Sigma} = Y_{\pi}^{-1} + Z_e \quad (2.12)$$

Donde:  $Y_{\pi}^{-1}$  es la matriz inversa de la ecuación (2.10).

$$Z_e = \begin{bmatrix} (R_{ge} + R_{se}) & R_{se} \\ R_{se} & (R_{de} + R_{se}) \end{bmatrix} \quad (2.13)$$

$Z_e$  es la matriz de impedancias que involucra las resistencias extrínsecas.

### 2.3.3.3 Parámetros de acceso

Para caracterizar al MOSFET en una amplia banda de frecuencias, debe ser incrustado en una línea de transmisión. La más usada es la guía de onda coplanar (coplanar-waveguide CPW) [2.3] como la mostrada en la figura 2.16. Estas líneas introducen algunos elementos en serie y paralelo a la entrada y salida del transistor bajo prueba. Dichos parámetros de acceso son  $Z_{ga}$ ,  $Z_{da}$ ,  $Y_{ga}$ ,  $Y_{da}$ ,  $Y_{gda}$  [2.2] [2.3]. Los parámetros de acceso deben ser incluidos en el modelo del circuito equivalente del transistor tal como se muestran en la figura 2.17.

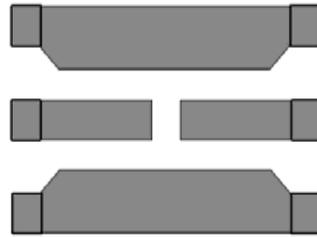


Figura 2.16. Estructura de la guía de onda coplanar (CPW).

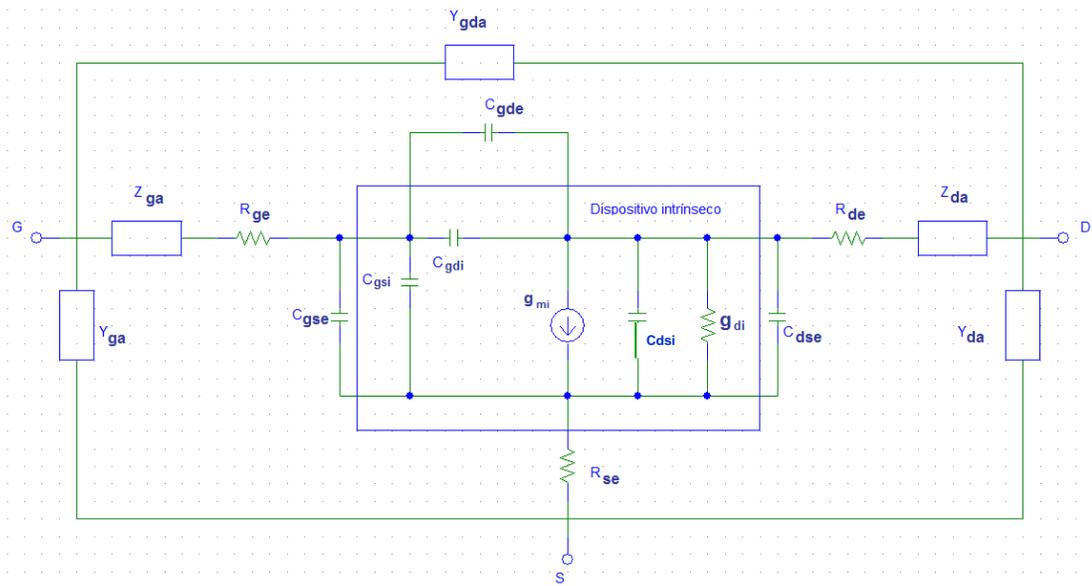


Figura 2. 17. Modelo de circuito equivalente del MOSFET medido y los parámetros de acceso.

La representación matemática del modelo de circuito equivalente completo a pequeña señal, mostrado en la figura 2.17, necesita de dos pasos. Primero, es necesario agregar las impedancias de acceso a la matriz  $Z_{\Sigma}$  y, segundo, agregar las admitancias de acceso. Por lo tanto se tiene [2.2] [2.3]:

$$Z_{\sigma} = Z_{\Sigma} + Z_{\alpha} \quad (2.14)$$

Donde

$Z_{\sigma}$  es la matriz de impedancias del modelo de circuito equivalente completo del MOSFET.

$$Z_{\alpha} = \begin{bmatrix} Z_{ga} & 0 \\ 0 & Z_{da} \end{bmatrix} \quad (2.15)$$

$Z_{\alpha}$  es la matriz que representa las impedancias de acceso de compuerta y drenador.

Y finalmente:

$$Y_{\mu} = Z_{\sigma}^{-1} + Y_{\alpha} \quad (2.16)$$

Donde

$$Y_{\alpha} = \begin{bmatrix} Y_{ga} + Y_{gda} & -Y_{gda} \\ -Y_{gda} & Y_{da} + Y_{gda} \end{bmatrix} \quad (2.17)$$

$Y_{\alpha}$  es la matriz de las admitancias de acceso.

$Y_{\mu}$  representa los parámetros de admitancia del modelo de circuito equivalente completo del transistor.

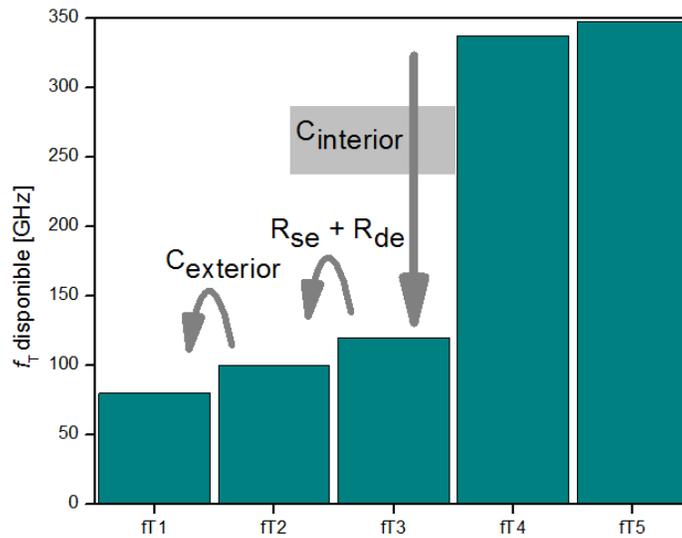
Varios procedimientos de des-incrustación o de-embedding son utilizados a fin remover los elementos parásitos asociados a la CPW. Gracias a los avances tecnológicos actuales, estos procesos de des-incrustación permiten remover adecuadamente los elementos parásitos de acceso del dispositivo bajo prueba [2.3].

## 2.4 Influencia de los parásitos en el funcionamiento del MOSFET

Recientemente diversos trabajos han analizado el efecto relativo de los diferentes elementos parásitos del MOSFET, sobre su desempeño para aplicaciones analógicas. Dichos efectos son mostrados en la figura 2.18.

Como puede verse, la resistencia extrínseca de compuerta  $R_{ge}$ , tiene un importante impacto sobre  $f_{max}$ , mientras  $f_T$  prácticamente no es afectada. La capacitancia  $C_{interior}$  es la suma de las capacitancias de borde y está directamente ligada con la estructura 3-D del FinFET e impacta fuertemente a ambas frecuencias. Finalmente, las resistencias extrínsecas de fuente y drenador ( $R_{se}$  y  $R_{de}$ ) y la capacitancia ( $C_{exterior}$ ), relacionadas con las conexiones externas a la zona activa del transistor, reducen ligeramente  $f_{max}$  y  $f_T$  [2.7].

(a)



(b)

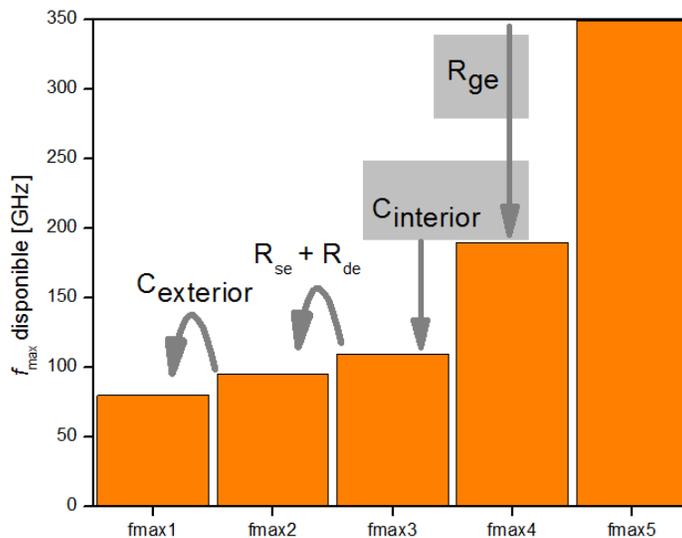
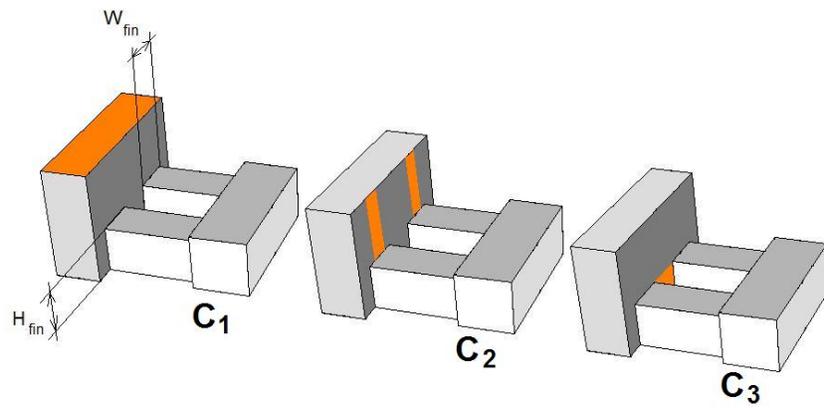


Figura 2.18. Análisis del impacto relativo de los parásitos sobre: (a) Frecuencia de corte  $f_T$ , (b) frecuencia máxima de oscilación  $f_{max}$ , para un FinFET de 60 nm de longitud.

Las capacitancias de borde se dividen en tres componentes:  $C_1$ ,  $C_2$  y  $C_3$ , como se puede observar en la figura 2.19.a). La capacitancia  $C_3$  se genera por el acoplamiento eléctrico entre las regiones internas de los fins (paredes laterales) y el electrodo de la compuerta [2.7]. La capacitancia de traslape  $C_{ov}$  se genera entre el óxido de la compuerta y las regiones de la fuente y drenador, durante los procesos de fabricación del transistor. De estas componentes,  $C_3$  es de mayor importancia, y por tanto la que mayor degradación produce en el desempeño del transistor.

(a)



(b)

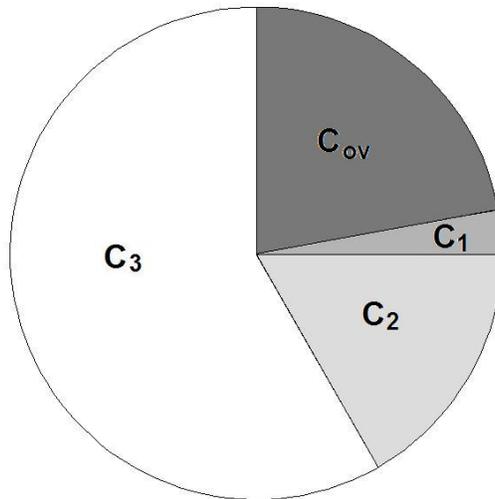


Figura 2.19. (a) Esquema tridimensional de las capacitancias de borde para un FinFET ( $C_1$ ,  $C_2$ ,  $C_3$ ); (b) importancia relativa de cada capacitancia de borde ( $C_1$ ,  $C_2$ ,  $C_3$ ) y la capacitancia de traslape  $C_{ov}$ .

En base a este análisis, queda claro que las capacitancias extrínsecas son los factores que más limitan el buen desempeño del FinFET a frecuencias muy altas. Por lo tanto es fundamental evaluarlos a fin de analizar su impacto y posibles procesos de optimización. Para evaluar estos elementos parásitos, es necesario desarrollar una serie de rutinas de extracción de parámetros. Lo cual será abordado en el siguiente capítulo.

## 2.5 Referencias

- [2.1] S. M. Sze, "Physics of Semiconductor Devices", John Wiley & Sons, pp. 293-306, New York, 2007, 3<sup>a</sup> ed.
- [2.2] Raskin, Jean-Pierre, "Modeling, Characterization and Optimization of MOSFET's and Passive Elements for the Synthesis of SOI MMIC's", Université Catholique de Louvain, Laboratoire D'Hyperfrequences, pp. 2.2-2.15, Diciembre 1997.
- [2.3] Tinoco, Julio C., Raskin, Jean-Pierre, "Microwave and Millimeter wave Technologies: From Photonic Bandgap Devices to Antenna and Applications", In-Tech, pp. 210-217, Marzo 2010.
- [2.4] Schwierz, Frank, Liou, Juin J, "Modern Microwave Transistors: Theory, Design and Performance", John Wiley and Sons, pp. 61-83, 96-106, New Jersey 2003, 1<sup>a</sup> ed.
- [2.5] Grove, A.S., "Physics and Technology of Semiconductor Devices", John Wiley & Sons, pp. 318,320, 1967.
- [2.6] Baker, R. Jacob, "CMOS, Circuit Design, Layout and Simulation", IEEE Press Series on Microelectronic Systems, Solid-State Circuits Society, Wiley-Interscience, pp. 131, USA 2005, 1<sup>a</sup> ed.
- [2.7] Raskin, J.P., "SOI Technology: An Opportunity for RF Designers?", Journal of Tele-communications and Information Technology, 2009.
- [2.8] Boylestad, Robert L., "Electronic Devices and Circuit Theory", Prentice Hall, pp. 245-247, New Jersey 2002, 8<sup>a</sup> ed.
- [2.9] Pozar, David M., "Microwave Engineering", John Wiley and Sons, pp. 174, 175, 522-525, University of Massachusetts at Amherst 2005, 3<sup>a</sup> ed.
- [2.10] Baliga, B Jayant, "Silicon RF Power MOSFETs", World Scientific Publishing, pp. 33-45, North Carolina State University 2005, 1<sup>a</sup> ed.

# **CAPÍTULO III**

## **MÉTODOS DE EXTRACCIÓN EN PEQUEÑA SEÑAL**

---



### 3.1 Introducción

En el Capítulo II se analizaron los modelos en pequeña señal del MOSFET, definidos en régimen cuasi-estático e indicando los elementos intrínsecos, los cuales dependen del voltaje de polarización. Por otro lado, se definieron los elementos extrínsecos del transistor MOS, así como los parámetros de acceso producidos por la guía de onda coplanar utilizada para medir el dispositivo. Además, se analizó cómo es que las resistencias y las capacitancias parásitas asociadas a la estructura física del transistor degradan de manera drástica la frecuencia de corte y la frecuencia máxima de oscilación.

El objetivo de este capítulo es extraer las resistencias y capacitancias extrínsecas de FinFETs, utilizando métodos específicos de extracción de parámetros. Se emplearon varios FinFETs canal tipo n con estructuras multifingers que consisten en 8 fingers con 10 fins cada uno. Se utilizaron transistores con diferentes anchos de fin ( $W_{fin}$ ), cuyos valores son: 18 nm, 34 nm, 53 nm y 90 nm.

El procedimiento de extracción a pequeña señal se realiza en el siguiente orden: Primero son extraídos los elementos parásitos de acceso ( $Z_{ga}$ ,  $Z_{da}$ ,  $Y_{ga}$ ,  $Y_{da}$  y  $Y_{gda}$ ), mediante el proceso de des-incrustación, utilizando una estructura de prueba llamada "open"; después se procede con la extracción de las resistencias extrínsecas ( $R_{ge}$ ,  $R_{de}$  y  $R_{se}$ ), usando del Método de Bracale [3.1] [3.2]; y por último son extraídas las capacitancias extrínsecas ( $C_{gse}$  y  $C_{gde}$ ).

Adicionalmente, se realizó la caracterización de los FinFETs en corriente directa (DC) la cual consiste en mediciones de corriente y voltaje (I-V) y con ellas poder determinar parámetros tales como el voltaje de umbral  $V_T$ , la transconductancia  $g_m$  y la conductancia  $g_d$ .

Para la caracterización en DC, se utilizaron las siguientes mediciones:

- Característica transferencial en régimen lineal.
- Característica transferencial en régimen de saturación.
- Característica de salida.

### 3.2 Parámetros de DC

#### 3.2.1 Característica transferencial en régimen lineal

La característica transferencial en régimen lineal consiste en la medición de la corriente de drenador  $I_{ds}$  vs. el voltaje de compuerta  $V_{gs}$  con valores dentro de un intervalo  $[-0.2 \text{ V} \leq V_{gs} \leq 1.2 \text{ V}]$  e incrementos de 10 mV y voltaje de drenador  $V_{ds} = 50 \text{ mV}$ .

De la figura 3.1 se puede observar la zona subumbral, como puede verse hay una degradación sustancial, a medida que el ancho del fin aumenta. Esto implica un incremento importante de la corriente de fuga para estos dispositivos. Por otro lado, los transistores con  $W_{fin}$  pequeños muestran caídas más abruptas de la zona subumbral, lo que implica menor corriente de fuga y por tanto mayor control de los SCE.

De las gráficas de la figura 3.1, la transconductancia  $g_m$  se obtiene a partir de la ecuación (3.1)

$$g_m = \frac{dI_{ds}}{dV_{gs}} \quad (3.1)$$

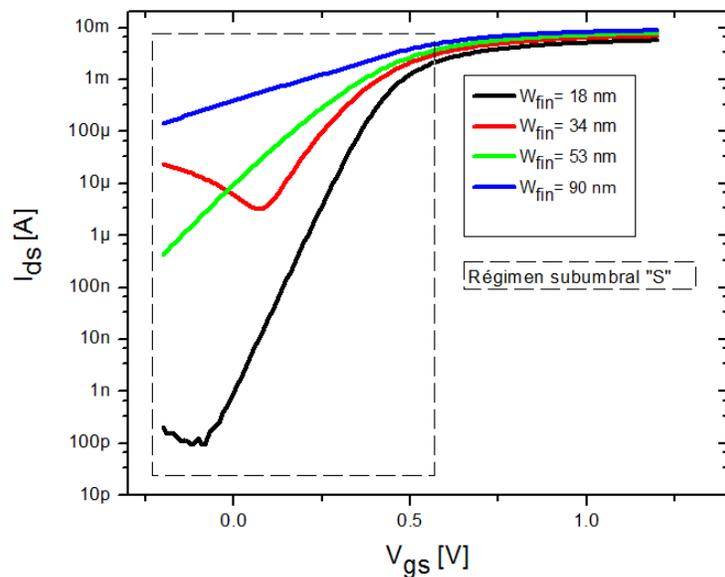


Figura 3.1. Característica transferencial en régimen lineal ( $I_{ds}$  vs.  $V_{gs}$ ), con  $V_{ds} = 50$  mV para FinFETs con  $W_{fin} = 18$  nm, 34 nm, 53 nm y 90 nm.

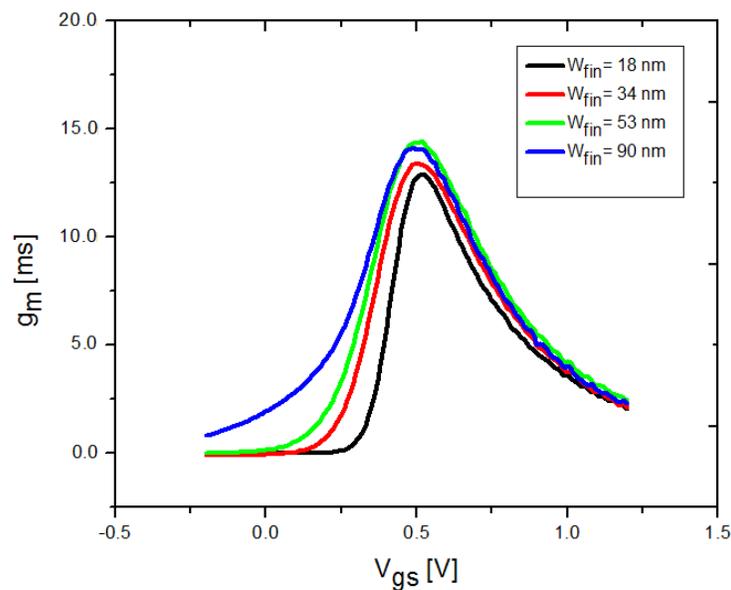


Figura 3.2. Transconductancia  $g_m$  obtenida para FinFETs con  $W_{fin} = 18$  nm, 34 nm, 53 nm y 90 nm.

A partir de las gráficas mostradas en la figura 3.2, se obtuvieron los siguientes valores para el máximo de  $g_m$ :

$W_{fin}$ [nm]	$g_{m(máx)}$ [ms]
18	12.92
34	13.38
53	14.40
90	14.12

Tabla 3.1. Valores máximos de la transconductancia, para FinFETs con  $W_{fin} = 18$  nm, 34 nm, 53 nm y 90 nm.

Con los datos de la tabla anterior, por ejemplo, para el  $W_{fin} = 18$  nm, la magnitud de la transconductancia es aproximada al valor de  $g_m$  correspondiente a  $W_{fin} = 90$  nm, es decir, al ser  $W_{fin} = 18$  nm cinco veces menor que el ancho de fin de 90 nm, las estructuras más pequeñas del FinFET tienen mejor desempeño, por lo que de nuevo demuestran mayor control de los SCE. Por lo tanto, al optimizar los valores de la transconductancia,  $f_T$  y  $f_{max}$ , lograrán alcanzar grandes magnitudes.

También de la figura 3.2, el voltaje de umbral  $V_T$  se puede obtener con la siguiente ecuación:

$$V_T = \left. \frac{d^2 I_{ds}}{dV_{gs}^2} \right|_{=máximo} \quad (3.2)$$

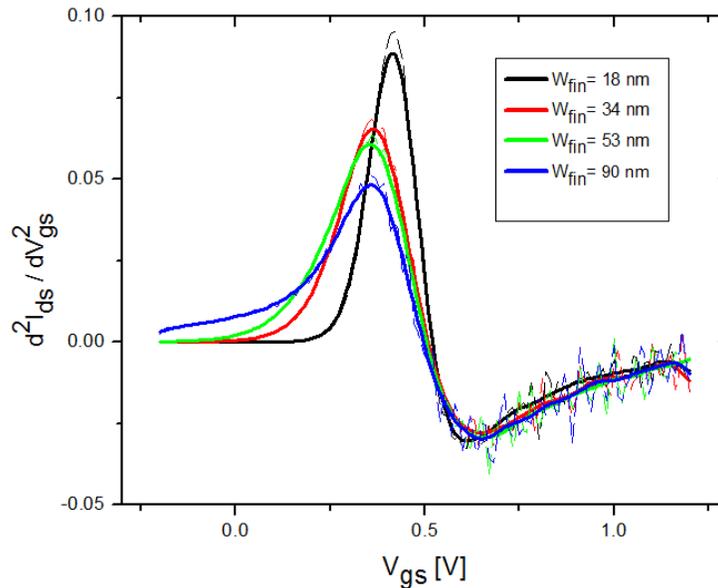


Figura 3.3. Obtención del voltaje de umbral  $V_T$  para FinFETs con  $W_{fin} = 18$  nm, 34 nm, 53 nm y 90 nm.

La siguiente tabla muestra los valores obtenidos para el máximo de  $V_T$ :

$W_{fin}$ [nm]	$V_{T(m\acute{a}x)}$ [V]
18	0.41
34	0.36
53	0.36
90	0.36

Tabla 3.2. Valores obtenidos de  $V_T$  para FinFETs con distintos anchos de fin.

En seguida se muestra el voltaje de umbral  $V_T$  en funci3n de  $W_{fin}$ :

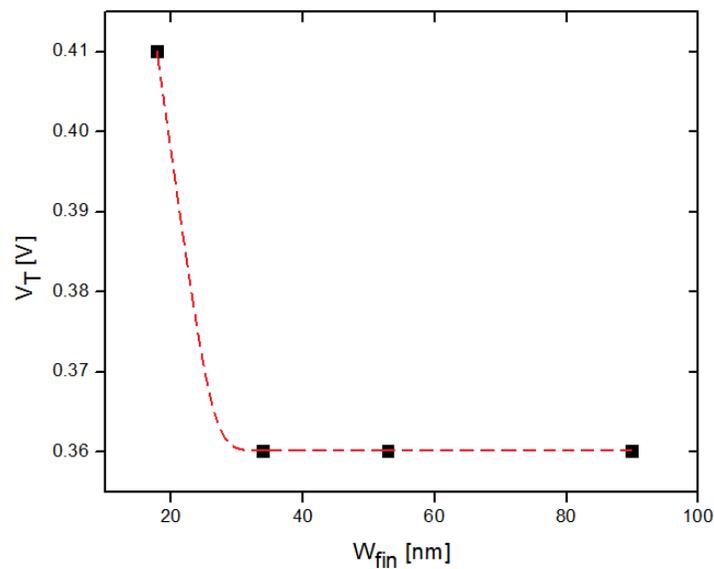


Figura 3.4.  $V_T$  en funci3n de  $W_{fin}$ .

Te3ricamente  $V_T$  es independiente de la geometría del transistor [3.3], sin embargo, de la figura 3.4 puede observarse que dicho voltaje se ve afectado cuando  $W_{fin} = 18$  nm, por otra parte, para los valores restantes de  $W_{fin}$ ,  $V_T$  es casi constante. Tal comportamiento de  $V_T$  se debe a que al tener transistores con  $W_{fin}$ 's muy pequeños, la compuerta no controla adecuadamente la densidad de carga en el canal.

### 3.2.2 Característica transferencial en r3gimen de saturaci3n

La característica transferencial en r3gimen de saturaci3n consiste en la medici3n de la corriente de drenador  $I_{ds}$  vs.  $V_{gs}$  con valores dentro de un intervalo  $[-0.2 \text{ V} \leq V_{gs} \leq 1.2 \text{ V}]$  e incrementos de 10 mV y un

voltaje de drenador  $V_{ds} = 1.2 \text{ V}$  constante. Las curvas de esta característica se muestran a continuación para FinFETs con distintos  $W_{fin}$ :

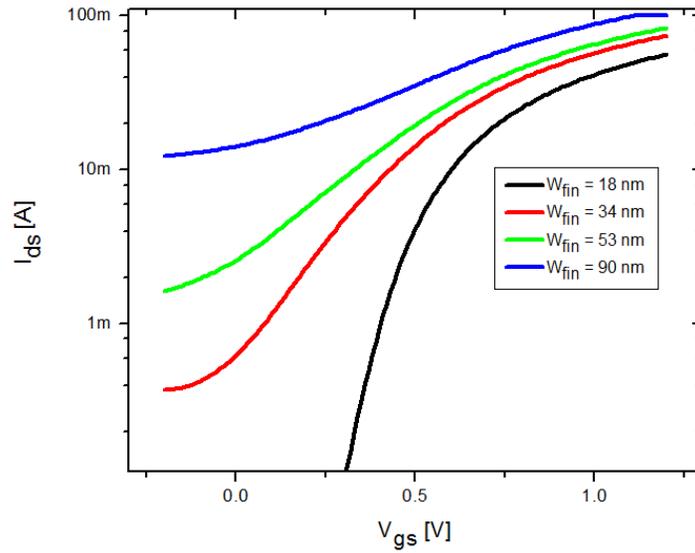


Figura 3.5. Característica transferencial en régimen de saturación con  $V_{ds} = 1.2 \text{ V}$ , para FinFETs con  $W_{fin} = 18 \text{ nm}$ ,  $34 \text{ nm}$ ,  $53 \text{ nm}$  y  $90 \text{ nm}$ .

La característica transferencial en régimen de saturación también permite calcular la transconductancia de la misma manera que se hizo con la característica transferencial en régimen lineal.

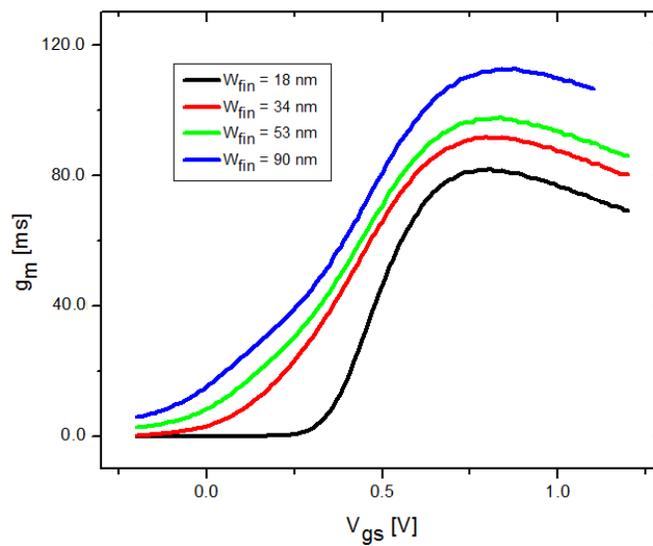


Figura 3.6. Transconductancia  $g_m$  en régimen de saturación para FinFETs con  $W_{fin} = 18 \text{ nm}$ ,  $34 \text{ nm}$ ,  $53 \text{ nm}$  y  $90 \text{ nm}$ .

La tabla 3.3 muestra algunos valores de  $g_m$  en régimen de saturación.

$W_{fin}$ [nm]	$g_{m(máx)}$ [ms]
18	81.7
34	91.5
53	97.0
90	112.3

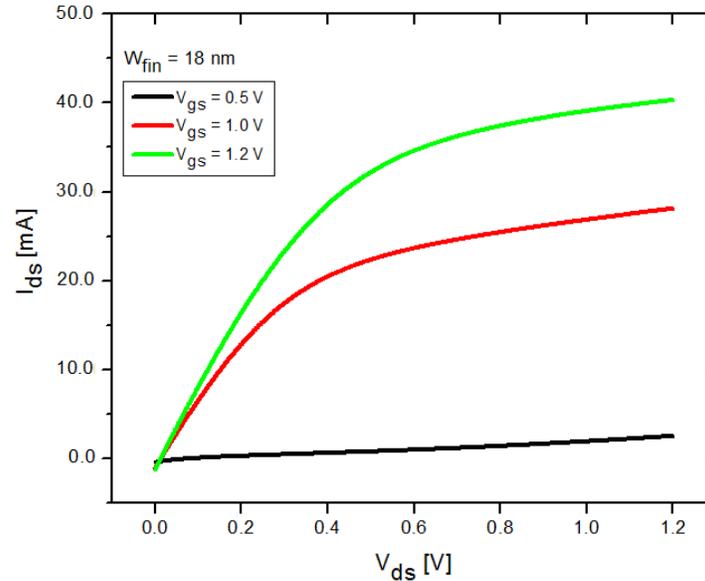
Tabla 3.3. Valores de  $g_m$  obtenidos de FinFETs con distintos  $W_{fin}$  en régimen de saturación.

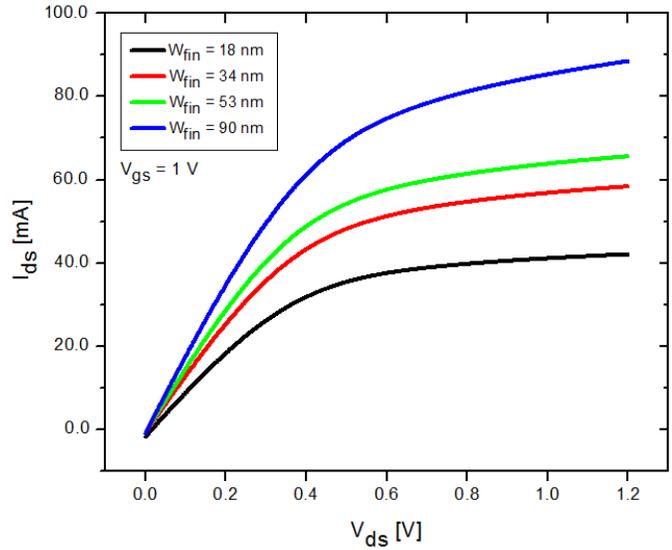
De manera análoga al régimen lineal, de la figura 3.6 es notable que la corriente de fuga en la zona subumbral sea menor en FinFETs con anchos de fin más pequeños. Por lo tanto, dispositivos con estas características tendrán mejor desempeño al estar los SCE controlados de manera más óptima.

### 3.2.3 Característica de salida

Las curvas características de salida se obtienen de la medición de la de corriente drenador  $I_{ds}$  vs. el voltaje de drenador  $V_{ds}$  con valores dentro de un intervalo  $[0V \leq V_{ds} \leq 1.2 V]$  e incrementos de 1 mV y a diferentes voltajes de compuerta  $V_{gs} = 0.5, 1$  y 1.2 V.

(a)





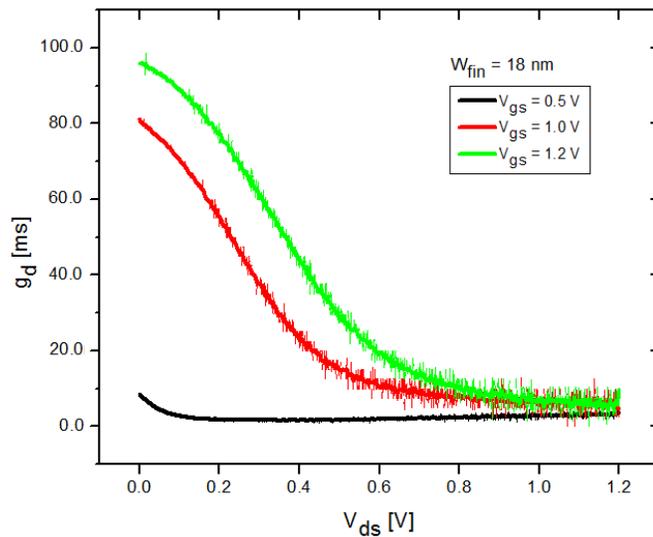
(b)

Figura 3.7. Ejemplo de curvas de salida ( $I_{ds}$  vs.  $V_{ds}$ ), para: (a) FinFET con  $W_{fin} = 18$  nm y voltaje de compuerta  $V_{gs} = 0.5, 1$  y  $1.2$  V. (b) FinFETs con  $W_{fin} = 18, 34, 53$  y  $90$  nm, y voltaje de compuerta  $V_{gs} = 1$  V.

Como puede observarse, a medida que  $W_{fin}$  se reduce, la corriente de drenador también se reduce, lo cual es debido a que la corriente es directamente proporcional al ancho del dispositivo [3.3]. Por otro lado, como puede observarse, las curvas características de salida definen correctamente la región lineal y la región de saturación, por lo cual estos transistores tienen un buen desempeño, a pesar de las dimensiones tan pequeñas con que fueron fabricados.

Además de la figura 3.7, la conductancia  $g_d$  se obtiene a partir de la siguiente ecuación:

$$g_d = \left. \frac{dI_{ds}}{dV_{ds}} \right|_{=m\acute{a}xima} \quad (3.3)$$



(a)

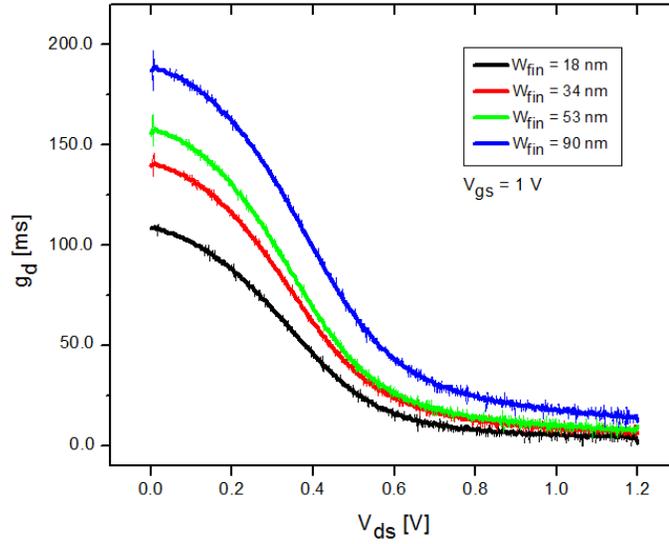


Figura 3.8. Gráficas de la conductancia  $g_d$ : (a) Para FinFET con  $W_{fin} = 18$  nm y voltaje de compuerta  $V_{gs} = 0.5, 1$  y  $1.2$  V. (b) FinFETs con  $W_{fin} = 18, 34, 53$  y  $90$  nm y voltaje de compuerta  $V_{gs} = 1$  V.

Algunos valores obtenidos de  $g_d$  para un transistor se muestran en seguida:

$W_{fin}$ [nm]	$V_{gs}$ [V]	$g_{d(máx)}$ [ms]
18	0.5	8.46
	1	81.6
	1.2	95.8

Tabla 3.4. Valores obtenidos de  $g_d$  para un FinFET con  $W_{fin} = 18$  nm y voltaje de compuerta  $V_{gs} = 0.5, 1$  y  $1.2$  V.

Los valores de la conductancia  $g_d$ , contenidos en la tabla 3.4, aumentan cuando se incrementa  $V_{gs}$ . Es útil que los FinFETs presenten una conductancia pequeña, cuyo valor es necesario para obtener  $f_T$  y  $f_{max}$  con magnitudes grandes.

### 3.3 Parámetros de RF

#### 3.3.1 Extracción de las resistencias extrínsecas

Existen varios métodos para extraer las resistencias extrínsecas, dividiéndose en dos grupos [3.1] [3.4]:

- 1) Los métodos que se basan en las mediciones de DC.
- 2) Los métodos que requieren mediciones en RF.

Los métodos de RF permiten determinar de manera independiente las tres resistencias  $R_{se}$ ,  $R_{de}$  y  $R_{ge}$ , que son respectivamente las resistencias de fuente, drenador y compuerta.

Entre los diversos métodos de RF para extraer las resistencias extrínsecas se pueden mencionar el método de Lovelace, el método de Torres-Torres, el método Raskin, el método de Tinoco y el método de Bracale [3.1]. Este último método será el empleado a lo largo de esta tesis para realizar dichas extracciones y se describe a continuación.

### 3.3.2 Método de Bracale

El Método de Bracale se basa en el Método de Cold-FET, el cual emplea mediciones de parámetros S con varios voltajes aplicados a la compuerta ( $V_{gs} > V_T$ ) y  $V_{ds} = 0$  V [3.2]. El Método de Cold-FET es comúnmente usado para extraer parámetros de pequeña señal de MESFETs y HEMTs hechos con materiales III-V. Sin embargo, se encuentra un interés práctico y eficiente con las particularidades físicas del MOSFET [3.2] aún cuando en éste la corriente de compuerta no pueda fluir debido al aislamiento entre la compuerta y el resto del dispositivo por la capa de  $SiO_2$  [3.4].

Bajo estas condiciones de polarización se tiene:

- i) La transconductancia intrínseca  $g_{mi}$  desaparece, porque al ser  $V_{ds} = 0$ ,  $I_{ds} = 0$ , por lo tanto, no existe variación alguna de  $I_{ds}$  con respecto a  $V_{gs}$ .
- ii) La resistencia del canal  $R_{ch}$  es finita, lo cual permite definir la conductancia  $g_{di}$ .
- iii) El dispositivo se vuelve simétrico, lo cual implica  $C_{gs} = C_{gd} = C$ .

Donde

$$C_{gs} = C_{gsi} + C_{gse} \quad (3.4)$$

$$C_{gd} = C_{gdi} + C_{gde} \quad (3.5)$$

$$C_{ds} = C_{dsi} + C_{dse} \quad (3.6)$$

$C_{gs}$ ,  $C_{gd}$  y  $C_{ds}$  es la suma de las capacitancias intrínsecas y extrínsecas de compuerta-fuente, compuerta-drenador y fuente-drenador, respectivamente [3.1].

El circuito equivalente del MOSFET es el siguiente:

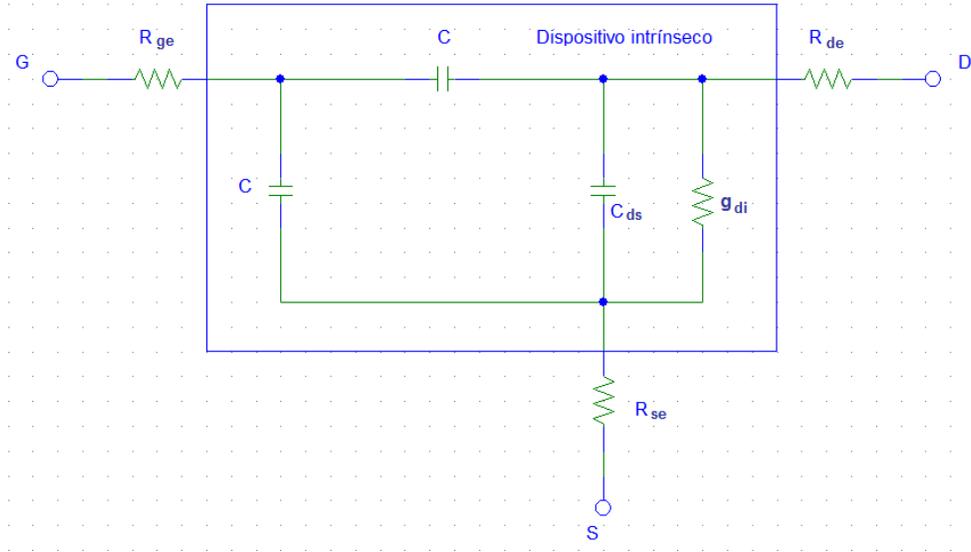


Figura 3.9. Modelo de circuito equivalente a pequeña señal basado en el Método de Cold-FET ( $V_{gs} > V_T$  y  $V_{ds} = 0$  V) [3.2].

Considerando que  $C + 2CC_{ds} \ll 2g_{di}/\omega$  y una movilidad constante para cada  $V_{gs}$  aplicado [3.1]. La parte real de los parámetros  $Z$  relacionados con el circuito equivalente se expresan de la siguiente manera [3.2]:

$$Re(Z_{22} - Z_{12}) = R_{de} + \frac{1}{2 \cdot g_{di}} \quad (3.7)$$

$$Re(Z_{12}) = R_{se} + \frac{1}{2 \cdot g_{di}} \quad (3.8)$$

$$Re(Z_{11} - Z_{12}) = R_{ge} + \frac{1}{4 \cdot g_{di}} \quad (3.9)$$

Por otro lado, la conductancia  $g_{di}$  del canal del MOSFET es proporcional al voltaje efectivo de compuerta ( $V_{gs} - V_T$ ) [3.2]. Por lo tanto, las ecuaciones (3.7), (3.8) y (3.9) quedan de la siguiente forma:

$$Re(Z_{22} - Z_{12}) = R_{de} + \frac{1}{2K(V_{gs} - V_T)} \quad (3.10)$$

$$Re(Z_{12}) = R_{se} + \frac{1}{2K(V_{gs} - V_T)} \quad (3.11)$$

$$Re(Z_{11} - Z_{12}) = R_{ge} + \frac{1}{4K(V_{gs} - V_T)} \quad (3.12)$$

Donde

$$K \text{ es la constante de proporcionalidad, definida por } K = \mu (W/L) C_{ox} \quad (3.13)$$

$\mu$  es la movilidad de los portadores,  $C_{ox}$  es la capacitancia del óxido de compuerta,  $W$  es el ancho del transistor y  $L$  es la longitud del canal del transistor.

Finalmente, las resistencias extrínsecas son determinadas mediante la regresión lineal de la relación de impedancia correspondiente. Es decir, la resistencia serie se determina mediante la intersección, con el eje y, de la gráfica de las partes reales de los parámetros  $Z$  vs. el inverso del voltaje efectivo de compuerta  $(1/(V_{gs} - V_T))$  [3.1].

### 3.3.3 Resultados de la extracción de las resistencias extrínsecas por medio del Método de Bracale

Los FinFETs al estar incrustados en la guía de onda coplanar durante su caracterización tal como se muestra en la figura 3.10, son conocidos como dispositivos bajo prueba (device under test *DUT*). Por lo tanto, es necesario remover los parámetros de acceso como se indicó en el Capítulo II, mediante el procedimiento de des-incrustación con una estructura abierta (open) [3.5]. La estructura open, es una estructura de prueba que consiste en una guía de onda coplanar igual a la que se usa en los transistores, la cual está construida en una zona de silicio donde no existe ningún transistor, por lo tanto los electrodos quedan desconectados quedando un circuito abierto [3.5], esta es la razón por la que se le da el nombre a este tipo de procedimiento de des-incrustación y se muestra en la figura 3.11.

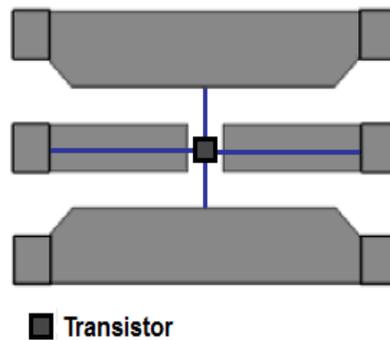


Figura 3.10. Dispositivo bajo prueba (DUT) incrustado en la guía de onda coplanar.

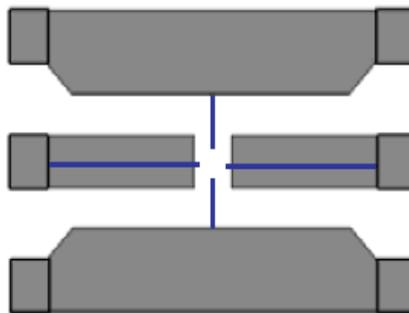


Figura 3.11. Procedimiento de des-incrustación del transistor que consiste en una estructura abierta (open).

El procedimiento de des-incrustación se realiza de la siguiente manera. Las series de mediciones de RF de los transistores son obtenidas en base a los parámetros de dispersión S. Los transistores están caracterizados con voltajes de compuerta  $V_{gs}$  en un intervalo de  $[0 \text{ V} \leq V_{gs} \leq 1.5 \text{ V}]$  e incrementos de 0.1 V y a muy altas frecuencias en un intervalo de  $[45 \text{ MHz} \leq f \leq 110 \text{ GHz}]$ . Los parámetros S del dispositivo bajo prueba son transformados a parámetros Y a manera que se puedan operar con los parámetros Y de la estructura abierta, posteriormente se realiza la diferencia de los parámetros Y del dispositivo bajo prueba con los parámetros Y de la estructura abierta, resultando una matriz  $Y_{\Sigma}$  la cual contiene los parámetros de admitancia de interés para la extracción:

$$Y_{\Sigma} = Y_{dut} - Y_{open} \quad (3.14)$$

Donde

$Y_{\Sigma}$  es la matriz de admitancias del transistor sin los efectos de la guía de onda coplanar.

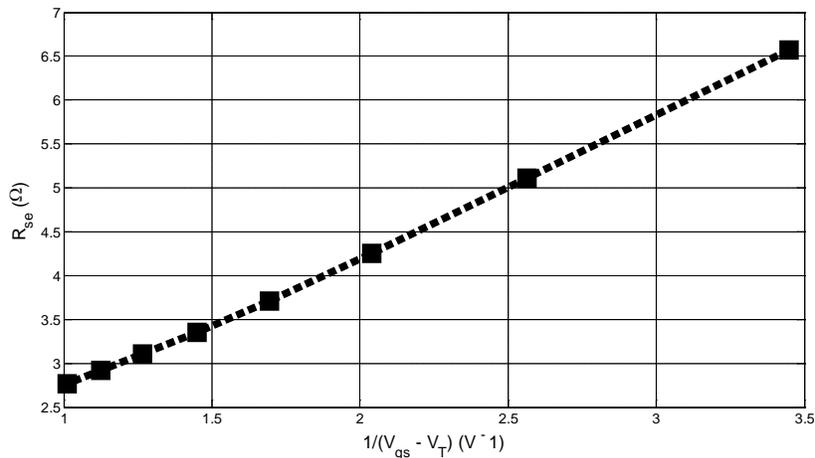
$Y_{dut}$  es la matriz de admitancias resultante de la transformación de los parámetros S del dispositivo bajo prueba.

$Y_{open}$  es la matriz de admitancias de la estructura de prueba open.

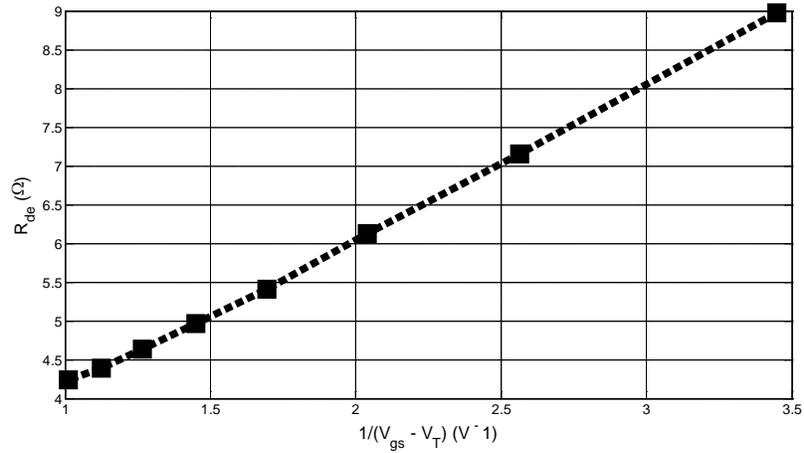
Una vez efectuado el proceso de des-incrustación, se puede realizar la extracción de las resistencias serie, mediante el procedimiento de Bracale. Para lo cual, es necesario que la matriz  $Y_{\Sigma}$  sea transformada a parámetros Z, de esta manera es posible aplicar el Método de Bracale.

En la figura 3.12 se presentan las gráficas de la parte real de los parámetros Z vs.  $(1/(V_{gs} - V_T))$ . Como se explicó en la sección 3.3.2, la ordenada al origen es el valor respectivo para cada resistencia extrínseca  $R_{se}$ ,  $R_{de}$  y  $R_{ge}$ .

(a)



(b)



(c)

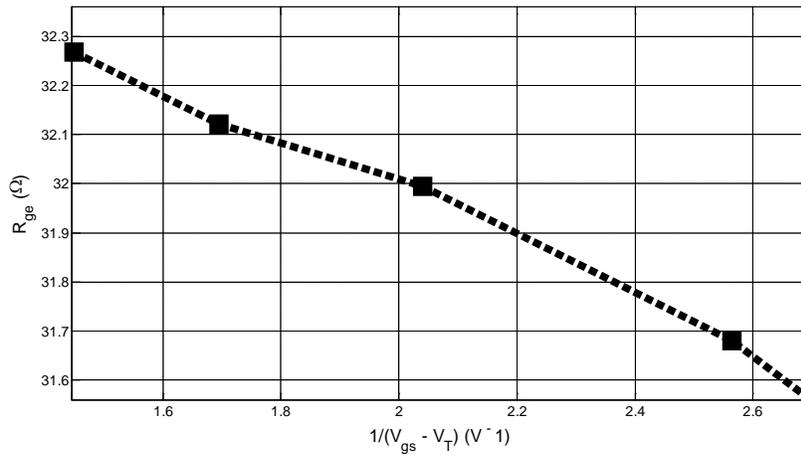


Figura 3.12. Gráficas de la parte real de los parámetros  $Z$  vs.  $(1/(V_{gs} - V_T))$  acorde con el Método de Bracale para un FinFET con  $W_{fin} = 18 \text{ nm}$ : (a)  $\text{Re}(Z_{12})$  vs.  $(1/(V_{gs} - V_T))$ , (b)  $\text{Re}(Z_{22} - Z_{12})$  vs.  $(1/(V_{gs} - V_T))$  y (c)  $\text{Re}(Z_{11} - Z_{12})$  vs.  $(1/(V_{gs} - V_T))$ . Donde para cada gráfica la ordenada al origen es el valor respectivo para cada resistencia extrínseca  $R_{se}$ ,  $R_{de}$  y  $R_{ge}$ .

Los resultados obtenidos de la extracción de las resistencias extrínsecas se observan en la figura 3.13 y tienen el siguiente comportamiento respecto a la geometría de los transistores:

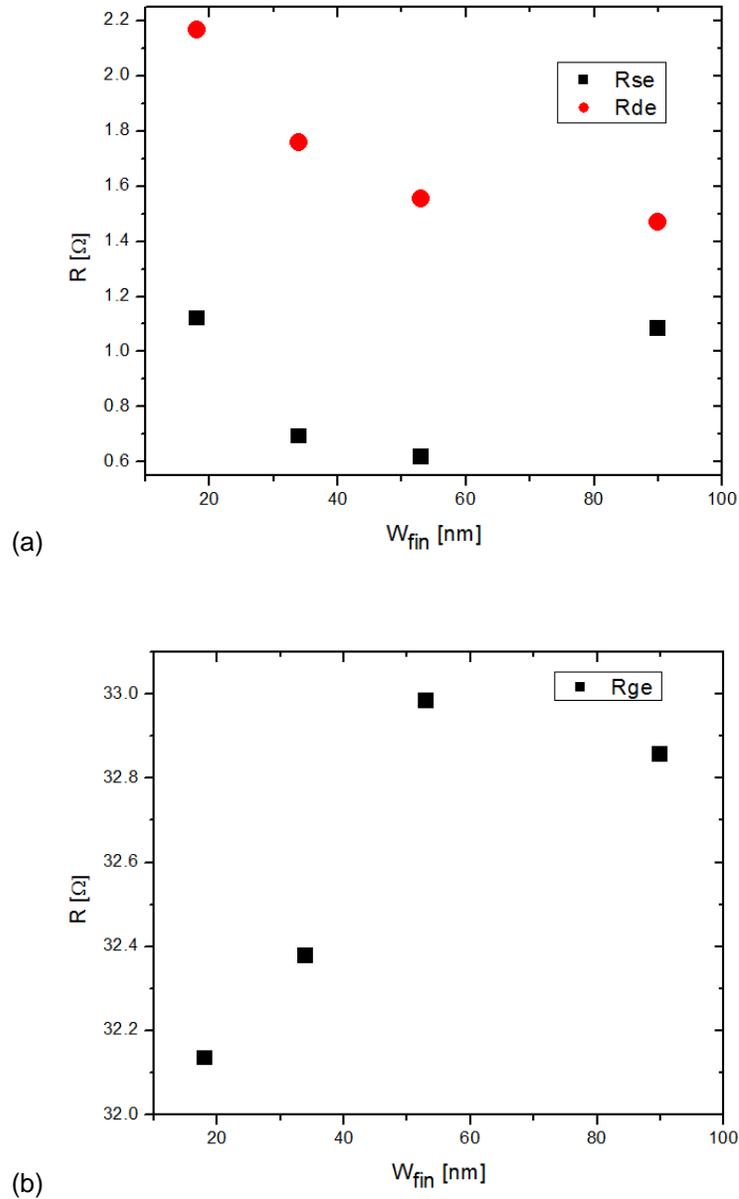


Figura 3.13. Gráficas de la extracción de las resistencias extrínsecas en función de  $W_{fin}$  para FinFETs con  $W_{fin} = 18$  nm, 34 nm, 53 nm y 90 nm: (a)  $R_{se}$  y  $R_{de}$  y (b)  $R_{ge}$ .

En las gráficas se puede observar que al aumentar  $W_{fin}$ , se reduce el valor de las resistencias de fuente  $R_{se}$  y drenador  $R_{de}$  extrínsecas, lo cual indica que al tener fins muy angostos las resistencias  $R_{se}$  y  $R_{de}$  son más grandes, por lo que es posible que los FinFETs presenten menores efectos de canal corto SCE, sin embargo, con valores grandes de ambas resistencias, ocasionan que la corriente de drenador  $I_{ds}$  y la transconductancia  $g_{mi}$  se reduzcan [3.6]. Por otro lado, la resistencia de compuerta extrínseca  $R_{ge}$  muestra valores muy grandes a comparación de  $R_{se}$  y  $R_{de}$ , en base a estos aspectos se demuestra cómo  $R_{ge}$  es la resistencia que tiene mayor impacto en el funcionamiento en frecuencia de los transistores de

RF, mientras que  $R_{se}$  y  $R_{de}$  con sus pequeños valores impactan en menor grado el funcionamiento de los FinFETs.

La siguiente tabla resume los valores totales de las resistencias  $R_{se}$ ,  $R_{de}$  y  $R_{ge}$  extrínsecas.

Parámetro	Transistor 1			Transistor 2			Transistor 3		
$w_{fin}$ [nm]	$R_{se}$ [ $\Omega$ ]	$R_{de}$ [ $\Omega$ ]	$R_{ge}$ [ $\Omega$ ]	$R_{se}$ [ $\Omega$ ]	$R_{de}$ [ $\Omega$ ]	$R_{ge}$ [ $\Omega$ ]	$R_{se}$ [ $\Omega$ ]	$R_{de}$ [ $\Omega$ ]	$R_{ge}$ [ $\Omega$ ]
18	1.120	2.17	32.1	1.120	2.17	32.1	1.333	2.90	17.04
34	0.69	1.760	32.4	0.69	1.760	32.4	0.70	1.970	18.53
53	0.62	1.560	33.0	0.62	1.556	33.0	0.79	2.36	14.44
90	1.083	1.469	32.9	1.083	1.469	32.9	0.48	1.276	20.3

Tabla 3.5. Extracción de las resistencias extrínsecas totales de los FinFETs empleando distintos  $W_{fin}$ 's.

### 3.4 Extracción de las capacitancias extrínsecas

Las capacitancias extrínsecas pueden ser extraídas polarizando el MOSFET en empobrecimiento con  $V_{gs} \ll V_T$  y  $V_{ds} = 0$  V [3.1].

Bajo esta condición de polarización, no se induce el canal y la resistencia en la región del canal es infinita no permitiendo definir la conductancia  $g_{di}$ . Además  $I_{ds} = 0$ , por lo tanto la transconductancia es igual a cero. Al no existir un incremento significativo del voltaje  $V_{gs}$ , no se producirá una variación de la carga asociada a las otras terminales, de manera que las capacitancias intrínsecas definidas en las ecuaciones (2.1), (2.2) y (2.3) (Capítulo II) son prácticamente iguales a cero y por consiguiente la parte intrínseca de las ecuaciones (3.4), (3.5) y (3.6) se cancelan. El circuito equivalente resultante a pequeña señal queda de la siguiente forma:

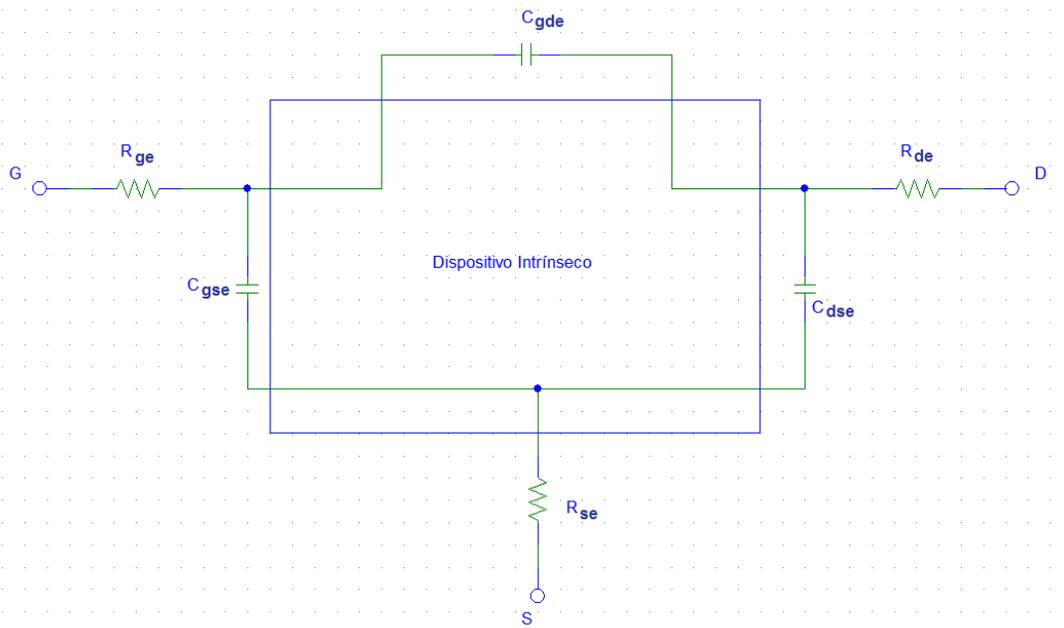


Figura 3.14. Modelo de circuito equivalente del MOSFET a pequeña señal con  $V_{gs} = V_{ds} = 0$ V

El circuito equivalente puede dividirse en dos partes. Primero, la parte resistiva que puede representarse como una matriz real definida por la matriz  $Z_e$  (ecuación (2.13)) y segundo, una parte capacitiva, formada por las capacitancias parásitas asociados a la estructura. Del circuito equivalente de la figura 3.14, se pueden remover las resistencias serie, quedando solo el efecto de las capacitancias parásitas, para lograrlo, es necesario despejar  $Y_{\pi}^{-1}$  de la ecuación (2.12):

$$Y_{\pi}^{-1} = Z_{\Sigma} - Z_e \quad (3.15)$$

Donde  $Y_{\pi}^{-1}$  al ser una matriz de impedancias debe ser transformada a una matriz de admitancias quedando una matriz como la de de la ecuación (2.11), es decir:

$$Y_e = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gde}) \end{bmatrix}$$

Finalmente el circuito equivalente en pequeña señal que contiene únicamente el efecto de las capacitancias extrínsecas queda representado de la siguiente manera:

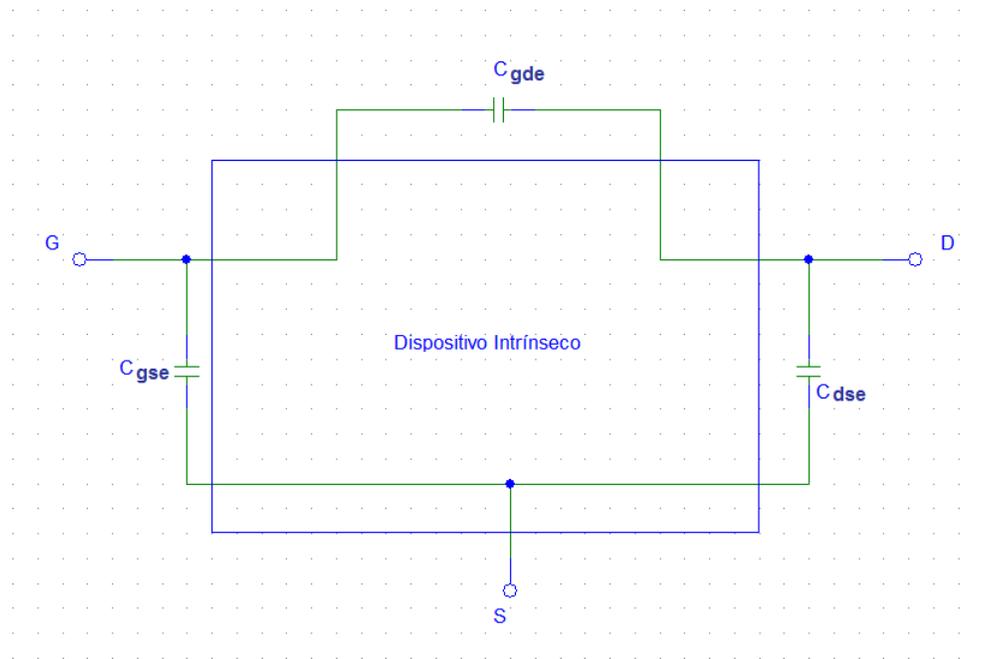


Figura 3.15. Modelo de circuito equivalente del MOSFET a pequeña señal después de remover las resistencias parásitas.

Del circuito equivalente de la figura anterior, las capacitancias extrínsecas pueden ser extraídas de las partes imaginarias de los parámetros de admitancia de la ecuación (2.11), y están dadas por [3.1]:

$$C_{gse} = \frac{Im(Y_{11} + Y_{12})}{\omega} \quad (3.16)$$

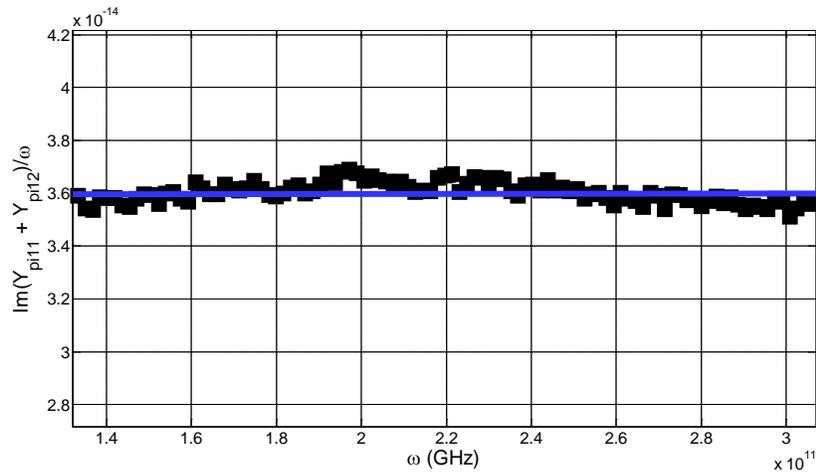
$$C_{gde} = -\frac{Im(Y_{12})}{\omega} \quad (3.17)$$

Es decir, se grafican las partes imaginarias de estas ecuaciones vs. la frecuencia  $\omega$ .

### 3.4.1 Resultados de la extracción de las capacitancias extrínsecas

Los valores obtenidos de las capacitancias extrínsecas extraídas  $C_{gse}$  y  $C_{gde}$  se realizaron en un intervalo de voltaje de compuerta  $V_{gs}$  [0 V, 0.1V, 0.2 V, 0.3 V] y a muy altas frecuencias en un intervalo de [45 MHz  $\leq f \leq$  110 GHz]. Las gráficas de la parte imaginaria de las ecuaciones (3.16) y (3.17) vs.  $\omega$  son las siguientes:

(a)



(b)

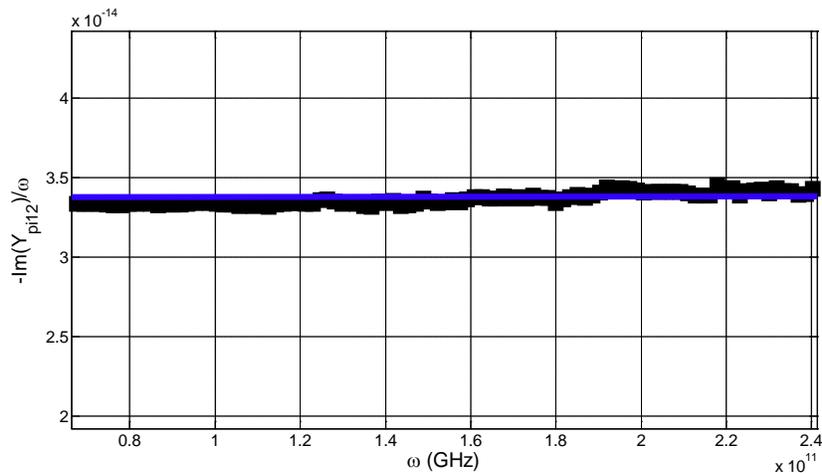
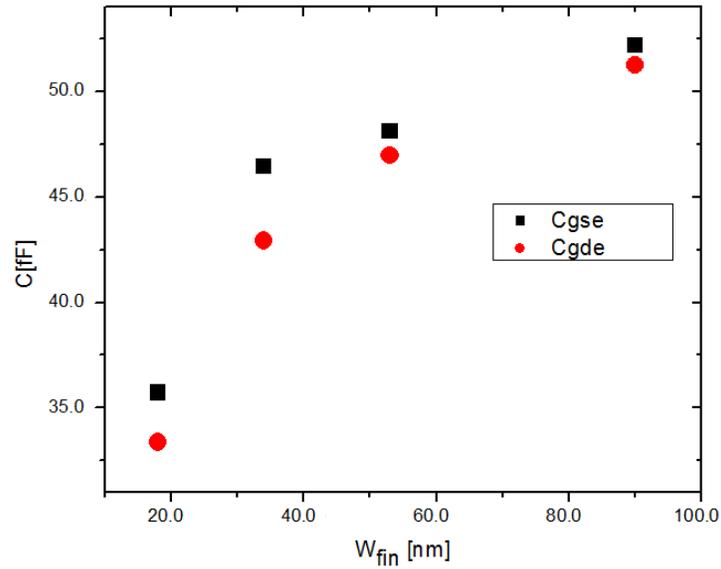


Figura 3.16. Gráficas de la parte imaginaria de las ecuaciones: (a) (3.16) y (b) (3.17), y representan respectivamente  $C_{gse}$  y  $C_{gde}$  vs.  $\omega$ , para un FinFET con  $W_{fin} = 18$  nm y  $V_{gs} = 0$  V.

De la figura 3.16, para determinar de manera óptima los valores de las capacitancias  $C_{gse}$  y  $C_{gde}$  se consideraron las partes planas de cada una de las gráficas, en un intervalo de aproximadamente 10 y 40 GHz.

Los resultados de  $C_{gse}$  y  $C_{gde}$  se muestran en las siguientes gráficas:

(a)



(b)

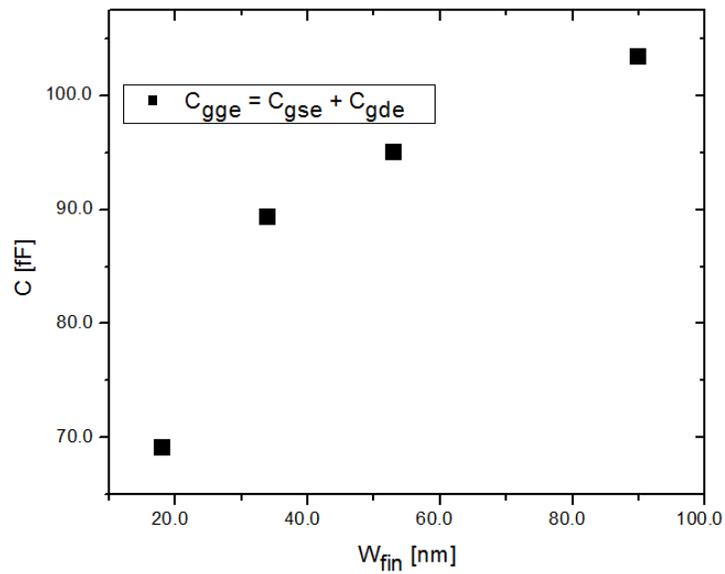


Figura 3.17. Gráficas de la extracción de las capacitancias extrínsecas en función de  $W_{fin}$  para FinFETs con  $W_{fin} = 18$  nm, 34 nm, 53 nm y 90 nm, a  $V_{gs} = 0$  V: (a)  $C_{gse}$  y  $C_{gde}$ . (b)  $C_{gge}$  es la suma de  $C_{gse}$  y  $C_{gde}$ .

A partir de las gráficas de la figura 3.17, se puede observar que a medida que el ancho del fin es reducido, las capacitancias muestran un valor más pequeño.

Considerando un punto de polarización en saturación, la capacitancia  $C_{gdi}$  tiende a cero, por otro lado  $C_{gsi}$  tiende al valor de  $2/3 C_{ox}$ , donde  $C_{ox}$  es la capacitancia total del óxido de compuerta. Por lo tanto la capacitancia intrínseca total asociada a la compuerta, puede determinarse como:

$$C_{ggi} = \frac{2}{3} \frac{k_{ox} \epsilon_0}{t_{ox}} WL \quad (3.18)$$

Donde  $k_{ox}$  es la constante dieléctrica del  $\text{SiO}_2$ ,  $t_{ox}$  es el espesor de dicho dieléctrico,  $\epsilon_0$  es la permitividad eléctrica del vacío,  $W$  es el ancho total del transistor y  $L$  es la longitud del canal. El ancho total puede determinarse a partir de la siguiente expresión:

$$W_{Tot} = 80(2H_{fin} + W_{fin}) \quad (3.19)$$

Donde, 80 es el número total de fins,  $H_{fin}$  es la altura del fin y  $W_{fin}$  es el ancho del fin.

La tabla 3.6 muestra el resumen de las capacitancias extraídas, para comparación, y los valores de la capacitancia total del óxido de silicio.

$W_{fin}$ [nm]	$W_{Tot}$ [ $\mu\text{m}$ ]	$C_{ox}$ [fF]	$C_{ggi}$ [fF]	$V_{gs} = 0$ [V]			$V_{gs} = 0$ [V]			$V_{gs} = 0$ [V]		
				$C_{gse}$ [fF]	$C_{gde}$ [fF]	$C_{gge}$ [fF]	$C_{gse}$ [fF]	$C_{gde}$ [fF]	$C_{gge}$ [fF]	$C_{gse}$ [fF]	$C_{gde}$ [fF]	$C_{gge}$ [fF]
18	11	12.60	8.4	35.7	33.4	69.1	36.2	33.8	70.0	37.8	34.3	72.1
34	12.32	14.20	9.47	46.4	42.9	89.3	46.5	43.1	89.6	46.6	45.1	91.7
53	13.84	15.90	10.60	48.1	46.9	95.0	49.0	46.5	95.5	49.1	48.1	97.2
90	16.8	19.30	12.87	52.2	51.2	103.4	52.2	51.3	103.5	55.5	52.3	107.8

Tabla 3.6. Extracción de las capacitancias extrínsecas totales de los FinFETs empleando distintos  $W_{fin}$ 's a  $V_{gs} = 0$  V.

Como puede observarse de la tabla anterior, los valores obtenidos de la capacitancia extrínseca total de compuerta  $C_{gge}$ , son varias veces mayores con respecto a  $C_{ox}$ . Por otro lado, como se mencionó anteriormente, el valor intrínseco  $C_{ggi}$  es menor a  $C_{ox}$ , por lo tanto, se puede deducir, que la capacitancia extrínseca será varias veces mayor a su contraparte intrínseca. Comparando los valores obtenidos, se puede determinar que  $C_{gge}$  será aproximadamente 8 veces mayor que  $C_{ggi}$ .

De lo anterior, es evidente que la operación global de los FinFETs es fuertemente degradada, como resultado de la presencia de las capacitancias parásitas, debido a que la capacitancia total de compuerta, quedará dominada por la componente parásita, siendo la componente intrínseca despreciablemente pequeña.

### 3.5 Referencias

- [3.1] Tinoco, Julio C., Raskin, Jean-Pierre, "Microwave and Millimeter wave Technologies: From Photonic Bandgap Devices to Antenna and Applications", In-Tech, pp. 217-224, Marzo 2010.
- [3.2] Bracale, A., Ferlet-Cavrois, V., Fel, N., Pasquet, D., Gauthier, J. L., Pelloie, J. L., Du Port de Poncharra, J., "A New Approach for SOI Devices Small-Signal Parameters Extraction", Analog Integrated Circuits and Signal Processing, vol. 25, no. 2, Mayo 2000.
- [3.3] S. M. Sze, "Physics of Semiconductor Devices", John Wiley & Sons, pp. 303-307, 312-316, New York, 2007, 3ª ed.
- [3.4] Raskin, Jean-Pierre, "Modeling, Characterization and Optimization of MOSFET's and Passive Elements for the Synthesis of SOI MMIC's", Université Catholique de Louvain, Laboratoire D'Hyperfrequences, pp. 2.16-2.25, Diciembre 1997.
- [3.5] Ming-Hsiang C., Guo-Wei Huang, Yueh-Hua Wang, Lin-Kun Wu, "A Scalable Noise De-Embedding Technique for On-Wafer Microwave Device Characterization", IEEE Microwave and Wireless Components Letters, Vol. 15, No. 10, Octubre 2005.
- [3.6] Raskin, J.P., "SOI Technology: An Opportunity for RF Designers?", Journal of Tele-communications and Information Technology, 2009.

# CONCLUSIÓN

---



Se analizó el estado del arte de los MOSFETs de RF en base a sus principales figuras de mérito. Se revisó el escalado de este dispositivo, la tecnología SOI, así como de una nueva estructura del MOSFET, que consiste en múltiples compuertas, denominado FinFET.

Se compararon los transistores MOS con los transistores basados en materiales III-V para aplicaciones de alta frecuencia y con ello se mostró que los MOSFETs con pequeñas longitudes de canal, son competitivos para aplicaciones analógicas de muy alta frecuencia.

A partir del principio de operación y los modelos de pequeña señal del MOSFET, se obtuvieron los elementos parásitos asociados a la estructura 3-D de los FinFETs. Dichos elementos parásitos fueron determinados mediante el uso de técnicas específicas de extracción de parámetros, basadas en diversas mediciones de los parámetros S.

Lo esencial de los métodos de extracción de RF es polarizar al FinFET bajo condiciones específicas, a fin de reducir la complejidad del circuito equivalente y a partir de ello obtener de manera independiente y directa los elementos deseados. Bajo esta esencia, se pudieron desprestigiar algunos elementos intrínsecos quedando únicamente las resistencias y capacitancias extrínsecas.

Las simulaciones predicen muy altas frecuencias de corte, sin embargo, para que sea posible alcanzarlas es fundamental conocer los valores de las capacitancias y resistencias parásitas. Por otro lado, el proceso de fabricación para transistores MOS de alto rendimiento está muy cerca de ser realizado; no obstante, los efectos parásitos asociados a la estructura del transistor siempre estarán presentes, por tal motivo, el conocer los valores de dichos parásitos propicia a que los ingenieros mejoren los diseños, buscando optimizar la geometría del dispositivo y por consiguiente poder reducir de manera óptima los parásitos del MOSFET.

El FinFET es un dispositivo prometedor para aplicaciones en sistemas electrónicos analógicos en, el rango de las microondas y las ondas milimétricas, y la visión que se le otorga a este dispositivo es de perfilarlo en pocos años a alcanzar un funcionamiento en el orden de THz.