

01/30
30



UNIVERSIDAD NACIONAL AUTONOMA
DE MEXICO

FACULTAD DE INGENIERIA

DISEÑO DE UN SISTEMA DE TRANSMISION Y RECEPCION
DE SEÑALES INFRARROJAS PARA EL TREN LIGERO DE LA
CIUDAD DE MEXICO

T E S I S

QUE PARA OBTENER EL TITULO DE:
INGENIERO EN TELECOMUNICACIONES

P R E S E N T A N :

RODRIGUEZ JUAREZ MAURICIO
LOPEZ MEYER PAULO



ASESOR: DR. JUAN HERNANDEZ CORDERO

CIUDAD UNIVERSITARIA, MEXICO, D. F. OCTUBRE DEL 2003

A

TESIS CON
FALLA DE ORIGEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

Dedicatoria.

*A mi madre por el ejemplo de lucha cuando se quiere algo.
A mis hermanos Dulce y Ricardo por el apoyo que siempre me brindaron.
A mi sobrina como legado del jsi se puede!
A la virtual... ahora una realidad Ale.*

**Mauricio Rodríguez Juárez
Octubre 2003.**

*Definitivamente a mis señores padres, que tuvieron que aguantar todo este
tiempo (espero y haya valido la pena para ustedes también).
A mis hermanos que cruzaron
esto primero, y me mostraron los errores de los que uno no se puede escapar.
A mis amigos; pareciera que no, pero de todos hay algo en este trabajo.
Y por aquello de que los últimos serán los primeros, a Diana, amor en
abundancia y del bueno.*

**López Meyer Paulo
Octubre 2003.**

Agradecimientos.

A la Universidad Nacional Autónoma de México, nuestra alma mater, porque fue aquí donde aprendí a alimentar el espíritu. A todos y cada uno de los profesores y alumnos que día a día hacen de esta Institución la mas humilde y por tanto la mas grande de México.

A la Facultad de Ingeniería por la formación recibida en sus aulas. Al profesor Arnulfo Andrade que sin duda alguna marco toda mi carrera profesional con su espíritu. Al profesor Castañeda de Isla Puga por el ejemplo de dedicación y esmero en la educación.

Al Instituto de Investigaciones en Materiales por el espíritu que mantiene de constante superación y tan grata convivencia. Gracias por los momentos de feliz convivencia. A mi asesor Juan Hernández Cordero por su apoyo y consejos pero sobre todo por su confianza y gran paciencia. Al doctor Baltasar Mena por sus atinados comentarios llenos de sarcasmo y que fueron tan especiales para mí. A todos los cuates: Al Edson, al Roberto, Al Julian, al Mike, Al Carlos, al Charles, al Miguel, a Chris, a Erendira.

Al STEDF por el apoyo proporcionado para realizar esta tesis: al Ingeniero Mario Silva y al ingeniero Alberto Guerrero por la confianza otorgada.

A mis sinodales, el Maestro en Ingeniería Ismael Martínez (que me hizo sufrir hasta el último instante dentro y fuera de clases), al Ingeniero Eduardo Ramírez (al cual ofrezco una disculpa por haber perdido uno de sus microcontroladores), al Dr. Miguel Moctezuma por sus comentarios de superación, al ingeniero Gabriel A. Jaramillo por su dedicación a nuestro trabajo.

Como apartado especial quiero agradecer a todos y cada uno de mis amigos que hicieron posible este sueño y de los cuales no quisiera olvidar a ninguno:

A los de la primaria por la humildad y ganas con que me enseñaron hacer las cosas: Edgar, Francisco, Anabel, Alejandro y Jesús.

A los de la secundaria que me enseñaron a volar y que son muchos: Anai (sin duda alguna por sus consejos y largas platicas), a Violeta (la de los lentes y trenzas), a Mayra (por ser quien es), a Yaneli, a Nubia, a Julio; al Jonathan (el enano), al Rodrigo (el huevo), al Huevo (el bachoco), al Isaac (el Gonzo, dormido, el triste etc.), que fueron mis amigos inseparables.

A los del CCH: A Josefina (la Chepina) por que sin ella no hubiera logrado pasar a la siguiente etapa; a Miguel (el Tlacoyo), Héctor (el maricon), Claudia (la negrita de los Hot Cakes), a Ángel mis compañeros de parranda (nunca se me olvidara aquella noche tras barrotes que con toda honestidad aun no recuerdo bien); y a los brevarios culturales que me llevaron a la practica de la teoría en carne vida: Wendy (la florecita roquera), la wera, el Pino, el Amiba, el Guayabo, el Japo y especialmente a Dulce.

A los de la Fac: A la Maru por su cariño sin duda alguna invaluable; a Ignacio (el Chalma), Alberto (el Güero), el Piojo, Darío, Carlos (el niño), Gilberto, sin duda alguna por su amistad. A los del PTC, el Ricardo y su mujer la Jennifer, y al reksio. Y a los agregados por los momentos gratos: el lalo, el cori, las weras, Yadira, Vianey, el ostión, el enano, el Robert.

A mis amigos inseparables en aquella época de rebeldía: Gustavo (el chupes), George y Paulina.

A los cuates de la mesereada: al gordito don Felas, al Cristian, al Luis, y al Pilon; al Reynaldo, al lagrimita y al alubias por qué de alguna forma me enseñaron lo que no quería ser (inches hojaldras).

A los papas del Isaac por que sin su ayuda no hubiera logrado muchas cosas. A los papas del Huevo.

Y finalmente quiero agradecer especialmente a los que ahora son mi familia: Eduardo muchas gracias por enseñarme las ganas de querer o btener algo; a Xochil, por querer tanto a mi hermano y por esa niña tan linda que nos diste. A Ale que fue parte de todo el transcurso de este trabajo, y sobre todo por ser la virtual. Al Paulo por sus consejos y apoyo durante toda la carrera.

Mauricio

A Gilberto y Quetila, los padres que siempre me han apoyado en todo lo que he querido hacer. Al Gil, a la Meli, al Mayo y al Leo, por toda la confianza, por no preguntar y nunca decir que no. A mis otros hermanos, Nacho, Ivonne y Adriana, que ponen siempre mucho mas de lo que necesito.

A la UNAM y a la Facultad de Ingeniería; cada que lo pienso me alegro mas de haber tomado la decisión correcta. Uno aprende aquí más cosas de lo que se enseña en los salones de clase. Al Instituto de Investigaciones en Materiales por permitirnos hacer un trabajo de a de veras.

Al Dr. Juan A. Cordero Hernández, por ofrecernos la oportunidad de trabajar en este proyecto y darnos la responsabilidad y la libertad de hacer nuestro trabajo. Por la confianza y la amistad.

A nuestros sinodales por tomarse el tiempo y por los cursos impartidos en mi facultad; M.I. Ismael Martínez, Ing. Eduardo Ramírez, Dr. Miguel Moctezuma y al Ing. Gabriel Jaramillo.

Al Dr. Roberto Zenit, al Dr. Enrique Gefroy y al Dr. Guillermo Pullos y por el apoyo y las facilidades para realizar este trabajo y por permitirnos desordenar sus laboratorios.

También a Luis y a Edson, que formaron parte de este proyecto, así como a Sandra y a Cesar.

A Mario, Alberto y Daniel, del STEDF, por el apoyo y por confiar en nuestro trabajo y por el apoyo de siempre.

A los compañeros del Instituto de Investigaciones en Materiales, porque no todo se reduce al trabajo: Ángel, Joel, Charly, Carlos, Líber, Gilberto, Roberto, Julián, Enrique, Víctor, Miguel, Mike, Daniel y a los Marco. Su ayuda es invaluable. En especial quiero agradecer a Gerardo, Oscar, Gabriel y a Chris por la ayuda, aun cuando no tenían porque.

A todos mis amigos en mi facultad. A la generaciones 97-2, 98-1 y 98-2 de todas las carreras, con los que conviví dentro y fuera de las aulas. A Carlitos, al Güero y a Dario; a Odette, a Maribel, y toda mi bandota que me echo la mano muchas veces y que fueron los que me ayudaron a terminar esta larga carrera.

A Mauricio, creo que hicimos un muy buen equipo.

Finalmente, a Diana, por escuchar las pláticas sin sentido y hacer como si fuera muy interesante, pero sobre todo por todo el amor, la paciencia y la comprensión.

Paulo.

Resumen.

El Tren ligero de la Ciudad de México es uno de los sistemas de transporte eléctrico administrados por el Gobierno del Distrito Federal, sirviendo a 40000 pasajeros diarios en la zona sur de la ciudad. A lo largo de su trayectoria, la red del Tren Ligero presenta varios cruces en los que la seguridad vehicular y peatonal es de gran importancia. Para establecer márgenes de seguridad en los cruces, se diseñó un Sistema Prototipo de Seguridad basado en sistemas de detección de rayos infrarrojos (IR) y una malla láser.

Todos los subsistemas utilizados en el prototipo son controlados por una computadora de tipo PC-104, usando comunicación por medio del puerto serial y una tarjeta de adquisición de datos A/D.

Un transmisor IR instalado en la parte frontal del Tren Ligero envía constantemente información a diferentes receptores IR ubicados en puntos cercanos al cruce. Una vez detectado el Tren Ligero la computadora activa una serie de alarmas y barreras en una secuencia lógica de tal manera que el cruce queda libre de obstáculos para el paso del Tren Ligero.

La malla láser, formada por ocho transmisores y receptores situados a diferentes alturas dentro del cruce, es activada para detectar situaciones de emergencia como vehículos o peatones situados dentro del cruce. La discriminación entre situaciones de emergencia reales o falsas se realiza mediante la codificación de las señales infrarrojas y de los láser.

El trabajo que se presenta en esta tesis consiste en el diseño del sistema de detección infrarroja basado en un transmisor y recepción de señales IR codificadas. Adicionalmente se describe el diseño y desarrollo de la tarjeta de adquisición de datos para la PC-104 para el control de todos los dispositivos del Sistema Prototipo mediante el puerto serial.



ÍNDICE.

Capítulo 1. Introducción: Antecedentes y problemática en los cruceros del Tren Ligero.....	1
1.1 Antecedentes generales sobre medios de transporte en la ciudad de México.....	1
1.2 Transporte eléctrico en la Ciudad de México.....	3
1.2.1 Tren Ligero.....	3
1.3 Cruceros del tren ligero: características y problemática.....	4
1.4 Sistema prototipo para el control de paso en los cruceros del Tren Ligero.....	6
1.4.1 Objetivos de la implantación del sistema prototipo.....	6
1.4.2 Características y lógica de operación.....	6
1.4.2.1 Lógica de operación del sistema de seguridad sin emergencia.....	9
1.4.2.2 Lógica de operación del sistema de seguridad con bloqueo de plumas.....	9
1.4.2.3 Lógica de operación del sistema de seguridad con bloqueo de láser.....	10
1.4.3 Subsistemas que componen el Prototipo.....	11
1.4.3.1 Computadora central del crucero (PC-104).....	11
1.4.3.2 Sistema electrónico de control de semáforos.....	12
1.4.3.3 Sistema electrónico de control de plumas.....	12
1.4.3.4 Sistema de señalización visual y audible.....	12
1.4.3.5 Sistema de transmisores y receptores láser.....	13
1.4.3.6 Sistema infrarrojo transmisor y receptor en los extremos del tren, detector de aproximación y salida del tren, sistema activador de Para-Tren.....	13
1.5 Objetivos de esta tesis.....	13



Capítulo 2. Transmisión y recepción de señales infrarrojas en el Sistema Prototipo de Control de Paso del Tren Ligero de la Ciudad de México.....	15
2.1 Introducción: conceptos básicos.....	15
2.1.1 Codificación.....	16
2.1.2 Modulación y demodulación.....	17
2.1.3 Frecuencias de transmisión y espectro electromagnético.....	19
2.1.4 Microcontroladores: generalidades y características.....	20
2.2 Características del sistema.....	21
2.2.1 Transmisión y recepción del tren ligero al crucero.....	21
2.2.2 Transmisión y recepción del crucero al tren.....	22
2.3 Funcionamiento lógico del enlace infrarrojo.....	22
2.3.1 Codificación de la señal transmitida.....	22
2.3.2 Decodificación de la señal recibida.....	23
2.3.3 Programación de los microprocesadores.....	23
2.3.3.1 Programación para la transmisión.....	24
2.3.3.2 Programación para la recepción.....	28
2.4 Diseño electrónico de transmisores y receptores.....	31
2.4.1 Transmisor Infrarrojo.....	31
2.4.2 Receptor infrarrojo.....	32
2.5 Lentes y gabinetes para los sistemas de transmisión y recepción.....	33
2.5.1 Lentes.....	33
2.5.2 Gabinetes y empaquetado.....	34
2.6 Conectores y cables.....	35
Capítulo 3. Interconexión de los subsistemas con la computadora central del crucero.....	38
3.1 Computadora central del crucero.....	38
3.1.1 Generalidades de los sistemas con bus PC-104.....	38
3.1.2 Características de la computadora central.....	40
3.2 Puerto Serie.....	41



3.2.1 Generalidades.....	41
3.2.2 Protocolo RS-232.....	42
3.2.3 Transmisión de la información.....	43
3.3 Conexión con el puerto serie: circuito integrado MAX232.....	44
3.3.1 Interconexión de subsistemas con el MAX232.....	45
3.3.2 Microcontrolador PIC16F877.....	46
3.4 Monitoreo de dispositivos.....	47
Capítulo 4. Pruebas con los dispositivos diseñados.....	54
4.1 Funcionamiento de los subsistemas Infrarrojos.....	54
4.2 Transmisión de los receptores IR al microcontrolador PIC16F877.....	60
4.3. Transmisión del microcontrolador PIC16F877 a la PC-104.....	62
4.4 Comunicación PC-104 – Subsistemas del Sistema Prototipo.....	63
Capítulo 5. Conclusiones.....	67
Apéndices.....	71
Apéndice 1. Hojas de especificaciones.	
Apéndice 2. Programas de los microcontroladores.	
Apéndice 3. Cálculos de circuitos eléctricos.	
Apéndice 4. Memoria de Calculo del Sistema Prototipo de Prevención de Accidentes en los cruceros del Tren Ligero de la Ciudad de México.	
Apéndice 5. Códigos de comunicación serial.	
Apéndice 6. Cálculos de Velocidad de Transmisión Serial en PIC16F877.	
Apéndice 7. Diagramas de conexión del PIC16F877.	

Referencias y Bibliografía.



PAGINACIÓN DISCONTINUA

Capítulo 1. Introducción: Antecedentes y problemática en los cruceros del Tren Ligero.

1.1 Antecedentes generales sobre medios de transporte en la ciudad de México.

El origen sobre los medios de transporte en la ciudad de México se remonta a partir de la segunda mitad del siglo XIX, donde el transporte se caracterizó por los tranvías "de mulitas" que sustituirían a los ómnibus, en el año de 1856, año en que se otorgó la primera concesión para construir una línea de tranvías de tracción animal que iría de México a Tacubaya. Cuatro años más tarde, en co-inversión entre particulares y gobierno, se construyó la segunda línea, a Tlalpan, y a partir de entonces, estos medios de transporte ferroviario de tracción animal comenzaron a proliferar en la ciudad, incluso abriendo espacio al crecimiento urbano a lo largo de sus rutas.

La llegada del siglo XX vio la instalación de los primeros tranvías eléctricos de la ciudad, que circulaban sobre las mismas vías que los de mulitas, aunque la sustitución de estos últimos por los nuevos "troleys" (de donde viene la palabra que usamos hoy para los trolebuses) no terminó sino hasta 1934. Los tranvías eléctricos fueron de la mano con la expansión de la Ciudad de México, con el trazo de sus nuevas colonias, como la Santa María La Ribera, la Cuauhtémoc, la Roma, la Hipódromo, incluso mientras la hegemonía del automóvil y la gasolina comenzaba a imponerse.

El transporte público eléctrico, que seguía básicamente las mismas rutas que se trazaron desde la existencia de los tranvías de mulitas, competía con un creciente número de camiones y automóviles de alquiler y particulares movidos con gasolina, iniciando la dinámica que hoy caracteriza a nuestra ciudad: el movimiento permanente, la prisa y el tráfico; la modernidad en acción, conviviendo con tradiciones que se negaban a morir: carretas y carretones de mulas, mecapaleros y peatones.

La segunda mitad del siglo XX vería la desaparición de los tranvías y su rápida sustitución con camiones, trolebuses, taxis y los famosos "peseros";



automóviles que hasta hace no muchos años hacían rutas fijas haciendo pasajeros en su interior. La dinámica de expansión y crecimiento, no sólo imprimió una serie de características propias del crecimiento caótico, descontrolado, en la fisonomía de la urbe, sino muy especialmente en los medios de transporte que la cruzarían.

Fue, desde entonces y hasta ahora, una especie de carrera local en la que los carros de alquiler, los peseros, camiones y tranvías tratarían de alcanzar a la desbordada ciudad en su viaje sin destino por el tiempo, sin conseguirlo nunca.

La presencia del Metro y su rápido crecimiento rearticulaban el transporte público de la ciudad. Las rutas tradicionales, que en muchos casos conservaban trayectorias trazadas desde décadas atrás, a veces desde el siglo XIX, fueron modificándose en torno de las nuevas rutas y de las estaciones del Metro. En algún tiempo, las líneas y las estaciones del Metro se habrían de convertir en un nuevo eje de organización del transporte urbano, aunque esto fue realizándose poco a poco, a partir del primer tramo, inaugurado el 5 de septiembre de 1969. El Metro representó una importante solución a los problemas de tránsito y transporte, pero no creció al ritmo de la población. A la par del desarrollo del Metro, la ciudad fue creciendo en transportes públicos de superficie: los trolebuses sustituyeron a los tranvías; más tarde, las combis a los peseros; después la empresa paraestatal Ruta 100 a los camiones de todos colores, "delfines" y "ballenas", y ya en los noventa, los terribles "microbuses", concesionados, a las combis.

Actualmente el gobierno de Distrito Federal presta el servicio de transporte a través de tres organismos: el Servicio de Transportes Eléctricos del Distrito Federal (STEDF); el Consejo de Incautación de AUPR-100, que cuenta con un parque vehicular operable de 860 autobuses, con una eficiencia del 82% de unidades en ruta (705); el Sistema de Transporte Colectivo-Metro, que tiene 222 trenes en operación en promedio diario.

La capital mexicana es una de las ciudades más grandes del mundo que sufre cotidianamente de congestiones de tráfico y problemas de polución bastante considerables. Lidar con la congestión crónica de tráfico en el Distrito Federal es una prioridad: las calles se paralizan durante las horas pico de la mañana y la tarde. No obstante, para la población de menos recursos -que depende del escaso sistema de transporte público- la única opción es el contar con medios de transporte que sean más eficientes y económicos.



1.2 Transporte eléctrico en la Ciudad de México.

El día 4 de enero de 1956 es publicado en el diario Oficial de la Federación la formación, por decreto del Congreso de la Unión, de la institución descentralizada de servicio público denominado "Servicios de Transportes Eléctricos del Distrito Federal" (STEDF).

El STEDF se ha planteado como objetivo fundamental transformarse en una organización de transporte moderna y eficiente con la habilidad de adaptarse continuamente a los nuevos retos del Distrito Federal y mantener ventaja competitiva ante otras empresas relacionadas con el giro mediante una planeación estratégica de cambio. Con esto, se garantiza a los usuarios un servicio de transportación de excelencia y calidad, además de comfortable y no contaminante que satisfaga sus necesidades de traslado en la Ciudad de México. En la actualidad, el STEDF brinda servicio de transporte a través del trolebús, el tren ligero y el autobús articulado, y cuenta con un servicio especializado para las personas con discapacidad y de la tercera edad.

1.2.1 Tren Ligero.

El Tren Ligero forma parte de la red del STEDF, el cual opera en el sur de la Ciudad de México prestando un servicio de transporte no contaminante a la población de las Delegaciones Coyoacán, Tlalpan y Xochimilco. Esto se logra a través de 16 estaciones y 2 terminales (figura 1.1), mediante 16 trenes dobles acoplados con doble cabina de mando con capacidad máxima de 374 pasajeros por unidad. El objetivo principal de este servicio es el proporcionar la mejor opción de transporte eléctrico a los habitantes del Distrito Federal como una opción digna, económica, no contaminante, segura, oportuna y confiable, cumpliendo además de manera eficiente.

Los trenes ligeros articulados de piso alto están diseñados para operar en ciudades que demandan una considerable capacidad de transporte. Esto constituye una alternativa ideal para disminuir la contaminación de las grandes ciudades. Debido a que no existe una restricción de espacio, los trenes son de dimensiones



convencionales, lo que permite el acceso a las labores de mantenimiento a cualquier nivel.

Cada vehículo requiere de una tensión nominal de alimentación de 600 VDC, captada por catenaria. Utiliza generación de tensión alterna trifásica, 4 hilos: 220 VAC 60 HZ a través de un convertidor estático, y una generación de tensión directa a través de baterías de acumuladores; mantiene su carga por un convertidor estático. Utiliza un enganche automático entre vehículos que permite acoplamientos mecánico, eléctrico y neumático; sistema de frenado eléctrico regenerativo, eléctrico reostático, neumático y electromagnético de emergencia de estacionamiento.

Por último, cuenta con puertas de acceso de pasajeros tipo deslizante, y puertas de acceso a cabina tipo vaivén. Cada vehículo está equipado para lograr una capacidad de 50 pasajeros sentados, 250 pasajeros de pie, para hacer un total de 300. Puede alcanzar una velocidad máxima de 80 km/h, con una aceleración máxima de 1 m/s.

La línea del tren ligero cuenta además con 9 subestaciones eléctricas con capacidad de 2000 kW, para lograr una longitud total de 28.8 km. A lo largo de la línea se encuentran varios cruces que presentan características particulares y que son objeto de estudio en este trabajo.

1.3 Cruces del tren ligero: características y problemática.

Debido a la irregularidad en la urbanización de la Ciudad de México a lo largo de los años, es común encontrar un gran número de problemas en las diferentes vialidades; uno de estos problemas es el originado por el establecimiento de las vías ferroviarias del tren ligero sobre y a través de avenidas y calles a lo largo de toda su línea. En particular, para la línea actual del tren ligero existen 11 cruces que presentan diferentes problemas, de mayor o menor grado, tanto para el tráfico vehicular como para peatones.

Se ha intentado controlar el flujo peatonal y vehicular por estos cruces utilizando, entre otras posibilidades, sistemas coordinados de semáforos, personal de supervisión y hasta un sistema mecánico de activación de plumas ferroviarias. Sin embargo, a menudo la irresponsabilidad de la gente por no respetar las reglas



de tránsito, así como hacer caso omiso a los señalamientos y a las indicaciones correspondientes en estos cruces, ha originado que se presenten accidentes, en algunas ocasiones con desenlaces fatales.

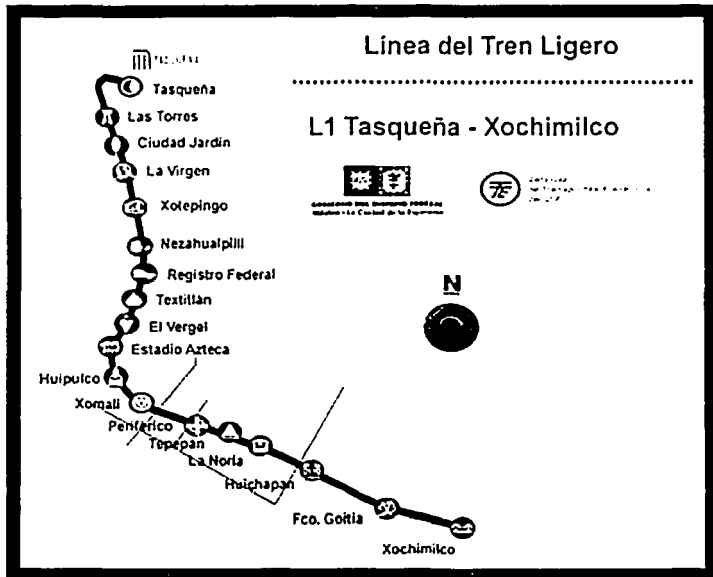


Figura 1.1. Línea del tren ligero de la Ciudad de México.

Por motivos de seguridad y para la prevención de accidentes, el STEDF ha diseñado un sistema prototipo basado en una computadora central para controlar el óptimo flujo vehicular, peatonal y del Tren Ligero en estos cruces. Las características y la lógica de operación de este Sistema Prototipo se describen a continuación.

TESIS CON
FALLA DE ORIGEN



1.4 Sistema Prototipo para el Control de Paso en los Cruces del Tren Ligero.

1.4.1 Objetivos de la implantación del sistema prototipo.

El objetivo principal del Sistema Prototipo es el detectar los eventos de peligro potencial en los cruces del tren ligero y, en caso de ser necesario, enviar señales de frenado de emergencia a los trenes que se aproximen al cruce. El sistema se encargará además de controlar los semáforos del cruce, tanto en situaciones de emergencia como en funcionamiento normal, así como también las barreras de contención, y las señalizaciones visuales y audibles que se requieran.

1.4.2 Características y lógica de operación.

El Sistema Prototipo fue ideado conceptualmente por STEDF, mientras que el diseño y la construcción fueron desarrollados en la UNAM. Como requerimientos mínimos, se estipuló que el prototipo debería incluir, en términos generales, los siguientes elementos:

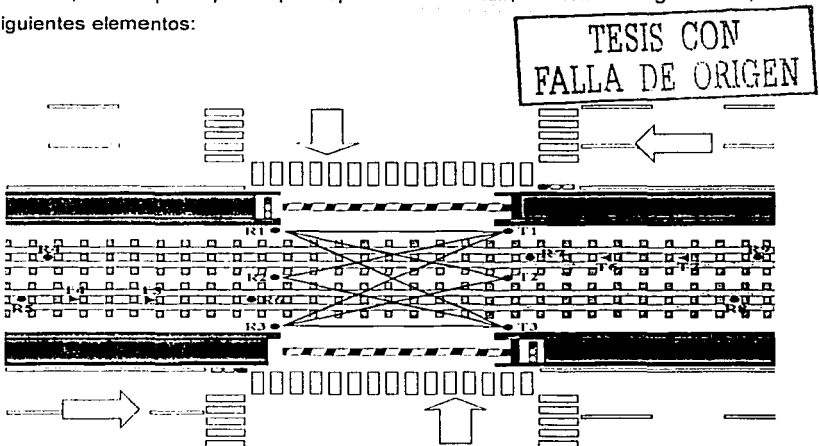


Figura 1.2. Sistema Prototipo en un cruce con doble sentido.

- Mecanismos de barreras automáticas de tipo ferroviario.
- Sistema de detección de obstrucción en cruceo, utilizando emisores y receptores de rayo láser.
- Semáforos y alarmas ferroviarias.
- Instalación y acoplamiento del sistema de paratrén magnético.
- Sensores de entrada y salida de trenes.
- Interfase con el sistema de control de los semáforos viales.
- Control electrónico computarizado programable y con posibilidades de expansión, el cual gestionará la operación de todos los dispositivos del cruceo.

Por su geometría, cada cruceo implica diferentes variables, en general la figura 1.2 demuestra el principio de operación del sistema en un cruceo típico de la Ciudad de México, así como también la ubicación de los diferentes subsistemas que conforman el prototipo. Al frente de cada tren (figura 1.3) se instalarán dos dispositivos, un transmisor y un receptor de señales infrarrojas codificadas. El transmisor operará de forma permanente y tendrá la función de enviar información codificada hacia los receptores instalados a lo largo de las vías, ubicados en lugares estratégicamente calculados para cada cruceo. El receptor al frente del tren captará la señal de emergencia emitida por los transmisores de frenado automático instalados próximo a los cruceos.

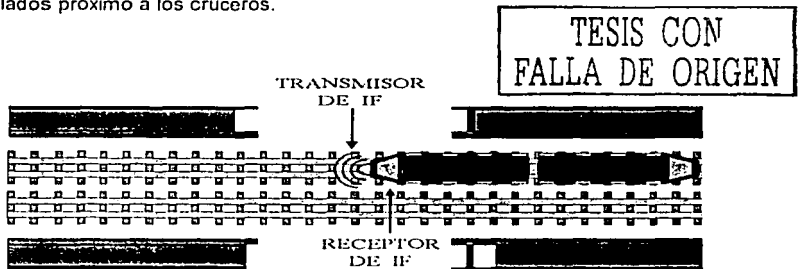


Figura 1.3. Transmisores y receptores de rayos infrarrojos en el Tren Ligero.

En la figura 1.2, los puntos R9 y R5 son receptores detectores de infrarrojos codificados, su función es detectar la aproximación de un tren al cruce, éstos enviarán una señal a la computadora central del cruce y a su vez éste activará una alarma sonora y visual para indicar a los transeúntes que el tren se aproxima al cruce, después de un tiempo calculado la computadora cambiará el estado del semáforo y activará las plumas.

Si las plumas bajaron completamente, éstas enviarán una señal a la computadora indicando que la acción se ha llevado a cabo sin bloqueo y éste a su vez enviará como respuesta una señal a los transmisores de rayos láser T1, T2 y T3 para activarlos. Si las plumas no se desplazaron hasta el límite, seguramente se debió a que fueron bloqueadas por un obstáculo y deberán informar la computadora de la presencia de éste, la cual interpretará esta señal como una situación de emergencia y activará instantáneamente los transmisores de frenado emergente T4, T5, T6 y T7.

T1, T2 y T3 forman un grupo de transmisores codificados de rayos láser, que transmitirán su señal a los receptores R1, R2 y R3, con el objeto de detectar si algo los obstruye. El juego de rayos forma un campo de acción que detectará prácticamente a cualquier objeto que los obstruya en un rango confiable de detección. Si uno o más de ellos presentan bloqueo, los receptores R1, R2 Y R3 enviarán una señal de emergencia a la computadora y ésta a su vez activará los transmisores de frenado emergente T4, T5, T6 y T7.

La obstrucción de los rayos puede darse por cualquier objeto que se mueva a través de ellos por ejemplo personas, bicicletas y vehículos. La vertical de los rayos estará dada a diferentes alturas del suelo, con esto se garantiza que cualquier objeto de los anteriormente referidos pueda bloquear los rayos por más rápido que se muevan sobre éstos.

Los transmisores de infrarrojos de frenado emergente T4, T5, T6 y T7 enviarán una señal codificada hacia el frente del tren, mismo que la recibirá como una señal de emergencia con lo cual se activará el sistema de frenado emergente, obligando a detener al tren mucho antes de llegar al cruce y sin importar la voluntad del operador. La función de los transmisores T5 y T6 es redundante por seguridad. Cuando una señal de emergencia se presente, la computadora enviará un mensaje de alarma y el tipo de ésta a la cabina del tren y éste a su vez informará



al Puesto Central de Control (PCC) acerca de la falla presentada vía radio. Los receptores R6 y R7 tendrán la función de desactivar los rayos hasta el último momento del paso del tren sobre el crucero.

Finalmente, los receptores R4 y R8 detectarán que el tren ha pasado el crucero con éxito y enviarán una señal al computador de crucero para que éste abra las plumas y cambie la señal de continuidad del semáforo.

Cuando se active el sistema de frenado emergente, el abanderado a cargo del crucero orientará a los transeúntes que hayan activado el sistema de emergencia liberando el crucero y desactivando el sistema de emergencia a través de una llave para que el tren pueda continuar su trayecto. Esta situación solo funcionará en la primera fase del proyecto en virtud de que no existe un sistema de comunicación que informe instantáneamente de la situación de emergencia al PCC. La instalación del medio de comunicación se llevará a cabo en una segunda fase del proyecto. La secuencia de operación del prototipo se describe en las siguientes secciones.

1.4.2.1 Lógica de operación del sistema de seguridad sin emergencia.

- a) Se detecta la aproximación del tren.
- b) Se activan señales visuales y audibles al instante, el tren sigue su curso.
- c) Después de 5 segundos de la detección del tren se activa el semáforo maestro.
- d) Al activarse la luz roja del semáforo se activan las plumas.
- e) Si no se presenta bloqueo en las plumas se activan los rayos láser.
- f) Si no se presenta bloqueo en los sistemas láser el tren podrá continuar su curso.
- g) Al terminar de cruzar se cancelarán las señales visuales y audibles, se cambiará la luz del semáforo a verde y se abrirán las plumas.

1.4.2.2 Lógica de operación del sistema de seguridad con bloqueo de plumas.

- a) Se detecta la aproximación de un tren al crucero.
- b) Se activan señales visuales y audibles al instante, el tren sigue su curso.
- c) Después de 5 segundos de la detección del tren se activa el semáforo maestro.
- d) Al activarse la luz roja del semáforo se activan las plumas.
- e) Si se presenta bloqueo en las plumas se activan instantáneamente los transmisores de frenado emergente, el tren es detenido durante 10 segundos y se



activa el semáforo interno de vía para el conductor del tren. El conductor deberá informar al PCC de la emergencia. No podrá avanzar hasta observar el cambio de luz a verde y hasta recibir orden de continuidad del PCC. Si lo hace, el transmisor de frenado redundante lo detendrá por un nuevo período de 10 segundos ya que el sistema se encuentra en emergencia.

- f) El encargado del crucero desactivará las plumas a través de la llave para liberar a los transeúntes y volverá a cerrarlas. El sistema volverá a examinar la presencia de bloqueo.
- g) Si no existe bloqueo se desactivarán los transmisores de frenado emergente y cambiará la luz del conductor a verde.
- h) El conductor informará vía radio de la continuidad del tren.

1.4.2.3 Lógica de operación del sistema de seguridad con bloqueo de láser.

- a) Se detecta la aproximación de un tren al crucero.
- b) Se activan señales visuales y audibles al instante, el tren sigue su curso.
- c) Después de 5 segundos de la detección del tren se activa el semáforo maestro.
- d) Al activarse la luz roja del semáforo se activan las plumas.
- e) Si no se presenta bloqueo en las plumas se activan los rayos láser.
- f) Si se presenta bloqueo en los rayos láser se activan instantáneamente los transmisores de frenado emergente, el tren es detenido durante 10 segundos y se activa el semáforo interno de vía del conductor del tren. El conductor deberá informar al PCC de la emergencia. No podrá avanzar hasta observar el cambio de luz a verde y hasta recibir orden de continuidad del PCC. Si lo hace, el transmisor de frenado redundante lo detendrá por un nuevo período de 10 segundos ya que el sistema se encuentra en emergencia.
- g) El encargado del crucero desactivará las plumas a través de la llave para liberar a los transeúntes y volverá a cerrarlas. El sistema volverá a examinar la presencia de bloqueo.
- h) Si no existe bloqueo se desactivarán los transmisores de frenado emergente y cambiará la luz del conductor a verde.
- i) El conductor informará vía radio de la continuidad del tren.



1.4.3 Subsistemas que componen el Sistema Prototipo.

El diagrama de bloques de la figura 1.4 muestra la conexión de los diferentes subsistemas con la computadora central del crucero. Cada uno de estos subsistemas cumple con diferentes funciones que permiten el funcionamiento del Sistema Prototipo de acuerdo con las especificaciones dadas por STEDF. La descripción de cada uno de los elementos de este diagrama se da en las siguientes secciones.

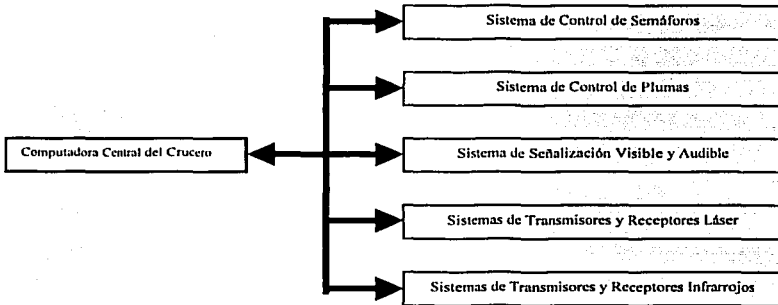


Fig. 1.4 Subsistemas del Prototipo

1.4.3.1 Computadora central del crucero (PC-104).

La computadora central del crucero se encarga de llevar a cabo la lógica de operación del Sistema Prototipo en todas las modalidades mencionadas anteriormente. Se eligió utilizar una computadora personal con bus PC-104, cuyas características pueden consultarse en el Apéndice 1. Básicamente, esta tarjeta cuenta con los mismos elementos y periféricos de una PC convencional, y se han desarrollado específicamente para aplicaciones en las que se requieren controladores embebidos.

La comunicación entre la PC-104 y los diferentes subsistemas puede llevarse a cabo a través de las distintas interfaces de esta tarjeta (puertos seriales, USB, infrarrojos, etc.), o bien, por medio de una tarjeta de adquisición de datos o una interfaz GPIB. La computadora central también enviará las señales de activación



para el semáforo maestro, el control de plumas, las señalizaciones visuales y audibles y, en su caso, a los transmisores de frenado emergente.

1.4.3.2 Sistema electrónico de control de semáforos.

La comunicación entre la PC-104 y los semáforos del crucero se lleva a cabo a través de una interfaz electrónica. Ésta activa una secuencia de control del semáforo maestro que a su vez controla los semáforos esclavos ubicados en el crucero. La elección de los sistemas electrónicos utilizados para esta parte del prototipo se hizo de acuerdo con las especificaciones del control utilizado por el semáforo maestro del crucero.

1.4.3.3 Sistema electrónico de control de plumas.

El sistema electrónico de control de plumas se desarrolla basándose en sensores de posición del brazo de la pluma. La comunicación entre este sistema y la computadora central del crucero se lleva a cabo a través de una interfase electrónica basada en un microcontrolador con comunicación serial que permita enlazar ambos componentes.

El sistema automático tipo pluma tiene como base fundamental un brazo de desplazamiento vertical a horizontal y viceversa de intercambio fácil en caso de siniestros. Asimismo, se incluye un sistema mecánico de engranaje de metal diseñado para trabajo pesado inmune a las condiciones climatológicas de la ciudad de México.

1.4.3.4 Sistema de señalización visual y audible.

Como dispositivo de advertencia sonora sobre paso del Tren Ligero se utiliza una campana tipo ferroviario de 120 dB. En los brazos de la pluma se incorporan además, luces estroboscópicas blancas en sus extremos incluyendo una cruz al centro. El control para señalización de señales visuales y audibles se llevará a cabo por medio del computador central del crucero. Para esto, se utiliza una interfaz electrónica de acondicionamiento basado en un microcontrolador y basándose en las especificaciones dadas para cada una de las alarmas utilizadas en el crucero.



1.4.3.5 Sistema de transmisores y receptores láser.

Se utilizan sistemas comerciales de detección de movimiento diseñados para funcionamiento en la intemperie. Este tipo de sistemas son el equivalente a las "cortinas de luz" utilizadas en ambientes industriales que se encargan de detectar la invasión del crucero. La comunicación entre la computadora central y el sistema de detección de movimiento se lleva a cabo por medio de una etapa electrónica de acondicionamiento de señal basado en un microcontrolador.

1.4.3.6 Sistema infrarrojo transmisor y receptor en los extremos del tren, detector de aproximación y salida del tren, sistema activador de Para-Tren.

Todos los sistemas infrarrojos requeridos para el Sistema Prototipo, tanto transmisores como receptores, se desarrollan utilizando un microprocesador que permita ajustar las frecuencias de los pulsos de la señal. Se ha elegido como plataforma de desarrollo los microprocesadores PIC (Programable Integrated Circuit), que puede programarse de manera sencilla. La distribución de este microprocesador en el país es adecuada, y pueden adquirirse paquetes para desarrollo de sistemas que incluyen todo el hardware necesario para programar el sistema a través de una computadora personal, además del software de programación, simulador y los manuales necesarios.

Se utilizará también una interfaz entre receptor de infrarrojos y la computadora central que sirve para introducir señales provenientes del Tren Ligero a la computadora central. Esta interfaz está basada en un microcontrolador con comunicación serial. El protocolo de comunicación serial del microcontrolador es acondicionado para ser compatible con puerto serial de la computadora central.

1.5 Objetivos de esta tesis.

El objetivo principal de esta tesis es el desarrollo de todos los subsistemas infrarrojos en los que se incluyen los transmisores y receptores ubicados en los extremos del Tren Ligero, los detectores de aproximación y salida del crucero, y el desarrollo del sistema activador de Para-Tren dentro de la cabina del tren. Además, se desarrollará la interfaz electrónica de comunicación entre los subsistemas del Sistema Prototipo y la computadora central del crucero.



Para el desarrollo de los subsistemas infrarrojos y la interfaz se decidió basar el diseño en microcontroladores de alto nivel. Para el caso de los subsistemas infrarrojos, se desarrolló un sistema electrónico de transmisión de señales que permite codificar y radiar con la potencia necesaria la señal requerida; además se desarrolló un sistema electrónico de recepción que permite decodificar las señales para posteriormente ser procesadas por la computadora central PC-104.

La interfaz electrónica de comunicación con la computadora central PC-104 utiliza un microcontrolador PIC16F877 con comunicación serial USART (Universal Synchronous Asynchronous Receiver Transmitter). Para lograr lo anterior se realizan los acondicionamientos necesarios para ser compatible con puerto serie de la PC-104, además se realiza un acondicionamiento de las señales generadas por cada uno de los subsistemas del prototipo¹ (en las que se incluyen las señales de los subsistemas infrarrojos) para ser enviadas y procesadas por la computadora central PC-104 por medio del puerto serie. En los capítulos siguiente de esta tesis se describe el desarrollo electrónico y lógico de las señales infrarrojas (capítulo 2), y el desarrollo de la interfaz de comunicación entre los subsistemas desarrollados y la computadora central PC-104 (capítulo 3).

¹ Tesis de licenciatura: "Comunicación entre sistemas de control de paso del Tren Ligero de la ciudad de México utilizando tecnología GSM/GPRS/EDGE".



Capítulo 2. Transmisión y recepción de señales infrarrojas en el Sistema Prototipo de Control de Paso del Tren Ligero de la Ciudad de México.

2.1 Introducción: conceptos básicos.

La función de un sistema de comunicación es la transferencia de información de un punto a otro utilizando un enlace específico de comunicación. Una comunicación electrónica consiste en la transmisión, recepción y procesamiento de información entre dos o más puntos utilizando circuitos electrónicos. La figura 2.1 muestra un diagrama de bloques de un sistema de comunicaciones electrónico que incluye un transmisor, un medio de transmisión y un receptor.

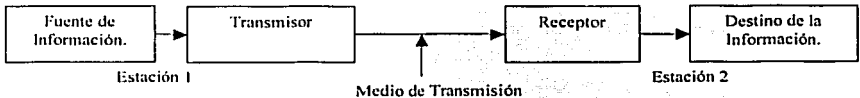


Figura 2.1. Sistema de Comunicaciones Electrónico.

El transmisor es una colección de dispositivos electrónicos que convierten la información original en una señal que es más manejable para la propagación sobre un medio de transmisión. El medio de transmisión provee las condiciones para el transporte de información del transmisor al receptor. Finalmente, el receptor es una colección de dispositivos electrónicos que acepta las señales propagadas por el medio de transmisión y las convierte a su forma original.

Básicamente, se tienen dos tipos de sistemas de comunicación electrónica: analógico y digital. El sistema de transmisión analógico es el sistema en el cual la señal es transmitida y recibida en forma analógica (continua en el tiempo), y el sistema de transmisión digital es el sistema en el cual la señal es transmitida y

recibida en forma digital. Los sistemas binarios utilizan señales digitales que tienen solo niveles discretos (por ejemplo niveles discretos de +5 V y tierra).

2.1.1 Codificación.

Generalmente, la información se transmite de manera codificada, esto es, se sigue un proceso de transformación de mensajes o señales de acuerdo con reglas definidas para este fin. Algunas de las ventajas que se presentan al utilizar un sistema de comunicaciones a base de códigos son las siguientes:

- Menor sensibilidad al ruido.
- Menor interferencia entre canales de transmisión.
- Menores niveles de distorsión.
- Mayor eficiencia de transmisión.

La codificación permite comprimir la información de tal manera de solo utilizar el contenido necesario de ésta, y por lo tanto aumentar la eficiencia de la transmisión.

La tendencia actual en telecomunicaciones es digitalizar la información antes de transmitirla, debido a que las técnicas digitales de protección contra el ruido han resultado más eficaces que las analógicas. Cuando se desea desarrollar o seleccionar un código digital, se deben tomar en cuenta los siguientes aspectos:

- Minimizar la longitud del código; o sea asignar la mínima cantidad de bits a cada símbolo a transmitir.
- Dar protección contra errores de decisión del receptor, ya que éste es quien se equivoca al tomar como cero lógico lo que en realidad es un uno lógico y viceversa.
- El código debe llevar suficiente información de reloj para garantizar que el receptor se pueda sincronizar.
- Un espectro de frecuencias adecuado para que pueda viajar sin dificultad a través del canal de comunicación disponible.



- Inmunidad contra la inversión de fase; esto es, que si eventualmente la señal "se voltea al revés", pueda ser decodificada en el receptor sin problemas.
- Impedir la propagación de errores; esto es, que si el receptor se equivoca al reconocer un bit, esto no propicie que se equivoque con los bits siguientes.

Actualmente, existen muchos códigos de línea; cada uno sigue una regla de codificación específica y difieren entre sí por características tales como: densidad espectral de potencia, propagación de errores, sincronía, capacidad de detección de errores, ancho de banda e inmunidad a la inversión de fase, etc. Entre los diversos códigos desarrollados podemos mencionar el NRZ (polar, marca, espacio, bipolar) y el RZ (unipolar, polar).

2.1.2 Modulación y demodulación.

El concepto de modulación es la base para el campo de las comunicaciones. Para hacer más práctico un sistema de comunicación utilizando cableado metálico, de fibra, o a través de la atmósfera, es necesario codificar la información dentro de una señal portadora con una alta frecuencia; a este proceso se le llama modulación. Matemáticamente la modulación es la alteración sistemática de los parámetros de la señal portadora en función del voltaje instantáneo de la onda de mensaje o señal moduladora.

La demodulación es el proceso inverso a la modulación; en la demodulación se convierte la señal portadora en la información original, esto es, remover la información de la señal portadora.

Existen diferentes razones para utilizar la modulación en un sistema de comunicaciones:

- Es complicado radiar señales de frecuencia baja a través de la atmósfera en forma de energía electromagnética.



- Las señales de información generalmente ocupan la misma banda de frecuencias, lo que provoca interferencia si 2 o más señales son transmitidas al mismo tiempo.
- Es virtualmente imposible transmitir señales de baja frecuencia porque se requieren antenas con una longitud en el rango de kilómetros para una eficiente transmisión.

El mensaje modulado puede ser analógico o digital; en el caso de mensaje analógico, el parámetro alterado (amplitud, frecuencia o fase de la portadora) puede tener un número infinito de posibles valores; en el caso de mensaje digital, el parámetro alterado podrá tener tantos valores como niveles de voltaje tenga el mensaje. En la figura 2.2, se muestran las tres modulaciones analógicas comparadas con las tres modulaciones digitales. Si el mensaje digital tuviese cuatro niveles (cuaternario), los parámetros tendrían cuatro posibles valores y así sucesivamente.

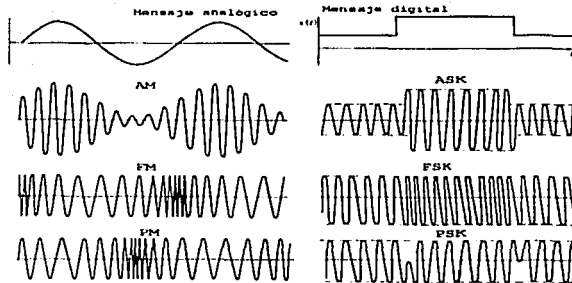


Figura 2.2 Modulación analógica y digital.

En modulación analógica hay tres variantes, que son amplitud modulada (AM), frecuencia modulada (FM) y fase modulada (PM). En modulación digital hay las mismas tres variantes básicas, que se llaman variación de amplitud por



interrupción, variación de frecuencia por interrupción y variación de fase por interrupción. En este caso, por costumbre, se conocen por sus nombres en inglés: *amplitude shift key (ASK)*, *frequency shift key (FSK)* y *phase shift key (PSK)*.

2.1.3 Frecuencias de transmisión y espectro electromagnético.

Los sistemas de comunicación normalmente son clasificados por la frecuencia (o longitud de onda) de su señal portadora. El espectro electromagnético (figura 2.3) representa un "mapa" con los diferentes tipos de energía de radiación y sus correspondientes longitudes de onda. Usualmente existen 6 subdivisiones (ondas de radio, infrarroja, visible, ultravioleta, rayos X y rayos gama) de el espectro electromagnético.

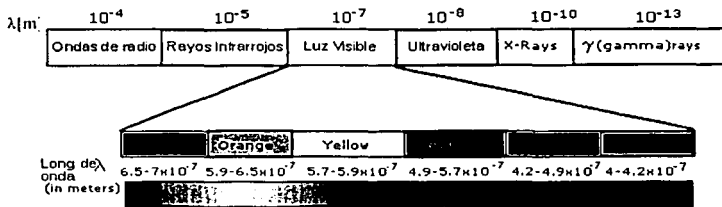


Figura 2.3. Espectro electromagnético.

El infrarrojo está dividido en tres regiones espectrales: cercano, mediano y lejano infrarrojo. Las fronteras entre uno y otros son algo arbitrarias, pero están determinadas principalmente por el tipo de tecnología utilizada. Hoy en día, la tecnología infrarroja tiene muchas aplicaciones interesantes y útiles. Su estudio ha abierto las puertas para el desarrollo de dispositivos optoelectrónicos, componentes fotónicos que se utilizan en vigilancia espacial, sensores de reconocimiento, sistemas de seguridad, sistemas de comunicación, sistemas de transmisión de información y muchos otros sistemas comerciales, industriales y militares.



Dado el gran desarrollo tecnológico en sistemas de comunicación operando en la porción infrarroja del espectro, la disponibilidad comercial de los distintos dispositivos requeridos para un sistema de comunicaciones es muy amplia. Por esta razón, el STEDF decidió utilizar esta tecnología como parte del Sistema Prototipo. En las secciones siguientes, se dará una descripción detallada de los sistemas de transmisión y recepción de rayos infrarrojos desarrollados para el prototipo.

2.1.4 Microcontroladores: generalidades y características.

Ante los imponentes requerimientos tanto de hardware (consumo de energía, memoria, rango de temperatura, tamaño) como de software (herramientas de desarrollo, algoritmos de control, etc.) la búsqueda de soluciones más baratas, sencillas y de más alta calidad ha sido la principal tarea de la ingeniería, y en donde los microcontroladores han aumentado su popularidad. Éstos pueden describirse como la integración de un sistema digital completo (el cual incluye microprocesador, dispositivos de entrada/salida (E/S), memoria y otros periféricos) contenido en un solo circuito integrado.

La configuración física en que se disponen los componentes de un microprocesador define lo que se conoce como arquitectura del hardware. Los dos tipos de arquitectura en la que se basan todos los microcontroladores son la arquitectura Von Neumann y la Harvard. La diferencia principal entre ellas es el número de buses utilizado para el flujo de datos e instrucciones.

En lo referente a la programación, los microprocesadores pueden clasificarse en RISC (*Reduced Instruction Set Computer*) y CISC (*Complete Instruction Set Computer*). La diferencia entre ellos es el número de ciclos de reloj requeridos para realizar una instrucción en particular. En general, se considera que un procesador RISC es más conveniente porque tiene un juego de instrucciones menor y más sencillo.

Para este proyecto se ha optado por utilizar los microcontroladores PIC de la empresa MICROCHIP. Éste es un microprocesador RISC con arquitectura interna de tipo Harvard. El criterio de elección de este dispositivo se basó en su



gran disponibilidad comercial, su bajo costo y su facilidad de operación. Además de contar con una velocidad de ejecución de programas adecuada, posee una estructura "pipeline", lo cual permite ejecutar como mínimo una instrucción mientras busca la siguiente. Dado que es un microprocesador de tipo RISC, no es preciso trabajar con un centenar de instrucciones, sino tan solo 35, sin que esto disminuya la funcionalidad. Las características detalladas del microprocesador PIC16F84, utilizado en esta parte del proyecto, pueden consultarse en el apéndice 1.

2.2 Características del sistema.

El objetivo del sistema de transmisión de datos a diseñar es el envío de información codificada en forma de pulsos de rayos infrarrojos (IR), a través del espacio libre, para llegar a un receptor que se encargará de decodificar la información.

Para cumplir con las especificaciones requeridas en la transmisión de la señal, se utiliza un controlador PIC que genera la señal electrónica codificada. Ésta será acondicionada por medio de circuitos electrónicos de tal manera que se pueda realizar el envío en forma de señal IR. De igual manera, la señal transmitida es recibida por un circuito electrónico que reconstruye la señal IR recibida para que ésta pueda ingresar al PIC y ser procesada (figura 2.4).

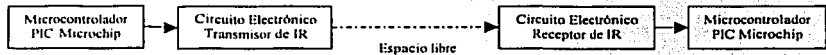


Figura 2.4. Sistema de transmisión y recepción de señales IR.

2.2.1 Transmisión y recepción del tren ligero al crucero.

El transmisor de señales IR se instalará en el tren y se encargará de enviar señales de manera permanente. Éstas serán detectadas por receptores de IR ubicados a lo largo de las vías ferroviarias en las proximidades de los cruceros vehiculares. Para esto se han diseñado circuitos electrónicos basados en transistores para la transmisión y recepción de estas señales IR. La señal enviada por el tren es generada y codificada por un microcontrolador PIC.



Fundamentalmente, se requiere que el tiempo de enlace entre el transmisor del tren ligero y el receptor ubicado en las vías ferroviarias sea lo suficientemente grande para asegurar una transmisión confiable. Los detalles técnicos de estos sistemas se explican más adelante.

2.2.2 Transmisión y recepción del cruceo al tren.

Para cada sentido de las vías ferroviarias y antes del cruceo vehicular, se instalará un transmisor IR, el cual transmitirá al tren en una señal codificada si se presenta en el cruceo algún tipo de problema.

Al igual que en el caso anterior, se ha diseñado un circuito electrónico a base de transistores para la transmisión y recepción de estas señales IR. La señal enviada por los transmisores de las vías ferroviarias es generada y codificada por un microcontrolador PIC, y el funcionamiento fue ajustado para cumplir con las especificaciones establecidas por el STEDF. La descripción detallada de este sistema se presente en secciones posteriores.

2.3 Funcionamiento lógico del enlace infrarrojo.

2.3.1 Codificación de la señal transmitida.

La información que se requiere transmitir es generada por el microcontrolador PIC de forma codificada en una ráfaga de bits. Los bits generados tienen una amplitud de +5 V y su significado se explica a continuación según el orden en que son generados y transmitidos.

0	1	2	3	4	5	6	7	8	9	10	11	12	13
A0	A1	A2	A3	A4	A5	INF0	INF1	INF2	INF3	INF4	INF5	INF6	INF7

Figura 2.5 Ráfaga de bits transmitidos.

Como se muestra en la figura 2.5, la trama está dividida en dos partes principales; la primera parte incluye los primeros 6 bits que forman una llave de acceso con fines de privacidad evitando la intromisión de señales IR comerciales y



externas; la segunda parte incluye los 8 bits restantes que son programados para contener información que describa al tren (número de tren, sentido, etc.) con su debida interpretación de codificación.

Se predetermina una combinación de los primeros 6 bits para formar la llave de acceso. Esta combinación es confidencial y únicamente reconocida por los receptores, de tal manera que cualquier otro sistema de transmisión IR no pueda activar el sistema. La codificación de los 8 bits para la información del tren es programable y su lectura e interpretación en el receptor es independiente a los bits de llave.

2.3.2 Decodificación de la señal recibida.

La decodificación es realizada por el receptor, el cual se programa para estar en estado de alerta, esperando un cambio de nivel lógico bajo a nivel lógico alto para iniciar la lectura de la señal recibida. Ésta tiene como predeterminación que los primeros 6 bits recibidos serán los de la llave y que en el caso contrario la trama recibida será rechazada. Una vez identificados los bits llave se continúa el censado para la lectura de los bits de información del tren, que serán enviados al computador central para su debida interpretación.

2.3.3 Programación de los microprocesadores.

La cuestión mas importante que propició la elección del microcontrolador PIC16F84A es la inclusión de interrupciones, de las cuales la que es de interés es la interrupción externa en un pin (RB0/INT) que se describirá con claridad en las siguientes líneas.

Dadas las especificaciones exigidas en el proyecto y refiriéndose al diseño de transmisores y receptores infrarrojos, se deben distinguir las funciones a realizar por cada dispositivo o subsistema que forma parte del prototipo. Cada uno de éstos tiene una localización específica dentro del cruce de acuerdo con la tarea a realizar. Según la descripción del sistema dada en el primer capítulo, podemos hacer la distinción de cada dispositivo por las tareas a realizar:



Para transmisión:

- El subsistema enviará información codificada con los elementos necesarios para lograr la absoluta privacidad y seguridad de recepción, haciendo uso de la modulación ASK y evitando posibles intrusiones de dispositivos comerciales.
- La información codificada será de 2 dígitos decimales, lo que equivale a la generación de 8-bits de información.
- El transmisor operará de manera permanente o en forma constante.

Para recepción:

- El subsistema deberá responder solo a señales IR generadas por los transmisores desarrollados.
- Deberá enviar la información correspondiente al computador central del crucero para activar el sistema de acuerdo con la lógica establecida.

En la recepción se debe considerar también la comunicación de estos subsistemas con la computadora central. Esto se explica con detalle en el siguiente capítulo.

La función de los microcontroladores en estos subsistemas es la de actuar como codificadores y decodificadores, por lo tanto, las tareas anteriormente mencionadas serán realizadas mediante software, con el desarrollo de programas incluidos en cada microcontrolador.

2.3.3.1 Programación para la transmisión.

La generación de una señal cuadrada en un microcontrolador puede lograrse con tan sólo colocar un pin en un nivel lógico alto, dejar transcurrir un tiempo determinado y enseguida cambiar de nivel lógico alto a bajo, y así sucesivamente. Sin embargo, existen varias posibilidades para realizar esto por medio de software.

Colocar un nivel lógico alto o un nivel lógico bajo es relativamente sencillo, y basta con utilizar la instrucción bit set file (bsf) o bit clear file (bcf) según



corresponda. El tiempo de duración de estos niveles, que es el que define la frecuencia con que se genera la señal cuadrada, puede realizarse de dos diferentes formas: utilizando el temporizador incluido en el microcontrolador, o bien, mediante retardos programados.

El uso del temporizador (TRM0) es relativamente sencillo, pero tiene como inconveniente que se relaciona directamente con una de las interrupciones del microcontrolador. Esto representa un problema para los transmisores dado que se va a utilizar la interrupción externa que se dirige a la misma dirección de memoria, y por lo tanto puede causar conflictos de operación a menos que se pueda identificar qué tipo de interrupción se está presentando. Esto implica entonces una programación más elaborada.

Se optó entonces por utilizar retardos programados, lo que consiste en colocar el nivel correspondiente (uno o cero lógico) en un puerto y establecer la duración del nivel mediante un retardo. Éste es generado por una subrutina que carga en uno de los registros el número en hexadecimal equivalente al tiempo deseado en ciclos de instrucción, para ser decrementado hasta alcanzar el cero. Como ejemplo, el código para generar pulsos de 100 kHz es de la forma:

```
BSF PORTA,B0  
CALL RETARDO
```

ó

```
BCF PORTA,B0  
CALL RETARDO
```

Donde BSF y BCF generan un 1 y un cero, respectivamente, *RETARDO* es la subrutina de tiempo que dura aproximadamente 5 ms que define una señal de 100 kHz y en la que el microcontrolador no realiza nada, esto es:

```
RETARDO  NOP  
        NOP  
        NOP  
        NOP  
        NOP  
        RETURN
```



Los cálculos de los tiempos de permanencia en un nivel alto o bajo son sencillos de realizar. Si utilizamos un oscilador de 8 MHz cada ciclo de reloj es de 125 ns. Si cada instrucción tiene una duración de cuatro ciclos de reloj, entonces una instrucción tiene una duración de 500 ns. En la subrutina de retardo se utilizan 5 instrucciones Not Operation (NOP) que en tiempo equivalen a 2.5 ms, más los dos ciclos de instrucción de llamado a la subrutina RETARDO (CALL RETARDO) se tienen como resultado 3.5 ms. Hay además dos ciclos de regreso al programa principal que añadidos a este tiempo resultan 4.5 ms, que finalmente sumado a la duración de un ciclo de instrucción derivado de colocar el nivel da por resultado los 5 ms necesarios.

El siguiente paso es la generación del nivel lógico alto modulado en ASK, lo que significa realizar las instrucciones anteriores una determinada cantidad de veces hasta lograr el tiempo definido por cada bit. La lógica y secuencia de operaciones establecidas para elaborar esta parte del programa se pueden describir con ayuda del diagrama de flujo mostrado en la figura 2.6.

Cada uno de los bits a transmitir solo tiene dos posibles tipos de señal a generar. La señal de un 1 lógico se construye a partir de la pequeña señal de 100 kHz previamente desarrollada (descrita en los párrafos anteriores) que se muestra en la parte superior derecha del diagrama. Esta señal se genera tantas veces como se quiera hacer en tamaño el bit (para este caso se genera 5 veces). La señal de un cero lógico se genera solo colocando un voltaje de cero y enseguida llamar un retardo hasta lograr el tiempo establecido de bit. Se debe hacer notar que generar una señal uno lógico o cero lógico ambos tienen que tener el mismo tiempo de duración lo cual se logra mediante retardos diferentes como se observa en el diagrama ($t = 5$ para el uno lógico, y $t = 15$ para el cero lógico). Para el desglose de cada bit de la trama se pregunta bit a bit si es un uno o un cero lógico, para posteriormente generar la señal como se indicó anteriormente.



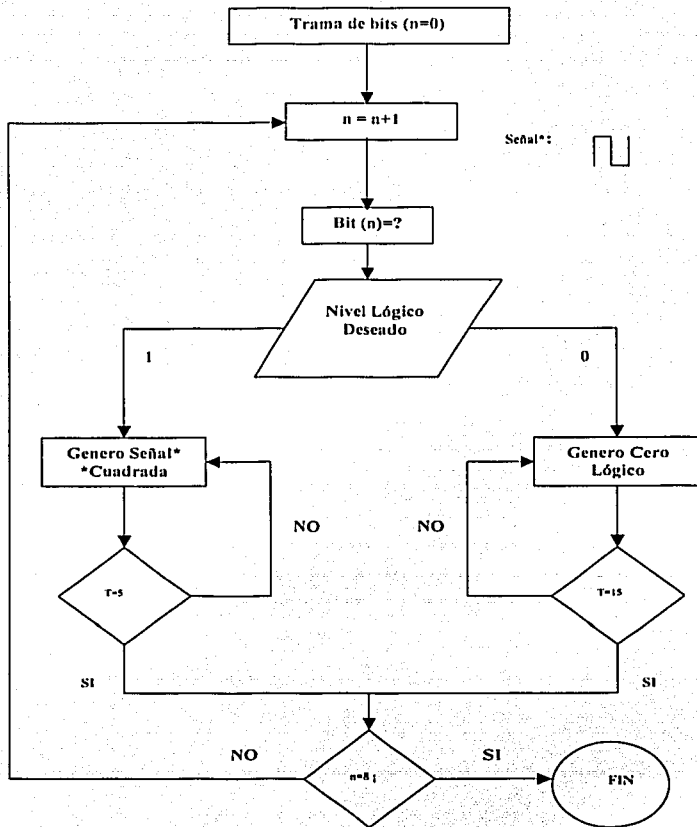


Figura 2.6 Diagrama de Flujo para transmisión



2.3.3.2 Programación para la recepción.

El primer problema que se presenta en la realización de los receptores IR es la sincronización y esto es debido al carácter aleatorio del paso del tren (con su correspondiente transmisor) por alguno de los receptores IR. Esto se soluciona utilizando una de las interrupciones del microcontrolador.

Para utilizar la interrupción externa se deben configurar algunos de los registros del microcontrolador, ya que esto determina la manera en que funcionará la interrupción. Existen dos registros que determinan si la interrupción se realizará de manera global o local, y si se ejecutará con el cambio de un nivel alto a bajo, o viceversa. El registro OPTION se utiliza para configurar el tipo de transición que activará la interrupción, mientras que el registro INTCON establecerá si la interrupción es global o local. En nuestro caso, se decidió elegir una interrupción de tipo global y con una transición de estado bajo a alto. El código realizado para lograr esto se muestra en el apéndice 2.

El primer dato relevante para el programa de los receptores IR es el reconocer la llave de acceso generada por los transmisores. Se sabe de antemano cuales son las características de la trama en esta llave (número de bits, duración de cada bit, y la combinación de éstos) por lo que podemos identificar si la señal proviene o no de los transmisores. El reconocimiento de la señal se logra realizando un censo de la señal IR recibida y midiendo la duración de cada bit. Por ejemplo, suponiendo que en el caso general el primer bit recibido es un nivel alto, que es el mismo que activó la interrupción, entonces debemos esperar un cierto tiempo para volver a censar si existe un nivel alto o bajo.

La lógica de operación de esta parte del programa puede explicarse con ayuda de la figura 2.7. La señal llave se censa como se muestra en la figura en intervalos de tiempo determinados (representado por las flechas). Para este sistema en particular se realizan tres censos por cada bit llave, aunque puede aumentarse el grado de confiabilidad en la recepción si el censo se hace un mayor número de veces.



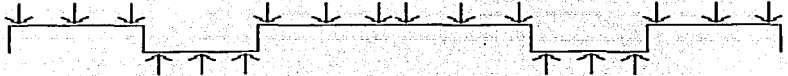


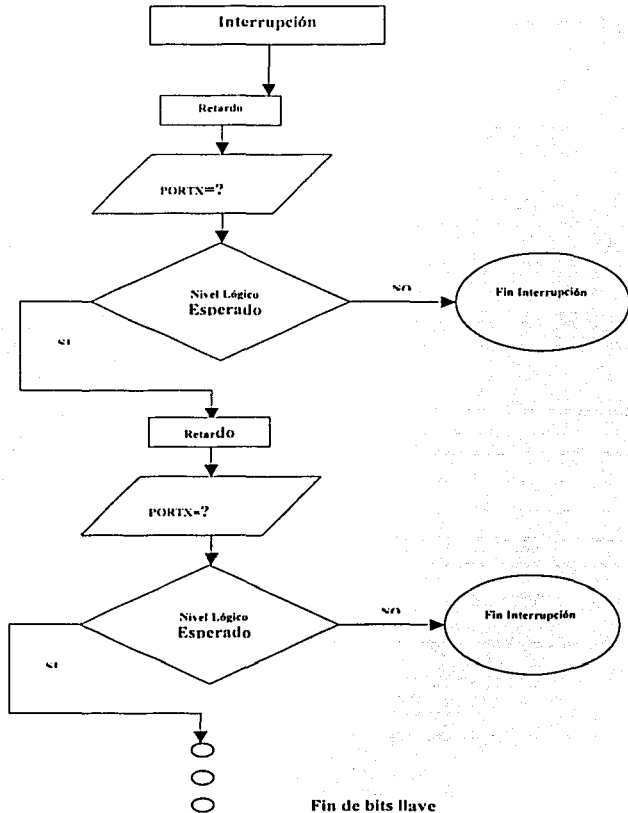
Figura 2.7. Consado del microcontrolador PIC16F84A de los bits recibidos en forma de IR.

La recepción de bits comienza al generarse una interrupción como se muestra en la figura 2.8. A partir de entonces se lleva un control sobre el tiempo que transcurre. Los primeros bits recibidos son los bits llave y por lo tanto se sabe como debe ser la señal que se está recibiendo. Primero se pregunta que nivel hay en la recepción, si es el nivel lógico esperado o éste coincide con el nivel lógico que se está recibiendo, entonces significa que la señal proviene de los transmisores desarrollados y se continúa la misma dinámica; para el caso en que no coincide, esto significa que la señal recibida no es la de los transmisores desarrollados y por lo tanto finalizamos la interrupción. Para el caso de recepción de bits de datos, se sabe que éstos tienen una duración establecida, por lo que mediante retardo se ubica en la parte central de cada bit, se pregunta que nivel es el que hay, y el correspondiente se coloca en un registro; esto se repite ocho veces por ser el número de bits de datos transmitidos.

Por otro lado existe una tarea extra que deben realizar los receptores infrarrojos. A partir de tener los ocho bits recibidos en un registro, estos deben ser enviados a la computadora central, mediante una interfaz realizada con PIC877. Para ello el PIC16F84A de recepción infrarroja genera una señal a frecuencia establecida. Esta señal esta formada por un bit de inicio (utilizado con la finalidad de sincronización con el receptor), y los ocho bits recibidos. Para ello el PIC16F84A solo pregunta que nivel lógico hay en el primer bit a transmitir (el cual a sido guardado en un registro), coloca el nivel correspondiente (alto o bajo), y hace llamado a una subrutina de retardo (la cual tiene un tiempo de duración que corresponde al de la frecuencia deseada $t=1/f$).

TESIS CON
FALLA DE ORIGEN





a)

TESIS CON FALLA DE ORIGEN



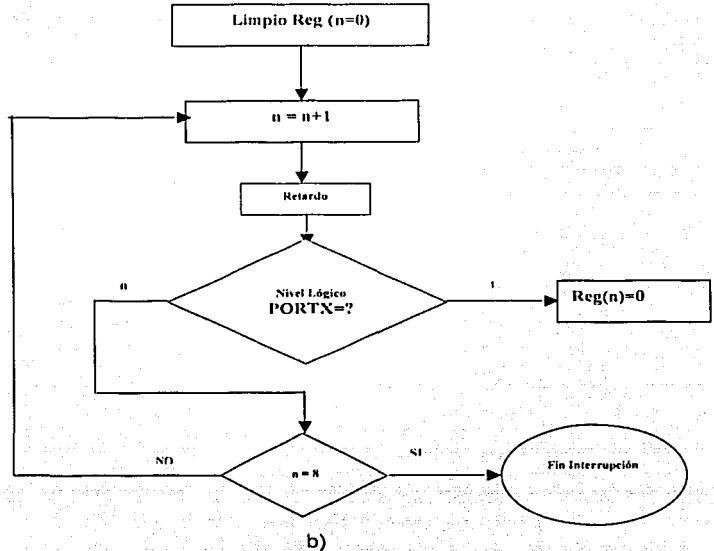


Figura 2.8 Diagrama de flujo para recepción: a) Recepción bits llave; b) Recepción bits de datos.

2.4 DISEÑO ELECTRÓNICO DE TRANSMISORES Y RECEPTORES

2.4.1 Transmisor Infrarrojo

La señal IR es transmitida por un IRLED (*infrared light emitting diode*) conectado a un transistor que acondiciona la señal recibida del microcontrolador PIC. El IRLED utilizado es el modelo comercial IRLED383 que opera en la ventana de los 940 nm y se utiliza para transmisión a larga distancia. De acuerdo con las especificaciones mostradas en el apéndice 1 la operación óptima de este dispositivo se obtiene con 20 mA de corriente, con la que se logra una emisión de 20 mW/sr de irradiancia.



Para poder alimentar el IRLED con la corriente requerida se utiliza un transistor MPSA13, polarizado como se muestra en la figura 2.9. Se utiliza también un LED rojo que tiene como función indicar de manera visual si se está llevando a cabo la transmisión por el circuito electrónico. Los cálculos necesarios para determinar los valores de los elementos del circuito se basan en la región de operación necesaria para el transistor (saturación y corte) y se incluyen en el apéndice 3.

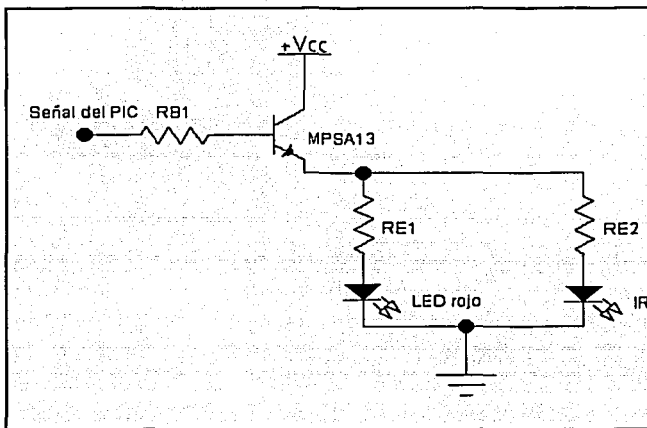


Figura 2.9. Diagrama electrónico del Transmisor IR.

2.4.2 Receptor infrarrojo.

El circuito receptor de señales IR está formado por 2 etapas (figura 2.10). La recepción de las señales IR es realizada en una primera etapa por un fototransistor para IR, mientras que la segunda etapa es un transistor configurado en forma de inversor lógico, debido a que los voltajes de salida del fototransistor están invertidos respecto a los niveles transmitidos inicialmente.



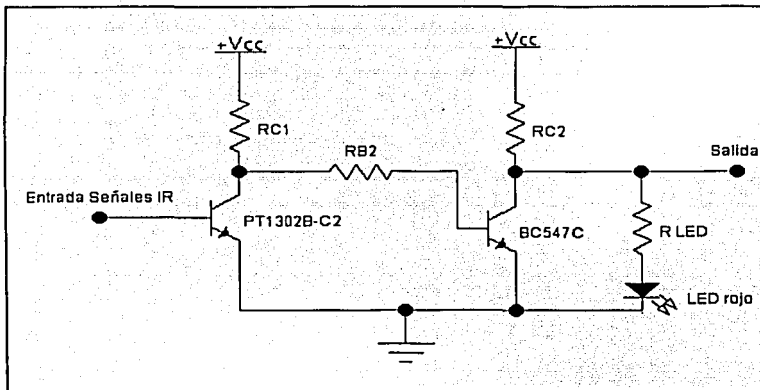


Figura 2.10. Receptor IR.

El fototransistor utilizado opera en la región de los 940 nm que corresponde a la ventana de emisión del IRLED utilizado en la transmisión IR. El modelo comercial disponible de fototransistor es el PT1302B-C2. La configuración que se desea implementar es la de un relevador óptico, esto es, que en el momento de detectar una señal IR, el voltaje cambie de un valor a otro; este cambio de voltaje está relacionado con la intensidad de la señal IR. Para que el transistor funcione en la forma descrita, debe polarizarse para operar en la región de saturación. Los cálculos realizados para este circuito se muestran en el apéndice 3.

2.5 LENTES Y GABINETES PARA LOS SISTEMAS DE TRANSMISIÓN Y RECEPCIÓN.

2.5.1 Lentes.

Con anterioridad se hizo notar la importancia del alcance de los transmisores infrarrojos. Electrónicamente, como se hizo notar en los apartados anteriores, el alcance máximo se busca llevando a la máxima corriente soportada por el IRLED. Dado que la corriente que se puede suministrar tiene un valor finito, se deben buscar alternativas para lograr un mayor alcance. Ya que se utilizan rayos



infrarrojos, se pueden utilizar dispositivos simples de óptica, como por ejemplo lentes.

Las lentes utilizadas en los sistemas de transmisión y recepción son convexas. La idea básica es tratar de que la señal infrarroja se concentre en el punto focal de la lente, en donde se colocará el fototransistor del circuito receptor (figura 2.11). En el transmisor, la lente se utiliza para colimar ligeramente el haz buscando aumentar la densidad de potencia que llega a la lente del fototransistor.

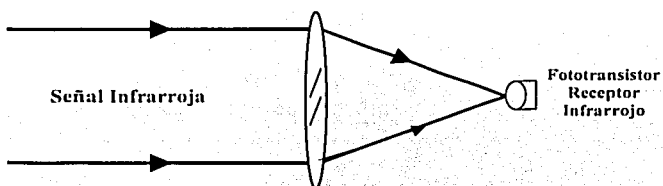


Fig. 2.11. Funcionamiento del lente en el receptor.

2.5.2 Gabinetes y empaquetado.

Otro aspecto que se consideró en el diseño de los transmisores y receptores infrarrojos es el uso de gabinetes que se adecuen a los requerimientos del proyecto. Tomando en cuenta estas condiciones, se eligieron los sistemas IPS (*Industrial Profile Systems*) los cuales son de amplio uso comercial. Éstos son perfiles de uso industrial para construcción que están fabricados en aluminio en forma modular, con un mínimo de 5 mm de espesor según el perfil utilizado. Las ventajas presentadas gracias a estas características resuelven inmediatamente nuestros requerimientos de resistencia a golpes o accidentes por uso rudo, y de alguna forma también el de aislamiento térmico.

Existe una gama extensa de los perfiles IPS en el mercado. En la figura 2.12 se muestra el perfil elegido, además de una tapa como accesorio necesario en el diseño del gabinete. En este se instalan los circuitos y las lentes.



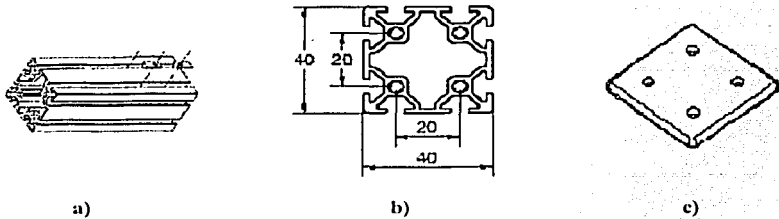


Figura 2.12 a) Sistema IPS; b) Perfil; c) Tapa.

Aprovechando la geometría del perfil se puede también aislar térmicamente el circuito electrónico por medio de un tubo aislante. Debe incorporarse también una pieza de sujeción para las lentes y los conectores correspondientes. Esto se ilustra en la figura 2.13, en donde se muestra también al transmisor (o receptor) ensamblado.

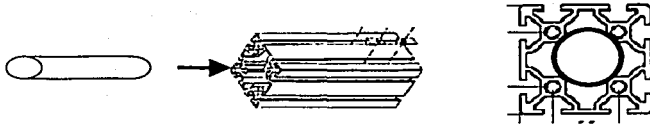


Figura 2.13. Incorporación de lente, circuito electrónico y conector.

2.6 CONECTORES Y CABLES.

Dadas las condiciones geométricas del crucero, se puede notar que un problema al que se enfrentan los sensores infrarrojos es la alimentación de energía (figura 2.14). Debido a que los receptores infrarrojos están ubicados a una distancia muy grande (aproximadamente 200 m) y geoméricamente aislados, se necesitan cables y conectores.

El cableado se realizará de forma subterránea o a través de ductos. Se decidió utilizar cable telefónico, principalmente debido a sus características tales



como baja atenuación, alta disponibilidad comercial, tiempo de vida largo y bajo costo. Cabe mencionar que todas las distancias a las cuales se colocan los dispositivos fueron determinadas de acuerdo con estudios realizados en conjunto con el STEDF. Los detalles de esto se encuentran en el apéndice 4, que muestra la memoria de cálculo para un crucero en particular.

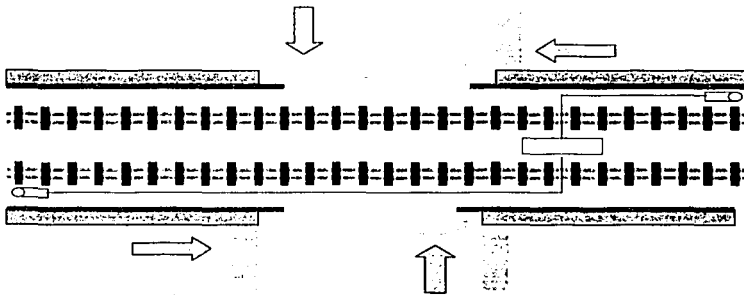


Figura 2.14 Vista esquemática sobre el cableado.

Para la conexión de los dispositivos se eligieron conectores de audio. El criterio de selección fue con base en la disponibilidad comercial, costo y durabilidad con el manejo continuo de éstos. En el proyecto se utilizan conectores hembra para cada dispositivo y macho para el cableado. Cada conector cuenta con cuatro conexiones; uno utilizado para alimentación de directa (VCC) otro para tierra (GND) y el otro para los datos obtenidos por el receptor infrarrojo y que serán procesados en la computadora central PC-104. La figura 2.15 muestra los conectores utilizados.



Macho



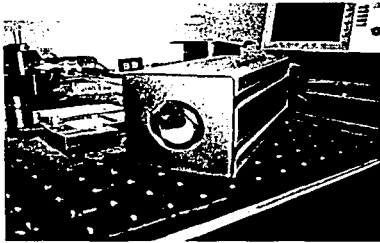
Hembra

TESIS CON
FALLA DE ORIGEN

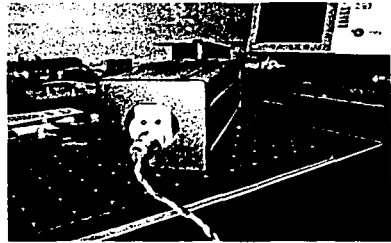
Figura 2.15 Conectores de audio multiusos.



En la figura 2.16 se muestra el diseño final de los dispositivos infrarrojos en sus partes a) frontal y b) trasera. En la parte frontal se observa la incorporación de la lente para obtener un mayor alcance. En la parte trasera se observa la incorporación del conector y dos LEDs de color rojo, uno indica la recepción de señales infrarrojas y el otro indica la correcta recepción del transmisor de tren.



a) Parte frontal



b) Parte trasera.

Figura 2.16. Dispositivo Infrarrojo.

TESIS CON
FALLA DE ORIGEN



Capítulo 3. Interconexión de los subsistemas con la computadora central del crucero.

Como se mencionó en el primer capítulo de esta tesis, todas las señales generadas por cada uno de los subsistemas que componen el Sistema Prototipo se concentran en una computadora central. La forma en la que esta computadora tendrá comunicación bidireccional con todos los dispositivos es por medio del puerto serie, el cual generalmente utiliza el protocolo RS-232C para entablar comunicación de entrada/salida (E/S) con dispositivos externos a la PC.

3.1 Computadora central del crucero.

Debido a las especificaciones de operación del Sistema Prototipo, es necesario el empleo de una computadora central para controlar cada uno de los dispositivos utilizados, incluyendo los receptores y transmisores infrarrojos (IR). Tomando en cuenta los fines principales de esta computadora (manejo de bases de datos e interpretación de distintos códigos) y la posibilidad de expansión a futuras aplicaciones (por ejemplo, vídeo y redes de datos) se optó por utilizar una computadora con bus PC-104.

3.1.1 Generalidades de los sistemas con bus PC-104

La computadora que se utilizó para el proyecto utiliza un bus cuyo estándar fue desarrollado en 1988 y que ha gozado de gran popularidad en los últimos años. El nombre (PC-104) se refiere a las computadoras personales inicialmente diseñadas por la empresa IBM (PC, *personal computer*) y al número de pines (104) utilizados para conectar diferentes tarjetas juntas. Las tarjetas de tipo PC-104 son mucho más pequeñas que las de bus tipo ISA que se encuentran en una PC normal, lo que elimina la necesidad de una tarjeta madre de gran volumen. Los requerimientos de energía y de señales son reducidos y, por lo tanto, son ideales para desarrollar sistemas de control embebidos (*embedded systems*).



Debido a que la PC-104 es esencialmente una PC con un factor de forma (volumen) pequeño, la mayoría de las herramientas de desarrollo de programación de una PC normal pueden ser utilizadas en sistemas PC-104. Esto reduce el costo al momento de adquirir nuevas herramientas y simplifica la búsqueda de diseñadores de hardware y de programación.

Casi cualquier tarjeta de las que normalmente se encuentran en las computadoras personales convencionales está disponible en forma de módulos para sistemas PC-104. Esto incluye funciones comunes como CPU, puertos de E/S seriales, así como controladores de video; pero también existen módulos más complejos como son receptores GPS (*Global Position System*), fuentes de energía para vehículos, comunicaciones inalámbricas, etc. Una pila de módulos de PC-104 pueden ser adjuntados para formar un circuito más grande o como módulos independientes (figura 3.1).

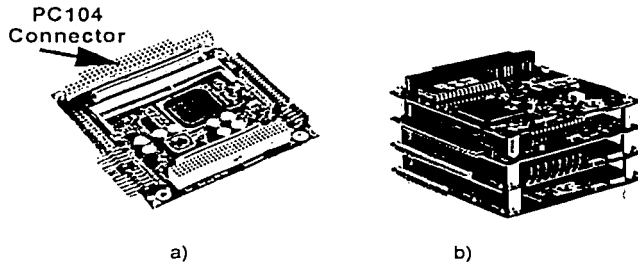


Fig. 3.1 PC-104; a) Bus; b) Conexión de varias tarjetas.

Los sistemas basados en estas tecnologías son utilizados en una gran variedad de campos como son las industrias, laboratorios, plantas de procesamiento, vehículos, y en cualquier sistema donde se requiera un control basado en una computadora programable. Los sistemas PC-104 son más pequeños que los sistemas de cómputo convencionales y normalmente presentan requerimientos de baja potencia, por lo que son ideales en aplicaciones donde las limitantes de espacio son un factor importante en el diseño de un sistema.



Adicionalmente, los sistemas PC-104 están diseñados para ser más robustos que los sistemas basados en PC normales; construir un sistema basado en módulos de PC-104 es más costoso, pero el montaje resulta óptimo respecto a un sistema de bus tipo ISA.

3.1.2 Características de la computadora central.

La PC-104 utilizada en el proyecto incluye las siguientes características:

- Arquitectura de un Procesador de 32 bits.
- Microprocesador Pentium MMX ideal para aplicaciones embebidas.
- Computadora de tarjeta simple (SBC) o *single-board computer*.
- Velocidades en SBC de hasta 333 MHz.
- Memoria SDRAM de hasta 256 Mbyte.
- Tarjeta incluida de red que soporta 10BaseT y 100BaseTX.
- Interfase *Floppy drive*.
- Puertos para teclado y *mouse*.
- 2 puertos USB (conector incluido).
- 2 puertos seriales (conector incluido).
- Software programable "*Watchdog Timer*".
- 3 *Timers* de 16 bits cada uno para propósito general.

La fuente utilizada para alimentar a la tarjeta tiene las siguientes características.

- Bus PC-104 de 64 pines.
- Voltajes de entrada de 7 hasta 30 VDC.
- Voltajes de salida de +5 V, -5V, +12 V y -12 V.
- Potencia de salida de hasta 50 Watts.

También se contempla la utilización de una tarjeta de adquisición de datos con bus PC-104, aunque no se utiliza en esta etapa del proyecto. Las características de esta tarjeta pueden consultarse en el apéndice 1.



De las diferentes opciones disponibles para comunicación entre la PC-104 y los dispositivos externos se decidió utilizar el puerto. De las razones por las cuales se utiliza puerto serie sobre otras opciones (por ejemplo el puerto USB) se puede mencionar que para el sistema prototipo se requiere una tasa de transmisión de datos relativamente baja, además, éste es un puerto universal encontrado en casi todas las PC's (lo cual facilita las etapas de pruebas). Finalmente, el uso del puerto serial utiliza hardware de fácil manejo y disponibilidad (lo cual disminuye en costo y tiempo el desarrollo del sistema).

3.2 Puerto Serie.

3.2.1 Generalidades

El puerto serie es una de las conexiones más utilizada para realizar transferencias de datos entre computadoras y dispositivos externos. La computadora controla el puerto serie mediante un circuito integrado llamado USART (*Universal Synchronous Asynchronous Receiver Transmitter*). El módulo USART en modo asíncrono, usa el estándar NRZ como código de línea, con un bit de inicio, ocho o nueve bits de datos y un bit de parada. En el mismo chip se incluye un generador de la tasa de baudios de 8 bits que puede ser usado para "clonar" los rangos de frecuencias comerciales en baudios desde el oscilador. Además, se incluyen también un transmisor y un receptor asíncronos.

La comunicación realizada a través del puerto serie es una comunicación asíncrona. Para la sincronización de una comunicación se precisa siempre de una línea adicional a través de la cual el emisor y el receptor intercambian una señal de reloj en forma de pulsos electrónicos. Sin embargo, en la transmisión serie a través de un cable de dos líneas esto no es posible debido a que ambas están ocupadas por los datos y la referencia. Por este motivo, antes y después de los bits que contienen los datos, se intercalan bits de información de estado de acuerdo con un protocolo establecido. Esta información es determinada por el emisor y receptor al estructurar la conexión mediante la correspondiente programación de sus puertos serie. Los bits mencionados pueden ser, por ejemplo, bit de paridad, de parada, o de inicio.



Debido a que el estándar del puerto serie se mantiene desde hace muchos años, la Institución de Normalización Americana (EIA, *Electronic Industry Association*) ha escrito la norma RS-232C que regula el protocolo de la transmisión de datos, el cableado, las señales eléctricas y los conectores en los que debe basarse este tipo de conexión. Generalmente se utilizan conectores del tipo DB9.

3.2.2 Protocolo RS-232.

El protocolo RS-232C es un estándar que constituye la tercera revisión de la antigua norma RS-232, propuesta por la EIA, realizándose posteriormente una versión internacional por el CCITT (*Comité Consultatif International Téléphonique et Télégraphique*), conocida como V.24. Las diferencias entre ambas son mínimas, por lo que a veces se habla indistintamente de V.24 y de RS-232C (incluso sin el sufijo "C"), refiriéndose siempre al mismo estándar. Se utiliza para la conexión de módems, tarjetas de adquisición de datos, y otros periféricos diseñados para una compatibilidad de E/S con el puerto serie de una computadora.

Este estándar en un viejo conjunto de especificaciones que precede a la tecnología de los circuitos integrados TTL. Debido a esto, los niveles de voltaje que representan a los niveles lógicos alto y bajo en este protocolo son, hasta cierto punto, difíciles de manejar cuando se utilizan circuitos basados en tecnología TTL. La figura 3.2 muestra los niveles estándar de voltaje para los protocolos RS-232B y RS-232C. Este último es el que se utilizó para el diseño del Sistema Prototipo de Control de Paso.



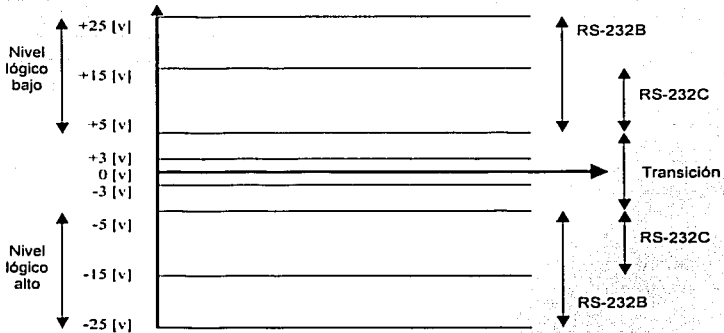


Figura 3.2. Niveles de voltaje del protocolo RS-232.

3.2.3 Transmisión de la información.

El protocolo RS-232 puede transmitir los datos en grupos de 5, 6, 7 u 8 bits, a unas velocidades determinadas (normalmente, 9600 bits por segundo o más). Después de la transmisión de los datos, le sigue un bit opcional de paridad que sirve para indicar si el número de bits transmitidos es par o impar, muy útil para la detección de fallos, y después 1 ó 2 bits de término de transmisión. La distancia máxima recomendada para lograr un óptimo funcionamiento es de 50 metros entre las terminales DTE (*Data Terminal Equipment*).

Una vez que ha comenzado la transmisión de un dato, los bits tienen que llegar uno detrás de otro a una velocidad constante y en determinados instantes de tiempo. Por eso, el protocolo RS-232 es asíncrono por carácter y síncrono por bit. Tanto el dispositivo a conectar como la computadora (o el programa terminal) tienen que usar el mismo protocolo serie para comunicarse entre sí. Puesto que el estándar RS-232 no permite indicar en que modo se está trabajando, ambas partes deben configurarse adecuadamente.

Por lo general, los circuitos lógicos se diseñan con tecnología TTL, lo cual requiere del ajuste de los niveles de voltaje de salida de estos circuitos en caso de que se requiera utilizar el protocolo RS-232. Diseñar circuitos que operen con este protocolo puede resultar bastante complicado, porque existen



algunas consideraciones que hay que tomar en cuenta, como son la impedancia de salida de los dispositivos conectados, una velocidad de transición de 30 V/ms, etc. Afortunadamente, todo se simplifica con el empleo de circuitos integrados diseñados para realizar la traslación de niveles de voltaje y el acondicionamiento de los bits transmitidos. Uno de estos circuitos integrados es el MAX232, el cual se describe en la siguiente sección.

3.3 Conexión con el puerto serie: circuito integrado MAX232.

La familia de circuitos integrados transmisores/receptores MAX220-MAX249 están implementados para todas las interfaces de comunicaciones de tipo EIA/TIA-232E y V.28/V.24, particularmente para aplicaciones en donde voltajes con valores de ± 12 V no están disponibles. Estos dispositivos son especialmente útiles en sistemas energizados con baterías debido a que su baja potencia de apagado reduce la potencia de disipación a menos de 5 μ W. Las características principales de estos circuitos son:

- Opera con una alimentación simple de +5 V.
- Modo de baja potencia de cuando está apagado.
- Cumple con todas las especificaciones EIA/TIA-232E y V.24.
- Cuenta con salidas de tres estados.

Entre las aplicaciones más importantes de estos circuitos destacan las computadoras portátiles, los módems de baja potencia, las interfaces de traslación, los sistemas alimentados con baterías para RS-232 y las redes con conexiones RS-232. Para la conexión típica del MAX232 como interfase de traslación se utiliza la configuración mostrada en la figura 3.3.

TESIS CON
FALLA DE ORIGEN



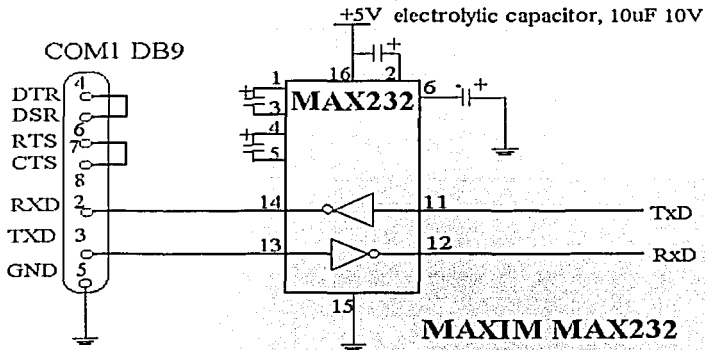


Figura. 3.3 Conexión del MAX232.

3.3.1 Interconexión de subsistemas con el MAX232.

A través del puerto serial la computadora central envía y recibe información sobre el control de los transmisores y receptores IR, arrancadores de motores (para las plumas ferroviarias), transmisores y receptores para la malla láser, sistemas láser de detección de bloqueo en las plumas ferroviarias, alarmas de señalización visuales y sonoras, manejo de semáforos y control del sistema de frenado emergente. Dado el gran volumen de información que debe enviarse a través de este puerto, es necesario desarrollar un circuito capaz de canalizar, de manera conveniente y adecuada, todas las señales de los subsistemas y de la computadora para el funcionamiento adecuado del Sistema Prototipo.

La interconexión entre todos los subsistemas y el puerto serial de la computadora se realizó con un microcontrolador. Dada la experiencia adquirida durante el desarrollo de los sistemas IR se optó por desarrollar un circuito basándose en un microcontrolador PIC. En particular, se decidió utilizar el PIC16F877 ya que contiene un circuito USART, lo que facilita el establecimiento de la comunicación con la computadora central a través del puerto serie.



3.3.2 Microcontrolador PIC16F877.

Además de las características propias de esta familia de microcontroladores ya descritas en el capítulo anterior, el PIC16F877 contiene 33 pines de E/S para uso general que pueden ser manejados de diversas maneras a través de programación. Una descripción detallada de este circuito puede encontrarse en el apéndice 1.

El módulo del USART es uno de los dos módulos de E/S serial que contiene el PIC16F877. Este puede ser configurado como un sistema asíncrono *full-duplex* que se puede comunicar con dispositivos periféricos como PC's, o también configurado como sistema síncrono *half-duplex* que se comunica con dispositivos periféricos como convertidores A/D o memorias seriales EEPROM.

Para el manejo del módulo transmisor asíncrono del USART del PIC16F877 se deben seguir los siguientes pasos:

- Inicializar el registro SPBRG, como se muestra en el apéndice 6, para fijar la tasa de baudios apropiada.
- Habilitar el puerto serial, limpiando el bit SYNC e inicializando el bit SPEN.
- Habilitar la transmisión introduciendo un nivel lógico alto en el bit TXEN, que solo se logra si está en alto el bit TXIF.
- Cargar el dato en el registro TXREG; entonces inicia la transmisión.

Por otro lado, el manejo del módulo receptor asíncrono del USART de este microcontrolador se establece mediante los siguientes pasos:

- Inicializar el registro SPBRG como se muestra en el apéndice 6 para fijar la tasa de baudios apropiada.
- Habilitar el puerto serial, simplemente limpiando el bit SYNC e inicializando el bit SPEN.
- Habilitar la recepción introduciendo nivel alto en el bit CREN.
- Leer el dato recibido de 8 bits, simplemente leyendo el registro RCREG.



El transmisor y el receptor funcionan independientemente, pero utilizan el mismo formato de datos y tasa de baudios. El generador de la tasa de baudios produce un reloj de x16 ó x64 del rango de cambio de bit, dependiendo del bit BRGH (TXSTA<2>). Los programas desarrollados para la transmisión y recepción de la información con este microcontrolador pueden encontrarse en el apéndice 2. En cuanto a la programación, se debe mencionar que para realizar la configuración del PIC16F877 sólo se deben realizar los siguientes pasos:

1. Configurar el puerto C, en los bits 7 y 6 reservados para recepción y transmisión serial respectivamente (entrada y salida).
2. Activar la transmisión y recepción serial USART en el registro SPEN.
3. Inicialización del modo de transmisión asíncrona, con 8 bits y el modo de baja velocidad, llamados SYNC, TX9D y BRGH respectivamente. Estos bits se encuentran en el registro TXSTA (bits 4, 0 y 2 como se mencionaron).
4. Configurar la tasa de baudios a 1200 en el registro SPBRG.
5. Configurar el número de bits a recibir en el registro RCSTA.

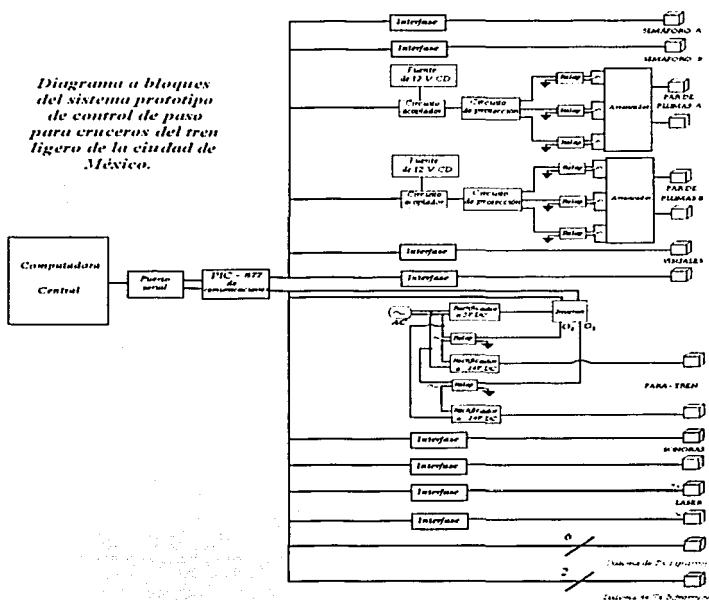
Para finalizar lo relacionado a la configuración del módulo de transmisión y recepción USART, se debe hacer notar que existen deferentes registros que contienen bits utilizados como banderas. Por ejemplo el registro TXSTA (utilizado para configurar y controlar la transmisión USART) existe la bandera TRMT (bit 1) utilizada para indicar si la transmisión ha terminado o no. Para el caso del registro RCSTA (utilizado para configurar y controlar la recepción USART), existe la bandera FERR (bit 2) utilizada para indicar que hay error en la trama de recepción.

3.4 Monitoreo de dispositivos.

Como parte del Sistema Prototipo, la función específica del PIC16F877 es monitorear señales recibidas por cualquiera de los dispositivos del sistema, tratando de manera especial a la computadora central; esto es porque de ésta se reciben continuamente instrucciones por medio del puerto serie (recepción asíncrona) las cuales se aplican a los diferentes dispositivos. Los demás



dispositivos (que son tomados en cuenta como objetos) se monitorean (según sea el caso de transmisores o receptores) mediante señales binarias (niveles lógicos alto o bajo). En otras palabras, la función del PIC16F877 es transmitir o recibir datos de la computadora central y enviar o recibir niveles lógicos altos o bajos de o hacia los dispositivos que están conectados a los diferentes puertos del mismo microcontrolador. El diagrama de bloques de la figura 3.4 muestra la conexiones del PIC16F877 con los diferentes dispositivos del Sistema Prototipo, así como con la PC-104.



Como ejemplo, los receptores láser envían un cambio de voltaje de 0 V a +5 V al puerto del microcontrolador correspondiente si se presenta recepción láser, y si éste se interrumpe envían un cambio de voltaje de +5 V a 0 V. Otro ejemplo es el caso de los motores, en los que se debe controlar el arrancador;



el arrancador tiene tres controles, el primero para arrancar el motor en un sentido, el segundo para pararlo y el tercero para arrancar el motor en sentido contrario. Cada uno de estos controles está conectado a un pin correspondiente en el microcontrolador, y con esto, es suficiente enviar un pulso de +5 V con una duración de medio segundo para activar cualquiera de los controles

La forma lógica más sencilla de monitoreo de los dispositivos es realizando una lectura en los puertos de entrada del PIC. Así, por ejemplo, en la figura 3.5 se muestra el diagrama de flujo del programa para monitorear los subsistemas infrarrojos y comunicarlos con la computadora central PC-104.

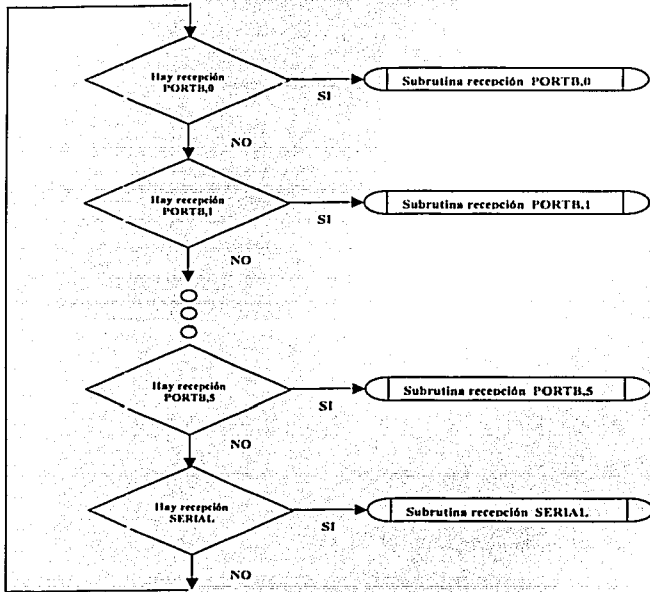


Figura 3.5 Diagrama de flujo para monitoreo de subsistemas infrarrojos.



En el diagrama de flujo se observa que el programa principal va a estar preguntando si existe recepción en cualquiera de los subsistemas. El PIC distingue a qué subsistema pertenece la información recibida por medio del puerto en el que se recibe. De igual manera, también se monitorea la recepción serial por medio de las banderas RCIF del registro PIR1, que está en nivel alto si está ocurriendo una recepción.

Como se observa en el diagrama una vez que se ha detectado cualquiera de las recepciones mencionadas, lo siguiente es el llamado a la subrutina correspondiente. Cada subrutina realiza la tarea de recibir datos en el puerto correspondiente. Una vez que han sido recibidos los datos, éstos deben ser enviados por el puerto serial llamando a otra subrutina. El diagrama de flujo de la figura 3.6 muestra la dinámica descrita.

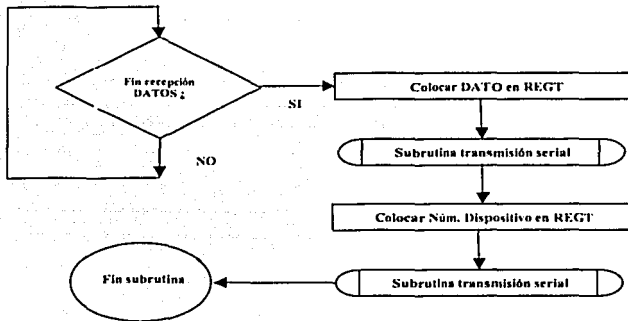


Figura. 3.6 Diagrama de Flujo de subrutina de recepción de datos.

Del diagrama se puede observar que la primera tarea es recibir los datos. Una vez terminada la recepción de datos, éstos se colocan en un registro para enviarlos a la PC-104 por medio de la subrutina de transmisión serial (la cual será descrita en párrafos siguientes). Después de esto se observa que de nueva cuenta se carga un número en el registro de transmisión serial que corresponde al dispositivo. La forma en que la PC-104 distinga a que dispositivo corresponden los datos recibidos es mediante un código de

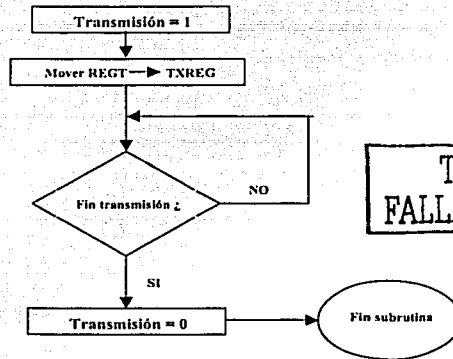


identificación del dispositivo. Los códigos de todos los dispositivos se muestran en el apéndice 5.

Hasta este momento, el protocolo de transmisión de datos a la PC-104 tiene las siguientes características:

1. Los datos son recibidos en PIC16F877 y guardados en un registro de transmisión.
2. Los datos son enviados por serial a la PC-104.
3. Enseguida se coloca el número de identificación del dispositivo o subsistema en el registro de transmisión.
4. El número de identificación del dispositivo o subsistema es enviado por serial a la PC-104.

La figura 3.7 muestra el diagrama de flujo en el que se indican los pasos para la transmisión serial.



TESIS CON FALLA DE ORIGEN

Figura 3.7 Diagrama de Flujo de la subrutina de Transmisión Serial.

Como puede verse, lo primero que realiza la subrutina de transmisión serial es habilitar la bandera de transmisión serial. Lo siguiente es colocar el dato recibido que se encuentra en REGT, en el "buffer" de transmisión serial llamado TXREG. A partir de entonces comienza la transmisión. Para asegurar una



transmisión exitosa se pregunta en la bandera correspondiente (TXSTA) si se ha terminado de transmitir. Una vez que se ha terminado de transmitir se deshabilita la transmisión, esto para que el PIC16F877 transmita nuevamente el dato anterior.

La estructura para la subrutina de recepción de la PC-104 al del PIC16F877 solo realiza una tarea que es la de colocar lo que contiene el "buffer" de recepción (RCREG), en nuestro registro (REGR). Debe hacerse notar que en la figura 3.5 se monitorea la recepción serial la cual se realiza mediante la bandera PIR1, por lo que ya no es necesario realizarlo. Si se llega a la subrutina de recepción, es por que ésta ya ocurrió.

Lo siguiente es aplicar rutinas de descubrimiento de cuáles son los 8 bits recibidos para aplicar la instrucción debida. La tabla 2 del apéndice 5 (recepción serial del PIC16F877) muestra todos los códigos que el PIC16F877 debe aplicar a los dispositivos. Debe notarse que estos códigos (incluyendo los de la tabla 1) se realizaron siguiendo el siguiente criterio:

- El primer bit <7> es de paridad y sirve para dar seguridad a la transmisión o recepción según sea el caso.
- Los siguientes 4 bits <6,5,4,3> son bits identificadores de tipo de dispositivo. Por ejemplo pueden ser subsistemas infrarrojos, o subsistema de plumas o motores, señales visuales y sonoras, etc.
- Los bits restantes <2,1,0> son bits identificadores de tarea a realizar. Por ejemplo puede ser encender o apagar, *start* o *reset*, según el tipo de dispositivo.

Las rutinas de aplicación de instrucción primero identifican los cuatro bits del dispositivo. Una vez que se sabe a qué dispositivo se refiere, entonces se identifica el tipo de tarea que se debe realizar y finalmente se aplica según corresponda.

Con esto se termina la descripción lógica de la transmisión y recepción en el PIC16F877. Las pruebas de aplicación de lo realizado se muestran en el capítulo 4, donde además se señalan los resultados obtenidos.



En la figura 2.8 se muestra la tarjeta de interfase para comunicación de los dispositivos IR con la PC. En esta figura se muestra los circuitos utilizados como el microcontrolador PIC16F877 y el MAX 232. De igual forma se muestran el bus para cable plano que controla otros dispositivos del Sistema Prototipo de Seguridad.

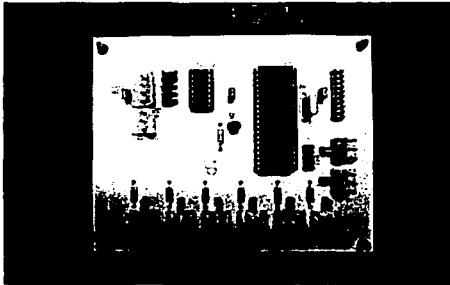


Figura 2.8. Tarjeta de interfase de comunicación.

En la figura 2.9 se muestra la interconexión de comunicación entre la PC y los dispositivos IR, a través de la interfase desarrollada.

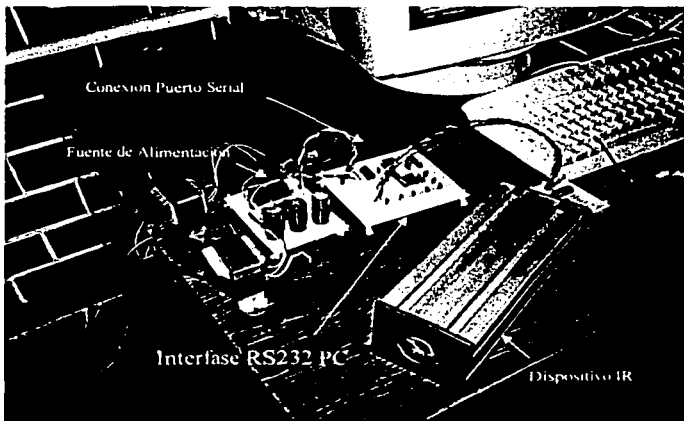


Figura 2.9. Interconexión de comunicación.

Capítulo 4. Pruebas con los dispositivos diseñados.

Una vez diseñados e implementados los dispositivos para la transmisión de señales IR, se realizaron las pruebas necesarias para evaluar el funcionamiento del sistema. En el siguiente diagrama de bloques (figura 4.1) se indican los puntos utilizados para obtener las señales (oscilogramas) que se muestran en este capítulo.

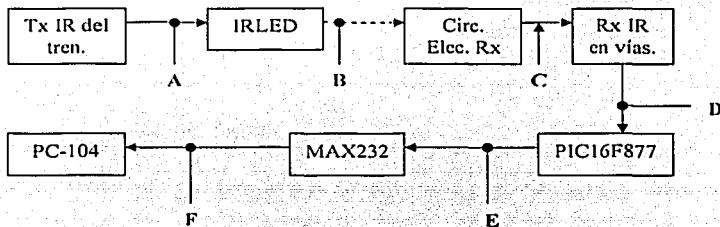


Figura 4.1. Puntos de prueba del sistema.

4.1 Funcionamiento de los subsistemas Infrarrojos.

El microcontrolador del dispositivo transmisor genera una ráfaga de 14 bits modulados en ASK, donde los primeros 6 bits forman la llave y los siguientes 8 bits forman los datos del tren.

Cada bit está representado con +5 V para el nivel lógico alto, con 0 V para el nivel lógico bajo, y tienen una duración de 55 μ s; cuando se tiene el "1" lógico, el bit es modulado con una señal cuadrada portadora a una frecuencia de 100 kHz, como se muestra en la figura 4.2.

TESIS CON
FALLA DE ORIGEN



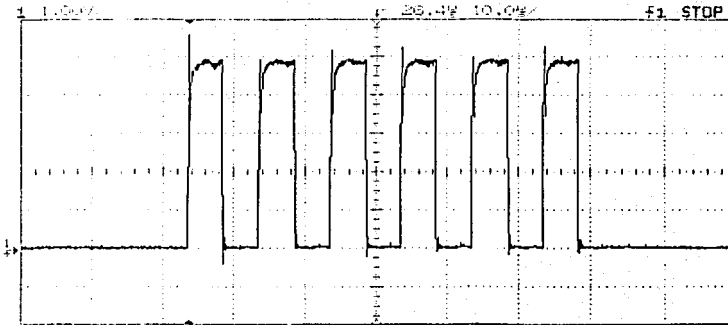


Figura 4.2. Bit "1" generado por el microcontrolador transmisor.

En la figura 4.3, obtenida en el punto de prueba A indicado en la figura 4.1, se muestra la señal que representa una ráfaga de bits completa para la transmisión IR. En este caso, los bits de llave tienen la combinación "1 0 1 1 0 1", y los bits de los datos del tren tienen la combinación de "1 1 1 0 0 101".

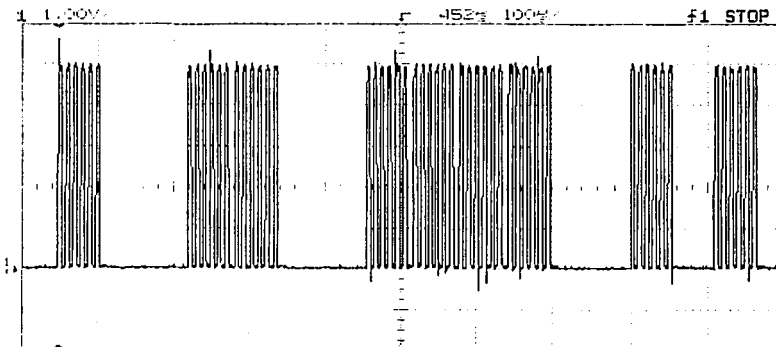


Figura 4.3. Ráfaga completa de bits modulados en ASK.



Estos bits se generan en el microcontrolador y entran al circuito eléctrico para ser acondicionados de tal manera que se puedan enviar por medio del IRLED. La señal obtenida en el IRLED (encendido y apagado) es la que se muestra en la figura 4.4 (punto de prueba B).

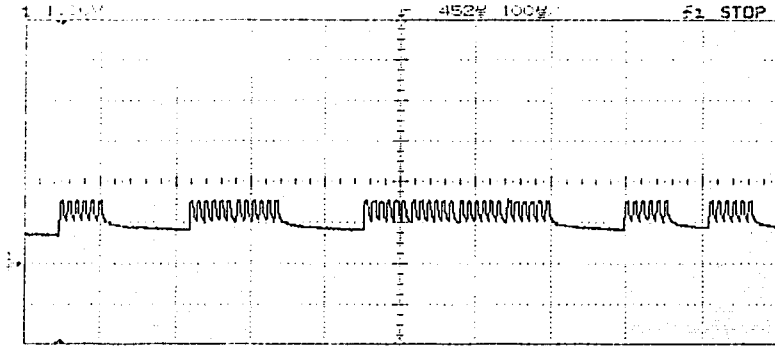


Figura 4.4. Encendido y apagado del IRLED.

Cuando la señal IR es recibida por el fototransistor IR se tiene una señal ya remodulada. Cuando el enlace es óptimo entre el transmisor y receptor, la señal se regenera (figura 4.5, punto de prueba C) utilizando el circuito electrónico descrito en el capítulo 2. Esta última señal es la que ingresa al microcontrolador receptor para ser sensada y procesada.

TESIS CON
FALLA DE ORIGEN



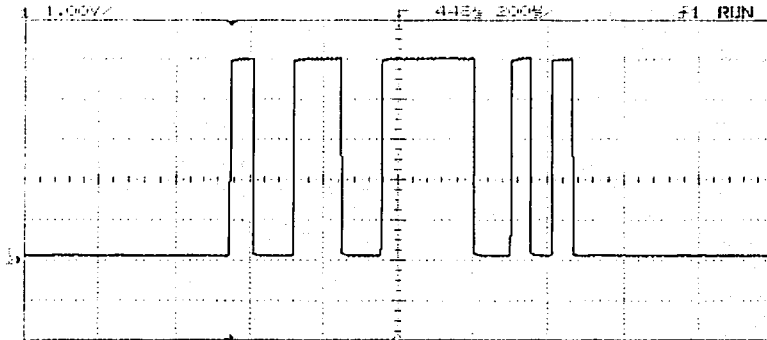


Figura 4.5. Señal regenerada por el circuito electrónico.

De acuerdo con las especificaciones del STEDF, el enlace IR debe ser confiable a 15 m de distancia entre el transmisor y el receptor. Para cumplir con esta especificación se utilizaron las lentes mencionadas en el capítulo anterior.

Experimentalmente, sin utilizar las lentes, se logró obtener un enlace IR confiable de 31.5 cm, mientras que al utilizar las lentes se lograron enlaces IR con distancias mayores a los 15 m que se requieren en la especificación.

Al comparar la ráfaga de bits generadas en el transmisor con los bits regenerados en el receptor se puede observar que el enlace puede considerarse confiable para el propósito de la transferencia de datos (figura 4.6). Sin embargo, hay factores que pueden afectar la efectividad del enlace y generar errores en la recepción. En particular, es importante mencionar la deformación que sufren los bits recibidos como consecuencia de la directividad del sistema.

TESIS CON
FALLA DE ORIGEN



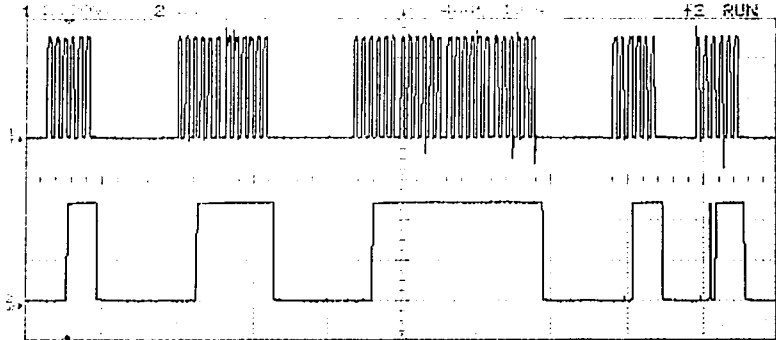


Figura 4.6. Enlace IR óptimo.

Existen dos casos importantes que fueron analizados como parte de la caracterización del sistema. Éstos generan deformaciones en los bits recibidos y originan una detección errónea de datos. El primer caso se presenta con los ángulos de umbral en la recepción (aproximadamente 20° sin utilizar lentes, y 8° utilizando lentes, determinados experimentalmente) en los que la deformación de la señal puede originar errores en la transferencia de datos (figura 4.7). El segundo caso se presenta en las zonas de sombra que se tienen en el haz de luz; aquí, aunque se tiene recepción infrarroja, algunos bits sufren un alargamiento y otros un recorte en duración (figura 4.8). Otro factor que puede generar este tipo de comportamiento es la calidad óptica de las lentes utilizadas en los transmisores y receptores, que además puede alterar la respuesta del fototransistor.

La probabilidad de ocurrencia de errores mencionados anteriormente disminuye cuando la recepción se realiza dentro del cono de aceptación del receptor. Dentro de esta región, en algún momento se detectan los bits de llave y la recepción se realiza de manera óptima. A futuro, estos problemas pueden minimizarse utilizando lentes de mejor calidad y fotodiodos que a diferencia de los fototransistores tienen una respuesta lineal.



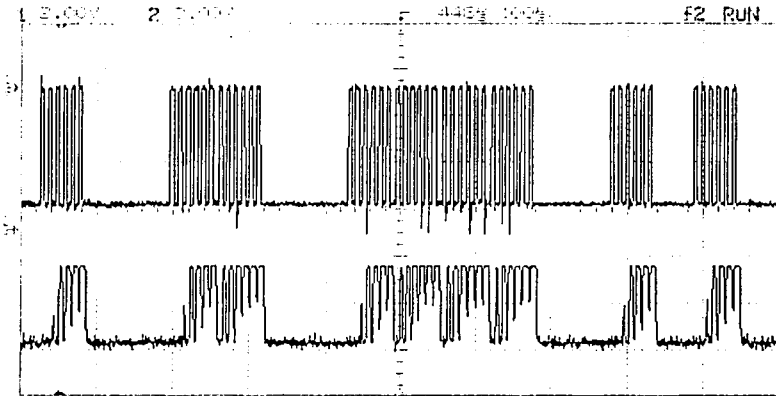


Figura 4.7. Enlace con probabilidad de bits erróneos en el umbral del ángulo de recepción

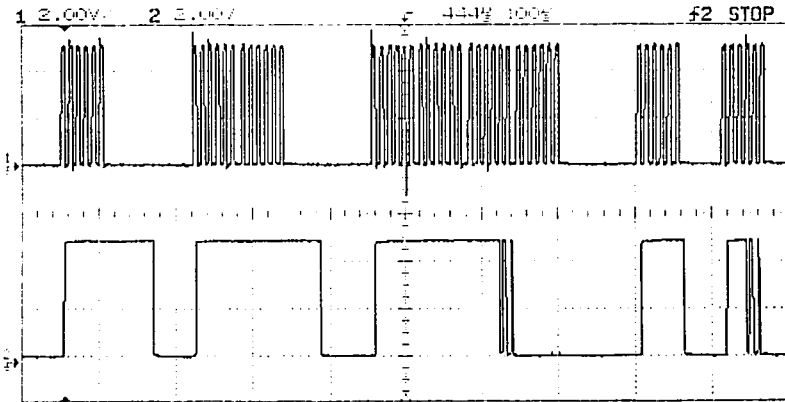


Figura 4.8. Enlace con probabilidad de bits erróneos dentro de zonas de sombra.



4.2 Transmisión de los receptores IR al microcontrolador PIC16F877.

El microcontrolador receptor procesa la señal recibida y una vez que determina que la llave es la correcta, los 8 bits de datos del tren son leídos y guardados en un registro interno y enviados a su vez a la tarjeta de adquisiciones del PIC16F877 (figura 4.9, punto de prueba D). Al enviar los 8 bits de datos, el microcontrolador del dispositivo receptor agrega un bit inicial para activar una interrupción en el microcontrolador de la tarjeta de adquisiciones, así como para establecer la sincronización entre los dos.

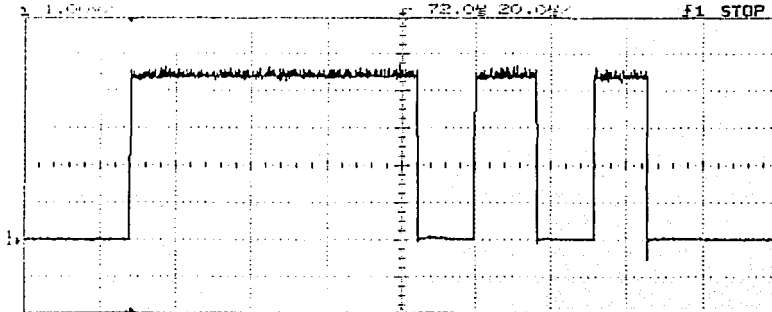


Figura 4.9. Ráfaga de bits enviados del receptor a la tarjeta de adquisición.

La línea de transmisión utilizada para el envío de los bits es un cable de par trenzado (*Unshielded twisted pair, UTP*) categoría 3. Este cable presenta limitantes de transmisión para distancias mayores a los 100 m. Experimentalmente, con una línea de 50 m se observó la presencia de ruido con amplitudes que llegan hasta 1 V de amplitud (figura 4.10), lo que puede generar errores en la transmisión y por lo que se recomienda la utilización de dispositivos regeneradores de la señal. La figura 4.11 muestra la comparación de la ráfaga de bits original con una ráfaga de bits transmitidas por una línea de par de cobre de 50 m de longitud.



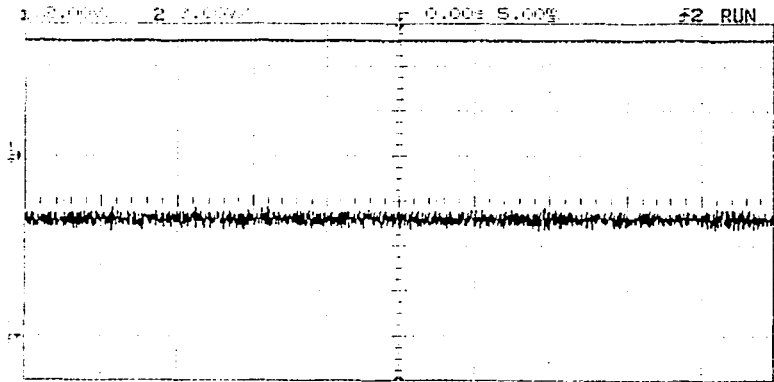


Figura 4.10. Ruido en una línea de par trenzado de 50 m de longitud.

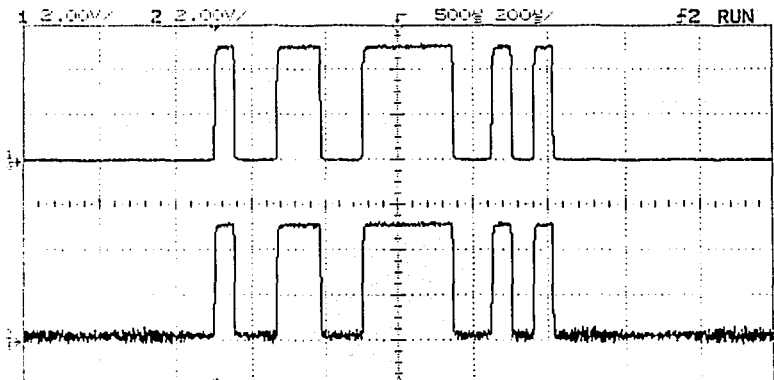


Figura 4.11. Ruido en la ráfaga de bits en una línea de par trenzado a 50 m de longitud.



4.3. Transmisión del microcontrolador PIC16F877 a la PC-104.

El microcontrolador PIC16F877 en la tarjeta de adquisiciones recibe los 8 bits del receptor IR y los guarda en un registro interno para enviarlos al MAX 232. Este microcontrolador envía al MAX232 una ráfaga de 16 bits, en la cual los primeros 8 bits identifican el número de dispositivo del cual se recibió la información, y los siguientes 8 bits forman los datos del tren (figura 4.11, punto de prueba E).

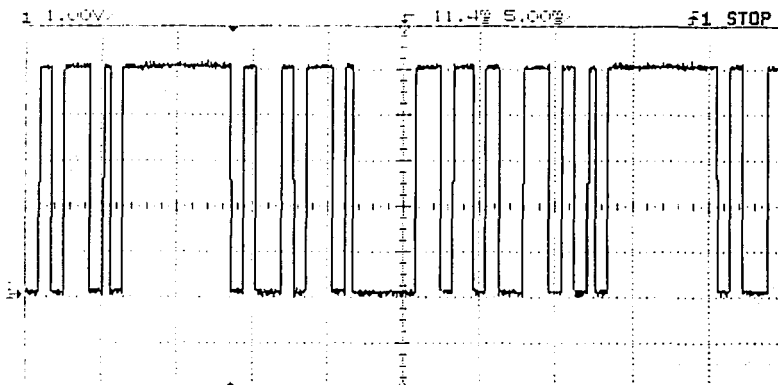


Figura 4.12. Ráfaga de bits del PIC16F877 al MAX232.

Una vez que el MAX232 recibe los 16 bits del microcontrolador (en niveles de voltaje de TTL), éste los convierte al protocolo RS232 (niveles de voltaje de +10 V y -10 V) para que puedan ser leídos y procesados por la PC-104 (figura 4.13, punto de prueba F).

TESIS CON
FALLA DE ORIGEN



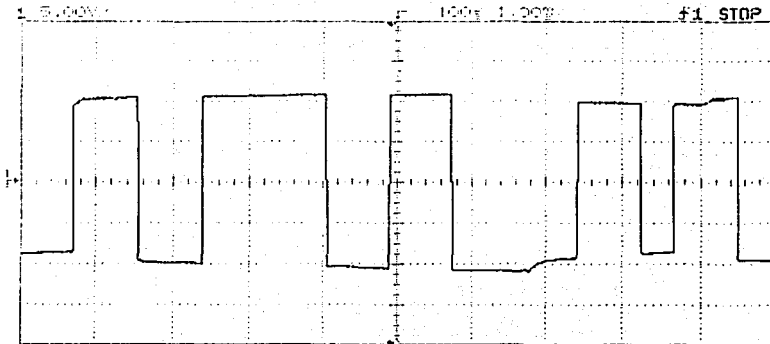


Figura 4.13. Ráfaga de bits del MAX232 a la PC-104.

4.4 Comunicación PC-104 – Subsistemas del Sistema Prototipo.

Para las pruebas de comunicación entre la computadora central PC-104 y los subsistemas del Sistema Prototipo se utiliza un programa desarrollado específicamente para este fin. Éste se ha desarrollado sobre la plataforma de programación de Visual Basic. La pantalla de despliegue frontal del programa se muestra en la figura 4.14, y como puede verse, es posible activar cada uno de los subsistemas de manera independiente y verificar el funcionamiento en conjunto de todos los dispositivos.

El programa tiene las tarea de enviar instrucciones específicas mediante los códigos establecidos para cada dispositivo, los cuales fueron descritos en el capítulo 3 (ver apéndice 5). Estas instrucciones pueden ser transmitidas desde cualquier PC y, además, pueden recibirse instrucciones de la misma manera en la PC. El programa está diseñado para funcionar de 2 formas; la primera es manualmente, en la cual se envían todas las instrucciones por medio de un usuario que manipule la pantalla de despliegue frontal y con esto activar o desactivar cualquier parte del Sistema prototipo; la segunda forma es activar el programa para que controle la operación de todo el Sistema Prototipo de manera



automática como si operara dentro del crucero. Para fines de prueba utilizamos el modo manual.

En la figura 4.14 se observan una serie de columnas. En la columna "objeto" se muestra todos los subsistemas manipulados por la PC-104. En la columna de "método", se muestra las acciones que se pueden ejecutar con cada subsistema. La columna de estado muestra el estado actual en que se encuentra cada subsistema. Normalmente, si se despliega un "1" esto indica que el subsistema o dispositivo está encendido y si aparece un "0" indica que está apagado.

Objeto	Métodos	Estado	Ultimo Código Enviado
Alarma Sonora	<input type="button" value="Activar"/> <input type="button" value="Desactivar"/>	Estado de Alarma Sonora	Alarma Sonora
Alarma Visual	<input type="button" value="Activar"/> <input type="button" value="Desactivar"/>	Estado de Alarma Visual	Alarma Sonora
Sumafono Interno	<input type="button" value="Silencio"/> <input type="button" value="Alto"/>	Estado del Sumafono Interno	Alarma Sonora
Paratrén A	<input type="button" value="Activar"/> <input type="button" value="Desactivar"/>	Estado del Paratrén A	Alarma Sonora
Paratrén B	<input type="button" value="Activar"/> <input type="button" value="Desactivar"/>	Estado del Paratrén B	Alarma Sonora
Plumas A	<input type="button" value="Subir"/> <input type="button" value="Bajar"/>	Estado de las Plumas A	Alarma Sonora
Plumas B	<input type="button" value="Subir"/> <input type="button" value="Bajar"/>	Estado de las Plumas B	Alarma Sonora
Laser Seguridad A	<input type="button" value="Activar"/> <input type="button" value="Desactivar"/>	Estado de Laser Seguridad A	Alarma Sonora
Laser Seguridad B	<input type="button" value="Activar"/> <input type="button" value="Desactivar"/>	Estado de Laser Seguridad B	Alarma Sonora
Malla Láser	<input type="button" value="Activar"/> <input type="button" value="Desactivar"/>	Estado del Laser	Alarma Sonora

<input type="checkbox"/> Iniciar Sistema de Seguridad	Plumas A	<input type="button" value="Adelante"/> <input type="button" value="Atrás"/> <input type="button" value="Stop"/>
<input type="checkbox"/> Tránsito de autos	Plumas B	<input type="button" value="Adelante"/> <input type="button" value="Atrás"/> <input type="button" value="Stop"/>
<input type="checkbox"/> Se aproxima el tren		
<input type="checkbox"/> Entra el tren al crucero		
<input type="checkbox"/> Sale el tren del crucero		

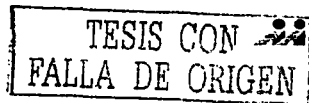
Alarma Sonora	Estado de Alarma Sonora	Alarma Sonora
---------------	-------------------------	---------------

EstadoDelSistema

65

Figura 4.14 Programa de control del sistema prototipo.

Otra forma de hacer pruebas manualmente con este programa es introducir los códigos de las instrucciones en forma de código decimal (apéndice 5). En la parte inferior derecha de la pantalla de despliegue frontal del programa se



encuentra una caja de texto que puede utilizarse para enviar cualquiera de los códigos diseñados. Para enviarlo se coloca en la caja de texto el código deseado y con el mouse se pulsa el botón "Enviar Código".

Si activamos todos los subsistemas el programa enviará los códigos al PIC16F877 para que éste ejecute las instrucciones. Para ello solo debemos pulsar los botones "Activar" de cada subsistema. Después de realizar lo anterior en la columna de estado aparecerán todos los subsistemas encendidos, como se muestra en la figura 4.15.

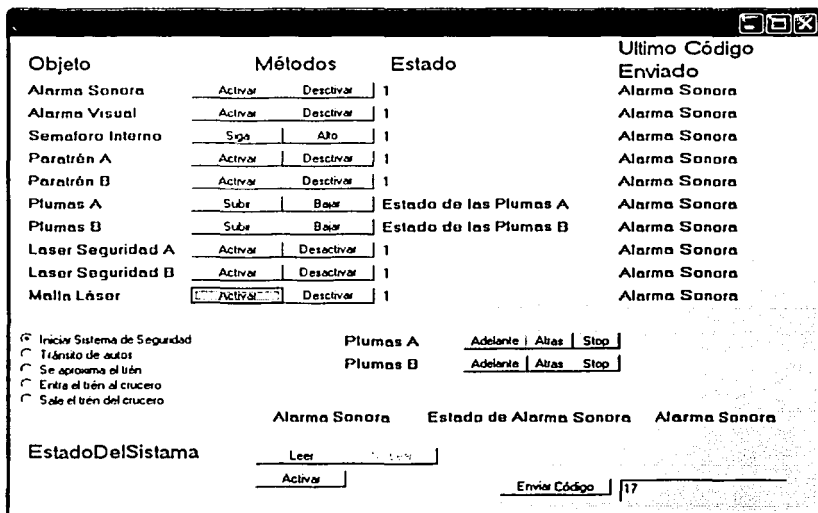
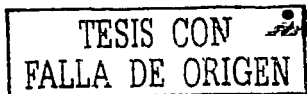


Figura 4.15 Estado de los subsistemas en activo.

Conforme el Sistema Prototipo implementado iba evolucionando se realizaron 3 presentaciones para el STEDF, las cuales se llevaron a cabo en los laboratorios del Instituto en Investigaciones de Materiales (IIM); en la primera demostración se integraron todos los subsistemas del Sistema Prototipo y se



simuló el funcionamiento de la operación de éste programando el PIC16F877 para emular la computadora central; la segunda demostración se hizo una vez que se tenía la comunicación serial entre los subsistemas y una PC, en donde se utilizó una versión inicial del programa de Visual Basic que servía para mandar los códigos de los dispositivos de todos los subsistemas manualmente y encenderlos o apagarlos, así como para desplegar en una pantalla la información en código ASCII de lo que se recibía de los dispositivos infrarrojos; una tercera demostración consistió en que la computadora, por medio del programa controlara todo el Sistema Prototipo, pero sólo en el caso óptimo, en donde no se presenta ningún caso de alarma. En todas las presentaciones que se han realizado se obtuvieron los resultados esperados y los representantes del STDEF se han mostrado muy satisfechos con el funcionamiento del sistema implementado.

Para aumentar la eficiencia de todo el sistema se pueden realizar diferentes tareas; una de ellas es el análisis de los programas de los microcontroladores en el sentido de los bits recibidos para que reduzcan la interpretación de bits erróneos. Otra tarea es mejorar el diseño de las fuentes de alimentación para que reduzcan el ruido introducido al sistema; y por último se debe seguir trabajando con el programa informático de Visual Basic para su perfeccionamiento y para tener un mejor control del crucero.



Capítulo 5. Conclusiones.

En este trabajo de tesis se desarrollaron algunos de los subsistemas que forman parte del Sistema Prototipo de Control de Paso para los cruceros del Tren Ligero de la Ciudad de México. En particular, se diseñaron e implantaron todos los subsistemas infrarrojos utilizando tecnología de microcontroladores PIC. El uso de estos microcontroladores resultó eficiente y relativamente sencillo para generar y transmitir las señales de información del Tren Ligero, cumpliendo las especificaciones establecidas por el STEDF. Todo esto servirá para codificar información necesaria sobre el Tren Ligero y es de gran relevancia para el STEDF ya que será útil para identificar y rastrear los trenes a lo largo de su recorrido.

Se diseñaron los circuitos necesarios para generar una señal con ráfaga de 14 bits formada por 6 bits de llave y 8 bits de datos. Los bits llave fueron generados con la finalidad de evitar intromisión de señales infrarrojas externas; lo cual se logró exitosamente. Para ello se realizaron pruebas experimentales con diferentes sistemas infrarrojos y ninguno pudo introducir instrucciones al Sistema Prototipo. Este método resultó bastante eficiente para la transferencia de datos vía infrarrojos. Los 8 bits de datos fueron generados con resultados óptimos para las condiciones establecidas por el STEDF.

En las pruebas realizadas durante la recepción, se encontraron casos en los que se presentan bits erróneos, los cuales están en función de las condiciones en que se logra la transmisión. El ángulo con el que se reciben la señal infrarroja influye en el error de recepción, en particular, si no se logra una alineación directa entre transmisor y receptor infrarrojo, los errores en bits transmitidos aumentan. Por lo tanto, es recomendable que para un eficiente funcionamiento durante la transmisión y recepción de datos se logren alinear perfectamente los transmisores y receptores infrarrojos desarrollados. De igual forma, se comprobó que al aumentar la velocidad con que viaja el Tren Ligero (establecida a 20 km/h en los cruceros) se tiene una recepción eficiente; pero si la velocidad aumenta considerablemente, se podría tener una recepción errónea



de los bits de datos. Sin embargo, los bits de llave pueden leerse correctamente y el Sistema Prototipo se activará de cualquier forma de acuerdo con la lógica de operación establecida.

El uso de lentes ayudó considerablemente a que la distancia de alcance de los transmisores aumentara a distancias mayores a los 15 metros solicitados por el STEDF. El inconveniente que se obtuvo al usar lentes es que con éstas se disminuye el ángulo de recepción de 20 a 8 grados.

Para el diseño de gabinetes resultó muy eficiente el uso de los perfiles IPS. Éstos protegen adecuadamente a los dispositivos infrarrojos de las variaciones en las condiciones climatológicas. Esto redundará en un aumento en el tiempo de vida de los transmisores y receptores infrarrojos.

La interfaz de los subsistemas infrarrojos con la PC-104 fue desarrollada en base con un microcontrolador PIC16F877. Esta interfaz utiliza comunicación serial, con el protocolo RS-232 y fue relativamente sencilla de implementar. Los resultados de esta comunicación fueron bastante eficientes y confiables, ya que en pruebas realizadas no arrojó error alguno. Los resultados de las pruebas con esta interfaz fueron tan satisfactorios que se decidió utilizarla para la comunicación con el resto de los elementos del Sistema Prototipo. El único inconveniente que puede presentarse con esta interfaz, es la limitante de puertos de entrada y salida del microcontrolador. Esto puede ser relevante si en algún momento se requiere aumentar el número de subsistemas. Sin embargo, esto puede solucionarse por multiplexado, o bien, utilizando un microcontrolador esclavo.

Todos los subsistemas infrarrojos así como la interfaz fueron implementados con dispositivos electrónicos comerciales que pueden ser encontrados prácticamente en cualquier tienda o distribuidor de productos electrónicos. Esto facilita el mantenimiento, la sustitución y corrección de fallas de cualquiera de los subsistemas. Además, con esto se reducen los costos de fabricación.



Trabajo a futuro.

Las pruebas con la interfaz y los subsistemas infrarrojos únicamente han sido realizadas con una PC convencional, dado que hasta la fecha, la PC-104 no ha terminado de ser configurada similitud de ésta con las PC's convencionales.. Por lo tanto, es necesario realizar pruebas futuras utilizando la PC-104, lo cual consideramos no tendrá problema alguno dada la

De igual forma, todas las pruebas de funcionamiento de los subsistemas infrarrojos fueron realizadas en su mayoría bajo condiciones de laboratorio. Se realizaron algunas pruebas en el taller de Huipulco del Tren Ligero y aunque el funcionamiento fue adecuado, deben realizarse otras pruebas en estas mismas condiciones para realizar los ajustes necesarios y lograr el funcionamiento óptimo del Sistema Prototipo en su totalidad. Adicionalmente, se realizarán las mismas pruebas en el crucero de Xomali para tener una evaluación real del Sistema Prototipo.

Una vez que se incorporen la PC-104 como la Computadora Central (CC) se permitirá incorporar todo el Sistema Prototipo de Control de Paso para los cruceros del Tren Ligero de la Ciudad de México a la aplicación real. Los resultados esperados son de un absoluto éxito. Los posibles percances esperados tendrán que ver con la interacción con los usuarios.

Los objetivos propuestos por el STEDF van desde la implementación del Sistema Prototipo en todos los cruceros hasta la realización de un sistema de monitoreo de todos los cruceros. Entre los diversos motivos por los que se seleccionó la PC-104 como CC está la posibilidad de incluir una tarjeta de red Ethernet para desarrollar una red de datos. La red que se pretende desarrollar es para un centro de control que pueda monitorear todos y cada uno de los trenes, así como el estado de los cruceros. Otra ventaja que ofrece la PC-104 es la entrada de una tarjeta de vídeo que permite la incorporación de dispositivos de vídeo para poder tener un monitoreo visual.

El diseño e implementación de toda esta red de monitoreo, teniendo como base el diseño del Sistema Prototipo trabajado en esta tesis significa una fuerte inversión a mediano y largo plazo que sin duda alguna vale la pena. Los



resultados esperados beneficiarán directamente a los usuarios de este servicio de transporte incrementando su seguridad, así como la de los habitantes de las zonas cercanas, los peatones y los automovilistas.

Sin duda alguna el Sistema Prototipo de Control de Paso para los cruceros del Tren Ligero de la Ciudad de México significa un importante paso para el desarrollo de una cultura tecnológico-social exigente ante las necesidades actuales de la sociedad mexicana.



APENDICES.

- Apéndice 1. Hojas de especificaciones.
- Apéndice 2. Programas de los microcontroladores.
- Apéndice 3. Circuitos electrónicos.
- Apéndice 4. Memoria de Calculo del Sistema Prototipo de Prevención de Accidentes en los cruceros del Tren Ligero de la Ciudad de México.
- Apéndice 5. Códigos para comunicación PC104-PIC16F877.
- Apéndice 6. Cálculos de Velocidad y error de Transmisión Serial en el PIC16F877.
- Apéndice 7. Conexión del PIC16F877 con los diferentes dispositivos del Sistema Prototipo.
- Apéndice 8. Carta de aceptación al SPIE.



APENDICE 1. HOJAS DE ESPECIFICACIONES.

- **PC-104.**
- **Júpiter-MM (fuente PC-104).**
- **LED Infrarrojo IR383.**
- **Fototransistor Infrarrojo PT1302B/C2.**
- **Transistor BC547C.**
- **Transistor MPSA13.**
- **Regulador LM7805.**
- **Regulador LM137.**
- **Regulador LM337.**
- **Microcontrolador PIC16F84A.**
- **Microcontrolador PIC16F877.**
- **Intefase serial MAX232.**



VMIPC4-7301

Lower Power X86-Based Embedded Controller with PC/104-Plus

- Low power Pentium® class single-board computer (SBC) with PC/104-Plus expansion
 - Proven 32 bit processor architecture
 - Less than 100 W total power dissipation
 - Compact SBC, ideal for embedded applications
- Standard features include
 - SBC speeds to 333 MHz
 - Up to 256 Mbyte PC-100 SDRAM
 - Integrated 2D graphics (16 bpp at 1,280 x 1,024)
 - On-board Fast Ethernet controller supporting 10BaseT and 100BaseTX interfaces
 - On-board Ultra DMA/33 IDE and floppy drive interfaces
 - On-board CompactFlash/MicroDrive socket (up to 192 Mbyte CompactFlash or up to 1 Gbyte MicroDrive)
 - Two high performance 16550 compatible serial ports
 - Enhanced parallel printer port with ECP/EPP
 - Two USB ports
 - PS/2-style keyboard and mouse
 - Expansion through PC/104-Plus
 - Passive heat sink
- Real-time features
 - Watchdog timer
 - Three 16-bit user programmable timers
 - 32 Kbyte of nonvolatile SRAM
 - Real-time clock
 - Remote Ethernet booting

Operating System Support

- Windows NT®/Windows® 2000
- Linux
- VxWorks

MICROPROCESSOR — The VMIPC4-7301 brings Pentium MMX™ class performance to a compact SBC that is ideal for embedded applications. The National Semiconductor Geode GX1 processor dissipates very little power, simplifying thermal design considerations.

DRAM MEMORY — The VMIPC4-7301 is available in memory configurations from 16 to 256 Mbyte PC-100 memory.

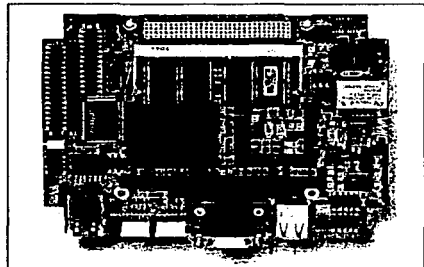
BIOS — The VMIPC4-7301 system BIOS, video BIOS, and LAN boot BIOS are provided in reprogrammable memory. BIOS loader software is also provided.

SUPER VGA CONTROLLER — Full function integrated 2D graphics accelerator provides pixel processing and rendering functions. The video output is provided through a standard SVGA connector.

Ethernet CONTROLLER — The VMIPC4-7301 provides 10BaseT and 100BaseTX Ethernet through the 82559ER PCI Ethernet controller. A standard RJ45 connector is provided with two network status indicators.

CompactFlash — The VMIPC4-7301 provides a CompactFlash card socket that will accommodate types 1 and 2, IDE-compatible devices. This includes flash disk modules up to 192 Mbyte capacity and IBM MicroDrive hard disk up to 1 Gbyte.

SERIAL PORTS — Two 16550-compatible serial ports are featured on the VMIPC4-7301. The serial channels have independent 16-byte FIFOs to support baud rates up to 115 Kbaud. The serial ports are accessible through on-board headers.



ENHANCED PARALLEL PORT — A single Centronics-compatible, fully bidirectional parallel port meeting IEEE-1284 standards (compatibility, nibble, EPP, and ECP). The parallel port contains a 16-byte FIFO to allow data rates up to 2 Mbyte per second in ECP mode.

USB PORTS — The VMIPC4-7301 provides two Universal Serial Bus (USB) ports. The ports are accessible through on-board headers.

KEYBOARD AND MOUSE PORTS — The VMIPC4-7301 supports standard PS/2 keyboard and mouse accessed through standard connectors.

PC/104-Plus Support — The VMIPC4-7301 supports expansion of functionality through the addition of widely available PC/104 and PC/104-Plus cards.

Ordering Options							
Dec. 12, 2001 800-467301-000 B	A	B	C	-	D	E	F
VMIPC4-7301	-	-	-	-	-	-	-
A = Processor							
0 = Reserved							
1 = Reserved							
2 = Reserved							
3 = 333 MHz Geode							
B = SDRAM Memory							
0 = Reserved							
1 = 32 Mbyte							
2 = 64 Mbyte							
3 = 128 Mbyte							
4 = 256 Mbyte							
5 = Reserved							
C = CompactFlash/MicroDrive							
0 = None							
1 = 16 Mbyte							
2 = 32 Mbyte							
3 = 64 Mbyte							
4 = 128 Mbyte							
5 = Reserved							
6 = 340 Mbyte MicroDrive							
7 = 512 Mbyte MicroDrive							
8 = 1.0 Gbyte MicroDrive							
<p style="text-align: center;">For Ordering Information, Call: 1-800-322-2616 or 1-256-880-0444 • FAX (256) 882-0859 Email: info@vmic.com Web Address: www.vmic.com Copyright © April 2001 by VMIC Specifications subject to change without notice.</p>							





WATCHDOG TIMER — The VMIPC4-7301 provides a software programmable watchdog timer. The watchdog timer is enabled under software control. Once the watchdog timer is enabled, on-board software must access the timer within the specified timer period, or a timeout will occur. A user jumper allows the timeout to cause a Reset. Independent of the jumper, software can enable the watchdog timeout to assert a nonmaskable interrupt (NMI).

16-bit Timers — The VMIPC4-7301 provides the user with three 82C54-compatible, general-purpose 16-bit timers. These timers are mapped in I/O space and are completely software programmable.

NONVOLATILE SRAM — The VMIPC4-7301 provides 32 Kbyte of nonvolatile SRAM. The contents of the SRAM are preserved when +5 V power is interrupted or removed from the unit.

REMOTE Ethernet BOOTING — The VMIPC4-7301 incorporates BootWare[®] remote Ethernet boot agent by Lanworks Technologies. BootWare provides the ability to remotely boot the VMIPC4-7301 using NetWare, TCP/IP, PXE, or RPL network protocols.

BootWare Features: NetWare, TCP/IP (DHCP or BOOTP), RPL, and PXE network protocol support

Unparalleled boot sector virus protection

Detailed boot configuration screens

Comprehensive diagnostics

Optional disabling of local boots

Dual-boot option lets users select network or local booting

HARDWARE RESET — A two-pin header is provided to permit connection of a hardware reset switch.

OPERATING SYSTEM AND SOFTWARE SUPPORT — The VMIPC4-7301 supports a wide variety of PC-compatible operating systems and application software.

TECHNICAL SPECIFICATIONS

Length: 5.8 inches (147 mm)

Width: 4.7 inches (119 mm)

Thickness: TBD

PHYSICAL/ENVIRONMENTAL

Power Requirements: +5 VDC (± 5 percent), TBD A typical, TBD A maximum

Operating Temperature: -20 to 60 °C

Normal Relative Humidity: 10 to 90 percent, noncondensing

TRADEMARKS

The VMIC logo is a registered trademark of VMIC. MMX is a trademark and Pentium is a registered trademark of Intel Corporation. Windows and Windows NT are registered trademarks of Microsoft Corporation. BootWare is a registered trademark of Lanworks Technologies. Other registered trademarks are the property of their respective owners.

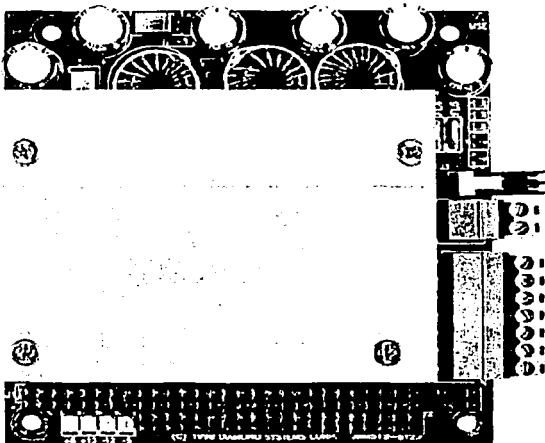


DIAMOND SYSTEMS CORPORATION

JUPITER-MM

DC/DC Power Supply PCI104 Module

User Manual V1.3



TESIS CON
FALLA DE ORIGEN

© Copyright 2001
Diamond Systems Corporation
8430-D Central Ave.
Newark, CA 94560
Tel (510) 456-7800
Fax (510) 456-7878
techinfo@diamondsystems.com
www.diamondsystems.com

JUPITER-MM

DC/DC Power Supply PCI104 Module

1. DESCRIPTION

JUPITER-MM is a PC/104-format power supply module designed for mobile as well as stationary embedded applications. The JUPITER-MM is designed using a high efficiency DC/DC converter circuit to provide the maximum power with minimum losses. Power supply performance and reliability have been optimized through the use of precision surface mount components. The Jupiter-MM series contains significant advances in mobile embedded power supply technology:

- **Surface Mount Components**
To the maximum extent possible, surface mount components have been used in the design, to lower the profile and improve ruggedness. An additional benefit to SMT technology is the improved ability to use the PCB planes as a heat sink.
- **High Efficiency, High-Frequency Design**
Efficiency is as high as 92 percent, lowering input power requirements as well as heat generation. The 200KHz switching circuit allows the use of smaller inductors, reducing size and weight and allowing the board to fully fit within the PC/104 height requirements.
- **Advanced Heat Sink Technology**
A new compressible thermally-conductive material mounted under the aluminum heat sink makes it possible to wick heat away effectively from varying height components. Also, the use of surface mount components and careful PCB design enhance the dissipation of heat through the PCB planes.
- **Remote On/Off Control**
The supply can be turned on and off with an external contact closure through an auxiliary connector.
- **Extended Temperature Operation**
Extended temperature (-40 to +85°C) operation is standard, enabling the supplies to be used in vehicle applications and other harsh environments.

Jupiter-MM is available in two standard configurations of output power and output voltages:

JMM-512 50W, +5/+12V outputs
JMM-512-V512 50W, +5/+12/-5/-12V outputs

TESIS CON
FALLA DE ORIGEN



EVERLIGHT ELECTRONICS CO., LTD.

DEVICE NUMBER : DIR-038-014 REV : 1.2
ECN : _____ PAGE : 1/8

5mm Infrared LED ,T-1 3/4

MODEL NO : IR383

■ Features :

- High radiant intensity
- Peak wavelength $\lambda_p=940\text{nm}$
- View angle 20°
- High reliability
- 2.54mm Lead spacing

■ Description :

- EVERLIGHT's Infrared Emitting Diode (IR383) is a high intensity diode, molded in a blue transparent plastic package.
- The device is spectrally matched with phototransistor, photodiode and infrared receiver module.

■ Applications :

- Free air transmission system
- Optoelectronic switch
- Floppy disk drive
- Infrared applied system
- Smoke detector

PART NO.	CHIP	LENS COLOR
	MATERIAL	
IR	GaAlAs	Blue



EVERLIGHT ELECTRONICS CO., LTD.

DEVICE NUMBER : DIR-038-014 REV : 1.2
 ECN : _____ PAGE : 3/8

5mm Infrared LED ,T-1 3/4

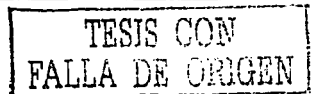
MODEL NO : IR383

■ Absolute Maximum Ratings at Ta = 25°C

Parameter	Symbol	Rating	Unit	Notice
Continuous Forward Current	I_F	50	mA	
Peak Forward Current Pulse width=100 μ s, Duty cycle=10%	I_{FP}	1.0	A	
Reverse Voltage	V_R	5	V	
Operating Temperature	T_{opr}	-40 ~ +85	°C	
Storage Temperature	T_{stg}	-40 ~ +85	°C	
Soldering Temperature	T_{sol}	260	°C	4mm from mold body less than 5 seconds
Power Dissipation at(or below) 25°C Free Air Temperature	P_d	100	mW	

■ Electronic Optical Characteristics :

Parameter	Symbol	Min.	Typ.	Max.	Unit	Condition
Radiant Intensity	E_e	7.8	20	----	mW/sr	$I_F=20mA$
		----	90	----		$I_F=100mA, t_p=100 \mu s, t_p/T=0.01$
		----	900	----		$I_F=1A, t_p=100 \mu s, t_p/T=0.01$
Peak Wavelength	λ_p	----	940	----	nm	$I_F=20mA$
Spectral Bandwidth	$\Delta \lambda$	----	45	----	nm	$I_F=20mA$
Forward Voltage	V_F	----	1.2	1.5	V	$I_F=20mA$
		----	1.4	1.85		$I_F=100mA, t_p=100 \mu s, t_p/T=0.01$
		----	2.6	4.0		$I_F=1A, t_p=100 \mu s, t_p/T=0.01$
Reverse Current	I_R	----	----	10	μA	$V_R=5V$
View Angle	$2\theta_{1/2}$	----	20	----	deg	$I_F=20mA$





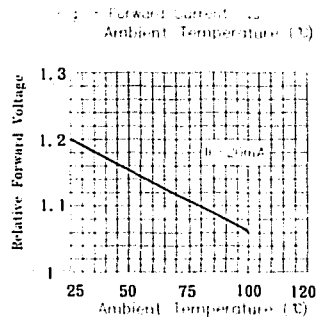
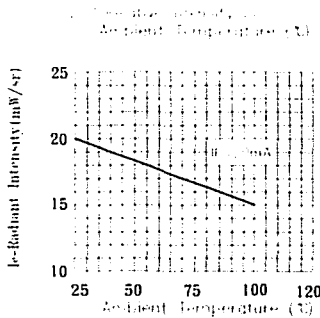
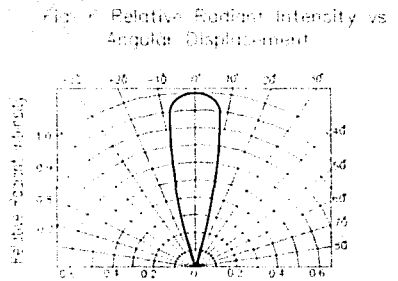
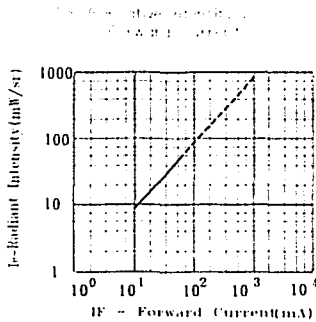
EVERLIGHT ELECTRONICS CO., LTD.

DEVICE NUMBER : DIR-038-014 REV : 1.2
ECN : _____ PAGE : 5/8

5mm Infrared LED ,T-1 3/4

MODEL NO : _____ IR383 _____

■ Typical Electrical/Optical/Characteristics Curves





EVERLIGHT ELECTRONICS CO., LTD.

DEVICE NUMBER : DPT-130-023 REV : 2.1
ECN : _____ PAGE : 1/7

5mm Phototransistor

MODEL NO : PT1302B/C2

■ Features :

- Fast response time
- High photo sensitivity
- Axial terminal
- Plastic case with IR filter

■ Description :

- PT1302B/C2 is a high speed and high sensitive silicon NPN phototransistor molder in a standard $\phi 5$ mm package. The package is an IR filter , spectrally match to infrared emitter diode.

■ Applications :

- Optoelectronic switch
- VCRs ,Video camera
- Floppy disk drive
- Infrared applied system

PART NO.	CHIP	LENS COLOR
	MATERIAL	
PT	Silicon	Black



EVERLIGHT ELECTRONICS CO., LTD.

DEVICE NUMBER : DPT-130-023

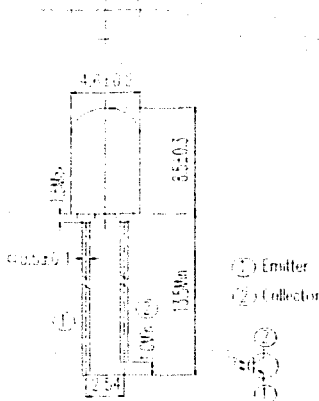
REV : 2.1

ECN : _____ PAGE : 2/7

5mm Phototransistor

MODEL NO : PT1302B/C2

■ Package Dimensions :



■ Notes :

1. All dimensions are in millimeter.
2. Protruded resin under flange 1.5 mm Max.
3. Lead spacing is measured where the lead emerge from the package.
4. Lens color : Black.
5. Above specification may be changed without notice. EVERLIGHT will reserve authority on material change for above specification.
6. These specification sheets include materials protected under copyright of EVERLIGHT corporation . Please don't reproduce or cause anyone to reproduce them without EVERLIGHT's consent.
7. When using this product , please observe the absolute maximum ratings and the instructions for use outlined in these specification sheets. EVERLIGHT assumes no responsibility for any damage resulting from use of the product which does not comply with the absolute maximum ratings and the instructions included in these specification sheets.

TESIS CON
FALLA DE ORIGEN



EVERLIGHT ELECTRONICS CO., LTD.

DEVICE NUMBER : DPT-130-023
 ECN : _____

REV : 2.1
 PAGE : 3/7

5mm Phototransistor

MODEL NO : PT1302B/C2

■ Absolute Maximum Ratings at $T_A = 25^\circ\text{C}$

Parameter	Symbol	Rating	Unit	Notice
Collector-Emitter Voltage	V_{CE0}	30	V	
Emitter-Collector Voltage	V_{ECO}	5	V	
Collector Current	I_C	20	mA	
Operating Temperature	T_{opr}	-25 ~ +85	$^\circ\text{C}$	
Storage Temperature	T_{stg}	-40 ~ +85	$^\circ\text{C}$	
Soldering Temperature	T_{sol}	260	$^\circ\text{C}$	4mm from mold body less than 5 seconds
Power Dissipation at (or below) 25 $^\circ\text{C}$ Free Air Temperature	P_C	75	mW	

■ Electronic Optical Characteristics :

Parameter	Symbol	Min.	Typ.	Max.	Unit	Condition
Collector-Emitter Breakdown Voltage	BV_{CE0}	30	----	----	V	$I_C=100\mu\text{A}$ $E_e=0\text{mW/cm}^2$
Emitter-Collector Breakdown Voltage	BV_{ECO}	5	----	----	V	$I_E=100\mu\text{A}$ $E_e=0\text{mW/cm}^2$
Collector-Emitter Saturation Voltage	$V_{CE(sat)}$	----	----	0.4	V	$I_C=2\text{mA}$ $E_e=1\text{mW/cm}^2$
Rise Time	t_r	----	15	----	μS	$V_{CE}=5\text{V}$ $I_C=1\text{mA}$ $R_L=1000\Omega$
Fall Time	t_f	----	15	----		
Collector Dark Current	I_{CEO}	----	----	100	nA	$V_{CE}=20\text{V}$ $E_e=0\text{mW/cm}^2$
On State Collector Current	$I_{C(on)}$	0.7	1.0	----	mA	$V_{CE}=5\text{V}$ $E_e=1\text{mW/cm}^2$
Wavelength of Peak Sensitivity	λ_p	----	980	----	nm	----
Range of Spectral Bandwidth	$\lambda_{0.5}$	----	700—1200	----	nm	----

BC546/547/548/549/550

Switching and Applications

- High Voltage: BC546, $V_{CE0}=65V$
- Low Noise: BC549, BC550
- Complement to BC556 ... BC550



TO-92
1. Collector 2. Base 3. Emitter

NPN Epitaxial Silicon Transistor

Absolute Maximum Ratings $T_a=25^\circ C$ unless otherwise noted

Symbol	Parameter	Value	Units		
V_{CB0}	Collector-Base Voltage	BC546 BC547/550 BC548/549	80 50 30	V V V	
	V_{CE0}	Collector-Emitter Voltage	BC546 BC547/550 BC548/549	65 45 30	V V V
		V_{EB0}	Emitter-Base Voltage	BC546/547 BC548/549/550	6 5
I_C			Collector Current (DC)	100	mA
P_C	Collector Power Dissipation	500	mW		
T_J	Junction Temperature	150	$^\circ C$		
T_{STG}	Storage Temperature	-65 - 150	$^\circ C$		

Electrical Characteristics

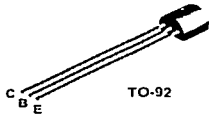
 $T_a=25^\circ C$ unless otherwise noted

Symbol	Parameter	Test Condition	Min.	Typ.	Max.	Units
I_{CBO}	Collector Cut-off Current	$V_{CB}=30V, I_E=0$			15	nA
h_{FE}	DC Current Gain	$V_{CE}=5V, I_C=2mA$	110		800	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C=10mA, I_B=0.5mA$		90	250	mV
		$I_C=100mA, I_B=5mA$		200	600	mV
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	$I_C=10mA, I_B=0.5mA$		700		mV
		$I_C=100mA, I_B=5mA$		900		mV
$V_{BE(on)}$	Base-Emitter On Voltage	$V_{CE}=5V, I_C=2mA$	580	660	700	mV
		$V_{CE}=5V, I_C=10mA$			720	mV
f_T	Current Gain Bandwidth Product	$V_{CE}=5V, I_C=10mA, f=100MHz$		300		MHz
C_{ob}	Output Capacitance	$V_{CE}=10V, I_E=0, f=1MHz$		3.5	6	pF
C_{ib}	Input Capacitance	$V_{EB}=0.5V, I_C=0, f=1MHz$		9		pF
NF	Noise Figure	BC546/547/548 BC549/550 BC549 BC550	$V_{CE}=5V, I_C=200\mu A$ $f=1KHz, R_G=2K\Omega$	2	10	dB
			$V_{CE}=5V, I_C=200\mu A$	1.2	4	dB
			$V_{CE}=5V, I_C=200\mu A$	1.4	4	dB
			$R_G=2K\Omega, f=30-15000MHz$	1.4	3	dB

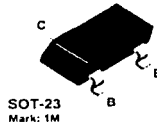
h_{FE} Classification

Classification	A	B	C
h_{FE}	110 - 220	200 - 450	420 - 800

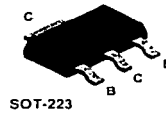
MPSA13



MMBTA13



PZTA13



MPSA13 / MMBTA13 / PZTA13

NPN Darlington Transistor

This device is designed for applications requiring extremely high current gain at collector currents to 1.0 A. Sourced from Process 05. See MPSA14 for characteristics

Absolute Maximum Ratings* TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V _{CEs}	Collector-Emitter Voltage	30	V
V _{CE0}	Collector-Base Voltage	30	V
V _{EB0}	Emitter-Base Voltage	10	V
I _C	Collector Current - Continuous	1.2	A
T _J , T _{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

* These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES

- 1) These ratings are based on a maximum junction temperature of 150 degrees C.
- 2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Thermal Characteristics TA = 25°C unless otherwise noted

Symbol	Characteristic	Max			Units
		MPSA13	*MMBTA13	**PZTA13	
P _D	Total Device Dissipation Derate above 25°C	625	350	1,000	mW
R _{θC}	Thermal Resistance, Junction to Case	5.0	2.8	8.0	mW/°C
R _{θJA}	Thermal Resistance, Junction to Ambient	83.3	357	125	°C/W

* Device mounted on FR-4 PCB 1 1/8" x 1 1/8" x 0.06"

** Device mounted on FR-4 PCB 1 3/8" x 1 1/8" x 1.5 mm, mounting pad for the collector lead min. 6 mm².

**TESIS CON
FALLA DE ORIGEN**

NPN Darlington Transistor

(continued)

Electrical Characteristics

$T_A = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units
OFF CHARACTERISTICS					
$V_{(BR)CES}$	Collector-Emitter Breakdown Voltage	$I_C = 100 \mu\text{A}, I_B = 0$	30		V
I_{CEO}	Collector-Cutoff Current	$V_{CE} = 30 \text{ V}, I_C = 0$		100	nA
I_{BEU}	Emitter-Cutoff Current	$V_{EB} = 10 \text{ V}, I_C = 0$		100	nA

ON CHARACTERISTICS*

h_{FE}	DC Current Gain	$I_C = 10 \text{ mA}, V_{CE} = 5.0 \text{ V}$ $I_C = 100 \text{ mA}, V_{CE} = 5.0 \text{ V}$	5,000 10,000		
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = 100 \text{ mA}, I_B = 0.1 \text{ mA}$		1.5	V
$V_{BE(on)}$	Base-Emitter On Voltage	$I_C = 100 \text{ mA}, V_{CE} = 5.0 \text{ V}$		2.0	V

SMALL SIGNAL CHARACTERISTICS

f_T	Current Gain - Bandwidth Product	$I_C = 10 \text{ mA}, V_{CE} = 10 \text{ V},$ $f = 100 \text{ MHz}$	125		MHz
-------	----------------------------------	--	-----	--	-----

*Pulse Test Pulse Width $\leq 300 \text{ ns}$, Duty Cycle $\leq 2.0\%$

MPSA13 / MMBTA13 / PZTA13

MC78XX/LM78XX/MC78XXA

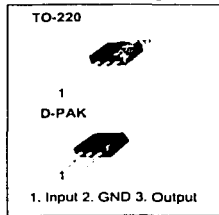
3-Terminal 1A Positive Voltage Regulator

Features

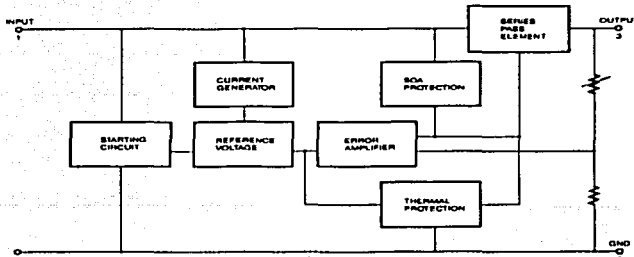
- Output Current up to 1A
- Output Voltages of 5, 6, 8, 9, 10, 12, 15, 18, 24V
- Thermal Overload Protection
- Short Circuit Protection
- Output Transistor Safe Operating Area Protection

Description

The MC78XX/LM78XX/MC78XXA series of three terminal positive regulators are available in the TO-220/D-PAK package and with several fixed output voltages, making them useful in a wide range of applications. Each type employs internal current limiting, thermal shut down and safe operating area protection, making it essentially indestructible. If adequate heat sinking is provided, they can deliver over 1A output current. Although designed primarily as fixed voltage regulators, these devices can be used with external components to obtain adjustable voltages and currents.



Internal Block Diagram



TESIS CON
FALLA DE ORIGEN

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Input Voltage (for $V_O = 5V$ to $18V$) (for $V_O = 24V$)	V_I	35	V
	V_I	40	V
Thermal Resistance Junction-Cases (TO-220)	$R_{\theta JC}$	5	$^{\circ}C/W$
Thermal Resistance Junction-Air (TO-220)	$R_{\theta JA}$	65	$^{\circ}C/W$
Operating Temperature Range	TOPR	0 - +125	$^{\circ}C$
Storage Temperature Range	TSTG	-65 - +150	$^{\circ}C$

Electrical Characteristics (MC7805/LM7805)

(Refer to test circuit, $0^{\circ}C < T_J < 125^{\circ}C$, $I_O = 500mA$, $V_I = 10V$, $C_I = 0.33\mu F$, $C_O = 0.1\mu F$, unless otherwise specified)

Parameter	Symbol	Conditions	MC7805/LM7805			Unit	
			Min.	Typ.	Max.		
Output Voltage	V_O	$T_J = +25^{\circ}C$	4.8	5.0	5.2	V	
		$5.0mA \leq I_O \leq 1.0A$, $P_O \leq 15W$ $V_I = 7V$ to $20V$	4.75	5.0	5.25		
Line Regulation (Note1)	Regline	$T_J = +25^{\circ}C$	$V_O = 7V$ to $25V$	-	4.0	100	mV
			$V_I = 8V$ to $12V$	-	1.6	50	
Load Regulation (Note1)	Regload	$T_J = +25^{\circ}C$	$I_O = 5.0mA$ to $1.5A$	-	9	100	mV
			$I_O = 250mA$ to $750mA$	-	4	50	
Quiescent Current	I_Q	$T_J = +25^{\circ}C$	-	5.0	8.0	mA	
Quiescent Current Change	ΔI_Q	$I_Q = 5mA$ to $1.0A$	-	0.03	0.5	mA	
		$V_I = 7V$ to $25V$	-	0.3	1.3		
Output Voltage Drift	$\Delta V_O / \Delta T$	$I_O = 5mA$	-	-0.8	-	mV/ $^{\circ}C$	
Output Noise Voltage	V_N	$f = 10Hz$ to $100KHz$, $T_A = +25^{\circ}C$	-	42	-	$\mu V/V_O$	
Ripple Rejection	RR	$f = 120Hz$ $V_O = 8V$ to $18V$	62	73	-	dB	
Dropout Voltage	V_{Drop}	$I_O = 1A$, $T_J = +25^{\circ}C$	-	2	-	V	
Output Resistance	r_O	$f = 1KHz$	-	15	-	m Ω	
Short Circuit Current	ISC	$V_I = 35V$, $T_A = +25^{\circ}C$	-	230	-	mA	
Peak Current	IPK	$T_J = +25^{\circ}C$	-	2.2	-	A	

Note:

1. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty is used.

TESIS CON
 FALLA DE ORIGEN

LM137/LM337 3-Terminal Adjustable Negative Regulators

General Description

The LM137/LM337 are adjustable 3-terminal negative voltage regulators capable of supplying in excess of -1.5A over an output voltage range of -1.2V to -37V. These regulators are exceptionally easy to apply, requiring only 2 external resistors to set the output voltage and 1 output capacitor for frequency compensation. The circuit design has been optimized for excellent regulation and low thermal transients. Further, the LM137 series features internal current limiting, thermal shutdown, and safe-area compensation, making them virtually blowout-proof against overloads.

The LM137/LM337 serve a wide variety of applications including local on-card regulation, programmable-output voltage regulation or precision current regulation. The LM137/LM337 are ideal complements to the LM1117/LM317 adjustable positive regulators.

Features

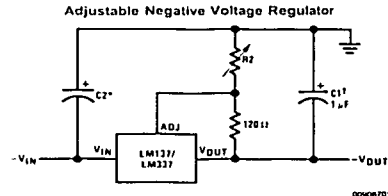
- Output voltage adjustable from -1.2V to -37V
- 1.5A output current guaranteed, -55°C to +150°C
- Line regulation typically 0.01%/V
- Load regulation typically 0.3%

- Excellent thermal regulation, 0.002%/W
- 77 dB ripple rejection
- Excellent rejection of thermal transients
- 50 ppm/°C temperature coefficient
- Temperature-independent current limit
- Internal thermal overload protection
- P⁺ Product Enhancement tested
- Standard 3-lead transistor package
- Output is short circuit protected

LM137 Series Packages and Power Capability

Device	Package	Rated Power Dissipation	Design Load Current
LM137/337	TO-3 (K)	20W	1.5A
	TO-39 (H)	2W	0.5A
LM337	TO-220 (T)	15W	1.5A
LM337	SOT-223 (MP)	2W	1A

Typical Applications



Full output current not available at high input-output voltages

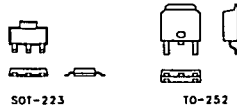
$$-V_{OUT} = -1.25V \left(1 + \frac{R_2}{R_1} \right) + (-I_{ADJ} \cdot R_2)$$

*C1 = 1 μ F solid tantalum or 10 μ F aluminum electrolytic required for stability.

*C2 = 1 μ F solid tantalum is required only if regulator is more than 4" from power-supply filter capacitor.

Output capacitors in the range of 1 μ F to 1000 μ F of aluminum or tantalum electrolytic are commonly used to provide improved output impedance and rejection of transients.

Comparison between SOT-223 and D-Pak (TO-252) Packages



Scale 1:1

TESIS CON
 FALLA DE ORIGEN

Application Hints

When a value for $\theta_{(J-A)}$ is found using the equation shown, a heatsink must be selected that has a value that is less than or equal to this number.

HEATSINKING SOT-223 PACKAGE PARTS

The SOT-223 (MP²) packages use a copper plane on the PCB and the PCB itself as a heatsink. To optimize the heat sinking ability of the plane and PCB, solder the tab of the package to the plane.

Figures 3, 4 show the information for the SOT-223 package. Figure 3 assumes a $\theta_{(J-C)}$ of 75°C/W for 1 ounce copper and 51°C/W for 2 ounce copper and a maximum junction temperature of 125°C.

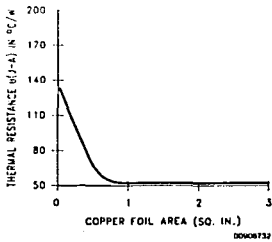


FIGURE 3. $\theta_{(J-A)}$ vs Copper (2 ounce) Area for the SOT-223 Package

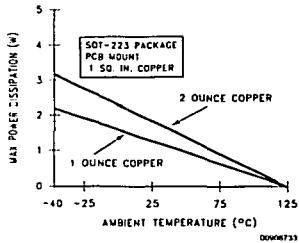
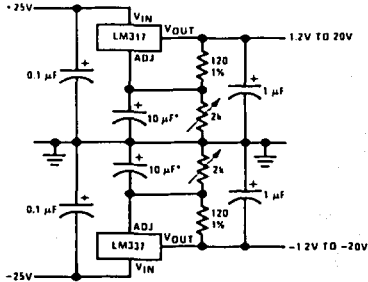


FIGURE 4. Maximum Power Dissipation vs. T_{AMB} for the SOT-223 Package

Please see AN1028 for power enhancement techniques to be used with the SOT-223 package.

Typical Applications

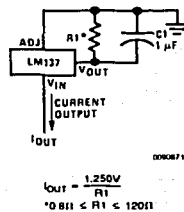
Adjustable Lab Voltage Regulator



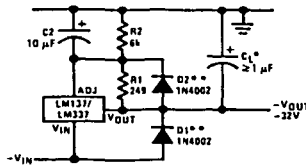
Full output current not available at high input-output voltages

*The 10 μ F capacitors are optional to improve ripple rejection

Current Regulator



Negative Regulator with Protection Diodes



*When C_1 is larger than 20 μ F, D1 protects the LM137 in case the input supply is shorted

**When C_2 is larger than 10 μ F and $-V_{OUT}$ is larger than -25V, D2 protects the LM137 in case the output is shorted

LM117/LM317A/LM317

3-Terminal Adjustable Regulator

General Description

The LM117 series of adjustable 3-terminal positive voltage regulators is capable of supplying in excess of 1.5A over a 1.2V to 37V output range. They are exceptionally easy to use and require only two external resistors to set the output voltage. Further, both line and load regulation are better than standard fixed regulators. Also, the LM117 is packaged in standard transistor packages which are easily mounted and handled.

In addition to higher performance than fixed regulators, the LM117 series offers full overload protection available only in IC's. Included on the chip are current limit, thermal overload protection and safe area protection. All overload protection circuitry remains fully functional even if the adjustment terminal is disconnected.

Normally, no capacitors are needed unless the device is situated more than 6 inches from the input filter capacitors in which case an input bypass is needed. An optional output capacitor can be added to improve transient response. The adjustment terminal can be bypassed to achieve very high ripple rejection ratios which are difficult to achieve with standard 3-terminal regulators.

Besides replacing fixed regulators, the LM117 is useful in a wide variety of other applications. Since the regulator is "floating" and sees only the input-to-output differential volt-

age, supplies of several hundred volts can be regulated as long as the maximum input to output differential is not exceeded, i.e., avoid short-circuiting the output.

Also, it makes an especially simple adjustable switching regulator, a programmable output regulator, or by connecting a fixed resistor between the adjustment pin and output, the LM117 can be used as a precision current regulator. Supplies with electronic shutdown can be achieved by clamping the adjustment terminal to ground which programs the output to 1.2V where most loads draw little current.

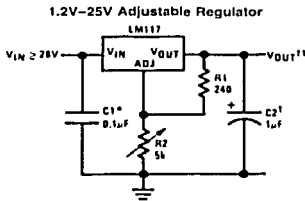
For applications requiring greater output current, see LM150 series (3A) and LM138 series (5A) data sheets. For the negative complement, see LM137 series data sheet.

Features

- Guaranteed 1% output voltage tolerance (LM317A)
- Guaranteed max. 0.01% Δ V line regulation (LM317A)
- Guaranteed max. 0.3% load regulation (LM117)
- Guaranteed 1.5A output current
- Adjustable output down to 1.2V
- Current limit constant with temperature
- P* Product Enhancement tested
- 80 dB ripple rejection
- Output is short-circuit protected

LM117/LM317A/LM317 3-Terminal Adjustable Regulator

Typical Applications



(0096307)

Full output current not available at high input-output voltages.

*Needed if device is more than 6 inches from filter capacitors.

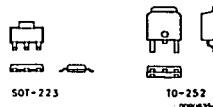
Optional — improves transient response. Output capacitors in the range of 1 μ F to 1000 μ F of aluminum or tantalum electrolytic are commonly used to provide improved output impedance and rejection of transients.

$$11V_{OUT} = 1.25V \left(1 + \frac{R2}{R1} \right) + I_{ADJ}(R2)$$

LM117 Series Packages

Part Number Suffix	Package	Design Load Current
K	TO-3	1.5A
H	TO-39	0.5A
T	TO-220	1.5A
E	LCC	0.5A
S	TO-263	1.5A
EMP	SOT-223	1A
MDT	TO-252	0.5A

SOT-223 vs. D-Pak (TO-252) Packages



Scale 1:1

TESIS CON
 FALLA DE ORIGEN

18-pin Enhanced FLASH/EEPROM 8-Bit Microcontroller

High Performance RISC CPU Features:

- Only 35 single word instructions to learn
- All instructions single-cycle except for program branches which are two-cycle
- Operating speed: DC - 20 MHz clock input
DC - 200 ns instruction cycle
- 1024 words of program memory
- 68 bytes of Data RAM
- 64 bytes of Data EEPROM
- 14-bit wide instruction words
- 8-bit wide data bytes
- 15 Special Function Hardware registers
- Eight-level deep hardware stack
- Direct, indirect and relative addressing modes
- Four interrupt sources:
 - External RB0/INT pin
 - TMR0 timer overflow
 - PORTB<7:4> interrupt-on-change
 - Data EEPROM write complete

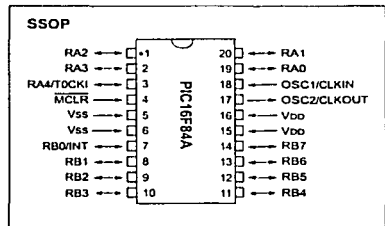
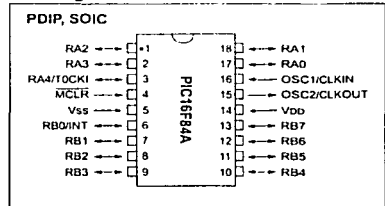
Peripheral Features:

- 13 I/O pins with individual direction control
- High current sink/source for direct LED drive
 - 25 mA sink max. per pin
 - 25 mA source max. per pin
- TMR0: 8-bit timer/counter with 8-bit programmable prescaler

Special Microcontroller Features:

- 10,000 erase/write cycles Enhanced FLASH Program memory typical
- 10,000,000 typical erase/write cycles EEPROM Data memory typical
- EEPROM Data Retention > 40 years
- In-Circuit Serial Programming™ (ICSP™) - via two pins
- Power-on Reset (POR), Power-up Timer (PWRT), Oscillator Start-up Timer (OST)
- Watchdog Timer (WDT) with its own On-Chip RC Oscillator for reliable operation
- Code protection
- Power saving SLEEP mode
- Selectable oscillator options

Pin Diagrams



CMOS Enhanced FLASH/EEPROM Technology:

- Low power, high speed technology
- Fully static design
- Wide operating voltage range:
 - Commercial: 2.0V to 5.5V
 - Industrial: 2.0V to 5.5V
- Low power consumption:
 - < 2 mA typical @ 5V, 4 MHz
 - 15 µA typical @ 2V, 32 kHz
 - < 0.5 µA typical standby current @ 2V

PIC16F84A

TABLE 1-1: PIC16F84A PINOUT DESCRIPTION

Pin Name	PDIP No.	SOIC No.	SSOP No.	I/O/P Type	Buffer Type	Description
OSC1/CLKIN	16	16	18	I	ST/CMOS ³⁾	Oscillator crystal input/external clock source input.
OSC2/CLKOUT	15	15	19	O	—	Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. In RC mode, OSC2 pin outputs CLKOUT, which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate.
MCLR	4	4	4	I/P	ST	Master Clear (Reset) input/programming voltage input. This pin is an active low RESET to the device. PORTA is a bi-directional I/O port.
RA0	17	17	19	I/O	TTL	Can also be selected to be the clock input to the TMR0 timer/counter. Output is open drain type.
RA1	18	18	20	I/O	TTL	
RA2	1	1	1	I/O	TTL	
RA3	2	2	2	I/O	TTL	
RA4/T0CKI	3	3	3	I/O	ST	
RB0/INT	6	6	7	I/O	TTL/ST ⁽¹⁾	PORTB is a bi-directional I/O port. PORTB can be software programmed for internal weak pull-up on all inputs. RB0/INT can also be selected as an external interrupt pin.
RB1	7	7	8	I/O	TTL	Interrupt-on-change pin. Interrupt-on-change pin. Interrupt-on-change pin. Serial programming clock. Interrupt-on-change pin. Serial programming data.
RB2	8	8	9	I/O	TTL	
RB3	9	9	10	I/O	TTL	
RB4	10	10	11	I/O	TTL	
RB5	11	11	12	I/O	TTL	
RB6	12	12	13	I/O	TTL/ST ⁽²⁾	
RB7	13	13	14	I/O	TTL/ST ⁽²⁾	
Vss	5	5	5,6	P	—	Ground reference for logic and I/O pins.
Vdd	14	14	15,16	P	—	Positive supply for logic and I/O pins.

Legend: I = input O = Output I/O = Input/Output P = Power
 — = Not used TTL = TTL input ST = Schmitt Trigger input

- Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.
 Note 2: This buffer is a Schmitt Trigger input when used in Serial Programming mode.
 Note 3: This buffer is a Schmitt Trigger input when configured in RC oscillator mode and a CMOS input otherwise.

TESIS CON
 FALLA DE ORIGEN



MICROCHIP

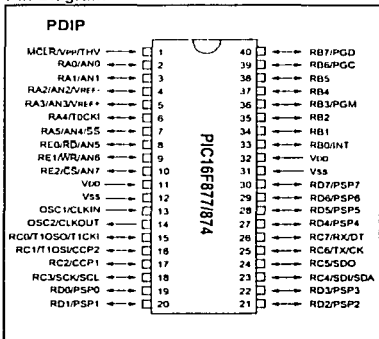
PIC16F87X

28/40-pin 8-Bit CMOS FLASH Microcontrollers

Microcontroller Core Features:

- High-performance RISC CPU
- Only 35 single word instructions to learn
- All single cycle instructions except for program branches which are two cycle
- Operating speed: DC - 20 MHz clock input
DC - 200 ns instruction cycle
- Up to 8K x 14 words of FLASH Program Memory,
Up to 368 x 8 bytes of Data Memory (RAM)
Up to 256 x 8 bytes of EEPROM data memory
- * Pinout compatible to the PIC16C73/74/76/77
- Interrupt capability (up to 14 internal/external interrupt sources)
- Eight level deep hardware stack
- Direct, indirect, and relative addressing modes
- Power-on Reset (POR)
- Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Programmable code-protection
- Power saving SLEEP mode
- Selectable oscillator options
- Low-power, high-speed CMOS FLASH/EEPROM technology
- Fully static design
- * In-Circuit Serial Programming™ via two pins
- * Only single 5V source needed for programming
- * In-Circuit Debugging via two pins
- Processor read/write access to program memory
- Wide operating voltage range: 2.0V to 5.5V
- High Sink/Source Current: 25 mA
- Commercial and Industrial temperature ranges
- Low-power consumption:
 - < 2 mA typical @ 5V, 4 MHz
 - 20 µA typical @ 3V, 32 kHz
 - < 1 µA typical standby current

Pin Diagram



Peripheral Features:

- Timer0: 8-bit timer/counter with 8-bit prescaler
- Timer1: 16-bit timer/counter with prescaler, can be incremented during sleep via external crystal/clock
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Two Capture, Compare, PWM modules
- Capture is 16-bit, max. resolution is 12.5 ns, Compare is 16-bit, max. resolution is 200 ns, PWM max. resolution is 10-bit
- * 10-bit multi-channel Analog-to-Digital converter
- * Synchronous Serial Port (SSP) with SPI™ (Master Mode) and I²C™ (Master/Slave)
- * Universal Synchronous Asynchronous Receiver Transmitter (USART/SCI) with 9-bit address detection
- Parallel Slave Port (PSP) 8-bits wide, with external RD, WR and CS controls (40/44-pin only)
- Brown-out detection circuitry for Brown-out Reset (BOR)

PIC16F87X

TABLE 1-2 PIC16F874 AND PIC16F877 PINOUT DESCRIPTION

Pin Name	DIP Pin#	PLCC Pin#	QFP Pin#	I/O/P Type	Buffer Type	Description
OSC1/CLKIN	13	14	30	I	ST/CMOS ⁽⁴⁾	Oscillator crystal input/external clock source input.
OSC2/CLKOUT	14	15	31	O	—	Oscillator crystal output. Connects to crystal or resonator in crystal oscillator mode. In RC mode, OSC2 pin outputs CLKOUT which has 1/4 the frequency of OSC1, and denotes the instruction cycle rate.
MCLR/VPP/THV	1	2	18	I/P	ST	Master clear (reset) input or programming voltage input or high voltage test mode control. This pin is an active low reset to the device. PORTA is a bi-directional I/O port.
RA0/AN0	2	3	19	I/O	TTL	RA0 can also be analog input0
RA1/AN1	3	4	20	I/O	TTL	RA1 can also be analog input1
RA2/AN2/VREF-	4	5	21	I/O	TTL	RA2 can also be analog input2 or negative analog reference voltage
RA3/AN3/VREF+	5	6	22	I/O	TTL	RA3 can also be analog input3 or positive analog reference voltage
RA4/T0CKI	6	7	23	I/O	ST	RA4 can also be the clock input to the Timer0 timer/counter. Output is open drain type.
RA5/SS/AN4	7	8	24	I/O	TTL	RA5 can also be analog input4 or the slave select for the synchronous serial port.
RB0/INT	33	36	8	I/O	TTL/ST ⁽¹⁾	PORTB is a bi-directional I/O port. PORTB can be software programmed for internal weak pull-up on all inputs. RB0 can also be the external interrupt pin.
RB1	34	37	9	I/O	TTL	
RB2	35	38	10	I/O	TTL	
RB3/PGM	36	39	11	I/O	TTL	RB3 can also be the low voltage programming input
RB4	37	41	14	I/O	TTL	Interrupt on change pin.
RB5	38	42	15	I/O	TTL	Interrupt on change pin.
RB6/PGC	39	43	16	I/O	TTL/ST ⁽²⁾	Interrupt on change pin or In-Circuit Debugger pin. Serial programming clock.
RB7/PGD	40	44	17	I/O	TTL/ST ⁽²⁾	Interrupt on change pin or In-Circuit Debugger pin. Serial programming data.

Legend: I = input O = output I/O = input/output P = power
 — = Not used TTL = TTL input ST = Schmitt Trigger input

- Note 1: This buffer is a Schmitt Trigger input when configured as an external interrupt.
 2: This buffer is a Schmitt Trigger input when used in serial programming mode.
 3: This buffer is a Schmitt Trigger input when configured as general purpose I/O and a TTL input when used in the Parallel Slave Port mode (for interfacing to a microprocessor bus).
 4: This buffer is a Schmitt Trigger input when configured in RC oscillator mode and a CMOS input otherwise.

TESIS CON
 FALLA DE ORIGEN

PIC16F87X

TABLE 1-2 PIC16F874 AND PIC16F877 PINOUT DESCRIPTION (Cont'd)

Pin Name	DIP Pin#	PLCC Pin#	QFP Pin#	I/O/P Type	Buffer Type	Description
RC0/T1OSO/T1CKI	15	16	32	I/O	ST	PORTC is a bi-directional I/O port RC0 can also be the Timer1 oscillator output or a Timer1 clock input.
RC1/T1OSI/CCP2	16	18	35	I/O	ST	RC1 can also be the Timer1 oscillator input or Capture2 input/Compare2 output/PWM2 output
RC2/CCP1	17	19	36	I/O	ST	RC2 can also be the Capture1 input/Compare1 output/PWM1 output
RC3/SCK/SCL	18	20	37	I/O	ST	RC3 can also be the synchronous serial clock input/output for both SPI and I ² C modes
RC4/SDI/SDA	23	25	42	I/O	ST	RC4 can also be the SPI Data In (SPI mode) or data I/O (I ² C mode).
RC5/SDO	24	26	43	I/O	ST	RC5 can also be the SPI Data Out (SPI mode)
RC6/TX/CK	25	27	44	I/O	ST	RC6 can also be the USART Asynchronous Transmit or Synchronous Clock
RC7/RX/DT	26	29	1	I/O	ST	RC7 can also be the USART Asynchronous Receive or Synchronous Data.
RD0/PSP0	19	21	38	I/O	ST/TTL ⁽³⁾	PORTD is a bi-directional I/O port or parallel slave port when interfacing to a microprocessor bus.
RD1/PSP1	20	22	39	I/O	ST/TTL ⁽³⁾	
RD2/PSP2	21	23	40	I/O	ST/TTL ⁽³⁾	
RD3/PSP3	22	24	41	I/O	ST/TTL ⁽³⁾	
RD4/PSP4	27	30	2	I/O	ST/TTL ⁽³⁾	
RD5/PSP5	28	31	3	I/O	ST/TTL ⁽³⁾	
RD6/PSP6	29	32	4	I/O	ST/TTL ⁽³⁾	
RD7/PSP7	30	33	5	I/O	ST/TTL ⁽³⁾	
RE0/RD/AN5	8	9	25	I/O	ST/TTL ⁽³⁾	PORTE is a bi-directional I/O port. RE0 can also be read control for the parallel slave port, or analog input5.
RE1/WR/AN6	9	10	26	I/O	ST/TTL ⁽³⁾	
RE2/CS/AN7	10	11	27	I/O	ST/TTL ⁽³⁾	
Vss	12,31	13,34	6,29	P	—	Ground reference for logic and I/O pins.
Vdd	11,32	12,35	7,28	P	—	Positive supply for logic and I/O pins.
NC	—	1,17,28,40	12,13,33,34	—	—	These pins are not internally connected. These pins should be left unconnected.

Legend: I = input O = output I/O = input/output P = power
 — = Not used TTL = TTL input ST = Schmitt Trigger input

- Note 1: This buffer is a Schmitt Trigger input when configured as an external interrupt.
 2: This buffer is a Schmitt Trigger input when used in serial programming mode.
 3: This buffer is a Schmitt Trigger input when configured as general purpose I/O and a TTL input when used in the Parallel Slave Port mode (for interfacing to a microprocessor bus).
 4: This buffer is a Schmitt Trigger input when configured in RC oscillator mode and a CMOS input otherwise.

TESIS CON
 FALLA DE ORIGEN

MAXIM**+5V-Powered, Multichannel RS-232 Drivers/Receivers****General Description**

The MAX220-MAX249 family of line drivers/receivers is intended for all EIA/TIA-232E and V.28/V.24 communications interfaces, particularly applications where +12V is not available.

These parts are especially useful in battery-powered systems, since their low-power shutdown mode reduces power dissipation to less than 5 μ W. The MAX225, MAX233, MAX235, and MAX245/MAX246/MAX247 use no external components and are recommended for applications where printed circuit board space is critical.

Applications

Portable Computers
Low-Power Modems
Interface Translation
Battery-Powered RS-232 Systems
Multidrop RS-232 Networks

Features**Superior to Bipolar**

- Operate from Single +5V Power Supply (+5V and +12V—MAX231/MAX239)
- Low-Power Receive Mode in Shutdown (MAX223/MAX242)
- Meet All EIA/TIA-232E and V.28 Specifications
- Multiple Drivers and Receivers
- 3-State Driver and Receiver Outputs
- Open-Line Detection (MAX243)

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX220CPE	0°C to +70°C	16 Plastic DIP
MAX220CSE	0°C to +70°C	16 Narrow SO
MAX220CWE	0°C to +70°C	16 Wide SO
MAX220C/D	0°C to +70°C	Dice*
MAX220EPE	-40°C to +85°C	16 Plastic DIP
MAX220ESE	-40°C to +85°C	16 Narrow SO
MAX220EWE	-40°C to +85°C	16 Wide SO
MAX220EJE	-40°C to +85°C	16 CERDIP
MAX220MJE	-55°C to +125°C	16 CERDIP

Ordering information continued at end of data sheet.

*Contact factory for dice specifications.

Selection Table

Part Number	Power Supply (V)	No. of RS-232 Drivers/Rx	No. of Est. Caps	Nominal Cap. Value (μ F)	SHDN & Three-State	Rx Active In SHDN	Data Rate (kbps)	Features
MAX220	+5	2/2	4	4.7(10)	No	—	120	Ultra low power, industry standard pinout
MAX222	+5	2/2	4	0.1	Yes	—	200	Low power shutdown and battery supplies
MAX223 (MAX211)	+5	5/5	4	1.0 (0.1)	Yes	✓	120	MAX231 and receivers, active in shutdown
MAX225	+5	5/5	0	—	Yes	✓	120	Available in SO
MAX230 (MAX200)	+5	5/0	4	1.0 (0.1)	Yes	—	120	5 drivers with shutdown
MAX231 (MAX201)	+5 and +7.5 to +13.2	5/2	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies; same functions as MAX232
MAX232 (MAX202)	+5	2/2	4	1.0 (0.1)	No	—	120 (64)	Industry standard
MAX232A	+5	2/2	4	0.1	No	—	200	Higher slew rate, small caps
MAX233 (MAX203)	+5	2/2	0	—	No	—	120	No external caps
MAX233A	+5	2/2	0	—	No	—	200	No external caps, high slew rate
MAX234 (MAX204)	+5	4/0	4	1.0 (0.1)	No	—	120	Replaces 1488
MAX235 (MAX205)	+5	5/5	0	—	Yes	—	120	No external caps
MAX236 (MAX206)	+5	4/3	4	1.0 (0.1)	Yes	—	120	Shutdown, three state
MAX237 (MAX207)	+5	5/3	4	1.0 (0.1)	No	—	120	Complements IBM PC serial port
MAX238 (MAX208)	+5	4/4	4	1.0 (0.1)	No	—	120	Replaces 1488 and 1489
MAX239 (MAX209)	+5 and +7.5 to +13.2	3/5	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies, single package solution for IBM PC serial port
MAX240	+5	5/5	4	1.0	Yes	—	120	DIP or flatpack package
MAX241 (MAX211)	+5	4/5	4	1.0 (0.1)	Yes	—	120	Complete IBM PC serial port
MAX242	+5	2/2	4	0.1	Yes	✓	200	Separate shutdown and enable
MAX243	+5	2/2	4	0.1	No	—	120	Open-line detection simplifies cabling
MAX244	+5	8/10	4	1.0	No	—	120	High slew rate
MAX245	+5	8/10	0	—	Yes	✓	120	High slew rate, int. caps, two shutdown modes
MAX246	+5	8/10	0	—	Yes	✓	120	High slew rate, int. caps, three shutdown modes
MAX247	+5	8/3	0	—	Yes	✓	120	High slew rate, int. caps, nine operating modes
MAX248	+5	8/8	4	1.0	Yes	✓	120	High slew rate, selective half-chip enables
MAX249	+5	6/10	4	1.0	Yes	✓	120	Available in quad flatpack package

MAXIM

Maxim Integrated Products 1

For free samples & the latest literature: <http://www.maxim-ic.com>, or phone 1-800-998-8800.
For small orders, phone 1-800-835-8769.

96

TESIS CON
FALLA DE ORIGEN

MAX220-MAX249

+5V-Powered, Multichannel RS-232 Drivers/Receivers

MAX220-MAX249

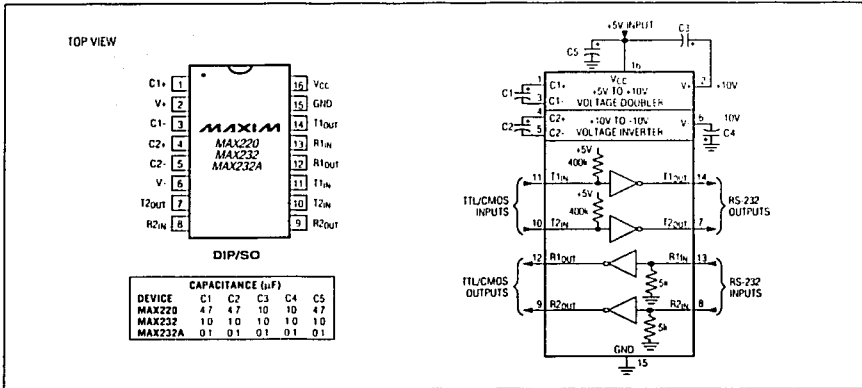


Figure 5 MAX220/MAX232/MAX232A Pin Configuration and Typical Operating Circuit

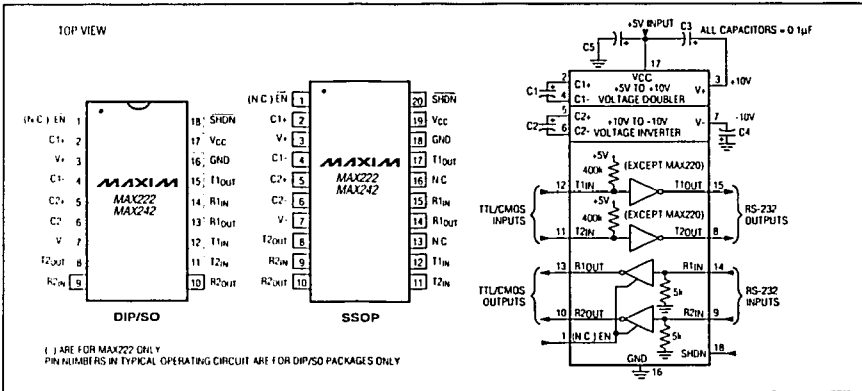


Figure 6 MAX222/MAX242 Pin Configurations and Typical Operating Circuit

MAXIM

TESIS CON
FALLA DE ORIGEN

Apéndice 2. Programas de los microcontroladores.

Programa para el microcontrolador PIC16F84A transmisor del tren.

.....Programa de bits de transmision.....

```

lst      p=16f84a
#include p16f84a.inc

F        EQU    1
PORTA   EQU    05h
PORTB   EQU    06h
TRISA   EQU    85h
TRISB   EQU    86h
STATUS  EQU    03h
RP0     EQU    05h
B7      EQU    07h
B0      EQU    00h
SEMILLA EQU    0Ch
DATO    EQU    0Dh
C       EQU    00h
Z       EQU    02h
OCHOB   EQU    0Eh
CIEN    EQU    0Fh
NADA    EQU    10h
UNOS    EQU    11h
VARUNO  EQU    12h
VARDOS  EQU    13h
VARTRE  EQU    14h
VARCUA  EQU    15h
    
```

AQUI EMPIEZA EL PROGRAMA

```

ORG     00h
GOTO   INICIA
ORG     05h

INICIA  BSF    STATUS,RP0
        CLRF   TRISA
        BCF    STATUS,RP0
        CLRF   PORTA

TRANS  CALL   UNOPEQ
        CALL   CEROPEQ
        CALL   UNOPEQ
    
```

```

CALL   UNOPEQ
CALL   CEROPEQ
CALL   UNOPEQ
    
```

.HASTA AQUI ES ID

```

CALL   UNOPEQ
CALL   UNOPEQ
CALL   UNOPEQ
CALL   CEROTRA
CALL   CEROTRA
CALL   UNOPEQ
CALL   CEROTRA
CALL   UNOPEQ
    
```

```

CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
CALL   CEROTRA
    
```

```

GOTO   TRANS

UNOPEQ MOVLW  06h
        MOVWF VARUNO
MEM     BSF    PORTA,0
        CALL  RETARDO
        BCF    PORTA,0
        CALL  ATRASO
        DEFSZ VARUNO,F
        GOTO  MEM
        BCF    STATUS,Z
        CLRW
        RETURN
    
```

```

CEROPEQ MOVLW 45h
        MOVWF VARTRE
        BCF    PORTA,0
MAURI   DEFSZ VARTRE,F
        GOTO  MAURI
        BCF    STATUS,Z
        CLRW
        RETURN
    
```

9b

```

CEROTRA MOVLW 19h
        MOVWF VARTRE
        BCF  PORTA,0
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        VIA  DECFPSZ VARTRE,F
            GOTO  VIA
            BCF  STATUS,Z
            CLRW
            RETURN

```

```

RETARDO NOP
        NOP
        NOP
        NOP
        NOP
        RETURN

```

```

ATRASO  NOP
        NOP
        RETURN

```

END

```

CONFIG CODE      ; Set config bits from defines in P16F84.INC
                  ; Config address for device programmer is in 16F84.lkr
dw _HS_OSC & _PWRT0_OFF & _WDT_OFF & _CP_OFF

```

Programa para el microcontrolador PIC16F84A receptor en las vías.

*****Programa de bits de recepción*****

```

list          p=16F84A
#include p16f84a.inc

```

```

F EQU 1
PORTA EQU 05h
PORTB EQU 06h
TRISA EQU 85h
TRISB EQU 86h
STATUS EQU 03h
RP0 EQU 05h
INTDEG EQU 06h
INTF EQU 01h
INTE EQU 04h
INTCON EQU 0Bh
OPCION EQU 81h
GIE EQU 07h
CONT1 EQU 0Ch
CONT2 EQU 0Dh
CONT3 EQU 0Eh
MIDATO EQU 0Fh
BA1 EQU 02h
BA0 EQU 00h
BANDERA EQU 10h
COM1 EQU 11h
COM2 EQU 12h
CONT4 EQU 13h
CONT5 EQU 14h

;AQUI EMPIEZA EL PROGRAMA

ORG 00h
GOTO INICIA
ORG 04h
GOTO INTER

INICIA  BSF  STATUS,RP0
        CLRF TRISA
        MOVLW 0x01
        MOVWF TRISB
        BSF  OPCION,INTDEG
        BSF  STATUS,RP0
        BCF  INTCON,INTF
        BSF  INTCON,GIE
        BSF  INTCON,INTE
        BCF  INTCON,INTF

BUCLE  BCF  INTCON,INTF
        BSF  INTCON,INTE
        CLRF PORTA
        CLRF PORTB
        CLRF MIDATO
        GOTO BUCLE

```

bb

100

INTER	BTSS RTFIE	INTCON INTF		BTSS RTFIE	PORTB,0	
	.BCF	PORTA,0		CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 390 us
	.BSF	PORTA,1		CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 406 us
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 16 us	CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 416 US
	BTSS	PORTB,0	. debe ser un uno	BTSS	PORTB,0	
	RTFIE			RTFIE		
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 32 US	CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 426 us
	BTSS	PORTB,0		BTSS	PORTB,0	
	RTFIE			RTFIE		
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 48 us	CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 436 us
	CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 58 us	BTSS	PORTB,0	. DESPUES DE ESTO HAN PASADO 436 us
	CALL	RETAR3		RTFIE		HASTA AQUI LLEGA ID
	BTSS	PORTB,0				
	RTFIE			.BSF	PORTB,7	
	CALL	RETAR1	. DESPUES DE ESTO HAN PASADO 110 US	CLRF	MIDATO	
	BTSS	PORTB,0		CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 446 us
	RTFIE			CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 462 US
	CALL	RETAR1	. DESPUES DE ESTO HAN PASADO 162 US	CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 472 US
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 178 US			
	BTSS	PORTB,0		BTSS	PORTB,0	
	RTFIE			.BSF	MIDATO,7	
	CALL	RETAR1	. DESPUES DE ESTO HAN PASADO 230 us	CALL	RETAR4	. DESPUES DE ESTO HAN PASADO 527 US
	BTSS	PORTB,0		NOP		
	RTFIE			NOP		
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 262 us	NOP		
	CALL	RETAR2		NOP		
	BTSS	PORTB,0		NOP		
	RTFIE			NOP		
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 278 us			
	CALL	RETAR2		BTSS	PORTB,0	
	CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 294 US	.BSF	MIDATO,6	
	BTSS	PORTB,0		CALL	RETAR4	. DESPUES DE ESTO HAN PASADO 592 US
	RTFIE			CALL	RETAR3	. DESPUES DE ESTO HAN PASADO 602 US
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 310 us			
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 326 US	BTSS	PORTB,0	
	BTSS	PORTB,0		.BSF	MIDATO,5	
	RTFIE			CALL	RETAR4	. DESPUES DE ESTO HAN PASADO 657 US
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 342 us			
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 358 US	BTSS	PORTB,0	
	BTSS	PORTB,0		.BSF	MIDATO,4	
	RTFIE			CALL	RETAR4	. DESPUES DE ESTO HAN PASADO 712 US
	CALL	RETAR2	. DESPUES DE ESTO HAN PASADO 374 us			
				BTSS	PORTB,0	

101

```

BSF  MIDATO,3
CALL  RETAR4      ,DESPUES DE ESTO HAN PASADO 767 US
BTFC  PORTB,0
BSF  MIDATO,2

CALL  RETAR4      ,DEPUES DE ESTO HAN PASADO 822 US
BTFC  PORTB,0
BSF  MIDATO,1

CALL  RETAR4      ,DESPUES DE ESTO HAN PASADO 877 USS
BTFC  PORTB,0
BSF  MIDATO,0

CLRF  PORTB
BTFC  MIDATO,7
BSF  PORTB,1
BTFC  MIDATO,6
BSF  PORTB,2
BTFC  MIDATO,5
BSF  PORTB,3
BTFC  MIDATO,4
BSF  PORTB,4
BTFC  MIDATO,3
BSF  PORTB,5
BTFC  MIDATO,2
BSF  PORTB,6
BTFC  MIDATO,1
BSF  PORTA,2

CALL  PONUNO
NOP
NOP
CALL  RETAR3
NOP
NOP
NOP
CLRF  BANDERA
BTFC  MIDATO,7
CALL  PONUNO
CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BTFC  MIDATO,6
CALL  PONUNO
CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BTFC  MIDATO,5
CALL  PONUNO

```

```

CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BTFC  MIDATO,4
CALL  PONUNO
CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BTFC  MIDATO,3
CALL  PONUNO
CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BTFC  MIDATO,2
CALL  PONUNO
CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BTFC  MIDATO,1
CALL  PONUNO
CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BTFC  MIDATO,0
CALL  PONUNO
CALL  PONCERO
BCF  BANDERA,0
CALL  RETAR3
BCF  PORTA,0

BCF  INTCON,INTF
BSF  INTCON,INTE
RETFIE

RETAR1 MOV LW 20h
MOVWF CONT1
QUINI  DECF SZ CONT1,1
GOTO  QUINI
RETURN

RETAR2 MOV LW 08h
MOVWF CONT2
OTRA  DECF SZ CONT2,1
GOTO  OTRA
RETURN

RETAR3 MOV LW 04h
MOVWF CONT3
PEQUE DECF SZ CONT3,1
GOTO  PEQUE
RETURN

```



```

RETAR4  MOVLW  22h
        MOVWF  CONT1
DELAY2  DECFSZ  CONT1,1
        GOTO   DELAY2
        RETURN

```

```

PONUNO  BSF    PORTA,0
        BSF    BANDERA,0
        RETURN

```

```

PONCEROBTFC  BANDERA,0
        RETURN
        BCF    PORTA,0
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        RETURN
        END

```

```

CONFIG CODE      ; Set config bits from defines in P16F84 INC
                  ; Config address for device programmer is in 16F84 Ikr
dw _HS_OSC & _PWRTE_OFF & _WDT_OFF & _CP_OFF

```

Programa para el microcontrolador transmisor PIC16F84 en las vías.

```

lst      p=16f84a
#include p16f84a inc

```

```

F      EQU    1
PORTA EQU    05h
PORTB EQU    06h
TRISA  EQU    05h
TRISB  EQU    06h
STATUS EQU    03h
RPO    EQU    05h
INTDEG EQU    06h
INTF   EQU    01h
INTE   EQU    04h
INTCON EQU    0Bh

```

```

OPCION EQU    81h
GIE     EQU    07h
BA1    EQU    02h
BA0    EQU    00h

```

```

B7     EQU    07h
B0     EQU    00h
C      EQU    00h
Z      EQU    02h

```

```

CONT1  EQU    0Ch
CONT2  EQU    0Dh
CONT3  EQU    0Eh
MIDATO EQU    0Fh
SEMILLA EQU  10h
DATO   EQU    11h
OCHOB  EQU    12h
CIEN   EQU    13h
NADA   EQU    14h
UNOS   EQU    15h
VARUND EQU    16h
VARDOS EQU    17h
VARTRE EQU    18h
VARCJA EQU    19h
ELDATO EQU    1Ah
BANDERA EQU  1Bh
DATORET EQU  1Ch
TMSET1 EQU    1Eh
TMSET2 EQU    1Fh
TMSET3 EQU    20h

```

```

;*****AQUI EMPIEZA EL PROGRAMA*****

```

```

ORG     00h
GOTO   INICIA
ORG     04h
GOTO   INTER

INICIA  BSF    STATUS,RPO
        CLRF  TRISA
        MOVLW 0x01
        MOVWF TRISB
        BSF   OPCION,INTDEG
        BCF   STATUS,RPO
        BCF   INTCON,INTF
        BSF   INTCON,GIE
        BSF   INTCON,INTE
        BCF   INTCON,INTF
        CLRF  MIDATO

BUCLE  BCF   INTCON,INTF
        BSF   INTCON,INTE

```

109

```
BSF PORTA,0
CLRF PORTA
CLRF PORTB
CALL TRANS
GOTO BUCLE
INTER BTFS INTCON,INTF
RETFIE
BSF PORTA,1
CLRF MIDATO
CALL RETAR5 ;hasta aqui van ocho ciclos de reloj
; 17 MS
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP
```

```
BTFS PORTB,0
BSF MIDATO,7
CALL RETAR5
NOP
NOP
NOP
NOP
NOP
NOP
BTFS PORTB,0
BSF MIDATO,6
BCF INTCON,INTF
BSF INTCON,INTE
RETFIE
```

103

```
TRANS CALL UNOPEQ
CALL CEROPEQ
CALL UNOPEQ
CALL UNOPEQ
CALL CEROPEQ
CALL UNOPEQ
;HASTA AQUI ES ID
CLRF BANDERA
BTFS MIDATO,7
CALL ONE
CALL ZERO
BCF BANDERA,0
```

```
BTFSC MIDATO,6
CALL ONE
CALL ZERO
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
CALL CEROTRA
RETURN
```

```
UNOPEQ MOVW 06h
MOVWF VARUNO
MEM BSF PORTA,B0
CALL RETARDD
BCF PORTA,B0
CALL ATRASO
DECFSZ VARUNO,F
GOTO MEM
BSF STATUS,Z
CLRW
RETURN
```

```
CEROPEQ MOVW 45h
MOVWF VARTRE
BCF PORTA,B0
MAURI DECFSZ VARTRE,F
GOTO MAURI
BCF STATUS,Z
CLRW
RETURN
```

```
CEROTRA MOVW 19h
MOVWF VARTRE
BCF PORTA,B0
NOP
NOP
NOP
NOP
NOP
NOP
```

```

NOP
NOP
NOP
NOP
NOP
VIA   DECFSZ  VARTRE,F
      GOTO   VIA
      BCF   STATUS,Z
      CLRW
      RETURN

```

CONFIG CODE

.Set config bits from del.mcs in P16F84 INC
 .Config address for device programmer is in 16F84.kit
 dw _HS_OSC & _PWRT_OFF & _WDT_OFF & _CP_OFF

Programa para el microcontrolador PIC16F84A receptor del tren.

*****Programa de bits de transmisión*****

```

RETRAS1 MOVLW 01h
        MOVWF DATORET
        NOP
        NOP
        NOP
OTRA1   DECFSZ DATORET,1
        GOTO  OTRA1
        RETURN
RETARDO NOP
        NOP
        NOP
        NOP
        NOP
        RETURN
ATRASO  NOP
        NOP
        RETURN
ONE     BSF  BANDERA,0
        CALL UNOPEQ
        RETURN
ZERO    BTFSC BANDERA,0
        RETURN
        CALL CEROTRA
        RETURN
RETARS  MOVLW 06h
        MOVWF CONT3
RING    DECFSZ CONT3,1
        GOTO  RING
        RETURN
END

```

```

list      p=16f84a
#include p16f84a.inc

F EQU 1
PORTA EQU 05h
PORTB EQU 06h
TRISA EQU 85h
TRISB EQU 86h
STATUS EQU 03h
RP0 EQU 05h
INTEG EQU 06h
INTF EQU 01h
INTE EQU 04h
INTCON EQU 0Bh
OPCION EQU 81h
GIE EQU 07h
BA1 EQU 02h
BA0 EQU 00h

B7 EQU 07h
B0 EQU 00h
C EQU 00h
Z EQU 02h

CONT1 EQU 0Ch
CONT2 EQU 0Dh
CONT3 EQU 0Eh
MIDATO EQU 0Fh
SEMILLA EQU 10h
DATO EQU 11h
OCHOB EQU 12h
CIEN EQU 13h
NADA EQU 14h
UNOS EQU 15h
VARUNO EQU 16h
VARDOS EQU 17h
VARTRE EQU 18h
VARCUIA EQU 19h
ELDATO EQU 1Ah
BANDERA EQU 1Bh

```

DATORET EQU 1Ch
 TMSSET1 EQU 1En
 TMSSET2 EQU 1Fh
 TMSSET3 EQU 20h

RETFIE

CALL RETAR1 . DESPUES DE ESTO HAN PASADO 162 US
 CALL RETAR2 . DESPUES DE ESTO HAN PASADO 178 US
 BTFSS PORTB,0
 RETFIE

AQUI EMPIEZA EL PROGRAMA

ORG 00h
 GOTO INICIA
 ORG 04h
 GOTO INTER

CALL RETAR1 . DESPUES DE ESTO HAN PASADO 230 us
 BTFSS PORTB,0
 RETFIE

INICIA BSF STATUS,RP0
 CLRF TRISA
 MOVWL 0x0F
 MOVWF TRISB
 BSF OPCION,INTDEG
 BCF STATUS,RP0
 BCF INTCON,INTF
 BSF INTCON,GIE
 BSF INTCON,INTE
 BCF INTCON,INTF
 CLRF PORTB

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 262 us
 CALL RETAR2
 BTFSS PORTB,0
 RETFIE

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 278 us
 CALL RETAR2
 CALL RETAR3 . DESPUES DE ESTO HAN PASADO 294 US
 BTFSC PORTB,0
 RETFIE

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 310 us
 CALL RETAR2 . DESPUES DE ESTO HAN PASADO 326 US
 BTFSC PORTB,0
 RETFIE

BUCLE BCF INTCON,INTF
 BSF INTCON,INTE
 CLRF MIDATO
 BTFSC PORTB,2
 CALL BORRAR
 GOTO BUCLE

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 342 us
 CALL RETAR2 . DESPUES DE ESTO HAN PASADO 358 US
 BTFSC PORTB,0
 RETFIE

INTER BTFSS INTCON,INTF

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 374 us
 BTFSC PORTB,0
 RETFIE

,BCF PORTA,0
 ,BSF PORTA,1
 CALL RETAR2 . DESPUES DE ESTO HAN PASADO 390 us
 BTFSS PORTB,0 . DESPUES DE ESTO HAN PASADO 406 us
 RETFIE . debe ser un uno

CALL RETAR3 . DESPUES DE ESTO HAN PASADO 416 US
 BTFSS PORTB,0
 RETFIE

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 32 US
 BTFSS PORTB,0

CALL RETAR3 . DESPUES DE ESTO HAN PASADO 426 us
 BTFSS PORTB,0
 RETFIE

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 48 us
 CALL RETAR3 . DESPUES DE ESTO HAN PASADO 58 us

CALL RETAR3 . DESPUES DE ESTO HAN PASADO 436 us
 BTFSS PORTB,0 . HASTA AQUI LLEGA ID
 RETFIE

CALL RETAR1 . DESPUES DE ESTO HAN PASADO 110 US
 BTFSC PORTB,0

,BSF PORTB,7
 CLRF MIDATO
 CALL RETAR3 . DESPUES DE ESTO HAN PASADO 446 us

165

CALL RETAR2 . DESPUES DE ESTO HAN PASADO 462 US
CALL RETAR3 . DESPUES DE ESTO HAN PASADO 472 US

BTFSO PORTB.0
BSF MIDATO.7

CALL RETAR4 . DESPUES DE ESTO HAN PASADO 527 US

NOP
NOP
NOP
NOP
NOP
NOP
NOP

BTFSO PORTB.0
BSF MIDATO.6

BSF PORTA.1

CLRF PORTA
CLRF PORTB
BSF PORTA.1

BTFSO MIDATO.7
GOTO COMEDNE
BSF PORTB.7
GOTO PROBLE

COMEONE BSF PORTB.6

BTFSO MIDATO.6
GOTO PLUMA

BSF PORTB.5
GOTO PROBLE

PLUMA BSF PORTB.4
PROBLE BCF INTCON.INTF

BSF INTCON.INTE
BCF PORTA.1

RETFIE

UNOPEO MOVLW 06h

MOVWF VARUNO
BSF PORTA.B0

MEM CALL RETARDO
BCF PORTA.B0

CALL ATRASO
DECFSZ VARUNO.F

GOTO MEM
BCF STATUS.Z

CLRw

RETURN

CEROPEO MOVLW 45h
MOVWF VARTRE

BCF PORTA.B0
MAURI DECFSZ VARTRE.F

GOTO MAURI
BCF STATUS.Z

CLRw
RETURN

CEROTRA MOVLW 19h
MOVWF VARTRE

BCF PORTA.B0
NOP

NOP

NOP

NOP

NOP

NOP

NOP

NOP

NOP

VIA DECFSZ VARTRE.F
GOTO VIA

BCF STATUS.Z
CLRw

RETURN

RETARDO NOP

NOP

NOP

NOP

NOP

RETURN

ATRASO NOP

NOP

RETURN

RETAR1 MOVLW 20h

MOVWF CONT1

QUINI DECFSZ CONT1.1

GOTO QUINI

RETURN

RETAR2 MOVLW 08h

MOVWF CONT2

OTRA DECFSZ CONT2.1

106

```

GOTO   OTRA
RETURN

RETAR3 MOV LW 04h
        MOV WF CONT3
PEQUE  DECF SZ CONT3,1
        GOTO PEQUE
        RETURN

RETAR4 MOV LW 22h
        MOV WF CONT1
DELAY2 DECF SZ CONT1,1
        GOTO DELAY2
        RETURN

BORRAR BCF PORTB,7
        BCF PORTB,6
        BCF PORTB,5
        BCF PORTB,4
        BCF PORTA,1
        MOV LW 0xFF
        MOV WF CONT3
REBOTE BCF PORTB,2
        DECF SZ CONT3,1
        GOTO REBOTE
        RETURN

END

```

```

CONFIG CODE      ; Set config bits from defines in P16F84.INC
                  ; Config address for device programmer is in 16F84.lkr
dw HS_OSC & _PWRTM_OFF & _WDT_OFF & _CP_OFF

```

Programa para el microcontrolador PIC16F877 en la tarjeta de adquisición de datos.

; favor de tomar en cuenta el retardo para recibir de la PC104

```

***** Archivo *****
; en este ya se va a monitorear tanto los receptores de aproximación
; del tren como la recepción de la PC104 además de los otros receptores
; de llegada al cruceo

```

. este archivo sirve para que el micro realice las instrucciones que recibe de una computadora por puerto serial
. con el protocolo establecido de ocho bits. Además incluye la prueba de recepción de los sensores infrarrojos de presencia del tren

```

***** Archivo de primera etapa *****
; en este ya se va a monitorear tanto los receptores de aproximación
; del tren como la recepción de la PC104

```

. Descripción del Hardware

```

        SALIDAS
RE0 -> SALIDA DE LA SEÑAL DE ALARMA AL TRANSMISOR INFRARROJO
RC0 -> ALARMA SONORA
RC1 -> ALARMA VISUAL
RC2 -> laser de Protección 1
RC3 -> laser de Protección 2
RC4 -> Malla Laser
RC7 -> Entrada señal
RC6 -> Salida señal

```

ENTRADAS

```

RB0 -> ACERCA EL TREN EN LADO A
RB1 -> ACERCA EL TREN EN LADO B
RB2 -> EL TREN ENTRA AL CRUCERO EN LADO A
RB3 -> EL TREN ENTRA AL CRUCERO EN LADO B
RB4 -> EL TREN SALE DEL CRUCERO EN LADO A
RB5 -> EL TREN SALE DEL CRUCERO EN LADO B
RB6 -> RECEPCION MALLA LASER
RB7 -> DESACTIVAR LA ALARMA

```

SALIDAS

```

RD0 -> ARRANCADOR MOTOR A
RD1 -> ARRANCADOR MOTOR B
RD2 -> STOP MOTOR A
RD3 -> STOP MOTOR B
RD4 -> REVERSA A
RD5 -> REVERSA B
RD6 -> PARATREN UNO
RD7 -> Semáforo

```

ENTRADAS

```

RA0 -> recepción laser protección 1
RA1 -> recepción laser protección 2
RA2 -> petición subir plumas
RA3 -> petición bajar plumas
RA4 -> petición stop plumas
RA5 -> petición "X"

```

```
LIST      P=16F877
```

```
RADIX    HEX
```

INCLUDE <P16F877.inc>

***** VARIABLES A UTILIZAR *****

```

PORTA EQU 05h
PORTB EQU 06h
PORTD EQU 08h
conla EQU 0x20
conla0 EQU 0x21
conla1 EQU 0X22
conla2 EQU 0x23
control EQU 0x24
alto EQU 0x25
bajo EQU 0x26
acarreo EQU 0x27

CONH1 EQU 28h
CONH2 EQU 29h
CONH3 EQU 2Ah
MIDATO EQU 2Bh
SEMILLA EQU 2Ch
DATO EQU 2Dh
OCHOB EQU 2Eh
CIEN EQU 2Fh
NADA EQU 30h
UNOS EQU 31h
DATREC1 EQU 32h
DATREC2 EQU 33h
DATREC3 EQU 34h
VARCUA EQU 35h
ELDATO EQU 36h
BANDERA EQU 37h
DATORET EQU 38h
TMSSET1 EQU 39h
TMSSET2 EQU 3Ah
TMSSET3 EQU 3Bh
BITSID EQU 3Ch
flag1 EQU 3Dh
actual1 EQU 3Eh
actual2 EQU 3Fh
CPDATO EQU 40h

```

ORG 0 ; Iniciar en la localidad 0

goto inicio

***** Esto es lo que hace el programa *****g**

```

inicio
  cdf flag1
  cdf PORTA
  cdf PORTD
  cdf PORTB

```

```

inicio2 call config
        btfs PORTB,0
        call INTR1 ; recepcion de 8 bits de datos, y transmision

senal(USART)
        btfs PORTB,1
        call INTR2
        btfs PORTB,2
        call TRENIN1
        btfs PORTB,3
        call TRENIN2
        btfs PORTB,4
        call TRENOUT1
        btfs PORTB,5
        call TRENOUT2
        bsf RCSTA,CREN ; se habilita la recepcion
        btfs PIR1,RCIF ; ¿Se recibió algún dato? *****flag al end reception
        call recepcion ; Si se realiza la recepcion senal

        btfs flag1,3
        goto inicio2
        btfs PORTB,7
        call reseteo
        btfs PORTA,0
        call wotup
        btfs PORTA,1
        call wottdown
        btfs PORTA,2
        call wotstop
        btfs PORTA,3
        call wot1X

        goto inicio2

        btfs flag1,0
        goto inicio2
        btfs PORTA,4
        call RxDProt1B
        btfs PORTA,4
        call RxDProt1G

        btfs flag1,1
        goto inicio2
        btfs PORTA,5
        call RxDProt2B
        btfs PORTA,5
        call RxDProt2G

        btfs flag1,2
        goto inicio2
        btfs PORTB,6
        call danger2B
        btfs PORTB,6
        call danger2G

```

105

```

goto inicio2

.btfss flag1,3
goto inicio2
.btfsc PORTB,7
.call reseteo
.btfsc PORTA,0
.call Wontup
.btfsc PORTA,1
.call Wontdown
.btfsc PORTA,2
.call Wontstop
.btfsc PORTA,3
.call Wontx
goto inicio2

```

```

config bcf STATUS,RP1      ; RP1 = 0 Activar
      bsf STATUS,RP0    ; RP0 = 1 la página 1
      movlw 0xFF
      movwf TRISA       ; Puerto A - Entradas
      movwf TRISB       ; Puerto B - Entradas
      movlw 0x00
      movwf TRISE       ; Puerto E - Salidas
      movwf TRID        ; Puerto D - Salidas
      movwf ADCCON1     ; ADCON1
      movlw 0x80
      movwf TRISC       ; RCT -> Entrada de señal serial
                        ; RC6 -> Salida de la señal serial
      bcf STATUS,RP0    ; Regresar a la página 0
      bsf RCSTA,SPEN    ; Se activa el USART
      bsf STATUS,RP0   ; Banco 1
      movlw 0x00       ; Se elige el modo asincrono (SYNC = 0), baja
                        ; (BRGH = 0), y dato de 8 bits

velocidad movlw TXSTA
          movlw 0x68
          movwf SPBRG ; Se carga 68 en SPBRG con lo que se trabaja a
1200 BAUDIOS Y FRECUENCIA DE OSCILACION DE 8 MHZ

```

```

;*****configuración para recibir
      bcf STATUS,RP0    ; Regresar a la página 0
      bcf RCSTA,RXSD    ; se leerán 8 bits
      bsf RCSTA,CREN    ; se habilita la recepción
      return

```

```

danger2G bsf flag1,3
          movlw 0x00
          movwf MIDATO
          call transmission
          nop

```

```

      nop
      movlw 0xE1
      movwf MIDATO
      call transmission

danger2B bsf flag1,3
          movlw 0x00
          movwf MIDATO
          call transmission
          nop
          nop
          movlw 0xE4
          movwf MIDATO
          call transmission
          return

```

```

reseteo movlw 0xFF
        movwf MIDATO
        call transmission
        nop
        nop
        movlw 0xB9
        movwf MIDATO
        call transmission
        return

```

```

RxLDProt1G movlw 0x00
           movwf MIDATO
           call transmission
           nop
           nop
           movlw 0xE2
           movwf MIDATO
           call transmission
           movlw 0xFF
           movwf CONT1
           movwf CONT2
           movwf CONT1,1
           movwf CONT2,1
           goto X1
           decfsz CONT2,1
           goto X1
           return

```

```

RxLDProt1B movlw 0x00
           movwf MIDATO
           call transmission
           nop
           nop

```

109

111

```

movlw 0x65
movwf MIDATO
call transmission
movlw 0xFF
movwf CONT1
movwf CONT2
movwf CONT1.1
decfsz X2
goto CONT2.1
decfsz X2
goto return

```

```

RxDLPrel2G
movlw 0x00
movwf MIDATO
call transmission
nop
nop
nop
movlw 0x63
movwf MIDATO
call transmission
movlw 0xFF
movwf CONT1
movwf CONT2
decfsz X3
goto CONT2.1
decfsz X3
goto return

```

```

RxDLPrel2B
movlw 0x00
movwf MIDATO
call transmission
nop
nop
nop
movlw 0x66
movwf MIDATO
call transmission
movlw 0xFF
movwf CONT1
movwf CONT2
decfsz X4
goto CONT2.1
decfsz X4
goto return

```

wontup

```

movlw 0xFF
movwf MIDATO
call transmission
nop
nop
nop
movlw 0x6A
movwf MIDATO
call transmission
return

```

```

wontdown
movlw 0xFF
movwf MIDATO
call transmission
nop
nop
nop
movlw 0xEB
movwf MIDATO
call transmission
return

```

```

wontstop
movlw 0xFF
movwf MIDATO
call transmission
nop
nop
nop
movlw 0x6C
movwf MIDATO
call transmission
return

```

```

wontX
movlw 0xFF
movwf MIDATO
call transmission
nop
nop
nop
movlw 0x6D
movwf MIDATO
call transmission
return

```

```

INTR1
nop
nop
nop
nop
clrf BITSID
clrf MIDATO
call RETAR5
nop
nop

```

;hasta aqui van ocho ciclos de reloj : 17 MS

113

nop
nop
nop
nop
nop

bitsec PORTB,2
bsf MIDATO,4
call RETAR5

nop
nop
nop
nop
nop
nop

bitsec PORTB,2
bsf MIDATO,3
call RETAR5

nop
nop
nop
nop
nop

bitsec PORTB,2
bsf MIDATO,2
call RETAR5

nop
nop
nop
nop
nop

bitsec PORTB,2
bsf MIDATO,1
call RETAR5

nop
nop
nop
nop
nop

bitsec PORTB,2
bsf MIDATO,0
call transmision
movlw DxD8
movwf MIDATO
call transmision
return

nop
nop
nop
nop
nop

BITSID
MIDATO
RETAR5

,hasta aqui van ocho ciclos de reloj
, 17 HS

nop
nop
nop
nop
nop
nop
nop

,CALL RETAR3

; 24 MS

bitsec PORTB,3
bsf MIDATO,7
call RETAR5

nop
nop
nop
nop
nop

bitsec PORTB,3
bsf MIDATO,6
call RETAR5

nop
nop
nop
nop
nop

bitsec PORTB,3
bsf MIDATO,5
call RETAR5

nop
nop
nop
nop
nop

bitsec PORTB,3
bsf MIDATO,4
call RETAR5

nop
nop
nop
nop
nop

TRENIN2


```

movwf MIDATO
call  transmision
return

```

***** SUBROUTINA DE TRANSMISION SERIAL DE LOS DATOS *****

transmision

```

bsf  STATUS,RP0
bsf  TXSTA,TXEN
bcd  STATUS,RP0      .Página 0

```

```

movf  MIDATO,W
movwf 0x55          .esta es una prueba para enviar 01010101
movwf TXREG        .Comienza la transmisión
bsf  STATUS,RP0    .Página 1

```

```

transer  bitss TXSTA,TRMT      .Se termino de transmitir?   ojo con esto, parece
que puede causar problemas
goto    transer
bcd  TXSTA,TXEN
bcd  STATUS,RP0
return

```

***** rutina de recepcion señal y transmision de señal de alarma *****

recepcion

```

movf  RCREG,W      .Si, cargar el valor recibido en w
movwf ELDATO       .Se pasa el valor a eldato

```

```

bitss ELDATO,6
goto  busqueda
bitss ELDATO,3
goto  LDProtX
goto  Semaforo

```

LDProtX

```

bitss ELDATO,1
goto  LDProt1
bitss ELDATO,1
goto  LDProt2

```

LDProt1

```

bitss ELDATO,0
bcd  PORTC,0
bitss ELDATO,0
bsf  PORTC,0
bitss ELDATO,0
bcd  flag1,0
bitss ELDATO,0
bsf  flag1,0

```

goto finalzo

LDProt2

```

bitss ELDATO,0
bcd  PORTC,1
bitss ELDATO,0
bitss PORTC,1
bitss ELDATO,0
bcd  flag1,1
bitss ELDATO,0
bsf  flag1,1
goto finalzo

```

Semaforo

```

bitss ELDATO,0
bcd  PORTD,6
bitss ELDATO,0
bsf  PORTD,6
goto finalzo

```

busqueda

```

bitss ELDATO,5
goto  state0
bitss ELDATO,5
goto  state1

```

state0

```

bitss ELDATO,4
goto  state00
bitss ELDATO,4
goto  state01

```

state1

```

bitss ELDATO,4
goto  state10
bitss ELDATO,4
goto  state11

```

state00

```

bitss ELDATO,3
goto  finalzo
bitss ELDATO,3
goto  alarma

```

state01

```

bitss ELDATO,3
goto  laser
bitss ELDATO,3
goto  motoresA

```

state10

```

bitss ELDATO,3
goto  motoresB
bitss ELDATO,3
goto  paratrenA

```

state11

```

bitss ELDATO,3

```

116

goto finalzo
btjsc ELDATO,3
goto transIR

alarma
btjss ELDATO,1
goto sonora
btjsc ELDATO,1
goto visual

sonora
btjss ELDATO,0
bcf PORTC,2
btjsc ELDATO,0
bsf PORTC,2
goto finalzo

visual
btjss ELDATO,0
bcf PORTC,3
btjsc ELDATO,0
bsf PORTC,3
goto finalzo

laser
btjss ELDATO,0
bcf PORTC,5
btjsc ELDATO,0
bsf PORTC,5
btjss ELDATO,0
bcf flag1,2
btjsc ELDATO,0
bsf flag1,2
goto finalzo

motoresA
btjss ELDATO,1
goto downA
btjsc ELDATO,1
goto upstopA

downA
btjss ELDATO,0
goto finalzo
bsf PORTD,0
movlw 0xFF
movwf CONT1
movwf CONT2

ticket1 decfsz CONT1,1
goto ticket1
decfsz CONT2,1
goto ticket1

bcf PORTD,0
goto finalzo

upstopA
btjss ELDATO,0
goto upA
btjsc ELDATO,0
goto stopA

upA
bsf PORTD,4

movlw 0xFF
movwf CONT1
movwf CONT2
ticket2 decfsz CONT1,1
goto ticket2
decfsz CONT2,1
goto ticket2
bcf PORTD,4
goto finalzo

stopA
bsf PORTD,2

movlw 0xFF
movwf CONT1
movwf CONT2
ticket3 decfsz CONT1,1
goto ticket3
decfsz CONT2,1
goto ticket3
bcf PORTD,2
goto finalzo

motoresB
btjss ELDATO,1
goto downB
btjsc ELDATO,1
goto upstopB

downB
bsf PORTD,1
movlw 0xFF
movwf CONT1
movwf CONT2
ticket4 decfsz CONT1,1
goto ticket4
decfsz CONT2,1
goto ticket4
bcf PORTD,1
goto finalzo

upstopB
btjss ELDATO,0
goto upB
btjsc ELDATO,0

117

TESIS CON
FALLA DE ORIGEN

118

```

goto stopB
upB
    bsf PORTD,5
    movlw 0xFF
    movwf CONT1
    movwf CONT2
ticket5 decfsz CONT1,1
    goto ticket5
    decfsz CONT2,1
    goto ticket5
    bcf PORTD,5
    goto finalizo
stopB
    bsf PORTD,3
    movlw 0xFF
    movwf CONT1
    movwf CONT2
ticket6 decfsz CONT1,1
    goto ticket6
    decfsz CONT2,1
    goto ticket6
    bcf PORTD,3
    goto finalizo
paratrenA
    bitss ELDATO,0
    bcf PORTD,7
    bitssc ELDATO,0
    bsf PORTD,7
    goto finalizo
transR
    ,movwf PORTD
    call PONONE
    nop
    nop
    call RETAR3
    nop
    nop
    nop
    clrf BANDERA
    bitssc ELDATO,1
    call PONONE
    call PONZERO
    bcf BANDERA,0
    call RETAR3
    bitssc ELDATO,0

```

TESIS CON
 FALLA DE ORIGEN

```

call PONONE
call PONZERO
bcf BANDERA,0
call RETAR3
bcf PORTE,0
goto finalizo
finalizo
    bcf RCSTA,CREN
    return
    .Se deshabilita la recepcion
    .regresar
lmeon
    movlw 0xFF
    movwf CONT1
    movwf CONT2
time1 decfsz CONT1,1
    goto time1
    decfsz CONT2,1
    goto time1
    return
PONONE bsf PORTE,0
    bcf BANDERA,0
    return
PONZERO bitssc BANDERA,0
    return
    bcf PORTE,0
    nop
    nop
    nop
    nop
    nop
    nop
    nop
    return
RETAR5 movlw 06h
    movwf CONT3
    decfsz CONT3,1
    goto itfull
    return
RETAR3 movlw 04h
    movwf CONT3
    decfsz CONT3,1
    goto empty
    return
end

```

Apéndice 3. Circuitos electrónicos.

TRANSMISOR INFRARROJO.

La señal infrarroja (IR) es transmitida por un IRLED (*infrared light emission diode*) conectado a un transistor que acondiciona la señal recibida del microcontrolador PIC.

El IRLED utilizado es el modelo comercial IRLED383, que opera en la ventana de los 940 nm y se utiliza para transmisión a larga distancia. Su operación óptima se realiza con 20 mW/sr de intensidad de radiación, que se obtienen con 20 mA de corriente DC.

Para obtener una corriente de 20 mA se utiliza un transistor MPSA13 polarizado en colector común como se muestra en la siguiente figura.

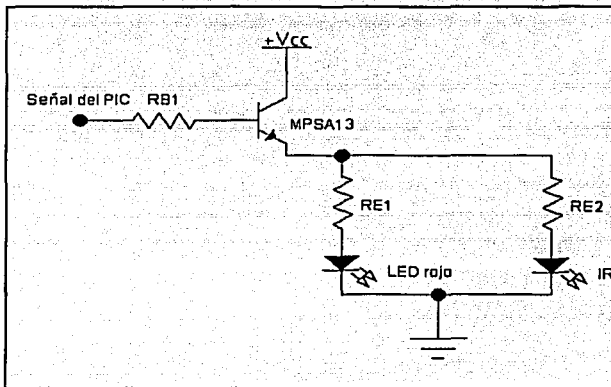


Diagrama electrónico del transmisor IR.

donde:

$RB1 = 10 \text{ kOhms.}$

$RE1 = 300 \text{ Ohms.}$

$RE2 = 10 \text{ Ohms.}$

Se utiliza también un LED rojo que tiene como función indicar de manera visual si se está llevando a cabo la transmisión por el circuito electrónico.

RECEPTOR INFRARROJO.

El circuito receptor de señales IR está formado por 2 etapas como se muestra en la siguiente figura. La recepción de las señales IR es realizada por un fototransistor para IR y su polarización constituye la primera etapa; la segunda etapa es un transistor configurado en forma de un inversor lógico, debido a que los voltajes de salida del fototransistor están invertidos respecto a los niveles transmitidos inicialmente.

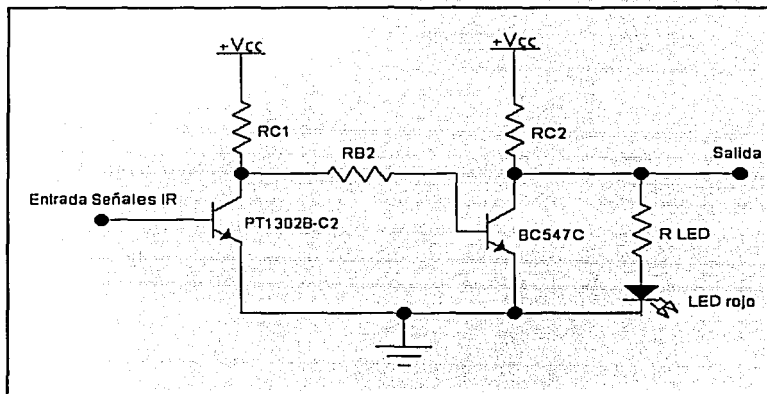


Diagrama electrónico del receptor IR.

Donde:

$RC1 = 12 \text{ kOhms.}$

$RB2 = 10 \text{ kOhms.}$

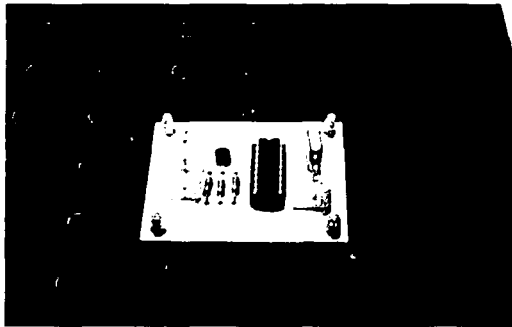
$RC2 = 1 \text{ kOhms.}$

$R \text{ LED} = 330 \text{ kOhms.}$

TESIS CON
FALLA DE ORIGEN

Se analiza primero el transistor inversor (segunda etapa), sus condiciones de entrada y de salida, para poder polarizar al fototransistor, de tal manera que el voltaje de salida de la primera etapa se acondicione a la entrada de la segunda etapa.

En la figura siguiente se muestra la implementación del transmisor IR diseñado.



Transmisor IR.

Transistor inversor.

El circuito lógico inversor básico construido con un transistor en saturación funciona para obtener niveles lógicos alto (en la región de saturación) y bajo (en la región de corte) para voltajes de entrada en la base; el transistor debe pasar a través de la región activa para realizar esta transición. Lo deseable en esta polarización es que esta región de transición sea lo más angosta posible.

Observando las hojas de especificaciones del fabricante para el transistor BC547C, podemos obtener los siguientes datos; la ganancia de corriente directa β es constante a través de la región activa.

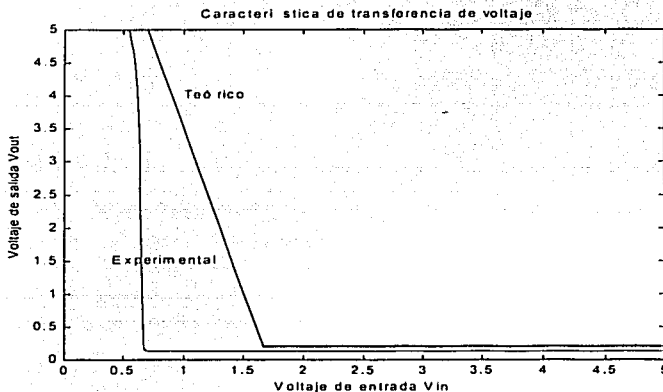
<i>V_{ce} (sat)</i>	<i>0.25 V máximo</i>
<i>Ganancia de corriente en DC (β)</i>	<i>110</i>
<i>V_{be(on)}</i>	<i>0.7 V</i>

Corriente de base:
$$I_B = \frac{V_{in} - V_{BE(on)}}{R_B}$$

Corriente de colector:
$$I_C = \frac{I_B}{\beta} \approx I_C$$

Voltaje de salida:
$$V_{out} = I_C R_C$$

La característica de transferencia de voltaje teórico y experimental del inversor están mostradas en la siguiente gráfica, obtenidas de las formulaciones anteriores:



De la figura anterior se puede observar que el transistor está apagado cuando V_{in} es menor que 0.7 V; mientras V_{in} se incrementa, el transistor entra en la región activa, donde:

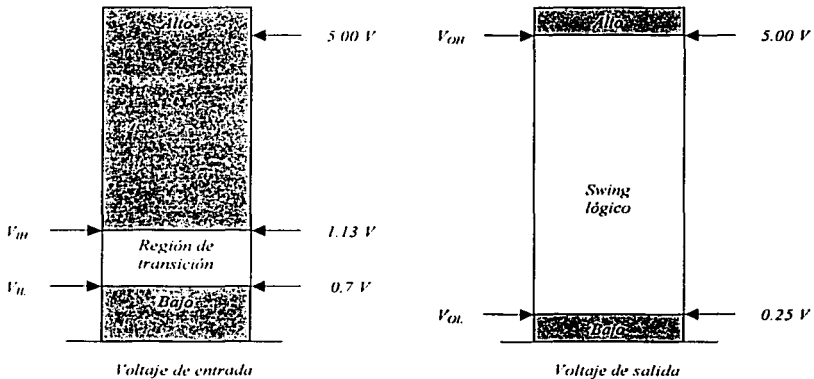
$$I_C = \beta I_B$$

Sin embargo, con $V_{in} \geq 1.13V$, el transistor se satura, debido a que la corriente de colector está limitada a:

$$I_C = \frac{V_{CC} - V_{CE(sat)}}{R_C} = \frac{5V - 0.25V}{1k\Omega} = 4.75mA$$

Los puntos de quiebra (breakpoints) de la característica de transferencia de voltaje indican donde el transistor cambia de región de operación de corte a activo, y de activo a saturación. A la entrada, el voltaje de umbral para el nivel lógico bajo es V_{il} ; para el nivel lógico alto es V_{ih} . Para el voltaje de salida, el umbral de voltajes está representado por V_{ol} y V_{oh} , respectivamente. Estos niveles de voltaje se muestran gráficamente en la figura 3.6.

Para la entrada, cualquier voltaje menor a 0.7 V es reconocido como una entrada en nivel lógico bajo de entrada, y cualquier voltaje mayor a 1.13 V indica un nivel lógico alto. Niveles de voltaje de entrada entre 0.7 V y 1.13 V son discriminados debido a que orientan niveles de voltaje de salida que son ambiguos.



Transición en la inversión del voltaje

La diferencia entre los dos voltajes de salida ($V_{OH} - V_{OL}$) determina el swing lógico del circuito, esto es:

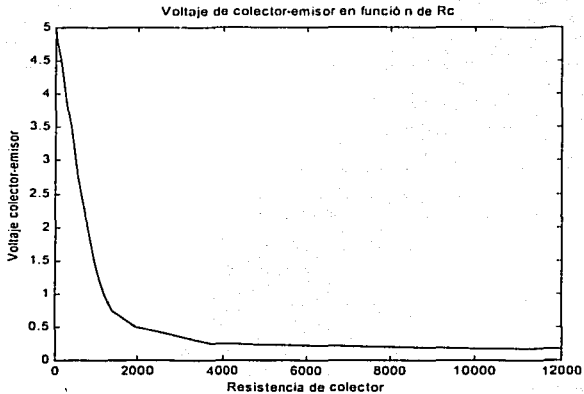
$$V_{OH} - V_{OL} = 5.00V - 0.25V = 4.75V$$

Configuración del fototransistor.

Para la detección de las señales IR se utiliza un fototransistor que responde a la ventana de los 940 nm, que corresponde a la ventana de emisión del IRLED utilizado en la transmisión IR. El modelo comercial disponible de fototransistor es el PT1302B-C2.

La configuración que se desea implementar es la de un relevador óptico, esto es, que en el momento de detectar una señal IR, el voltaje cambie de un de un valor de voltaje a otro; este cambio de voltaje esta relacionado con la intensidad de la señal IR y la polarización del fototransistor. La señal IR recibida por la base polariza a la unión base-emisor, teniendo un voltaje colector-emisor V_{CE} , polarizado a su vez por la resistencia R_C . Mientras el fototransistor no detecte ninguna señal IR que lo polarice, V_{CE} permanece en un nivel alto lógico, que tiene que ser mayor a 1.13 V, para que el transistor inversor en la segunda etapa permanezca en nivel lógico bajo.

En cuanto el fototransistor detecta una señal IR suficiente para que polarice la unión base-emisor, entonces V_{CE} pasa a un nivel lógico bajo, que debe ser menor a 0.7 V, para que el transistor inversor en la segunda etapa pueda pasar a un nivel lógico alto. Experimentalmente se obtuvieron los valores que se muestran gráficamente en la siguiente figura, teniendo una entrada de luz IR constante.

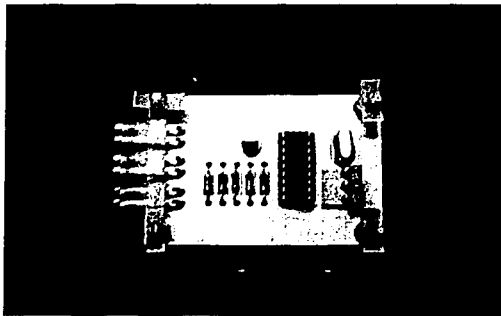


Voltaje colector-emisor del fototransistor IR.

Si el transistor inversor en la segunda etapa necesita un V_{in} menor a 0.7 V para estar en nivel lógico alto a su salida, entonces para la configuración del fototransistor anterior es necesario que V_{CE} sea igual o menor a este voltaje, entonces es suficiente una $R_C > 1.968 k\Omega$. Conforme se aumenta el valor de dicha resistencia se tendrá una regeneración de la señal con menor deformación de los bits, pero con esto se sacrifica el alcance de la transmisión. En la práctica se utiliza una resistencia de 12 kOhms; este valor se fijó por medio de pruebas en el laboratorio. Por otro lado, se aprovecha la respuesta en frecuencia del fototransistor para filtrar las señales de alta frecuencia y así dejar pasar únicamente la señal envolvente. La señal transmitida está modulada con una señal de 100 kHz, y con la respuesta del fototransistor sólo se obtiene los bits, que procesará el microcontrolador receptor.

TESIS CON
FALLA DE ORIGEN

En la figura siguiente se muestra la implementación del receptor IR diseñado.



Receptor IR.

TESIS CON
FALLA DE ORIGEN

Apéndice 4. Memoria de cálculo.

CONTENIDO

- 1. Antecedentes**
- 2. Objetivo**
- 3. Alcances**
- 4. Ubicación de sistemas del Prototipo para el cruceo de Xomalli**
- 5. Lógica de operación del Prototipo y memorias de cálculo**
 - 5.1 Operación del Prototipo y Memoria de cálculo*
 - 5.1.1 Dirección Xochimilco-Taxqueña*
 - 5.1.2 Dirección Taxqueña-Xochimilco*
 - 5.1.3 Sistema de semáforos*
 - 5.1.4 Sistema de transmisores y receptores infrarrojos*
 - 5.1.4.1 Dirección Xochimilco-Taxqueña*
 - 5.1.4.2 Dirección Taxqueña-Xochimilco*
 - 5.1.5 Ubicación de barreras automáticas: motores y plumas*
 - 5.1.5.1 Dirección Xochimilco-Taxqueña*
 - 5.1.5.2 Dirección Taxqueña-Xochimilco*
 - 5.1.6 Ubicación de sistemas láser*
 - 5.2 Barreras de contención y mecanismos de accionamiento*
 - 5.3 Interfaces electrónicas (sistemas infrarrojos, sistemas láser, imán del para-tren magnético, arrancador del sistemas de plumas)*
 - 5.4 Control de semáforos*
 - 5.5 Señalización en la cabina del tren*
 - 5.6 Protección de los sistemas del Prototipo*

I. ANTECEDENTES

Para cumplir con lo especificado en el Convenio de Colaboración firmado entre la Universidad Nacional Autónoma de México (*UNAM*) y el Servicio de Transporte Eléctrico del Distrito Federal (*STEDF*), cuyo objetivo es el diseño, construcción y prueba de un Prototipo de Señalamiento y Control de paso del Tren Ligero, se han desarrollado las actividades de planeación pertinentes a la instalación de todos los dispositivos mecánicos, eléctricos y electrónicos que formarán parte del Prototipo. El *STEDF* eligió el cruceo de Xomalli para la instalación del Prototipo, y en reuniones sostenidas tanto en el Instituto de Investigaciones en Materiales de la *UNAM* (*IIM-UNAM*) como en las oficinas de la Gerencia de Ingeniería del *STEDF*, se analizaron y se planearon las modificaciones necesarias al cruceo para la instalación y operación adecuada de los sistemas requeridos en el Prototipo.

Después de un par de visitas al cruceo de Xomalli, se identificaron los puntos conflictivos de la zona y se planearon las modificaciones y la obra civil requerida para instalar los componentes del Prototipo. Se realizaron dos visitas al cruceo para verificar la escala y los datos contenidos en los planos con los que se contaba para el desarrollo de esta parte del proyecto.

Los anexos de este documento muestran los lugares en los que deberán ubicarse dispositivos tales como los sistemas de transmisores y receptores infrarrojos, sistemas de detección láser, computador central del cruceo, así como también la ubicación de los motores de las barreras de contención (plumas). Para estas últimas, se anexan también los planos del sistema mecánico (motores, juegos de engranes, etc.), tanto en conjunto como para cada pieza a utilizar en esta parte del Prototipo. Cabe aclarar que debido a las diferentes modificaciones requeridas en el cruceo, es muy probable que algunos de los elementos mecánicos utilizados en el sistema de plumas requieran ajustes mínimos. Estos se realizarán durante la instalación del Prototipo y se indicarán como corresponde en el reporte de instalación. Asimismo, hasta la fecha de elaboración de este documento, ni la *UNAM* ni el *STEDF* contaban con planos que indicaran la distribución de los ductos que la Dirección General de Control de Semáforos utiliza para los semáforos ubicados en el cruceo de Xomalli. Esta información, junto con los detalles del sistema de control del semáforo maestro, tendrá que ser proporcionada por dicha Dirección y se incluirá en el reporte de instalación.

2. OBJETIVO

Establecer y señalar las condiciones mínimas necesarias para la instalación del Prototipo de Señalamiento y Control de paso del Tren Ligero. Indicar en planos a detalle la localización de cada elemento a utilizar en el Prototipo, esto es, señalar en el plano a escala del crucero de Xomalli la ubicación de sistemas tales como transmisores y receptores infrarrojos, sistemas láser de detección de invasión de vías, computador central del crucero, y sistemas de plumas. Asimismo, indicar el control de tiempos para semáforos requerido en el crucero para la correcta operación del Prototipo.

3. ALCANCE

Se indicará en planos a escala del crucero de Xomalli la ubicación que deberán tener todos los sistemas eléctricos, electrónicos y mecánicos que conforman el Prototipo de Señalamiento y Control de Paso del Tren Ligero.

4. UBICACIÓN DE SISTEMAS DEL PROTOTIPO PARA EL CRUCERO DE XOMALLI

La ubicación de cada uno de los sistemas utilizados para el Prototipo de Señalamiento y Control de Paso se realizó con la ayuda de un plano a escala del crucero de Xomalli (Plano I), proporcionado a la UNAM por el *STEDF*. Para verificar la escala del plano y la localización de los sistemas de semáforos, se realizaron dos visitas a dicho crucero en las que se tomaron mediciones, fotografías y video para ser utilizados como material de apoyo en etapas posteriores. Con esto, se identificaron y marcaron las modificaciones necesarias al crucero que requerirán de obra civil para la colocación de los sistemas involucrados en el Prototipo (Plano II).

Los planos generados para la instalación de todos sistemas que conforman el prototipo se incluyen en el Anexo I. Para propósitos de claridad, se incluyen cinco planos en los que se pueden localizar los siguientes elementos:

• *Plano I.* Plano original proporcionado por el *STEDF*.

• *Plano II.* Además de los semáforos ya instalados en el crucero, se muestran las modificaciones (obra civil) requeridas en el crucero para la instalación de los

sistemas que conforman el Prototipo: isleta de retorno (vuelta en U), extensiones en barreras de contención del tren y en baquetas.

Plano III. Motores y plumas de contención.

Plano IV. Computador central del crucero, sistemas de transmisores y receptores infrarrojos, sistemas láser, imanes del sistema de para-tren magnético y señalamientos (advertidores) de velocidad para operador del tren.

Plano V. Plano general de Prototipo de Señalamiento y Control de Paso del Tren Ligero en el que se muestran todos los sistemas en conjunto.

La lógica de operación del Prototipo se detalla en las siguientes secciones. Las referencias a los distintos sistemas, por ejemplo, semáforos, plumas y transmisores y receptores infrarrojos, se realizan de acuerdo a la nomenclatura indicada en los planos, mientras que cada sistema puede ser localizado en el plano correspondiente de acuerdo a la lista proporcionada en el párrafo anterior. Una vez más, para propósitos de claridad, la lógica de operación, que incluye la memoria de cálculo para la ubicación de los sistemas en el crucero, se desglosa en distintas secciones.

5. LÓGICA DE OPERACIÓN DEL PROTOTIPO Y MEMORIAS DE CÁLCULO

La lógica de operación del Prototipo se desarrolló en conjunto con los Ingenieros Mario Alberto Silva López y José Alberto Guerrero Molina, Gerente de Ingeniería y Subgerente de Innovación Tecnológica del *STEDF*, respectivamente. Para esto, se siguieron las normas establecidas en la especificación técnica que se incluye como Anexo I dentro del Convenio.

5.1 OPERACIÓN DEL PROTOTIPO Y MEMORIA DE CÁLCULO

La activación y operación del Prototipo se describe en dos partes divididas de acuerdo al sentido de circulación del tren.

5.1.1 DIRECCIÓN XOCHIMILCO-TAXQUEÑA

El tren es detectado al llegar al andén de la estación Xomalli (ver sección de sistema de rayos infrarrojos), el sistema se activa y funciona de acuerdo a la lógica de operación

estipulada en la especificación técnica. Por la cercanía del andén al cruce, se debe iniciar el armado del sistema de seguridad una vez que el tren se detiene, de otra manera, el tiempo necesario para que el sistema entre en operación sería insuficiente. Una vez detectado el tren, la secuencia de operación es la siguiente (las referencias numerales y letras están indicadas en los planos anexos):

Las Señales visuales y audibles (campana ferroviaria y luces estroboscópicas) se activan y permanecen de este modo hasta que las plumas de contención del sistema de barreras automáticas lleguen a su posición horizontal bloqueando el paso a vehículos y transeúntes.

Los semáforos que controlan el flujo de la calle forestal y Av. México-Xochimilco en sus dos direcciones cambian a rojo. Se considera que la transición de verde a rojo pasando por luz ámbar (preventiva), tiene una duración total de 4 segundos (ver sistema de semáforos).

Los semáforos que se localizan en la parte poniente del cruce y que controlan el flujo de la calle forestal deberán ser activados inmediatamente a luz verde por un lapso de 20 segundos, para permitir que el cruce se libere de vehículos, de tal forma que el flujo vehicular de esta calle siga detenido; inmediatamente inicia la transición a rojo (ver sistemas de semáforos).

La secuencia anterior da un tiempo total de 24 segundos para el desalojo del cruce. Una vez que transcurrido este tiempo, las plumas comienzan a bajar de acuerdo a la siguiente secuencia:

Bajan las plumas A1, A2 y C.

Después de 4 segundos bajan las plumas B1, B2 y D.

Considerando que cada pluma tarda 8 segundos para pasar de vertical a horizontal, el tiempo total para que todas las plumas cierren el paso al cruce es de 12 segundos. Para proteger las plumas, se activarán los sistemas láser alineados con estas para detectar posibles bloqueos en el descenso. En caso de que los sistemas láser detecten esta

condición, se registrará una condición de emergencia y el sistema procederá con la secuencia establecida en la especificación técnica.

Cuando todas las plumas se encuentran en posición horizontal se activan los sistemas láser. El tiempo total para el armado completo del sistema de seguridad (alarmas, plumas y sistemas láser) es de 36 segundos.

5.1.2 DIRECCIÓN TAXQUEÑA- XOCHIMILCO

El tren ligero es detectado a 250.00 metros del cruce, con sentido de Taxqueña a Xochimilco, a una velocidad de 20 km/h y el sistema se activa de la siguiente manera:

- ☞ Las Señales visuales y audibles (campana ferroviaria y luces estroboscópicas) se activan y permanecen de este modo hasta que las plumas de contención del sistema de barreras automáticas lleguen a su posición horizontal bloqueando el paso a vehículos y transeúntes.
- ☞ Los semáforos que controlan el flujo de la calle forestal y Av. México-Xochimilco en sus dos direcciones cambian a rojo. Se considera que la transición de verde a rojo pasando por luz ámbar (preventiva), tiene una duración total de 4 segundos (ver sistema de semáforos).
- ☞ Los semáforos que se localizan en la parte poniente del cruce y que controlan el flujo de la calle forestal deberán ser activados inmediatamente a luz verde por un lapso de 20 segundos, para permitir que el cruce se libere de vehículos, de tal forma que el flujo vehicular de esta calle siga detenido; inmediatamente inicia la transición a rojo (ver sistema de semáforos).

Una vez evacuado el cruce en los 24 segundos estimados en el párrafo anterior, las plumas se activan de la siguiente manera:

- ☞ Bajan las plumas A1, A2 y C.
- ☞ Después de 4 segundos bajan las plumas B1, B2 y D.

Considerando que cada pluma tarda 8 segundos para pasar de vertical a horizontal, el tiempo total para que todas las plumas cierren el paso al crucero es de 12 segundos. Para proteger las plumas, se activarán los sistemas láser alineados con estas para detectar posibles bloqueos en el descenso. En caso de que los sistemas láser detecten esta condición, se registrará una condición de emergencia y el sistema procederá con la secuencia establecida en la especificación técnica.

Cuando todas las plumas se encuentran en posición horizontal se activan los sistemas láser. Toda esta operación tiene un tiempo completo estimado de 36 segundos. El tren se detecta a una velocidad de 20 km/h y en este tiempo se recorren 200 metros. En este momento el tren estará ubicado a 50.00 metros del inicio del crucero, que a 20 km/h serán recorridos en un tiempo estimado de 9 segundos.

Para esta dirección se tiene estimado que el tren llegue al crucero, en 45 segundos a partir de su detección a 250.00 metros antes del crucero.

5.1.3 SISTEMA DE SEMÁFOROS

Cuando el tren es detectado en cualquiera de las dos direcciones la computadora central envía al semáforo maestro una señal para que todos los semáforos, independientemente del estado en que se encuentren, funcionen de la siguiente manera:

- ↯ El semáforo 1 cambia a verde, para indicar a los trenes que el paso por el crucero esta libre.
- ↯ Los semáforos 2a y 2b cambian a rojo, con una transición de 4 segundos en amarillo; en caso de encontrarse en rojo, permanecen igual.
- ↯ El semáforo 3 cambia a rojo, con una transición de 4 segundos en amarillo; en caso de encontrarse en rojo permanece igual.
- ↯ El semáforo 4 cambia a rojo, con una transición de 4 segundos en amarillo; en caso de encontrarse en rojo permanece igual.
- ↯ El semáforo 5a cambia a rojo, con una transición de 4 segundos en amarillo; en caso de encontrarse en rojo permanece igual. El semáforo 5b cambia a verde y permanece en verde durante 20 segundos; inmediatamente pasa a rojo con una transición de 4 segundos en amarillo.

- ◄El semáforo 6a cambia a verde y permanece así durante 20 segundos para permitir el desalojo vehicular del cruce; inmediatamente después pasa a rojo, con una transición de 4 segundos en amarillo. El semáforo 6b cambia a rojo, con una transición de 4 segundos en amarillo; en caso de encontrarse en rojo permanece igual.
- ◄El semáforo 7 cambia a verde y permanece así durante 20 segundos para permitir el desalojo vehicular del cruce; inmediatamente después pasa a rojo, con una transición de 4 segundos en amarillo.
- ◄Los semáforos 5b, 6a y 7 son los que permitirán el desalojo vehicular y peatonal del cruce. Los demás cambiarán su estado a rojo.

5.1.4 SISTEMA DE TRANSMISORES Y RECEPTORES INFRARROJOS

Todos los dispositivos transmisores y receptores infrarrojos están ubicados a 0.42 metros de la vía, en el costado derecho tomando como referencia el sentido de marcha del tren.

5.1.4.1 Dirección Xochimilco-Taxqueña

El tren ligero es detectado en el andén por un receptor de infrarrojos (Rx1) que quedará alineado con la parte frontal del tren al tiempo de su llegada. A 4.03 metros de distancia del receptor infrarrojo Rx1 se encuentra un transmisor infrarrojo (Tx1) que mandará una señal al tren ligero en caso de presentarse bloqueo en vías o cualquier situación que impida el libre paso del tren en el cruce y activará el sistema de frenado emergente del tren. Como sistema redundante para frenado emergente, el Para-Tren (imán) se coloca a 15.13 metros de dicho transmisor.

A 4.09 metros del inicio del cruce se encuentra un receptor de infrarrojos (Rx2) que detectará la proximidad del tren ligero, con el fin de desactivar los sistemas láser para el libre paso del mismo por el cruce.

A 0.69 metros del final del cruce se encuentra un receptor de infrarrojos (Rx3) que detectará cuando el tren haya finalizado el cruce satisfactoriamente para que el sistema inicie el ascenso de las plumas de contención y reactivar el sistema de semáforos en su operación normal para restablecer el flujo vehicular y peatonal.

5.1.4.2 Dirección Taxqueña-Xochimilco

El tren ligero es detectado por un receptor de infrarrojos (Rx4) ubicado a 250.00 metros del inicio del cruceo.

A 50 metros del inicio del cruceo se encuentra un transmisor infrarrojo (Tx2) que mandará una señal al tren ligero en caso de presentarse bloqueo en vías o cualquier situación que impida el libre paso del tren en el cruceo y activará el sistema de frenado emergente del tren. Como sistema redundante para frenado emergente, el Para-Tren (imán) se coloca a 18.00 metros del inicio del cruceo.

A 4.50 metros del inicio del cruceo se encuentra un receptor de infrarrojos (Rx5) que detectará la proximidad del tren ligero, con el fin de desactivar los sistemas láser para el libre paso del mismo por el cruceo.

A 2.32 metros del final del cruceo se encuentra un receptor de infrarrojos (Rx3) que detectará cuando el tren haya finalizado el cruce satisfactoriamente para que el sistema pueda iniciar el ascenso de las plumas de contención y reactivar el sistema de semáforos en su modo normal para restablecer el flujo vehicular y peatonal.

5.1.5 UBICACIÓN DE BARRERAS AUTOMÁTICAS: MOTORES Y PLUMAS

En el cruceo se tienen 6 sistemas de barreras automáticas controladas por el computador central. Estas deben ubicarse de la siguiente manera:

5.1.5.1 Dirección Xochimilco-Taxqueña

Se consideran 3 barreras dispuestas a lo largo del cruceo para impedir el flujo vehicular (frente y retorno) y peatonal. La base de concreto requerida para cada sistema tiene un área de 0.60 x 0.80 metros.

La primer barrera (pluma A1) se localiza centrada sobre el tramo oriente de la isleta de retorno Sur-Norte a 5.35 metros de la orilla de dicho tramo. La segunda (pluma A2) y tercer barrera (pluma D) están alineadas a la primera a 16 metros atrás y 6.85 metros al frente respectivamente (ver Plano III anexo).

La longitud de las plumas de la primera y segunda barrera automática es de 7.80 metros y la longitud de la tercera es de 6.00 metros.

5.1.5.2 Dirección Taxqueña-Xochimilco

Se consideran 3 sistemas dispuestos a lo largo del cruce para impedir el flujo vehicular (retorno) y peatonal. La base de concreto requerida para cada sistema tiene un área de 0.60 x 0.80 metros.

La primera barrera (pluma B1) se localiza centrada sobre el tramo poniente de la isleta de retorno Sur-Norte a 0.43 metros de la orilla de dicho tramo. La segunda y tercera barrera están alineadas a la primera a 16.77 metros de frente y 7.36 metros atrás respectivamente (ver Plano III anexo).

La longitud de las plumas de las dos primeras barreras automática es de 8.00 metros y la longitud de la tercera es de 6.00 metros.

5.1.6 UBICACIÓN DE SISTEMAS LÁSER

Las bases de los cajones que contendrán tanto a los dispositivos láser transmisores como a los receptores tienen una dimensión en su base de 0.40 x 0.40 metros.

Se requiere de tres dispositivos láser receptores ubicados del lado en que se encuentra el andén para el tren ligero. El cajón central de receptores se encuentra ubicado exactamente en el límite hacia el cruce de la plataforma de acceso peatonal, y equidistante a ambas vías del tren ligero, a una distancia de 3.00 metros. Este cajón contiene dos receptores para detectar igual número de rayos láser.

El cajón de receptores que se localiza en el sentido Xochimilco-Taxqueña se encuentra ubicado en la isleta de vuelta a la izquierda a 3.63 metros del inicio del cruce y a 0.37 metros de la orilla interior de la misma. Este cajón contiene tres receptores para detectar igual número de rayos láser.

El cajón de receptores que se encuentra en el sentido Taxqueña-Xochimilco se ubica a 0.67 metros del inicio del cruce y a 0.14 metros del límite exterior de la banqueta. Este cajón contiene tres receptores para detectar igual número de rayos láser.

El sistema cuenta en total con 8 rayos láser para ser detectados por los tres cajones de receptores. Tres dispositivos láser transmisores se ubican del lado contrario en que se encuentra el andén para el tren ligero.

El cajón de transmisores central se encuentra alineado con el cajón de receptores láser central, a una distancia de 21.05 metros, equidistante a ambas vías del tren ligero, a una distancia de 3.00 metros. Este cajón de transmisores contiene 2 rayos láser.

El cajón de transmisores que se encuentra en el sentido Xochimilco-Taxqueña, se ubica a 1.40 metros del inicio del cruce y a 0.37 metros del límite interior de la banqueta. Este cajón de transmisores contiene 3 rayos láser.

El cajón de transmisores que se encuentra en el sentido Taxqueña-Xochimilco, se ubica a 4.71 metros del inicio del cruce y a 0.08 metros del límite interior de la banqueta. Este cajón de transmisores contiene 3 rayos láser. En total se tienen 8 rayos láser contenidos por los tres cajones de transmisores.

5.2 BARRERAS DE CONTENCIÓN Y MECANISMOS DE ACCIONAMIENTO

El mecanismo tipo que se utilizará para accionar las plumas del cruce de Xomalli se muestra en la Figura 1, dentro de los documentos incluidos en el Anexo 2. Básicamente está constituido por un motor (Figura 2), un reductor (Figura 2), un arrancador reversible (Figura 3), y un tren de engranes (Figuras 4.1 a 4.3) que finalmente acciona la barra de contención (Figura 5).

El motor utilizado es eléctrico de inducción cerrado de ½ HP, trifásico 220/440 Voltios para trabajo continuo las 24 horas. Tiene 870 RPM de entrada, acoplado directamente al Reductor horizontal con una relación de 240:1, para obtener una salida de 3.6 RPM, con un factor de seguridad de 1.7.

El arrancador es un dispositivo reversible de 220 Voltios, con tres botones (arranque-paro-reversa), contenido en un gabinete de polipropileno a prueba de agua y polvo. Al accionarse el arrancador y cuando la pluma se encuentra en posición vertical inicia el proceso de desplazamiento hasta al alcanzar la posición horizontal, manteniéndola así hasta recibir la señal que active la reversa.

El tren de engranes está constituido por un piñón de 4" de diámetro con paso diametral de 8 plg^{-1} fabricado en acero 4140 Nitruado, que se acopla directamente a la flecha de salida del moto-reductor, ensamblándose con un engrane de media luna o sector de 8" de diámetro para transmitir el movimiento a través de una flecha directamente hasta

el soporte de la barrera (perfil estructural de canal en U) que a su vez contiene el contrapeso (placas de acero de diferentes espesores).

La Barra es de poliéster - fibra de vidrio con una longitud de brazo de 8m (4 piezas), y dos piezas de 4m, hueca, rectangular de 3x8 pulgadas de 1/2cm de grosor de intercambio fácil en caso de siniestros, portando al centro una cruz del mismo material. Con la finalidad de incrementar la señalización en cada una de las barras se incorporaran dos luces estroboscópicas blancas en sus extremos, una lámpara de alta intensidad de color rojo al centro de la barra y una alarma electrónica de 120 Db.

La caja que aloja todo el conjunto del mecanismo y de la barrera con su respectivo soporte y contrapesos, esta fabricada de ángulo y placas de acero con diferentes espesores y con tapa de fibra de vidrio. Cabe mencionar que todo el conjunto debe ser fijado sobre una base de concreto, con dimensiones y características que se regirán por la posición de la pluma en el crucero. Por su concepción, la caja recibe los cables por la parte inferior, para sus conexiones externas.

El mecanismo tipo en general fue desarrollado para que cada uno de los elementos constitutivos tengan la durabilidad, funcionalidad, y rendimiento optimo de desempeño requerido por las normas especificadas y las condiciones, climatológicas y de seguridad del Distrito Federal, con la ventaja de que estos componentes puedan ser fácilmente intercambiables y el daño o avería no afecte al conjunto. Asimismo, el reemplazo de cada elemento del mecanismo puede efectuarse lo mas rápido posible en la parte operativa del mantenimiento preventivo o correctivo.

5.3 INTERFACES ELECTRÓNICAS (SISTEMAS INFRARROJOS, SISTEMAS LÁSER, IMÁN DEL PARA-TREN MAGNÉTICO, ARRANCADOR DEL SISTEMA DE PLUMAS)

Las interfaces electrónicas entre los distintos sistemas que componen el Prototipo y el computador central del crucero se desarrollarán de acuerdo a los requerimientos específicos de cada uno de ellos. Después de analizar la disponibilidad de entradas y salidas en el computador, se decidió utilizar el puerto USB para establecer la comunicación con los sistemas de transmisión y recepción de rayos infrarrojos. El resto de los sistemas, esto es, las plumas, emisores y receptores láser y la bobina del para-tren serán controlados a través de la tarjeta de adquisición de datos que forma parte del computador central.

Los sistemas láser, el sistema para-tren y los arrancadores de los motores utilizados en las plumas, todos serán accionados por una señal de control proveniente del computador central. Para estos sistemas, se ha elegido el uso de relevadores de estado sólido y se han seleccionado los más adecuados de acuerdo a los requerimientos eléctricos de cada sistema en particular.

Para los sistemas infrarrojos se utilizará el puerto USB del computador central. En este caso, se desarrollará una interfase que permita establecer comunicación directa entre el computador y los transmisores y receptores infrarrojos. En particular, se ha elegido un microprocesador de la familia PIC que permite realizar este tipo de enlaces, y únicamente resta por definir el protocolo más adecuado para establecer la comunicación entre ambos sistemas.

5.4 CONTROL DE SEMÁFOROS

Hasta la fecha de la elaboración de este documento no se tiene información adecuada para detallar los procedimientos a seguir para controlar el semáforo maestro del crucero. A través del *STEDF* se ha tratado de concertar una cita con la Dirección General de Control de Semáforos con el fin de obtener la información requerida, sin embargo, no se ha proporcionado información alguna. Se espera que en las próximas semanas se obtengan detalles referentes al controlador lógico programable (PLC) utilizado en el semáforo maestro, así como también planos que muestren los ductos para el cableado de los semáforos.

5.5 SEÑALIZACIÓN EN LA CABINA DEL TREN

Después de dos visitas al taller del Tren Ligero se ha elegido, en conjunto con personal del taller, la ubicación de los tableros de señalización con alarmas visuales y el juego de transmisor-receptor infrarrojo que se colocarán en el tren. Asimismo, se han analizado ya las posibilidades de ubicar la electrónica que deberá colocarse en el tren, tanto para el tablero de señalización como para el transmisor y el receptor de rayos infrarrojos que deberá colocarse en el tren.

5.6 PROTECCIÓN DE LOS SISTEMAS DEL PROTOTIPO

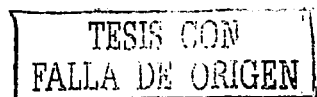
Todos los componentes anteriormente mencionados se protegerán del medio ambiente utilizando gabinetes adecuados para este fin. La localización de estos gabinetes se muestra en los planos correspondientes.

Apéndice 5. Códigos para comunicación PC-104 – PIC16F877.

Código para la comunicación de la PC-104 al PIC16F877.

Objeto	Método	Bit Par (7)	Bits objeto (6-5-4-3)	Bits método (2-1-0)	Palabra completa	Hex.	Dec.	ASCII
Alarma Sonora	Desactivar	1	0001	000	10001000	88	136	è
	Activar	0	0001	001	00001001	09	9	?
Alarma Visual	Desactivar	0	0001	010	00001010	0A	10	?
	Activar	1	0001	011	10001011	8B	139	ï
Malla láser	Desactivar	1	0010	000	10010000	90	144	È
	Activar	0	0010	001	00010001	11	17	?
Motores A	Adelante	1	0011	001	10011001	99	153	Ó
	Atrás	1	0011	010	10011010	9A	154	U
	Stop	0	0011	011	00011011	1B	27	?
Motores B	Adelante	0	0100	001	00100001	21	33	!
	Atrás	0	0100	010	00100010	22	34	"
	Stop	1	0100	011	10100011	A3	163	ú
Paratren A y B	Desactivar	0	0101	000	00101000	28	40	(
	Activar	1	0101	001	10101001	A9	169	©
Transmisores IR A y B	Desactivar	1	0111	000	10111000	B8	184	©
	Activar	0	0111	001	00111001	39	57	9
Laser de seguridad A	Desactivar	1	1000	0	11000000	C0	192	+
	Activar	0	1000	001	01000001	41	65	A
Laser de seguridad B	Desactivar	0	1000	010	01000010	42	66	B
	Activar	1	1000	011	11000011	C3	195	+
Semáforos	Activar	1	1001	001	11001001	49	73	!
	Desactivar	1	1001	010	11001010	CA	202	-

Tabla 1.



Código para la comunicación del PIC16F877 a la PC-104.

Objeto	Método	BitPar (7)	Bits objeto (6-5-4-3)	Bits método (2-1-0)	Palabra completa	Hox.	Dec.	ASCII
Rx1 IR	Recepcion	0	1011	001	01011001	59	89	Y
Rx2 IR	Recepcion	0	1011	010	01011010	5A	90	Z
Rx3 IR	Recepcion	1	1011	011	11011011	DB	219	
Rx4 IR	Recepcion	0	1011	100	01011100	5C	92	\
Rx5 IR	Recepcion	1	1011	101	11011101	DD	221	!
Rx6 IR	Recepcion	1	1011	110	11011110	DE	222	
No bloqueo malla láser	Encendido	1	1100	001	11100001	E1	225	+
No bloqueo láser seg A	Encendido	1	1100	010	11100010	E2	226	ó
No bloqueo láser seg B	Encendido	0	1100	011	01100011	63	99	c
Bloqueo malla láser	Encendido	1	1100	100	11100100	E4	228	ö
Bloqueo láser seg A	Encendido	0	1100	101	01100101	65	101	e
Bloqueo láser seg B	Encendido	0	1100	110	01100110	66	102	f
Reset 0	Encendido	0	1101	001	01101001	69	105	i
Reset 1	Encendido	0	1101	010	01101010	6A	106	j
Reset 2	Encendido	1	1101	011	11101011	EB	235	U
Reset 3	Encendido	0	1101	100	01101100	6C	108	l
Reset 4	Encendido	0	1101	101	01101101	6D	109	m

Tabla 2.

**TESIS CON
FALLA DE ORIGEN**

Apéndice 6. Cálculos de Velocidad y de error de Transmisión Serial en el PIC16F877.

El Baud Rate Generador (BRG) del USART soporta ambos modelos de USART, ya sea síncrono o asíncrono. Este esta dedicado a generar el rango de baudios de 8 bits. El registro SPBRG controla el periodo de carrera libre del temporizador de 8 bits. En modo asíncrono el bit BRGH (en registro TXSTA<2>) también controla el rango de baudios. En modo síncrono el bit BRGH es ignorado. Las tablas siguientes muestran las formulas para la computación del rango de baudios para diferentes modos USART los cuales solo aplica en modo maestro, con reloj interno.

Dado un rango de baudios decidido, y un frecuencia de oscilación, lo siguiente es integrar el valor para el registro SPBRG que se calcula utilizando la formula siguiente, además del cálculo del rango de baudios de error que puede ser determinado.

$$\begin{aligned}
 F_{osc} &? 8\text{MHz} \\
 \text{Rangodebaudios} &? 1200 \\
 \text{BRGH} &? 0 \\
 \text{SYNC} &? 0 \\
 \text{Rangodebaudios} &? \frac{F_{osc}}{32 \cdot X \cdot 1??}
 \end{aligned}$$

TABLE 10-1 BAUD RATE FORMULA

SYNC	BRGH = 0 (Low Speed)	BRGH = 1 (High Speed)
0	(Asynchronous) Baud Rate = $F_{osc}/(64(X+1))$	Baud Rate = $F_{osc}/(16(X+1))$
1	(Synchronous) Baud Rate = $F_{osc}/(1(X+1))$	NA

X = value in SPBRG (0 to 255)

Tabla 1.

Dado que la velocidad decidida es baja, se deduce que el bit BRGH es igual a cero, y por lo tanto para el bit SYNC también se tiene cero debido a que es una comunicación asíncrona como se observa en la tabla 1 (TABLE 10-1). Lo siguiente que se busca con la tabla 2 (TABLE 10-4) es una velocidad de 8 MHz

que es el cristal de reloj utilizado, y con una velocidad de 1.2 KBAUD (como se muestra), el valor en decimal despejado de formula de:

$$1200 \cdot \frac{8000000}{64 \cdot X \cdot 1}$$

$$X \cdot 103.6$$

que esta en decimal, por lo que en hexadecimal corresponde a 68. Ahora para el cálculo del error:

$$\text{Rangodebauds calculado} \cdot \frac{8000000}{64(104 \cdot 1)} \cdot 1190.47$$

y el error es:

$$\text{Error} \cdot \frac{\text{Rangodebauds calculado} \cdot \text{Rangodebauds decidido}}{\text{Rangodebauds desidido}}$$

$$\text{Error} \cdot \frac{1190 \cdot 1200}{1200} \cdot 0.00833$$

TABLE 10-4 BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 0)

BAUD RATE (K)	FREQ. = 20 MHz			16 MHz			10 MHz			1.5000 MHz		
	KBAUD	ERROR	% ERROR	KBAUD	ERROR	% ERROR	KBAUD	ERROR	% ERROR	KBAUD	ERROR	% ERROR
0.3	NA			NA			NA			NA		
1.2	1.201	+1.73	25%	1.202	+0.10	207	1.202	+0.10	129	1.203	+0.23	92
2.4	2.401	+0.96	129	2.404	+0.10	10.8	2.401	+0.10	6.1	2.399	-0.23	36
9.6	9.609	1.36	32	9.616	+0.10	25	9.766	+1.73	15	9.322	-2.90	11
19.2	19.53	+1.73	15	19.23	+0.10	12	19.53	+1.73	7	18.64	-2.90	5
76.8	76.13	-1.73	3	83.33	+2.51	7	78.13	+1.73	1	NA		
50	101.2	+0.54	2	NA			NA			NA		
300	312.5	+1.17	0	NA			NA			NA		
600	NA			NA			NA			NA		
1192.4	1192	0	0	NA			1192.3		0	111.9		0
1190	1.221	25%	0.977	25%	0.0104		25%	0.437				

BAUD RATE (K)	FREQ. = 0.009 MHz			1 MHz			3579545 Hz			1 MHz			32,768 kHz		
	KBAUD	ERROR	% ERROR	KBAUD	ERROR	% ERROR	KBAUD	ERROR	% ERROR	KBAUD	ERROR	% ERROR	KBAUD	ERROR	% ERROR
0.3	0.31	+0.13	25%	0.305	-0.17	-207	0.301	-0.23	-186	0.300	-0.10	-51	0.299	-11.67	-1
1.2	1.2	0	0%	1.202	+1.67	51	1.193	-0.83	-81	1.202	+0.10	12	NA		
2.4	2.4	0	0%	2.404	+1.67	25	2.432	+1.32	22	2.332	-0.99	-6	NA		
9.6	9.6	+1.13	7	NA			9.322	-2.90	5	NA			NA		
19.2	19.8	+1.13	3	NA			18.64	-2.90	2	NA			NA		
76.8	79.2	+1.13	0	NA			NA			NA			NA		
50	NA			NA			NA			NA			NA		
300	NA			NA			NA			NA			NA		
600	NA			NA			NA			NA			NA		
1192.4	1192	0	0	1192.000	0	0	55.93	0	15.63	0	0.517	0	0		
1190	0.1094	25%	3.906	25%	0.2185		25%	0.0610		25%	0.0020		25%		

Tabla 2. BRGH = 0.

TABLE 10-5 BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 1)

BAUD RATE (b)	F0RSC 120MHz		SPBRG value (decimod)		10MHz		SPBRG value (decimod)		10MHz		SPBRG value (decimod)		2 to 10MHz		SPBRG value (decimod)	
	KBAUD	ERRR	%		KBAUD	ERRR	%		KBAUD	ERRR	%		KBAUD	ERRR	%	
96	3715	+0.16	126		3715	+0.16	126		3715	+0.16	126		9520	0.81	16	
192	19230	+0.16	61		19230	+0.16	61		19230	+0.16	61		19150	+1.12	22	
384	37878	+1.37	12		38461	+0.16	25		39062	+1.7	15		37292	-2.90	11	
576	56818	1.36	21		56823	+7.12	16		56318	1.36	10		55730	-2.90	7	
1152	112030	1.36	10		111111	155	2		125	-2.51	1		111800	-2.96	3	
230	230	0	1		250	0	3		NA				NA			
460	460	0	1		NA				NA				NA			
920	920	0	6		NA				NA				NA			

BAUD RATE (b)	F0RSC 5.0MHz		SPBRG value (decimod)		1MHz		SPBRG value (decimod)		5.0MHz		SPBRG value (decimod)		2 to 10MHz		SPBRG value (decimod)	
	KBAUD	ERRR	%		KBAUD	ERRR	%		KBAUD	ERRR	%		KBAUD	ERRR	%	
96	31	0	52		NA				1771	-1.52	22		8708	0.91	6	
192	19145	-2.94	16		1202	+0.12	207		15143	-2.60	11		20833	+8.51	2	
384	394	+3.12	7		2403	+0.13	103		37286	-2.90	5		3125	+8.51	1	
576	528	-8.31	5		9815	+0.10	25		55930	-2.60	3		625	+8.51	0	
1152	1056	-8.51	2		19231	+0.10	12		111860	-2.60	1		NA			
230	NA				NA				222721	10.51	0		NA			
460	NA				NA				NA				NA			
920	NA				NA				NA				NA			

Tabla 3. BRGH = 1.

TESIS CON FALLA DE ORIGEN

Apéndice 7. Conexión del PIC16F877 con los diferentes dispositivos del Sistema Prototipo.

Se tiene una descripción de conexión física entre los dispositivos del sistema prototipo, el microcontrolador PIC16F877 y la PC-104.

Vcc	1	RB7	40	Reset	
Rx1 láser seguridad	2	RA0	RB6	39	Rx malla láser
Rx2 láser seguridad	3	RA1	RB5	38	salida lado B
Reset	4	RA2	RB4	37	salida lado A
Reset	5	RA3	RB3	36	entrada lado B
Reset	6	RA4	RB2	35	entrada lado A
Reset	7	RA5	RB1	34	aprox lado B
Tx IR en vias	8	RE0	RB0	33	aprox lado A
NC	9	RE1		32	Vcc
NC	10	RE2		31	GND
Vcc	11		RD7	30	Paratren
GND	12		RD6	29	Semáforo
Cristal 8MHz In	13	CLK IN	RD5	28	Reversa B
Cristal 8MHz Out	14	CLK OUT	RD4	27	Reversa A
Tx1 láser seguridad	15	RC0	RC7	26	Rx al MAX232
Tx2 láser seguridad	16	RC1	RC6	25	Tx al MAX232
Alarma sonora	17	RC2	RC5	24	Tx malla láser
Alarma visual	18	RC3	RC4	23	NC
Arrancador A	19	RD0	RD3	22	Stop B
Arrancador B	20	RD1	RD2	21	Stop A

Diagrama 1. Conexión del PIC16F877.

En este diagrama se puede observar el PIC16F877 que muestra cada uno de los dispositivos conectados de los cuales se recibe alguna señal, donde los pines RC6 y RC7 son para la transmisión y recepción por puerto serie respectivamente.

Para conectar los puertos del PIC a la tarjeta basada en relevadores donde se controlan todos los dispositivos del sistema se utiliza un cable plano de 20 pines, el cual presenta el siguiente arreglo:

Arrancador B	1	RD1	RD2	2	Stop A
Arrancador A	3	RD0	RD3	4	Stop B
Alarma Visual	5	RC3	RD4	6	Reversa A
Alarma Sonora	7	RC2	RD5	8	Reversa B
Tx Malla láser	9	RC5	RD6	10	Semáforo
Tx2 láser seguridad	11	RC1	RD7	12	Paratren
Tx1 láser seguridad	13	RC0	GND	14	
Rx2 láser seguridad	15	RA5	Vcc	16	
Rx1 láser seguridad	17	RA4	RB6	18	Rx Malla láser
	19	NC	NC	20	

Diagrama 2. Conexión con cable plano con los subsistemas del Sistema Prototipo.

TESIS CON
FALLA DE ORIGEN

Apéndice 8. Carta de aceptación SPIE.



SPIE The International Society for Optical Engineering

OFFICIAL ACCEPTANCE LETTER

11 July 2003

SPIE Code Number: **5772B-53**

Dr. Juan Hernandez, Director
UNAM
Escuela de Estudios Avanzados
Apo Postal 70-360
04510 Mexico City DF
Mexico

Presentation Title: **Pro-type security system for the streets of the Age Town of Mexico City**
Presentation Type: **oral**
Presentation Code: **2B-04-2003**

Lead Dr.: **Juan Hernandez** (see below)

On behalf of the chairs for the conference on "Sustentable Transport of Seniors and Children, part of Optical Technologies for Industrial, Environmental, and Biological Sensing," 2nd 11 October 2003, Providence, RI USA, it is my pleasure to confirm the acceptance of the above referenced submission. Please consult pages 6 and 7 of the enclosed Authors Guide for Conference and Manuscripts for pertinent details relating to the presentation type. The Technical Program (schedule of presentations) will be e-mailed to you the last week of July and mailed to you the first week of August for the approximate time of your presentation, and will include a hotel accommodation form, a complete list of local presentations and special events, and a registration form.

Four (4) conditions are expected to:

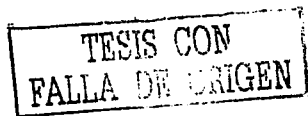
- **Refer to the SPIE Code Number 5772B-53** in all correspondence about this presentation.
- **Obtain a visa if necessary.** Begin the visa application process well in advance of your requirements and the application process. Please use the letter of acceptance as your letter. SPIE staff cannot assist you with the visa application process, but can provide reference to SPIE staff. The embassy or consulate on your behalf to provide support for obtaining a visa.
- **Register for the meeting.** All authors, including invited and keynote speakers, only reduced fees that include accommodations and breakfast, but the authors pay for their own travel expenses.
- **Present your paper** at the meeting. If you are unable to present the paper, please notify me immediately so we can remove the presentation from the program. SPIE does not publish manuscripts that will not be presented at the meeting.
- **Submit a manuscript before 12 September 2003.** It is most expected that the manuscript due date to SPIE is received. Late manuscripts for the book of proceedings published. If you have manuscript questions, please contact your Program Chair, Juan Hernandez, at jhr@spie.org.

We look forward to your participation. Please contact me in any specific regarding your presentation or the conference, or your Proceedings Editor, for manuscript questions.

Sincerely,

Ms. Jimmie S. Spang
Technical Programs Coordinator
Phone: 781-974-5747 (ext. 600) • Fax: 1-800-832-1415 • Email: jspang@spie.org

© 2003 SPIE. All rights reserved. This document is intended for personal use only. All other rights reserved. SPIE is a registered trademark of SPIE.



Referencias y Bibliografía.

<http://www.ste.df.gob.mx>

Sistema de transporte eléctrico de la Ciudad de México.

<http://www.df.gob.mx/ciudad/reportajes/transporte>

Antecedentes sobre el transporte en la Ciudad de México. Desarrollo del transporte eléctrico del Distrito Federal.

Electronic communications systems: Fundamentals through advanced.

Tomasi, Wayne.

Englewood cliffs, New Jersey: Prentice Hall, 1988.

Fundamentals of electronic communications systems.

Tomasi, Wayne.

Englewood cliffs, New Jersey: Prentice Hall, 1988.

Digital communications: Fundamentals and applications.

Sklar, Bernard.

Englewood cliffs, New Jersey: Prentice Hall, 1988.

Analysis and design of analog integrated circuits.

Gray, Paul R., Meyer, Robert G.

New york : J. wiley, 1977.

Circuitos electrónicos : Discretos e integrados .

Schilling, Donald L., Belove, Charles.

México, D. F. : Alfaomega : Marcombo, 1991.

Diseño de circuitos con transistores. Análisis, laboratorio y problemas.

Reyes Sánchez, Marco Antonio.

Digital Interfacing with an analog world.

Carr, Joseph J.

Engineer's Mini-notebook. Communication projects.

Mims III, Forrest M.

Principios de electrónica.

Malvino, Albert Paul.

México: McGraw-Hill, 1982.

<http://library.thinkquest.org/C003776/espanol/images/espectro.gif>

Espectro electromagnético.

<http://server-die.alc.upv.es/asignaturas/LSED/2002-03/Micros/downloads/>



Teoría de microcontroladores.

<http://www.microchip.com>
Microcontroladores PIC.

<http://www.ips-mex.com>
Estructuras IPS (industrial profile systems).

Infrared technology: applications to electrooptics, photonic devices, and sensors.
Jha, A. R.
New York: J. Wiley, 2000.

<http://www.pc104.com>
Tecnologías basadas en sistemas PC-104.

<http://www.kmitl.ac.th/~kswichit/MAX232/MAX232.htm>
Puerto serie y MAX232.

<http://www.kollar.com/observatory/dome/parts/max233.pdf>
Puerto serie y MAX232.

<http://www.arcelect.com/rs232.htm>
Puerto serie y RS232.

<http://www.vincenzov.net/tutorial/rs232/rs232.htm>
Puerto serie y RS232.

