

41126  
60



**UNIVERSIDAD NACIONAL AUTÓNOMA  
DE MÉXICO**

**ESCUELA NACIONAL DE ESTUDIOS PROFESIONALES  
CAMPUS ARAGÓN**

**INGENIERÍA MECÁNICA ELÉCTRICA**

**“DISEÑO DE UNA TARJETA OSCILOSCOPIO  
DE INTERFASE A PC UTILIZANDO UN  
MICROCONTROLADOR 68HC11”**

**T E S I S**

QUE PARA OBTENER EL TÍTULO DE:  
**INGENIERO MECÁNICO ELÉCTRICO**

P R E S E N T A :  
**A Z A E L    L E Ó N    Q U I R O Z**

ASESOR:  
**AL EN L. DAVID JAIME GONZÁLEZ MAXINEZ**

SAN JUAN DE ARAGÓN, EDO. DE MÉXICO, DICIEMBRE 2002

**FALLA DE ORIGEN**

1



Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

Dedicada a mis queridos padres Raúl y Gloria.

Dedicada a mi amada esposa Bani Yassmin.

Dedicada a mi amado hijo Azael Abraham.

Dedicada a mis hermanos Raúl, David Alejandro y Marcos.

Dedicada a mi cuñada Margarita y a mi sobrina Citlali Sachenka.

Dedicada a mis Abuelos Trinidad, Petra, Fausto y Aida.

Dedicada a mi querida tía Sara.

Dedicado a Esther mi suegra

Dedicada a mi amada Universidad.

Dedicada a mi amado México.

Dedicada a todos aquellos que han confiado en mí.

2

TESIS CON  
FALLA DE ORIGEN

Agradecimientos a mi Señor, dueño de todo conocimiento.

Agradecimientos a David Jaime, por su apoyo incondicional.

Agradecimientos a Alvaro, por su ayuda desinteresada.

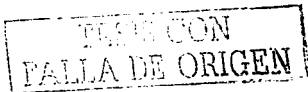
Agradecimientos a Víctor, por los primeros consejos.

Agradecimientos a todos los maestros que contribuyeron a mi formación, porque gracias a ellos logre un sueño.

Agradecimientos a Tec, donde di los primeros pasos.

Agradecimientos a Qualtec, donde me he desarrollado.

Agradecimientos a ti que no te mencione, no pienses que olvide tu ayuda.



## INDICE

### PROLOGO

### CAPITULO 1. ESTADO DEL ARTE DEL DISEÑO DE MICROCONTROLADORES.

1.1 Que es un microcontrolador .....	1
1.2 Como trabaja un microcontrolador .....	1
1.3 Cuales son las diferencias entre un Microcontrolador, un Microcomputador y un microprocesador .....	2
1.4 Cuales son los principales familias de microcontroladores de Motorola .....	3
1.4.1 Familia M6801 .....	3
1.4.2 Familia M6803 .....	6
1.4.3 Familia M6805 .....	6
1.4.4 Familia M6811 .....	8
1.4.4.1 Series de la familia 68HC11 .....	10

### CAPITULO 2. DESCRIPCIÓN DE LA FAMILIA DE MICROCONTROLADORES 68HC11.

2.1 Estructura interna del MC68HC11 .....	12
2.1.1 Descripción general .....	12
2.1.2 Descripción de terminales .....	14
2.1.3 Modos de operación .....	18
2.2 Conjunto de instrucciones del MC68HC11 .....	19
2.2.1 Modelo de programación .....	19
2.2.2 Modos de direccionamiento .....	21
2.2.3 Características generales de las instrucciones .....	24
2.2.4 Instrucciones aritméticas .....	25
2.2.5 Instrucciones lógicas .....	27
2.2.6 Instrucciones de movimiento .....	28
2.2.7 Instrucciones de edición .....	31
2.2.8 Instrucciones de control .....	32
2.3 Mapa de memoria .....	33
2.3.1 Bloque de registros .....	36
2.4 Resets e interrupciones .....	39

TESIS CON  
FALLA DE ORIGEN

2.4 Resets e interrupciones.....	39
2.4.1 Reset de encendido .....	39
2.4.2 Reset externo .....	39
2.4.3 Reset COP .....	40
2.4.4 Reset de Clock Monitor .....	40
2.4.5 Efectos del reset .....	41
2.4.5.1 Mapa de memoria .....	42
2.4.5.2 Temporizador .....	42
2.4.5.3 Interrupción de tiempo real .....	42
2.4.5.4 Acumulador de pulsos .....	42
2.4.5.5 Operación adecuada de computador (COP) .....	42
2.4.5.5 Interfase de comunicación serial (SCI) .....	42
2.4.5.6 Interfase periférica serial (SPI) .....	43
2.4.5.7 Convertidor analógico - digital .....	43
2.4.6 Prioridad de fuentes de reset e interrupción .....	43
2.4.7 Vectores de interrupción .....	45
2.4.8 Requerimientos de interrupción no inhibible .....	47
2.4.8.1 Detección de código ilegal .....	47
2.4.8.2 Interrupción de software .....	48
2.4.8.3 Interrupciones inhibibles .....	48
2.4.8.4 Operación de baja energía .....	48
2.4.8.4.1 WAIT .....	49
2.4.8.4.2 STOP .....	49
2.5 Sistema convertidor analógico - digital .....	49
2.6 Sistema SCI .....	52

### CAPITULO 3. DISEÑO DE UNA TARJETA OSCILOSCOPIO DE INTERFASE A PC.

3.1 Introducción .....	61
3.2 Interfase analógica .....	61
3.2.1 Segundo circuito .....	66
3.2.2 Tercer circuito .....	67
3.2.3 Cuarto circuito .....	69

TESIS CON  
 FALLA DE ORIGEN

5

---

3.3 Interfase digital .....	72
3.3.1 Descripción de circuitos integrados .....	74
3.3.2 Descripción de funcionamiento de la interfase digital .....	74
3.4 Tarjeta MC68HC11ALQIP .....	76
3.5 Programa POSC. ASM .....	80
3.6 Archivo POSC. BIN .....	82
CAPITULO 4. DISEÑO DE UN PROGRAMA OSCILOSCOPIO PARA P.C.	
4.1 Introducción .....	84
4.2 Funciones principales del programa POSC. EXE .....	85
4.3 Código fuente del programa POSC. EXE .....	91
4.4 Archivos adicionales para el funcionamiento de POSC. EXE .....	96
CAPITULO 5. INTEGRACIÓN TARJETA - PROGRAMA - MICROCONTROLADOR.	
5.1 Introducción .....	105
5.2 Integración interfase analógica - interfase digital .....	105
5.3 Integración MOSC - CPU .....	109
5.4 integración CPU - Monitor .....	111
CONCLUSIONES .....	112
APÉNDICE A.	
Instructivo de operación .....	116
APÉNDICE B.	
Hojas técnicas de circuitos integrados .....	122
BIBLIOGRAFÍA .....	

PROLOGO.

El desarrollo de esta tesis es resultado de una serie de diversas inquietudes. En primer lugar, integrar en un mismo trabajo tres áreas que la tecnología actual no puede prescindir: electrónica analógica, electrónica digital y computación. Aunque la electrónica digital ha tenido un auge enorme en los últimos años y prácticamente podemos controlar cualquier proceso con ella, no podemos olvidar que vivimos en un mundo analógico y que las entradas y salidas de un sistema digital casi siempre serán de este tipo. Por su parte, la computadora Personal se ha convertido en una herramienta indispensable en todo lugar, desde la casa habitación, hasta en escuelas, oficinas, laboratorios, etc. Por tales motivos, considero de gran aprecio poder incluir aspectos de estas tres ramas de la tecnología en un trabajo de titulación.

En segundo lugar existió la inquietud de obtener mayor provecho de un periférico de computo que a mi juicio ha sido poco explotado, el "Monitor". Actualmente el desarrollo de tarjetas de televisión para computadoras comparte la idea personal de obtener mayor provecho de este periférico, aunque su costo actual aproximado a \$1000.00 M.N. no lo convierte del todo en un diseño atractivo considerando el costo de un televisor a color de 14".

En tercer lugar, una necesidad detectada a través de algunos años de trabajo en el área de soporte técnico de tres empresas y visualizando la situación económica del país en el cual un sector específico de personas, dedicadas a la reparación de equipos, hace esfuerzos por invertir en equipos de computo, pero no así en equipos de laboratorio, debido los excesivos precios. Específicamente el osciloscopio, que es en la actualidad una herramienta indispensable para el ingeniero, así como para todo laboratorio eléctrico - electrónico:

Por ultimo, existe también la inquietud de crear un precedente universitario como libro de referencia de un microcontrolador el cual pueda ser base de futuros y mejores proyectos en beneficio de nuestra universidad y nuestro país, dejando un texto sencillo e interesante para alumnos de ingenierías.

Todo lo antes mencionado en conjunto desemboca en el "Diseño de una tarjeta osciloscopio con interfase a PC utilizando un microcontrolador 68HC11". Cabe mencionar que este osciloscopio virtual





no pretende ser una dispositivo de medición, sino más bien un dispositivo de visualización de señales, ya que en mis años de experiencia he aprendido que no necesito tener datos precisos y milimétricos de una señal eléctrica, sino más bien saber si esta presente o no.

El capítulo 1 de esta tesis define el concepto de microcontrolador, surgimiento, características principales diferencias con el microprocesador y microcomputador y finalmente una breve descripción de las primeras familias de microcontroladores de Motorola hasta llegar al 68HC11.

El capítulo dos presenta una descripción amplia del funcionamiento del microcontrolador 68HC11, descripción de pines, análisis de funcionamiento hecho por subsistemas, modelo de programación, mnemónicos, etc.

El capítulo tres presenta el diseño de la tarjeta osciloscopio desarrollada como aplicación de esta tesis. Esta tarjeta esta dividida en dos secciones: analógica, que se encarga de convertir los niveles de las señales eléctricas en los adecuados para el microcontrolador 68HC11, y digital que controla los procesos del convertidor analógico digital y la comunicación de datos con la computadora.

El capítulo cuatro presenta el desarrollo de el programa osciloscopio para la PC, elaborado en lenguaje "C", descripción de algunas secciones del programa fuente y de los archivos adicionales que complementan este paquete, y funcionamiento del programa ejecutable.

El capítulo cinco es un enfoque de los sistemas por bloques y como son integrados unos con otros para presentarse como un paquete comercial. Tarjeta osciloscopio, adaptador AC/DC, cable de comunicación, discos de instalación de programa etc.

El apéndice A es un instructivo de funcionamiento que se incluirá en el paquete del osciloscopio virtual, con la descripción del funcionamiento del sistema

Por ultimo el apéndice B contienen las hojas técnicas de los circuitos empleados en el desarrollo de esta tesis, para tenerlos de referencia rápida en caso de requerir consultas.

TESIS CON  
FALLA DE ORIGEN

8

## CAPITULO I

### ESTADO DEL ARTE DEL DISEÑO DE MICROCONTROLADORES

#### 1.1 Que es un Microcontrolador.

Un microcontrolador es un computador digital, con todos los elementos principales de este, y que gracias a los grandes avances en la tecnología de circuitos integrados (CI) de alta escala de integración (VLSI) ha sido posible incluir en un solo circuito integrado, diseñado para trabajar con pocos o sin elementos externos. Unidad de Proceso Central (CPU), Memoria de Solo Lectura (ROM), Memoria de Lectura/Escritura (RAM), Memoria de Solo Lectura Eléctricamente Borrable (EEPROM), así como elementos de interconexión de Entrada/Salida (E/S) dentro de un mismo encapsulado. También se han incluido subsistemas tales como Temporizadores, Conversión Analógica/Digital e Interfaces de comunicación sincrónica y asíncrona. La capacidad de estos controladores no es tan extensa como la de otros ordenadores construidos a partir de una gran cantidad de circuitos integrados, pero básicamente tienen las mismas funciones.

En un inicio los microcontroladores fueron pensados para ser sencillas implementaciones de computadoras con un conjunto limitado de instrucciones y capacidades de E/S mejorada, que pudieran ser producidos en forma masiva y barata, enfocados a la supervisión, dirección y control de procesos en la industria. En la actualidad su uso se ha extendido a procesos que se realizan en transporte, hogar, comunicaciones, periféricos de computo, etc.

#### 1.2 Como trabaja un Microcontrolador.

Como ya se menciona, los microcontroladores son circuitos que tienen integrada memoria EPROM, ROM y RAM, que contienen el programa de control y los datos a procesar, unidad de control y unidad aritmético lógica (ALU) que constituyen el cerebro. Secciones de E/S que se utilizan para transferir información a través de los dos buses de datos. El programa de control esta limitado por el tamaño de la EPROM o ROM contenida en el CI. Existen algunos microcontroladores integrados que tienen la posibilidad de expansión externa, incluyendo un bus externo de datos.

Los microcontroladores trabajan por medio de una serie de instrucciones contenidas en un programa de control. Este programa (Firmware) esta almacenado en una sección de memoria, en forma binaria, y determina exactamente lo que el CPU debe hacer. Dicho programa puede realizarse en lenguaje ensamblador o en un lenguaje de programación de alto nivel tal como "C" o "PASCAL". Al comenzar a funcionar el microcontrolador, ejecuta la primera instrucción contenida en una dirección especificada por un vector de interrupción y posteriormente continua con la secuencia establecida por el flujo del programa. El microcontrolador responderá a las excitaciones del medio ambiente que recibe a través de dispositivos sensores conectados a los puertos de entrada del CI, y de acuerdo a las instrucciones contenidas en el programa modifica su "ambiente" por medio de los dispositivos conectados a los puertos de salida.

Es imposible para un solo tipo de microcontrolador poseer todos los diversos requerimientos para satisfacer todas las diversas aplicaciones; esto incita el estudio de varias arquitectura y organizaciones de microcontroladores. No existe un solo microcontrolador que sea el mejor para todas las aplicaciones, y solo un gran conocimiento de las implementaciones alternativas nos permitirá seleccionar la configuración correcta de hardware y software para una aplicación particular.

### **1.3 Cuales son las diferencias entre un Microcontrolador, un Microcomputador y un Microprocesador.**

Un microcomputador es un circuito integrado que realiza todas las funciones y tiene todos los elementos de un computador, incluyendo EPROM, ROM y RAM. Un microcontrolador es una derivación de un microcomputador. La diferencia entre ellos se encuentra principalmente en dos aspectos: Las capacidades de E/S de microcontroladores esta orientada hacia la interacción con el medio ambiente, con mucho más estado real para E/S por parte del microcontrolador, una capacidad incrementada para priorizar niveles de interrupción e inhibir interrupciones dentro del CPU, mientras que el microcomputador orienta sus capacidades al manejo de datos y comunicación con otros dispositivos. La segunda diferencia entre estos dispositivos es en el conjunto de instrucciones. Muchas de las instrucciones del Microcontrolador están orientadas hacia manipulación de bits, reflejando la necesidad de inhibir ciertos bits que no son de importancia para una operación en particular o realizar operaciones lógicas en los puertos de E/S en base de un bit.

Una diferencia Arquitectural entre microcontroladores y microcomputadoras esta en el método de puertos accesantes de E/S. Mapa de Memoria E/S y E/S separada son ejemplificadas por Motorola e Intel.

Un microprocesador es un CI que precisa el uso de programas de control mas extensos o bien requiere de mayor flexibilidad. No contiene ningún tipo de memoria, pero realiza todas las funciones de la ALU y del controlador. Contiene también un conjunto de registros internos y puertos de E / S para la comunicación con elementos externos del sistema. Los buses de datos y direcciones se emplean para el acceso a posiciones de memoria externa especificos durante el ciclo de búsqueda. Existen microprocesadores integrados de 4, 8, 16 y 32 bits.

#### **1.4 Cuales son los principales familias de microcontroladores de Motorola.**

##### **1.4.1 Familia M6801.**

Este circuito integrado fue el primero microcontrolador introducido en el mercado por Motorola en el año de 1978, mantiene una gran semejanza con el microprocesador M6800 también de Motorola, que aparecio en el mercado en el año de 1970, pero con la diferencia marcada en su diseño y conjunto de instrucciones orientadas a aplicaciones de control en un solo CI. Incluyen entre otros elementos puertos de I/S, interfase serial asincrónica de comunicación y un timer de 16 bits.

El M6801 tiene buses separados de datos y direcciones internamente, tiene tres puertos paralelos bidireccionales de 8 bits, un puerto de 5 bits y dos pines de E/S del puerto 3. Todos los pines son TTL compatibles y pueden manejar una carga TTL. Cuenta con tres modos de operación: modo expandido no multiplexado, modo expandido multiplexado que permite acceder a los 64 KBytes de memoria completa.

Su estructura de registros consta de dos registros de 8 bits designados como A y B, y un registro concatenado de 16 bits designado como D. Esta estructura de registros es mantenida en todos los MCUs de Motorola con pequeñas variaciones, por ejemplo el M6811 de Motorola que tiene los

registros idénticos con la adición de un registro indexado. Además de los acumuladores hay tres registros de 16 bits : el stack pointer, el program Counter y el registro indexado.

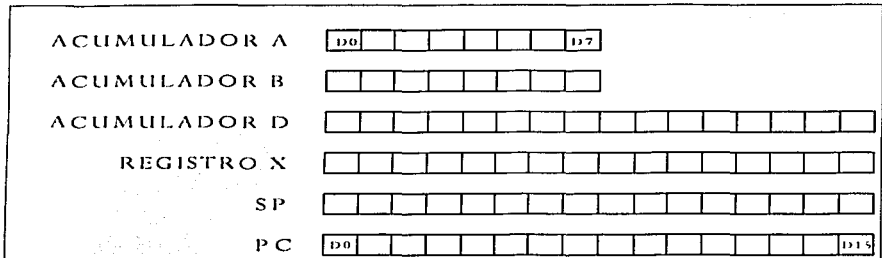


Figura 1.1 Estructura de Registros del Microcontrolador M6801 de Motorola.

El M6801 Tiene un rico conjunto de modos de direccionamiento parecido al M6800, y el direccionamiento es completamente ortogonal. Maneja 7 modos de direccionamiento.

- 1- direccionamiento de acumulador: El acumulador A y/o B son especificados dentro de una instrucción de 1 bit.
- 2- direccionamiento inmediato: El dato es parte de la instrucción.
- 3- direccionamiento directo: El segundo byte de la instrucción es la dirección del operando. Esto limita el direccionamiento a los primeros 256 bytes de memoria y es referido algunas veces como direccionamiento en pagina base.
- 4- direccionamiento extendido: La instrucción de 1 byte es seguida inmediatamente por la dirección del operando de 16 bits que permite el acceso directo de localidades de memoria.
- 5- direccionamiento indexado: el segundo byte de la instrucción es adicionado a el contenido del registro indexado sin cambiar su contenido a la forma de la dirección efectiva del operando.
- 6- direccionamiento implícito: La instrucción de 1 byte se refiere a un registro particular de 16 bits.
- 7- direccionamiento relativo: El segundo byte de la instrucción es adicionado al PC preincrementado permitiendo acceso a las direcciones -126 a +127 bytes de la dirección actual.

Debido a la memoria mapeada de E/S la capacidad de todos estos modos de direccionamiento permite operaciones matemáticas directas en los contenidos de dispositivos de E/S y en la memoria sin tener que cargar al acumulador primero.

El M6801 no tiene la capacidad de procesar bits individuales, esta capacidad esta disponible a partir de los Microcontroladores 6805 y 6811.

De interés es la instrucción SWI (Software Interrupt) , ya que se comporta exactamente como una interrupción, pero puede ser invocada en cualquier momento por software. En lugar de llamadas a subrutinas que no almacenan el estado del MCU, SWI salva el estado completo de la máquina como la haría una interrupción de hardware. Una instrucción de retorno de interrupción RTI debe ser usada en lugar del retorno normal de subrutina.

Periféricos integrados en el M6801. Hay dos periféricos en el M6801, un timer y una interfase serial de comunicación. El timer de 16 bits puede medir una forma de onda de entrada e independientemente al mismo tiempo genera una señal de salida. Consiste de cuatro componentes de hardware:

- 1-Registro de control y estado de 8 bits. 3 bits son de solo lectura e indican si una entrada correcta al registro capturado de entrada ha sido hecha, si un match ha sido encontrado entre el contador y el registro comparador de salida y cuando 0000H es el contador de carrera libre. Los otros cinco bits son lectura y escritura .
- 2-Contador de carrera libre. de 16 bits. Este contador corre continuamente a una velocidad seleccionable por software y puede ser leído en cualquier momento por el software o transferido al registro de captura de entrada como resultado de un evento externo.
- 3- Registro comparador de salida de 16 bits. El contenido de este registro es continuamente comparado por hardware con el contenido del contador de carrera libre. cuando hay una igualdad, una interrupción puede ser generada y un nivel enviado a un puerto de salida, ambos bajo el control del registro de control y estado.
- 4- Registro de captura de entrada de 16 bits. Un evento externo puede ocasionar que el contenido del contador de carrera libre sea transferido a este registro y cause una interrupción. que borde dispara la captura y si una interrupción es generada es especificado en el registro de control y estado.

La interfase de comunicación serial de opera usando el formato NRZ consistente de un bit de inicio, 8 bits de datos y un bit de parada. Las funciones de transmitir y recibir son realizadas automáticamente en hardware, una vez programado por software.

Capacidad de expansión del M6801. Fue diseñado para expandirse en dos formas, el modo expandido no multiplexado, reconfigura todo o parte del puerto 4 como las líneas de dirección de orden bajo (A0-A7) y el puerto 3 como el bus de datos para 256 localidades adicionales pagina base. El M6801 puede ser operado en modo multiplexado expandido, que hace el puerto 4 las líneas de direcciones de orden alto (A8-A15) y el puerto 3 un bus multiplexado de datos / orden bajo de direcciones. Debe ser latchado externamente. El modo de operación no puede ser cambiado sin resetear el MCU. Ya que hay tres bits que seleccionan el modo, hay ocho modos de operación que ofrecen diferentes combinaciones de localidades de memoria y vectores de interrupción.

Modos de ahorro de energía son implementados a través del uso de un Vcc "standby" a un máximo de 8 mA a 5VDC  $\pm$  5 % son requeridos para mantener los primeros 64 bytes de memoria en RAM en el 6801 intactos. La RAM "standby" es la única capacidad de baja energía del 6801.

Interrupciones del 6801. Interrupciones inhibibles y no inhibibles son implementadas en el 6801.

#### 1.4.2 Familia M6803.

Este es un circuito integrado destinado para etapas de desarrollo de productos ya que no contiene ROM integrada por lo que no puede operar independiente, y en todo lo demás es equivalente al M6801.

#### 1.4.3 Familia M6805.

El Microcontrolador 6805 no es un 6801 aumentado en el camino al 6811. Su conjunto de instrucciones no es un superconjunto ni un subconjunto del 6801, pero la estructura de registros y bastantes de las instrucciones han sido mantenidas como herencia evidente. Solo tiene un contador de programa de 11 bits permitiendo acceso a solo 2048 bytes de código.

TESIS CON  
FALLA DE ORIGEN

Tecnología HMOS y CMOS este representada en los miembro de la familia 6805, permitiendo de acuerdo a la aplicación ser seleccionadas por velocidad o baja potencia. La versión CMOS es completamente estática y puede ser operada con frecuencias de reloj que tienden a DC. El empaque varia de 28 a 40 pines dependiendo de la cantidad de E/ S. RAM disponible varia de un mínimo de 64 a un máximo de 176 bytes. la cantidad de ROM varia de 1024 a 4096 Bytes. todas las entradas y salidas son compatibles con TTL. Los periféricos integrados disponibles aunque no simultáneamente en un solo modelo son los siguientes:

- 1- A/D de cuatro canales.
- 2- RAM standby.
- 3- Capacidad de autodiagnostico.
- 4- Dos puertos seriales.
- 5- Bootstrap ROM.
- 6- UV EPROM.

Arquitectura del 6805. La estructura de registros del 6805 es un subconjunto del 6801 en que tiene un solo acumulador de 8 bits (registro A), un solo registro indexado de 8 bits (registro X), un contador de programa de 11 bits (PC) y un apuntador de pila de 11 bits, y un registro de código de condición de 5 bits (CCR). Falta notablemente el registro D de 16 bits. Mantiene la arquitectura con mapa de memoria de E/ S.

No hay cambios en los modos de direccionamientos disponibles y el conjunto de instrucciones es casi un subconjunto del conjunto de instrucciones del Microprocesador 6800. Un significativo incremento en potencia de las 59 instrucciones básicas sobre las del 6801 es la adición de bits de prueba y brinco además de instrucciones de fijar bit y limpiar bit. La mayoría de instrucciones de apuntador de pila están ausentes.

No hay capacidades para expandir la RAM o ROM en el 6805, ni tiene la relación para trabajar fácilmente en una relación maestro-esclavo. EL 6805 tiene otras capacidades que son significantes en aplicaciones de gran volumen y pequeño control.



Interrupciones en el 6805. No solo son las interrupciones vectorizadas, sino también priorizadas. Hay una interrupción software SWI, una interrupción externa predominante RESET, y una interrupción externa INHIBIBLE. La prioridad de estas interrupciones es la siguiente.

- 1- RESET (no inhibible)
- 2- SWI.
- 3- Interrupción externa "INHIBIBLE".
- 4- Temporizador externo "INHIBIBLE".

Asociada con cada una de estas interrupciones hay una dirección única que contiene la dirección de la rutina de servicio de interrupción asociada.

#### 1.4.4 Familia M6811.

EL M68HC11 es el más capaz de los MCUs de Motorola de 8 bits, ya que incorpora todas las capacidades del 6801 y 6805 excepto el PLL del 6805, además su código es compatible con la familia M68HC16. Las características generales del MC68HC11, que es referido aquí genéricamente como el M6811 son las siguientes:

- 1- Tecnología de alta densidad CMOS (HCMOS).
- 2- Único voltaje de operación.
- 3- Velocidad del bus de hasta 4 MHz.
- 4- Operación completamente estática (sin velocidad de reloj mínima).
- 5- EEPROM integrada en casi todos sus miembros.
- 6- Temporizador Watchdog (COP).
- 7- Aritmética de 8 bits.
- 8- Conjunto de instrucciones que es un superconjunto del M6800/ M6801.
- 9- Temporizador de 16 bits/ captura de tiempo de evento.
- 10- Acumulador de pulso de 8 bits.
- 11- Interrupciones inhibibles y no inhibibles.
- 12- División entera y fraccional  $16 \times 16$ .
- 13- Operación de baja energía bajo control de software.
- 14- Comunicación hardware sincrona y asincrona.
- 15- Expandible a espacio de direcciones completo.

16-E/ S de mapa de memoria.

17-CI periférico que emula la operación de un solo chip en modo expandido.

18-Direccionamiento ortogonal.

19-Interrupción de tiempo real.

Para la descripción de la familia será examinado el MC68HC11A8 por las siguientes razones:

1- Contiene todos los periféricos integrados de la familia.

2- Puede operar en modo sencillo o expandido.

Ya que el M6811 es completamente estático, puede operar hacia una frecuencia de reloj cero (DC). En este tipo de circuitería, es consumida energía si el reloj esta funcionando aunque el CPU no ejecute ninguna instrucción debido a la carga y descarga de capacitores a través de pequeñas pero finitas resistencias. La capacidad para operar a muy bajas frecuencias de reloj puede reducir el consumo de energía a un mínimo para operaciones críticas de bajo consumo. Adicionalmente hay dos modos de operación que pueden temporalmente suspender operaciones causando el mismo efecto; el modo de espera y el modo de paro.

El M6811 es un MCU excepcionalmente versátil que, cuando se acopla con una tarjeta de evaluación de bajo costo y el programa buffalo, permite estudiar en detalle una diversidad de periféricos y opciones de E/ S en un solo ambiente de programación y desarrollo.

Arquitectura. Quizá la única característica significativa en la arquitectura del M6811 no es que tiene muchos periféricos integrados y opciones, más bien que es programable en varios niveles. Algunas características deben ser programadas en los primeros 64 ciclos de reloj y quedar fijados hasta que ocurra un reset, otras características como la dirección (e/s) de bits individuales de algunos puertos de E/ S pueden ser cambiados en cualquier momento escribiendo en los registros de dirección de datos apropiados. En varios aspectos, la estructura final del M6811 es determinada por el usuario final y el software que es ejecutado.

Miembros de la familia 68HC11. Como todos los productos de Motorola, el M6811 es una arquitectura "non-harvard" con esquema de direccionamiento de E/S de memoria no separada. Además de la ROM

y RAM integrada esperada, hay una EEPROM que aumenta la capacidad del MCU ya que es capaz de ser borrado y programado bajo control de software.

#### 1.4.4.1 Series de la familia M68HC11.

Existen mas de 60 Miembros de la familia 68HC11, cubriendo una gran variedad de combinaciones Costo-Funcionamiento. Todos los miembros de esta familia incluyen SCI (Serial Comunications Interface), SPI (Serial Peripheral Interface), y casi todos los miembros incluyen EEPROM y convertidor A/D. Estos Miembros están agrupados en series de acuerdo a sus características principales:

- Serie A. Incluye 8K de memoria ROM, 512K de RAM, 512K de EEPROM
- Serie D. Versión económica cuando se requiere alto desempeño con menos dispositivos y menos memoria.
- Serie E. Combina EPROM y EEPROM en un mismo CI. Múltiples tamaños de memoria en empaques compatibles.
- Serie F. Versión de alto desempeño que incluye 1K de memoria RAM, Velocidad de operación de 4 MHz y bus de datos y direcciones no multiplexado.
- Serie G. Primer miembro de la familia que ofrece un sistema convertidor analógico - digital con resolución de 10 bits.
- Serie K. Ofrece alta velocidad, Memorias grandes, MMU (Manejo de memoria) y PWM (Modulación de ancho de pulso).
- Serie L. Versión de Alta velocidad y bajo consumo de potencia con un bus multiplexado capaz de operar hasta a 3 MHz. Incluye 16K de ROM.
- Serie M. Alto desempeño, incluye grandes módulos de memoria, coprocesador matemático de 16 bits y cuatro canales de DMA.
- Serie P. Ofrece ahorro de energía programable, Memoria grande y 3 puertos SCI.

La diferencia principal entre los miembros de cada serie son los tipos y cantidad de memoria. Cada principal derivado tiene tres derivaciones etiquetadas X8, X1 y X0 que usan una "pastilla" idéntica. Las variantes son hechas por una semipermanente ROM deshabilitada en las versiones X1 y deshabilitado ROM y EPROM en las versiones X0. Una versión sin ROM etiquetada como X2, esta disponible para

aplicaciones de bajo volumen que requieren menos de 2 Kbytes de memoria programable EPROM o son destinados a ser operados solo en modo expandido con el programa de memoria fuera del CI.

La tabla 1 muestra algunos de los diferentes elementos de la familia MC68HC11 y sus variaciones respecto a las capacidades de memoria.

NUMERO PARTE	EPROM	ROM	EEPROM	RAM	CONFIG2	COMENTARIO
MC68HC11A8	---	---	512	256	\$0F	FAMILIA CONSTRUIDA A PARTIR DE EL
MC68HC11A1	---	---	512	256	\$0D	A8 CON ROM DESHABILADA
MC68HC11A0	---	---	---	256	\$0C	A8 CON ROM Y EE-PROM DESHABILADA
MC68HC811A8	---	---	8K + 512	256	\$0F	EE-PROM EMULADO PARA A8
MC68HC11E9	---	12K	512	512	\$0F	CUATRO
MC68HC11E1	---	---	512	512	\$0D	E9 CON ROM DESHABILADA
MC68HC11E0	---	---	---	512	\$0C	E9 CON ROM Y EE-PROM DESHABILADA
MC68HC811E2	---	---	2K	256	\$FF	SIN PARTE DE ROM PARA SISTEMAS
MC68HC711E9	12K	---	512	512	\$0F	VERSION E9 UNA VEZ PROGRAMABLE
MC68HC11D3	---	4K	---	192	N/A	VERSION BAJO COSTO 40 PINES
MC68HC711E9	4K	---	---	192	N/A	VERSION D3 UNA VEZ PROGRAMABLE
MC68HC11E1	---	---	512	1K	\$FF	68 PINES AL TOPO ORDINAMENTO
MC68HC11K4	---	24K	640	768	\$FF	31 MEGA DE ESPACIO EN MEMORIA
MC68HC711K4	24K	---	640	768	\$FF	VERSION K4 UNA VEZ PROGRAMABLE
MC68HC11L6	---	16K	512	512	\$0F	COMPLETO
MC68HC711L6	16K	---	512	512	\$0F	VERSION L4 UNA VEZ PROGRAMABLE

TABLA 1.1. Elementos de la familia MC68HC11.

## CAPÍTULO 2.

## DESCRIPCIÓN DE LA FAMILIA DE MICROCONTROLADORES 68HC11.

## 2.1 Estructura interna del MC68HC11.

## 2.1.1 Descripción general.

El MC68HC11 de Motorola es un avanzado microcontrolador (MCU) de 8 bits de tecnología HCMOS (Metal Oxido Semiconductor Complementario De Alta Densidad) con unidades periféricas integradas. Su nueva técnica de diseño logro alcanzar una velocidad nominal de bus de 2 MHz. Además su diseño completamente estático permite la operación a frecuencias hacia DC, que reduce el consumo de energía. La tecnología HCMOS combina pequeño espacio y alta velocidad, baja energía y alta inmunidad al ruido.

El MC68HC11 incluye las siguientes funciones periféricas integradas: un convertidor digital - analógico de 8 canales con 8 bits de resolución, una interfase serial de comunicación asincrónica (SCI) y una interfase periférica integrada (SPI) también es incluida. Un sistema temporizador principal de 16 bits de carrera libre que tiene tres líneas de captura de entrada, cinco líneas de comparación de salida y una función de interrupción de tiempo real.

Circuitería de automonitoreo es también incluida para proteger de errores del sistema. Un sistema Watchdog COP ("Computer Operation Properly") protege contra fallas de software. Un sistema monitor de reloj ejecuta un reset en caso de que el reloj se pierda o corra demasiado lento. También cuenta con un circuito detector de código ilegal que proporciona una interrupción no inhibible si un código ilegal es detectado.

Dos modos de ahorro de energía controlados por software están disponibles, por medio de las instrucciones WAIT y STOP se coloca al microcontrolador en modo de espera y paro respectivamente.

TESIS CON  
FALLA DE ORIGEN

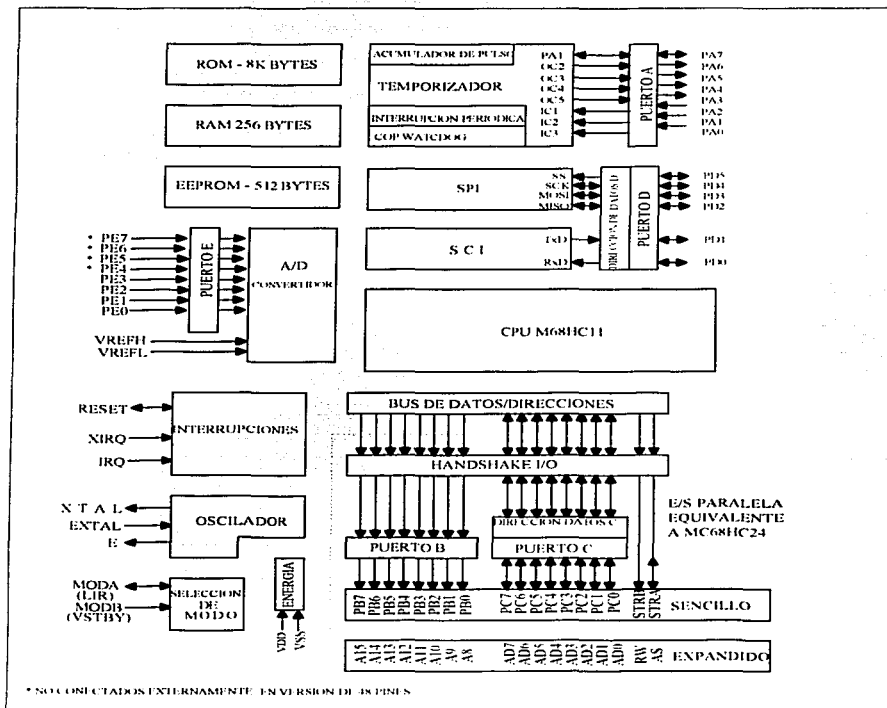


Figura 2.1 Diagrama interno a bloques del MCU MC68HC11A8 de Motorola. Tomado del manual de referencia de Motorola.

La figura 2.1 muestra un diagrama a bloques del MC68HC11A8. En este diagrama se aprecian los subsistemas principales y como están relacionados con los terminales externos del MCU. Las

TESIS CON  
FALLA DE ORIGEN

funciones mostradas dentro del área punteada son perdidas cuando el MCU opera en modo expandido, pero la unidad reemplazadora de puertos MC68HC24 puede ser usada para recuperar dichas funciones. Las funciones son restauradas en una forma que el programador de software es incapaz de notar alguna diferencia entre un sistema sencillo y un sistema expandido utilizando un MC68HC24 y una EEPROM externa. El usuario puede desarrollar software destinado para aplicaciones de sistema sencillo utilizando esta unidad reemplazadora de puerto.

### 2.1.2 Descripción de terminales.

A continuación se hace una descripción de las funciones destinadas para cada una de las terminales del MC68HC11A8. Cabe hacer mención que debido a la complejidad de este MCU, varias terminales tienen asignadas más de una función aunque por supuesto no al mismo tiempo, y son dependientes del modo de operación en que se encuentre el microcontrolador.

$V_{SS}$  -  $V_{DD}$  (1 y 26). Por medio de estas terminales el MCU es energizado.  $V_{SS}$  es conectado al voltaje de referencia ósea tierra y  $V_{DD}$  es conectado a un voltaje positivo de corriente continua de 5 voltios. Este es el único voltaje que requiere el MCU para funcionar.

MODB, MODA (2 y 3). Al momento de empezar a funcionar el MCU las terminales MODA y MODB determinan de acuerdo a los valores de voltaje que tengan en dicho instante el modo de operación en que trabajará el MCU. Por ser 2 terminales de selección de modo de operación tenemos  $2^2 = 4$  modos de operación que se mencionan en la tabla 2.1.

$V_{SHV}$  (2) . Por medio de esta terminal se le puede proporcionar al microcontrolador un voltaje de alimentación que sirva para mantener íntegros los datos de la RAM cuando  $V_{DD}$  no es suministrado por cualquier motivo.

LIR (3). Cada vez que se ejecuta una instrucción, el registro de carga de instrucción mantiene a un nivel de voltaje bajo esta terminal solo durante el primer ciclo de reloj E. Esta terminal es utilizada para propósito de depuramiento de programas.

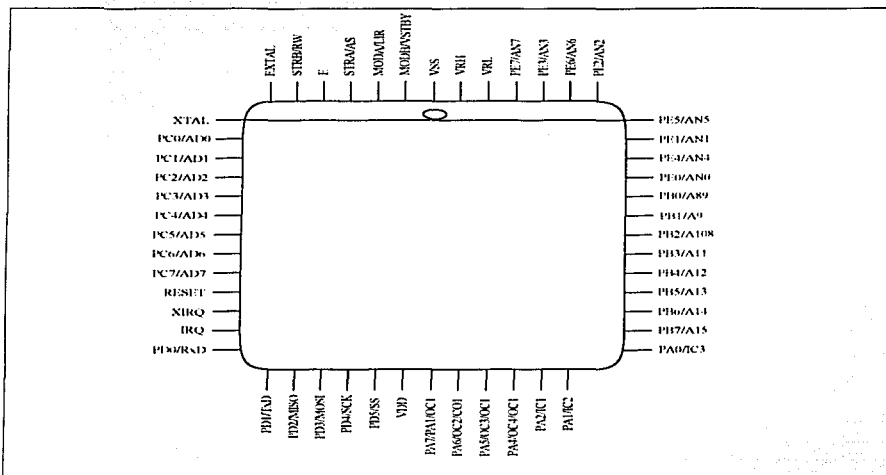


Figura 2.2 Estructura Física del Microcontrolador MC68HC11A8. Empaque cuadrado de 52 terminales.

EXTAL, XTAL (7 y 8). En estas dos terminales se conecta un oscilador de cristal o un circuito CMOS de reloj compatible que proporcionan al MCU la frecuencia necesaria para trabajar. Cabe hacer notar que la velocidad de operación del bus es la cuarta parte de la frecuencia de entrada en estas terminales.



PA7/A16/C1	1	46	VDD
PA6/GC2A/C1	2	47	PD5/SS
PA5/KC3A/C1	3	46	PD4/SCK
PA4/KC3B/C1	4	45	PD3/MOSI
PA3/KC3B/C1	5	44	PD2/MISO
PA2/C1	6	43	PD1/CS
PA1/C2	7	42	PD0/RST
PA0/C3	8	41	IRQ
PB7/A15	9	40	XIRQ
PB6/A14	10	39	RESET
PB5/A13	11	38	PC7/A7/37
PB4/A12	12	37	PC6/A6/36
PB3/A11	13	36	PC5/A5/35
PB2/A10	14	35	PC4/A4/34
PB1/A9	15	34	PC3/A3/33
PB0/A8	16	33	PC2/A2/32
PE0/AN0	17	32	PC1/A1/31
PE1/AN1	18	31	PC0/A0/30
PE2/AN2	19	30	XTAL
PE3/AN3	20	29	EXTAL
VRH	21	28	STRB/RAW
VRH	22	27	E
VSS	23	26	STRAS
MOD0/STBY	24	25	MODA/IR

Figura 2.3 Estructura física del microcontrolador MC68HC11A8 de Motorola. Empaque de 48 Pines.

$V_{RH}$  -  $V_{RL}$  (51 y 52). En estas terminales se alimenta el voltaje que sirve de referencia para que funcione el convertidor analógico - digital.  $VRH$  es el voltaje de referencia alta y  $V_{RL}$  es el voltaje de referencia baja (típicamente conectado a 0 voltios). Para que este opere de manera correcta  $V_{RH}$  debe ser por lo menos 3 voltios mayor que  $V_{RL}$  y no debe exceder a  $V_{SS}$ .

E (5). Esta terminal es de salida y en ella tenemos una frecuencia internamente generada que es la cuarta parte de la frecuencia de entrada, es decir la frecuencia de operación del MCU.

RESET (17). Esta terminal bidireccional sirve para forzar al MCU a un estado de funcionamiento de inicio, el contador del programa carga una dirección previamente definida por el vector de interrupción "Reset". También funciona como una terminal de salida de drenador abierto para que el clock monitor o en el COP watchdog indiquen que una falla a ocurrido en el sistema.

IRQ (19). Terminal de requerimiento de interrupción que se utiliza para interrumpir de una manera asincrónica al MCU.

XIRQ (18). Esta terminal es sensible al nivel y se emplea para requerimiento de una interrupción no inhibible después del reset inicial.

PA0-7 (34-27). Puerto A, independiente del modo de operación. Puede funcionar como tres líneas de entrada y 3 líneas de salida de propósito general (4-6), y dos líneas programables de entrada o salida de propósito general (3 y 7). Puede ser configurado para funcionar como tres líneas de temporizador de entrada de captura (IC) y cuatro líneas de temporizador de salida de comparación (OC). Una octava línea puede ser programada para cuarta IC o quinta OC.

PB0-7 (42-35). Puerto B, es dependiente del modo de operación. En modo sencillo funciona como 8 líneas de propósito general de salida. En modo expandido funciona como el byte de orden alto del bus de direcciones (A8-A15)

PC0-7 (9-16). Al igual que el puerto B, el puerto C del MC68HC11 es dependiente del modo de operación en que se encuentre el MCU. En modo sencillo funcionan como líneas de propósito general de entrada o salida programable. En modo expandido funciona como un bus multiplexado de datos y direcciones.

PD0-PD5 (20-25). Independiente del modo de operación. Tiene seis líneas de e/s de propósito general. Estas líneas también son parte de la interfase de comunicación serial SCI y la interfase periférica serial SPI.

RND (20). Terminal de datos recibidos, cuando esta activa SCI

TND (21). Terminal de datos transmitidos, cuando esta activa SCI.

MISO (22). Terminal de entrada-maestro, salida-esclavo cuando esta activa SPI.

MOSI (23). Terminal de salida-maestro, entrada-esclavo cuando esta activa SPI.

SCK (24). Terminal de reloj serial, cuando esta activa SPI.

SS (25). Terminal de entrada de selección de esclavo, cuando esta activa SPI.

PE0-E7 (43,45,47,49,44,46,48,50). Independiente del modo de operación. Ocho líneas de entrada de propósito general y también comparte las funciones del convertidor analógico -digital.

STRA (4). Cuando el MCU funciona en modo de operación sencillo, esta terminal funciona como una entrada para sincronismo.

AS(4). Esta función esta activa cuando el MCU opera en modo expandido. Es una función de sincronismo de direcciones empleada para demultiplexar datos y direcciones externamente.

STRB(6). En modo simple de operación, esta terminal tiene la función de sincronismo de entrada para protocolo con dispositivos en comunicación paralela.

W/R (6). Función activa solo en modo de operación expandido. Sirve para indicar el sentido de la información presente en el bus de datos. Un nivel bajo indica función de escritura y un nivel alto función de lectura.

### 2.1.3 Modos de operación.

Como se menciona anteriormente, el MC68HC11 de Motorola puede operar de cuatro modos que a continuación se mencionan.

El modo de operación simple permite al MCU trabajar sin componentes externos, es decir, todos los requerimientos de memoria son internos y los puertos B y C quedan como puertos generales de E/S.

MODA	MODB	MODO DE OPERACIÓN
0	0	BOOTSTRAP
0	1	SIMPLE
1	0	TEST
1	1	EXPANDIDO

Tabla 2.1 Modos de operación del Microcontrolador MC68HC11 de Motorola.

En el modo de operación expandido, el puerto B trabaja como bus bajo de direcciones y el puerto C trabaja como bus multiplexado en tiempo para compartir orden alto de direcciones y datos, de manera que el MCU interactue con elementos externos y así construir un sistema más completo de control. En este modo de operación el MCU puede acceder el espacio completo de 64 Kbytes de memoria.

En el modo Bootstrap es habilitado un ROM especial de 192 bytes que contiene un programa residente llamado "Bufallo" que inicializa la SCI para activar la comunicación entre el microcontrolador y una computadora personal y poder descargar un programa a la memoria RAM de capacidad de 256 bytes en pagina base.

El modo Test es de acceso único para el fabricante que realiza algunos diagnósticos en la pastilla del MCU. No se tiene mayor información disponible sobre este modo de operación.

## 2.2 Conjunto de instrucciones del MC68HC11.

### 2.2.1 Modelo de programación.

El CPU del Microcontrolador MC68HC11 cuenta con siete registros disponibles para el programador. Dos acumuladores de 8 bits (A y B) de propósito general que sirven para almacenar datos temporalmente y que pueden ser usados en algunas instrucciones como un solo acumulador (D) de 16 Bits, donde A es el byte de orden alto y B el byte de orden bajo. Para dar mayor potencia al conjunto de instrucciones, un nuevo registro indexado Y de 16 bits es adicionado, que junto con el Registro X son utilizados principalmente para acceso directos a localidades de memoria por medio de desplazamientos que resultan de sumar algún valor fijo al valor contenido en cualquiera de estos registros. El apuntador de pila SP, por sus siglas en ingles (Stack Pointer), es un registro de 16 bits que apunta siempre a la dirección libre del área de memoria conocida como pila. La pila sirve para almacenar datos del estado del MCU en operaciones tales como subrutinas, modos de paro, espera, ahorro de energía y condiciones de alto riesgo para la funcionalidad del sistema tales como fallas de energía, es inicializada en las primeras instrucciones y crece hacia abajo. Cada vez que un dato es guardado en la pila el SP es decrementado y cuando un dato es sacado de la pila el SP es incrementado.

El contador de programa PC (Program Counter) apunta siempre a la dirección de memoria donde se encuentra la siguiente instrucción a ejecutar.

El registro de código de condición CCR contiene 8 bits de los cuales cinco son banderas que muestran el estado del ALU después de realizar cualquier instrucción, dos bits para enmascarar fuentes de interrupción y un bit para deshabilitar el modo de ahorro de energía STOP. Los bits C, V, Z y N son usados principalmente para el uso de instrucciones de salto y brinco. Una descripción de estos bits se detalla a continuación.

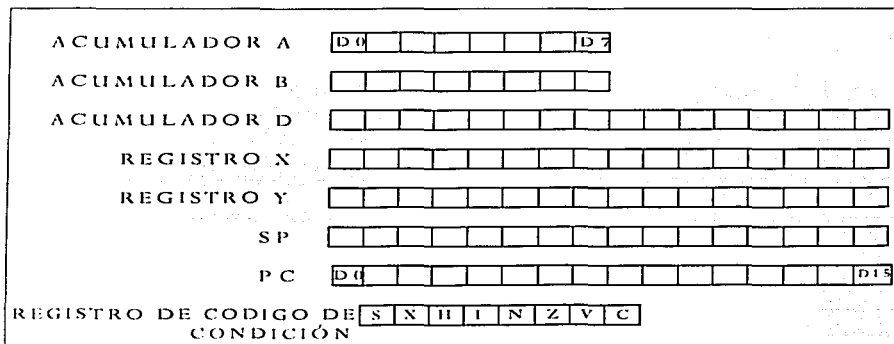


Figura 2.4 Estructura de registros del Microcontrolador MC68HC11A8.

S<sub>1</sub> sirve para activar (0 lógico) o desactivar (1 lógico) el modo de ahorro de energía STOP. Si se encuentra desactivado, al ejecutarse la instrucción STOP será considerada como instrucción NOP (No Operación). Si se encuentra activada detendrá el funcionamiento de todos los relojes del MCU reduciendo así el consumo de energía.

**N:** Activa (0 lógico) o desactiva (1 lógico) la fuente de interrupción XIRQ (terminal 18). Después del reset es puesta a 1 y puede ser puesto a 0 por instrucción de software, pero no puede volver a uno por ninguna instrucción.

**II:** Bandera que es puesta a 1 lógico automáticamente cuando ocurre un medio acarreo al ejecutar instrucciones de operaciones BCD.

**N:** Bandera de estado que indica si el resultado de la última instrucción ejecutada fue un número negativo ( $N = 1$ ) o positivo ( $N=0$ ).

**I:** Bit de control que activa (0 lógico) o desactiva (1 lógico) a todas las fuentes de interrupción inhibibles. Después del reset es puesto a 1 por default y es modificable por instrucción de software.

**Z:** Bandera de estado que indica si el resultado de la última instrucción ejecutada fue un cero ( $Z=1$ ). En caso contrario la bandera Z es puesta a cero.

**V:** Bandera de estado que indica si ocurrió un sobreflujo en la última instrucción ejecutada, es decir si un resultado está fuera del rango que maneja la ALU para el tipo de datos específicos.

**C:** Bandera de estado que indica si existió un acarreo en una instrucción de adición ( $C=1$ , caso contrario  $C=0$ ) o un préstamo en una instrucción de sustracción ( $C=1$ , caso contrario  $C=0$ ).

### 2.2.2 Modos de direccionamiento.

Este MCU cuenta con 6 modos de direccionamiento que ofrecen múltiples posibilidades al momento de programar la unidad. El modo de direccionamiento es la forma en que el CPU va a obtener los datos a procesar.

**Modo Inmediato.** En este modo de direccionamiento de una manera rápida el operando es el byte posterior a la instrucción.

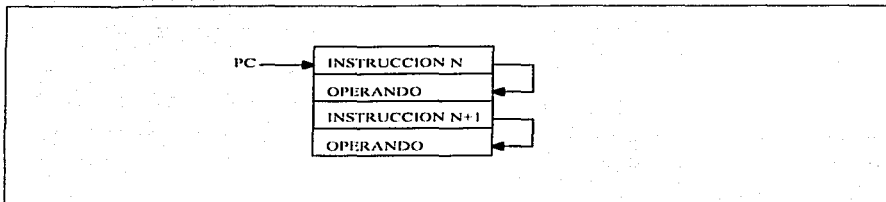


Figura 2.5 Modo de direccionamiento Inmediato.

**Modo Directo.** El CPU ejecuta una instrucción utilizando el operando que se encuentra en la localidad de memoria definida en el siguiente byte después de la instrucción, en un área de memoria de 256 Kbytes (00-FF).

**Modo Extendido.** Es idéntico al modo inmediato de direccionamiento pero aquí se tiene acceso a todo el mapa de memoria de 64 Kbytes (0000-FFFF). La instrucción es seguida de la dirección de dos bytes donde se encuentra el operando.

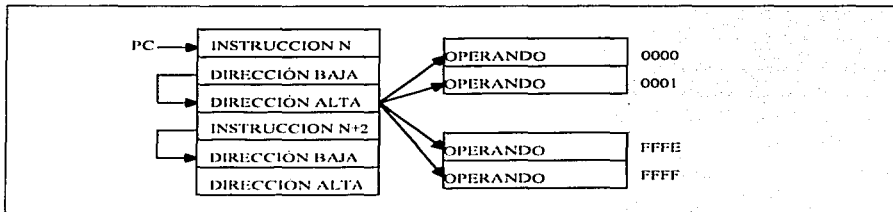


Figura 2.6 Modo de direccionamiento directo.

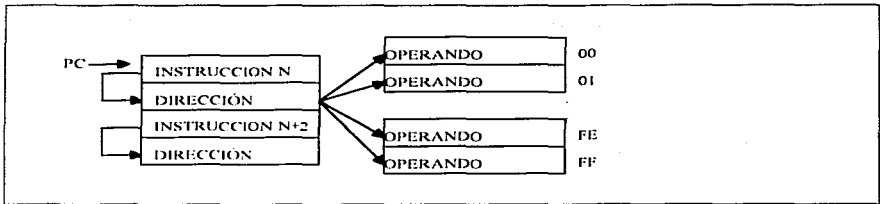


Figura 2.7 Modo de direccionamiento extendido

**Modo Indexado.** La dirección efectiva donde se encuentra el operando es el resultado de la adición de uno de los registros indexados (X o Y) y un desplazamiento fijo.

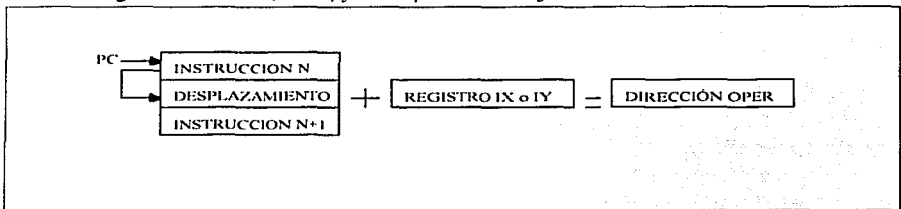


Figura 2.8 . Modo de direccionamiento Indexado.

**Modo Inherente.** El operando a manipular se encuentra implícito en la instrucción.

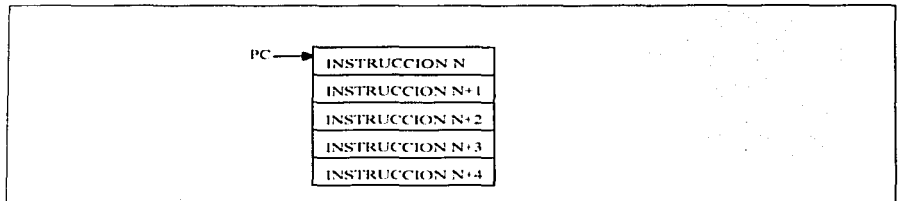


Figura 2.9. Modo de direccionamiento inherente.



**Modo Relativo.** En este modo de direccionamiento, el byte siguiente a la instrucción contiene la dirección de la siguiente instrucción a ejecutar.

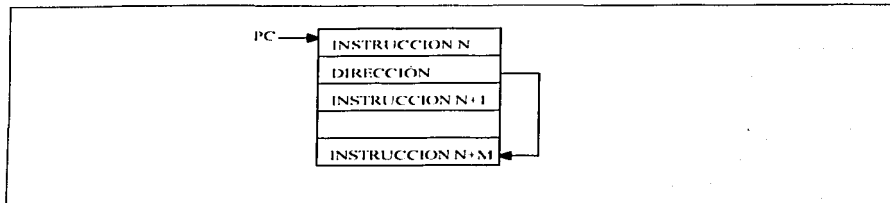


Figura 2.10. Modo de direccionamiento relativo.

### 2.2.3 Características generales de las instrucciones.

Para programar la familia de microcontroladores de Motorola MC68HC11 se tiene un total de 145 instrucciones disponibles en varios modos de direccionamiento, y pueden clasificarse en uno de los cinco siguientes grupos: Aritméticas, Lógicas, Control, Transferencia, y de Edición. Aunque en la mayoría de instrucciones puede utilizarse los acumuladores A o B indistintamente, existen las siguientes excepciones: 1) ABX y ABY. No existen instrucciones equivalentes para el acumulador A. 2) TAP y TPA no existen instrucciones equivalente que usen B en lugar de A, y 3) DAA. No hay instrucción que use B en lugar de A.

En los siguientes párrafos se hará una breve descripción de las características de estos grupos. La siguiente nomenclatura será empleada en las tablas de instrucciones:

- A: Acumulador A.
- B: Acumulador B.
- D: Acumulador D.
- C: Valor del Bit de Acarreo/prestamo.
- M: Una localidad de memoria.
- SP: Apuntador de pila.
- X: Registro indexado X.

TESIS CON  
FALLA DE ORIGEN

- Y: Registro indexado Y.
- Z: acumulador o registro donde se coloca el resultado de una operación.
- 0: fijar el valor de cero.
- 1: fijar el valor de 1.
- \* : actualiza el valor de la bandera con la ultima instrucción.
- x : fija de 1 a 0 pero no a la inversa.

#### 2.2.4 Instrucciones aritméticas.

Se dispone de una potente capacidad aritmética de 8 bits y una limitada capacidad aritmética de 16 bits. Operaciones de adición, sustracción multiplicación, división, comparación, incrementos, decrementos están disponibles para datos con y sin signo.

NEMOTECNICO	DESCRIPCIÓN	EXPRESIÓN LÓGICA	MODO DISPONIBLE DIRECCIONAMIENTO	REG CÓDIGO S X H I N Z V C
ABA	SUMAR A y B	$A+B \rightarrow A$	INH	* * * * *
ABX	SUMAR B y X	$IX+00B \rightarrow IX$	INH	
ABY	SUMAR B y Y	$IY+00B \rightarrow IY$	INH	
ADCA	SUMAR CON ACARREO A A	$A+M \rightarrow C \rightarrow A$	INM-DIR-EXT-INDX-INDY	* * * * *
ADCB	SUMAR CON ACARREO A B	$B+M \rightarrow C \rightarrow B$	INM-DIR-EXT-INDX-INDY	* * * * *
ADDA	SUMAR MEMORIA CON A	$A+M \rightarrow A$	INM-DIR-EXT-INDX-INDY	* * * * *
ADDB	SUMAR MEMORIA CON B	$B+M \rightarrow B$	INM-DIR-EXT-INDX-INDY	* * * * *
ADDD	SUMAR 2 BYTES DE MEMORIA CON D	$D+M(M+1) \rightarrow D$	INM-DIR-EXT-INDX-INDY	* * * * *
CBA	COMPARAR A CON B	$A-B$	INH	* * * * *
CMPA	COMPARAR A CON MEMORIA	$C \rightarrow M$	INM-DIR-EXT-INDX-INDY	* * * * *

CMPB	COMPARAR B CON MEMORIA	B-M	INM-DIR-EXT-INDX-INDY	* * * *
CPD	COMPARAR D CON MEMORIA	D-M	INM-DIR-EXT-INDX-INDY	* * * *
CPX	COMPARAR X CON MEMORIA	X-M	INM-DIR-EXT-INDX-INDY	* * * *
CPY	COMPARAR Y CON MEMORIA	Y-M	INM-DIR-EXT-INDX-INDY	* * * *
DAA	AJUSTE DECIMAL		INH	* * *
DEC	DECREMENTAR MEMORIA	M-1=M	EXT-INDX-INDY	* * *
DECA	DECREMENTAR A	A-1=A	INH	* * *
DECB	DECREMENTAR B	B-1=B	INH	* * *
DES	DECREMENTAR APUNTAADOR DE PILA	SP-1=SP	INH	
DEX	DECREMENTAR X	IX-1=IX	INH	*
DEY	DECREMENTAR Y	IY-1=IY	INH	*
FDIV	DIVISION FRACCIONAL	D/IX=IX R=D	INH	* * * *
IDIV	DIVISION ENTERA	D/IX=IX R=D	INH	* 0 *
INC	INCREMENTAR MEMORIA	M+1=M	EXT-INDX-INDY	* * *
INCA	INCREMENTAR A	A+1=A	INH	* * *
INCB	INCREMENTAR B	B+1=B	INH	* * *
INS	INCREMENTAR APUNTAADOR DE PILA	SP+1=SP	INH	
INX	INCREMENTAR X	IX+1=IX	INH	*
INY	INCREMENTAR Y	IY+1=IY	INH	*
MUL	MULTIPLICAR A Y B	AxB=A	INH	*
NEG	COMPLEMENTO A 2 DE MEMORIA	0-M=M	EXT-INDX-INDY	* * * *

TESIS CON  
FALLA DE ORIGEN

NEGA	COMPLEMENTO A 2 DE A	$0-A=A$	INH	* * * *
NEGB	COMPLEMENTO A 2 DE B	$0-B=B$	INH	* * * *
SBA	RESTAR B DE A	$A-B=A$	INH	* * * *
SBCA	RESTAR DE A CON ACARREO	$A-M-C=A$	INM-DIR-EXT-INDX-INDY	* * * *
SBCB	RESTAR DE B CON ACARREO	$B-M-C=B$	INM-DIR-EXT-INDX-INDY	* * * *
SUBA	RESTAR DE A	$A-M=A$	INM-DIR-EXT-INDX-INDY	* * * *
SUBB	RESTAR DE B	$B-M=B$	INM-DIR-EXT-INDX-INDY	* * * *
SUBD	RESTAR DE D	$D-M=D$	INM-DIR-EXT-INDX-INDY	* * * *

Tabla 2.2 Instrucciones aritméticas para la familia MC68HC11 de Motorola.

### 2.2.5 Instrucciones Lógicas.

Con este conjunto de instrucciones se puede realizar operaciones lógicas AND, OR, OR Exclusiva y complemento a 1. Instrucciones de BITA y BITB actualizan el estado del registro de código de condición.

NEMOTECNICO	DESCRIPCIÓN	EXPRESIÓN LÓGICA	MODO DISPONIBLE DIRECCIONAMIENTO	REG CÓDIGO S X H I N Z V C
AND A	AND ENTRE A Y MEMORIA	A-M	INM-DIR-EXT-INDX-INDY	0 * * 0
ANDB	AND ENTRE B Y MEMORIA	B-M	INM-DIR-EXT-INDX-INDY	* * 0
BCLR	LIMPIAR BITS	$M(mm)=M$	DIR-INDX-INDY	* * 0
BITA	PRUEBA A CON MEMORIA	A-M	INM-DIR-EXT-INDX-INDY	* * 0
BITB	PRUEBA B CON MEMORIA	B-M	INM-DIR-EXT-INDX-INDY	* * 0

BSET	FUJAR BITS	$M+mm^*M$	DIR-INDX-INDY	* * 0
CLC	LIMPIAR BIT DE ACARREO	$0=C$	INH	0
CLI	LIMPIAR BIT DE INTERRUPCIÓN INHIBIBLE	$0=I$	INH	0
CLV	LIMPIAR BANDERA DE SOBREFLUJO	$0=V$	INH	0
COM	COMPLEMENTO A 1	$FF=M+M$	EXT-INDX-INDY	* * 0 1
COMA	COMPLEMENTO A 1 DE A	$FF=A=A$	INH	* * 0 1
COMB	COMPLEMENTO A 1 DE B	$FF=B=B$	INH	* * 0 1
EORA	OR EXCLUSIVA DE A CON MEMORIA	$A+M=A$	INM-DIR-EXT-INDX-INDY	* * *
EORB	OR EXCLUSIVA DE B CON MEMORIA	$B+M=B$	INM-DIR-EXT-INDX-INDY	* * *
ORAA	OR DE A CON MEMORIA	$A+M=A$	INM-DIR-EXT-INDX-INDY	* * 0
ORAB	OR DE B CON MEMORIA	$B+M=B$	INM-DIR-EXT-INDX-INDY	* * 0
SEC	FUJAR BIT DE ACARREO	$1=C$	INH	1
SEI	FUJAR BIT INHIBIBLE DE INTERRUPCIÓN	$1=I$	INH	1
SEV	FUJAR BANDERA DE SOBREFLUJO	$1=V$	INH	1

Tabla 2.3 Instrucciones Lógicas de la familia de MC68HC11 de Motorola.

### 2.2.5 Instrucciones de movimiento.

Nos permiten asignar un valor fijo o de algún registro, acumulador o localidad de memoria a otro de los mismos mencionados o registro de código de condición.

NEMOTECNICO	DESCRIPCIÓN	EXPRESIÓN LÓGICA	MODO DISPONIBLE DIRECCIONAMIENTO	REG CÓDIGO S X H I N Z V C
CLR	LIMPIAR UNA LOCALIDAD DE MEMORIA	$0=M$	EXT-INDX-INDY	* * * * *
CLRA	LIMPIAR A	$0=A$	INH	0 0 1 0
CLRB	LIMPIAR B	$0=B$	INH	0 0 1 0
LDAA	CARGAR MEMORIA A A	$M=A$	INM-DIR-EXT-INDX-INDY	* * 0
LDAB	CARGAR MEMORIA A B	$M=B$	INM-DIR-EXT-INDX-INDY	* * 0
LDD	CARGAR MEMORIA A D	$M=A$ $M+1=B$	INM-DIR-EXT-INDX-INDY	* * 0
LDS	CARGAR APUNTA- DOR DE PILA	$M(M+1)=SP$	INM-DIR-EXT-INDX-INDY	* * 0
LDX	CARGAR X	$M(M+1)=IX$	INM-DIR-EXT-INDX-INDY	* * 0
LDY	CARGAR Y	$M(M+1)=IY$	INM-DIR-EXT-INDX-INDY	* * 0
PSHA	MOVER A AL APUNTA- DOR DE PILA	$A=PILA$ $SP-1=SP$	INH	
PSHB	MOVER B AL APUNTA- DOR DE PILA	$B=PILA$ $SP-1=SP$	INH	
PSHX	MOVER X AL APUNTA- DOR DE PILA	$IX=PILA$ $SP-2=SP$	INH	
PSHY	MOVER Y AL APUNTA- DOR DE PILA	$IY=PILA$ $SP-2=SP$	INH	
PULA	CARGAR A CON LA PILA	$PILA=A$ $SP+1=SP$	INH	
PULB	CARGAR B CON LA PILA	$PILA=B$ $SP+1=SP$	INH	

PULX	CARGAR X CON LA PILA	LA	PILA-IX SP+2=SP	INH	
PULY	CARGAR Y CON LA PILA	LA	PILA-IY SP+2=SP	INH	
STAA	ALMACENA A MEMORIA	EN A	M	DIR-EXT-INDX-INDY	* * 0
STAB	ALMACENA B MEMORIA	EN B	M	DIR-EXT-INDX-INDY	* * 0
STD	ALMACENA D MEMORIA	EN D	M	DIR-EXT-INDX-INDY	* * 0
STS	ALMACENA PILA MEMORIA	EN	M(M+1)	DIR-EXT-INDX-INDY	* * 0
STX	ALMACENA IX MEMORIA	EN IX	M(M+1)	DIR-EXT-INDX-INDY	* * 0
STY	ALMACENA IY MEMORIA	EN IY	M(M+1)	DIR-EXT-INDX-INDY	* * 0
TAB	TRANSFIERE A A B	A	B	INH	* * 0
TAP	TRANSFIERE A AL REGISTRO DE CODIGO DE CONDICION	AL	A-CCR	INH	* * * * * *
TBA	TRANSFIERE B A A	B	A	INH	* * 0
TPA	TRANSFIERE REGISTRO DE CODIGO A A		CCR A	INH	
IST	PRUEBA PARA CERO	M-0		EXT-INDX-INDY	* * 0 0
TSTA	PRUEBA PARA CERO DE A	A-0		INH	* * 0 0
ISTB	PRUEBA PARA CERO DE B	B-0		INH	* * 0 0
ISX	TRANSFIERE SP A X	SP-1	X	INH	
ISY	TRANSFIERE SP A Y	SP-1	Y	INH	
IXS	TRANSFIERE X A SP	IX-1	SP	INH	
IYX	TRANSFIERE Y A SP	IY-1	SP	INH	

Tabla 2.4 Instrucciones de movimiento para el MCU MC68HC11 de Motorola.

TESTEADO  
FALLA DE ORIGEN

## 2.2.6 Instrucciones de Edición.

Se utilizan para modificar internamente el valor contenido dentro de un registro, acumulador o localidad de memoria. La diferencia entre instrucciones de corrimiento lógicas y aritméticas es que el corrimiento aritmético a la derecha no modifica el bit mas significativo.

NEMOTECNICO	DESCRIPCIÓN	EXPRESIÓN LÓGICA	MODO DISPONIBLE DIRECCIONAMIENTO	REG CÓDIGO S X H I N Z V C
ASLA	CORRIMIENTO A LA IZQUIERDA DE A	*	INH-EXT-INDX-INDY	* * * * *
ASLB	CORRIMIENTO A LA IZQUIERDA DE B	*	INH-EXT-INDX-INDY	* * * * *
ASLD	CORRIMIENTO DOBLE A LA IZQUIERDA DE D	*	INH	* * * * *
ASRA	CORRIMIENTO A LA DERECHA DE A	*	INH-EXT-INDX-INDY	* * * * *
ASRB	CORRIMIENTO A LA DERECHA DE B	*	INH-EXT-INDX-INDY	* * * * *
LSLA	CORRIMIENTO LÓGICO DE A A LA IZQUIERDA	*	INM-DIR-EXT-INDX-INDY	* * * * *
LSLB	CORRIMIENTO LÓGICO DE B A LA IZQUIERDA	*	INM-DIR-EXT-INDX-INDY	* * * * *
LSLD	CORRIMIENTO LÓGICO DE D A LA IZQUIERDA	*	INH	* * * * *
LSRA	CORRIMIENTO LOGICO DE A A LA DERECHA	*	INM-DIR-EXT-INDX-INDY	0 * * * *
LSRB	CORRIMIENTO LOGICO DE B A LA DERECHA	*	INM-DIR-EXT-INDX-INDY	0 * * * *
LSRD	CORRIMIENTO LÓGICO DE D A LA DERECHA	*	INH	0 * * * *
ROL	ROTACION A LA IZQUIERDA		EXT-INDX-INDY-INH	* * * * * * *

NO  
FALLA DE ORIGEN



ROLA	ROTACIÓN A LA IZQUIERDA DE A		EXT-INDX-INDY-INH	*****
ROLB	ROTACIÓN A LA IZQUIERDA DE B		EXT-INDX-INDY-INH	*****
ROR	ROTACIÓN A LA DERECHA		EXT-INDX-INDY-INH	*****
RORA	ROTACIÓN A LA DERECHA DE A		EXT-INDX-INDY-INH	*****
RORB	ROTACIÓN A LA DERECHA DE B		EXT-INDX-INDY-INH	*****

Tabla 2.5. Lista de instrucciones de edición para el MCU MC68HC11.

### 2.2.7 Instrucciones de control.

Son aquellas que nos sirven para modificar el flujo o secuencia de ejecución de los programas, tomando decisiones de acuerdo a valores del registro de código de condición.

NEMOTECNICO	DESCRIPCIÓN	EXPRESIÓN LÓGICA	MODO DISPONIBLE DIRECCIONAMIENTO	REG CÓDIGO SX H IN Z VC
BCC	BRINCA SI ACARREO ES CERO	C=0?	REL	
BCS	BRINCA SI ACARREO ES UNO	C=1?	REL	
BEQ	BRINCA SI Z ES UNO	Z=1?	REL	
BGE			REL	
BGT			REL	
BHI	BRINCA SI ES MAYOR A CERO		REL	
BHS	BRINCA SI ES MAYOR O IGUAL C CERO		REL	
BLE			REL	
BLO			REL	

BLS			REL.	
BLT			REL.	
BMI			REL.	
BNE	BRINCA SI NO ES CERO	Z=0?	REL.	
BPL	BRINCA SI ES POSITIVO	N<0?	REL.	
BRA	BRINCA SIEMPRE		REL.	
BRCLR			DIR-INDX-INDY	
BRN	JAMAS BRINCA		REL.	
BRSET			DIR-INDX-INDY	
BSR	BRINCA A SUBROUTINA		REL.	
BVC	BRINCA SI SOBREFLUJO ES CERO	V=0?	REL.	
BVS	BRINCA SI SOBREFLUJO ES UNO	V=1?	REL.	
JMP	SALTO		EXT-INDX-INDY	
JRS	SALTO A SUBROUTINA		DIR-EXT-INDX-INDY	
NOP	NINGUNA OPERACION		INH	
RTI	RETORNO DE INTERRUPCION		INH	.....
RTS	RETORNO DE SUBROUTINA		INH	
STOP	ALTO		INH	
SWI	INTERRUPCION DE SOFTWARE		INH	1
WAI	MODO DE ESPERA		INH	

Tabla 2.6 Conjunto de instrucciones de control para el MCU MC68HC11 de Motorola.

### 2.3 Mapa de Memoria

Para los microcontroladores de Motorola, el mapa de memoria es dependiente del modo de operación en que haya sido iniciado el dispositivo. El CPU esta diseñado para tratar todos los periféricos.

dispositivos de E/S y localidades de memoria idénticamente como si fueran direcciones en los 64 Kbytes del mapa de memoria. Esto es conocido como memoria mapeada de E/S. En la figura 2.11 se muestra el mapa de memoria para los cuatro modos de operación en el caso particular del MC6811C11A8.

Los bloques de memoria tienen prioridades establecidas por Motorola. El bloque de registros es colocado después del RESET en la dirección \$1000, y la RAM en la dirección \$0000, pero ambos pueden ser movidos a cualquier de los dieciséis bloques de espacio de memoria de 4 Kbytes colocando la dirección deseada en el bloque de registros INIT bits RAM (3:0) y REG (3:0) dirección \$103D. Esta modificación debe ser hecha dentro de los primeros 64 ciclos E. La tabla 2.8 muestra los valores que se deben colocar en cada bit para mover estos bloques. El bloque de registros tiene prioridad sobre la RAM, y si son puestos en el mismo bloque de memoria se perderán los primeros 64 bytes de RAM. La RAM tiene prioridad sobre la ROM, y si quedan colocados en el mismo bloque de memoria se perderá 512 bytes de la ROM.

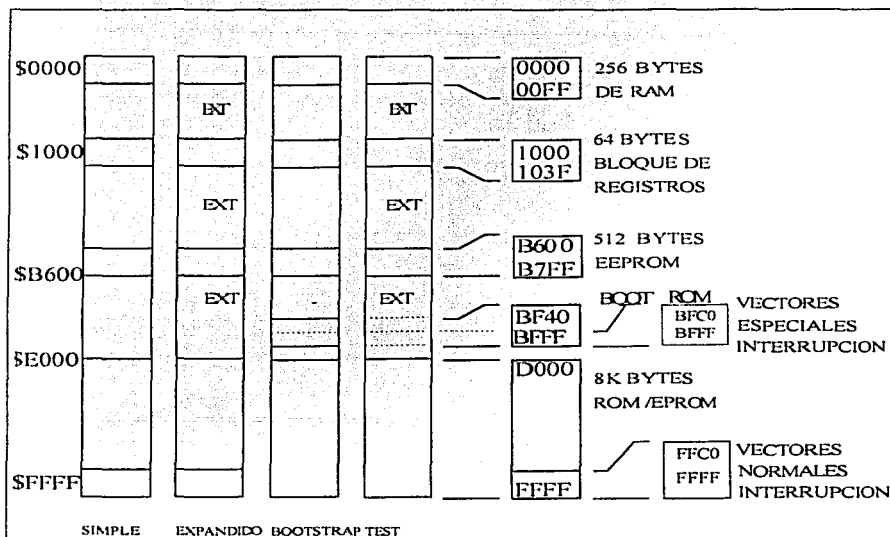


Figura 2.11. Mapa de memoria del Microcontrolador MC68HC11A8.

RAM (3:0)				DIRECCIÓN		REG (3:0)				DIRECCIÓN
0	0	0	0	\$0000-\$00FF		0	0	0	0	\$0000-\$003F
0	0	0	1	\$1000-\$00FF		0	0	0	1	\$1000-\$103F
0	0	1	0	\$2000-\$00FF		0	0	1	0	\$2000-\$203F
0	0	1	1	\$3000-\$00FF		0	0	1	1	\$3000-\$303F
0	1	0	0	\$4000-\$00FF		0	1	0	0	\$4000-\$403F
0	1	0	1	\$5000-\$00FF		0	1	0	1	\$5000-\$503F
0	1	1	0	\$6000-\$00FF		0	1	1	0	\$6000-\$603F
0	1	1	1	\$7000-\$00FF		0	1	1	1	\$7000-\$703F

1	0	0	0	\$8000-\$0FFF		1	0	0	0	\$8000-\$803F
1	0	0	1	\$9000-\$0FFF		1	0	0	1	\$9000-\$903F
1	0	1	0	\$A000-\$0FFF		1	0	1	0	\$A000-\$A03F
1	0	1	1	\$B000-\$0FFF		1	0	1	1	\$B000-\$B03F
1	1	0	0	\$C000-\$0FFF		1	1	0	0	\$C000-\$C03F
1	1	0	1	\$D000-\$0FFF		1	1	0	1	\$D000-\$D03F
1	1	1	0	\$E000-\$0FFF		1	1	1	0	\$E000-\$E03F
1	1	1	1	\$F000-\$0FFF		1	1	1	1	\$F000-\$F03F

Tabla 2.8. Bits RAM y REG del registro INIT.

### 2.3.1 Bloque de registros.

Consta de 64 localidades de memoria donde se puede configurar parte del funcionamiento del MCU y también se encuentran direccionados los dispositivos periféricos de E/S. Este registro esta ubicado por default a partir de la dirección \$1000.

DIRECCIÓN	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	DESCRIPCIÓN
\$1000	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	PORTA
\$1001	RESERVA DO								
\$1002	STAF	STAI	CWOM	HINDS	OIN	PLS	EGA	INVB	PIOC
\$1003	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	PORTC
\$1004	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	PORTB
\$1005	PCL7	PCL6	PCL5	PCL4	PCL3	PCL2	PCL1	PCL0	PORTCL
\$1006	RESERVA DO								
\$1007	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
\$1008	0	0	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	PORTD
\$1009	0	0	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
\$100A	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	PORTE
\$100B	FOC1	FOC2	FOC3	FOC4	FOC5	0	0	0	CFORC
\$100C	OC1M7	OC1M6	OC1M5	OC1M4	OC1M3	0	0	0	OC1M

\$100D	OC1D7	OC1D6	OC1D5	OC1D4	OC1D3	0	0	0	OC1D
\$100E	BIT 15	14	13	12	11	10	9	8	TCNT(HIGH)
\$100F	BIT 7	6	5	4	3	2	1	0	TCNT(LOW)
\$1010	BIT 15	14	13	12	11	10	9	8	TIC1(HIGH)
\$1011	BIT 7	6	5	4	3	2	1	0	TIC1(LOW)
\$1012	BIT 15	14	13	12	11	10	9	8	TIC2(HIGH)
\$1013	BIT 7	6	5	4	3	2	1	0	TIC2(LOW)
\$1014	BIT 15	14	13	12	11	10	9	8	TIC3(HIGH)
\$1015	BIT 7	6	5	4	3	2	1	0	TIC3(LOW)
\$1016	BIT 15	14	13	12	11	10	9	8	TOC1(HIGH)
\$1017	BIT 7	6	5	4	3	2	1	0	TOC1(LOW)
\$1018	BIT 15	14	13	12	11	10	9	8	TOC2(HIGH)
\$1019	BIT 7	6	5	4	3	2	1	0	TOC2(LOW)
\$101A	BIT 15	14	13	12	11	10	9	8	TOC3(HIGH)
\$101B	BIT 7	6	5	4	3	2	1	0	TOC3(LOW)
\$101C	BIT 15	14	13	12	11	10	9	8	TOC4(HIGH)
\$101D	BIT 7	6	5	4	3	2	1	0	TOC4(LOW)
\$101E	BIT 15	14	13	12	11	10	9	8	T14/O5(HIGH)
\$101F	BIT 7	6	5	4	3	2	1	0	T14/O5(LOW)
\$1020	OM2	OL2	OM3	OL3	OM4	OL4	OM5	OL5	TCCTL1
\$1021	EDG4B	EDG4A	EDG1B	EDG1A	EDG2B	EDG2A	EDG3B	EDG3A	TCCTL2
\$1022	OC11	OC21	OC31	OC41	I4/O51	IC11	IC21	IC31	TMSK1
\$1023	OC1F	OC2F	OC3F	OC4F	I4/O5F	IC1F	IC2F	IC3F	TFLG1
\$1024	TO1	RT1I	PAOV1	PA1I	0	0	PR1	PR0	TMSK2
\$1025	TOF	RTIF	PAOVF	PA1F	0	0	0	0	TFLG2
\$1026	DDRA7	PAEN	PANMOD	PEEDGE	DDRA3	I4/O5	RTR1	RTR0	PACTL
\$1027	BIT 7	6	5	4	3	2	1	0	PACNT
\$1028	SPIE	SPE	DWOM	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
\$1029	SPIF	WCOL	0	MODF	0	0	0	0	SPSR
\$102A	BIT 7	6	5	4	3	2	1	0	SPDR

TIPO DE  
FALLA DE ORIGEN

\$102B	TCLR	SCP2'	SCP1	SCP0	RCKB	SCR2	SCR1	SCR0	BAUD
\$102C	RR	TR	O	M	WAKE	O	O	O	SCCR1
\$102D	TIE	TCIE	RIE	RIIE	TE	RE	RWU	SBK	SCCR2
\$102E	TDR1	TC	RDRE	HDLE	OR	NE	FE	O	SCSR
\$102F	R7/T7	R6/T6	R5/T5	R4/T4	R3/T3	R2/T2	R1/T1	R0/T0	SCDR
\$1030	CCF	O	SCAN	MULT	CD	CC	CB	CA	ADCTL
\$1031	BIT 7	6	5	4	3	2	1	0	ADR1
\$1032	BIT 7	6	5	4	3	2	1	0	ADR2
\$1033	BIT 7	6	5	4	3	2	1	0	ADR3
\$1034	BIT 7	6	5	4	3	2	1	0	ADR4
\$1035	O	O	O	PTCON	BPRT3	BPRT2	BPRT1	BPRT0	BPROT
\$1036	MBE	O	ELAT	EXCOL	ENROW	T1	T0	PGM	EPROG'
\$1037	RESERVADO								
\$1038	RESERVADO								
\$1039	ADPU	CSEL	IRQE	DLY	CME	O	CR1	CR0	OPTION
\$103A	BIT 7	6	5	4	3	2	1	0	COPRST
\$103B	ODD	EVEN	ELAT'	BYTE	ROW	ERASE	EELAT	EPGM	PPROG
\$103C	RBOOT	SMOD	MDA	BRVNE	PSEL3	PSEL2	PSEL1	PSEL0	HPRIO
\$103D	RAM3	RAM2	RAM1	RAM0	REG3	REG2	REG1	REG0	INIT
\$103E	TILOP	O	OCCR	CBYP	DISR	FCM	FCOP	TCON	TEST1
\$103F	EE3'	EE2'	EE1'	EE0'	NOSEC'	NOCOP	ROMON	EEON	CONFIG
NOTAS									
1) SCP2 SUMA * 39 A SU VELOCIDAD PRESENTE SU OJO EN MCG8R0711120									
2) IPR0 * ESTA PRESENTE SU OJO EN MCG8R0711120									
3) ELAT EN IPR0 * ESTA SU OJO PRESENTE EN MCG8R0711120 Y MCG8S711120									
4) BITS DE CONTROL DE MAPA DE MEMORIA * OJO SE APRIAN SU OJO AL MCG8R0711120									

Tabla 2.7. Bloque de registros.

La función de cada uno de las direcciones y bits es detallado en secciones posteriores conforme se vayan requiriendo.

## 2.4 RESETS E INTERRUPCIONES.

Los resets e interrupciones cargan el contador de programa con un vector que apunta a una nueva localidad donde las instrucciones de una subrutina serán buscadas. Un reset detiene inmediatamente la ejecución de la instrucción actual y fuerza el contador de programa a una dirección de inicio conocida. Una interrupción suspende temporalmente la ejecución de un programa mientras una rutina de servicio de interrupción es ejecutada. Después de que un servicio de interrupción ha sido ejecutada, el programa se reanuda donde fue interrumpida.

Hay cuatro fuentes de reset. Reset de encendido (POR) y resets externos comparten el vector normal de reset. Reset de Operación Adecuada de Computador (COP) y el Clock Monitor reset cada uno con su vector de reset independiente.

### 2.4.1 Reset de encendido.

Una transición positiva en  $V_{DD}$  genera un reset de encendido (POR), que es usado solo en condiciones de encendido.

### 2.4.2 Reset externo.

El CPU distingue entre condiciones de reset externo e interno sensando si la terminal reset (18) sube a uno lógico en menos de 2 ciclos E después que un dispositivo externo libera el reset. Cuando una condición de reset ocurre la terminal reset es conducida a bajo por un dispositivo interno por cuatro ciclos E, después es liberada. Dos ciclos después es muestreada. Si la terminal es mantenida todavía en bajo el CPU asume que un reset externo a ocurrido, si el terminal es alto indica que el reset fue iniciado internamente por el sistema COP o por el clock monitor.



### 2.4.3 Reset COP.

El MCU incluye un sistema COP<sup>2</sup> para ayudar a proteger contra fallas de software. Cuando el COP esta activo, el software es responsable de mantener un temporizador watchdog de carrera libre de espera. Cuando el software no es ejecutado en una secuencia destinada, un reset de sistema es iniciado.

El estado del bit NOCOP en el registro config determina si el sistema COP esta activo o inactivo. En modo de prueba y bootstrap, el sistema COP es inicialmente inhibido .

NOCOP = 0 : COP activo (forza el reset en un periodo).

NOCOP = 1 : COP desactivo (no forza un reset en un periodo).

Los bits de control de velocidad de el temporizador COP en el registro determinan el periodo de espera del COP. El sistema E clock es dividido por  $2^{15}$  y entonces es escalado por un factor mostrado en la tabla 2.9. Después del reset estos bits son cero, que seleccionan el mas rápido periodo de espera. En modo normal, estos bits solo pueden ser escritos en los primeros 64 ciclos de bus después del reset de encendido.

CR (1,0)		DIVIDIDO POR $1/2^N$	XTAL = 4.0 MHz TIMEOUT -0 ms, +32.8 ms	XTAL = 8.0 MHz TIMEOUT -0 ms, +16.4 ms	XTAL = 12.0 MHz TIMEOUT -0 ms, +10.9 ms
0	0	1	32.768 ms	16.384 ms	10.923 ms
0	1	4	131.072 ms	65.536 ms	43.691 ms
1	0	16	524.28 ms	262.14 ms	174.76 ms
1	1	64	2.098 s	1.049 s	699.05 ms
		E <sup>2</sup>	1.0 MHz	2.0 MHz	3.0 MHz

Tabla 2.9 Selección de tiempo de espera del COP. Tomado del manual de Motorola.

### 2.4.4 Reset de Clock Monitor.

El circuito clock monitor esta basado en un tiempo de retardo interno. Si no es detectado borde de reloj dentro de este tiempo de retardo RC, el clock monitor puede generar opcionalmente un reset de sistema.

TECNOLOGIA  
FALLA DE ORIGEN

El funcionamiento del clock monitor es activado o desactivado por el bit de control CME del registro OPTION dirección \$I039.

CME = 0 : Clock monitor desactivado.

CME = 1 : Clock monitor activado.

El clock monitor es usado como un respaldo del sistema COP. Debido a que el COP necesita un reloj para funcionar, este es deshabilitado cuando el reloj se detiene, por lo tanto el clock monitor puede detectar fallas de reloj no detectadas por el sistema COP. Deben tomarse consideraciones especiales en cuenta cuando la instrucción STOP es ejecutada y esta habilitado el clock monitor ya que esta instrucción detiene el funcionamiento de todos los relojes.

#### 2.4.5 Efectos del reset.

Cuando un reset es reconocido, los registros internos y bits de control son forzados a un estado inicial, dependiendo de la causa del reset y del modo de operación un vector de reset será buscado de seis localidades posibles.

CAUSA DE RESET	VECTOR DE MODO NORMAL	VECTOR DE MODO ESPECIAL
POR o terminal RESET	\$FFFE - FFFF	\$BFFE - BFFF
CLOCK MONITOR	\$FFFC - FFFD	\$BFFC - BFFD
COP WATCHDOG	\$FFFA - FFFB	\$BFFA - BFFB

Tabla 2.10 Vectores de dirección de reset.

Después del reset, el CPU busca el vector de reinicio de la dirección apropiada durante los primeros tres ciclos y comienza a ejecutar instrucciones. El apuntador de pila y otros registros quedan indeterminados después del reset, sin embargo los bits X e I del registro de código de condición son fijados para enmascarar algún requerimiento de interrupción. También el bit S es fijado para inhibir el modo STOP.

#### **2.4.5.1 Mapa de memoria.**

Después del reset, el registro INIT es fijado a la dirección 00, mapeando la RAM a la dirección \$0000 y el registro de control a la \$1000.

#### **2.4.5.2 Temporizador.**

Durante el reset el sistema temporizador es iniciado a una cuenta de \$0000. Todos los bits del preescalador son limpiados y todos los registros de comparación de salida son puestos a \$FFFF. Todos los registros de entrada de captura quedan indeterminados.

#### **2.4.5.3 Interrupción de tiempo real (RTI).**

La bandera de interrupción de tiempo real (RTI) es limpiada y automáticamente son enmascaradas interrupciones de hardware.

#### **2.4.5.4 Acumulador de pulsos.**

El sistema acumulador de pulso es desactivado al reset para que la terminal de entrada de acumulador de pulso empiece por default como una terminal de entrada de propósito general.

#### **2.4.5.5 Operación adecuada de computador (COP).**

El sistema watchdog es activo si el bit de control NOCOP del registro CONFIG es cero o activo si es uno lógico. La velocidad de COP es fijada al más corto timeout.

#### **2.4.5.6 Interfase de comunicación serial (SCI).**

La condición de reset del SCI es independiente del modo de operación. El registro de control de velocidad baud es inicializado a \$04. Todas las interrupciones de transmisión y recepción son enmascaradas y el transmisor y receptor son desactivados para que sus terminales empiecen como líneas de E/S de propósito general.

#### 2.4.5.7 Interfase periférica serial (SPI).

Es desactivada por el reset. Sus terminales inician por default como líneas de E/S de propósito general.

#### 2.4.5.8 Convertidor Analógico digital.

La configuración del convertidor analógico- digital es indeterminada después del reset, el bit ADPU es puesto a cero, lo que desactiva el sistema analógico digital.

#### 2.4.6 Prioridad de fuentes de reset e interrupción.

Existen un total de 21 fuentes de interrupción o reset que tienen una prioridad asignada por hardware para determinar cual de ellas debe atenderse primero en caso que se presenten simultáneamente. Dicha prioridad es la siguiente.

- 1.-POR o terminal RESET.
- 2.-Clock monitor.
- 3.-Watchdog COP.
- 4.-XIRQ.
- 5.-Interrupción de código ilegal.
- 6.-Interrupción de software SWI.
- 7.-IRQ.
- 8.-Interrupción de tiempo real.
- 9.-temporizador de captura de entrada 1.
- 10.-temporizador de captura de entrada 2.
- 11.-temporizador de captura de entrada 3.
- 12.-temporizador de comparación de salida 1.
- 13.-temporizador de comparación de salida 2.
- 14.-temporizador de comparación de salida 3.
- 15.-temporizador de comparación de salida 4.
- 16.-temporizador de captura de entrada 3/comparación de salida 4.
- 17.-sobreflujo de temporizador.

- 18.-sobreflujo del acumulador de pulso.
- 19.-Entrada de borde del acumulador de pulso.
- 20.-transferencia completa del SPI.
- 21.-Sistema SCI.

Las primeras seis fuentes son no enmascarables, mientras que las restantes son enmascarables. La prioridad de las interrupciones enmascarables puede ser modificada escribiendo el valor adecuado en los bits PSEL del registro HPRIO, de otra manera el orden de prioridad permanece igual. HPRIO solo puede ser escrito cuando el bit I de interrupción es inhibido. Una interrupción asignada con la prioridad más alta queda todavía sujeta a el enmascaramiento global del bit I de registro CCR. Los vectores de interrupción no son afectados por la modificación de prioridad.

PSEL (3:0)				FUENTE DE INTERRUPTCIÓN MODIFICADA
0	0	0	0	SOBREFLUJO DE TEMPORIZADOR
0	0	0	1	SOBREFLUJO DE ACUMULADOR DE PULSO
0	0	1	0	ACUMULADOR DE PULSO DE ENTRADA DE BORDE
0	0	1	1	TRANSFERENCIA SERIAL COMPLETA DE SPI
0	1	0	0	SISTEMA SERIAL SCI
0	1	0	1	RESERVADO (DEFAULT A IRQ)
0	1	1	0	IRQ TERMINAL EXTERNO O ES PARALELA
0	1	1	1	INTERRUPTIÓN DE TIEMPO REAL
1	0	0	0	TEMPORIZADOR DE ENTRADA DE CAPTURA 1
1	0	0	1	TEMPORIZADOR DE ENTRADA DE CAPTURA 2
1	0	1	0	TEMPORIZADOR DE ENTRADA DE CAPTURA 3
1	0	1	1	TEMPORIZADOR DE SALIDA DE COMPARACIÓN 1
1	1	0	0	TEMPORIZADOR DE SALIDA DE COMPARACIÓN 2
1	1	0	1	TEMPORIZADOR DE SALIDA DE COMPARACIÓN 3
1	1	1	0	TEMPORIZADOR DE SALIDA DE COMPARACIÓN 4
1	1	1	1	TEMPORIZADOR ENTRADA CAPTURA 4/SALIDA COMPARACIÓN 5

Tabla 2.11 Valores de los bits PSEL (3:0) para modificar la prioridad de interrupción.

## 2.4.7 Vectores de interrupción.

El MCU tiene 18 vectores de interrupción que soportan 22 fuentes de interrupción. Las 15 fuentes enmascarables de interrupción son generadas por los dispositivos periféricos integrados. Estas interrupciones son reconocidas si el bit I del CCR es cero. Las tres fuentes no enmascarables de interrupción son código ilegal trap, interrupción de software y terminal XIRQ. La siguiente tabla nos muestra los vectores asignados para cada fuente de interrupción.

DIRECCIÓN DEL VECTOR	FUENTE DE INTERRUPCIÓN	CCR MASK BIT	LOCAL MASK
FFC0,C1-FFD4,D5	RESERVADO	-	-
FFD6,D7	SISTEMA SERIAL SCI	1	
	SCI RECEIVE DATA REGISTER FULL		RIE
	SCI RECEIVER OVERRUN		RJE
	SCI TRANSMIT DATA REGISTER EMPTY		TIE
	SCI TRANSMIT COMPLETE		TCIE
	SCI IDLE LINE DETECT		ILIE
FFD8,D9	SPI SERIAL TRANSFER COMPLETE	1	SPIE
FFDA,DB	ACUMULADOR DE PULSO DE ENTRADA DE BORDE	1	PAIE
FFDC,DD	SOBREFLUJO DE ACUMULADOR DE PULSO	1	PAOVI
FFDE,DF	SOBREFLUJO DE TEMPORIZADOR	1	TOI
FFE0,E1	TEMPORIZADOR DE ENTRADA CAPTURA 4/ SALIDA COMPARACION 5	1	I4 / O5I
FFE2,E3	TEMPORIZADOR DE COMPARACION DE SALIDA 4	1	OC4I
FFE4,E5	TEMPORIZADOR DE COMPARACION DE SALIDA 3	1	OC3I
FFE6,E7	TEMPORIZADOR DE COMPARACION DE SALIDA 2	1	OC2I
FFE8,E9	TEMPORIZADOR DE COMPARACION DE SALIDA 1	1	OC1I
FFEA,EB	TEMPORIZADOR DE CAPTURA DE ENTRADA 3	1	IC3I
FFEC,ED	TEMPORIZADOR DE CAPTURA DE ENTRADA 2	1	IC2I
FFEE,EF	TEMPORIZADOR DE CAPTURA DE ENTRADA 1	1	IC1I

FFF0,F1	INTERRUPCIÓN DE TIEMPO REAL	1	RTTI
FFF2,F3	IRQ (TERMINAL EXTERNO)	1	SIN
FFF4,F5	TERMINAL XIRO	X	SIN
FFF6,F7	INTERRUPCIÓN DE SOFTWARE	SIN	SIN
FFF8,F9	ILLEGAL CODE TRAP	SIN	SIN
FFFA,FB	COP FAILURE	SIN	NO COP
FFFC,FD	CLOCK MONITOR	SIN	CME
FFFE,FF	RESET	SIN	SIN

Tabla 2.12 Vectores de interrupción.

Para algunas fuentes de interrupción tales como las interrupciones SCI, las banderas son limpiadas automáticamente durante el curso normal de respuesta al requerimiento de interrupción.

Una interrupción puede ser reconocida en cualquier momento después de haber sido habilitada por su enmascaramiento local, si tiene, y por su enmascaramiento global en el registro CCR. Una vez que una fuente de interrupción es reconocida, el CPU termina la ejecución de la instrucción. La espera de la instrucción depende del número de ciclos requeridos para ejecutar la instrucción actual. Al inicio de la interrupción, el contenido de los registros del CPU son guardados en la pila en el orden mostrado en la tabla 2.13. Al terminar de guardar los registros, los bits I y X son puestos a 1 lógico para inhibir más interrupciones. Es ejecutada la instrucción contenida en el vector de interrupción de más alta prioridad de las interrupciones requeridas, si hubiera habido varias al mismo tiempo. Al finalizar la rutina de interrupción la instrucción de retorno de interrupción es ejecutada y los registros guardados son extraídos de la pila en orden inverso al de ingreso.

LOCALIDAD DE MEMORIA	REGISTRO DE CPU
SP	PC BAJO
SP - 1	PC ALTO
SP - 2	IY BAJO
SP - 3	IY ALTO
SP - 4	IX BAJO
SP - 5	IX ALTO

SP - 6	ACUMULADOR A
SP - 7	ACUMULADOR B
SP - 8	CCR

Tabla 2.13 Orden de apilamiento de los registros del CPU.

#### 2.4.8 Requerimiento de interrupción no inhibible.

Son útiles debido a que ellas pueden siempre interrumpir la operación del CPU. Su uso común es para fallas serias del CPU tales como programas fuera de control o fallas de energía.

Después del reset, Los bits X e I del CCR son puestos a 1 para desactivar todas la interrupciones inhibibles y XIRQ. Después de un sistema mínimo de inicialización, el software puede limpiar al bit X con una instrucción TAP, habilitando interrupciones XIRQ. Después, no se puede poner a 1 el bit X. Así una interrupción XIRQ es no inhibible. Debido a que el funcionamiento del bit I esta relacionada a la estructura del sistema de interrupción no tiene efecto en el bit X, el terminal XIRQ permanece no inhibible. En la lógica de prioridad de interrupción, la interrupción XIRQ tiene la más alta prioridad establecida que cualquier fuente que es inhibible por el bit I. Todas las instrucciones relacionadas con el bit I operan normalmente con su propia relación de prioridad.

Cuando una interrupción relacionada con el bit I ocurre, el bit I es automáticamente puesto a 1 por hardware después de almacenar los registros y CCR, y el bit X no es afectado. Cuando ocurre una interrupción relacionada con el bit X, los bits X e I son automáticamente puestos a uno por hardware después de almacenar el registro CCR. Un retorno de interrupción restaura los bits X e I a sus estados previos a la interrupción.

##### 2.4.8.1 Detección de código ilegal.

Debido a que no son definidos todos los códigos de operación o secuencias de código de operación, el MCU incluye un circuito de detección de código ilegal. Cuando un código ilegal es detectado y una interrupción es reconocida, el valor actual del PC es guardado en la pila. Después de que la rutina de interrupción es ejecutada, restaura el apuntador de pila para repetir la ejecución de código ilegal para



que no cause bajo flujo de pila. Dejando sin inicializar el vector de código ilegal, este puede apuntar a una dirección de memoria donde exista una instrucción ilegal, lo que crearía un ciclo infinito que provocaría un bajo flujo en la pila. La pila crece hasta que el sistema truena.

El mecanismo de código ilegal trap trabaja para todos los códigos no implementados de todas las paginas de opcodes. La dirección almacenada como la dirección de retorno del código ilegal de interrupción es la dirección del primer byte del código ilegal. De otra manera, sería casi imposible determinar si el código ilegal es de uno o dos bytes. La dirección de retorno para la interrupción de código ilegal puede ser empleada como un apuntador del código ilegal para ser evaluada en la rutina de interrupción que evalúe el código ilegal.

#### 2.4.8.2 Interrupción de software.

La instrucción SWI es como cualquier interrupción y por lo tanto no puede ser interrumpida hasta terminarse. SWI no es inhibida por el bit I del CCR.

#### 2.4.8.3 Interrupciones inhibibles.

La estructura de interrupción del MCU puede ser extendido para incluir fuentes de interrupción externas adicionales a través del terminal IRQ. Por default la configuración de este terminal es una red wire-or sensitiva al nivel bajo. Cuando un evento dispara una interrupción, una bandera de acceso a interrupción de software es fijada. Cuando se habilita, esta bandera causa un requerimiento de servicio interrupción. Después que la bandera es limpiada, el requerimiento de servicio de interrupción es liberado.

#### 2.4.8.4 Operación de baja energía.

Las instrucciones STOP y WAIT suspenden la operación del CPU hasta que un reset o interrupción ocurre. WAIT suspende procesos y reduce consumo de energía a un nivel intermedio de energía. STOP desactiva todos los relojes internos y reduce el consumo de energía a un mínimo absoluto mientras mantiene el contenido integro de la RAM.

TEEN CON  
FALLA DE ORIGEN

**2.4.8.4.1 WAIT.**

El código de operación coloca el MCU en un estado de espera, durante el cual los registros del CPU son apilados y los procesos del CPU son suspendidos hasta que una interrupción calificada es reconocida. La interrupción puede ser externa IRQ , XIRQ o alguna de las interrupciones generadas internamente, tales como de temporizador o de interfase serial. El oscilador de cristal interno permanece activo durante el periodo de reposo (standby). En este tipo de circuitería energía es consumida si el reloj esta corriendo debido a la carga y descarga de capacitores a través de pequeñas pero finitas resistencias.

**2.4.8.4.2 STOP.**

Al ejecutar el código de operación STOP mientras el bit S en el CCR es igual a cero se coloca el MCU en condición de PARO. Si S no es cero, el código de operación es tratado como una instrucción de no operación. La condición de paro ofrece mínimo consumo de energía porque detiene el funcionamiento de todos los relojes, incluyendo el oscilador de cristal. Para salir de este modo de ahorro de energía se debe aplicar un nivel de voltaje bajo a la terminal de interrupción IRQ , XIRQ o RESET.

**2.5 SISTEMA CONVERTIDOR ANALÓGICO - DIGITAL.**

El MCU MC68HC11A8 cuenta con un sistema convertidor analógico - digital "CAD" basado en la técnica de aproximaciones sucesivas. Este CAD esta implementado en 8 canales que son los 8 pines del puerto E. En el caso del encapsulado tipo dual de 48 pines solo se cuenta con cuatro canales, ya que el puerto E solo tiene pines de E0 a E3. El CAD tiene una resolución de 8 bits, es decir, como estamos trabajando con valores binarios tenemos  $2^8 = 256$  posible valores generados por el DAC, desde 00000000 hasta 11111111. Visto de otra forma:

$$RESOLUCION = \frac{5.12V}{256/ITS} = \frac{20mV}{ITS}$$

Esto indica que el voltaje en el DAC debe aumentar 20 mV para que el resultado se modifique en 1 bit.

Para utilizar el CAD del 68HC11 primero se deben conectar adecuadamente los pines  $V_{RH1}$  (22) y  $V_{RI}$  (21) que son los voltajes de referencia alto y bajo. Lo mas común es conectar  $V_{RH1}$  a  $V_{DD}$  que es 5 volts y  $V_{RI}$  a tierra a través de un filtro pasabajas, aunque el único requisito es que  $V_{RH1}$  sea por lo menos 2.5 volts mayor que  $V_{RI}$ .

El funcionamiento del convertidor analógico digital se resume en cuatro pasos:

- 1.-Encender el CAD y seleccionar el sistema de reloj en el registro OPTION dirección \$1039.
- 2.-Escribir al registro ADCTL en la dirección \$1030 para iniciar una secuencia de conversión
- 3.-Accesar los datos en los registros de resultados ADR1- ADR4 en las direcciones \$1031 a \$1034.
- 4.-Mover los resultados al área de memoria RAM.

En el primer paso, se deben escribir los bits 7 y 6 del registro OPTION al valor adecuado

OPTION	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 1039
	ADPU	CSEL	IRQE	DLY	CME	0	CR1	CR0	

ADPU=0 : Convertidor analógico digital desactivado.

ADPU=1 : Convertidor analógico digital activado.

CSEL=0 : Convertidor analógico - digital y EEPROM usan el reloj E.

CSEL=1 : Convertidor analógico - digital y EEPROM usan un oscilador RC interno.

El oscilador RC debe ser utilizado cuando la frecuencia del reloj E sea menor de 750 KHz, caso contrario lo adecuado es utilizar el reloj E del sistema para el funcionamiento del CAD.

El segundo paso configura el funcionamiento del CAD de acuerdo a las siguientes funciones:

ADCTL	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 1030
	CCF	0	SCAN	MULT	CD	CC	CB	CA	

CCF : Bandera de conversión completa, se fija a 0 cuando se escribe a este registro y se fija a 1 cuando termina de realizarse la cuarta conversión.

SCAN=0 : El CAD realiza 4 conversiones y se detiene.

SCAN=1: El CAD realiza conversiones continuamente en grupos de 4.

MULT=0 : El CAD realiza las conversiones de un mismo canal seleccionado por CD, CC, CB y CA.

MULT=1 : El CAD realiza las conversiones de 4 canales diferentes seleccionados en CD, CC, CB y CA.

CD, CC, CB y CA : Selección de canal o canales de acuerdo a la siguiente tabla.

BITS DE SELECCION DE CANAL				CANAL	RESULTADO DE
CD	CC	CB	CA	SELECCIONADO	CONVERSION
0	0	0	0	AN0	ADR1
0	0	0	1	AN1	ADR2
0	0	1	0	AN2	ADR3
0	0	1	1	AN3	ADR4
0	1	0	0	AN4*	ADR1
0	1	0	1	AN5*	ADR2
0	1	1	0	AN6*	ADR3
0	1	1	1	AN7*	ADR4
1	0	X	X	RESERVADO	ADR1-ADR4
1	1	0	0	$V_{RH}^{**}$	ADR1
1	1	0	1	$V_{RL}^{**}$	ADR2
1	1	1	0	$(V_{RH})2^{**}$	ADR3
1	1	1	1	RESERVADO**	ADR4

\* No disponible en empaque dual de 48 pines.

\* Usado en pruebas de fabricación.

Cuando MULT=1 los valores de CB y CA no se toman en cuenta.

Al momento de escribir al registro \$1030 se inicia una secuencia de conversión. El CAD requiere de 32 ciclos de reloj E para finalizar la conversión de 1 canal y un total de 128 ciclos de reloj E para realizar la conversión de los 4 canales. Si el microcontrolador esta trabajando con un oscilador de cristal de 8 MHz, la frecuencia del reloj

TESTEADO  
FALLA DE ORIGEN

E será de 2 MHz, por lo que cada ciclo tiene una duración de 0.5  $\mu$ S, la conversión de 1 canal tardara 16 $\mu$ S y la conversión de los 4 canales tardara 64 $\mu$ S.

El tercer paso es leer los resultados de los registros ADR1, ADR2, ADR3 y ADR4 que son registros de solo lectura y están asignados en las direcciones \$1031 a \$1034.

ADR1	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 1031
ADR2	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 1032
ADR3	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 1033
ADR4	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 1034

El cuarto paso que hace referencia a mover los resultados a un área de memoria RAM. Esto es por que lo más probable es que se estén realizando conversiones continuas por lo que en algún momento los valores de ADR1, ADR2, ADR3 y ADR4 serán sobrescritos. La manera de hacer esto es con una sencilla rutina como la que a continuación se ejemplifica.

```

INICIO   LDX      #$1031      ; Carga el registro indexado X con el valor HEX $1031.
         LDY      #$0         ; Carga el registro indexado Y con el valor HEX $0.
         LDAA    0,X         ; Carga el acumulador A con el valor en la dirección $1031.
         STAA    0,Y         ; Guarda el valor del acumulador A en la dirección $0.
         INY      ; Incrementa el valor de Y.
         INX      ; Incrementa el valor de X.
         CPX      #$04        ; Compara X con el valor HEX $04.
         BEQ     FIN         ; Si el bit Z del registro CCR es uno salta a la etiqueta FIN.
         JMP     INICIO      ; Salto incondicional a la etiqueta inicio.

```

## 2.6 INTERFASE SERIAL DE COMUNICACIÓN.

El MC68HC11A8 incluye una interfase de comunicación serial asincrónica con las siguientes características:

- Formato de No Retorno a Cero (NRZ) de 1 bit de inicio, 8 o 9 bits de datos y 1 bit de parada.
- Operación Full-Duplex.
- Transmisor y receptor independientes.
- Velocidad de transmisión seleccionable entre 32 opciones.

- mode Wake- up.

Las características de funcionamiento del formato NRZ son las siguientes:

- Línea desocupada conduce un estado lógico 1 previo a la transmisión o recepción de 1 carácter.
- bit de inicio cero lógico, que indica el inicio de una trama.
- la transmisión y recepción de un dato inicia con el bit menos significativo (LSB).
- Bit de paro 1 lógico, se utiliza para indicar el fin de una trama.
- Un break es definido como la transmisión o recepción de un 0 lógico por al menos el tiempo de una trama.

Cinco registros son utilizados para establecer el funcionamiento de la SCI.

- Registro BAUD dirección \$102B.
- Registro SCCR1 dirección \$102C.
- Registro SCCR2 dirección \$102D.
- Registro SCSR dirección \$102E.
- Registro SCDR dirección \$102F.

Las características de estos registros se menciona posteriormente.

Los pasos para utilizar el SCI son los siguientes :

- 1.-Activar Tx/D y/o Rx/D
- 2.-Establecer parámetros de comunicación.
- 3.-Establecer modo de interrupción o poleo.
- 4.-Escribir / leer datos del Registro de Datos.

Primer Paso 1. En el registro SCCR2 Se activan por separado el Transmisor y el receptor de la SCI.

SCCR2	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 102D
	TE	TCIE	RIE	ILIE	TE	RE	RWU	SBK	

TE=0 : Transmisor desactivado.

TE=1 : Transmisor activado.

RE=0 : Receptor desactivado.

RE=1 : Receptor activado.

El transmisor y receptor del SCI son parte del puerto D que esta definido como entradas/ salidas de propósito general. Cuando están desactivados el transmisor, el receptor o ambos, estos pines están regidos por el registro de dirección del puerto D.

Segundo paso. El registro BAUD en la dirección \$102B Permite establecer la velocidad de transmisión de datos. Dicho registro establece lo siguiente :

BAUD	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 102B
TCLR	SCP2	SCP1	SCP0	RCKB	SCR2	SCR1	SCR0		

TCLR : Pruebas de fabricación.

RCKB : Pruebas de fabricación.

SCP2, SCP1 y SCP0 establecen la velocidad de transmisión máxima para la SCI dependiendo de la frecuencia del oscilador de cristal del sistema. Sus parámetros están establecidos en la siguiente tabla :

				FRECUENCIA DE OSCILADOR DE CRISTAL				
SCP2	SCP1	SCP0	RELOJ DIVIDIDO POR	4.0	4.9152	8.0	8.3886	12.0
0	0	0	1	62 500	76 800	125 000	131 072	187 500
0	0	1	3	20 833	25 600	41 667	43 691	62 500
0	1	0	4	15 625	19 200	31 250	32 768	46 875
0	1	1	13	4 800	5 907	9 600	10 082	14 423
1	0	0		NO APLIC A				
1	0	1		NO APLIC A				
1	1	0		NO APLIC A				
1	1	1		NO APLIC A				

TESIS CON  
FALLA DE ORIGEN

Tabla 2.14. Velocidades BAUD seleccionables.

Note por favor que el bit SCP2 Solo es valido para valor de cero. Dependiendo del valor establecido en la tabla anterior, los bits SCR2, SCR1 y SCR0 seleccionan una velocidad que es submultiplo de la velocidad de transmisión máxima de acuerdo a la siguiente tabla.

				VELOCIDAD BAUD MAYOR				
SCR2	SCR1	SCR0	RELOJ DIVIDIDO POR	131.072	76.800	32.768	19.200	4.800
0	0	0	1	131.072	76.800	32.768	19.200	4.800
0	0	1	2	65.536	38.400	16.384	9.600	2.400
0	1	0	4	32.768	19.200	8.192	4.800	1.200
0	1	1	8	16.384	9.600	4.096	2.400	600
1	0	0	16	8.192	4.800	2.048	1.200	300
1	0	1	32	4.096	2.400	1.024	600	150
1	1	0	64	2.048	1.200	512	300	75
1	1	1	128	1.024	600	256	150	—

Tabla 2.15. Velocidades BAUD submultiplos disponibles .

La combinación de estos seis bits anteriores establecen entonces la velocidad baud de transmisión del SCI.

El otro parámetro a establecer es la longitud de palabra. EL registro SCCR1 en la dirección S102C contiene los siguientes bits.

SCCR1	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 102C
	RR	T8	0	M	WAKE	0	0	0	

R8 : Cuando M=1, R8 funciona como el noveno bit a recibir de un carácter.

T8 : Cuando M=1, T8 funciona como el noveno bit a transmitir de un carácter.



M=0 : 1 bit de inicio, 8 bits de datos, 1 bit de paro.

M=1 : 1 bit de inicio, 9 bits de datos, 1 bit de paro.

El bit WAKE determina la forma en que la SCI saldrá del modo WAKE UP.

WAKE=0 : Por reconocimiento de línea IDLE.

WAKE=1 : Por carácter de dirección.

El empleo de 9 bits para transmisión de caracteres puede ser útil si el sistema requiere la transmisión de 1 bit de paridad o salir del modo WAKE UP a través de un carácter de dirección.

Tercer paso. Podemos establecer el funcionamiento de la SCI en base a llamadas a interrupciones cada vez que se realiza ciertos eventos o bien en base a poleo. El poleo consiste en que cada cierto tiempo se revisa si ha ocurrido algún evento en la SCI. Las interrupciones existentes para la SCI son las siguientes:

DIRECCION DE VECTOR	FUENTE DE INTERRUPCION	CCR MASK BIT	LOCAL MASK
FFD6-FFD7	SCI RECEIVE DATA REGISTER FULL	1	RIE
FFD6-FFD7	SCI REGISTER OVERRUN	1	RIE
FFD6-FFD7	SCI TRANSMIT DATA REGISTER EMPTY	1	TIE
FFD6-FFD7	SCI TRANSMIT COMPLETE	1	TCIE
FFD6-FFD7	SCI IDLE LINE DETECT	1	ILIE

La configuración de estos parámetros se lleva a cabo en el registro \$ 102D.

SCCR2	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 102D
	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK	

TIE=0 : Interrupción de transmisión desactivada (modo poleo).

TIE=1 : Interrupción de transmisión activada.

TCIE=0 : Interrupción de transmisión completa desactivada (modo poleo).

TCIE=1 : Interrupción de transmisión completa activada.

RIE=0 : Interrupción de recepción desactivada (modo poleo).

R1IE=1 : Interrupción de recepción activada.

IL1IE=0 : Interrupción de línea IDLE desactivada (modo poleo).

IL2IE=0 : Interrupción de línea IDLE desactivada (modo poleo).

Cuando los datos son transferidos del registro SCDR al registro serial de transmisión de datos se efectuará una interrupción si T1IE=1. Cuando ya no hay en cola por transmitir ningún dato, o break (o sea que SCDR y el registro serial de transmisión de datos, ambos están vacíos) se genera una interrupción si T1CIE=0.

Los restantes bits de este registro son:

RWU = 0 : Receptor en modo normal.

RWU = 1 : Receptor en modo WAKE UP.

SBK = 0 : Generador de carácter break es desactivado.

SBK = 1 : Generador de carácter break es activado.

Cuarto Paso. Una vez establecidos los parámetros de comunicación y activado el transmisor en el bit T1E de SCCR2, la transmisión de 1 carácter es tan sencillo como escribir un dato a la dirección \$102F que es el registro de datos.

SCDR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 102F
	R7/T7	R6/T6	R5/T5	R4/T4	R3/T3	R2/T2	R1/T1	R0/T0	

En este registro se escriben los datos a ser transmitidos y en el mismo se leen los datos que son recibidos. En caso de tener habilitada una interrupción de transmisión T1E o T1CIE al momento de poder escribir otro dato o al momento de estar vacío el registro serial de transmisión nos llevará a una rutina de interrupción donde decidiremos como se debe atender dicha interrupción. En el caso de tener habilitado el modo de poleo, se debe generar algunas instrucciones que estén atentas al momento en que se puede escribir el siguiente dato. Un ejemplo de rutina para este caso es el siguiente.

\* EJEMPLO DE RUTINA DE TRANSMISION DE DATOS

\* EMPLEANDO EL MODO POLEO.

\* ASIGNA VALORES A CONSTANTES

```
BAUD      EQU    $30
SCCR2     EQU    $08
PILA      EQU    $FF
```

\* INICIO DE PROGRAMA.

```
LDS #PILA          ; INICIA PILA EN DIRECCIÓN FF.
LDAA #BAUD         ; CARGA ACUMULADOR A CON VALOR DE BAUD.
STAA $102B         ; FIJA VEL. TRANSMISIÓN A 9600 BAUD.
LDAA #SCCR2        ; CARGA ACUMULADOR A CON VALOR DE SCCR2.
STAA $102D         ; HABILITA TxD.
LDAA #$41          ; CARGA UN DATO AL ACUMULADOR A.
STAA $102F         ; TRANSMITE INFORMACIÓN.
BSR ESPERA        ; BRINCA A SUBROUTINA DE ESPERA DE TRANSMISIÓN.
BRA *            ; BRINCA A ESTA MISMA DIRECCIÓN.
```

\* RUTINA DE ESPERA DE TRANSMISIÓN

```
ESPERA  LDAB $102E      ; LEE SCSR PARA VER BANDERAS DE TRANSMISIÓN.
        CMPB #$80      ; VERIFICA SI TDRE=1.
        BEQ REGRE      ; SI TDRE=1 BRINCA A ETIQUETA REGRESA.
        JMP ESPERA     ; SI TDRE=0 BRINCA A ETIQUETA ESPERA.
REGRE   RTS           ; REGRESA A PROGRAMA PRINCIPAL.
```

Es muy importante el registro SCSR en la dirección \$102E ya que en el se encuentran las banderas de eventos que ocurren en la SCI. A continuación se presenta una descripción de dicho registro.

SCSR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	\$ 102F
	TDRE	TC	RDRR	IDLE	OR	NF	FE	0	

TDRE = 0 : El registro de transmisión esta ocupado, no se puede escribir a SCDR.

TDRE = 1 : El registro de transmisión esta vacío, se puede escribir a SCDR.

TC = 0 : Datos permanecen por lo menos en el registro de transmisión.

TC = 1 : Ningún dato ni break se encuentran en cola de transmisión. La línea esta IDLE.

RDRF = 0 : No se han recibido datos.

RDRF = 1 : Un dato se encuentra listo en SCDR para ser leído.

IDLE = 0 : Si la línea de recepción de datos esta BUSY.

IDLE = 1 : Si la línea de recepción de datos esta IDLE.

OR = 1 : Si ocurrió un error overrun.

NF = 1 : Si ruido es detectado en la recepción de datos.

FE = 1 : Si no es detectado el bit de paro en un dato recibido.

La recepción de un dato se puede realizar al igual que la transmisión, a través de estar poleando el bit RDRF del registro SCSR o por medio de una interrupción. Al tener conocimiento el sistema que en el registro SCDR dirección \$ 102F se encuentra un dato, este debe ser leído para evitar pérdida de información si más datos se están recibiendo. Un ejemplo de una rutina para recepción de datos utilizando el modo interrupción.

\* EJEMPLO DE RUTINA DE RECEPCIÓN DE DATOS.

\* EMPLEANDO EL MODO INTERRUPCIÓN.

\* ASIGNACION DE VALORES A CONSTANTES.

BAUD	EQU	\$30
SCCR2	EQU	\$24
PILA	EQU	\$FF

\* INICIO DE PROGRAMA.

ORG \$E000	: DECLARA ORIGEN DEL PROGRAMA.
LDS #PILA	: INICIA PILA EN LA CIMA DE RAM INTERNA.
LDAB #BAUD	
STAB \$102B	: FIJA VELOCIDAD DE TRANSMISIÓN A 9600 BAUD.
LDAB #SCCR2	
STAB \$102D	: HABILITA PINES RxD y RIE.
LDD #\$00	

LDX #0000  
LDY #0000 ; INICIA REGISTROS.  
CLI ; LIMPIA BIT I DE CCR.

NOC BRA \* ; ESPERA HASTA RECIBIR CARÁCTER POR LÍNEA RxD.

LDAA \$102E  
LDAB \$102F ; LEE CARÁCTER Y LIMPIA BANDERA EN 102E.  
ANDA #\$0F ; VERIFICA CONTRA ERRORES DE RUIDO.  
CMPA #\$00  
BEQ VALIDO ; SI ES DATO VALIDO SALTA A ETIQUETA VAL.  
REGR RTI ; REGRESA DE INTERRUPCIÓN SI FUE RUIDO.

VAL STAA \$A0 ; ALMACENA DATO EN ÁREA DE MEMORIA RAM.  
BNE REGR ; SALTA A RETORNO DE INTERRUPCIÓN.

\* ESTAS INSTRUCCIONES GRABAN AL SIMULADOR DIRECCIONES DE INTERRUPCIÓN

ORG \$FFFE  
FDB \$E000 ; VECTOR DE INICIO APUNTA A DIRECCIÓN E000.  
ORG \$FFD6  
FDB INICIO ; VECTOR DE INTERRUPCIÓN DE SCI APUNTA A DIRECCIÓN DE  
ETIQUETA INICIO.

### CAPITULO 3. DISEÑO DE UNA TARJETA OSCILOSCOPIO DE INTERFASE A PC.

#### 3.1 Introducción.

La parte práctica de esta tesis, consiste en el desarrollo de una tarjeta osciloscopio con interfase a PC, de bajo costo, aprovechando la existencia de una computadora personal. La figura 3.1 muestra un diagrama a bloques con los elementos principales del sistema que proponemos desarrollar. Como parte de este capítulo analizaremos el diseño de los dos primeros módulos, dejando el desarrollo del software al capítulo IV.

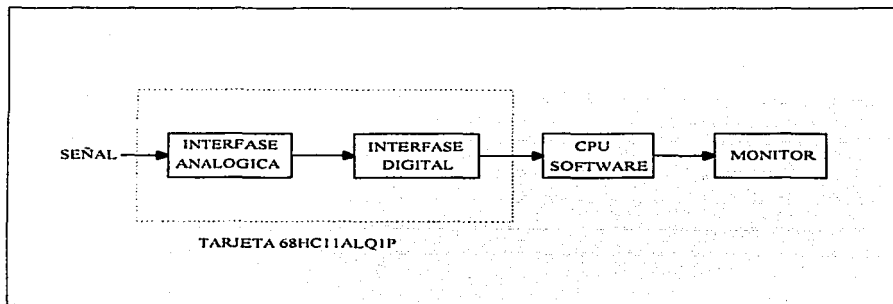


Figura 3.1. Diagrama a bloques del osciloscopio virtual.

#### 3.2 Interfase analógica.

Aunque el microcontrolador 68HC11AIP de la tarjeta osciloscopio contiene un convertidor analógico digital, no es posible utilizarlo directamente para la visualización de señales eléctricas, ya que muchas de estas señales no cumplen con los parámetros de operación de dicho convertidor, que son voltaje mínimo 0 y voltaje máximo 5.2 voltios. Por este motivo es necesario implementar una interfase

analógica la cual nos resolverá este problema. Visualizando la interfase analógica como una caja negra, definimos sus parámetros en la figura 3.2.

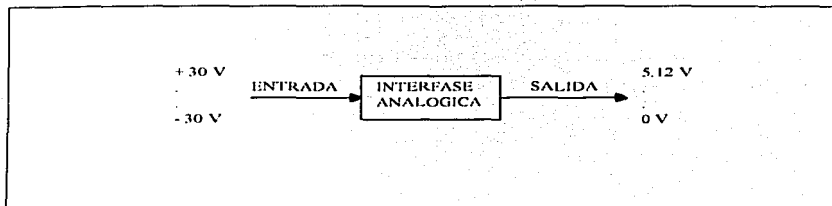


Figura 3.2 Interfase analógica.

El parámetro ENTRADA se refiere a una señal eléctrica en forma de voltaje que es la que deseamos visualizar. El rango del voltaje de entrada es  $\pm 30V$ , y a mi consideración abarca la mayor parte de señales eléctricas que en aspectos prácticos podríamos requerir visualizar de algún equipo existente en el mercado, excepto las fuentes de alimentación. El rango del voltaje de salida corresponde a los parámetros máximo y mínimo que acepta el convertidor analógico digital del microcontrolador 68HC11A1P, que es de 0 a 5.12 volts.

Ahora, nuestro problema se define en diseñar una interfase que satisfaga las condiciones de la figura 3.2, es decir, cualquier voltaje en el rango de -30 a 30 volts debe ser convertido a un rango de 0 a 5.2 volts, conservando su forma, frecuencia y polaridad. Para una mejor comprensión de nuestra necesidad, elaboramos una gráfica de los requerimientos, tomando la señal de entrada como variable independiente al eje X y la salida como variable dependiente al eje Y.

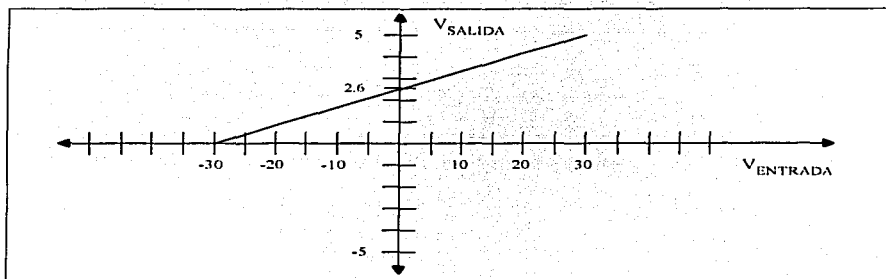


Figura 3.3. Característica entrada - salida de interfase analógica.

De la gráfica anterior :  $m = \text{ganancia} = \text{sensibilidad} \frac{\Delta V}{\Delta V'} = \frac{5.2V'}{60V} = 0.0866$ ;

La ecuación matemática de la gráfica anterior que es de tipo punto y pendiente, se expresa en la ecuación 1.

$$Y = mx + b \dots\dots\dots(1)$$

donde  $m = \frac{5.2}{60} = 0.0866$  y  $b = 2.6$

Sustituyendo valores de m y b en la ecuación 1:

$$Y = \frac{5.2}{60} \cdot X + 2.6 \dots\dots\dots (2)$$

Esta es la ecuación de la interfase analógica y el circuito propuesto que puede realizar dicha función es el siguiente :



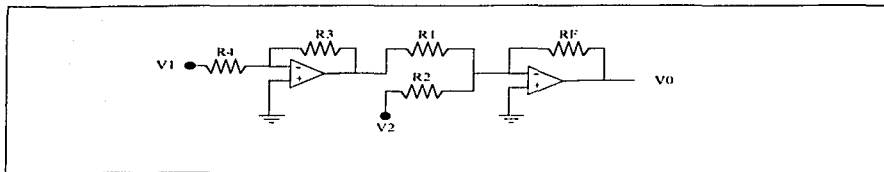


Figura 3.4. Circuito propuesto para la interfase analógica.

En la figura 3.4 tenemos un circuito seguidor unitario acoplado con un circuito sumador. La ecuación de salida  $V_0$  del circuito anterior es la siguiente:

$$V_0 = \frac{R_3 R_F}{R_3 R_1} V_1 - \frac{R_F}{R_2} V_2; \dots\dots\dots(3)$$

Como  $R_3$  y  $R_4$  son parte de un seguidor unitario,  $R_3$  debe ser igual a  $R_4$ . Arbitrariamente fijamos el valor de estas resistencias en 10K; entonces nuestra ecuación se reduce a:

$$V_0 = \frac{R_F}{R_1} V_1 - \frac{R_F}{R_2} V_2; \dots\dots\dots(4)$$

que también es de la forma :  $Y = mx + b$ ;

Para obtener la ecuación idéntica, requerimos un valor de  $V_2$  negativo. Fijando los siguientes valores arbitrariamente :  $R_F=13K$  y  $V_2=-15$  VCD y separando términos obtenemos:

$$V_0 = \frac{13}{R_1} V_1 + 2.6; \dots\dots\dots(5)$$

Igualando 2 y 5 y resolviendo para  $R_2$  y  $R_1$ :

$$R_2 = \frac{13}{2.6} V_2 = \frac{13}{2.6}(15) = 75K; \text{ físicamente este valor se obtendrá con 2 resistencias de 150 K en paralelo.}$$

$$R_1 = \frac{13(60)}{5.2} = 150K$$

Sustituyendo valores en la ecuación 4 :

$$V'0 = \frac{11}{130} V1 - \frac{13}{75} (-15);$$

$$V'0 = \frac{11}{130} V1 + 2.6 \dots\dots\dots(6)$$

Esta es la ecuación final de nuestro circuito, y para comprobar que cumple nuestros requerimiento, sustituimos los valores máximos y mínimos:

$$V'0 = \frac{11}{130} (-30) + 2.6 = 0.866(-30) + 2.6 = -2.6 + 2.6 = 0$$

$$V'0 = \frac{11}{130} (30) + 2.6 = 0.866(30) + 2.6 = 2.6 + 2.6 = 5.2$$

El circuito final ya contemplando el valor de todos sus componentes queda ilustrado en la figura 3.5 de esta manera :

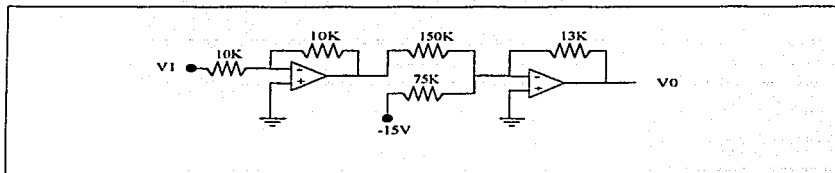


Figura 3.5 Circuito de interfase analógica con valores.

Este circuito cumple con nuestros requerimientos, pero tiene el inconveniente de que señales de valor pequeño, ya sea positivo o negativo aparecerán poco amplias al desplegarse en el monitor de la computadora pantalla. Para evitar esta situación, desarrollamos alternamente 3 circuitos idénticos pero con diferentes valores de entrada  $V1$  que a continuación se muestran:

Segundo circuito:

$V1$  MÍNIMO = -20 voltios

$V0$  MÍNIMO = 0 voltios

$V1$  MÁXIMO = 20 voltios

$V0$  MÁXIMO = 5.2 voltios

Tercer circuito:

VI MÍNIMO = -10 voltios

VI MÁXIMO = 10 voltios

VO MÍNIMO = 0 voltios

VO MÁXIMO = 5.2 voltios

Cuarto circuito:

VI MÍNIMO = -5 voltios

VI MÁXIMO = 5 voltios

VO MÍNIMO = 0 voltios

VO MÁXIMO = 5.2 voltios

El calculo de las resistencias para estos circuitos adicionales es idéntico al desarrollo anterior y se presenta a continuación.

### 3.2.1 Segundo Circuito.

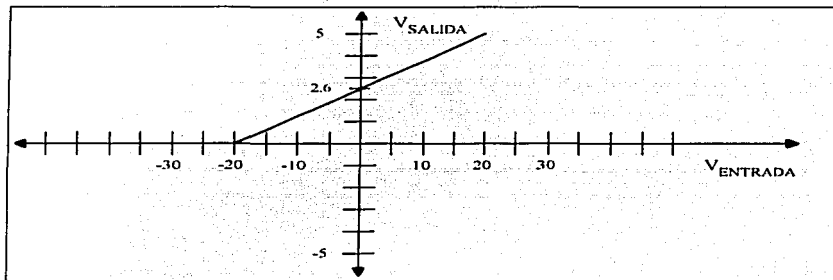


Figura 3.6. Gráfica de características de segundo circuito.

De la gráfica anterior :  $m = \text{ganancia} = \text{sensitividad} = \frac{\Delta V}{\Delta V} = \frac{2.6}{20} = 0.13$

La ecuación matemática de la gráfica anterior que es de tipo punto y pendiente, y tiene la siguiente forma:

$$Y = mx + b \dots\dots\dots(7)$$

donde  $m=0.13$  y  $b=2.6$

Sustituyendo valores de  $m$  y  $b$  en la ecuación 7:

$$Y = 0.13X + 2.6 ; \dots\dots\dots(8)$$

Del análisis anterior, la ecuación de nuestro circuito es :

$$I'0 = \frac{R_3 R_4}{R_3 R_4 R_1} I'1 - \frac{R_4}{R_2} I'2 ; \dots\dots\dots(9)$$

Estableciendo arbitrariamente  $R_3=R_4=10K$ ,  $R_1=13K$  y  $V_2=-15V$ ; entonces nuestra ecuación 9 se reduce a:

$$I'0 = \frac{13K}{R_1} I'1 + \frac{13K}{R_2} I'2 ; \dots\dots\dots(10)$$

Igualando 8 y 10 y resolviendo para  $R_1$  y  $R_2$  tenemos :

$$R_1 = \frac{R_1}{0.13} = \frac{13K}{0.13} = 100K$$

$$R_2 = \frac{-R_2}{2.6} I'2 = \frac{-13K-15V}{2.6} = 75K ; \text{ este valor será obtenido con 2 resistencias de } 150K \text{ en paralelo.}$$

### 3.2.2 Tercer circuito

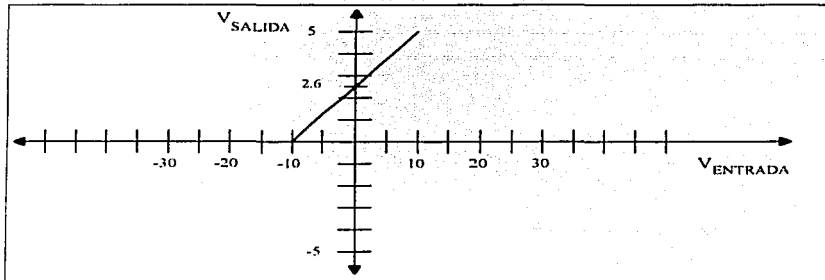


Figura 3.7. Gráfica de características del tercer circuito.

TESIS CON  
FALLA DE ORIGEN

De la figura 3.7 :  $m = \text{ganancia} = \frac{\Delta V}{\Delta I} = \frac{5.2}{20} = 0.26$

La ecuación matemática de la gráfica anterior es de tipo punto y pendiente:

$$Y = mx + b \dots\dots\dots(11)$$

Donde  $m = 0.26$  y  $b = 2.6$

Sustituyendo valores de  $m$  y  $b$  en la ecuación 11:

$$Y = 0.26X + 2.6 \dots\dots\dots(12)$$

Del primer análisis, la ecuación de nuestro circuito es :

$$I'0 = \frac{R_3 R_4}{R_3 R_4 + R_1} I'1 - \frac{R_4}{R_2} I'2; \dots\dots\dots(13)$$

Estableciendo arbitrariamente  $R_3 = R_4 = 10K$ ,  $R_1 = 13K$  y  $V_2 = -15V$ ; entonces nuestra ecuación 13 se reduce a:

$$I'0 = \frac{13K}{R_1} I'1 + 2.6 \dots\dots\dots(14)$$

Igualando 12 y 14 y resolviendo para  $R_1$  y  $R_2$  tenemos :

$$R_1 = \frac{R_4}{0.26} = \frac{13K}{0.26} = 50K; \text{ este valor se obtendrá con 2 resistencias de } 100K \text{ en paralelo.}$$

$$R_2 = \frac{-R_4}{2.6} I'2 = \frac{(-13K)(-15)}{2.6} = 75K; \text{ este valor se obtendrá con 2 resistencias de } 150K \text{ en paralelo.}$$

## 3.2.3 Cuarto Circuito:

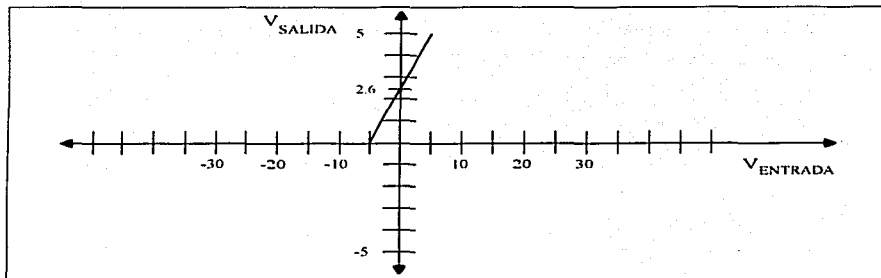


Figura 3.8 Gráfica de características del cuarto circuito.

De la figura 3.8 :  $m = \text{ganancia} = \frac{\Delta V}{\Delta I} = \frac{52V}{100I} = 0.52$

La ecuación matemática de la figura 3.8 es de tipo punto y pendiente:

$$Y = mx + b ; \dots\dots\dots(15)$$

donde  $m = 0.52$  y  $b = 2.6$

Sustituyendo valores de  $m$  y  $b$  en la ecuación 15:

$$Y = 0.26X + 2.6 ; \dots\dots\dots(16)$$

Del primer análisis anterior, la ecuación de nuestro circuito es :

$$I'0 = \frac{R2V1}{R4R1} I'1 - \frac{R1}{R2} I'2 \dots\dots\dots(17)$$

Estableciendo arbitrariamente  $R3=R4=10K$ ,  $R_F=13K$  y  $V_2=-15V$ ; entonces nuestra ecuación 17 se reduce a:

$$V_0 = \frac{13K}{R_1} V_1 + 2.6 \dots \dots \dots (18)$$

Igualando 16 y 18 y resolviendo para  $R_1$  y  $R_2$  tenemos :

$$R_1 = \frac{R_F}{0.52} = \frac{13K}{0.52} = 25K; \text{ este valor se aproximará con una resistencia de } 27K.$$

$$R_2 = \frac{-R_F}{2.6} V_2 = \frac{-13K(-15)}{2.6} = 75K; \text{ este valor se obtendrá con 2 resistencias de } 150K \text{ en paralelo.}$$

Finalmente el diagrama completo de la interfase analógica, incluyendo valores de componentes calculados se muestra en la figura 3.9. Como los valores calculados de algunas resistencias no son comerciales, estos son obtenidos por arreglos en paralelo de resistencias comerciales, o aproximados al valor comercial mas cercano. Dos diodos zener espalda con espalda son incluidos a la entrada de cada uno de los cuatro circuitos antes obtenidos para garantizar que los voltajes de entrada no excedan los valores antes definidos de  $\pm 30, \pm 20, \pm 10$  y  $\pm 5$  volts.

La señal de entrada a visualizar se aplica simultáneamente a los cuatro circuitos, pero solo una salida de las cuatro disponibles será tomada en cuenta por el convertidor analógico - digital del microcontrolador. Esta selección será hecha por el mismo microcontrolador de acuerdo a lo que el programa en ejecución en la computadora personal le indique, es decir, la selección es por software.

El circuito amplificador operacional empleado es el LM 747CN, que es dual en un empaque de 14 pines.

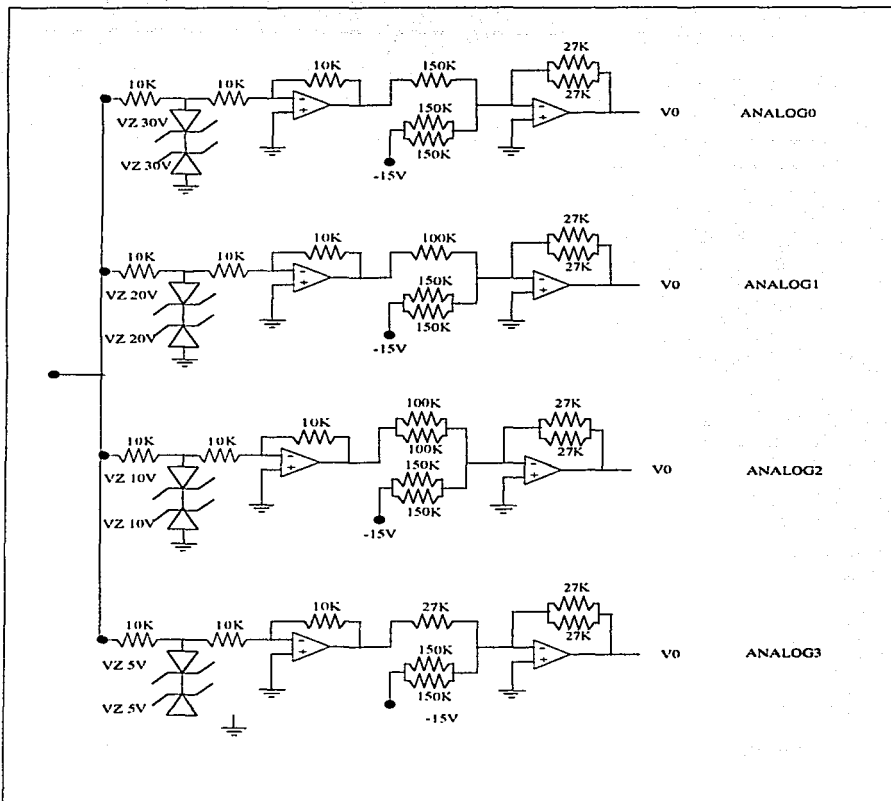


Figura 3.9. Cuatro circuitos de la interfase analógica.



### 3.3 Interfase Digital.

La interfase digital se encarga de establecer comunicación con el CPU de la computadora personal, convierte la señal eléctrica VO de la interfase analógica en datos digitales (binarios) y por ultimo transmite estos datos a la computadora donde se ha cargado un programa para que pueda desplegarlos en el monitor.

Esta interfase es diseñada tomando como base el microcontrolador 68HC11A1P. Las siguientes son algunas características de este microcontrolador:

- 1.- Encapsulado tipo 48 pines 2 líneas que facilita el manejo para etapas de diseño montado sobre una PROTO-BOARD.
- 2.- Registro CONFIG del microcontrolador preprogramado a un valor \$0D lo que implica que la ROM interna esta deshabilitada y esta área es accesada externamente.
- 3.- 256 bytes de memoria RAM interna.
- 4.- Convertidor analógico - digital de 4 canales.

De los cuatro modos de operación disponibles en el microcontrolador MC68HC11A1P, mencionados en el capítulo 2, se diseño esta interfase para trabajar en modo expandido, ya que en el modo chip sencillo el programa se integra desde la fabricación en Motorola, cosa que no esta a nuestro alcance por el momento, y los modos test y bootstráp son para aspectos especiales, tal como programación de EEPROM o registro CONFIG.

La figura 3.5 muestra el diagrama eléctrico de la interfase digital. En este diagrama se contemplan completamente todos los elementos de esta interfase. El desempeño de cada elemento especifico asi como algunas características importantes se describen a continuación:

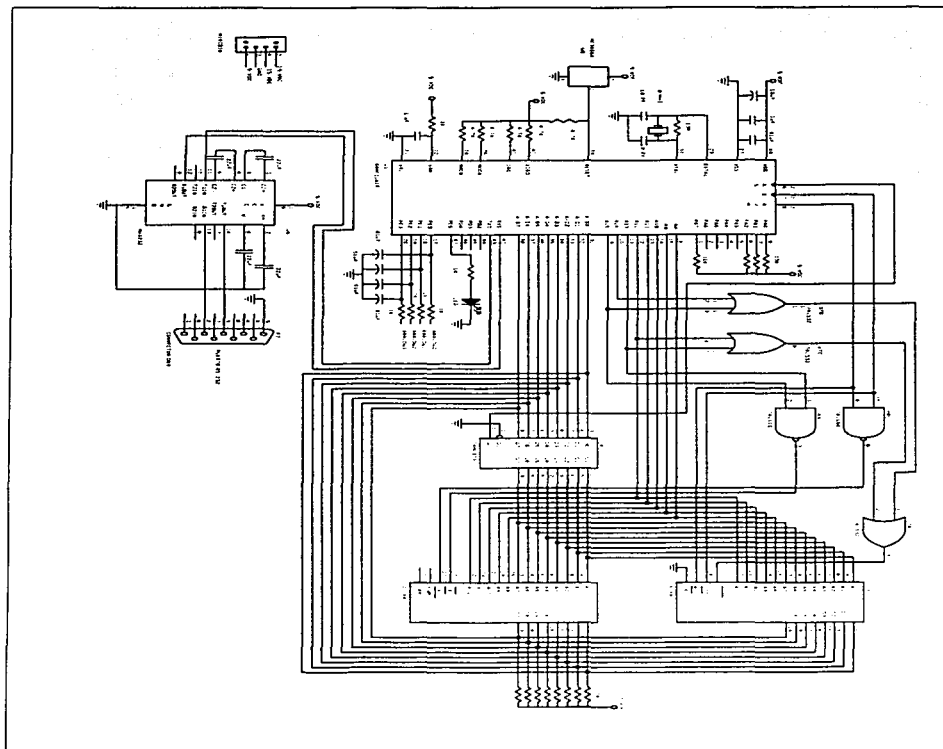


Figura 3.5. Diagrama eléctrico de la interfase digital.

### 3.3.1 Descripción de circuitos integrados.

U1 : MC68HC11A1P, microcontrolador, integra las dos funciones principales para el desarrollo de este prototipo: un convertidor analógico digital y una interfase de comunicación asincrónica (USART).

U2 : 27C64, memoria EPROM de 64 Kbytes en el cual se almacena el programa para el microcontrolador (Firmware).

U3 : 6264P, memoria RAM estática en la cual se almacenan los valores binarios de las señales eléctricas muestreadas antes de ser transmitidos a la computadora.

U4 : 74LS373, circuito latch que se encarga de separar el bus de datos y el byte bajo del bus de direcciones, ya que estas señales son compartidas en los pines del puerto C del microcontrolador.

U5 : MAX232, driver de comunicación serial, se encarga de convertir los niveles de voltaje TTL de la interfase digital a niveles de la interfase RS-232 que maneja el puerto de comunicación serial de la computadora.

U6 : 74LS00, compuerta AND necesaria para lógica de control del mapa de memoria.

U7 : 74LS32, compuerta OR necesaria para la lógica de control del mapa de memoria.

U8 : MC34064, Circuito detector de bajo voltaje diseñado específicamente para control de reset en sistemas basados en microcontroladores.

### 3.3.2 Descripción de funcionamiento de la interfase digital.

El mapa de memoria del microcontrolador está configurado para que los primeros 4096 bytes sean de memoria RAM, siendo los 256 primeros bytes internos del microcontrolador, los restantes bytes son externos. A partir de la dirección \$1000 hasta la \$103F se encuentra el bloque de registros. Finalmente, el área de acceso a la memoria EPROM externa queda en las direcciones SE000 hasta SFFFF.

El microcontrolador funciona con un oscilador de cristal de 8 MHz tipo Pierce. La frecuencia de operación interna (E) del microcontrolador, es una cuarta parte de esta frecuencia, es decir, 2 MHz.

La memoria EPROM tiene almacenado el programa binario (Firmware) que se emplea en el funcionamiento del microcontrolador y las direcciones de los vectores de interrupción. El programa se encuentra grabado en la memoria a partir de la primera dirección 0000 y hasta la dirección 00C8. aunque en el mapa de memoria al dejar la dirección A14 sin conexión, ocasiona que se encuentre en la dirección E000 hasta E0C8. El vector de interrupción de reset se graba en la dirección 1FFE-1FFF. El valor almacenado en estas direcciones es E0 y 00 que es el comienzo del programa. El otro vector de interrupción empleado en este programa es el del sistema SCI. La dirección donde se almacena es en 1FD6 y 1FD7.

Al energizar a la interfase digital, el microcontrolador inicia registro internos tales como la pila, vector de interrupción SCI, parámetros de comunicación serial, encendido del convertidor analógico - digital. Posteriormente permanece en un ciclo en espera de recibir comunicación de la computadora. Tres comandos reconoce la interfase analógica de parte de la computadora: indicación de conexión iniciada, indicación de inicio de conversión y transmisión de datos y por ultimo indicación de cambio circuito de la interfase analógica. Al recibir la interfase digital cualquiera de estos tres comandos, lo procesará y volverá al ciclo en espera de un nuevo comando.

La indicación de conexión establecida se realiza mediante la recepción de un caracter 42 hexadecimal y la retransmisión de este mismo caracter a la computadora.

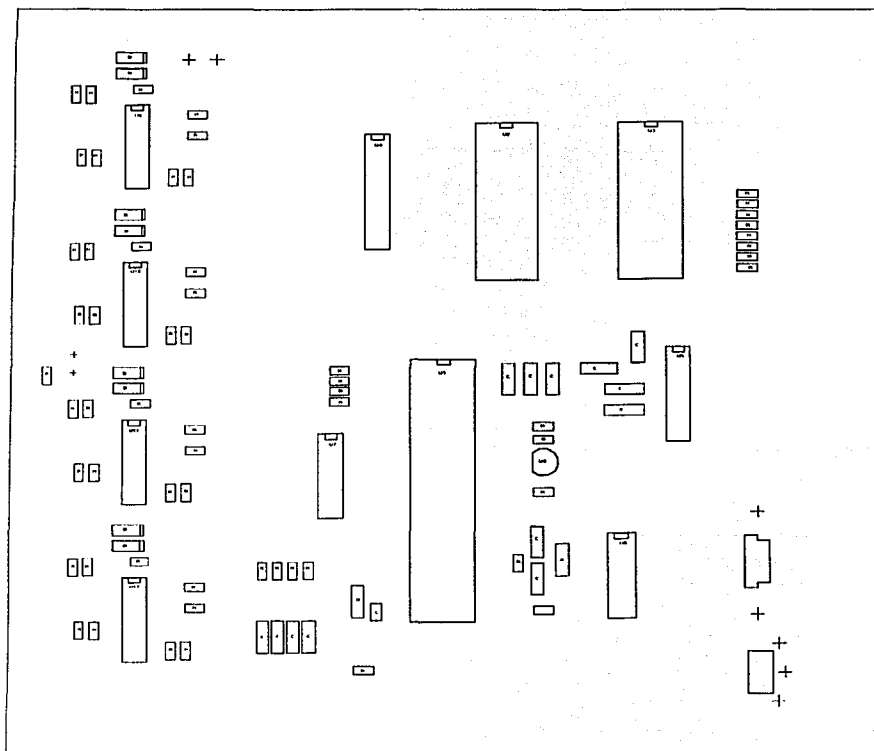
La conversión y transmisión de datos se realiza cuando la interfase digital recibe un caracter 41 hexadecimal por parte de la computadora. El microcontrolador lee el valor de la localidad de memoria RAM S21D para saber cual de los cuatro canales analógicos - digitales debe utilizar, posteriormente realiza una conversión analógica - digital y guarda el resultado en la dirección de memoria 0000, realiza otra conversión analógica - digital y guarda el resultado en la dirección de memoria 0001, así sucesivamente 540 veces. Después de esto, se transmiten los 540 datos almacenados en la memoria RAM a la computadora con los parámetros de 9600 Bauds, 8 bits de longitud de palabra, sin paridad, 1 bit de paro. Después de esto la interfase digital regresa al ciclo de espera de comando.

El valor de que canal de conversión analógico - digital será utilizado cada ciclo de conversión y transmisión de datos se encuentra en la dirección de memoria RAM \$21D y es de inicio 00 que activa al canal 0 del convertidor analógico - digital. Si la interfase recibe por parte de la computadora un caracter 30,31, 32 o 33 hexadecimal, escribirá a la dirección \$21D el valor de 00, 01, 02, o 03 respectivamente lo que activara a alguno de estos canales para el siguiente ciclo de conversión y transmisión de datos. Después de recibir cualquiera de estos caracteres, la interfase digital regresa al ciclo de espera de comando.

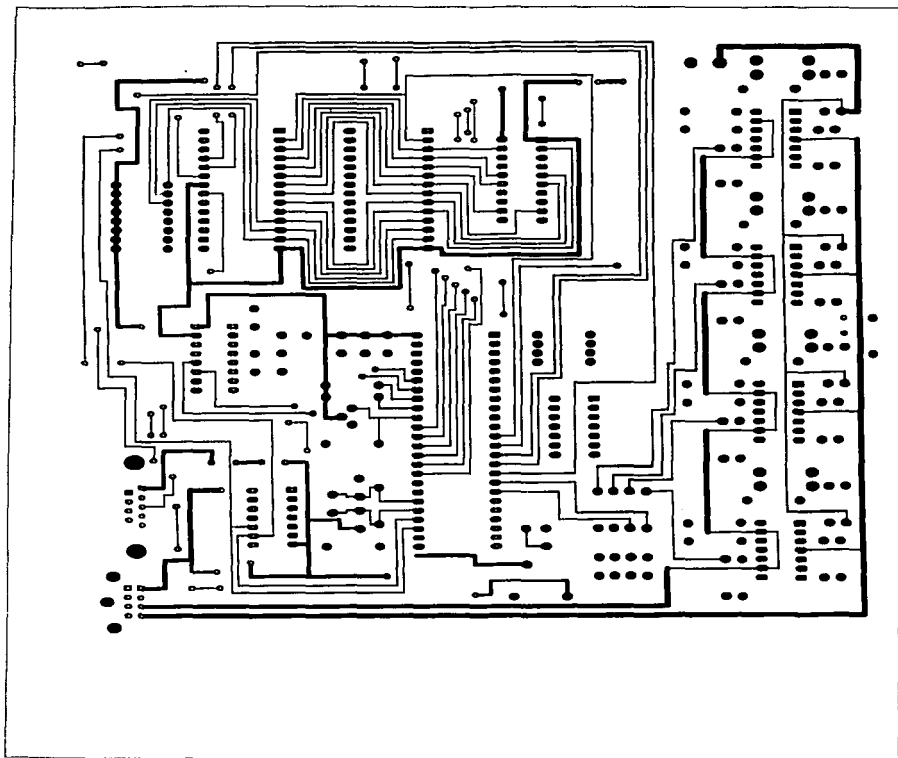
#### 3.4 Tarjeta MC68HC11ALQ1P.

La interfase analógica y la interfase digital se encuentran juntas en una misma placa de circuito impreso que recibe el nombre de tarjeta MC68HC11ALQ1P. El nombre de la tarjeta se eligió en combinación de los siguientes dos aspectos : funciona en base al microcontrolador MC68HC11A1P y las iniciales de mi nombre son ALQ.

Esta tarjeta se realizo sobre una placa doble cara de 23 x 23 cms. El diseño del circuito impreso se realizo en la utileria Orcad/PCB II versión 2.10B del programa Orcad. La figuras 3.6 muestra la distribución de componentes sobre la placa, y las figuras 3.7 y 3.8 muestran el diseño del circuito impreso de cada uno de los lados de la tarjeta.

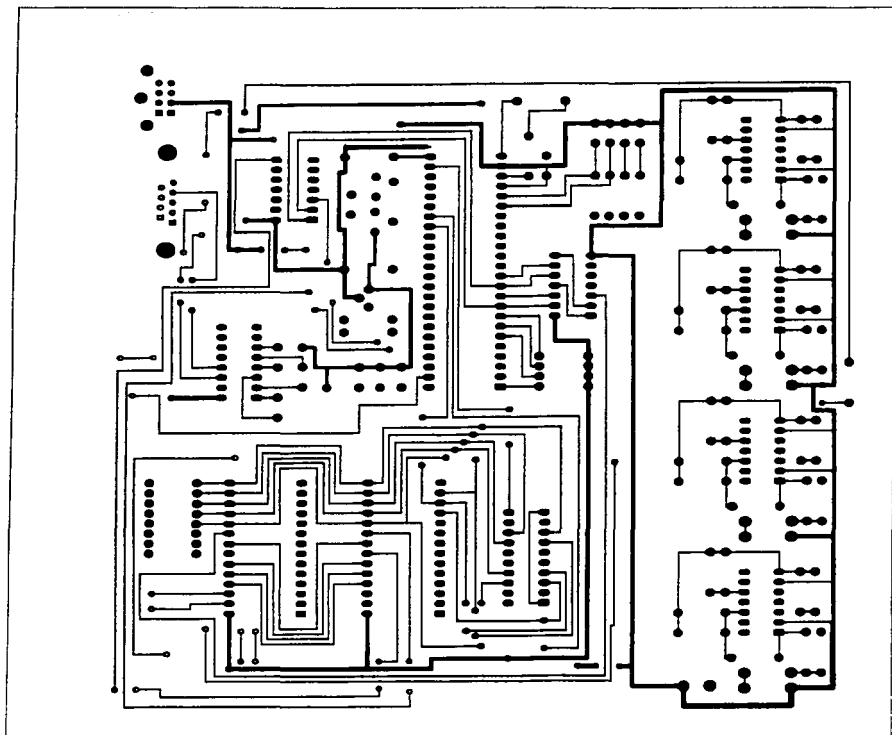


3.6. Distribución de componentes en la tarjeta MC68HC11ALQ1P



3.7. Circuito impreso de la tarjeta MC68HC11A1Q1P (lado 1)

TESIS CON  
FALLA DE ORIGEN



3.8. Circuito impreso de la tarjeta MC68HC11A1.QIP (lado 2)



### 3.5. Programa POSC.ASM.

Esta sección contiene un listado del programa POSC.ASM (Programa Osciloscopio en lenguaje Ensamblador). Este mismo programa en forma binaria esta almacenado en la memoria EPROM 27C64 para el funcionamiento del microcontrolador. Este programa se genero en el compilador IASM11 versión 3.0 m de P&E MICROCOMPUTER SYSTEM. Este compilador es proporcionado con kits de desarrollo de sistemas basados en microcontroladores de Motorola.

- \* PROGRAMA POSC.ASM PARA TARJETA MC68HC11ALQ1P
- \* LEE 540 DATOS DEL CONVERTIDOR A/D Y LOS GUARDA EN RAM .
- \* POSTERIORMENTE LOS TRANSMITE A LA PC POR EL PUERTO SERIAL.

#### \* DEFINICIÓN DE CONSTANTES.

BAUD	EQU	\$30 ; CONSTANTE QUE DEFINE LA VELOCIDAD DE TRANSMISION.
SCCR2	EQU	\$2C ; CONSTANTE QUE ACTIVA LA SCI.
OPTION	EQU	\$90 ; CONSTANTE QUE ACTIVA EL CONVERTIDOR A/D
PILA	EQU	\$280; CONSTANTE QUE DEFINE LA DIRECCION DE INICIO DE LA PILA.
LIMITE	EQU	\$21C; CONSTANTE QUE DEFINE LIMITE DE DATOS.
CANAL	EQU	\$21D; CONSTANTE QUE DEFINE DIRECCION DE CANAL A/D ACTIVO.
ORG \$E000		; DECLARA ORIGEN DEL PROGRAMA.
LDS #PILA		; INICIA PILA EN LA EN LA DIRECCION \$280 DE RAM EXTERNA.
LDAB #OPTION		; ACTIVA EL CONVERTIDOR A/D EN EL REGISTRO OPTION.
STAB \$1039		
LDAB #BAUD		; FIJA VELOCIDAD DE TRANSMISION DE DATOS EN 9600 BAUD.
STAB \$102B		
LDAB #SCCR2		; HABILITA PINES TxD, RxD E INTERRUPCIÓN RIE.
STAB \$102D		
LDAB #\$00		; PARAMETROS PARA PRIMERA CONVERSION
STAB CANAL		; DIRECCION DONDE SE ALMACENA CANAL A LEER.
LDAA #\$00		;
STAA \$1028		; DEFINE PINES DEL PUERTO D COMO TIPO CMOS NORMAL
LDAA #\$37		;
STAA \$1009		; DECLARA PINES DEL PUERTO D COMO SALIDAS.
LDD #\$00		
LDX #\$0000		

MENU	LDAA \$102E LDAB \$102F ANDA #50F CMPA #500 BEQ VALIDO RTI	; LEE CARACTER Y LIMPIA BANDERA EN 102E. ; VERIFICA CONTRA ERRORES DE RUIDO.  ; REGRESA DE INTERRUPCIÓN SI FUE RUIDO.
VALIDO	CMPB #541 BEQ CICLO CMPB #542 BEQ ONLINE CMPB #530 BEQ ESCALA CMPB #531 BEQ ESCALA CMPB #532 BEQ ESCALA CMPB #533 BEQ ESCALA CMPB #546 JMP FIN RTI	; COMPARA CARACTER RECIBIDO CON 'A'. ; SI ES IGUAL SALTA A ETIQUETA DATOS. ; COMPARA CARACTER RECIBIDO CON 'B'. ; SI ES IGUAL SALTA A ETIQUETA ONLINE.  ; ESCRIBE A CANAL. ; ESCRIBE A CANAL. ; ESCRIBE A CANAL. ; ESCRIBE A CANAL. ; ESCRIBE A CANAL.  ; SI TERMINO LA EJECUCION DE POSC.EXE
ESCALA	ANDB #50F STAB CANAL	; ESCRIBE A LA DIRECCION DE CANAL DE LECTURA.
FIN	LDAA #520 STAA \$1008 RTI	; ENCIENDE BIT 6 DEL PUERTO D. ; REGRESA DE LA INTERRUPCION.
ONLINE	STAB \$102F LDAA #520 STAA \$1008 RTI	; TRANSMITE CARACTER 'B' PARA POSC.EXE.  ; ENCIENDE BIT 6 DEL PUERTO D. ; REGRESA DE LA INTERRUPCIÓN.
* AQUI INICIA LA TRANSMISIÓN DE DATOS.		
* RUTINA PARA LECTURA DE VALORES DEL CAD.		
* 000(SCAÑO SENCILLO)0(UN SOLO CANAL)0000(LEER DE PEO). = 00		
CICLO	LDAA #500 STAA \$1008  LDX #500 LDY #500	; APAGA BIT 6 DEL PUERTO D. ; ESCRIBE AL PUERTO D.  ; CONVERSION DE PRIMEROS CUATRO DATOS
DATOS	LDAB CANAL STAB \$1030	; ESCRIBE A ADCTL PARA INICIALIZAR CAD E INICIAR CICLO ; DE CONVERSION.
ESPERA	LDAB #51A DECB BNE ESPERA	; TIEMPO PARA ESPERA DE CONVERSION. ; CICLO DE ESPERA DE 64 uS.
DIEZ	LDAB CANAL STAB \$1030 LDX #51031 LDAA #504	; VALOR DEL PRIMER REGISTRO CAD.

```

          STAB $1030
          LDX #$1031      ; VALOR DEL PRIMER REGISTRO CAD.
          LDAA #$04
GUARDA   LDAB 0,X        ; LEE DATOS DE LOS REGISTROS DE CONVERSION
          STAB 0,Y        ; GUARDA EN AREA RAM
          INX
          INY
          DECA
          BNE GUARDA
          CPY #LIMITE    ; VERIFICA SI YA REALIZO 540 CONVERSIONES.
          BEQ UNAPAN     ; SI ES ASI PASA A LA ETAPA DE TRANSMISIO DE DATOS.
AUNNO   LDAA $1030
          ANDA #$80
          CMPA #$80
          BEQ DIEZ
          JMP AUNNO

```

\* AQUI INICIA RUTINA DE TRANSMISION DE DATOS

```

UNAPAN  LDY #$0000      ; REGISTRO Y IGUAL A CERO PARA CONTADOR DE DATOS.
TRANS   LDAA 0,Y        ; CARGA ACUMULADOR A CON PRIMER DATO A TRANSMITIR.
          LDAB $102E
          STAA $102F
          TRANSMITE DATO.
CINCO   LDAB $102E      ; TRANSMITE DATO.
          ANDB #$80      ; CICLO DE ESPERA DE FIN DE TRANSMISIÓN.
          CMPB #$80
          BEQ SIGUE
          JMP CINCO
SIGUE   INY             ; TRANSMISIÓN COMPLETA, INCREMENTA Y.
          CPY #LIMITE    ; VERIFICA SI YA TRANSMITIO 540 DATOS
          BEQ FIN        ; SI ES ASI REGRESA A CICLO DE ESPERA.
          JMP TRANS      ; TRANSMITE EL SIGUIENTE DATO.

```

\* ESTAS INSTRUCCIONES GRABAN AL SIMULADOR DIRECCIONES DE INTERRUPCION

```

          ORG $FFFE
          FDB $E000      ; VECTOR DE INICIO
          ORG $FFD6
          FDB MENU       ; VECTOR DE INTERRUPCION DE SCI.

```

### 3.6 ARCHIVO POSC. BIN

El siguiente listado corresponde al archivo POSC. BIN que se encuentra grabado en la memoria EPROM 27C64. Estos valores son obtenidos al compilar el archivo POSC. ASM en el compilador IASMI1 antes mencionado. Todos los valores y direcciones están en valor Hexadecimal.

```

* 0000 8E 02 80 C6 90 F7 10 39
* 0008 C6 30 F7 10 2B C6 2C F7
* 0010 10 2D C6 00 F7 02 1D 86
* 0018 00 B7 10 28 86 37 B7 10

```

TESIS CON  
FALLA DE ORIGEN

\* 0030 2E F6 10 2F 84 0F 81 00  
\* 0038 27 01 3B C1 41 27 2E C1  
\* 0040 42 27 21 C1 30 27 12 C1  
\* 0048 31 27 0E C1 32 27 0A C1  
\* 0050 33 27 06 C1 46 7E E0 5E  
\* 0058 3B C4 0F F7 02 1D 86 20  
\* 0060 B7 10 08 3B F7 10 2F 86  
\* 0068 20 B7 10 08 3B 86 00 B7  
\* 0070 10 08 CE 00 00 18 CE 00  
\* 0078 00 F6 02 1D F7 10 30 C6  
\* 0080 1A 5A 26 FD F6 02 1D F7  
\* 0088 10 30 CE 10 31 86 04 E6  
\* 0090 00 18 E7 00 08 18 08 4A  
\* 0098 26 F5 18 8C 02 1C 27 0C  
\* 00A0 B6 10 30 84 80 81 80 27  
\* 00A8 DB 7E E0 A0 18 CE 00 00  
\* 00B0 18 A6 00 F6 10 2E B7 10  
\* 00B8 2F F6 10 2E C4 80 C1 80  
\* 00C0 27 03 7E B0 B9 18 08 18  
\* 00C8 8C 02 1C 27 91 7E E0 B0  
.  
.  
\* 1FD0 XX XX XX XX XX XX XX E0 2E  
.  
\* 1FF8 XX XX XX XX XX XX XX E0 00

## CAPITULO 4. DISEÑO DE UN PROGRAMA OSCILOSCOPIO PARA PC.

### 4.1. Introducción.

Este capítulo concierne al desarrollo de un software para recepción de datos representativos de una señal eléctrica en forma de voltaje y su despliegue en el monitor de una Computadora Personal, emulando la pantalla de un osciloscopio. El desarrollo de este Software es de gran importancia, ya que representa ante el usuario la imagen de este prototipo emulador de osciloscopio, por lo cual se ha intentado desarrollar lo más profesional y accesible que ha estado a nuestro alcance. El programa principal, que se cargará en el CPU de la computadora, tiene por nombre "POSC.EXE", es un programa gráfico, autoejecutable, elaborado en lenguaje "C" con el compilador "Turbo C++".

Por que se eligió Turbo C++ :

- a) por la gran cantidad de funciones incorporadas para trabajar en modo gráfico.
- b) por la potencia de sus funciones para trabajar con los recursos del sistema como el puerto RS-232 y el mouse.
- c) por su funcionalidad que lo ha hecho uno de los lenguajes predilectos del mercado.

Todas las funciones de este programa trabajan en modo gráfico, ya que es lo mejor para esta aplicación que emula un osciloscopio. De esta manera, se tiene un control sobre cada punto desplegado en la pantalla (pixel). La resolución del monitor en modo VGA que es en la cual trabajamos para el desarrollo de este proyecto de 640 x 480 pixeles. Esto se muestra en la figura 4.1.

Cada punto de la pantalla puede ser "encendido", o "apagado" de una manera independiente a todos los demás haciendo referencia a el por medio de un par de coordenadas X e Y, que pueden tomar valor de 0 a 640 y de 0 a 480 respectivamente.

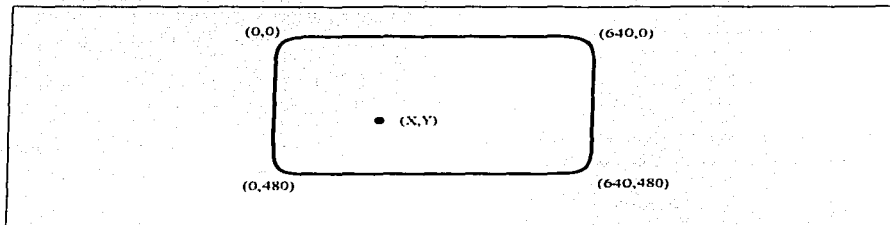


Figura 4.1. Definición de coordenadas para el modo VGA del monitor.

#### 4.2 Funciones principales del programa POSC.EXE

La figura 4.2. muestra un diagrama a bloques de las funciones principales del programa POSC.EXE y el flujo del programa. Una descripción de cada una de ellas se tiene a continuación:

**Bienvenida :** Pantalla que se muestra al iniciar el programa POSC.EXE. Consta de una rutina que despliega los créditos del programa. Ver figura 4.3

**Pantalla :** Despliega en pantalla los elementos gráficos que son comunes a los modos demostración y operación tales como el marco del osciloscopio, el rango de medición y algunos textos .

TEMS CON  
FALLA DE ORIGEN

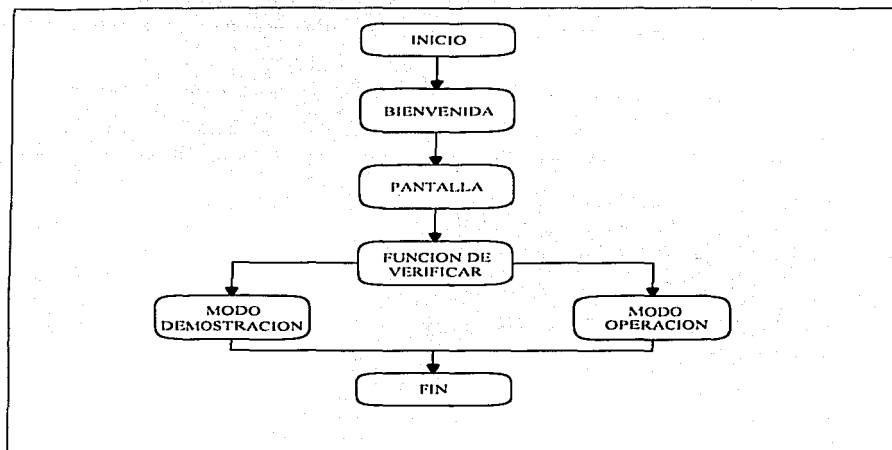


Figura 4.2. Funciones principales de "POSC.EXE".

**Función de verificar :** se encarga de establecer comunicación con la tarjeta MC68HC11ALQ1P con los siguientes parámetros : 9600 buauds, 8 bits de longitud de palabra, 1 bit de paro. En caso de no encontrar dicha tarjeta procederá a continuar el programa en modo demostración. En caso de si establecer comunicación, continuará el programa en modo de operación. Esta función pasa desapercibida para el usuario.

**Modo de operación :** es la rutina del programa que se encarga de desplegar gráficamente las señales que esta obteniendo la tarjeta MC68HC11ALQ1P. Existen dos modos de operación, continuo, en el cual las señales se están actualizando en todo momento y modo sencillo en el cual se congela en pantalla la señal recibida. El programa opera de inicio en modo continuo. Para cambiar al modo sencillo se requiere presionar cualquier tecla del teclado de la computadora, en pantalla aparecerán 5 iconos y el apuntador del ratón. Seleccionando dos puntos del área de pantalla del osciloscopio con el

apuntador del ratón, se puede conocer la amplitud máxima y mínima en ese rango así como el intervalo de tiempo, que es inverso de la frecuencia, registrado entre esos puntos. La función de los cinco iconos del programa es la siguiente :

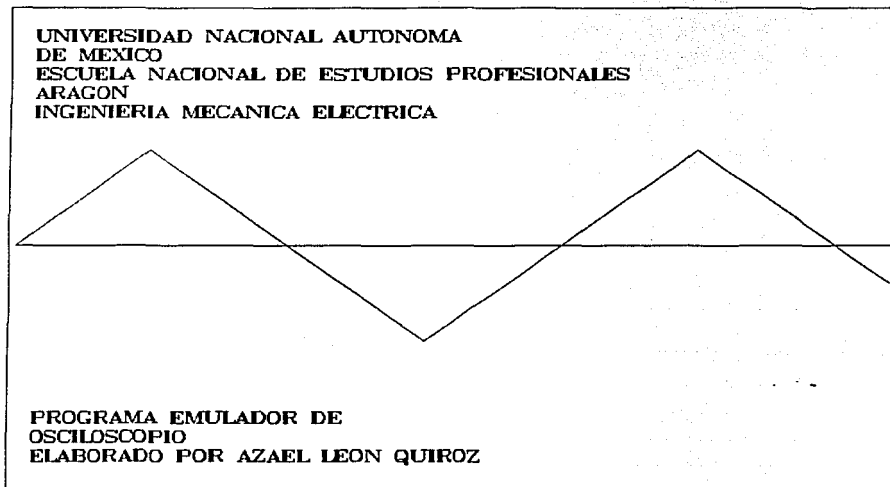


Figura 4.3. Pantalla de bienvenida del programa POSC. EXE



Cuando el programa esta en modo sencillo, cambia a modo continuo.



Cuando el programa esta en modo sencillo, refresca la pantalla del osciloscopio, es decir, despliega una nueva pantalla de la señal y continua en modo sencillo.





Este icono solo aparece al estar en modo sencillo y tiene la función de terminar el programa.



Este icono incrementa el rango de captura de señales. Esta disponible en modo sencillo.



Este icono decrementa el rango de captura de señales. Esta disponible en modo sencillo.

**Modo demostración** : cuando no se establece comunicación entre la computadora y la tarjeta MC68HC11ALQ1P, el programa entra en este modo en el cual automáticamente carga tres patrones de señales que se despliegan continuamente hasta que es presionada cualquier tecla del teclado de la computadora con lo cual se finaliza el programa. En este modo no está disponible ningún icono ni el apuntador del ratón.

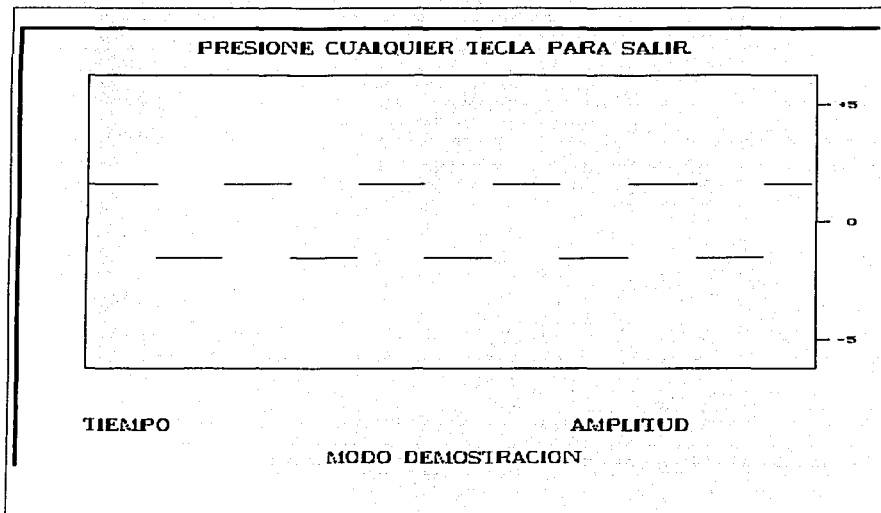


Figura 4.4. Modo demostración del programa POSC. EXE

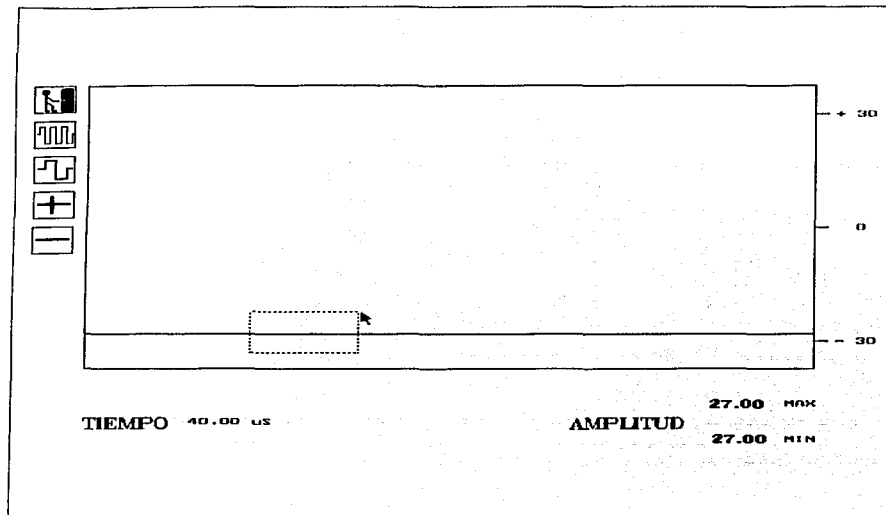


Figura 4.5. Modo de operación del programa POSC. EXE.

#### 4.3 Archivo fuente del programa POSC. EXE.

Como se menciono anteriormente, el programa POSC. EXE fue desarrollado en el lenguaje de programación "C". En esta sección se presentan las partes mas significativas del archivo fuente POSC. CPP así como una descripción de su funcionamiento.

```
// PROGRAMA POSC.CPP.
// REVISIÓN : 7 DE FEBRERO DE 1999.

#include <bios.h>
#include <conio.h>
#include <dos.h>
#include <graphics.h>
#include <stdio.h>
#include <string.h>
#include <ctypeplusMOUSE.CPP>

#define SETTINGS (_COM_9600 | _COM_CHR8 | _COM_STOP1 | _COM_NOPARITY)
#define DATA_READY 0x100
```

Las instrucciones anteriores inician con comentarios de la identificación del programa, continua con la definición de las librerías estándar de Turbo C++ requeridas para este programa así como de la librería creada MOUSE. CPP y por ultimo la definición de las constantes empleadas SETTINGS y DATA\_READY. SETTINGS fija los parámetros de comunicación del puerto a utilizar a 9600 baud, longitud de palabra de 8 bits, 1 bit de paro y sin bit de paridad. DATA\_READY se emplea para checar el estado del bit 9 que es "Datos listos" cuando se verifica el status del puerto de comunicación.

```
void bienvenida (void);
void pantalla (void);
int checa_tarjeta (void);
void demo (void);
void datos (void);
void icono (void);
void evaluación (void);
void icono_presionado (int, int);

unsigned char t[550].
int canal = 1;
int COMx ;
```

Las instrucciones anteriores definen las funciones del programa. La función "checa\_tarjeta" es la única que devuelve un valor. 1 en caso de existir conexión con la tarjeta MC68HC11ALQ1P o 0 en caso de no existir dicha conexión. La función "icono\_presionado" es la única que recibe valores al momento de ser llamada. Los valores que recibe corresponden a el valor de X e Y de la coordenada superior

TESIS CON  
FALLA DE ORIGEN

izquierda de cualquiera de los iconos que haya sido presionado. Las dos ultimas líneas establecen las variables globales del programa. T es de tipo caracter sin signo, en ella se almacenan los datos recibidos por la tarjeta MC68HC11A1Q1P para ser desplegados en la pantalla. Canal es de tipo entero y en ella se almacena el valor del canal analogico- digital activo en la tarjeta MC68HC11A1Q1P, y por ultimo COMx recibe el valor del puerto de comunicaciones que se emplea (1 o 2).

// ESTA ES LA FUNCIÓN PRINCIPAL.

```
void main (int argv, char *argc [])
{
    int conexión;
    if(argv == 2) {
        if(strcmp(argv[1], "2") == 0)
            COMx = 1;

        bienvenida( );
        pantalla( );
        conexión = chequea_tarjeta( );
        switch(conexión){
            case 0 : demo( ); break;
            case 1 : datos( ); break;}
        closegraph( );
        clrscr( );
        sleep(1);
    }
}
```

Esta es la función principal (main) del programa POSC. CPP. El flujo del programa es fácil de visualizar a través de la figura 4.2. Una sola variable "conexión" es definida de tipo entero, en ella se recibe el valor correspondiente a la condición si hay conexión o no con la tarjeta MC68HC11A1Q1P y es evaluada por una instrucción "switch" para determinar el curso del programa. Una instrucción "if" determina si al momento de ejecutar el programa se introdujo el argumento "2", en cuyo caso la conexión se establece con el COM2, de lo contrario se establece con el COM1. Después de ejecutar alguna de las dos funciones, demo ó datos, las restantes instrucciones cierran el modo gráfico de la computadora y limpian la pantalla previo a devolver el control de la computadora al Sistema Operativo en ejecución.

// PANTALLA DE BIENVENIDA

```
void bienvenida (void)
{
    int gmode, gdriver=DETECT;

    initgraph(&gdriver, &gmode, "C:\\TCPLUS\\BGI");
    setbkcolor(BLUE); // color de fondo azul.
    line(0, 240, 639, 240); // dibuja una línea en pantalla.
}
```

```

settextstyle(TRIPLEX_FONT,HORIZ_DIR,1); // fija el estilo del texto a dibujar en pantalla.
outtextxy(13,10,"UNIVERSIDAD NACIONAL AUTÓNOMA");
delay(350);
:
:
}

```

Parte de la función "bienvenida" es el iniciar el modo gráfico de la computadora. La función que realiza esta inicialización es `initgraph( )`. Los dos primeros argumentos de `initgraph( )` son apuntadores a entero que especifican el adaptador de vídeo y el modo a utilizar. El tercer argumento es la ruta donde se encuentra el archivo de interfase gráfica de Borland (BGI) a emplear. La constante gráfica `DETECT` es parte del archivo `GRAPHICS.H` y configura automáticamente al modo de máxima resolución el adaptador de vídeo, por lo que al ejecutar `POSC.EXE` en cualquier equipo, independientemente del tipo de adaptador gráfico de dicho equipo, siempre trabajara correctamente.

// RUTINA QUE CHECA LA CONEXIÓN CON LA TARJETA MC68HC11ALQ1P

```

int checa_tarjeta(void)
{
    unsigned char respuesta;
    unsigned status;
    int timeout;
    _bios_serialcom(0,COM1,SETTINGS); // INICIALIZA PUERTO 1
    _bios_serialcom(1,COM1,'B'); // TRANSMITE UN CARÁCTER
    for(timeout = 1, timeout < 1900; timeout ++){ // INICIA UN RETARDO PARA RESPUESTA.
        status = _bios_serialcom(3, COMx, 0); // CHECA EL ESTATUS DEL COM1.
        if(status & DATA_READY){
            respuesta = _bios_serialcom(2,COM1,SETTINGS); // CHECA UN CARÁCTER
            if(respuesta=='B') return(1);}
        else return(0);
    }
}

```

La función `_bios_serialcom` es empleada en sus cuatro modalidades en la función `checa_tarjeta( )`. Primeramente inicia el puerto de comunicación 1 o 2 (dependiendo del valor de `COMx`) con los parametros definidos en la constante `SETTINGS`. En segundo termino transmite un carácter sin signo definido en la variable tipo carácter sin signo comando a través del puerto activo, con los parámetros de comunicación establecidos en la instrucción previa de inicialización del puerto, posteriormente checa el estatus de este puerto para saber cuando hay datos recibidos y por ultimo recibe un carácter sin signo a través del puerto de comunicación activo, con parámetros de comunicación definidos en la constante `SETTINGS`. Este carácter es asignado a la variable tipo carácter "respuesta". Estas cuatro operaciones son definidas en el primer argumento de `_bios_serialcom( )` con los parámetros 0, 1, 2 y 3

TESIS CON  
FALLA DE ORIGEN

respectivamente. El valor de la variable **respuesta** determina el curso del programa: modo demostración o modo operación.

// RUTINA DE RECOPIACIÓN DE DATOS DE LA TARJETA MC68HC11ALQ1P.

```
void datos(void)
{
    int d;
    while(!kbhit()){
        _bios_serialcom(1,COMx,'A'); // TRANSMITE UN CARACTER
        for(d=1;d<541;d++){
            t[d]=_bios_serialcom(2,COMx,SETTINGS); // RECIBE CARACTERES
            putpixel(49+d,338-t[d],YELLOW); // DIBUJA PUNTOS DE LA SEÑAL.
            putpixel(50+d,338-t[d+1],BLUE); // BORRA PUNTOS DE LA SEÑAL.
        };
        evaluación( );
    }
}
```

En las instrucciones anteriores, se ejecuta un bucle **for** para leer 540 datos por el puerto serial, que están siendo transmitidos por la tarjeta MC68HC11ALQ1P, desde **d=1** hasta **d=541**. Este intervalo de "d" corresponde a la posición X en la pantalla donde será dibujado el dato recibido, que es la posición Y que completa la coordenada para dibujar un punto en la pantalla.

```
void icono( )
{
    struct dato_ico{
        int pos_x;
        int pos_y;
        char *nombre_archivo;};

    struct dato_ico parametros[5];
    parametros[0] pos_x=10;
    parametros[0] pos_y=50;
    parametros[0] nombre_archivo="ico.txt";
    parametros[1] pos_x=10;
    parametros[1] pos_y=90;
    parametros[1] nombre_archivo="ico2.txt";
    parametros[2] pos_x=10;
    parametros[2] pos_y=130;
    parametros[2] nombre_archivo="ico3.txt";
    parametros[3] pos_x=10;
    parametros[3] pos_y=170;
    parametros[3] nombre_archivo="ico4.txt";
    parametros[4] pos_x=10;
    parametros[4] pos_y=210;
    parametros[4] nombre_archivo="ico5.txt";

    int a,b,c;
    int d;
```

```

int e;
for(e=0;e<5;e++){

FILE *fp;
if(!fp=fopen(parametros[e].nomarch,"r")){
puts("no se puede abrir el archivo\n");
exit(0);
for(a=1;a<30;a++){
for(b=1;b<30;b++){
c=getc(fp);
if(c==10) c=getc(fp);
d=c-45;
putpixel(parametros[e].pos_x+b,parametros[e].pos_y+a,d);
}
}
fclose(fp);
}
}

```

La función `icono( )` es la encargada de desplegar en la pantalla los 5 iconos que se utilizan en el programa POSC. EXE. Primeramente se define una variable `struct tipo dato_icono( )` llamada "parámetros" donde se asigna el nombre del archivo que contiene el patrón de bits para dibujar el icono y las coordenadas X e Y de la esquina superior izquierda donde empezara el dibujo del icono. Posteriormente es ejecutado un bucle `for` de cinco iteraciones, una por cada icono que será desplegado. La variable `fp` es de tipo apuntador a archivo. Las instrucciones posteriores a la definición de `fp` se encargan de verificar que el archivo de icono correspondiente a esta iteración existe y se puede abrir. Cabe hacer notar que en caso de no encontrar cualquiera de estos tres archivos ASCII, terminara la ejecución del programa POSC. EXE.

Un doble bucle `for` es ejecutado para realizar la lectura de los archivos `ICO.TXT`, `ICO2.TXT`, `ICO3.TXT`, `ICO4.TXT` e `ICO5.TXT` en forma de arreglo de matriz (renglón y columna). La información contenida en los archivos `TXT` es el color del pixel a dibujar en cada una de las 841 posiciones del icono (29 renglones x 29 columnas). Este dato es leído en forma de carácter ASCII por lo que es necesario restarle al valor leído el número 45 (que corresponde al 0 en la tabla de caracteres ASCII) para efectivamente tener un valor entre 0 y 9 que corresponde a un color a dibujar en la pantalla.













El archivo RATÓN. CPP se creo como librería de funciones, para el manejo de las funciones del ratón que se emplean en POSC. EXE. A diferencia de los cuatro archivos anteriores, este archivo no se necesita al momento de ejecutarse el programa POSC. EXE, ni siquiera se requiere que aparezca en el directorio. El uso de este programa se remonta al momento de compilación de POSC.CPP y por lo tanto de generación de POSC. EXE. Las rutinas de esta librería funcionan igualmente si se trabaja en modo texto o en modo gráfico y el listado siguiente puede ser empleado tal cual para alguna otra aplicación o como base de otra librería de funciones más completa.

```
// LISTADO DEL PROGRAMA RATÓN. CPP
// REVISADO 20 DE AGOSTO DE 1998.
```

```
// DEFINICIÓN DE FUNCIONES DE RATÓN. H
```

```
// ms_status( );      Reinicia el ratón y regresa su estado.
// ms_show( );       Muestra el apuntador del ratón en pantalla.
// ms_hide( );       Oculta el apuntador del ratón en pantalla.
// ms_move(x,y);     Mueve el apuntador del ratón a la posición X,Y de pantalla.
// ms_read( );       Obtiene las posiciones del apuntador del ratón.
// ms_buttons( );
// ms_bpre(x);       Verifica si se presiono el botón x.
// ms_bsol(x);       Verifica si se soltó el botón x.
// ms_test_button( ); Verifica si se presiono y soltó botón x
// ms_inbox(a,b,c,d); Regresa 1 si el apuntador esta dentro de la región a,b,c,d
// ms_oculta( );     Oculta al apuntador del ratón si esta dentro de una región.
```

```
#include <dos.h>
#include <conio.h>
#include <stdio.h>
#include <stdlib.h>
#include <graphics.h>
```

```
// Estas son las funciones transferidas a través del registro AX al controlador del ratón.
```

```
#define MOUSE      0x33
#define STATUS     0x00
#define SHOW       0x01
#define HIDE       0x02
#define READ       0x03
#define MOVE       0x04
#define BPRE       0x05
#define BSOL       0x06
```

```
// DEFINICIÓN DE CONSTANTES PARA LOS BOTONES DEL RATÓN.
```

```
#define IZQUIERDO  0
#define DERECHO    1
```

```
// AQUÍ INICIAN LAS FUNCIONES DEL RATÓN.
```

```
// Leer el estado del ratón
```

TESIS CON  
FALLA DE ORIGEN

```
int ms_status (void) {
    _AX = STATUS;
    geninterrupt(MOUSE);
    return _AX;
}

//      Mostrar el ratón
void ms_show (void) {
    _AX = SHOW;
    geninterrupt(MOUSE);
}

//      Ocultar el ratón
void ms_hide (void) {
    _AX = HIDE;
    geninterrupt(MOUSE);
}

//      Mover el ratón
void ms_move (int x, int y)
{
    _CX = x;
    _DX = y;
    _AX = MOVE;
    geninterrupt(MOUSE);
}

//      Leer la posición del apuntador del ratón.
void ms_read (int *x, int *y) {
    _AX = READ;
    geninterrupt(MOUSE);
    *x = _CX;
    *y = _DX;
}

//      Leer los botones
int ms_buttons (void) {
    _AX = READ;
    geninterrupt(MOUSE);
    return _BX;
}

//      Revisar si se presiono el botón X.
```

```

int ms_bpre (int x)
{
    _AX = BPRE;
    _BX = x;
    geninterrupt(MOUSE);
    return _BX;
}

//      Verificar si se soltó el botón X.

int ms_bsol (int x)
{
    _AX = BSOL;
    _BX = x;
    geninterrupt(MOUSE);
    return _BX;
}

//      Verifica si se presiono y soltó el botón X.

int ms_test_boton (int x)
{
    while(!ms_bpre(x));
    while(!ms_bsol(x));
    return 1;
}

//      Oculta el apuntador del ratón si se encuentra en una región definida.

void ms_oculta (int x1, int y1, int x2, int y2)
{
    int x,y;
    ms_read(&x,&y);
    if((x1<x) &(x<x2) &(y1<y) &(y<y2))ms_hide();
    else ms_show();
}

//      Verifica si el apuntador del ratón se encuentra en una región definida.

int ms_inbox(int x1, int y1, int x2, int y2)
{
    int x,y;
    ms_read(&x,&y);
    if((x1<x) &(x<x2) &(y1<y) &(y<y2))return(1);
    else return(0);
}

```

Es importante recalcar que para el funcionamiento del ratón previamente debe estar cargado y residente en memoria el controlador del ratón que es el que proporciona el soporte de bajo nivel para comunicarse con el ratón. Esto puede ser realizado desde el archivo Autoexec. bat al momento de encender la computadora.



Las funciones del ratón se accesan a través de la interrupción de software 33h del sistema. La función específica a acceder se define por medio del valor contenido en el registro `_AX` al momento de la interrupción. Los registros `_BX`, `_CX` y `_DX` se emplean para pasar parámetros a las rutinas del ratón y posteriormente reciben parámetros tales como posición del ratón y estado de los botones.

Las funciones `ms_show( )` y `ms_hide( )` muestran y ocultan el ratón de la pantalla respectivamente. Estas dos funciones son accedadas constantemente en el programa `POSC.CPP`. Esto es debido a que cada vez que se dibuja un elemento en la pantalla, el apuntador del ratón debe ser ocultado, ya que de lo contrario pueden ocurrir conflictos graficos con los elementos de la pantalla, que serían difíciles de controlar.

TESIS CON  
FALLA DE ORIGEN

## CAPITULO 5. INTEGRACIÓN TARJETA - PROGRAMA - MICROCONTROLADOR.

### 5.1 Introducción.

La integración entre los elementos de este sistema "Tarjeta osciloscopio de interfase a PC" es bastante sencilla. Dichos elemento son: la Interfase analógica y la interfase digital, que se encuentran ambas dentro de una misma tarjeta de circuito impreso llamada MC68HC11ALQ1P, un gabinete de plástico, el CPU de una computadora personal y el monitor de la misma, además de un adaptador de AC/DC. La figura 5.1 muestra una representación de este sistema.

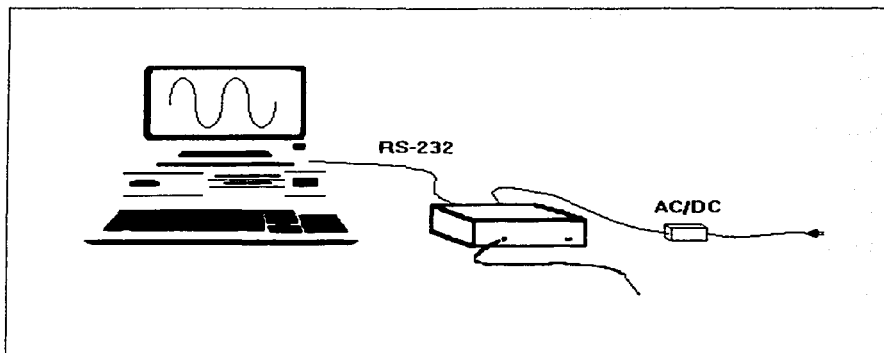


Figura 5.1 Representación del sistema "Tarjeta osciloscopio con interfase a PC".

### 5.2 Integración interfase analógica - interfase digital.

La integración de la interfase analógica y la interfase digital es directa a través de un convertidor analógico digital, este convertidor es uno de los subsistemas del microcontrolador MC68HC11A1P que

es parte de la interfase digital. La interfase analógica provee señales eléctricas en un rango de 0 a 5 volts. Estas señales son introducidas en 1 de los 4 canales del convertidor Analógico - Digital el cual genera un resultado binario equivalente entre 00000000 y 11111111 cada 16 microsegundos. Este valor binario es procesado por la interfase digital con la finalidad de transmitirlo a la PC. La selección del canal analógico - digital activo es hecha a través del programa POSC.EXE ejecutándose en la computadora. Como se mencionó anteriormente, estas dos interfaces se encuentran en una misma tarjeta de circuito impreso llamada tarjeta MC68HC11ALQ1P.

La tarjeta MC68HC11ALQ1P se montó dentro de una caja plástica comercial de 26 x 19 x 8.5 cms. La integración de estos dos elementos constituye el módulo osciloscopio "MOSC". La siguiente figura muestra una vista frontal del MOSC.

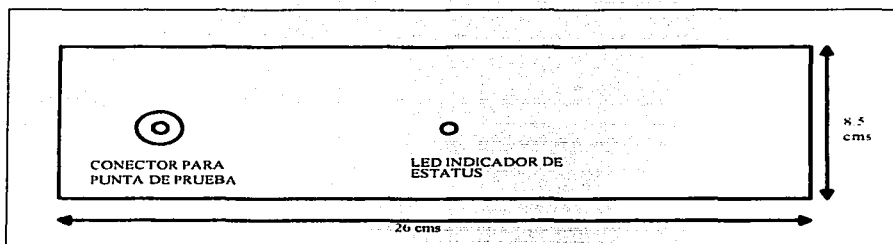


Figura 5.2. Vista frontal del MOSC.

En la parte frontal del MOSC se encuentra el conector para la punta del osciloscopio y un led indicador del estatus. Este led permanece encendido cuando se energiza el módulo osciloscopio y flasha cuando hay transferencia de datos del módulo osciloscopio al CPU de la computadora.

En la parte posterior del MOSC se encuentra un conector tipo minidin hembra de 6 pines para el conector del adaptador AC/DC y el conector DB9 hembra de la interfase de comunicación RS-232. La figura 5.3 muestra una vista trasera del MOSC.

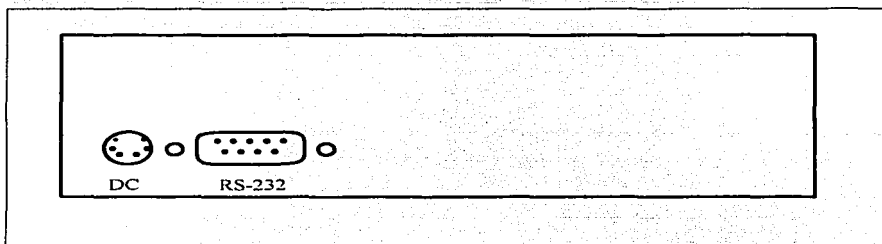


Figura 5.3. Vista trasera del MOSC.

El MOSC es energizado con un adaptador AC/DC con las siguientes características:

VOLTAJE DE ENTRADA	127 VCA.
FRECUENCIA DE ENTRADA	60 Hz.
VOLTAJE DE SALIDA	$\pm 15VDC, +5VDC$
CORRIENTE DE SALIDA	500 mA.

La interfase analógica requiere de +15 y -15 volts de corriente directa para polarizar los amplificadores operacionales. La interfase digital únicamente requiere de 5 volts de corriente directa para alimentación de los circuitos TTL, microcontrolador, memoria, etc.

La salida del adaptador AC/DC es a través de un conector tipo minidin macho de 6 pines. La distribución de voltajes en este conector es la siguiente:

TESIS CON  
FALLA DE ORIGEN

PIN	SEÑAL
1	+15 VDC
2	+5 VDC
3	GND
4	-15 VDC
5	NC
6	NC

La figura 5.4. muestra el diagrama eléctrico del adaptador AC/DC y la figura 5.5 muestra el diseño del circuito impreso de este mismo adaptador. Este adaptador esta construido en base a reguladores de voltaje de la familia 78XX y 79XX y no se hace mayor mención respecto a él por no ser el ambito de este trabajo.

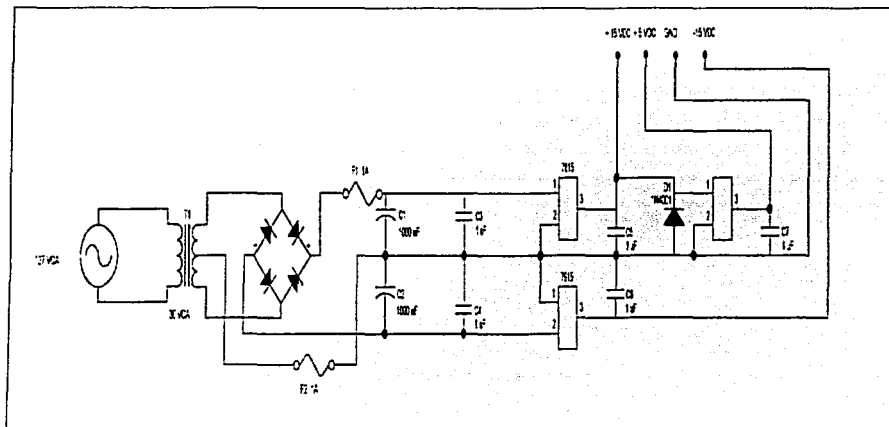


Figura 5.4. Diagrama eléctrico del adaptador AC/DC.

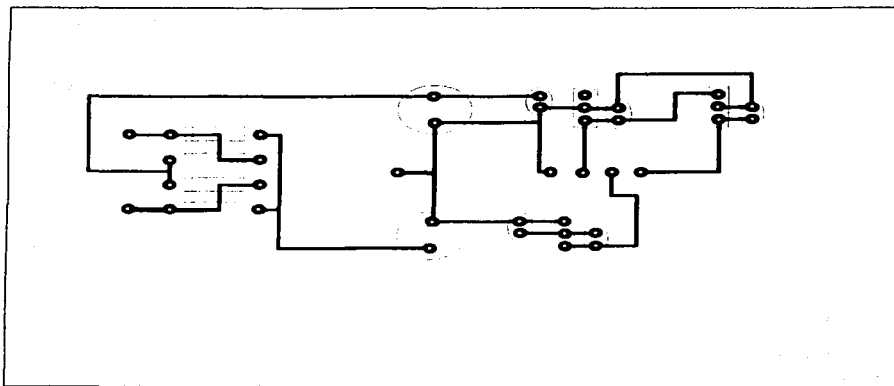


Figura 5.5. Circuito impreso del adaptador ACDC.

### 5.3 Integración MOSC - CPU.

La integración del MOSC y el CPU de la computadora es por medio de la interfase de comunicación serial RS-232. Esta interfase en su forma completa maneja las siguientes señales:

Datos transmitidos TxD.

Datos recibidos RxD.

Terminal de datos listos DTR.

Conjunto de datos listos DSR.

Limpiar para enviar CTS.

Requerimiento de envío RTS.

Detectar portadora de datos DCID.

Señal de tierra SG.

Tierra física.

TIENE CON  
FALLA DE ORIGEN

Únicamente 2 señales de las 9 que forman esta interfase son utilizadas para comunicar el MOSC con el CPU de la computadora, TxD y RxD además de la señal de tierra SG. Esto es debido a la arquitectura de la SCI del microcontrolador MC68HC11A1P que únicamente maneja los pines de transmisión y recepción de datos.

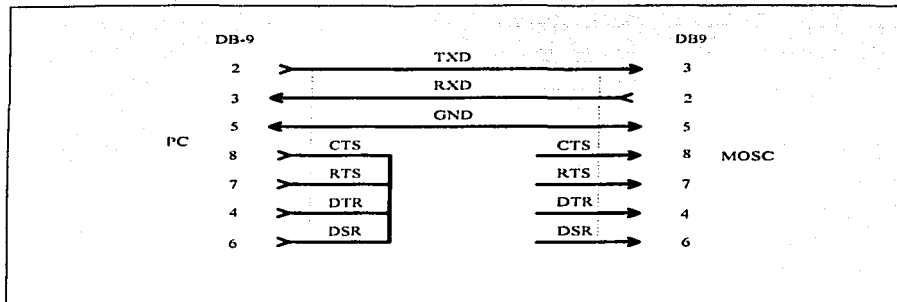


Figura 5.6. Configuración de cable de comunicación de MOSC a PC.

El flujo de datos entre el MOSC y la computadora es controlado a través de un protocolo de software similar al XON/XOFF. Este protocolo únicamente requiere para su funcionamiento de las dos señales antes mencionadas. De la computadora hacia el MOSC hay transmisión de comandos; del MOSC a la computadora hay transmisión de información. Para verificar la conexión entre el CPU y el MOSC, la computadora transmite un carácter hexadecimal 42. Para solicitar la transmisión de información, la computadora transmite un carácter hexadecimal 41. Para cambiar cualquiera de los 4 canales analógico - digital, la computadora transmite los caracteres 30,31,32 o 33 respectivamente.

El cable de comunicación entre la tarjeta MC68HC11A1P y el CPU de la computadoras no necesita ningún requerimiento especial. La norma EIA/TIA RS-232 establece que la longitud máxima a una velocidad de transmisión de 9600 BAUD para evitar pérdida de datos debe ser de 50 Pies o 15 mts. de longitud. Esta longitud es mayor de la considerada de 2 mts para dicho cable y además No se prevé el funcionamiento del sistemas en ambientes altamente llenos de ruido que pudieran ocasionar trastornos.

Para su elaboración, se empleo cable marca ARSA tipo 8x22 AWG con malla. La figura 5.6 muestra la configuración del cable empleado para comunicar el MOSC con la PC.

En la figura 5.6 se puede observar que el conector del lado de la computadora tiene puenteadas las señales CTS, RTS, DTR y DSR debido a que durante el uso del puerto COM1 o COM2, Turbo C verifica el estado de estas señales y es necesario mantenerlas siempre listas. Por el otro parte, del lado del MOSC, estas señales no son empleadas por lo que quedan sin conexión.

El CPU empleado para el desarrollo de este trabajo corresponde a una computadora de las siguientes características:

PROCESADOR	80486DX4.
VELOCIDAD	100 MHz.
MEMORIA RAM	16 MB.
PUERTOS SERIALES	COM1 DB9 y COM2 DB25.
MONITOR	SVGA DE 14 PULGADAS.
TARJETA DE VÍDEO	TRIDENT DE 1MB.

#### 5.4. Integración CPU - Monitor.

La integración del CPU - Monitor es parte inherente de la misma computadora y no fue en ningún aspecto tratado en el desarrollo de este proyecto.



**CONCLUSIONES.****Aspecto técnico.**

Al finalizar el desarrollo del prototipo "Tarjeta osciloscopio con interfase a PC", considero que este trabajo cumple en un 90 por ciento los objetivos planteados en un inicio. De las inquietudes mencionadas al inicio de esta tesis, la que menos se cumplió fue la de tener un texto de consulta para estudiantes, ya que se requiere hacer mas didactico este texto para lograr dicho objetivo, aunque no descarto la posibilidad de llevarlo a cabo posteriormente. De las experiencias obtenidas durante el desarrollo de este trabajo, destaco las siguientes ventajas, desventajas y posibilidades de mejoramiento del sistema :

**Ventajas :**

- Económico: precio estimado de un 20 por ciento del valor de un osciloscopio comercial en alguno de los modelos mas económicos.
- Sencillo de operar: debido a que funciona en un ambiente gráfico ayudado por el ratón.
- Portátil: ya que no incorpora ninguna tarjeta interna en el CPU de la computadora, por lo cual puede ser conectada y desconectada de cualquier equipo, únicamente instalando el software.
- Funciones procesadas por software, lo que da opción a mejoras de funcionamiento limitadas por la capacidad de la computadora y por la imaginación solamente.

**Desventajas :**

- Lentitud de transmisión de datos : 9600 baud.
- ancho de banda limitado: ya que toma muestras cada 0.5  $\mu$ S

**Posibles mejoras :**

- Incrementar la frecuencia de operación del microcontrolador 2 a 3 MHz empleando una versión de mayor performance del mismo microcontrolador, que funciona con un oscilador de cristal de 12 MHz en lugar del típico de 8 MHz que usa esta familia, por ejemplo MC68HC11FIN, lo que reduciría el tiempo de muestreo de la señal en un 33 %, es decir una muestra cada 0.33  $\mu$ S.
- Incrementar la velocidad de transmisión de datos de 9600 a 19200 baud, esto implícito también con el punto anterior.
- Interfase ISA en lugar de RS-232: Aumentaría velocidad en la transmisión de datos el ser esta sincrónica , pero perdería la característica de portabilidad.
- Versión de software que funcione bajo ambiente Windows.

**Aspecto económico.**

La tabla C.1 contiene un listado de los componentes principales empleados en la fabricación del sistema osciloscopio virtual así como de su precio actual (Octubre de 1998 ) en pesos.

DESCRIPCIÓN	CANTIDAD	PRECIO
MC68HC11A1P	1	\$ 170.00
27C64	1	\$ 30.00
74HC373	1	\$ 4.30
MAX 232	1	\$ 15.70
MC34064	1	\$ 15.00
LM347N	4	\$ 20.00
CAPACITOR TANTALIO 1mF 35V	2	\$ 5.90

TESTS CON  
VALLA DE ORIGEN

CAPACITOR ELECTROLITICO 10mF	1	\$ 0.60
CAPACITOR DE CERÁMICA 18pF	2	\$ 0.0
CAPACITOR DE POLIÉSTER 0.01mF	1	\$ 1.00
CAPACITOR 22mF/25V TANTALIO	4	\$ 28.40
OSCILADOR DE CRISTAL 8.0 MHz	1	\$ 10.00
RESISTENCIA DE 1/4 DE WATT	18	\$ 5.40
CABLE DE COMUNICACIÓN DE 2 MTS.	1	\$ 25.00
PUNTAS DE OSCILOSCOPIO	1	\$ 500.00
PLACA DE BAQUELITA	1	\$ 80.00
PISTAS PARA CIRCUITO IMPRESO	3	\$ 25.00
REGULADORES 78XX Y 79XX	4	\$ 35.00
TRANSFORMADOR DE 1 A.	1	\$ 30.00
DIODOS ZENER	8	\$ 16.00
CHASIS PLASTICO	1	120.00
CONECTOR DB9 PARA CIRCUITO IMPRESO	1	10.00
CONECTOR MINIDIN PARA CIRCUITO IMP.	1	10.00
TOTAL		1097.30

Adicional a los costos anteriores esta el cargo por el desarrollo del software y el cargo por mano de obra empleado en la fabricación del sistema. El primero de estos es difícil determinar ya que el costo del desarrollo de software suele hacerse en base a tiempo, es decir un cobro por horas. No existe un recuento de todo el tiempo empleado en el desarrollo del programa POSC. EXE, pero estimando un

costo de este y a mayor cantidad de unidades vendidas, podrá ser financiado completamente por lo que asignaríamos un costo de \$300.00 M.N.

De igual manera el costo estimado de mano de obra de fabricación se estima en una jornada de trabajo de un empleado en un sistema tipo maquiladora, teniendo todos los elementos para su ensamblaje de \$100.00 M.N.

Sumando todos los conceptos anteriores que abarcan costos de componentes, mano de obra y software, tenemos un costo total de fabricación de \$1500.00 M.N.

A este costo agregamos un margen de ganancia de 50 % y tenemos finalmente un precio publico de \$2250.00 M.N.

Para una persona que no cuenta con computadora, el costo de una de ellas puede variar desde \$ 6,000.00 hasta \$ 20,000.00 M.N. aproximadamente, lo que elevaria el costo de este sistema considerablemente, pero es claro que una computadora de cualquier característica, no seria esclava de la tarjeta y puede ser empleada en funciones de procesador de textos, hojas de calculo, internet, etc.

## APÉNDICE A. INSTRUCTIVO DE OPERACIÓN.

### Contenido.

Incluidos en este paquete debe encontrar los siguientes accesorios:

1. Modulo osciloscopio.
2. Adaptador AC/DC.
3. Cable de Comunicación.
4. Disquete de instalación.
5. Puntas de osciloscopio.
6. Instructivo de operación.

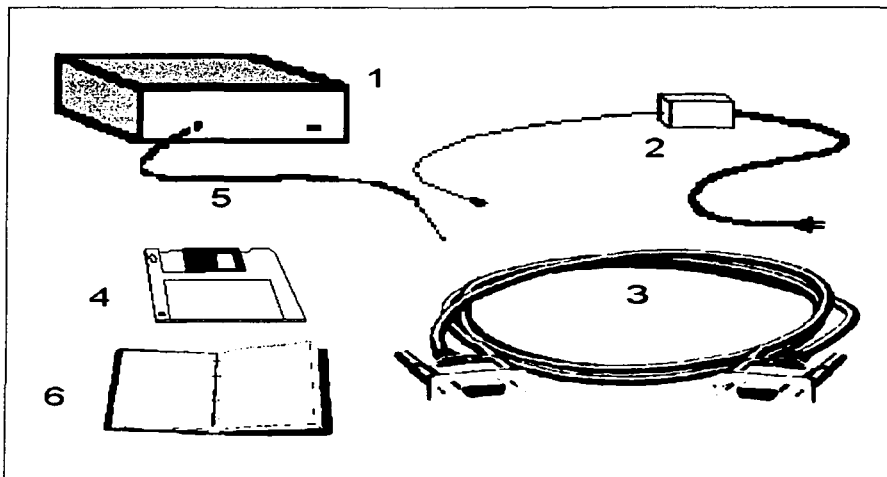


Figura A1. Partes incluidas en el modulo osciloscopio.

TESIS CON  
FALLA DE ORIGEN

**Guía de instalación.**

1. Conecte el cable de comunicación (5) del lado DB9 Macho al modulo osciloscopio (1).
2. Conecte el cable de comunicación (5) del lado DB9 Hembra al puerto de comunicaciones COM1 o COM2 de su computadora (podría requerir adaptador DB9-DB25 no incluido).
3. Conecte el adaptador AC/DC (2) a una toma de corriente de 127 VCA 60 Hz y el extremo del cable al conector del modulo osciloscopio (1).
4. Inserte el disquete de instalación (4) en la unidad A de su computadora y cambie su unidad de trabajo a dicha unidad.
5. teclee **instalar** y presione <ENTER>. Automáticamente se creara en el disco duro de su computadora un subdirectorio llamado POSC; los archivos requeridos para el funcionamiento del programa osciloscopio serán copiados ahí.
6. Encienda el modulo osciloscopio.
7. Teclee POSC y presione <ENTER>.

Ahora Ud. ha realizado todos los pasos de la instalación de software y hardware y se encuentra listo para empezar a utilizar el Osciloscopio Virtual.

**Programa POSC. EXE.**

Cada vez que Ud. ejecute el programa POSC. EXE asegúrese de tener conectado a su computadora y encendido el modulo osciloscopio. Cuando no exista conexión, o el modulo osciloscopio se encuentre apagado y se ejecute el programa POSC. EXE, este se ejecutara en modo demostración donde ninguna función es permitida para el usuario y solo puede observar tres patrones de líneas predefinidos en el programa. Estos patrones se ejecutan ciclicamente y al presionar cualquier tecla del teclado de la computadora, finalizara la ejecución del programa después de desplegar el tercer patron.

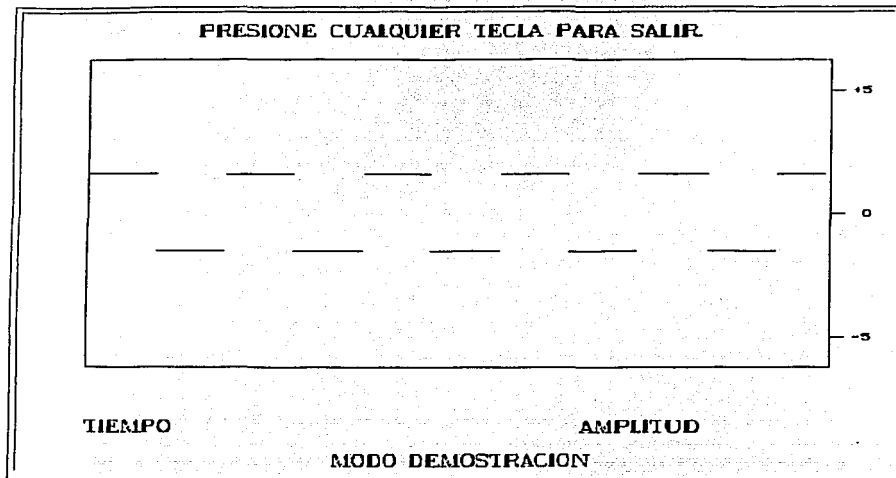


Figura A2. Modo "demostracion" de POSC. EXE.

Cuando se ejecute el programa POSC. EXE y exista conexión entre el modulo osciloscopio y la computadora y además dicho modulo se encuentre encendido, este se pondrá en línea y el programa POSC. EXE se ejecutara en modo de operación.

Existen dos variantes en el modo de operación, el primero de ellos que por default se carga con la ejecución del programa es el modo continuo. En este modo continuo, las señales eléctricas obtenidas por la tarjeta MC68HC11 son desplegadas en el monitor como el funcionamiento de cualquier osciloscopio. Ninguna función que pueda ser realizada, usted podra unicamente observar las señales. De inicio, el rango de voltaje de las señales de entrada es de +30 a -30 volts.

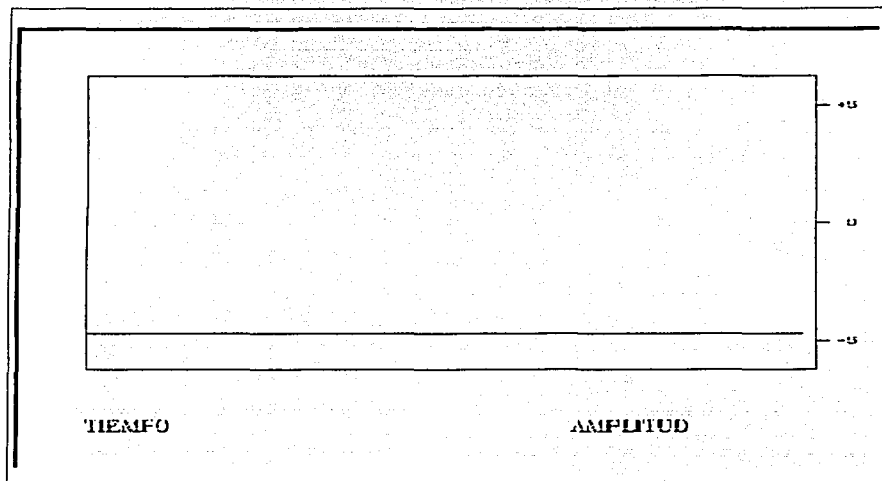


Figura A3. Modo "continuo" de POSC.EXE.

Presionando cualquier tecla del teclado de la computadora, el modo de operación cambia a la variante evaluación. La señal desplegada en la pantalla del monitor quedara congelada o detenida, del lado superior izquierdo de la pantalla aparecerán cinco iconos y en la parte inferior aparecerán los rótulos TIEMPO y VOLTAJE así como un recuadro mostrando el rango de voltajes de entrada.

En la variante de evaluación contamos con el funcionamiento del ratón de la computadora, con el podemos seleccionar los iconos antes mencionados que tienen las siguientes funciones.





operativo.

Abandona el programa POSC. EXE. Regresa el control de la computadora al sistema



Reinicia el modo de operación cuando la pantalla se encuentra congelada.



Refresca la pantalla cuando esta se encuentra congelada, muestra una nueva pantalla de la señal y se vuelve a congelar la pantalla.



Incrementa el rango de captura de señales electricas en 5 volts.



Decrementa el rango de captura de señales electricas en 5 volts.

La otra función útil del ratón es la de señalar en la pantalla un recuadro para conocer los parámetros de voltaje máximo, mínimo y tiempo (inverso de la frecuencia) entre los puntos delimitados por esa zona, esta función se realiza mediante los siguientes pasos.

1. Se coloca el apuntador del ratón en una esquina del área que se quiere analizar y se presiona el botón izquierdo del ratón.
2. Se mueve el apuntador del ratón a la esquina contraria del área deseada y se presiona nuevamente el botón izquierdo del apuntador del ratón.
3. En pantalla se dibuja un recuadro marcando la zona seleccionada, al marcar un punto de una nueva zona este recuadro desaparecerá.
4. Los valores de tiempo y voltaje máximo y mínimo se establecen en la pantalla para el área seleccionada.

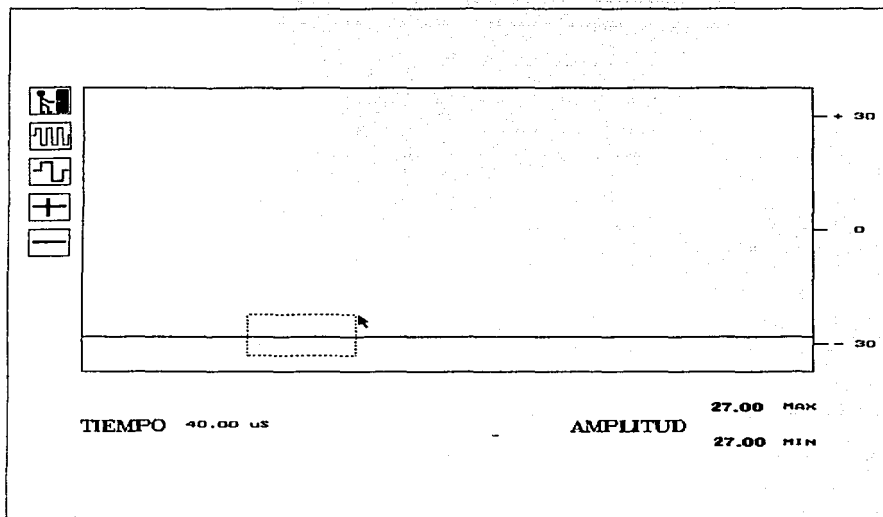


Figura A.4. Modo "evaluación" de POSC.EXE.

TESIS CON  
FALLA DE ORIGEN

**Apndice B. Hojas Tcnicas de circuitos integrados.**

A continuaci3n se presentan los datos tcnicos de los circuitos integrados empleados para el diseo de la tarjeta MC68HC11ALQ1P.

MC34064.

SN74HC00.

SN74HC04.

SN74HC32.

SN74HC373.

MAX232.

LM747N.

27C64.

HM6264P.

**MOTOROLA**

Order this document by MC34064/D

**MC34064  
MC33064****Undervoltage Sensing Circuit**

The MC34064 is an undervoltage sensing circuit specifically designed for use as a reset controller in microprocessor-based systems. It offers the designer an economical solution for low voltage detection with a single external resistor. The MC34064 features a trimmed-in-package bandgap reference, and a comparator with precise thresholds and built-in hysteresis to prevent erratic reset operation. The open collector reset output is capable of sinking in excess of 10 mA, and operation is guaranteed down to 1.0 V input with low standby current. These devices are packaged in 3-pin TO-226AA, 8-pin SO-8 and Micro-8 surface mount packages.

Applications include direct monitoring of the 5.0 V MPU/logic power supply used in appliance, automotive, consumer and industrial equipment.

- Trimmed-In-Package Temperature Compensated Reference
- Comparator Threshold of 4.6 V at 25 C
- Precise Comparator Thresholds Guaranteed Over Temperature
- Comparator Hysteresis Prevents Erratic Reset
- Reset Output Capable of Sinking in Excess of 10 mA
- Internal Clamp Diode for Discharging Delay Capacitor
- Guaranteed Reset Operation with 1.0 V Input
- Low Standby Current
- Economical TO-226AA, SO-8 and Micro-8 Surface Mount Packages

**UNDERTOVOLTAGE  
SENSING CIRCUIT****SEMICONDUCTOR  
TECHNICAL DATA**

**P SUFFIX  
PLASTIC PACKAGE  
CASE 29  
(TO-226AA)**

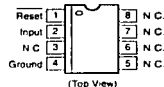
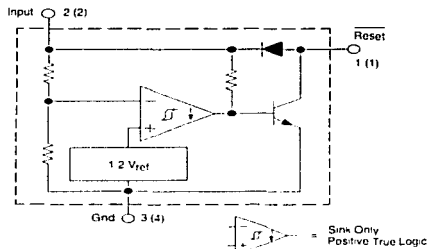


Pin 1. Reset  
2. Input  
3. Ground

**D SUFFIX  
PLASTIC PACKAGE  
CASE 751  
(SO-8)**



**DM SUFFIX  
PLASTIC PACKAGE  
CASE 848A  
(Micro-8)**

**Representative Block Diagram**

Pin numbers adjacent to terminals are for the 3-pin TO-226AA package.  
Pin numbers in parenthesis are for the 8-lead packages

This device contains 21 active transistors

**ORDERING INFORMATION**

Device	Operating Temperature Range	Package
MC34064D-5		SO-8
MC34064DM-5	$T_A = 0^\circ \text{ to } +70^\circ \text{ C}$	Micro-8
MC34064P-5		TO-226AA
MC33064D-5		SO-8
MC33064DM-5	$T_A = -40^\circ \text{ to } +85^\circ \text{ C}$	Micro-8
MC33064P-5		TO-226AA

**TEST CON  
FALLA DE ORIGEN**

**122-A**

Motorola, Inc 1995

Rev 2

## MC34064 MC33064

### MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Input Supply Voltage	$V_{in}$	-1.0 to 10	V
Reset Output Voltage	$V_O$	10	V
Reset Output Sink Current (Note 1)	$I_{Sink}$	Internally Limited	mA
Clamp Diode Forward Current, Pin 1 to 2 (Note 1)	$I_F$	100	mA
<b>Power Dissipation and Thermal Characteristics</b>			
P Suffix, Plastic Package			
Maximum Power Dissipation @ $T_A = 25^\circ\text{C}$	$P_D$	625	mW
Thermal Resistance, Junction-to-Air	$R_{\theta JA}$	200	$^\circ\text{C/W}$
D Suffix, Plastic Package			
Maximum Power Dissipation @ $T_A = 25^\circ\text{C}$	$P_D$	625	mW
Thermal Resistance, Junction-to-Air	$R_{\theta JA}$	200	$^\circ\text{C/W}$
DM Suffix, Plastic Package			
Maximum Power Dissipation @ $T_A = 25^\circ\text{C}$	$P_D$	520	mW
Thermal Resistance, Junction-to-Air	$R_{\theta JA}$	240	$^\circ\text{C/W}$
Operating Junction Temperature	$T_J$	+150	$^\circ\text{C}$
Operating Ambient Temperature			
MC34064	$T_A$	0 to +70	$^\circ\text{C}$
MC33064		-40 to +85	
Storage Temperature Range	$T_{stg}$	-65 to +150	$^\circ\text{C}$

NOTE: ESD data available upon request.

**ELECTRICAL CHARACTERISTICS** (For typical values  $T_A = 25^\circ\text{C}$ , for min/max values  $T_A$  is the operating ambient temperature range that applies [Notes 2 and 3] unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
<b>COMPARATOR</b>					
Threshold Voltage					
High State Output ( $V_{in}$ Increasing)	$V_{IH}$	4.5	4.61	4.7	V
Low State Output ( $V_{in}$ Decreasing)	$V_{IL}$	4.5	4.59	4.7	
Hysteresis	$V_H$	0.01	0.02	0.05	
<b>RESET OUTPUT</b>					
Output Sink Saturation					
( $V_{in} = 4.0\text{ V}$ , $I_{Sink} = 8.0\text{ mA}$ )	$V_{OL}$	-	0.46	1.0	V
( $V_{in} = 4.0\text{ V}$ , $I_{Sink} = 2.0\text{ mA}$ )		-	0.15	0.4	
( $V_{in} = 1.0\text{ V}$ , $I_{Sink} = 0.1\text{ mA}$ )		-	-	0.1	
Output Sink Current ( $V_{in}$ , Reset = 4.0 V)	$I_{Sink}$	10	27	60	mA
Output Off-State Leakage ( $V_{in}$ , Reset = 5.0 V)	$I_{OH}$	-	0.02	0.5	$\mu\text{A}$
Clamp Diode Forward Voltage, Pin 1 to 2 ( $I_F = 10\text{ mA}$ )	$V_F$	0.6	0.9	1.2	V
<b>TOTAL DEVICE</b>					
Operating Input Voltage Range	$V_{in}$	1.0 to 6.5	-	-	V
Quiescent Input Current ( $V_{in} = 5.0\text{ V}$ )	$I_{in}$	-	390	500	$\mu\text{A}$

NOTES: 1 Maximum package power dissipation limits must be observed.

2 Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient as possible.

3  $T_{low} = 0^\circ\text{C}$  for MC34064

$T_{high} = +70^\circ\text{C}$  for MC34064

$-40^\circ\text{C}$  for MC33064

$+85^\circ\text{C}$  for MC33064

Figure 1. Reset Output Voltage versus Input Voltage

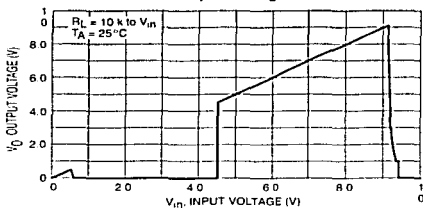


Figure 2. Reset Output Voltage versus Input Voltage

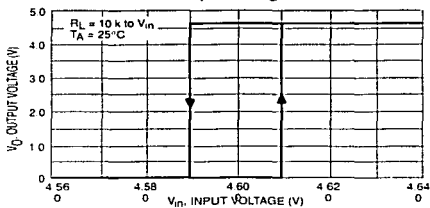


Figure 3. Comparator Threshold Voltage versus Temperature

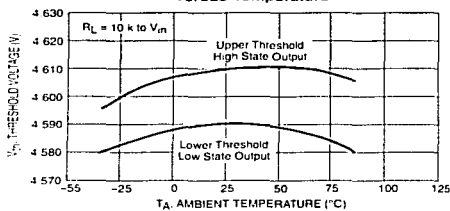


Figure 4. Input Current versus Input Voltage

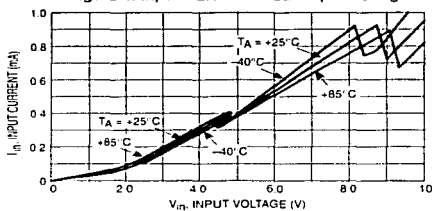


Figure 5. Reset Output Saturation versus Sink Current

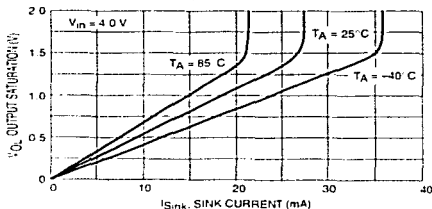
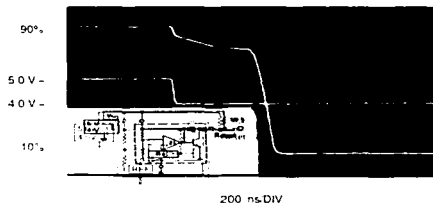


Figure 6. Reset Delay Time



## MC34064 MC33064

Figure 7. Clamp Diode Forward Current versus Voltage

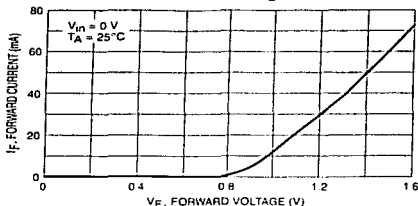


Figure 8. Low Voltage Microprocessor Reset

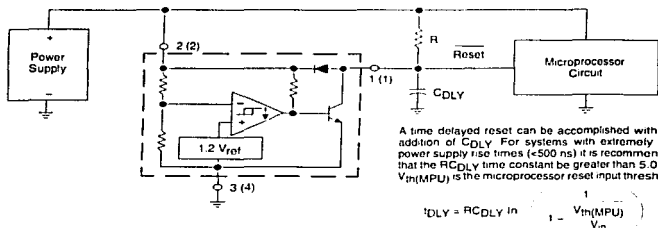
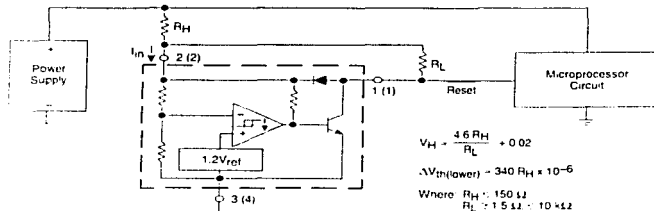


Figure 9. Low Voltage Microprocessor Reset with Additional Hysteresis



Comparator hysteresis can be increased with the addition of resistor  $R_H$ . The hysteresis equation has been simplified and does not account for the change of input current  $I_{in}$  as  $V_{CC}$  crosses the comparator threshold (Figure 4). An increase of the lower threshold  $\Delta V_{IN}(\text{lower})$  will be observed due to  $I_{in}$  which is typically  $340 \mu A$  at  $4.59 V$ . The equations are accurate to  $\pm 10\%$  with  $R_H$  less than  $150 \Omega$  and  $R_L$  between  $1.5 k\Omega$  and  $10 k\Omega$ .

Test Data			
$V_H$ (mV)	$\Delta V_H$ (mV)	$R_H$ ( $\Omega$ )	$R_L$ (k $\Omega$ )
20	0	0	0
51	3.4	10	1.5
40	6.8	20	4.7
81	6.8	20	1.5
71	10	30	2.7
112	10	30	1.5
100	16	.47	2.7
164	16	.47	1.5
100	3.4	100	2.7
327	3.4	100	1.5
276	51	150	2.7
480	51	150	1.5

Figure 10. Voltage Monitor

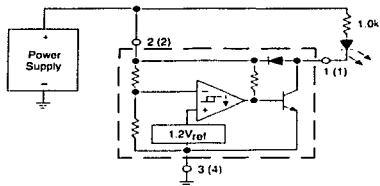


Figure 11. Solar Powered Battery Charger

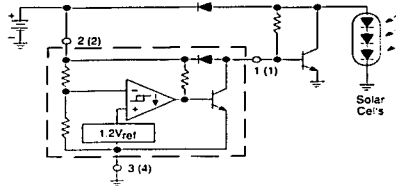
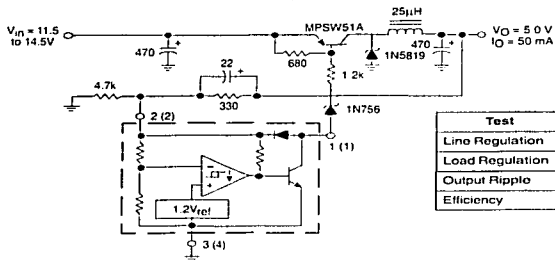
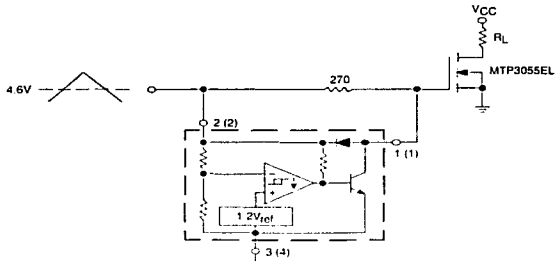


Figure 12. Low Power Switching Regulator



Test	Conditions	Results
Line Regulation	$V_{in} = 11.5 \text{ V to } 14.5 \text{ V}, I_O = 50 \text{ mA}$	35 mV
Load Regulation	$V_{in} = 12.6 \text{ V}, I_O = 0 \text{ mA to } 50 \text{ mA}$	12 mV
Output Ripple	$V_{in} = 12.6 \text{ V}, I_O = 50 \text{ mA}$	60 mVpp
Efficiency	$V_{in} = 12.6 \text{ V}, I_O = 50 \text{ mA}$	77%

Figure 13. MOSFET Low Voltage Gate Drive Protection



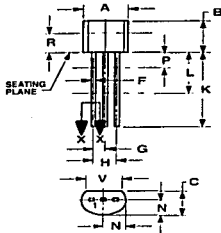
Overheating of the logic level power MOSFET due to insufficient gate voltage can be prevented with the above circuit. When the input signal is below the 4.6 V threshold of the MC34064, its output grounds the gate of the L2 MOSFET.



# MC34064 MC33064

## OUTLINE DIMENSIONS

### P SUFFIX PLASTIC PACKAGE CASE 29-04 (TO-226AA) ISSUE AD

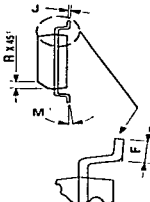
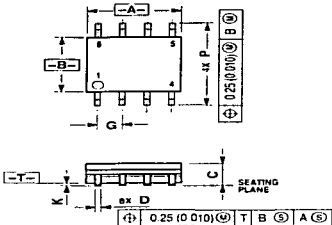


#### NOTES

- 1 DIMENSIONING AND TOLERANCING PER ANSI Y14.5M 1982
- 2 CONTROLLING DIMENSION: INCH
- 3 CONTOUR OF PACKAGE BEYOND DIMENSION R IS UNCONTROLLED
- 4 DIMENSION F APPLIES BETWEEN P AND L DIMENSION D AND J APPLY BETWEEN L AND K MINIMUM LEAD DIMENSION IS UNCONTROLLED IN P AND BEYOND DIMENSION G MINIMUM

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.175	0.205	4.43	5.20
B	0.170	0.210	4.32	5.33
C	0.129	0.150	3.28	3.81
D	0.016	0.072	0.41	1.83
E	0.016	0.019	0.41	0.48
G	0.045	0.065	1.15	1.65
H	0.095	0.105	2.42	2.67
I	0.015	0.020	0.38	0.51
R	0.500	---	12.70	---
S	0.250	---	6.35	---
N	0.080	0.105	2.04	2.67
P	---	0.100	---	2.54
Q	0.112	---	2.83	---
V	0.100	---	2.54	---

### D SUFFIX PLASTIC PACKAGE CASE 751-05 (SO-8) ISSUE P



#### NOTES

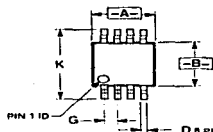
- 1 DIMENSIONS A AND H ARE DATUMS AND THIS A DATUM SURFACE
- 2 DIMENSIONING AND TOLERANCING PER ANSI Y14.5M 1982
- 3 DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION
- 4 DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION
- 5 MAXIMUM MOLD PROTRUSION IS 0.15 PER SIDE
- 6 DIMENSION D DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION

DIM	MILLIMETERS	
	MIN	MAX
A	2.80	3.00
B	3.90	4.00
C	1.35	1.75
D	0.35	0.48
F	0.40	1.25
G	1.27 BSC	---
J	0.19	0.25
K	0.19	0.25
M	0	0.127
P	5.82	6.22
R	2.25	2.52

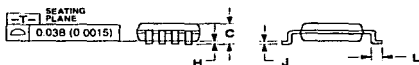
# MC34064 MC33064

## OUTLINE DIMENSIONS

DM SUFFIX  
PLASTIC PACKAGE  
CASE 846A-02  
(Micro-B)  
ISSUE B




D & PL  
⊕ 0.08 (0.003) ⊕ T B ⊕ A ⊕



### NOTES

- 1 DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982
- 2 CONTROLLING DIMENSION: MILLIMETER
- 3 DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS; MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 (0.009) PER SIDE
- 4 DIMENSION D DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION; INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	2.70	3.10	0.114	0.122
B	2.20	3.10	0.114	0.122
C	—	1.10	—	0.043
D	0.75	0.40	0.030	0.016
G	0.55 BSC	—	0.022 BSC	—
H	0.20	0.15	0.008	0.006
J	0.13	0.23	0.005	0.009
K	4.25	5.00	0.167	0.199
L	3.40	0.79	0.018	0.031

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

**How to reach us:**  
**USA/EUROPE/Locations Not Listed:** Motorola Literature Distribution,  
 PO Box 20992, Phoenix, Arizona 85065. 1-800-441-2447 or 602-300-5454

**MFAX:** IBM AX04 (http://pubs.mot.com) TOUCHSTONE 602-244-6609

**INTERNET:** http://Design.MI.Triple

**JAPAN:** Feyzin Motorola Ltd., Tsutsui SPD J.LDC, 6F Setubaru-Center,  
 3-14-2 Tsutsumi-Koto-Ku, Tokyo 135, Japan. 03-81-3521-8315

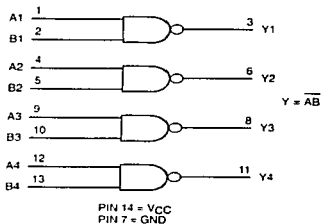
**ASIA/PACIFIC:** Motorola Semiconductors HK Ltd., 8B Tai Ping Industrial Park,  
 51 Teng Kok Road, Tai Po, N.T., Hong Kong. 852-26629298

## Quad 2-Input NAND Gate High-Performance Silicon-Gate CMOS

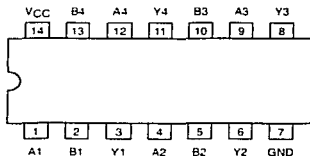
The MC54/74HC00A is identical in pinout to the LS00. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1 $\mu$ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 32 FETs or 8 Equivalent Gates

### LOGIC DIAGRAM



### Pinout: 14-Lead Packages (Top View)



## MC54/74HC00A



**J SUFFIX**  
CERAMIC PACKAGE  
CASE 632-08



**N SUFFIX**  
PLASTIC PACKAGE  
CASE 646-06



**D SUFFIX**  
SOIC PACKAGE  
CASE 751A-03



**DT SUFFIX**  
TSSOP PACKAGE  
CASE 948G-01

### ORDERING INFORMATION

MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

### FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

TECIS CON

ITALIA DE ORIGEN



# MC54/74HC00A

## MAXIMUM RATINGS\*

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	DC Supply Voltage (Referenced to GND)	- 0.5 to + 7.0	V
V <sub>in</sub>	DC Input Voltage (Referenced to GND)	- 0.5 to V <sub>CC</sub> + 0.5	V
V <sub>out</sub>	DC Output Voltage (Referenced to GND)	- 0.5 to V <sub>CC</sub> + 0.5	V
I <sub>in</sub>	DC Input Current, per Pin	+ 20	mA
I <sub>out</sub>	DC Output Current, per Pin	+ 25	mA
I <sub>CC</sub>	DC Supply Current, V <sub>CC</sub> and GND Pins	+ 50	mA
P <sub>D</sub>	Power Dissipation in Still Air, Plastic or Ceramic DIP } SOIC Package } TSSOP Package }	750 500 450	mW
T <sub>stg</sub>	Storage Temperature	- 65 to + 150	°C
T <sub>L</sub>	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC or TSSOP Package Ceramic DIP	260 300	°C

\* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.  
 † Derating — Plastic DIP — 10 mW/°C from 65° to 125° C  
 Ceramic DIP — 10 mW/°C from 100° to 125° C  
 SOIC Package — 7 mW/°C from 65° to 125° C  
 TSSOP Package — 6.1 mW/°C from 65° to 125° C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V<sub>in</sub> and V<sub>out</sub> should be constrained to the range GND - (V<sub>in</sub> or V<sub>out</sub>) ≤ V<sub>CC</sub>. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V<sub>CC</sub>). Unused outputs must be left open.

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V <sub>CC</sub>	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
V <sub>in</sub> , V <sub>out</sub>	DC Input Voltage, Output Voltage (Referenced to GND)	0	V <sub>CC</sub>	V	
T <sub>A</sub>	Operating Temperature, All Package Types	- 55	+ 125	°C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time (Figure 1)	V <sub>CC</sub> = 2.0 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6.0 V	0 0 0	1000 500 400	ns

## DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V <sub>CC</sub> V	Guaranteed Limit			Unit
				-55 to 25°C	±85°C	±125°C	
V <sub>IH</sub>	Minimum High-Level Input Voltage	V <sub>out</sub> = 0.1V or V <sub>CC</sub> - 0.1V I <sub>out</sub> = 20µA	2.0	1.50	1.50	1.50	V
			3.0	2.10	2.10	2.10	
			4.5	3.15	3.15	3.15	
6.0	4.20	4.20	4.20				
V <sub>IL</sub>	Maximum Low-Level Input Voltage	V <sub>out</sub> = 0.1V or V <sub>CC</sub> - 0.1V I <sub>out</sub> ≤ 20µA	2.0	0.50	0.50	0.50	V
			3.0	0.90	0.90	0.90	
			4.5	1.35	1.35	1.35	
6.0	1.80	1.80	1.80				
V <sub>OH</sub>	Minimum High-Level Output Voltage	V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>out</sub> = 20µA	2.0	1.9	1.9	1.9	V
			3.0	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
V <sub>OL</sub>	Maximum Low-Level Output Voltage	V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>out</sub> = 2.4mA I <sub>out</sub> = 4.0mA I <sub>out</sub> = 5.2mA	3.0	2.48	2.34	2.20	V
			4.5	3.98	3.84	3.70	
			6.0	5.48	5.34	5.20	
V <sub>OL</sub>	Maximum Low-Level Output Voltage	V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>out</sub> = 2.4mA I <sub>out</sub> = 4.0mA I <sub>out</sub> = 5.2mA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
I <sub>in</sub>	Maximum Input Leakage Current	V <sub>in</sub> = V <sub>IH</sub> or GND	6.0	0.1	0.1	0.1	µA
I <sub>CC</sub>	Maximum Quiescent Supply Current (per Package)	V <sub>in</sub> = V <sub>CC</sub> or GND I <sub>out</sub> = 0µA	6.0	1.0	1.0	4.0	µA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

AC CHARACTERISTICS (C<sub>L</sub> = 50 pF, Input t<sub>r</sub> = t<sub>f</sub> = 6 ns)

Symbol	Parameter	V <sub>CC</sub> V	Guaranteed Limit			Unit
			-55 to 25°C	±85°C	±125°C	
t <sub>PLH</sub> , t <sub>PHL</sub>	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0	75	95	110	ns
		3.0	30	40	55	
		4.5	15	19	22	
6.0	13	16	19			
t <sub>TLH</sub> , t <sub>THL</sub>	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	75	95	110	ns
		3.0	27	32	36	
		4.5	15	19	22	
6.0	13	16	19			
C <sub>in</sub>	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

Symbol	Parameter (Per Buffer)	Typical @ 25°C, V <sub>CC</sub> = 5.0 V, V <sub>EE</sub> = 0 V		Unit
		22		
C <sub>PD</sub>	Power Dissipation Capacitance (Per Buffer)			pF

Use 1 to determine the no-load dynamic power consumption: P<sub>D</sub> = C<sub>PD</sub> V<sub>CC</sub><sup>2</sup> • I<sub>CC</sub> V<sub>CC</sub>. For load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

TESTES CON  
FALLA DE ORIGEN

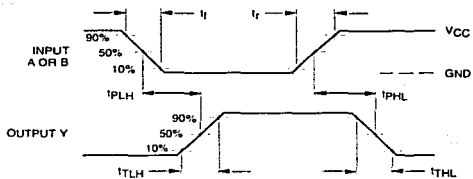
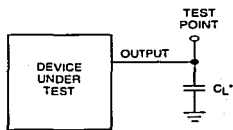


Figure 1. Switching Waveforms



\*Includes all probe and jig capacitance

Figure 2. Test Circuit

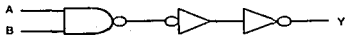
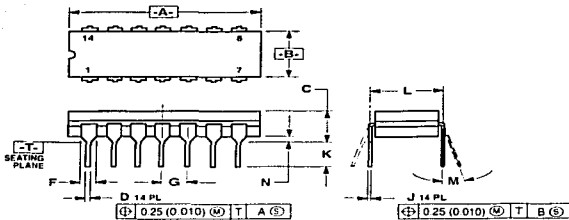


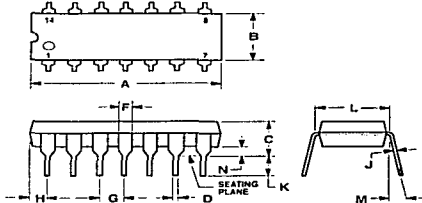
Figure 3. Expanded Logic Diagram  
(1/4 of the Device)

## OUTLINE DIMENSIONS

**J SUFFIX  
CERAMIC DIP PACKAGE  
CASE 832-08  
ISSUE Y**


- NOTES
- 1 DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
  - 2 CONTROLLING DIMENSION INCH
  - 3 DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL
  - 4 DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.750	0.185	19.00	4.69
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.38	0.50
F	0.055	0.065	1.40	1.65
G	0.100 RSC			
J	0.006	0.015	0.21	0.38
K	0.125	0.130	3.18	3.31
L	0.300 RSC			
M	0.125 RSC			
N	0.020	0.045	0.51	1.01

**N SUFFIX  
PLASTIC DIP PACKAGE  
CASE 646-06  
ISSUE L**


- NOTES
- 1 LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION
  - 2 DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL
  - 3 DIMENSION B DOES NOT INCLUDE MOLD FLASH
  - 4 ROUNDED CORNERS OPTIONAL

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.54
B	0.200	0.260	5.08	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.045	0.070	1.15	1.78
G	0.100 RSC			
H	0.025	0.025	0.64	0.64
J	0.005	0.015	0.25	0.38
K	0.115	0.135	2.92	3.43
L	0.300 RSC			
M	0.125 RSC			
N	0.015	0.030	0.38	0.76

TESIS CON  
FALLA DE ORIGEN





Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights for the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and M are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

**How to reach us:**

**USA/EUROPE** Motorola Literature Distribution  
 P.O. Box 9902, Phoenix, Arizona 85046-1909 USA 1-248-761-2447

**MFAX** RMAILX@a-e.mail.sps.mot.com TOUCHTONE (602) 244-6009  
**INTERNET** http://Design.NE.E.com

**JAPAN** Nippon Motorola Ltd., Tsutsumi SPD JLDC, Toshikatsu Otsuki  
 6F Seibu Huisuwa Center, 3-14-2 Tsutsumi-Kita-Ku, Tokyo 135, Japan 03-3521-8315

**HONG KONG** Motorola Semiconductor Products HK Ltd., RB Tai Ping Industrial Park,  
 51 Tai Ping Kok Road, Tai Po, N.T., Hong Kong 852-26628208

**MOTOROLA**

MC54/74HC00A/D



## MM74HC04 Hex Inverter

### General Description

The MM74HC04 inverter utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits.

The MM74HC04 is a triple buffered inverter. It has high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pinout compatible with the standard 74LS logic family. All inputs

are protected from damage due to static discharge by internal diode clamps to  $V_{CC}$  and ground.

### Features

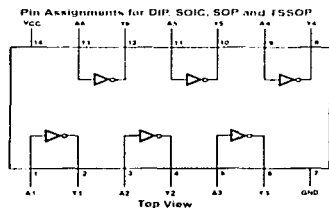
- Typical propagation delay: 10 ns
- Fan-out of 10 LS-TTL loads
- Quiescent power consumption: 10  $\mu$ W maximum at room temperature
- Low input current: 1  $\mu$ A maximum

### Ordering Code:

Order Number	Package Number	Package Description
MM74HC04M	N14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow
MM74HC04D	N14ET	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.0mm Wide
MM74HC04HT	N14CTE	14-Lead Thin Shrink Small Outline Package (TSOP), JEDEC EIAJ-14.4, 4.0mm Wide
MM74HC04N	N14A	14-Lead Plastic Dual In-Line Package (PDIP), JEDEC MS-001, 0.100" Wide

Order as indicated on the package drawing. See the package drawing for the actual pin configuration.

### Connection Diagram



### Logic Diagram



**Absolute Maximum Ratings**(Note 1)

(Note 2)

Supply Voltage ( $V_{CC}$ )	-0.5 to +7.0V
DC Input Voltage ( $V_{in}$ )	-1.5 to $V_{CC} + 1.5V$
DC Output Voltage ( $V_{out}$ )	-0.5 to $V_{CC} + 0.5V$
Clamp Diode Current ( $I_{HK}, I_{IK}$ )	$\pm 20$ mA
DC Output Current per pin ( $I_{OH}$ )	$\pm 25$ mA
DC $V_{OL}$ or GND Current per pin ( $I_{OL}$ )	150 mA
Storage Temperature Range ( $T_{STG}$ )	-65°C to +150°C
Power Dissipation ( $P_D$ )	(Note 3): 600 mW
S.O. Package only	500 mW
Lead Temperature ( $T_L$ )	(Soldering 10 seconds) 260°C

**Recommended Operating Conditions**

Supply Voltage ( $V_{CC}$ )	Min	Max	Units
DC Input or Output Voltage ( $V_{in}, V_{out}$ )	0	$V_{CC}$	V
Operating Temperature Range ( $T_A$ )	-40	+85	°C
Input Rise or Fall Times (t <sub>r</sub> , t <sub>f</sub> )	$V_{OL} = 2.0V$		1000 ns
	$V_{OH} = 4.5V$		500 ns
	$V_I = 6.0V$		400 ns

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified, all voltages are referenced to ground.

Note 3: Power to be dissipated temperature derating in plastic package is 10 mW/°C from 125°C to 150°C.

**DC Electrical Characteristics** (Note 4)

Symbol	Parameter	Conditions	$V_{CC}$	$T_A = 25^\circ C$	$T_A = 40 \text{ to } 85^\circ C$	$T_A = 55 \text{ to } 125^\circ C$	Units	
				Typ	Guaranteed Limits			
$V_{in}$	Minimum High Level Input Voltage		2.0V	1.5	1.5	1.5	V	
			4.5V	3.15	3.15	3.15	V	
			6.0V	4.2	4.2	4.2	V	
$V_{OL}$	Maximum Low Level Input Voltage		2.0V	0.5	0.5	0.5	V	
			4.5V	1.0	1.05	1.05	V	
			6.0V	1.8	1.8	1.8	V	
$V_{OH}$	Minimum High Level Output Voltage	$V_{in} = V_{OL}$ $I_{OH} = 20 \mu A$	2.0V	2.0	1.9	1.9	V	
			4.5V	4.5	4.4	4.4	V	
			6.0V	6.0	5.9	5.9	V	
		$V_{in} = V_{OH}$ $I_{OH} = 4.0 \text{ mA}$ Rise = 5.2 nA	4.5V	4.1	3.93	3.93	3.7	V
			6.0V	6.0	5.48	5.48	5.2	V
			6.0V	6.0	5.7	5.7	5.7	V
$V_{OL}$	Maximum Low Level Output Voltage	$V_{in} = V_{OL}$ $I_{OL} = 20 \mu A$	2.0V	0.1	0.1	0.1	V	
			4.5V	0.1	0.1	0.1	V	
			6.0V	0.1	0.1	0.1	V	
		$V_{in} = V_{OH}$ $I_{OL} = 4.0 \text{ mA}$ Fall = 5.2 nA	4.5V	0.2	0.26	0.33	0.4	V
			6.0V	0.2	0.26	0.33	0.4	V
			6.0V	0.2	0.2	0.2	0.2	V
$I_{OH}$	Maximum High Level Output Current	$V_{in} = V_{OL}$ or (4.5V)	0.02	0.02	0.02	mA		
$I_{OL}$	Maximum Low Level Output Current	$V_{in} = V_{OH}$ or (4.5V)	0.02	0.02	0.02	mA		

Note 4:  $V_{OL}$  and  $V_{OH}$  values are for the worst case load condition of 4.0 mA. Thus, for 4.5V  $V_{OH}$  values should be used when designed for the supply  $V_{CC}$  of 4.5V or 5.0V. Similarly, for 4.5V  $V_{OL}$  values should be used when designed for the supply  $V_{CC}$  of 4.5V or 5.0V. The worst case leakage current ( $I_{OH}$  and  $I_{OL}$ ) occurs for  $V_{in} = V_{OH}$  and the highest temperature. The worst case  $I_{OL}$  occurs at the lowest  $V_{CC}$ .

### AC Electrical Characteristics

V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C, C<sub>L</sub> = 15 pF, f<sub>IN</sub> = 4MHz

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
T <sub>prop, typ</sub>	Maximum Propagation Delay		n	15	ns

### AC Electrical Characteristics

V<sub>CC</sub> = 2.0V to 5.5V, C<sub>L</sub> = 15 pF, f<sub>IN</sub> = 4MHz, Maximum Propagation

Symbol	Parameter	Conditions	V <sub>CC</sub>	T <sub>A</sub> = 25°C			T <sub>A</sub> = 40 to 85°C		T <sub>A</sub> = 55 to 125°C		Units
				Typ	Guaranteed Limits		Guaranteed Limits				
T <sub>prop, typ</sub>	Maximum Propagation Delay		2.0	10	12	15	15	15	ns		
				5.5	11	14	18	20	ns		
T <sub>prop, typ</sub>	Maximum Output Propagation Delay (at 0V)		2.0	10	10	12	12	12	ns		
				5.5	9	10	12	12	ns		
T <sub>prop, typ</sub>	Maximum Output Propagation Delay (at 1V)		2.0	10	10	12	12	12	ns		
				5.5	9	10	12	12	ns		
C <sub>int</sub>	Input Capacitance	(open input)	2.0						pF		
C <sub>int</sub>	Maximum Input Capacitance		2.0	5	10				10	pF	
				5.5	5	10			10	pF	

Note 9: C<sub>int</sub> determines the maximum fan-out, power consumption, P<sub>tot</sub> = 200mW at V<sub>CC</sub> = 5V and the maximum dynamic current consumption, I<sub>CC</sub> = C<sub>int</sub> × V<sub>CC</sub> × f<sub>IN</sub>.









# SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

© 1988 TEXAS INSTRUMENTS INCORPORATED, DALLAS, TEXAS 75243

- Package Options Include Plastic Small-Outline (D), Shrink Small-Outline (DB), Thin Shrink Small-Outline (PW), and Ceramic Flat (W) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) 300-mil DIPs

## description

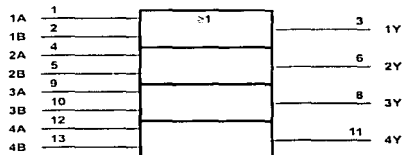
These devices contain four independent 2-input OR gates. They perform the Boolean function  $Y = \overline{A} + \overline{B}$  or  $Y = A + B$  in positive logic.

The SN54HC32 is characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN74HC32 is characterized for operation from  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ .

FUNCTION TABLE  
(each gate)

INPUTS		OUTPUT
A	B	Y
H	X	H
X	H	H
L	L	L

## logic symbol

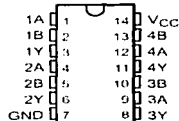


† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for the D, DB, J, N, PW, and W packages.

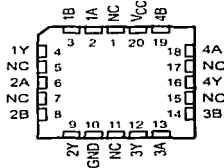
## logic diagram (positive logic)



SN54HC32... J OR W PACKAGE  
SN74HC32... D, DB, N, OR PW PACKAGE  
(TOP VIEW)



SN54HC32... FK PACKAGE  
(TOP VIEW)



NC - No internal connection

TESIS CON  
FALLA DE ORIGEN



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

DEFINITION DATA information is a form of publication data limited by Customs to specifications for the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**  
DALLAS, TEXAS • TEL: 214/974-0101

© Copyright 1987 Texas Instruments Incorporated

# SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

REVISION: 01 FEBRUARY 1992, REVISION MAY 1997

## absolute maximum ratings over operating free-air temperature range†

Supply voltage range, $V_{CC}$	-0.5 V to 7 V
Input clamp current, $I_{IK}$ ( $V_I < 0$ or $V_I > V_{CC}$ ) (see Note 1)	$\pm 20$ mA
Output clamp current, $I_{OK}$ ( $V_O < 0$ or $V_O > V_{CC}$ ) (see Note 1)	$\pm 20$ mA
Continuous output current, $I_O$ ( $V_O = 0$ to $V_{CC}$ )	$\pm 25$ mA
Continuous current through $V_{CC}$ or GND	$\pm 50$ mA
Package thermal impedance, $\theta_{JA}$ (see Note 2):	
D package	127°C/W
DB package	158°C/W
N package	78°C/W
PW package	170°C/W
Storage temperature range, $T_{stg}$	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to "absolute maximum ratings" conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.  
2. The package thermal impedance is calculated in accordance with JEDEC 51, except for through-hole packages, which use a trace length of zero.

## recommended operating conditions

		SN54HC32			SN74HC32			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$	Supply voltage	2	5	6	2	5	6	V
$V_{IH}$	High-level input voltage	$V_{CC} = 2$ V	1.5		1.5			V
		$V_{CC} = 4.5$ V	3.15		3.15			
		$V_{CC} = 6$ V	4.2		4.2			
$V_{IL}$	Low-level input voltage	$V_{CC} = 2$ V	0	0.5	0	0.5	V	
		$V_{CC} = 4.5$ V *	0	1.35	0	1.35		
		$V_{CC} = 6$ V	0	1.8	0	1.8		
$V_I$	Input voltage	0	$V_{CC}$	0	$V_{CC}$	V		
$V_O$	Output voltage	0	$V_{CC}$	0	$V_{CC}$	V		
$t_I$	Input transition (rise and fall) time	$V_{CC} = 2$ V	0	1000	0	1000	ns	
		$V_{CC} = 4.5$ V	0	500	0	500		
		$V_{CC} = 6$ V	0	400	0	400		
$T_A$	Operating free-air temperature	-55	125	-40	85	°C		

TESIS CON  
 FALLA DE ORIGEN

# SN54HC32, SN74HC32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

DALLAS, TEXAS 75243  
© 1982 TEXAS INSTRUMENTS CORPORATION  
D015290N DECEMBER 1982 - REVISED MAY 1992

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25 °C			SN54HC32		SN74HC32		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V <sub>OH</sub>	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>OH</sub> = -20 µA	2 V	1.9	1.99	1.9	1.9			V
			4.5 V	4.4	4.49	4.4	4.4			
			6 V	5.9	5.99	5.9	5.9			
		I <sub>OH</sub> = -4 mA	4.5 V	3.98	3.9	3.7	3.84			
			6 V	5.48	5.8	5.2	5.34			
V <sub>OL</sub>	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>OL</sub> = 20 µA	2 V	0.002	0.1	0.1	0.1			V
			4.5 V	0.001	0.1	0.1	0.1			
			6 V	0.001	0.1	0.1	0.1			
		I <sub>OL</sub> = 4 mA	4.5 V	0.17	0.29	0.4	0.33			
			6 V	0.15	0.29	0.4	0.33			
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or 0	I <sub>O</sub> = 0	6 V	-0.1	+100	-1000	+1000	nA		
			I <sub>CC</sub>	6 V		2	40	20	µA	
C <sub>I</sub>		2 V to 6 V		3	10	10	10	pF		

switching characteristics over recommended operating free-air temperature range, C<sub>L</sub> = 50 pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	T <sub>A</sub> = 25 °C			SN54HC32		SN74HC32		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t <sub>pd</sub>	A or B	Y	2 V		50	100	150	125			ns
			4.5 V		10	20	30	25			
			6 V		8	17	25	21			
t <sub>t</sub>		Y	2 V		38	75	110	95			ns
			4.5 V		8	15	22	19			
			6 V		8	13	19	16			

operating characteristics, T<sub>A</sub> = 25 °C

PARAMETER	TEST CONDITIONS	TYP	UNIT
C <sub>pd</sub>	Power dissipation capacitance per gate No load	20	pF

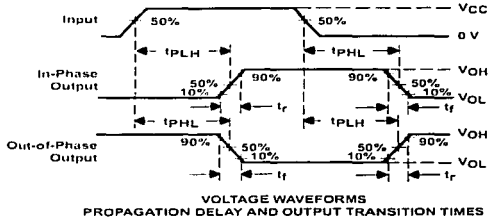
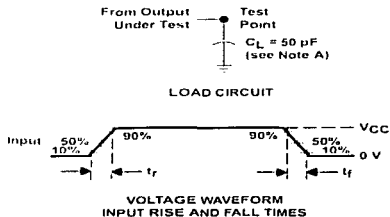
TESIS CON  
FALLA DE ORIGEN

 **TEXAS  
INSTRUMENTS**

**SN54HC32, SN74HC32**  
**QUADRUPLE 2-INPUT POSITIVE-OR GATES**

© DALLAS, TEXAS, SEPTEMBER 1987 (REVISED MAY 1992)

**PARAMETER MEASUREMENT INFORMATION**



- NOTES
- A  $C_L$  includes probe and test fixture capacitance
  - B Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics: PRR = 1 MHz,  $Z_O = 50 \Omega$ ,  $t_r = 6 \text{ ns}$ ,  $t_f = 6 \text{ ns}$ .
  - C The outputs are measured one at a time with one input transition per measurement
  - D  $t_{PLH}$  and  $t_{PHL}$  are the same as  $t_{pd}$

**Figure 1. Load Circuit and Voltage Waveforms**



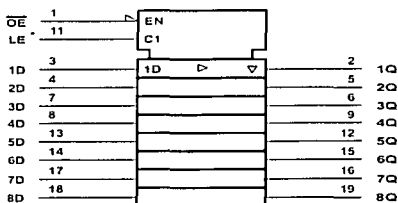
**SN54HC373, SN74HC373**  
**OCTAL TRANSPARENT D-TYPE LATCHES**  
**WITH 3-STATE OUTPUTS**

SO1846B - DECEMBER 1982 - REVISED MAY 1992

**FUNCTION TABLE**  
 (each latch)

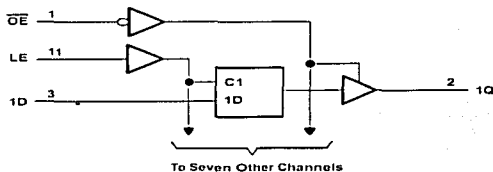
INPUTS			OUTPUT
OE	LE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

logic symbol



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication G17-12.

logic diagram (positive logic)



**SN54HC373, SN74HC373**  
**OCTAL TRANSPARENT D-TYPE LATCHES**  
**WITH 3-STATE OUTPUTS**

DALLAS 5410P    DECEMBER 1982 - REVISED MAY 1987

**absolute maximum ratings over operating free-air temperature range†**

Supply voltage range, $V_{CC}$ .....	-0.5 V to 7 V
Input clamp current, $I_{IK}$ ( $V_I < 0$ or $V_I > V_{CC}$ ) (see Note 1) .....	120 mA
Output clamp current, $I_{OK}$ ( $V_O < 0$ or $V_O > V_{CC}$ ) (see Note 1) .....	120 mA
Continuous output current, $I_O$ ( $V_O = 0$ to $V_{CC}$ ) .....	135 mA
Continuous current through $V_{CC}$ or GND .....	170 mA
Package thermal impedance, $\theta_{JA}$ (see Note 2):	
DB package .....	115 °C/W
DW package .....	97 °C/W
N package .....	67 °C/W
PW package .....	128 °C/W
Storage temperature range, $T_{stg}$ .....	-65 °C to 150 °C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute maximum rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.  
 2. The package thermal impedance is calculated in accordance with JEDEC 51, except for through-hole packages, which use a trace length of zero.

**recommended operating conditions**

		SN54HC373			SN74HC373			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$	Supply voltage	2	5	6	2	5	6	V
$V_{IH}$	High-level input voltage	$V_{CC} = 2\text{ V}$	1.5		1.5			V
		$V_{CC} = 4.5\text{ V}$	3.15		3.15			
		$V_{CC} = 6\text{ V}$	4.2		4.2			
$V_{IL}$	Low-level input voltage	$V_{CC} = 2\text{ V}$	0	0.5	0	0.5	V	
		$V_{CC} = 4.5\text{ V}$	0	1.35	0	1.35		
		$V_{CC} = 6\text{ V}$	0	1.8	0	1.8		
$V_I$	Input voltage	0		$V_{CC}$	0	$V_{CC}$	V	
$V_O$	Output voltage	0		$V_{CC}$	0	$V_{CC}$	V	
$t_t$	Input transition (rise and fall) time	$V_{CC} = 2\text{ V}$	0	1000	0	1000	ns	
		$V_{CC} = 4.5\text{ V}$	0	500	0	500		
		$V_{CC} = 6\text{ V}$	0	400	0	400		
$T_A$	Operating free-air temperature	-55	125	-40	85	°C		



**SN54HC373, SN74HC373**  
**OCTAL TRANSPARENT D-TYPE LATCHES**  
**WITH 3-STATE OUTPUTS**

SELS140B DECEMBER 1982 REVISED MAY 1997

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25 °C			SN54HC373		SN74HC373		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V <sub>OH</sub>	VI = V <sub>OH</sub> or V <sub>IL</sub>	I <sub>O1</sub> = -20 mA	2 V	1.9	1.900	1.9	1.9			V
			4.5 V	4.4	4.400	4.4	4.4			
			6 V	5.9	5.900	5.9	5.9			
			4.5 V	3.98	3.9	3.7	3.84			
			6 V	5.48	5.5	5.2	5.34			
V <sub>OL</sub>	VI = V <sub>OH</sub> or V <sub>IL</sub>	I <sub>O1</sub> = 20 mA	2 V	0.29	0.3	0.1	0.1	0.1	0.1	V
			4.5 V	0.307	0.3	0.1	0.1	0.1	0.1	
			6 V	0.707	0.3	0.1	0.3	0.1	0.1	
			4.5 V	0.11	0.20	0.4	0.33			
			6 V	0.15	0.20	0.4	0.33			
I <sub>I</sub>	VI = V <sub>OH</sub> or 0	6 V	-0.1	-1.000	-1.000	-1.000	-1.000	mA		
I <sub>OZ</sub>	VI = V <sub>OH</sub> or 0	6 V	-0.01	-0.9	-1.0	-1.0	-1.0	mA		
I <sub>CC</sub>	VI = V <sub>OH</sub> or 0	6 V	0	0	0	0.5	0.5	mA		
C <sub>L</sub>		2 V to 6 V	3	10	10	10	10	pF		

timing requirements over recommended operating free-air temperature range (unless otherwise noted)

	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25 °C			SN54HC373		SN74HC373		UNIT
			MIN	MAX	MAX	MIN	MAX	MIN	MAX	
t <sub>PL</sub>	Pulse duration, LE both	2 V	40		120		100		ns	
		4.5 V	16		24		20			
		6 V	11		20		17			
t <sub>SL</sub>	Setup time, data before LE <sub>1</sub>	2 V	50		75		63		ns	
		4.5 V	13		15		13			
		6 V	9		13		11			
t <sub>HL</sub>	Hold time, data after LE <sub>1</sub>	2 V	20		26		24		ns	
		4.5 V	10		13		12			
		6 V	10		13		12			

TESIS CON  
 FALLA DE ORIGEN

 **TEXAS  
 INSTRUMENTS**



**SN54HC373, SN74HC373**  
**OCTAL TRANSPARENT D-TYPE LATCHES**  
**WITH 3-STATE OUTPUTS**

MIL-STD-883C - DECEMBER 1982 - REVISED MAY 1992

switching characteristics over recommended operating free-air temperature range,  $C_L = 50$  pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	T <sub>A</sub> = 25 °C			SN54HC373		SN74HC373		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t <sub>pd</sub>	D	Q	2 V	66	150		225		190	ns	
			4.5 V	12	40		45		38		
			6 V	13	26		38		32		
	LE	Any Q	2 V	71	175		265		220		
			4.5 V	14	35		53		44		
			6 V	15	24		45		38		
t <sub>on</sub>	OE	Any Q	2 V	67	150		225		190	ns	
			4.5 V	17	40		45		38		
			6 V	13	26		38		32		
t <sub>dis</sub>	OE	Any Q	2 V	50	150		225		190	ns	
			4.5 V	15	39		45		38		
			6 V	13	26		38		32		
t <sub>t</sub>	Any Q	Any Q	2 V	29	60		90		75	ns	
			4.5 V	8	12		18		15		
			6 V	6	10		15		13		

switching characteristics over recommended operating free-air temperature range,  $C_L = 150$  pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	T <sub>A</sub> = 25 °C			SN54HC373		SN74HC373		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t <sub>pd</sub>	D	Q	2 V	82	200		300		250	ns	
			4.5 V	22	40		60		50		
			6 V	19	34		51		43		
	LE	Any Q	2 V	100	225		345		285		
			4.5 V	24	45		67		57		
			6 V	20	38		57		48		
t <sub>on</sub>	OE	Any Q	2 V	90	200		300		250	ns	
			4.5 V	23	40		60		50		
			6 V	19	34		51		43		
t <sub>t</sub>	Any Q	Any Q	2 V	45	210		315		265	ns	
			4.5 V	17	42		63		53		
			6 V	13	36		53		45		

operating characteristics, T<sub>A</sub> = 25 °C

PARAMETER	TEST CONDITIONS	TYP	UNIT
C <sub>D(10)</sub> Power dissipation capacitance per latch	No load	100	pF

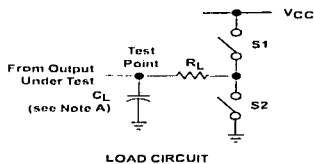
 **TEXAS**  
**INSTRUMENTS**

VENTAS CON  
 FALLA DE ORIGEN

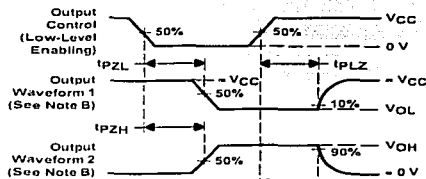
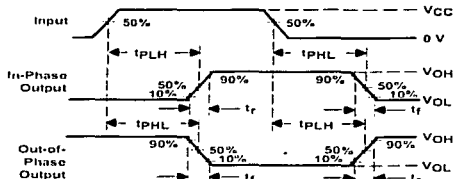
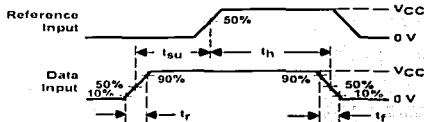
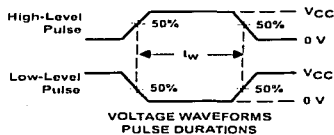
**SN54HC373, SN74HC373**  
**OCTAL TRANSPARENT D-TYPE LATCHES**  
**WITH 3-STATE OUTPUTS**

SN54348B - DECEMBER 1981 - REVISED MAY 1987

**PARAMETER MEASUREMENT INFORMATION**



PARAMETER	RL	CL	S1	S2
			Open	Closed
ton	1 kΩ	50 pF or 150 pF	Open	Closed
			Closed	Open
tdis	1 kΩ	50 pF	Open	Closed
			Closed	Open
t <sub>pd</sub> or t <sub>t</sub>	—	50 pF or 150 pF	Open	Open



- NOTES**
- CL includes probe and test fixture capacitance.
  - Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control.
  - Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
  - Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics: PRR = 1 MHz; Z<sub>o</sub> = 50 Ω; t<sub>r</sub> = 10 ns; t<sub>f</sub> = 10 ns.
  - The outputs are measured on a line with one input transition per measurement.
  - t<sub>PLZ</sub> and t<sub>PLZL</sub> are the same as t<sub>tr</sub>.
  - t<sub>PLZ</sub> and t<sub>PLZL</sub> are the same as t<sub>tr</sub>.
  - t<sub>PLZ</sub> and t<sub>PLZL</sub> are the same as t<sub>tr</sub>.

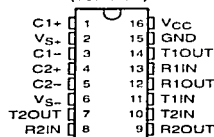
Figure 1. Load Circuit and Voltage Waveforms

# MAX232, MAX231 DUAL EIA-232 DRIVERS/RECEIVERS

SLLS0471—FEBRUARY 1990—REVISED OCTOBER 2002

- Meet or Exceed TIA/EIA-232-F and ITU Recommendation V.28
- Operate With Single 5-V Power Supply
- Operate Up to 120 kbit/s
- Two Drivers and Two Receivers
- $\pm 30$ -V Input Levels
- Low Supply Current . . . 8 mA Typical
- Designed to be Interchangeable With Maxim MAX232
- ESD Protection Exceeds JESD 22  
— 2000-V Human-Body Model (A114-A)
- Applications
  - TIA/EIA-232-F
  - Battery-Powered Systems
  - Terminals
  - Modems
  - Computers

MAX232 . . . D, DW, N, OR NS PACKAGE  
MAX231 . . . D, DW, OR N PACKAGE  
(TOP VIEW)



## description/ordering information

The MAX232 is a dual driver/receiver that includes a capacitive voltage generator to supply EIA-232 voltage levels from a single 5-V supply. Each receiver converts EIA-232 inputs to 5-V TTL/CMOS levels. These receivers have a typical threshold of 1.3 V and a typical hysteresis of 0.5 V, and can accept  $\pm 30$ -V inputs. Each driver converts TTL/CMOS input levels into EIA-232 levels. The driver, receiver, and voltage-generator functions are available as cells in the Texas Instruments LinASIC™ library.

## ORDERING INFORMATION

TA	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	PDIP (N)	Tube	MAX232N	MAX232N
		Tube	MAX232D	MAX232
	SOIC (D)	Tape and reel	MAX232DR	MAX232
		Tube	MAX232DW	MAX232
	SOIC (DW)	Tape and reel	MAX232DWR	MAX232
		Tube	MAX232NSR	MAX232
-10°C to 85°C	PDIP (N)	Tube	MAX232IN	MAX232IN
		Tube	MAX232ID	MAX232I
	SOIC (D)	Tape and reel	MAX232IDR	MAX232I
		Tube	MAX232IDW	MAX232I
	SOIC (DW)	Tube	MAX232IDW	MAX232I
		Tape and reel	MAX232IDWR	MAX232I

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).



LinASIC is a trademark of Texas Instruments.

PRODUCTION DATA INFORMATION IS CURRENT AS OF PUBLICATION DATE. PRODUCTS CONFORM TO SPECIFICATIONS PER THE TERMS OF TEXAS INSTRUMENTS STANDARD WARRANTY. PRODUCTION DATA SHEETS NECESSARILY INCLUDE NOTICES OF ANY REVISIONS.

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

Copyright © 2002, Texas Instruments Incorporated

**TEXAS INSTRUMENTS**  
POST OFFICE BOX 655383 • DALLAS, TEXAS 75265

TESTS CON  
FALLA DE ORIGEN

**MAX232, MAX232I**  
**DUAL EIA-232 DRIVERS/RECEIVERS**

SLL5047I - FEBRUARY 1989 - REVISED OCTOBER 2002

**Function Tables**

**EACH DRIVER**

INPUT TIN	OUTPUT TOUT
L	H
H	L

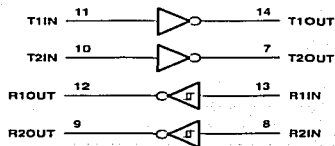
H = high level, L = low level

**EACH RECEIVER**

INPUT RIN	OUTPUT ROUT
L	H
H	L

H = high level, L = low level

**logic diagram (positive logic)**



**MAX232, MAX232I**  
**DUAL EIA-232 DRIVERS/RECEIVERS**

SLLS047I - FEBRUARY 1989 - REVISED OCTOBER 2002

**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†**

Input supply voltage range, $V_{CC}$ (see Note 1)	.....	-0.3 V to 6 V
Positive output supply voltage range, $V_{S+}$	.....	$V_{CC} - 0.3$ V to 15 V
Negative output supply voltage range, $V_{S-}$	.....	-0.3 V to -15 V
Input voltage range, $V_I$ : Driver	.....	-0.3 V to $V_{CC} + 0.3$ V
Receiver	.....	$\pm 30$ V
Output voltage range, $V_O$ : T1OUT, T2OUT	.....	$V_{S-} - 0.3$ V to $V_{S+} + 0.3$ V
R1OUT, R2OUT	.....	-0.3 V to $V_{CC} + 0.3$ V
Short-circuit duration: T1OUT, T2OUT	.....	Unlimited
Package thermal impedance, $\theta_{JA}$ (see Note 2): D package	.....	73° C/W
DW package	.....	57° C/W
N package	.....	67° C/W
NS package	.....	64° C/W
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds	.....	260° C
Storage temperature range, $T_{stg}$	.....	-65° C to 150° C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values are with respect to network ground terminal.

2: The package thermal impedance is calculated in accordance with JESD 51-7.

**recommended operating conditions**

		MIN	NOM	MAX	UNIT
$V_{CC}$	Supply voltage	4.5	5	5.5	V
$V_{IH}$	High-level input voltage (T1IN, T2IN)	2			V
$V_{IL}$	Low-level input voltage (T1IN, T2IN)			0.8	V
R1IN, R2IN	Receiver input voltage			$\pm 30$	V
$T_A$	Operating free-air temperature	MAX232		70	°C
		MAX232I		85	

**electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 3 and Figure 4)**

PARAMETER	TEST CONDITIONS	MIN	TYP‡	MAX	UNIT
$I_{CC}$ Supply current	$V_{CC} = 5.5$ V, All outputs open, $T_A = 25^\circ$ C		8	10	mA

‡ All typical values are at  $V_{CC} = 5$  V and  $T_A = 25^\circ$  C.

NOTE 3: Test conditions are C1-C4 = 1  $\mu$ F at  $V_{CC} = 5$  V  $\pm$  0.5 V.

TESTS CON  
FALLA DE ORIGEN



**TEXAS  
INSTRUMENTS**

POINT OF VIEW HIGH-PRESSURE DIAGNOSIS • DALLAS, TEXAS 75266

**155**

MAX232, MAX232I  
DUAL EIA-232 DRIVERS/RECEIVERS

SL15047I – FEBRUARY 1989 – REVISED OCTOBER 2002

DRIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (see Note 3)

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V <sub>OH</sub>	High-level output voltage	T1OUT, T2OUT	R <sub>L</sub> = 3 kΩ to GND	5	7		V
V <sub>OL</sub>	Low-level output voltage‡	T1OUT, T2OUT	R <sub>L</sub> = 3 kΩ to GND		-7	-5	V
r <sub>o</sub>	Output resistance	T1OUT, T2OUT	V <sub>S+</sub> = V <sub>S-</sub> = 0, V <sub>O</sub> = ±2 V	300			Ω
I <sub>OS</sub> §	Short-circuit output current	T1OUT, T2OUT	V <sub>CC</sub> = 5.5 V, V <sub>O</sub> = 0		±10		mA
I <sub>IS</sub>	Short-circuit input current	T1IN, T2IN	V <sub>I</sub> = 0			200	μA

† All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C

‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.

§ Not more than one output should be shorted at a time.

NOTE 3 Test conditions are C1-C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C (see Note 3)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
SF1	Driver slew rate		R <sub>L</sub> = 3 kΩ to 7 kΩ See Figure 2			30	V/μs
SF1(t)	Driver transition region slew rate		See Figure 3		3		V/μs
	Data rate		One TOUT switching		120		kbit/s

NOTE 3 Test conditions are C1-C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

RECEIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (see Note 3)

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V <sub>OH</sub>	High-level output voltage	R1OUT, R2OUT	I <sub>OH</sub> = -1 mA	3.5			V
V <sub>OL</sub>	Low-level output voltage‡	R1OUT, R2OUT	I <sub>OL</sub> = 3.2 mA			0.4	V
V <sub>I+</sub>	Receiver positive-going input threshold voltage	R1IN, R2IN	V <sub>CC</sub> = 5 V, T <sub>A</sub> = 25°C		1.7	2.4	V
V <sub>I-</sub>	Receiver negative-going input threshold voltage	R1IN, R2IN	V <sub>CC</sub> = 5 V, T <sub>A</sub> = 25°C	0.8	1.2		V
V <sub>IHY</sub>	Input hysteresis voltage	R1IN, R2IN	V <sub>CC</sub> = 5 V	0.2	0.5	1	V
r <sub>I</sub>	Receiver input resistance	R1IN, R2IN	V <sub>CC</sub> = 5, T <sub>A</sub> = 25°C	3	5	7	kΩ

† All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.

‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.

NOTE 3 Test conditions are C1-C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C (see Note 3 and Figure 1)

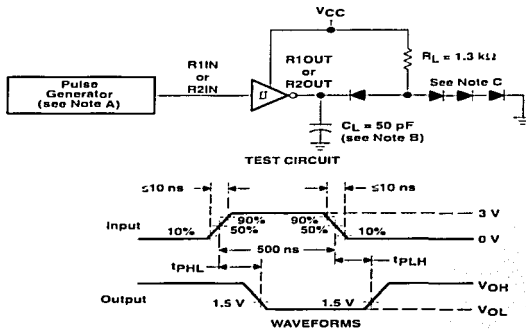
PARAMETER		TYP	UNIT
t <sub>PLH(R)</sub>	Receiver propagation delay time, low- to high-level output	500	ns
t <sub>PHL(R)</sub>	Receiver propagation delay time, high- to low-level output	500	ns

NOTE 3 Test conditions are C1-C4 = 1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.



POST OFFICE BOX 655501 • DALLAS, TEXAS 75265

PARAMETER MEASUREMENT INFORMATION



- NOTES: A. The pulse generator has the following characteristics:  $Z_O = 50 \Omega$ , duty cycle  $\leq 50\%$ .  
 B.  $C_L$  includes probe and jig capacitance.  
 C. All diodes are 1N3064 or equivalent.

Figure 1. Receiver Test Circuit and Waveforms for  $t_{PHL}$  and  $t_{PLH}$  Measurements

TESTS CON  
FALLA DE ORIGEN

## LM747 Dual Operational Amplifier

### General Description

The LM747 is a general purpose dual operational amplifier. The two amplifiers share a common bias network and power supply leads. Otherwise, their operation is completely independent.

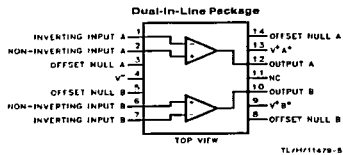
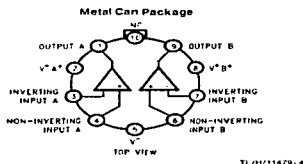
Additional features of the LM747 are: no latch-up when input common-mode range is exceeded, freedom from oscillations, and package flexibility.

The LM747C/LM747E is identical to the LM747/LM747A except that the LM747C/LM747E has its specifications guaranteed over the temperature range from 0°C to +70°C instead of -55°C to +125°C.

### Features

- No frequency compensation required
- Short-circuit protection
- Wide common-mode and differential voltage ranges
- Low power consumption
- No latch-up
- Balanced offset null

### Connection Diagrams





### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	LM747/LM747A	+22V
	LM747C/LM747E	+18V
Power Dissipation (Note 1)		800 mW
Differential Input Voltage		+30V

Input Voltage (Note 2)	+15V
Output Short Circuit Duration	Indefinite
Operating Temperature Range	-55°C to +125°C
LM747/LM747A	0°C to +70°C
LM747C/LM747E	-65°C to +150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	300°C

### Electrical Characteristics (Note 3)

Parameter	Conditions	LM747A/LM747E			LM747			LM747C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	T <sub>A</sub> = 25°C										mV
	R <sub>S</sub> = 10 kΩ				1.0	5.0		2.0	6.0		
	R <sub>S</sub> = 50 Ω		0.8	3.0							
	R <sub>S</sub> = 10 Ω			4.0			6.0			7.5	
	R <sub>S</sub> = 10 kΩ										
Average Input Offset Voltage Drift			15								μV/°C
Input Offset Voltage Adjustment Range	T <sub>A</sub> = 25°C, V <sub>S</sub> = +20V	-10			+15			+15			mV
Input Offset Current	T <sub>A</sub> = 25°C		3.0	30		20	200		20	200	nA
Average Input Offset Current Drift			70			85	500		300		nA/°C
Average Input Offset Current Drift			0.5								nA/°C
Input Bias Current	T <sub>A</sub> = 25°C		30	80		80	500		80	500	nA
	T <sub>AMB</sub> = T <sub>A</sub> = T <sub>MAX</sub>		0.210			1.5			0.8		μA
Input Resistance	T <sub>A</sub> = 25°C, V <sub>S</sub> = +20V	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	V <sub>S</sub> = +20V	0.5									
Input Voltage Range	T <sub>A</sub> = 25°C										V
			+12	+13		+12	+13		+12	+13	
Large Signal Voltage Gain	T <sub>A</sub> = 25°C, R <sub>L</sub> = 2 kΩ										V/mV
	V <sub>S</sub> = +20V, V <sub>O</sub> = +15V	50									
	V <sub>S</sub> = +15V, V <sub>O</sub> = +10V				50	200		20	200		
	R <sub>L</sub> = 2 kΩ										
	V <sub>S</sub> = +20V, V <sub>O</sub> = +15V	32									
	V <sub>S</sub> = +15V, V <sub>O</sub> = +10V				25			15			
Output Voltage Swing	V <sub>S</sub> = +20V										V
	R <sub>L</sub> = 10 kΩ		+16								
	R <sub>L</sub> = 2 kΩ		+15								
	V <sub>S</sub> = +15V										
	R <sub>L</sub> = 10 kΩ				+12	+14		+12	+14		
	R <sub>L</sub> = 2 kΩ				+10	+13		+10	+13		
Output Short Circuit Current	T <sub>A</sub> = 25°C	10	25	35		25		25			mA
Common Mode Rejection Ratio	R <sub>S</sub> = 10 kΩ, V <sub>CM</sub> = +12V				70	90		70	90		dB
	R <sub>S</sub> = 50 kΩ, V <sub>CM</sub> = +12V		80	95							

### Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM747A/LM747E			LM747			LM747C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Supply Voltage Rejection Ratio	$V_S = +20V$ to $V_S = +5V$ $H_{CL} = 5011$ $H_{OL} = 10 k\Omega$	86	96		77	96		77	96		dB
Transient Response Rise Time	$T_A = 25^\circ C$ , Unity Gain		0.25	0.4		0.3		0.3			$\mu s$
Overshoot			6.0	20		5		5			%
Bandwidth (Note 4)	$T_A = 25^\circ C$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ C$ , Unity Gain	0.3	0.7		0.5			0.5			V/ $\mu s$
Supply Current/Amp	$T_A = 25^\circ C$			2%	1.7	2.8		1.7	2.8		mA
Power Consumption/amp	$T_A = 25^\circ C$			150							mW
LM747A	$V_S = +20V$		80	150				50	85		mW
	$V_S = +15V$										
	$V_S = +20V$										
	$T_A = T_{AMIN}$										
LM747E	$T_A = T_{AMAX}$										
	$V_S = +20V$			150							mW
	$T_A = T_{AMIN}$			150							mW
LM747	$T_A = T_{AMAX}$			150							mW
	$V_S = +15V$										
	$T_A = T_{AMIN}$				60	100					mW
	$T_A = T_{AMAX}$				45	75					mW

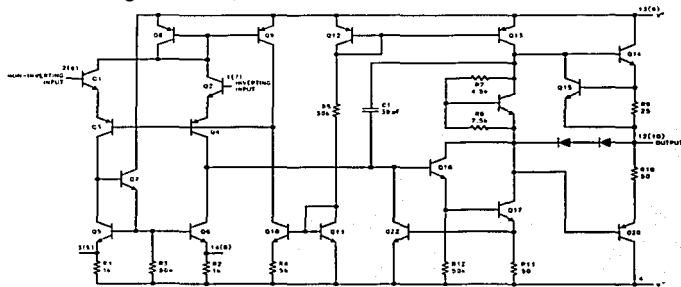
Note 1: The maximum junction temperature of the LM747C/LM747E is  $100^\circ C$ . For operation at elevated temperatures, derates in the 1D-8 package must be derated based on a thermal resistance of  $150^\circ C/W$ , junction to ambient, or  $45^\circ C/W$ , junction to case. The thermal resistance of the dual-in-line package is  $100^\circ C/W$ , junction to ambient.

Note 2: For supply voltages less than  $+15V$ , the absolute maximum input voltage is equal to the supply voltage.

Note 3: These specifications apply for  $V_S = +20V$  and  $5^\circ C$ ,  $T_A = 25^\circ C$  for the LM747A and  $0^\circ C$ ,  $T_A = 70^\circ C$  for the LM747E, unless otherwise specified. The LM747 and LM747C are specified for  $V_S = +15V$  and  $5^\circ C$ ,  $T_A = 25^\circ C$  and  $0^\circ C$ ,  $T_A = 70^\circ C$ , respectively unless otherwise specified.

Note 4: Calculated value from 0.35/Hz/amp (typ)

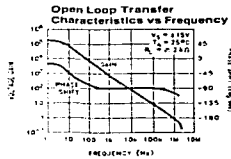
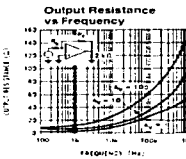
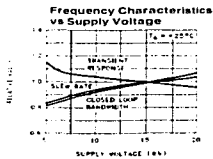
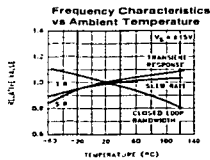
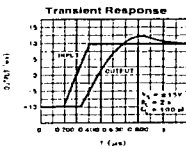
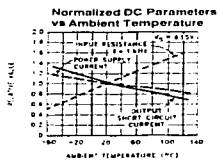
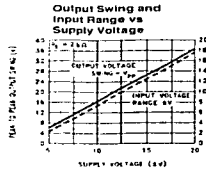
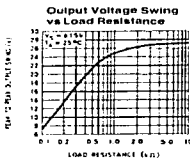
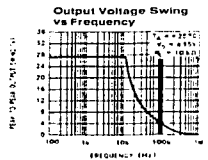
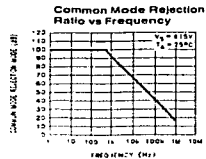
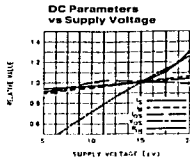
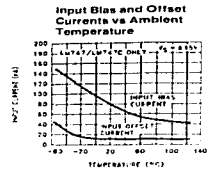
### Schematic Diagram (Each Amplifier)



Note: Numbers in parentheses are pin numbers for amplifier B. DIP only.

TL747/1147D-1

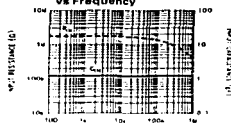
## Typical Performance Characteristics



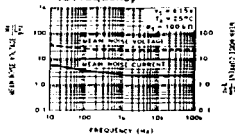
TIENE CON FALLA DE ORIGEN

## Typical Performance Characteristics (Continued)

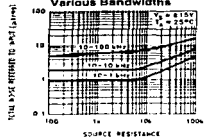
**Input Resistance and Input Capacitance vs Frequency**



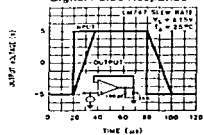
**Input Noise Voltage and Current vs Frequency**



**Broadband Noise for Various Bandwidths**

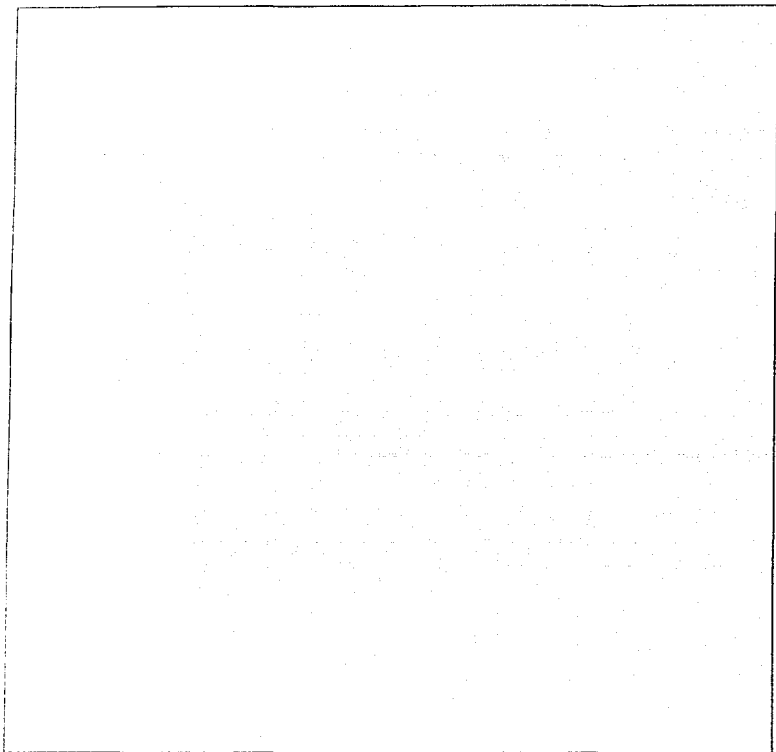


**Voltage Follower Large Signal Pulse Response**

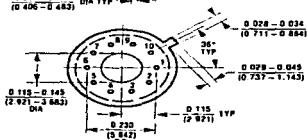
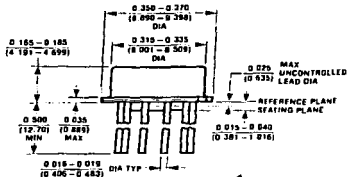


TL711147B-3

COPIA CON  
FALLA DE ORIGEN



**Physical Dimensions** inches (millimeters)

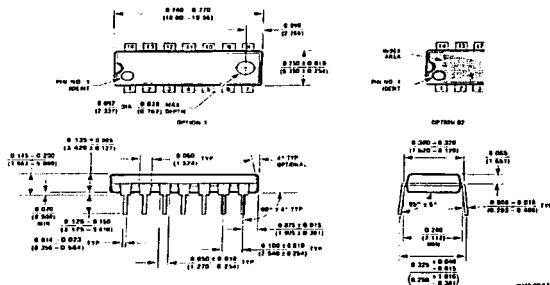


**Metal Can Package (H)**  
**Order Number LM747H**  
**NS Package Number H10C**

\*\*\*NO PREVIEW\*\*\*

TESTS CON  
 FALLA DE ORIGEN

## Physical Dimensions inches (millimeters) (Continued)



Dual-In-Line Package (N)  
Order Number LM747CN or LM747EN  
NS Package Number N14A

## LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

- Life support devices or systems are devices or systems which:
  - are intended for surgical implant into the body, or
  - support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
- A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

2

National Semiconductor  
Corporation  
1915 West 14th Street  
Ann Arbor, MI 48106  
Tel: (313) 761-1000  
Fax: (313) 761-1000

National Semiconductor  
Europe  
Tel: (44) 0 1875 833 000  
Fax: (44) 0 1875 833 001  
Tel: (44) 0 1875 833 002  
Fax: (44) 0 1875 833 003  
Tel: (44) 0 1875 833 004  
Fax: (44) 0 1875 833 005

National Semiconductor  
Hong Kong Ltd  
1101-1102, Des Voeux Road  
Central, Hong Kong  
Tel: (852) 2522 2222  
Fax: (852) 2522 2222

National Semiconductor  
Japan Ltd  
3-1-1, Honcho, Shinjuku-ku  
Tokyo 162, Japan  
Tel: (81) 3 5561 9000  
Fax: (81) 3 5561 9000

National Semiconductor and its subsidiaries and affiliates do not warrant the suitability of any product for life support applications without the express written approval of the President of National Semiconductor Corporation.

RESISTOR  
FALLA DE ORIGEN

## 27C64

### 65,536-Bit (8,192 x 8) UV Erasable CMOS PROM

#### Military Qualified

#### General Description

The 27C64 is a high-speed 64K UV erasable and electrically reprogrammable CMOS EPROM, ideally suited for applications where fast turnaround, pattern experimentation and low power consumption are important requirements.

The 27C64 is designed to operate with a single +5V power supply with  $\pm 10\%$  tolerance. The CMOS design allows the part to operate over Military Temperature Ranges.

The 27C64 is packaged in a 28-pin dual-in-line package with transparent lid and a 32-pin windowed LCC. The transparent lid allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written electrically into the device by following the programming procedure.

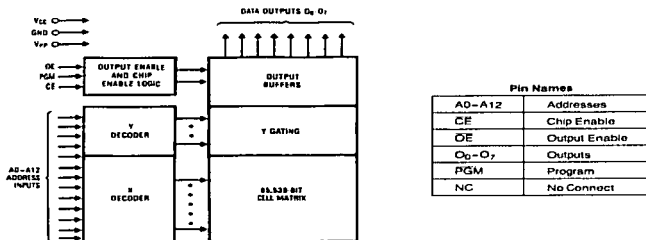
This EPROM is fabricated with National's proprietary, time proven CMOS double-poly silicon gate technology which combines high performance and high density with low power consumption and excellent reliability.

The 27C64 specified on this data sheet is fully compliant with MIL-STD-883, Revision C.

#### Features

- Clockless sense amps for fast access time down to 200 ns
- Low CMOS power consumption
  - Active Power: 55 mW max
  - Standby Power: 0.55 mW max
- Performance compatible to NSC800™ CMOS micro-processor
- Single 5V power supply
- Pin compatible with NMOS 64K EPROMs
- Fast and reliable programming
- Static operation—no clocks required
- TTL, CMOS compatible inputs/outputs
- TTL-STATE™ output
- Optimum EPROM for total CMOS systems
- Manufacturer's identification code for automatic programming control
- Windowed DIP and LCC Package Options
- Specifications guaranteed over full military temperature range ( $-55^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ )
- This device is processed in compliance with SMD85102, and the DIP version is dual marked

#### Block Diagram



TI/D10931-1

This STATE is a registered trademark of National Semiconductor Corporation.  
 \*TTL-STATE is a trademark of National Semiconductor Corporation.

© 1989 National Semiconductor Corporation

HRD-8204106/Printed in U.S.A.

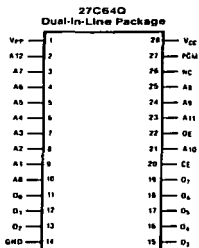
27C64 65,536-Bit (8,192 x 8) UV Erasable CMOS PROM Military Qualified

SIS CON  
 PALE DE ORIGEN



### Connection Diagram

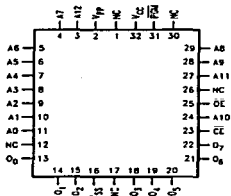
27C512	27C256	27C128	27C32	27C16
27512	27256	27128	2732	2716
A15	Vpp	Vpp		
A12	A12	A12		
A7	A7	A7	A7	A7
A6	A6	A6	A6	A6
A5	A5	A5	A5	A5
A4	A4	A4	A4	A4
A3	A3	A3	A3	A3
A2	A2	A2	A2	A2
A1	A1	A1	A1	A1
A0	A0	A0	A0	A0
O0	O0	O0	O0	O0
O1	O1	O1	O1	O1
O2	O2	O2	O2	O2
GND	GND	GND	GND	GND



27C16	27C32	27C128	27C256	27C512
2716	2732	27128	27256	27512
		Vcc	Vcc	Vcc
		PGM		
Vcc	Vcc	A13	A14	A14
A8	A8	A8	A8	A8
A9	A9	A9	A9	A9
Vpp	A11	A11	A11	A11
OE	OE/Vpp	OE	OE	OE/Vpp
A10	A10	A10	A10	A10
CE/PGM	CE	CE	CE/PGM	CE
O7	O7	O7	O7	O7
O6	O6	O6	O6	O6
O5	O5	O5	O5	O5
O4	O4	O4	O4	O4
O3	O3	O3	O3	O3

Note: Socket compatible EPROM pin configurations are shown in the blocks adjacent to the 27C64 pins.  
TL/D/10331-7

### NS Package Number J28AQ



Top View

### NS Package Number EA32CQ

Military Temp Range (-55°C to +125°C)  
Vcc = 5V ± 10%

Parameter/Order Number	Access Time (ns)
27C64Q350/BB3	350
27C64Q250/BB3	250
27C64Q200/BB3	200
27C64F350/BB3	350
27C64E250/BB3	250
27C64F200/BB3	200

TESIS CON  
FALLA DE ORIGEN

**Absolute Maximum Ratings (Note 1)**

Temperature under Bias -55°C to +125°C  
 Storage Temperature -65°C to +150°C

All Input Voltages except A9 with Respect to Ground (Note 10) + 6.5V to -0.6V

All Output Voltages with Respect to Ground (Note 10)  $V_{CC} + 1.0V$  to GND - 0.6V

$V_{PP}$  Supply Voltage and A9 with Respect to Ground during Programming + 14.0V to -0.6V

$V_{CC}$  Supply Voltage with Respect to Ground + 7.0V to -0.6V

Power Dissipation 1.0W

Lead Temperature (Soldering, 10 sec.) 300°C

ESD Rating (MIL Spec 883C, Method 3015.2) 2000V

**Operating Conditions (Note 7)**

Temperature Range ( $T_{Case}$ ) -55°C to +125°C

$V_{CC}$  Power Supply + 5V ± 10%

**READ OPERATION****DC Electrical Characteristics**

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$I_{IH}$	Input Load Current	$V_{IH} = V_{CC}$ or GND			10	$\mu A$
$I_{LO}$	Output Leakage Current	$V_{OH} = V_{CC}$ or GND, CE = $V_{IH}$			10	$\mu A$
$I_{CC1}$ (Note 9)	$V_{CC}$ Current (Active) TTL Inputs	CE = $V_{IH}$ , f = 5 MHz Inputs = $V_{IH}$ or $V_{IL}$ , I/O = 0 mA		5	20	mA
$I_{CC2}$ (Note 9)	$V_{CC}$ Current (Active) CMOS Inputs	CE = GND, f = 5 MHz Inputs = $V_{CC}$ or GND, I/O = 0 mA		3	10	mA
$I_{CCSB1}$	$V_{CC}$ Current (Standby) TTL Inputs	CE = $V_{IH}$		0.1	1	mA
$I_{CCSB2}$	$V_{CC}$ Current (Standby) CMOS Inputs	CE = $V_{CC}$		0.5	100	$\mu A$
$I_{PP}$	$V_{PP}$ Load Current	$V_{PP} = V_{CC}$			100	$\mu A$
$V_{IL}$	Input Low Voltage		- 0.1		0.8	V
$V_{IH}$	Input High Voltage		2.0		$V_{CC} + 1$	V
$V_{OL1}$	Output Low Voltage	$I_{OL} = 2.1$ mA			0.45	V
$V_{OH1}$	Output High Voltage	$I_{OH} = 400$ $\mu A$	2.4			V
$V_{OL2}$	Output Low Voltage	$I_{OL} = 0$ $\mu A$			0.1	V
$V_{OH2}$	Output High Voltage	$I_{OH} = 0$ $\mu A$	4.4			V

**AC Electrical Characteristics**

Symbol	Parameter	Conditions	27C64						Units
			200		250		350		
			Min	Max	Min	Max	Min	Max	
$t_{ACC}$	Address to Output Delay	CE = OE = $V_{IH}$ PGM = $V_{IH}$		200		250		350	ns
$t_{CP}$	CE to Output Delay	OE = $V_{IH}$ , PGM = $V_{IH}$		200		250		350	ns
$t_{CO}$	OE to Output Delay	CE = $V_{IH}$ , PGM = $V_{IH}$		60		70		120	ns
$t_{FH}$	OE High to Output Float	CE = $V_{IH}$ , PGM = $V_{IH}$	0	55	0	55	0	105	ns
$t_{OH}$	Output Hold from Addresses, CE or OE, whichever Occurred First	CE = OE = $V_{IH}$ PGM = $V_{IH}$	0		0		0		ns

TESTES CON  
FALLA DE ORIGEN

### Capacitance $T_A = +25^\circ\text{C}$ , $f = 1\text{ MHz}$ (Note 2)

Symbol	Parameter	Conditions	Typ	Max	Units
$C_{IN}$	Input Capacitance	$V_{IN} = 0\text{V}$	6	10	pF
$C_{OUT}$	Output Capacitance	$V_{OUT} = 0\text{V}$	9	12	pF

### AC Test Conditions

Output Load

1 TTL Gate and

Timing Measurement Reference Level

0.8V and 2V

Input Rise and Fall Times

$C_L = 100\text{ pF}$  (Note 8)

Inputs

0.8V and 2V

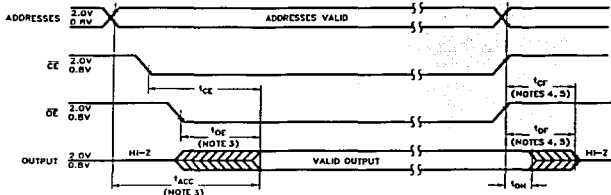
Input Pulse Levels

1.5 ns

Outputs

0.8V and 2V

### AC Waveforms (Notes 6 & 9)



TL/D/10391-3

Note 1: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note 2: This parameter is only sampled and is not 100% tested.

Note 3: OE may be delayed up to  $t_{CE} - t_{OE}$  after the falling edge of CE without impacting  $t_{ACC}$ .

Note 4: The  $t_{OR}$  and  $t_{OL}$  compare level is determined as follows:

High to HIGH STATE, the measured  $V_{OH} (DC) - 0.10\text{V}$ .

Low to HIGH STATE, the measured  $V_{OH} (DC) + 0.10\text{V}$ .

Note 5: HIGH STATE may be attained using CE or CF.

Note 6: The power switching characteristics of EPROMs require careful device decoupling. It is recommended that at least a 0.1  $\mu\text{F}$  ceramic capacitor be used on every device between  $V_{CC}$  and GND.

Note 7: The outputs must be restricted to  $V_{CC} - 1.0\text{V}$  to avoid latch-up and device damage.

Note 8: 1 TTL Gate,  $I_{OL} = 1.6\text{ mA}$ ,  $I_{OH} = 400\text{ }\mu\text{A}$ .

$C_L = 100\text{ pF}$  includes fixture capacitance.

Note 9:  $V_{DD}$  may be connected to  $V_{CC}$  except during programming.

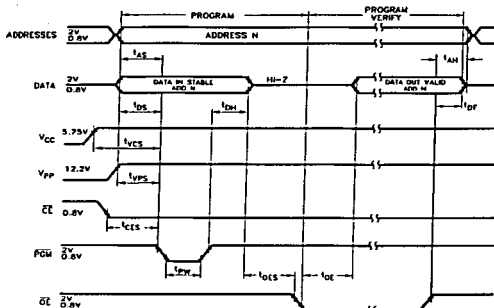
Note 10: Inputs and outputs can withstand to  $-2.0\text{V}$  for 20 ns Max.

TESIS CON  
FALLA DE ORIGEN

**Programming Characteristics** (Notes 1, 2, 3 & 4)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
tAS	Address Setup Time		2			$\mu$ s
tOES	OE Setup Time		2			$\mu$ s
tCES	CE Setup Time		2			$\mu$ s
tDS	Data Setup Time		2			$\mu$ s
tVPS	Vpp Setup Time		2			$\mu$ s
tVCS	Vcc Setup Time		2			$\mu$ s
tAH	Address Hold Time		0			$\mu$ s
tPH	Data Hold Time		2			$\mu$ s
tPF	Output Enable to Output Float Delay	CF $V_{IH}$	0		130	ns
tPW	Program Pulse Width		0.45	0.5	0.55	ms
tQF	Data Valid from OE	CF $V_{IL}$			150	ns
I <sub>PP</sub>	V <sub>PP</sub> Supply Current during Programming Pulse	CF $V_{IL}$ PGM - $V_{IL}$			30	mA
I <sub>CC</sub>	V <sub>CC</sub> Supply Current				10	mA
T <sub>A</sub>	Temperature Ambient		20	25	30	°C
V <sub>CC</sub>	Power Supply Voltage		5.75	6.0	6.25	V
V <sub>PP</sub>	Programming Supply Voltage		12.2	13.0	13.3	V
I <sub>IB</sub>	Input Rise, Fall Time		5			ns
V <sub>IL</sub>	Input Low Voltage			0.0	0.45	V
V <sub>IH</sub>	Input High Voltage		2.4	4.0		V
I <sub>IN</sub>	Input Timing Reference Voltage		0.8	1.5	2.0	V
I <sub>OUT</sub>	Output Timing Reference Voltage		0.8	1.5	2.0	V

### Programming Waveforms (Note 3)



TL/D/10331-4

Note 1: National's standard product warranty applies to devices programmed to specifications described herein.

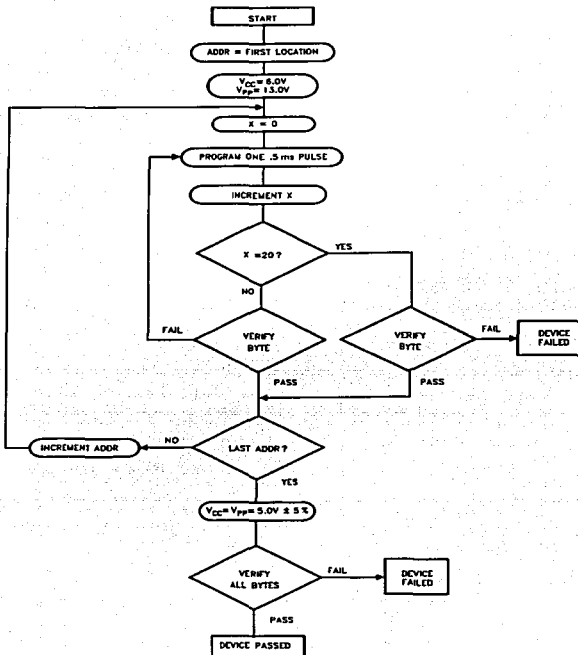
Note 2: V<sub>CC</sub> must be applied simultaneously or before V<sub>PP</sub> and removed simultaneously or after V<sub>PP</sub>. The EPROM must not be inserted into or removed from a board with voltage applied to V<sub>PP</sub> or V<sub>CC</sub>.

Note 3: The maximum absolute allowable voltage which may be applied to the V<sub>PP</sub> pin during programming is 14V. Care must be taken when switching the V<sub>PP</sub> supply to prevent any overvoltage from exceeding the 14V maximum specification. At least a 0.1  $\mu$ F capacitor is required across V<sub>PP</sub>, V<sub>CC</sub> to GND to suppress spurious voltage transients which may damage the device.

Note 4: Programming and program verify are tested with the interactive Program Algorithm, at typical power supply voltages and timings. The min and max limit parameters are design parameters, not tested or guaranteed.

TESIS CON  
FALLA DE ORIGEN

### Interactive Programming Algorithm Flow Chart



TL/D/10321-3

## Functional Description

### DEVICE OPERATION

The six modes of operation of the 27C64 are listed in Table I. It should be noted that all inputs for the six modes are at TTL levels. The power supplies required are  $V_{CC}$  and  $V_{PP}$ . The  $V_{PP}$  power supply must be at 13.0V during the three programming modes, and must be at 5V in the other three modes. The  $V_{CC}$  power supply must be at 6V during the three programming modes, and at 5V in the other three modes.

### Read Mode

The 27C64 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable (CE) is the power control and should be used for device selection. Output Enable (OE) is the output control and should be used to gate data to the output pins, independent of device selection. The programming pin (PGM) should be at  $V_{PP}$  except during programming. Assuming that addresses are stable, address access time ( $t_{ACC}$ ) is equal to the delay from CE to output ( $t_{CE}$ ). Data is available at the outputs  $t_{CG}$  after the falling edge of OE, assuming that CE has been low and addresses have been stable for at least  $t_{ACC} - t_{OE}$ .

The sense amps are clocked for fast access time.  $V_{CC}$  should therefore be maintained at operating voltage during read and verify. If  $V_{CC}$  temporarily drops below the spec. voltage (but not to ground) an address transition must be performed after the drop to insure proper output data.

### Standby Mode

The 27C64 has a standby mode which reduces the active power dissipation by 99%, from 55 mW to 0.55 mW. The 27C64 is placed in the standby mode by applying a CMOS high signal to the CE input. When in standby mode, the outputs are in a high impedance state, independent of the OE input.

### Output OR-Tying

Because 27C64s are usually used in larger memory arrays, National has provided a 2-line control function that accommodates this use of multiple memory connections. The 2-line control function allows for:

- the lowest possible memory power dissipation, and
- complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that CE (pin 20) be decoded and used as the primary device selecting function, while OE (pin 22) be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

### Programming

**CAUTION:** Exceeding 14V on pin 1 ( $V_{PP}$ ) will damage the 27C64.

Initially, all bits of the 27C64 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be presented in the data word. A "0" cannot be changed to a "1" once the bit has been programmed.

The 27C64 is in the programming mode when the  $V_{PP}$  power supply is at 13.0V and OE is at  $V_{PP}$ . It is required that at least a 0.1  $\mu$ F capacitor be placed across  $V_{PP}$ .  $V_{CC}$  to ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

For programming, CE should be kept TTL low at all times while  $V_{PP}$  is kept at 13.0V.

When the address and data are stable, an active low, TTL program pulse is applied to the PGM input. A program pulse must be applied at each address location to be programmed. The 27C64 is designed to be programmed with interactive programming, where each address is programmed with a series of 0.5 ms pulses until it verifies (up to a maximum of 20 pulses or 10 ms). The 27C64 must not be programmed with a DC signal applied to the PGM input. Programming multiple 27C64s in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the parallelized 27C64s may be connected together when they are programmed with the same data. A low level TTL pulse applied to the PGM input programs the parallelized 27C64s.

TABLE I. Mode Selection

Mode	Pins	CE (20)	OE (22)	PGM (27)	$V_{PP}$ (1)	$V_{CC}$ (11-12, 15-19)	Outputs
Read		$V_{IL}$	$V_{IL}$	$V_{IH}$	5V	5V	Output
Standby		$V_{IH}$	Don't Care	Don't Care	5V	5V	Hi-Z
Output Disable		Don't Care	$V_{IH}$	$V_{IH}$	5V	5V	Hi-Z
Program		$V_{IL}$	$V_{IH}$	$V_{IH}$	13V	6V	Out
Program Verify		$V_{IL}$	$V_{IL}$	$V_{IH}$	13V	6V	Output
Program Inhibit		$V_{IH}$	Don't Care	Don't Care	13V	6V	Hi-Z

THIS CON  
TAINS THE ORIGIN

## Functional Description (Continued)

### Program Inhibit

Programming multiple 27C64s in parallel with different data is also easily accomplished. Except for CE, all I/O inputs including OE and PGM) in the parallel 27C64 may be common. A TTL low level program pulse applied to an 27C64's PGM input with CE at  $V_{IH}$  and  $V_{PP}$  at 13.0V will program that 27C64. A TTL high level CE input inhibits the other 27C64s from being programmed.

### Program Verify

A verify should be performed on the programmed bits to determine whether they were correctly programmed. The verify may be performed with  $V_{PP}$  at 13.0V.  $V_{PP}$  must be at  $V_{OH}$  except during programming and program verify.

### MANUFACTURER'S IDENTIFICATION CODE

The 27C64 has a manufacturer's identification code to aid in programming. The code, shown in Table II, is two bytes wide and is stored in a HCM configuration on the chip. It identifies the manufacturer and the device type. The code for the 27C64 is "BF02" where "BF" designates that it is made by National Semiconductor, and "02" designates a 16K part. The code is accessed by applying 12V ± 0.5V to address pin AH. Addresses A1-AH, A10-A12, CE, and OE are held at  $V_{IH}$ . Address A0 is held at  $V_{IL}$  for the manufacturer's code, and at  $V_{OH}$  for the device code. The code is read out on the B data pins. Proper code access is only guaranteed at 75°C ± 5°C.

The primary purpose of the manufacturer's identification code is automatic programming control. When the device is inserted in a EPROM programmer socket, the programmer reads the code and an automatic routine calls up the specific programming algorithm for the part. This automatic programming control is only possible with programmers which have the capability of reading the code.

### ERASURE CHARACTERISTICS

The erasure characteristics of the 27C64 are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms. (A) It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000Å-4000Å range. After programming, opaque labels should be placed over the 27C64's window to prevent unintentional erasure. Closing the window will also prevent temporary functional fail due to the generation of photo currents.

The recommended erasure procedure for the 27C64 is exposure to short wave ultraviolet light which has a wavelength of 2537 Angstroms (A). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15W sec/cm<sup>2</sup>.

The 27C64 should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure. Table III shows the minimum 27C64 erasure time for various light intensities.

An erasure system should be calibrated periodically. The distance from lamp to unit should be maintained at one inch. The erasure time increases as the square of the distance. If distance is doubled the erasure time increases by a factor of 4. Lamps lose intensity as they age. When a lamp is changed, the distance has changed or the lamp has aged, the system should be checked to make certain full erasure is occurring. Incomplete erasure will cause symptoms that can be misdiagnosed. Programmers, components, and even system designs have been erroneously suspected when in complete erasure was the problem.

### SYSTEM CONSIDERATION

The power switching characteristics of EPROMs require careful decoupling of the devices. The supply current,  $I_{CC}$ , has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by write-up functions on input pins. The magnitude of these transient current peaks is dependent on the output capacitance loading of the device. The associated  $V_{CC}$  transient voltage peaks can be suppressed by properly selected decoupling capacitors. It is recommended that at least a 0.1  $\mu$ F ceramic capacitor be used on every device between  $V_{CC}$  and GND. This should be a high frequency capacitor of low inherent inductance. In addition, at least a 4.7  $\mu$ F bulk electrolytic capacitor should be used between  $V_{CC}$  and GND for each eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to minimize the voltage drop caused by the inductive effects of the PC board traces.

TABLE II. Manufacturer's Identification Code

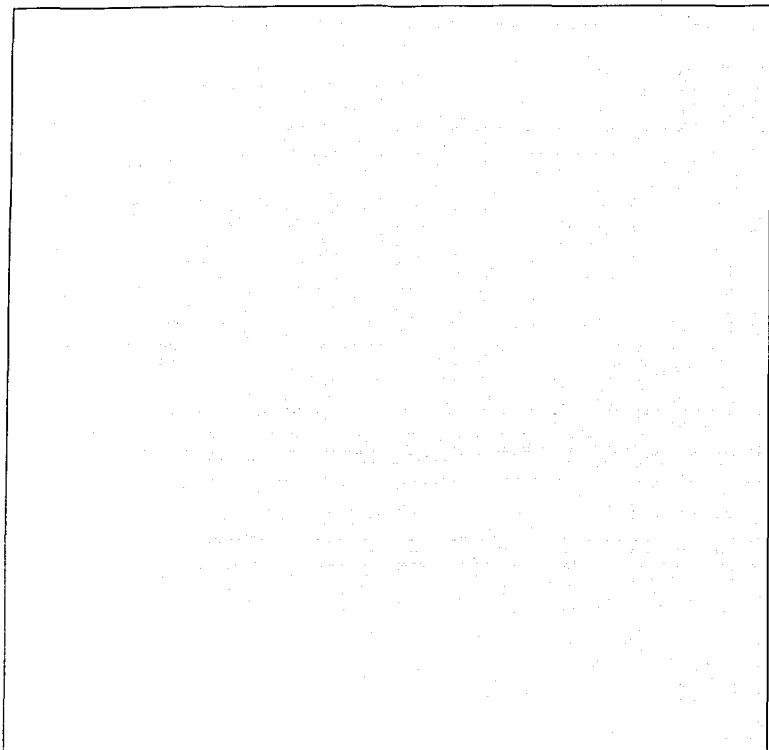
Pins	A0 (10)	O7 (19)	O6 (18)	O5 (17)	O4 (16)	O3 (15)	O2 (13)	O1 (12)	O0 (11)	Hex Data
Manufacturer Code	$V_{IL}$	1	0	0	0	1	1	1	1	BF
Device Code	$V_{OH}$	1	1	0	0	0	0	1	0	C2

TABLE III. Minimum 27C64 Erasure Time

Light Intensity (Micro-Watts/cm <sup>2</sup> )	Erasure Time (Minutes)
15,000	20
10,000	25
5,000	50

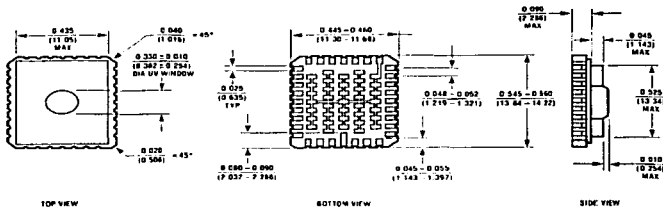
THESIS CON  
FALLADE ORIGEN





TESIS CON  
FALLA DE ORIGEN

**Physical Dimensions** inches (millimeters)



TOP VIEW

BOTTOM VIEW

SIDE VIEW

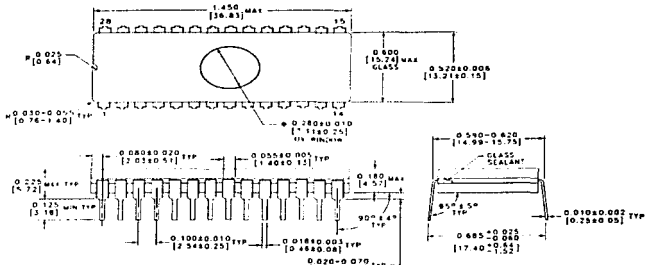
EA3200-REV A

32L Leadless Chip Carrier (E)  
 Order Number 27C64E350/883, 27C64E250/883 or 27C64E200/883  
 NS Package Number EA32CG

TESTS CON  
 FALSA EL ORIGEN

**Physical Dimensions** inches (millimeters) (Continued)

LIL # 114710



**28 Lead EPROM Dual-In-Line Package (DIP) Small Window**  
**Order Number 27C64Q350/883, 27C64Q250/883 or 27C64Q200/883**  
**NS Package Number J28AQ**

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

- Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
- A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
 1915 Westborough Road  
 Westborough, MA 01581  
 Tel: (408) 272-2000  
 Fax: (408) 272-2100

**National Semiconductor Europe**  
 Tel: (+44) 1240 430 44, 66  
 Fax: (+44) 1240 430 46, 80  
 Tel: (+44) 1240 430 47, 50  
 Fax: (+44) 1240 430 47, 58  
 Tel: (+44) 1240 430 47, 60

**National Semiconductor Hong Kong Ltd**  
 2701 Yue Shing Street  
 Cybernet Centre A, Canton Rd  
 Kowloon, Hong Kong  
 Tel: (852) 2717 1600  
 Fax: (852) 2776 4600

**National Semiconductor Japan Ltd**  
 3-1-1, Honcho, Shinjyuku-ku  
 Tokyo 162, Japan  
 Tel: (81) 03 236 2300  
 Fax: (81) 03 236 2400

TESTS CON  
FALLING ORIGIN

---

# HM6264B Series

64 k SRAM (8-kword  $\times$  8-bit)

# HITACHI

ADE-203-454B (Z)

Rev. 2.0

Nov. 1997

---

## Description

The Hitachi HM6264B is 64k-bit static RAM organized 8-kword  $\times$  8-bit. It realizes higher performance and low power consumption by 1.5  $\mu$ m CMOS process technology. The device, packaged in 450 mil SOP (foot print pitch width), 600 mil plastic DIP, 300 mil plastic DIP, is available for high density mounting.

## Features

- High speed  
Fast access time: 85/100 ns (max)
- Low power  
Standby: 10  $\mu$ W (typ)  
Operation: 15 mW (typ) ( $f = 1$  MHz)
- Single 5 V supply
- Completely static memory  
No clock or timing strobe required
- Equal access and cycle times
- Common data input and output  
Three state output
- Directly TTL compatible  
All inputs and outputs
- Battery backup operation capability

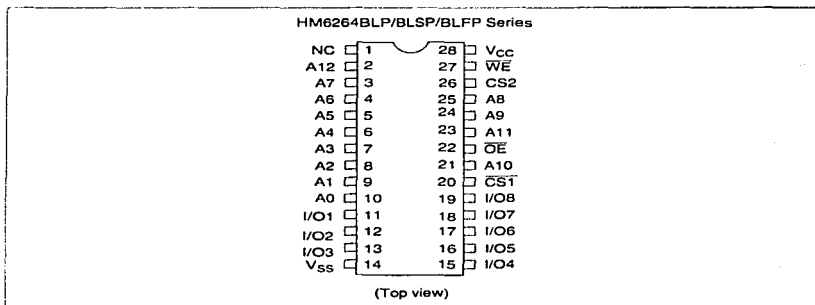
TESIS CON  
FALLA DE ORIGEN

## HM6264B Series

### Ordering Information

Type No.	Access time	Package
HM6264BLP-8L	85 ns	600-mil, 28-pin plastic DIP (DP-28)
HM6264BLP-10L	100 ns	
HM6264BLSP-8L	85 ns	300-mil, 28-pin plastic DIP(DP-28N)
HM6264BLSP-10L	100 ns	
HM6264BLFP-8LT	85 ns	450-mil, 28-pin plastic SOP(FP-28DA)
HM6264BLFP-10LT	100 ns	

### Pin Arrangement



### Pin Description

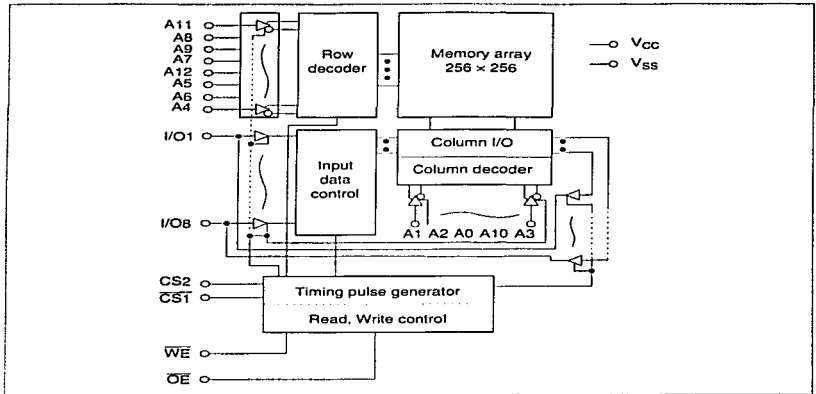
Pin name	Function	Pin name	Function
A0 to A12	Address input	WE	Write enable
I/O1 to I/O8	Data input/output	OE	Output enable
CST	Chip select 1	NC	No connection
CS2	Chip select 2	V <sub>cc</sub>	Power supply
		V <sub>ss</sub>	Ground

TESIS CON  
 FALLA DE ORIGEN

HITACHI

179

Block Diagram



TESIS CON  
FALLA DE ORIGEN

## HM6264B Series

### Function Table

WE	CS1	CS2	OE	Mode	V <sub>CC</sub> current	I/O pin	Ref. cycle
x	H	x	x	Not selected (power down)	I <sub>BR1</sub> , I <sub>BR1</sub>	High-Z	—
x	x	L	x	Not selected (power down)	I <sub>BR1</sub> , I <sub>BR1</sub>	High-Z	—
H	L	H	H	Output disable	I <sub>CC</sub>	High-Z	—
H	L	H	L	Read	I <sub>CC</sub>	Dout	Read cycle (1)–(3)
L	L	H	H	Write	I <sub>CC</sub>	Din	Write cycle (1)
L	L	H	L	Write	I <sub>CC</sub>	Din	Write cycle (2)

Note: x: H or L

### Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage <sup>1)</sup>	V <sub>CC</sub>	-0.5 to +7.0	V
Terminal voltage <sup>1)</sup>	V <sub>I</sub>	-0.5 <sup>2)</sup> to V <sub>CC</sub> + 0.3 <sup>3)</sup>	V
Power dissipation	P <sub>T</sub>	1.0	W
Operating temperature	T <sub>opr</sub>	0 to +70	°C
Storage temperature	T <sub>stg</sub>	-55 to +125	°C
Storage temperature under bias	T <sub>bias</sub>	-10 to +85	°C

- Notes: 1. Relative to V<sub>AS</sub>  
 2. V<sub>I</sub> min: -3.0 V for pulse half-width ≤ 50 ns  
 3. Maximum voltage is 7.0 V

### Recommended DC Operating Conditions (T<sub>a</sub> = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V <sub>CC</sub>	4.5	5.0	5.5	V
	V <sub>AS</sub>	0	0	0	V
Input high voltage	V <sub>IH</sub>	2.2	—	V <sub>CC</sub> + 0.3	V
Input low voltage	V <sub>IL</sub>	-0.3 <sup>1)</sup>	—	0.8	V

Note: 1. V<sub>I</sub> min: -3.0 V for pulse half-width ≤ 50 ns

## HM6264B Series

**DC Characteristics** ( $T_a = 0$  to  $+70^\circ\text{C}$ ,  $V_{CC} = 5\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ )

Parameter	Symbol	Min	Typ <sup>1</sup>	Max	Unit	Test conditions
Input leakage current	$I_{iL}$	—	—	2	$\mu\text{A}$	$V_{in} = V_{SS}$ to $V_{CC}$
Output leakage current	$I_{iOL}$	—	—	2	$\mu\text{A}$	$CS1 = V_{in}$ or $CS2 = V_{in}$ or $OE = V_{in}$ or $WE = V_{in}$ , $V_{IO} = V_{SS}$ to $V_{CC}$
Operating power supply current	$I_{CCOC}$	—	7	15	mA	$CS1 = V_{in}$ , $CS2 = V_{in}$ , $I_{IO} = 0\text{ mA}$ others = $V_{in}/V_{in}$
Average operating power supply current	$I_{CC1}$	—	30	45	mA	Min cycle, duty = 100%, $CS1 = V_{in}$ , $CS2 = V_{in}$ , $I_{IO} = 0\text{ mA}$ others = $V_{in}/V_{in}$
	$I_{CC2}$	—	3	5	mA	Cycle time = 1 $\mu\text{s}$ , duty = 100%, $I_{IO} = 0\text{ mA}$ $CS1 \leq 0.2\text{ V}$ , $CS2 \geq V_{CC} - 0.2\text{ V}$ , $V_{in} \geq V_{CC} - 0.2\text{ V}$ , $V_{IL} \leq 0.2\text{ V}$
Standby power supply current	$I_{SB}$	—	1	3	mA	$CS1 = V_{in}$ , $CS2 = V_{in}$
	$I_{SB1}$	—	2	50	$\mu\text{A}$	$CS1 \geq V_{CC} - 0.2\text{ V}$ , $CS2 \geq V_{CC} - 0.2\text{ V}$ or $0\text{ V} \leq CS2 \leq 0.2\text{ V}$ , $0\text{ V} \leq V_{in}$
Output low voltage	$V_{OL}$	—	—	0.4	V	$I_{OL} = 2.1\text{ mA}$
Output high voltage	$V_{OH}$	2.4	—	—	V	$I_{OH} = -1.0\text{ mA}$

Notes: 1. Typical values are at  $V_{CC} = 5.0\text{ V}$ ,  $T_a = +25^\circ\text{C}$  and not guaranteed.

**Capacitance** ( $T_a = 25^\circ\text{C}$ ,  $f = 1.0\text{ MHz}$ )

Parameter	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance <sup>1</sup>	$C_{in}$	—	—	5	pF	$V_{in} = 0\text{ V}$
Input/output capacitance <sup>1</sup>	$C_{IO}$	—	—	7	pF	$V_{IO} = 0\text{ V}$

Note: 1. This parameter is sampled and not 100% tested.

TESIS CON  
 FALLA DE ORIGEN



## HM6264B Series

AC Characteristics ( $T_a = 0$  to  $+70^\circ\text{C}$ ,  $V_{CC} = 5\text{ V} \pm 10\%$ , unless otherwise noted.)

### Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input and output timing reference level: 1.5 V
- Input rise and fall time: 10 ns
- Output load: 1 TTL Gate +  $C_L$  (100 pF) (Including scope & jig)

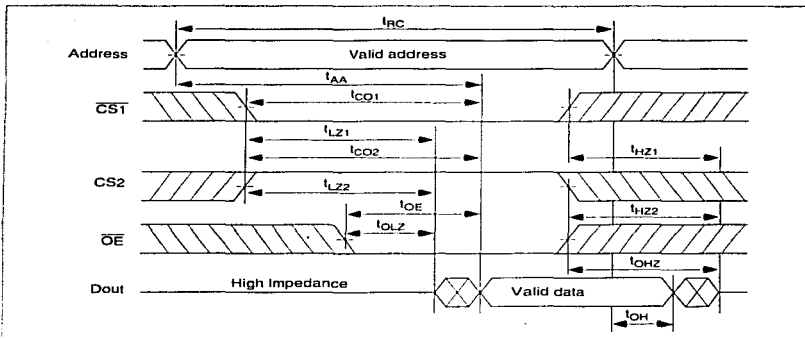
### Read Cycle

Parameter	Symbol	HM6264B-8L		HM6264B-10L		Unit	Notes
		Min	Max	Min	Max		
Read cycle time	$t_{RC}$	85	—	100	—	ns	
Address access time	$t_{AA}$	—	85	—	100	ns	
Chip select access time	CS1	$t_{C01}$	—	85	—	100	ns
	CS2	$t_{C02}$	—	85	—	100	ns
Output enable to output valid	$t_{OE}$	—	45	—	50	ns	
Chip selection to output in low-Z	CS1	$t_{LZ1}$	10	—	10	—	ns 2
	CS2	$t_{LZ2}$	10	—	10	—	ns 2
Output enable to output in low-Z	$t_{OLZ}$	5	—	5	—	ns 2	
Chip deselection in to output in high-Z	CS1	$t_{HZ1}$	0	30	0	35	ns 1, 2
	CS2	$t_{HZ2}$	0	30	0	35	ns 1, 2
Output disable to output in high-Z	$t_{OHZ}$	0	30	0	35	ns 1, 2	
Output hold from address change	$t_{OH}$	10	—	10	—	ns	

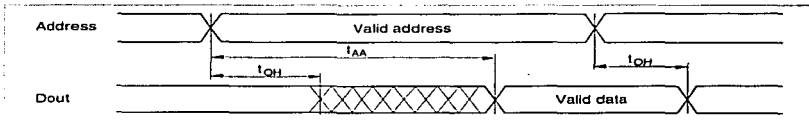
Notes: 1.  $t_{HZ}$  is defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.

2. At any given temperature and voltage condition,  $t_{HZ}$  maximum is less than  $t_{LZ}$  minimum both for a given device and from device to device.

Read Timing Waveform (1) ( $\overline{WE} = V_{IH}$ )



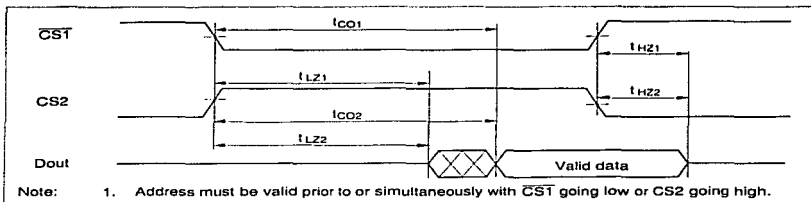
Read Timing Waveform (2) ( $\overline{WE} = V_{IH}, \overline{OE} = V_{IH}$ )



TESIS CON  
FALLA DE ORIGEN

## HM6264B Series

Read Timing Waveform (3) ( $\overline{WE} = V_{IH}$ ,  $\overline{OE} = V_{IH}$ )<sup>1</sup>



**Write Cycle**

Parameter	Symbol	HM6264B-8L		HM6264B-10L		Unit	Notes
		Min	Max	Min	Max		
Write cycle time	$t_{wc}$	85	—	100	—	ns	
Chip selection to end of write	$t_{cw}$	75	—	80	—	ns	2
Address setup time	$t_{as}$	0	—	0	—	ns	3
Address valid to end of write	$t_{aw}$	75	—	80	—	ns	
Write pulse width	$t_{wp}$	55	—	60	—	ns	1, 6
Write recovery time	$t_{wr}$	0	—	0	—	ns	4
WE to output in high-Z	$t_{weiz}$	0	30	0	35	ns	5
Data to write time overlap	$t_{dow}$	40	—	40	—	ns	
Data hold from write time	$t_{dh}$	0	—	0	—	ns	
Output active from end of write	$t_{ow}$	5	—	5	—	ns	
Output disable to output in high-Z	$t_{odz}$	0	30	0	35	ns	5

Notes: 1. A write occurs during the overlap of a low CS1, and high CS2, and a high WE. A write begins at the latest transition among CS1 going low, CS2 going high and WE going low. A write ends at the earliest transition among CS1 going high CS2 going low and WE going high. Time  $t_{wp}$  is measured from the beginning of write to the end of write.

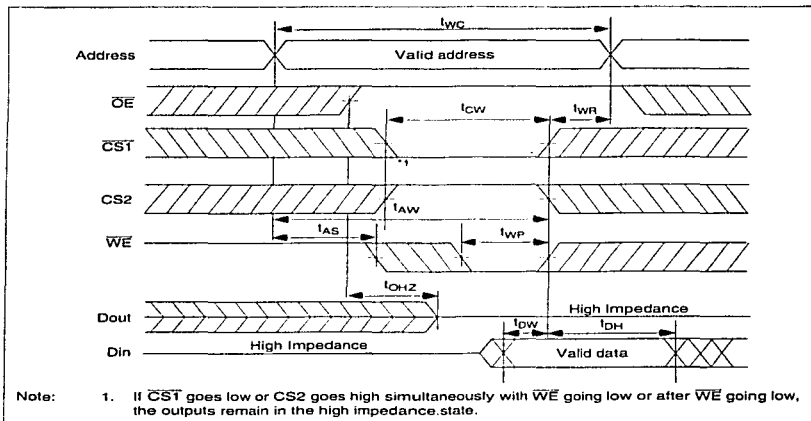
- $t_{cw}$  is measured from the later of CS1 going low or CS2 going high to the end of write.
- $t_{as}$  is measured from the address valid to the beginning of write.
- $t_{aw}$  is measured from the earliest of CS1 or WE going high or CS2 going low to the end of write cycle.
- During this period, I/O pins are in the output state, therefore the input signals of the opposite phase to the outputs must not be applied.
- In the write cycle with OE low fixed,  $t_{wr}$  must satisfy the following equation to avoid a problem of data bus contention  

$$t_{wr} \geq t_{weiz} \max + t_{ow} \min.$$

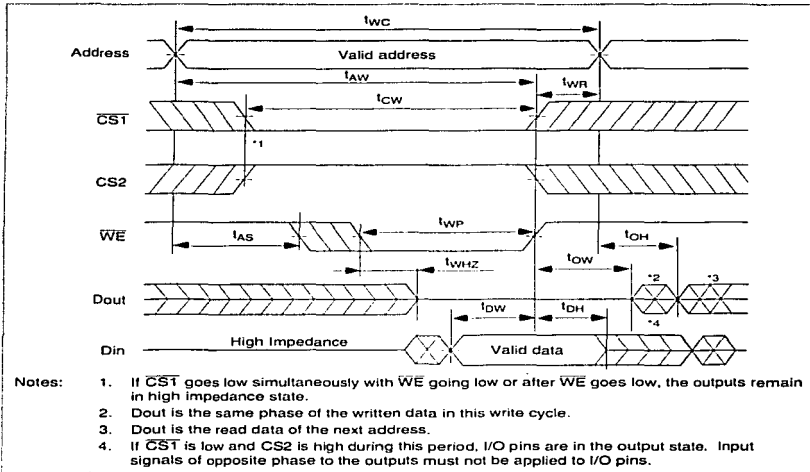
TESIS CON  
 ALLA DE ORIGEN

## HM6264B Series

### Write Timing Waveform (1) ( $\overline{OE}$ Clock)



Write Timing Waveform (2) ( $\overline{OE}$  Low Fixed) ( $\overline{OE} = V_{IL}$ )



TESIS CON  
FALLA DE ORIGEN

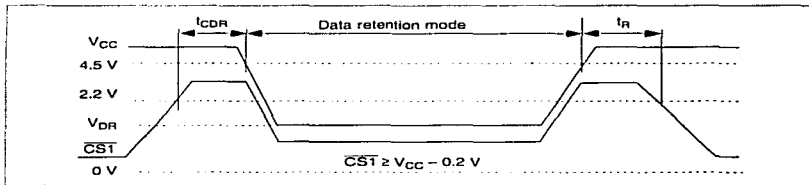
## HM6264B Series

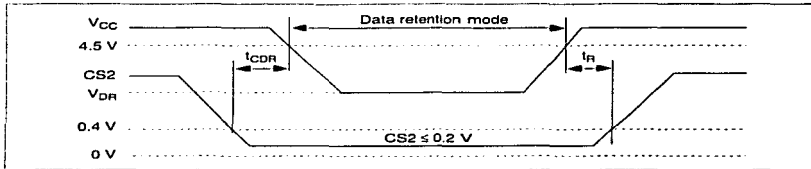
### Low $V_{CC}$ Data Retention Characteristics ( $T_a = 0$ to $+70^\circ\text{C}$ )

Parameter	Symbol	Min	Typ <sup>1)</sup>	Max	Unit	Test conditions <sup>4)</sup>
$V_{CC}$ for data retention	$V_{DR}$	2.0	—	—	V	$\overline{CS1} \geq V_{CC} - 0.2$ V, $CS2 \geq V_{CC} - 0.2$ V or $CS2 \leq 0.2$ V
Data retention current	$I_{CCDR}$	—	1 <sup>3)</sup>	25 <sup>2)</sup>	$\mu\text{A}$	$V_{CC} = 3.0$ V, $0$ V $\leq V_{in} \leq V_{CC}$ $\overline{CS1} \geq V_{CC} - 0.2$ V, $CS2 \geq V_{CC} - 0.2$ V or $0$ V $\leq CS2 \leq 0.2$ V
Chip deselect to data retention time	$t_{CDH}$	0	—	—	ns	See retention waveform
Operation recovery time	$t_n$	$t_{ec}$ <sup>3)</sup>	—	—	ns	

- Notes:
- Reference data at  $T_a = 25^\circ\text{C}$ .
  - $10 \mu\text{A}$  max at  $T_a = 0$  to  $+40^\circ\text{C}$ .
  - $t_{ec}$  = read cycle time.
  - $CS2$  controls address buffer,  $\overline{WE}$  buffer,  $\overline{CS1}$  buffer,  $\overline{OE}$  buffer, and  $Din$  buffer. If  $CS2$  controls data retention mode,  $V_{in}$  levels (address,  $\overline{WE}$ ,  $\overline{OE}$ ,  $\overline{CS1}$ ,  $I/O$ ) can be in the high impedance state. If  $\overline{CS1}$  controls data retention mode,  $CS2$  must be  $CS2 \geq V_{CC} - 0.2$  V or  $0$  V  $\leq CS2 \leq 0.2$  V. The other input levels (address,  $\overline{WE}$ ,  $\overline{OE}$ ,  $I/O$ ) can be in the high impedance state.

### Low $V_{CC}$ Data Retention Timing Waveform (1) ( $\overline{CS1}$ Controlled)



**Low  $V_{CC}$  Data Retention Timing Waveform (2) (CS2 Controlled)**

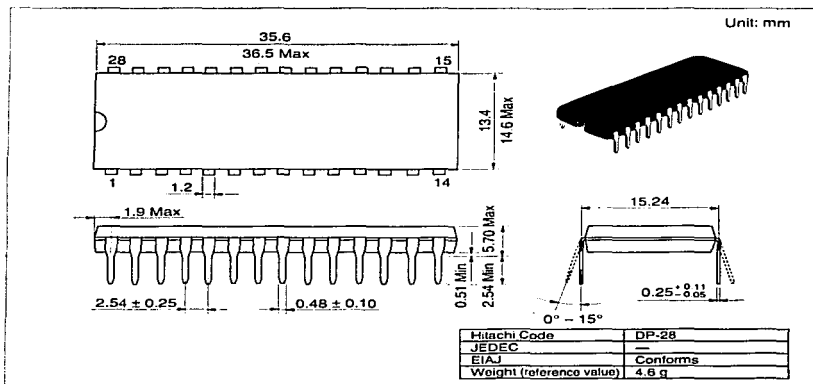
TESIS CON  
FOLIO DE ORIGEN



## HM6264B Series

### Package Dimensions

#### HM6264BLP Series (DP-28)



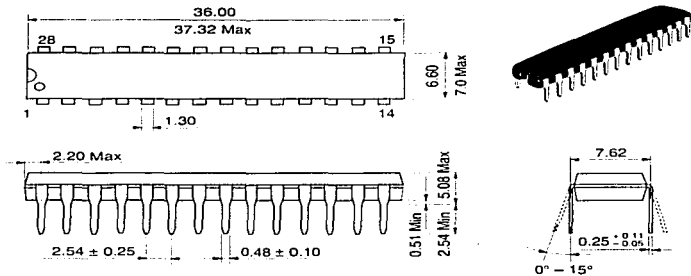
TESIS CON  
FALLA DE ORIGEN

HITACHI

**Package Dimensions (cont)**

HM6264BLSP Series (DP-28N)

Unit: mm

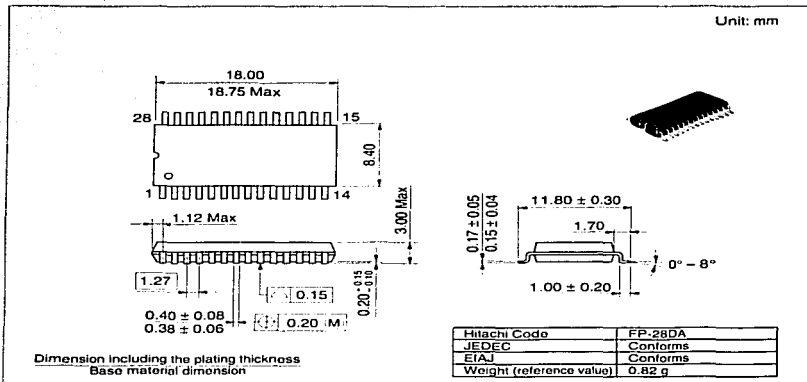


Hitachi Code	DP-28N
JEDEC	
EIAJ	Conforms
Weight (reference value)	2.04 g

## HM6264B Series

### Package Dimensions (cont)

#### HM6264BLFP Series (FP-28DA)



TESIS CON  
FALLA DE ORIGEN

HITACHI

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. **MEDICAL APPLICATIONS:** Hitachi's products are not authorized for use in **MEDICAL APPLICATIONS** without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in **MEDICAL APPLICATIONS**.

# HITACHI

## Hitachi, Ltd.

Semiconductor & IC Div  
Nippon Bldg., 2-6-2, Ohta-machi, Chiyoda-ku, Tokyo 100, Japan  
Tel: Tokyo (03) 3270-2111  
Fax: (03) 3270-5109

### For further information write to:

Hitachi Semiconductor  
(America) Inc.  
2000 Sierra Point Parkway  
Burbank CA 94005-1897  
U.S.A.  
Tel: 800-285-1601  
Fax: 303-297-0447

Hitachi Europe GmbH  
Continental Europe  
Dornacher Straße 3  
D-85622 Feldkirchen  
München  
Tel: 089-9 91 80-0  
Fax: 089-9 29 30-00

Hitachi Europe Ltd.  
Electronic Components Div.,  
Northern Europe Headquarters  
Whitehook Park  
Lower Cookham Road  
Maidenhead  
Berkshire SL6 8YA  
United Kingdom  
Tel: 01628-585000  
Fax: 01628-585160

Hitachi Asia Pte. Ltd.  
16 Collyer Quay #20-00  
Hitachi Tower  
Singapore 049318  
Tel: 535-2100  
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.  
Unit 706, North Tower,  
World Finance Centre,  
Harbour City, Canton Road  
Tsim Sha Tsui, Kowloon  
Hong Kong  
Tel: 27359218  
Fax: 27306071

Copyright © Hitachi, Ltd., 1997. All rights reserved. Printed in Japan.

HITACHI

---

**HM6264B Series**

---

**Revision Record**

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Sep. 5, 1995	Initial issue	I. Ogiwara	K. Yoshizaki
1.0	Dec. 6, 1995	Deletion of Preliminary	I. Ogiwara	K. Yoshizaki
2.0	Nov. 1997	Change of Subtitle Change of FP-28DA		

TESIS CON  
FALLA DE ORIGEN

HITACHI