

110



# UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

ESCUELA NACIONAL DE ESTUDIOS PROFESIONALES  
CAMPUS ARAGON

"IMPLANTACIÓN DE UN ESQUEMA DE CONTROL  
BASADO EN PASIVIDAD PARA UN INVERSOR DE  
MEDIO PUENTE EN UN MICROCONTROLADOR  
DE BAJO COSTO"

**T E S I S**

QUE PARA OBTENER EL TITULO DE:  
**INGENIERO MECÁNICO ELECTRICISTA**  
**(ÁREA ELÉCTRICA-ELECTRÓNICA**

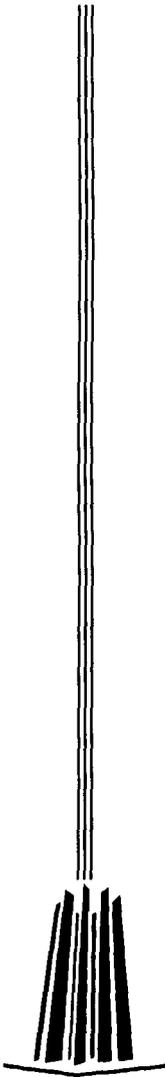
**P R E S E N T A :**  
**EDUARDO VENEGAS REYES**

ASESOR: DR. GERARDO RENÉ ESPINOSA PÉREZ

NEZAHUALCOYOTL, EDO. DE MEX.

2002

TESIS CON  
FALLA DE ORIGEN





Universidad Nacional  
Autónoma de México



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## **Agradecimientos:**

*A mis padres por darme el ser, su amor y proporcionarme todo lo necesario para llegar hasta donde he llegado.*

*A mis hermanos y a mi cuñada por su cariño y apoyo incondicional.*

*A mi sobrinita Sofía por ser la lucecita que ilumina y da nueva vida a nuestra casa.*

*A mi novia Ivonne por su amor, comprensión y apoyo incondicional.*

*A la Universidad Nacional Autónoma de México por permitirme ser parte de su comunidad, por proporcionarme todo para mi desarrollo profesional y por permitirme ver un horizonte más amplio.*

*A mis amigos y maestros; porque de todos y cada uno de ellos he aprendido algo.*

*Al Ing. Sebastián Ibarra y al Dr. Gerardo Espinosa por su apoyo en la realización de ésta tesis.*

# Indice general

## Introducción

0.1 Motivación	iv
0.2 Formulación del Problema y Contribuciones	v
0.3 Revisión Bibliográfica	vi
0.4 Contenido de la Tesis	vi

## 1 Control basado en Pasividad para un Inversor de Medio Puente

1.1 Inversor de Medio Puente	1
1.2 Modelo Conmutado del Inversor de Medio Puente	2
1.3 Modelo Promediado del Inversor de Medio Puente	5
1.3.1 Modulación por Ancho de Pulso (PWM)	5
1.4 Ley de control Basada en Pasividad para el Inversor de Medio Puente	6

## 2 Implantación del Esquema de Control Basado en Pasividad

2.1 Criterios de Implantación,	9
2.2 Selección del Microcontrolador,	10
2.3 Soluciones Propuestas al Problema de Implantación	11
2.3.1 Generación de las Señales Deseadas en Tiempo Discreto	11
2.3.2 Integración (Regla del Trapecio)	14
2.3.3 Derivación (Método de Diferencias Divididas)	16
2.4 Normalización de la Ley de Control	17
2.5 Resultados de Simulación	23

## 3 Programación del Microcontrolador

3.1 Programa principal	26
3.2 Inicialización del Microcontrolador	28
3.2.1 Encendido del Sistema de Reloj	28
3.2.2 Configuración de Puertos	30
3.2.3 Configuración del Convertidor Analógico-Digital	31
3.2.4 Configuración del Temporizador	33
3.2.5 Generación de las Ganancias $\gamma$ y $k_1$	35
3.3 Subrutinas para el Cálculo de $\mu$	37
3.3.1 Generación de las Señales Deseadas	38
3.3.2 Solución de la Ley de Adaptación	39
3.3.3 Obtención del Voltaje en el Inductor	40
3.4 Subrutinas para Generar las Señales de Control PWM	42
3.4.1 Subrutina de Saturación	43
3.4.2 Subrutina para Ajustar $\mu$	44

<b>4 Construcción del Inversor de Medio Puente</b>	
4.1 Diseño de la Planta	46
4.1.1 Diseño del Filtro de Salida	47
4.1.2 Diseño del Inductor del Filtro	49
4.2 Selección del Circuito Impulsor	54
4.3 Circuito de Retroalimentación para el Voltaje en el Capacitor del Filtro $z_2$	56
4.3.1 Diseño del Transformador Sensor de Voltaje	56
4.3.2 Diseño del Divisor de Voltaje para $z_2$	60
4.3.3 Voltaje de Referencia $V_{cd}$	60
4.3.4 Sumador de Voltaje para $z_2$	61
4.4 Circuito de Retroalimentación para la Corriente en el Inductor del Filtro $z_1$	63
4.4.1 Sumador de Voltaje para $z_1$	64
4.5 Fuente de Voltaje	66
<b>5 Evaluación Experimental</b>	
5.1 Desempeño del Inversor en Lazo Abierto	68
5.2 Desempeño del Inversor con el Controlador CBP	70
5.2.1 Desempeño con Carga Nominal	70
5.2.2 Desempeño con Perturbación en la Carga	72
5.2.3 Desempeño con Carga No-Lineal	75
<b>Conclusiones</b>	78
<b>Apéndices</b>	
<b>A Descripción General del MSP430</b>	
A.1 Características Generales	79
A.2 Unidad de Procesamiento Central	81
A.3 Memoria	85
A.4 Sistema de Reloj	87
A.5 Módulos Periféricos	88
A.6 Sistema de Inicio, Interrupciones y Modos de Operación	95
A.7 Conjunto de Instrucciones	99
<b>B Programa Implantado en el Microcontrolador</b>	101
<b>C Diagramas del Sistema de Evaluación Experimental</b>	114
<b>Bibliografía</b>	119

## Introducción

Actualmente, el desarrollo de la tecnología de semiconductores ha permitido avances importantes en la electrónica de potencia, específicamente en los sistemas conmutados. La mayoría de los circuitos electrónicos de potencia se controlan mediante señales binarias que son aplicadas en la terminal de disparo de un dispositivo electrónico de conmutación, controlando así la transferencia de energía de una fuente principal hacia algún sistema, buscando que ésta transferencia sea lo más eficiente posible.

Los circuitos inversores de potencia pertenecen al conjunto de sistemas conmutados. La función de un inversor es convertir una señal de corriente directa (cd) a una señal de corriente alterna (ca), con magnitud y frecuencia constantes, por lo que estos circuitos son también conocidos como convertidores de cd a ca. La energía eléctrica entregada por estos convertidores contiene componentes armónicos que distorsionan el voltaje y la corriente suministrada. Estos armónicos generan entre otras cosas una disminución del factor de potencia y por lo tanto disminuyen la eficiencia del inversor. Una aplicación directa de los inversores es en las fuentes ininterrumpibles de poder (UPS por sus siglas en inglés), estas son usadas como fuentes de respaldo de sistemas donde es crucial asegurar la continuidad del suministro eléctrico, como es el caso de equipo médico de sustentación de vida, equipo de cómputo, de comunicaciones, etc. Además debido a que la mayoría de las cargas electrónicas tienen un comportamiento no-lineal, generan distorsión armónica, por lo que estas contribuyen en gran medida a degradar la señal entregada por una UPS con la consecuente disminución de eficiencia. De aquí que el principal objetivo en el diseño de estas fuentes es entregar un voltaje de salida con un mínimo de distorsión armónica, con amplitud y frecuencia prácticamente constantes, además de tener un tamaño y costo razonables. Una estructura común para UPS's consiste en un circuito inversor controlado mediante señales PWM y un filtro de segundo orden a la salida. En este contexto, el tamaño y el costo del dispositivo dependen de la elección de los elementos pasivos que componen al filtro y la frecuencia de las señales involucradas en el mecanismo PWM, donde el desempeño del circuito depende de la respuesta del controlador que maneja al inversor. Es fácil notar que existe un compromiso entre los elementos pasivos y el controlador utilizado: se pueden usar elementos pasivos de gran tamaño (de mayor costo) con una frecuencia de conmutación baja y controlador sencillo o se pueden usar elementos pasivos de costo y tamaño mínimo con un controlador más complicado. La segunda opción parece más viable ya que en el campo económico, los costos siempre tienen un peso preponderante en el diseño de cualquier sistema.

## Motivación

En los últimos años la investigación en el campo de los sistemas conmutados ha generado diversas propuestas para el control de estos sistemas. Este trabajo de tesis está basado en el esquema de control propuesto en [Noriega, 2001], para inversores de medio puente, el cual permite disminuir el tamaño de los elementos pasivos que constituyen al filtro y por lo tanto disminuir el costo de una UPS. En dicho trabajo se aborda la filosofía de controladores basados en pasividad, presentada en trabajos como [Ortega, 1998] y [Escobar, 1999], como una solución viable al problema específico de control de convertidores de cd a ca. El presente trabajo es una muestra de investigación aplicada a la ingeniería, pues partiendo de una propuesta teórica se genera tecnología, en este caso aplicado a

al desarrollo de UPS's. Tomando en cuenta que existe la necesidad de asegurar el suministro eléctrico en ciertos sistemas que no pueden interrumpir su operación (debido a la importancia humana y económica que tienen), se busca también demostrar que las nuevas propuestas de control para sistemas conmutados son económicamente viables. Los trabajos de investigación aplicada repercuten en el campo de la investigación en general, ya que demostrando que la investigación que se realiza en México (específicamente en la UNAM) puede rendir resultados satisfactorios, se pueden notar los beneficios directos que aporta la investigación en el desarrollo del país.

## **Formulación del Problema y Contribuciones**

El esquema de control basado en pasividad (CBP) para un inversor de medio puente fue validado experimentalmente mediante una tarjeta de adquisición de datos (basada en el procesador DSP desarrollado por Texas Instruments Inc.), sin embargo este sistema es muy costoso, por lo que dicha evaluación no permite visualizar totalmente el beneficio de reducir el tamaño de los elementos pasivos. En este trabajo de tesis se propone evaluar el desempeño del controlador CBP en un sistema de bajo costo, esto permite ponderar los beneficios reales que puede tener el uso de los controladores CBP en fuentes UPS, ya que dicha propuesta no sólo busca reducir el tamaño y el costo de una fuente de este tipo, sino también busca que la señal de voltaje entregada tenga muy poca distorsión armónica, mejorando la eficiencia de dichos sistemas.

Gracias a los avances que se han dado en los últimos años en la escala de integración de microcontroladores y en las técnicas de procesamiento de señales, es posible evaluar experimentalmente este tipo de esquemas con un costo bastante razonable, reduciendo además el espacio necesario para la implantación, ya que utilizando circuitos analógicos el tamaño del controlador implantado sería mucho mayor. Para evaluar experimentalmente el controlador CBP, es necesario implantarlo en un microcontrolador y construir el inversor. El desempeño del controlador se evalúa de acuerdo al contenido armónico del voltaje de salida del inversor y a la regulación de voltaje. Es importante señalar que el esquema de control CBP propuesto, aborda el problema de control del inversor considerando que: la dinámica del sistema está descrita por un modelo conmutado, las señales de control pertenecen a un conjunto de espacio binario, la señal de salida (voltaje) no es actuada, se presenta la existencia de incertidumbre paramétrica (en la carga) y se considera un empleo mínimo de sensores.

Con base en lo expuesto anteriormente, se plantean los siguientes objetivos para este trabajo de tesis:

### **Objetivo General:**

Implantar y evaluar un esquema de control basado en pasividad para un inversor de medio puente en un sistema de bajo costo basado en un microcontrolador comercial.

### **Objetivos Específicos:**

1. Programar un microcontrolador comercial con la ley de control basada en pasividad.
2. Diseñar y construir el inversor de medio puente y los circuitos necesarios para llevar a cabo la evaluación experimental del controlador implantado.
3. Evaluar experimentalmente el desempeño del inversor de medio puente con el controlador CBP.

## Revisión Bibliográfica

El controlador propuesto utiliza como herramientas de diseño la filosofía de controladores basados en pasividad, el método de modelado variacional basado en las ecuaciones de Euler-Lagrange y el análisis de estabilidad de Lyapunov. Sin embargo, estos conocimientos teóricos están fuera del alcance de este trabajo de tesis, ya que este es un problema de aplicación técnica de ingeniería. Al lector interesado en los temas antes mencionados se le refiere a los trabajos [Ortega, 1998], [Escobar, 1999], [Campos, 1999], [Noriega, 2001] y a las referencias indicadas en ellos.

Debido a que el problema planteado es una aplicación técnica de ingeniería, el estudio en este trabajo de tesis queda dentro del campo de la electrónica de potencia, de la electrónica digital, de la teoría de análisis y diseño de circuitos eléctricos, del acondicionamiento y procesamiento de señales, métodos numéricos y finalmente de programación. Debido a lo mencionado anteriormente, la bibliografía empleada para la realización de esta tesis consiste principalmente en textos de análisis de circuitos [Hayt, 1993], de electrónica de potencia [Rashid, 1995] y [Vithalayathil, 1995], de microprocesadores [Tokheim, 1991], de métodos numéricos [Chapra, 1987] y [Mathews, 2000], de adquisición y procesamiento de señales [Pallas, 1994], [Kamen, 1996], de diseño de transformadores e inductores [McLyman, 1988]. También se usaron los manuales y las notas de aplicación del microcontrolador utilizado, además de las hojas de datos y notas de aplicación de los dispositivos utilizados para la construcción del prototipo donde se evaluó el desempeño del controlador implantado, para lo cual fue necesario elaborar los diagramas esquemático e impreso [Luzadder, 1988]. Finalmente todas las referencias nombradas en esta tesis aparecen en la bibliografía, así como las de los manuales usados y las páginas web que se consultaron, principalmente para obtener notas de aplicación y hojas de datos.

## Contenido de la Tesis

El presente trabajo consiste en la implantación del esquema o ley de control CBP para el inversor de medio puente en el microcontrolador MSP430F149 de Texas Instruments Inc. Además de realizar la evaluación experimental de dicho esquema en un sistema de evaluación de bajo costo basado en el microcontrolador antes mencionado. Dicho sistema se diseñó y construyó con base en la topología del inversor de medio puente, el microcontrolador y los circuitos de interface necesarios. La evaluación experimental consiste en verificar que el inversor de medio puente entregue un voltaje senoidal con amplitud y frecuencia prácticamente constantes independientemente de la carga que se conecte al inversor (siempre y cuando esta no sobrepase la capacidad del sistema). Además, el voltaje entregado debe tener un contenido armónico bajo aun alimentando a una carga no-lineal.

Este trabajo de tesis está integrado por cinco capítulos: En el primero se exponen de manera breve los modelos conmutado y promediado del inversor de medio puente, donde a partir del último y en conjunto con la filosofía de controladores CBP se llegó en [Noriega, 2001] a la ley de control CBP. En el segundo se hace un análisis de la problemática que implica la implantación del esquema de control CBP y de las soluciones que se proponen para llevar a cabo dicha implantación. En este capítulo se muestran también las gráficas obtenidas a través de simulación digital, que justificaron el uso de los métodos propuestos. En el tercero se muestran esquemáticamente los algoritmos que se implementaron en la programación del microcontrolador basados en las soluciones propuestas en el capítulo 2. En el cuarto se muestra la metodología de diseño que se llevó a cabo para la construcción del prototipo que permitió realizar la evaluación experimental. Finalmente en el quinto se muestran los resultados experimentales en forma gráfica con el fin de evaluar el desempeño del inversor de medio puente manejado por el controlador CBP.

También se incluyen tres apéndices en este trabajo. En el apéndice A se hace una descripción muy general del microcontrolador MSP430, esto con el fin de facilitar al lector el proceso de implantación que se expuso en los capítulos 2 y 3. En el apéndice B, se muestra el programa completo en lenguaje ensamblador que se grabó en el MSP430 con la finalidad de implantar la ley de control CBP. En dicho programa aparecen algunas rutinas que no aparecen en el capítulo 3, sin embargo no son determinantes en la implantación de la ley de control CBP, por lo que el lector interesado en estas rutinas se puede referir a las notas de aplicación de la Familia MSP430 disponibles en la página web del fabricante.

# Capítulo 1

## Control Basado en Pasividad para un Inversor de Medio Puente

Los inversores o convertidores de cd a ca, están conformados por dispositivos de conmutación controlada, en los cuales por medio de una señal de control es posible determinar el estado del dispositivo (encendido o apagado) y por lo tanto del sistema en general. Existen diversos dispositivos de conmutación controlada que se pueden aplicar en los inversores de acuerdo al tipo de aplicación (BJT's, MOSFET's, IGBT's, GTO's, entre otros). Tanto el voltaje de salida como la frecuencia de un inversor pueden ser fijos o variables. Los inversores se pueden clasificar por el número de fases en: inversores monofásicos y trifásicos.

El voltaje de entrada de cd puede provenir de una batería, una celda solar o cualquier otra fuente de cd. Modificando el voltaje de la fuente de cd y manteniendo constante la ganancia del inversor, se puede obtener un voltaje de salida variable. Por otro lado si el voltaje de la fuente de cd es fijo, se puede variar el voltaje de salida variando la ganancia del inversor, esto se logra modificando el ancho de pulso de la señal de control, técnica que se conoce como modulación por ancho de pulso (PWM por sus siglas en inglés). La ganancia del inversor se define como la relación entre el voltaje de salida en ca y el voltaje de entrada de cd.

En los inversores ideales, las formas de onda de voltaje de salida son senoidales, sin embargo, en los inversores reales no son senoidales (contienen componentes armónicos). El rendimiento de un inversor depende del contenido armónico del voltaje de salida; entre mayor sea el contenido armónico, mayores son las pérdidas. Actualmente con los avances en la electrónica de potencia, se fabrican dispositivos con una alta velocidad de conmutación y mediante el uso de técnicas de conmutación se puede reducir significativamente el contenido armónico del voltaje de salida de un inversor. Por su estructura los inversores se pueden clasificar en inversores de medio puente o de puente completo, este trabajo de tesis se limita al estudio del inversor PWM de medio puente.

### 1.1 Inversor de Medio Puente

El inversor de medio puente está constituido básicamente por dos dispositivos de conmutación, dos diodos de recuperación rápida y dos fuentes de cd (puede ser una sola fuente dividida por un arreglo de dos capacitores), como se puede observar en la figura (1.1). Mediante las figuras (1.1 a) y (1.1 b) se puede explicar el principio de funcionamiento del inversor de medio puente: Cada MOSFET permite que la corriente fluya de drenaje (D por la palabra inglesa Drain) a fuente (S por la palabra inglesa Source) de acuerdo a la señal de control aplicada a la compuerta (G por la palabra inglesa Gate). Durante el tiempo que  $S_1$  está activo, el voltaje instantáneo  $V_o$  a través de la carga es  $V_c/2$ . Es importante señalar que  $S_2$  no se activa mientras  $S_1$  permanezca activo y viceversa. Durante el tiempo que  $S_2$  está activo, aparece el voltaje  $-V_c/2$  a través de la carga, de acuerdo a los estados de conducción de  $S_1$  y  $S_2$  se obtiene la señal cuadrada de la figura (1.1 b), donde se observa que el voltaje cambia de polaridad. El diodo de recuperación rápida permite que la corriente fluya en sentido contrario del MOSFET, esto permite que la corriente regrese a la fuente de cd en el caso de cargas reactivas.

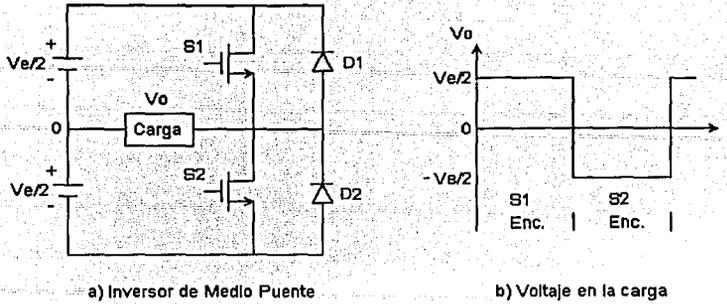


Figura 1.1 Inversor de Medio Puente.

En el diseño del circuito lógico que controlará a los circuitos de conmutación debe tomarse en cuenta que ambos circuitos conmutadores no pueden estar conduciendo al mismo tiempo, ya que existiría una condición de corto circuito entre estos, por lo que se debe considerar el tiempo de activación y desactivación del interruptor, de manera que estos nunca estén encendidos a la vez. A este tiempo se le conoce como tiempo muerto ( $t_d$ ).

## 1.2 Modelo Conmutado del Inversor de Medio Puente

En este trabajo de tesis el estudio del inversor de medio puente se enfoca a su aplicación en UPS, conformados usualmente por un circuito inversor controlado por señales PWM y un filtro de segundo orden como puede observarse en la figura (1.2), donde los interruptores  $S_1$  y  $S_2$  (en este trabajo de tesis son MOSFET) son encendidos y apagados de manera complementaria con el fin de suministrar al filtro  $L_f C_f$  una señal de voltaje cuadrada alterna, tal que en la resistencia de carga  $R_L$  se tenga un voltaje senoidal. La calidad de esta señal depende del desempeño en lazo abierto del filtro  $L_f C_f$ , es decir, depende de los valores de la inductancia  $L_f$  y del capacitor  $C_f$ . La función de este filtro es eliminar los armónicos generados por la acción de conmutación y así lograr que el voltaje senoidal de salida tenga la menor distorsión armónica posible. Los capacitores  $C_1$  y  $C_2$  son incluidos para poder usar una sola fuente de cd en vez de dos o una con tap central. La única desventaja de esto es que la potencia entregada por la fuente depende del tamaño de estos capacitores.

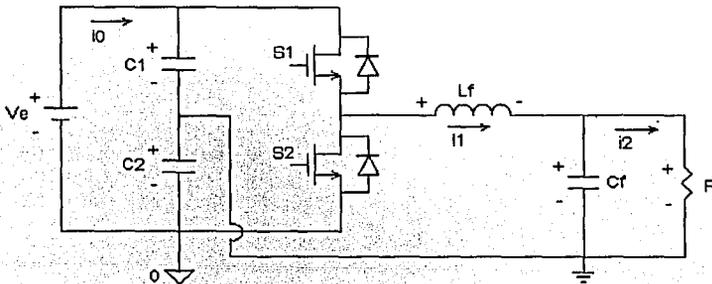


Figura 1.2 Estructura Básica de una UPS de Medio Puente.

La conmutación de  $S_1$  y  $S_2$  es controlada por la señal  $u(t)$  que pertenece al conjunto discreto  $\{0,1\}$ , esto significa que cuando  $u(t) = 1$  el interruptor  $S_1$  se cierra, mientras que  $S_2$  permanece abierto. La situación opuesta ocurre cuando  $u(t) = 0$ . El análisis de este sistema se lleva a cabo considerando de manera separada la formulación de la dinámica de cada circuito asociado al valor de  $u(t)$ . Cuando  $u(t) = 1$  se obtiene el circuito mostrado en la figura 1.3 (a), donde  $S_1$  está encendido y  $S_2$  permanece apagado, mientras que cuando  $u(t) = 0$ , se obtiene el circuito mostrado en la figura 1.3(b), donde  $S_2$  se enciende y  $S_1$  se apaga.

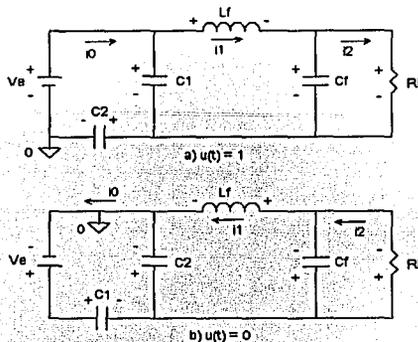


Figura 1.3. Estados de operación del inversor de Medio Puente.

El modelo del circuito de la figura (1.3 a) cuando  $u = 1$  se obtiene aplicando la ley de voltajes de Kirchoff a cada una de las mallas llegando a las siguientes ecuaciones:

$$\frac{1}{C_1} \int (i_0 - i_1) dt + \frac{1}{C_2} \int i_0 dt = V_c$$

$$L_f \frac{di_1}{dt} + \frac{1}{C_f} \int (i_1 - i_2) dt = \frac{1}{C_1} \int (i_0 - i_1) dt \quad (1.1)$$

$$R_l i_2 - \frac{1}{C_f} \int (i_1 - i_2) dt = 0$$

Por su parte el modelo del circuito de la figura (1.3 b) cuando  $u = 0$  se obtiene aplicando el mismo procedimiento, obteniendo las siguientes ecuaciones

$$\frac{1}{C_1} \int i_0 dt + \frac{1}{C_2} \int (i_0 - i_1) dt = V_c$$

$$L_f \frac{di_1}{dt} + \frac{1}{C_f} \int (i_1 - i_2) dt = \frac{1}{C_2} \int (i_0 - i_1) dt \quad (1.2)$$

$$R_l i_2 - \frac{1}{C_f} \int (i_1 - i_2) dt = 0$$

Comparando las ecuaciones (1.1) con (1.2) se observa que solo el voltaje en los capacitores  $C_1$  y  $C_2$  es afectado por la posición del interruptor, lo cual se comprueba de manera sencilla comparando los circuitos de las figuras (1.3 a) y (1.3 b). Con base en lo anterior se puede proponer un nuevo conjunto de ecuaciones que representen al inversor en ambos estados de  $u$ :

$$\frac{1}{C_1} \int (i_0 - ui_1) dt + \frac{1}{C_2} \int [i_0 - (1-u)i_1] dt = V_e \quad (1.3)$$

$$L_f \frac{di_1}{dt} + \frac{1}{C_f} \int (i_1 - i_2) dt = \frac{1}{C_1} \int u(i_0 - ui_1) dt - \frac{1}{C_2} \int (1-u)[i_0 - (1-u)i_1] dt \quad (1.4)$$

$$R_f i_2 - \frac{1}{C_f} \int (i_1 - i_2) dt = 0 \quad (1.5)$$

Es fácil notar que cuando  $u$  toma los valores:  $u = 1$  y  $u = 0$ , se recuperan respectivamente las ecuaciones correspondientes a cada estado de  $u$ , por lo que partiendo de estas ecuaciones diferenciales conmutadas se puede obtener el modelo conmutado del inversor de medio puente. A partir de la ecuación (1.3) se tiene que

$$\frac{1}{C_1} \int u(i_0 - ui_1) dt = uV_e - \frac{1}{C_2} \int u[i_0 - (1-u)i_1] dt$$

sustituyendo este resultado en la ecuación (1.4) se obtiene

$$L_f \frac{di_1}{dt} + \frac{1}{C_f} \int (i_1 - i_2) dt = uV_e - \bar{V}_{C2} \quad (1.6)$$

donde  $\bar{V}_{C2} = \frac{1}{C_2} \int [i_0 - (1-u)i_1] dt$  es el voltaje promedio a través del capacitor  $C_2$ . Si se toman como variables de estado la corriente en el inductor  $L_f$  y el voltaje en el capacitor  $C_f$ , es decir

$$x_1 = i_1; x_2 = \frac{1}{C_f} \int (i_1 - i_2) dt$$

entonces sustituyendo estas variables en las ecuaciones (1.5) y (1.6) pueden describirse como

$$L_f \dot{x}_1 = -x_2 + uV_e - \bar{V}_{C2} \quad (1.7)$$

$$C_f \dot{x}_2 = x_1 - \frac{1}{R_f} x_2$$

Las ecuaciones (1.7) son el modelo conmutado en el espacio de estado del inversor de medio puente, a partir del cual puede obtenerse un modelo promediado.

### 1.3 Modelo Promediado del Inversor de Medio Punte

Debido a que el inversor de medio puente es regulado por una señal de control de modulación por ancho de pulso (PWM por sus siglas en inglés), se hace necesario obtener un modelo promediado que permita describir un sistema esencialmente discreto como un sistema continuo. Esto se hace con la finalidad de proponer una ley de control que permita usar las variables de estado muestreadas en vez de las promediadas. Para proponer el modelo promediado, es necesario conocer primero como está definida la política de regulación PWM.

#### 1.3.1 Modulación por Ancho de pulso (PWM)

La modulación por ancho de pulso es una técnica de control de reguladores de voltaje que permite modificar el valor promedio del voltaje de salida variando el ciclo de trabajo del pulso manteniendo constante la frecuencia de la señal. Existen diversas variantes de esta técnica, sin embargo el objetivo en todas es generar la señal modulada a partir de la comparación de dos señales; una señal portadora (referencia) y otra moduladora (variable), los sistemas conmutados regulados por PWM pueden tener una o varias entradas de control. En este trabajo de tesis se considera una sola señal de control  $u$  para definir el estado de  $S_1$  y el complemento de esta para controlar el estado de  $S_2$ . Los valores de  $u$  se encuentran siempre dentro del conjunto discreto binario  $\{0,1\}$ , en este contexto podemos suponer que la función de posición del interruptor es siempre 0 excepto en un intervalo finito de tiempo donde toma el valor de 1, este intervalo es conocido como pulso y la duración de dicho intervalo es conocido como ancho de pulso. La técnica de modulación PWM implica un proceso de muestreo realizado a una frecuencia fija. En cada instante de muestreo es determinado el estado del sistema controlado, tal que el ancho del pulso es especificado para el actual ciclo de muestreo. El ancho  $T$  del intervalo de muestreo se conoce como ciclo de trabajo y la fracción de este tiempo que es ocupado por el valor unitario del pulso se conoce como tiempo útil o tiempo de trabajo y se denota por  $\mu$ . Debido a que existen diversos esquemas PWM, aquí se considera que el pulso comienza en el instante de muestreo  $t_k$  y termina antes de que el intervalo de muestreo finalice, es decir antes de  $t_k + T$  (ver figura 1.4). Si el pulso ocupa todo el periodo de muestreo o ninguna parte de este decimos que el tiempo de trabajo opera bajo condiciones de saturación. Por consiguiente la función de tiempo de trabajo  $\mu$  tomará valores del intervalo cerrado continuo  $[0,1]$  en el inversor de medio puente. De acuerdo a lo anteriormente expuesto el principio de modulación PWM es

$$u = \begin{cases} 1, & \text{para } t_k < t \leq t_k + \mu T \\ 0, & \text{para } t_k + \mu T \leq t < t_k + T \end{cases} \quad (1.8)$$

donde  $t_{k+1} = t_k + T$ ;  $k = 0,1,\dots$

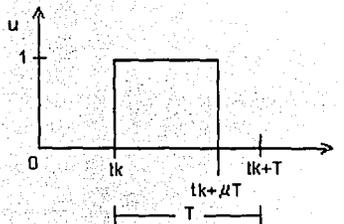


Figura 1.4. Política de modulación PWM.

Debido a que es difícil la determinación exacta del estado del sistema controlado en los instantes de muestreo  $t_k$  para una función del tiempo de trabajo dada, se hace necesario el uso de un modelo promediado del sistema PWM regulado. El modelo de espacio promediado es usado como sustituto del modelo conmutado, este describe el comportamiento en tiempo continuo del sistema PWM regulado cuando el intervalo de muestreo tiende a cero. En este sentido, en [Ortega, 1998] se demuestra como en la política de regulación (1.8) la entrada de control discreta  $u$  es sustituida por la función continua pero saturable del tiempo de trabajo  $\mu$ . El modelo aproximado del sistema PWM regulado permite transformar un problema de control no-lineal en esencia discreto, en un problema de control no-lineal continuo. El valor de  $\mu$  determina en todo instante de muestreo  $t_k$  el ancho del próximo pulso  $\mu T$ , esto significa que el tiempo que dure el pulso dentro del periodo  $T$ ;  $u = 1$  como puede verse en la figura (1.4), en este caso el interruptor  $S_1$  estará encendido. En este sentido, si se considera el periodo  $T$  como un valor unitario, entonces  $\mu$  es una función que toma valores en el intervalo cerrado  $[0,1]$ .

Con base en lo anteriormente expuesto, se puede obtener el modelo promediado sustituyendo en las ecuaciones (1.7) la función  $u$  por la función del tiempo de trabajo  $\mu$  y las variables de estado conmutadas  $x_1$  y  $x_2$  por las variables de estado promediadas  $z_1$  y  $z_2$  respectivamente, aplicando el mismo procedimiento que se usó para el modelo conmutado se obtiene

$$\begin{aligned} L_f \dot{z}_1 &= -z_2 + V_e \mu - \bar{V} c_2 \\ C_f \dot{z}_2 &= z_1 - \frac{1}{R_f} z_2 \end{aligned} \tag{1.9}$$

Este es el modelo promediado del inversor de medio puente, donde las variables de estado  $z_1$  y  $z_2$  denotan respectivamente; la corriente promedio del inductor  $L_f$  y el voltaje promedio de salida del capacitor  $C_f$ , los cuales dependen de los valores que tome la variable  $\mu$  dentro del intervalo  $[0,1]$ .

#### 1.4 Ley de Control Basada en Pasividad para el Inversor de Medio Puente

La ley de control para el inversor de medio puente propuesta en [Noriega, 2001] regula el tiempo de trabajo de los interruptores ( $S_1$  y  $S_2$ ) con base en un esquema de inyección de amortiguamiento con el fin de modificar la disipación de energía del sistema, es decir, explota la energía asociada al sistema aprovechando tanto las propiedades físicas del sistema original del inversor, como su estructura en lazo cerrado, buscando mantener la pasividad del sistema. Esta técnica es conocida como control basado en pasividad (CBP), y ha sido empleada con éxito en la regulación de diversos sistemas; tales como robots, motores eléctricos y convertidores reguladores de potencia en, [Ortega, 1998], [Escobar, 1999], [Noriega, 2000] y [Noriega, 2001].

El controlador CBP está encaminado a resolver el problema específico de mejorar el desempeño del inversor, donde, el objetivo de control es mantener el voltaje  $z_2$  en el capacitor de salida  $C_f$ , lo mas cercano posible a la trayectoria de una señal de referencia  $z_{2d}$  (que en el caso de una UPS es senoidal). Para llevar a cabo el control del inversor de medio puente descrito por el modelo promediado, es necesario tener una frecuencia de muestreo lo suficientemente grande para que el modelo sea válido y por lo tanto también la ley de control. Además se debe de tomar en cuenta que: la fuente de cd solo puede proporcionar al inversor una corriente finita y las siguientes suposiciones:

Suposición 1.1 Todos los parámetros de la planta (inversor) son conocidos excepto el valor de la resistencia de carga  $R_f$ .

Suposición 1.2 La corriente en el inductor del filtro  $z_1$  y el voltaje en el capacitor del filtro  $z_2$  se pueden medir.

Suposición 1.3 El voltaje de la fuente de cd,  $V_e$  es constante y diferente de cero.

Suposición 1.4 Dado que los valores de los capacitores  $C_1$  y  $C_2$  son iguales<sup>1</sup>, la señal de voltaje  $\bar{V}_{C2}$  puede ser sustituida por  $\bar{V}_{C2} = V_e/2$ .

La última suposición permite que el voltaje en  $C_2$  no tenga que ser medido. Considerando el modelo promediado del inversor de medio puente de la figura (1.2) descrito por las ecuaciones (1.9), el objetivo de control y las suposiciones anteriores, se propuso en [Noriega, 2001] la siguiente ley de control:

$$\mu = \frac{1}{V_e} [\bar{V}_{C2} + L_f \dot{z}_{1d} + z_{2d} - k_1(z_1 - z_{1d})] \quad (1.10)$$

donde  $k_1$  es una constante positiva,  $z_{2d} = E \text{ sen } \omega t$  es el comportamiento deseado para el voltaje en el capacitor de salida, el cual cumple con la relación

$$\frac{V_e}{2} \geq |z_2|_p = |z_{2d}|_p$$

y  $z_{1d}$  una función acotada que define el desempeño deseado para la corriente en el inductor  $L_f$ , la cual se obtiene como la solución de la siguiente ecuación

$$z_{1d} = C_f \dot{z}_{2d} + \hat{\theta} z_{2d} \quad (1.11)$$

en donde  $\hat{\theta}$  es el valor estimado del parámetro  $\theta = \frac{1}{R_f}$  y es la solución de la ley de adaptación

$$\dot{\hat{\theta}} = -\gamma z_{2d} z_2 \quad (1.12)$$

en esta ecuación se define la variable del error de estimación como  $\tilde{\theta} = \hat{\theta} - \theta$  donde se sabe de antemano que el parámetro  $\theta$  es un valor positivo, ya que es el inverso del valor de la carga  $R_f$  o una conductancia. Además  $z_2 = z_2 - z_{2d}$  es el error entre el voltaje en el capacitor y el voltaje deseado; bajo estas condiciones el sistema en lazo cerrado permite un control de seguimiento de voltaje y de corriente, es decir  $\lim_{t \rightarrow \infty} (z - z_d) = 0$  con señales internas acotadas. Dadas las ecuaciones

<sup>1</sup> No solo deben ser iguales en capacitancia, sino también en la capacidad de manejo de energía para que dividan la fuente de manera simétrica.

anteriores se espera que el error  $z$  tienda a cero conforme el tiempo tiende a infinito mientras que el estimado del parámetro  $\theta$  permanecerá acotado.

La estructura del controlador CBP parte del comportamiento natural del sistema, analizando el modelo promediado dado en (1.9) se puede observar que la corriente deseada en el inductor de la ecuación (1.11) parte de la corriente que puede circular en el capacitor y de la corriente que circula por la carga. Por su parte, la corriente deseada  $z_{1d}$  también depende del valor de la resistencia de carga, ya que si el valor de esta resistencia disminuye la corriente que circula por esta será mayor y el caso contrario si  $R_l$  aumenta. Debido a que  $R_l$  es un valor desconocido se hace necesario el uso de una ley de adaptación (1.12) con el fin de que la ley de control compense las variaciones en la carga. Dicha ley de adaptación explota la dinámica de error del voltaje  $z_2$  junto con una ganancia de adaptabilidad  $\gamma$  para obtener el valor estimado del parámetro  $\theta$ , donde dicha ganancia permite mantenerlo acotado. De acuerdo a lo anterior es fácil notar que al retroalimentar al voltaje  $z_2$  se consigue que la ley de control sea adaptable. Por otro lado en la ley de control de la ecuación (1.10) se observa que es necesario retroalimentar la corriente para obtener el termino de amortiguamiento  $-k_1(z_1 - z_{1d})$ , ya que con dicho termino se logra modificar la amplitud de  $\mu$  ante variaciones en la carga mediante el error entre la corriente en el inductor  $z_1$  y la corriente deseada  $z_{1d}$ . La velocidad de respuesta del controlador depende del valor de  $k_1$ , entre más grande sea este más rápida será la respuesta del controlador, sin embargo la manera en que varía  $\mu$  es más pronunciada por lo que se tiene que hacer un compromiso entre estos dos factores para determinar el valor de  $k_1$ .

En resumen, el esquema de control basado en pasividad explota las características pasivas del sistema, es decir, controlando la corriente en el inductor se puede controlar indirectamente el voltaje en el capacitor del filtro (que es el objetivo de control). Con base en lo expuesto antes, se pueden hacer las siguientes observaciones acerca del controlador:

Observación 1.1. El controlador resuelve la incertidumbre paramétrica (de la carga) usando una ley de adaptación, pero, para que el controlador sea adaptable es necesaria la retroalimentación total de las variables de estado.

Observación 1.2 El controlador CBP requiere que se cumpla la suposición 1.3, ya que la ley de control se satura si disminuye demasiado el voltaje  $V_c$  perdiéndose el control del inversor. Al parecer esta es una desventaja inherente al controlador, sin embargo esta es también una restricción natural del sistema ya que la fuente suministra la energía consumida por el inversor.

## Capítulo 2

### Implantación del Esquema de Control CBP

Este capítulo consiste en el análisis de la problemática de implantación del esquema de control basado en pasividad en un sistema de bajo costo, así como de las soluciones propuestas para cumplir con este objetivo. La implantación del esquema de control basado en pasividad, consiste en desarrollar un programa que permita al microcontrolador hacer el cálculo de la ley de control  $\mu$  y generar las señales de control PWM para cada período de muestreo, con el fin de controlar el inversor de medio puente.

#### 2.1 Criterios de Implantación

Para la implantación del esquema de control CBP se tomaron en cuenta factores como las suposiciones 1.1 – 1.4 referentes al inversor de la figura (1.2) y la ley de control de la ecuación (1.10), se estipularon los siguientes criterios de implantación:

- 2.1 El voltaje  $z_2$  en el capacitor de salida  $C_f$  y la corriente  $z_1$  en el inductor  $L_f$  de la figura deben ser obtenidos mediante medición.
- 2.2 El voltaje  $V_{C2}$  en el capacitor  $C_2$ , es constante y diferente de cero, por lo que no es necesaria su medición.
- 2.3 El voltaje  $V_e$  se considera diferente de cero y constante, por lo que no es necesaria su medición.
- 2.4 El valor del voltaje deseado está dado por  $z_{2d} = E \sin \omega t$  para el caso de UPS.
- 2.5 La frecuencia de muestreo debe ser lo suficientemente grande para permitir que el esquema de control sea válido, pero suficientemente pequeña para reducir costos, ya que existe un compromiso entre desempeño y costo.
- 2.6 La conmutación del inversor será controlada por una política de regulación PWM dada en la ecuación (1.8). La señal PWM controlará la conmutación de  $S_1$  y su complemento<sup>2</sup> controlará la conmutación de  $S_2$ .
- 2.7 Para obtener la solución de la ley de adaptación hay que integrar dicha ecuación y para obtener el voltaje en el inductor hay que derivar la corriente deseada  $z_{1d}$ , lo cual debe ser tomado en cuenta para el cálculo de  $\mu$ .
- 2.8 El cálculo de  $\mu$  y las acciones de control deben de ser ejecutadas por un microcontrolador comercial de bajo costo.

Dados los criterios anteriores se puede definir un plan de trabajo. Dado que el problema principal de la implantación consiste en obtener el cálculo de  $\mu$  y llevar a cabo las acciones que permitan

---

<sup>2</sup> Se dice que son complementarias porque mientras una señal tiene un voltaje lógico alto, la otra tiene un voltaje lógico bajo y viceversa.

controlador el inversor de medio puente. Se observa que el problema inmediato es la selección de un microcontrolador que permita cumplir con los criterios antes citados.

## 2.2 Selección del Microcontrolador

Antes de llevar a cabo la implantación, es necesario seleccionar el microcontrolador ( $\mu\text{C}$ ) donde implantar el esquema o ley de control CBP para el inversor de medio puente. La selección se basa en los criterios definidos en la sección anterior. Dado el criterio 2.1 que estipula que el voltaje  $z_2$  y la corriente  $z_1$  deben estar disponibles mediante medición, es decir, se tienen que retroalimentar en el controlador CBP y dado que estas señales son analógicas y un microcontrolador sólo maneja cantidades digitales, es necesario que el  $\mu\text{C}$  cuente con un convertidor analógico-digital (ADC por sus siglas en inglés) que le permita muestrear y convertir estas señales analógicas en señales digitales con una resolución suficiente para que las señales digitales sean lo más aproximadas a las señales originales. El  $\mu\text{C}$  debe tener por lo menos dos canales de conversión que permitan retroalimentar  $z_1$  y  $z_2$  con una diferencia de tiempo muy pequeña y la frecuencia de muestreo que puede manejar el  $\mu\text{C}$  debe cumplir con el criterio 2.5. Con el fin de cumplir con el criterio 2.6, el  $\mu\text{C}$  debe tener al menos dos salidas capaces de generar señales PWM (una para controlar  $S_1$  y otro para controlar  $S_2$ ). Dados los criterios restantes 2.2, 2.3 y 2.7, la arquitectura del  $\mu\text{C}$ , el conjunto de instrucciones y la memoria del  $\mu\text{C}$  deben permitir generar los valores deseados y calcular el valor de  $\mu$  en cada periodo de muestreo. Finalmente el costo de implantación debe ser bajo.

Una vez que se han analizado todos estos criterios, se llega a la selección del microcontrolador MSP430F149 cuyo fabricante es Texas Instruments. Este microcontrolador cumple con los criterios anteriores con base en las siguientes características:

- a) El MSP430F149 tiene tres generadores de señales de reloj; uno interno y dos que necesitan un oscilador externo de cuarzo, el rango de frecuencias al que puede trabajar el  $\mu\text{C}$  va de 32 KHz a 8MHz, lo cual permite cumplir con el requerimiento 2.5.
- b) Cuenta con un ADC de 12 bits, con lo cual se tiene una resolución de 4095 pasos con respecto al voltaje de referencia, el cual puede ser externo o interno. El ADC tiene disponibles 8 canales de conversión y ejecuta una conversión en 13 ciclos de reloj. Si el  $\mu\text{C}$  trabaja a una frecuencia alta, se puede cumplir con el requerimiento de que la diferencia entre la medición de  $z_1$  y  $z_2$  se lleve a cabo en un tiempo muy pequeño.
- c) Tiene dos temporizadores el Timer\_A y el Timer\_B, ambos con capacidad de generar señales PWM y dentro de un período de muestreo predeterminado, con lo que se puede cumplir con el criterio 2.6. Adicionalmente los temporizadores tienen la capacidad de generar los tiempos muertos entre dos señales PWM.
- d) El MSP430F149 cuenta con una arquitectura ortogonal<sup>3</sup> y siete modos de direccionamiento, lo cual permite acceder a todo el espacio de memoria con un conjunto de instrucciones reducido y de fácil aplicación, el cual permite ejecutar todas las operaciones que requiere la ley de control, excepto la de división, que sin embargo se puede ejecutar por medio de las otras instrucciones.

---

<sup>3</sup> Este tipo de arquitectura se describe en la sección A.2 del apéndice A.

- e) Cuenta con 60 KB + 256B de memoria FLASH, la cual es programable eléctricamente, esto es necesario en un proyecto de este tipo. Además cuenta con 2KB de memoria RAM.
- f) Por último el costo del microcontrolador es bajo, por lo que cumple con el objetivo de implantar el controlador CBP en un sistema de bajo costo. Más aún, como una característica atractiva adicional, la herramienta de desarrollo del  $\mu C$  es también de bajo costo, con lo que se confirma su utilidad en la satisfacción de la restricción de costo impuesta.

### 2.3 Soluciones Propuestas al Problema de Implantación

Una vez seleccionado el  $\mu C$  en el cual se implantará la ley de control CBP lo que sigue es proponer soluciones que permitan implantar dicha ley en el  $\mu C$  y llevar a cabo la evaluación experimental del mismo. Dado que la implantación de la ley de control en el  $\mu C$  consiste en desarrollar un programa que permita calcular el valor de  $\mu$  y, a partir de este valor, generar las señales de control PWM, los problemas principales que se presentan son:

- 1) Cómo generar las señales deseadas en tiempo discreto con un periodo de muestreo determinado.
- 2) Dado que; para obtener el valor estimado del parámetro  $\theta$  es necesario obtener la solución ley de adaptación de la ecuación (1.12) integrando.
- 3) Es necesario obtener la derivada de la corriente deseada  $z_{1d}$  como se puede observar en la ecuación (1.10).

#### 2.3.1 Generación de las Señales Deseadas en Tiempo Discreto

Para la solución del problema de generar las señales deseadas en tiempo discreto, específicamente el voltaje  $z_{2d}$  se analizan dos posibles soluciones; la primera, es generar este voltaje senoidal a partir de series de potencias, la segunda opción consiste en obtener los valores discretos de esta senoidal a partir de una tabla almacenada en la memoria del  $\mu C$ . La primera opción implica tiempo de ejecución dentro del código de programa para el cálculo de la senoidal y dado que el tiempo de ejecución para el cálculo de  $\mu$  debe ser el mínimo con el fin de tener el mayor número de muestras posible, esta opción se descarta. La segunda opción es la que se adopta, ya que el voltaje deseado es un valor conocido, así los valores tabulados sólo requieren ser llamados de la memoria lo cual solo le toma unas cuantas instrucciones al  $\mu C$ , haciendo de esta la alternativa más conveniente.

Antes de ser almacenados en la memoria del  $\mu C$  los valores tabulados de  $z_{2d}$  deben ser generados a partir de una función senoidal discreta de acuerdo a la frecuencia del voltaje senoidal y al número de muestras deseado. Para determinar el número de muestras se toma un valor arbitrario considerando que debe ser el mayor número posible dentro del rango de frecuencia de operación del  $\mu C$ . Además debe cumplir con la condición  $T < 1/(2 f_M)$  que establece el teorema de muestreo [Pallas, 1993]. De acuerdo a la disponibilidad de un cristal de 7.2 MHz se determina un número arbitrario de 120 muestras, ya que cumple con ambas restricciones. Este número de muestras permite tener un período de muestreo de 138  $\mu\text{seg}$  o 1000 ciclos de reloj, que al ser un entero permite que la frecuencia de la senoidal generada sea exactamente de 60 Hz. Con base en los datos anteriores se obtiene la senoidal discreta a partir de la siguiente deducción.

Siendo  $z_{2d}$  una función continua dada por

$$z_{2d} = E \text{sen} \omega T_z \quad (2.1)$$

Dada la naturaleza periódica de  $z_{2d}$  basta conocer sus valores dentro del periodo  $T_z$ .

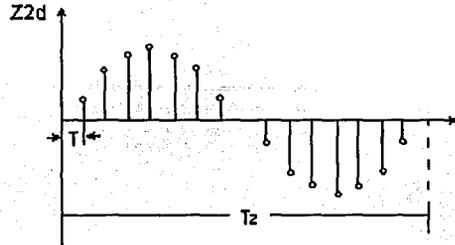


Figura 2.1 Senoidal discreta

Si  $z_{2d}$  es afectado por una señal de muestreo de periodo  $T$  se obtiene la señal muestreada de la figura (2.1), a partir de la cual se puede deducir la siguiente relación

$$T_z = nT \quad (2.2)$$

donde  $n$  es el número de muestras  $T$  es el periodo de muestreo y  $T_z$  es el periodo de la señal muestreada. Sabemos que  $\omega = 2\pi f$  y sustituyendo la ecuación (2.2) en (2.1) se obtiene

$$z_{2d} = E \text{sen} 2\pi f (nT) \quad (2.4)$$

Por otro lado, de (2.2) se obtiene

$$T = \frac{T_z}{n} = \frac{1}{f_z n} \quad (2.5)$$

y dado que la frecuencia deseada de  $z_{2d}$  es de 60 Hz y que  $n = 120$ , se sustituyen estos valores en (2.5) y posteriormente sustituyendo (2.5) en (2.4), se obtiene

$$z_{2d} = E \text{sen} \frac{n\pi}{60} \quad (2.6)$$

esta ecuación define los valores discretos para el voltaje  $z_{2d}$  con un número de 120 muestras por ciclo. Con este número de muestras se cumple perfectamente con la condición establecida por el teorema de muestreo, es decir  $138 \mu\text{seg} < 1/(120 \text{ Hz})$ . La frecuencia de operación del  $\mu\text{C}$  seleccionado permite tener esta frecuencia de muestreo, donde el programa implantado se debe ejecutar en menos de 1000 ciclos de reloj del  $\mu\text{C}$ .

Una vez obtenido el voltaje deseado  $z_{2d}$  el siguiente paso consiste en obtener el valor de su derivada. Ya que  $z_{2d}$  es un valor conocido se puede inferir que su derivada también lo es y, sabiendo que la capacitancia  $C_f$  también es un valor conocido se pueden obtener los valores muestreados de la corriente deseada en  $C_f$  a partir de una tabla. Con base en lo anterior y que la derivada de  $z_{2d}$  es

$$z_{2d} = \omega E \cos \omega t \quad (2.7)$$

que es función del tiempo continuo, tomando como base las ecuaciones (2.6) y (2.7), que  $C_f$  es un valor conocido y sabiendo que  $\omega = 120\pi$  se puede deducir la siguiente ecuación

$$z_{2d} = 120\pi C_f E \cos \frac{n\pi}{60} \quad (2.8)$$

esta ecuación sirve para obtener los valores muestreados de del término  $C_f z_{2d}$  que se guardan en la memoria del  $\mu C$  en una tabla de los valores, no sin antes establecer ciertas consideraciones: el ADC convierte voltajes en valores numéricos con base en un voltaje de referencia y a que en el  $\mu C$  se omitirá el uso del formato de punto flotante en la obtención de  $\mu$  debido a que éste requiere de un tiempo mayor de ejecución. Con base en esto se hace necesaria la normalización de la ley de control, como se verá en la sección 2.4. Usando las ecuaciones (2.6) y (2.8) con sus respectivas amplitudes normalizadas, se ejecutó en Matlab 5.3 el programa que se muestra a continuación, para obtener una tabla con 120 muestras del voltaje deseado  $z_{2d}$  y de  $C_f z_{2d}$  en un ciclo (ver figura 2.2).

```
n=[1:1:120];
y=1638*sin(n*pi/60);
dz2d=((120*pi*1638*75e-6*1.44e10)/1.44e8)*cos(pi*n/60)
```

Dichos valores se graban posteriormente en la memoria del  $\mu C$  por medio del código de programa en ensamblador.

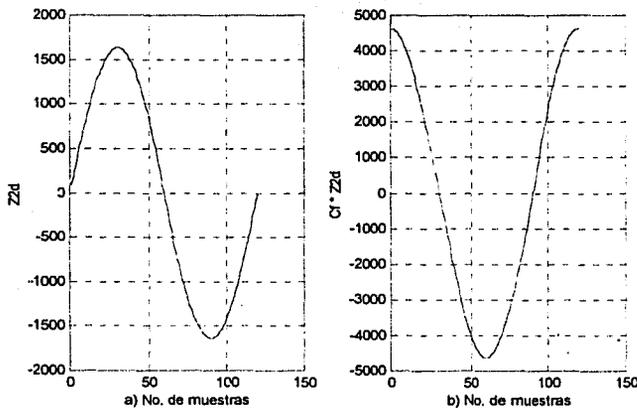


Figura 2.2. Valores tabulados de  $z_{2d}$  y de  $C_f z_{2d}$ .

### 2.3.2 Integración (Regla del Trapecio)

Como se mencionó anteriormente, para obtener el valor estimado del parámetro  $\theta$  es necesario integrar la ley de adaptación dada en (1.12). La solución a seguir para resolver este problema es el uso de métodos numéricos, ya que estos permiten aproximar el valor de una función, de su integral y de su derivada. Dado que una de las restricciones para la implantación es el tiempo de ejecución, se optó por elegir un método sencillo que permita obtener la integral de (1.7) con un error despreciable. El método seleccionado es la regla del trapecio.

Considerando una función  $f(x)$  cuando  $x$  varía desde  $x_i$  hasta  $x_{i+1}$ , Si se aplica la interpolación de Lagrange para aproximar la función desde  $[x_i, f(x_i)]$  hasta  $[x_{i+1}, f(x_{i+1})]$  por la recta

$$f(x) \cong [(x - x_{i+1})/(x_i - x_{i+1})]f(x_i) + [(x - x_i)/(x_{i+1} - x_i)]f(x_{i+1})$$

y si la función aproximada se integra analíticamente, se obtiene

$$\int_{x_i}^{x_{i+1}} f(x) dx \cong [x_{i+1} - x_i][f(x_i) + f(x_{i+1})]/2 \quad (2.9)$$

la aproximación dada en la ecuación (2.9) se denomina regla del trapecio porque el miembro derecho es el área de un trapecio con base igual a  $(x_{i+1} - x_i)$  y lados paralelos  $f(x_i)$  y  $f(x_{i+1})$  como se muestra en la figura (2.3).

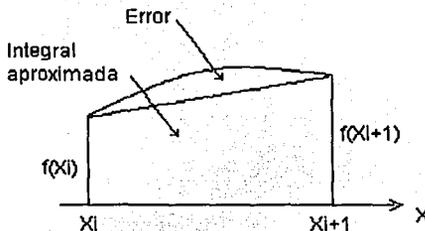


Figura 2.3 Regla del trapecio.

En el presente trabajo el intervalo  $(x_{i+1} - x_i)$  es fijo y está definido por el período de muestreo  $T$ . Por otro lado si se designan  $f(x_i)$  y  $f(x_{i+1})$  como  $a$  y  $b$  respectivamente, se puede reescribir la ecuación (2.9) con la siguiente notación

$$I = (a + b) \frac{T}{2} \quad (2.10)$$

donde  $I$  es la integral en ese intervalo de muestreo,  $a$  es el valor actual de la función a integrarse y  $b$  es el valor siguiente de dicha función. Esta notación permite ver con mayor claridad la regla trapezoidal. Sabiendo que la integral de una función se puede definir como el área bajo la curva de dicha función, a partir de la ecuación (2.10) se puede inferir que la integral de un tiempo mayor al intervalo  $[a, b]$  será la suma acumulada de  $I$ .

Con base en lo anterior y dado que la integral definida de una función seno es

$$\int_a^b \text{sen } \omega t = \left[ -\frac{1}{\omega} \cos \omega t \right]_a^b \quad (2.11)$$

Se puede evaluar este método, partiendo de la ecuaciones (2.10) y (2.11) y que se tiene un número de 120 muestras por ciclo mediante simulación digital en Matlab 5.2 como puede verse en el siguiente programa:

```
n=[1:1:120];
x=-((1/(120*pi))*cos(n*pi/60));%integral exacta
N=n(120)
y=(sin(n*pi/60));
I(1)=-2.6526*10^-3 %valor inicial de I
t(1)=0
for i=2:N,
    t(i)=((y(i)+y(i-1))/(7200*2));%Integral aproximada (Regla del Trapecio)
    I(i)=I(i-1)+t(i);
end
```

Dicha evaluación consiste en comparar la integral aproximada (regla del trapecio) con la integral exacta de una función seno como puede verse en la gráfica izquierda de la figura (2.4) , con el fin de obtener el error de aproximación (gráfica derecha), el cual es de 0.18 % con respecto a la integral exacta. Este es un error bastante pequeño, por lo que se justifica el uso de este método en la implantación de la ley de control.

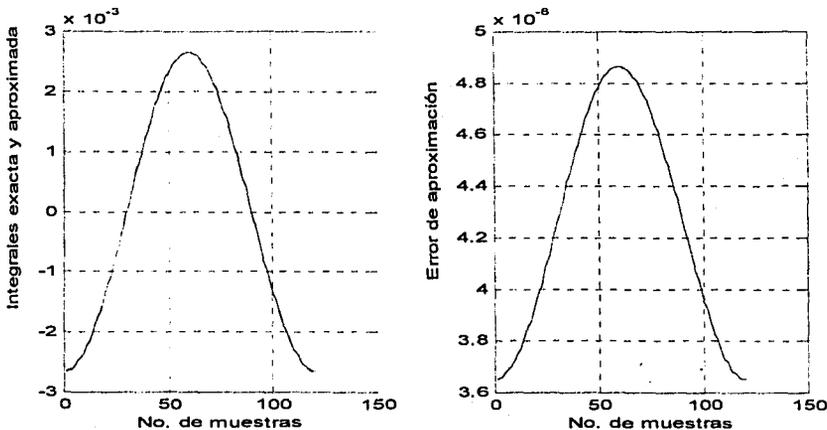


Figura 2.4 Gráfica de la Integral Exacta Vs Regla del Trapecio y error de aproximación.

### 2.3.3 Derivación (Método de Diferencias Divididas)

En la ecuación (1.10) se puede observar que es necesario derivar la corriente deseada para obtener la caída de voltaje en el inductor del filtro, por lo que se tiene que usar un método numérico que permita aproximar la derivada de la corriente deseada. A diferencia de la integración donde los errores de aproximación en diferentes segmentos del intervalo tienden a cancelarse entre sí, en la derivada el error si es significativo, porque en la derivada se esta hablando de la pendiente de la tangente en un punto dado de la función. Además de aproximar la derivada de  $z_{1d}$  con un error mínimo, se tiene también la restricción de un tiempo de ejecución corto. El método propuesto es el de diferencias divididas, este método aproxima a la derivada de una función cuando se encuentra en forma discreta de la siguiente manera

$$f'(x) \approx \frac{f(x_1) - f(x_0)}{(x_1 - x_0)} ; \quad x_0 < x < x_1 \quad (2.12)$$

donde  $f(x_1)$  es el valor actual y  $f(x_0)$  es el valor anterior de la función  $f(x)$ , por su parte  $x_1$  y  $x_0$  son los valores actual y anterior de la variable independiente. Este método aproxima a la derivada en el punto  $x$  dentro del intervalo  $x_0 < x < x_1$  y es consistente, ya que el límite del miembro derecho cuando el denominador tiende a cero es la definición de derivada. En este trabajo, el denominador de la ecuación (2.12) adquiere el valor del período de muestreo  $T$  y en el numerador  $f(x_1)$  y  $f(x_0)$  son los valores actual y anterior de  $z_{1d}$  respectivamente, por lo tanto dicha ecuación puede describirse como

$$\dot{z}_{1d} = \frac{f(x_1) - f(x_0)}{T} \quad (2.13)$$

sabiendo que  $z_{1d}$  es una función coseno, su derivada exacta es

$$\dot{z}_{1d} = -\omega \text{sen} \omega t \quad (2.14)$$

Dado que  $f = 1/T$  y que esta quedo estipulada como 7200 Hz y tomando en cuenta las ecuaciones (2.13) y (2.14) se evaluó el desempeño de este método en Matlab 5.2 con el siguiente programa:

```
n=[1:1:120];
yd=cos(pi*n/60);%Función a derivar
x=-120*pi*sin(pi*n/60);%Derivada exacta
for i=2:120
    dz1d(i)=(yd(i)-yd(i-1))*7200;%Método de Diferencias Divididas
end
```

En la gráfica izquierda de la figura (2.5) se pueden ver la derivada exacta de una función coseno contra su derivada aproximada (método de diferencias divididas). La gráfica derecha muestra el error de aproximación que es de 2.65 % con respecto a la derivada exacta. A pesar de que el error es mayor que en el caso de la integración, se justifica el uso de este método, ya que la caída de voltaje en el inductor no es un término de mucho peso en el cálculo de  $\mu$ .

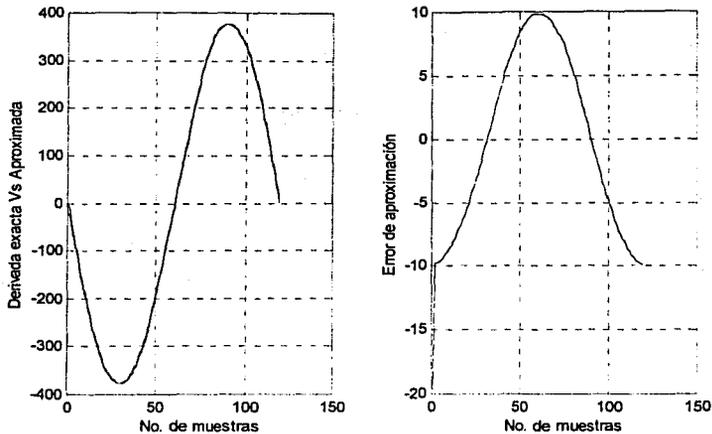


Figura 2.5 Derivada exacta contra Método de Diferencias Divididas y error de aproximación.

## 2.4 Normalización de la Ley de Control

Como se mencionó con anterioridad, la implantación del esquema de control CBP consiste en desarrollar un programa que permita al  $\mu C$  calcular la ley de control y generar las señales de control PWM con el fin de controlar al inversor de medio puente. El cálculo de la ley de control se basa en las ecuaciones (1.10), (1.11) y (1.12) y en los métodos propuestos en la sección anterior, los cuales implican en su conjunto operaciones aritméticas sencillas. Sin embargo, también es necesario tomar en cuenta que los valores convertidos por el ADC del  $\mu C$  (ADC12) están dados por la fórmula de conversión de este<sup>4</sup> y que se prescinde del uso de un formato de punto flotante<sup>5</sup>, ya que este requiere de un tiempo mayor de ejecución del programa, debido a que se tienen que convertir las cantidades con punto decimal a este formato. Ya que los registros del  $\mu C$  sólo manejan cantidades binarias que representan números decimales enteros, positivos y negativos, se hace necesario recorrer el punto decimal de las cantidades que se manejan en la ley de control con el fin de normalizarla, sin que exista por esto un error significativo. Dicha normalización consiste en afectar a la ley de control de la ecuación (1.10) por un factor de normalización  $F$  para que el  $\mu C$  pueda hacer los cálculos sin afectar la proporcionalidad de dicha ecuación. Por lo tanto, si se multiplica la ecuación (1.10) por  $F$  se obtiene

$$F\mu = \frac{1}{V_e} [F\bar{V}_{C2} + FL_f \dot{z}_{1d} + Fz_{2d} - Fk_1(z_1 - z_{1d})] \quad (2.15)$$

<sup>4</sup> Para este trabajo se selecciona el voltaje de referencia interno  $V_{REF+} = 2.5 \text{ V}$  para el ADC12, asegurando una referencia estable y una buena resolución (ver sección A.5 del apéndice A).

<sup>5</sup> El formato de punto flotante permite representar cantidades numéricas muy grandes o muy pequeñas con punto decimal usando cantidades enteras.

observando la ecuación (2.15) es fácil deducir que el factor F también está afectando a la corriente deseada dada por la ecuación (1.11), obteniendo

$$Fz_{1d} = FC_f \dot{z}_{2d} + F\hat{\theta}z_{2d} \quad (2.16)$$

donde la ley de adaptación de la ecuación (1.7) también es afectada por dicho factor, obteniendo

$$F\dot{\hat{\theta}} = -F\gamma z_{2d} z_2 \quad (2.17)$$

Para determinar la magnitud de este factor, es necesario establecer primero el algoritmo basado en los métodos propuestos en la sección 2.3 y en las ecuaciones (1.5), (1.6) y (1.7) que permita realizar el cálculo de la ley de control y simularlo para observar el comportamiento de la ley de control en su conjunto, con el fin de identificar los términos que son críticos en la determinación de este factor.

En este programa,  $z_1$  y  $z_2$  son valores aproximados, ya que en el sistema real estos son valores medidos. Estos valores se aproximaron a los valores que deben tener en el sistema real de la siguiente manera: para  $z_2$  se sabe que tiene que ser lo más parecido a  $z_{2d}$ , por lo que, tomando en cuenta que este es de  $30 V_p$  y considerando una variación de voltaje máxima de  $+ / - 5 \%$  se determina que  $z_2 = 28.5 V_p$ . Por su parte, para  $z_1$  se toma en cuenta que en  $z_{1d}$  el término de mayor peso es la corriente deseada  $C_f z_{2d}$  en el capacitor, entonces se puede estimar el valor de  $z_1$  a partir la amplitud de este término

$$AC_f z_{2d} = 120\pi(30)(75 \times 10^{-6}) = 0.848 \approx 0.85$$

donde  $AC_f z_{2d}$  es la amplitud de la corriente deseada en el capacitor, por lo tanto  $z_1 = 0.85 A_p$ .

Los valores de las ganancias son:  $\gamma = -0.0001$  y  $k_1 = 50$ . En cuanto a los valores de la inductancia  $L_f$  y de la capacitancia  $C_f$  estos se obtienen a partir del cálculo del filtro paso – bajas (ver sección 4.1.1 del capítulo 4). La ley de control se simuló en Matlab 5.3 con los valores y los métodos propuestos, como se puede ver en el siguiente programa:

```
%Ley de control CBP para un inversor de medio puente
n=[1:1:120];
z2d=30*sin(pi*n/60);           %Z2d Voltaje deseado
z2=28.5*sin(pi*n/60);         %Z2 Voltaje medido
yd=120*pi*30*75e-6*cos(pi*n/60);%Cf*Z2d', donde Cf=75 micf
z1=0.85*cos(pi*n/60);         %Z1 corriente medida
te(1)=0
tc(1)=0
for i=2:120
    ze(i)=z2(i)-z2d(i);        %Ze=Z2-Z2d
    t(i)=-0.0001*ze(i)*z2d(i);%Gama*Ze*Z2d
    te(i)=(t(i)+t(i-1))/(2*7200);%Integración (Regla del Trapecio)
    tc(i)=tc(i-1)+te(i);      %Integral=Acumulado=Teta
    s(i)=tc(i)*z2d(i);        %Teta*Z2d
```

```

z1d(i)=(yd(i))+s(i);      %Z1d=Cf*Z2d'+Teta*Z2d
dz1d(i)=(z1d(i)-z1d(i-1))*7200;%Z1d',Derivación,método de Euler
k(i)=-50*(z1(i)-z1d(i)); %-k(Z1-Z1d)
l(i)=16.67e-3*dz1d(i);   %Lf*Z1d', donde Lf=16.67 mH
m(i)=(l(i)+30+z2d(i)+k(i));%M, donde Vc2=30 Vcd
mu(i)=m(i)/60;          %Ley de control Mu, donde Ve=60 Vcd
end

```

En la gráfica de la figura (2.6) se puede ver el comportamiento esperado de la ley de control, la cual debe estar acotada dentro de un valor mínimo de 0 y un valor máximo de 1. En dicha figura se puede observar un pico al comienzo de la gráfica debido al transitorio. Sin embargo, en los ciclos subsecuentes la ley de control permanece acotada entre 0 y 1. Cabe aclarar que la frecuencia de la ley de control es la misma que la del voltaje senoidal que se quiere generar y controlar (60 Hz).

A partir de este programa se puede simular la ley de control y obtener los valores de los diferentes términos de ésta. Aquí se observa que la integral de la ley de adaptación (que en el programa está representada como  $tc(i)$ ), se obtiene un valor muy pequeño como se puede observar en la gráfica izquierda de la figura (2.7). En la gráfica derecha de la misma figura se puede ver la ley de control sin estar dividida por  $V_c$  (representada en el programa por  $m(i)$ ). Estos valores son los que determinan la magnitud del factor que afectará a  $\mu$  ya que con el término más pequeño (valor estimado de  $\theta$ ) se determina la magnitud del factor  $F$  y con el valor más grande (transitorio de  $m(i)$ ) se determina que tan grande puede ser  $F$  de acuerdo al número de registros del  $\mu C$  que se usarán para calcular  $\mu$ .

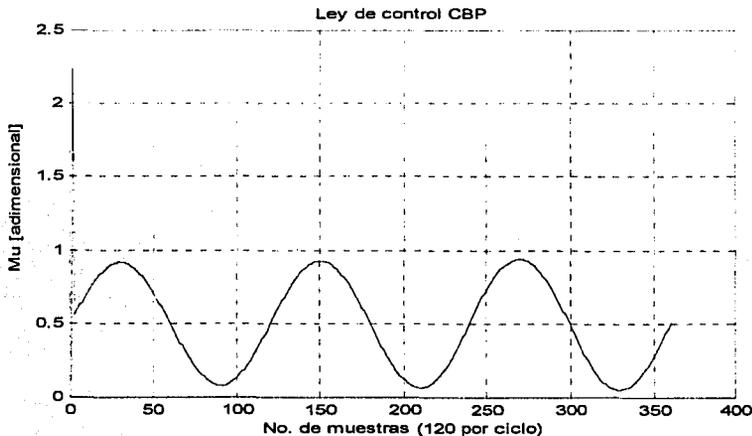


Figura (2.6) Ley de control CBP.

El problema en esta aplicación, consiste en evitar que el error de truncamiento afecte el desempeño del controlador. Para recorrer el punto decimal de estas cantidades se pueden considerar dos soluciones.

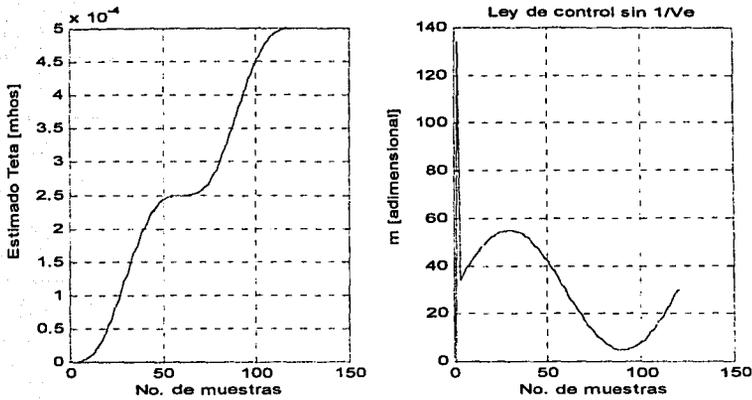


Figura 2.7. Valores críticos de la ley de control.

La primera consiste en usar una instrucción del  $\mu C$  que permite recorrer las cifras de una cantidad hacia la izquierda. Esto es equivalente a multiplicar una cantidad con punto decimal por potencias de 10, pero esto tiene las desventajas de que, sólo se pueden recorrer las cifras de cantidades enteras (ya que el  $\mu C$  no puede manejar cantidades con punto decimal, excepto con el formato de punto flotante), por lo que no se pueden introducir desde un principio cantidades con punto decimal, y la otra desventaja es que sólo se pueden recorrer cierto número de cifras (en el caso de este  $\mu C$  15 cifras), por lo que esta opción se descarta. La segunda solución consiste en afectar desde un principio la ley de control por un factor  $F$ , lo suficientemente grande con el fin de recorrer el punto decimal de las cantidades que se manejan en el cálculo de  $\mu$ , de tal forma que el error de truncamiento no afecte el desempeño del controlador. Esta solución permite usar solamente cantidades enteras en el  $\mu C$ , y el error de truncamiento depende de la magnitud del factor que afecta la ley de control. Una vez identificados los valores críticos, el paso siguiente es determinar la magnitud del factor  $F$ . Tomando en cuenta que en  $F$  también debe considerarse la relación de conversión del ADC12, por lo que se descompone  $F$  en dos factores

$$F = F_1 F_2$$

Ya que los valores convertidos por el ADC12 se tendrán que ajustar posteriormente. En la figura (2.7) se puede ver que la solución  $\hat{\theta}$  de la ley de adaptación es un valor positivo muy pequeño y debe ser muy aproximado al valor del parámetro  $\theta$ , por ejemplo  $4.54 \times 10^{-4}$  cuando  $R_l = 2.2$  K. La ganancia  $\gamma$  permite que este estimado permanezca acotado dentro de un valor positivo muy pequeño, en este caso se considera que  $\gamma = 0.000001$ , un valor suficientemente pequeño. Debido a que esta ganancia es un valor constante, puede afectar a la ley de adaptación antes, durante o después de la integración de dicha ley. Si dicha ganancia afecta al término  $te(i)$  dentro del programa se tendrá

$$te(i) = (t(i) + t(i-1)) * (-0.000001 / (14400)) = (t(i) + t(i-1)) * (-1 / 14.4e10)$$

De aquí se infiere que, para que esta cantidad fraccionaria se pueda manejar como una cantidad entera, se debe multiplicar por un factor  $F_1 = 14.4 \times 10^{10}$ , por lo que el término quedará como sigue

$$te(i) = (t(i) + t(i-1)) * (-1)$$

de donde es fácil deducir que el valor entero  $-1$  es el valor de la ganancia  $-\gamma$ , el valor absoluto de dicha ganancia puede ser diferente de 1, siempre y cuando no sea un valor muy grande.

Por su parte,  $F_2$  está determinado por la fórmula de conversión del ADC<sup>6</sup> (donde  $V_{REF+} = 2.5$  V) y por la relación de transformación determinada como 30:1 para la retroalimentación de  $z_2$ , donde para un voltaje deseado de  $30 \text{ sen } 120\pi t$  [V<sub>p</sub>] se tendrá  $1 \text{ sen } 120\pi t$  [V<sub>p</sub>] como señal de entrada del ADC, lo cual equivale en valor numérico a

$$N_{z2} = 4095(1/2.5) = 1638$$

Donde  $N_{z2}$  es el valor numérico convertido correspondiente a  $30$  V<sub>p</sub> de  $z_2$ . Sustituyendo esta amplitud numérica en las ecuaciones (2.6) y (2.8) se generan mediante simulación digital en

Matlab 5.3 los valores discretos de  $z_{2d}$  y de  $C_f z_{2d}$ , donde los valores del último término se dividen por un factor de ajuste de  $1.44 \times 10^9$  obteniendo una amplitud de 4631, ya que en una palabra 16 bits no pueden almacenarse cantidades tan grandes. Posteriormente se recupera la amplitud real multiplicando por el factor de ajuste dentro del programa. De acuerdo a la fórmula de conversión del ADC y a la relación de transformación el valor de  $F_2$  es

$$F_2 = 4095(1/2.5)(1/30) = 54.6$$

Multiplcado este factor por  $F_1$  se obtiene el factor total  $F = 7.8624 \times 10^{10}$ . Este factor no sólo permite normalizar los valores de  $\mu$  de acuerdo al ADC, también permite prescindir del uso de un formato de punto flotante. La ley de control afectada por  $F$  se simuló en Matlab 5.3 mediante el siguiente programa:

```
%Ley de control CBP afectada por F1=1.44e10 y F2=54.6
n=[1:1:480];
z2d=1638*sin(pi*n/60);           %z2d voltaje deseado
z2=1556*sin(pi*n/60);           %z2 voltaje medido
dz2d=120*pi*1638*75e-6*1.44e10*cos(pi*n/60); %Cf*z2d'donde Cf = 75 micf
z1=46.41*1.44e10*cos(n*pi/60);  %z1 corriente medida
te(1)=0;
ta(1)=0;
for i=2:480
    ze(i)=(z2(i)-z2d(i));        %Ze error de voltaje
    t(i)=-ze(i)*z2d(i);         %-Gama*ze*z2d (ley de adaptación)
    te(i)=(t(i)+t(i-1));        %Regla del trapecio
    ta(i)=ta(i-1)+te(i);        %Teta (estimado) = Acumulado
    s(i)=ta(i)*z2d(i);          %Teta*z2d
    z1d(i)=dz2d(i)+s(i);        %se suma ccn Cfz2d'y se obtiene Z1d
    dz1d(i)=(z1d(i)-z1d(i-1))*120;%z1d' (método de Diferencias Divididas),
    %incluye el valor de Lf = 16.67 mH
    k(i)=-1*(z1(i)-z1d(i));      %-k(z1-z1d)
    m(i)=((1638+z2d(i))*1.44e10+dz1d(i)+k(i)); %Mu sin 1/Ve
    mt(i)=m(i)/(3276*1.44e10);  %Mu
end
```

<sup>6</sup> Dicha fórmula se puede verificar en la sección A.5 del apéndice A correspondiente a módulos periféricos del MSP430.

En el programa es fácil observar como  $F_1$  interviene en la integración de la ley de adaptación y el voltaje  $z_{2d}$  está afectado sólo por  $F_2$  y todos los demás términos están afectados por  $F = F_1 F_2$ . Esta descomposición de  $F$  permite usar sólo números enteros en el cálculo de la ley de control. Aplicando de esta forma los factores se preserva la proporción de la ley de control, como puede verse comparando las gráficas de la figura (2.8), donde a) se obtiene a partir del término  $m(i)$  y b) se obtiene a partir del término  $mt(i)$  del programa. Aquí se observa que la ley de control sólo se ve afectada en su amplitud. Por esta razón y debido a que  $V_e$  se definió como un valor constante, se puede prescindir de dicho término para el cálculo de la ley de control, esto equivale a decir que la ley de control se está multiplicando por  $V_e$ .

En las gráficas de la figura 2.8 se puede ver que la amplitud de  $\mu$  crece conforme avanzan los ciclos, este comportamiento se debe a que no existe una respuesta dinámica por parte del sistema ya que se usó un valor fijo de  $z_2$  considerando una caída de voltaje del 5%. Además de que la ley de control busca compensar la caída de  $z_2$  aumentando la amplitud de  $\mu$  y por lo tanto, la ganancia del inversor.

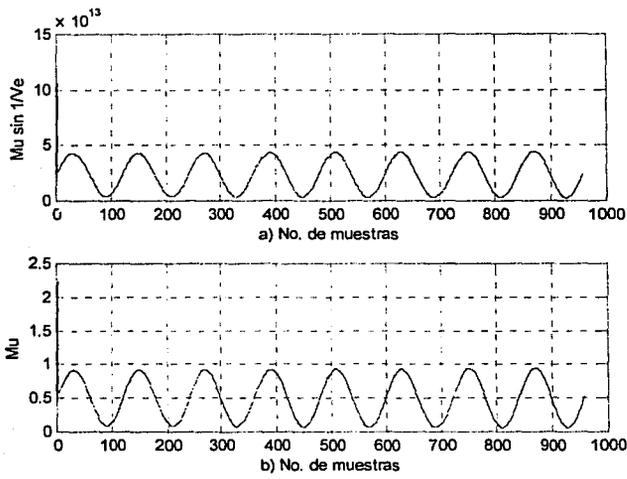


Figura 2.8. Ley de control Normalizada.

La determinación del número de registros que se usarán en el  $\mu C$  para el cálculo de  $\mu$  está basada en los valores más grandes que se manejan dentro de la ley de control (transitorio de la ley de control sin  $1/V_e$ ). En la gráfica b) de la figura (2.8) se puede observar que el mayor valor que se presenta dentro de la ley de control es el transitorio y este toma un valor máximo de  $1.1 \times 10^{14}$  aproximadamente, por lo tanto este valor sirve para determinar el número de registros que se usarán en el microcontrolador para obtener la ley de control. La cantidad que se puede almacenar en una palabra es  $2^n - 1$  y la CPU del  $\mu C$  usa palabras de 16 bits para almacenar cantidades numéricas, por lo tanto, la cantidad que se puede almacenar en una palabra de 16 bits es  $2^{16} - 1 = 65535$ . Entonces para almacenar una cantidad del orden de  $10^{13}$  se tendrán que usar por lo menos tres palabras de 16 bits del  $\mu C$ . Esto implica que estarán disponibles 48 bits para almacenar las cantidades que se manejan en la ley de control, sin embargo debido a que el bit mas significativo (MSB por sus siglas en inglés) es para indicar el signo, solo se podrá disponer de 47 bits para almacenar la mantisa del número. Por lo tanto, el número negativo más grande que se puede almacenar con 3 palabras de 16

bits es  $2^{47} = 1.407374 \times 10^{14}$  y el número positivo más grande es  $2^{47} - 1$ , lo cual es suficiente para almacenar las cantidades más grandes que se manejen en el cálculo de la ley de control, considerando que el sistema por sí mismo tiene sus propias limitaciones.

## 2.5 Resultados de Simulación.

Para verificar el desempeño de la regla del trapecio y del método de diferencias divididas propuestos, se tomó como base el programa CBP\_adap\_design de Simulink usado previamente en [Noriega, 2001], modificando únicamente los bloques de integración y derivación pertenecientes a la librería de Simulink, por un bloque que emula la regla trapezoidal y otro bloque que emula el método de diferencias divididas. La ventaja de usar Simulink para simular el controlador CBP, radica en que aquí se puede simular de manera dinámica el funcionamiento del sistema en general (el inversor y el controlador). Así también permite verificar el desempeño del controlador a la frecuencia de muestreo que se determinó. En la Figura (2.10) pueden verse los bloques que se utilizaron para emular la regla trapezoidal.

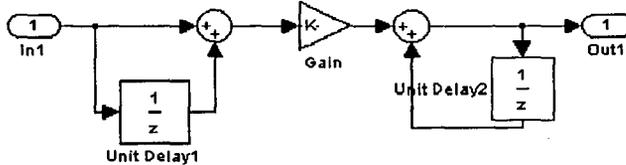


Figura 2.10. Integración (Regla del Trapecio).

Para emular el método de diferencias divididas, se usaron los bloques de la figura (2.11). Para evaluar el desempeño del controlador CBP, se ejecutó el programa CBP\_Adap\_design en Matlab 6.0 usando los métodos antes mencionados y, considerando los siguientes parámetros del sistema:  $V_e = 60$  V,  $L_f = 16.67$  mH,  $C_f = 75$   $\mu$ F y  $R_l = 2.2$ K. Considerando también los siguientes valores para las ganancias:  $\gamma = -0.002$  y  $k_1 = 20$ .

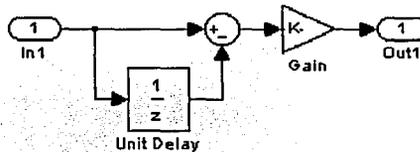


Figura 2.11. Derivación (Método de Diferencias Divididas)

A partir de la simulación se obtuvieron las gráficas de  $\hat{\theta}$  contra  $1/R_b$  de  $z_1$  contra  $z_{1d}$  y de  $z_2$  contra  $z_{2d}$  (ver figura 2.12). En la gráfica (2.12 a) se puede ver el valor estimado  $\hat{\theta}$  contra el valor real del parámetro  $\theta$ , donde este valor permanece acotado dentro del valor exacto (línea recta). En la gráfica (2.12 b) se observa el comportamiento de la ley de control  $\mu$ , donde la ley de control supera el

límite de 1 debido al transitorio. Por lo que se hace necesaria la implementación de un saturador con la finalidad de mantener a la ley de control dentro de los límites de 0 y 1 para efectos de implantación en el  $\mu\text{C}$ .

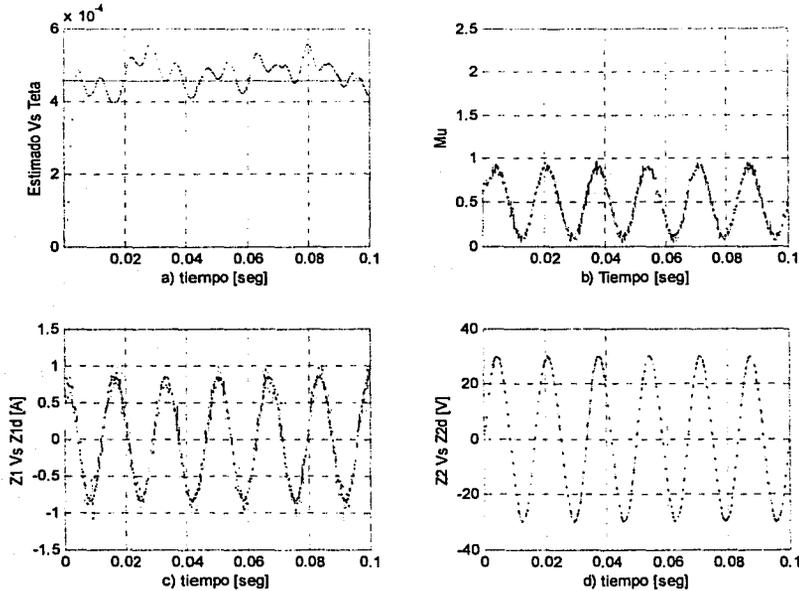


Figura 2.12. Simulación de la ley de control.

En la gráfica (2.12 c) se puede observar la corriente en el inductor  $z_1$  contra la corriente deseada  $z_{1d}$ , donde, debido al ruido introducido en la simulación se observa una distorsión en  $z_1$  con un error que se mantiene dentro del intervalo  $[-0.25, 0.25]$  Amp, como se puede ver en la figura (2.13 a). A pesar del error en la corriente se observa que se mantiene satisfactoriamente el seguimiento de  $z_{1d}$ . Finalmente, en la gráfica (2.12 d) se observa el voltaje en el capacitor de salida  $z_2$  contra el voltaje deseado  $z_{2d}$ , aquí se puede ver que en el primer ciclo el seguimiento de voltaje tiene un error significativo de 5.5 V, debido a que es el transitorio, sin embargo en los ciclos subsecuentes el seguimiento de voltaje es satisfactorio, ya que se mantiene dentro del intervalo  $[-1.2, 1.2]$  Volts, como se puede ver en la figura (2.13 b). A pesar de esto, el error de seguimiento de voltaje es mínimo ( $\pm 0.66\%$  de la amplitud de  $z_{2d}$ ) cuando el voltaje se acerca a su valor pico. A partir de estas gráficas es fácil ver que el control del voltaje se logra indirectamente controlando la corriente en el inductor, a través de la ley de control  $\mu$ .

En resumen, debido a que el formato de punto flotante que utiliza el fabricante<sup>7</sup> también requiere el uso de tres registros, además de requerir un tiempo mayor de ejecución, se justifica el uso de tres palabras para el cálculo de  $\mu$  por las razones que se expusieron anteriormente. También se justifica el uso del método de integración trapezoidal y el de derivación de diferencias divididas o de Euler

<sup>7</sup> Ver el manual MSP430 Family, Applications Reports, 2000.

modificado, debido a que, como se vio en las gráficas obtenidas mediante simulación, el error introducido por estos métodos es despreciable y no afectan el desempeño de la ley de control.

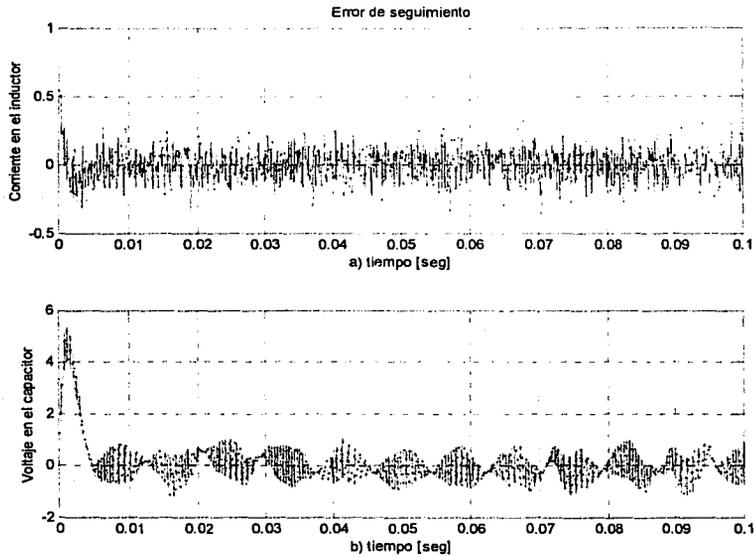


Figura 2.13. Error de seguimiento de corriente y voltaje.

## Capítulo 3

### Programación del Microcontrolador

En este capítulo se presenta el desarrollo modular del programa en lenguaje ensamblador con base en los capítulos anteriores, para la implantación del controlador CBP en el  $\mu\text{C}$ . La programación de un microcontrolador consiste en generar el código de programa (que en este trabajo se desarrolla en lenguaje de ensamblador). Posteriormente mediante un programa denominado ensamblador, el código de programa es ensamblado (interpretado) a un lenguaje de máquina que se graba en el  $\mu\text{C}$ . En este capítulo sólo se muestran los algoritmos más importantes mediante diagramas de flujo, que permitieron la implantación de la ley de control CBP en el  $\mu\text{C}$ <sup>8</sup>. Para generar el código de programa y simularlo se usó el programa IAR Embedded Workbench versión 2.31 proporcionado por el fabricante en su página Web, para depurar el programa y grabar el  $\mu\text{C}$  se usó el programa CSPY versión 2.31 junto con la herramienta de desarrollo MSP-FET430IF.

#### 3.1 Programa Principal.

Una vez normalizada la ley de control CBP, el paso siguiente es adaptar el cálculo de  $\mu$  al lenguaje ensamblador para poder implantar el esquema CBP en el  $\mu\text{C}$ . En el desarrollo del programa; no sólo se requiere establecer el algoritmo para el cálculo de  $\mu$ , también se requiere establecer las rutinas para inicializar el  $\mu\text{C}$  y los módulos que se usarán para llevar a cabo la evaluación experimental de dicho controlador. Para esto es necesario definir una estructura modular que permita inicializar el  $\mu\text{C}$ , efectuar el cálculo de la ley de control y generar las señales de control. Para el desarrollo del programa principal, es necesario definir primero las acciones que deben realizarse para llevar a cabo la implantación, esto se logra con base en los requerimientos del controlador y en los criterios de implantación que se describieron en los capítulos anteriores. Para que un microcontrolador funcione para una aplicación específica es necesario inicializar sus módulos de acuerdo a las tareas que deben realizar.

En el diagrama de flujo de la figura (3.1) se puede ver el diagrama de flujo del programa principal que permitirá implantar la ley de control CBP en el  $\mu\text{C}$ . Para generar el periodo de muestreo el contador (TBR) del temporizador (Timer\_B) cuenta hasta que se cumpla un ciclo de muestreo (mediante un ciclo de comparación). Cuando esto ha ocurrido el Timer\_B activa una interrupción y durante la rutina de servicio de interrupción enciende el convertidor analógico-digital (ADC12) dando inicio a la conversión de  $z_1$  y  $z_2$ . Una vez que se han ejecutado las conversiones el ADC12 interrumpe y mueve el contenido de su vector de interrupción al registro de propósito general R5, este contenido es el que se compara con el valor preestablecido para salir del ciclo de comparación. Este ciclo de comparación permite que TBR cuente continuamente mientras no se ejecuta el cálculo de  $\mu$ .

Una vez que termina el ciclo de comparación se calcula la ley de control y se ajusta al rango de operación de TBR, con el fin de comparar este con el valor obtenido de  $\mu$  cargado en los registros

---

<sup>8</sup> El lector interesado en el código de programa que se desarrolló y se grabó en el  $\mu\text{C}$ , debe referirse al Apéndice B.

de comparación del Timer\_B y poder generar las señales de control PWM. Entonces se verifica si las tablas han finalizado. Si esto ocurre, se carga la dirección de inicio correspondiente a cada tabla en sus respectivos registros índices y regresa al ciclo de comparación. Si no han finalizado, simplemente regresa al ciclo de comparación. El rango de operación de TBR es de 0 a 500, que corresponde a 1000 ciclos de reloj del  $\mu\text{C}$  y es igual al período de muestreo, ya que es el Timer\_B el que define la duración del período de muestreo como se verá en la sección de inicialización. Para la implantación del controlador CBP no solo hay que tomar en cuenta todos estos factores, también hay que tomar en cuenta el acondicionamiento de las señales de retroalimentación y el tiempo de ejecución del programa completo.

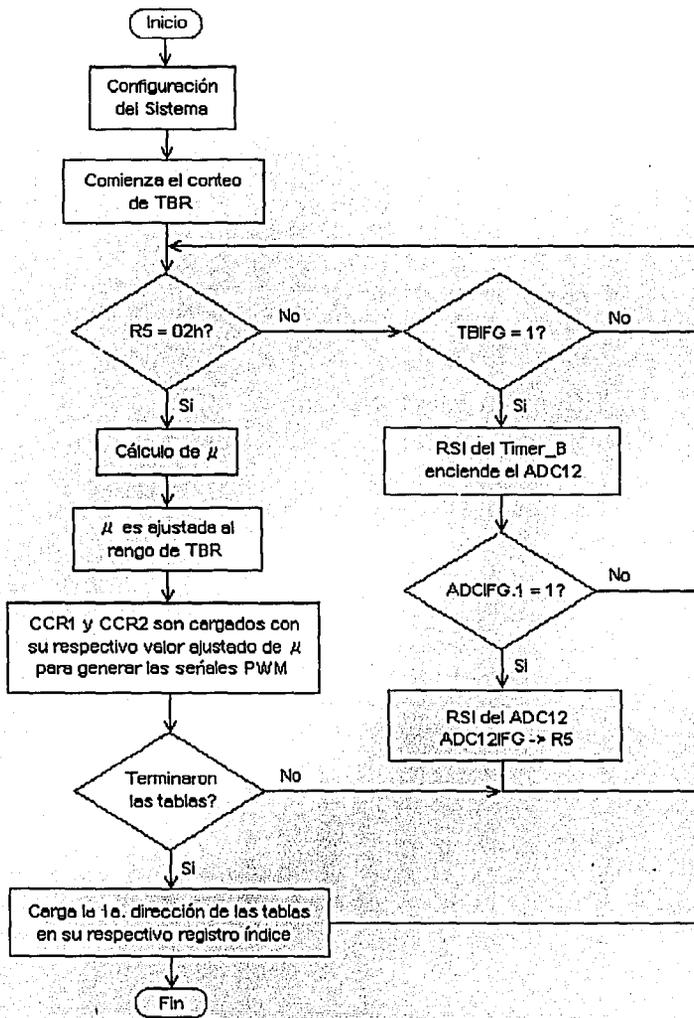
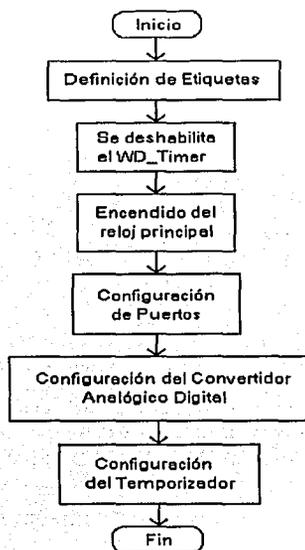


Figura 3.1. Programa principal.

### 3.2 Inicialización del Microcontrolador

Para la inicialización del  $\mu\text{C}$  se especifica el modo de operación de éste, y los módulos que se usan dependiendo de la aplicación. En el presente trabajo son: el oscilador XT2, el Timer\_B, el ADC12, el módulo de multiplicación y los Puertos P3, P4, P5 y P6.

El primer paso es asignar etiquetas a los registros que utiliza cada módulo en sus respectivas direcciones, donde los espacios de memoria asignados a cada módulo están predeterminados por el fabricante. Posteriormente se inicializa cada módulo de acuerdo a las tareas que debe realizar. En el diagrama de flujo de la figura (3.2) se puede ver de manera más detallada las acciones que se realizan para inicializar el  $\mu\text{C}$ .



TESIS CON  
FALLA DE ORIGEN

Figura 3.2. Diagrama de flujo de inicialización del  $\mu\text{C}$ .

La inicialización de estos módulos no necesariamente debe hacerse en un orden específico, ya que aquí solo se está definiendo como trabajará cada módulo en el momento que se active. Se debe tener cuidado que cuando se active un módulo, el sistema de reloj debe operar en un estado estable, para evitar que estos tengan errores o proporcionen resultados falsos. Para esta aplicación se deshabilita el WD\_Timer<sup>9</sup> ya que no es necesario.

#### 3.2.1 Encendido del Sistema de Reloj

La familia MSP430F14x a la que pertenece  $\mu\text{C}$  utilizado, cuenta con tres sistemas osciladores como fuente de reloj. El de interés para esta aplicación es el oscilador XT2<sup>10</sup>, ya que éste permite

<sup>9</sup> Temporizador que sirve para detectar errores de tiempo de ejecución del programa.

<sup>10</sup> Ver sección A.4 del apéndice A o el manual de usuario para mayor información sobre el sistema de reloj.

operar al  $\mu\text{C}$  en un rango de frecuencia de 1 a 8 MHz con un cristal externo de cuarzo. Este oscilador sirve como fuente de reloj para el sistema de reloj principal (MCLK por sus siglas en inglés) y al subsistema de reloj (SMCLK). Al encender el  $\mu\text{C}$  entra en operación automáticamente el oscilador DCO en el modo de baja frecuencia. Por medio de software<sup>11</sup> se puede encender cualquiera de los otros dos osciladores (LFXT1 y XT2) y realizar la transición de un oscilador a otro como fuente principal de reloj. La selección del cristal oscilador se hace de acuerdo a la disponibilidad de estos dispositivos en el mercado, al número máximo de ciclos que tarda la ejecución del programa principal y al número de muestras que caben dentro de la frecuencia de la señal muestreada. El número de muestras se puede determinar de manera arbitraria, siempre y cuando, cumpla con la condición que establece el teorema de muestreo [Pallas,1993]

$$T < 1/(2f_M) \quad (3.1)$$

donde  $T$  es el periodo de muestreo y  $f_M$  es la máxima componente frecuencial de la señal muestreada.

En este caso se selecciona el oscilador considerando que el número de muestras se determinó como 120 en la sección 2.3, para que la frecuencia del voltaje que se quiere generar sea la misma del voltaje deseado. Dado que la frecuencia deseada es de 60 Hz, por medio de la ecuación (2.5) del capítulo 2 se obtiene el período de muestreo

$$T = 1/(60 \cdot 120) = 138.88 \mu\text{seg}$$

Esto quiere decir que el programa principal se debe ejecutar en un tiempo menor que  $T$ , para que pueda mantener el control del sistema. Con la frecuencia de muestreo

$$f_s = 1/T = 1/138.88 \times 10^{-6} = 7200 \text{ Hz}$$

y sabiendo que está disponible un cristal de 7.2 MHz, se puede determinar que el número máximo de ciclos en que puede ejecutarse el programa es

$$C_{\text{máx}} = f_{\text{MCLK}}/f_s \quad (3.2)$$

Sustituyendo valores en (3.2) se tiene que

$$C_{\text{máx}} = (7.2 \times 10^6) / (7.2 \times 10^3) = 1000 \text{ ciclos de máquina}$$

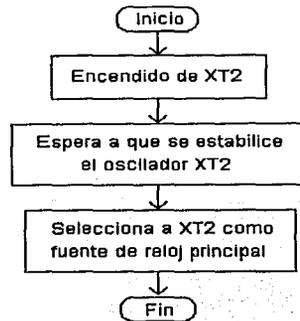
De acuerdo a las simulaciones se verifica que el programa principal se ejecuta en menos de 1000 ciclos de máquina. Además el período de muestreo cumple perfectamente con la condición (3.1) del teorema de muestreo, es decir

$$138.88 \times 10^{-6} < 1/[(2)(60)]$$

Por lo tanto la frecuencia de operación del  $\mu\text{C}$  se establece en 7.2 Mhz y la frecuencia de muestreo en 7.2 KHz con un numero de 120 muestras por ciclo (del voltaje de salida). El paso siguiente es desarrollar la subrutina que permite la transición del oscilador DCO al oscilador XT2. En el diagrama de flujo de la figura (3.3) se puede ver el algoritmo para inicializar el sistema de reloj. Donde primero se enciende el oscilador XT2, se espera a que se estabilice y se selecciona como

<sup>11</sup> Palabra inglesa que se usa para referirse a un programa o a un conjunto de estos.

fuerza principal de reloj. Para encender el oscilador hay que poner en cero el bit XT2off del registro de control BCSCCTL1 (ver sección A.4 del apéndice A). Para permitir que el oscilador seleccionado se estabilice se implementa un ciclo de retardo.



TESIS CON  
FALLA DE ORIGEN

Figura 3.3. Diagrama de flujo de inicialización del sistema de reloj.

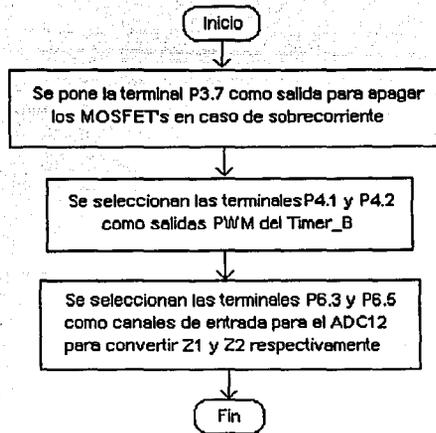
Una vez que el oscilador se ha estabilizado se pone este como fuerza principal de reloj. Con esta subrutina se consigue que el  $\mu\text{C}$  opere con una frecuencia de 7.2 MHz. Es importante aclarar que la selección del cristal, el número de muestras y la frecuencia de muestreo, se determinan una vez que se ha finalizado el programa principal, para saber cuantos ciclos se tarda la ejecución de este y determinar así el periodo de muestreo.

### 3.2.2 Configuración de Puertos

La configuración de puertos consiste en definir las terminales de los puertos del  $\mu\text{C}$  como entradas o salidas, además de definirlos como puertos de propósito general o puertos de algún módulo en particular. Al encender, el  $\mu\text{C}$  define a todos los puertos como entradas y los asigna como puertos de propósito general. En este trabajo se usan los puertos P3, P4, P5 y P6. Las terminales P3.0 a P3.5 y P5.0 a P5.3 son usadas como entradas de propósito general para introducir los valores de las ganancias  $\gamma$  y  $k_1$  respectivamente. La terminal P3.6 se usa como entrada para la señal que activa el programa principal y la terminal P3.7 se usa para activar la terminal SD<sup>12</sup> del circuito impulsor que controla el apagado de los MOSFET's (en caso de sobrecorriente). Las terminales P4.1 y P4.2 se usan como salidas de las señales PWM que genera el Timer\_B. Finalmente las terminales P6.4 y P6.6 son usadas como entradas del ADC12, para convertir las señales analógicas  $z_1$  y  $z_2$ .

En el diagrama de la figura (3.4) se puede ver que solo se configuran algunas terminales, ya que, por las condiciones iniciales de algunas de ellas no es necesario modificarlas. Las únicas terminales que se configuran son : P3.7, P4.1, P4.2, P6.4 y P6.6. La terminal P3.7 se define como salida para controlar la terminal SD del circuito impulsor. Para la terminal P3.6 no es necesario introducir modificación alguna, ya que las condiciones iniciales de dicha terminal se adecuan a la tarea que le ha sido asignada.

<sup>12</sup> Ver la hoja de datos del circuito integrado IR210 cuyo fabricante es International Rectifier.



TESIS CON  
FALLA DE ORIGEN

Figura 3.4 Configuración de puertos.

La terminal P4.1 se define como salida PWM para controlar la terminal LIN del circuito impulsor y P4.2 como salida PWM para HIN. La terminal P4.1 sirve para controlar a  $S_2$  y P4.2 para controlar a  $S_1$ . Dichas señales de control PWM son complementarias, es decir mientras una se encuentra en un nivel lógico alto, la otra permanece en un nivel lógico bajo. Esto permite que el encendido de los interruptores  $S_1$  y  $S_2$  sea complementario como se especificó en el capítulo 1. Las terminales P5.0 a P5.3 no necesitan modificaciones, ya que el estado inicial de dichas terminales es como entradas de propósito general. Las terminales P6.3 y P6.5 como entradas para el ADC12. la terminal P6.5 queda asignada para convertir la corriente  $z_1$  y la terminal  $z_2$  queda asignada para convertir el voltaje  $z_2$ .

### 3.2.3 Configuración del Convertidor Analógico-Digital

La función que desempeña el ADC12 es convertir a valores digitales el voltaje medido  $z_2$  y la corriente medida  $z_1$  con el fin de retroalimentarlos en la ley de control. Debido a que el ADC12 sólo puede manejar voltajes positivos y dado que el voltaje y la corriente de retroalimentación son alternos, se tiene que convertir primero a voltajes positivos. La solución propuesta a este problema es sumar las señales de retroalimentación a un voltaje de referencia ( $V_{dc}$ ), resultando una señal positiva como se puede ver en la figura (3.5). Dicho voltaje debe ser estable para evitar el muestreo de valores falsos de las señales de retroalimentación.

El ADC12 puede tomar como referencias voltajes externos o internos, en este caso se usa el voltaje de referencia interno  $V_{REF+} = 2.5$  V y la referencia  $AV_{SS} = 0$  V, los cuales se seleccionan por medio del programa. El ADC12 tiene dos registros de control: ADC12CTL0 y ADC12CTL1. Con dichos registros se controla la manera en la que opera el ADC12<sup>13</sup>.

<sup>13</sup> Ver sección A.5 del apéndice A

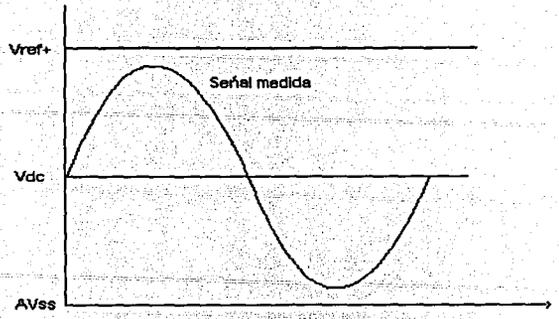
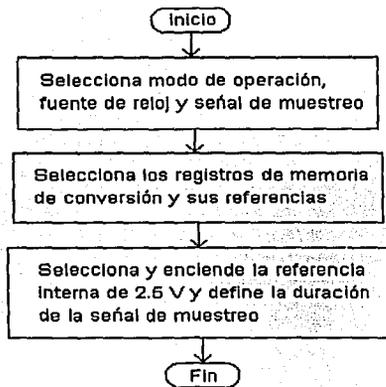


Figura 3.5. Señal medida por el ADC12.

En el diagrama de flujo de la figura (3.6) se puede ver la configuración del ADC12. Donde se selecciona el modo de conversión del ADC12, que para ésta aplicación se selecciona el modo de secuencia de canales.



TESIS CON FALLA DE ORIGEN

Figura 3.6. Diagrama de flujo de la inicialización del ADC12.

Se selecciona como fuente de reloj el subsistema principal de reloj (SMCLK) y se selecciona la fuente de la señal de muestreo. Posteriormente se seleccionan los registros donde se desea almacenar los resultados de conversión de cada canal y con el bit EOS se selecciona el registro de memoria donde se desea que termine la secuencia de conversiones. En este caso solo son dos canales los que se tienen que convertir, por lo que se seleccionan los registros de memoria ADC12MEM0 Y ADC12MEM1, el bit EOS se pone en uno en el último registro y la secuencia de conversión termina con este registro. Finalmente, se selecciona la fuente de referencia en el registro de control ADC12CTL0. La referencia interna seleccionada (2.5 V) se activa y se selecciona el tiempo de muestreo y retención. La duración de este tiempo está dada por la siguiente fórmula

$$T_{MR} = 4 \times ADC12CLK \times n \quad (3.4)$$

donde ADC12CLK es la duración de cada ciclo de reloj del ADC12, que es de 138 ns, n está dada por los bits SHT0, que en este trabajo es  $n = 2$ , por lo que el tiempo de muestreo y retención es

$$T_{MR} = 4 \times 138 \text{ nseg} \times 2 = 1.11 \text{ } \mu\text{seg}$$

Estando en 1 el bit ENC la mayoría de los bits de los registros de control del ADC12 no se pueden modificar, el convertidor comenzará a convertir cuando el bit SC esté en 1. De acuerdo al diagrama de flujo de la figura (3.1), el ADC debe interrumpir una vez que haya concluido la secuencia de conversión de los canales, donde se pone una bandera de interrupción correspondiente al último registro de memoria de conversión. Si la interrupción de dicha bandera está habilitada se genera un requerimiento de servicio de interrupción, se ejecuta la instrucción presente, se guarda la dirección de la siguiente instrucción en el SP y salta a la rutina de servicio de interrupción. Esto requiere la implementación de una rutina de servicio de interrupción para el ADC12.

El acceso a los registros de memoria de conversión permite que la bandera de interrupción ADCIFG correspondiente a cada registro se borre automáticamente. Para asegurar que el ADC12 no interrumpa de manera errónea se limpia el bit de habilitación de interrupción correspondiente del registro ADC12IE. Para retornar de dicha interrupción es necesario usar la instrucción RETI, para sacar del SP la dirección de la instrucción que quedó pendiente antes de la interrupción, de lo contrario el  $\mu\text{C}$  ejecutará la línea de código que esté después de la rutina de servicio de interrupción, perdiéndose la secuencia del programa.

### 3.2.4 Configuración del Temporizador

El temporizador o Timer\_B debe generar el período de muestreo y las señales de control PWM para  $S_1$  y  $S_2$  incluyendo los tiempos muertos ( $t_d$ ) que deben existir entre el encendido y apagado de cada interruptor, para evitar un cortocircuito en el inversor.

Para generar la señales PWM el contador TBR del timer\_B debe emular el comportamiento de una señal triangular (señal portadora), cuyo ciclo de trabajo es igual al periodo de muestreo, posteriormente el valor calculado de  $\mu$  (señal moduladora) se debe comparar con el contador. Cada vez que los valores comparados son iguales se genera una señal de salida<sup>14</sup> a través de su terminal asignada. Dado que las señales PWM que controlan a  $S_1$  y  $S_2$  son complementarias, estas deben respetar el tiempo de activación y desactivación  $t_d$  de cada interruptor, en este caso para los MOSFET's seleccionados<sup>15</sup> se especifican los siguientes tiempos:  $t_{d(\text{on})} = 8.2 \text{ nseg}$  y el  $t_{d(\text{of})} = 44 \text{ nseg}$ , que son respectivamente el tiempo de encendido y de apagado del dispositivo de conmutación. En la figura (3.7) se puede ver de manera gráfica la forma en que se generan las señales de control PWM junto con los tiempos muertos. En dicha figura se puede ver que el Timer\_B está operando en el modo Up/Down (ver sección A.5 del apéndice A), el contenido de TBR se compara con TBCL1 y TBCL2 para generar las señales de salida que controlan a  $S_2$  y  $S_1$  respectivamente, como se puede ver en la figura (3.7). La fuente de reloj del Timer\_B proviene de SMCLK, la cual no se divide con el fin de obtener la máxima resolución del contador TBR, es decir, dicho contador se incrementa de uno en uno hasta llegar al valor máximo TBCL0 y después se decrementa de uno en uno hasta llegar a cero.

<sup>14</sup> Dependiendo del modo de salida seleccionado.

<sup>15</sup> Ver hoja de datos del IRFP140N de International Rectifier.

El número de ciclos correspondiente al período de muestreo queda definido por el doble del contenido de TBCL0, de lo cual se puede deducir la siguiente fórmula

$$T = \frac{2 \times TBCL0}{f_{SMCLK}} \quad (3.5)$$

despejando TBCL0 de (3.5) y sabiendo que el periodo de muestreo se definió en la sección 3.2.1 como 138.88  $\mu$ seg con una  $f_{MCLK} = f_{SMCLK} = 7.2$  MHz, se sustituyen estos valores obteniendo

$$TBCL0 = \frac{(138.88 \times 10^{-6})(7.2 \times 10^6)}{2} = 500$$

Que es el valor numérico que debe tener dicho registro para que el timer genere un periodo de muestreo de 138  $\mu$ seg o una frecuencia de muestreo de 7200 Hz. Al dividir dicha frecuencia entre el número de muestras (120) se obtiene la frecuencia fundamental de  $z_2$ , es decir  $f = 60$  Hz.

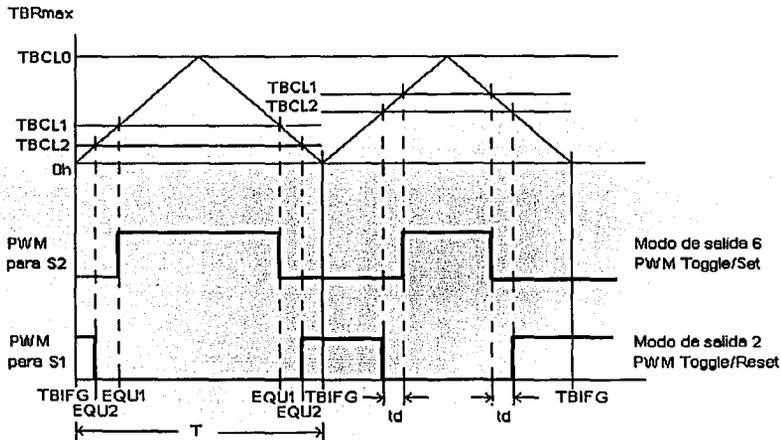


Figura 3.7. Generación de PWM con el Timer\_B.

Una vez que se ha determinado el modo de operación del Timer\_B y los modos de salida para generar las señales de control PWM, se configuran los registros de control del Timer\_B como se puede ver en el diagrama de flujo de la figura (3.8). Para definir la duración del periodo de muestreo, se carga en el registro CCR0 con el número 500. Posteriormente, mediante el registro de control TBCTL se selecciona SMCLK como fuente de reloj, el modo de operación Up/Down y se habilita la bandera de interrupción TBIFG. Posteriormente se configuran los registros de comparación CCR1 y CCR2 mediante los registros de control CCTL1 y CCTL2 respectivamente, para que CCR1 y CCR2 sean cargados de manera simultánea en TBCL1 y TBCL2 respectivamente cuando TBR cuenta a 0. Para TBCL1 se selecciona el modo de salida PWM Toggle/Set y para TBCL2 se selecciona el modo de salida Toggle/Reset.

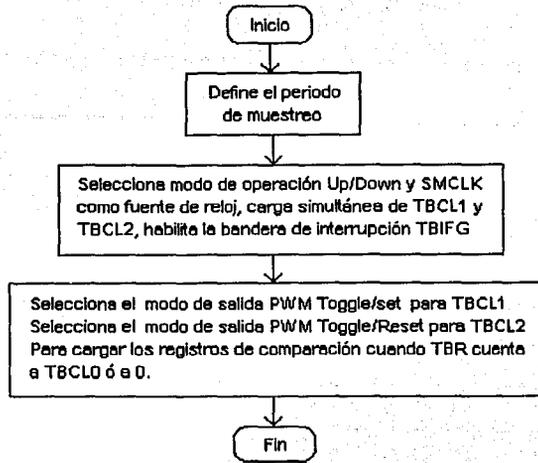


Figura 3.8. Configuración del Timer\_B.

El Timer\_B genera los periodos de muestreo (ver figura (3.7)), cuando se activa la bandera de interrupción TBIFG en el registro de control TBCTL con lo que se genera un requerimiento de interrupción, esto requiere que se implemente una rutina de servicio de interrupción del Timer\_B, en la cual se pone en cero la bandera de interrupción TBIFG para el siguiente ciclo de muestreo. Además, se activa el bit SC del ADC12 para que comience el muestreo y retención de las señales de retroalimentación  $z_1$  y  $z_2$  y habilita la bandera de interrupción ADCIFG.1 del convertidor analógico-digital para que este interrumpa cuando haya finalizado la conversión de dichas señales.

### 3.2.5 Generación de las ganancias $\gamma$ y $k_1$

Para poder modificar las ganancias  $\gamma$  y  $k_1$  que aparecen en la ley de control CBP sin necesidad de reprogramar el  $\mu\text{C}$  cada vez que se requiera modificar estas ganancias, se usan los puertos P3 y P5 para capturar estas ganancias como un valor binario, es decir, un nivel de voltaje alto o bajo por medio de un Dip switch. Dicho valor se interpreta como un valor numérico dentro del programa. Por ejemplo si se quiere introducir el valor numérico 5 para  $\gamma$ , el dip switch adquiere las siguientes posiciones que se ven en la figura (3.9).

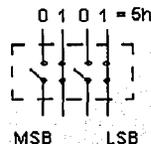


Figura 3.9. Interpretación ponderada de los niveles de voltaje.

Los niveles de voltaje de cada terminal se interpretan de manera ponderada como un valor numérico y se guardan en una localidad de la RAM. Para interpretar los niveles de voltaje binarios se revisa la terminal correspondiente al bit menos significativo (LSB por sus siglas en inglés), si está en un nivel alto, este voltaje se lee como un 1 binario y por lo tanto se mueve dicho bit a el LSB de la localidad seleccionada de RAM como puede verse en el diagrama de flujo de la figura (3.10).

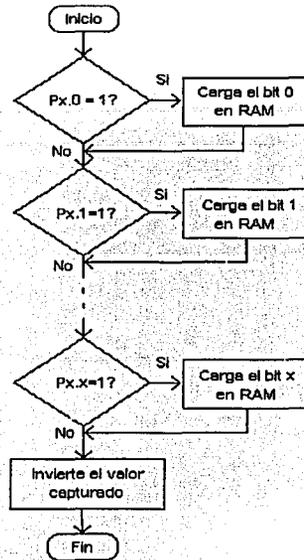


Figura 3.10. Algoritmo para obtener las ganancias  $\gamma$  y  $k$  externamente.

El mismo procedimiento se aplica con las terminales subsecuentes hasta obtener el bit más significativo (MSB) que se haya determinado. Posteriormente se invierte el valor numérico que se ha interpretado y guardado, en el caso del ejemplo se ha guardado el número 0005h en la localidad de memoria RAM, después de invertir este número se obtiene el número FFFBh que es el valor correspondiente a  $-5$  en base decimal. Este algoritmo se puede aplicar para obtener las ganancias  $\gamma$  y  $k_1$ , ya que ambas son valores negativos dentro de la ley de control. La única diferencia es que para  $\gamma$  se usan 4 bits y para  $k_1$  se usan 6 bits, por lo tanto el máximo valor que se puede obtener para  $\gamma$  es 15 y para  $k_1$  es 63. El valor de  $\gamma$  debe ser muy pequeño, por lo que no es necesario que se introduzca un valor muy grande. Por su parte  $k_1$  no necesariamente debe ser muy grande, de acuerdo a las simulaciones de MATLAB y SIMULINK, por lo que se justifica el número de bits respectivo para generar las ganancias.

En la subrutina para generar  $\gamma$  puede verse que solamente se revisan las terminales P5.0 a P5.3 del puerto 5 y el valor obtenido se guarda en la primera localidad de la RAM. En la subrutina para generar  $k_1$  se revisan 6 terminales; de P3.0 a P3.5 del puerto 3 y se usa la segunda localidad de la RAM para almacenar el valor de  $k_1$ .

### 3.3 Subrutinas para el Cálculo de $\mu$ .

Como se mencionó en el capítulo 1 el control del inversor de medio puente se logra mediante una política de modulación PWM, a partir del cálculo de la ley de control  $\mu$ . Tomando en cuenta esto y que en el capítulo 2 se establecieron los algoritmos y la normalización necesaria para que el  $\mu$ C realice el cálculo de  $\mu$ . Se puede abordar el problema de la implantación de la ley de control CBP en el  $\mu$ C. Dicha implantación consiste en desarrollar las rutinas que le permitan al  $\mu$ C obtener el valor de  $\mu$  en cada período de muestreo, con el fin de generar así las señales de control PWM.

El programa de simulación normalizado de la sección 2.4, es el que se toma como base para el algoritmo que se implantará en el  $\mu$ C, con el fin de obtener el cálculo de la ley de control CBP en cada periodo de muestreo. En la Figura (3.11) se puede ver el diagrama del flujo correspondiente al cálculo de  $\mu$ . Primero se generan los valores deseados  $z_{2d}$  y  $C_f z_{2d}$ , cargando los valores deseados actuales a un registro de propósito general.

Posteriormente se resta el nivel de voltaje  $V_{cd}$  que se sumo a las variables retroalimentadas  $z_1$  y  $z_2$  con el fin de obtener señales de ca y se resta el valor actual de  $z_{2d}$  al valor convertido de  $z_2$  con la finalidad de obtener la señal de error de voltaje  $Z$  (que en el diagrama se denomina  $z_e$ ). Dicha señal de error se multiplica por  $z_{2d}^{16}$  y por  $-\gamma$  con el fin de obtener la ley de adaptación, usando la regla del trapecio se obtiene el valor estimado del parámetro  $\theta$ . El estimado se multiplica por  $z_{2d}$  para

obtener la corriente estimada en la carga  $R_l$  y se ajusta  $C_f z_{2d}$  con el fin de sumarlo a la corriente estimada en la carga, de donde se obtiene la corriente deseada en el inductor  $z_{1d}$ . El valor actual de  $z_{2d}$  se suma al valor constante de  $V_{C2}$ , dicha suma se multiplica por  $F$  obteniéndose el término  $F(z_{2d} + V_{C2})$ , que se guarda en tres localidades de RAM. Posteriormente se obtiene la derivada de  $z_{1d}$  usando el método de diferencias divididas, donde está implícito el valor de la inductancia  $L_f$  por lo

que en un mismo proceso se obtiene el término  $L_f z_{1d}$ , este valor se suma después al término  $F(z_{2d} + V_{C2})$ . Después se ajusta el valor de  $z_1$  y aprovechando el valor negativo de  $z_1$  que se obtiene al usar el método de diferencias divididas se obtiene el término  $(z_1 - z_{1d})$ , que se multiplica por  $-k_1$ , obteniéndose el término  $-k_1(z_1 - z_{1d})$  que se suma a los términos anteriores, de lo cual se obtiene el valor de  $\mu$  multiplicado por  $V_e$ . El cálculo de la ley de control finaliza en este punto, ya que  $V_e$  es un valor constante que solo afecta la amplitud de la ley de control. Por otro lado, independientemente de la amplitud que tenga la ley de control, esta se tiene que ajustar al rango de operación del Timer\_B para poder generar las señales de control PWM, por lo que no es imprescindible dividir el resultado obtenido entre  $V_e$ .

Una vez definido el algoritmo general que le permite al  $\mu$ C obtener el cálculo de  $\mu$  se pueden definir de manera modular y detallada, las subrutinas necesarias para dicho cálculo.

---

<sup>16</sup> A partir de esta multiplicación se usan tres registros para las operaciones restantes, debido a que las cantidades manejadas son muy grandes.

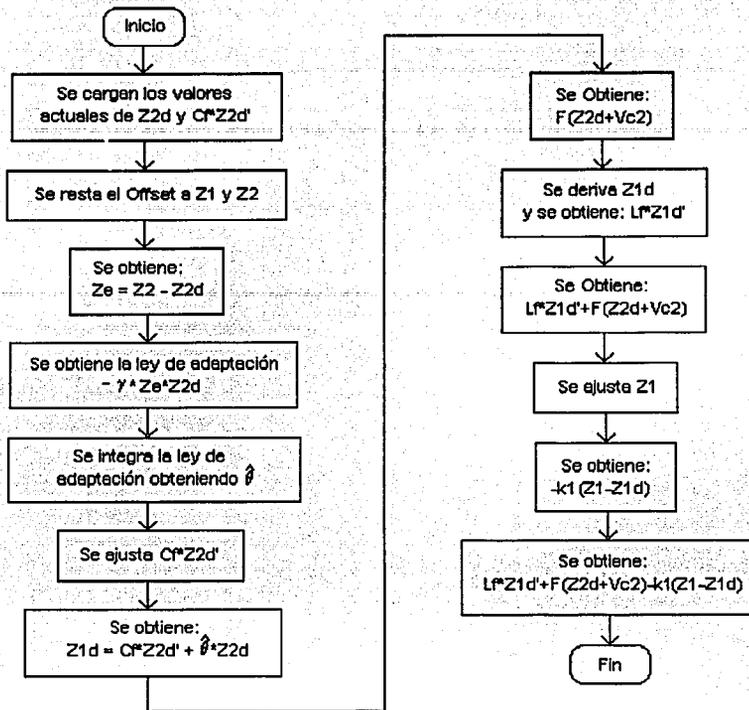


Figura 3.11. Cálculo de la ley de control.

### 3.3.1 Subrutinas para generar las Señales Deseadas

La generación de las señales deseadas  $z_{2d}$  y  $C_f Z_{2d}$  se logra a partir de una tabla (almacenada en la memoria del  $\mu C$ ) que contiene los valores discretos de dichas señales. El valor correspondiente a cada ciclo de muestreo se obtiene a través de una rutina que usa un registro índice, permitiendo recuperar de la memoria la muestra presente del valor deseado e indicar la localidad del siguiente valor deseado, como se ve en el diagrama de flujo de la figura (3.12). El algoritmo sirve para generar ambos valores deseados, solo se tienen que asignar diferentes registros índices. Las etiquetas de las tablas en el programa son SEN\_TAB y DEVZ\_TAB respectivamente.

El primer paso es asignar un registro que indique la localidad donde está contenido el valor presente de la tabla. Después se indica la localidad donde comienza la tabla (indicado por la etiqueta). Posteriormente se mueve el contenido de la localidad que está indicando el registro índice a un registro de propósito general para obtener el valor presente de la tabla. Por último se verifica si ha terminado la tabla, esto se hace comparando el contenido del registro índice con un valor establecido de acuerdo a el número de muestras, si la tabla no ha terminado, el valor siguiente de la tabla se mueve al registro en el siguiente ciclo de muestreo. Por el contrario, si la tabla ha terminado se carga otra vez la dirección de inicio de la tabla.

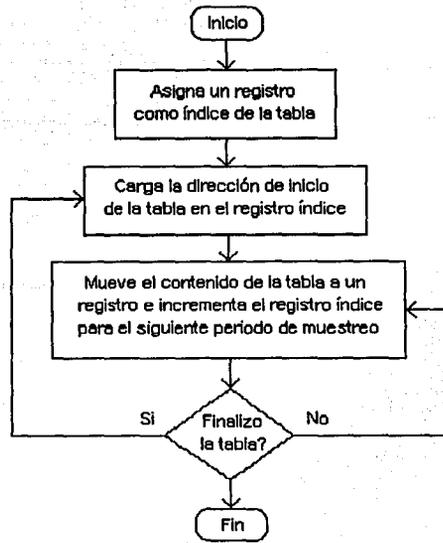


Figura 3.11. Generación de los valores deseados.

Los valores de dicha tabla no deben sobrepasar la capacidad de las localidades donde se almacenan, tanto para valores positivos como para valores negativos.

### 3.3.2 Subrutina para Obtener la Solución de la ley de Adaptación

Como se observa en el diagrama de flujo de la figura (3.10) el paso siguiente es obtener la ley de adaptación e integrarla con el fin de obtener su solución o  $\hat{\theta}$ . El método seleccionado para aproximar la integral de la ley de adaptación es la regla del trapecio, como se pudo ver en la sección 2.3.2. La ley de adaptación se obtiene mediante operaciones aritméticas sencillas, por lo que no necesitan una descripción detallada, vale la pena nombrar que para obtener la ley de adaptación primero es necesario restar el nivel  $V_{cd}$  con que se han retroalimentado las variables  $z_1$  y  $z_2$  para obtener el valor real de las variables medidas y obtener la señal de error  $Z$ . De acuerdo a los cálculos realizados para los circuitos de retroalimentación<sup>17</sup> el nivel de voltaje de cd que se sumó a  $z_1$  es  $1.248 V_{cd}$ , que de acuerdo a la fórmula de conversión del ADC12 dicho valor se convierte en

$$N_{z1} = 4095 (1.248/2.5) = 2044$$

donde  $N_{z1}$  es el valor numérico de  $V_{cd}$  para retroalimentar  $z_1$ . Para  $z_2$  es de  $1.16 V$  que en valor numérico del ADC12 es

$$N_{z2} = 4095 (1.16/2.5) = 1900$$

<sup>17</sup> Estos cálculos se pueden verificar en el capítulo 4.

TESIS CON  
FALLA DE ORIGEN

Donde  $N_{z2}$  es el valor numérico de  $V_{cd}$  para la retroalimentación de  $z_2$ . Dichos valores son los que se restan a los valores convertidos de  $z_1$  y  $z_2$  respectivamente.

La integración se obtiene a partir de los valores actual y anterior de la ley de adaptación, como se puede ver en el diagrama de flujo de la figura(3.12).

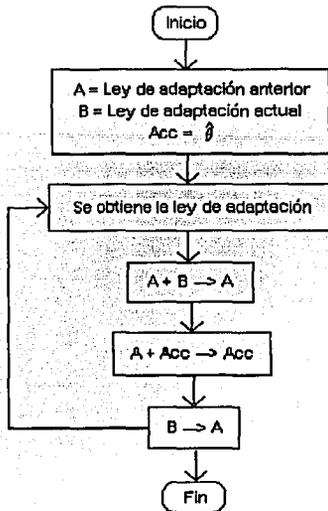


Figura 3.12. Integración de la ley de adaptación.

La ley de adaptación se obtiene en el período de muestreo actual (designado como B), el valor inicial de A es 0, al sumarse  $A + B$  se obtiene el valor de la integral para ese período de muestreo. Ya que la ley de control se multiplicó por  $F$  el término  $T/2$  está implícito en  $(A + B)$ . Posteriormente la integración del intervalo presente se suma a un valor acumulado cuyo valor inicial también es 0, este valor acumulado representa la integración de la ley de adaptación para el intervalo de 0 a infinito, es decir durante el intervalo de tiempo que el sistema esté funcionando. Finalmente, el valor de la integral almacenado en B en el periodo actual se asigna como el valor anterior A para el próximo período de muestreo de tal forma que se pueda continuar con el ciclo de integración.

### 3.3.3 Subrutina para obtener el Voltaje en el Inductor

Para obtener  $L_f z_{1d}$  se obtiene primero  $z_{1d}$  sumando los términos  $\theta z_{2d}$  y  $C_f z_{2d}$ , éste último se multiplica primero por un factor de ajuste ( $1.44 \times 10^8$ ). Una vez que se ha obtenido la corriente deseada  $z_{1d}$  se deriva mediante el método de diferencias divididas donde se multiplica por la frecuencia de muestreo entre el valor de la inductancia, esto permite reducir el proceso de derivación a una suma y una multiplicación. En el diagrama de flujo de la figura 3.13 se puede ver el algoritmo para obtener dicho término.

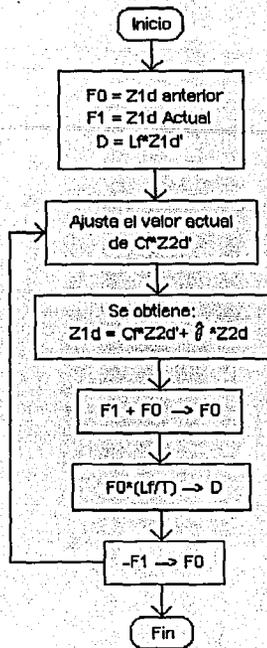


Figura 3.13. Algoritmo para obtener  $L_f z_{1d}$ .

En el método de diferencias divididas se resta el valor anterior  $F_0$  de la función del valor actual  $F_1$ , en el diagrama de flujo de la figura (3.13) se puede ver que los valores actual y anterior de  $z_{1d}$  ( $F_1$  y  $F_0$  respectivamente) se suman, esto es debido a que se cambia el signo de  $F_1$  y se le asigna a  $F_0$  para que sea el valor anterior en el siguiente ciclo de muestreo. Esto es equivalente a tener  $(F_1 - F_0)$ , y debido a que el valor inicial de  $F_0$  es cero no afecta esta variante del método en el primer ciclo de muestreo.

También se puede observar que dicha resta se asigna a la localidad de  $F_0$  y se multiplica por  $L_f/T$ . Dado que  $T = 138.88 \mu\text{s}$  y que  $L_f = 16.67 \text{ mH}$ , se obtiene

$$L_f/T = 16.67 \times 10^{-3} / 138.88 \times 10^{-6} = 120$$

Esta es la cantidad que se multiplica por  $(F_1 + F_0)$  y se asigna a  $D$ , que es el valor de  $L_f z_{1d}$  para ese período de muestreo. La aproximación de dicho método mejora conforme aumenta la frecuencia de muestreo.

TESIS CON  
FALLA DE ORIGEN

Una vez obtenido el voltaje en el inductor se ajusta el valor medido de  $z_1$ <sup>18</sup> y se calcula el término  $-k_1(z_1 - z_{1d})$ , que se suma a los términos obtenidos anteriormente, con lo cual se obtiene la ley de control, prescindiendo del término  $1/V_c$  como se menciono con anterioridad.

### 3.4 Subrutinas para Generar las Señales de Control PWM

Una vez que se ha realizado el cálculo de la ley de control, este valor numérico se debe ajustar al rango del contador TBR, el cual es 01F4h (en base hexadecimal). Este valor corresponde a  $\mu_{m\acute{a}x} = 1$  y un valor de 0h para  $\mu_{m\acute{i}n} = 0$ . El valor de  $\mu$  está contenido en tres palabras de 16 bits y el contador solo en una, por lo tanto dicho valor se debe ajustar a una palabra. Sabiendo que  $\mu$  es afectada por  $F$ , que no se incluye  $V_c$  en su cálculo y que  $\mu_{m\acute{a}x} = 1$ , se tiene que

$$\mu_{m\acute{a}x} V_e = (1) (60) (54.6) (1.44 \times 10^{10}) = 4.7174 \times 10^{13}$$

Este valor debe ajustarse al rango de TBR dividiendo dicha cantidad entre una cantidad de ajuste. Dividir este valor requiere muchos ciclos de reloj y el resultado es muy aproximado si se divide la palabra más significativa entre un número menor. Por lo que se decide tomar solo la palabra más significativa con la condición de que este valor se aproxime lo más posible al rango de TBR (500), por lo que se tiene que desarrollar una rutina que ajuste dicho valor. Lo más conveniente para ajustar dicho valor es dividirlo y luego multiplicarlo por factores de ajuste. Dado que el microcontrolador sólo puede ejecutar operaciones con enteros, se debe hacer un compromiso para la obtención de dichos valores entre el número de ciclos que se asigna para  $t_d$ , la exactitud del ajuste y la resolución con que se generan las señales PWM. Esto se hace proponiendo arbitrariamente valores para los factores de ajuste<sup>19</sup> posteriormente se verifica que dichos valores cumplan con los puntos anteriores.

También se debe considerar que durante el transitorio y debido a los picos provocados por el ruido, la ley de control puede tomar valores que sobrepasen los límites establecidos, por lo que es necesario establecer una rutina que permita mantener los valores de la ley de control dentro de dichos límites.

#### 3.4.1 Subrutina de Saturación

Esta rutina consiste en limitar los valores de la ley de control de acuerdo a los valores  $\mu_{m\acute{a}x}$  y  $\mu_{m\acute{i}n}$  que se obtuvieron con base en los cálculos anteriores. En el diagrama de flujo de la figura (3.14) se puede ver el algoritmo que se usa para dicha rutina. Primero se carga la palabra más significativa denominada Ms en el diagrama de flujo a un registro de propósito general, donde se compara con  $\mu_{m\acute{a}x}$  (Máx). Si es menor, se ejecuta la siguiente instrucción. Si es mayor, se carga el valor máximo permitido en Ms. Luego se compara Ms con  $\mu_{m\acute{i}n}$  (Mín). Si es mayor que Mín continua, si no, carga el valor de Mín en Ms. Una vez que se ha asegurado que el valor de la ley de control no sobrepasa los límites establecidos, se prosigue a ajustar el valor de la ley de control.

<sup>18</sup> En esta parte del programa se compara el valor convertido de  $z_1$  con el valor numérico correspondiente a 8A, para verificar si existe una condición de sobrecorriente en la etapa de potencia, en el programa del apéndice B se puede ver dicha rutina.

<sup>19</sup> En el programa del apéndice B se pueden verificar dichos factores.

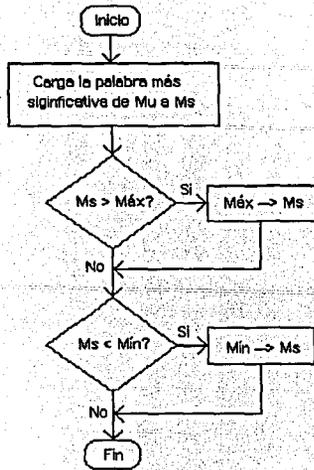


Figura 3.14. Subrutina de saturación.

### 3.4.2 Subrutina para ajustar $\mu$

Esta subrutina consiste en ajustar la escala del valor más significativo de la ley de control a la escala TBR y cargarlo a los dos registros de comparación TBCL1 y TBCL2, considerando que debe de haber una pequeña diferencia entre los contenidos de cada registro para generar los tiempos muertos. Dicho ajuste se basa en los valores obtenidos a partir de (3.6), por lo que se debe usar un algoritmo de división y otro de multiplicación. En el diagrama de flujo de la figura (3.15) se puede ver el algoritmo para generar las señales PWM a partir del valor calculado de  $\mu$ .

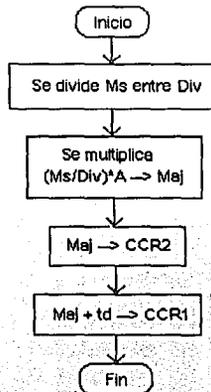


Figura 3.15. Subrutina para generar las señales PWM.

TESIS CON  
FALLA DE ORIGEN

Donde se divide la palabra más significativa de la ley de control  $M_s$  entre  $Div$ , posteriormente se multiplica este por  $A$  y el resultado se carga en un registro que en este caso se denomina  $Maj$ . Una vez ajustada la escala de la ley de control, se carga el contenido  $Maj$  en el registro de comparación  $CCR2$ , se suma el valor del tiempo muerto  $t_d$  a  $Maj$  y se carga al registro de comparación  $CCR1$ . El contenido de estos registros se carga de manera automática en  $TBCL2$  y  $TBCL1$  respectivamente cuando la cuenta de  $TBR$  llega a cero. El contenido de  $TBCL2$  y  $TBCL1$  se compara con el contador  $TBR$  en el siguiente ciclo de muestreo, cuando  $TBCL2$  es igual a  $TBR$  se genera la señal de salida  $EQU2$  en el modo PWM Toggle/Reset, y cuando  $TBCL1 = TBCL0$  se genera la señal de salida  $EQU1$  en el modo de salida PWM Toggle/Set (ver figura 3.7), generando de esta forma las señales PWM que controlan el encendido de  $S_1$  y  $S_2$ .

El programa desarrollado a partir del programa principal presentado en el diagrama de flujo de la figura 3.1 se puede ver en el apéndice B. Una vez comprobada su efectividad por medio del simulador y del emulador (incluidos en las herramientas de desarrollo de  $\mu C$ ), se grabó el programa en el  $\mu C$ .

## Capítulo 4

### Construcción del Inversor de Medio Punte

En este capítulo se describe el diseño y construcción del sistema necesario para llevar a cabo la evaluación experimental del esquema de control CBP. En el diagrama de bloques de la figura (4.1) se puede ver la constitución del sistema completo que se desarrolló para validar experimentalmente el esquema de control CBP.

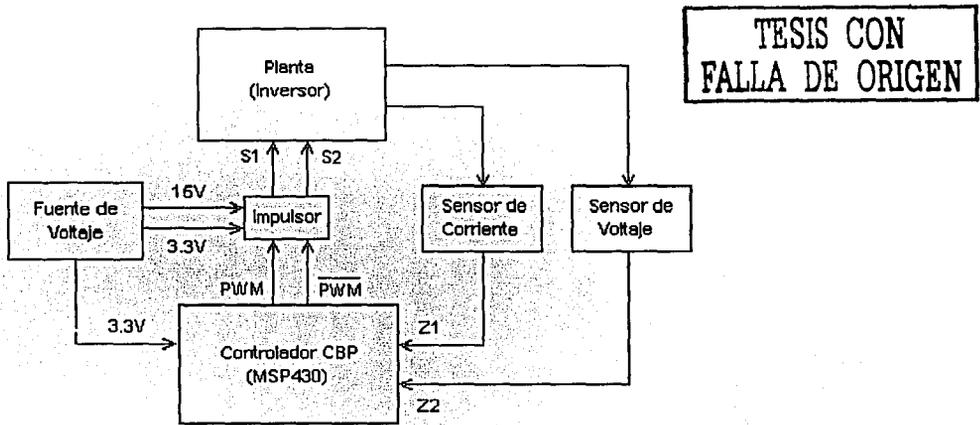


Figura 4.1. Diagrama de bloques del sistema.

En dicho diagrama, se puede observar la planta, constituida por el inversor de medio puente, el filtro y la fuente de cd (ver figura 1.2). Para la retroalimentación las variables de estado  $z_1$  y  $z_2$  en el controlador CBP (MSP430) se necesitan sensores de corriente y de voltaje, respectivamente, que ajusten dichas señales al rango de operación del convertidor analógico/digital del  $\mu C$  usado. Ya que el  $\mu C$  no tiene la potencia necesaria para controlar el encendido de  $S_1$  y  $S_2$ , se utiliza un circuito impulsor que adecua las señales de control PWM a una potencia que permite controlar el encendido de los MOSFET's. Se incluye también una fuente de voltaje de 15 V y 3.3 V con el fin de alimentar al microcontrolador, al circuito impulsor y al amplificador operacional que se usa en la retroalimentación de  $z_1$  y  $z_2$ .

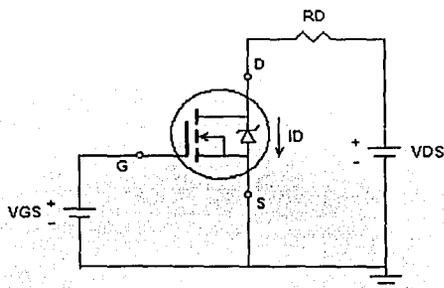
Este capítulo se divide en cinco secciones, donde se describe individualmente el diseño de cada módulo presentado en la figura (4.1). En la sección 4.1 se presenta la selección de los componentes que constituyen al inversor y el diseño del filtro LC. Donde se describe el diseño del inductor  $L_f$  con base en la metodología presentada en [McLyman, 1988]. En la sección 4.2 se aborda la selección del circuito impulsor y de los componentes que necesita para su funcionamiento. En la sección 4.3 el diseño de los circuitos de retroalimentación del voltaje  $z_2$ . En la sección 4.4 el diseño de los circuitos de retroalimentación de la corriente  $z_1$ . Finalmente, en la sección 4.5 se describe la selección de componentes para la fuente de voltaje.

## 4.1 Diseño de la Planta

Para llevar a cabo el diseño de la planta es necesario seleccionar los componentes que constituyen al inversor, con base en la potencia que entregará dicha fuente. En este trabajo de tesis se determinó una corriente en el inductor del filtro  $z_1 = 3 A_{rms}$  y dado que el voltaje en el capacitor del filtro es  $z_2 = 30 V_p = 21.21 V_{rms}$ , entonces, la potencia entregada al inversor es de 63.6 W. El inversor de medio puente construido en este trabajo de tesis está basado en la topología mostrada en la figura (1.2). La planta está conformada por dos dispositivos de conmutación, dos diodos de recuperación rápida, una fuente de voltaje de cd, dos capacitores que dividen simétricamente dicha fuente y un filtro LC de segundo orden.

Los capacitores que dividen a  $V_c$  deben proporcionar un voltaje de 30 V. Los capacitores seleccionados son de  $4700 \mu f / 63 V$  y una corriente de rizo de  $2.99 A_{rms}$ . Estos capacitores se seleccionan con especificaciones mayores a las requeridas por el sistema, con el fin de usar el inversor en futuras pruebas que requieran mayor potencia.

Posteriormente se seleccionan los dispositivos de conmutación, dichos dispositivos deben cumplir con las características requeridas por el sistema, es decir: un tiempo pequeño de encendido y apagado que permita una frecuencia de conmutación alta y tiempos muertos mínimos. Además que se puedan controlar con un voltaje lógico positivo. El transistor de efecto de campo metal-óxido-semiconductor (MOSFET por sus siglas en inglés) canal N cumple con estos requerimientos, ya que estos son dispositivos controlados por un voltaje positivo y tienen tiempos de encendido y apagado del orden de nanosegundos (ns). Por lo tanto se selecciona el transistor IRFP140N<sup>20</sup>, el cual además del MOSFET cuenta también con un diodo de recuperación rápida, como se puede ver en la figura (4.3).



TESIS CON  
FALLA DE ORIGEN

Figura 4.2 MOSFET canal N tipo decremental.

Este dispositivo de tres terminales se controla con un voltaje  $V_{GS}$  a través de la terminal G (Gate) la cual al ser activada permite el paso de electrones de la terminal S (Source) a la terminal D (Drain), generándose una corriente de drain a source ( $I_D$ ) como puede verse en la figura (4.2). Estos dispositivos se seleccionan con base en la corriente nominal  $I_D$  que pueden conducir, el voltaje  $V_{DS}$ , el voltaje de umbral  $V_{GS}$  y los tiempos de apagado  $t_f$  y encendido  $t_r$ . El dispositivo seleccionado cumple con todas las características necesarias para construir el inversor de medio puente. Las características más importantes dentro del contexto de este trabajo se condensan en la tabla (4.2). En dicha tabla se puede observar que el voltaje máximo  $V_{DSS}$  que puede haber entre el drain y source es de 100V. El voltaje nominal que se maneja en este trabajo es  $V_{DS} = 30V$ <sup>21</sup>. Para el caso de

<sup>20</sup> Ver la hoja de datos del IRFP140N de International Rectifier.

<sup>21</sup> Los componentes se sobredimensionan para futuros experimentos.

la corriente el valor máximo de corriente que puede conducir el MOSFET es  $I_{DSS} = 33 \text{ A}$ , el voltaje de umbral de gate  $V_{GS(th)}$  es de 2 a 4 V. Los tiempos de encendido y apagado son bastante aceptables, ya que permiten reducir la duración de los tiempos muertos. El diodo de recuperación rápida tiene un tiempo de recuperación inversa  $t_{rr} = 170 \text{ ns}$ . Por último el dispositivo permite aplicar un voltaje  $V_{GS} = 15 \text{ V}$ , ya que el valor máximo que soporta es de 20 V.

$V_{DSS} = 100\text{V}$
$I_{DM} = 33 \text{ A @ } 25 \text{ }^\circ\text{C}$
$V_{GS(th)} = 2.0 \text{ a } 4.0 \text{ V}$
$t_r = 39 \text{ ns}$
$t_f = 33 \text{ ns}$
$t_{rr} = 170 \text{ ns}$
$V_{GSM} = \pm 20 \text{ V}$

Tabla 4.1. Características principales del MOSFET IRFP140.

#### 4.1.1 Diseño del Filtro de Salida

Como se mencionó en el capítulo 1, el filtro  $LC$  se usa para atenuar los armónicos generados por la acción de conmutación, así la calidad del voltaje senoidal de salida del inversor depende del desempeño en lazo abierto de dicho filtro. La frecuencia de corte del filtro debe ser cercana a la frecuencia fundamental de la señal filtrada para garantizar un mejor desempeño del filtro. En un inversor son aceptables los filtros que atenúan eficazmente la tercera armónica, ya que esta provoca muchas pérdidas. La frecuencia fundamental del voltaje que se quiere generar debe tener la frecuencia que se usa en la red eléctrica nacional (60 Hz). El filtro de salida del inversor se diseña con base en la frecuencia de corte y en la potencia que se quiere que entregue el inversor. Además de esto, también se deben tomar en cuenta los valores comerciales de capacitores disponibles en el mercado nacional. Tomando en cuenta esto, se determina una frecuencia de corte de 120 Hz y una corriente de 3 A. El diseño del filtro parte del análisis del circuito de la figura (4.3) donde se pone al inversor como una fuente de voltaje alterno en serie con el inductor y el capacitor en derivación.

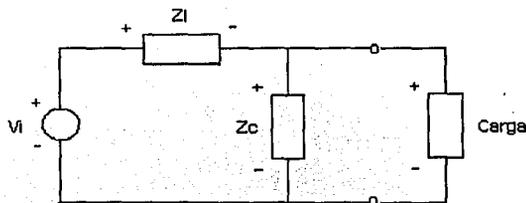


Figura 4.3. Circuito del filtro  $LC$ .

Se modela el filtro con base en un análisis de impedancias, donde  $V_o$  es el voltaje de ca que entrega el inversor con una frecuencia de conmutación de 7.2 KHz,  $Z_L$  es la impedancia del inductor y  $Z_C$  es la impedancia del capacitor. Aplicando el teorema de Thévenin se llega al circuito equivalente de la figura (4.4).

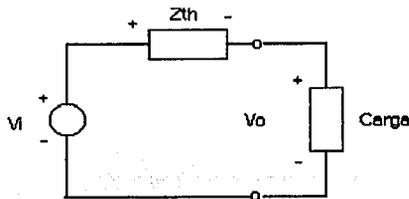


Figura 4.4. Circuito equivalente de Thévenin.

donde  $V_o$  es el voltaje equivalente de thévenin y está dado por

$$V_o = \left( \frac{V_i}{Z_L + Z_C} \right) Z_L \quad (4.1)$$

La función de transferencia del sistema esta dada por la relación entrada-salida, es decir

$$G(\omega) = \frac{V_o}{V_i} \quad (4.2)$$

Considerando a L y C ideales, su impedancia es:  $Z_L = j\omega L$  y  $Z_C = 1/j\omega C$  y sustituyendo la ecuación (4.1) en (4.2) se obtiene

$$G(\omega) = \frac{1}{1 - \omega^2 L_f C_f} \quad (4.3)$$

A partir de la ecuación (4.3) se pueden obtener los valores que deben tener el inductor y el capacitor del filtro. Igualando a uno  $G(\omega)$  y a cero al numerador en (4.3), se despeja  $L_f$ , obteniendo

$$L_f = \frac{1}{\omega^2 C_f} \quad (4.4)$$

Proponiendo una frecuencia de corte de  $f_c = 140$  Hz y un valor comercial de dos capacitores de 150  $\mu\text{F}$  en serie, es decir  $C_f = 75 \mu\text{F}$  y sabiendo que  $\omega = 2\pi f$ , se sustituyen estos valores en (4.4), obteniendo

$$L_f = \frac{1}{[(2\pi)(140)]^2 (75 \times 10^{-6})} = 17.23 \text{ mH}$$

Este valor se ajusta en  $L_f = 16.67 \text{ mH} = 1/60 \text{ H}$ , con el fin de obtener un número entero cuando se multiplica la frecuencia de muestreo entre la inductancia en el método de diferencias divididas

implementado para el cálculo de  $\mu$ , es decir  $7200/60 = 120$ . Con el nuevo valor de inductancia se calcula nuevamente la frecuencia de corte

$$f_c = \frac{\sqrt{\frac{1}{L_f C_f}}}{2\pi} = \frac{894.43}{2\pi} = 142.35 \text{ Hz}$$

esta frecuencia de corte permite eliminar la tercera armónica de voltaje que es de 180 Hz. El valor que se propone inicialmente; es el valor del capacitor con base en los valores disponibles en el mercado, ya que generalmente es más factible construir un inductor que un capacitor.

#### 4.1.2 Diseño del Inductor del Filtro

En esta sección se presenta el diseño del inductor del filtro, cuyo valor se obtuvo en la sección anterior. La manufactura del inductor estuvo a cargo de un fabricante especializado. En el diseño de un inductor para inversores PWM deben tomarse en cuenta la capacidad de manejo de energía del núcleo, ya que las pérdidas se incrementan conforme aumenta la frecuencia de conmutación. Del material del núcleo depende mucho el desempeño, ya que si este se satura, aumentan las pérdidas. Los núcleos de acero al silicio de grano orientado permiten una gran flexibilidad en el diseño de inductores que operan con alta frecuencia, por que el entrehierro puede ser ajustado al tamaño deseado y porque la permeabilidad relativa es alta, aun con una alta densidad de flujo de cd. El núcleo considerado para el diseño del inductor es laminado EI, la geometría de este tipo de núcleos se muestra en la figura (4.5).

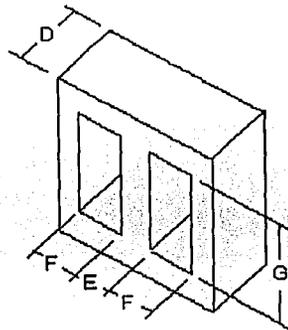


Figura 4.5. Geometría del núcleo laminado EI.

A partir de esta figura se pueden definir las variables geométricas que sirven para el diseño del inductor, estas son: el área de ventana que está definida como  $W_a = (F)(G)$  [ $\text{cm}^2$ ], el área del núcleo  $A_c = (D)(E)$  [ $\text{cm}^2$ ] y el producto de áreas es el producto del área de ventana por el área del núcleo, es decir  $A_p = (A_c)(W_a)$  [ $\text{cm}^4$ ]. La capacidad de manejo de energía del núcleo esta relacionada a su producto de áreas  $A_p$  por la siguiente ecuación

$$A_p = \left( \frac{2(\text{Energía}) \times 10^4}{B_m K_u K_j} \right)^{(x)} \quad [\text{cm}^4] \quad (4.5)$$

Donde  $K_j$  es el coeficiente de densidad de corriente (relacionada con el aumento de temperatura y por lo tanto con las pérdidas en el conductor),  $K_w$  es el factor de utilización de ventana (este define el máximo espacio que puede ocupar el conductor en la ventana) y  $B_m$  es la densidad de flujo magnético dada en Teslas [T]. De acuerdo a lo anterior el diseño de un inductor depende de cuatro factores relacionados:

1. La inductancia deseada
2. La corriente directa
3. La corriente alterna  $\Delta I$
4. Las pérdidas y la temperatura de operación.

La corriente de alterna  $\Delta I$  se obtiene considerando como valor máximo un rizo de 20% de la corriente de salida. El inductor se diseñó con base en las siguientes especificaciones:

Inductancia  $L = 16.67$  mH  
 Corriente directa  $I = 3$  A  
 Corriente de rizo  $\Delta I = 0.6$  A  
 Frecuencia de rizo  $f = 7.2$  KHz  
 Densidad de flujo  $B_m = 0.9$  T  
 Temperatura de operación =  $25^\circ\text{C}$   
 Material : Orthonol<sup>22</sup>

Con estos datos y usando la metodología de diseño expuesta en [McLyman, 1988] se lleva a cabo el diseño del inductor:

1. Primero se calcula la capacidad de manejo de energía dada por la ecuación:

$$\text{Energía} = \frac{LI^2}{2} \quad [\text{W-s}] \quad (4.6)$$

donde la corriente nominal del inductor está dada por

$$I = I_o + \frac{\Delta I}{2} \quad [\text{A}] \quad (4.7)$$

Sustituyendo los datos dados de corriente en la ecuación (4.7) se obtiene

$$I = 3 + \frac{0.6}{2} = 3.3 \text{ A}$$

Este valor y el del inductor se sustituyen en (4.6) obteniendo

$$\text{Energía} = \frac{(16.67 \times 10^{-3})(3.3)^2}{2} = 0.091 \text{ W-s}$$

<sup>22</sup> Su rango de saturación de flujo magnético es de 1.4 a 1.6 T.

2. Para el cálculo del producto de áreas  $A_p$  se tienen los siguientes valores:  $K_u = 0.4$ , el cual es un valor recomendado en [McLyman, 1988] y de la tabla 3.1 de [McLyman, 1988];  $K_j = 366$  y  $x = 1.14$  @ 25 °C (para núcleo laminado). Estos valores se sustituyen junto con los valores obtenidos anteriormente en la ecuación (4.5), obteniendo

$$A_p = \left( \frac{2(0.091) \times 10^4}{(0.9)(0.4)(366)} \right)^{1.14} = 19.95 \text{ cm}^4$$

3. Con el producto de áreas se selecciona un núcleo con un valor comparable. De la tabla 3.5 de [McLyman, 1988] se selecciona el núcleo laminado 2-75 EI, para el cual  $A_p = 19.75$ ,  $A_c = 7.26$ ,  $W_A = 2.7$  y  $G = 2.857 \text{ cm}$ .

4. Posteriormente se calcula la densidad de corriente  $J$  usando  $K_j$  como se indica en la siguiente ecuación

$$J = K_j A_p^{(j)} \quad [\text{A/cm}^2] \quad (4.8)$$

de la tabla 3.1 se obtiene  $y = -0.12$  (para núcleo laminado) y se sustituyen en (4.8), obteniendo

$$J = (366)(19.75)^{-0.12} = 255.87 \text{ A/cm}^2$$

5. El área del conductor desnudo  $A_{w(B)}$  se calcula a partir de la siguiente ecuación

$$A_{w(B)} = \frac{I}{J} \quad [\text{cm}^2] \quad (4.9)$$

sustituyendo el valor de corriente  $I$  y densidad de corriente  $J$  obtenidos anteriormente en (4.9), se obtiene:

$$A_{w(B)} = \frac{3.3}{255.87} = 0.013 \text{ cm}^2$$

6. Con el valor de área obtenido en el paso anterior se selecciona el conductor calibre 16 AWG de la tabla 6.1 de [McLyman, 1988]. De la misma tabla se obtiene el área con aislamiento de dicho conductor  $A_w = 14.73 \times 10^{-3} \text{ cm}^2$  y  $\mu\Omega/\text{cm} = 131.8$ .

7. Posteriormente se calcula el área efectiva de ventana  $W_{A(\text{eff})}$ , usando el área de ventana encontrada en el paso 3 y la siguiente relación

$$W_{A(\text{eff})} = W_a S_3 \quad [\text{cm}^2] \quad (4.10)$$

Donde  $S_3$  es un factor que se obtiene por la relación del área utilizable de ventana<sup>23</sup> entre el área de ventana, donde un valor típico es  $S_3 = 0.75$  (capítulo 6 [McLyman, 1988]), sustituyendo en (4.10) se obtiene

$$W_{A(\text{eff})} = (2.7)(0.75) = 2.025 \text{ cm}^2$$

<sup>23</sup> Área utilizable de ventana = Área de ventana – Área residual. Esta última depende de la técnica de embobinado usada.

8. Posteriormente se calcula el número de vueltas  $N$  mediante la siguiente ecuación

$$N = \frac{W_{A(eff)} S_2}{A_w} \text{ [Vueltas]} \quad (4.11)$$

donde  $S_2$  es un factor dado por la relación del área del embobinado entre el área utilizable de ventana, cuyo valor típico de  $S_2$  es 0.6. Usando este valor y el área de ventana  $A_w$  encontrada en el paso 6 se obtiene el número de vueltas

$$N = \frac{(2.025)(0.6)}{14.73 \times 10^{-3}} = 82 \text{ Vueltas}$$

9. Mediante la ecuación (4.12), se calcula la longitud del entrehierro  $l_g$ .

$$l_g = \frac{0.4\pi N^2 A_c \times 10^{-8}}{L} \text{ [cm]} \quad (4.12)$$

Usando el número de vueltas obtenido en el paso anterior y el área del núcleo  $A_c$  obtenida en el paso 3 se obtiene

$$l_g = \frac{0.4\pi(82)^2(7.26) \times 10^{-8}}{16.67 \times 10} = 0.037 \text{ cm}$$

el espacio del entrehierro es mantenido normalmente con papel Kraft. Debido a que este papel solo se encuentra disponible en espesores de milésimas de pulgada, hay que convertir dicho valor de centímetros a milésimas

$$\text{cm} \times 393.7 = \text{mils}$$

Sustituyendo valores

$$(0.037)(393.7) = 14.49 \text{ mils}$$

Redondeando al número entero más cercano y convirtiendo nuevamente a cm

$$(14 \times 10^{-3})(2.54) = 0.0355 \text{ cm}$$

10. El flujo de desvío en el entrehierro  $F_d$ , se refiere a las líneas de campo magnético que se desvían, conforme se alejan del área del entrehierro. Dicho flujo está dado por

$$F_d = 1 + \frac{l_g}{\sqrt{A_c}} \ln \left( \frac{2G}{l_g} \right) \quad (4.13)$$

Donde, usando la longitud  $G = 2.857$  cm encontrada en el paso 3 se tiene

$$F_d = 1 + \frac{0.0355}{\sqrt{7.26}} \ln \left( \frac{2(2.857)}{0.0355} \right) = 1.067$$

11. Con este valor se recalcula el número de vueltas usando el valor del flujo de desvío mediante la siguiente ecuación

$$N = \left( \frac{l_g L}{0.4\pi A_c F_d \times 10^{-8}} \right)^{1/2} \quad (4.14)$$

sustituyendo los valores obtenidos anteriormente en (4.15) se tiene

$$N = \left( \frac{(0.0355)(16.67 \times 10^{-3})}{0.4\pi(7.26)(1.067) \times 10^{-8}} \right)^{1/2} = 78 \text{ Vueltas}$$

Por último se verifica que el área total del conductor no sobrepase el valor de 0.7 (si se considera a  $W_a$  como valor unitario), que representa el porcentaje de área máximo que puede ocupar el conductor (con el fin de que sea factible el embobinado). Dicho porcentaje está dado por

$$\frac{A_{w(T)}}{W_A} \leq 0.7 \quad (4.15)$$

De la tabla 6.1 [McLyman, 1988] se tiene que el conductor 16 AWG tiene 40.73 vueltas/cm<sup>2</sup>, por lo tanto se tiene que

$$A_{w(T)} = (78 \text{ Vueltas}) / (40.73 \text{ vueltas/cm}^2) = 1.91 \text{ cm}^2$$

Sustituyendo los valores obtenidos en dicha relación se tiene

$$\frac{1.91}{2.72} \leq 0.7$$

$$0.702 \leq 0.7$$

A pesar de que se sobrepasa el valor de 0.7 es despreciable la diferencia, por lo que son aceptables los valores determinados en el diseño del inductor. Las especificaciones del inductor se condensan en la tabla 4.1.

Inductancia	L = 16.67 mH
Número de vueltas	N = 78 Vueltas
Entrehierro	$l_g = 0.0355 \text{ cm}$
Calibre del conductor	16 AWG
Núcleo	2 - 75EI

Tabla 4.2 Especificaciones del Inductor  $L_r$ .

## 4.2 Selección del Circuito Impulsor

Como se comentó anteriormente el circuito impulsor permite acondicionar las señales de control a una potencia mayor para poder controlar el encendido de los MOSFET. Además sirve para acoplar eléctricamente a la etapa de control ( $\mu C$ ) con la etapa de potencia (inversor), con la finalidad de que este no sufra ningún daño en caso de una falla en la etapa de potencia.

Para la selección del circuito impulsor se considera la topología del inversor de la figura (1.2), el cual puede ser planteado como el que se muestra en la figura (4.6). Como se pudo observar en la figura (4.2),  $V_{GS}$  y  $V_{DS}$  deben tener la misma referencia. En la figura (4.6) se puede ver las señales de control  $PWM$  y  $\overline{PWM}$  tienen la misma referencia, ya que provienen del  $\mu C$ , sin embargo los voltajes correspondientes  $V_{GS1}$  y  $V_{GS2}$  tienen diferentes niveles de referencia (mientras que  $V_{GS1}$  de  $Q_1$  esta referenciado a tierra,  $V_{GS2}$  de  $Q_2$  esta referenciado a  $V_D$ ). La parte del circuito que está referenciada a tierra se puede denominar como lado bajo (LS por las siglas en inglés de Low Side), y la parte del circuito que está referenciada a  $V_D$  del circuito se puede denominar lado alto (HS por las siglas en inglés High Side). Por lo tanto el circuito impulsor debe contar también con un LS y un HS, donde las señales de entrada están ambas referenciadas a la tierra del  $\mu C$ .

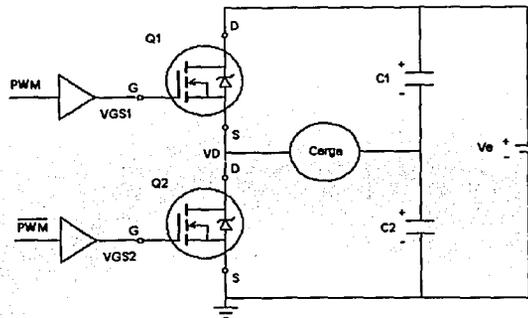


Figura 4.6. Inversor de Medio Puente.

Un circuito integrado (CI) que cumple con los requerimientos indicados anteriormente es el circuito impulsor para Puentes-H. Esta configuración normalmente se usa para controlar motores<sup>24</sup>, pero, si se compara con la configuración del inversor de medio puente se verá que ambas topologías son muy similares, porque ambas tienen un LS y un HS. En este contexto, el CI que se selecciona es el IR2110<sup>25</sup>, que cumple con los requerimientos anteriores, además de que sus características de entrada son compatibles con la tecnología CMOS del  $\mu C$ . Además, sus características de salida son compatibles con el voltaje  $V_{GS}$  de los MOSFET. Donde se debe asegurar que este voltaje sea suficiente para permitir un buen desempeño del circuito impulsor. Con este fin se propone un voltaje de alimentación  $V_{CC} = 15 V$  para dicho circuito.

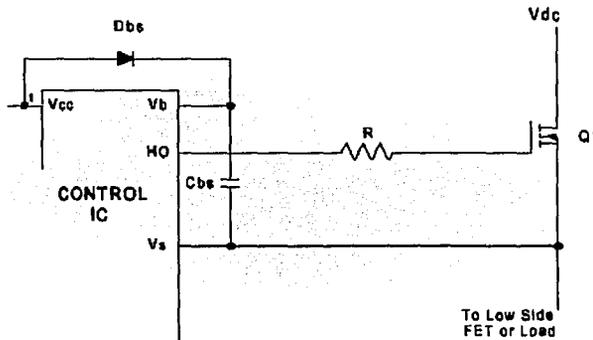
De acuerdo a las notas de aplicación AN978 y DT-98-2 disponibles en la página web del fabricante. El IR2110 necesita un diodo de recuperación rápida que polarice con el voltaje  $V_{CC}$  a un capacitor de tantalio de  $100 \mu f$  conectado entre las terminales  $V_b$  y  $V_s$ , el cual proporciona la carga necesaria para disparar la compuerta de  $Q_1$  en el lado alto, ya que el IR2110 no la puede entregar por

<sup>24</sup> Ver notas de aplicación para dichos circuitos.

<sup>25</sup> Los datos del IR2110 se pueden verificar en la hoja de datos proporcionada por International Rectifier en su página Web.

si mismo. El fabricante también recomienda el uso de una resistencia de valor pequeño ( $22 \Omega$ ) entre las salidas alta del CI las compuertas de los MOSFET como se puede ver en la figura (4.7). Para el lado bajo también se pone una resistencia.

El diodo de recuperación rápida que se recomienda utilizar, se selecciona con base en la relación  $t_{rr} < 100$  ns, donde  $t_{rr}$  es el tiempo de recuperación inversa del diodo. El diodo de recuperación rápida que se selecciona es el 1N4148 (ver hoja de datos) el cual tiene un tiempo de recuperación inversa  $t_{rr} = 4$  ns. Otra recomendación del fabricante del IR2110 es poner capacitores de tantalio en las terminales de alimentación  $V_{CC}$  y  $V_{DD}$  con respecto a tierra con el fin de filtrar el ruido que genera la acción de conmutación.



TESIS CON FALLA DE ORIGEN

Figura 4.7. Capacitor y Diodo de carga del lado alto.

Para proteger las compuertas de los MOSFET, se conecta un diodo zener de 15 V en las compuertas de  $Q_1$  y de  $Q_2$  con su respectiva referencia y una resistencia de carga de 15K a las terminales de salida HO y LO. También se utiliza una resistencia de 10K en las entradas alta y baja (HIN y LIN, respectivamente). Esto se hace con el fin de limitar la corriente en caso de un corto circuito. Adicionalmente el CI cuenta con una terminal de apagado (SD por sus siglas en inglés), que apaga los MOSFET's cuando esta en un nivel lógico alto. En esta aplicación la terminal SD es activada por una condición de sobrecorriente en la etapa de potencia, la cual es detectada por el  $\mu C$  si el valor convertido de  $z_1$  sobrepasa el valor numérico del máximo valor pico de corriente para que el ADC12 trabaje en un rango seguro. Si éste rango de seguridad se sobrepasa; el  $\mu C$  activa la terminal SD apagando los MOSFET. El máximo valor de corriente se determinó en  $8 A_p$ . En éste trabajo se opta por que la señal que activa a SD provenga de una de las terminales del  $\mu C$ , debido a que la capacidad de conducción de los MOSFETS es grande, y permite monitorear la corriente durante cada ciclo de muestreo. En la hoja de datos del IRFP140 se puede verificar la corriente máxima que soporta en un periodo de tiempo determinado. Las conexiones del circuito impulsor se pueden ver en el diagrama esquemático del inversor en el apéndice C.

### 4.3 Circuito de Retroalimentación del Voltaje en el Capacitor del Filtro $z_2$

Para la retroalimentación del voltaje en el capacitor del filtro  $z_2$ , es necesario medir y acondicionar dicha señal al rango de operación del convertidor analógico digital. En la sección 2.4 se determinó que el ADC12 opere con un voltaje de referencia interno de 2.5 V, donde la señal retroalimentada debe estar sumada a un voltaje de referencia  $V_{dc}$ .

Un sistema de medición generalmente esta constituido por un sensor (o transductor) y una etapa de acondicionamiento de la señal medida. En este caso la señal que se desea medir es un voltaje senoidal, debido a que la magnitud a medir es un voltaje, no necesita un transductor, ya que el ADC12 maneja voltajes, sin embargo si es necesario disminuir la magnitud de dicho voltaje para estar dentro del rango de operación del ADC12. De acuerdo a lo anterior, se propone un transformador como sensor de voltaje. En la configuración del ADC12 se propuso una relación de transformación de 30:1, es decir por 30  $V_p$  en el capacitor del filtro, se tendrá 1  $V_p$  en la entrada del ADC12. Debido a que el voltaje se tiene que sumar a una componente de directa con el fin de tener una señal positiva a la entrada del ADC12, no se puede diseñar el transformador exactamente con esa relación de transformación, ya que entre más pequeña sea la señal en esta etapa es mas susceptible al ruido y a la atenuación (1  $V_p$  no asegura que se polarice correctamente el circuito de retroalimentación). El circuito de retroalimentación de  $z_2$  debe estar compuesto entonces por un sensor de voltaje (transformador), un divisor de voltaje y un sumador, como se puede ver en la figura (4.8). En dicha figura se puede ver también una etapa de acoplamiento para proteger al  $\mu C$  en caso de una falla en la planta. Esta etapa de acoplamiento esta conformada por un amplificador operacional<sup>26</sup> en configuración de seguidor de voltaje [Coughlin, 1998].

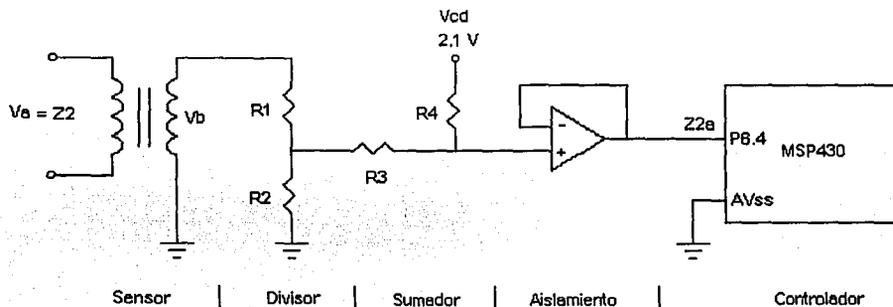


Figura 4.8. Circuito para la retroalimentación de  $z_2$ .

#### 4.3.1 Diseño del Transformador Sensor de Voltaje

El transformador que se usa para retroalimantar el voltaje se diseñó de acuerdo a la relación de transformación deseada  $V_a/V_b$ . El voltaje en el devanado primario es  $V_a = 30 V_p = 21.21 V_{rms}$  y el voltaje en el secundario es  $V_b = 5.4 V_p = 3.82 V_{rms}$ . Esta relación de transformación se determinó así para asegurar que el voltaje medido pueda polarizar al circuito de retroalimentación. El transformador se diseña con base en la relación de transformación y la corriente deseada en el secundario. En este caso de acuerdo a la hoja de datos del MSP430F149 se determina una corriente

<sup>26</sup> El circuito de retroalimentación de  $z_1$  también necesita un seguidor de voltaje, por lo que el CI usado para esta tarea es el LM324N cuyo fabricante es Texas Instruments.

de 6 mA, suficiente para polarizar la terminal P6.3 del ADC12. Por lo tanto, se tienen los siguientes datos:  $V_a = 21.21 \text{ V}_{\text{rms}}$ ,  $V_b = 3.54 \text{ V}_{\text{rms}}$ ,  $I_b = 50 \text{ mA}$ ,  $B_m = 0.9 \text{ Teslas}$  y  $f = 60 \text{ Hz}$ .

De acuerdo al procedimiento de diseño de transformadores propuesto en [McLyman, 1988] se lleva a cabo el diseño del transformador. En la figura (4.9) se puede ver el diagrama eléctrico del transformador y los voltajes y corrientes que intervienen en su diseño.

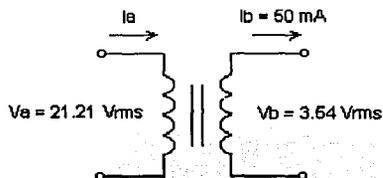


Figura 4.9. Transformador sensor de voltaje.

1. Primero, se calcula la potencia de salida dada por

$$P_o = V_b I_b \text{ [VA]} \quad (4.16)$$

Sustituyendo en (4.16) los datos proporcionados anteriormente se obtiene

$$P_o = (3.54)(50 \times 10^{-3}) = 0.191 \text{ VA}$$

2. Posteriormente se calcula la potencia de entrada a partir de la eficiencia del transformador

$$P_i = \frac{P_o}{\eta} \text{ [VA]} \quad (4.17)$$

donde  $\eta$  es la eficiencia del transformador. Proponiendo una  $\eta = 0.9$  y sustituyendo valores en 4.17 se obtiene

$$P_i = \frac{0.191}{0.9} = 0.212 \text{ VA}$$

3. A partir de la potencia de entrada  $P_i$  se calcula la corriente en el devanado primario  $I_a$ , donde

$$I_a = \frac{P_i}{V_a} \text{ [A]} \quad (4.18)$$

sustituyendo la potencia de entrada obtenida en el paso anterior y los datos anteriores, se obtiene

$$I_a = \frac{0.212}{21.21} = 10 \text{ mA}$$

4. La potencia total está dada por

$$P_T = P_i + P_o = P_o \left( 1 + \frac{1}{\eta} \right) \text{ [VA]} \quad (4.19)$$

Sustituyendo en (4.19) las potencias de entrada y salida obtenidas anteriormente se obtiene

$$P_T = 0.191 + 0.212 = 0.403 \text{ VA}$$

5. Una vez que se ha obtenido la potencia total, se calcula el producto de áreas<sup>27</sup>

$$A_p = \left( \frac{P_T \times 10^4}{k_f B_m K_u f K_j} \right)^{(x)} \text{ [cm}^4\text{]} \quad (4.20)$$

donde el factor de utilización es  $K_u = 0.4$  y el coeficiente de forma de onda es  $K_f = 4.44$  para onda senoidal [McLyman, 1988]. El factor  $K_j = 366$  y  $x = 1.14$  para núcleo laminado de la tabla 3.1 [McLyman, 1988]. Sustituyendo los valores anteriores en (4.20) se obtiene

$$A_p = \left( \frac{0.403 \times 10^4}{(4.44)(0.9)(0.4)(60)(366)} \right)^{1.14} = 0.084 \text{ cm}^4$$

De la tabla 3.5 [McLyman] se selecciona el núcleo EI-185 con un valor de  $A_p = 0.10$ , comparable al valor obtenido en el paso anterior. Sin embargo, por razones de disponibilidad se selecciona el núcleo EI-2425, que es el más pequeño disponible en el mercado nacional, con los siguientes valores:  $A_p = 0.33 \text{ cm}^4$ ,  $A_c = 0.40 \text{ cm}^2$ ,  $W_A = 0.81 \text{ cm}^2$ .

6. El número de vueltas en el devanado primario está dado por

$$N_a = \frac{V_a \times 10^4}{K_f B_m A_c f} \text{ [Vueltas]} \quad (4.21)$$

Sustituyendo los valores dados y obtenidos anteriormente en (4.21), se obtiene

$$N_a = \frac{21.21 \times 10^4}{(4.44)(0.9)(0.4)(60)} = 2212 \text{ Vueltas}$$

7. Para calcular el número de vueltas en el devanado secundario se usa la ecuación (4.21), sólo que sustituyendo las variables  $N_b$  y  $V_b$  por  $N_a$  y  $V_a$  respectivamente. Sustituyendo valores se obtiene

$$N_b = \frac{3.82 \times 10^4}{(4.44)(0.9)(0.4)(60)} = 398 \text{ Vueltas}$$

<sup>27</sup> El producto de áreas  $A_p$  y otras variables se describieron en la sección 4.1.2.

8. Posteriormente se calcula la densidad de corriente  $J$ , dada por la ecuación (4.8). De la tabla 3.1 [McLyman, 1988],  $y = -0.12$  y  $K_j = 366$  (para núcleo laminado). Sustituyendo estos valores y el valor de  $A_p$  determinado en el paso 5, se obtiene

$$J = (366)(0.33)^{-0.12} = 418.08 \text{ A/cm}^2$$

9. Con este valor se calcula el área del conductor del devanado primario, dada por

$$A_a = \frac{I_a}{J} \text{ [cm}^2\text{]} \quad (4.22)$$

Sustituyendo valores de  $I_a$  y  $J$  en la ecuación (4.22) se obtiene

$$A_a = \frac{10 \times 10^{-3}}{418.08} = 0.024 \times 10^{-3} \text{ cm}^2$$

con este valor de área se selecciona de la tabla 6.1 de [McLyman] el conductor AWG 40 para el devanado primario, cuya área transversal con aislante es  $A_{wa} = 0.0723 \times 10^{-3} \text{ cm}^2$ .

10. Para el cálculo del área del conductor del devanado secundario se usa la ecuación (4.22) sustituyendo  $I_b$  por  $I_a$ . Sustituyendo valores se obtiene

$$A_b = \frac{50 \times 10^{-3}}{418.08} = 0.119 \times 10^{-3} \text{ cm}^2$$

con este valor de área se selecciona de la tabla 6.1 de [McLyman] el conductor AWG 37 para el devanado secundario, cuya área transversal con aislante es  $A_{wb} = 0.1538 \times 10^{-3} \text{ cm}^2$ .

Una vez que se han obtenido las especificaciones del transformador, se verifica que el área de ventana es suficiente para alojar a ambos conductores. El área total del conductor se obtiene sumando las áreas totales de los conductores

$$A_{w(T)} = 0.266 + 0.102 = 0.368 \text{ cm}^2$$

con este valor se verifica si se cumple la relación (4.15). Sustituyendo valores se tiene que

$$\frac{0.368}{0.81} \leq 0.7$$

la relación se cumple, por lo que es factible construir el transformador. Las especificaciones para el fabricante se condensan en la tabla (4.3).

Devanado	N [Vueltas]	$A_w$ [cm <sup>2</sup> × 10 <sup>-3</sup> ]	AWG	T/cm <sup>2</sup>	$A_{wt}$
Primario (A)	2212	0.0723	40	8298	0.266
Secundario (B)	398	0.1538	37	3901	0.102
Núcleo laminado	EI-2425				

Tabla 4.3 Especificaciones del Transformador Sensor de Voltaje.

### 4.3.2 Divisor de Voltaje para $z_2$

Sabiendo que el voltaje en el secundario del transformador es  $V_b = 5.4 V_p$ , se determinan los valores de las resistencias  $R_1$  y  $R_2$  para un voltaje deseado  $V_{R2} = 2 V_p$  a la salida del divisor de voltaje de la figura (4.10), el cual está dado por

$$V_{R2} = \left( \frac{V_b}{R_1 + R_2} \right) R_2 \quad (4.23)$$

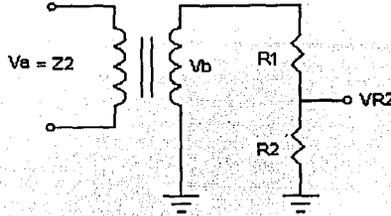


Figura 4.10. Divisor de voltaje.

Para calcular el divisor de voltaje se propone un valor a una de las resistencias ( $R_1$  en este caso) y se despeja la otra resistencia  $R_2$  de (4.23). Se propone un valor de resistencia de 1.2 K para  $R_1$  obteniendo

$$R_2 = \frac{(2)(1200)}{(5.4 - 2)} = 706 \Omega$$

El valor comercial superior inmediato de resistencia es de 820  $\Omega$ , por lo tanto se recalcula el voltaje  $V_{R2}$  con este valor comercial

$$V_{R2} = \left( \frac{5.4}{1.2K + 820} \right) (820) = 2.2 V_p$$

el cual establece una entrada del sumador de voltaje. La otra entrada es el nivel de voltaje  $V_{cd}$  que se suma a la señal de voltaje de ca, el cual se obtiene en la siguiente sección.

### 4.3.3 Voltaje de Referencia $V_{cd}$

Para generar este voltaje se usan 3 diodos en serie, ya que dicho voltaje tiene que ser constante y el voltaje en un diodo permanece constante ante variaciones del voltaje de alimentación  $V_{CC}$ , en la figura (4.10) se puede ver el arreglo de tres diodos 1N4002 en serie con una resistencia. La caída de voltaje típica de un diodo de silicio es  $V_D = 0.7 V$ , por lo tanto, sumando el voltaje de los diodos se tiene un voltaje de referencia  $V_{cd} = 2.1 V$ . Con una corriente deseada de 15 mA (ya que dicho circuito de referencia se usa para la retroalimentación de  $z_1$  y  $z_2$ ) se calcula el valor de la resistencia de la figura (4.11), donde  $V_{cc} = 3.3 V$ . Aplicando la ley de voltaje de Kirchhoff para dicha malla se tiene

$$V_{cc} + V_R + V_{cd} = 0 \quad (4.24)$$

De la ley de Ohm se sabe que  $V_R = RI$ . Esta relación se sustituye en (4.24) y se despeja  $R$

$$R = (V_{cc} - V_{cd})/I \quad (4.25)$$

Sustituyendo valores en (4.25) se obtiene el valor de resistencia

$$R = (3.3 - 2.1)/(15 \times 10^{-3}) = 80 \Omega$$

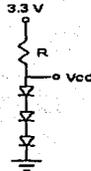


Figura 4.11. Voltaje de referencia  $V_{cd}$ .

El valor comercial más cercano es  $82 \Omega$ , por lo que este es el valor asignado a  $R$ .

#### 4.3.4 Sumador de voltaje para $z_2$

Para el sumador de voltaje se hace el cálculo de  $R_3$  y  $R_4$  sabiendo que  $V_{o1} = 1 V_p$ , y  $V_{cd} = 2.1V$ . Con un valor deseado  $V_{o2} = 1.25 V$  y aplicando el principio de superposición para el circuito de la figura (4.12 a), se tiene que se puede obtener individualmente la salida que produce cada voltaje de entrada y después sumarlos.

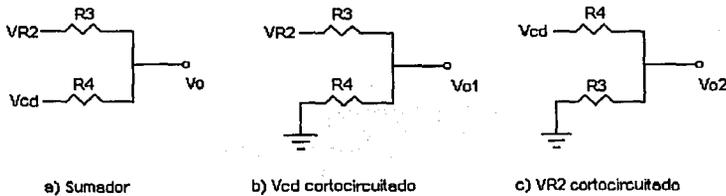


Figura 4.12. Suma de voltajes aplicando superposición.

Para el cálculo de las resistencias se debe hacer un compromiso entre de los valores de resistencia y los valores individuales de cada voltaje de salida, ya que la salida total será la suma de los dos voltajes de entrada, es decir  $z_{2a} = V_{o1} + V_{o2}$ . De acuerdo al teorema de superposición se obtiene la salida de voltaje  $V_{o1}$  poniendo a tierra  $V_{cd}$  como se puede ver en la figura (4.12 b), donde  $V_{R2} = 2.2 V_p$  y se desea un  $V_{o1} = 1 V_p$ . Dicho voltaje está dado por

$$V_{o1} = \left( \frac{V_{R2}}{R_3 + R_4} \right) R_4 \quad (4.26)$$

Para obtener los valores de resistencia se proponiendo un valor de  $R_3 = 15 \text{ K}$ . Se despeja  $R_4$  de la ecuación (4.26) y se sustituyen valores, obteniendo

$$R_4 = \left( \frac{(1)(15K)}{2.2 - 1} \right) = 12.5 \text{ K}$$

El valor comercial más aproximado es 12 K por lo que  $R_4 = 12K$ . Calculando nuevamente el voltaje se obtiene

$$V_{o1} = \left( \frac{2.2}{15K + 12K} \right) 12K = 0.98 \text{ V}$$

Para realizar los cálculos para el segundo caso, se conecta a tierra  $V_{R2}$  como se ve en la figura (4.12c). Aquí el voltaje de salida deseado es  $V_{o2} = 1.25 \text{ V}$ , ya que se desea que la señal medida  $z_2$  tenga un nivel de voltaje de la mitad del voltaje de referencia interno del ADC12  $V_{REF+} = 2.5 \text{ V}$ . En este caso se verifica primero si se puede obtener el voltaje de salida deseado con los valores de resistencia propuestos en el caso anterior. El voltaje de salida  $V_{o2}$  está dado por

$$V_{o2} = \left( \frac{V_{cd}}{R_4 + R_3} \right) R_3 \quad (4.27)$$

Con  $V_{cd} = 2.1 \text{ V}$  y sustituyendo valores en (4.27), se tiene

$$V_{o2} = \left( \frac{2.1}{12K + 15K} \right) 15K = 1.16 \text{ V}$$

Ambos valores;  $V_{o1}$  y  $V_{o2}$  difieren con un error de 0.02 V y 0.09 V respectivamente, el cual es pequeño, por lo que se ha cumplido con el compromiso de apegarse a los valores deseados para dichos voltajes. Finalmente a la salida del circuito se tendrá  $z_{2a} = 0.98 V_p + 1.16 V_{cd}$ , que es la señal que se convertirá dentro del ADC12 para el voltaje de retroalimentación  $z_2$  (ver figura 4.13). El nivel de voltaje  $V_{cd}$  es restado de  $z_{2a}$  para tener finalmente un voltaje de retroalimentación de ca.

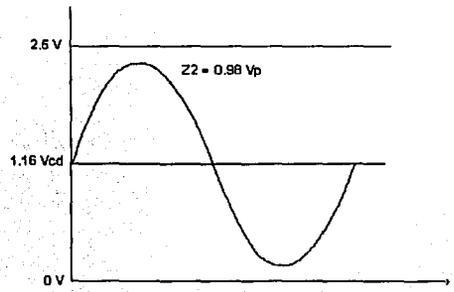


Figura 4.13. Voltaje de Retroalimentación  $z_2$ .

#### 4.4 Circuito de Retroalimentación de la Corriente en el Inductor del Filtro $z_1$

Para la retroalimentación de la corriente  $z_1$  se requiere un sensor de corriente y una etapa de acondicionamiento de dicha señal. Esta no se puede retroalimentar con la misma escala con que se retroalimenta  $z_2$ , ya que su amplitud es mucho menor en comparación con la amplitud del voltaje. Si se utiliza la misma escala, la señal de corriente puede ser tan pequeña que el ADC12 no sea capaz de convertir dicho valor con la suficiente resolución o ni siquiera sea polarizado. Tomando en cuenta esto, es necesario usar una escala más grande para la corriente medida  $z_1$ , es importante señalar que mediante un factor (a nivel de programa) se ajusta dicho valor a la escala del voltaje medido  $z_2$ . En la figura (4.14) se pueden ver las etapas de medición y de acondicionamiento de  $z_1$ . La etapa de medición está integrada por un Transformador de corriente (TC) y su resistencia de carga  $R_o$ . Por su parte, la etapa de acondicionamiento está compuesta por un sumador y un seguidor de voltaje. En el caso de este trabajo se tiene disponible un TC, cuyas especificaciones se pueden ver en la siguiente tabla.

Devanado	$N$ [vueltas]	AWG
Primario	1	18
Secundario	1054	35
Núcleo laminado	E1 - 2425, M19	

Tabla 4.3. Especificaciones del transformador de corriente.

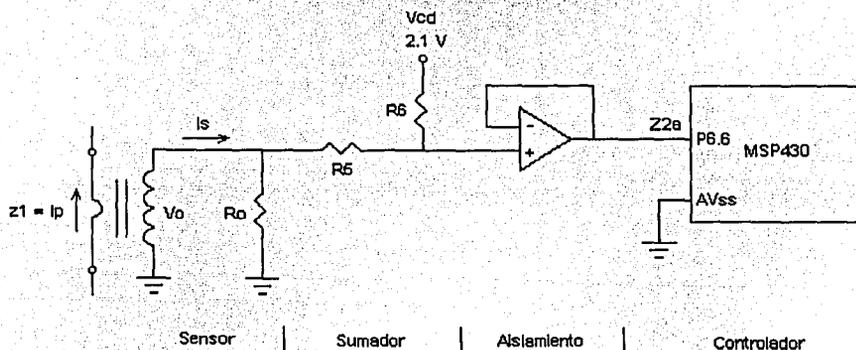


Figura 4.14. Circuito para la retroalimentación de  $z_1$ .

El voltaje de salida  $V_o$  en el TC depende de la corriente  $I_s$  y de la resistencia de carga  $R_o$ , como se puede ver en la figura (4.14), el cual está dado por

$$V_o = R_o I_s \quad (4.28)$$

Las corrientes en el primario y en el secundario están relacionadas por

$$I_p N_p = I_s N_s \quad (4.29)$$

La corriente máxima que puede circular en el devanado primario es  $I_p = 8 \text{ A}$ , la cual debe corresponder a  $1V_p$  al salida del sumador de acuerdo al rango del ADC12 (dándole un margen de seguridad de  $\pm 0.25V$ ). Tomando como base el caso del circuito de retroalimentación de  $z_2$ , se determina un  $V_o = 2.2 V_p$ . Entonces para una  $I_p = 8 \text{ A}$  corresponde un  $V_o = 2.2 V_p$ . Dado que  $N_s = 1054$  Vueltas se puede despejar  $I_s$  de la ecuación (4.28) y obtener su valor máximo

$$I_s = 8 / 1054 = 7.6 \text{ mA}$$

Posteriormente se despeja  $R_o$  de la ecuación (4.29) y sustituyendo los valores de  $V_o$  e  $I_s$  se obtiene

$$R_o = 2.2 / (7.6 \times 10^{-3}) = 289 \Omega$$

El valor comercial superior más cercano es  $330 \Omega$ . Con este valor se recalcula  $V_o$

$$V_o = (330)(7.6 \times 10^{-3}) = 2.51 \text{ V}$$

Con el cual se tiene ahora la segunda entrada del sumador de voltaje.

#### 4.4.1 Sumador de voltaje para $z_1$

Para el cálculo de las resistencias de dicho sumador se tiene que hacer el mismo compromiso que se hizo para el sumador de  $z_2$ . En la figura (4.15 a) se puede ver que los voltajes que se suman son  $V_{R0} = 2.508 V_p$  y  $V_{cd} = 2.1 V$ .

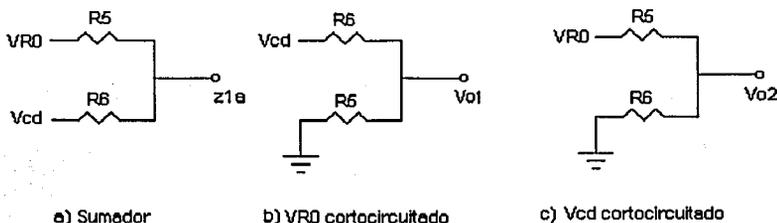


Figura 4.15. Sumador para  $z_1$ .

Aplicando teorema de superposición se conecta a tierra  $V_{R0}$ , como se ve en la figura (4.15 b). el voltaje  $V_{o1}$  está dado por

$$V_{o1} = \left( \frac{V_{cd}}{R_5 + R_6} \right) R_5 \quad (4.30)$$

Se proponen una resistencia  $R_6 = 15 \text{ K}$  y un voltaje deseado  $V_{o1}$  de  $1.25V$ . Despejando  $R_5$  de (4.30) y sustituyendo estos valores, se obtiene

$$R_5 = \left( \frac{(1.25)(15K)}{2.1 - 1.25} \right) = 22 \text{ K}$$

Este valor está disponible comercialmente, por lo tanto, con este valor se verifica  $V_{o1}$

$$V_{o1} = \left( \frac{2.1}{15K + 22K} \right) 22K = 1.248 \text{ V}$$

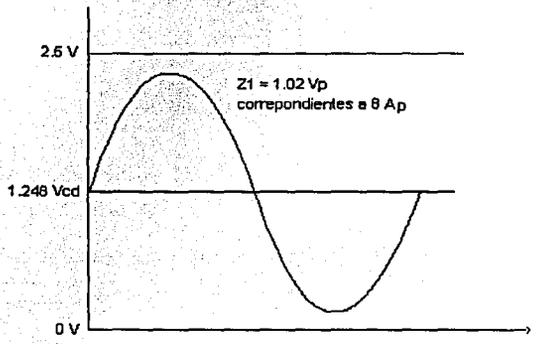
Ahora se verifican estos valores de resistencia para el circuito de la figura (4.15 c), donde  $V_{o2}$  está dado por

$$V_{o2} = \left( \frac{V_{R0}}{R_5 + R_6} \right) R_6 \quad (4.31)$$

Sustituyendo los valores de resistencia obtenidos anteriormente en (4.31) se obtiene

$$V_{o2} = \left( \frac{2.51}{15K + 22K} \right) 15K = 1.02 \text{ V}$$

Considerando que en la escala del ADC12 la corriente  $z_1$  se tiene que ajustar de cualquier modo con un factor numérico, se utilizan esos valores de resistencia. Por lo tanto, el voltaje introducido en la terminal P6.6 para retroalimentar  $z_1$  es  $z_{1a} = 1.02 \text{ V}_p + 1.248 \text{ V}_{cd}$ . Mediante el programa se le resta el voltaje  $V_{cd}$  y se obtiene la polaridad real de la señal  $z_1$  como se ve en la siguiente figura.



TESIS CON  
FALLA DE ORIGEN

Figura 4.16. Corriente retroalimentada  $z_1$ .

Debido a que las relaciones de transformación para  $z_1$  y  $z_2$  son distintas es necesario afectar a  $z_1$  por un factor que la ajuste a la misma escala de  $z_2$ . Para obtener el factor de ajuste por el que se multiplica la corriente medida, se toman en cuenta la relación de transformación de la corriente

$$1.02/8 = 0.128$$

y la relación de transformación que se consideró para  $z_2$ , de donde se obtiene la siguiente relación numérica

$$(0.128)(30) = 3.84$$

Esta cantidad es la que relaciona a las dos variables medidas, como se ve a continuación. Una vez convertido el valor medido (afectado por  $F_2$ ), el factor que afecta es  $F_1 = 1.44 \times 10^9$ , por lo que es el

que se debe utilizar junto con la relación anterior para ajustar el valor convertido de  $z_1$ . De acuerdo a lo anterior el factor de ajuste es

$$F_{aj} = (1.44 \times 10^{10}) / (3.84) = 3.75 \times 10^9$$

Con este factor de ajuste se asegura que la corriente y el voltaje de retroalimentación se encuentren en la misma escala.

#### 4.5 Fuente de Voltaje

La fuente de voltaje tiene que polarizar al microcontrolador, al circuito impulsor y a los circuitos de retroalimentación. Dicha fuente tiene que entregar dos niveles de voltaje<sup>28</sup>: 15 V para alimentar la parte de salida del circuito impulsor (IR210) y para el amplificador operacional (LM3124N). 3.3 V para alimentar al microcontrolador, al supervisor de voltaje del microcontrolador, a la parte de entrada del impulsor, el circuito de referencia  $V_{cd}$  y los micro-interruptores con que se definen las entradas a los puertos 3 y 5 para generar las ganancias  $\gamma$  y  $k_1$  respectivamente. La fuente de voltaje usada para este trabajo está compuesta por un transformador reductor de voltaje, un rectificador de onda completa, un capacitor que filtra el voltaje de rizo, y dos reguladores de voltaje con un capacitor de tantalio cuyo valor es recomendado por el fabricante. En la figura (4.17) puede verse el diagrama esquemático de la fuente.

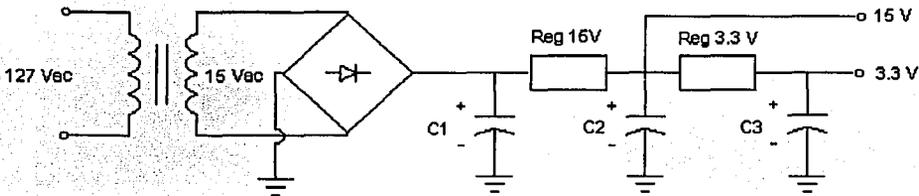


Figura 4.17. Fuente de voltaje.

El diseño de la fuente de voltaje se hace tomando en cuenta la corriente requerida por todos los circuitos que va alimentar, los reguladores se seleccionan de acuerdo a esto. El consumo de corriente de los circuitos mencionados es muy bajo excepto el del circuito impulsor, ya que este necesita una corriente considerable para disparar las compuertas de los MOSFET. En la hoja de datos del IR2110 se tiene una corriente máxima de salida  $I_o = 2$  A. Sin embargo esta corriente no alcanza este valor máximo ni es constante, por lo que basta con un regulador de voltaje de 1 A. El regulador que cumple con las características de 15 V / 1 A es el L7815CV. Para regular la salida de 3.3 V se selecciona el regulador LF33CV, la corriente máxima que entrega este dispositivo es de 500 mA. El capacitor que filtra el voltaje de rizo es de 1000  $\mu$ f a 50 V, el cual es un valor típico en este tipo de aplicaciones.

Para asegurar un encendido correcto del  $\mu$ C se usa un circuito RC que retarda el encendido del  $\mu$ C hasta que la fuente de voltaje se ha estabilizado, sin embargo, cuando se apaga la fuente este arreglo mantiene cierto nivel de voltaje hasta que se descarga el capacitor por lo que no se asegura

<sup>28</sup> Los voltajes de alimentación se pueden verificar en las respectivas hojas de datos de los dispositivos mencionados.

el correcto funcionamiento del  $\mu\text{C}$  durante este intervalo. Debido a esto, es necesario seleccionar un CI que apague el  $\mu\text{C}$  cuando; el nivel de voltaje del arreglo RC decrece hasta cierto Límite. El CI que se selecciona para este fin es el TLC7733, el cual tiene un voltaje de umbral típico de 2.93 V y su voltaje de alimentación es de 2 a 6 V.

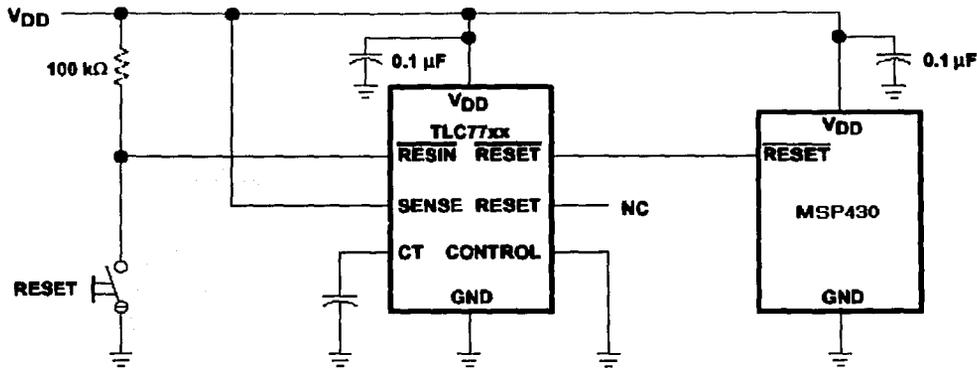


Figura 4.17. supervisor de voltaje para el microcontrolador.

El tiempo de encendido en el CI está determinado por el arreglo RC conformado por la resistencia de 100 K y el capacitor  $C_T$  de la figura (4.17), éste tiempo está dado por la siguiente fórmula<sup>29</sup>

$$t_d = 2.1 \times 10^4 \times C_T$$

considerando un capacitor de tantalio de 1  $\mu\text{f}$  se obtiene

$$t_d = (2.1 \times 10^4)(1 \times 10^{-6}) = 21 \text{ ms}$$

el cual es un tiempo razonable para permitir que el microcontrolador encienda correctamente. En la figura (4.17) se pueden ver las conexiones de el CI para el tipo de aplicación de este trabajo.

Con esto termina la etapa de diseño, el diagrama esquemático del sistema completo se encuentra en el Apéndice C. El montaje de los componentes se hace en un circuito impreso de doble cara. El circuito impreso se diseñó con el paquete de dibujo por computadora Autocad 2000. Los diagramas correspondientes al circuito impreso se encuentra en el mismo apéndice.

<sup>29</sup> Esta fórmula es proporcionada por el fabricante (Texas Instrumens) en la hoja de datos del TLC7733.

El controlador implantado en el microcontrolador MSP430 es evaluado en este capítulo, comparando el desempeño del sistema en lazo abierto con el sistema controlado por el esquema de control basado en pasividad. Los parámetros del sistema son:  $V_e = 60$  V,  $C_f = 75$   $\mu$ F,  $L_f = 16.67$  mH,  $R_l = 2.2$  K,  $C_1 = C_2 = 4700$   $\mu$ F y una frecuencia fija de muestreo  $f_m = 7.2$  KHz. Para la evaluación experimental se verificó que el seguimiento del voltaje en el capacitor y la corriente en el inductor sean los esperados. También se verificó el espectro armónico de cada variable de estado, este parámetro es el que permite verificar de manera más concreta el desempeño del controlador CBP.

### 5.1 Desempeño del Inversor en Lazo Abierto

Para evaluar el desempeño en lazo abierto del sistema se usó una señal de control considerando que los límites de  $\mu$  están dentro del intervalo  $[0, 500]$ , de acuerdo al rango de TBR (definido por el periodo de muestreo), como se expuso en la sección 3.2.4. Dentro de este intervalo hay que considerar los tiempos muertos (valor numérico de 10 correspondiente a  $t_d = 1.38$   $\mu$ s). La señal de control en lazo abierto es  $\mu = 250 + 245 \sin(120\pi t)$ , la cual se obtiene en forma de tabla considerando 120 muestras como se mencionó antes. En la gráfica de la Figura (5.1) se pueden ver las trayectorias de  $z_1$  (Canal 4) y de  $z_2$  (canal 3) en lazo abierto, donde se puede ver que las señales alcanzan sus valores nominales en el tercer ciclo.

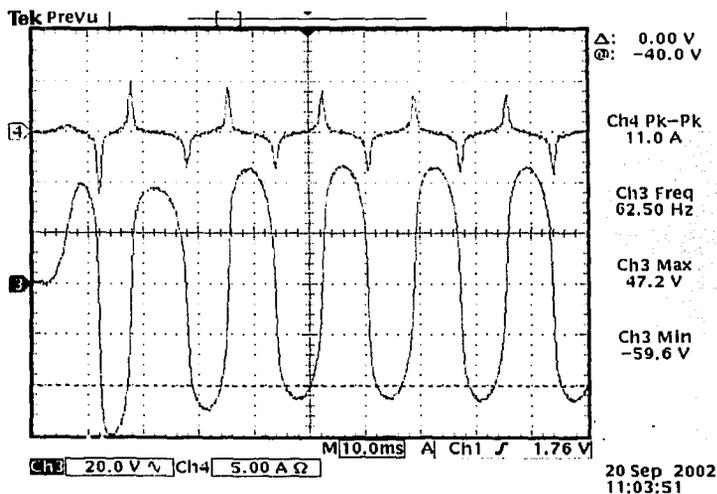


Figura 5.1. Desempeño en lazo abierto del inversor de medio puente.

En la forma de onda de la corriente se observa que el circuito es predominantemente inductivo. La forma de onda del voltaje se nota desplazada hacia la izquierda. La amplitud nominal del voltaje  $z_2$

es de 47 V<sub>p</sub>. En la figura (5.2) se puede observar que la corriente en el inductor tiene un alto contenido armónico (hasta la 15ª armónica con un valor observable a vista), donde la 3ª y 5ª componentes armónicas representan respectivamente el 59.8 % (524 mA<sub>rms</sub>) y el 43.4 % (380 mA<sub>rms</sub>) de la componente fundamental de corriente (876 mA<sub>rms</sub>).

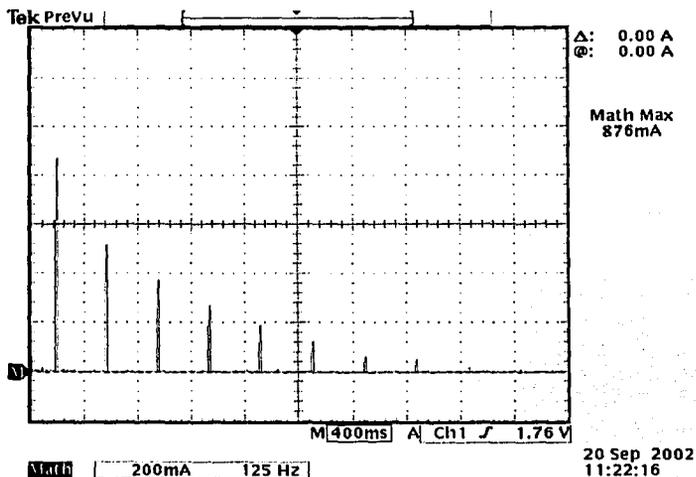


Figura 5.2. Espectro armónico de  $z_1$  en lazo abierto.

En la figura (5.3) se observa que la 3ª y 5ª componentes armónicas del voltaje representan respectivamente el 19.4 % y 8.6 % de la componente fundamental, por lo que no son magnitudes despreciables.

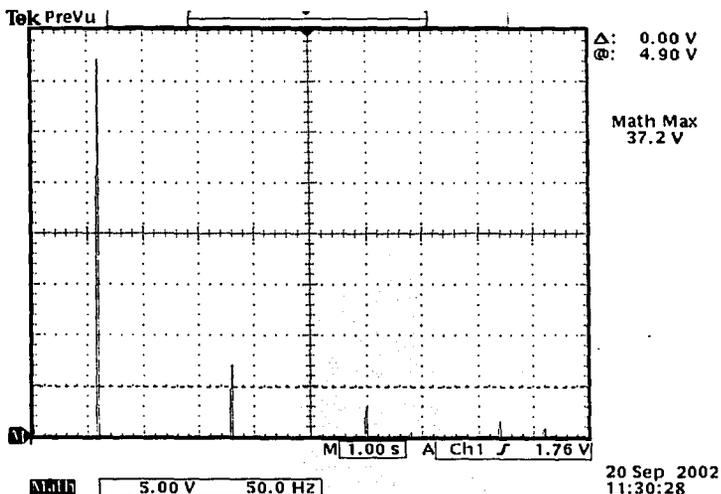


Figura 5.3. Espectro armónico de  $z_2$  en lazo abierto.

## 5.2 Desempeño del Inversor con el controlador CBP

En esta sección se presenta el desempeño del inversor con el controlador CBP. La finalidad de esta evaluación es verificar que el voltaje de salida del inversor siga la trayectoria definida por la señal de voltaje deseado  $z_{2d} = 30 \text{ sen}(120\pi) \text{ V}_p$  con un contenido armónico reducido. Se llevaron a cabo cuatro experimentos; en el primero se evaluó el desempeño del controlador CBP en condiciones de carga nominal ( $R_l = 2.2 \text{ K}$ ), en el segundo experimento se probó el sistema con una perturbación en la carga (conectando una resistencia de  $330 \Omega$  en paralelo con  $R_l$ ), en el tercero se conectó la misma resistencia y en el cuarto se probó con una carga no-lineal (rectificador de puente completo). En los cuatro experimentos se obtuvo el espectro armónico de las variables de estado.

### 5.2.1 Desempeño con Carga Nominal

La evaluación del inversor con el controlador CBP se llevó a cabo con los mismos parámetros que se usaron para la evaluación en lazo abierto, además de una ganancia de amortiguamiento  $k_1 = 51$  y una ganancia de adaptación  $\gamma = -0.000005$ . En la figura (5.4) se muestran las trayectorias de  $z_1$  y  $z_2$ , donde se observa que estas señales alcanzan sus valores nominales en el tercer ciclo (tal como en lazo abierto), sin embargo, a diferencia del inversor en lazo abierto, con el controlador CBP se logra de manera satisfactoria el seguimiento del voltaje deseado que es de  $30 \text{ V}_p$ .

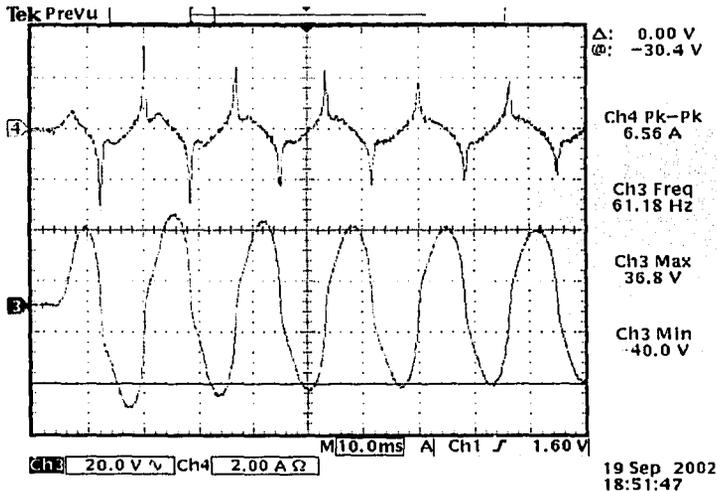


Figura 5.4. Desempeño del inversor de medio puente con el controlador CBP.

Conforme el tiempo tiende a infinito se observa que el error de seguimiento de voltaje tiende a cero como puede observarse en la gráfica de la figura (5.5), donde la frecuencia es prácticamente de 60 Hz y el voltaje es de  $\pm 30 \text{ V}_p$ .

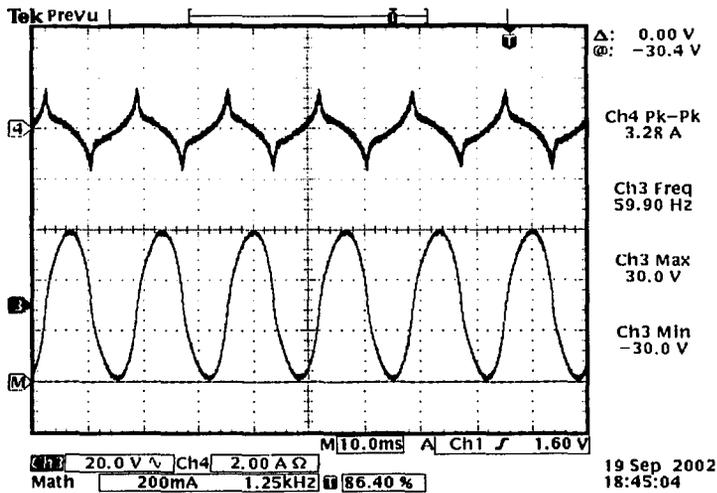


Figura 5.5.  $z_1$  y  $z_2$  en estado permanente.

El espectro armónico de la corriente en el inductor para el sistema controlado por el esquema CBP aparece en la figura (5.6), donde se puede observar que la amplitud de las componentes armónicas se reduce considerablemente (hasta la 11ª armónica con un valor observable). La 3ª y la 5ª componentes armónicas representan el 26.6 % (136 mA<sub>rms</sub>) y 14.8 % (76 mA<sub>rms</sub>) respectivamente de la componente fundamental (512 mA<sub>rms</sub>), esto representa una reducción significativa con respecto al contenido armónico de la corriente en lazo abierto.

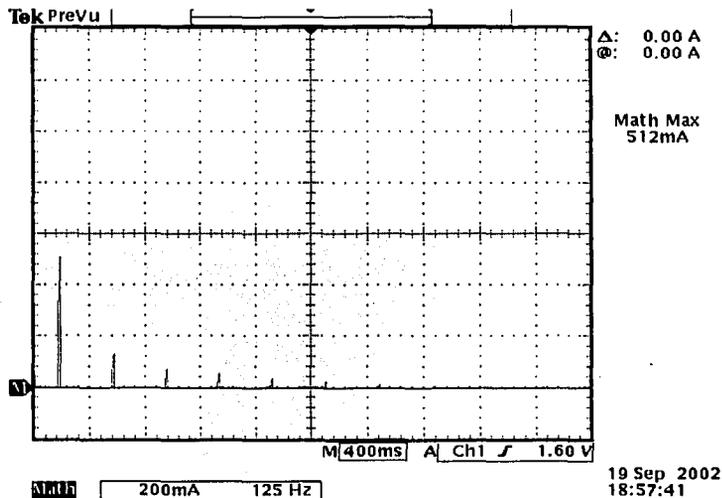


Figura 5.6 Espectro armónico de  $z_1$  con el controlador CBP.

La amplitud de la 3ª y 5ª armónicas de  $z_2$ , se ven reducidas al 9.8 % ( $2.0 V_{rms}$ ) y 3.92 % ( $800 mV_{rms}$ ) de la componente fundamental ( $20.4 V_{rms}$ ) respectivamente, como se puede observar en la figura (5.7).

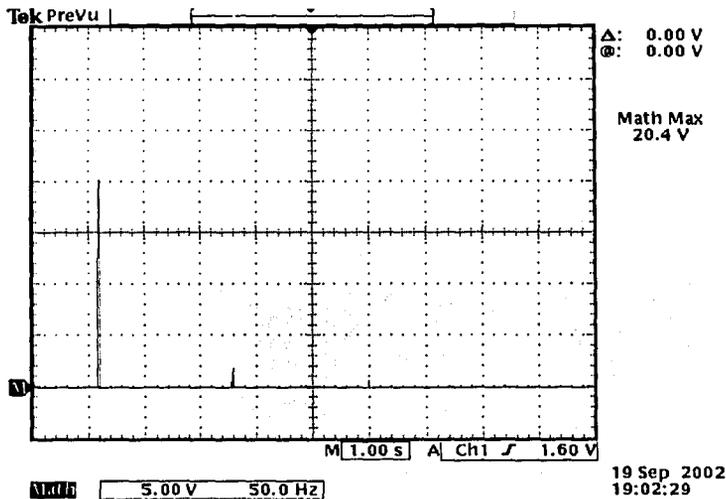


Figura 5.7 Espectro armónico de  $z_2$  con el controlador CBP.

El seguimiento del voltaje es bastante bueno, ya que la amplitud de  $z_2$  alcanza su valor nominal en el tercer ciclo, como se puede observar en la figura (5.4). Las componentes armónicas se ven reducidas significativamente, tanto para la corriente  $z_1$  y como para el voltaje  $z_2$ . La respuesta dinámica del controlador CBP es buena, ya que desde el primer ciclo se observa que el controlador lleva a cabo el seguimiento del voltaje deseado. De acuerdo a lo anterior, el desempeño del controlador se puede calificar como bueno.

### 5.2.2 Desempeño con Perturbación en la Carga

La finalidad de este experimento es comprobar la robustez del controlador CBP ante perturbaciones en la carga y la rapidez con que la ley de adaptación estima el valor de la carga. En este experimento se conectó una resistencia  $R_p = 330 \Omega$  en paralelo con la resistencia de carga nominal de 2.2 K. Al hacerse más pequeña la resistencia de carga el consumo de corriente se incrementa, el controlador responde a esta perturbación incrementando la ganancia del inversor, con el fin de mantener el voltaje lo más cercano a  $z_{2d}$ . Antes de la perturbación la carga requiere una corriente de  $9.64 mA_{rms}$ , al conectar en paralelo la resistencia de  $330 \Omega$  con la carga nominal el consumo de corriente aumenta a  $73.91 mA_{rms}$ , esto significa que ahora el consumo de corriente es 7.6 veces mayor que el anterior. En la figura (5.8) se puede ver la disminución en la corriente del inductor y el voltaje del capacitor después de introducir la perturbación (el pulso es la señal que activa al relevador que conecta a  $R_p$  en paralelo con  $R_L$ ), 30 ms después de que esto ocurre las señales llegan prácticamente a sus valores nominales. Para mantener el voltaje de salida después de la perturbación en la carga el controlador incrementa la ganancia del inversor, esto lo logra gracias a la ley de adaptación que permite estimar el nuevo valor del parámetro  $\theta$ .

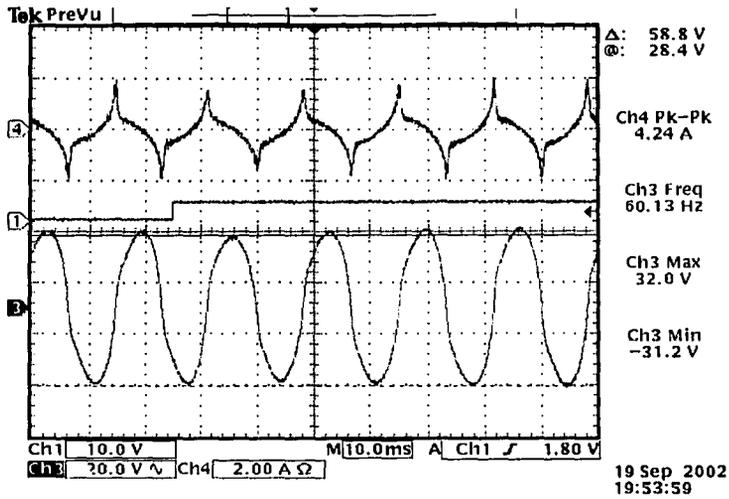


Figura 5.8. Respuesta del inversor ante una perturbación en la carga con el controlador CBP.

Una segunda perturbación consistió en conmutar la resistencia  $R_p$  en paralelo con  $R_L$  a una frecuencia de 120Hz, con el fin de emular a una carga donde existe conmutación. En la gráfica de la figura (5.9) se puede ver que la corriente en el inductor aumenta (en comparación con su valor con carga nominal) con el fin de mantener el seguimiento de voltaje. La señal de pulsos es la que controla al relevador encargado de conmutar la carga. La distorsión armónica es baja, como puede comprobarse observando sus espectros armónicos (ver figuras 5.10 y 5.11)

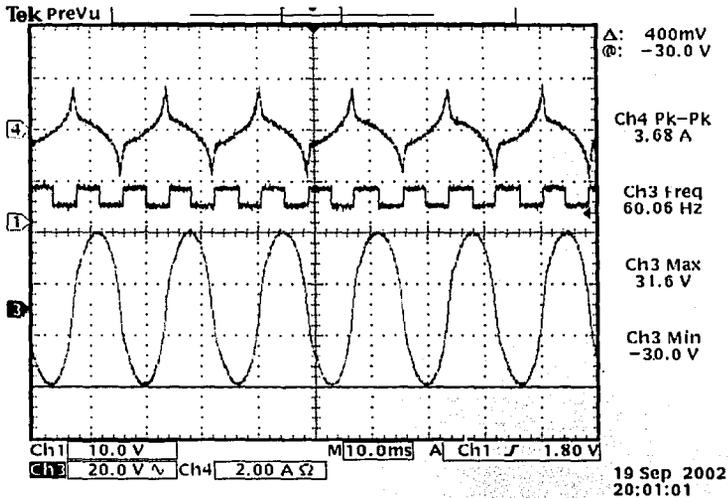


Figura 5.9. Voltaje en el capacitor con una perturbación en la carga de 120 Hz.

En la gráfica de la figura (5.10) se observa que el contenido armónico de la corriente  $z_1$ , donde la 3ª y 5ª componentes armónicas representan el 36.2 % (196 mA<sub>rms</sub>) y el 26.6 % (144 mA<sub>rms</sub>) respectivamente de la componente fundamental (542 mA<sub>rms</sub>), éstas componentes se mantienen (aún con la perturbación) más bajas con respecto a las componentes de corriente en lazo abierto.

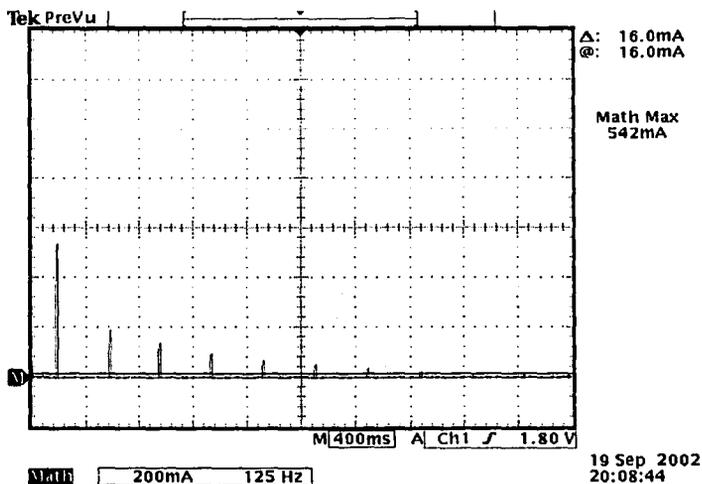


Figura 5.10. Espectro armónico de  $z_1$  con una perturbación en la carga conmutando a 120 Hz.

En la gráfica de la figura (5.11) se observa que la distorsión armónica en el voltaje de salida es baja, ya que la 3ª y 5ª armónicas representan el 11.9 % (2.8 V<sub>rms</sub>) y el 5.5 % (1.3 V<sub>rms</sub>) de la componente fundamental (23.5 V<sub>rms</sub>).

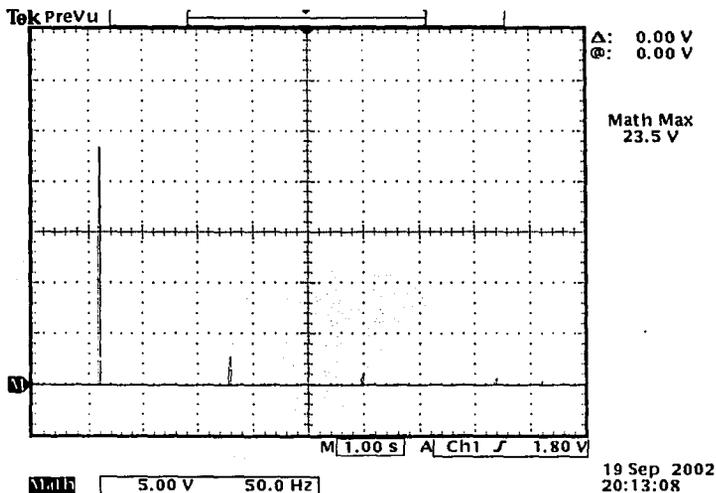


Figura 5.11. Espectro armónico de  $z_2$  con una perturbación en la carga conmutando a 120 Hz.

### 5.2.3 Desempeño con Carga No Lineal

Para evaluar el desempeño del controlador CBP con carga no lineal, se conectó a la salida del inversor un puente rectificador de onda completa, un capacitor de carga  $C_1 = 1000 \mu\text{F}$  a 25 V y una resistencia de carga  $R_l = 660 \Omega$ . En la figura (5.12) se puede ver el circuito que conforma a la carga no-lineal.

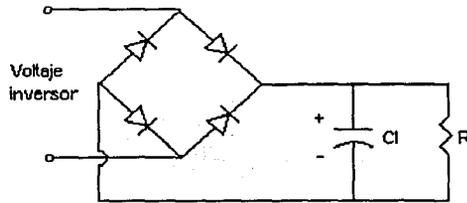


Figura 5.12. Carga no-lineal.

En la gráfica (5.13) se observa que la corriente crece hasta  $2.5 \text{ A}_{\text{p}}$ , lo que significa que la ley de control está tratando de compensar la no linealidad de la carga aumentando la ganancia del inversor. En el voltaje se observa que los picos de cada semiciclo están recortados, esto es provocado por la carga y descarga del capacitor (en la carga). A pesar de esto, la distorsión no es significativa.

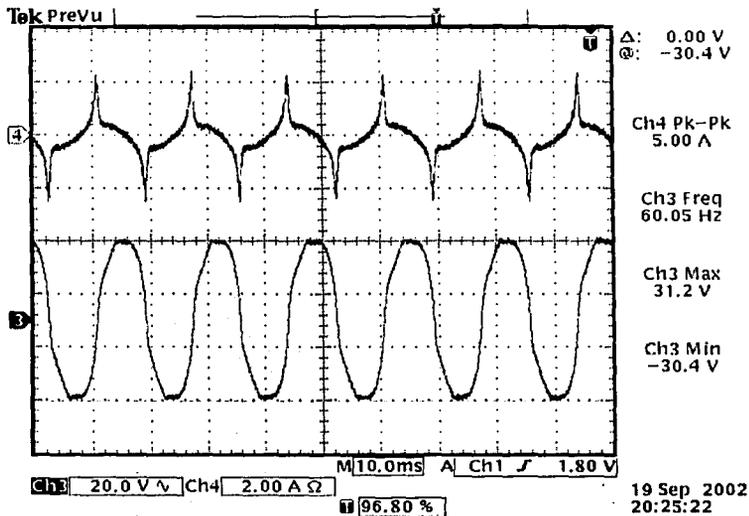


Figura 5.13. Desempeño del controlador CBP con carga no lineal.

Por su parte el contenido armónico de la corriente permanece en niveles bajos, como puede verse en la figura (5.14). La 3ª y 5ª componentes armónicas de corriente representan respectivamente el 37.52 % ( $212 \text{ mA}_{\text{rms}}$ ) y el 24.78% ( $140 \text{ mA}_{\text{rms}}$ ) de la componente fundamental.

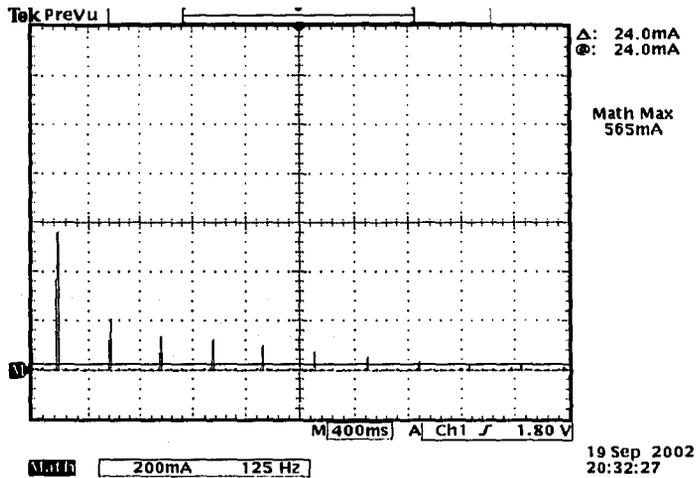


Figura 5.14. Espectro armónico de  $z_1$  y  $z_2$  con carga no lineal.

El contenido armónico del voltaje de salida del inversor permanece bajo aún alimentando carga no-lineal. En la gráfica de la figura (5.15) se observa que la 3ª y 5ª componentes armónicas del voltaje de salida representan respectivamente el 14.1 % (3.1  $V_{rms}$ ) y el 6.4 % (1.4) de la componente fundamental (22  $V_{rms}$ ). Comparando estos porcentajes con los del sistema en lazo abierto (con carga nominal), se puede notar que aún alimentando a una carga no-lineal el controlador responde de manera satisfactoria.

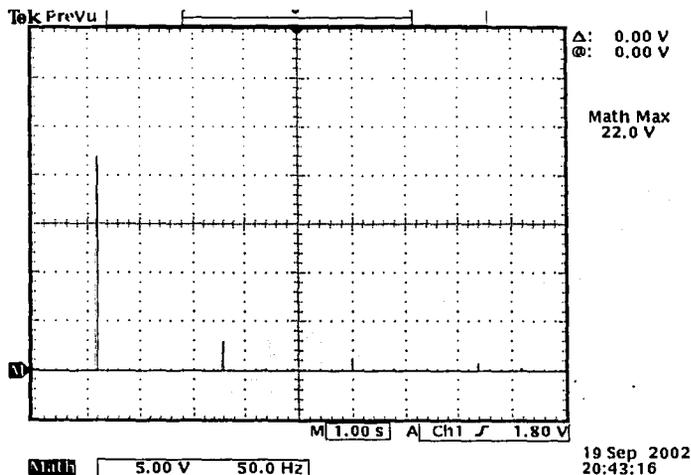


Figura 5.15. Espectro armónico de  $z_2$  con carga no-lineal.

Finalmente, en la gráfica de la figura (5.16) se observa la corriente en la carga, cuya forma de onda es triangular debido a que la carga es predominantemente capacitiva y es la que introduce junto con el puente rectificador la no-linealidad. El voltaje en la carga es el mismo que existe en el capacitor del filtro de salida del inversor.

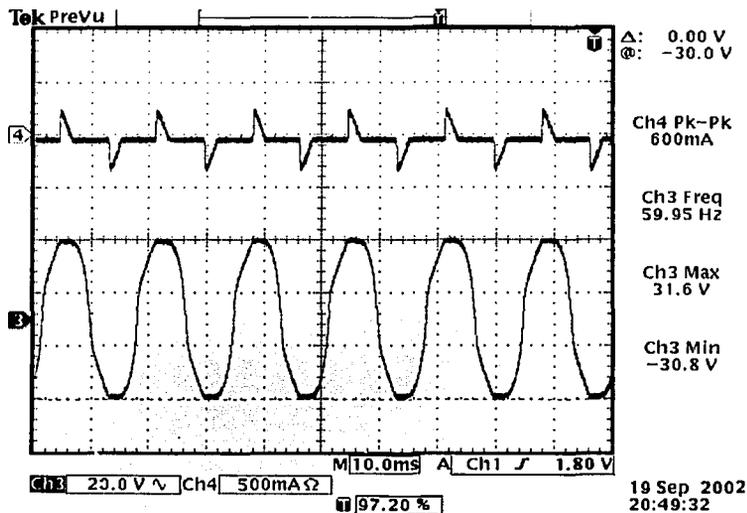


Figura 5.10. Corriente y voltaje en la carga (entrada del rectificador).

Con el experimento anterior finaliza la evaluación del esquema de control basado en pasividad, donde se observó que en todos los casos el seguimiento de voltaje se mantuvo de manera bastante aceptable.

## Conclusiones

El esquema de control propuesto en [Noriega, 2001] se implantó de manera satisfactoria, ya que los algoritmos propuestos en este trabajo de tesis con el fin de implantar el esquema de control CBP en el microcontrolador de bajo costo funcionaron como se esperaba, a pesar de su simplicidad. El sistema diseñado para evaluar el esquema de control funcionó como se esperaba y se pudo llevar a cabo la evaluación experimental de manera satisfactoria.

Los resultados experimentales comparados con los resultados de simulación y con el desempeño del inversor de medio puente en lazo abierto demuestran que el desempeño del esquema de control basado en pasividad es bastante aceptable, tanto para cargas lineales, como para cargas no lineales, donde las limitantes del controlador están impuestas por el propio sistema y por la rapidez de procesamiento del microcontrolador, ya que entre mayor sea la frecuencia de muestreo, el desempeño del controlador tiende a mejorar. Otra limitante es la capacidad de los registros para manejar los valores que se manejan en el cálculo de la ley de control, ya que al usar un factor, entre más grande sea este, se tienen que usar más registros, debido a que el tamaño del factor que afecta a  $\mu$  depende directamente de que tan pequeña se desea que sea la ganancia de adaptación  $\gamma$  ó, si se usan valores de capacitancia muy grandes para el filtro. También se puede desbordar la capacidad de los registros, esto puede resultar en valores erróneos para la ley de control y por lo tanto una pérdida del control, otra limitante es el rango de valores que maneja el convertidor analógico-digital, ya que si la magnitud de las señales de retroalimentación sobrepasa este rango, los valores convertidos que se obtienen son erróneos y por lo tanto los valores calculados de la ley de control también, con la consecuente pérdida del control. Sin embargo, se debe tomar en cuenta que estas limitaciones son inherentes al microcontrolador y no al esquema de control basado en pasividad. Tomando en cuenta las razones expuestas se llega a la conclusión de que el esquema de control basado en pasividad tiene un buen desempeño, ya que su robustez permite que el voltaje entregado por el inversor tenga un contenido armónico bajo, a pesar de alimentar cargas no lineales. Además de que se reduce considerablemente el tamaño de los elementos pasivos del filtro y por lo tanto el costo del inversor.

## Recomendaciones

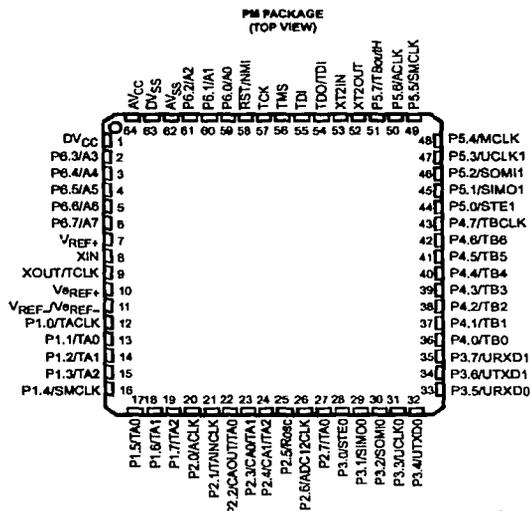
Con respecto a la evaluación de los parámetros internos de la ley de control como el estimado del parámetro  $\theta$  y la ley de control, se recomienda implementar técnicas de medición de estos parámetros, con el fin de evaluar el desempeño del controlador con base en dichos parámetros. Estas técnicas pueden incluir el uso de protocolos de comunicación serie, usando el puerto de comunicación serial disponible en el MSP430. Adicionalmente, se recomienda hacer pruebas comparativas con sistemas UPS convencionales, para evaluar las ventajas y desventajas del esquema de control basado en pasividad en comparación con los esquemas de control convencionales usados en este tipo de sistemas, esto permitirá verificar la viabilidad funcional y económica del esquema CBP.

## Apéndice A Descripción General del MSP430F149

En este apéndice se describen las características más importantes del microcontrolador ( $\mu\text{C}$ ) MSP430F149. Esta descripción es muy general, ya que solo sirve para entender como operan los módulos del microcontrolador y como se generaron algunas rutinas del programa. Por lo que solo se describen los módulos que se utilizaron en este trabajo de tesis. Aquí se mencionan las principales características del microcontrolador, así como las herramientas de desarrollo disponibles. Adicionalmente, se hace una descripción general de la arquitectura del micro, la unidad de procesamiento central (CPU por sus siglas en inglés), la memoria, los módulos periféricos y el conjunto de instrucciones. Las características eléctricas de los módulos y del sistema en general; deben ser verificados en la hoja de datos del microcontrolador disponible en la página web de Texas Instruments.<sup>30</sup>

### A.1 Características Generales

El MSP430F149 es un  $\mu\text{C}$  con bajo consumo de energía, el cual cuenta con una arquitectura Ortogonal<sup>31</sup> de 16 bits, tiene un empaque QFP (Quad Flat Pack) de 64 pines como puede verse en la figura (A.1), donde también puede verse la asignación de funciones en cada terminal<sup>32</sup>. La CPU cuenta con 16 registros internos y un generador de constantes. El  $\mu\text{C}$  puede operar en modo normal ó 4 modos de bajo consumo de energía (en esta aplicación solo se utiliza el  $\mu\text{C}$  en el modo normal).



TESIS CON  
FALLA DE ORIGEN

Figura A.1 Empaque QFP de 64 pines del MSP430F149.

<sup>30</sup> <http://www.ti.com/>

<sup>31</sup> Ver sección A.3.2 de este apéndice o el manual MSP430 Family, Applications Reports (Luzt Bieri, TI 2000).

<sup>32</sup> El lector interesado en obtener mayor información de la función de cada terminal debe referirse a la hoja de datos del fabricante.

El  $\mu$ C cuenta con: dos Temporizadores; el temporizador A (Timer\_A) y el temporizador B (Timer\_B), ambos con capacidad de generar señales PWM. Un convertidor analógico-digital (ADC12) de 12 bits. Dos interfaces de comunicación serial (USART0 y USART1). 48 Terminales de entrada-salida (I/O). Un módulo funcional de multiplicación (Hardware Multiplier). Y un temporizador vigía<sup>33</sup>.

A continuación se listan de manera más detallada las características más relevantes del MSP430F149:

- Arquitectura de bajo consumo de potencia.
- Opera en un rango de 1.8 – 3.6 V de alimentación
- Consumo de corriente nominal 0.1 – 400  $\mu$ A @ 1 MHz
- 60 KB + 265 B de memoria Flash
- 2 KB de memoria RAM
- 7 Modos de direccionamiento para direcciones fuente
- 4 Modos de direccionamiento para direcciones destino
- 27 Instrucciones principales
- Procesamiento eficiente de tablas
- Convertidor analógico-digital de 12 bits ADC12 con voltaje de referencia interno
- Comparador\_A analógico de precisión
- Temporizador de 16 bits con 3 registros de captura-comparación y salida PWM (Timer\_A)
- Temporizador de 16 bits con 7 registros de captura-comparación y salida PWM (Timer\_B)
- Dos módulos de comunicación serial (USART0 y USART1)
- Temporizador vigía
- 2 Puertos de I/O P1 y P2 con capacidad de interrupción (8 terminales c/u)
- 4 puertos de I/O de propósito general (8 terminales c/u)
- Circuito funcional de multiplicación
- Oscilador programable (DCO)
- Oscilador de 32 KHz a 8 MHz (LFXT1)
- Oscilador de 450 KHz a 8 MHz (XT2)
- Memoria ROM enmascarada
- Memoria Flash (programable en el sistema)

Las herramientas de desarrollo disponibles para la familia MSP430 son:

- Compilador en lenguaje C
- Ensamblador
- Un ligador o Linker<sup>34</sup>
- Emuladores
- Kit de emulación Flash
- Kits de evaluación
- Programación serial en tarjeta
- Notas de aplicación y ejemplos de programación

---

<sup>33</sup> Este temporizador sirve para identificar si existen errores en el tiempo de ejecución del programa dentro del microcontrolador.

<sup>34</sup> Linker es el programa que sirve para enlazar todos los módulos que componen un proyecto de programación.

## Arquitectura Interna

La arquitectura de la familia MSP430 es de tipo ortogonal, es decir, existe un espacio de memoria común para todos los bloques funcionales, como puede observarse en la figura (A.2). Esta arquitectura permite que los módulos periféricos o las memorias RAM y ROM puedan ser accedidos por una misma instrucción. Además de permitir que se pueda ejecutar código de programa desde la memoria RAM. En esta figura pueden destacarse La CPU, las memorias Flash y RAM, el bus de datos (MDB), el bus de direcciones (MAB) y los módulos periféricos.

### MSP430x14x

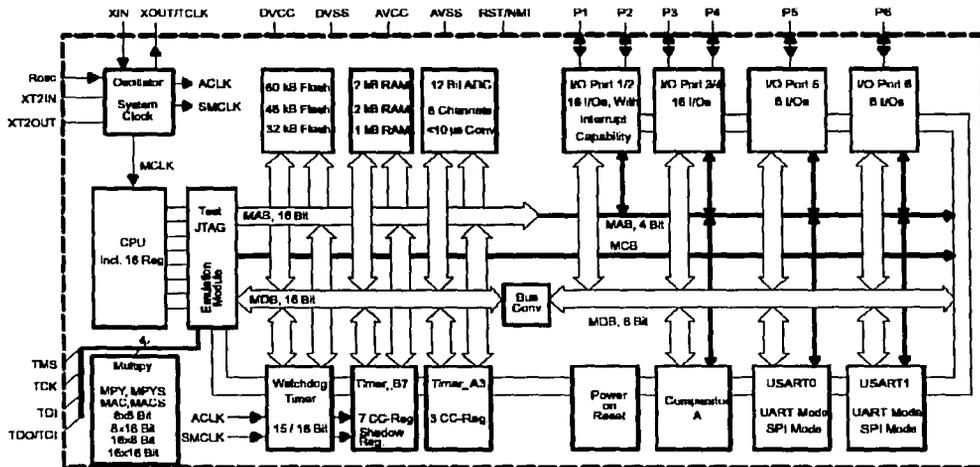


Figura A.2. Arquitectura de la familia MSP430F14x.

## A.2 Unidad de Procesamiento Central

La unidad de procesamiento central (CPU) consiste de una unidad aritmético lógica (ALU) de 16 bits, 16 registros y una lógica de control de instrucciones. Lo que permite reducir el tiempo de ejecución de instrucciones, por ejemplo: el tiempo de ejecución de una operación registro-registro toma solamente un ciclo de reloj. Cuatro de estos registros están reservados para el contador de programa (PC), el Puntero de pila (SP), el registro de estatus (SR) y el generador de constantes. Los registros restantes son de propósito general (ver tabla A.1). Todos los registros pueden ser accedidos usando completamente el conjunto de instrucciones, exceptuando el registro generador de constantes R3/CG2 y parcialmente R2/CG1. El generador de constantes proporciona constantes de instrucciones por lo que no son usados para almacenar datos. Los periféricos se comunican con la CPU a través de un bus de datos y direcciones y un bus de control, estos pueden ser manejados fácilmente con todas las instrucciones de manipulación de memoria (ver figura A.2).

Contador de programa (PC)	R0
Puntero de pila (SP)	R1
Registro de estatus (SR)/(CG1)	R2
Generador de constantes (CG2)	R3
Registro de trabajo	R4
Registro de trabajo	R5
:	:
:	:
:	:
Registro de trabajo	R14
Registro de trabajo	R15

Tabla A.1 Registros de la CPU.

### Contador de programa

El PC indica la siguiente instrucción a ser ejecutada. Cada instrucción utiliza un número par de bytes<sup>35</sup> (2, 4 o 6) y el PC es incrementado de acuerdo a esto. La ejecución de instrucciones tiene un límite mínimo de 16 bits, por lo que el PC se alinea con direcciones pares.

### Puntero de pila

El SP siempre se alinea con direcciones pares debido a que el puntero de pila es accesado con una palabra durante una rutina de servicio de interrupción. El SP es usado por la CPU para almacenar las direcciones de retorno de las llamadas de subrutinas e interrupciones. Este usa un esquema de predecremento y postincremento. La ventaja de este esquema es que el dato en el tope de la pila esta disponible. El usuario puede utilizar el SP con las instrucciones de PUSH y POP. La instrucción de PUSH introduce el contenido del contador de programa en el puntero de pila, el cual se decrementa. La instrucción de POP mueve el contenido del tope de la pila del SP al contador de programa.

### Registro de estatus

El registro de status (SR) indica el estado del sistema. En la figura (A.3) se pueden ver los bits de éste, donde la clave rw-0 indica la accesibilidad del registro y su condición inicial después de reiniciar el  $\mu$ C. En la tabla (A.2) se puede ver que indica cada bit.

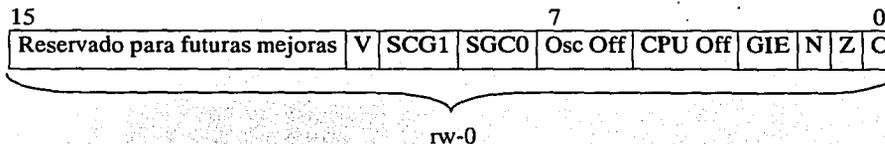


Figura A.3.Registro de estatus.

<sup>35</sup> Un byte está compuesto por 8 bits.

Bit	Descripción
V	<p>Bit de Desbordamiento. Su estado cambia a 1 si el resultado de una operación aritmética sobrepasa el rango de signo o variable. El bit es válido para ambos formatos de datos (8bits y 16 bits):</p> <p>ADD(.B), ADDC(.B) se pone en 1 cuando:            Positivo + Positivo = Negativo            Negativo + Negativo = Positivo</p> <p>SUB(.B), SUBC(.B), CMP(.B) se pone en 1 cuando:            Positivo - Negativo = Negativo            Negativo - Positivo = Positivo</p>
SCG1,SCG0	Bits de control del sistema generador de reloj. Estos bits controlan cuatro estados de actividad del sistema de generación de reloj y por lo tanto influye en la operación del procesador.
Osc Off	Bit de apagado del cristal oscilador. Si se pone en 1, el cristal oscilador entra en modo de apagado, todas las actividades cesan; sin embargo los contenidos de la RAM, de los puertos y de los registros son mantenidos. El restablecimiento de actividades es posible sólo a través de interrupciones externas habilitadas cuando el bit GIE es puesto en 1 y desde la terminal NMI.
CPU Off	Bit de apagado de la CPU. Si es puesto en 1 la CPU entra en modo de apagado: la ejecución del programa se detiene. Sin embargo, la RAM, los registros de los puertos, y los periféricos habilitados (por ejemplo el Timer_A, el ADC,etc) permanecen activos. El restablecimiento de actividades es posible a través de todas las interrupciones habilitadas.
GIE	Bit de habilitación de interrupción general. Si se pone en 1, todas las interrupciones enmascarables son manejadas. Si se pone en cero, todas las interrupciones enmascarables son deshabilitadas. El bit GIE es puesto en 0 al entrar la interrupción y cambia al estado 1 con la instrucción de RETI así como por otras instrucciones usadas apropiadamente.
N	Bit de signo negativo. Se pone en 1 si el resultado de una operación es negativo.
Z	Bit de cero. Se pone en 1 si el resultado de una operación de byte o word (palabra) es 0; cambia al estado 0 si el resultado no es cero.
C	Bit de acarreo. Se pone en 1 si el resultado de una operación ha producido un acarreo; se limpia si un acarreo no ocurre.

Tabla A.2. Bits del registro de estatus.

## Ortogonalidad

Esta notación utilizada en ciencias de la computación significa que una instrucción de un solo operando puede usar cualquier modo de direccionamiento o que una instrucción de dos operandos puede usar cualquier combinación de modos de direccionamiento de operandos fuente y destino. En la figura (A.3) se puede ver esto de manera gráfica, donde las combinaciones existentes cubren completamente el espacio de memoria disponible.

La arquitectura del MSP430 ofrece al usuario 7 posibilidades de direccionar sus operandos. Cuatro de ellos están implementados en la CPU, dos son el resultado del uso del contador de programa (PC) como un registro y otro más es requerido para indexar un registro que siempre contiene un cero (el registro de estatus). Las instrucciones de dos operandos pueden usar los siete modos de

direccionamiento y las instrucciones de dos operandos pueden usar todos los modos de direccionamiento para los operandos fuente y cuatro para los operandos de destino.

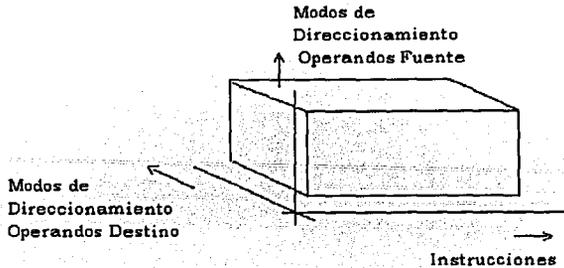


Figura A.3. Arquitectura Ortogonal (instrucciones de doble operando).

### Modos de Direccionamiento

Como se mencionó anteriormente, el  $\mu\text{C}$  cuenta con siete modos de direccionamiento para un operando fuente y cuatro para un operando de destino, los cuales pueden direccionar completamente el espacio de direcciones. En esta tabla se hace una descripción breve de cada modo de direccionamiento y la sintaxis que usa cada uno. Los números describen los contenidos de los bits de modo de dirección fuente  $A_s$  y de dirección destino  $A_d$ .

$A_s/A_d$	Modo de direccionamiento	Sintaxis	Descripción
00/0	De Registro	$R_n$	Los contenidos del registro son el operando.
01/1	Indexado	$X(R_n)$	El contenido de $(R_n+X)$ indica la dirección donde está contenido el operando.
01/1	Simbólico	ADDR	El contenido de $(PC+X)$ indica la dirección donde está contenido el operando. El modo indexado $X(PC)$ es usado en este modo.
01/1	Absoluto	&ADDR	La palabra después de la instrucción contiene la dirección absoluta
10/-	Indirecto de Registro	@ $R_n$	$R_n$ es usado como puntero para el operando.
11/-	Indirecto con autoincremento	@ $R_n+$	$R_n$ es usado como puntero; $R_n$ es posteriormente incrementado.
11/-	Inmediato	#N	La palabra después de la instrucción contiene la constante inmediata N. El modo indirecto con autoincremento @ $PC+$ es usado en este modo.

Tabla A.3. Modos de direccionamiento.

### A.3 MEMORIA

La memoria en su conjunto cuenta con difentes tipos de memoria separados físicamente; ROM (Read Only Memory), RAM (Random Access Memory), registros de función especial, módulos periféricos y memoria Flash. Los cuales están mapeados en un mismo espacio de memoria como se muestra en la tabla (A.4).

Organización		MSP430F149
Memoria Principal: Vectores de interrupción Principal: memoria de código Memoria de información	Tamaño Flash	60 KB 0FFFFh – 0FFE0h
	Flash	0FFFFh – 01100h
Memoria de inicio	Tamaño Flash	256 B 010FFh – 01000h
	Tamaño ROM	1 kB 0FFFh – 0C00h
RAM	Tamaño	2 kB 09FFh – 0200h
Periféricos	16 bits	01FFh – 0100h
	8 bits	0FFh – 010h
	8bits SFR	0Fh – 00h

Tabla A.4. Organización de la Memoria.

El bus de memoria tiene un ancho de 8 o 16 bits. Para aquellos módulos que pueden ser accedados con palabras de 16 bits este es siempre el tamaño del bus. Para los otros módulos, el ancho es de 8 bits y estos sólo pueden ser accedados con instrucciones de un byte. La memoria de programa (ROM) y la de datos (RAM) pueden ser accedadas con instrucciones de un byte o de 16 bits.

#### Direcciones de los módulos periféricos

Algunos módulos periféricos pueden ser accedados con instrucciones de un byte, mientras que otros con instrucciones de 16 bits. El espacio de direcciones de 0100h a 01FFh es reservado para módulos de 16 bits. Por su parte, el espacio de memoria de 00h a 0FFh es reservado para módulos de un byte. Ambos tipos de módulos deben ser accedados por medio del modo de direccionamiento absoluto o con los registros de 16 bits usándolos modos de direccionamiento indexados, indirecto, o indirecto con autoincremento.

#### Módulos de 16 bits

Los módulos de 16 bits son aquellos que están conectados al bus MDB de 16 bits. Estos pueden ser accedados con instrucciones de 16 o de 8 bits. Si las instrucciones de un byte son usadas, sólo las direcciones pares están permitidas. El espacio de direcciones de estos módulos periféricos está organizado en 16 secciones, cada uno de ellos compuesto de 8 palabras de 16 bits, como se muestra en la tabla (A.5).

Dirección	Descripción
1F0h – 1FFh	Reservado
1E0h – 1EFh	Reservado
1D0h – 1DFh	Reservado
1C0h – 1CFh	Reservado
1B0h – 1BFh	Reservado
1A0h – 1AFh	ADC12 control e interrupciones
190h – 19Fh	Timer_B
180h – 18Fh	Timer_B
170h – 17Fh	Timer_A
160h – 16Fh	Timer_A
150h – 15Fh	ADC12 Conversión
140h – 14Fh	ADC12 Conversión
130h – 13Fh	Multiplicador
120h – 12Fh	Watchdog Timer, control de Flash
110h – 11Fh	Reservado
100h – 10Fh	Reservado

Tabla A.5 Mapa de Direcciones de Módulos Periféricos de 16 bits.

### Módulos de 8 Bits

Los módulos un byte son aquellos que están conectados al bus de memoria de datos reducido a 8 bits (los 8 bits menos significativos). Estos deben ser accedidos con instrucciones de un byte. El espacio de direcciones de los módulos de un byte esta organizado en 16 secciones como se describe en la tabla A.6.

Dirección	Descripción
0F0h – 0FFh	Reservado
0E0h – 0EFh	Reservado
0D0h – 0DFh	Reservado
0C0h – 0CFh	Reservado
0B0h – 0BFh	Reservado
0A0h – 0AFh	Reservado
090h – 09Fh	Reservado
080h – 08Fh	ADC12 control de memoria
070h – 07Fh	USART0, USART1
060h – 06Fh	Reservado
050h – 05Fh	Sistema de Reloj, Comparador A
040h – 04Fh	Reservado
030h – 03Fh	Puertos de ent/sal P5 y P6 control
020h – 02Fh	Puertos de ent/sal P5 y P6 control
010h – 01Fh	Puertos de ent/sal P5 y P6 control
000h – 00Fh	Función Especial

Tabla A.6. Mapa de Direcciones de Módulos Periféricos de un Byte.

## Memoria Flash

La memoria Flash es eléctricamente reprogramable, es decir, puede programarse varias veces. El microcontrolador puede ser programado en la tarjeta de desarrollo, vía el módulo de programación JTAG y con los recursos del procesador. La memoria Flash tiene 119 segmentos de memoria principal y dos segmentos de memoria de información (A y B) de 128 bytes cada una, Cada segmento de memoria principal tiene un tamaño de 512 bytes.

El programa que correrá en el microcontrolador puede ser grabado en el módulo de memoria Flash. Este programa activo puede correr en las memorias RAM, ROM o Flash. El programa activo no debe estar en una zona de datos.

### A.4 Sistema de Reloj

El módulo de reloj cuenta con tres fuentes de reloj: LFXT1CLK para baja y alta frecuencia, XT2CLK para un rango de frecuencia de 450 KHz a 8 MHz y el DCOCLK que es un oscilador del tipo RC controlado digitalmente.

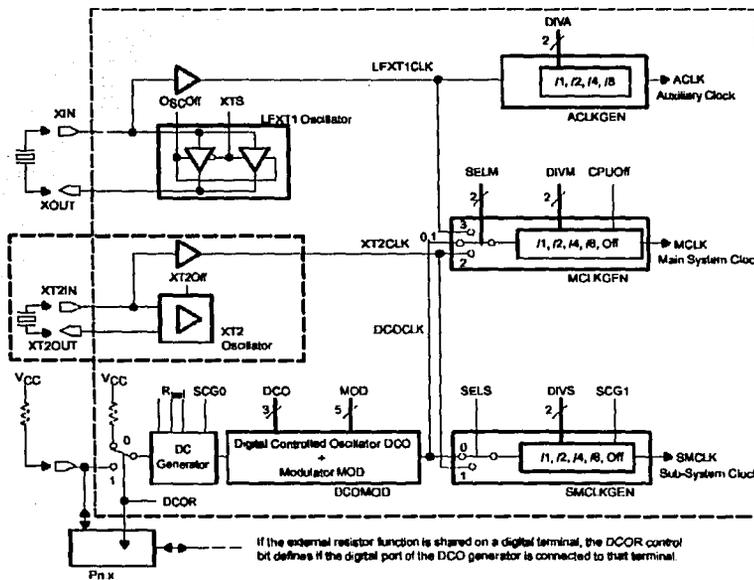


Figura A.4. Sistema de Reloj.

Las señales de reloj que suministra el sistema son tres:

1. Reloj Auxiliar (ACLK). Es una fuente de reloj aislada mediante un "Buffer" y puede ser usada y seleccionada por los módulos periféricos, sin embargo sólo proviene de LFXT1CLK.
2. Reloj Maestro (MCLK). Esta señal es usada por el sistema y la CPU, y puede provenir de cualquiera de los osciladores.

TESIS CON  
FALLA DE ORIGEN

3. Reloj Subprincipal (SMCLK). Esta señal de reloj puede ser usada y seleccionada individualmente por los módulos periféricos

Todas las fuentes de reloj pueden ser divididas por 1, 2, 4 o 8. El sistema de reloj se puede configurar con el programa mediante el registro de control DCOCTL en el caso de DCOCLK. Los osciladores restantes se configuran mediante los registros BCSTL1 y BCSTL2. Ambos registros son afectados por las señales de reinicialización PUC ó POR<sup>36</sup>. La configuración del sistema de reloj consiste en seleccionar las fuentes de reloj y seleccionar la frecuencia de operación en el caso de DCOCLK, ésta depende del cristal externo en el caso de LFX1CLK y XT2CLK. En la figura (A.5) se pueden ver los bits de control de BCSTL1. Los bits 0 a 3 sirven para seleccionar el resistor interno, los bits 4 y 5 para dividir la señal de reloj ACLK(bits 4 y 5), el bit 6 para determinar si el oscilador LFX1 opera con un cristal de alta o baja frecuencia y el bit 7 para encender o apagar el oscilador XT2.

7							0
XT2Off	XTS	DIVA.1	DIVA.0	XT5V	Rsel.2	Rsel.1	Rsel.0
rw-(1)	rw-(0)	rw-(0)	rw-(0)	rw-0	rw-1	rw-0	rw-0

Figura A.5. Registro de control BCSTL1.

El registro BCSTL2 selecciona la resistencia que inyecta corriente en el generador de cd para determinar si el DCO opera con una fuente externa o en el modo a prueba de fallas (bit0). En la figura (A.6) se puede ver el registro de control BCSTL2. Los bits 1 y 2 determinan por que cantidad se divide la fuente de reloj seleccionada para SMCLK, el bit SELS selecciona la fuente para generar SMCLK. La fuente seleccionada para MCLK es dividida de acuerdo al estado de los bits 4 y 5. Los bits 6 y 7 sirven para seleccionar la fuente de MCLK.

7							0
SELM.1	SELM.0	DIVM.1	DIVM.0	SELS	DIVS.1	DIVS.0	DCOR
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-0	rw-0	rw-0	rw-0

Figura A.6. Registro de control BCSTL2.

## A.5 Módulos Periféricos

### Módulo Funcional de Multiplicación

El multiplicador es un modulo periférico de 16 bits y no está integrado dentro de la CPU, por lo que no requiere instrucciones especiales y opera independientemente de la CPU. El multiplicador soporta cuatro tipos de multiplicación: multiplicación sin signo (MPY), multiplicación con signo (MPYS), multiplicación sin signo con acumulación (MAC) y multiplicación con signo y acumulación (MACS).

<sup>36</sup> Ver la descripción de éstas señales en la sección A.6 de este apéndice.

En la figura (A.7) se puede ver la estructura del módulo multiplicador. Las multiplicaciones que se pueden realizar según el tamaño de los operandos son:

1. 16x16 bits
2. 16x8 bits
3. 8x16 bits
4. 8x8 bits

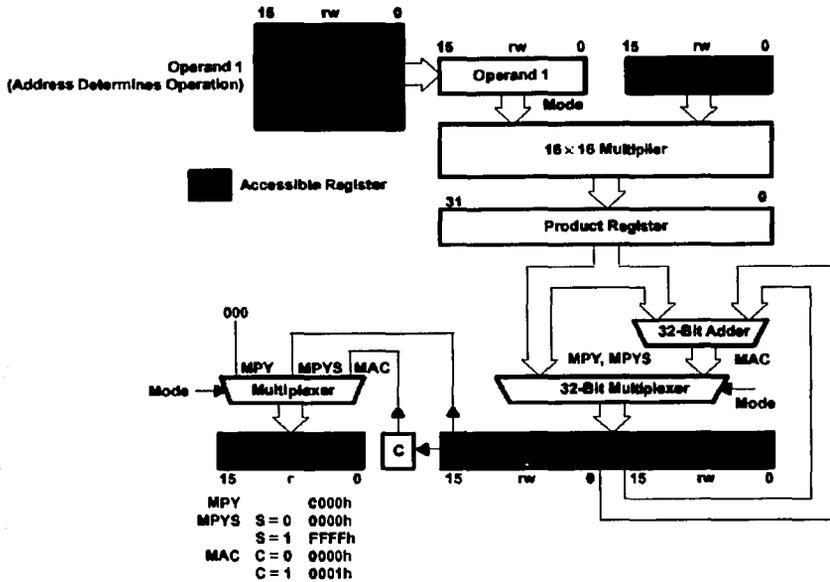


Figura A.7. Estructura del Módulo multiplicador.

El multiplicador usa dos registros para ambos operandos y tres registros para almacenar el resultado de la multiplicación, como se puede ver en la figura (A.7). La multiplicación se ejecuta correctamente cuando el primer operando se escribe al registro OP1 antes de escribir el segundo operando a OP2. Al escribir el primer operando en el registro aplicable se selecciona el tipo de multiplicación y al escribir el segundo operando se ejecuta la multiplicación. La multiplicación es completada antes de que los registros de resultados sean accedidos usando el modo de direccionamiento indexado para el operando fuente. Cuando los modos de direccionamiento indirecto e indirecto con autoincremento son usados, otra instrucción es necesaria entre la escritura del segundo operando y el acceso a los registros de resultado, ambos operandos OP1 y OP2 son capaces de utilizar los siete modos de direccionamiento. Con éste módulo no es necesaria una instrucción especial para la operación de multiplicación, por lo que la operación en tiempo real no requiere ciclos de reloj adicionales y la latencia de las interrupciones no es modificada.

## Temporizador (Timer\_B)

El Timer\_B es un temporizador de 16 bits de propósito general, su estructura se puede ver en el diagrama de bloques de la figura (A.8), donde se pueden distinguir el sistema generador de la señal de reloj en la parte superior, el cual se une a los bloques de captura-comparación a través de un BUS. De acuerdo al modo de operación de cada bloque se tiene el tipo de salida.

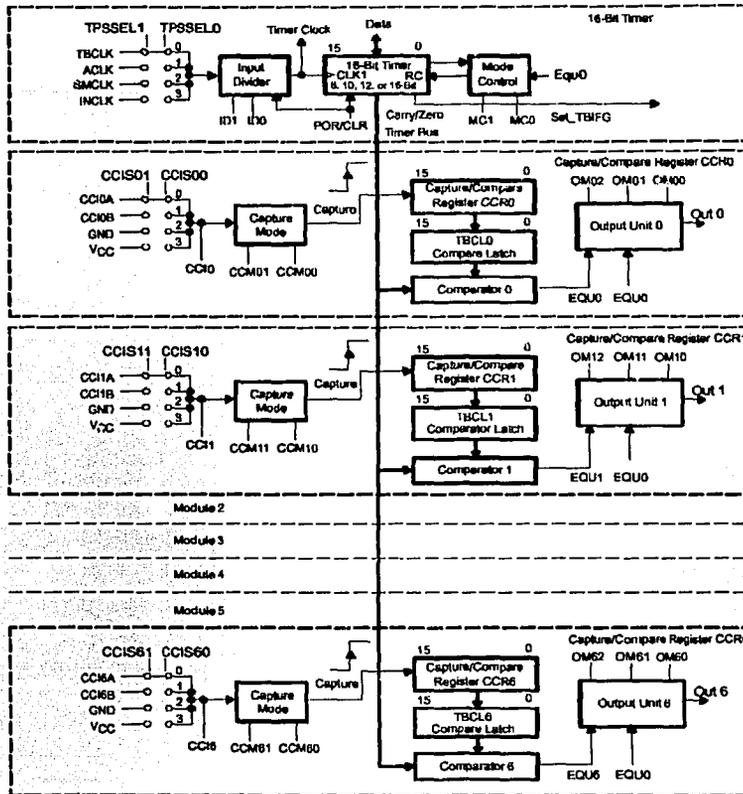


Figura A.8. Estructura del Timer\_B.

El Timer\_B cuenta con las siguientes características:

1. Puede ser configurado para 8, 10, 12 o 16 bits.
2. Su fuente de reloj puede ser seleccionada y configurada por programa
3. Tiene 7 registros de captura-comparación independientemente configurables por programa y aislados por registros de comparación temporal (Latch).
4. Cuenta con 7 unidades de salida independientemente configurables con 8 modos de salida.

El Timer\_B puede soportar diversos modos de operación de manera simultánea, sin embargo en este trabajo de tesis solo interesa el modo de operación incremento/ decremento (Up/Down) con los registros de captura-comparación operando en el modo de comparación, el lector interesado en los otros modos de operación debe referirse a [TI, 2000] y a la hoja de datos del MSP430F149. El timer usa un contador TBR que se compara con el registro de captura-comparación CCR0 a través del Latch TBCL0 para generar los periodos de temporización.

### Modo de Operación Up/Down

El modo de operación Up/Down se usa si el período del Timer debe tener un número de ciclos diferente al de  $TBR_{(máx)}$ , el cual depende del tamaño en el que se haya configurado el timer como se puede ver en la tabla (A.7) y cuando es necesario generar una señal de pulsos simétrica.

Configuración del Timer_B	$TBR_{(máx)}$
16 Bits	0FFFFh
12 Bits	0FFFh
10 Bits	03FFh
8 Bits	0FFh

Tabla A.7. Tamaño del contador del timer configurable.

En este modo de operación el contador TBR cuenta desde 0 hasta igualar el contenido del latch de comparación TBCL0, entonces el contador se decrementa hasta 0, como se muestra en la figura (A.8). El período del timer es dos veces el valor del latch TBCL0.

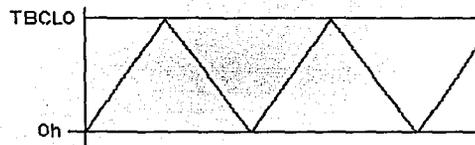


Figura A.9. Modo de operación Up/Down.

Cada registro de captura-comparación (en el modo de comparación) tiene la capacidad de generar una salida en ocho modos de operación distintos por medio de los latches de comparación, los cuales también tienen capacidad de interrupción como se puede ver en la figura (A.10). También en los modos de incremento (Up) y Continuo se pueden generar dichas salidas (ver el manual de usuario [TI, 2000]).

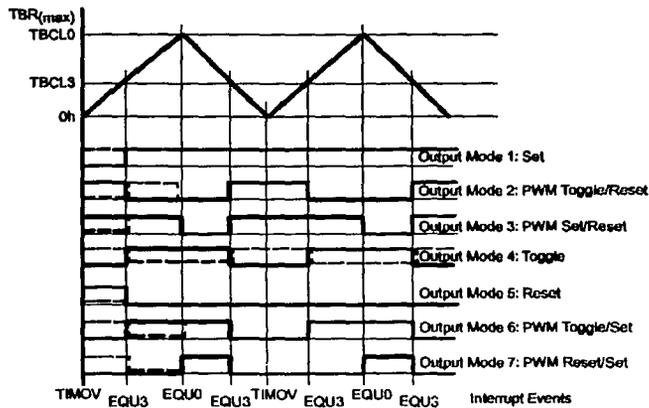


Figura A.10. Modos de salida en el modo Up/Down.

El Timer\_B se configura por medio del registro de control TBCTL, el cual contiene los bits de control de la operación del timer. Todos estos bits son cambiados al estado cero automáticamente por la señal POR, pero no son afectados por la señal PUC. El registro de control debe ser accedido usando instrucciones de palabra (16 bits). En la figura (A.11) se puede ver el registro de control del Timer\_B. Modificando los bits de este registro se puede seleccionar el modo de operación del timer (Mode Control), el tamaño del contador (Counter Length), la fuente de reloj y el factor de división (Input Select e Input Divider respectivamente), se pueden cargar los registros CCRx a los latches de comparación individualmente o en grupos (Group TBCL) y habilitar o deshabilitar la bandera de interrupción TBIFG con el bit TBIE.

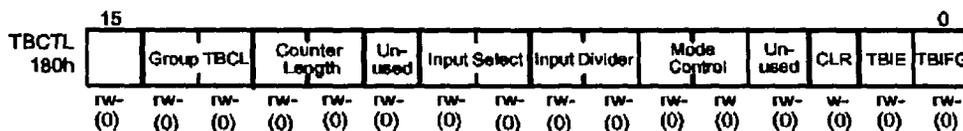


Figura A.11. Registro de control del Timer\_B.

Como se mencionó anteriormente cada registro de comparación puede configurarse de manera individual con su propio registro de control CCTLx mostrado en la figura (A.12). La condición POR cambia al estado cero todos los bits de estos registros, sin embargo, la condición PUC no los afecta. Se pueden habilitar las bandera de interrupción CCIFG, seleccionar el modo de salida (OutModx), el modo de operación (captura o comparación, bit COV), en que momento se carga el contenido de CCRx a TBCLx (CLLD), la señal de captura (Input Select), y el modo de captura (Capture Mode).

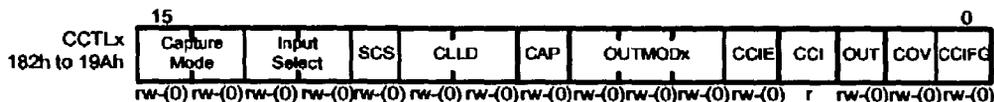


Figura A.12. Registro de control CCTLx.

## Convertidor Analógico-Digital (ADC12)

El ADC12 es un convertidor analógico-digital de 12 bits, este convierte una entrada analógica (voltaje) a una representación numérica de 12 bits y almacena los resultados en la memoria de conversión. El convertidor tiene cinco bloques funcionales principales (ver figura A.13) que pueden ser individualmente configurables y optimizados:

1. Núcleo ADC con muestreo y retención
2. Memoria de retención y configuración
3. Voltaje de referencia y configuración
4. Selección de la fuente de reloj y control
5. Tiempo de muestreo y control de conversión

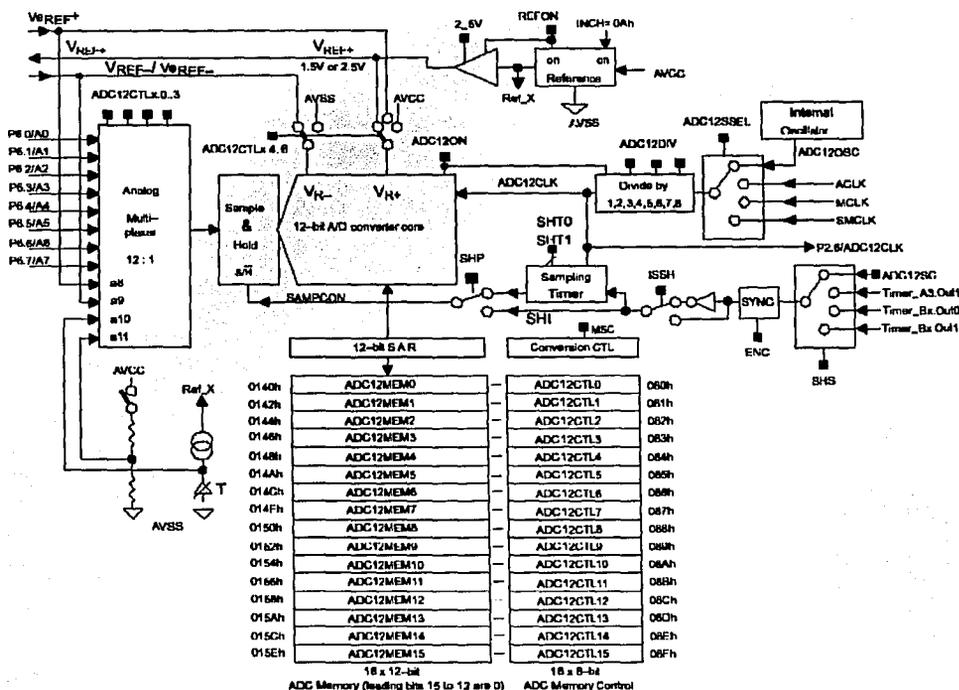


Figura A.13. Estructura del Convertidor Analógico-Digital.

El ADC12 usa un detector de umbral CMOS, el cual mediante una técnica de conversión de aproximaciones sucesivas, determina cada bit examinando la carga de un arreglo ponderado de 10 capacitores. El convertidor puede usar sus referencias internas, referencias externas o una combinación de éstas. Este tiene un circuito de muestreo y retención proporcionando al usuario una variedad de opciones para controlar el tiempo de muestreo, este puede ser controlado por programa o por alguna de las tres señales internas o externas. El usuario puede seleccionar también la fuente

de reloj y esta puede ser dividida entre 1 a 8. Los resultados de la conversión son almacenados en 16 registros de memoria-conversión cada uno de estos registros tiene su propio registro de control permitiendo al usuario seleccionar el canal de entrada y las referencias usadas para el resultado de conversión que son almacenados en estos registros .

Las características principales del ADC son:

- Capacidad de muestreo y retención
- Ocho canales externos y cuatro internos de conversión. Las terminales de entrada externas del ADC son compartidas con los pines de I/O del puerto 6.
- El voltaje interno de referencia de 1.5 V o 2.5 V puede ser seleccionado por programa con el bit de control 2\_5V
- Sensor interno de temperatura.
- Fuente de reloj seleccionable
- 4 modos de conversión que son: un canal, un canal repetido, una secuencias y una secuencia repetida
- 16 registros de 12 bits para almacenamiento de los resultados de la conversión. Cada registro puede ser accesado individualmente por programa y configurable para definir el canal y las referencias para cada resultado de conversión
- El núcleo del ADC y la referencia de voltaje pueden ser apagados de forma separada

La relación de conversión está dada por la siguiente fórmula:

$$N_{ADC} = 4095 \left( \frac{V_{in} - V_{R-}}{V_{R+} - V_{R-}} \right) \quad (A.1)$$

Donde  $N_{ADC}$  es el valor numérico correspondiente a la señal analógica convertida  $V_{in}$ ,  $V_{R+}$  es la referencia de voltaje positiva y  $V_{R-}$  es la referencia de voltaje negativa. Los niveles de voltaje de  $V_{R+}$  y de  $V_{R-}$  establecen los límites (máximo y mínimo) de las entradas analógicas. Estos valores no deben exceder el valor de alimentación  $V_{CC}$  ni ser menores que  $AV_{SS}$ . En la tabla A.8 se pueden ver las configuraciones de referencias que puede tener el ADC12.

Sref	$V_{R+}$	$V_{R-}$
0	$AV_{CC}$	$AV_{SS}$
1	$V_{REF+}$ (interno)	$AV_{SS}$
2,3	$V_{eREF+}$ (externo)	$AV_{SS}$
4	$AV_{CC}$	$V_{REF-} / V_{eREF-}$ (interna o externa)
5	$V_{REF+}$ (interno)	$V_{REF-} / V_{eREF-}$ (interna o externa)
6,7	$V_{eREF+}$ (externo)	$V_{REF-} / V_{eREF-}$ (interna o externa)

Tabla A.8. Configuraciones de Voltajes de Referencia.

El ADC12 cuenta con dos registros de control que se pueden modificar por medio de programa. Estos son los registros ADC12CTL0 y ADC12CTL1, que se pueden ver en la figura (A.14). El registro de control ADC12CTL0 permite controlar el encendido del ADC12 (bit ADC12 On), el

encendido de la referencia interna y el voltaje de ésta ( bits Ref On y 2.5V respectivamente). Permite también habilitar la conversión (bit ENC), habilitar o deshabilitar la bandera de interrupción TOVIE (bit OVIE), la señal que activará al ADC12 (bit SC) y determinar el tiempo de muestreo y retención (bit SHT0 para ADC12MEM0 a ADC12MEM 7 y SHT1 para ADC12MEM8 a ADC12MEM15). Los bits que están enmarcados en gris no pueden ser modificados si el bit ENC está en 1.

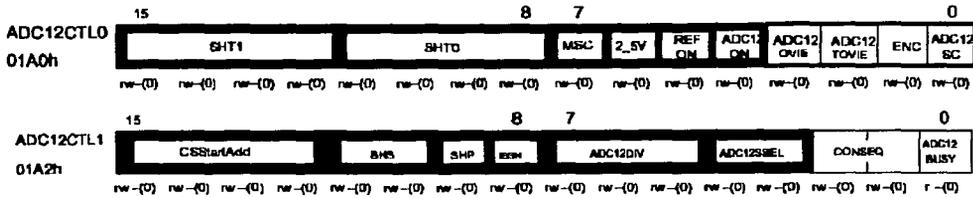


Figura A.14. Registros de control del ADC12.

El registro de control ADC12CTL1 permite seleccionar, el modo de conversión (bit CONSEQ), la fuente de reloj y dividirla (AD12CSSEL y ADC12DIV respectivamente). También permite invertir la señal muestreada (ISSH), seleccionar la fuente de la señal de muestreo (bit (SHP) y el registro donde inicia la conversión (bits CstartAdd). El bit Busy indica si una operación de muestreo y conversión está activa.

Los registros ADC12MCTLx controlan de manera independiente a los registros de memoria de conversión ADC12MEMx. En la figura (A.15) se puede ver dicho registro. Estos registros permiten al usuario elegir la terminal de entrada de cada señal analógica que se quiere convertir (Bits INCH). Permiten también determinar la fuente de referencia externa (bits Sref). Por su parte el bit EOS permite determinar en que registro ADC12MEMx termina una serie de conversiones cuando el ADC12 opera en los modos de secuencia de canales, repetición de un solo canal o repetición de una secuencia de canales.

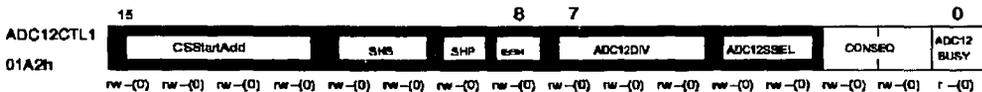


Figura A.15. Registros de control de los registros de conversión.

## A.6 Sistema de Inicio, Interrupciones y Modos de Operación

El sistema de inicio del MSP430 mostrado en la figura (A.13) proporciona dos señales de inicio (Reset), POR (Power-on Reset) y PUC (Power-up Clear). Diferentes eventos activan a estas señales y existen diferentes condiciones iniciales dependiendo de cual señal fue generada.

La señal de Reset POR es generada por los siguientes eventos:

- Encendido del dispositivo.
- Un nivel lógico bajo en la terminal  $\overline{\text{RST/NMI}}$  cuando esta es configurada en el modo de Reset.

Cada vez que una señal POR es generada se genera una interrupción de inicio del sistema<sup>37</sup>.

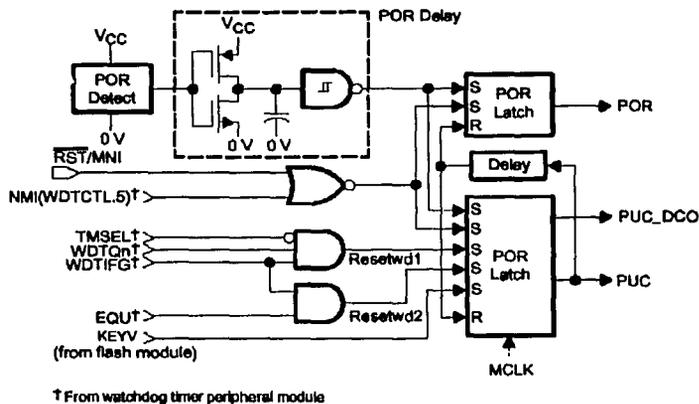


Figura A.13. Sistema de Inicio.

La señal de Reset PUC es generada cuando está presente una señal POR, sin embargo una señal POR no puede ser generada por una PUC. Los siguientes eventos activan a la señal PUC:

- Una señal POR.
- Una expiración del temporizador vigía (sólo en el modo Watchdog).
- Una violación de la clave de seguridad del temporizador vigía.
- Un nivel lógico bajo cuando la terminal RST/NMI (en el modo NMI).
- Una violación de la llave de seguridad de la memoria FLASH.

Cuando el voltaje  $V_{CC}$  llega rápidamente a su nivel, la señal POR se retarda para asegurar que el sistema se inicie correctamente. Por el contrario, cuando  $V_{CC}$  llega a su nivel nominal lentamente, el detector de POR mantiene esta señal activa, hasta que el valor de  $V_{CC}$  está por encima del nivel de POR, si ocurre una caída en  $V_{CC}$  esta debe estar por debajo de  $V_{(min)}$  para que una señal POR sea generada otra vez. Si  $V_{CC}$  no cae hasta  $V_{(min)}$  durante un ciclo o una falla imprevista, la señal POR no es generada y las condiciones de encendido no serán puestas correctamente.

Después de un reset del dispositivo (POR/PUC) las condiciones iniciales del sistema son:

- Las terminales de entrada/salida (I/O) son puestas en el modo de entrada<sup>38</sup>.
- Las banderas de I/O de los puertos son limpiadas.
- Los otros periféricos y registros son inicializados como se describe en sus respectivas secciones.
- Los bits del registro de estatus son cambiados al estado cero.
- El PC es cargado con la dirección contenida en la localidad del vector de reset (0FFFh), donde el programa inicia su ejecución.

<sup>37</sup> En el caso de la señal PUC depende de que evento la generó, esto se puede verificar en el manual de usuario [TI, 2000].

<sup>38</sup> Los puertos son solo inicializados por el encendido del dispositivo.

En los registros de cada periférico, se muestran claves indicando la accesibilidad de cada registro y su condición inicial, por ejemplo rw-(0) y rw-0, r indica lectura, w escritura, el número después del guión indica la condición inicial de dicho bit, si el valor está dentro de un paréntesis la condición inicial tiene efecto sólo después de una señal POR, la señal PUC no tiene efecto en estos. Por el contrario, si el valor no está entre paréntesis la condición inicial tiene efecto por una señal PUC o una combinación de POR/PUC.

## Estructura Global de Interrupción

Hay cuatro tipos de interrupciones en el microcontrolador:

- Inicio o Reset del sistema.
- Enmascarable.
- No-enmascarable.
- (No)-enmascarable

Las de inicio del sistema son las señales POR y PUC. Las interrupciones enmascarables son provocadas por:

- Un desbordamiento del temporizador vigía (si es seleccionado en el modo watchdog).
- Otros módulos con capacidad de interrupción.

Las interrupciones no-enmascarables no lo son en ningún sentido. Ningún bit de habilitación es implementado para estas, y el bit de habilitación general de interrupción (GIE) no las afecta. Por otro lado las interrupciones (no)-enmascarables no son enmascaradas por el bit GIE, pero son habilitadas o deshabilitadas por un bit de habilitación individual. Cuando una interrupción no enmascarable es aceptada, el bit de habilitación correspondiente es puesto en cero automáticamente, deshabilitando la interrupción para poder ejecutar la rutina de servicio de interrupción (ISR). La instrucción RETI (Retorno de Interrupción) no tiene efecto, en los bits de habilitación individuales de este tipo de interrupciones. Una interrupción (no)-enmascarable (NMI) puede ser generada por un flanco (de subida o bajada) en la terminal RST/NMI (si el modo NMI es seleccionado), por una falla del oscilador o por una violación de acceso de la memoria FLASH (si esta habilitada la interrupción correspondientes). En la tabla (A.8) se pueden ver las fuentes de interrupción, sus banderas y vectores de acuerdo a la prioridad de cada de interrupción.

El modo RST/NMI se puede seleccionar con el registro WDCTL, el modo RST/NMI (bit NMI = 0) o el modo NMI (bit NMI = 1), que también sirve para controlar el Watchdog\_Timer cuando se aplica la correspondiente llave de acceso (069h para escritura y 05Ah para escritura), el bit NMIES determina que flanco (subida o bajada) activa la interrupción, en el modo MMI.

INTERRUPT SOURCE	INTERRUPT FLAG	SYSTEM INTERRUPT	WORD ADDRESS	PRIORITY
Power-up External Reset Watchdog Flash memory	WDTIFG KEYV (see Note 11)	Reset	0FFFEh	15, highest
NMI Oscillator Fault Flash memory access violation	NMIIFG (see Notes 11 & 13) OFIFG (see Notes 11 & 13) ACCVIFG (see Notes 11 & 13)	(Non)maskable (Non)maskable (Non)maskable	0FFFC h	14
Timer_B7	BCCIFG0 (see Note 12)	Maskable	0FFFAh	13
Timer_B7	BCCIFG1 to BCCIFG6 TBIFG (see Notes 11 & 12)	Maskable	0FFF8h	12
Comparator_A	CAIFG	Maskable	0FFF6h	11
Watchdog timer	WDTIFG	Maskable	0FFF4h	10
USART0 receive	URXIFG0	Maskable	0FFF2h	9
USART0 transmit	UTXIFG0	Maskable	0FFF0h	8
ADC	ADCIFG (see Notes 11 & 12)	Maskable	0FFEEh	7
Timer_A3	CCIFG0 (see Note 12)	Maskable	0FFEC h	6
Timer_A3	CCIFG1, CCIFG2, TAIFG (see Notes 11 & 12)	Maskable	0FFEAh	5
I/O port P1 (eight flags)	P1IFG.0 (see Notes 11 & 12) To P1IFG.7 (see Notes 11 & 12)	Maskable	0FFE8h	4
USART1 receive	URXIFG1 (see Note 14)	Maskable	0FFE6h	3
USART1 transmit	UTXIFG1 (see Note 14)	Maskable	0FFE4h	2
I/O port P2 (eight flags)	P2IFG.0 (see Notes 11 & 12) To P2IFG.7 (see Notes 11 & 12)	Maskable	0FFE2h	1
			0FFE0h	0, lowest

Tabla A.8. Fuentes de interrupción, banderas y vectores de interrupción.

## Modos de operación

El MSP430 tiene 6 modos de operación: el modo activo (AM) y cuatro modos de bajo consumo de energía (LPM0, LPM1, LPM2, LPM3, Y LPM4). Los modos de operación se seleccionan por medio de cuatro bits localizados en el registro de estatus, estos son: CPUOff, OscOff, SCG0 y SCG1. Estos bits permiten que la CPU trabaje en un modo de operación AM discontinuo, cuando la aplicación no requiere que la CPU trabaje de manera continua. Esto permite limitar el consumo de energía. Sin embargo en este trabajo la aplicación solo requiere que el  $\mu\text{C}$  trabaje en el modo de operación activo, donde la CPU y todos los relojes permanecen activos. El  $\mu\text{C}$  comienza a trabajar de manera automática en el modo AM cuando es encendido, donde los bits de control tienen los siguientes valores: SCG1 = 0, SCG0 = 0, OscOff = 0 y CPUOff = 0.

En los modos de operación de bajo consumo de energía la CPU es deshabilitada, pero permanecen activos los módulos periféricos (que estén activos). En la tabla (A.9) se puede ver como se configuran los distintos modos de operación de bajo consumo de potencia y el estado correspondiente del  $\mu\text{C}$ .

Modo	SCG1	SCG0	OscOff	CPUOff	Estado del sistema
LPM0	0	0	0	1	CPU, y MCLK apagados. SMCLK y ACLK activos
LPM1	0	1	0	1	CPU, MCLK y el generador de cd para DCO apagados (siempre y cuando DCO no sea usado como fuente de MCLK o SMCLK en el modo AM) SMCLK y ACLK activos
LPM2	1	0	0	1	CPU, MCLK, SMCLK y DCO apagados ACLK y generador de cd para DCO activos
LPM3	1	1	0	1	CPU, MCLK, SMCLK, DCO y Generador de cd para DCO apagados ACLK activo
LPM4	1	1	1	1	Todos apagados El cristal oscilador se detiene

Tabla A.9. Modos de operación de bajo consumo de potencia.

### A.7 Conjunto de instrucciones

En la tabla (A.10) se puede ver el conjunto de instrucciones del  $\mu\text{C}$ , donde se indica si la instrucción es aplicable a palabras de 16 bits (W) o a bytes (B). A que operandos fuente (src) y/o destino (dst) y a que bits de estatus afecta cada instrucción, donde se puede ver una descripción simbólica de la operación efectuada (columna 3). La cuarta columna indica como afecta cada instrucción a los bits de estatus.

Instrucción	S-reg,D-reg	Operación	Bits de status			
			V	N	Z	C
*ADC[W];ADC.B	dst	dst + C => dst	*	*	*	*
ADD[W];ADD.B	src,dst	src + dst => dst	*	*	*	*
ADCC[W];ADDC.B	src,dst	src + dst + C => dst	*	*	*	*
AND[W];AND.B	src,dst	src .and. dst => dst	0	*	*	*
BIC[W];BIC.B	src,dst	.not.src .and. dst => dst	-	-	-	-
BIS[W];BIS.B	src,dst	src .or. dst => dst	-	-	-	-
BIT[W];BIT.B	src,dst	src .and. dst	0	*	*	*
*BR	dst	Bifurca a ...	-	-	-	-
CALL	dst	PC + 2 => stack, dst => PC	-	-	-	-
*CLR[W];CLR.B	dst	Limpia destino	-	-	-	-
*CLRC	Limpia bit de acarreo		-	-	-	0
*CLRN	Limpia bit negativo		-	0	-	-
*CLRZ	Limpia bit de cero		-	-	0	-
CMP[W];CMP.B	src,dst	src - dst	*	*	*	*
*DADC[W];DADC.B	dst	dst + C => dst (decimal)	*	*	*	*
DADD[W];DADD.B	Src,dst	dst + dst + C => dst (decimal)	*	*	*	*
*DEC[W];DEC.B	dst	dst - 1 => dst	*	*	*	*
*DECD[W];DECD.B	dst	dst - 2 => dst	*	*	*	*
*DINT	deshabilita interrupciones		-	-	-	-
*EINT	Habilita interrupciones		-	-	-	-

*INC[.W];INC.B	dst	Incrementa destino, dst + 1 => dst	* * * *
*INCD[.W];INCD.B	dst	Doble Increment de destino, dst + 2 => dst	* * * *
*INV[.W];INV.B JC/JHS	dst Etiqueta	Invierte destino Salta ala etiqueta si el bit de carry se pone	* * * * - - - -
JEQ/JZ	Etiqueta	Salta ala etiqueta si el bit de cero se pone	- - - -
JGE	Etiqueta	Salta a la etiqueta si (N .XOR. V) = 0	- - - -
JL	Etiqueta	Salta a la etiqueta si (N .XOR. V) = 1	- - - -
JMP	Etiqueta	Salta a la etiqueta incondicionalmente	- - - -
JN	Etiqueta	Salta a la etiqueta si el bit negativo se pone	- - - -
JNC/JLO	Etiqueta	Salta a la etiqueta si el bit de acarreo es puesto en bajo	- - - -
JNE/JNZ	Etiqueta	Salta a la etiqueta si el bit de cero es puesto en bajo	- - - -
MOV[.W];MOV.B *NOP	src,dst	src => dst No hace nada	- - - - - - - -
*POP[.W];POP.B	dst	Saca el contenido del SP SP+2 => SP	- - - -
PUSH[.W];PUSH.B RETI	src	SP-2 => SP, src => @SP Retorno de interrupción TOS => SR, SP+2 => SP TOS => PC, SP+2 => SZP	- - - - * * * *
*RET		Retorno de subrutina TOS => PC, SP+2 => SP	- - - -
*RLA[.W];RLA.B	dst	Rotación a la izquierda aritméticamente	* * * *
*RLC[.W];RLC.B	dst	Rotación a la izquierda a través de acarreo	* * * *
RRA[.W];RRA.B	dst	MSB => MSB => ... LSB => C	0 * * *
RRC[.W];RRC.B	dst	C => MSB => ... LSB => C	* * * *
*SBC[.W];SBC.B	dst	Restar el acarreo de destino	* * * *
*SETC		Pone bit de acarreo	- - - 1
*SETN		Pone bit negativo	- 1 - -
*SETZ		Pone bit de cero	- - - 1 -
SUB[.W];SUB.B	src,dst	dst + .not.src + 1 => dst	* * * *
SUBC[.W];SUBC.B	src,dst	dst + .not.src + C => dst	* * * *
SWPB	dst	Intercambia bytes	- - - -
SXT	dst	Bit7 => Bit8 ... Bit15	0 * * *
*TST[.W];TST.B	dst	Examina destino	* * * 1
XOR[.W];WOR.B	src,dst	src .xor. dst => dst	* * * *

Nota: Las instrucciones marcadas con (\*) son emuladas por las instrucciones que si están implementadas en la CPU.

## Apéndice B

### Programa Implantado en el MSP430F149

El programa LeyF.s43 que se implantó en el microcontrolador fue desarrollado en lenguaje ensamblador. En dicho lenguaje se pueden identificar cuatro campos en cada línea de código: el primero es el de etiquetas y sirve para que el ensamblador pueda identificar una línea de código, el segundo es el de instrucciones (donde se le indica al microcontrolador la operación a realizar en el campo de operandos), el tercero es el campo de operandos (fuente y destino) y el cuarto es el de comentarios (este sólo sirve para describir la acción que se está efectuando en esa línea de código).

El programa se desarrolló basándose en los algoritmos presentados en el capítulo 3. otras rutinas que aparecen en el programa se obtuvieron o se adaptaron de los repotes de aplicaciones [TI, 2000].

```

NAME LeyF
;*****
; Programa para controlar el inversor de 1/2 puente
; donde la ley de control se expresa como sigue:
;  $u = 1/\sqrt{e} [L_f Z1d + V_c + Z2d - K1(Z1 - Z1d)]$ 
; donde: Z1 es la corriente medida en el inductor Lf
; Z2 es el voltaje medido en el capacitor Cf
; Z1d es la corriente deseada en Lf
; Z2d es el voltaje deseado en Cf
; k es una constante
; Ve el voltaje en la fuente
; Vc = Ve/2
; La ley de control se compara con una señal triangular generada
; por el Timer_B, para así generar la señales de control PWM
; Fecha 15-01-02; Autor: Eduardo Venegas.
; ENEP Aragón UNAM.
;*****
; Etiquetas para inicializar el sistema
;*****

; Dirección de inicio del Stack Pointer
STPO EQU 02Feh

; Etiquetas para la RAM
RAM EQU 0200h ;Dirección de inicio de la RAM
RAMFIN EQU 0250h ;Dirección final de RAM utilizada

; Registros de función especial
IFG1 EQU 002h ;Registro de banderas de interrupción 1

; Etiquetas para el sistema de reloj
BSCTL1 EQU 057h ;Registro de control 1
BSCTL2 EQU 058h ;Registro de control 2
WAIT SET 03840h ;Retardo

; Etiquetas que utiliza el ADC
CTL0 EQU 01A0h ;Registro de control ADC12CTL0
CTL1 EQU 01A2h ;Registro de control ADC12CTL1
ENC SET 2 ;BIT ENC del Reg. De control ADC12CTL0
SC SET 1 ;BIT SC IDEM

```

ADIFG	EQU	01A4h	;Reg. de banderas de interrupción
ADIE	EQU	01A6h	;Reg. de habilitación
IV	EQU	01A8h	;Reg. del vector de interrupción
MCTLO	EQU	080h	;Registros de control de memoria
MCTL1	EQU	081h	;de conversión
MCTL2	EQU	082h	;
MEM0	SET	0140h	;Memoria de conversión
MEM1	SET	0142h	;
MEM2	SET	0144h	;

; Etiquetas para configurar los puertos

P3IN	EQU	018h	;Pto. 3 Entrada
P3OUT	EQU	019h	;Pto. 3 Salida
P3DIR	EQU	01Ah	;Pto. 3 Dirección
P3SEL	EQU	01Bh	;Pto. 3 Selección de función
P4OUT	EQU	01Dh	;Pto. 4 Salida
P4DIR	EQU	01Eh	;Pto. 4 Dirección
P4SEL	EQU	01Fh	;Pto. 4 Selección de función
P5IN	EQU	030h	;Pto. 3 Entrada
P5OUT	EQU	031h	;Pto. 3 Salida
P5DIR	EQU	032h	;Pto. 3 Dirección
P5SEL	EQU	033h	;Pto. 3 Selección de función
P6IN	EQU	034h	;Pto. 6 Entrada
P6OUT	EQU	035h	;Pto. 6 Salida
P6DIR	EQU	036h	;Pto. 6 Dirección
P6SEL	EQU	037h	;Pto. 4 Selección de función

; Para el Watchdog Timer

WTCTL	EQU	0120h	;Reg. de control del WDT
-------	-----	-------	--------------------------

; Para el Hardware Multiplier

MPY	EQU	0130h	;Mult. sin signo/Operando 1
MPYS	EQU	0132h	;Mult. con signo/Operando 1
MAC	EQU	0134h	;Mult. sin signo+acumulado/Operando 1
MACS	EQU	0136h	;Mult. con signo+acumulado/Operando 1
OP_2	EQU	0138h	;Operando 2
RESLO	EQU	013Ah	;Resultado bajo
RESHI	EQU	013Ch	;Resultado alto
SUMEXT	EQU	013Eh	;Signo

; Para el Timer B

TBCTL	EQU	0180h	;Registro de control
BCCTL0	EQU	0182h	;Control de Cap/Comp 0
BCCTL1	EQU	0184h	;Control de Cap/Comp 1
BCCTL2	EQU	0186h	;Control de Cap/Comp 2
TBR	EQU	0190h	;Registro del timer
BCCR0	EQU	0192h	;Registro de Cap/Comp 0
BCCR1	EQU	0194h	;Registro de Cap/Comp 1
BCCR2	EQU	0196h	;Registro de Cap/Comp 2
TBIV	EQU	011Eh	;Vector de interrupciones

; Para la ley de control

REFI	EQU	2044	;Nivel de voltaje de cd para z1 (1.24 V)
REFV	EQU	1900	;Nivel de voltaje de cd para z2 (1.16 V)

-----  
;Inicialización del sistema  
-----

```

MAIN      ORG      01100h      ;Inicia Código de programa

COM       MOV      #STPO,SP      ;Inicializa el Stack Pointer
          MOV      #05A80h,&WTCTL ;Deshabilita al Watchdog_Timer

; Inicialización del sistema de reloj
          BIC.B   #080h,&BSCTL1  ;Selecciona el oscilador XT2
          BIC     #020h,SR       ;Enciende el oscilador
XT2loop   INC      R5            ;Retardo = WAIT x 5 ciclos (10 ms)
          CMP     #WAIT,R5      ;Se completó el retardo?
          JNZ    XT2loop        ; No, regresa a XT2loop
          BIC.B   #02h,&IFG1     ;Si, Limpia la bandera OFIFG
          BIS.B   #088h,&BSCTL2  ;XT2 como fuente de MCLK y SMCLK

;Configuración del puerto 3
          BIS.B   #080h,P3DIR    ;P3.7 como salida para SD

; Configuración del puerto 4
          MOV.B   #06h,P4SEL     ;P4.1 y P4.2 como salidas PWM del Timer_B
          MOV.B   #06h,P4DIR    ;Dirección de salida

; Configuración del puerto 6
          MOV.B   #050h,P6SEL    ;P6.4y p6.6 para z2 y z1 respectivamente
          MOV.B   #00h,P6DIR    ;entradas del ADC

; Configuración del ADC12
          MOV     #21Ah,&CTL1     ;Modo de conversión de secuencia de canales
          ;SMCLK es la señal de reloj
          MOV.B   #014h,&MCTL0   ;Entrada P6.4/A0, Ref Vr+ = Vref+ y Vr- = AVss
          MOV.B   #096h,&MCTL1   ;Entrada P6.6/A1, Ref Vr+ = Vref+ y Vr- = AVss
          ;bit EOS = 1 en este Reg. termina la secuencia
          MOV     #0F0h,&CTL0    ;Referencia = 2.5 V, enciende el ADC
          ;muestreo y conversión múltiple habilitados
          BIS     #ENC,&CTL0     ;bit ENC = 1 conversión habilitada

; Configuración del Timer_B
          MOV     #01F4h,&BCCR0   ;Periodo de muestreo (138.8 microseg)
          MOV     #2206h,&TBCTL  ;SMCLK es la señal de reloj, limpia el timer
          ;para que se cargen simultaneamente TBCL1 y TBCL2
          MOV     #02C0h,&BCCTL1 ;CCR1 en modo de comp, modo de salida 2 toggle/Set
          ;TBCL1 Y TBCL2 se cargan cuando TBR -> 0
          MOV     #040h,&BCCTL2  ;CCR2 en modo de comp, modo de salida 6 toggle/Reset

          CALL    #RAMCLR        ;Limpia la RAM
          CALL    #GENK          ;Para generar K
          CALL    #GENG          ;Para generar Gama
          CALL    #REGCLR        ;Para limpiar los registros
          BIC.B   #080h,&P3OUT   ;LIMPIA LA BANDERA DE SD

; Rutina que para activar el programa con un Push-botton
ENCLOOP   BIT.B   #010h,&P5IN   ;Bandera de inicio = 0?
          JNZ    ENCLOOP        ;No, regresa a loop

```

```

; Puesta en marcha del timer
      BIS    #030h,&TBCTL ;TIMER_B en Up mode
      EINT                      ;Habilita interrupciones

; Asignación de punteros para las tablas
      MOV    #SEN_TAB,R10 ;R10 es puntero de SEN_TAB
      MOV    #DEVZ_TAB,R11 ;R11 es puntero de DEVZ_TAB

LOOP   CMP    #02h,R5      ;El timer cuenta mientras no se ejecuta el programa
      JNZ    LOOP          ;principal

```

```

-----
; Programa principal (Calculo de Mu)
-----

```

```

      BIT    #01h,R4      ;Es el semiciclo negativo?
      JZ     SEMPOS       ;No, salta a SEMPOS
      JMP    SEMNEG       ;Si salta a SEMNEG

SIGUE  ; Para obtener Ze=Z2-Z2d y luego Ze*Z2d
      SUB    #REFV,R7     ;Quita el offset a Z2 medido
      SUB    #REFI,R8     ;Idem para Z1 medida
SEMP   SUB    R6,R7        ;Z2 - Z2d -> R7 = Ze
      MOV    R6,&MPYS      ;Multiplicación con signo
SEGOP  MOV    R7,&OP_2     ;Carga el 2o. operando
      MOV    &RESLO,R15    ;Ze*Z2d bajo
      MOV    &RESHI,R14    ; " alto
      MOV    &SUMEXT,R13   ; " signo

; Para obtener Teta = -GAMA*Ze*Z2d
      MOV    &RAM+32,R5    ;Mueve el valor de Gama a R5
      CALL   #MULTI2

```

```

; Integración de GAMA*Ze*Z2d usando la regla trapezoidal compuesta (A + B)/2,
; el punto decimal de T/2 al usar un factor de 14.4e6 donde A=-Gama*Ze*Z2d anterior
; y B es el actual

```

```

NRECT  ADD    R15,&RAM+4   ;(A + B),
      DAC    R14,&RAM+2   ;
      ADDC   R13,&RAM      ;
      ADD    &RAM+4,&RAM+10 ;I=(A+ B)acumulado
      ADDC   &RAM+2,&RAM+8 ;
      ADDC   &RAM,&RAM+6 ;
      MOV    R15,&RAM+4   ;El valor actual será el anterior
      MOV    R14,&RAM+2   ;en el siguiente ciclo de muestreo
      MOV    R13,&RAM      ;

```

```

; Para obtener (Vc+Z2d)*1.44e10*120

```

```

      MOV    #0666h,R7    ;Mueve Vc = 1638 a R5
      ADD    R7,R9        ;Suma Vc + Z2d
      MOV    R9,R5        ;
      MOV    #09000h,R15  ;Factor de 1.44e10
      MOV    #05A4Eh,R14  ;
      MOV    #03h,R13     ;
      CALL   #MULTI2      ;VOL = (Vc+Z2d)*1.44e10
      MOV    R15,&RAM+46  ;
      MOV    R14,&RAM+44  ;

```

```

MOV R13,&RAM+42 ;
; Para obtener I*Z2d
MOV R6,R5 ;Z2d al 1er operando
MOV &RAM+10,R15 ;I al 2o operando
MOV &RAM+8,R14 ;
MOV &RAM+6,R13 ;
CALL #MULTI2 ;Llama a la rutina de multiplicación
;con signo de 16 X 32 bits
MOV R15,&RAM+16 ;I*Z2d
MOV R14,&RAM+14 ;
MOV R13,&RAM+12 ;

```

```

;Ajusta Cf*Z2d' según el valor de F
MOV R12,R5 ;Valor actual de Cf*Z2d'
MOV #04400h,R15 ;Donde semultiplica por un factor
MOV #0895h,R14 ; de ajuste de 1.44e8
MOV #0,R13 ;tabla DEVZ_TAB
CALL #MULTI2 ;

```

```

; Para obtener Z1d = Cf*Z2d'+I*Z2d
ADD R15,&RAM+16 ;Z1d
ADDC R14,&RAM+14 ;
ADDC R13,&RAM+12 ;

```

; Para obtener  $Lf*Z1d'$  por el método de Euler modificado  $Z1d' = (f1-f0)/(X1-X0)$ , donde  $f1$  es el valor actual de  $Z1d$  y  $f0$  es el anterior,  $1/(X1-X0)$  es la frecuencia de muestreo  $fs = 7200$  Hz,  $(f1 - f0)$  se multiplica por  $7200/60$  donde  $1/60 = 16.67$  mHy es el valor de la inductancia  $Lf$

```

ADD &RAM+16,&RAM+22 ;(f1-f0)
ADDC &RAM+14,&RAM+20 ;
ADDC &RAM+12,&RAM+18 ;
MOV #078h,R5 ;7200/60
MOV &RAM+22,R15 ;
MOV &RAM+20,R14 ;
MOV &RAM+18,R13 ;
CALL #MULTI2 ;(f1-f0)*7200/60
ADD R15,&RAM+46 ;VOL + Lf*Z1d'
ADDC R14,&RAM+44 ;
ADDC R13,&RAM+42 ;

```

;  $Z1d$  actual será el anterior en el siguiente ciclo de muestreo  
; se cambia el signo para efectuar  $(f1-f0)$  en el siguiente ciclo

```

TST &RAM+12 ;Es negativo?
JN CAMSIG ;Si, cambia de signo
JZ REV14 ;No, salta a REV14
CAMSIG INV &RAM+16 ;-1*Z1d
INC &RAM+16 ;
INV &RAM+14 ;
INV &RAM+12 ;
CONTI MOV &RAM+16,&RAM+22 ;El valor actual será el anterior
MOV &RAM+14,&RAM+20 ;
MOV &RAM+12,&RAM+18 ;

```

```

; Para obtener -K(Z1-Z1d)
CMP #0687h,R8 ;Z1 > 8 A?
JGE CORTO ;Si salta a CORTO
MOV R8,R5 ;La corriente medida Z1 se multiplica

```

```

CMP      #0F979h,R8      ;Z1 < - 8 A?
JL       CORTO           ;Si salta a CORTO
MOV      #07580h,R15     ;por un factor de ajuste de 3.75e9
MOV      #0DF84h,R14    ;
MOV      #0,R13          ;
CAL      #MULTI2         ;Se obtiene Z1 ajustada
ADD      &RAM+16,R15     ;(Z1-Z1d)
ADDC     &RAM+14,R14    ;
ADDC     &RAM+12,R13    ;
MOV      &RAM+30,R5     ; - K a R5
CALL     #MULTI2         ;-K*(Z1-Z1d)
DON'T    ADD      R15,&RAM+46 ;VOL + LfZ1d - K(Z1-Z1d)
         ADDC     R14,&RAM+44 ;
         ADDC     R13,&RAM+42 ;

; Saturador, este limita el valor de Mu en el intervalo [0h, 02AE7h]
MOV      &RAM+42,R9     ;MSB u -> R9
CMP      #02AE7h,R9     ;Mu > 02AE7h?
JGE      SATMAX         ;Si, salta a SATMAX
CMP      #0,R9          ;Mu < 0?
JL       SATMIN         ;Si, salta a SATMIN

GENPWM   ;Ajusta el valor de Mu a la escala de TBR para generar las señales PWM
MOV      R9,R15         ;Carga el dividendo
MOV      #043h,R14     ;Carga el divisor
CALL     #DIV           ;Llama a la rutina de división
MOV      R5,&MPY        ;Mu se multiplica por un factor de ajuste
MOV      #03h,&OP_2    ;para poder compararse con TBR
MOV      &RESLO,R9     ;
CMP      #01h,R9       ;u<1?
JL       VALMIN        ;Si, salta a VALMIN
CARGA    MOV      R9,&BCCR2 ;Mueve el valor de u a BCCR2 para
         ;compararlo con el timer y generar
         ;la señal de control PWM (lado alto)
         MOV      #0Ah,R5 ;define los tiempos muertos
         ;td=1.38 µseg
         ADD      R5,R9   ;
         MOV      R9,&BCCR1 ;Mu+td a BCCR1 (lado bajo)

; Subrutina para salir del programa principal
INISEN   CLR      R5     ;
CMP      #5078h,R10    ;Ha finalizado SEN_TAB?
JNZ      RELOOP       ;NO, regresa a LOOP
MOV      #5000h,R10    ;Primer valor de SEN_TAB
MOV      #5100h,R11    ;Primer valor de DEVZ_TAB
XOR.B   #01h,R4       ;Pone la bandera de semiciclo negativo
RELOOP  JMP      LOOP   ;Regresa a LOOP

CORTO    ;Subrutina de protección contra sobrecargas
MOV.B   #080h,&P3OUT   ;P3.7 activa SD en el driver
         ;los MOSFET se apagan
BR      #CONT         ;
NEGMUL   ;Subrutina de multiplicación con signo 16 x 16 bits
MOV      R6,&MPYS      ;Carga el 1er operando
JMP     SEGOP         ;Regresa al programa principal

```

MULNEG			;Subrutina de multiplicación con signo 16 x 16 bits
	MOV	R6,&MPYS	;Carga el 1er operando
	JMP	FADC	;Regresa al programa principal
SATMAX	MOV	#02A7Eh,R9	;Valor máximo permitido de Mu
	JMP	GENPWM	;
SATMIN	MOV	#0,R9	;Valor mínimo permitido de Mu
	JMP	GENPWM	;
VALMIN	MOV	#01h,R9	;Valor mínimo que pueden tener BCCR1 y BCCR2
	JMP	CARGA	;
REV14	TST	&RAM+14	; Ram+16 = 0?
	JZ	REV16	;Si, salta a REV16
	JMP	CAMSIG	;No, cambia de signo
REV16	TST	&RAM+16	;Es 0 RAM+16?
	JZ	CONTI	;Si, el valor se queda como está
	JMP	CAMSIG	;No, cambia de signo

-----  
MULTI2 ;Subrutina de multiplicación de 32 X 16 bits  
-----

	TST	R5	;El 2o operando es neg.?
	JN	NEGM2	;Si, Salta a NEGM2
CONM2	MOV	R5,&MPY	;Carga el operando fijo
	MOV	R15,&OP_2	;Carga la parte baja del 2o operando
	MOV	&RESLO,R15	;Guarda el resultado bajo
	MOV	&RESHI,R7	;Guarda parte del resultado medio
	MOV	R14,&OP_2	;Carga la parte alta del 2o operando
	MOV	&RESLO,R14	;Guarda la otra parte de resultado medio
	CLR	R5	;
	ADD	R7,R14	;Completa el resultado medio
	ADC	R5	;Por si existe acarreo
	MOV	&RESHI,R7	;Guarda parte del resultado alto (signo)
	MOV	R13,&OP_2	;Carga el signo del 2o operando
	MOV	&RESLO,R13	;Guarda el complemento del signo
	ADD	R7,R13	;Signo del resultado
	ADD	R5,R13	;Suma el acarreo
	RET		;
NEGM2	INV	R5	;Si es negativo alguno de los operandos
	INC	R5	;cambia el signo de este y realiza la
	MOV	R5,&MPY	;multiplicación para despues cambiar
	TST	R13	;el signo del resultado
	JN	DOSN	;Si ambos operandos son negativos
	MOV	R15,&OP_2	;Carga la parte baja del 2o operando
	MOV	&RESLO,R15	;Guarda el resultado bajo
	MOV	&RESHI,R7	;Guarda parte del resultado medio
	MOV	R14,&OP_2	;Carga la parte alta del 2o operando
	MOV	&RESLO,R14	;Guarda la otra parte de resultado medio
	CLR	R5	;
	ADD	R7,R14	;Completa el resultado medio
	ADC	R5	;Por si existe acarreo
	MOV	&RESHI,R7	;Guarda parte del resultado alto (signo)
	MOV	R13,&OP_2	;Carga el signo del 2o operando
	MOV	&RESLO,R13	;Guarda el complemento del signo

	ADD	R7,R13	;Signo del resultado
	ADD	R5,R13	;Suma el acarreo
	TST	R15	;
	JZ	AGAIN	;Si el resultado es 0
RENEG	INV	R15	;Regresa a su signo original
	INC	R15	;
	INV	R14	;
	INV	R13	;
RETORNO	RET		;
DOSN	INV	R15	;Hace positivo el 2o operando
	INC	R15	;
	INV	R14	;
	INV	R13	;
AGAIN	JMP	CONM2	;Haz la multiplicación normal
	TST	R14	;Se asegura de que el resultado sea 0
	JZ	RETORNO	;
	JMP	RENEG	;

-----  
 DIV ; Subrutina de division sin signo de16/8 Bits  
 -----

	CLR	R5	;Limpia el resultado
	MOV	#09h,R13	;Carga el contador de la subrutina
DIV1	SWPB	R15	;Cambia el orden de los Bytes alto y bajo
	CMP.B	R14,R15	;Dividendo < Divisor?
	JLO	DIV2	;Si, salta a DIV2
DIV2	SUB	R14,R15	;
	RLC	R5	;
	JC	DIV4	;ERROR: Resultado > 8 Bits
	DEC	R13	;Decrementa el contador
	JZ	DIV3	;
	SWPB	R15	;
	RLA	R15	;
	JNC	DIV1	;
	SWPB	R15	;
	SUB.B	R14,R15	;
	SETC		;
	JMP	DIV2	;
DIV3	CLRC		;No hay error, C=0
DIV4	RET		

-----  
 SEMNEG ;Hace negativos los valores de SEN\_TAB y DEVZ\_TAB  
 -----

	MOV	@R10+,R6	;Valor actual de SEN_TAB
	MOV	@R11+,R12	;Valor actual de DEVZ_TAB
	INV	R6	;Cambia el signo de SEN_TAB
	INC	R6	;
	INV	R12	;Cambia el signo de DEVZ_TAB
	INC	R12	;
	JMP	SIGUE	;

-----  
 SEMPOS ;Pone los valores de SEN\_TAB y DEVZ\_TAB en sus respectivos  
 ;registros  
 -----

```

MOV @R10+,R6 ;Valor actual de SEN_TAB
MOV @R11+,R12 ;Valor actual de DEVZ_TAB
JMP SIGUE

```

```

-----
RAMCLR ; Subrutina para limpiar la RAM
-----

```

```

COML CLR R5 ;Prepara el registro índice
CLR RAM(R5) ;limpia 1er dirección de la RAM
INCD R5 ;Siguiente dirección
CMP #RAMFIN-RAM+2,R5 ;Terminó?
JLO COML ;No, regresa a COML
RET ;Si, regresa

```

```

-----
REGCLR ; Subrutina para limpiar los Registros
-----

```

```

CLR R4
CLR R5
CLR R6
CLR R7
CLR R8
CLR R9
CLR R10
CLR R11
CLR R12
CLR R13
CLR R14
CLR R15
RET

```

```

-----
GENK ; Subrutina para el valor de K1
-----

```

```

PIN0 BIT.B #01h,&P3IN ;P3.0 esta en alto?
JZ PIN1 ;No, revisa el pin1
BIS.B #01h,&RAM+30 ;Si, pon ese bit en RAM+30
PIN1 BIT.B #02h,&P3IN ;P3.1 esta en alto?
JZ PIN2 ;No, revisa el pin2
BIS.B #02h,&RAM+30 ;Si, pon ese bit en RAM+30
PIN2 BIT.B #04h,&P3IN ;P3.2 esta en alto?
JZ PIN3 ;No, revisa el pin3
BIS.B #04h,&RAM+30 ;Si, pon ese bit en RAM+30
PIN3 BIT.B #08h,&P3IN ;P3.3 esta en alto?
JZ PIN4 ;No, revisa el pin4
BIS.B #08h,&RAM+30 ;Si, pon ese bit en RAM+30
PIN4 BIT.B #010h,&P3IN ;P3.3 esta en alto?
JZ PIN5 ;No, revisa el pin5
BIS.B #010h,&RAM+30 ;Si, pon ese bit en RAM+30
PIN5 BIT.B #020h,&P3IN ;p3.3 esta en alto?
JZ KCAP ;No, revisa el pin5
BIS.B #020h,&RAM+30 ;Si, pon ese bit en RAM+30
KCAP INV ,&RAM+30 ;Hace negativo el valor de K1
INC ,&RAM+30 ;
RET

```

```

;-----
GENG      ; Subrutina para el valor de Gama
;-----
PIN50     BIT.B   #01h,&P5IN   ;p3.0 esta en alto?
          JZ      PIN51      ;No, revisa el pin1
          BIS.B   #01h,&RAM+32 ;Si, pon ese bit en RAM+32
PIN51     BIT.B   #02h,&P5IN   ;p3.1 esta en alto?
          JZ      PIN52      ;No, revisa el pin2
          BIS.B   #02h,&RAM+32 ;Si, pon ese bit en RAM+32
PIN52     BIT.B   #04h,&P5IN   ;p3.2 esta en alto?
          JZ      PIN53      ;No, revisa el pin3
          BIS.B   #04h,&RAM+32 ;Si, pon ese bit en RAM+32
PIN53     BIT.B   #08h,&P5IN   ;p3.3 esta en alto?
          JZ      GCAP       ;No, revisa el pin4
          BIS.B   #08h,&RAM+32 ;Si, pon ese bit en RAM+32
GCAP      INV     ,&RAM+30     ;Hace negativo el valor de Gama
          INC     ,&RAM+30     ;
          RET

```

```

;-----
ADCSC     ; Rutina de servicio de interrupción del Timer_B
;-----
          BIC     #01h,&TBCTL   ;Limpia la bandera de interrupción del timer
          BIS.B   #SC,&CTL0     ;Pone en 1 SC y comienza
                                ;el muestreo y retención
          MOV     #02h,&ADIE    ;Pone IE.2 en 1 para habilitar la bandera
                                ;de interrupción IFG.2 del ADC
          RETI

```

```

;-----
ADCRSI    ; Rutina de servicio de interrupción del ADC
;-----
          MOV     &MEM0,R7     ;Guarda el valor convertido de Z2
                                ;(Voltaje en el capacitor de salida)
          MOV     &ADIFG,R5    ;IFG.2 a R5 para salir de LOOP
          MOV     &MEM1,R8     ;Guarda el valor convertido de Z1
                                ;(Corriente en la inductancia de salida)
          RETI

```

#### VECTORES DE INTERRUPTACION USADOS

```

;-----
          ORG     0FFFEh       ;Vector de Reset del micro
          DW     COM           ;
          ORG     0FFF8h       ;Vector de interrupción del Timer_B
          DW     ADCSC         ;
          ORG     0FFEEh       ;Vector de interrupción del ADC
          DW     ADCRS         ;

```

\*\*\*\*\*

; Tabla para Generar Z2d

\*\*\*\*\*

ORG	05000h		No. de muestra
SEN_TAB	DW	86	;1
	DW	171	;2
	DW	256	;3
	DW	341	;4
	DW	424	;5
	DW	506	;6
	DW	587	;7
	DW	666	;8
	DW	744	;9
	DW	819	;10
	DW	892	;11
	DW	963	;12
	DW	1031	;13
	DW	1096	;14
	DW	1158	;15
	DW	1217	;16
	DW	1273	;17
	DW	1325	;18
	DW	1374	;19
	DW	1419	;20
	DW	1460	;21
	DW	1496	;22
	DW	1529	;23
	DW	1558	;24
	DW	1582	;25
	DW	1602	;26
	DW	1618	;27
	DW	1629	;28
	DW	1636	;29
	DW	1638	;30
	DW	1636	;31
	DW	1629	;32
	DW	1618	;33
	DW	1602	;34
	DW	1582	;35
	DW	1558	;36
	DW	1529	;37
	DW	1496	;38
	DW	1460	;39
	DW	1419	;40
	DW	1374	;41
	DW	1325	;42
	DW	1273	;43
	DW	1217	;44
	DW	1158	;45
	DW	1096	;46
	DW	1031	;47
	DW	963	;48
	DW	892	;49
	DW	819	;50
	DW	744	;51
	DW	666	;52

DW	587	;53
DW	506	;54
DW	424	;55
DW	341	;56
DW	256	;57
DW	171	;58
DW	86	;59
DW	0	;60

\*\*\*\*\*  
;Tabla para Generar Cf\*Z2d' donde Cf=75 micf y L=16.67 mH  
\*\*\*\*\*

ORG	05100h	
DEVZ_TAB	DW	4625 ;1
	DW	4606 ;2
	DW	4574 ;3
	DW	4530 ;4
	DW	4474 ;5
	DW	4405 ;6
	DW	4324 ;7
	DW	4231 ;8
	DW	4127 ;9
	DW	4011 ;10
	DW	3884 ;11
	DW	3747 ;12
	DW	3599 ;13
	DW	3442 ;14
	DW	3275 ;15
	DW	3099 ;16
	DW	2915 ;17
	DW	2722 ;18
	DW	2522 ;19
	DW	2316 ;20
	DW	2103 ;21
	DW	1884 ;22
	DW	1660 ;23
	DW	1431 ;24
	DW	1199 ;25
	DW	963 ;26
	DW	725 ;27
	DW	484 ;28
	DW	242 ;29
	DW	0 ;30
	DW	-242 ;31
	DW	-484 ;32
	DW	-725 ;33
	DW	-963 ;34
	DW	-1199 ;35
	DW	-1431 ;36
	DW	-1660 ;37
	DW	-1884 ;38
	DW	-2103 ;39
	DW	-2316 ;40
	DW	-2522 ;41
	DW	-2722 ;42
	DW	-2915 ;43

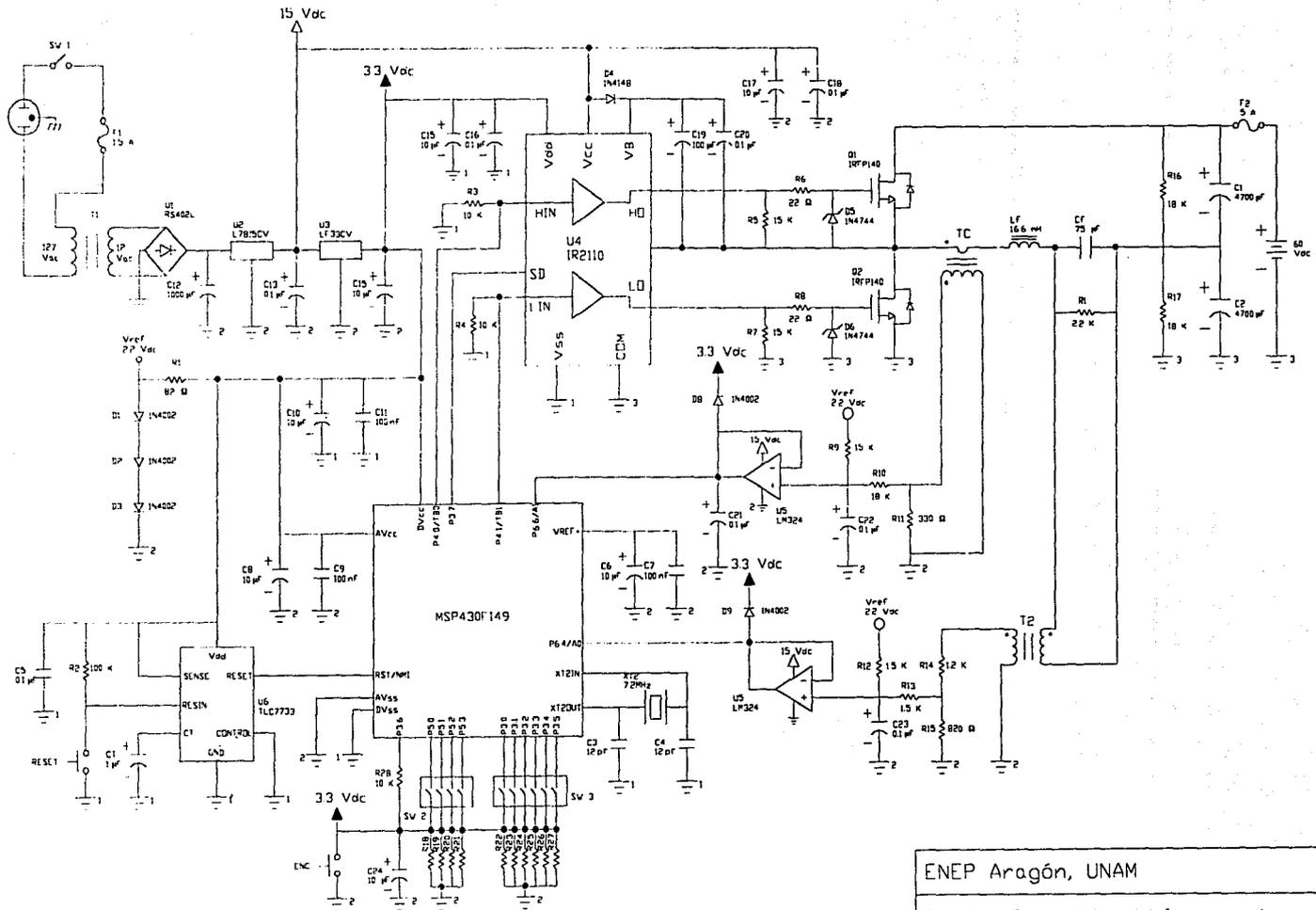
DW -3099 ;44  
DW -3275 ;45  
DW -3442 ;46  
DW -3599 ;47  
DW -3746 ;48  
DW -3884 ;49  
DW -4011 ;50  
DW -4127 ;51  
DW -4231 ;52  
DW -4324 ;53  
DW -4405 ;54  
DW -4474 ;55  
DW -4531 ;56  
DW -4574 ;57  
DW -4606 ;58  
DW -4625 ;59  
DW -4631 ;60

-----  
; END ;Fin del programa  
-----

## **Apéndice C**

### **Diagramas del Inversor**

En este apéndice se pueden ver los diagramas esquemático y del circuito impreso del inversor de medio puente y el controlador. El circuito impreso se hizo en una tarjeta de dos caras y se presenta en 3 diagramas. En el primero se presenta la cara de componentes y perforaciones. En el segundo se presenta la cara de pistas superiores. En el tercero se presenta la cara de pistas inferiores. Todos los diagramas fueron desarrollados en Autocad 2000.

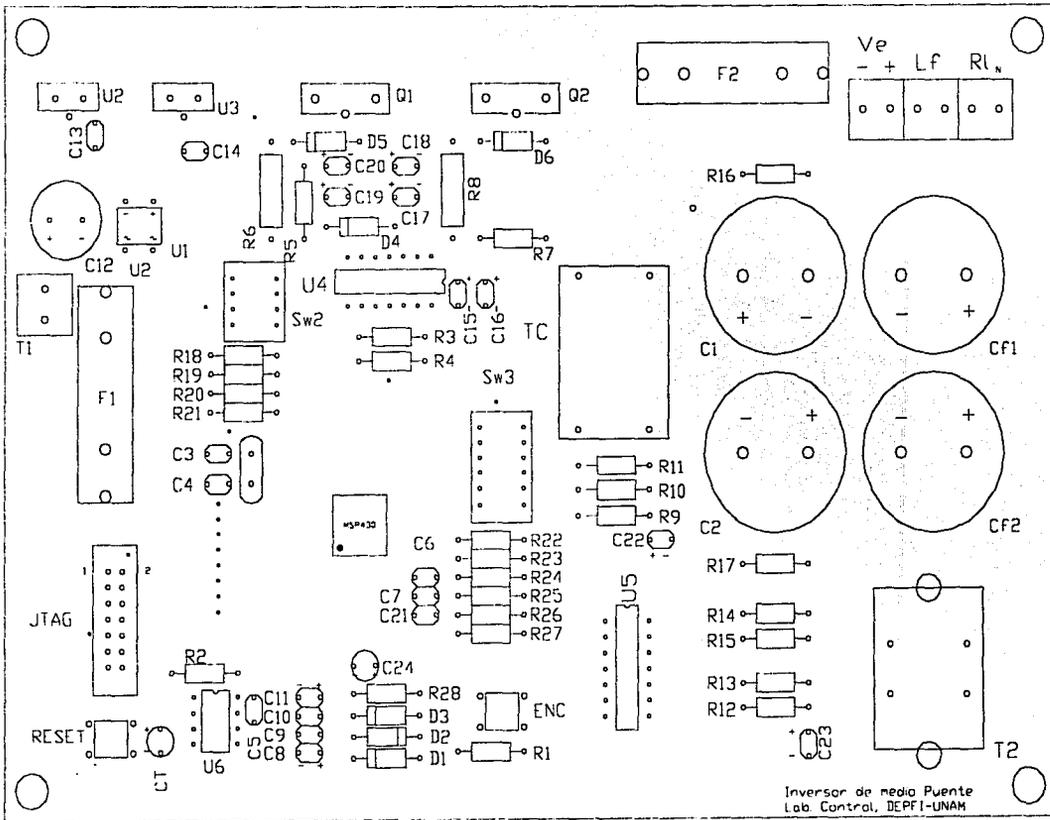


- 1 Estas terminales están conectadas en la misma rama de DVSS
- 2 Estas terminales están conectadas en la misma rama de AVSS
- 3 Estas terminales están conectadas en la rama de potencia
- L1 valor de las resistencias R18 a R27 es de 10 K.

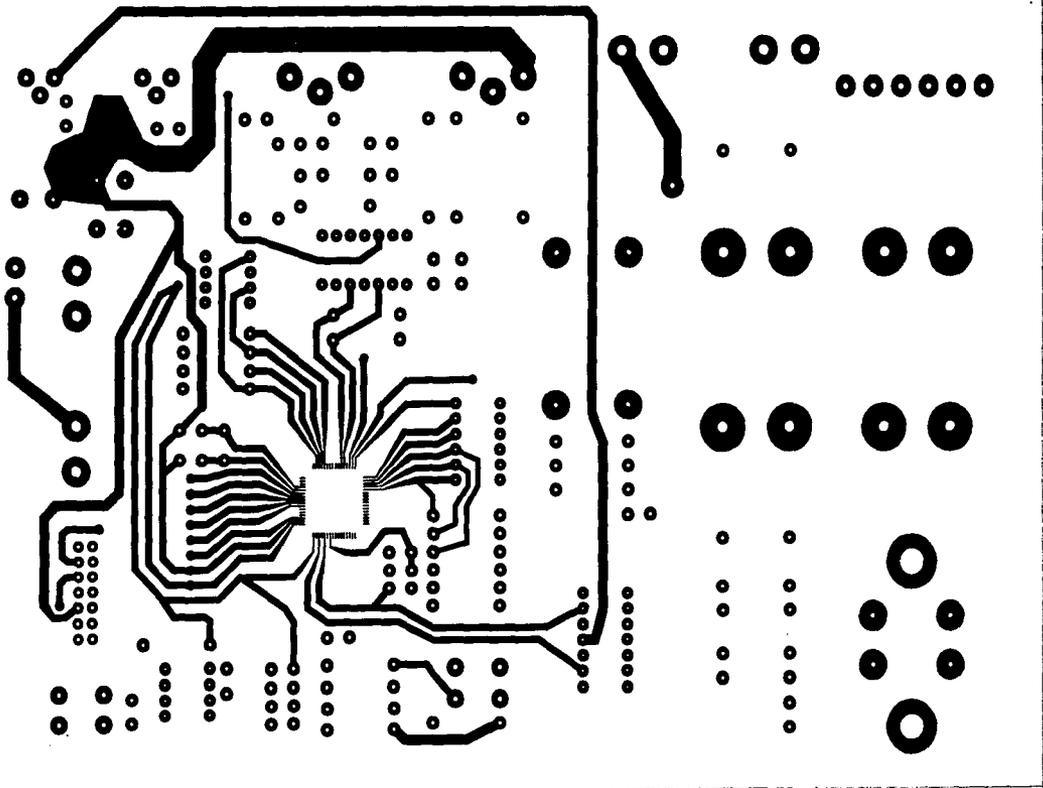
ENEP Aragón, UNAM		
Diagrama Esquemático del Inversor de Medio Punte con Controlador basado en Pasividad		
Autor: Eduardo Venegas Reyes	REV:G.REP	
Archivo: Esquema.dwg	26/02/02	ESC: S/E

TESIS CON  
 FALTA DE ORIGEN

TESIS CON  
FALLA DE ORIGEN

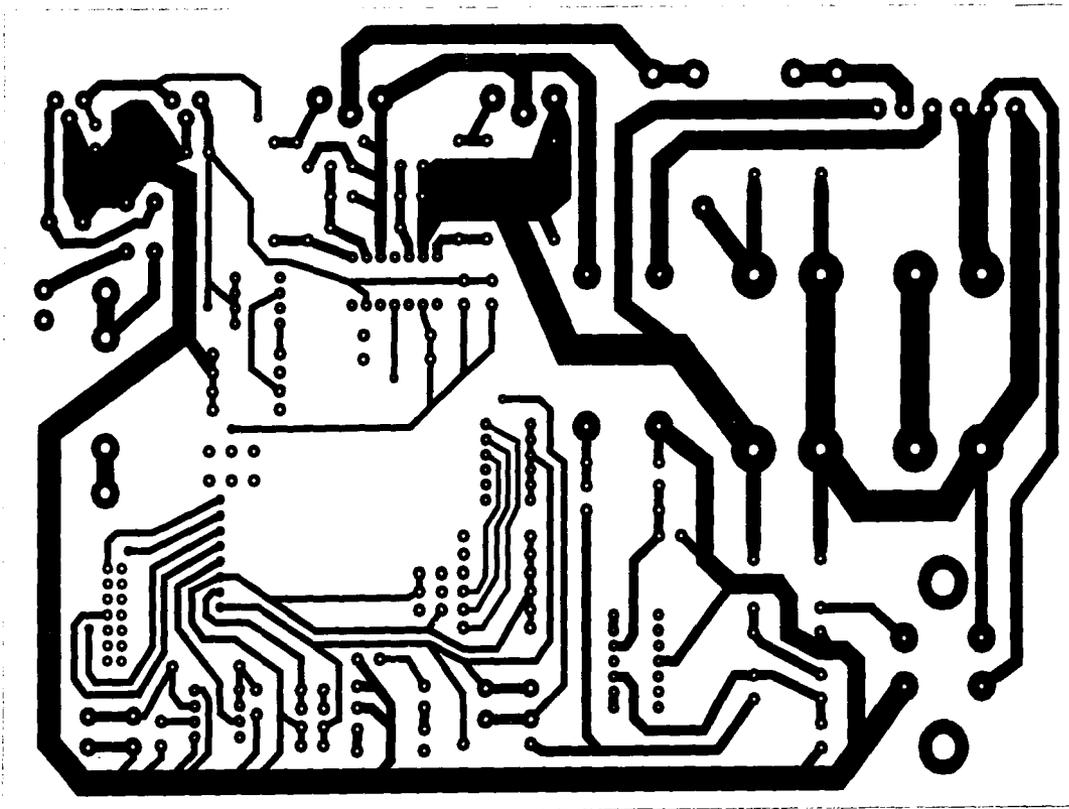


ENEP Aragón, UNAM		
Circuito Impreso del Inversor de Medio Puentes con Controlador Basado en Pasividad (Componentes y Perforaciones)		
Autor: Eduardo Venegas Reyes	REV:G.R.E.P	
Archivo: Impresol.dwg	26/03/02	ESC: 1/1



TESIS CON  
FALLA DE ORIGEN

FNEP Aragón, UNAM		
Circuito Impreso del Inversor de Medio Puente con Controlador Basada en Pasividad (Pistas superiores)		
Autor: Eduardo Venegas Reyes	REV: GRE 11	
Archivo: Impresal.dwg	26/03/02	FSC: 1/1



TESIS CON  
FALLA DE ORIGEN

ENLP Aragón, UNAM

Circuito Impreso del Inversor de Medio  
Puente con Controlador Basado en  
Pasividad (Pistas inferiores).

Autor: Eduardo Venegas Reyes REV GREP

Archivo Impresado.dwg 26/03/02 ESC 1/1

## Bibliografía

- [Boylestad, 1996] Boylestad, Robert L; Electrónica: Teoría de Circuitos, 6ª edición .Prentice Hall Hispanoamericana, 1996.
- [Chapra, 1987] Chapra, Steven C. Métodos Numéricos para Ingenieros: con Aplicaciones, México: Mc Graw Hill, 1987.
- [Campos, 1999] Campos-Canton, I.; Espinosa Pérez, G.; Nonlinear control of a half-bridge DC-CA converter: application to UPS. Proc. IEEE, Conf. On Decisión and Control. Volumen: 3, 1999, Pags.: 2617-2622.
- [Coughlin, 1999] Coughlin, Rober F. Amplificadores Operacionales y Circuitos lineales, 5ª edición, México: Prentice Hall Hispanoamericana 1999.
- [Escobar, 1999] Escobar, Gerardo; On Nonlinear Control of Switching Power Electronics Systems. Tesis de PhD, LSS-Supelec, Francia, 1999.
- [Hayt, 1993] Hayt, William H. Jr.; Análisis de Circuitos en Ingeniería, 3ª edición en español. México: McGraw Hill, 1993
- [Kamen, 1996] Kamen, Edward W.; Introducción a Señales y Sistemas, 1ª edición en español, México: CECSA, 1996.
- [Luzadder, 1988] Luzadder, Warren J.; Fundamentos de Dibujo en Ingeniería: con una introducción a las Gráficas por Computadora interactiva para diseño y producción, 9ª edición, Prentice Hall Hispanoamericana, 1988.
- [Mathews, 2000] Mathews, Jonh H.; Métodos Numéricos con Matlab. Madrid: Prentice hall, 2000.
- [McLyman, 1988] McLyman, Colonel Wm. T. Transformer and Inductor Design Handbook. NewYork: Marcel Dekker, 1988.
- [Noriega, 2000] Noriega Pineda Daniel; Control de Convertidores Estáticos de CD-CD. Tesis de Licenciatura., FES-C, UNAM, Edo. de México, 2000.
- [Noriega, 2001] Noriega Pineda Daniel; Control No-lineal de convertidores CD-CA: Un Enfoque basado en Pasividad. Tesis de Maestría., DEPFI, UNAM, México D.F., 2001.
- [Ortega, 1998] Ortega, R.; Loría, A.; Nicklasson, P. J.; Sira-Ramírez, H.; Passivity-Based Control of Euler-Lagrange Systems: Mechanical, electrical and electromechanical applications. Springer-Verlag, 1998.
- [Pallas, 1993] Pallas-Areny, Ramón; Adquisición y Distribución de Señales. Barcelona: Marcombo, 1993.

- [Pallas, 1994] Pallas-Areny, Ramón; Sensores y Acondicionadores de Señal. Barcelona: Marcombo, 1994.
- [Rashid, 1995] Rashid, M. H.; Electrónica de Potencia: Circuitos Dispositivos y Aplicaciones. México: Prentice Hall Hispanoamericana, 1995.
- [TI, 2000] MSP430x1xx Family User Guide, Texas Instruments Inc., 2000
- [TI, 2000] MSP430Family: Mixed -Signal Microcontrollers Applications Reports, Texas Instruments Inc., 2000.
- [Tocci, 1996] Tocci, Ronald J.; Sistemas Digitales: Principios y Aplicaciones. 6ª Edición. Prentice Hall Hispanoamericana, 1996.
- [Tokheim, 1991] Tokheim, Roger L.; Fundamentos de los Microprocesadores. McGraw Hill, 1991.
- [Varela, 2001] Varela Vega, Arturo; Desarrollo de un convertidor CD-CA Trifásico Basado en Modulación por Ancho de Pulso. Tesis de Licenciatura., FES-C, UNAM, Edo. de México, 2001.
- [Vithayathil, 1995] Vithayathil, Joseph; Power electronics, Principles and Applications. McGraw-Hill, 1995.