

113



**UNIVERSIDAD NACIONAL AUTONOMA DE MÉXICO**

**FACULTAD DE INGENIERIA**

**SISTEMA P.L.L.**

**T E S I S**

**PARA OBTENER EL GRADO DE:**

**DOCTOR EN INGENIERIA**

**P R E S E N T A**

**JOSE TOMAS RAMIREZ NIÑO**

**MÉXICO**

**TESIS CON  
FALLA DE ORIGEN**



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

PAGINACION

DISCONTINUA

## C A P I T U L O    I

### SISTEMA PLL

- Descripción General
- Operación del PLL
  - . Proceso de enlace
  - . El PLL en la condición de enlace
  - . Rango de enlace de la Malla
  - . Rango de captura del enlace
- Consideraciones de Estabilidad del PLL
  - . El Jitter (nerviosismo) en el PLL
  - . Respuesta del sistema PLL en estado estable
- Aplicaciones
- Glosario de términos relativos
- Parámetros Principales

## C A P I T U L O    I I

### DESCRIPCION DEL PLL

CD4046 de R.C.A. (COS/MOS)

### SUS CARACTERISTICAS Y FUNCIONAMIENTO

- Comparadores de Fase
  - . Comparador de Fase I
  - . Comparador de Fase II
  - . Diagramas de Estado de los Comparadores
  
- Oscilador controlado por Voltaje
  
- Especificaciones

C A P I T U L O    I I I

C O D I G O    D E    F A S E    P A R T I D A

- Códigos de Grabación Digital
  - . Códigos de Nivel
  - . Códigos de Transición
  
- Código de fase Partida
  - . Decodificación

C A P I T U L O    I V

REALIZACION    PRACTICA

- Decodificador
- Generador de Secuencias Codificadas

## I N T R O D U C C I O N

---

El concepto del sistema PLL fue desarrollado por un grupo de físicos británicos en 1932, los cuales pretendían desarrollar un nuevo sistema de recepción de radio que compitiera con el sistema superheterodino.

La idea fundamental de este nuevo sistema llamado homodino o sincrodino, era el mezclar la señal de radio frecuencia emitida por la transmisora con una onda de la misma frecuencia que la portadora, requiriéndose para ésto, un dispositivo que tuviera la capacidad de identificar la frecuencia de la portadora y que generara una onda a esa frecuencia, para posteriormente mezclarla con la señal de radio frecuencia y demodularla.

Para lograr lo anterior se desarrolló un sistema realimentado que tenía las características requeridas y que con el paso del tiempo se lo denominó PLL ("malla de fase enlazada" "Phase locked loop"), extendiendo su campo de aplicación en muchas direcciones, principalmente en los sistemas de comunicación.

Hasta recientemente, los sistemas PLL habían sido muy complicados y costosos para usarse en forma comercial, y otras soluciones eran más económicas o convenientes; pero con las posibilidades que brinda la tecnología moderna de la integración en gran escala de dispositivos electrónicos; han hecho posible la fabricación de este tipo de dispositivos a bajos costos y se han abierto así las posibilidades de su aplicación.



Sus usuarios han sido atraídos por la gran variedad de aplicaciones del sistema PLL tales como demoduladores de F.M., demoduladores estereo, detectores de tono, sintetizadores, etc. y aún se espera en el futuro, un mayor desarrollo tanto de sus aplicaciones como de las características de los dispositivos y sus costos de adquisición.

C A P I T U L O     I

-----

S I S T E M A     P L L

-----

## DESCRIPCION GENERAL

---

El sistema PLL (Phase Locked Loop) es un sistema realimentado como se puede observar en el diagrama de bloques de la figura # 1, que está constituido esencialmente por los siguientes elementos:

- . Detector de fase.- Tiene la propiedad de proporcionar un voltaje que depende de la diferencia de fase entre las dos señales aplicadas a su entrada.

- . Filtro.- Elimina las altas frecuencias e interviene en la estabilidad del sistema.

- . Amplificador.- Suministra la ganancia requerida en el sistema.

- . Oscilador controlado por voltaje (VCO).- Es simplemente un oscilador cuya frecuencia es proporcional a un voltaje aplicado en su entrada de control.

La idea fundamental de este sistema es que cuando se suministra una señal en su entrada, el detector de fase comparará la fase de la señal de entrada con la producida por el oscilador controlado por voltaje (VCO), produciendo en su salida un voltaje proporcional a la diferencia. Esta señal, a la salida del detector de fase, pasa a través de un filtro, un amplificador, y se aplica a la entrada de control del VCO cerrándose así la malia del sistema.

Si por ejemplo, la frecuencia de la señal de entrada

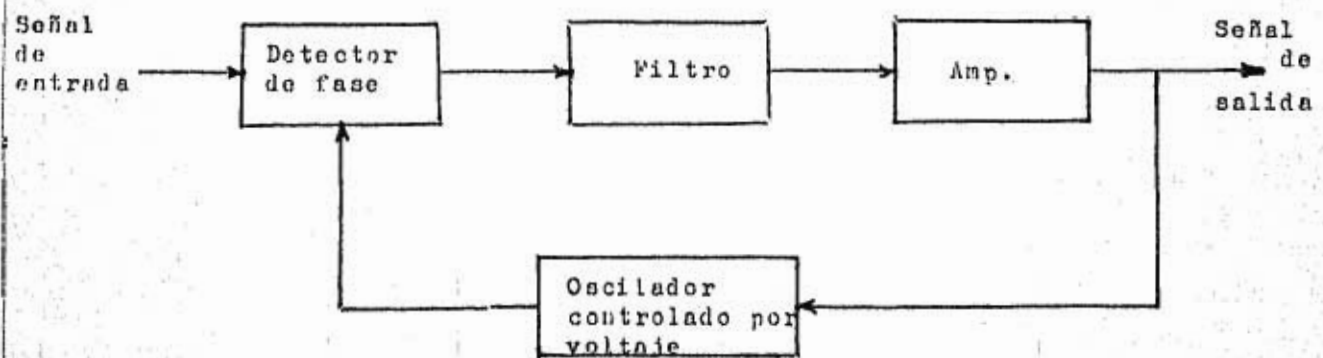


Figura # 1.- Sistema PLL

da es igual a la del VCO, entonces el detector de fase tendrá un voltaje constante en su salida y se dice que el sistema está enlazado. En cambio, si la frecuencia de la señal de entrada está desplazada ligeramente respecto a la frecuencia de la señal del VCO, la diferencia de fase empezará a incrementarse con el tiempo. Esto a su vez cambiará el voltaje de control en el VCO y traerá como consecuencia que la frecuencia de la señal de salida del VCO cambie y se ajuste al mismo valor que la señal de entrada, enlazándose.

Este comportamiento es particularmente útil para la demodulación de señales de F.M., en donde la frecuencia de la señal de entrada varía con el tiempo y contiene la información deseada. El rango de frecuencias de la señal de entrada sobre el cual la malla puede mantener el enlace, es llamado el "Rango de Enlace" (lock range).

## OPERACION DEL PLL

---

### Proceso de enlace

Un aspecto importante del sistema PLL, es el proceso de captura, por el cual la malla va desde el estado de no enlace, hasta ser enlazado con una señal. En la condición de no enlace el VCO oscila a la frecuencia correspondiente a cero volts aplicados en la entrada de control. Esta frecuencia se llama frecuencia central o de oscilación libre.

Cuando una señal es aplicada con una frecuencia cercana a la frecuencia central, la malla puede ser o no enlazada con ella, dependiendo de varios factores. El proceso de captura es inherentemente no lineal, por lo que se describirá este proceso transitorio, sólo cualitativamente.

Primero asumimos que la malla está abierta entre el filtro y la entrada de control del VCO, y que una señal cuya frecuencia es cercana, pero no igual, a la frecuencia central, es aplicada en la entrada del PLL.

El detector de fase, es un multiplicador analógico que multiplica las dos señales de entrada. Así, la salida del detector de fase contiene componentes en frecuencia iguales a la suma y a la diferencia de frecuencias, y asumimos que la componente de la suma de frecuencias es suficientemente alta de tal forma que sean totalmente filtradas por el filtro paso-baja; la sali-

da del filtro paso-bajas, entonces, es una senoide con una frecuencia igual a la diferencia de frecuencias entre la señal de entrada y la producida por el VCO (frecuencia central). Al cerrar la malla se provoca que la frecuencia del VCO varíe senoidamente en función del tiempo. Asumimos que la frecuencia de la señal de entrada es menor que la frecuencia central y puesto que la frecuencia del VCO está variando en función del tiempo, ésta alternativamente se moverá alrededor de la frecuencia de la señal de entrada.

La salida del detector de fase es cercana a una senoide, cuya frecuencia es la diferencia entre la frecuencia del VCO y la frecuencia de la señal de entrada. Cuando la frecuencia del VCO se mueve alejándose de la señal de entrada, esa senoide aumenta su frecuencia; cuando se acerca a la frecuencia de la señal de entrada, disminuye su frecuencia.

Si examinamos el efecto de la señal a la salida del detector de fase, sobre el VCO, y a su vez sobre la misma senoide, se observa que la frecuencia de esta senoide se reduce cuando la amplitud es negativa, y aumenta cuando su amplitud es positiva. Esto causa que la salida del detector de fase tenga forma de onda asimétrica durante el proceso de enlace como se ve en la figura # 2. Esta asimetría en la forma de onda introduce una componente de voltaje constante a la salida del detector de fase que desplaza la frecuencia de oscilación promedio del VCO hacia la frecuencia de la señal de entrada, haciendo que la diferencia de frecuencias decrezca gradualmente.

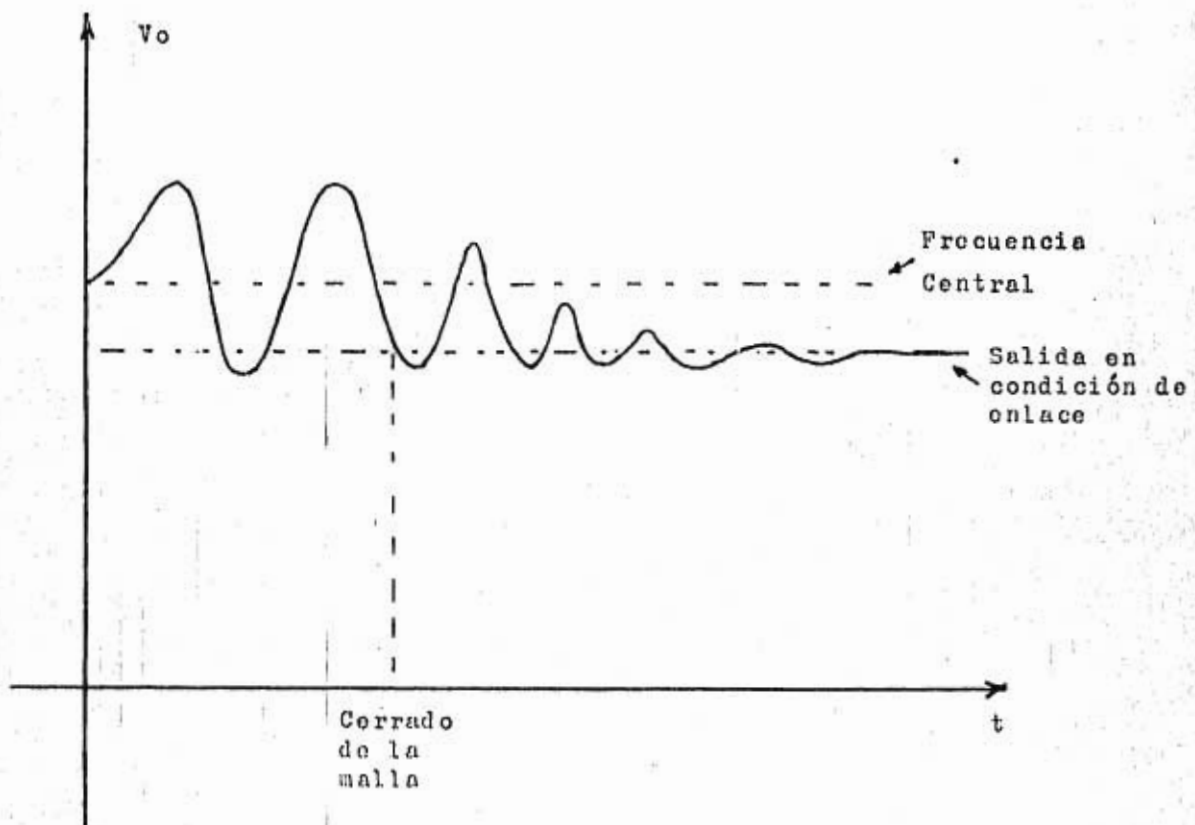


Figura # 2.- Salida típica del detector de fase durante el transitorio de captura.



Una vez que el sistema se enlaza, por supuesto, la diferencia de frecuencias se hace cero y solamente un voltaje constante permanece en la salida del filtro paso-bajas.

El rango de captura de la malla es aquel rango de la frecuencia de entrada alrededor de la frecuencia central sobre la cual la malla quedará enlazada partiendo de una condición de no enlace. El tiempo de "pull-in" es el tiempo requerido para que la malla efectúe el -- proceso de enlace con la señal de entrada.

Ambos parámetros dependen de la magnitud de la ganancia de la propia malla y del ancho de banda del filtro.

El objetivo del filtro es el permitir el paso solamente de las componentes-diferencia, resultado de la multiplicación con frecuencias alejadas de la frecuencia central.

El filtro también provee una memoria para la malla en el caso de que el enlace se pierda momentáneamente, debido a interferencia transitoria.

Al reducir el ancho de banda del filtro, mejora el rechazo de señales fuera de banda, pero al mismo tiempo, el rango de captura disminuye, el tiempo de "pull-in" se hace mayor y el márgen de fase se torna pobre afectando la estabilidad.

#### El PLL en la condición de enlace

Bajo la condición de enlace, existe una relación lineal entre el voltaje de salida del detector de fase

y la diferencia de fases entre el VCO y la señal de entrada. Este efecto permite a la malla ser analizada usando los conceptos de realimentación lineal cuando existe la condición de enlace.

La figura # 3 representa este sistema.

La ganancia del comparador de fases es  $K_d$  volts/rad de la diferencia de fases, el filtro tiene  $F(s)$  como función de transferencia, y la ganancia hacia adelante es representada por  $A$ . La ganancia del VCO es  $K_o$  rad/(seg. x volt).

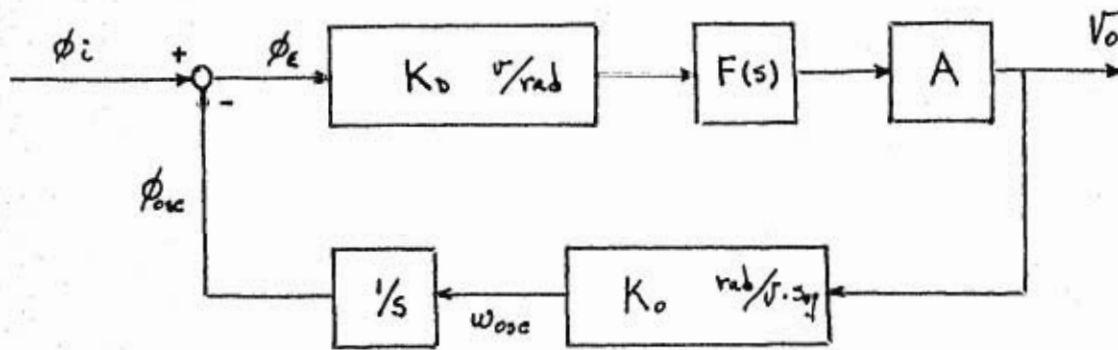


Figura # 3.- Diagrama del sistema PLL en condición de enlace.

Si un voltaje es aplicado a la entrada de control del VCO su salida permanece constante. Sin embargo, el detector de fase es sensible a diferencias en fase entre la señal de entrada y la señal del VCO. La fase de la señal del VCO es igual a la integración en el tiempo de la frecuencia de salida del VCO, entonces:

$$\omega_{osc}(t) = \frac{d\phi_{osc}(t)}{dt}$$

$$\phi_{osc}(t) = \phi_{osc}(0) + \int_0^t \omega_{osc}(t) dt$$

Así una integración inherente toma lugar dentro del PLL y es representada por el bloque  $1/s$  de la figura # 3.

Por razones prácticas, el VCO está diseñado de tal forma que cuando el voltaje de control es cero, la frecuencia de salida es  $\omega_0$ , entonces:

$$\omega_{osc} = \omega_0 + K_0 V_0$$

La función de transferencia de malla cerrada es:

$$\frac{V_0}{\phi_i} = \frac{K_D F(s) A}{1 + K_D F(s) A K_0 / s}$$

$$\frac{V_0}{\phi_i} = \frac{s K_D F(s) A}{s + K_D K_0 A F(s)}$$

Usualmente nos interesa conocer la respuesta de esta malla a variaciones de frecuencia de la señal de entrada y entonces:

$$\omega_i = \frac{d\phi_i}{dt} \quad \omega_i(s) = s\phi_i(s)$$

$$\textcircled{1} \text{-} \quad \frac{V_0}{\omega_i} = \frac{1}{s} \frac{V_0}{\phi_i} = \frac{K_D F(s) A}{s + K_D K_0 A F(s)}$$

Si analizamos el caso en el que  $F(s) = 1$

$$\textcircled{2} \cdot \frac{V_o}{\omega_i} = \frac{K_v}{s + K_v} \times \frac{1}{K_o} \quad \text{donde} \quad K_v = K_o K_b A$$

Así inherentemente la malla produce una característica de transferencia de primer orden paso-bajas.

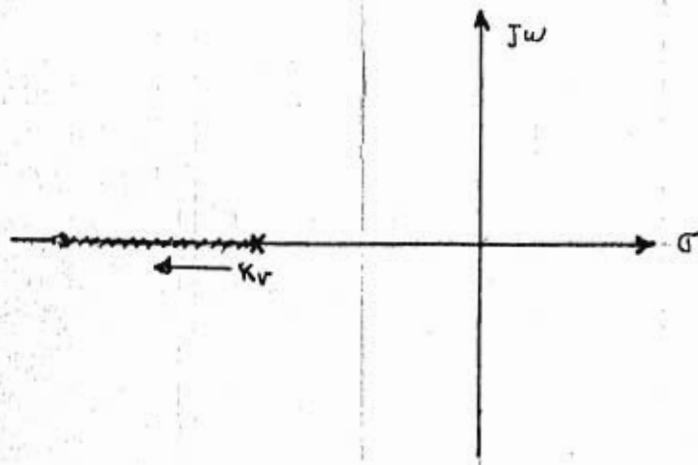
Si consideramos que la señal de entrada varía con una frecuencia  $\omega_i$ , la respuesta obtenida en la ecuación # 2, es realmente la respuesta de la modulación en frecuencia de la portadora de entrada.

De la constante  $K_v$ , depende el ancho de banda de la malla. Si la malla está enlazada con una señal portadora, y la frecuencia de ésta varía senoidalmente en el tiempo con una frecuencia  $\omega_m$ , entonces, una senoide de frecuencia  $\omega_m$ , será observada en la salida de la malla. Cuando  $\omega_m$  se incrementa por encima de  $K_v$ , la magnitud de la senoide en la malla disminuye.

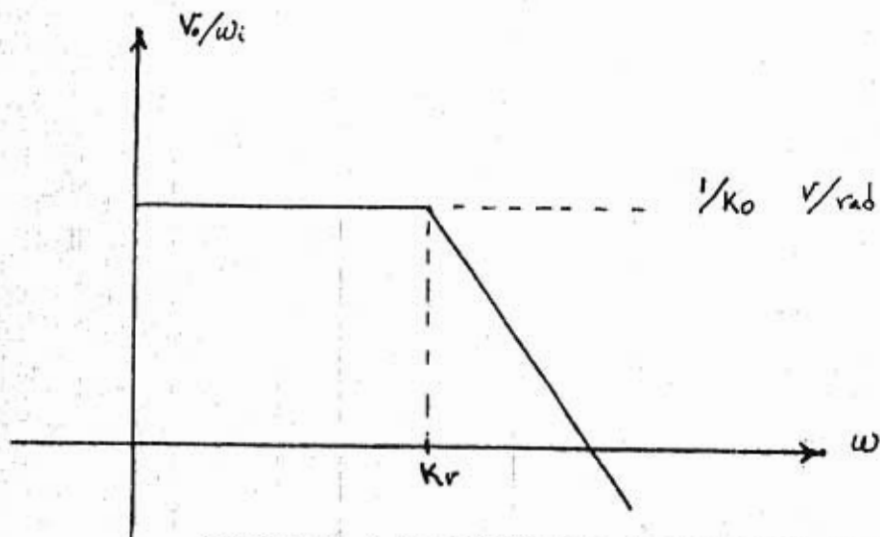
El ancho de banda de la malla,  $K_v$ , es entonces el ancho de banda efectivo para la señal modulada que está siendo demodulada por el PLL. En términos de los parámetros de la malla,  $K_v$  es simplemente el producto de la ganancia del detector de fase, del VCO y de alguna otra ganancia eléctrica dentro de la malla.

El lugar geométrico de ese polo simple en función de  $K_v$  es mostrado en la figura # 4 en la cual se muestra también la respuesta a la frecuencia. En la figura # 5, se muestra la respuesta de la malla a variaciones en la frecuencia de entrada.

Operando la malla sin filtro tiene severas desven

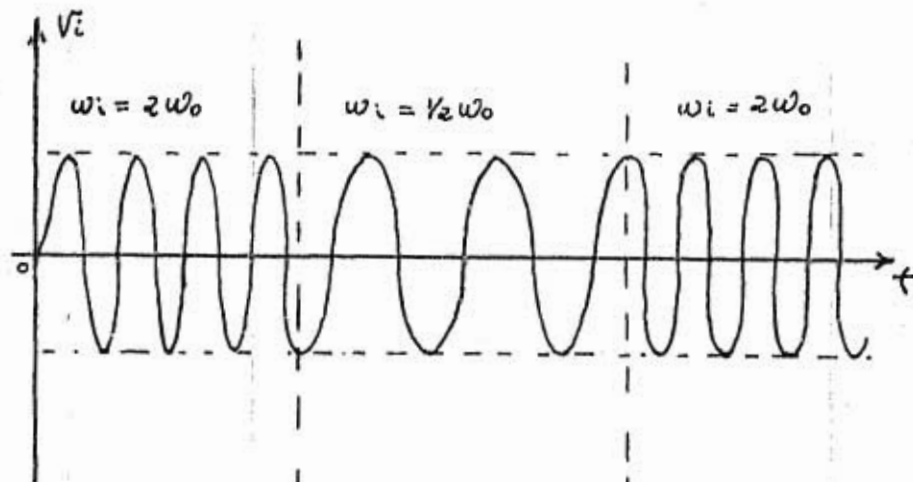


Lugar geométrico del polo de la malla cerrada.

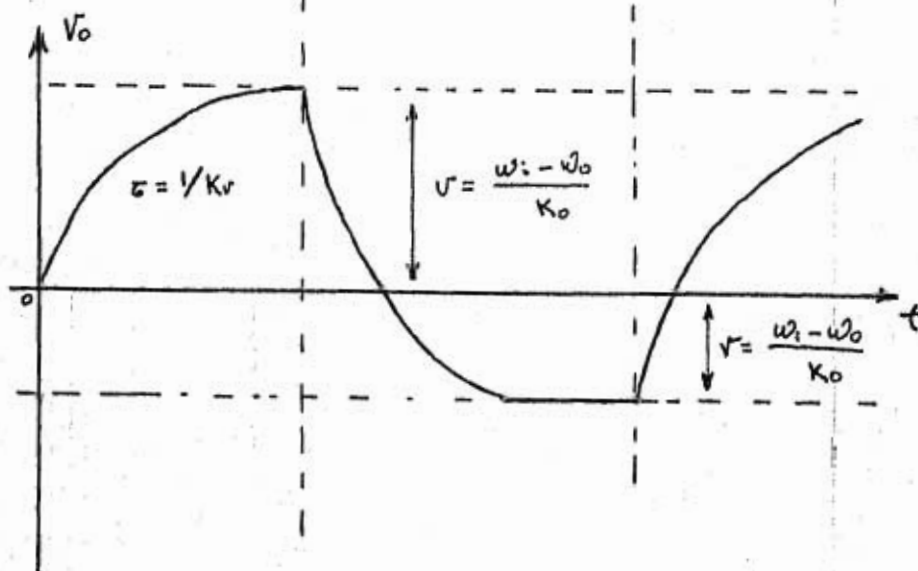


Respuesta a la frecuencia de la malla cerrada.

Figura # 4.- Lugar geométrico y respuesta a la frecuencia del sistema.



Señal de entrada



Señal de salida

Figura # 5.- Respuesta del sistema a cambios de la frecuencia en entrada. (malla de primer orden)

tajas, ya que el detector de fase es realmente un multiplicador, que produce componentes de frecuencia iguales a la suma y a la diferencia de frecuencias. Estas componentes al doble de la frecuencia de la portadora son alimentadas directamente a la salida, en caso de no existir el filtro. También, todas las señales de interferencia fuera de banda, presentes en la entrada, aparecerán corridas en frecuencia, en la malla.

por ésto, es muy conveniente un filtro dentro de la malla, en aplicaciones donde señales de interferencia están presentes.

Si hacemos  $F(s)$  un pasobajas con un polo simple - (realizado usualmente con una resistencia y un capacitor) tenemos:

$$F(s) = \frac{1}{1 + s/\omega_1}$$

sustituyendo en (1)

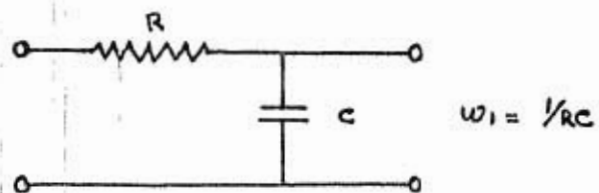
$$\frac{V_o}{\omega_i}(s) = \frac{1}{K_o} \left( \frac{1}{1 + s/K_v + s^2/\omega_1 K_v} \right)$$

$$s = -\frac{\omega_1}{2} \left( 1 \pm \sqrt{1 - \frac{4K_v}{\omega_1}} \right)$$

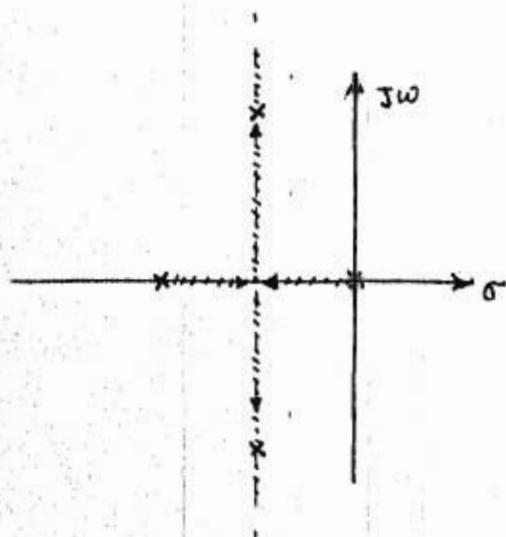
$$\frac{V_o}{\omega_i} = \frac{1}{K_o} \left( \frac{1}{\frac{s^2}{\omega_n^2} + \frac{2\zeta}{\omega_n} + 1} \right) \quad \left. \begin{array}{l} \omega_n = \sqrt{K_v \omega_1} \\ \zeta = \frac{1}{2} \sqrt{\frac{\omega_1}{K_v}} \end{array} \right\}$$

ver figura # 6

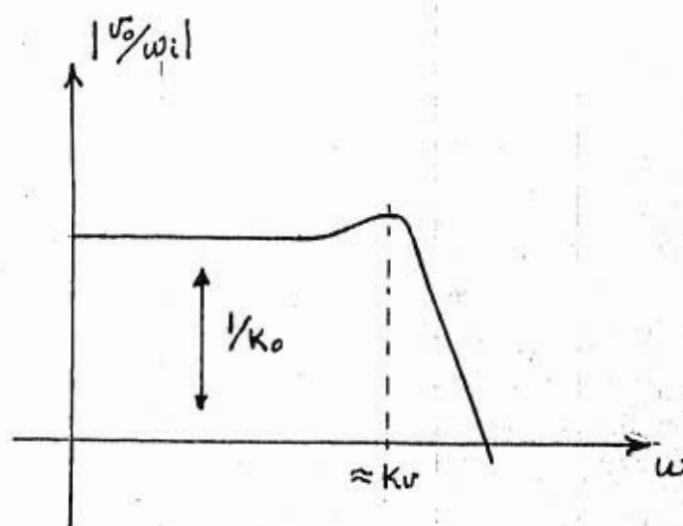
La frecuencia  $\omega_1$  del polo adicional debe hacerse tan pequeña como sea posible, sin que cause un pico -



Filtro de un solo polo



Lugar geométrico de los polos



Respuesta a la frecuencia de la malla

Figura # 6.- Lugar geométrico y respuesta a la frecuencia de la malla de segundo orden.



inaceptable en la respuesta a la frecuencia, ya que produce distorsión en la demodulación del P.M. Una frecuencia  $\omega_1$  grande produce que la malla resuene o que experimente, debido a un mal amortiguamiento, respuestas oscilatorias cuando la malla es perturbada por transitorios.

Un buen compromiso de diseño, es usar un filtro lo más plano posible en el cual los polos son puestos en un ángulo de  $45^\circ$  con el eje real negativo.

Para esta respuesta

$$\zeta = \frac{1}{\sqrt{2}} \quad \omega_1 = 2Kv$$

$$\omega_{-3db} = \omega_n = \sqrt{Kv \omega_1} = \sqrt{2} Kv$$

Rango de enlace de la malla

Este rango es el rango de frecuencias alrededor de la frecuencia central para la cual la malla mantiene el enlace. En muchos casos, éste es limitado por el hecho de que el comparador de fases tiene un límite en el rango de comparación; una vez que la diferencia de fases entre la señal de entrada y la del VCO alcanza más de  $90^\circ$ , el comparador de fases deja de comportarse linealmente.

La función de transferencia típica de un comparador se muestra en la figura # 7

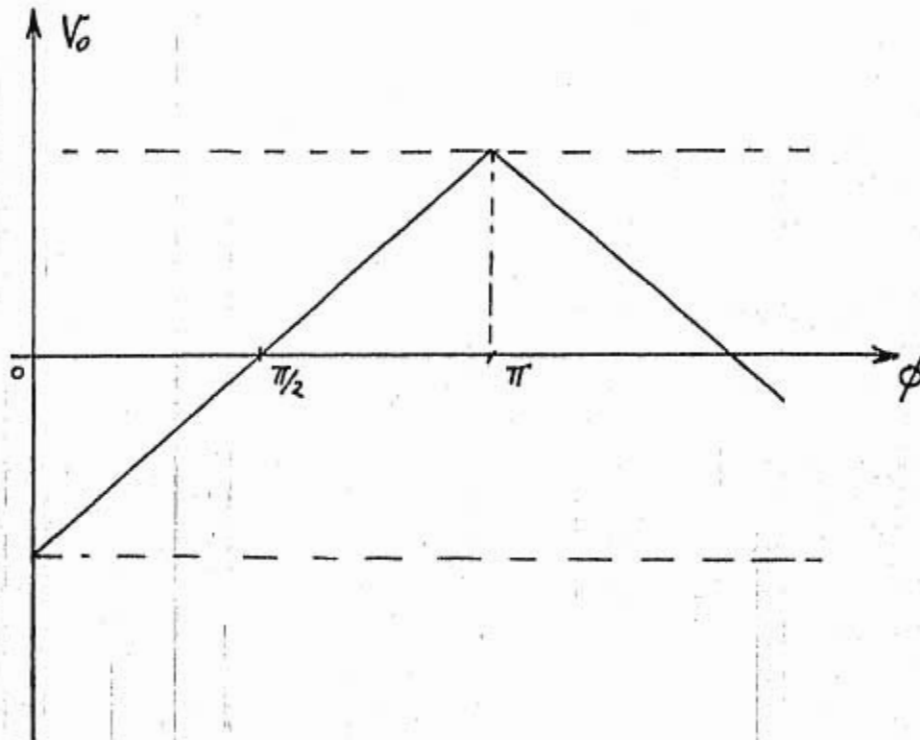


Figura # 7.- Salida del detector de fase vs. diferencia de fases

De la figura, se puede observar que para mantener el enlace, la diferencia de fase no debe exceder el rango de 0 a  $\pi$  y el voltaje de salida del comparador será

$$V_{o_{\max}} = \pm K_b \left( \frac{\pi}{2} \right)$$

Al considerar la salida en el extremo  $V_o = K_b \left( \frac{\pi}{2} \right)$ , este voltaje se amplifica por la ganancia "A", y se aplica a la entrada de control del VCO, produciendo un desplazamiento de frecuencia alejándolo de la frecuencia central de oscilación, para este caso se tiene:

$$\Delta \omega_{osc} = K_b A K_o \left( \frac{\pi}{2} \right) = K_v \left( \frac{\pi}{2} \right)$$

Si la frecuencia de entrada es ahora desplazada aún más lejos de la frecuencia central, tendrá que ser aplicado más voltaje al VCO para que su frecuencia de salida se desplace siguiendo a la señal de entrada. Sin embargo el detector de fase no puede suministrar más voltaje en su salida para desplazar la frecuencia del VCO aún más, perdiéndose así el enlace de la malla. El -- rango de enlace,  $\omega_L$ , es entonces dado por:

$$\omega_L = K_v \left( \frac{\pi}{2} \right)$$

Este es el rango de frecuencia hacia ambos lados de la frecuencia central para la cual, la malla seguirá las variaciones de frecuencia de la señal de entrada.

Este rango es un parámetro que depende de la ganancia de la malla y es independiente de las propiedades del filtro.

Rango de captura del enlace

El rango de captura es el rango de las frecuencias de entrada para las cuales la malla quedará enlazada - partiendo de una condición de no enlace. Este rango - siempre es menor que el rango de enlace. Cuando la frecuencia de entrada se cambia a través de un rango alrededor de la frecuencia central, la salida del voltaje como una función de la frecuencia de entrada, muestra una histéresis. Ver figura # 8.

Cuando la señal de entrada tiene una frecuencia muy inferior a la frecuencia central y se incrementa gradualmente, la malla no responde hasta que ésta alcanza  $\omega_1$ , que corresponde al borde inferior del rango de captura.

Entonces la malla se enlaza con la señal de entrada y causa un salto negativo en el voltaje de error de la malla. Después el voltaje de salida varía con la frecuencia con una pendiente igual al recíproco de la ganancia del VCO ( $1/K_0$ ).

La malla sigue a la entrada hasta que la entrada alcanza la frecuencia  $\omega_2$  que corresponde al borde superior del rango de enlace. El PLL entonces pierde el enlace y el voltaje de error cae a cero. Si la frecuencia de entrada se reduce un poco ahora, el ciclo se repite, pero en sentido inverso. El PLL recaptura la señal en  $\omega_3$  y la sigue hasta  $\omega_4$ .

$$2\omega_c = \omega_3 - \omega_1 \quad 2\omega_L = \omega_2 - \omega_4$$

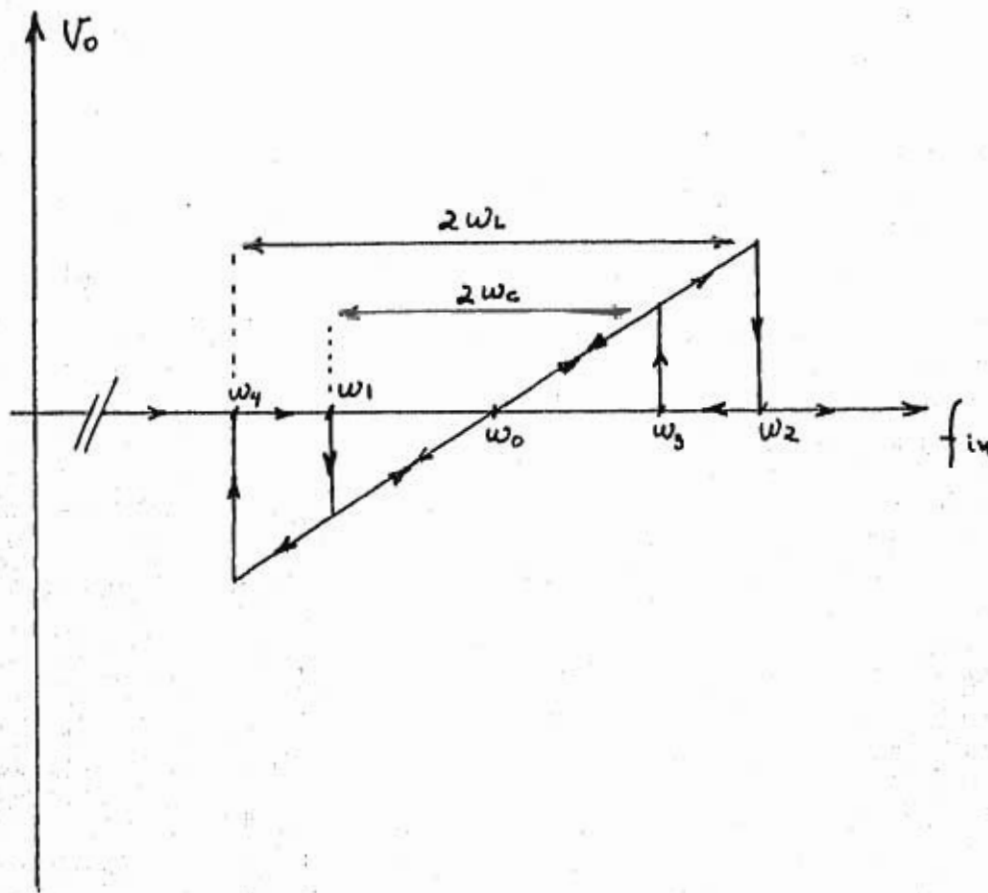


Figura # 8.- Salida del sistema PII vs. frecuencia de entrada.

La linealidad del dispositivo está determinada principalmente por las características del VCO, por lo que no requiere una gran linealidad en la característica de transferencia de voltaje-frecuencia.

Como discutimos anteriormente, el rango de captura es muy difícil de predecirse analíticamente. Como una regla muy aproximada, el rango puede ser estimado usando el siguiente procedimiento:

Asumimos que la malla de la figura # 1 es abierta a la salida del amplificador y que una señal con una frecuencia no igual a la frecuencia central del VCO se aplica al PLL. La componente de diferencia aparece a la salida del detector de fase

$$V_f(t) = \frac{\pi}{2} K_D \cos[(\omega_i - \omega_{osc})t]$$

donde  $\omega_i$  es la frecuencia de la señal de entrada y  $\omega_{osc}$  es la frecuencia del VCO.

Esta componente al pasar através del filtro y del amplificador se tiene

$$\textcircled{1} \quad V_o(t) = \frac{\pi}{2} K_D A |F[j(\omega_i - \omega_{osc})]| \cos[(\omega_i - \omega_{osc})t + \phi]$$

$$\phi = \angle F[j(\omega_i - \omega_{osc})]$$

La salida del amplificador consiste en la diferencia de frecuencias cuya amplitud se reduce por el filtro. Para que la captura ocurra, la magnitud del voltaje que debe ser aplicado a la entrada de control del VCO es

$$\textcircled{2} \quad |V_{osc}| = \frac{\omega_i - \omega_{osc}}{K_D}$$

El proceso de captura es en si mismo muy complejo, pero su rango puede ser estimado haciendo las magnitudel de "1" y "2" iguales. El resultado es que la captura ocurre si la siguiente desigualdad es satisfoccha

$$|(w_i - w_{osc})| < \frac{\pi}{2} K_r |F[J(w_i - w_{osc})]|$$

Esta desigualdad implícitamente da una estimación del rango de captura.

## CONSIDERACIONES DE ESTABILIDAD DEL PLL

---

Siempre pueden existir oscilaciones inesperadas en un sistema realimentado, y el sistema PLL, por consiguiente, tiene también esta particularidad. La estabilidad y su operación depende principalmente de las características del filtro paso-bajas que se encuentra dentro de la malla. Se puede emplear en el análisis de estabilidad las técnicas del lugar geométrico para algunas aplicaciones simples.

El rango de captura y el tiempo de respuesta a cambios en la frecuencia o a cambios en el ángulo de fase de la señal de entrada, dependen de las características del filtro paso-bajas. El sistema PLL tiene intrínsecamente un polo en plano complejo, y al colocar dentro de la malla diferentes tipos de filtros, éstos aportarán polos y ceros al sistema, siendo determinante para la estabilidad su colocación en el plano complejo.

El lugar geométrico de las raíces de la malla se puede emplear para determinar la ganancia de la malla que le da al sistema la estabilidad deseada. Otro método para analizar la estabilidad, es el de emplear los diagramas de Bode, en donde se oscoge la posición de los polos y ceros que produzcan el margen de fase y de ganancia para la estabilidad requerida.



El "Jitter" (Nerviosismo) en el PLL.

El "Jitter" en el sistema PLL, son las variaciones en la fase de la señal producida por el oscilador controlado por voltaje que ocurren cuando el PLL intenta igualar la fase de la señal de entrada, con la generada internamente.

Debido a las características de la malla del PLL, se introduce normalmente un retraso en el sistema que provoca oscilaciones de fase alrededor de la fase instantánea buscada por el sistema, repercutiendo también en pequeñas variaciones de frecuencia de la señal del VCO.

Por ejemplo, si partimos de la situación en que el PLL detecta que la frecuencia de la señal de entrada es ligeramente superior a la frecuencia de la señal del VCO; el PLL ordenará aumentar la frecuencia del VCO; al incrementarse pasará por el punto donde son idénticas las frecuencias de entrada y la del VCO, pero como existe un retraso de la información, el VCO continuará incrementando su frecuencia sobrepasando la frecuencia de la señal de entrada.

En estas condiciones le llegará al VCO la información de disminuir su frecuencia, hasta el punto de ser inferior a la frecuencia de la señal de entrada en donde se repetirá el proceso nuevamente.

Las características del "Jitter" están íntimamente relacionadas con la estabilidad del sistema, dependen de la ganancia del sistema y de las cualidades del filtro paso-bajas (de la posición de los polos y ceros del sistema).

Normalmente el "Jitter" está presente en cualquier sistema PLL y puede permitirse variaciones de fase de  $\pi/2$ ,  $\pi/4$  ó  $\pi/8$  dependiendo del tipo de aplicación, pero una variación de fase superior a  $\pi$  hace que el sistema pierda el enlace.

Respuesta del sistema PLL en estado estable.

Aunque el uso de un filtro paso-bajas interviene en la estabilidad del sistema, éste produce una característica no muy satisfactoria en estado estable para un tipo de señal de entrada dado. Es conveniente determinar el tipo de filtro necesario para que el sistema tenga una adecuada respuesta a señales de entrada como escalón, rampa, etc.

La transformada de Laplace se emplea para este propósito utilizando el Teorema del Valor Final

$$\lim_{t \rightarrow \infty} f(t) = \lim_{s \rightarrow 0} s F(s)$$

Al aplicarlo a la función de transferencia del PLL de la señal de error (que es la diferencia de fase de las dos señales) en función de la señal de entrada, se tendrá que el error en estado estable, dada una cierta señal de entrada es:

$$\text{Error } (t)_{t \rightarrow \infty} = \lim_{s \rightarrow 0} s \phi_E(s)$$

(edo. estable)

para el sistema de figura # 3

$$\phi_e(s) = \frac{s}{s + K_v F(s)} \phi_i(s)$$

Si por ejemplo suponemos que la señal de entrada tiene una variación de fase en forma de escalón,

$$\phi_i(s) = 1/s \quad \text{y} \quad F(s) = \frac{1}{1 + s/\omega_c} \quad (\text{el filtro})$$

$$\alpha = \lim_{s \rightarrow 0} \frac{s}{s + K_v F(s)} = 0$$

El sistema, por lo tanto sigue fielmente en estado estacionario a la señal supuesta con el filtro paso-bajas dado.

## A P L I C A C I O N E S

---

El sistema PLL tiene en la actualidad un gran número de aplicaciones, de entre las cuales se pueden citar las siguientes:

- Demodulación de señales de F.M.

Cuando el PLL se enlaza a una señal portadora de frecuencia modulada, el VCO sigue a la frecuencia instantánea de la señal de entrada y a la salida del filtro paso-bajas se obtiene la señal demodulada que se deseaba.

También se usa para reemplazar una o más etapas de frecuencia intermedia y como discriminador.

- Recepción de T.V.

El PLL se emplea en los receptores de T.V. para la sincronización de los barridos horizontal y vertical con los pulsos de sincronía de la señal de entrada. También se usa como discriminador de la señal de audio y de color, en cada caso reemplazando a un circuito resonante LC.

- Detector de A.M.

Dos sistemas PLL se pueden emplear para la demodulación de señales de A.M. como se ve en la figura # 9.

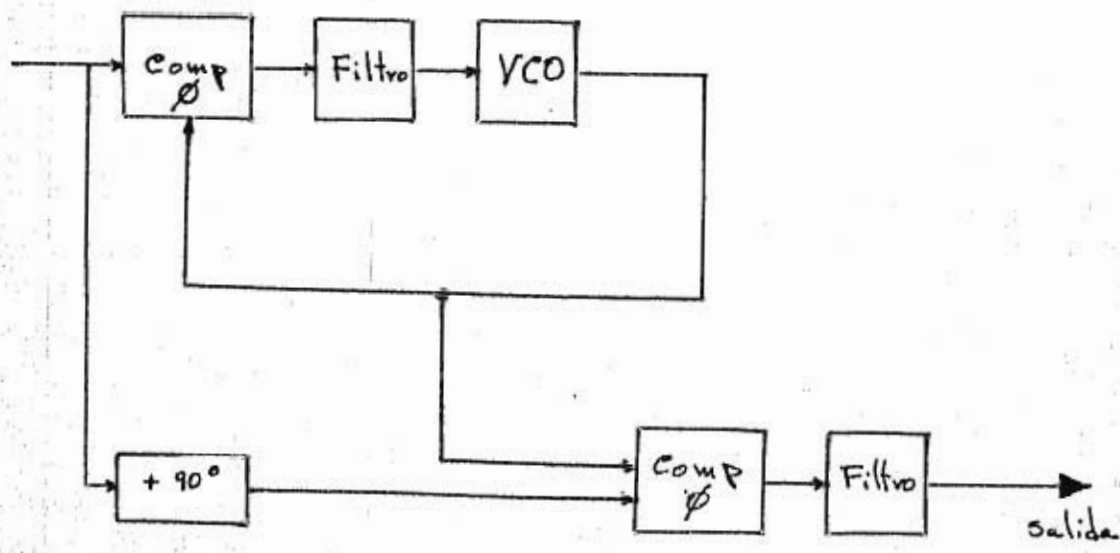


Figura # 9.- Detector de A.M.

El primer PLL opera como un detector síncrono de A.M., enlazándose la malla con la portadora de la señal del A.M. La frecuencia de salida del VCO es idéntica a la portadora pero sin modulación en amplitud. La demodulación se obtiene por la multiplicación analógica que efectúa el segundo PLL.

El detector de fase del segundo PLL mezcla las dos señales y produce una salida directamente proporcional a la amplitud de la señal de entrada. Este sistema ofrece un alto grado de inmunidad al ruido comparándolo con los sistemas convencionales.

- Sintetización de frecuencias

Muchas frecuencias se pueden sintetizar a partir de una frecuencia de referencia dada. La sintetización empleando un PLL, utiliza un circuito divisor de frecuencia conectado entre la salida del VCO y la entrada del detector de fase como se muestra en la figura # 10.

- Control de velocidad de un motor

Muchos sistemas electromecánicos requieren un control preciso de velocidad, particularmente durante el arranque o el frenado. Como se observa en la figura # 11.

Un tacómetro se acciona por el motor y éste proporciona la realimentación del sistema.

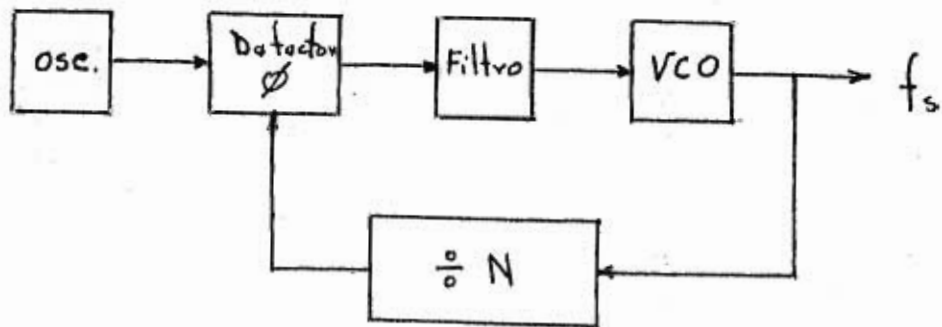


Figura # 10.- Sintetización de frecuencias.

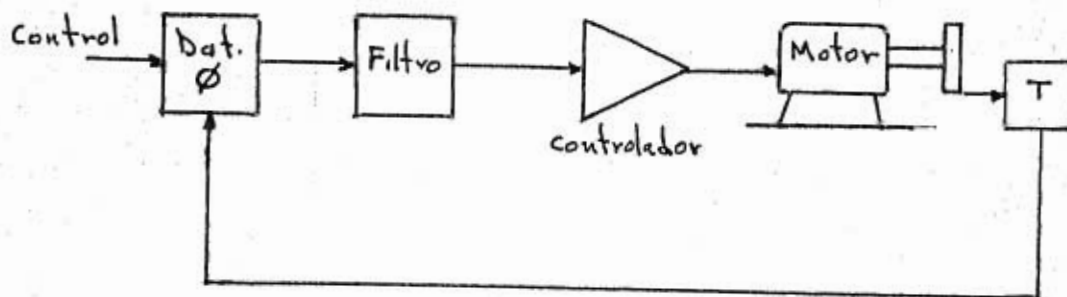


Figura # 11.- Control de velocidad de un motor.

- Modems (modulador/demodulador)

En la transmisión de datos por línea telefónica los "unos" y "ceros" son a menudo codificados como dos diferentes tonos de audio-frecuencia, (FSK Frequency Shift Keying). El PLL se usa para decodificar estas señales poniendo su frecuencia central a la mitad de las dos frecuencias como se ve en la figura # 12.

Así, la salida del PLL es proporcional a la frecuencia de entrada y el comparador discrimina esas dos frecuencias.

Otros sistemas utilizan la modulación de fase, pero también pueden detectarse por el PLL.



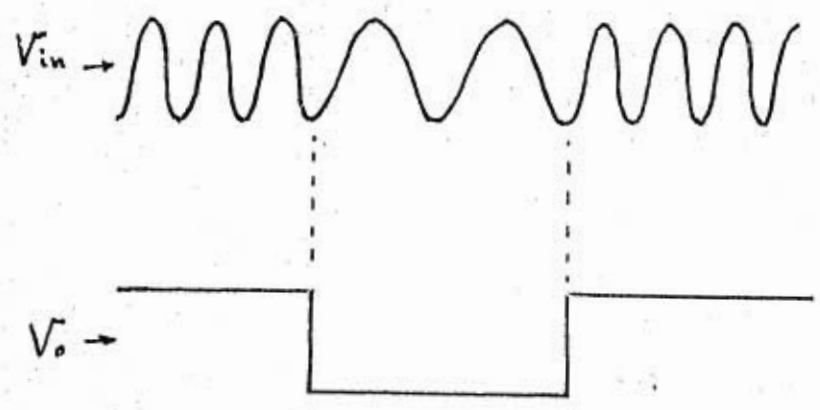
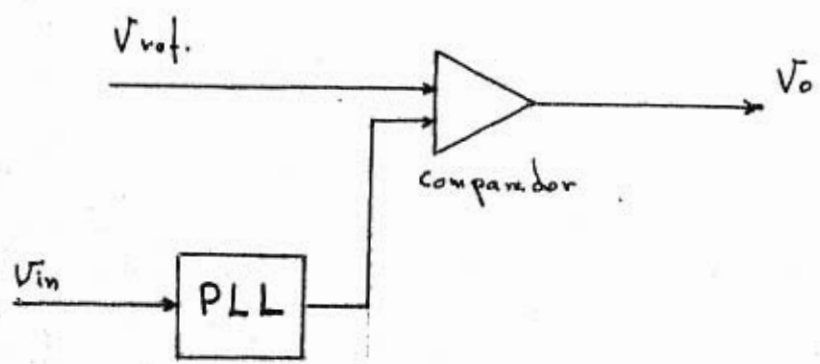


Figura # 12.- Decodificador de señales codificadas en MSK.

## G L O S A R I O   D E   T E R M I N O S   R E L A T I V O S

- Rango de Captura ( $2W_c$ ) "Capture Range"

Es el rango sobre el cual adquiere el enlace de la malla. Es algunas veces llamado "Lock-in Range", - (qué tan cerca debe de estar la señal de entrada de la frecuencia central antes de que la captura pueda ocurrir " $W_c$ ")

- Factor de Amortiguamiento ( $\zeta$ ) "Damping Factor"

Es la constante de amortiguamiento estandar usada en los sistemas realimentados de segundo orden. En el caso del PLL, se refiere a la capacidad de la malla a responder rápidamente a cambios bruscos de la frecuencia de entrada. (respuesta escalón).

- Frecuencia Central "Free-Running Frequency" ( $f_0 - W_0$ ) o "Center Frequency"

Es la frecuencia a la que oscila el VCO cuando no se encuentra enlazado a una señal de entrada

- Rango de Enlace ( $2W_L$ ) "Lock Range" o "Hold-in Range" o "Tracking Range"

Es el rango de frecuencias de entrada sobre el cual la malla se mantiene en enlace.

- Ganancia de la malla ( $K_v$ ) "Loop Gain"

Es el producto de las funciones de transferencia de todos los elementos de la malla y sus unidades son ( $\text{seg}^{-1}$ ).

- Filtro paso-bajas (  $F(s)$  ) "Low Pass Filter"

Este es un filtro que se encuentra dentro de la malla, permite el paso de señales de "dc" y de bajas frecuencias solamente. Este controla el rango de captura y las características del rechazo del ruido y el ancho de banda de la señal de salida.

- Frecuencia Natural ( $\omega_n$ ) "Natural Frequency"

Las características en frecuencia de la malla, determinadas matemáticamente por la posición de los polos en el plano complejo, o experimentalmente como la frecuencia de modulación para la cual una malla con poco amortiguamiento tiene la máxima salida y en la cual el error de fase es máximo.

- Factor de Ganancia del Detector de Fase "Phase Detector Gain Factor" ( $K_d$ )

El factor de conversión entre las diferencias de fase detectadas y el voltaje de salida. Para señales de entrada de amplitud pequeña, la ganancia es también una función del nivel de entrada.

- Detector de Fase "Phase Detector"

Es un circuito que compara la señal de entrada con

la producida por el VCO y produce un voltaje de error proporcional a la relativa diferencia de fases. Como detector de fase se usa muy a menudo un multiplicador o mezclador.

- Detector de Fase en Cuadratura "Quadrature Phase Detector"

Un detector de fase operando en cuadratura ( $90^\circ$  fuera de fase) en la malla del detector de fase. Se usa principalmente para la demodulación de A.M. y para la detección del enlace.

- Oscilador controlado por Voltaje (VCO) "Voltage Controlled Oscillator"

Un oscilador cuya frecuencia está determinada por un voltaje de control aplicado

PARAMETROS PRINCIPALES

---

DEL PLL

---

DETECTOR DE FASE

- Rangos de voltaje de entrada
- Impedancia de entrada
- Impedancia de salida
- Offset de voltaje o corriente de salida
- Ganancia de conversión (Kd)

OSCILADOR CONTROLADO POR VOLTAJE

- Frecuencia central máxima
- Corrimiento de frecuencia con la temperatura
- Cambio de frecuencia con variaciones de voltaje de alimentación
- Ganancia de conversión (K<sub>o</sub>)
- Rango de voltajes de entrada y salida
- Tiempo de subida y bajada
- Linealidad

C A P I T U L O        I I

== - - - - - ==

D E S C R I P C I O N   D E L   P L L

---

CD4046    de    R.C.A.    (Cos/Mos)

---

DESCRIPCION DEL PLL

---

CD4046 de R.C.A. (Cos/Mos)

---

Sus Características y Funcionamiento

---

El PLL Cd4046 de RCA está conformado con tecnología C-MOS implementado en un circuito integrado monolítico. Consiste de un oscilador y dos comparadores de fase diferentes teniendo sus entradas unidas, siendo una de ellas amplificada. Internamente cuenta con un diodo zener de 5.2 volts para la regulación de la fuente de alimentación si es necesario. Ver la figura # 1

Comparadores de Fase

---

La mayor parte de los sistemas PLL utilizan un mezclador balanceado compuesto por un multiplicador analógico para implementar el detector de fase.

Las características lineales de estos multiplicadores no son muy fáciles de realizarse usando la tecnología COS/MOS, de aquí el diseño de éste dispositivo del tipo digital, para los comparadores de fase, ver figura # 2.

Ambos comparadores de fase son manejados por una entrada común, amplificada por una configuración compuesta de una etapa de polarización y cuatro etapas de ampli

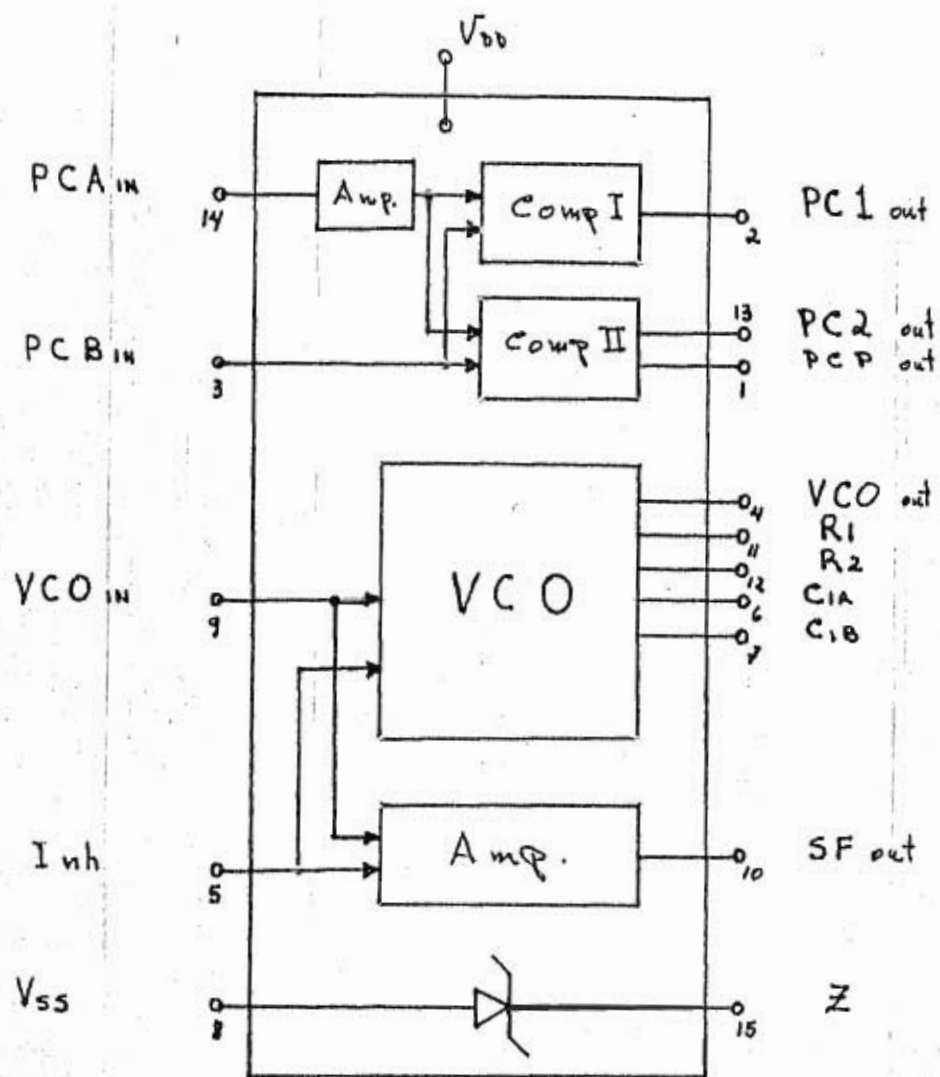


Figura # 1.- Diagrama de bloques del PLL CD4046.



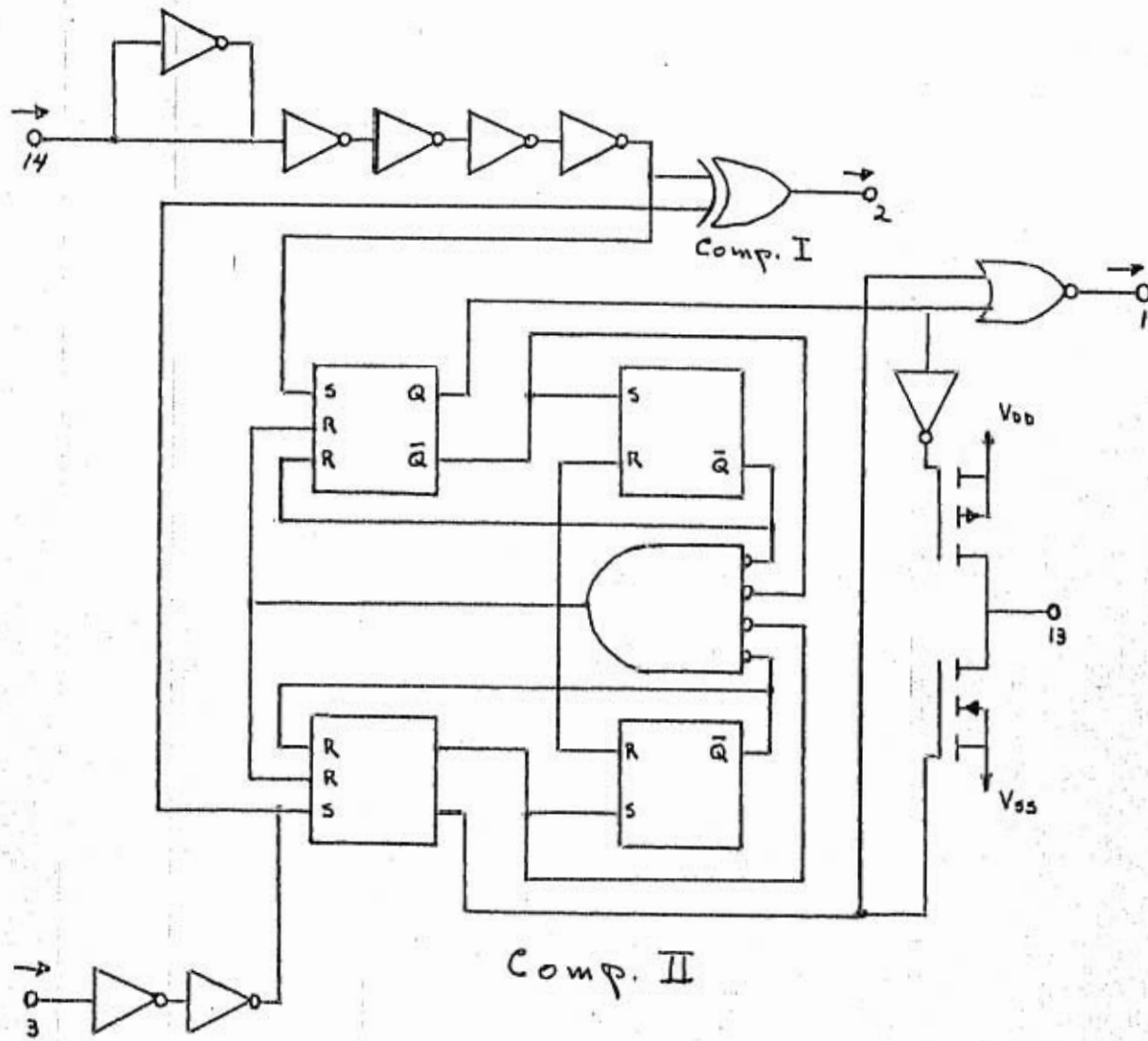


Figura # 2.- Esquema de los comparadores de fase del CD4046.

ficadores inversores.

La señal de entrada al comparador de fase por esta terminal (terminal 14), puede ser acoplada directamente siempre que los cambios de la señal se encuentren dentro de los niveles lógicos de COS/KOS (Se considera "0" si el nivel es menor o igual al 30% de  $(V_{DD}-V_{SS})$  y "1" para niveles mayores o iguales al 70% de  $(V_{DD}-V_{SS})$  ).

Para señales de entrada pequeñas la señal debe de acoplarse capacitivamente al amplificador autopolarizado por la señal de entrada, para asegurar un adecuado control del detector de fase.

#### Comparador de fase I

Este es un dispositivo OR exclusivo que opera en forma análoga a un mezclador balanceado. Para optimizar el rango de enlace, la señal de entrada al comparador debe tener simetría en cuanto a que la duración en estado "1" y "0", sean 50 y 50% aproximadamente.

Sin señal ni ruido en la entrada, el detector de fase tiene un voltaje de salida igual a  $V_{DD}/2$ . El filtro paso-bajas conectado a la salida del comparador de fase I, suministra el voltaje promedio a la entrada de control del VCO, y produce que éste oscile a la frecuencia central.

Con el comparador de fases I, el rango de frecuencia sobre las cuales el PLL puede alcanzar el enlace (rango de captura) depende de las características del

filtro paso-bajas, y puede hacerse tan grande como el rango de enlace. Este comparador permite al sistema PLL permanecer enlazado a pesar de una gran cantidad de ruido en la entrada de la señal.

Una de las características de este tipo de comparador de fase es que éste puede enlazarse sobre frecuencias de entrada que están cerca de armónicas de la frecuencia central del VCO.

Una segunda característica es que el ángulo de fase entre la señal de entrada y la proporcionada por el VCO varía entre  $0^\circ$  y  $180^\circ$ , y es  $90^\circ$  a la frecuencia central, ver figura # 3, en donde se muestra la respuesta típica del comparador de fase I y las formas de onda - cuando se emplea éste comparador.

#### Comparador de fase II

Este comparador es un dispositivo controlado por flanco. Este consiste de cuatro etapas de flip-flope, una compuerta de control y una salida de tres estados (three-state). Cuando el P-MOS o el N/MOS conducen, la salida subirá a VDD o bajará a Vss, respectivamente.

Este tipo de comparador de fase actúa solamente en los flancos de subida de la señal producida por el VCO. La duración del ciclo de la señal y la señal del VCO no son importantes ya que las transiciones positivas controlan este comparador.

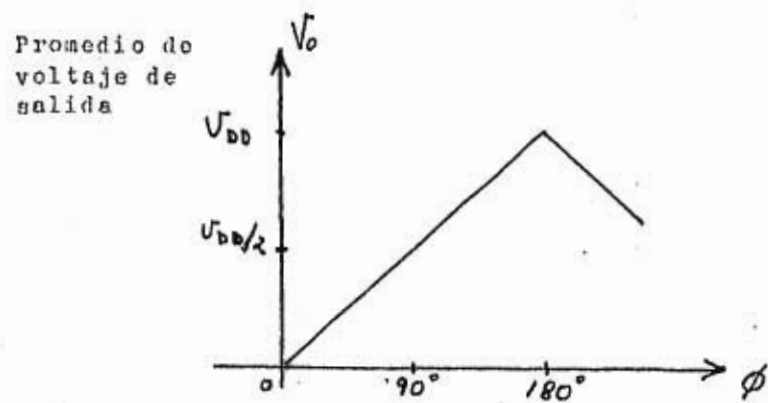
Si la frecuencia de la señal de entrada es mayor

que la proporcionada por el VCO, el P-MOS de salida conduce y se mantiene conduciendo continuamente. Si la frecuencia es menor, el N-MOS se mantiene conduciendo; si las dos frecuencias son iguales, pero la señal de entrada está retrasada en fase respecto a la señal producida por el VCO, el N-MOS conduce por un tiempo correspondiente a la diferencia de fase.

Si la señal de entrada está adelantada en fase, el P-MOS conduce y se mantiene así por el tiempo correspondiente a la diferencia de fase. Consecuentemente, el voltaje del capacitor del filtro paso-bajas conectado a este comparador es modificado hasta que la señal de entrada y la del VCO son iguales en ambos, en fase y en frecuencia.

En ese punto de operación estable, ambos el P y N-MOS permanecen apagados y así la salida del comparador se pone en alta impedancia y mantiene el voltaje en el capacitor del filtro paso-bajas. Además, la disipación de potencia debida al filtro paso-bajas es reducida cuando este tipo de comparador se usa porque los P y N-MOS de salida están apagados por muchos ciclos de la señal de entrada.

Hay que hacer notar que el rango de enlace del PLL para este tipo de comparadores es igual al rango de captura independientemente del filtro paso-bajas empleado. Cuando no hay señal presente a la entrada; el VCO se ajusta a la menor frecuencia para el comparador de fase II. La figura # 4, muestra las formas de onda cuando se emplea este comparador.



Característica de transferencia del comparador I

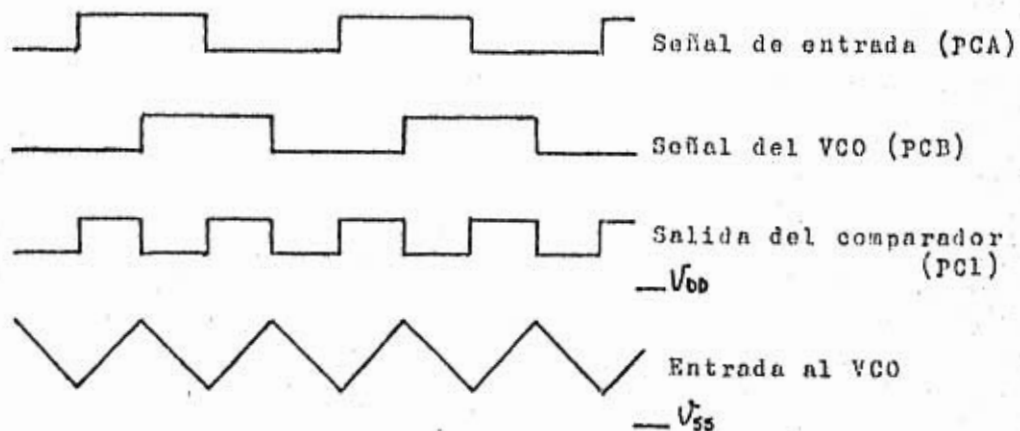


Figura # 3.- Respuesta del comparador I y formas de onda típicas.

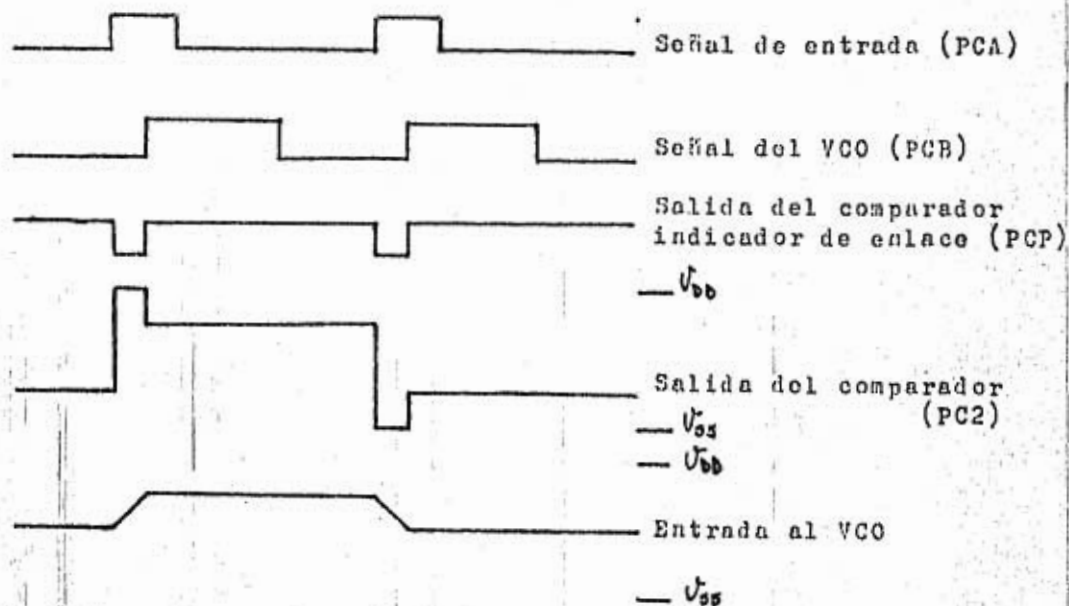


Figura # 4.- Formas de onda típicas del comparador II.

Diagramas de Estado de Los Comparadores

Las salidas proporcionadas por los comparadores guardan un cierto estado respecto a la fase de las señales de entrada. En la figura # 5 a, se muestra el comportamiento de la salida "PC1" del comparador "I", cuando ocurren cambios en las dos señales de entrada "PCA" "PCB" (los cambios están indicados con las flechas que enlazan los cuadros).

En la figura # 5 b, se muestran las salidas del comparador II "PC2" y "PCP" para transiciones de estado de las entradas. Es importante considerar en este diagrama, el estado en el que se encuentra el comparador II en el instante que ocurre una transición en las señales de entrada. Este estado está dado por la salida "PC2", la cual puede ser "cero", "uno" o alta impedancia. Inicialmente el comparador II toma cualquiera de los tres estados, y dependiendo de las transiciones de las señales, cambia de acuerdo al diagrama de la figura # 5. Si por ejemplo la salida del "PC2" es "cero", nos encontramos en el extremo izquierdo del diagrama, y si las dos entradas se encuentran en "cero", cambia la entrada "PCB" a un "uno" lógico, las salidas "PC2" y "PCP" permanecen en "cero" lógico; pero si en ese estado la entrada "PCA" cambia a "uno" lógico y la salida "PC2" se pondrá en "uno" lógico. En estas condiciones nos encontramos en la parte central del diagrama de estados del comparador II, y las dos señales de entrada "PCA" y "PCB" están en "uno". Todos los estados subsecuentes se pueden determinar siguiendo las flechas que indican las transiciones de "PCA" y "PCB".

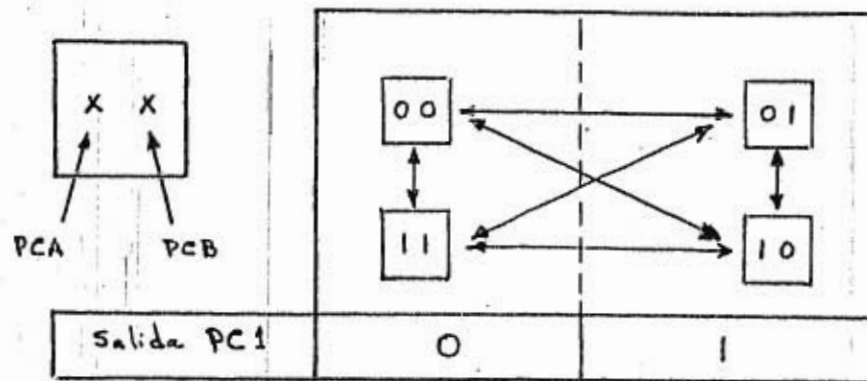


Figura # 5 a.- Diagrama de estados del comparador I.

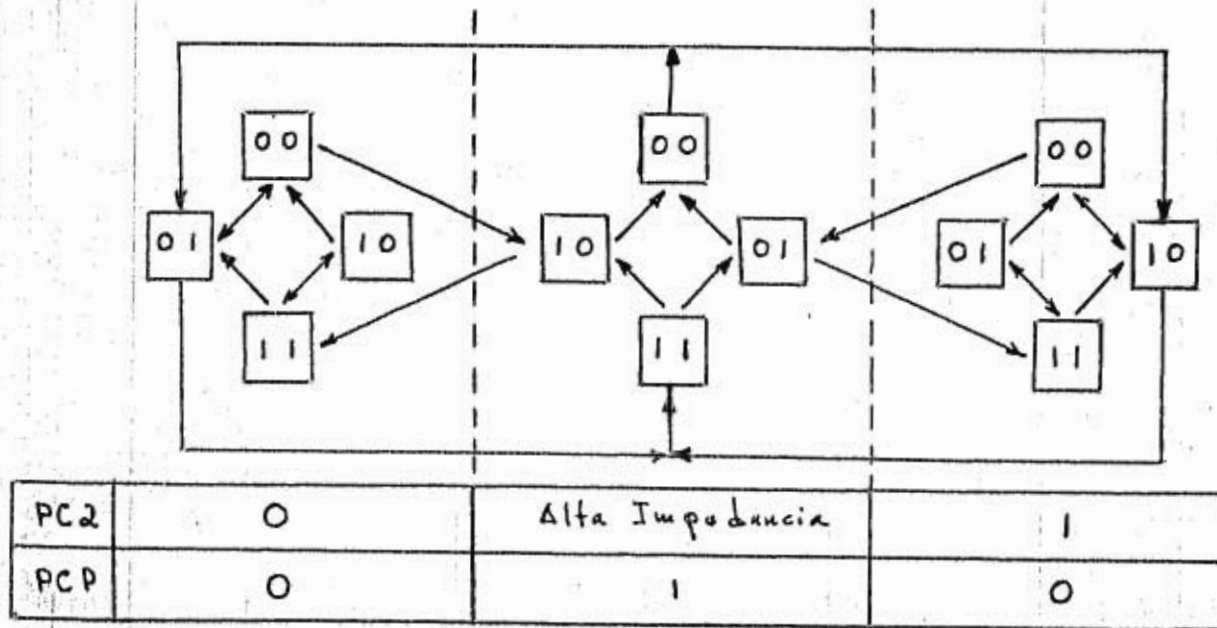


Figura # 5 b.- Diagrama de estados del comparador II.

## Oscilador controlado por Voltaje (VCO)

---

En la figura # 6, se muestra el diagrama interno del VCO. Para asegurar una baja disipación de potencia, es deseable que el filtro paso-bajas consuma poca potencia. Por ejemplo, para un filtro RC, este requerimiento dicta que debe utilizarse un alto valor de resistencia y un bajo valor de capacitor.

La entrada del VCO no debe, sin embargo, cargar ni modificar las características del filtro paso-bajas. De esta forma, el diseño del VCO utiliza un N-MOS en la entrada teniendo prácticamente resistencia infinita de entrada, esta característica permite un alto grado de libertad respecto a las componentes del filtro.

El circuito del VCO de la figura # 6 opera como sigue:

Cuando la entrada inhibidora es baja, P3 se enciende y conduce conectando las fuentes de los transistores P1 y P2 a VDD; las compuertas 1 y 2 están formando un flip-flop de compuertas NOR. N1 junto con la resistencia externa R1, forma una configuración de seguidor de fuente.

Cuando la resistencia R1 es menor en un orden de magnitud que la resistencia de conducción de N1 (mayor que  $10 K$ ), la corriente a través del R1, es linealmente dependiente del voltaje de control del VCO. Esta corriente fluye a través de R1, el cual, junto con P2, forma un espejo de corriente.

La resistencia externa R2, suma corriente adicio-



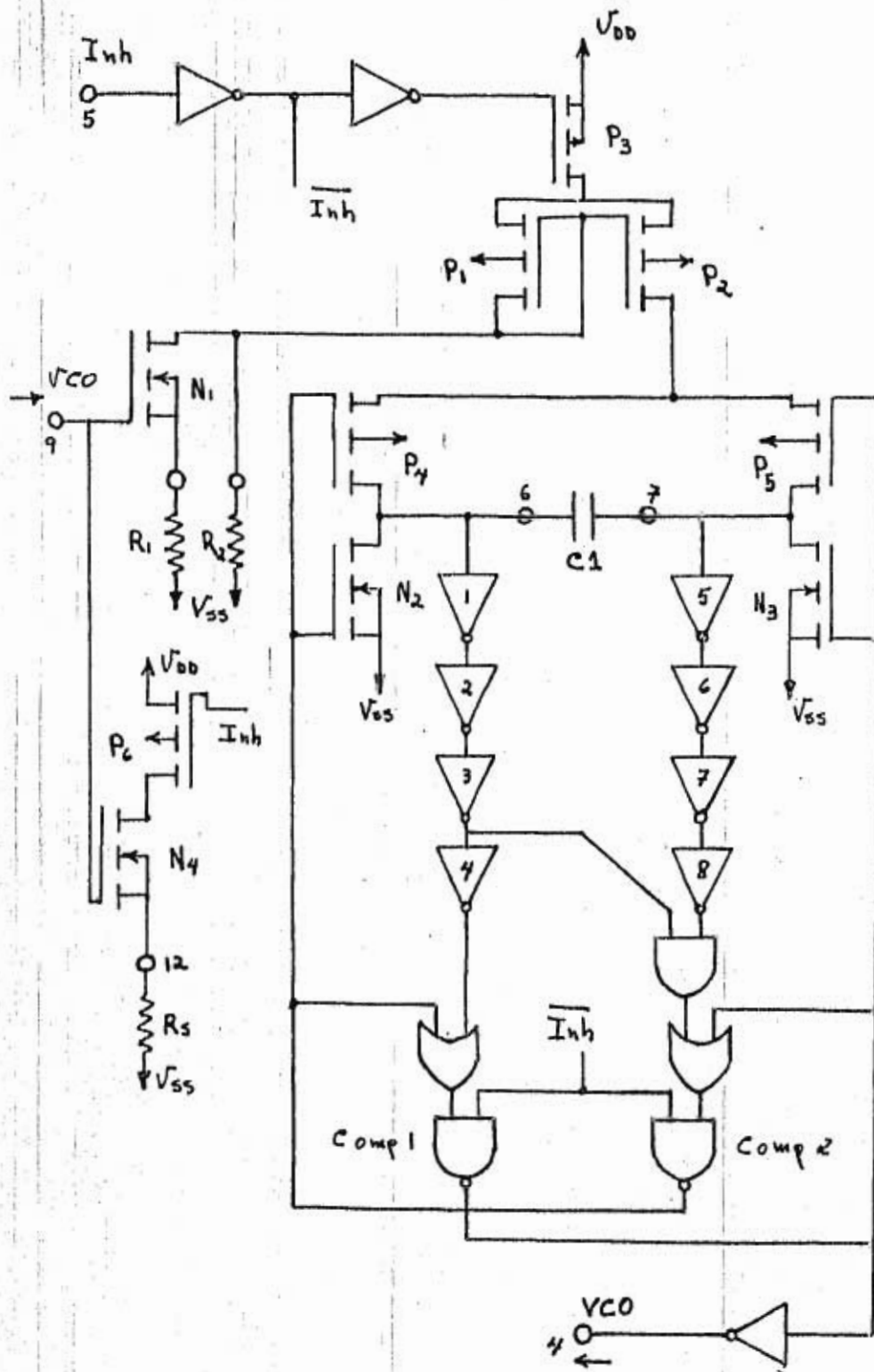


Figura # 6.- Diagrama esquemático del oscilador controlado por voltaje.

nal constante através de P1, este nivel de corriente de termina la frecuencia de operación del VCO cuando en su entrada de control es cero volts.

En el espejo de corriente, la corriente en P2 es efectivamente igual a la que pasa por P1 e independiente del voltaje del "drain" de P2 (Esta condición es verdadera si se asegura que P2 se mantiene en saturación; en el circuito, P2 se mantiene en saturación bajo todos los casos posibles).

En el flip-flop compuesto por las compuertas 1 y 2 se encienden P4 y N3 ó P5 y N2. Un lado del capacitor externo "C1" es, por lo tanto, sujetado a tierra, mientras que el otro lado es cargado por la corriente constante suministrada por P2.

Tan pronto como C1 se carga al punto en el cual el punto de transición de los inversores 1 ó 5 es alcanzado, el flip-flop cambia de estado. El lado de carga del capacitor se lleva a tierra. El otro lado del capacitor se torna negativo, y se descarga rápidamente através del diodo del "drenaje" del dispositivo N que está apagado.

Subsecuentemente, la segunda mitad del ciclo principia. Ya que los inversores 1 y 5 tienen el mismo punto de transición, el VCO tiene una salida de oscilación simétrica 50% en "0" y 50% en "1".

Los inversores de 1 a 4 y de 5 a 8 sirven para varios propósitos:

- . La forma de la rampa del capacitor C1 la transforma en una rápida forma de onda a la entrada del flip-flop.
- . El mantener la baja disipación de potencia através del uso de dispositivos de alta impedancia como los inversores 1 y 5, y
- . Ellos proveen cuatro retrasos de inversor antes de efectuar el cambio de estado del flip-flop.

Para no cargar el filtro paso-bajas, una salida "seguidor fuente" de la entrada de control del VCO se suministra, (salida demodulada).

Si la salida se usa, una carga resistiva ( $R_n$ ) de 10 K  $\Omega$  o más debe ser usada, conectada a tierra. Si no se usa, debe dejarse abierta esta terminal. Un "0" en la entrada inhibidora, habilita el VCO y el seguidor "source", mientras que un "1" apaga; lo apaga para minimizar el consumo de potencia del dispositivo.

ESPECIFICACIONES

---

## CD4046A Types

### COS/MOS Micropower Phase-Locked Loop

The RCA CD4046A COS/MOS Micropower Phase-Locked Loop (PLL) consists of a low-power, linear voltage-controlled oscillator (VCO) and two different phase comparators having a common signal-input amplifier and a common comparator input. A 5.2-V zener diode is provided for supply regulation if necessary. The CD4046A is supplied in a 16-lead dual-in-line ceramic package (CD4046AD), a 16-lead dual-in-line plastic package (CD4046AE), and a 16-lead flat pack (CD4046AK). It is also available in chip form (CD4046AH).

#### VCO Section

The VCO requires one external capacitor C1 and one or two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance (10<sup>12</sup>Ω) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATED OUTPUT). If this terminal is used, a load resistor (RS) of 10 kΩ or more should be connected from this terminal to VSS. If unused this terminal should be left open. The VCO can be connected either directly or through frequency dividers to the comparator input of the phase comparators. A full COS/MOS logic swing is available at the output of the VCO and allows direct coupling to COS/MOS frequency dividers such as the RCA-CD4024, CD4018, CD4020, CD4022, CD4020, and CD4059. One or more CD4018 (Presettable Divide-by-N Counter) or CD4029 (Presettable Up/Down Counter), or CD4059A (Programmable Divide-by-"N" Counter), together with the CD4046A (Phase-Locked Loop) can be used to build a micropower low-frequency synthesizer. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

#### Phase Comparators

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within COS/MOS logic levels (logic "0" < 30% (VDD-VSS), logic "1" > 70% (VDD-VSS)). For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal- and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to VDD/2. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f0).

The frequency range of input signals on which the PLL will lock if it was initially

#### Features:

- Very low power consumption: 70 μW (typ.) at VCO f0 = 10 kHz, VDD = 5 V
- Operating frequency range up to 1.2 MHz (typ.) at VDD = 10 V
- Wide supply-voltage range: VDD - VSS = 5 to 15 V
- Low frequency drift: 0.06%/°C (typ.) at VDD = 10 V

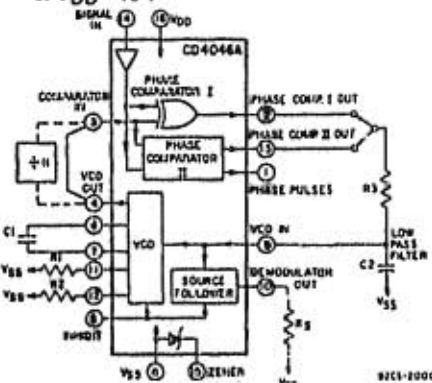


Fig. 1 - COS/MOS phase-locked loop block diagram.

#### MAXIMUM RATINGS, Absolute Maximum Values:

STORAGE-TEMPERATURE RANGE (T <sub>STG</sub> )	-65 to +150°C
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> )	
PACKAGE TYPES D, F, K, H	-55 to +125°C
PACKAGE TYPES E, Y	-40 to +85°C
DC SUPPLY-VOLTAGE RANGE, (VDD) <sup>1</sup>	
(Voltages referenced to VSS Terminal)	-0.5 to +15 V
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> )	
FOR T <sub>A</sub> = -40 to +60°C (PACKAGE TYPES E, Y)	500 mW
FOR T <sub>A</sub> = +60 to +85°C (PACKAGE TYPES E, Y)	Derate Linearly at 12 mW/°C to 200 mW
FOR T <sub>A</sub> = -55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
FOR T <sub>A</sub> = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T <sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE (ALL PACKAGE TYPES)	100 mW
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to VDD +0.5 V
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.58 ± 0.79 mm) from case for 10 s max.	+265°C

#### RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following range:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply Voltage Range (For T <sub>A</sub> = Full) Package Temperature Range	3	12	V

out of lock is defined as the frequency capture range (2f<sub>c</sub>).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range (2f<sub>L</sub>). The capture range is < the lock range.

With phase comparator I the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-com-

- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- High VCO linearity: 1% (typ.)
- VCO inhibit control for ON-OFF keying and ultra-low standby power consumption
- Source-follower output of VCO control input (Demod. output)
- Zener diode to assist supply regulation
- Quiescent current specified to 15 V
- Maximum input leakage current of 1 μA at 15 V (full package-temperature range)

#### Applications:

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Date synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK - Modems
- Signal conditioning
- (See ICAN-6101) "RCA COS/MOS Phase-Locked Loop - A Versatile Building Block for Micropower Digital and Analog Applications"

parator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Fig. 2 shows the typical, triangular, phase-to-output response characteristic

## CD4046A Types

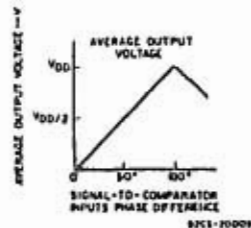


Fig. 2 - Phase-comparator I characteristics at low-pass filter output.

of phase-comparator I. Typical waveforms for a COS/MOS phase-locked-loop employing phase-comparator I in locked condition of  $f_0$  is shown in Fig. 3.

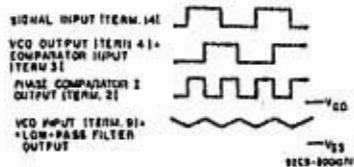


Fig. 3 - Typical waveforms for COS/MOS phase-locked loop employing phase-comparator I in locked condition of  $f_0$ .

Phase-comparator II is an edge-controlled digital memory network. It consists of four flip-flop stages, control gating, and a three-state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON they pull the output up to  $V_{DD}$  or down to  $V_{SS}$ , respectively. This type of phase-comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal-input frequency is higher than the comparator-input frequency, the p-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal-input frequency is lower than the comparator-input frequency, the n-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal- and comparator-input frequencies are the same, but the signal input lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase-comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point both p- and n-type output drivers remain OFF and thus the phase-comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant.

### ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$

Characteristic	Test Conditions	Limits			Units		
		$V_O$ Volts	$V_{DD}$ Volts	All Package Types D,E,F,H,K,V			
				Min.		Typ.	Max.
<b>Phase Comparator Section</b>							
Operating Supply Voltage, $V_{DD}-V_{SS}$	VCO Operation	-	5	-	15	V	
	Comparators only	-	3	-	15		
Total Quiescent Device Current, $I_Q$ : Term. 14 Open	Term. 15 open Term. 5 at $V_{DD}$ Terms. 3 & 9 at $V_{SS}$	5	-	25	55	$\mu\text{A}$	
		10	-	200	410		
		5	-	5	15		
		10	-	25	60		
Term. 14 at $V_{SS}$ or $V_{DD}$	Term. 15 open Term. 5 at $V_{DD}$ Terms. 3 & 9 at $V_{SS}$	16	-	50	500	$\mu\text{A}$	
		5	1	2	-		
		10	0.2	0.4	-		
Term. 14 (SIGNAL IN) Input Impedance, $Z_{14}$		15	-	0.2	-	$\text{M}\Omega$	
		10	0.2	0.4	-		
AC-Coupled Signal Input Voltage Sensitivity* (peak-to-peak)	See Fig. 7	5	-	200	400	mV	
		10	-	400	800		
		15	-	700	-		
DC-Coupled Signal Input and Comparator Input Voltage Sensitivity Low Level		5	1.5	2.25	-	V	
		10	3	4.5	-		
		15	4.5	6.75	-		
		5	-	2.75	3.5		
High Level		$V_O$	10	-	5.5	7	
		15	-	8.25	-		
		5	-	2.75	3.5		
Output Drive Current: n-Channel (Sink), $I_{DN}$	Phase Comparator I & II Term. 2 & 13	0.5	5	0.43	0.66	$\text{nA}$	
		0.5	10	1.3	2.5		
		0.5	5	0.23	0.47		
		0.5	10	0.7	1.4		
p-Channel (Source), $I_{DP}$	Phase Comparator I & II Term. 2 & 13	4.5	5	-0.3	-0.6	$\text{nA}$	
		9.5	10	-0.9	-1.8		
		4.5	5	-0.08	-0.16		
		9.5	10	-0.25	-0.5		
Input Leakage Current, $I_{L1}$ , $I_{L2}$ Max.	Any Input	15	-	$\pm 10^{-5}$	11	$\mu\text{A}$	

\* For sine wave, the frequency must be greater than 1 kHz for Phase Comparator II.

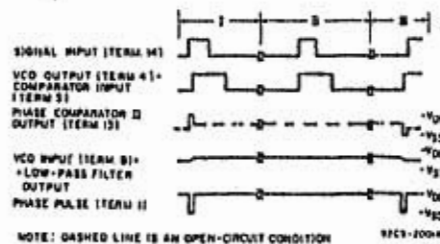


Fig. 4 - Typical waveforms for COS/MOS phase-locked loop employing phase-comparator II in locked condition.

Moreover the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase-comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase-comparator is used because both the p- and n-type output drivers are OFF for most of

the signal input cycle. It should be noted that the PLL lock range for this type of phase-comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase-comparator II. Fig. 4 shows typical waveforms for a COS/MOS PLL employing phase-comparator II in a locked condition.

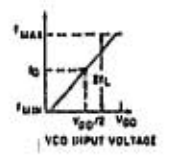
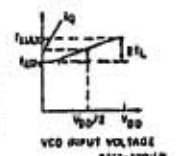
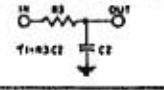
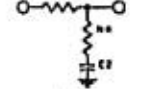
# CD4046A Types

## DESIGN INFORMATION

This information is a guide for approximating the values of external components for the CD4046A in a Phase-Locked-Loop system. The selected external components must be within the following ranges:

- 10 kΩ < R1, R2, R5 < 1 MΩ
- C1 > 100 pF at VDD > 5 V;
- C1 > 50 pF at VDD > 10 V

In addition to the given design information refer to Fig.5 for R1, R2, and C1 component selections.

Characteristics	Phase Comparator Used	Design Information	
		VCO WITHOUT OFFSET R2 = ∞	VCO WITH OFFSET
VCO Frequency	1		
	2	Same as for No. 1	
For No Signal Input	1	VCO will adjust to center frequency, f0	
	2	VCO will adjust to lowest operating frequency, fmin	
Frequency Lock Range, 2fL	1	2fL = full VCO frequency range	
	2	2fL = fmax - fmin	
Frequency Capture Range, 2fC	1	 $2f_C \approx \frac{1}{\pi} \frac{2\pi f_L}{r_1}$	
	2	Same as for No. 1	
Loop Filter Component Selection	1	 For 2fC, see Rel. (2)	
	2	fC = fL	
Phase Angle Between Signal and Comparator	1	90° at center frequency (f0) approximating 0° and 180° at ends of lock range (2fL)	
	2	Always 0° in lock	

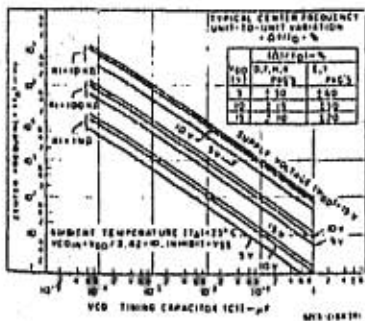


Fig.5(a) - Typical center frequency vs C1 for R1 = 10 kΩ, and 1 MΩ and f0 ≈ 1/R1 C1.

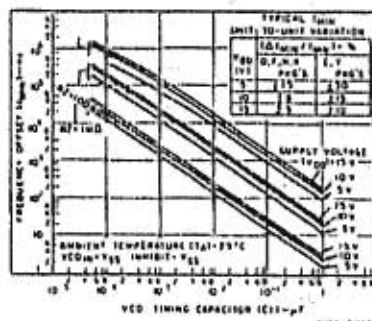


Fig.5(b) - Typical frequency offset vs C1 for R2 = 10 kΩ, 100 kΩ, and 1 MΩ.

NOTE: Lower frequency values are obtainable if larger values of C1 than shown in Figs. 5(a) and 5(b) are used.

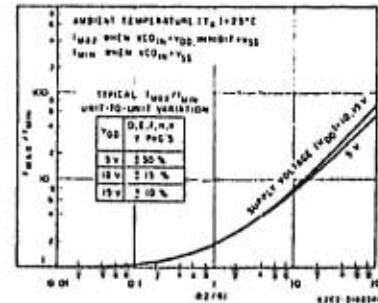


Fig.5(c) - Typical fmax/min vs R2/R1.

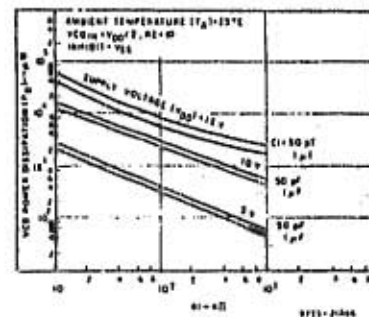


Fig.6(a) - Typical VCO power dissipation at center frequency vs R1.

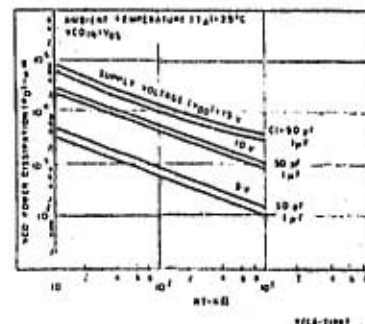


Fig.6(b) - Typical VCO power dissipation at fmin vs R2.

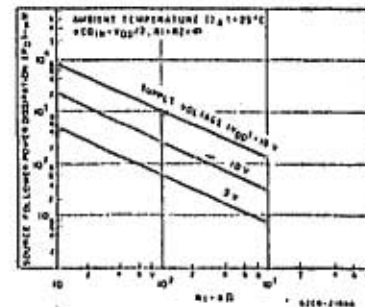


Fig.6(c) - Typical source follower power dissipation vs R5.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input  
 PD (Total) = PD (f0) + PD (fMIN) + PD (R5) - Phase Comparator I  
 PD (Total) = PD (fMIN) - Phase Comparator II

CD4046A Types

DESIGN INFORMATION (Cont'd):

Characteristics	Phase Comperator Used	Design Information	
Locks On Harmonic of Center Frequency	1	Yes	
	2	No	
Signal Input Noise Rejection	1	High	
	2	Low	
VCO Component Selection	1	VCO WITHOUT OFFSET $R_2 = \infty$ - Given: $f_0$ - Use $f_0$ with Fig.5a to determine R1 and C1	VCO WITH OFFSET - Given: $f_0$ and $f_L$ - Calculate $f_{min}$ from the equation $f_{min} = f_0 - f_L$ - Use $f_{min}$ with Fig.5b to determine R2 and C1 - Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ - Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1
		2	- Given: $f_{max}$ - Calculate $f_0$ from the equation $f_0 = \frac{f_{max}}{2}$ - Use $f_0$ with Fig.5a to determine R1 and C1

For further information, see

(1) F. Gardner, "Phase-Lock Techniques" John Wiley and Sons, New York, 1966

(2) G. S. Moschytz, "Miniatuized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

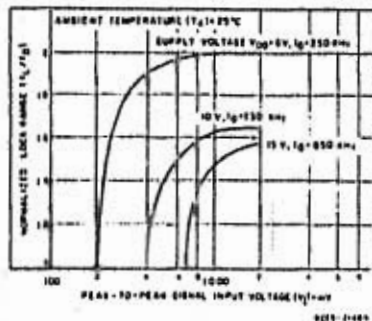


Fig.7 - Typical lock range vs signal input amplitude.

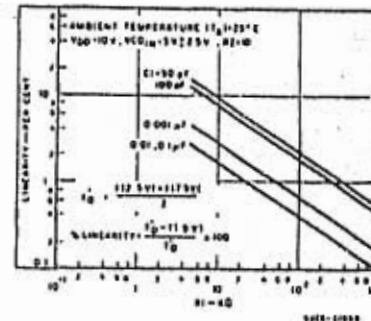
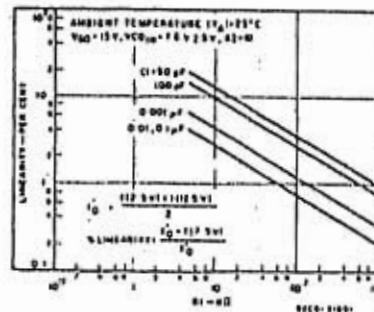


Fig.8(a) and (b) - Typical VCO linearity vs R1 and C1.



## CD4046A Types

ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ\text{C}$ 

Characteristic	Test Conditions		Limits			Units		
			All Package Types D,E,F,H,K,Y					
			Min.	Typ.	Max.			
<b>VCO Section</b>								
Operating Supply Voltage $V_{DD}-V_{SS}$	As fixed oscillator only			3	-	15	V	
	Phase-lock-loop operation			5	-	15		
Operating Power Dissipation, $P_D$	$f_0 = 10\text{ kHz}$ $R_2 = \infty$ $V_{COIN} = \frac{V_{DD}}{2}$	$R_1 = 1\text{ M}\Omega$	5	-	70	-	$\mu\text{W}$	
			10	-	600	-		
			15	-	2400	-		
Maximum Operating Frequency, $f_{max}$	$R_1 = 10\text{ k}\Omega$ $R_2 = \infty$ $V_{COIN} = V_{DD}$	$C_1 = 100\text{ pF}$	5	0.25	0.5	-	MHz	
			10	0.6	1.2	-		
		$C_1 = 50\text{ pF}$	15	-	1.5	-		
Center Frequency ( $f_0$ ) and Frequency Range, $f_{max}-f_{min}$	Programmable with external components $R_1$ , $R_2$ , and $C_1$ See Design Information							
Linearity	$V_{COIN} = 2.5\text{ V} \pm 0.3\text{ V}, R_1 > 10\text{ k}\Omega$		5	-	1	-	%	
	$= 5\text{ V} \pm 2.5\text{ V}, R_1 > 400\text{ k}\Omega$		10	-	1	-		
	$= 7.5\text{ V} \pm 5\text{ V}, R_1 = 1\text{ M}\Omega$		15	-	1	-		
Temperature-Frequency Stability*, No Frequency Offset $f_{MIN} = 0$	$\%/\text{C} = \frac{1}{f \cdot V_{DD}}$ $R_2 = \infty$		5	-	0.12-0.24	-	%/C	
			10	-	0.04-0.08	-		
			15	-	0.015-0.03	-		
Frequency Offset $f_{MIN} \neq 0$	$\%/\text{C} = \frac{1}{f \cdot V_{DD}}$		5	-	0.06-0.12	-	%/C	
			10	-	0.05-0.1	-		
			15	-	0.03-0.05	-		
Input Resistance of $V_{COIN}$ (Term 3), $R_I$			5,10,15	-	$10^{12}$	-	$\Omega$	
VCO Output Voltage (Term 4) Low Level, $V_{OL}$			5,10,15	-	-	0.01	V	
High Level, $V_{OH}$	Driving COS/MOS-Type Load (e.g. Term 3 Phase Comparator Input)		5	4.99	-	-		
			10	9.99	-	-		
			15	14.99	-	-		
VCO Output Duty Cycle			5,10,15	-	50	-	%	
VCO Output Transition Times, $t_{THL}, t_{TLH}$			$V_O$ Volts	5	-	75	150	ns
				10	-	50	100	
				15	-	40	-	
VCO Output Drive Current: n-Channel (Sink), $I_{DN}$			0.5	5	0.43	0.86	-	mA
			0.5	10	1.3	2.6	-	
p-Channel (Source), $I_{DP}$			4.5	5	-0.3	-0.6	-	
			9.5	10	-0.9	-1.8	-	
Source-Follower Output (Demodulated Output): Offset Voltage ( $V_{COIN}-V_{DEM}$ )	$R_S > 10\text{ k}\Omega$		5,10	-	1.5	2.2	V	
			15	-	1.5	-		
Linearity	$R_S > 50\text{ k}\Omega$	$V_{COIN} = 2.5 \pm 0.3\text{ V}$	5	-	0.1	-	%	
		$= 5 \pm 2.5\text{ V}$	10	-	0.6	-		
		$= 7.5 \pm 5\text{ V}$	15	-	0.0	-		
Zener Diode Voltage ( $V_Z$ ): CD4046AD, AF, AK	$I_Z = 50\text{ }\mu\text{A}$			4.7	5.2	5.7	V	
CD4046AE, AY				4.5	5.2	6.1		
Zener Dynamic Resistance, $R_Z$	$I_Z = 1\text{ mA}$			-	100	-	$\Omega$	

\* Positive coefficient.

CAPITULO III

-----

CODIGO DE FASE PARTIDA

---

C O D I G O S   D E   G R A B A C I O N   D I G I T A L

Las técnicas de grabación digital se han desarrollado con el objeto de optimizar varios parámetros como la confiabilidad de la grabación, la velocidad de transferencia de datos, etc., dependiendo del tipo de aplicación y de los medios con que se cuenta.

Existen dos grandes grupos de códigos empleados en las técnicas de grabación, Códigos de nivel y Códigos de transición.

Códigos de nivel

Los códigos de nivel están caracterizados porque a la mitad de cada celda (que es donde se muestrea el dato), existe un nivel y éste, en combinación de la muestra anterior, nos proporciona el valor del dato.

Algunas de las mas importantes técnicas dentro de éste grupo son:

• Retorno a cero (RZ)

En este código un "uno" lógico está representado por un pulso de la mitad del periodo del reloj y un "cero" lógico está representado por una condición de no-pulso. Para escribir un "uno", la señal momentáneamente cambia de un nivel constante a otro y regresa al nivel original.

Esta técnica de grabación puede ser aplicada en un solo canal o en dos canales. Cuando se aplica en un solo canal, tanto en la etapa de transmisión como la de recepción se deben tener circuitos de reloj para estar muestreando la señal, además de que la información debe contener señales de sincronía. El aplicarla en un solo canal la hace muy sensible a variaciones de velocidad y por lo tanto muy poco confiable.

Cuando se realiza en dos canales, en uno se graba un tren de pulsos a la misma frecuencia de los datos a través de toda la cinta, y en el otro canal los datos. Al leer los dos canales simultáneamente se obtiene un muestreo correcto de los datos, aumentando bastante la confiabilidad. Ver figura # 1.

• No retorno a cero-nivel (NRZ-L)

En esta técnica un "uno" lógico está representado por un nivel en particular y un "cero" por el nivel opuesto.

Esta técnica requiere de dos canales de grabación y realiza dos transiciones de flujo por bit, ver figura # 2. Esto le da una característica adicional que consiste en una transición simultánea en los dos canales. Esta es usada como una marca de sincronía intrínseca (M) para cada carácter de un número determinado de bits.

La verificación de errores se puede realizar contando

do los tramos de pulsos entre estas marcas.

Las transiciones de flujo extras por bit da al (NRZ-L) así como a (NRZ-M) y (NRZ-S) enorme redundancia y de aquí una gran confiabilidad.

Esta técnica es parcialmente independiente de la velocidad. El código NRZ-L, posiblemente es la segunda técnica más usada después de las técnicas de "Código de fase". Sus usos principales son aplicaciones en computadoras.

• No retorno a cero-marca (NRZ-M)

Este código es muy semejante al NRZ-L con la única diferencia de que para esta técnica un "uno" lógico está representado por un cambio de nivel y un "cero" se representa por una condición de no-cambio, ver figura # 3.

• No retorno a cero-espacio (NRZ-S)

Al igual que el NRZ-M, esta técnica es semejante al NRZ-L. Un "uno" lógico está representado por no-cambio y un "cero" por la condición de cambio de nivel, ver figura # 4.

M	0	1	0	1	1	0	0	1	M	1	0
---	---	---	---	---	---	---	---	---	---	---	---

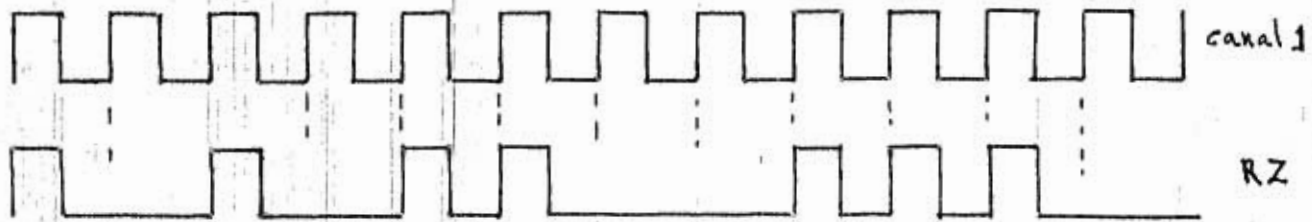


Figura # 1.- Retorno a cero (RZ)

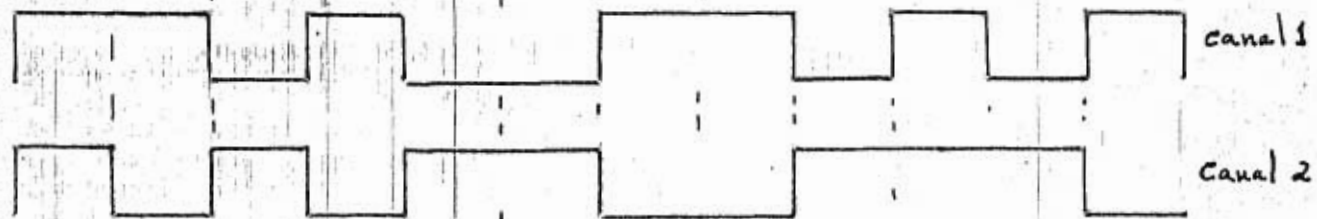


Figura # 2.- No retorno a cero-nivel (NRZ-L)

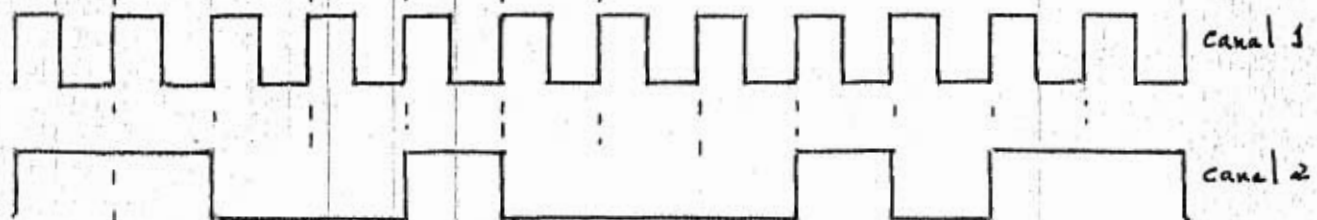


Figura # 3.- No retorno a cero-marca (NRZ-M)

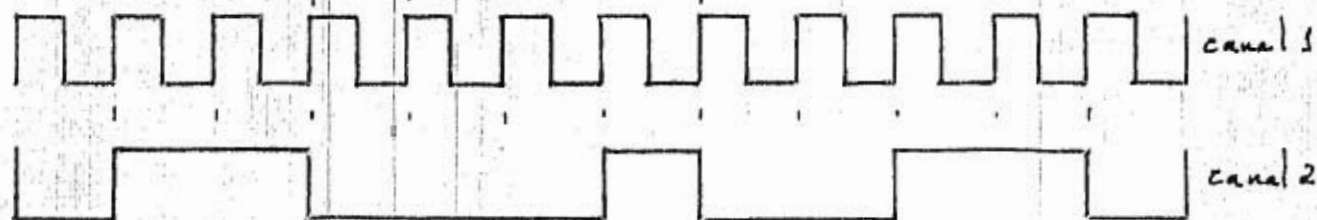


Figura # 4.- No retorno a cero-espacio (NRZ-S)

Ventajas y Desventajas de los Códigos de Nivel

Las ventajas que estas técnicas ofrecen son las siguientes:

- Se alcanza gran densidad de bit por unidad de longitud, donde la densidad de bits es directamente proporcional a los cambios de flujo por unidad de longitud.
- La complejidad de los circuitos lógicos que debe implementarse para la codificación y decodificación es generalmente sencilla.

Las desventajas que presentan son:

- El amplificador y la cabeza de grabar/reproducir deben tener una buena respuesta en D.C. y mostrar alta linealidad de fase. Las fallas en estas características crean grandes distorsiones.
- Las variaciones de pulso a pulso y los errores de tiempo no deben exceder  $\pm$  la mitad de la celda-bit de lo contrario se pierde información.
- Cuando los datos sucesivos consisten de gran cantidad de "ceros" o de "unos", la sincronización del carácter es difícil.
- Errores de tiempo que exceden la mitad de la celda bit requieren un incremento en la longitud de la celda, lo cual reduce la densidad de bits.

- En la recuperación de datos la relación señal/ruido se reduce debido al gran ancho de banda requerido.
- Estas técnicas requieren dos canales de grabación, reduciendo la capacidad total de almacenamiento.
- Pueden ocurrir problemas de alabeo de la cinta debido a que se requieren dos canales para grabar o reproducir la información

#### Códigos de Transición

Los códigos de transición interpretan la información en base a las transiciones o cambios de nivel de la señal.

Entre estos códigos se encuentran los llamados "Códigos de fase" (Phase encoding PE) y el "Código de Miller".

#### "Código de Fase"

El código de fase es una técnica de grabación de datos binarios en cinta magnética de alta confiabilidad, el cual tiene muchas ventajas sobre el (RZ) o el (NRZ'S), de las cuales la más significativa es que el código de fase, incorpora al menos una transición de flujo por bit; una transición adicional aparece en el punto medio de la celda-bit dependiendo del tipo particular de código de fase empleado. Por lo cual el reloj de sincronía está contenido dentro del dato. Así, los problemas de la recuperación de la información causados por el alabeo entre el canal de datos y el canal del reloj no existen.



Las marcas de sincronía en los códigos de fase son un espacio largo que no tiene cambios de flujo seguido de una secuencia de alteraciones "0" "1" "0" "1". Por convención el espacio es polarizado en alto para correlacionar con el "cero" inicial.

#### Ventajas y Desventajas de los Códigos de Fase

Las ventajas que estas técnicas ofrecen son las siguientes:

- El reloj de sincronía para la decodificación de la información, está contenido dentro de la señal codificada.
- Esta técnica requiere solamente un canal de grabación y no dos como los códigos de nivel, eliminando éstos los problemas de alaveo de la cinta magnética.

Las desventajas que presentan son:

- A causa de que existe por lo menos un cambio de flujo magnético por bit, se requieren más cambios de flujo para grabar un dato.
- Los amplificadores para la recuperación de la información, tienen que diseñarse para detectar los cambios de fase a bajas y altas frecuencias.

"Código de Fase Partida" (Split Phase)

Se le conoce también como "Manchester II + 180°"  
ó BI-FASE NIVEL (BI -  $\phi$  - L)

En este código un "uno" lógico está representado por una transición de flujo hacia una dirección y un "cero" lógico por una transición en la dirección opuesta. Cambios de fase del flujo adicionales se escribirán en los puntos medios, entre los cambios de flujo de los bits para establecer la polaridad correcta de los siguientes bits, ver figura # 5.

Este código está establecido como norma ANSI/ECMA STANDARD.

"Código Manchester I" ó BI-FASE MARCA (BI -  $\phi$  - M)

En este código, una transición de flujo ocurre siempre al principio de cada bit. Un cambio de flujo adicional ocurre en el punto medio cuando se trata de un "uno" lógico y no existe cambio de flujo si se trata de un "cero" lógico. Por supuesto, la dirección de los cambios de flujo no tiene significado, ver figura # 6.

"Código BI-FASE - ESPACIO (BI -  $\phi$  - S)"

Este código es opuesto al BI- $\phi$ -M. Un "cero" está representado por un cambio de flujo en cualquier dirección mientras que el "uno" lógico se representa por la ausencia de cambio.

M	0	1	0	1	1	0	0	1	M	1	0
---	---	---	---	---	---	---	---	---	---	---	---

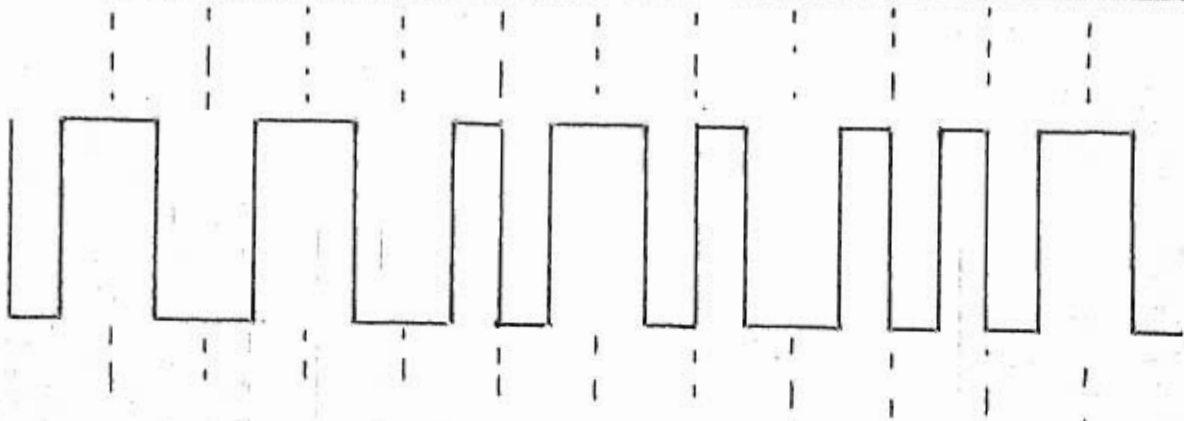


Figura # 5.- Código de fase partida (SPLIT- PHASE)

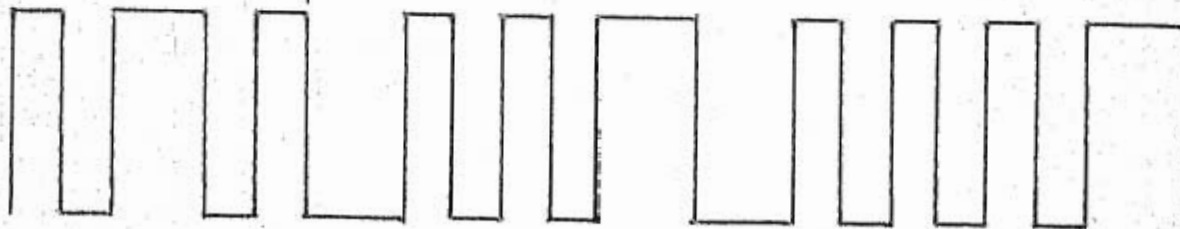


Figura # 6.- Código Manchester I.

"Código BI- FASE - RELOJ (BI- $\phi$ - C)"

Esta técnica utiliza dos canales de grabación en donde uno lleva cualquier código de fase de los antes mencionados y en el otro canal se graba un tren de pulsos de sincronía.

Con este sistema, los datos pueden ser escritos más rápidamente; mayor cantidad de datos pueden grabarse por unidad de longitud; la grabación y lectura son independientes de la velocidad de la cinta; las interferencias que se hacen a diferentes velocidades de transmisión de pulsos se logra con sólo cambiar la velocidad de transporte. Cualquier número de pulsos de reloj puede escogerse para que defina la celda-bit pero, al aumentar el número de pulsos disminuye la densidad de grabación y aumenta la confiabilidad. Ver figura # 7, en donde se utilizan una celda-bit definida por tres pulsos de reloj.

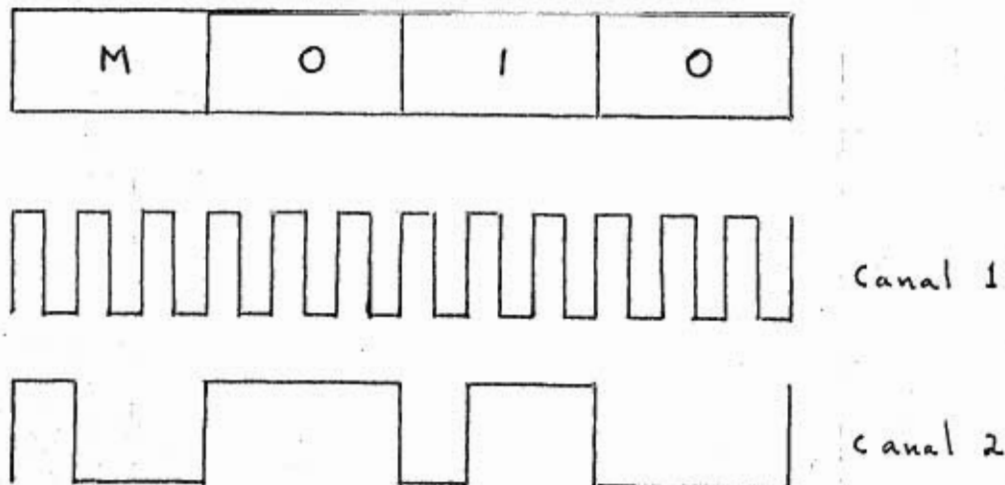


Figura # 7.- Código BI- FASE - RELOJ (BI - $\phi$ - C).

"Código Miller"

En este método una transición de flujo en cualquier dirección del punto medio del tiempo de la celda-bit representa un "uno" lógico y una transición en cualquier dirección en los extremos de la celda-bit, representa un "cero" seguido de otro "cero".

M	0	1	0	1	1	0	0	1	M	1	0
---	---	---	---	---	---	---	---	---	---	---	---

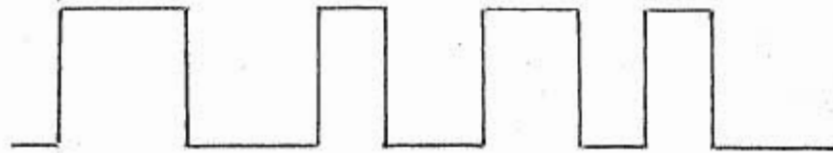


Figura # 8.- Código Miller.

## C O D I G O   D E   F A S E   P A R T I D A

Como se mencionó anteriormente, el código de Fase Partida es un código de transición en el cual un cambio dentro de la celda de grabación determina si se trata de un "uno" o un "cero" lógico; si la transición es en un sentido es un "uno" lógico, y en el opuesto será un "cero" lógico.

Esta característica implica que al menos existe una transición por cada bit codificado, siendo esta la cualidad fundamental de este código, ya que proporciona la frecuencia de codificación para la recuperación de la información. Ver figura # 9.

Decodificación

El PLL es un sistema que por sus cualidades es ideal para la codificación de información codificada en Fase Partida. El problema esencial de la decodificación es el de obtener de la señal codificada la frecuencia del reloj con la que se codificó. Se han desarrollado sistemas que resuelven este problema empleando un PLL y que además, cuentan con características adicionales muy convenientes como la confiabilidad, la inicialización sencilla, la capacidad de decodificar la información a pesar de variaciones en la frecuencia de reloj dentro de cierto rango definido, etc.

A continuación se describe un sistema decodificador que emplea un PLL para detectar la frecuencia del reloj con la que se codificó la señal.

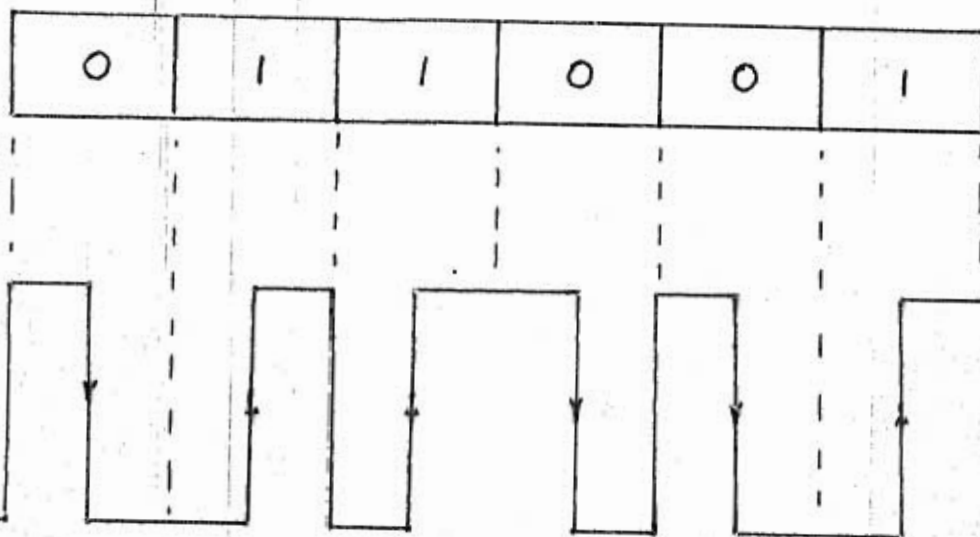


Figura # 9.- Información codificada en Fase Partida.

En la figura # 9 se muestra el esquema del sistema detector, en donde se observa que la señal codificada en Fase Partida se procesa inicialmente por un diferenciador, el cual procesa la señal de tal forma que para cada transición se obtenga un pulso positivo, como se muestra en la forma de onda "b" de la figura # 9

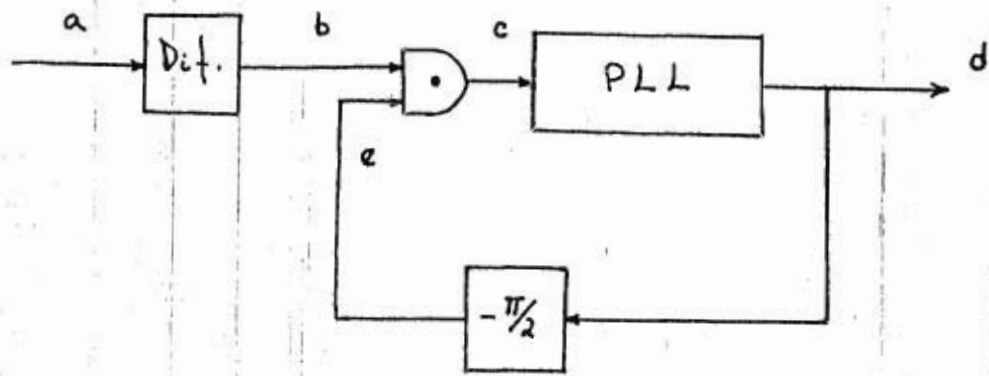
Si se observa esta señal se notará que falta un pulso cada vez que ocurre un cambio en la información de "cero" a "uno" o de "uno" a "cero" pero siempre existe un pulso por cada bit codificado.

La idea fundamental de este sistema es el de eliminar los pulsos que en ocasiones aparecen y en ocasiones no, y alimentar al PLL los que siempre ocurren y son independientes de la información codificada. Estos pulsos son los que corresponden a las transiciones que se presentan a la mitad de cada ciclo de la señal codificada. Ver la señal "c" de la figura # 10.-

Como se mencionó en los códigos de grabación, se utilizan trenes de pulsos para iniciar la transmisión de la información codificada; esta inicialización la emplea el decodificador para enlazarse con la señal de entrada y extraer adecuadamente la información de la señal.

Para este decodificador, la inicialización consiste en una secuencia de "unos" y "ceros" alternados (1,0,1,0,1,0,.....). Esta secuencia codificada tiene únicamente una transición por bit de información, por lo que el sistema no tiene que eliminar ningún pulso sobrante y el PLL se enlaza con esta señal.





Sistema detector

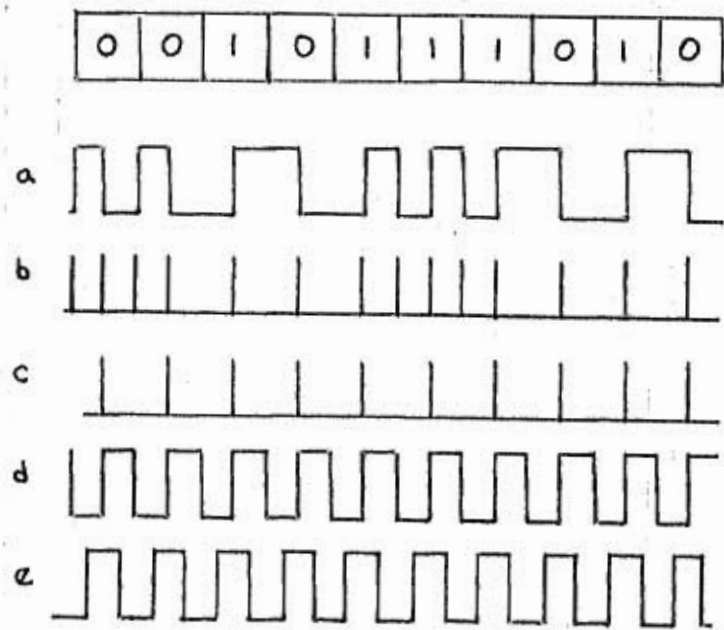


Figura # 10.- Obtención de la frecuencia del reloj de una señal codificada en Fase Partida empleando un PLL.

La duración de esta secuencia dependerá de la rapidez con la que el PLL capture el enlace con la señal.

La frecuencia de la señal de entrada original se hace igual a la frecuencia central, y se le da al PLL un rango de enlace que abarque las variaciones posibles de la frecuencia de reloj de codificación para que el PLL siempre permanezca enlazado.

A la salida del VCO del PLL se tendrá la frecuencia del reloj de codificación. Esta señal se retrasa  $90^\circ$  y se realimenta de tal forma que se eliminen los pulsos indeseables en la entrada del PLL.

Para recuperar la información basta muestrear la señal codificada en cada flanco de subida del reloj obtenido de la señal.

El PLL en resumen, se utiliza para recuperar la señal del reloj que se utilizó para codificar la información; y al tener esta señal, se recupera la información simplemente muestreando la señal codificada cada pulso de reloj.

CAPITULO IV

=====

REALIZACION PRACTICA

---

REALIZACION PRACTICA

Después de estudiar y analizar las características del PLL CD4046, se procedió a determinar su frecuencia máxima de operación, encontrándose experimentalmente - que la limitación más notable del circuito fue la respuesta del oscilador controlado por voltaje, ya que, al voltaje de alimentación utilizado ( $V_{DD} = 12 V$ ), para - frecuencias superiores a los 1.5 MHz, comenzó a mostrar deformaciones en su salida deteriorándose los niveles lógicos. Esta prueba se efectuó en tres circuitos integrados (CD4046 BCN) obteniéndose el mismo resultado. Las variaciones en la frecuencia de operación del VCO se lograron cambiando los valores del capacitor  $C_1$  y de la resistencia  $R_2$ , los cuales definen el punto de operación del VCO (frecuencia central).

Diseño e Implementación de un decodificador para señales codificadas en fase partida.

Para el diseño del decodificador se tomó como base la nota de aplicación ICAN-6101 de R.C.A. en la que se utiliza un PLL CD4046 para la decodificación de señales en fase partida.

Inicialmente se implementó el circuito propuesto en la nota de aplicación y posteriormente se procuró - optimizarlo y simplificarlo.

Con la idea de operar el decodificador a la máxima frecuencia de operación del PLL CD4046, se escogió una frecuencia central del VCO de 1.48 MHz y con un -

rango de enlace de  $\pm 10\%$  de la frecuencia central, siendo la relación de frecuencia máxima / frecuencia mínima = 1.2

En la figura # 1, se muestra el diagrama general del decodificador que se implementó. A continuación se describen las partes que lo conforman:

- Etapa diferenciadora.- En esta parte la señal de entrada, codificada en fase partida, se procesa de tal forma que por cada transición de la señal, se tenga un pulso positivo. Esta etapa está constituida por el inversor "1" (CD4069) que tiene la función de acoplar el decodificador con la línea; la señal se alimenta invertida por el inversor "2" a un derivador y no invertida a otro derivador, formados por  $C_{i1}$ ,  $R_{i1}$  y  $C_{i2}$ ,  $R_{i2}$  respectivamente, para obtener pulsos positivos con las transiciones positivas y negativas de la señal de entrada. Los inversores "3" y "4" y la compuerta "NAND 1" (CD4023) forman una compuerta "OR" teniendo en su salida pulsos positivos por cada transición de nivel de la señal de entrada. Ver figura # 2
- La eliminación de los pulsos indeseables.- Esta es la parte esencial del decodificador ya que proporciona al PLL una señal periódica para que se enlace. Está conformada únicamente por la compuerta "NAND 2". La señal que proviene del diferenciador y la señal del reloj recuperada por el PLL y desplazada  $90^\circ$ , entran a la compuerta y su salida entra al PLL. ver figura # 3.-

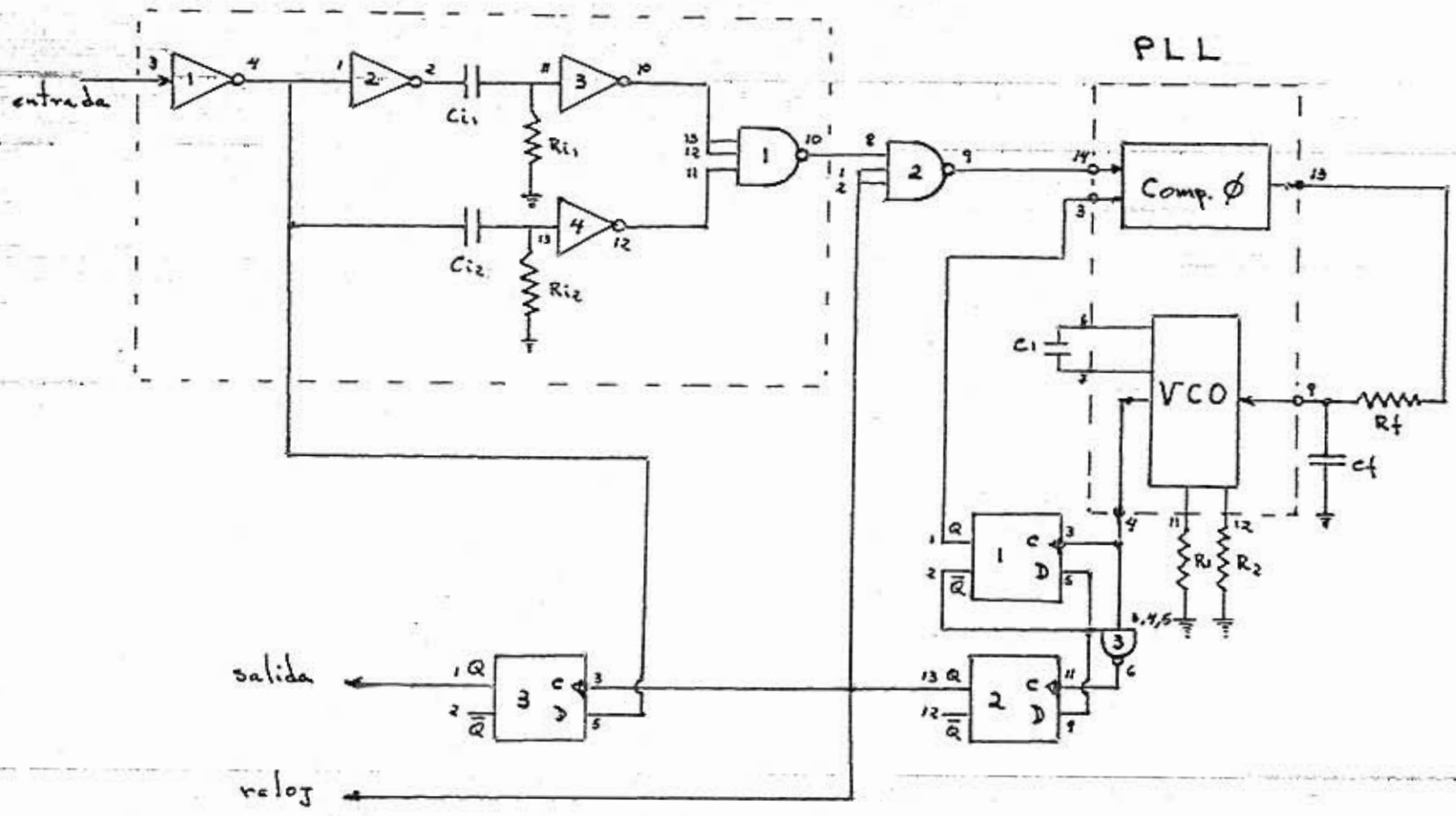


FIGURA # 1.- DECODIFICADOR DE FASE PARTIDA.

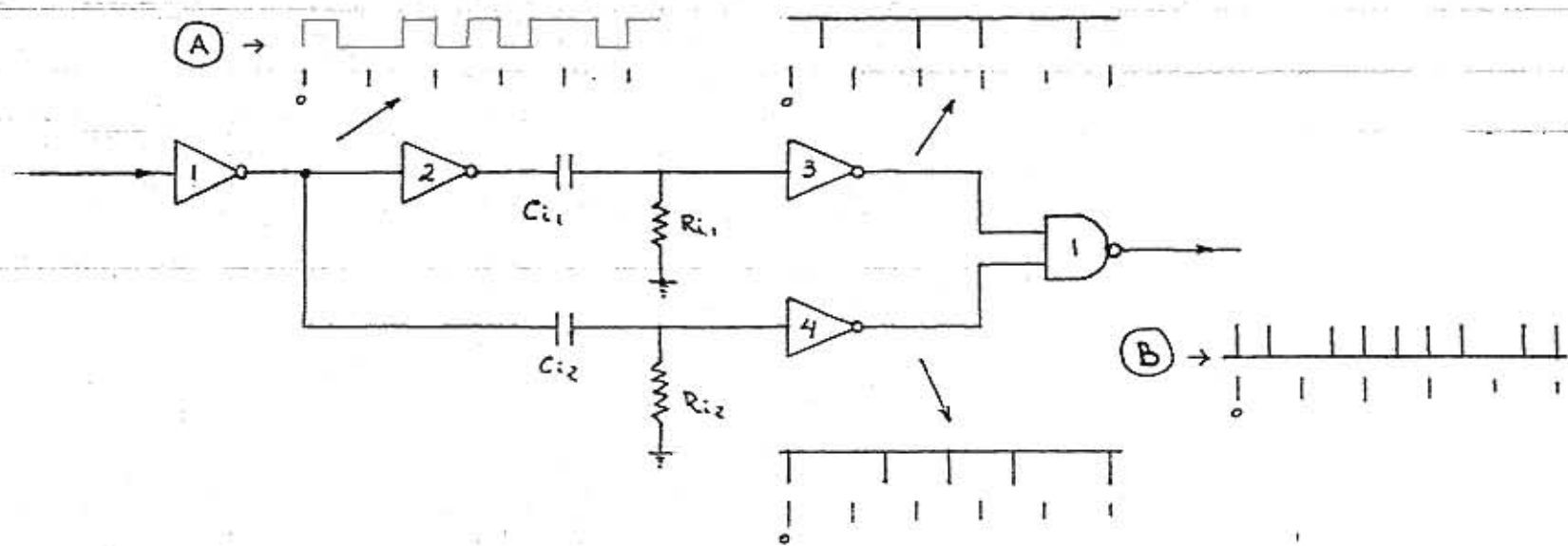


Figura # 2.- DIFERENCIADOR

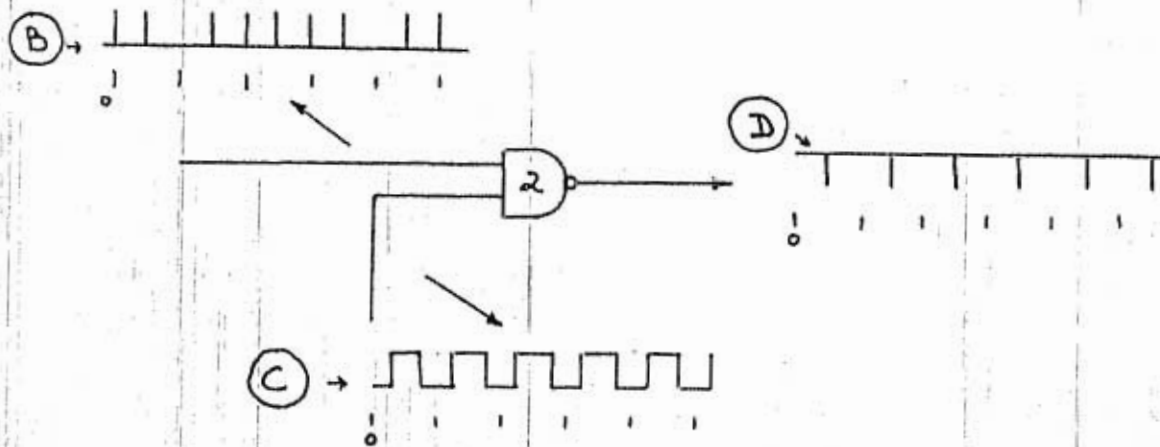


Figura # 3.- Compuerta "NAND" que elimina los pulsos indeseables.

- El PLL.- La función del PLL en el circuito es la de proporcionar una señal con la misma frecuencia de la señal de entrada y con la fase requerida.

El CD4046 tiene internamente dos comparadores de fase con propiedades muy diferentes; cuando se utiliza en el sistema PLL el comparador I, el ángulo de fase entre las señales a su entrada puede ser de  $0^\circ$  a  $180^\circ$ , siendo  $90^\circ$  a la frecuencia central; en cambio cuando se utiliza el comparador II, el cual responde solamente a las transiciones positivas de las señales, la diferencia de fase de las señales de entrada al comparador se mantienen en cero.



Por lo anterior se eligió el comparador II para utilizarlo en el decodificador ya que se requiere que la señal generada por el PLL y la señal a la cual se enlaza, estén siempre en fase. De las gráficas dadas por el fabricante, con la frecuencia central definida y la relación de frecuencia máxima / frecuencia mínima; se obtuvieron los valores de R1, R2 y C1 que definen el punto de operación del PLL.

El filtro externo se diseñó con una frecuencia de corte aproximada de 100 KHz y está formado por el condensador "cf" y la resistencia "rf". Ver figura # 4.

El flip-flop "1" está conectado en la malla de realimentación del PLL, dividiendo la frecuencia a la mitad y obligando al VCO a oscilar al doble de la frecuencia de la señal que excita al PLL. La compuerta "NAND 3" usada como inversor y el flip-flop "2", producen una señal con un retraso de 90° respecto a la señal que se realimenta al PLL, siendo ésta, el reloj de codificación de la señal de entrada.

Esta señal de reloj se realimenta a la compuerta "NAND 2" para eliminar los pulsos indeseables, por un lado, y por otro lado, se utiliza para recuperar la información codificada al muestrear la señal codificada en fase partida cada flanco positivos del reloj, utilizando el flip-flop "3". Ver figura # 5

La frecuencia de la señal por decodificar, es la mitad de la frecuencia de operación del PLL por lo que

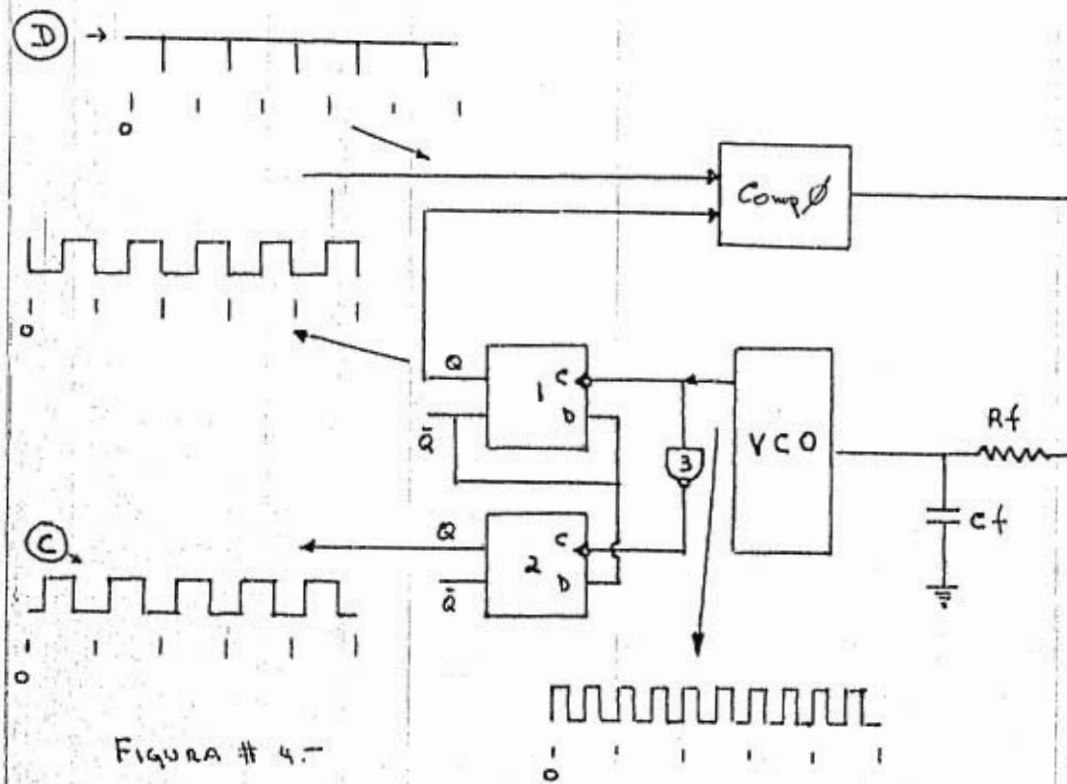


FIGURA # 4.-  
EL PLL EN EL CODIFICADOR

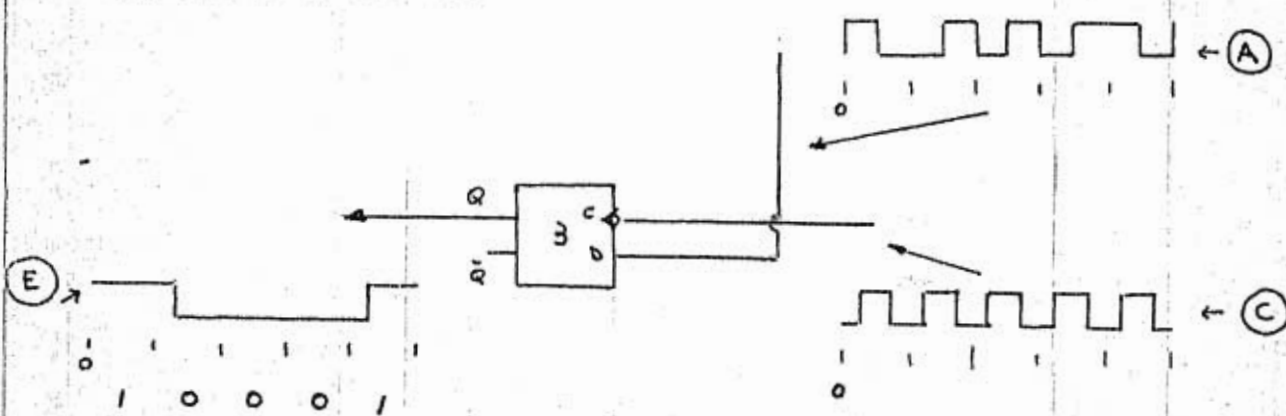


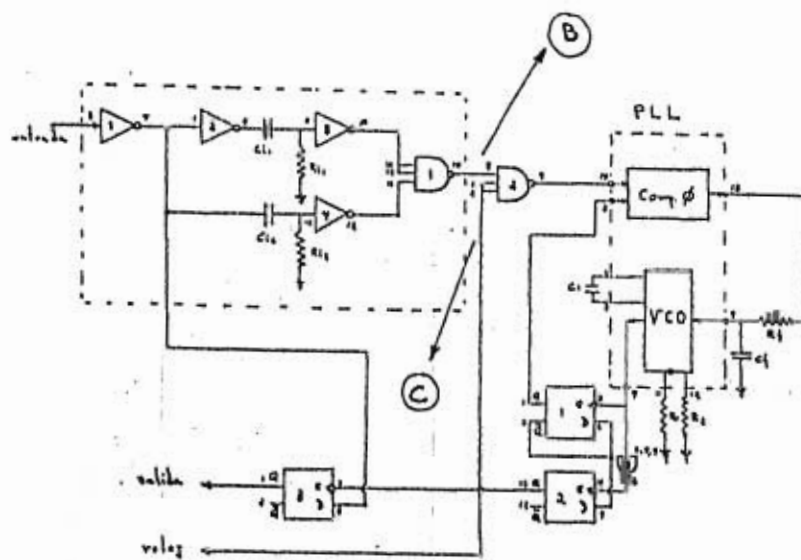
FIGURA # 5.- RECUPERACION DE LA INFORMACION CODIFICADA

para nuestro caso la señal codificada fué de una frecuencia de 740 KHz con variaciones de  $\pm 10\%$ .

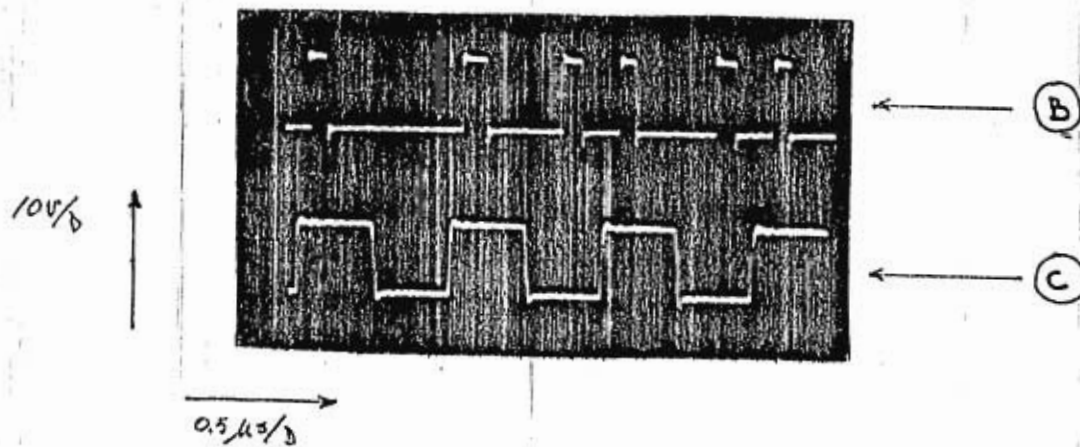
La codificación en fase requiere para su decodificación de sincronización y este es el papel principal del PLL en este tipo de decodificador, ya que si ocurren variaciones en la frecuencia de codificación de la señal, dentro del rango de enlace del PLL, éste mantiene la sincronización y se puede recuperar la información en forma confiable.

El decodificador requiere de una secuencia de "unos" y "ceros" alternados (1,0,1,0,1...) en la información de la señal de entrada para que el PLL se enlace y la decodificación se efectúe correctamente. Este tipo de secuencia se utiliza debido a que tiene únicamente una transición por bit de información, por lo que el sistema no tiene que eliminar ningún pulso sobrante y el PLL se enlaza con esta señal.

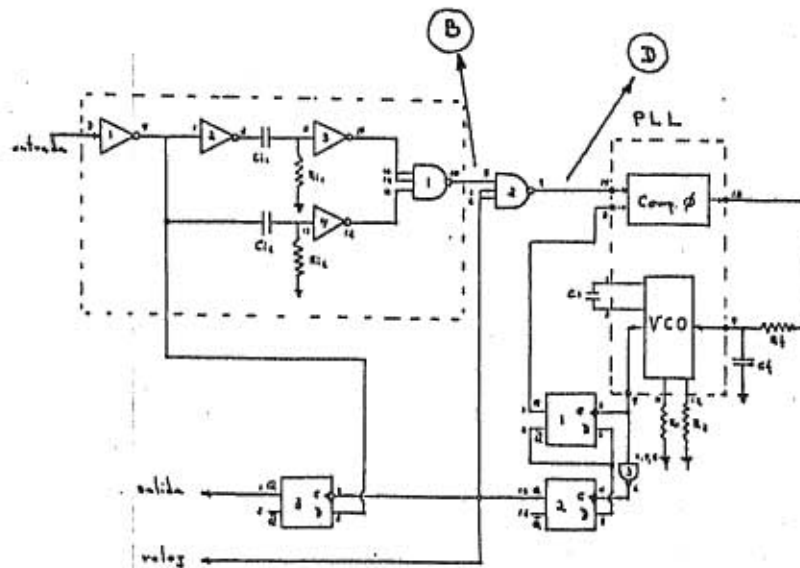
Experimentalmente se observó que el enlace se perdía solamente cuando la frecuencia de transmisión de la información se salía del rango de enlace del PLL y se enlazaba nuevamente con una secuencia de inicialización. La longitud de la secuencia de inicialización utilizada en la práctica fue de 16 bits obteniéndose con esto que siempre se enlazara el PLL.



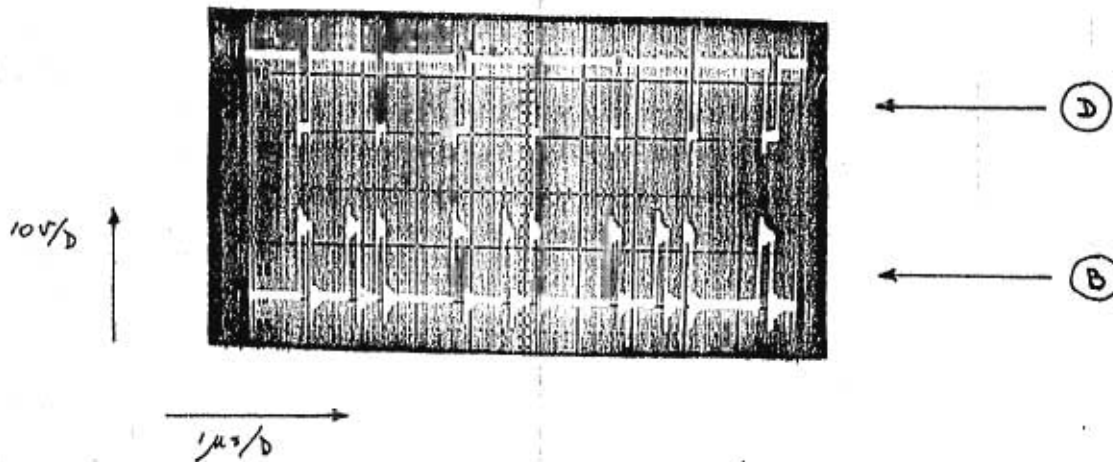
DEMODIFICADOR DE FASE PARTIDA.



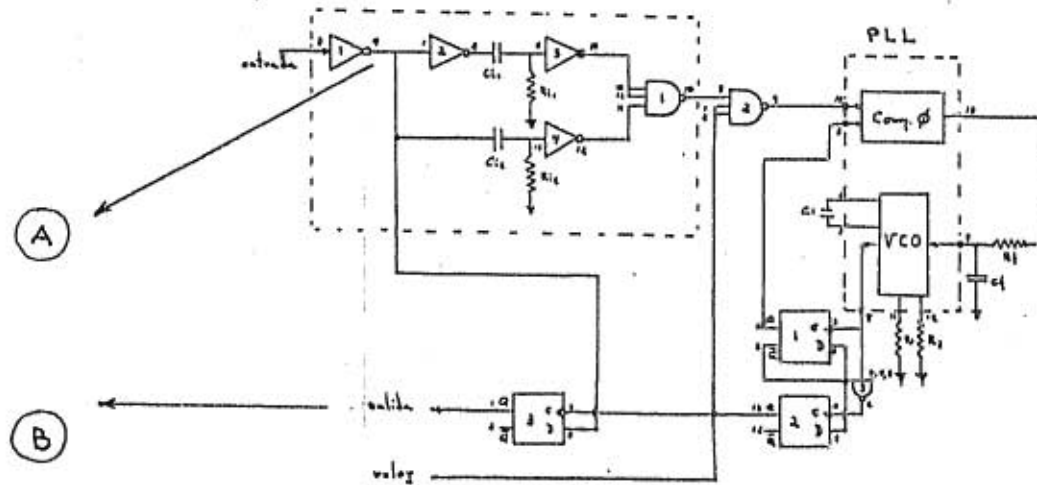
En esta fotografía se observan las señales que entran a la compuerta "NAND 2" la cual elimina los pulsos indeseables. En la parte superior aparece la señal que proviene del diferenciador, señal (B) y en la parte inferior se observa la señal del reloj obtenido de la señal de entrada por el PLL, señal (C).



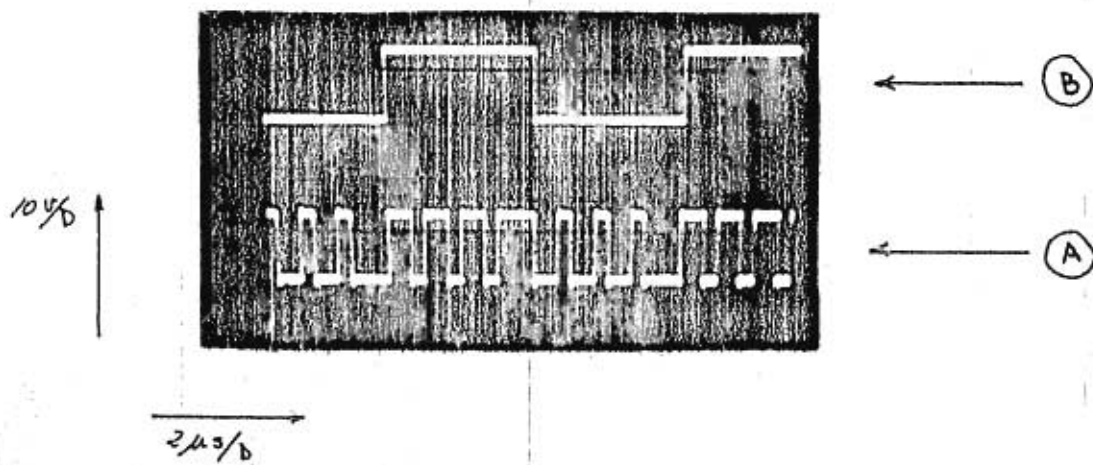
DECODIFICADOR DE FASE DIVISA.



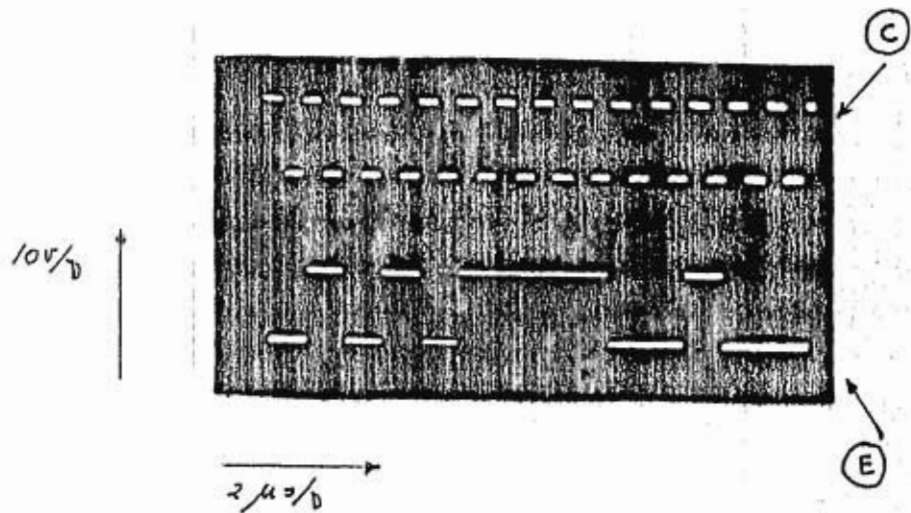
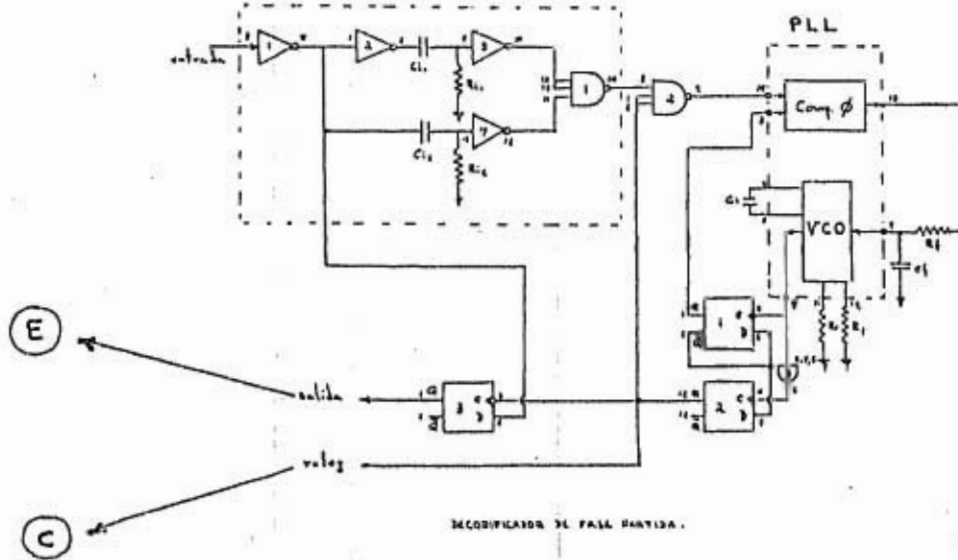
En esta fotografía se puede observar en la parte inferior la señal que proviene del diferenciador, señal (B) y en la parte superior se observa la señal a la salida de la compuerta "NAND 2" en donde los pulsos indeseables han sido eliminados, señal (D); esta señal es la que se alimenta al PLL.



DECODIFICADOR DE FASE PANTISA.



En la parte inferior de la fotografía aparece la señal de entrada al decodificador, señal (A). Y en la parte superior se observa la información decodificada, señal (B).



En esta fotografía (tomada con un osciloscopio de memoria) se puede observar en la parte inferior la salida del decodificador cuando una señal aleatoria y codificada en fase partida es alimentada al decodificador, señal (E). En la parte superior se observa el reloj que indica el instante en el que el dato es válido, señal (C).

Generador de Secuencias Codificadas.-

Para verificar el funcionamiento del decodificador fué necesario generar secuencias de pulsos, codificarlos en fase partida y enviarlos por una línea a 740,000 bits por segundo por lo que se diseñó un generador de secuencias y un codificador en Fase Partida.

Para la generación de las secuencias se utilizó el arreglo mostrado en la figura # 6. Como oscilador se escogió el VCO de un PLL CD4046 para tener la facilidad de variar la frecuencia al cambiar el voltaje en la entrada de control del VCO.

Los pulsos de reloj se alimentan a un contador binario de ocho bits (CD4520), proporcionando éste ocho salidas que alimentan las direcciones de un "EPROM" -- (2708). El "EPROM" tiene internamente grabada información a cerca de las secuencias deseadas. Todas las secuencias tienen una inicialización de "unos" y "ceros" alternados para que el decodificador se onlice. Las secuencias que contiene el "EPROM" se muestran en la tabla 1.

El flip - flop tipo D toma la información proporcionada por el "EPROM" y la presenta a la entrada de un "OR" exclusivo (1). La señal del reloj se alimenta también a esta compuerta y si el dato es "cero" la señal del reloj sale directamente y si es "uno" sale con la fase invertida.



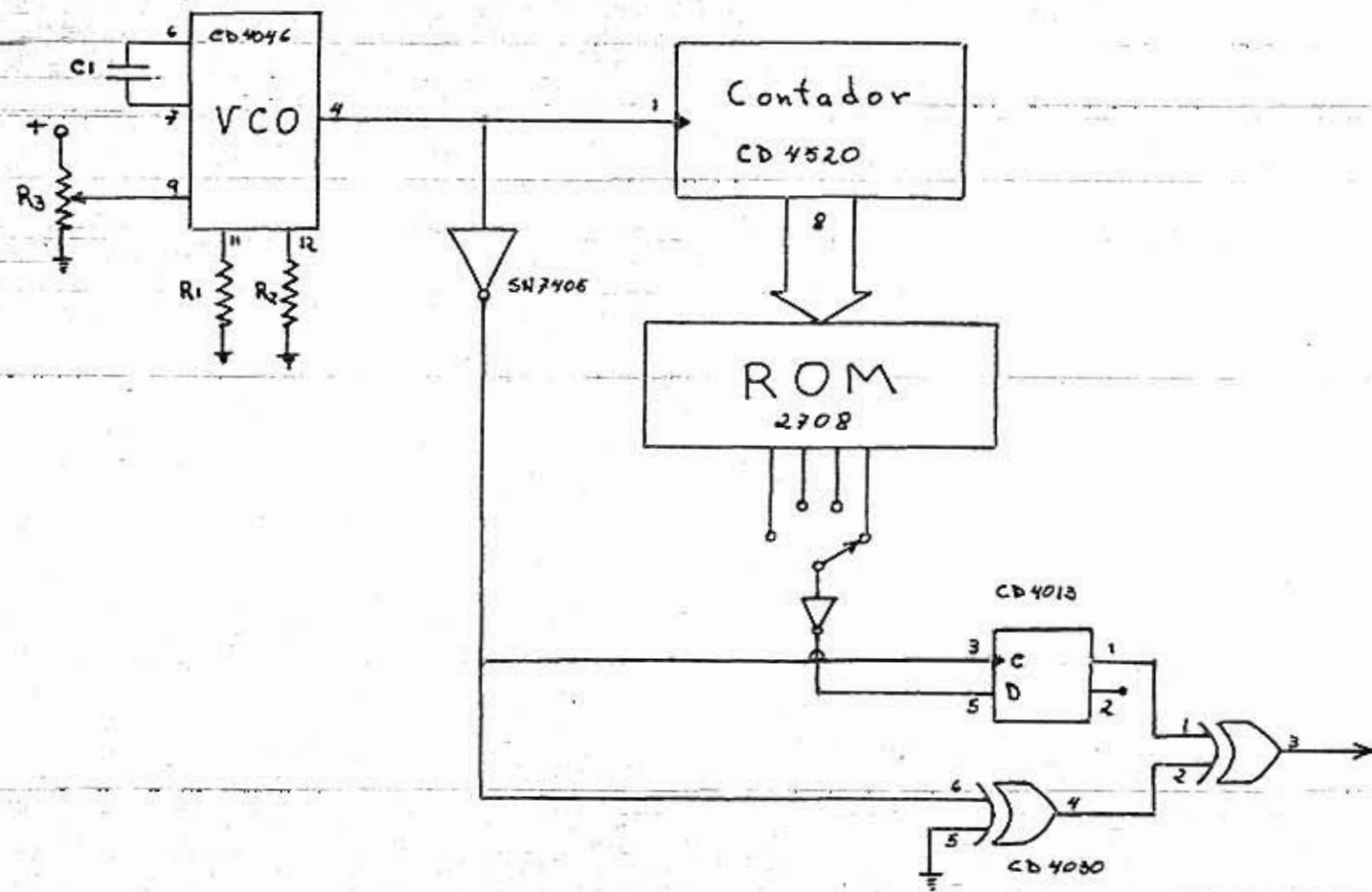


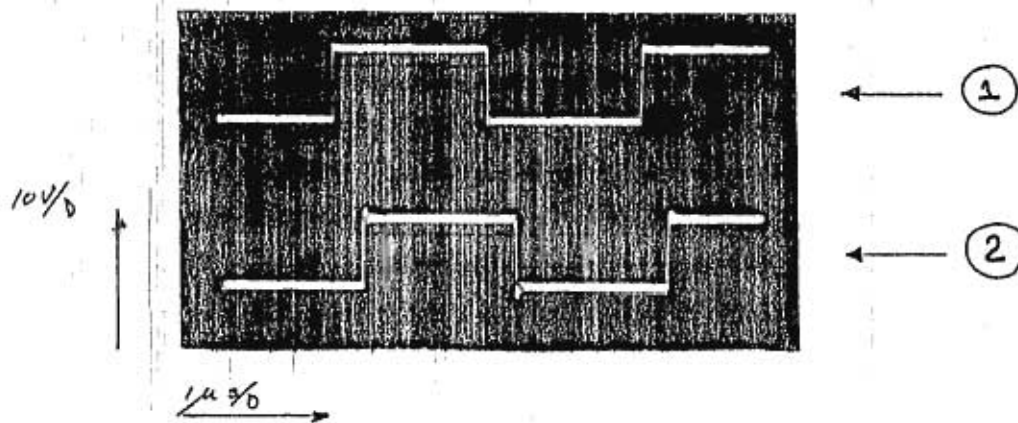
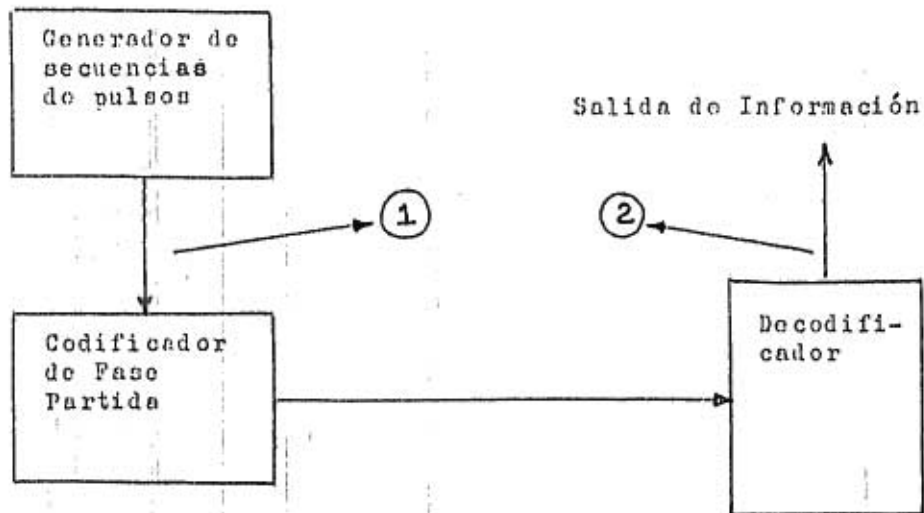
FIGURA #6 - GENERADOR DE SECUENCIAS CODIFICADAS.

TABLA # 1

00000000	00	10001111	11000018	0001103	0110000C
111111FF	00	00000000	0101000A	00000000	0110000C
00000000	00	10111117	01000008	00000000	0110000C
111111FF	00	00100006	1101001A	00000000	01000008
00000000	00	10001113	1110001C	00000101	01000008
111111FF	00	00000000	1110001C	0010105	00001103
00000000	00	10001113	0110000C	0010004	00001002
111111FF	00	10000111	11000018	011100E	00000101
00000000	00	00000000	11000018	010100A	00000103
111111FF	00	10000111	11000018	0100008	0010004
00000000	00	10100014	00001103	010100A	0010006
111111FF	00	0010105	10001113	0100008	0010105
00000000	00	10101015	00000000	010100A	00000101
111111FF	00	110101A	10111117	0100008	00000000
00000000	00	010100A	00100004	011000C	00000101
111111FF	00	01000008	00111107	011000C	00000000
111111FF	00	110101A	00000101	011000C	00000101
0111110F	00	01000008	00000000	0100008	00001002
1110001C	00	110101A	00000000	0100008	0011006
0101010A	00	1110001C	00000101	0100008	0010105
11000119	00	1110001C	00000000	010100A	0011107
110111B	00	1110001C	00000101	010100A	00000000
01000008	00	01000008	00111107	0100008	00001002
11000119	00	11000018	00111006	010100A	00000000
01000109	00	01000008	0010105	0010105	00000000
1110001C	00	110101A	00001002	0011006	00000000
01101010D	00	010100A	01000008	0010105	00000000
1110001C	00	01000008	010100A	00000000	0010104
110111B	00	011100E	01000008	00000101	0010104
110101A	00	10101015	0110000C	00000101	0011006
01000008	00	10110016	0110000C	00000000	00001002
110111B	00	00000101	0110000C	00000101	00000000
00000000	00	00000000	01000008	00001002	00001002
00010002	00	10000111	01000008	0011107	00000000
00100004	00	00000000	010100A	0010004	00001002
10100014	00	10000111	010100A	0011006	00000000
10100014	00	00000000	01000008	00000101	0010004
00000000	00	10111117	010100A	00001103	0010105
10000010	00	10110016	0110000C	00000101	0010004
10000010	00	10101015	0111000E	00000101	00000101
00010002	00	10001012	0110000C	0100008	00000101
10010102	00	10000111	01000008	0100008	00001002
00000000	00	00001002	00000101	011000C	00001003
10110106	00	10000111	00000101	011000C	00000000
10100014	00	00000000	00000000	011100E	00004103
10110106	00	11000008	00000101	010100A	0010004
10000010	00	0110001C	00001002	0100008	0011107
10000010	00	1110000C	0011107	010100A	0010105
10000111	00	1110001C	0010105	0100008	00000000
00000000	00	110101A	0011006	010100A	00000101
10000111	00	010100A	00000101	0100008	00000101

La compuerta "OR" exclusivo (2) solamente retrasa la señal de reloj para que se presente al mismo tiempo que el dato, en la compuerta de salida. Los inversores se emplean para trasladar los niveles lógicos de TTL a MOS.

Este arreglo proporciona las secuencias grabadas en el "EPROM" codificadas en Fase Partida.



Experimentalmente se midió el retraso que existe entre la información que entra al codificador y la misma información a la salida del decodificador y fue de aproximadamente de  $0.52 \mu\text{seg.}$ , siendo el retraso igual a la mitad del período de reloj. En esta fotografía, en la parte superior se observa la información antes de ser codificada en fase partida (1), y en la parte inferior se observa la misma información al salir del decodificador (2).

CONCLUSIONES Y COMENTARIOS

El PLL es un sistema que por sus cualidades tiene un sin número de aplicaciones en el campo de la electrónica analógica y digital. Día con día, debido a los avances tecnológicos, es más práctico y costeable usar este tipo de dispositivos en la implementación de sistemas electrónicos, haciéndolos más confiables y económicos.

Los PLL producidos actualmente en forma comercial, como el CD4046 de R.C.A., tienen características que los hacen muy útiles en aplicaciones en bajas y medianas frecuencias, sobre todo en el procesamiento de señales de frecuencia modulada en donde es su mayor aplicación.

Se han desarrollado sistemas muy interesantes con base en el PLL, como es el caso del decodificador de señales codificadas en fase partida, analizado en este trabajo, mostrando esto las posibilidades de desarrollo en el futuro de nuevas aplicaciones en todos los campos de la electrónica.

Como resultado del estudio y realización práctica del decodificador de señales en fase partida, y después tratar de modificarlo con la idea de simplificarlo y optimizarlo, se llegó a la conclusión de que el sistema propuesto en la nota de aplicación de R.C.A. es eficiente, y únicamente se puede mejorar cambiando el método que se emplea para desplazar  $90^\circ$  la fase del reloj obtenido; utilizando un sistema analógico que desplace -

la fase  $90^\circ$  y que no sufra grandes desviaciones en su respuesta a la frecuencia, dentro del rango de enlace definido. Este cambio elevaría la frecuencia máxima de decodificación al doble.

En lo que se refiere a posibles nuevas aplicaciones de PLL CD4046, se proponen las siguientes:

- En el procesamiento de señales digitales, cuando se tiene una señal asimétrica (el tiempo en estado "1" no es igual al estado "0"), con una frecuencia que varía dentro de un rango definido; puede hacerse simétrica empleando un PLL CD4046 y utilizando su comparador II, tomando como señal de salida la del VCO, ver figura # 1.

- Cuando se tienen señales como las de electrocardiografía cuya frecuencia varía dentro de un rango definido, y se desea amplificar solamente una pequeña parte del período de la señal; se puede lograr empleando el PLL como se muestra en la figura # 2.

Este sistema sería útil cuando debido a las características de la forma de onda, al amplificarse todo el período de la señal con la misma ganancia, se saturaría el amplificador, pero si en cambio, se amplifica sólo parte del período, se podría obtener la información deseada y que para nuestro caso particular conduciría a un mejor diagnóstico.

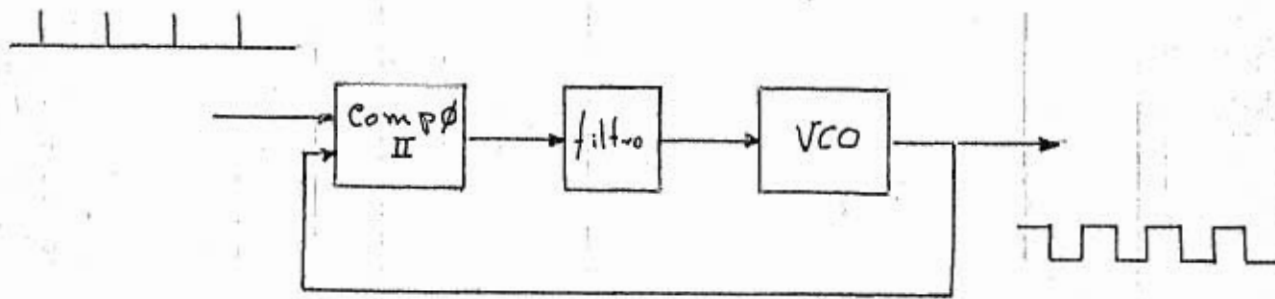


Figura # 1.- Procesador de señales digitales.

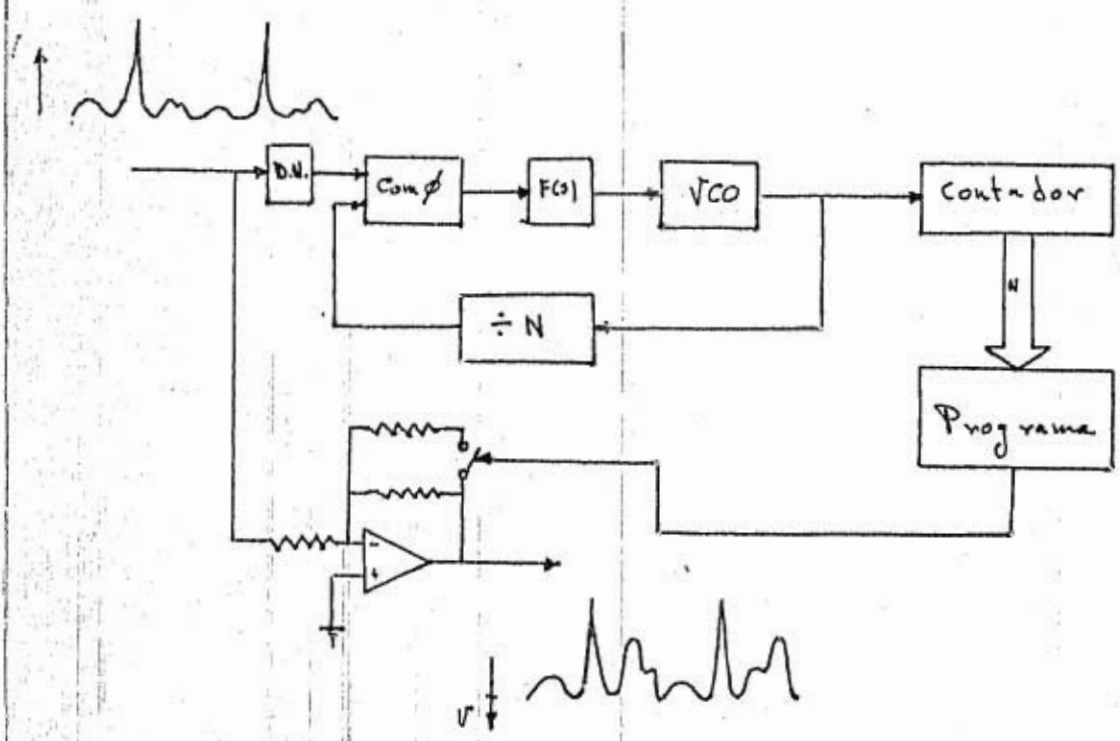


Figura # 2.- Amplificador Programable.

## B I B L I O G R A P H I A

---

- Connelly  
Analog Integrated Circuits,  
Wiley Interscience
- Paul Gray & G Meyer  
Analysis and Design of Analog Integrated Circuits  
Wiley Interscience
- Tobey, Graeme & Huelsman  
Operational Amplifiers  
Mc. Graw Hill
- Donald G. Fink  
Electronics Engineers Handbook  
Mc. Graw Hill
- Kohonen  
Digital Circuits & Devices  
Prentice Hall
- Blanchard  
Phase Locked Loops  
Wiley Interscience
- Herb, Cohen  
How Phase Locked Loops Work  
Electronic Experimenter's Handbook



- Linear Applications Handbook  
National Semiconductor  
Volume I
- Analog Data Manual  
Signetics
- Alan B. Grebenc  
The monolithic PLL a versatile building block  
IEEE Spectrum, march 1971
- Kenneth Jessen  
Fractional "N" simplifiers frequency synthesis  
Service Information from Hewlett Packard  
May - August 1977
- J. J. Partoriza  
Tradeoffs Among Binary Codes In Magnetic Tape Cassetts  
Computer Design, january 1976
- Nota de Aplicación ICAM-6101  
R. C. A. COS / MOS
- COS / MOS Digital Integrated Circuits  
Manual de R. C. A.
- David G. Messerschmitt  
Frequency Detectors for PLL Acquisition in  
Timing and Carrier Recovery  
IEEE Transaction on Communications  
Vol. COM-27, No. 9; september 1979
- Semiconductor Data Library  
CMOS Volume 5, Motorola