

67



UNIVERSIDAD NACIONAL AUTÓNOMA
DE MÉXICO

FACULTAD DE INGENIERIA

DESARROLLO DE SISTEMA DE
ADQUISICION DE DATOS MULTICANAL
PARA REGISTROS ELECTRICOS EN
POZOS

T E S I S

QUE PARA OBTENER EL TITULO DE:
INGENIERO MECANICO ELECTRICISTA

AREA: ELECTRICA Y ELECTRONICA

P R E S E N T A:

ISRAEL PEREZ MARTINEZ



DIRECTOR: DR. ALEKSANDR MOUSATOV
CO-DIRECTOR: M.I. ANTONIO SALVA CALLEJA

281514

CIUDAD UNIVERSITARIA

2000



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

A Dios

*Por haberme dado la oportunidad de seguir
viviendo y llenarme de bendiciones.*

A mis Padres

*Por todo el apoyo, comprensión, amor y respeto
que siempre me han dado. Espero que esta
larga espera el día de hoy se vea
recompensada.*

A mis Hermanos

*Por enseñarme con su ejemplo a seguir
adelante y llegar siempre a la meta.
Pero principalmente por darme
todo su apoyo.*

Gracias y que Dios los bendiga.

ÍNDICE

INTRODUCCIÓN.....	1
1. PRINCIPIOS BÁSICOS DE REGISTROS ELÉCTRICOS DE POZOS.....	4
1.1 RESISTIVIDAD ELÉCTRICA DE ROCAS.....	6
1.2 CAMPO ELÉCTRICO DE CORRIENTE CONTINUA.....	9
1.3 HERRAMIENTAS ELÉCTRICAS PARA REGISTROS DE POZOS.....	11
Herramientas convencionales.....	11
Dispositivos enfocados.....	14
Herramientas Multicanal.....	17
2. SISTEMA DE MEDICIÓN PARA SONDAS ELÉCTRICAS DE REGISTROS DE POZOS.....	20
2.1 REQUERIMIENTOS TÉCNICOS.....	21
Cantidad de Canales.....	21
Rango dinámico de Señales.....	22
Frecuencias de operación.....	23
Tiempo de medición.....	26
2.2 MÉTODO DE DETECCIÓN SINCRÓNICA PARA MEDICIONES DEL CAMPO ELÉCTRICO.....	27
2.3 ESTRUCTURA GENERAL DEL EQUIPO.....	35
Multiplexor.....	35
Amplificador.....	35
Convertidor.....	36
Bloque de control.....	36
Generador.....	37

Fuente de energía.....	37
3. DESARROLLO DEL SISTEMA DE ADQUISICIÓN MULTICANAL PARA REGISTROS ELÉCTRICOS.....	38
3.1 DESCRIPCIÓN DEL SISTEMA DE ADQUISICIÓN DE DATOS.....	38
3.2 MÓDULOS DEL BLOQUE ANALÓGICO.....	40
Multiplexor.....	40
Amplificador de Instrumentación.....	42
Convertidor Analógico-Digital.....	43
Tarjeta Analógica.....	47
3.3 MÓDULOS DEL BLOQUE DIGITAL.....	48
Microcontrolador.....	48
Tarjeta Digital.....	57
Sistema de Adquisición Multicanal.....	58
4. PROGRAMAS DE ADQUISICIÓN, PROCESAMIENTO Y COMUNICACIÓN.....	59
4.1 ARQUITECTURA GENERAL DEL SOFTWARE.....	59
4.2 PROGRAMAS DE MEDICIÓN Y CONTROL.....	62
4.3 PROCESAMIENTO DE DATOS EN TIEMPO REAL.....	66
Protocolo de comunicación.....	67
4.4 INTERFAZ GRÁFICA.....	70
CONCLUSIONES.....	74
APÉNDICE A.....	75
APÉNDICE B.....	83
APÉNDICE C.....	102
REFERENCIAS.....	122
BIBLIOGRAFÍA.....	124

INTRODUCCIÓN

El presente trabajo se realizó en el Instituto Mexicano del Petróleo, donde en la Gerencia de Geofísica de Explotación, fueron empezadas investigaciones en el área de teoría y desarrollo de herramientas electromagnéticas para registros de pozos. Estas investigaciones incluyen varias líneas de estudios entre las cuales se encuentra el desarrollo de sistemas multicanales de adquisición de datos para sondas eléctricas de resistividad.

El interés constante del desarrollo de los equipos avanzados para sondas eléctricas (en aproximación con la teoría de corriente continua), se determina por la necesidad creciente de la industria petrolera, para caracterizar cada vez estructuras geológicas mas y mas complicadas. La tendencia en el área del desarrollo de las herramientas eléctricas de resistividad muestra que las tecnologías especializadas de determinación de la resistividad de formaciones, converge a sistemas de medición multicanal de alta exactitud con el procesamiento e inversión posterior.

El objetivo de este trabajo es desarrollar un prototipo de laboratorio del Sistema de Adquisición de Datos Multicanal para las herramientas eléctricas de resistividad, con el fin de tener un equipo básico para poder estudiar la influencia de diferentes factores a la estabilidad y exactitud en mediciones.

Para lograr este objetivo era necesario cumplir con las siguientes metas particulares:

1. Analizar métodos de registros eléctricos de resistividad y condiciones en las cuales se realizan mediciones en pozos.
2. Estudiar las técnicas de medición y tendencias contemporáneas en el desarrollo de herramientas eléctricas.

3. Elaborar la arquitectura del sistema multicanal y el algoritmo de procesamiento de datos.
4. Desarrollar tarjetas de la parte analógica y digital.
5. Armar el prototipo de laboratorio con las tarjetas propuestas.
6. Desarrollar el programa que incluye partes de control, procesamiento y transmisión de datos.
7. Verificar el funcionamiento de los bloques desarrollados.

La tesis tiene la siguiente estructura:

El Capítulo I presenta los antecedentes de la teoría básica de determinación de la resistividad, herramientas y tendencias tecnológicas actuales en registros eléctricos de resistividad.

En el Capítulo II se presentan los parámetros técnicos principales del sistema multicanal para sondas eléctricas. Se describe el método de detección sincrónica para filtración de señales, el cual es conveniente aplicar para mediciones del campo eléctrico de corriente continua con sistemas multicanales. También se propone la estructura general del sistema.

El Capítulo III esta conformado por la descripción del funcionamiento y los parámetros de los bloques, módulos y dispositivos electrónicos de la parte analógica y digital del prototipo desarrollado. En este capítulo se tiene la integración completa del hardware del sistema.

El Capítulo IV presenta el software del sistema de adquisición. En este capítulo están los programas de control, procesamiento y transmisión de los datos en el sistema. También se muestra la interfaz gráfica que sirve como medio de enlace entre el microcontrolador y la computadora para inclusión y visualización de los datos.

Agradezco al M.I. Antonio Salvá Calleja de la Facultad de Ingeniería de la UNAM por toda la asesoría en el desarrollo de la tesis, sobretodo en el área de programación en Ensamblador de microcontroladores y, además, especialmente por haberme prestado su tarjeta SIMMP-2 que sirvió como base para el desarrollo de la tarjeta digital del sistema multicanal, así como el software PUMMA para el desarrollo de todos los programas del sistema.

Aprovechando la oportunidad quisiera expresar mis agradecimientos: al Instituto Mexicano del Petróleo especialmente a la Gerencia de Geofísica de Explotación por la ayuda en la compra de chips y por la elaboración de las tarjetas analógica y digital del prototipo, al personal del Laboratorio de Sistemas Artificiales de Producción por todo el material proporcionado, equipo de medición, asesoría y por haberme permitido trabajar en su laboratorio, al Ing. Edgar Kiyoshi Nakamura Labastida por su ayuda y colaboración proporcionada en este trabajo. Agradezco al Dr. Aleksandr Mousatov Investigador Titular del IMP por la dirección de este trabajo de tesis.

1

PRINCIPIOS BÁSICOS DE

REGISTROS ELÉCTRICOS DE POZOS

Los registros geofísicos de pozos [1] ocupan un lugar muy importante entre las diversas tecnologías de exploración y evaluación de yacimientos de hidrocarburos. El objetivo principal del uso de registros geofísicos de pozos, es caracterizar las formaciones geológicas por sus parámetros petrofísicos, es decir, estimar la porosidad (la fracción del volumen total de una muestra que esta ocupada por poros), tipo de los fluidos (aceite, gas, agua) y su saturación (la fracción del volumen poroso que contiene hidrocarburos o agua).

Existe una gran diversidad de tipos de registros de pozos; pudiéndose clasificar en dos grupos principalmente; aquellos que registran propiedades que existen en la formación o debido a fenómenos que se generan espontáneamente al perforar el pozo; y aquellos en los cuales se envía una señal a través de la formación, con la finalidad de obtener directamente determinadas propiedades de la formación. Prácticamente en registros de pozos se usan mediciones de las características de todos los campos físicos (de presión, de temperatura, de ondas elásticas, electromagnéticas, etc.).

Entre ellos se encuentran los registros electromagnéticos, en particular, registros de resistividad eléctrica, los cuales son uno de los más importantes por su relación estrecha con las características petrofísicas de rocas. Con base en la resistividad de formaciones se obtiene información muy valiosa sobre la porosidad de rocas, su saturación y las propiedades del fluido.

Los registros de resistividad se realizan por medio de mediciones de las componentes del campo electromagnético usando transmisores y receptores ubicados en el pozo. El dispositivo, que en la práctica de registros geofísicos se nombran como sondas o herramientas, realiza las mediciones durante su movimiento a lo largo del pozo, generalmente, desde abajo hacia arriba, permitiendo obtener un perfil continuo de la resistividad de formaciones.

Se puede mencionar tres principales métodos de determinación de la resistividad de formaciones:

- Mediciones de la atenuación y la fase de ondas electromagnéticas en medios conductores. Este método que se basa en la propagación de ondas electromagnéticas se realiza en las frecuencias de orden de unos MHz hasta cien MHz.
- Mediciones de las componentes magnéticas en rango de frecuencias de 10 – 100 kHz, cuando el campo electromagnético en conductores tiene un comportamiento que se aproxima como un campo de difusión. Este tipo de mediciones se aplican en las herramientas de inducción.
- Mediciones de las características del campo eléctrico en las frecuencias bajas (0 – 1kHz), cuando para descripción de su comportamiento se puede aplicar la teoría del campo electromagnético con corriente continua [2].

Tomando en cuenta que el trabajo presente se dedica al desarrollo del sistema de adquisición multicanal para las herramientas eléctricas (en aproximación con la teoría de corriente continua) es necesario considerar más a detalle varias cuestiones tales como:

- Definición de la resistividad eléctrica de formaciones y su relación con parámetros de rocas.
- Principios y métodos de medición de la resistividad eléctrica en pozos.
- Herramientas eléctricas básicas y tendencias de su desarrollo contemporáneo.

1.1 RESISTIVIDAD ELÉCTRICA DE ROCAS

La resistividad (ρ) eléctrica de las rocas es una propiedad física medida, además, de ser también considerada dentro de las tres propiedades electromagnéticas [2] fundamentales como la constante dieléctrica (ϵ) y la permeabilidad magnética (μ).

Consideremos un núcleo de area A y longitud L (cortado de una muestra de roca) que esta conectado a un generador G con la corriente I (Fig.1.1).

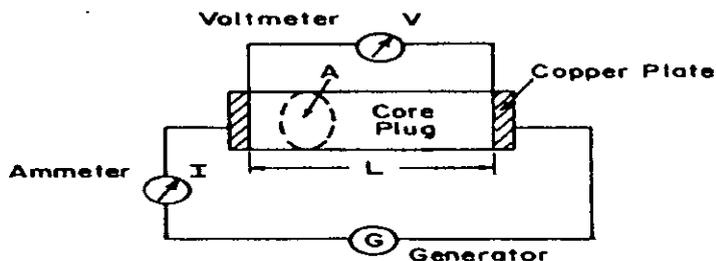


Figura 1.1 Circuito para medir la resistividad de un núcleo de rocas.

De acuerdo con la ley de Ohm la resistencia de un trozo de roca se puede determinar como

$$R = \frac{V}{I}$$

donde: V – es la caída de voltaje que existe entre las dos extremidades de un trozo de roca. Por otro lado, la resistencia de un material homogéneo en la forma cilíndrica o prismática se expresa a través de su resistividad ρ , longitud y area

$$R = \rho \frac{L}{A}$$

Entonces, la resistividad de la roca puede ser obtenida a través de la resistencia de un trozo de forma conocida

$$\rho = R \frac{A}{L} \quad [\Omega \cdot m]$$

y depende del tipo de roca, o mejor decir, de sus características petrofísicas.

En las formaciones sedimentarias (sin inclusiones metálicas o minerales conductores como grafito) los minerales que forman parte de la matriz solidada de formaciones son dieléctricos y tienen la resistividad bastante alta (calcita, cuarzo, silicatos, etc.), generalmente superiores a $10^7 \Omega \cdot m$. Por otro lado, en la matriz sólida de formaciones sedimentarias existe una red intergranular de poros, la cual es irregular y tortuosa llena de electrolito. Este electrolito es una solución de agua (penetrada o existida en el momento de la generación de la formación), que determina la resistividad, disminuyéndola a medida que aumenta la concentración de la sal disuelta en el agua (comúnmente $NaCl$). Los valores de la resistividad para diferentes fluidos y formaciones se presentan en la Tabla 1.1.

Entonces, la conductividad de las formaciones sedimentarias es del tipo iónico y depende del número de iones en la solución, de la velocidad a la que éstos se mueven y de la carga que poseen, determinada por el tipo de sal (BASSIOUNI, 1994). La relación entre la movilidad de los iones y la temperatura explica la alta influencia de temperatura en la resistividad de las rocas. El incremento de la temperatura con la profundidad puede disminuir la resistividad de formación más que en un orden.

El efecto de presión sobre la resistividad de rocas es menor que el de temperatura.

VALORES TÍPICOS DE RESISTIVIDAD	
Materiales y Formaciones Típicas	Resistividad ($\Omega\text{-m}$)
Petróleo	2×10^{14}
Agua Destilada	5×10^3
Agua Salada (15° C)	
2,000 ppm	3.40
10,000	0.72
20,000	0.38
100,000	0.09
200,000	0.06
Arcilla/Lutita	2 – 10
Arena con agua salada	0.5 – 10
Arena con petróleo	$5 - 10^3$
Caliza "Compacta"	10^3

TABLA 1.1 Valores de la resistividad para algunos minerales y formaciones.

El incremento de resistividad depende de la cantidad y naturaleza del cemento, del volumen relativo y forma geométrica de los poros más pequeños, los cuales son los primeros en cerrarse por el efecto de presión, afectando gradualmente la conexión por enlazar a los poros más grandes (ORELLANA, 1982).

La relación de la resistividad con los parámetros petrofísicos para diferentes tipos de rocas tiene carácter muy complicado y para su descripción fueron elaborados varios modelos teóricos ajustados a través de mediciones experimentales usando núcleos extraídos de pozos. Una expresión que permite relacionar la resistividad, porosidad y saturación puede ser presentado con la ley generalizada de Archie

$$\rho_r = P^{-m} S^{-n} \rho_a$$

donde: ρ_r - resistividad de roca,
 ρ_a - resistividad de soluciones del agua,
P - porosidad,
 m - exponente de cementación,
S - saturación (fracción de rellenos por soluciones del agua),
 n - exponente de saturación.

Los variables m y n se determinan estadísticamente para ciertos tipos de formaciones. Los otros parámetros se obtienen de registros eléctricos (ρ_r , ρ_a) y de métodos de neutrones (P). Entonces usando la expresión mencionada se puede estimar la saturación de las rocas por agua y por hidrocarburos (1-S). De ahí proviene la gran importancia de los registros de resistividad, los cuales permiten hacer la evaluación de recursos de un yacimiento.

1.2 CAMPO ELECTRICO DE CORRIENTE CONTINUA

Consideremos el campo eléctrico producido por una fuente puntual ubicada en el punto A con amplitud de corriente continua I en el medio homogéneo con resistividad $\rho(x,y,z)$. Para cerrar el circuito el segundo electrodo se puede poner en el punto B y desplazarse lejos de A ($B \rightarrow \infty$). El tamaño del electrodo A debe ser mucho menor de la distancia hasta el punto de observación.

El campo eléctrico satisface a la ecuación de Poisson [3] en todos los puntos del medio

$$\nabla^2 U = I$$

Resolviendo esta ecuación encontramos el potencial en la distancia r del electrodo A (ORELLANA, 1982).

$$U = \frac{I\rho}{4\pi r}$$

y el campo eléctrico

$$E = \frac{I\rho}{4\pi r^2}$$

Entonces al medir el potencial del campo eléctrico o sus derivadas y sabiendo la corriente de la fuente puntual se puede determinar la resistividad del medio homogéneo. Hay que hacer notar que este valor de resistividad caracteriza un volumen del medio correspondiente al radio r.

En el caso de realizar mediciones en medios heterogéneos, particularmente en pozos, la resistividad determinada a través de la ecuación se llama la resistividad aparente y corresponde a la resistividad de un medio homogéneo equivalente.

$$\rho_a = 4\pi r \frac{U}{I}$$

La relación entre la resistividad aparente y las resistividades que están formando el medio heterogéneo es complicada y requiere la solución del problema directo, es decir, encontrar la distribución del potencial sabiendo parámetros del medio heterogéneo. Para determinar los parámetros del medio heterogéneo en métodos geofísicos se hace una inversión de datos que consiste en los cálculos del problema directo para cierta clase de modelos hasta encontrar la mejor semejanza entre la resistividad aparente observada y la resistividad obtenida con simulación.

La estructura general de distribución de la resistividad en pozos verticales atravesados por las formaciones que yacen horizontalmente se presenta en la Fig. 1.2.

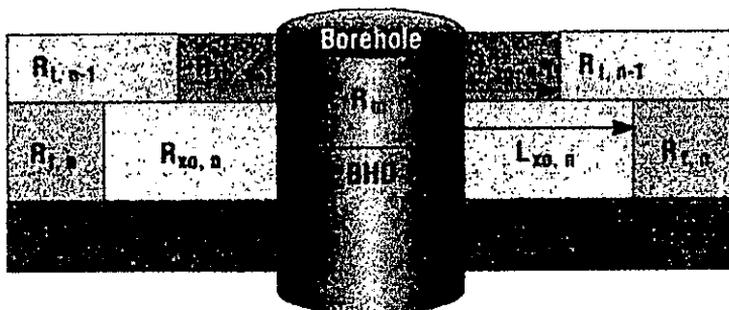


Figura 1.2

La resistividad verdadera de formaciones que debe ser determinada es R_t . En el pozo se encuentra el lodo de perforación con resistividad R_m . Las zonas entre el pozo y las formaciones vírgenes se llaman zonas de invasión con resistividad R_x , que sufren cambios de la resistividad por penetración del lodo.

1.3 HERRAMIENTAS ELECTRICAS PARA REGISTROS DE POZOS

En practica de los registros de resistividad con corriente continua se puede destacar tres grupos de las herramientas principales: herramientas convencionales, herramientas enfocadas [4] y herramientas multicanales de alta resolución [5].

Herramientas convencionales

Los arreglos de electrodos más comunes para registros de resistividad son las sondas que se llaman Normal y Lateral.

El arreglo básico del dispositivo normal se muestra en la Fig. 1.3

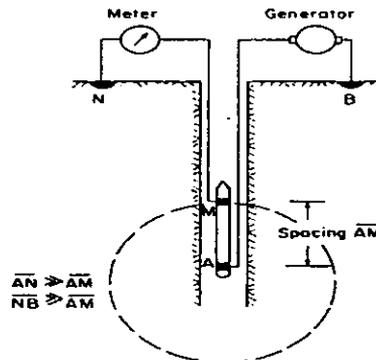


Figura 1.3. Esquema de mediciones con la sonda Normal.

El electrodo de corriente A y electrodo de potencial M se encuentran montados en la sonda y se bajan dentro del pozo. Los electrodos B y N están localizados en la superficie en distancias mucho mayor que la distancia de separación entre los electrodos AM.

El generador induce una corriente constante de baja frecuencia entre los electrodos A y B. Como el electrodo N es remoto desde los electrodos de corriente, su potencial es prácticamente despreciable y el campo en punto M se determina por una fuente puntual A. Tomando en cuenta que $B \rightarrow \infty$ el voltímetro mide el potencial en el punto M.

$$U_m = \frac{\rho I}{4\pi AM}$$

donde AM es la distancia entre los electrodos A y M. De aquí la resistividad aparente se calcula como

$$\rho_a = K \frac{U_m}{I}$$

donde $K = 4\pi AM$ es el coeficiente geométrico de la sonda Normal.

El valor de la resistividad aparente es graficado a la profundidad correspondiente al punto medio (punto de inscripción) entre los electrodos A y M.

Generalmente se aplican las sondas con las separaciones $AM=16'$ (Normal Corta) y $AM=64'$ (Normal Larga).

El otro dispositivo que también pertenece al grupo de herramientas convencionales se llama la sonda Lateral se presenta en la Fig 1.4.

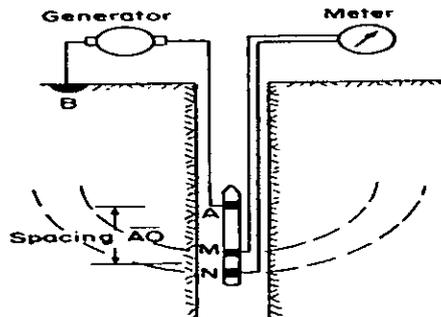


Figura 1.4. Sonda Lateral.

La corriente inducida entre los electrodos A y B crea una diferencia de potencial ΔV , medida entre los electrodos M y N. Este voltaje y la resistividad aparente derivada de ésta, es expresada con la misma ecuación

$$\rho_a = K \frac{\Delta V}{I}$$

donde el coeficiente geométrico es igual a

$$K = 4\pi \left(\frac{\overline{AM} \cdot \overline{AN}}{\overline{MN}} \right)$$

Dos características de las sondas, que son muy importantes, son la profundidad de investigación y la resolución vertical. La profundidad de investigación depende directamente de la separación. La resolución vertical depende inversamente de la separación. La sonda Normal tiene la profundidad de investigación mayor y la resolución menor que la Lateral. Para determinar las resistividades verdaderas de las formaciones en medios heterogéneos (Fig.1.2) las sondas Lateral, Normal Corta y Larga se combinan en una sola herramienta de tres canales. Sin embargo, la determinación de la resistividad aparente para tres separaciones no es suficiente para caracterizar medios complejos constituidos por capas con zonas de invasión desarrolladas y con espesores menores que las separaciones de sondas.

Dispositivos enfocados

Las herramientas de este tipo (conocidas como Lateralog) han sido desarrolladas para aumentar la resolución vertical y disminuir la influencia de la alta conductividad del lodo.

La sonda enfocada Lateralog-7 se presenta en la Fig. 1.5.

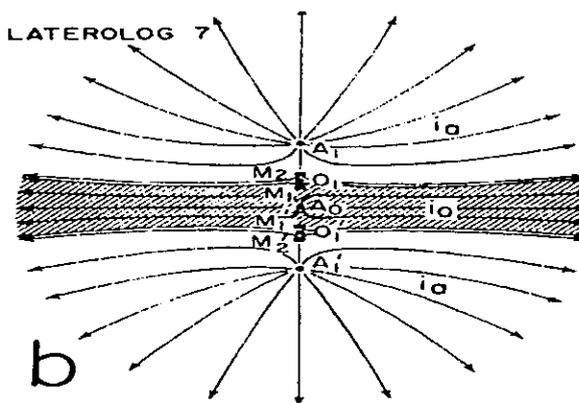


Figura 1.5. Estructura esquemática de la sonda Lateralog.

El Laterolog-7 enfoca la corriente del electrodo central A_0 a la dirección horizontal utilizando un arreglo de electrodos adicionales de corriente A_1 y A_1' y dos par de electrodos de medición M_1M_2 y $M_1'M_2'$. Los electrodos adicionales están citados simétricamente del electrodo central A .

Con el fin de enfocar el flujo de corriente del electrodo A_0 automáticamente varían los valores de las corrientes de electrodos adicionales A_1 , A_1' hasta lograr que las caídas del voltaje ΔV en electrodos M_1M_2 y $M_1'M_2'$ sea igual a cero. Esta condición significa que no hay el flujo de corriente a lo largo del eje del pozo (suponiendo que la sonda esta centrada en el pozo) y toda la corriente de A_0 penetra a la formación perpendicularmente a la dirección del pozo. La resistividad aparente en este caso se calculan con la misma ecuación

$$\rho_a = K_T \frac{U_M}{I_0}$$

El parámetro K_T depende del diseño de la herramienta. K_T es llamado coeficiente de calibración y es usualmente determinado experimentalmente. El potencial U_M corresponde al potencial en el electrodo de medición M_1 o M_1' . Las herramientas enfocadas tienen la resolución vertical más alta entre las herramientas eléctricas en el caso cuando no se usa el procesamiento especial de tipo de inversión.

Para poder estimar la distribución radial de la resistividad con base en la Laterolog-7 fueron desarrolladas varias modificaciones.

Otra es la Doble Laterolog (Dual Laterolog), es la herramienta más avanzada de los dispositivos Laterolog. La herramienta provee una simultanea medición de una herramienta Laterolog profunda (LLd) y una herramienta Laterolog poco profunda (LLs).

La herramienta provee dos flujos de corriente diferentes, de diferentes configuraciones y frecuencias. El LLd y LLs tienen esencialmente la misma resolución vertical. Los patrones de corriente de los dos casos se muestran en la figura 1.6

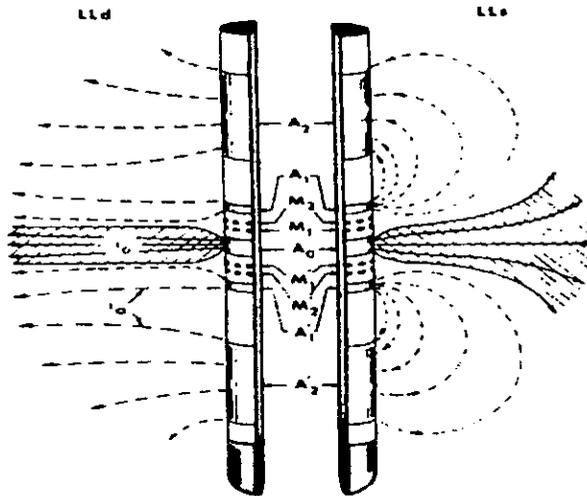


Figura 1.6

Por último la sonda Laterolog con Visión Azimutal, el arreglo esta basado en la configuración de una herramienta de Doble Laterolog y complementado por varios electrodos azimutales en el centro. Fue diseñada para alta resolución vertical y optimizada para la respuesta de invasión y efecto de pozo. La operación de la herramienta esta basada en un número de mediciones independientes y simultaneas que son combinadas por software para producir una serie de mediciones de resistividad con diferentes profundidades de investigación y resoluciones.

A continuación en la figura 1.7 se muestra la nueva sonda. Los electrodos A0, A1 y A2 con sus simétricas contrapartes A0', A1' y A2' sirven para emitir corriente

dentro de la formación, mientras que los electrodos de monitoreo M1, M2 y A1* a lo largo con M1', M2' y A1'' son utilizados para medir potenciales.

En adición, la sección central del arreglo incorpora doce electrodos azimutales para aumentar la capacidad en las direcciones azimutales. El electrodo A0 esta dividido en dos secciones. A0 y A0' están localizados en ambos lados del arreglo azimutal con los dos electrodos de monitoreo A0* y A0'' añadidos en sus respectivos centros.

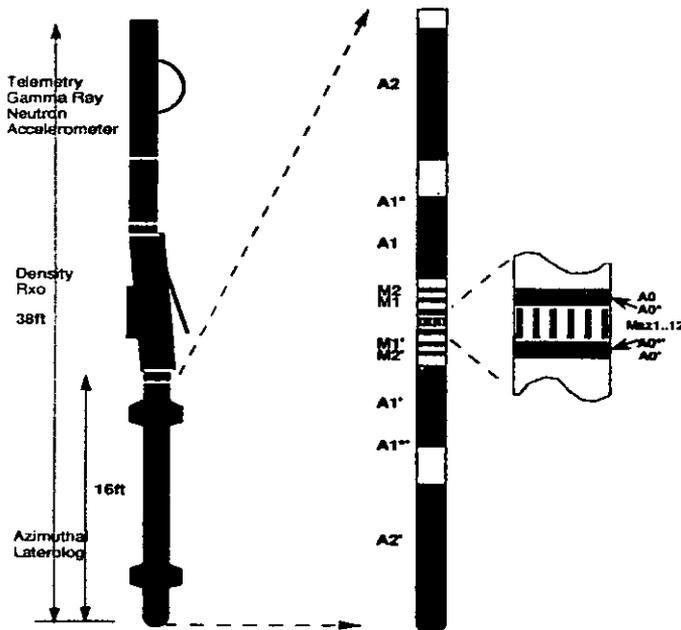


Figura 1.7

Herramientas Multicanal (High-Definition Lateral Log)

La herramienta *High-Definition Lateral Log* que se muestra en la figura 1.8, es una herramienta de resistividad multi-electrodo, que provee mediciones de resistividad de formación en múltiples profundidades de investigación.

Esta herramienta tiene un solo electrodo de inyección de corriente y 18 electrodos de medición de potencial y del campo eléctrico a varias distancias del electrodo de inyección de corriente.

Esta herramienta se dirige a dos limitaciones principales de las herramientas convencionales de los sistemas *Doble Laterolog*, midiendo la resistividad de formación (1) en capas delgadas de reservas de hidrocarburos y (2) en la presencia de profunda invasión de fluido de perforación.

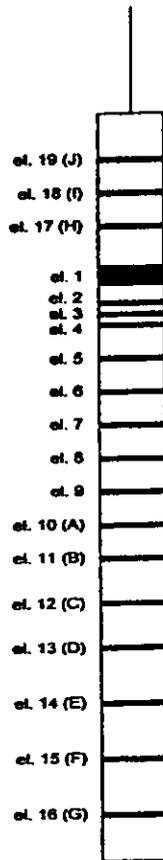


Figura 1.8

Una capacidad mejorada en la resolución vertical y resolución radial es provista y comparada con los dispositivos convencionales enfocados. La herramienta HDLL adquiere 8 potenciales (U), 16 primeras derivadas (V) y computa 14 segundas derivadas (w), todo es usado para determinar la formación de resistividad a varias profundidades de investigación dentro de las reservas. En la figura 1.9 se muestra la herramienta con la configuración de los electrodos

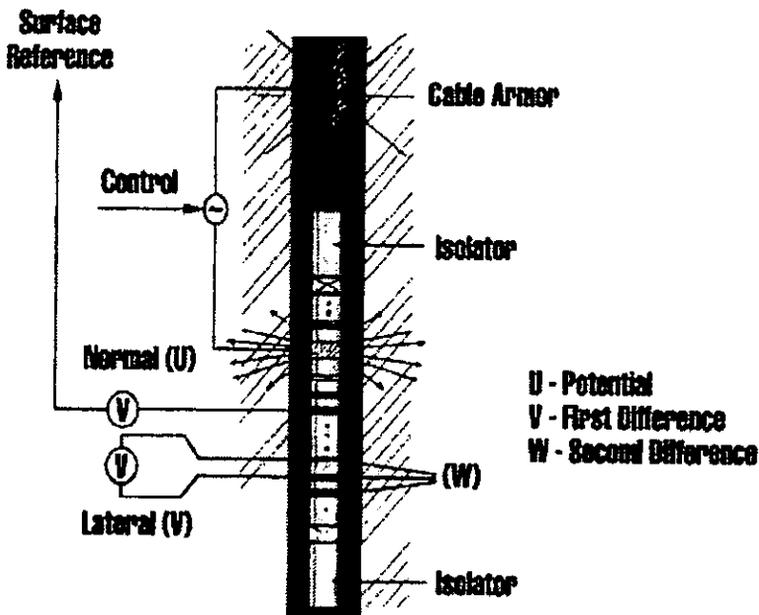


Figura 1.9

2

SISTEMA DE MEDICIÓN

PARA SONDAS ELECTRICAS DE REGISTROS DE POZOS

El uso de diferentes herramientas para la obtención de registros eléctricos de pozo, sus tendencias (Capítulo 1) justificadas mas por la necesidad de obtener mejor resolución vertical y radial en las mediciones, crea la necesidad de los sistemas multicanal.

La utilización de nuevas técnicas para aumentar la precisión de mediciones y métodos contemporáneos de procesamiento de señales permite eliminar la implementación física compleja de dispositivos electrónicos desarrollados para operaciones específicas.

En lugar de utilizar para cierto tipo de registros de resistividad un equipo especialmente desarrollado, las herramientas avanzadas se construyen como sistemas multicanales. Tales sistemas integran en un solo dispositivo un conjunto de mediciones semejantes con diferentes profundidades de investigación, obteniéndose mejores resultados en la solución de problemas específicos. Además los problemas del desarrollo de equipos específicos convergen a la solución del problema principal del incremento de la razón señal – ruido para un canal de medición generalizado.

En el capítulo presente se analizan los parámetros técnicos requeridos, el procesamiento (método de filtración) y la estructura del sistema multicanal para

mediciones de las componentes del campo eléctrico de corriente continua en pozos.

2.1 REQUERIMIENTOS TÉCNICOS

Los parámetros técnicos más importantes, los cuales deben ser estimados antes de iniciar el desarrollo de un sistema multicanal para registros de resistividad con corriente continua, son los siguientes:

- Cantidad de canales
- Rango dinámico de señales
- Frecuencias de operación
- Tiempo de medición

CANTIDAD DE CANALES

La selección de la cantidad de canales del sistema se determina por el número de variables que es necesario estimar a través de datos sobre resistividad aparente. Tomando en cuenta una estructura geólogo - geofísica de 2D que fue presentada en la Fig 1.2. es necesario proporcionar la información para estimar en cada punto de medición como 6-8 parámetros (resistividades de lodo, zona de invasión, formación virgen, diámetros de pozo, espesor de capa horizontal, resistividades de capas vecinas) o más cuando se tratan de realizar estudios de alta resolución vertical y radial. Entonces es necesario tener la cantidad de canales correspondiente (o superior para la inversión estable) a la cantidad de variables a determinar, es decir en un orden de 8-10. Esta estimación coincide con lo que se usa en métodos de sondeos eléctricos superficiales donde para un intervalo de variación de la distancia de separación entre receptor - transmisor en un orden se realizan 7-10 mediciones. Como fue destacado en el capítulo anterior en la herramienta HDLL se usan 18 canales. Tomando en cuenta además aspectos

técnicos se puede considerar que 16 canales es el número de canales razonable para el sistema de adquisición que permite tener las separaciones de la sonda de 3 – 6 m con el paso lineal entre los receptores entre canales a 20 - 40 cm.

RANGO DINÁMICO DE SEÑALES

Consideremos el cambio de señal que depende de la distancia de separación entre receptor – transmisor. Usando expresiones obtenidas en el capítulo 1 para el potencial U y el campo eléctrico E y suponiendo que los electrodos de medición se encuentran en la distancia l y separación para el primer canal también es l , tenemos en el canal número n :

$$U = \frac{I\rho_a}{4\pi} \frac{1}{nl}$$

$$E = \frac{I\rho_a}{4\pi} \frac{1}{nl^2}$$

Entonces el rango dinámico de señales D (en condiciones que la resistividad aparente y la corriente son constantes) corresponde al cambio relativo máximo entre los canales 1, 16 y es igual a $D_U = 16 = 2^4$ y $D_E = 256 = 2^8$. Generalmente la resistividad aparente ρ_a crece con el incremento de la separación y por lo tanto el cambio de señales (diapasón dinámico) disminuye. Solamente en pocos casos especiales la resistividad aparente puede tener decaimiento que no rebase un orden decimal, es decir D se aumenta aproximadamente en 2^3 y puede extenderse hasta $D=2^{11}$. Tomando en cuenta que la señal debe medirse con exactitud de 1% (en casos del tipo anterior que no corresponden a las formaciones de interés como el petrolero, se puede permitir el decremento de la exactitud hasta 3-5%) es necesario tener la resolución alta de un convertidor analógico – digital (CAD) la cual debe ser en el rango de $2^{15} - 2^{16}$.

Las amplitudes del señal para el medio con $\rho_a = 1 \Omega\text{-m}$ y $I = 1 \text{ A}$ en el 1^{er} canal ($L = 20\text{-}40 \text{ cm}$) son $U \cong 500 - 250 \text{ mV}$; $E \cong 2500 - 625 \text{ mV/m}$ y en el 16^o $U \cong 30 - 15 \text{ mV}$, $E \cong 2 - 1 \text{ mV/m}$.

Los niveles absolutos de señales varían de pozo a pozo y dependen del tipo de formaciones y los parámetros del pozo. Para ajustar el sistema de medición con cambios de condiciones se requiere tener posibilidades de cambiar la ganancia en $2^6 - 2^8$.

FRECUENCIAS DE OPERACIÓN

Los métodos de registros eléctricos de resistividad se basan en la teoría del campo eléctrico con corriente continua [2]. Entonces las mediciones deben ser realizadas en la frecuencia a igual a cero. Sin embargo, el uso de frecuencias de operación infrabajas no es óptimo desde el punto de vista de varios aspectos técnicos de medición, tales como, la razón señal - ruido, tiempo de medición, estabilidad de parámetros de las componentes analógicas estáticas.

En caso de mediciones en pozos en las frecuencias bajas existen varias causas las cuales producen un nivel bastante alto de ruido. Entre ellas se encuentran: potenciales espontáneos que tienen su origen en procesos electroquímicos y electrocinéticos, polarización de los electrodos metálicos en líneas de medición, cambios de condiciones de medición (posición de la herramienta en el pozo, variaciones del diámetro del pozo). La amplitud del ruido en las frecuencias muy bajas (menor de 1 Hz) que se determina por las fuentes mencionadas puede alcanzar valores de $n10^{-1} \text{ mV/m}$. El espectro de este tipo de ruido depende de la velocidad de desplazamiento de la herramienta en pozo y para las velocidades convencionales de registros eléctricos de 10 cm/s, puede lograr frecuencias de unos Hz.

Para evitar problemas con operaciones en rango de frecuencias bajas en registros eléctricos se realizan mediciones en las frecuencias más altas. Pero en este caso empiezan a funcionar los límites relacionados con el uso de la teoría del campo eléctrico con corriente continua.

La estimación de las frecuencias más altas, para las cuales con cierta exactitud se cumple la aproximación del comportamiento de campo electromagnético como el campo de corriente continua, se puede realizar con base en propagación de ondas electromagnéticas en el medio conductivo.

El campo eléctrico de onda electromagnética [3] que se propaga en la dirección x en el medio homogéneo conductivo se puede presentar en forma

$$E_y = E_0 e^{-\gamma x}$$

donde

$$\gamma^2 = j\omega\mu\sigma - \omega^2\mu\epsilon$$

Considerando el caso del campo casi estacionario cuando $\sigma \gg \omega\epsilon$, es decir, el campo donde predominan procesos de difusión, sino propagación de ondas como en dieléctricas, la constante de propagación es

$$\gamma = \sqrt{j\omega\mu\sigma} = (1+j)\sqrt{\frac{\omega\mu\sigma}{2}}$$

Entonces, γ tiene una parte real y una parte imaginaria.

Haciendo $\gamma = \alpha + j\beta$, se ve que α , la parte real, está asociada con la atenuación y β , la parte imaginaria, esta asociada con la fase. Por lo que

$$E_y = E_0 e^{-\alpha x} e^{-j\beta x}$$

Para obtener una medida cuantitativa de la penetración del campo en un medio conductor describimos la ecuación

$$E_y = E_0 e^{-\frac{x}{\delta}} e^{-j\left(\frac{x}{\delta}\right)}$$

donde

$$\delta = \sqrt{\frac{2}{\omega \mu \sigma}}$$

En $x = 0$, $E_y = E_0$. Esta es la amplitud del campo en la superficie del medio conductor. El parámetro δ tiene las dimensiones de la distancia. A una distancia $x = \delta$ la amplitud del campo es

$$|E_y| = E_0 e^{-1} = E_0 \frac{1}{e}$$

Entonces E_y disminuye en $1/e$ (36.8%) de su valor inicial, mientras que la onda penetra a una distancia δ . Por ello δ se llama la profundidad de penetración $1/e$ y este fenómeno se denomina efecto de piel [3].

El efecto de piel muestra la diferencia de profundidad de investigación en las frecuencias que tienden a cero y frecuencias altas. Usando, por ejemplo, la expresión para el campo eléctrico $E(\omega)$ en el eje del un dipolo eléctrico para

frecuencias ω y distancias r que satisfacen a la condición $|\gamma| \ll 1$ ($E(0)$ es el campo en la frecuencia igual a cero)

$$E = E_0 [1 + e^{-\gamma r} + \gamma r e^{-\gamma r}]$$

obtenemos que para el medio con la resistividad de $1 \Omega\text{-m}$ con error de $\gamma x < 5\%$, la frecuencia de trabajo no tiene que rebasar a 20 Hz para herramientas con la distancia de separación de 3 m. Tomando en cuenta que generalmente la resistividad de medios formados por formaciones de interés es unas veces mayor, se puede realizar mediciones en el rango de frecuencias de 20 – 80 Hz.

TIEMPO DE MEDICIÓN

El tiempo de medición se determina por la velocidad de movimiento de la herramienta y la resolución vertical para detectar las capas delgadas. Es necesario obtener por lo menos 2-4 mediciones contra el estrato caracterizado. Para capas con espesor de 20-25 cm y velocidad de herramienta de 10 cm/s el tiempo de medir el campo en todos los canales corresponde a 500 ms. Este tiempo predetermina prácticamente el parámetro transitorio de procesos dinámicos en filtros. En rango de frecuencias bajas los filtros a utilizar tienen que tener buenas características dinámicas correspondientes al tiempo de 10-20 periodos.

Tomando en cuenta las condiciones ambientales en pozos es necesario destacar que las mediciones deben ser realizadas en las profundidades de unos kilómetros para temperaturas bastante altas. La temperatura, generalmente, se encuentra en el rango de 80 – 120 °C, pero, por lo menos en 10 - 20% de pozos, la temperatura en las profundidades de interés puede rebasar 150 – 170 °C. Entonces para el desarrollo del equipo para registros de pozos hay que usar

técnicas de medición y dispositivos electrónicos que sean adecuados para las condiciones mencionadas.

2.2 MÉTODO DE DETECCIÓN SINCRÓNICA PARA MEDICIONES DEL CAMPO ELECTRICO

Cuando se hacen trabajos de prospección con métodos eléctricos, es importante un método de filtración de señales y de perturbaciones de diferente tipo de naturaleza en una banda de frecuencias bajas. Este problema es muy importante cuando las mediciones se aplican en zonas industriales; cuando las mediciones requieren alta precisión y cuando el tiempo de medición esta limitado, como el caso en que la herramienta se encuentra en movimiento.

Existe una gama amplia de equipos de geoelectrica, en la cual se usan campos armónicos los cuales son prácticamente del mismo tipo y su diferencia consiste solamente en sus bandas de frecuencia utilizadas. Esta clase de equipo para hacerlo universal es necesario tener un filtro en el cual su banda de frecuencia se puede cambiar en una amplia gama de frecuencias. En los equipos multicanales cada canal debe tener sus propios filtros. Realizar este tipo de filtros iguales para varios canales en los cuales se puede seleccionar las frecuencias de operación, no es trivial, sobretodo en la banda de frecuencias bajas e infrabajos.

Dentro de los métodos especializados de procesamiento de señales se encuentra la *Detección Sincrónica* (DS) [6]. La aplicación de este método permite lograr la filtración efectiva de perturbaciones y unificar un equipo de medición para un rango de frecuencias bajas. Esta unificación se consigue porque en el método de DS la señal de medición con frecuencia arbitraria, prácticamente se rectifica sincrónicamente usando la forma de la señal transmitida, y la amplitud de la señal se determina por su componente de CD para lo cual es necesario y suficiente un

filtro paso bajas con función de transferencia fija.

Este sistema de detección sincrónica nos sirve para un sistema multicanal.

Detección Sincrónica es un caso de método de correlación más efectivo en problemas, cuando en mediciones se quieren determinar prácticamente sus características de amplitud y fase de las señales recibidas de cualquier valor ó parámetros que son proporcionales a amplitud y fase, y cuando el restablecimiento exacto de la forma de la señal después de su procesamiento no es importante.

Especialmente en este caso la aplicación de la detección sincrónica es mas perspectivo. Cabe mencionar que en la realización de trabajos de prospección eléctrica es bastante fácil resolver un problema de selección y transmisión de la señal básica, la cual es prácticamente la corriente de línea de excitación AB. La teoría y aplicación del método de DS para sistemas de medición del campo eléctrico fue analizado en (KALININ, MOUSATOV, 1989).

Supongamos que nuestro algoritmo de procesamiento de señal de una función G, esta dado por

$$G = \int_{t_0}^{t_0+\Delta t} f(t)g(t)dt \dots \dots \dots (1)$$

donde: $f(t)$ - señal que procesamos; $g(t)$ - una función de modulación, Δt - tiempo de medición. De la desigualdad de Bunikousky-Schwartz tenemos lo siguiente

$$\int_{t_0}^{t_0+\Delta t} |f(t)g(t)|^2 dt \leq \int_{t_0}^{t_0+\Delta t} f^2(t)dt \int_{t_0}^{t_0+\Delta t} g^2(t)dt \dots \dots \dots (2)$$

Esta desigualdad sigue las conclusiones principales para el método de detección sincrónica cuando $f(t) = pg(t)$, donde p es una constante.

Si se cumple la igualdad de la ecuación parte derecha y parte izquierda, y en este caso la integral de la ecuación de la ecuación (1) logra su máximo valor si $f(t) \neq pg(t)$. Esta integral se disminuye en el límite cuando, las funciones en el intervalo son ortogonales $G=0$.

Ortogonalidad $f(t)$ y $g(t)$ puede ser no sólo secuencia de diferencia en su forma sino como resultado de desplazamiento en dominio del tiempo de dos señales una con respecto a la otra.

En prospección eléctrica, el rango de frecuencias donde se pueden despreciar los cambios de fase en el dominio de frecuencia de las señales de medición es, donde la función de transferencia del medio $\rho_a(j\omega)$ equivale $\rho_a = \text{cte}$.

La forma de corriente entre electrodos de excitación (AB) y la forma de voltaje en línea de recepción (MN) son semejantes, de ahí se puede escribir que la variable informativa ρ_a es

$$\rho_a = K \frac{U(t)}{I(t)} = K \frac{U(t)g(t)}{I(t)g(t)} = K \frac{\int_{t_0}^{t_0+\Delta t} U(t)g(t)dt}{\int_{t_0}^{t_0+\Delta t} I(t)g(t)dt} \dots\dots\dots(3)$$

donde: $U(t)$ - voltaje en línea de recepción MN; $I(t)$ - corriente en línea de transmisión AB; K - coeficiente geométrico.

Para seleccionar la señal $U(t)$ que nos interesa cuando existen perturbaciones es óptimo escoger una función de modulación $g(t)=pI(t)$, donde p es una constante. Sin embargo, tomando en cuenta la complejidad técnica de la realización de operación de multiplicación (sobre todo utilizando elementos analógicos) como función de modulación usualmente se escoge la función $g(t) = p \text{ sign } I(t)$.

A continuación tenemos un resumen de un análisis de las características de selección del detector sincrónico en dominio de frecuencia aplicando a un caso particular pero prácticamente muy importante de funciones binarias con fase controlada.

Suponiendo que en la línea AB hay una corriente $I(t)$, como una secuencia de pulsos $I_0(t)$ binarios de la misma forma y amplitud con duración T_0 y con fase (sentido o polarización) que acepta solamente dos valores 0 ó π , obtenemos

$$I(t) = \sum_{n=0}^{N-1} a_n(t - nT_0)$$

donde: $a_n = e^{j\pi\xi(n)} = \pm 1$; $\xi(n) = 0, 1$ ($\xi(n)$ es una función que determina la ley de modulación de fase).

La señal de medición $f(t)$ es suma de la señal de medición $U(t) = \rho_a k I(t)$ y de perturbaciones y ruido aditivos $\eta(t)$ por lo que

$$f(t) = U(t) + \eta(t) = \sum_{n=0}^{N-1} a_n U_0(t - nT_0) + \eta(t) \dots \dots \dots (4)$$

Usando la función de modulación $g(t) = p \text{ sign } I(t) = p \text{ sign } (a_n)$, en la salida del multiplicador (de un detector sincrónico) obtenemos la señal

$$\Phi(t) = \sum_{n=0}^{N-1} |U_0(t - nT_0)| + \eta(t) \text{sing} a_n$$

La operación para obtener el módulo de la función es bastante fácil realizar técnicamente con varios métodos en lugar de multiplicar señales.

La señal de interés G_u y señal de perturbación G_η en la salida del integrador serán

$$G_u(N) = \int_0^T \sum_{n=0}^{N-1} |U_0(t - nT_0)| dt = NT_0 \bar{U}_0 \dots \dots \dots (5)$$

$$G_\eta(N) = \int_0^T \eta(t) a_n dt \dots \dots \dots (6)$$

donde $T=NT_0$ es el intervalo de tiempo total de excitación de corriente y U_0 es promedio de un pulso en secuencia.

$$U_0 = \int_0^{T_0} U_0(t) dt$$

En la figura 2.1 se muestra como actuaría el método de la detección sincrónica con una señal generada en los electrodos de corriente AB y al realizar la multiplicación con la señal medida en los electrodos de voltaje MN. Se obtiene una señal rectificadas y la señal de ruido a la hora de integrar se elimina.

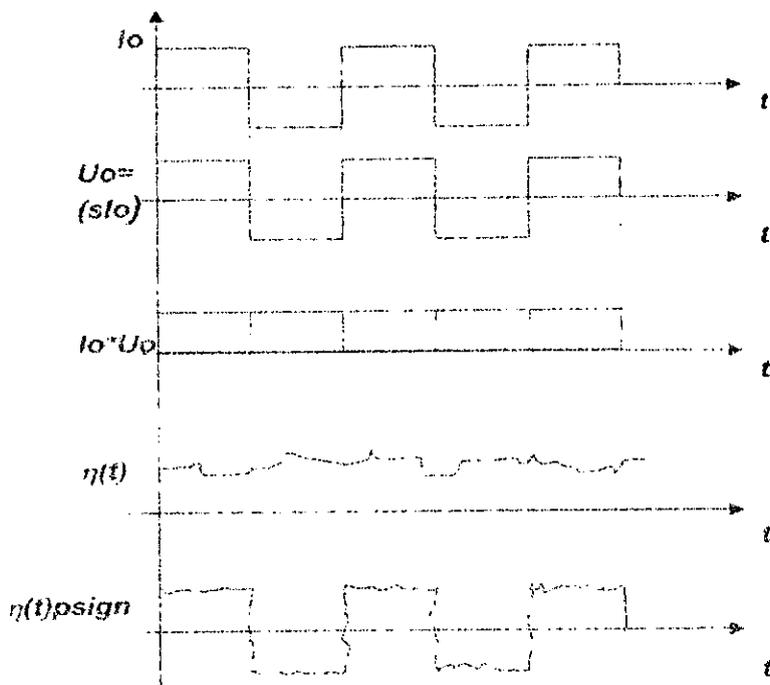


Figura 2.1

Disminuir el error indicado se puede usando como función de modulación las señales seudo-armónicas, los principios de sintetizar las cuales con base en funciones rectangulares son bastante bien desarrolladas y se presentan en literatura.

Tomando en cuenta que para secuencias rectangulares periódicas, la aportación mayor en el error del método que hace el tercer armónico, es conveniente escoger que $\alpha = \pi/6$.

Con base en los estudios y análisis realizados por el Dr. Kalinin y el Dr. Mousatov (KALININ, MOUSATOV, 1989), y por definición el campo eléctrico, de un dipolo en la superficie de un semiespacio homogéneo isótropo es

$$E_x(w) = \frac{I_0 \rho(w)}{2\pi r^3} [1 + e^{-kr} + kre^{-kr}]$$

donde

$$k = \sqrt{-j \frac{w\mu}{\rho(w)}} = \frac{2\pi}{\lambda} \frac{\sqrt{2}}{2} (1-j)$$

es el número de onda y λ longitud de onda, $\rho(w)$ es la resistividad del semiespacio homogéneo y μ permitividad magnética.

Cuando el parámetro $|Kr| \ll 1$ (el error por influencia del efecto de skin tomando en cuenta que usando detección sincrónica se determina parte real del campo electromagnético) obtenemos

$$\rho_a(w) = \rho(0) \left[1 + \frac{1}{24} \left(\frac{\sqrt{2}\pi^3}{\lambda} \right) \right] = \rho(0) [1 + \delta(w)] \dots \dots \dots (7)$$

Para señal poliarmónica del tipo de función rectangular tomando en cuenta que

$$\operatorname{Re} \rho_a(jw) = \rho_a(jw) \cos \varphi(w) + \sum_{n=2}^{\infty} \frac{\rho_a[(2n-1)w] \cos \varphi[(2n-1)w]}{(2n-1)^2} = \rho_a(jw) \cos \varphi(w) (1 - \delta_w)$$

Se puede considerar que la resistividad aparente es

$$\rho_a(w) = \rho(0) \left[1 + \sum_{n=2}^{\infty} \frac{\delta[(2n-1)w]}{\sqrt{2n-1}} \right] \dots \dots \dots (8)$$

Suponiendo formalmente que la resistividad $\rho(w) = \rho(0)$, se puede ver que el error en este caso es muy grande ya que la serie $1/(2n-1)^{1/2}$ no converge.

Si se usa como función de modulación $g_\alpha(t)$ con $\alpha = \pi/6$ y la corriente introducida en forma $I(t) = I_0 \text{sign} w t$, la serie en la ecuación (8) se convierte en serie con signo alterno y se converge rápidamente.

$$\rho_\alpha(w) = \rho(0) \left(\cos \frac{\pi}{6} \left[1 + \sum_{n=2}^{\infty} \frac{\delta[(2n-1)w] \text{sign} \cos \left[(2n-1) \frac{\pi}{6} \right]}{2\sqrt{2n-1}} \right] \right) \dots (9)$$

Usando solamente 5 miembros de la serie de la ecuación (9) obtenemos

$$\rho_\alpha(w) \approx \rho(0) \cos \left(\frac{\pi}{6} \right) [1 + 0.12\delta(w)]$$

Es decir, la sumatoria del error será casi en un orden menor que el error $\delta(t)$ para la señal mono-armónica. Las expresiones obtenidas para estos casos van a tener lugar prácticamente a partir del número de periodos mayor de 15-20.

Entonces el método de detección sincrónica con función de modulación en forma rectangular es técnicamente bastante sencillo y por otro lado permite alto grado de unificación del equipo de medición para diferentes métodos de prospección eléctrica (sobretudo multicables) con alta selectividad con respecto a las perturbaciones regulares y casuales en amplio rango de frecuencias.

2.3 ESTRUCTURA GENERAL DEL EQUIPO

Con base en los análisis de los requerimientos técnicos y método de filtración se puede definir la estructura general del sistema multicanal para registros eléctricos de pozos. El equipo tiene que consistir en los siguientes bloques:

- Multiplexor
- Amplificador
- Convertidor analógico – digital.
- Bloque de control.
- Generador
- Fuentes de energía.

Multiplexor

El bloque de multiplexor permite en una manera secuencial transmitir las señales eléctricas desde los electrodos receptores al canal de amplificación y de conversión analógica - digital. Para realizar mediciones tanto del potencial del campo eléctrico como de sus derivadas el bloque de multiplexión debe posibilitar conmutación de 16 entradas diferenciales a una sola salida. Las características técnicas del multiplexor tienen que permitir transmitir las señales en el amplio rango dinámico, aproximadamente de $n10^5 - n10^1 \mu V$.

Amplificador

El bloque de amplificador está incluido en la estructura del sistema como un adaptador de niveles de señales entre la salida del multiplexor y la entrada del convertidor analógico – digital (CAD). El uso del único acondicionador está basado en la aplicación de convertidores de alta resolución combinando con un

procesamiento digital para filtración de señales. En este caso se puede evitar los problemas relacionadas con la construcción e identidad de los acondicionadores específicos (amplificadores y filtros) para cada canal. La característica importante del amplificador es su función transitoria (tomando en cuenta la resolución de CAD) que determina el intervalo de tiempo para cambio de ganancias.

Convertidor

El convertidor CAD permite transformar las señales analógicas acondicionadas en las señales digitales para su procesamiento numérico. La resolución necesaria del convertidor es de 16 bits como fue anteriormente mencionado. El tiempo de conversión se puede estimar tomando en cuenta las frecuencias de operación (20 – 80 Hz) y cantidad de canales (16). Basándose en el Teorema de muestreo de Nyquist [7], que indica que la frecuencia del muestreo debe ser en 2 veces mayor de la frecuencia máxima del espectro limitado de la señal, obtenemos que la frecuencia de muestreo es de 2560 Hz y tiempo de conversión es menor de 400 μ s. Usando la frecuencia de operación de 30 Hz y el método de detección sincrónica, además suponiendo que el espectro de ruido se delimita por el tercer armónico de la frecuencia industrial de 60 Hz, es conveniente utilizar dispositivos electrónicos con tiempo de conversión menor que 100 μ s.

Bloque de control

El bloque de control tiene que mantener el funcionalmente general del equipo incluyendo las siguientes funciones principales:

- Inicio y finalización del trabajo
- Transmisión de los parámetros programables y los datos obtenidos
- Formar la secuencia del cambio del signo de la señal de generador

- Formar comandos necesarios para el multiplexor (cambio de canales), el amplificador (cambio de ganancias) y convertidor CAD (inicio de conversión y lectura de datos).
- Realizar procesamiento usando el método de detección sincrónica

Generador

El bloque del generador sirve para crear el campo eléctrico en el pozo. El generador forma las señales rectangulares por comandos del bloque de control. Se puede aplicar dos tipos de generadores: con la amplitud de la corriente estabilizada o con la medición de corriente usando uno de los canales de medición. En el último caso no debe existir contactos galvánicos entre líneas de medición y el generador.

Fuente de energía

Las fuentes de energía debe proporcionar los voltajes estabilizados necesarios para la función normal de todos los bloques del sistema incluyendo el generador.

En la tesis presente se considera solamente parte de sistema de adquisición de datos; el desarrollo del generador y las fuentes de energía no fue contemplado en marco de trabajos realizados.

3

DESARROLLO DEL SISTEMA DE ADQUISICIÓN MULTICANAL PARA REGISTROS ELECTRICOS

3.1 DESCRIPCIÓN DEL SISTEMA DE ADQUISICIÓN DE DATOS

El sistema de adquisición de datos [8] esta formado por dos bloques principales, uno será el bloque analógico y el otro el bloque digital (Fig. 3.1).

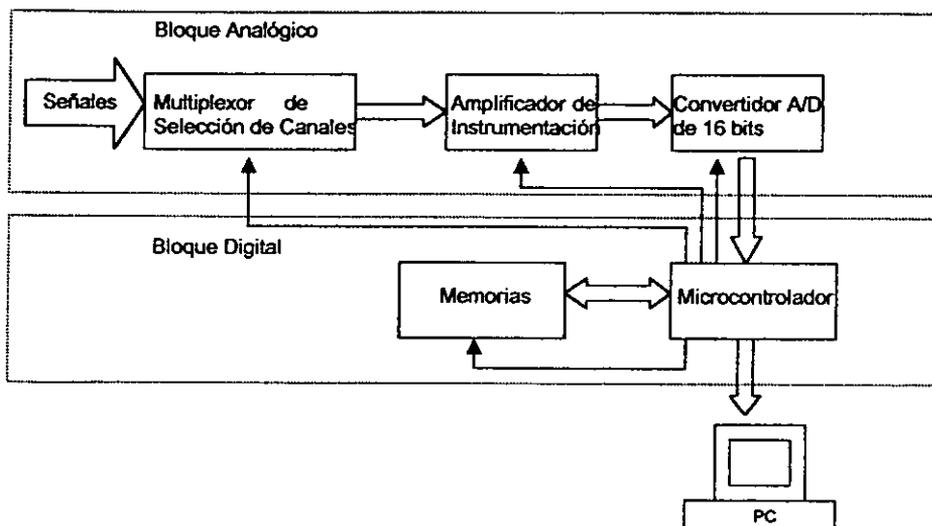


Figura 3.1

El bloque de la etapa analógica, técnicamente fue realizado en una sola tarjeta y consiste en varios módulos.

El primer módulo corresponde al Multiplexor de Selección de Canales, el cual tendrá como objetivo llevar a cabo el multiplexaje de las señales eléctricas

provenientes de los electrodos receptores de entrada, obteniéndose a la salida la señal del canal que fue seleccionado por medio del bus de direcciones, que es controlado por el microcontrolador.

El módulo Amplificador de Instrumentación realiza la adecuación de la señal multiplexada. La adaptación de los niveles de voltaje se realiza con la selección de la ganancia que es elegida. Esta selección de la ganancia es cambiada por medio del microcontrolador.

El módulo final Convertidor A/D de 16 bits se encargará de la conversión de las señales analógicas acondicionadas del canal de amplificación para su posterior manejo y procesamiento. Este módulo nos entregara un valor en forma binaria con una longitud de palabra equivalente a un nivel de voltaje del canal que fue previamente seleccionado. Todo el funcionamiento tanto de calibración y muestreo lo lleva a cabo el microcontrolador.

El bloque de la etapa digital fue armado en la segunda tarjeta del sistema de adquisición y cuenta con dos módulos.

El primer módulo corresponde al Microcontrolador, el cual tendrá como objetivo organizar y controlar las acciones de los demás módulos. Así que, llevara a cabo la inicialización del establecimiento de los parámetros de funcionamiento que se introducen por medio de la interfaz gráfica a través de la computadora. Permitirá la comunicación en las tarjetas, establecerá el manejo de los datos, procesamiento y transmisión.

El módulo de Memorias tiene como función el almacenamiento del programa de control y procesamiento, así como el almacenamiento de los datos una vez ya procesados.

3.2 MODULOS DEL BLOQUE ANALÓGICO

Multiplexor

Este módulo realiza la adquisición en 16 canales con una señal eléctrica por canal, por medio del método Multiplexación por División de Tiempo (TMD) [7].

Esta técnica de multiplexaje consiste en aprovechar los tiempos entre los distintos muestreos para poder hacer un cambio de canal. La unidad multiplexora selecciona secuencialmente una a una cada señal de entrada (del 1º al 16º) que después es introducida al módulo del Amplificador de Instrumentación.

El dispositivo del multiplexor [9] empleado para este sistema es el HI-516 de Harris Semiconductor (Apéndice C) como el que se muestra en la figura 3.2.

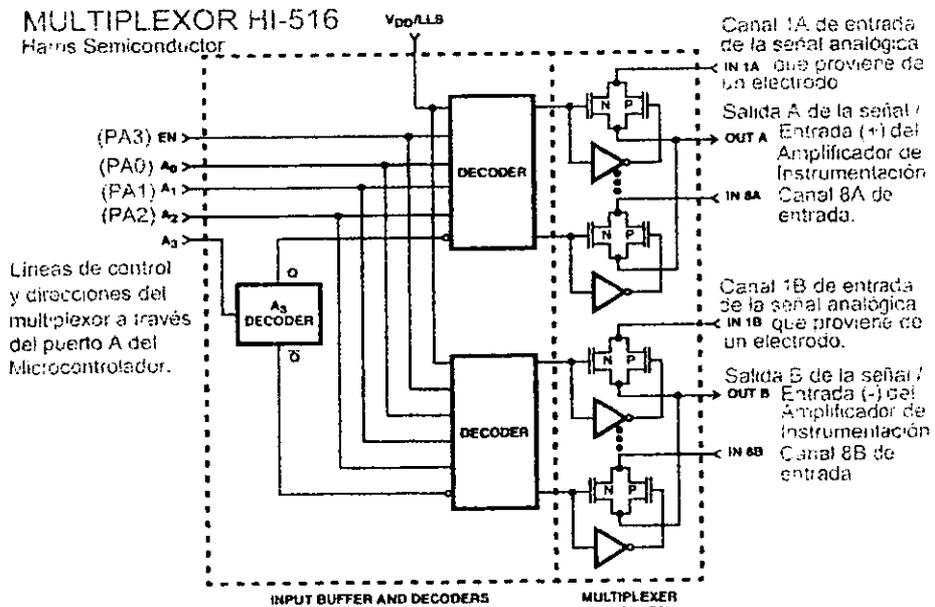


Figura 3.2

Este es un multiplexor analógico de 16 canales / 8 canales diferenciales, de tecnología CMOS de alta velocidad. Para el sistema se utilizaron dos multiplexores conectados entre sí en sus líneas de control y direcciones, cada uno en su modo de 8 canales diferenciales para obtener los 16 canales diferenciales requeridos.

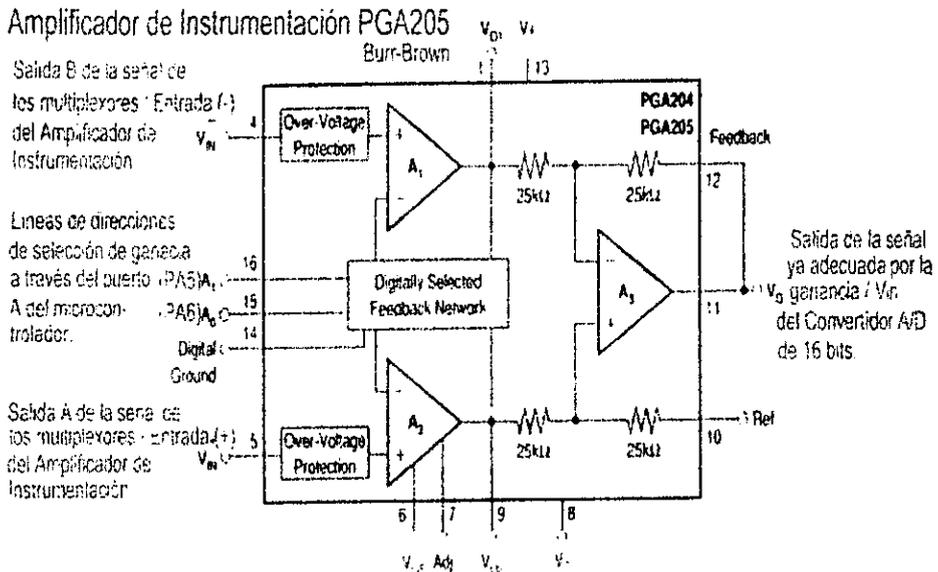
El HI-516 está dielectricamente aislado y ofrece la selección de un canal único, más la inhibición de la entrada por la deshabilitación de los canales. Esto es importante ya que de esta forma podemos seleccionar el trabajar solamente con los 8 canales diferenciales de un multiplexor, mientras el otro está deshabilitado y viceversamente. También, el tener la salida 'out A' de un multiplexor conectada a la salida 'out A' del otro multiplexor, de la misma manera la salida 'out B' de un multiplexor con la salida 'out B' del otro, da como resultado una sola salida diferencial que será introducida al canal de amplificación para su adecuación. La selección de cada canal es llevado a cabo con las líneas de direcciones y control por medio del puerto A del microcontrolador.

Por sus características (Apéndice C) el dispositivo es muy apropiado para sistemas de adquisición de datos de alta velocidad, instrumentación de precisión, y procesos de control industrial.

Además, sobre la base de lo visto en el capítulo 2, este dispositivo tiene un tiempo de restablecimiento de 250ns (0.1 %), también cuenta con extensiones de rango militar MIL-STD-883 y en la versión H11-0516-2 el rango de temperatura es de -55°C a +125°C, óptimo para nuestra aplicación. El rango de voltajes que soporta para las señales analógicas de entrada es de (V-) -2V a (V+) +2V, donde V+ y V- son los valores de voltaje de las fuentes de polarización empleadas, cuyos valores son de V+ = 12V y V- = -12V.

Amplificador de Instrumentación

En nuestra aplicación la señal de voltaje que sale de los multiplexores es introducida al amplificador de instrumentación [10]. El dispositivo de Amplificador de Instrumentación seleccionado para nuestro sistema es el PGA205 de Burr-Brown (Apéndice C) que se muestra en la Fig. 3.3.



El PGA205 es un amplificador de instrumentación de ganancia programable de bajo costo, de propósito general que tiene excelente exactitud. Sus ganancias son digitalmente seleccionadas por medio de las líneas de selección a través del microcontrolador. Los valores de las ganancias se presentan en la Tabla 3.1

Las líneas de selección de ganancia pueden ser de tipo TTL ó CMOS. Cuenta además con una protección interna de entrada que puede soportar hasta ± 40 V de entradas analógicas sin dañarse y su tiempo de restablecimiento del dispositivo es de: $22\mu s$ con $G = 1$ y de $28\mu s$ con $G = 8$. Esto es importante ya que entre

cada multiplexación de cada señal hay que considerar este tiempo.

GAIN			
PGA204	PGA205	A ₁	A _n
1	1	0	0
10	2	0	1
100	4	1	0
1000	8	1	1

TABLA 3.1

Otras características importantes son su bajo voltaje de offset de $50\mu\text{V}$ y un drift de $0.25\ \mu\text{V}/^\circ\text{C}$. Esto evita el tener que hacer ajustes de voltaje de salida externo con la ayuda de otros circuitos y una alta razón de rechazo en modo común de 112 dB a una ganancia de $G=8$. Este amplificador de instrumentación cuenta con un rango de temperatura de operación de -40°C a $+125^\circ\text{C}$, óptimo para nuestra aplicación tomando en cuenta las condiciones de medición en el pozo previamente vistas en el capítulo 2. Los valores de las fuentes de alimentación son de $V+ = 12\text{ V}$ y $V- = -12\text{ V}$.

Convertidor Analógico-Digital

Un convertidor analógico - digital (CAD) [9] toma un voltaje de entrada de una señal analógica y después de un intervalo de tiempo produce en su salida un código binario que representa el valor del voltaje de entrada analógico en forma digital (Fig. 3.4).

En el proceso de captura de una señal que cambia rápidamente de valor, se puede generar un error significativo en el valor de dicha señal antes de que termine la conversión.

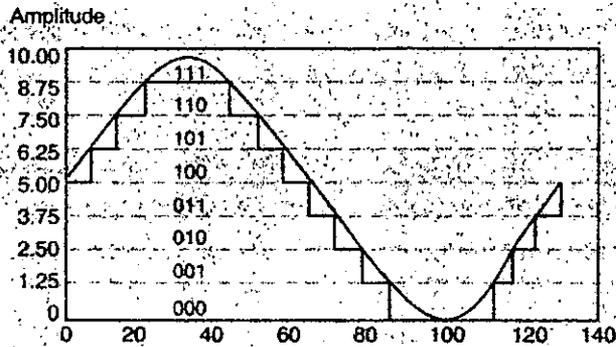


Figura 3.4

Este problema se resuelve implantando en el CAD un circuito que se denomina muestra y retención (sample and hold). Este circuito cuenta con un interruptor electrónico de alta velocidad usado para tomar la muestra de la señal y circuito capacitivo, seguido de un amplificador de ganancia unitaria, para mantener constante el valor de la señal que se muestreo en el transcurso de la conversión.

La precisión y resolución son dos características más importantes del CAD. La precisión indica que tan cercano es el valor medido respecto al valor real y la resolución corresponde al número máximo de códigos del convertidor.

En la técnica de conversión analógico-digital se han creado y utilizado muchos métodos.

Existen convertidores que usan el método de integración, o sistema contador de incrementos. Entre los más conocidos están el de integración (o rampa) simple y el de integración (o pendiente) doble; siendo este último una clase de convertidor de voltaje a frecuencia. Otro tipo de convertidores llamados servosistemas digitales (en analogía con métodos de control por retroalimentación y búsqueda de error cero de servomotores),

utilizan un convertidor digital-analógico (CDA) en la trayectoria de retroalimentación. Uno de los más importante es del tipo de aproximaciones sucesivas [9].

Hay otros basados en comparación directa de niveles, que frente a los métodos anteriores resulta incuestionablemente más rápido, pero tienen menor resolución y más elaborados y costosos.

En nuestro sistema, el CAD de aproximaciones sucesivas es la mejor opción, ya que su tiempo de conversión es mas corto y fijo (no depende del valor de entrada analógica).

Dentro de los CADs comerciales que cumplen con tener circuitos que pueden operar en rango de temperatura alto, con una resolución de 16 bits y muy rápido se encuentra el AD677 de Analog Devices (Apéndice C) que se muestra en la Fig. 3.5.

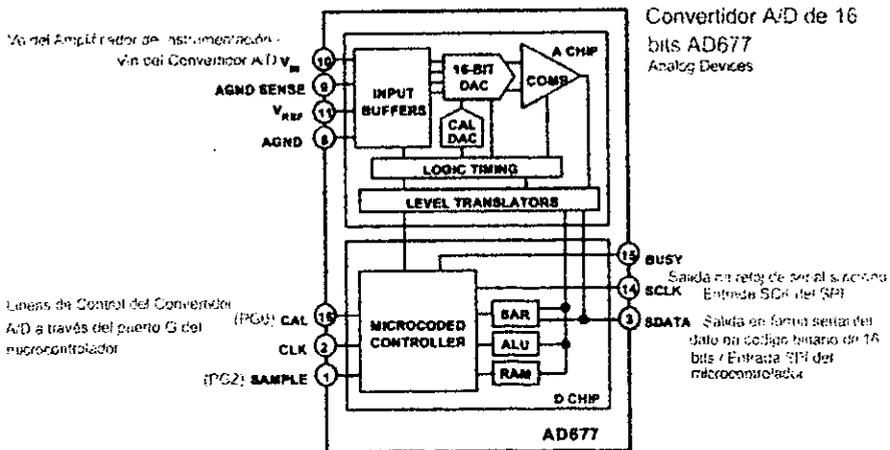


Figura 3.5

El *AD677* es un convertidor de multipropósito de 16 bits con salida serial el cual utiliza una arquitectura de redistribución de carga con capacitores-switcheados que alcanza 100 kSPS en promedio de conversión (Tiempo total de conversión 10 μ s).

Este tiempo de conversión es muy importante ya que el sistema en lo que respecta a la etapa adquisición y procesamiento, se trabaja en función de un intervalo de tiempo fijo para cada muestra. Esto obliga realizar todo el proceso dentro del intervalo de tiempo ya definido. El intervalo entre los muestreos es de 130.20 μ s. que se determina tomando en cuenta la frecuencia de operación de 30 Hz (Capítulo 2), la cantidad de 16 muestras por un periodo y 16 canales.

La salida de datos es en forma serial (SDATA) en sincronía con un reloj serial (SCLK), esto nos da la facilidad de poder interconectar el convertidor a la interface periférica serial del microcontrolador como un subsistema de comunicación independiente. Para poder realizar esta comunicación se tuvo que implementar un arreglo de registros seriales adicionales externos porque la frecuencia de operación del convertidor mínima es de 2Mhz y la del SPI del microcontrolador es de 2Mhz máxima.

El *AD677* esta especificado para ac, parámetros tales como el promedio de $S/(N+D)$, Distorsión Total de Armónicos (THD) y Distorsión de Intermodulación (IMD) los cuales son importantes en aplicaciones de procesamiento de señales. Todo el desempeño es optimizado por la corrección digital interna de las no-linearidades a través del chip de autocalibración.

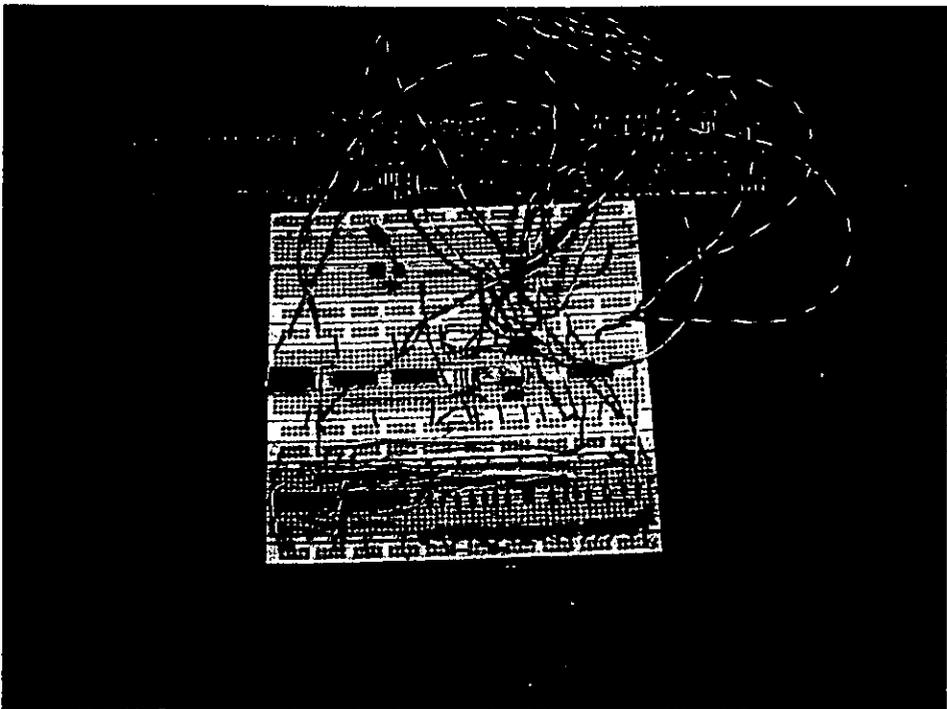
El *AD677* opera con fuentes desde +5V y \pm 12V y típicamente consume 450 mW utilizando un voltaje de referencia de 10 V y 360 mW durante la conversión. La fuente digital (V_{DD}) esta separada de las fuentes analógicas (V_{CC}, V_{EE}) para evitar el cruce en la comunicación.

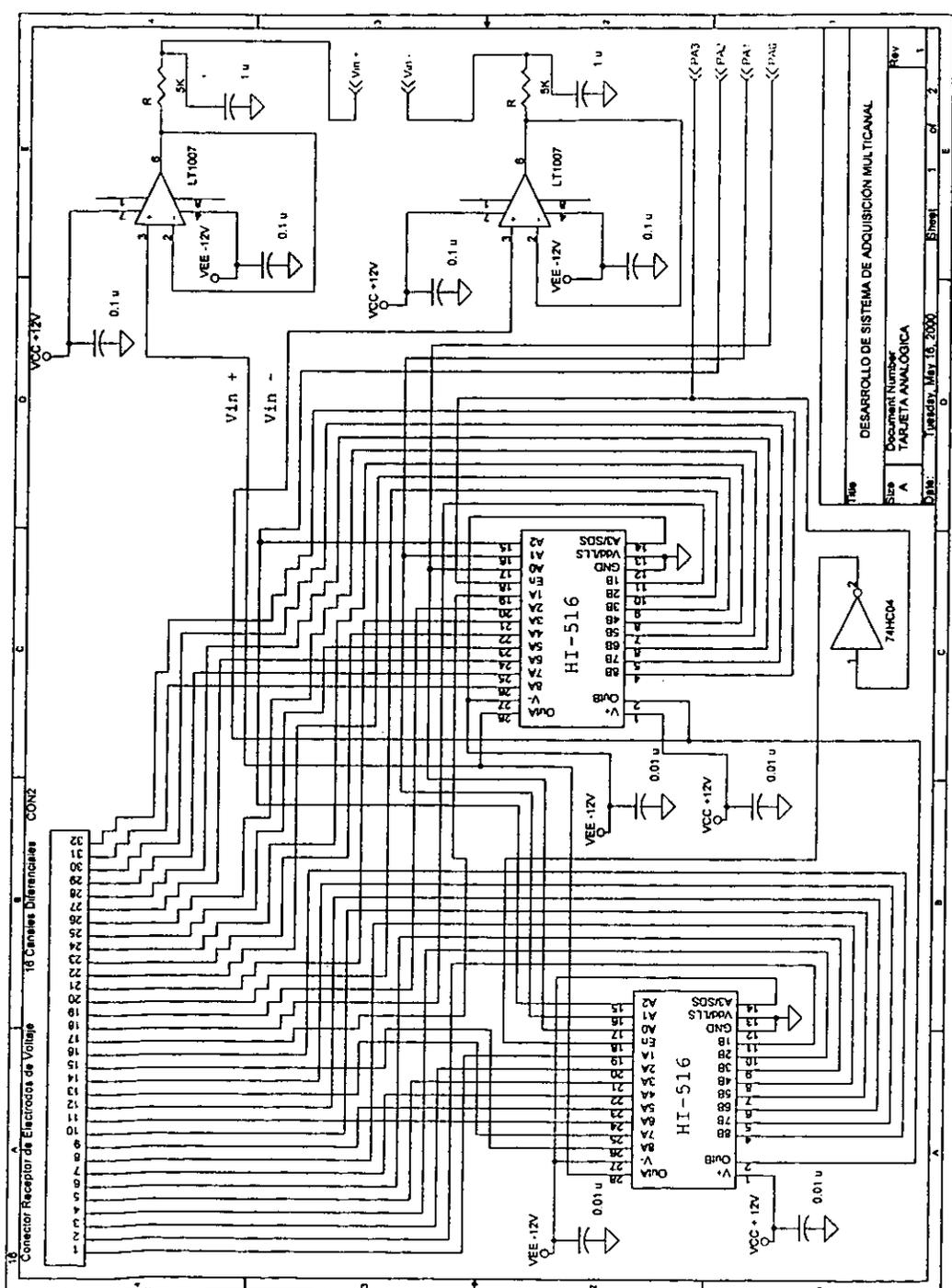
El sistema de autocalibración provee un excelente desempeño de dc mientras elimina la necesidad de ajustes por el usuario o circuitos adicionales externos. El rango del voltaje de entrada esta determinado por $\pm V_{REF}$.

Las entradas y salidas son compatibles con TTL. Tiene un excelente desempeño de ac: -99dB THD y 92 dB S/(N+D) con un error máximo de ± 4 LSB a un promedio de muestreo de 100 kSPS y un Drift de Temperatura de escala completa tanto positiva como negativa de ± 0.5 LSB. Cuenta con extensiones de rango militar (-40 °C a +125 °C).

Las Tarjetas fueron especialmente fabricadas tomando en cuenta condiciones de pozos y estandares de equipos de registros de pozos.

Tarjeta Analógica





Title: DESARROLLO DE SISTEMA DE ADQUISICIÓN MULTICANAL
 Size: A
 Document Number: TARJETA ANALÓGICA
 Date: 1998, May 18, 2000

Sheet	1	of	2
Rev	1		

18 Canales Diferenciales CON2

- 32
- 31
- 30
- 29
- 28
- 27
- 26
- 25
- 24
- 23
- 22
- 21
- 20
- 19
- 18
- 17
- 16
- 15
- 14
- 13
- 12
- 11
- 10
- 9
- 8
- 7
- 6
- 5
- 4
- 3
- 2
- 1

3.3 MODULOS DEL BLOQUE DIGITAL

Microcontrolador

Los microcontroladores [11] son computadoras digitales diseñadas a supervisar, manejar, monitorear, y controlar varios procesos en la industria, negocios, defensa, aeroespacio y otras áreas de aplicación. La potencialidad extraordinaria de los microcontroladores permite reducir el tiempo y costo empleado en el desarrollo de un proyecto, esto los hace ser más fiables y a su vez permiten reducir considerablemente los elementos de hardware empleados para un proyecto.

Un microcontrolador es un circuito integrado (CI) de una gran escala de integración (LSI) extremadamente complejo, que tiene la capacidad de ser programable. Está constituido ente de los siguientes bloques:

- Unidad Aritmética Lógica.
- Registros.
- Memoria.
- Puertos de comunicación.
- Temporizadores.
- Control.
- Convertidores Analógico-Digitales.

Existen varias marcas de microcontroladores que se encuentran en el mercado como: *Motorola, Intel, National, Microchip, etc.*

Sobre la base de sus características, bajo costo, arquitectura y rango de temperatura de operación (-55°C - +125°C) en algunas versiones. Los microcontroladores que pueden servir para este sistema son los de la familia de

68HC11 de Motorola, 80C51 de Intel y COP de National.

La utilización de un recurso ya disponible como la tarjeta CMT SIMMP-2 [12] y software de desarrollo PUMMA para el microcontrolador *68HC11 de Motorola*, desarrollado por M.I. Antonio Salvá Calleja de la Facultad de Ingeniería de la UNAM, ayudo a la construcción de una tarjeta de acuerdo a nuestras necesidades.

La familia *68HC11 de Motorola* está formada por un grupo sofisticado de microcontroladores de 8 bits, con tecnología HCMOS, con velocidad de *bus* nominal de 2 MHz. Las características generales de la familia son:

- Un sistema de memoria de 8 Kbytes de memoria ROM, 512 bytes de memoria EEPROM y 256 bytes de memoria RAM.
- Un puerto de 8 líneas multiplexadas a un convertidor analógico-digital con una resolución de 8 bits.
- Sistema de monitoreo tipo *watchdog* de la circuitería interna del circuito integrado, para prevenir fallas.
- Una *interface* para comunicación serial asíncrona SCI y una *interface* para periféricos seriales síncronos SPI.
- El sistema principal de reloj tiene tres líneas de captura de entrada, 5 líneas de salida de comparación y una función real para interrupción.
- Subsistema acumulador de pulsos de 8 bits, capaz de contar y/o convertir eventos externos con ó sin periodicidad, entre otras aplicaciones.
- Por medio de *software*, *WAIT* y *STOP*, es posible controlar la potencia requerida por el CI.

El conjunto de instrucciones es completamente compatible con toda la familia, por si se desea cambiar a otra versión. Así mismo algunas instrucciones son tan versátiles que permiten ejecutar varias operaciones que sean dadas por una sola

instrucción.

En la Tabla 3.2 se muestra las características de los principales miembros de la familia de microcontroladores de *MOTOROLA 68HC11* (Apéndice B).

	68HC11A8	68HC11 E9	68HC11E2	68HC11F1	68HC11 A8	68HC11D3	68HC11E9
ROM	8k	12 K	0	0	8K EEPROM	4K EEPROM	12K EEPROM
RAM	256	512	256	1 K	256	192	512
EEPROM	512	512	2K	512	512	0	512
RELOJ	16 BIT	16 BIT	16 BIT	16 BIT	16 BIT	16 BIT	16 BIT
SPI	SI	SI	SI	SI	SI	SI	SI
SCI	SI	SI	SI	SI	SI	SI	SI
A/D	SI	SI	SI	SI	SI	NO	SI
INT. T. REAL	SI	SI	SI	SI	SI	SI	SI
WATCH DOG	SI	SI	SI	SI	SI	SI	SI
ENCAP. SULADO	PLCC 52 DIP48	PLCC 52	PLCC 52	PLCC 68	PLCC 52	PLCC 44 DIP40	PLCC 52
I/O	38	38	38	30	38	32	38
VEL. DEL BUS MHz	0-2.1	0-2.1	0-2.1	0-4.2	0-2.1	0-2.1	0-2,1

TABLA 3.2

En la tabla se puede apreciar que el microcontrolador que tiene mas recursos es el *MC68HC11F1*, y fue el que se utilizo para este sistema ya que nos ofrece lo siguiente:

- Sistema de Timer expandido de 16 bits con preescalador programable de cuatro estados.
- Interface de Comunicación Serial (SCI).
- Convertidor Analógico-Digital de 8 bits.
- Bloque de protección para EEPROM y Config.
- Bus expandido no multiplexado.
- Direccinamiento de memoria de 64k.

- Interface Serial Periférica (SPI).
- 512 bytes de EEPROM.
- 1024 bytes de RAM estática.
- Chip Select programables.
- Sistema de Watchdog.
- Circuito Acumulador de Pulsos de 8 bits.
- Circuito de Interrupción de Tiempo Real.

El rango de temperatura de operación en las versiones *MC68HC11F1MFN3* y *MC68HC11F1MFN2*, es de -40°C a $+125^{\circ}\text{C}$ (Tabla 3.3). Es importante esta característica ya que dentro de las condiciones de pozo (Capítulo 2), el microcontrolador a utilizar debe ser capaz de soportar altas temperaturas. Esto obliga a utilizar un microcontrolador que tenga extensiones de rango militar.

Description	Package	Temperature	Frequency	MC Order Number		
NO ROM, 512 Bytes EEPROM, 1024 Bytes RAM	80-Pin LQFP (14 mm X 14 mm, 1.4 mm thick)	-40° to $+85^{\circ}\text{C}$	2 MHz	MC68HC11F1CPU2		
			3 MHz	MC68HC11F1CPU3		
			4 MHz	MC68HC11F1CPU4		
		-40° to $+105^{\circ}\text{C}$	2 MHz	MC68HC11F1VPU2		
			3 MHz	MC68HC11F1VPU3		
			4 MHz	MC68HC11F1VPU4		
		-40° to $+125^{\circ}\text{C}$	2 MHz	MC68HC11F1MPU2		
			3 MHz	MC68HC11F1MPU3		
			4 MHz	MC68HC11F1MPU4		
			68-Pin PLCC	-40° to $+85^{\circ}\text{C}$	2 MHz	MC68HC11F1CFN2
					3 MHz	MC68HC11F1CFN3
					4 MHz	MC68HC11F1CFN4
-40° to $+105^{\circ}\text{C}$	2 MHz			MC68HC11F1VFN2		
	3 MHz			MC68HC11F1VFN3		
	4 MHz			MC68HC11F1VFN4		
-40° to $+125^{\circ}\text{C}$	2 MHz			MC68HC11F1MFN2		
	3 MHz			MC68HC11F1MFN3		
	4 MHz			MC68HC11F1MFN4		

TABLA 3.3

Aunque el HC11 opera principalmente en modo expandido, cuenta con dos pines MODA y MODB para seleccionar uno de los dos modos normales de operación ó uno de los dos modos especiales de operación. Los modos normales de operación

son el single-chip y el modo expandido no multiplexado. Los modos de operación especiales son el bootstrap y el modo de prueba. Los modos de operación pueden ser seleccionados según la Tabla 3.4

MODA	MODB	Modo de Operación
0	0	Especial Bootstrap
0	1	Normal Single-Chip
1	0	Especial Test
1	1	Normal Expandido

TABLA 3.4

El microcontrolador se utilizó en modo expandido no multiplexado. En este modo de direccionamiento el MCU puede direccionar hasta 64K bytes de espacio de memoria.

En el modo expandido no hay memoria de programación interna y el bus es no-multiplexado. La memoria consiste principalmente de 64K de capacidad de direccionamiento externo disponible para el usuario. Dentro del chip se cuenta con 1k de RAM estática, 512 bytes de EEPROM y 96 bytes de registros de control y status, todos ellos pueden ser remapeados a cualquiera de los 4K límites en memoria. Además 256 bytes de ROM bootloader que están presentes sólo en modo especial bootstrap.

La memoria RAM [9] (Random Access Memory) ó Memoria de Acceso Aleatorio, es una memoria de lectura-escritura en donde cualquier localidad de memoria se puede acceder fácilmente como cualquier otra. Es una memoria de almacenamiento temporal de datos. Si se interrumpe el suministro de energía la información almacenada en ellas se pierde.

En nuestro sistema esta memoria servirá de almacenamiento de los parámetros de configuración del sistema y de los datos que arrojará el convertidor analógico-

digital ya una vez procesados por el microcontrolador, para que después estos datos sean enviados a través de la interface de comunicación RS-232 estándar a la computadora y ser visualizado en la interfaz gráfica del sistema.

La memoria ROM [9] (Read Only Memory) ó Memoria de Solo Lectura es una memoria que esta diseñada para almacenar datos e información que no cambiaran durante la operación del sistema.

En nuestro sistema la ROM servirá para almacenar el programa que se empleará para el control y procesamiento de todo el sistema.

Los bits de dirección de mayor orden son los pines de salidas del puerto B, y los bits de dirección de menor orden son los pines de salida del puerto F. El bus bidireccional de datos aparece en el puerto C. El pin de lectura/escritura (R/W) es usado para controlar la dirección de transferencia de datos en el bus del puerto C. La programación del chip select esta disponible en los bits de mayor orden del puerto G.

Las 54 líneas de entrada y salida (I/O) están ordenadas en seis puertos de 8 bits (puertos A,B,C,D,E,F y G) y un puerto de 6 bits (puerto D). Como se empleo el modo expandido, los puertos quedaron de la siguiente forma:

- Puerto F y B: Bus de direcciones para la RAM y ROM externa.
- Puerto C: Bus de datos de la RAM y ROM externa.
- Puerto A: Para control de los multiplexores, amplificador de instrumentación, switch y generador
- Puerto G: Dos pines para el convertidor analógico-digital externo.
- Puerto D: Utilización del SCI para transmisión y recepción de datos tanto de la tarjeta digital a la interfaz de la computadora y viceversa. Utilización del SPI para la recepción de dato que arroja el convertidor analógico-digital externo a través de la tarjeta analógica a la tarjeta digital.

Se empleo el puerto A para casi todo el control porque es un puerto de I/O de propósito general de 8 bits con un registro de datos (PORTA) y un registro de dirección de datos (DDPA). En adición, el puerto A puede ser configurado para funciones de entrada de captura de timer (IC), funciones de salida de comparación de timer (OC), y funciones de acumulador de pulsos, aunque en este caso no se empleo esa función.

El puerto A puede ser leído en cualquier momento. Si se escribe en el puerto A, este almacena los datos en un latch interno. Escribir en el puerto A no cambia el estado del pin cuando este esta configurado como salida de comparación de timer.

Cuando el puerto A es configurado como I/O de propósito general, el DDRA (registro de dirección de datos) controla la dirección de datos de los pines I/O como sigue:

- 1 = Configura a cualquiera de los pines del puerto A como salida.
- 0 = Configura a cualquiera de los pines del puerto A como entrada.

- PA₀ → Línea A₀ de Dirección del Multiplexor.
- PA₁ → Línea A₁ de Dirección del Multiplexor.
- PA₂ → Línea A₂ de Dirección del Multiplexor.
- PA₃ → Línea E_N de Control del Multiplexor.
- PA₄ → Línea de Control del Generador.
- PA₅ → Línea A₁ de Dirección del Amplificador de Instrumentación.
- PA₆ → Línea A₀ de Dirección del Amplificador de Instrumentación.
- PA₇ → Línea S₀ de Selección del Canal del Multiplexor Analógico del circuito de adecuación externo SPI-CAD.

En el caso del puerto G sólo se emplearon dos pines del puerto, el pin PG₀ (Para el pin CAL del CAD externo) y PG₂ (Para el pin SAMPLE del CAD externo).

El puerto G es un puerto de I/O de propósito general de 8 bits, cuenta con un registro de datos (PORTG) y un registro de dirección de datos (DDRG). Los cuatro bits de mayor orden son opcionalmente usados como salidas de chip-select en modo expandido. Cuando cualquiera de estas líneas no esta siendo usada para un chip-select, esta puede ser usada como I/O de propósito general.

Cuando el puerto G es configurado como I/O de propósito general, el DDRG (registro de dirección de datos) controla la dirección de datos de los pines I/O como sigue:

1 = Configura a cualquiera de los pines del puerto G como salida.

0 = Configura a cualquiera de los pines del puerto G como entrada.

Cuando se escribe un dato en el puerto G, este es almacenado en un latch interno. Escribir en el puerto G no cambia el estado del pin cuando el pin asociado es configurado como chip-select. Si un pin del puerto G es cambiado a salida de propósito general escribiendo el bit correspondiente en el DDRG, o deshabilitando un chip-select, el pin maneja el último valor escrito en el latch interno del puerto G.

El chip-select forza el estado de I/O, a ser una salida para cada línea del puerto G asociada con un chip-select deshabilitado. En este caso, los bits del DDRG no son cambiados y no tienen efecto sobre estas líneas. El DDRG regresa el control del estado de I/O de un pin cuando la función de chip-select asociada es deshabilitada.

La Interface de Comunicación Serial (SCI) que esta dentro del puerto D nos sirve para la transmisión de los datos contenidos en la memoria RAM externa a la interfaz gráfica de la computadora, así como para la comunicación a través de la interfaz gráfica desde la computadora al propio microcontrolador para establecer los parámetros de configuración del sistema.

El SCI es un transmisor - receptor asincrónico universal (UART), uno de los dos subsistemas independientes seriales de I/O del MCU. Tiene un formato standard de no retorno a cero (NRZ) (un bit de comienzo, ocho o nueve bits, un bit de paro). Varios baudajes están disponibles. El SCI transmisor - receptor es independiente, pero usa el mismo formato de datos y promedio de bits.

La Interface Periférica Serial (SPI), se utilizo para la recepción del dato que es arrojado por el CAD externo y después es leído para ser procesado, almacenado y finalmente transmitido.

Una de las razones del uso del SPI es porque este subsistema de comunicación serial independiente permite al MCU comunicarse sincronamente con los dispositivos periféricos, como registros de corrimiento de lógica TTL, controladores de display de cristal líquido (LCD), subsistemas de conversión analógica-digital, y otros microprocesadores.

El SPI también es capaz de una comunicación inter-procesador en un sistema maestro múltiple. El SPI puede ser configurado como maestro o como dispositivo esclavo. Cuando es configurado como maestro, el promedio de la transferencia de datos puede ser tan alto como el promedio del reloj E-clock. En el modo esclavo, la transferencia de datos puede ser tan rápida como el promedio del reloj E-clock.

La frecuencia máxima de operación que soporta el SPI es de 2Mhz y el CAD externo opera con una frecuencia mínima de 2 Mhz por lo que era necesario agregar circuitos externos para su conexión (Fig. 3.6).

En caso de conexión directa, pruebas experimentales mostraron que los procesos de recepción no eran estables.

MC68HC11

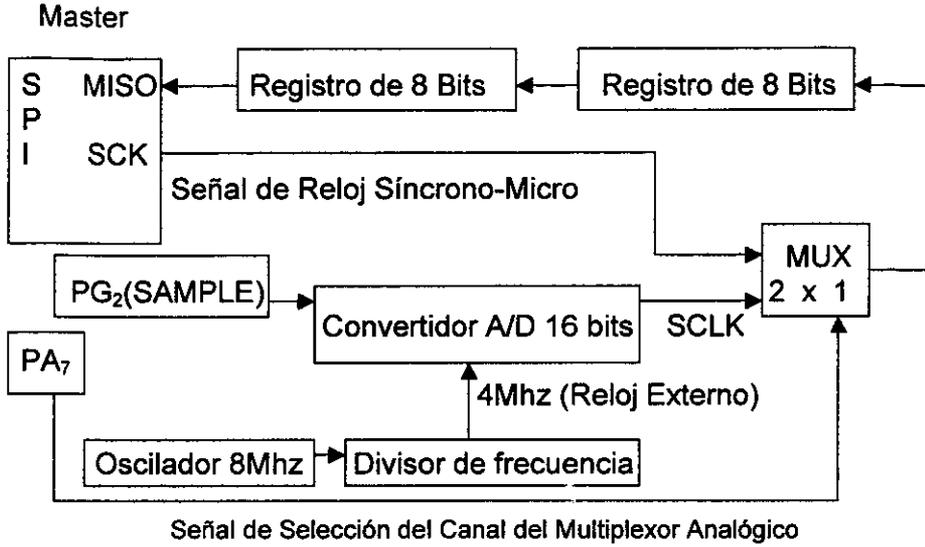
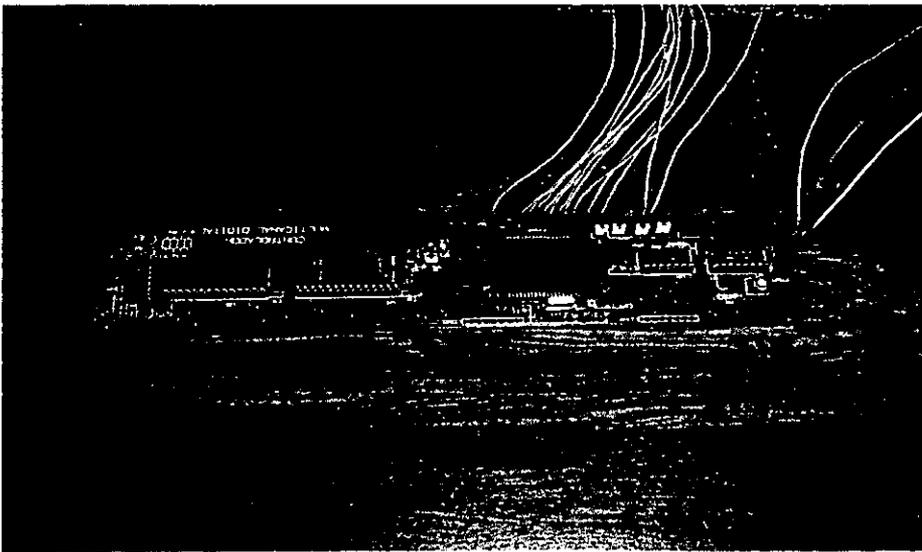
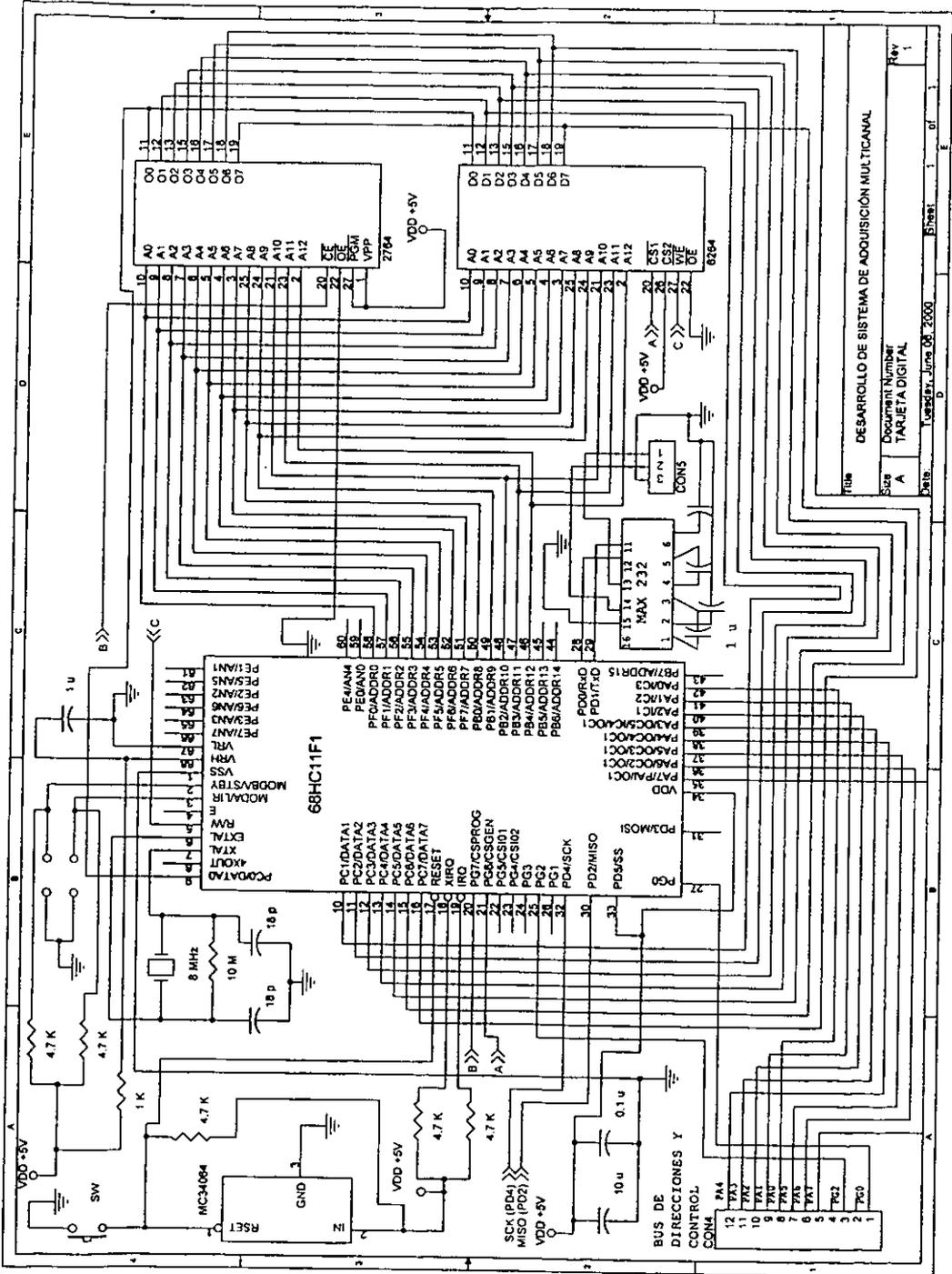


Figura 3.6

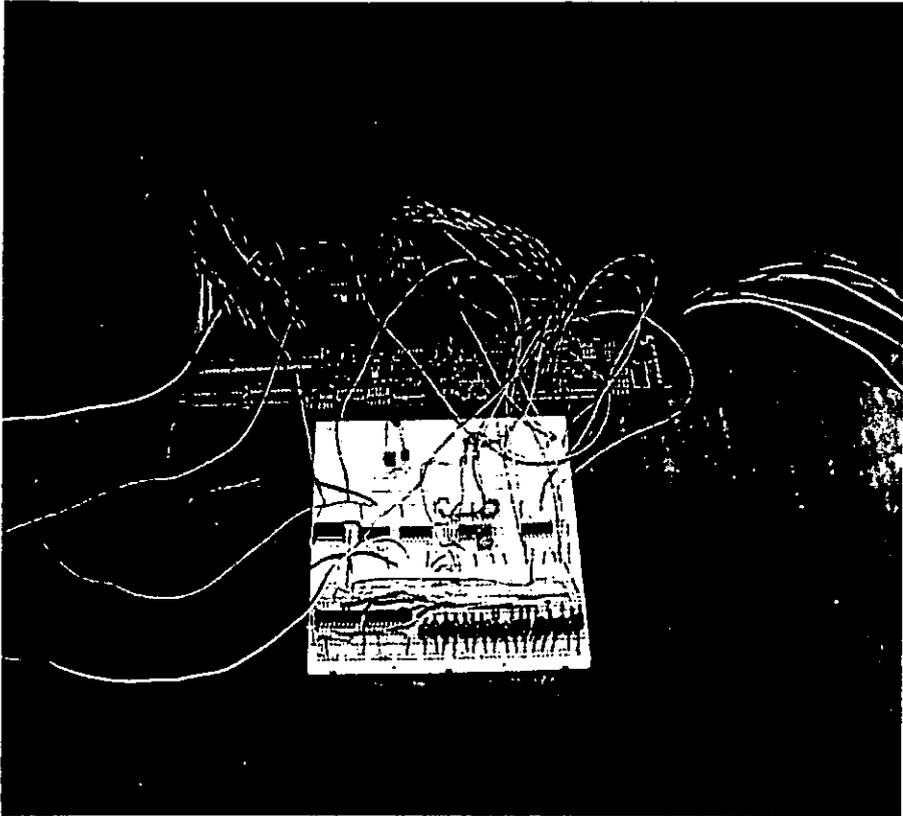
Tarjeta Digital





Title DESARROLLO DE SISTEMA DE ADQUISICIÓN MULTICANAL
 Sheet A Document Number TARJETA DIGITAL
 Date: Tuesday, June 08, 2000 Sheet 1 of 1 Rev 1

Sistema de Adquisición Multicanal



4

PROGRAMAS DE ADQUISICIÓN, PROCESAMIENTO Y COMUNICACIÓN

El bloque de control del Sistema de Adquisición de Datos consta de varios programas (Apéndice A), los cuales mantienen el funcionamiento general de todo el equipo. Estos programas son: configuración del sistema, inicio y finalización, control de todos los dispositivos electrónicos (cambio de canales del multiplexor, cambio de ganancias del amplificador de instrumentación, cambio de signo de la señal del generador, inicio de conversión y lectura de datos del CAD), procesamiento de datos (empleo del método de detección sincrónica), transmisión de datos (protocolo de comunicación) e interfaz gráfica. Es importante comprender el funcionamiento de cada uno de ellos para poder interconectarlos entre sí.

4.1 ARQUITECTURA GENERAL DEL SOFTWARE

Consideremos el funcionamiento general del sistema. Al alimentar el voltaje el sistema generará el reset de encendido del Microcontrolador, inicializando todas las condiciones básicas necesarias para su funcionamiento, permitiendo de esta manera poder correr el programa previamente cargado en la EPROM EXTERNA del Microcontrolador. En caso de que la señal de reset no funcione correctamente, debido a una falla en la alimentación de voltaje o del sistema, generara un mensaje de error en la interfaz gráfica del usuario.

Una vez que todo esta configurado en forma correcta, el usuario podrá por medio de la interfaz gráfica escribir los parámetros requeridos: como cantidad de bloques (TOT_BLOQUES: Esta constituido por k veces un recorrido completo de todos

los canales), periodos a muestrear (TOT_PERIODOS: Conjunto de valores $P_1, P_2, P_3, \dots, P_j$, medidos de tamaño N , donde N es el número de muestras obtenidas en un periodo donde $N=16$ y $0 < j \leq 16$), cantidad de canales (TOT_CANAL: Cantidad de entradas diferenciales seleccionadas que se encuentran en el módulo de multiplexor de selección de canales del sistema de adquisición de datos representados por $C_1, C_2, C_3, \dots, C_j$ que conforman un bloque), inicio de conversión (INICIA_CONVER: El usuario decidirá en que momento empezar a recibir el primer bloque).

El sistema verificara que el usuario escriba los parámetros necesarios correctamente, mediante un sistema de validación, antes de comenzar las mediciones. El sistema de validación se realiza por medio de la inclusión y recepción de los parámetros en forma correcta a través de la interfaz gráfica. El sistema no realizara ninguna operación hasta que el usuario decida el inicio por medio de la interfaz gráfica.

El proceso principal consta de las etapas de adquisición, procesamiento y transmisión de datos. Es importante hacer notar, que las mediciones serán realizadas con la finalidad de formar bloques constituidos por un conjunto completo de canales, por lo que el sistema no parará hasta completar un bloque completo.

En la figura 4.1 se muestra el diagrama de flujo de todo el proceso del sistema de adquisición de datos.

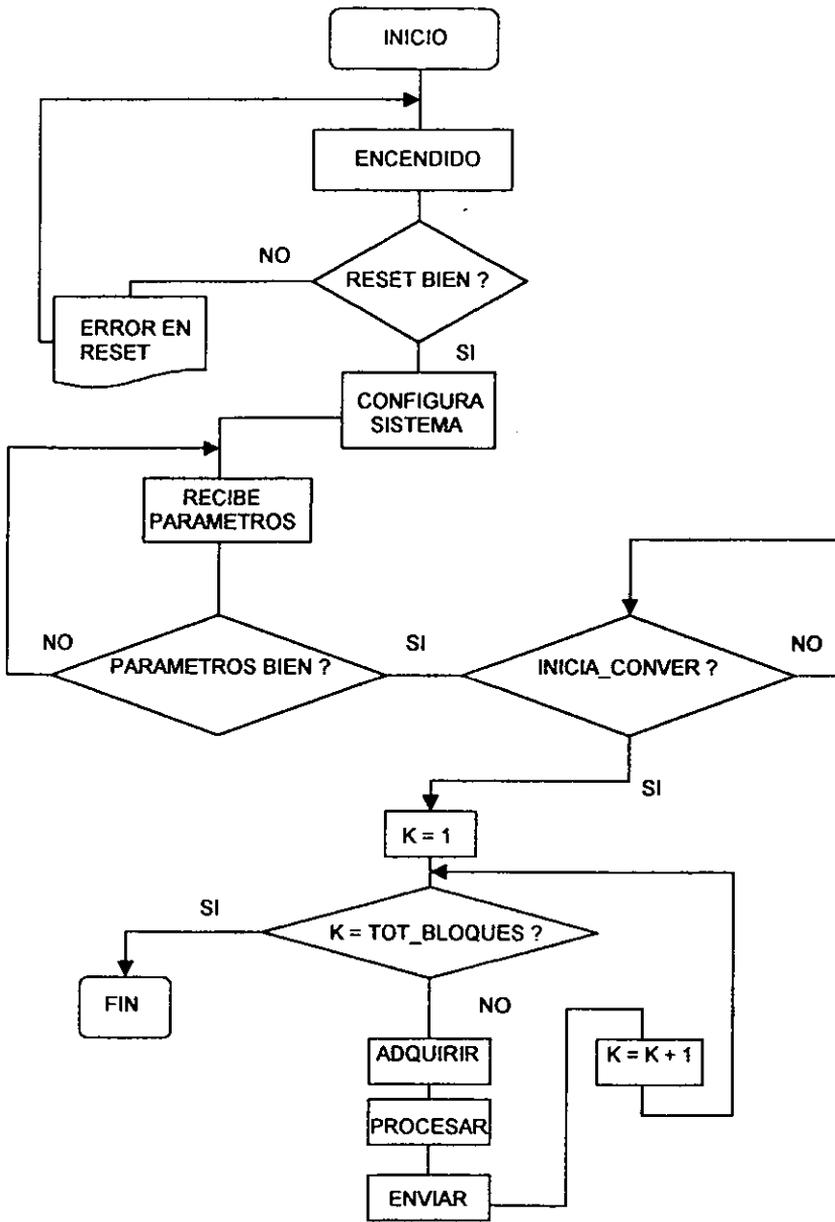


Figura 4.1

4.2 PROGRAMAS DE MEDICIÓN Y CONTROL

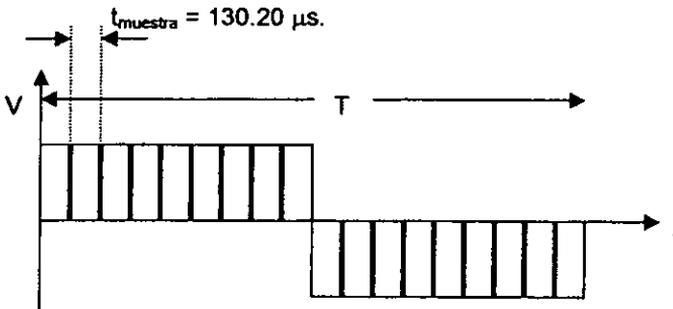
El proceso de adquisición comenzara desde el canal C_1 hasta el C_{16} por medio de la variable TOT_CANAL. La cantidad de muestras estará determinado por el periodo, donde el periodo se define como

$$T = \frac{1}{f} \text{ [s]}$$

Donde f es la frecuencia (f [Hz]: Es el número de ciclos que se producen en un segundo y su unidad es el Hertz) y T es el periodo (T [s]: Es el intervalo de tiempo que conforma una forma de onda completa y su unidad es el segundo).

La forma de la señal del generador será de tipo cuadrada, con una frecuencia de 30 Hz, por lo que se tendrá en un periodo $T = 33.33\text{ms}$.

En un recorrido completo de 16 periodos por 16 canales, con 16 muestras por periodo, tendremos para cada muestra un tiempo de



En la figura 4.2 se muestra el recorrido completo de cada canal y los valores instantáneos adquiridos en ciertos intervalos de tiempo para 16 periodos y 16 canales.

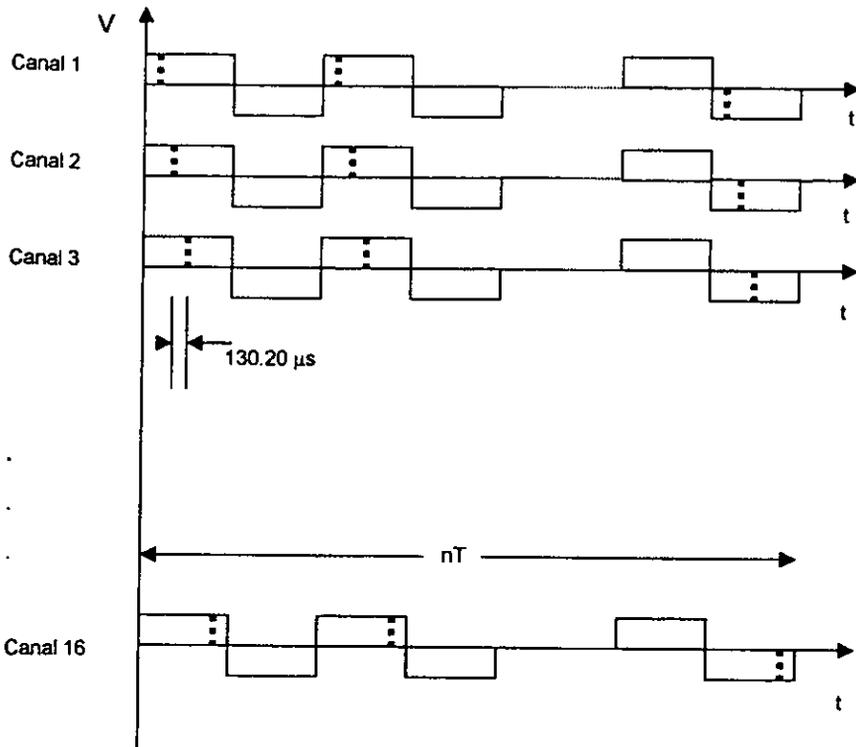


Figura 4.2

La cantidad de muestras por canal será definido por la variable TOT_PERIODOS por 16, ya que cada periodo como se menciono con anterioridad contendrá 16 muestras.

En la figura 4.3 se muestra el diagrama de flujo del funcionamiento del sistema de control.

El sistema adquirirá la cantidad de muestras necesarias comenzando con el primer dato del primer canal, después el segundo canal, etc., cada $130\mu\text{s}$ hasta

llegar al número de mediciones (muestras) definido dentro del número de canales formando un bloque completo. Este proceso se repetirá hasta alcanzar el número de bloques definido por la variable TOT_BLOQUES.

Cada medición será obtenida mediante el proceso de selección del canal, obtención, adecuación y conversión analógica-digital de la señal medida (muestra). El valor del dato en forma binaria generado será leído, sumado y almacenado dentro de la localidad de memoria que le corresponde en función de su canal, y así sucesivamente, hasta completar todos los canales calculados. De esta forma obtendremos una suma acumulada en las 16 direcciones de 4 bytes asignadas para los 16 canales del sistema que se encuentran asignadas en la memoria RAM externa del microcontrolador.

La suma acumulada será por canal y contendrá todos los datos obtenidos, procesados y sumados en un periodo por la cantidad de periodos totales.

Una vez obtenida la suma completa de todos los canales y habiendo conformado un bloque, al valor de la suma final de cada canal se le aplica un protocolo de comunicación y después se envía a la interfaz gráfica del usuario para tener una visión de cada dato que es obtenido de cada canal, y así sucesivamente hasta obtener la cantidad de bloques requeridos.

Cuando el sistema finaliza la adquisición de datos, el usuario podrá iniciar otra vez este proceso en el momento que él decida, con solo reiniciar todo el sistema.

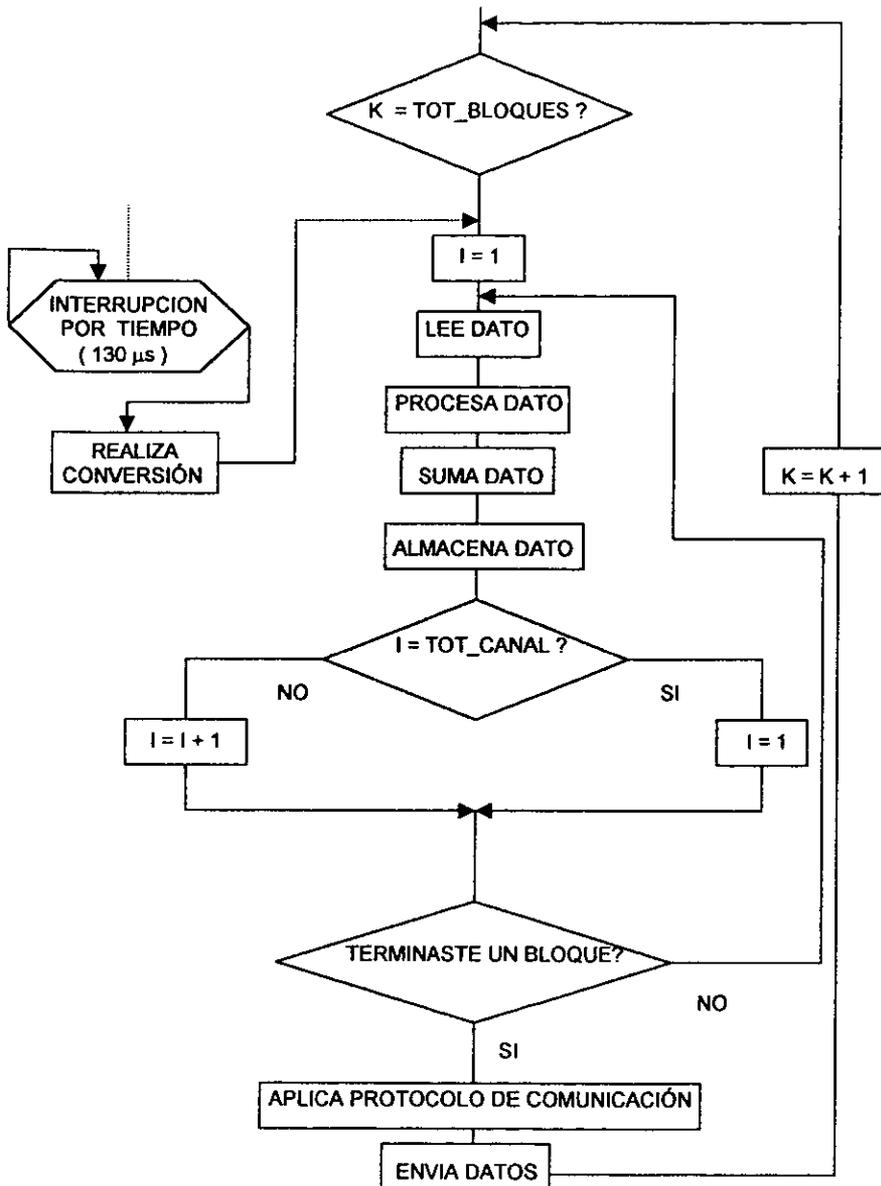


Figura 4.3

4.3 PROCESAMIENTO DE DATOS EN TIEMPO REAL

En esta etapa se procesaran los datos de acuerdo al método de detección sincrónica [6] antes mencionado. La formación de la secuencia del cambio de signo de la señal del generador dependerá del medio periodo o medio ciclo que estemos analizando como se muestra figura 4.4.

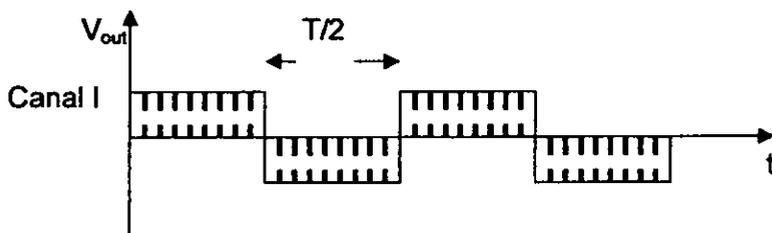


Figura 4.4

En nuestro caso se consideran 8 muestras en cada medio período. En el primer medio periodo, la señal (muestra) será multiplicada por (1), que corresponde al primer medio ciclo positivo de la señal del generador sincrónico, sumándola después en la localidad de memoria M_i designada al canal i ($0 < i \leq 16$). En el segundo medio periodo, la señal medida (muestra) será multiplicada por (-1), correspondiente al medio periodo de la señal que es creada en el generador sincrónico, para después ser sumada en la localidad de memoria asignada por el canal (M_i). Este proceso se realiza en cada periodo.

$$M_i = N_{\text{muestras}} * N_{\text{periodos}} = 16 * 16 = 256 \text{ muestras}$$

$$M_i = \sum_{x=1}^{256} \text{muestra}_x$$

En la figura 4.5 se muestra la señal que se obtiene a la salida. El primer medio periodo queda igual al ser multiplicado por (1), en cambio el segundo medio periodo, cambia de signo al ser multiplicado por (-1). Todo este análisis de las señales fue expuesto al estudiar el método de detección sincrónica (Capítulo 2).

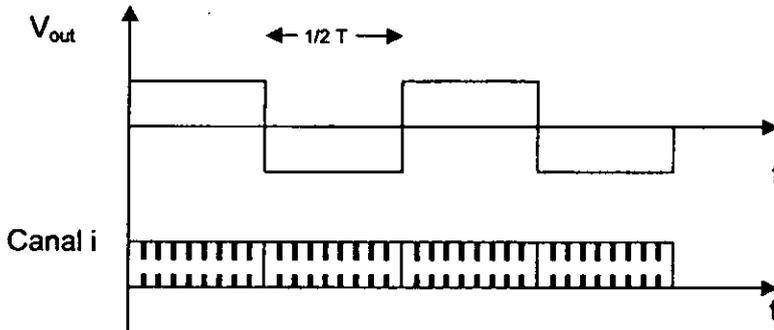


Figura 4.5

Protocolo de Comunicación

El protocolo de comunicación es otro aspecto importante que se considero para la comunicación interfaz-sistema de adquisición.

Al final de cada suma en cada canal se obtienen 3 bytes, estos tres bytes son enviados mediante el siguiente protocolo de comunicación que se desarrollo para la transmisión como el que se muestra en la figura 4.6.

3 Bytes: (8 bits cada uno, 24 bits en total)

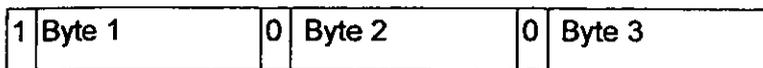


Figura 4.6

Primero se analizan en los bytes dos y tres, el bit más significativo de cada uno debe de ser igual cero y para el byte uno este debe ser uno como se muestra en la figura 4.7

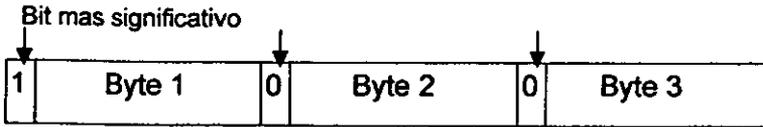


Figura 4.7

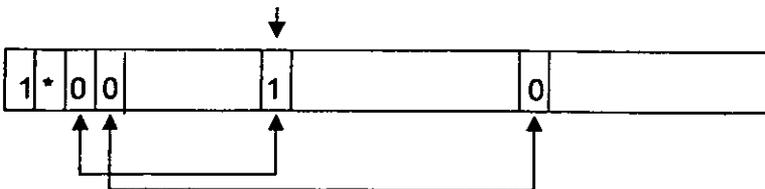
De esta forma se establece un bit de identificación en cada uno de los bytes. El bit mas significativo del primer byte sirve para especificar que es el primer byte y que después debe haber dos bytes subsecuentes, con sus ceros en los bits mas significativos y de esta forma ya se tiene el dato de 3 bytes.

En caso de que el bit mas significativo de los bytes dos y tres no sea igual a cero, este será cambiado por cero y se notificara si los dos fueron cambiados, o cual de los dos fue cambiado en los bits de notificación de cambio que se encuentran contenidos en el primer byte como se muestra en el siguiente ejemplo:

1) Byte 2 cambiado y Byte 3 igual

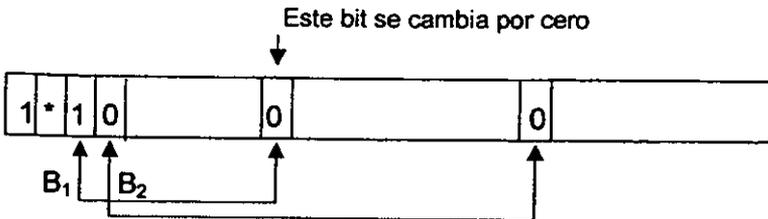
Este bit se cambia por 0

Este bit se cambia por cero



Bits de notificación

Quedando como resultado lo siguiente:



Este par de bits me indican que el bit más significativo del segundo byte fue cambiado y el bit más significativo del tercer byte no fue cambiado. Y así de esta forma dependiendo del caso.

En el primer byte existe un bit que nos indicara el comienzo de cada bloque. Esto es con la finalidad de tener los datos separados por bloques con sus respectivos datos de todos los canales como el que se muestra en la figura 4.8.

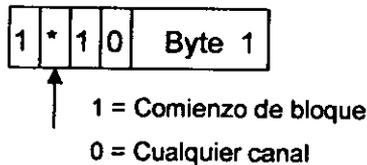


Figura 4.8

Mediante este protocolo de comunicación podremos ver si existe un error en la comunicación.

4.4 INTERFAZ GRÁFICA

La interfaz gráfica es el instrumento que sirve para la presentación de los datos una vez ya realizada la adquisición y el procesamiento. En nuestro caso la interfaz que se desarrollo cumple la función de un medio de enlace entre el microcontrolador y la computadora, para la inclusión de los datos y presentación de los mismos una vez ya procesados para cada canal.

La interfaz gráfica esta compuesta por 3 pantallas. La primera lleva a cabo la validación de los parámetros de configuración del microcontrolador – PC para después establecer la comunicación a través de la PC. Esto lo realiza en forma autónoma sin la necesidad de la inclusión de algún dato por parte del usuario como se muestra en la figura 4.9.

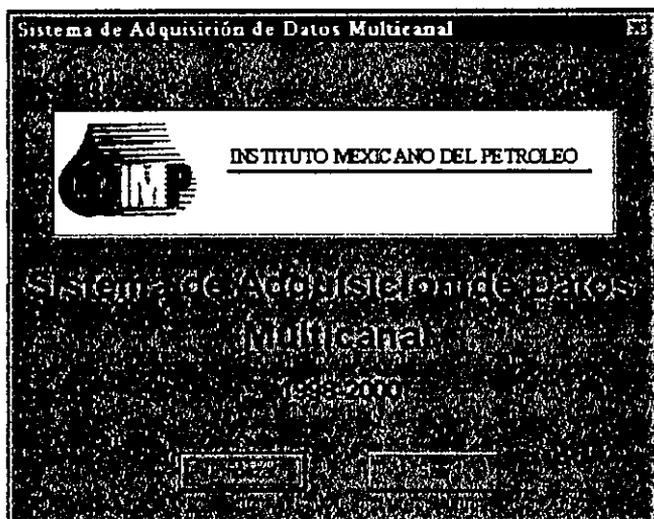


Figura 4.9

Al presionar *Empezar* el sistema bajara unos datos que sirven para la configuración interna de algunos dispositivos del microcontrolador y este a su vez

devolverá un dato de validación indicando que el sistema de configuración y el reset esta correcto, pasando a la siguiente pantalla como la que se muestra en la figura 4.10.

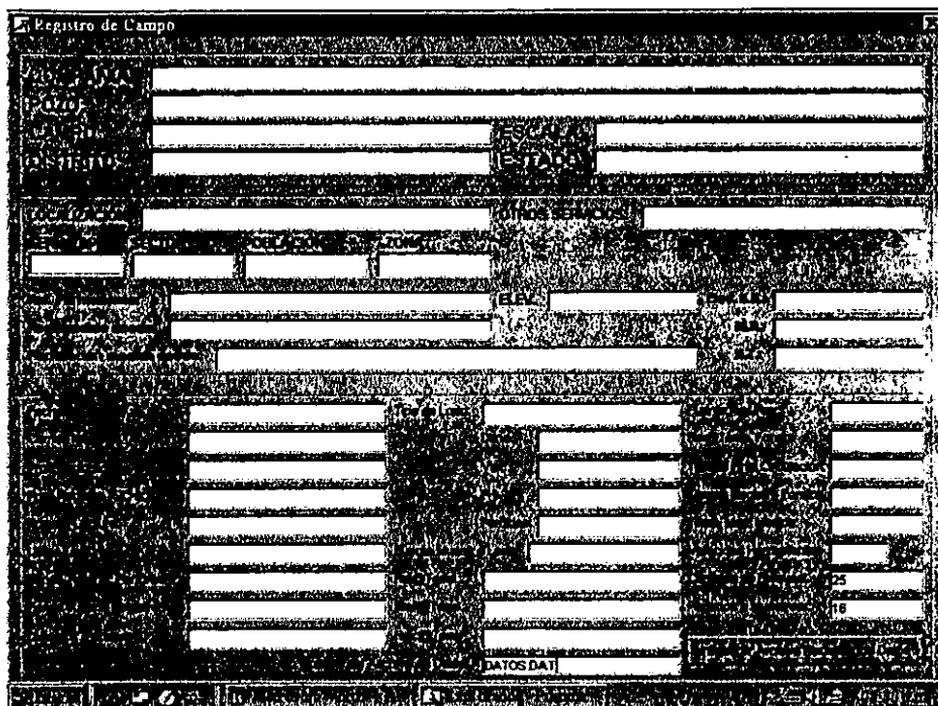


Figura 4.10

En esta pantalla el usuario dará de alta la cantidad de bloques que desea procesar y el número de periodos a muestrear. El nombre del archivo servirá para su creación y será donde se guardaran los datos. Esta plantilla de inclusión generara el archivo de datos con el formato de trabajo. Aunque para nuestro sistema solamente se creara el archivo y no almacenara ningún dato, ya que es importante tener el formato final y esa etapa no corresponde a este trabajo.

Finalmente se pasará a la etapa de visualización de los datos por medio de la siguiente pantalla que se muestra en la figura 4.11.

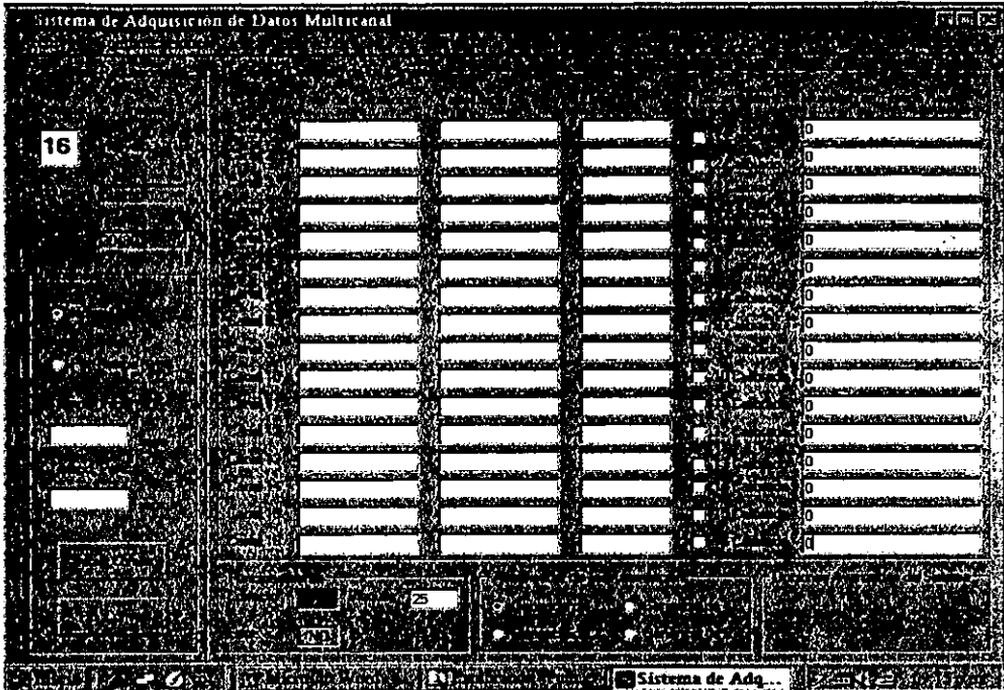


Figura 4.11

En esta pantalla el usuario seleccionara la ganancia del *Amplificador de Instrumentación* y el número de canales. También dará inicio a todo el procesamiento al presionar el botón *Inicia_Conver*, los parámetros son bajados al microcontrolador para su uso en la etapa de adquisición y análisis.

El usuario posteriormente podrá visualizar el valor obtenido en cada canal para cada bloque procesado en la parte de *Muestreo en Tiempo Real* ya con la adecuación correspondiente a un valor en volts por medio de la ecuación.

$$\text{Valor_Volts} = \text{Valor_Bytes} * 0.000152590219$$

Como se puede apreciar esta interfaz solamente nos sirve como un medio de visualización y así poder tener visión de lo que estamos procesando.

CONCLUSIONES

En el transcurso del trabajo se obtuvieron los siguientes resultados:

1. Fueron elaborados criterios para el desarrollo de sistemas multicanal para herramientas eléctricas de resistividad.
2. Con base en la teoría de detección sincrónica fue desarrollada la arquitectura de un sistema multicanal de adquisición de datos para mediciones del campo eléctrico con corriente continua en pozos.
3. Fue desarrollado y armado el prototipo de laboratorio que consiste en dos tarjetas correspondientes al bloque analógico y al bloque digital.
4. Fueron desarrollados los siguientes programas en Ensamblador para microcontrolador los cuales permiten realizar el control del sistema, procesamiento y transmisión de datos.
5. Con el fin de facilitar el manejo del equipo fue desarrollada adicionalmente la Interfaz gráfica.
6. Fue realizada la verificación del funcionamiento del prototipo.

APENDICE

A

Listado de programas en Ensamblador

	ORG \$0100;	PROGRAMA DE CONTROL Y PROCESAMIENTO
	LDAA #\$FF;	INICIA CONFIGURACION DEL SISTEMA
	STAA \$1001	
	LDAA #\$20	
	STAA \$1038	
	LDAA #\$FF	
	STAA \$1003	
	LDAA #\$00	
	STAA \$1002;	CALIBRACION DEL CONVERTIDOR A/D AD677
	STAA \$1000	
	LDAA #\$FF	
LIP:	LDX #\$C000	
	STAA \$00,X	
	INX	
	CPX #\$C100	
	BNE LIP	
RESE:	JSR PUERTO	
	JSR RECEP	
	CMPB #\$7E	
	BNE RESE	
	TBA;	CONFIGURACION DE LA INTERRUPCION DEL TIMER
	STAA \$DC	
	LDX #SAMPLE	
	STX \$DD	
	LDAA #\$40	
	STAA \$1022	
	STAA \$1023	
	LDAA #\$50	
	STAA \$1028	
	LDAA #\$10	
	STAA \$1009	
	LDAA \$1029	
	LDAA \$102A	
	LDAA #\$4C	
	TAB	
	JSR TRANS;	TERMINA CONFIGURACION DEL SISTEMA
	LDD #\$0000;	INICIA RECEPCIÓN DE PARAMETROS
	STD \$C0C0	
	JSR RECEP;	NUMERO DE BLOQUES A MUESTREAR
	TBA	
	JSR RECEP	

APENDICE A

STD \$C0A0	
LDD # \$0000;	NUMERO DE BLOQUES MUESTREADOS
STD \$C0A2	
JSR RECEP;	NUMERO DE PERIODOS A MUESTREAR
STAB \$C0C4	
LDAB # \$00;	NUMERO DE PERIODOS MUESTREADOS
STAB \$C0C5	
JSR RECEP;	NUMERO DE CANALES A MUESTREAR
STAB \$C0C6	
LDAB # \$00;	NUMERO DE CANALES MUESTREADOS
STAB \$C0C7	
JSR RECEP;	GANANCIA DEL PGA205
ASLB	
STAB \$C090	
LDAA \$C090	
STAA \$1000	
JSR RECEP	
STAB \$C0A4	
JSR RECEP	
STAB \$C0A5;	TERMINA RECEPCIÓN DE PARAMETROS
LDX # \$1000	
BSET \$00,X,\$10;	INICIO DE CONVERSIÓN
BCLR \$00,X,\$80	
LDAA # \$04	
STAA \$1002	
LDAA # \$00	
STAA \$1002	
LDAA \$C0C6	
LDAB # \$08	
MUL	
STD \$C0C8;	8 * CANALES
LDD # \$0000;	NUMERO DE DATOS MUESTREADOS
STD \$C0CA	
LDAA \$C0C6	
LDAB # \$10	
MUL	
STD \$C0CC;	(8 * CANALES) * 2
LDD # \$C000	
STD \$C0CE	
JSR LIMPIA	
LDX # \$1000;	LECTURA DE DATOS
BSET \$00,X,\$80	
JSR LECTURA	
STAB \$C0C0	
JSR LECTURA	
STAB \$C0C1	
INC \$C0C7	
LDAA # \$00	
TAP	
CLI	
BLOQUE: JSR PERIODO;	INICIA CONTROL POR BLOQUES Y
INC \$C0C5;	PROCESAMIENTO

APENDICE A

BLOCK:	LDAA \$C0C5 CMPA \$C0C4 BEQ BLOCK LDY #0000 STY \$C0CA BRA BLOQUE CLR \$1022 CLR \$C0C5 CLR \$C0C7 JSR PROTOC JSR ENVIA LDAA \$C090 STAA \$1000 LDX \$C0A2 INX STX \$C0A2 CPX \$C0A0 BEQ TER LDX #\$1000 BSET \$00,X,\$10 BCLR \$00,X,\$80 LDAA #\$04 STAA \$1002 LDAA #\$00 STAA \$1002 BSR LIMPIA LDAA #\$40 STAA \$1022 STAA \$1023 LDY #0000 STY \$C0CA LDX #\$1000 BSET \$00,X,\$80 JSR LECTURA STAB \$C0C0 JSR LECTURA STAB \$C0C1 INC \$C0C7 CLI; BRA BLOQUE	
TER:	LDAA #\$33; STAA \$102B; JMP \$0000	TERMINA CONTROL POR BLOQUES Y PROCESAMIENTO
LIMPIA: CLEAR:	LDX #\$C000; LDD #\$0000; STD \$00,X; INX INX CPX #\$C040 BNE CLEAR RTS	LIMPIA DIRECCIONES DE MEMORIA PARA ALMACENAMIENTO DE DATOS DE LOS CANALES A MUESTREAR
PERIODO:	LDD \$C0C0; STD \$C091; INC \$C0C7;	PROCESAMIENTO DE DATOS APLICANDO EL METODO DE DETECCIÓN SINCRONICA,

	LDX #\$1000;	SUMA Y ALMACENAMIENTO
	BSET \$00,X,\$80	
	JSR LECTURA	
	STAB \$C0C0	
	JSR LECTURA	
	STAB \$C0C1	
	LDX \$C0CE	
	INX	
	INX	
	LDY \$C0CA	
	CPY \$C0C8	
	BMI POSI	
	LDD \$C091	
	COMA	
	COMB	
	ADDD #\$0001	
	ADDD \$00,X	
	BCC CONT	
	JSR CARRY2	
CONT:	BRA CONT3	
POSI:	LDD \$C091	
	ADDD \$00,X	
	BCC CONT3	
	JSR CARRY	
CONT3:	STD \$00,X	
	INX	
	INX	
	STX \$C0CE	
	INY	
	STY \$C0CA	
	LDAA \$C0C7	
	CMPA \$C0C6	
	BMI PLUS	
	LDX #\$C000	
	STX \$C0CE	
	LDAA #\$00	
	STAA \$C0C7	
PLUS:	LDY \$C0CA	
	CPY \$C0CC	
	BNE PERIODO	
	RTS	
SAMPLE:	PSHX;	INICIA CONVERSIÓN CADA 130 μ s,
	PSHA;	CAMBIO DE CANALES, GANANCIA
	PSHB;	Y FORMA LA SECUENCIA DEL CAMBIO
	LDAA \$C0C7;	DE SIGNO DEL GENERADOR SINCRONICO
	LDAB \$C090	
	ABA	
	STAA \$1000	
	LDX \$C0CA	
	CPX \$C0C8	
	BMI MAS	
	LDX #\$1000	
	BCLR \$00,X,\$10	
	BRA SAMP	

MAS: LDX #\$1000
BSET \$00,X,\$10
SAMP: LDX #\$1000
BCLR \$00,X,\$80
LDAA #\$04
STAA \$1002
LDAA #\$00
STAA \$1002
LDD \$1018
ADD \$C0A4
STD \$1018
LDAA #\$40
STAA \$1023
PULB
PULA
PULX
RTI

CARRY: DEX
DEX
PSHY
PSHB
LDAB #\$01
LDY \$00,X
ABY
STY \$00,X
PULB
PULY
INX
INX
RTS

CARRY2: DEX
DEX
PSHY
LDY \$00,X
CPY #\$0000
BEQ HET
DEY

HET: STY \$00,X
PULY
INX
INX
RTS

LECTURA: PSHA;
LDAA #\$50;
STAA \$1028
LDAA #\$10;
LDAA \$1029;
LDAA \$102A
LDAA #\$00
STAA \$102A
SALTO2: LDAA \$1029
CMPA #\$80
BNE SALTO2

LECTURA DE DATOS DEL CONVERTIDOR A/D
HABILITA EL SPI Y CONFIGURA COMO MAESTRO

CONFIGURA EL REGISTRO DE DIRECCIONES
DEL PUERTO D

**ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA**

	LDAB \$102A PULA RTS	
PROTOD:	PSHX; PSHA; PSHB; LDAA #\$00 STAA \$C0B0 LDD #\$C000 STD \$COB1 LDAB #\$01	APLICACIÓN DEL PROTOCOLO DE COMUNICACIÓN A LA SUMA FINAL DE CADA CANAL, QUE CONFORMA UN BLOQUE COMPLETO
CI:	PSHB LDX \$COB1 INX LDAA \$00,X LDAB \$00,X ANDA #\$80 CMPA #\$00 BEQ CNT1 ANDB #\$7F STAB \$00,X LDAA #\$A0 STAA \$C0B0 BRA CNT2	
CNT1:	LDAA #\$80 STAA \$C0B0 STAB \$00,X LDX \$COB1	
CNT2:	INX INX LDAA \$00,X LDAB \$00,X ANDA #\$80 CMPA #\$00 BEQ CNT3 ANDB #\$7F STAB \$00,X LDAA #\$10 ADDA \$C0B0 STAA \$C0B0 BRA FI	
CNT3:	LDAA #\$00 ADDA \$C0B0 STAA \$C0B0 STAB \$00,X	
FI:	LDX \$COB1 LDAA \$00,X ANDA #\$0F ADDA \$C0B0 PULB CMPB #\$01 BNE NI ADDA #\$40	
NI:	STAA \$00,X INX	

APENDICE A

CC: INX
INX
INX
STX \$COB1
CMPB \$COC6
BEQ CC
INCB
BRA CI
PULB
PULA
PULX
RTS

ENVIA: PSHX; TRANSMISION DE LOS DATOS CON PROTOCOLO
PSHY; A LA INTERFAZ GRAFICA
PSHA
PSHB
LDX #\$C000
LDY #\$0000
LDAA #\$03
LDAB \$COC6
MUL
INCB
STD \$C080
LDAA #\$01
DAT: BSR RET
LDAB \$00,X
BSR TRANS
INX
INY
INCA
CMPA \$COB1
BEQ XF
CPY #\$0003
BEQ SAS
BRA DAT
SAS: LDY #\$0000
INX
BRA DAT
XF: PULB
PULA
PULY
PULX
RTS

RET PSHX
LDX #\$0FFF
CV: NOP
DEX
BNE CV
PULX
RTS

APENDICE A

PUERTO:	LDAA #\$30; STAA \$102B LDAA #\$0C; STAA \$102D RTS	INICIA COMUNICACION A 9600 BPS INICIA SCICR2 PARA OPERAR PUERTO SERIE
RECEP: CICLOR:	PSHA; LDAA \$102E; ANDA #\$20 BEQ CICLOR LDAB \$102F; PULA RTS	RUTINA DE RECEPCION DE DATOS SERIAL COMMUNICATIONS STATUS REGISTER SERIAL COMMUNICATIONS DATA REGISTER
TRANS: CICLOT:	PSHA; LDAA \$102E; ANDA #\$40 BEQ CICLOT STAB \$102F; PULA RTS	RUTINA DE TRANSMISION DE DATOS SERIAL COMMUNICATIONS STATUS REGISTER SERIAL COMMUNICATIONS DATA REGISTER

Microcontrolador MC68HC11F1

El microcontrolador MC68HC11F1 tiene las siguientes características:

- Sistema de Timer expandido de 16 bits con preescalador programable de cuatro estados.
- Interface de Comunicación Serial (SCI).
- Convertidor Analógico-Digital de 8 bits.
- Bloque de protección para EEPROM y Config.
- Bus expandido no multiplexado.
- Direccionamiento de memoria de 64k.
- Interface Serial Periférica (SPI).
- 512 bytes de EEPROM.
- 1024 bytes de RAM estática.
- 4 Chip Select programables.
- Sistema de Watchdog.
- Circuito Acumulador de Pulsos de 8 bits.
- Circuito de Interrupción de Tiempo Real.

Modos de Operación

Aunque el MC68HC11 opera principalmente en modo expandido, cuenta con dos pines MODA y MODB para seleccionar uno de los dos modos normales de operación o uno de los dos modos especiales de operación. Los modos normales

de operación son el single-chip y el modo expandido no multiplexado. Los modos especiales de operación son el bootstrap y el modo de prueba.

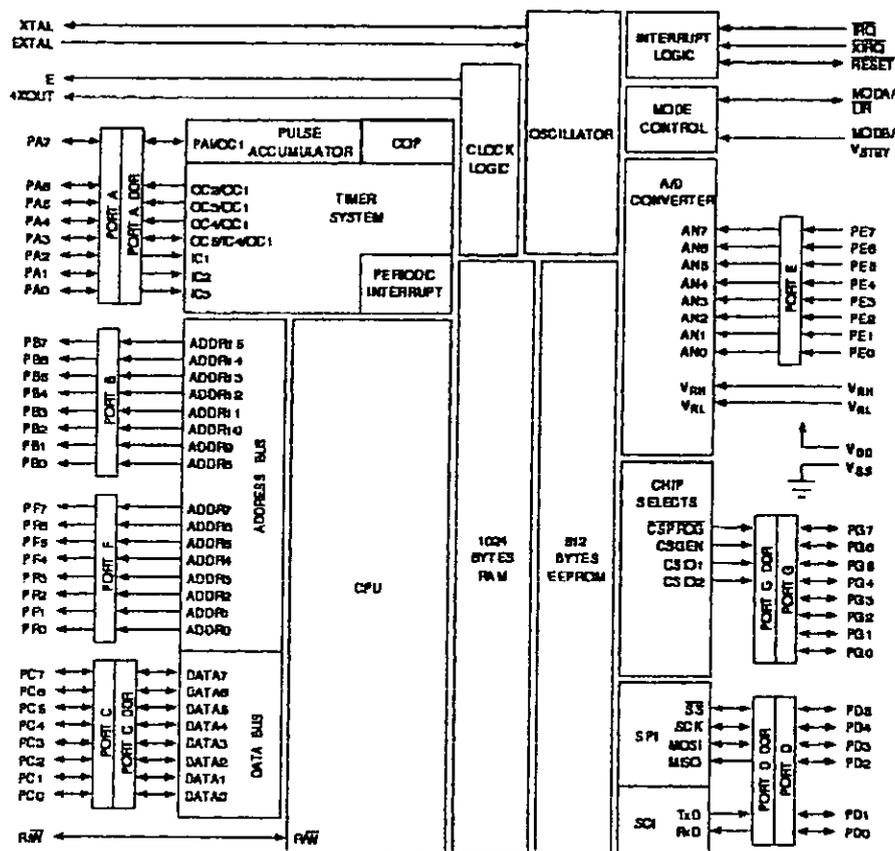


Diagrama de Bloques del Microcontrolador 68HC11F1

Modo Single-Chip

En el modo single-chip toda la computadora digital esta dentro del MCU y no tiene direccionamiento externo o bus de datos. Los 512 bytes de EEPROM contendrán todo el código del programa. Este modo provee máximo uso de los pines para

funciones periféricas, y todos los direccionamientos y actividad de los datos ocurren dentro del MCU.

Modo Expandido no Multiplexado

En este modo de direccionamiento el MCU puede direccionar hasta 64K bytes de espacio de memoria. Los bits de dirección de mayor orden son los pines de salidas del puerto B, y los bits de dirección de menor orden son los pines de salida del puerto F. El bus bidireccional de datos aparece en el puerto C. El pin de lectura/escritura (R/W) es usado para controlar la dirección de transferencia de datos en el bus del puerto C. La programación del chip select esta disponible en los bits de mayor orden del puerto G.

Modo Bootstrap

El modo bootstrap es muy parecido al modo single-chip. Cuando el MCU esta en el modo bootstrap, una pequeña ROM dentro del chip es habilitada en la dirección \$BF40-\$BFFF. El vector de reset salta a esta ROM bootstrap, y el microcontrolador procede a ejecutar el programa contenido en esta ROM (firmware). Este programa inicializa el sistema SCI (Interface de Comunicación Serial) del chip, verifica la opción de seguridad, carga un programa en la RAM interna de 1K bytes a través del SCI, y entonces salta al programa cargado por el usuario en la dirección \$0000 de la RAM y el programa cargado toma el control.

Mientras el MCU esta operando en modo bootstrap el bit de control MDA del registro de configuración HPRI0 puede ser escrito; de esta forma es posible habilitar el bus de expansión no-multiplexado.

Los vectores de reset y los vectores de interrupción para el modo bootstrap están localizados en la ROM bootstrap en la dirección \$BFC0-\$BFFF. Sin embargo, para permitir al usuario usar sus propias direcciones de servicio de rutinas, un sistema

de pseudovectores es incluido para modo bootstrap. Estas localidades de RAM son llamadas pseudovectores debido a que pueden ser usados como vectores para un control directo al servicio de las rutinas de interrupción. Cada vector tiene un espacio de tres bytes, ya que es necesario un salto de código explícito (JMP) para causar el brinco deseado a la rutina de interrupción del usuario.

Modo de Prueba

Este modo especial es principalmente usado para pruebas de producción. Pero además puede ser usado para programas de calibración o personalizar datos dentro de la EEPROM interna. Los 512 bytes de EEPROM están inicialmente apagados en este modo. El usuario puede acceder un número de bits especiales de control de prueba.

Descripción de Señales

V_{DD} y V_{SS}

La potencia es suministrada al MCU por medio de estos pines. V_{DD} es +5V y V_{SS} es tierra (0V).

RESET

Este pin de control bidireccional activo-bajo es usado como una entrada para inicializar el MCU y conocer el estado de inicio. También se usa como una salida de open-drain para indicar que se ha detectado una falla interna en el reloj monitor o en el circuito COP.

XTAL y EXTAL

Estos pines proveen la interface para un cristal o un reloj compatible CMOS que permita controlar el circuito generador de reloj interno. La frecuencia aplicada debe ser cuatro veces más grande que la velocidad de reloj que se desea.

E-Clock

Este pin suministra una salida para el E-Clock generado internamente, el cual puede ser usado para referencia de tiempo. La frecuencia de salida del E-Clock es un cuarto de la frecuencia de entrada de los pines XTAL y EXTAL.

4XOUT

Este pin, suministra una salida para el reloj 4X (4 veces la frecuencia del E-Clock), puede ser usado para manejar el reloj de entrada de otro procesador. Esta salida es habilitada fuera del reset y puede ser deshabilitada limpiando el bit CLKAX del registro OPT2. CLKAX se escribe una vez fuera de cada reset.

IRQ

El pin IRQ suministra la capacidad para aplicar interrupciones asíncronas en el MCU. La configuración para que este pin sea sensible a flancos o para que sea sensible a nivel se realiza usando el bit IRQE del registro OPTION.

XIRQ

El pin XIRQ suministra la opción para aplicar interrupciones asíncronas no enmascaradas en el MCU. Durante el reset, el bit X en el registro de condición de código (CCR) esta encendido, enmascarando cualquier interrupción hasta habilitarla por software. Esta entrada sensible a nivel típicamente requiere un resistor externo de pull-up en V_{DD} .

MODA/LIR y MODB/VSTBY

Durante el reset, estos pines son usados para implementar los dos modos normales o los dos modos especiales de operación. La entrada LIR puede ser usada además como ayuda para verificar errores en la programación. El pin LIR de open-drain se pone en activo bajo durante el primer ciclo de E-Clock de cada instrucción y permanece en estado bajo mientras dura el ciclo. La entrada VSTBY es también usada para retener el contenido de la RAM durante el estado de baja potencia.

VRL y VRH

Estos pines suministran el voltaje de referencia para el convertidor A/D.

$\overline{R/W}$

La salida $\overline{R/W}$ es usada para controlar la dirección de transferencia del bus de datos externo en modo expandido no-multiplexado. Un estado bajo en este pin indica que existe un dato escrito en el bus de datos externo. Un estado alto en este pin indica que un ciclo de lectura está en proceso. $\overline{R/W}$ permanece en estado alto durante los modos single-chip y bootstrap.

Líneas de Entrada / Salida

Las 54 líneas de entrada/salida (I/O) están ordenadas en 6 puertos de 8 bits (puertos A,B,C,E,F y G) y un puerto de 6 bits (puertoD). Algunos de estos puertos sirven para más de un propósito, dependiendo del modo de operación o función periférica seleccionada.

Memoria y Registros de Control y Status

Memoria

En el modo expandido no hay memoria de programación interna y el bus es no-multiplexado. La memoria consiste principalmente de 64K de capacidad de direccionamiento externo disponible para el usuario. Dentro del chip se cuenta con 1K de RAM estática, 512 bytes de EEPROM y 96 bytes de registros de control y status, todos ellos pueden ser remapeados a cualquiera de los 4K límites en memoria. Además 256 bytes de ROM bootloader que están presentes sólo en modo especial bootstrap.

Subsistemas de Mapeo de Memoria

Usando el registro INIT, los 96 bytes de registros de control y status y los 1K de RAM estática son mapeados en cualquiera de los 4K límites en memoria. El reset localiza la RAM desde \$0000-\$03FF y el espacio de registros desde \$1000—\$105F, donde 1 representa el valor decodificado de los cuatro bits de menor orden del registro INIT. La EEPROM es habilitada por el bit EEON del registro CONFIG. En modo expandido no-multiplexado y en modo especial de prueba esta memoria se localiza desde \$XE00 - \$XFFF (donde X representa el valor de los cuatro bits de mayor orden del registro CONFIG). En modo single-chip y modo bootstrap, la EEPROM esta localizada desde \$FE00 - \$FFFF. La ROM bootstrap es mapaeada a la localidad \$BF00 - \$BFFF en la transición a modo bootstrap. Para evitar conflictos cuando se mapea, el bloque de registros toma prioridad sobre la RAM, y la ROM bootstrap tiene prioridad sobre la EEPROM.

A continuación, en la siguiente figura se muestra el mapa de memoria en modo expandido en el que se baso el diseño tanto del prototipo de Laboratorio así como

los programas con la ayuda de la tarjeta CMT SIMMP-2 desarrollada por el M.I. Antonio Salvá Calleja.

El mapa tiene el siguiente perfil: Operación en modo expandido con 8k de RAM externa, 1K de RAM interna, 7.5K de EPROM y 0.5k de EEPROM interna con firmware SP2EA residente.

\$FFFF	Vectores de Reset e Interrupción
\$FFC0 \$FFBF	Zona de EEPROM interna para usuario
\$FEA0 \$FE9F	Firmware de enlace con manejador PUMMA EEPROM interna (FWSP2EA1.BLM o FWSP2EA2.BLM)
\$FE00 \$FDFF	EPROM externa para usuario.
\$E000 \$DFFF	RAM externa para usuario.
\$C000 \$BFFF	
\$2000 \$1FFF	Submapa alterno de Puertos
\$1C00 \$1BFF	Submapa de Puertos
\$1800 \$17FF	
\$1060 \$105F	Registros de control y programación de periféricos.
\$1000 \$0FFF	
\$0400 \$03FF	Pila (Stack)
\$03E0 \$03DF	Zona de RAM interna para usuario
\$0100 \$00FF	Zona empleada por el medio ambiente PUMMA
\$ 0000	

Puertos de Entrada y Salida

El MC68HC11F1 esta equipado con seis puertos de 8 bits (A,B,C,E,F y G) y un puerto de 6 bits (E). Las funciones de entrada y salida (I/O) de los puertos B,C,F y G son controlados por el modo particular de operación seleccionado. En los modos single-chip y bootstrap, estos son configurados como puertos paralelos de I/O de datos. En modo expandido no-multiplexado y modo prueba, los puertos B, C, F, G, y el pin $\overline{R/W}$ son configurados como un bus de expansión de memoria.

Los puertos A,D y G pueden ser usados como puertos de I/O de propósito general, aunque cada uno tiene una función alternativa. El puerto E puede ser usado para entradas estáticas de propósito general y/o canales de entrada del convertidor A/D. Los bits del puerto A controlan las funciones del timer.

Las funciones de I/O de propósito general de los puertos A,C,D, y G están bajo el control del registro de dirección de datos (DDR) y el registro de datos (PORT) de A,C,D y G respectivamente.

Puerto A

Es un puerto de I/O de propósito general de 8 bits con un registro de datos (PORTA) y un registro de dirección de datos (DDRA). En adición, el puerto A puede ser configurado para funciones de entrada de captura de timer (IC), funciones de salida de comparación de timer (OC), y funciones de acumulador de pulsos.

El puerto A puede ser leído en cualquier momento. Si se escribe en el puerto A, este almacena los datos en un latch interno. Escribir en el puerto A no cambia el estado del pin cuando este esta configurado como salida de comparación de timer. Cuando el puerto A es configurado como I/O de propósito general, el DDRA (registro de dirección de datos) controla la dirección de datos de los pines I/O

como sigue:

1 = Configura a cualquiera de los pines del puerto A como salida.

0 = Configura a cualquiera de los pines del puerto A como entrada.

Puerto B

El puerto B es un puerto de salida de 8 bits. En el modo single-chip, todos los pines del puerto B son salidas. En modo expandido no-multiplexado, todos los pines del puerto B actúan como los bits de mayor orden del bus de direcciones (A15-A8), y los accesos al puerto B son tratados como accesos externos.

Puerto C

Es un puerto de I/O de propósito general de 8 bits, que cuenta con un registro de datos (PORTC) y un registro de dirección de datos (DDRC). En el modo single-chip, los pines del puerto C son I/O de propósito general (PC7-PC0). En modo expandido no-multiplexado, el puerto C es el bus de datos (D7-D0), y los accesos del puerto C son tratados como accesos externos.

Los pines bidireccionales de datos son controlados por la señal $\overline{R/W}$ en modo expandido. El puerto C puede ser configurado para operar como OR alambrada en modo single-chip, encendiendo el bit CWOM del registro OPT2.

Cuando el MCU opera en modo single-chip o en modo bootstrap, el puerto C puede ser leído en cualquier momento. Cuando se escribe en el puerto C el dato es almacenado en una latch interno. Si un pin del puerto C se cambia de ser manejado como una entrada a ser manejado como una salida, el pin emplea el último valor escrito en el latch interno del puerto C.

Cuando el puerto C es configurado como I/O de propósito general, el DDRD (registro de dirección de datos) controla la dirección de datos de los pines I/O como sigue:

1 = Configura a cualquiera de los pines del puerto C como salida.

0 = Configura a cualquiera de los pines del puerto C como entrada.

Puerto D

Es un puerto de propósito general de 6 bits, que cuenta con un registro de datos (PORTD). Y un registro de dirección de datos (DDRD). En todos los modos de operación, los seis bits del puerto D (D5 – D0) pueden ser usados para I/O de propósito general o para los subsistemas SCI (Interface de Comunicación Serial) o SPI (Interface Periférica Serial). El puerto D puede ser configurado para operar como una OR alambrada.

El puerto D puede ser leído en cualquier momento. Leer y escribir los pines 6 y 7 del puerto D no tiene caso, ya que siempre regresaran un valor de cero.

Cuando el puerto D es configurado como I/O de propósito general, el DDRD (registro de dirección de datos) controla la dirección de datos de los pines I/O como sigue:

1 = Configura a cualquiera de los pines del puerto D como salida.

0 = Configura a cualquiera de los pines del puerto D como entrada.

Cuando se escribe en el puerto D un dato, éste es almacenado en un latch interno. Si un pin del puerto D es cambiado de manejarse como entrada a manejarse como salida, escribiendo el bit correspondiente en el DDRD o deshabilitando el subsistema SCI o SPI, el pin cambiando emplea el último valor escrito en el latch interno.

Puerto E

El puerto E es usado para entradas (PE7 — PE0) estáticas de propósito general y/o canales de entrada (AN7 — AN0) del convertidor analógico digital (A/D) en todos los modos de operación. El puerto E no deberá ser leído como entrada estática mientras una conversión este ocurriendo. Tal lectura puede perturbar una conversión que esta en progreso si esta coincide con la porción de muestreo de un ciclo de conversión.

Puerto F

En el modo single-chip, todos los pines del puerto F son salidas de propósito general (PF7 — PF0). En el modo expandido no-multiplexado, todos los pines del puerto F actúan como las direcciones de menor orden (A7 — A0) del bus de direcciones, y los accesos al puerto F son tratados como accesos externos.

Puerto G

Es un puerto de I/O de propósito general de 8 bits, cuenta con un registro de datos (PORTG) y un registro de dirección de datos (DDRG). Los cuatro bits de mayor orden son opcionalmente usados como salidas de chip-select en modo expandido. Cuando cualquiera de estas líneas no esta siendo usada para un chip-select, esta puede ser usada como I/O de propósito general.

Cuando el puerto G es configurado como I/O de propósito general, el DDRG (registro de dirección de datos) controla la dirección de datos de los pines I/O como sigue:

1 = Configura a cualquiera de los pines del puerto G como salida.

0 = Configura a cualquiera de los pines del puerto G como entrada.

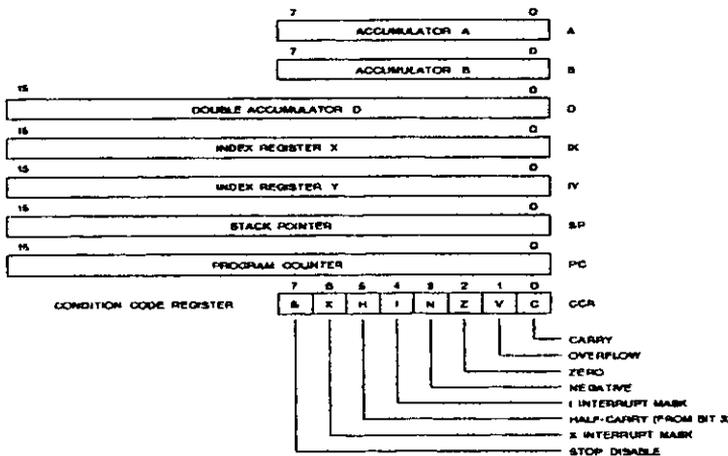
Cuando se escribe un dato en el puerto G, este es almacenado en un latch interno. Escribir en el puerto G no cambia el estado del pin cuando el pin asociado es configurado como chip-select. Si un pin del puerto G es cambiado a salida de propósito general escribiendo el bit correspondiente en el DDRG, o deshabilitando un chip-select, el pin maneja el último valor escrito en el latch interno del puerto G.

El chip-select fuerza el estado de I/O, a ser una salida para cada línea del puerto G asociada con un chip-select deshabilitado. En este caso, los bits del DDRG no son cambiados y no tienen efecto sobre estas líneas. El DDRG regresa el control del estado de I/O de un pin cuando la función de chip-select asociada es deshabilitada.

Unidad Central de Procesamiento

Registros

Los registros del MC68HC11F1 son la parte integral del CPU y no son direccionados como si ellos estuvieran en localidades de memoria. Los siete registros se muestran en la siguiente figura.



Acumuladores A, B y D

Los acumuladores A y B son registros de 8 bits de propósito general usados para almacenar operandos y el resultado de cálculos aritméticos o manipulación de datos. Estos dos acumuladores son tratados como un acumulador simple de dos bytes (acumulador D) para algunas instrucciones.

Registro Indexado X (IX)

El registro IX es un registro de 16 bits usado para el modo de direccionamiento indexado. Este suministra un valor de 16 bits que puede ser sumado a un offset de 8 bits de una instrucción para crear una dirección efectiva. El registro IX puede también ser usado como un contador o como un área temporal de almacenamiento.

Registro Indexado Y (IY)

El registro IY es un registro de 16 bits usado para el modo de direccionamiento indexado, es muy similar al registro IX. Sin embargo, el registro IY usa dos bytes de código de operación y requiere un byte extra de código de máquina y un ciclo extra de tiempo de ejecución. El registro IY puede también ser usado como un contador o como un área temporal de almacenamiento.

Contador de Programa

El PC es un registro de 16 bits que contiene la dirección de la siguiente instrucción a ser ejecutada.

Stack Pointer (SP)

El SP es un registro de 16 bits que contiene la dirección de la siguiente localidad libre en el stack. El stack es configurado con una secuencia de LIFO (los últimos en entrar son los primeros en salir) que permite almacenar datos importantes durante las interrupciones y las llamadas a subrutina. Cada que un nuevo byte es sumado al stack, el SP es decrementado. Cada que un byte es removido, el SP se incrementa.

Registro de Condición de Código (CCR)

El CCR es un registro de 8 bits en el cual cinco bits son usados para indicar el resultado de la instrucción ejecutada y tres bits enmascarados para interrupciones y stop. Estos bits pueden ser examinados individualmente por el programa, y pueden ser tomados como el resultado de una acción específica. Cada uno de los bits es explicado a continuación.

- **Carry/Borrow (C)**

Cuando esta encendido, el bit C indica que ocurrió un acarreo (carry) o borrow fuera de la unidad lógica aritmética (ALU) durante la última operación aritmética. Este bit es afectado también durante las instrucciones de corrimiento y rotación.

- **Overflow(V)**

El bit V esta encendido si un sobreflujo aritmético ocurrió como resultado de una operación, en otro caso el bit V está en cero.

- **Zero (Z)**

Cuando esta en uno, el bit Z indica si el resultado de la última operación aritmética, operación lógica o manipulación de datos fue cero.

- **Negative (N)**

Cuando esta en uno, el bit N indica que el resultado de la última operación aritmética o lógica o manipulación de datos fue negativo.

- **Mascara de interrupción (I)**

El bit I es encendido por hardware o por instrucción de programa para deshabilitar (enmascarar) todas las interrupciones enmascaradas externas o internas.

- **Medio Acarreo (H)**

El bit H es encendido durante las operaciones ADD, ABA y ADC para indicar que ocurrió un acarreo entre los bits 3 y 4. Este bit es principalmente usado en cálculos en BCD.

- **Mascara de Interrupción X (X)**

El bit X es encendido solamente por hardware (RESET o XIRQ) y es limpiado solamente por programa por medio de las instrucciones: (TAP) ó (RTI).

- **Deshabilitar Stop (S)**

Bajo control de programa, el bit S es encendido para deshabilitar la instrucción STOP. Este es puesto en cero para habilitar la instrucción STOP. La instrucción STOP es tratada como no operación si el bit S esta encendido.

Memoria Programable de sólo Lectura Borrable Eléctricamente (EEPROM)

El MCU tiene 512 bytes de EEPROM que pueden ser mapeados a cualquiera de los 4K límites en memoria. La programación de la EEPROM es controlada por el

Registro de Control de Programación de la EEPROM (PPROG) y el Registro de Bloque de Protección (BPROT). El PPROG es un registro de 8 bits usado para controlar la programación y borrado de la EEPROM y es limpiado durante el reset para que la EEPROM se configure en modo normal de lectura.

La localidad de EEPROM puede ser borrada en un byte, la línea o en su tamaño total. La programación y borrado de la EEPROM se realiza usando los bits de control del registro PROG.

Registro de Bloque de Protección para la EEPROM (BPROT)

Este registro de 5 bits protege en contra de escrituras inadvertidas en el registro CONFIG y en la EEPROM. Para permitir al usuario separar la EEPROM en categorías tales como temporales o permanentes, la EEPROM se divide en 4 bloques de protección individuales. Estos bloques corresponden a un tamaño determinado, por ejemplo 32 bytes, 64 bytes, 128 bytes y 288 bytes.

En el modo normal de operación, la EEPROM y CONFIG son protegidos fuera del reset y el usuario tiene 64 ciclos de reloj E para desproteger cualquiera de los bloques que requiere programar o borrar.

Los bits del registro BPROT pueden ser limpiados (escribir un cero) solamente durante los primeros 64 ciclos de reloj E después del reset. Una vez que los bits son limpiados, la sección asociada a la EEPROM y al registro CONFIG pueden ser programados o borrados en la manera normal. En el modo prueba o bootstrap, los bits del registro BPROT pueden ser escritos uno detrás de otro en cualquier tiempo después de los 64 ciclos de reloj E para proteger la EEPROM y/o el registro CONFIG. Estos bits pueden ser limpiados otra vez solamente en el modo prueba o bootstrap.

SCI (Interface de Comunicación Serial)

La Interface de Comunicación Serial (SCI) es un transmisor receptor asíncrono universal (UART), uno de los dos subsistemas independientes seriales de I/O del MCU. Tiene un formato standard de no retorno a cero (NRZ) (un bit de comienzo, ocho o nueve bits, un bit de paro). Varios baudajes están disponibles. El SCI transmisor receptor es independiente, pero usa el mismo formato de datos y promedio de bits.

SPI (Interface Periférica Serial)

La Interface Periférica Serial (SPI), es un subsistema de comunicación serial independiente que permite al MCU comunicarse sincronamente con los dispositivos periféricos, como registros de corrimiento de lógica TTL, controladores de display de cristal líquido (LCD), subsistemas de conversión analógica-digital y otros microprocesadores. El SPI también es capaz de una comunicación inter-procesador en un sistema maestro múltiple. El SPI puede ser configurado como maestro o como dispositivo esclavo. Cuando es configurado como maestro, el promedio de la transferencia de datos puede ser tan alto como un medio del promedio del reloj E-clock. Cuando es configurado como esclavo, la transferencia de datos puede ser tan rápida como el promedio del reloj E-clock.

Sistema Principal del Timer

Este sistema de timer esta basado en un contador de carrera libre (free-counter) de 16 bits con un preescalador programable de 4 estados. Una función de sobreflujo de timer permite extender por software la capacidad de conteo del sistema mas allá del rango de 16 bits del contado. Tres funciones independientes de entrada de captura son usadas para almacenar automáticamente el tiempo en que una transición seleccionada se detecta en el pin respectivo de entrada de captura. Cinco funciones de salida de comparación son incluidas para generar señales de salida o para retardos de software.

El sistema de timer involucra mas registros y bits de control que ningún otro sistema en el MCU. Cada una de las tres funciones de captura de entrada tiene su propio latch de captura de tiempo (registro de captura de entrada) y cada una de las cinco funciones de salida de comparación tiene su propio registro de comparación. Todas las funciones del timer, incluyendo el sobreflujo del timer tienen sus propios controles de interrupción y vectores de interrupción separados.

Bits adicionales de control permiten el control por software del flanco que dispara cada entrada de captura y la acción automática que resulta de una función de salida de comparación.

Interrupciones

Excluyendo la interrupción tipo reset, hay 17 interrupciones de hardware y una de software que pueden ser generadas desde todas las fuentes posibles. Estas interrupciones pueden ser divididas en dos categorías: enmascarables y no-enmascarables. Quince de las interrupciones pueden ser enmascaradas usando el bit I del Registro de Condición de Código. Todas las interrupciones dentro del chip (hardware) son individualmente enmascaradas por bits de control local. La interrupción de software (SWI) es no enmascarada. La entrada externa en el pin XIRQ es considerada una interrupción nomascarable debido a que esta no puede ser enmascarada por software una vez que es habilitada.

APENDICE

C

Hojas de especificaciones de los Circuitos Integrados empleados



HI-516

Data Sheet

June 1999

File Number 31-46.2

16-Channel/Differential 8-Channel, CMOS High Speed Analog Multiplexer

The HI-516 is a monolithic, dielectrically isolated, high-speed, high-performance CMOS analog multiplexer. It offers unique built-in channel selection decoding plus an inhibit input for disabling all channels. The dual function of address input A_3 enables the HI-516 to be user programmed either as a single ended 16-Channel multiplexer by connecting 'out A' to 'out B' and using A_3 as a digital address input, or as an 8-Channel differential multiplexer by connecting A_3 to the V^- supply. The substrate leakages and parasitic capacitances are reduced substantially by using the Harris Dielectric Isolation process to achieve optimum performance in both high and low level signal applications. The low output leakage current ($I_{D(OFF)} < 100pA$ at $25^\circ C$) and fast settling ($t_{SETTLE} = 800ns$ to 0.01%) characteristics of the device make it an ideal choice for high speed data acquisition systems, precision instrumentation, and industrial process control.

For MIL-STD-883 compliant parts, request the HI-516/883 data sheet.

Ordering Information

PART NUMBER	TEMP. RANGE ($^\circ C$)	PACKAGE	PKG. NO.
HI3-0516-5	0 to 75	28 Ld PDIP	E28.6
HI1-0516-2	-55 to 125	28 Ld CERDIP	F28.6

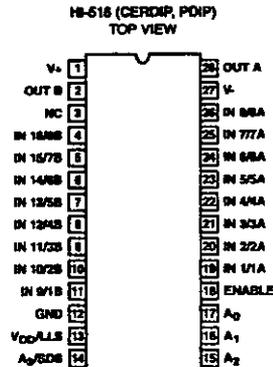
Features

- Access Time (Typical) 130ns
- Settling Time 250ns (0.1%)
- Low Leakage (Typical)
 - $I_S(OFF)$ 10pA
 - $I_D(OFF)$ 30pA
- Low Capacitance (Max)
 - $C_S(OFF)$ 10pF
 - $C_D(OFF)$ 25pF
- Off Isolation at 500kHz 55dB (Min)
- Low Charge Injection Error 20mV
- Single Ended to Differential Selectable (SDS)
- Logic Level Selectable (LLS)

Applications

- Data Acquisition Systems
- Precision Instrumentation
- Industrial Control

Pinout



HI-516

Absolute Maximum Ratings

V ₊ to V ₋	33V
Analog Signal	(V _{IN} , V _{OUT})
.....	(V ₋) -2V to (V ₊) +2V
Digital Input Voltage:	
TTL Levels Selected (V _{DD} /LLS Pin = GND or Open)	
V _{A0-2}	-5V to +5V
V _{A3/SDS}	(V ₋) -2V to (V ₊) +2V
CMOS Levels Selected (V _{DD} /LLS Pin = V _{DD})	
V _{A0-3}	-2V to (V ₊) +2V

Thermal Information

Thermal Resistance (Typical, Note 2)	θ _{JA} (°C/W)	θ _{JC} (°C/W)
PDP Package	60	N/A
CERDIP Package	55	18
Maximum Junction Temperature		
Ceramic Package		175°C
Plastic Package		150°C
Maximum Storage Temperature Range		-65°C to 150°C
Maximum Lead Temperature (Soldering 10s)		300°C

Operating Conditions

Temperature Ranges	
HI-516-2	-65°C to 125°C
HI-516-5	0°C to 75°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

2. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

Supplies = +15V, -15V; V_{AH} (Logic Level High) = 2.4V, V_{AL} (Logic Level Low) = 0.8V;
V_{DD}/LLS = GND. (Note 3) Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	TEMP (°C)	-2			-8			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
DYNAMIC CHARACTERISTICS									
Access Time, t _A		25	-	130	175	-	130	175	ns
		Full	-	-	225	-	-	225	ns
Break-Before-Make Delay, t _{OPEN}		25	10	20	-	10	20	-	ns
Enable Delay (ON), t _{ON(EN)}		25	-	120	175	-	120	175	ns
Enable Delay (OFF), t _{OFF(EN)}		25	-	140	175	-	140	175	ns
Settling Time	To 0.1%	25	-	250	-	-	250	-	ns
	To 0.01%	25	-	800	-	-	800	-	ns
Charge Injection Error	Note 6	25	-	-	20	-	-	20	mV
Off Isolation	Note 7	25	55	-	-	55	-	-	dB
Channel Input Capacitance, C _i (OFF)		25	-	-	10	-	-	10	pF
Channel Output Capacitance, C _o (OFF)		25	-	-	25	-	-	25	pF
Digital Input Capacitance, C _A		25	-	-	10	-	-	10	pF
Input to Output Capacitance, C _{DS} (OFF)		25	-	0.02	-	-	0.02	-	pF
DIGITAL INPUT CHARACTERISTICS									
Input Low Threshold, V _{AL} (TTL)	Note 3	Full	-	-	0.8	-	-	0.8	V
Input High Threshold, V _{AH} (TTL)	Note 3	Full	2.4	-	-	2.4	-	-	V
Input Low Threshold, V _{AL} (CMOS)	Note 3	Full		-	0.3V _{DD}	-	-	0.3V _{DD}	V
Input High Threshold, V _{AH} (CMOS)	Note 3	Full	0.7V _{DD}	-	-	0.7V _{DD}	-	-	V



LT1007/LT1037

Low Noise, High Speed
Precision Operational Amplifiers

FEATURES

- *Guaranteed* 4.5nV/√Hz 10Hz Noise
- *Guaranteed* 3.8nV/√Hz 1kHz Noise
- 0.1Hz to 10Hz Noise, 60nV_{p-p} Typical
- *Guaranteed* 7 Million Min Voltage Gain, R_L = 2k
- *Guaranteed* 3 Million Min Voltage Gain, R_L = 600Ω
- *Guaranteed* 25μV Max Offset Voltage
- *Guaranteed* 0.6μV/°C Max Drift with Temperature
- *Guaranteed* 11V/μs Min Slew Rate (LT1037)
- *Guaranteed* 117dB Min CMRR

APPLICATIONS

- Low Noise Signal Processing
- Microvolt Accuracy Threshold Detection
- Strain Gauge Amplifiers
- Direct Coupled Audio Gain Stages
- Sine Wave Generators
- Tape Head Preamplifiers
- Microphone Preamplifiers

DESCRIPTION

The LT[®]1007/LT1037 series features the lowest noise performance available to date for monolithic operational amplifiers: 2.5nV/√Hz wideband noise (less than the noise of a 400Ω resistor), 1/f corner frequency of 2Hz and 60nV peak-to-peak 0.1Hz to 10Hz noise. Low noise is combined with outstanding precision and speed specifications: 10μV offset voltage, 0.2μV/°C drift, 130dB common mode and power supply rejection, and 60MHz gain bandwidth product on the decompensated LT1037, which is stable for closed-loop gains of 5 or greater.

The voltage gain of the LT1007/LT1037 is an extremely high 20 million driving a 2kΩ load and 12 million driving a 600Ω load to ±10V.

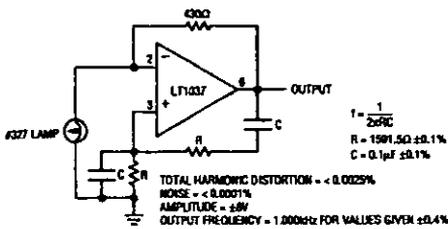
In the design, processing and testing of the device, particular attention has been paid to the optimization of the entire distribution of several key parameters. Consequently, the specifications of even the lowest cost grades (the LT1007C and the LT1037C) have been spectacularly improved compared to equivalent grades of competing amplifiers.

The sine wave generator application shown below utilizes the low noise and low distortion characteristics of the LT1037.

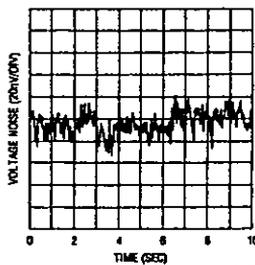
LT, LTC and LT are registered trademarks of Linear Technology Corporation.

TYPICAL APPLICATION

Ultrapure 1kHz Sine Wave Generator



0.1Hz to 10Hz Noise



LT1007/LT1037

ABSOLUTE MAXIMUM RATINGS

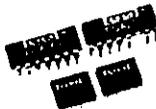
Supply Voltage	±22V	Lead Temperature (Soldering, 10 sec.)	300°C
Input Voltage	Equal to Supply Voltage	Operating Temperature Range	
Output Short-Circuit Duration	Indefinite	LT1007/LT1037AC, C	0°C to 70°C
Differential Input Current (Note 8)	±25mA	LT1007/LT1037I	-40°C to 85°C
Storage Temperature Range	-65°C to 150°C	LT1007/LT1037AM, M	-55°C to 125°C

PACKAGE/ORDER INFORMATION

<p>J8 PACKAGE 8-LEAD CERDIP</p> <p>N8 PACKAGE 8-LEAD PDIP</p> <p>$T_{max} = 150^{\circ}C, \theta_{JA} = 100^{\circ}C/W$ (J8) $T_{max} = 180^{\circ}C, \theta_{JA} = 130^{\circ}C/W$ (N8)</p>	<p>V⁺ (CASE) H PACKAGE 8-LEAD TO-5 METAL CAN</p> <p>$T_{max} = 150^{\circ}C, \theta_{JA} = 150^{\circ}C/W, \theta_{JC} = 45^{\circ}C/W$</p>	<p>S8 PACKAGE 8-LEAD PLASTIC SO</p> <p>$T_{max} = 150^{\circ}C, \theta_{JA} = 180^{\circ}C/W$</p>
ORDER PART NUMBER	ORDER PART NUMBER	ORDER PART NUMBER
LT1007ACJ8 LT1037ACJ8	LT1007ACH LT1037ACH	LT1007CS8 LT1037CS8
LT1007ACN8 LT1037ACN8	LT1007AMH LT1037AMH	LT1007IS8 LT1037IS8
LT1007AMJ8 LT1037AMJ8	LT1007CH LT1037CH	S8 PART MARKING
LT1007CJ8 LT1037CJ8	LT1007MH LT1037MH	1007 1037
LT1007CN8 LT1037CN8		1007I 1037I
LT1007IN8 LT1037IN8		
LT1007MJ8 LT1037MJ8		

ELECTRICAL CHARACTERISTICS $V_S = \pm 15V, T_A = 25^{\circ}C$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	LT1007AC/AM LT1037AC/AM			LT1007C/IM LT1037C/IM			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	(Note 1)		10	25		20	60	μV
$\frac{\Delta V_{OS}}{\Delta Time}$	Long Term Input Offset Voltage Stability	(Notes 2, 3)		0.2	1.0		0.2	1.0	$\mu V/Mo$
I_{OS}	Input Offset Current			7	30		12	50	nA
I_B	Input Bias Current			±10	±35		±15	±55	nA
e_n	Input Noise Voltage	0.1Hz to 10Hz (Notes 3, 5)		0.06	0.13		0.06	0.13	μV_{p-p}
	Input Noise Voltage Density	$f_0 = 10Hz$ (Notes 3, 4) $f_0 = 1000Hz$ (Note 3)		2.8	4.5		2.8	4.5	nV/\sqrt{Hz}
				2.5	3.8		2.5	3.8	nV/\sqrt{Hz}
i_n	Input Noise Current Density	$f_0 = 10Hz$ (Notes 3, 6) $f_0 = 1000Hz$ (Notes 3, 6)		1.5	4.0		1.5	4.0	pA/\sqrt{Hz}
				0.4	0.6		0.4	0.6	pA/\sqrt{Hz}



PGA204
PGA205

Programmable Gain INSTRUMENTATION AMPLIFIER

FEATURES

- **DIGITALLY PROGRAMMABLE GAIN:**
PGA204: $G=1, 10, 100, 1000V/V$
PGA205: $G=1, 2, 4, 8V/V$
- **LOW OFFSET VOLTAGE:** $50\mu V$ max
- **LOW OFFSET VOLTAGE DRIFT:** $0.25\mu V/^\circ C$
- **LOW INPUT BIAS CURRENT:** $2nA$ max
- **LOW QUIESCENT CURRENT:** $5.2mA$ typ
- **NO LOGIC SUPPLY REQUIRED**
- **16-PIN PLASTIC DIP, SOL-16 PACKAGES**

APPLICATIONS

- **DATA ACQUISITION SYSTEM**
- **GENERAL PURPOSE ANALOG BOARDS**
- **MEDICAL INSTRUMENTATION**

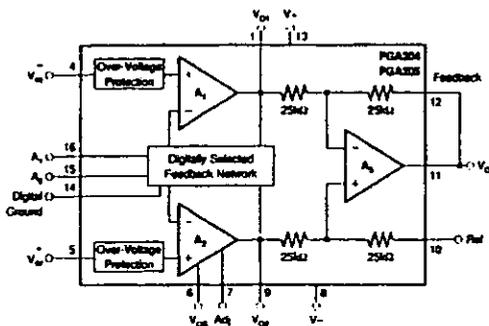
DESCRIPTION

The PGA204 and PGA205 are low cost, general purpose programmable-gain instrumentation amplifiers offering excellent accuracy. Gains are digitally selected: PGA204—1, 10, 100, 1000, and PGA205—1, 2, 4, 8V/V. The precision and versatility, and low cost of the PGA204 and PGA205 make them ideal for a wide range of applications.

Gain is selected by two TTL or CMOS-compatible address lines, A_1 and A_2 . Internal input protection can withstand up to $\pm 40V$ on the analog inputs without damage.

The PGA204 and PGA205 are laser trimmed for very low offset voltage ($50\mu V$), drift ($0.25\mu V/^\circ C$) and high common-mode rejection ($115dB$ at $G=1000$). They operate with power supplies as low as $\pm 4.5V$, allowing use in battery operated systems. Quiescent current is $5mA$.

The PGA204 and PGA205 are available in 16-pin plastic DIP, and SOL-16 surface-mount packages, specified for the $-40^\circ C$ to $+85^\circ C$ temperature range.



International Airport Industrial Park • Mailing Address: PO Box 11408 • Tucson, AZ 85724 • Street Address: 6720 S. Tucson Blvd. • Tucson, AZ 85706
Tel: (602) 796-1111 • Telex: 914-023-1111 • Cable: BURROCORP • Telex: 885-4491 • FAX: (602) 886-1510 • Inmate Product Info: (800) 548-4132



SPECIFICATIONS

ELECTRICAL

PGA205 G=1, 2, 4, 8V/V

At $T_c = 25^\circ\text{C}$, $V_{cc} = \pm 15\text{V}$, $R_L = 2k\Omega$ unless otherwise noted.

PARAMETER	CONDITIONS	PGA205BP, BU			PGA205AP, AU			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX		
INPUT Offset Voltage, V_{IO} vs Temperature vs Power Supply Long-Term Stability Rejection, Differential Common-Mode Input Common-Mode Range Safe Input Voltage Common Mode Rejection	$T_c = 25^\circ\text{C}$ $T_{c1} = T_{c2} = T_{c3}$ $V_{cc} = \pm 4.5\text{V}$ to $\pm 15\text{V}$ $V_{cm} = 0\text{V}$ (see test) $V_{cm} = \pm 10\text{V}$, $\Delta R_L = 1k\Omega$		± 10 - $20\mu\text{G}$ ± 0.1 - $0.5\mu\text{G}$ 0.5 - $2\mu\text{G}$ ± 0.2 - $0.5\mu\text{G}$	250 - $100\mu\text{G}$ ± 0.25 - $5\mu\text{G}$ 3 - $10\mu\text{G}$		± 25 - $30\mu\text{G}$ ± 0.25 - $5\mu\text{G}$	± 125 - $500\mu\text{G}$ ± 1 - $10\mu\text{G}$	μV $\mu\text{V}/^\circ\text{C}$ $\mu\text{V/V}$ $\mu\text{V}/\text{mo}$ dB/p dB/p V	
		G=1	80	94		75	88	dB	
		G=2	85	100		80	94	dB	
		G=4	90	108		85	100	dB	
		G=8	95	112		88	108	dB	
BIAS CURRENT vs Temperature Offset Current vs Temperature			± 0.5 18 ± 0.5 18	± 2 18 ± 2 18		± 5 18 18 18	μA $\mu\text{A}/^\circ\text{C}$ μA $\mu\text{A}/^\circ\text{C}$		
Noise Voltage, RTP : $f < 10\text{Hz}$ $f < 100\text{Hz}$ $f < 1\text{kHz}$ $f_c = 0.1\text{Hz}$ to 10Hz Noise Current $f < 10\text{Hz}$ $f < 1\text{kHz}$ $f_c = 0.1\text{Hz}$ to 10Hz	G=1, $R_L = 0\Omega$ G=8, $R_L = 0\Omega$ G=8, $R_L = 0\Omega$ G=8, $R_L = 0\Omega$		19 15 15 0.5				$\text{mV}/\sqrt{\text{Hz}}$ $\text{mV}/\sqrt{\text{Hz}}$ $\text{mV}/\sqrt{\text{Hz}}$ $\mu\text{V}/\text{p}$		
GAIN, Error Gain vs Temperature Nonlinearity	G=1 G=2 G=4 G=8 G=1 to 8		± 0.005 ± 0.01 ± 0.01 ± 0.01 12.5	± 0.024 ± 0.024 ± 0.024 ± 0.024 ± 10		± 0.05 ± 0.05 ± 0.05 ± 0.05 10	$\%$ $\%$ $\%$ $\%$ $\text{ppm}/^\circ\text{C}$		
	G=1		± 0.0024	± 0.001		± 0.002	% of FSR		
	G=2		± 0.0024	± 0.002		± 0.004	% of FSR		
	G=4		± 0.0024	± 0.002		± 0.004	% of FSR		
	G=8		± 0.0024	± 0.002		± 0.004	% of FSR		
OUTPUT Voltage, V_{OH}^{min} Negative ¹ Load Capacitance Stability Short Circuit Current	$I_L = 5\text{mA}$, T_{c1} to T_{c2} $I_L = 5\text{mA}$, T_{c1} to T_{c2}	$(V_c) - 1.5$ $(V_c) - 1.5$	$(V_c) - 1.3$ $(V_c) - 1.3$				V V pF mA		
FREQUENCY RESPONSE Bandwidth, -3dB Slew Rate Settling Time ² , 0.1% 0.01% Overload Recovery	G=1 G=2 G=4 G=8 $V_{cm} = 10\text{V}$, G=8 G=1 G=2 G=4 G=8 G=1 G=2 G=4 G=8		1 400 200 100 0.7 22 22 23 23 23 23 25 28 70				MHz MHz MHz MHz $\text{V}/\mu\text{s}$ μs μs μs μs μs μs μs μs		
DIGITAL LOGIC INPUTS Digital Ground Voltage, V_{GG} Digital Low Voltage Digital Low Current Digital High Voltage		V_c V_c		$(V_c) - 4$ $V_{OH} + 0.9\text{V}$			V V μA V		
POWER SUPPLY, Voltage Current	$V_{cc} = 0\text{V}$	± 4.5	± 15 ± 5.2 - 4.2	± 18 ± 6.5		± 7.5	V mA		
TEMPERATURE RANGE Specification Operating θ_{JA}		-40 -40		$+85$ $+125$			$^\circ\text{C}$ $^\circ\text{C}$ $^\circ\text{C}/\text{W}$		

¹ Specification same as PGA204BP.

NOTES: (1) Input-referred noise voltage varies with gain. See typical curves. (2) Output voltage swing is tested for $\pm 10\text{V}$ min on $\pm 11\text{V}$ power supplies. (3) Includes time to switch to a new gain.





Precision, Low Cost, High Speed, BiFET Op Amp

AD711

FEATURES

Enhanced Replacements for LF411 and TL081

AC PERFORMANCE

- Settles to $\pm 0.01\%$ in 1.0 μs
- 16 V/ μs min Slew Rate (AD711J)
- 3 MHz min Unity Gain Bandwidth (AD711J)

DC PERFORMANCE

- 0.25 mV max Offset Voltage: (AD711C)
- 3 $\mu V/^\circ C$ max Drift: (AD711C)
- 200 V/mV min Open-Loop Gain (AD711K)
- 4 μV p-p max Noise, 0.1 Hz to 10 Hz (AD711C)
- Available in Plastic Mini-DIP, Plastic SO, Hermetic Cerdip, and Hermetic Metal Can Packages

MIL-STD-883B Parts Available

- Available in Tape and Reel in Accordance with EIA-481A Standard
- Surface Mount (SOIC)
- Dual Version: AD712
- Quad Version: AD713

PRODUCT DESCRIPTION

The AD711 is a high speed, precision monolithic operational amplifier offering high performance at very modest prices. Its very low offset voltage and offset voltage drift are the results of advanced laser wafer trimming technology. These performance benefits allow the user to easily upgrade existing designs that use older precision BiFETs and, in many cases, bipolar op amps.

The superior ac and dc performance of this op amp makes it suitable for active filter applications. With a slew rate of 16 V/ μs and a settling time of 1 μs to $\pm 0.01\%$, the AD711 is ideal as a buffer for 12-bit D/A and A/D Converters and as a high-speed integrator. The settling time is unmatched by any similar IC amplifier.

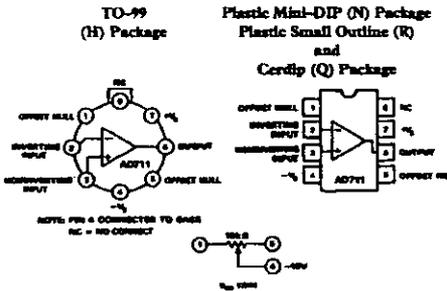
The combination of excellent noise performance and low input current also make the AD711 useful for photo diode preamps. Common-mode rejection of 88 dB and open loop gain of 400 V/mV ensure 12-bit performance even in high-speed unity gain buffer circuits.

The AD711 is pinned out in a standard op amp configuration and is available in seven performance grades. The AD711J and AD711K are rated over the commercial temperature range of $0^\circ C$ to $+70^\circ C$. The AD711A, AD711B and AD711C are rated over the industrial temperature range of $-40^\circ C$ to $+85^\circ C$. The AD711S and AD711T are rated over the military temperature range of $-40^\circ C$ to $+125^\circ C$ and are available processed to MIL-STD-883B, Rev. C.

REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

CONNECTION DIAGRAMS



Extended reliability PLUS screening is available, specified over the commercial and industrial temperature ranges. PLUS screening includes 168-hour burn-in, as well as other environmental and physical tests.

The AD711 is available in an 8-pin plastic mini-DIP, small outline, cerdip, TO-99 metal can, or in chip form.

PRODUCT HIGHLIGHTS

1. The AD711 offers excellent overall performance at very competitive prices.
2. Analog Devices' advanced processing technology and with 100% testing guarantees a low input offset voltage (0.25 mV max, C grade, 2 mV max, J grade). Input offset voltage is specified in the warmed-up condition. Analog Devices' laser wafer drift trimming process reduces input offset voltage drifts to 3 $\mu V/^\circ C$ max on the AD711C.
3. Along with precision dc performance, the AD711 offers excellent dynamic response. It settles to $\pm 0.01\%$ in 1 μs and has a 100% tested minimum slew rate of 16 V/ μs . Thus this device is ideal for applications such as DAC and ADC buffers which require a combination of superior ac and dc performance.
4. The AD711 has a guaranteed and tested maximum voltage noise of 4 μV p-p, 0.1 to 10 Hz (AD711C).
5. Analog Devices' well-matched, ion-implanted JFETs ensure a guaranteed input bias current (at either input) of 25 pA max (AD711C) and an input offset current of 10 pA max (AD711C). Both input bias current and input offset current are guaranteed in the warmed-up condition.

One Technology Way, P.O. Box 8706, Norwood, MA 02062-8706, U.S.A.
Tel: 617/328-4700 Fax: 617/328-8703

AD711—SPECIFICATIONS

ELECTRICAL CHARACTERISTICS ($V_S = \pm 15\text{ V} @ T_A = +25^\circ\text{C}$ unless otherwise noted)

Parameter	$\mu\text{A/S}$			K/S/T			C			Units
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
INPUT OFFSET VOLTAGE¹										
Initial Offset		0.3	2/1/1		0.2	0.5		0.10	0.25	mV
T_{MIN} to T_{MAX}			3/2/2			1.0			0.45	mV
vs. Temp		7	20/20/20		5	10		2	5	$\mu\text{V}/^\circ\text{C}$
vs. Supply	76	95		80	100		86	110		dB
T_{MIN} to T_{MAX}	76/76/76			80			86			dB
Long-Term Stability		15			15			15		$\mu\text{V}/\text{Month}$
INPUT BIAS CURRENT²										
$V_{CM} = 0\text{ V}$		15	50		15	50		15	25	μA
$V_{CM} = 0\text{ V} @ T_{MAX}$			1.1/3.2/51			1.1/3.2/51			1.6	nA
$V_{CM} = \pm 10\text{ V}$		20	100		20	100		20	50	μA
INPUT OFFSET CURRENT										
$V_{CM} = 0\text{ V}$		10	25		5	25		5	10	μA
$V_{CM} = 0\text{ V} @ T_{MAX}$			0.6/1.6/26			0.6/1.6/26			0.65	nA
FREQUENCY RESPONSE										
Small Signal Bandwidth	3.0	4.0		3.4	4.0		3.4	4.0		MHz
Full Power Response		200			200			200		kHz
Slew Rate	16	20		18	20		18	20		V/ μs
Settling Time to 0.01%		1.0	1.2		1.0	1.2		1.0	1.2	μs
Total Harmonic Distortion		0.0003			0.0003			0.0003		%
INPUT IMPEDANCE										
Differential		$3 \times 10^{11} \pm 5$			$3 \times 10^{11} \pm 5$			$3 \times 10^{11} \pm 5$		Ohm^2
Common Mode		$3 \times 10^{11} \pm 5$			$3 \times 10^{11} \pm 5$			$3 \times 10^{11} \pm 5$		Ohm^2
INPUT VOLTAGE RANGE										
Differential ³		± 20			± 20			± 20		V
Common-Mode Voltage ⁴		+14.5, -11.5			+14.5, -11.5			+14.5, -11.5		V
T_{MIN} to T_{MAX}	$-V_S + 4$		$+V_S - 2$	$-V_S + 4$		$+V_S - 2$	$-V_S + 4$		$+V_S - 2$	V
Common-Mode Rejection Ratio										dB
$V_{CM} = \pm 10\text{ V}$	76	88		80	88		86	94		dB
T_{MIN} to T_{MAX}	76/76/76	84		80	84		86	90		dB
$V_{CM} = \pm 11\text{ V}$	70	84		76	84		76	90		dB
T_{MIN} to T_{MAX}	70/70/70	80		74	80		74	84		dB
INPUT VOLTAGE NOISE										
		2			2			2	4	$\mu\text{V p-p}$
		45			45			45		nV/√Hz
		22			22			22		nV/√Hz
		18			18			18		nV/√Hz
		16			16			16		nV/√Hz
INPUT CURRENT NOISE		0.01			0.01			0.01		$\text{pA}/\sqrt{\text{Hz}}$
OPEN-LOOP GAIN	150	400		200	400		200	400		V/mV
	100/100/100			100			100			V/mV
OUTPUT CHARACTERISTICS										
Voltage	+13, -12.5	+13.9, -13.3		+13, -12.5	+13.9, -13.3		+13, -12.5	+13.9, -13.3		V
Current	$\pm 12 \pm 12 \pm 12$	+13.8, -13.1		± 12	+13.8, -13.1		± 12	+13.8, -13.1		V
		25			25			25		mA
POWER SUPPLY										
Rated Performance		± 15			± 15			± 15		V
Operating Range	± 4.5		± 18	± 4.5		± 18	± 4.5		± 18	V
Quiescent Current		2.5	3.4		2.5	3.0		2.5	2.8	mA

NOTES

- ¹Input Offset Voltage specifications are guaranteed after 5 minutes of operation at $T_A = +25^\circ\text{C}$.
 - ²Bias Current specifications are guaranteed maximums at either input after 5 minutes of operation at $T_A = +25^\circ\text{C}$. For higher temperatures, the current doubles every 10°C .
 - ³Defined as voltage between inputs, such that neither exceeds $\pm 10\text{ V}$ from ground.
 - ⁴Typically exceeding -14.1 V negative common-mode voltage on either input results in an output phase reversal.
- Specifications subject to change without notice.



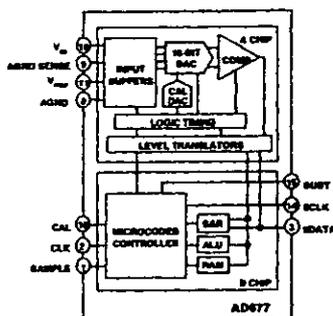
16-Bit 100 kSPS Sampling ADC

AD677

FEATURES

- Autocalibrating
- On-Chip Sample-Hold Function
- Serial Output
- 16 Bits No Missing Codes
- ± 1 LSB INL
- 99 dB THD
- 92 dB S/(N+D)
- 1 MHz Full Power Bandwidth

FUNCTIONAL BLOCK DIAGRAM



PRODUCT DESCRIPTION

The AD677 is a multipurpose 16-bit serial output analog-to-digital converter which utilizes a switched-capacitor/charge redistribution architecture to achieve a 100 kSPS conversion rate (10 μ s total conversion time). Overall performance is optimized by digitally correcting internal nonlinearities through on-chip autocalibration.

The AD677 circuitry is segmented onto two monolithic chips—a digital control chip fabricated on Analog Devices DSP CMOS process and an analog ADC chip fabricated on our BiMOS II process. Both chips are contained in a single package.

The AD677 is specified for ac (or "dynamic") parameters such as S/(N+D) Ratio, THD and IMD which are important in signal processing applications. In addition, dc parameters are specified which are important in measurement applications.

The AD677 operates from +5 V and ± 12 V supplies and typically consumes 450 mW using a 10 V reference (360 mW with 5 V reference) during conversion. The digital supply (V_{DD}) is separated from the analog supplies (V_{CC} , V_{REF}) for reduced digital crosstalk. An analog ground sense is provided to remotely sense the ground potential of the signal source. This can be useful if the signal has to be carried some distance to the A/D converter. Separate analog and digital grounds are also provided.

The AD677 is available in a 16-pin narrow plastic DIP, 16-pin narrow side-brazed ceramic package, or 28-lead SOIC. A parallel output version, the AD676, is available in a 28-pin ceramic or plastic DIP. All models operate over a commercial temperature range of 0°C to +70°C or an industrial range of -40°C to +85°C.

REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

PRODUCT HIGHLIGHTS

1. Autocalibration provides excellent dc performance while eliminating the need for user adjustments or additional external circuitry.
2. ± 5 V to ± 10 V input range ($\pm V_{REF}$).
3. Available in 16-pin 0.3" skinny DIP or 28-lead SOIC.
4. Easy serial interface to standard ADI DSPs.
5. TTL compatible inputs/outputs.
6. Excellent ac performance: -99 dB THD, 92 dB S/(N+D) peak spurious -101 dB.
7. Industry leading dc performance: 1.0 LSB INL, ± 1 LSB full scale and offset.

One Technology Way, P.O. Box 8106, Norwood, MA 02062-8106, U.S.A.
Tel: 617/329-4700 Fax: 617/329-4703

DC SPECIFICATIONS (T_{MIN} to T_{MAX} , $V_{CC} = +12\text{ V} \pm 5\%$, $V_{EE} = -12\text{ V} \pm 5\%$, $V_{DD} = +5\text{ V} \pm 10\%$)¹

Parameter	AD677J/A			AD677K/B			Units
	Min	Typ	Max	Min	Typ	Max	
TEMPERATURE RANGE							
J, K Grades	0		+70	0		+70	°C
A, B Grades	-40		+85	-40		+85	°C
ACCURACY							
Resolution	16			16			Bits
Integral Nonlinearity (INL)							
@ 83 kSPS, T_{MIN} to T_{MAX}		±1			±1	±1.5	LSB
@ 100 kSPS, +25°C		±1			+1	±1.5	LSB
@ 100 kSPS, T_{MIN} to T_{MAX}		±2			±2		LSB
Differential Nonlinearity (DNL)—No Missing Codes	16			16			Bits
Bipolar Zero Error ²		±2	±4		±1	±3	LSB
Positive, Negative FS Errors ²							
@ 83 kSPS		±2	±4		±1	±3	LSB
@ 100 kSPS, +25°C		±2	±4		±1	±3	LSB
@ 100 kSPS		±4			±4		LSB
TEMPERATURE DRIFT³							
Bipolar Zero		±0.5			±0.5		LSB
Positive Full Scale		±0.5			±0.5		LSB
Negative Full Scale		±0.5			±0.5		LSB
VOLTAGE REFERENCE INPUT RANGE⁴ (V_{REF})							
	5		10	5		10	V
ANALOG INPUT⁵							
Input Range (V_{IN})			± V_{REF}			± V_{REF}	V
Input Impedance		*			*		
Input Settling Time		2			2		µs
Input Capacitance During Sample			50*			50*	pF
Aperture Delay		6			6		ns
Aperture Jitter		100			100		ps
POWER SUPPLIES							
Power Supply Rejection ⁶							
$V_{CC} = +12\text{ V} \pm 5\%$		±0.5			±0.5		LSB
$V_{EE} = -12\text{ V} \pm 5\%$		±0.5			±0.5		LSB
$V_{DD} = +5\text{ V} \pm 10\%$		±0.5			±0.5		LSB
Operating Current							
$V_{REF} = +5\text{ V}$							
I_{CC}		14.5	18		14.5	18	mA
I_{EE}		14.5	18		14.5	18	-mA
I_{DD}		3	5		3	5	mA
Power Consumption		360	480		360	480	mW
$V_{REF} = +10\text{ V}$							
I_{CC}		18	24		18	24	mA
I_{EE}		18	24		18	24	-mA
I_{DD}		3	5		3	5	mA
Power Consumption		450	630		450	630	mW

NOTES

¹ $V_{REF} = 10.0\text{ V}$, Conversion Rate = 100 kSPS unless otherwise noted. Values are post-calibration.

²Values shown apply to any temperature from T_{MIN} to T_{MAX} after calibration at that temperature at nominal supplies.

³Values shown are based upon calibration at +25°C with no additional calibration at temperature. Values shown are the typical variation from the value at +25°C.

⁴See "APPLICATIONS" section for recommended voltage reference circuit, and Figure 11 for dynamic performance with other reference voltage values.

⁵See "APPLICATIONS" section for recommended input buffer circuit.

⁶Typical deviation of bipolar zero, -full scale or +full scale from min to max rating.

⁷For explanation of input characteristics, see "ANALOG INPUT" section.

Specifications subject to change without notice.



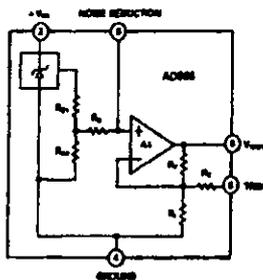
High Precision 5 V Reference

AD586

FEATURES

- Laser Trimmed to High Accuracy:
5,000 V ± 2.0 mV (M Grade)
- Trimmed Temperature Coefficient:
2 ppm/ $^{\circ}$ C max, 0° C to $+70^{\circ}$ C (M Grade)
5 ppm/ $^{\circ}$ C max, -40° C to $+85^{\circ}$ C (B & L Grades)
10 ppm/ $^{\circ}$ C max, -85° C to $+125^{\circ}$ C (T Grade)
- Low Noise, 100 nV/ $\sqrt{\text{Hz}}$
- Noise Reduction Capability
- Output Trim Capability
- MIL-STD-883 Compliant Versions Available
- Industrial Temperature Range SOICs Available
- Output Capable of Sourcing or Sinking 10 mA

FUNCTIONAL BLOCK DIAGRAM



NOTE: PINS 1, 2, 5, 7 ARE INTERNAL TEST POINTS.
MAKE NO CONNECTIONS TO THESE POINTS.

PRODUCT DESCRIPTION

The AD586 represents a major advance in the state-of-the-art in monolithic voltage references. Using a proprietary laser-implanted buried Zener diode and laser wafer trimming of high stability thin-film resistors, the AD586 provides outstanding performance at low cost.

The AD586 offers much higher performance than most other 5 V references. Because the AD586 uses an industry standard pinout, many systems can be upgraded instantly with the AD586. The buried Zener approach to reference design provides lower noise and drift than bandgap voltage references. The AD586 offers a noise reduction pin which can be used to further reduce the noise level generated by the buried Zener.

The AD586 is recommended for use as a reference for 8-, 10-, 12-, 14- or 16-bit D/A converters which require an external precision reference. The device is also ideal for successive approximation or integrating A/D converters with up to 14 bits of accuracy and, in general, can offer better performance than the standard on-chip references.

The AD586J, K, L and M are specified for operation from 0° C to $+70^{\circ}$ C, the AD586A and B are specified for -40° C to $+85^{\circ}$ C operation, and the AD586S and T are specified for -55° C to $+125^{\circ}$ C operation. The AD586J, K, L and M are available in an 8-pin plastic DIP. The AD586K, L, A and B are available in an 8-pin plastic surface mount small outline (SO) package. The AD586J, K, L, S and T are available in an 8-pin cerdip package.

PRODUCT HIGHLIGHTS

1. Laser trimming of both initial accuracy and temperature coefficients results in very low errors over temperature without the use of external components. The AD586M has a maximum deviation from 5,000 V of ± 2.45 mV between 0° C and -70° C, and the AD586T guarantees ± 7.5 mV maximum total error between -55° C and $+125^{\circ}$ C.
2. For applications requiring higher precision, an optional fine-trim connection is provided.
3. Any system using an industry standard pinout reference can be upgraded instantly with the AD586.
4. Output noise of the AD586 is very low, typically 4 μ V p-p. A noise reduction pin is provided for additional noise filtering using an external capacitor.
5. The AD586 is available in versions compliant with MIL-STD-883. Refer to the Analog Devices Military Products Databook or current AD586/883B data sheet for detailed specifications.

REV. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9100, Norwood, MA 02062-9100, U.S.A.
Tel: 617/329-4700 Fax: 617/326-4703

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

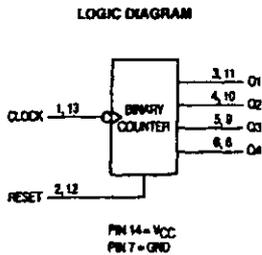
**Dual 4-Stage
Binary Ripple Counter**
High-Performance Silicon-Gate CMOS

The MC54/74HC393 is identical in pinout to the LS393. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two independent 4-bit binary ripple counters with parallel outputs from each counter stage. A $\times 256$ counter can be obtained by cascading the two binary counters.

Internal flip-flops are triggered by high-to-low transitions of the clock input. Reset for the counters is asynchronous and active-high. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used as clocks or as strobes except when gated with the Clock of the HC393.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 236 FETs or 69 Equivalent Gates



MC54/74HC393



J SUFFIX
CERAMIC PACKAGE
CASE 632-08



N SUFFIX
PLASTIC PACKAGE
CASE 646-06



D SUFFIX
SOIC PACKAGE
CASE 751A-03

ORDERING INFORMATION

MC54HC393J	Ceramic
MC74HC393N	Plastic
MC74HC393D	SOIC

PIN ASSIGNMENT

CLOCK \bar{a}	1	14	VCC
RESET \bar{a}	2	13	CLOCK \bar{b}
Q ₁	3	12	RESET \bar{b}
Q ₂	4	11	Q ₁ \bar{b}
Q ₃	5	10	Q ₂ \bar{b}
Q ₄	6	9	Q ₃ \bar{b}
GND	7	8	Q ₄ \bar{b}

FUNCTION TABLE

Inputs		Outputs
Clock	Reset	
X	H	L
H	L	No Change
L	L	No Change
\nearrow	L	No Change
\searrow	L	Advance to Next State

MC5474HC39 3

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	- 0.5 to + 7.0	V
V _{in}	DC Input Voltage (Referenced to GND)	- 1.5 to V _{CC} + 1.5	V
V _{out}	DC Output Voltage (Referenced to GND)	- 0.5 to V _{CC} + 0.5	V
I _{in}	DC Input Current, per Pin	± 20	mA
I _{out}	DC Output Current, per Pin	± 25	mA
I _{CC}	DC Supply Current, V _{CC} and GND Pins	± 50	mA
P _D	Power Dissipation in Still Air, Plastic or Ceramic DIP; SOIC Package†	750 500	mW
T _{stg}	Storage Temperature	- 65 to + 150	°C
T _L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic or SOIC DIP) (Ceramic DIP)	250 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to the high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range (GND ≤ (V_{in} or V_{out}) ≤ V_{CC}). Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.
 † Operating — Plastic DIP: - 10 mW/°C from 65° to 125°C
 Ceramic DIP: - 10 mW/°C from 100° to 125°C
 SOIC Package: - 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V _{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
V _{in} , V _{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V _{CC}	V	
T _A	Operating Temperature, All Package Types	- 55	+ 125	°C	
t _r , t _f	Input Rise and Fall Time (Figure 1)	V _{CC} = 2.0 V V _{CC} = 4.5 V V _{CC} = 6.0 V	0 0 0	1000 500 400	ns

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC} V	Guaranteed Limit			Unit
				- 55 to 25°C	≤ 65°C	≤ 125°C	
V _{IH}	Minimum High-Level Input Voltage	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V _{IL}	Maximum Low-Level Input Voltage	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V _{OH}	Minimum High-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
I _{in}	Maximum Input Leakage Current	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5	0.26	0.33	0.40	μA
			6.0	0.26	0.33	0.40	
			6.0	± 0.1	± 1.0	± 1.0	
I _{CC}	Maximum Quiescent Supply Current (per Package)	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	8	60	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129D).

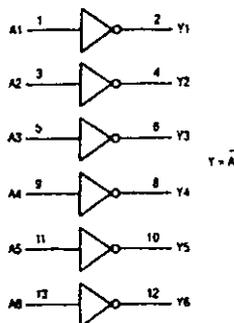
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Hex Inverter
High-Performance Silicon-Gate CMOS

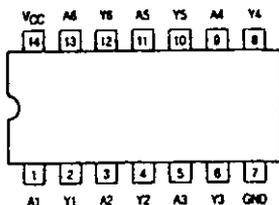
The MC54/74HC04A is identical in pinout to the LS04 and the MC14069. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LS-TTL outputs. The device consists of six three-stage inverters.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1 μ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 36 FETs or 9 Equivalent Gates

LOGIC DIAGRAM



Pinout: 14-Lead Packages (Top View)



MC54/74HC04A



J SUFFIX
CERAMIC PACKAGE
CASE 632-08



N SUFFIX
PLASTIC PACKAGE
CASE 645-06



D SUFFIX
SOIC PACKAGE
CASE 751A-03



DT SUFFIX
TSSOP PACKAGE
CASE 948G-01

ORDERING INFORMATION

MC54HC04 AJ	Ceramic
MC74HC04 AN	Plastic
MC74HC04 AD	SOIC
MC74HC04 ADT	TSSOP

FUNCTION TABLE

Inputs	Outputs
A	Y
L	H
H	L

MCS4/74HC04 A

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	-0.5 to +7.0	V
V _{in}	DC Input Voltage (Referenced to GND)	-0.5 to V _{CC} + 0.5	V
V _{out}	DC Output Voltage (Referenced to GND)	-0.5 to V _{CC} + 0.5	V
I _{in}	DC Input Current, per Pin	±20	mA
I _{out}	DC Output Current, per Pin	±25	mA
I _{CC}	DC Supply Current, V _{CC} and GND Pins	±50	mA
P _D	Power Dissipation in SMT Air, Plastic or Ceramic DIP1 SOIC Package† TSSOP Package†	750 500 650	mW
T _{stg}	Storage Temperature	-65 to +150	°C
T _L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC or TSSOP Package Ceramic DIP	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltage to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommendations of Operating Conditions.

†Decrating — Plastic DIP: -10 mW/°C from 65° to 125 °C
Ceramic DIP: -10 mW/°C from 100° to 125 °C
SOIC Package: -7 mW/°C from 65° to 125 °C
TSSOP Package: -6.1 mW/°C from 65° to 125 °C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V _{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
V _{in} , V _{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V _{CC}	V	
T _A	Operating Temperature, All Package Types	-55	+125	°C	
t _r , t _f	Input Rise and Fall Time (Figure 1)	V _{CC} = 2.0 V V _{CC} = 4.5 V V _{CC} = 6.0 V	0	1000 500 400	ns



Data sheet acquired from Harris Semiconductor
SCHS122A

November 1997 - Revised April 1999

**CD54HC4051,
CD74HC4051, CD74HCT4051,
CD74HC4052, CD74HCT4052,
CD74HC4053, CD74HCT4053**

**High Speed CMOS Logic
Analog Multiplexers/Demultiplexers**

Features

- Wide Analog Input Voltage Range ±5V Max
- Low "On" Resistance
 - 70Ω Typical ($V_{CC} - V_{EE} = 4.5V$)
 - 40Ω Typical ($V_{CC} - V_{EE} = 9V$)
- Low Crosstalk between Switches
- Fast Switching and Propagation Speeds
- "Break-Before-Make" Switching
- Wide Operating Temperature Range ... -65°C to 125°C
- CD54HC/CD74HC Types
 - Operation Control Voltage 2V to 6V
 - Switch Voltage 0V to 10V
 - High Noise Immunity ... $N_{LH} = 30\%$, $N_{HL} = 30\%$ of V_{CC} , $V_{CC} = 5V$
- CD54HCT/CD74HCT Types
 - Operation Control Voltage 4.5V to 5.5V
 - Switch Voltage 0V to 10V
 - Direct LSTTL Input Logic Compatibility ... $V_{IL} = 0.8V$ Max, $V_{IH} = 2V$ Min
 - CMOS Input Compatibility $I_1 \leq 1\mu A$ at V_{OL} , V_{OH}

Description

These devices are digitally controlled analog switches which utilize silicon gate CMOS technology to achieve operating speeds similar to LSTTL with the low power consumption of standard CMOS integrated circuits.

These analog multiplexers/demultiplexers control analog voltages that may vary across the voltage supply range (i.e. V_{CC} to V_{EE}). They are bidirectional switches thus allowing any analog input to be used as an output and vice-versa. The switches have low "on" resistance and low "off" leakage. In addition, all three devices have an enable control which, when high, disables all switches to their "off" state.

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CD54HC4051F	-65 to 125	16 Ld CERDIP	F16.3
CD74HC4051E	-65 to 125	16 Ld PDIP	E16.3
CD74HC4052E	-65 to 125	16 Ld PDIP	E16.3
CD74HC4053E	-65 to 125	16 Ld PDIP	E16.3
CD74HCT4051E	-65 to 125	16 Ld PDIP	E16.3
CD74HCT4052E	-65 to 125	16 Ld PDIP	E16.3
CD74HCT4053E	-65 to 125	16 Ld PDIP	E16.3
CD74HC4051M	-65 to 125	16 Ld SOIC	M16.15
CD74HC4052M	-65 to 125	16 Ld SOIC	M16.15
CD74HC4053M	-65 to 125	16 Ld SOIC	M16.15
CD74HCT4051M	-65 to 125	16 Ld SOIC	M16.15
CD74HCT4052M	-65 to 125	16 Ld SOIC	M16.15
CD74HCT4053M	-65 to 125	16 Ld SOIC	M16.15
CD74HCT4053PW	-65 to 125	16 Ld TSSOP	
CD74HCT4052SM	-65 to 125	16 Ld SSOP	M16.15A

NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel. For the TSSOP package only, add the suffix R to obtain the variant in the tape and reel.
2. Wafer or die is available which meets all electrical specifications. Please contact your local sales office or Harris customer service for ordering information.

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.
Copyright © Harris Corporation 1997

File Number: 1678.1

CD54HC40 51, CD74HC40 51, 52, 53; CD74HCT40 51, 52, 53

Absolute Maximum Ratings (Note 3)

DC Supply Voltage, $V_{CC} - V_{EE}$	-0.5V to 10.5V
DC Supply Voltage, V_{CC}	-0.5V to +7V
DC Supply Voltage, V_{EE}	-0.5V to -7V
DC Input Diode Current, I_{IK}	
For $V_I < -0.5V$ or $V_I > V_{CC} + 0.5V$	$\pm 20mA$
DC Switch Diode Current, I_{OZ}	
For $V_I > V_{EE} - 0.5V$ or $V_I < V_{CC} + 0.5V$	$\pm 20mA$
DC Switch Current (Note 2)	
For $V_I > V_{EE} - 0.5V$ or $V_I < V_{CC} + 0.5V$	$\pm 25mA$
DC V_{CC} or Ground Current, I_{CC}	$\pm 50mA$
DC V_{EE} Current, I_{EE}	-20mA

Thermal Information

Thermal Resistance (Typical, Note 4)	θ_{JA} ($^{\circ}C/W$)	θ_{JC} ($^{\circ}C/W$)
PDP Package	80	N/A
SOIC Package	180	N/A
CEMOP Package	130	55
TSSOP Package	148	35
Minimum Junction Temperature	-150 $^{\circ}C$	
Maximum Storage Temperature Range	-65 $^{\circ}C$ to 150 $^{\circ}C$	
Maximum Lead Temperature (Soldering 10s)	300 $^{\circ}C$	

Recommended Operating Conditions

For maximum reliability, recommended operating conditions should be selected so that operation is always within the following ranges:

PARAMETER	MIN	MAX	UNITS
Supply Voltage Range (For T_A = Full Package Temperature Range), V_{CC} (Note 5)			
CD5474HC Types	2	6	V
CD5474HCT Types	4.5	5.5	V
Supply Voltage Range (For T_A = Full Package Temperature Range), $V_{CC} - V_{EE}$			
CD5474HC Types, CD5474HCT Types (See Figure 1)	2	10	V
Supply Voltage Range (For T_A = Full Package Temperature Range), V_{EE} (Note 5)			
CD5474HC Types, CD5474HCT Types (See Figure 2)	0	-6	V
DC Input Control Voltage, V_I	GND	V_{CC}	V
Analog Switch (O) Voltage, V_{IS}	V_{EE}	V_{CC}	V
Operating Temperature, T_A	-55	125	$^{\circ}C$
Input Rise and Fall Times, t_r, t_f			ns
2V	0	1000	ns
4.5V	0	500	ns
8V	0	400	ns

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation at the limits of duration or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

- All voltages referenced to GND unless otherwise specified.
- θ_{JA} is measured with the component mounted on an evaluation PCB board in free air.
- In certain applications, the external load resistor current may include both V_{CC} and signal line components. To avoid causing V_{CC} current when switch current flows into the transmission gate inputs, the voltage drop across the bidirectional switch must not exceed 0.5V (calculated from I_{OZ} values shown in Electrical Specifications table). No V_{CC} current will flow through R_L if the switch current flows into terminal 3 on the HCT4051; terminals 3 and 13 on the HCT4052; terminals 4, 14 and 15 on the HCT4053.

Recommended Operating Area as a Function of Supply Voltages

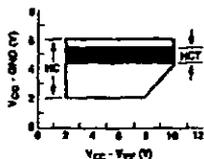


FIGURE 1.

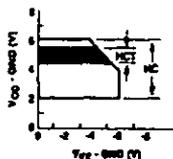


FIGURE 2.

DM74LS299 8-Input Universal Shift/Storage Register with Common Parallel I/O Pins



March 1989

DM74LS299 8-Input Universal Shift/Storage Register with Common Parallel I/O Pins

General Description

The 74LS299 is an 8-bit universal shift/storage register with 3-STATE outputs. Four modes of operation are possible: load (parallel shift left, shift right and load shift). The parallel load inputs and flip-flop outputs are multiplexed to reduce the total number of package pins. Separate outputs are provided for flip-flops Q6 and Q7 to allow easy cascading. A separate active LOW Master Reset is used to reset the register.

Features

- Common I/O for reduced pin count
- Four operation modes: shift left, shift right, load and store
- Separate shift right serial input and shift left serial input for easy cascading
- 3-STATE outputs for bus-oriented applications

Connection Diagram



Order Number DM74LS299, DM74LS299A, DM74LS299B,
DM74LS299C or DM74LS299D
See Package Number (29A, 29B, 29C, 29D or W29A)

Pin Name	Description
CP	Clock Pulse Input (Active Rising Edge)
D ₇	Serial Data Input for Right Shift
D ₆	Serial Data Input for Left Shift
S0, S1	Mode Select Inputs
MH	Asynchronous Master Reset Input (Active LOW)
OE1, OE2	3-STATE Output Enable Inputs (Active LOW)
Q0-Q7	Parallel Data Inputs or 3-STATE Parallel Outputs
Q6-Q7	Serial Outputs

Absolute Maximum Ratings (note 1)		DMS4	-55°C to +125°C
Supply Voltage	7V	DM74LS	0°C to +70°C
Input Voltage	7V	Storage Temperature Range	-65°C to +150°C
Operating Free Air Temperature Range			

Recommended Operating Conditions

Symbol	Parameter	DM54LS200			DM74LS200			Units
		Min	Max	Max	Min	Max	Max	
V_{CC}	Supply Voltage	-4.5	5	5.5	4.75	5	5.25	V
V_{OH}	High Level Input Voltage	2			2			V
V_{OL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current		OD, OZ	-0.4			-0.4	mA
			IOO-IOZ	-2.8			-2.8	mA
I_{OL}	Low Level Output Current		OD, OZ	4			4	mA
			IOO-IOZ	12			24	mA
T_{stg}	Free Air Operating Temperature	-65		125	0		70	°C
t_{PHZ}	Setup Time HIGH or LOW	20			24			ns
t_{PLZ}	Hold Time HIGH or LOW	24			24			ns
t_{PH}	Hold Time HIGH or LOW	5			0			ns
t_{PL}	Hold Time HIGH or LOW	5			0			ns
t_{PR}	Setup Time HIGH or LOW	15			10			ns
t_{PLZ}	IO_{OH} , O_{OH} , O_{OL} to CP	15			10			ns
t_{PH}	Hold Time HIGH or LOW	5			0			ns
t_{PL}	Hold Time HIGH or LOW	5			0			ns
t_{PHZ}	CP Pulse Width HIGH or LOW	15			15			ns
t_{PLZ}	CP Pulse Width HIGH or LOW	15			15			ns
t_{PLZ}	OE Pulse Width LOW	15			15			ns
t_{tr}	Rise/Fall Time	10			10			ns
	OE to CP							

Note 1: The "Absolute Maximum Rating" are those values beyond which the ability of the device to meet its guaranteed performance may be impaired. The device should not be operated at these limits. The parameter values defined in the "Electrical Characteristics" table are all guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table sets the conditions for normal operation.

Electrical Characteristics

Over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
			(Note 2)			
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}$, $I_I = -10 \text{ mA}$			-1.5	V
V_{OH}	High Level Output Voltage	$V_{CC} = \text{Min}$, $I_{OH} = \text{Max}$	DMS4 DM74	2.5 2.7	3.4	V
		$V_I = \text{Min}$		2.4		
		OD, OZ				
		IOO-IOZ				
V_{OL}	Low Level Output Voltage	$V_{CC} = \text{Min}$, $I_{OL} = \text{Max}$	DMS4		0.4	V
		$V_{OH} = \text{Min}$	DM74	0.35	0.5	
		$I_{OH} = 4 \text{ mA}$, $V_{CC} = \text{Min}$	DM74	0.25	0.4	
I_I	Input Current @ Min. Input Voltage	$V_{CC} = \text{Max}$, $V_I = 10V$ (DMS4)	Inputs		0.1	mA
		$V_I = 7V$ (DM74)	Sn		0.2	mA
I_{IH}	High Level Input Current	$V_{CC} = \text{Max}$, $V_I = 2.7V$	Sn		40	μA
			Inputs		20	μA
I_{IL}	Low Level Input Current	$V_{CC} = \text{Max}$, $V_I = 0.4V$	Sn		-0.8	mA
			Inputs		-0.4	mA

www.fairchildsemi.com

7

REFERENCIAS

- [1] Schlumberger. *Principios/Aplicaciones de la Interpretación de Registros*. Educational Services. 1-16.
- [2] Orellana, E., *Prospección geoelectrica con corriente continua*. Madrid, 1982. 38-42, 55-83, 104-108, 111-115.
- [3] Krauss, D. J. *Electromagnetismo*. U.S.A., 1984. 297-299, 334, 399-412, 491-499.
- [4] Bassiouni, Z. *Theory, Measurements, and Interpretation of well logs*. TX, 1994. 92-106.
- [5] WESTERN ATLAS.
http://www.westatlas.com/WAIV_WALS/catalogs/Brochure/dhll/CNT/hdll.html. 1997.
- [6] Kalinin, B.B., Mousatov, A.A. (1989). *Posibilidades del método de Detección Síncronica para aumentar razón señal-ruido y para unificar equipo de prospección eléctrica*. Geofisicheskaya Apparatura, No. 79, Moscu. 43-51 en Ruso.
- [7] Lathi, B. P. *Introducción a la teoría y sistemas de comunicación*. México, 1994. 94-100, 237-254.
- [8] National Instruments. *Data Acquisition Fundamentals*. Application Note 007, 1996. 2-10.

- [9] Tocci, R. *Sistemas Digitales. Principios y Aplicaciones*. Prentice-Hall, 1987. 397-410, 447-458, 470-513.
- [10] Driscoll, F. *Circuitos Integrados lineales y Amplificadores Operacionales*. Prentice-Hall, 1987. 162-172.
- [11] Kenneth, H. Tabak, D. *Microcontrollers: Architecture, Implementation & Programming*. McGraw-Hill, 1992. 1-28, 32-50.
- [12] Salvá, A. *Guía de usuario del sistema PUMMA-SIMMP-2*. Circulación libre, Facultad de Ingeniería, UNAM, 1996.3-19, 26-33,35-36,43-46,52-56.

BIBLIOGRAFÍA

CSIPSA. *Ingeniería Petrolera Básica.* México, 1995.

Bassiouni, Z. *Theory, Measurements, and Interpretation of well logs.* TX, 1994.

Krauss, D. J. *Electromagnetismo.* U.S.A., 1984.

Schlumberger. *Principios/Aplicaciones de la Interpretación de Registros.* Educational Services.

Orellana, E., *Prospección geoelectrica con corriente continua.* Madrid, 1982.

Orellana, E., *Prospección geoelectrica / por campos variables.* Madrid, 1974.

WESTERN ATLAS.

http://www.westatlas.com/WAII/_WALS/catalogs/Brochure/dhII/CNT/hdII.html. 1997.

National Instruments. *Field Wiring and Noise Considerations for Analog Signals.* Application Note 025, 1992.

National Instruments. *Data Acquisition Fundamentals.* Application Note 007, 1996.

National Instruments. *Data Acquisition .Specifications a Glossary.* Application Note 092, 1997.

MOTOROLA. *HC11 Reference Manual.* U.S.A., 1991.

Kenneth, H. Tabak, D. *Microcontrollers: Architecture, Implementation & Programming.* McGraw-Hill, 1992.

Salvá, A. *Guía de usuario del sistema PUMMA-SIMMP-2.* Circulación libre, Facultad de Ingeniería, UNAM, 1996.

Tocci, R. *Sistemas Digitales. Principios y Aplicaciones.* Prentice-Hall, 1987.

Holman, J. *Métodos experimentales para Ingenieros.* McGraw-Hill, 1988.

Driscoll, F. *Circuitos Integrados lineales y Amplificadores Operacionales.* Prentice-Hall, 1987.

Smits, J.W., Benimeli, I.D., Dubourg, O., Faivre, D., Hoyle, V.. (1995).
High Resolution From a New Laterolog With Azimutal Imaging. SPE
(Society of Petroleum Engineers)

Hakvoort, R.G., Fabris, A., Frenkel, M.A., Koelman, J.M.V.A, Loermans A.M..(1998). *Field Measurements and Inversion Results of the High-Definition Lateral Log.* SPWLA 39th Annual Logging Symposium.

Itskovich, G.B., Mezzatesta A.G., Strack, K.M., Tabarovsky, L.A..(1998).
High Definition Lateral Log — Resistivity device: Basic Physics and Resolution. SPWLA 39th Annual Logging Symposium.