

53

2ej



UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

"CAMPUS ARAGON"

Posición Discontinua

**DISEÑO DE CIRCUITOS
AMPLIFICADORES CON
TECNOLOGIA MOSFET**

T E S I S

QUE PARA OBTENER EL TÍTULO DE
INGENIERO MECANICO ELECTRICISTA
P R E S E N T A :
RICARDO ORTEGA GARCIA

ASESOR: M. EN I. DAVID GONZALEZ MAXINEZ

263081

México

1998.

**TESIS CON
FALLA DE ORIGEN**



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

DISEÑO DE CIRCUITOS AMPLIFICADORES

CON TECNOLOGÍA MOSFET

CONTENIDO

INTRODUCCIÓN

1 EL TRANSISTOR MOSFET

Introducción	1
1.1 Semiconductores	2
1.2 El Transistor MOSFET	8
1.3 Tipos de transistores MOSFET; El Efecto Sustrato	18
1.4 MOSFETs: Circuito Equivalente y operación en Señal Pequeña	24
1.5 Ruido en MOSFETs	32

2 EL AMPLIFICADOR OPERACIONAL MOSFET

Introducción	37
2.1 Amplificadores Operacionales	38
2.2 Circuitos de polarización con tecnología MOSFET	44
2.3 Etapas de Ganancia MOSFET	53
2.4 El Source seguidor MOSFET y Salida Buffer	67
2.5 Amplificadores Diferenciales MOSFET	74
2.6 Respuesta en Frecuencia de Etapas Amplificadoras MOSFET	87
2.7 El Amplificador Operacional CMOS Descompensado	102
2.8 Teoría de Estabilidad y Compensación de Amplificadores CMOS	109
2.9 Respuesta en Frecuencia, Respuesta Transitoria, y Velocidad de Respuesta del Op-amp CMOS compensado	123
2.10 Ruido en Amplificadores CMOS	130
2.11 Op-amp NMOS de modo Ensanchamiento	134

2.12 El Op-amp NMOS con dispositivos de modo Depleción como carga	145
2.13 Ruido en Op-amp NMOS	158

3 DISEÑO DE AMPLIFICADORES OPERACIONALES MOSFET

Introducción	163
3.1 Consideraciones prácticas en el diseño de op-amp MOSFET	164
3.2 Diseño de op-amp MOSFET	183

4 SIMULACIÓN DE AMPLIFICADORES OPERACIONALES MOSFET MEDIANTE PSPICE.

Introducción	201
4.1 Descripción Del Mosfet mediante Pspice	203
4.2 Análisis de circuitos amplificadores MOSFET mediante Pspice	206

APÉNDICE A	241
-------------------	-----

APÉNDICE B	243
-------------------	-----

CONCLUSIONES	245
---------------------	-----

BIBLIOGRAFÍA	247
---------------------	-----

INTRODUCCIÓN

Con el nacimiento de la tecnología de fabricación de circuitos integrados (IC), apareció un tipo de amplificador con unas características muy particulares que en principio estaban destinadas a la realización de operaciones de cálculo analógico, de las que tomo su nombre: Amplificador Operacional (op-amp). El Amplificador Operacional monolítico (op-amp) es uno de los bloques o módulos más importantes en los circuitos analógicos. Las razones de su creciente empleo son su pequeño tamaño, la facilidad de uso, confiabilidad y bajo costo. En la actualidad, sus aplicaciones se extienden a la realización de un gran número de funciones tales como amplificadores de señales, osciladores, filtros activos, etc.

El amplificador operacional puede construirse con dispositivos BJT, FET o conteniendo a ambos dispositivos (BIFET). Como este trabajo está enfocado exclusivamente a los op-amp MOSFET, en éste únicamente se considerará el amplificador operacional construido con una clase particular de FET, El Transistor de Efecto de Campo de Metal-Óxido-Semiconductor (MOSFET o MOS).

Comparado con el BJT el transistor MOSFET puede hacerse en tamaños demasiado pequeños (utilizando menos área del silicio en el circuito integrado), y su proceso de fabricación es relativamente simple. Por estas razones, muchos circuitos VLSI se realizan utilizando esta tecnología. Ejemplos de éstos son los microprocesadores y memorias. Esta tecnología también está siendo aplicada extensamente en el diseño de circuitos integrados analógicos como es el caso del op-amp.

En la actualidad hay dos diferentes tipos de tecnologías de IC MOSFET: NMOS y CMOS. Los IC NMOS se basan en el transistor MOSFET CANAL N. La mayoría de estos transistores son del tipo ensanchamiento; los dispositivos de tipo depleción únicamente se utilizan como dispositivos de carga. En contraste la tecnología CMOS se basa en la utilización de ambos dispositivos canal N y canal P, los cuales son del tipo ensanchamiento. La disponibilidad de polarización de ambos dispositivos hace más fácil de diseñar a los circuitos CMOS con una gran calidad. De hecho, en la actualidad el CMOS es por mucho la tecnología más importante en los IC digitales, y está teniendo una importante utilización en los IC analógicos. Aunque la tecnología NMOS no es muy conveniente para el diseñador de circuitos por su mayor complejidad, normalmente ofrece la mayor densidad funcional (mayor número de dispositivos, y por consiguiente, funciones por chip), y requiere menos pasos de proceso que el CMOS. Por lo que los NMOS ofrecen niveles muy altos de integración.

El objetivo para los op-amp MOS es un poco diferente al de los op-amp bipolar de propósito general. La principal diferencia es que la carga que tienen que excitar los op-amp MOS está bien definida, y normalmente es capacitiva con valores de algunas decenas picofarads. Una de sus más importantes aplicaciones es el diseño de filtros de capacitor conmutado. En contraste, los op-amps que son de propósito general normalmente deben diseñarse para lograr cierto valor de operación independientemente de si tiene cargas capacitivas y/o cargas resistivas.

Por lo citado anteriormente, el presente trabajo tiene como objetivo el diseño de amplificadores operacionales utilizando exclusivamente tecnología MOSFET.

El presente trabajo en el capítulo uno da una descripción de los dispositivos MOSFET. Describe el transistor MOSFET, así como sus diferentes tipos. También muestra sus circuitos equivalentes en señal pequeña.

En el capítulo dos se analizan las estructuras analógicas MOSFET. Se analizan las configuraciones (para polarización, etapas de ganancia, etc.) más comúnmente empleadas para el diseño de op-amp MOS. Se ven las características del source seguidor, y del amplificador diferencial. También se analiza la respuesta en frecuencia para las etapas amplificadores NMOS y CMOS, y también como hacer para que el amplificador CMOS sea estable, también se analiza el

ruido en los amplificadores CMOS. Además se describe el op-amp NMOS de modo ensanchamiento con dispositivos de modo depleción como carga. Y también los efectos que origina el ruido en el op-amp NMOS.

En el capítulo tres se dan las consideraciones básicas para el diseño de op-amp MOSFET. Diseñándose un op-amp CMOS por medio de estas consideraciones.

El capítulo cuatro se inicia con el estudio del simulador electrónico PSPICE aplicado a circuitos amplificadores MOSFET. Primeramente se ve como PSPICE describe al elemento y al modelo del FET (MOSFET). Posteriormente se resuelven por medio de los métodos tradicionales de análisis de circuitos algunos ejemplos de circuitos amplificadores operacionales MOSFET para a continuación verificarse utilizando el simulador PSPICE. Y Así mostrar lo importante que es el simulador PSPICE.

Finalmente, en el apéndice A se incluyen algunos de los principales datos que proporcionan los fabricantes de transistores MOS, y en el apéndice B de los op-amp MOS.

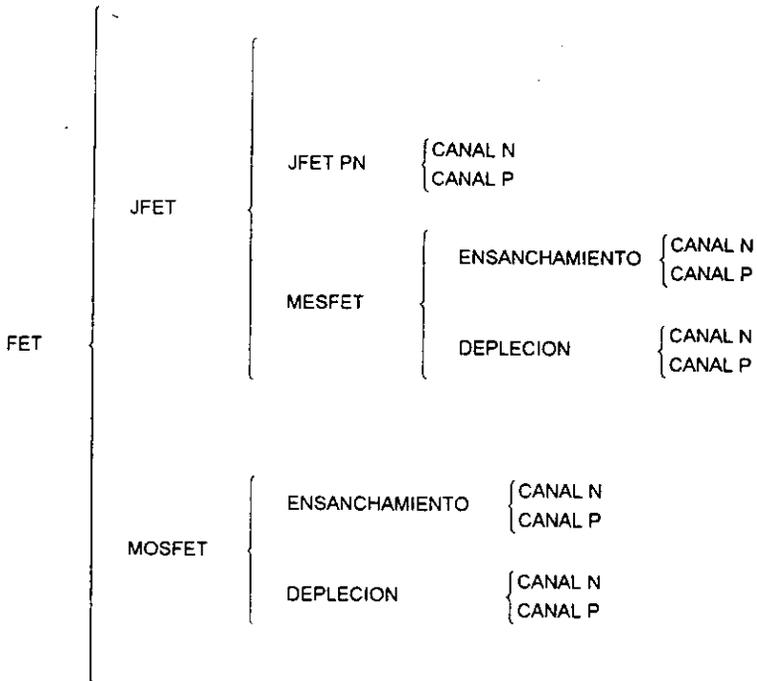
EL TRANSISTOR MOSFET

INTRODUCCIÓN

El Transistor de Efecto de Campo (FET) es un dispositivo semiconductor cuya operación depende de un sólo tipo de portadores, por lo cual es un dispositivo unipolar. El mecanismo de control está basado en un campo eléctrico establecido por el voltaje aplicado a la terminal de control. El voltaje entre dos terminales del FET controla el flujo de la corriente en la tercera terminal.

Existen dos tipos básicos de FET: 1.- Transistor de Efecto de Campo de Unión (JFET). Dentro del JFET hay dos categorías: una es cuando se utiliza una UNIÓN PN, con lo cual se forma un JFET PN. Y la otra es cuando se utiliza una UNIÓN SCHOTTKY (metal-semiconductor), con lo cual se forma un MESFET. 2.- Transistor de Efecto de Campo de metal-óxido-semiconductor (MOSFET, o simplemente MOS). Existen a su vez dos tipos de MOSFET: uno es el de tipo depleción, y el otro es el de tipo ensanchamiento.

Todos los tipos de FETs mencionados anteriormente pueden ser de CANAL N o P.



Aunque el concepto básico del FET ha sido conocido desde los años treinta, el dispositivo fue una realidad en los años sesenta. Desde finales de los setenta, una clase particular del FET, el transistor de metal óxido semiconductor de efecto de campo (MOSFET), ha sido muy popular. Aunque el FET está disponible en forma discreta su más importante utilización, es en el diseño de circuitos integrados. El FET puede utilizarse como amplificador o como conmutador.

1.1 SEMICONDUCTORES

Entre los metales (Aluminio, Cobre, Plata, etc.) que eléctricamente son buenos conductores, los átomos están ordenados en forma de un cristal regular. Los electrones de la capa externa (valencia) de los átomos son libres para moverse dentro del material. Como el número de átomos,

y por lo consiguiente el número de electrones libres, es muy grande (del orden de 10^{23} cm^{-3}), que incluso un campo eléctrico pequeño ocasiona una corriente de electrones. De aquí la alta conductividad observada para estos metales.

La descripción es completamente diferente para un aislador, tal como el bióxido de Silicio (SiO_2). Donde, los electrones de valencia forman el enlace entre los átomos adyacentes, y por lo consiguiente ellos mismos están unidos a estos átomos. Por lo que no hay electrones libres disponibles para la conducción, y la conductividad es muy baja.

Los semiconductores (tales como el Silicio o Germanio) están entre los conductores y aisladores en sus características eléctricas. A muy bajas temperaturas, los electrones de valencia están unidos a sus átomos los cuales forman un retículo regular. Sin embargo, cuando se incrementa la temperatura, debido a las vibraciones térmicas de los átomos algunos enlaces se romperán, y escapará un electrón de cada uno de estos enlaces. Estos electrones son capaces de conducir electricidad. Por lo que, cada electrón fugado deja una deficiencia de carga (llamada Huevo) en el enlace. Un electrón de valencia en un enlace cerca de un huevo puede moverse fácilmente, llenando el huevo y dejando un nuevo huevo en su propio enlace. El efecto es el mismo como si el huevo se hubiera movido de un enlace al siguiente. Por lo que el "movimiento" de los huecos es en la dirección opuesta al movimiento de los electrones, comportandose como una partícula cargada positivamente.

Por lo que es posible la conducción eléctrica en un semiconductor a temperatura ambiente. La densidad de electrones y huecos generados térmicamente es, sin embargo, mucho menor que la de electrones libres en un metal. Números típicos son 10^{10} portadores de carga/ cm^3 para el silicio y 10^{13} cm^{-3} para el germanio.

El número de portadores de carga libre en un semiconductor puede incrementarse agregando elementos extraños (Dopantes) al silicio puro. El silicio (y germanio) tiene cuatro electrones de valencia. Si al semiconductor se le agrega un átomo de un elemento con cinco electrones de valencia (tales como el Arsénico, Fósforo, o Antimonio), entonces puede tomar el lugar de un átomo de silicio en el retículo del cristal. De esta manera, cuatro de sus electrones de valencia participarán en los cuatro enlaces uniendo el átomo a los átomos del semiconductor en el retículo.

No obstante que, el quinto electrón de valencia del átomo extraño, no ocupa un lugar en el enlace, y por lo tanto será libre de moverse en sentido opuesto al de su átomo padre. Por consiguiente, tal elemento dopante (llamado donador, ya que contribuye con electrones libres al semiconductor) aumenta la conductividad del material.

También agregando átomos de un elemento con tres electrones de valencia contribuirá a la conducción. Ahora habrá un enlace con escasez de un electrón de valencia para cada átomo dopante. Por lo tanto, se crea un hueco por cada átomo. A estos dopantes (Boro, Aluminio, Galio) se les llama aceptores, ya que los huecos se propagarán por aceptación de enlaces de electrones de valencia de los átomos semiconductores adyacentes.

En los semiconductores dopados habrá portadores debido a los efectos térmicos así como también por los átomos donadores (aceptores). Los materiales que contienen donadores tendrán electrones y huecos libres; pero habrá más electrones que huecos. Por lo consiguiente, tales semiconductores serán llamados TIPO N, donde N representa negativo. Los materiales que contienen aceptores tendrán mayoría de huecos; se les llama semiconductores TIPO P, donde la P representa positivo.

La estructura de un semiconductor también puede fabricarse conteniendo dos regiones de diferentes tipos (fig. 1.1). A la unión de las superficies de las dos regiones se le llama UNIÓN P-N. Cuando se fabrica esta unión, el movimiento aleatorio térmico de la mayoría de los portadores (electrones en la región TIPO N, y huecos en la región TIPO P) ocasionará que los electrones salgan de la región TIPO N a la región TIPO P. Y viceversa, los huecos se moverán de la región TIPO P a la región tipo N. Así, este movimiento aleatorio (llamado Difusión) causará que el semiconductor TIPO P sea cargado negativamente, mientras que la región TIPO N sea cargada positivamente. El efecto será más intenso cerca de la unión: en la región TIPO P, los átomos aceptores cargados negativamente no serán lo suficientes para neutralizar a los huecos; y (en la región TIPO N) los iones donadores cargados positivamente no serán los suficientes para rodear a los electrones libres. Por tanto, en esta área se formará una capa dipolo por el arreglo de los iones (fig. 1.2). El campo eléctrico \mathcal{E} formado por el dipolo opone por lo tanto portadores mayoritarios por difusión. Sin embargo, esto ayuda, a los portadores minoritarios (electrones en la región TIPO

P, y huecos en la región TIPO N) generados térmicamente para ir de una región a otra. De esta manera, después de un transitorio corto, se logrará un equilibrio. Los diferentes portadores de carga fluirán: portadores mayoritarios los cuales se moverán por difusión de región a región a pesar del \mathcal{E} , y los portadores minoritarios que fluirán ayudados por el \mathcal{E} . En equilibrio estas corrientes se cancelan mutuamente.

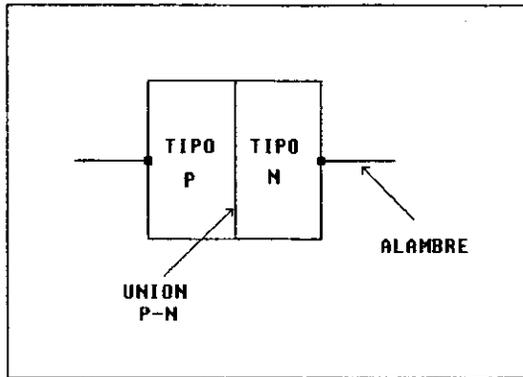


FIGURA 1.1. Diodo de unión P-N.

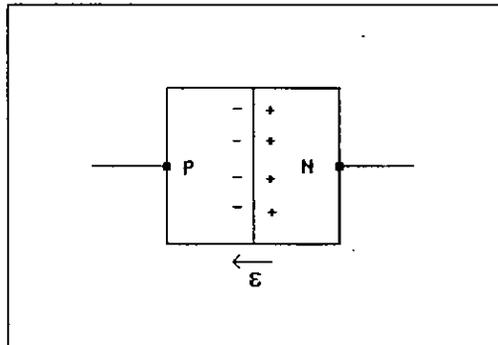


FIGURA 1.2 Capa de iones de una unión P-N.

El equilibrio será perturbado si se conecta una fuente de voltaje a los alambres del semiconductor (fig. 1.3). Asumiendo primero que la polaridad de la fuente es tal que hace que la región P sea más positiva con respecto a la región N, es decir, que $V > 0$ en la fig. 1.3. Por lo tanto V reducirá a \mathcal{E} , y de esta manera la corriente de los portadores mayoritarios pasará a ser

mayor que la de los portadores minoritarios. Ya que hay una gran cantidad de portadores mayoritarios mantenidos por el campo \mathcal{E} , aunque una pequeña reducción del \mathcal{E} causada por decir, por una batería de V Volts, puede causar una gran corriente de portadores mayoritarios en el circuito. Por tanto, con la polaridad indicada de V se le llamará voltaje en directa e i corriente en directa.

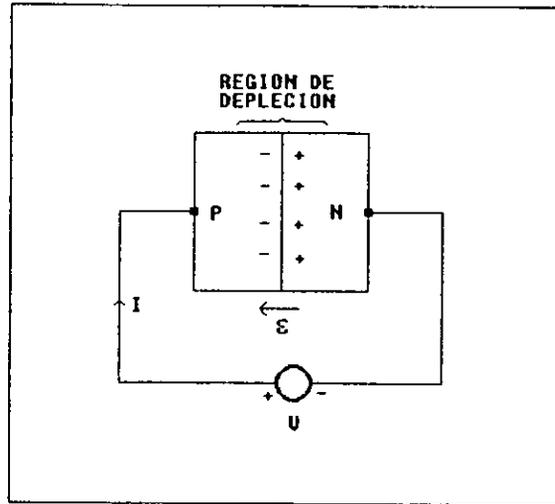


FIGURA 1.3 Circuito para probar al diodo P-N.

Viendo ahora la polarización en inversa de la fuente de voltaje, es decir cuando $V < 0$ en la fig. 1.3. Ahora V ayudará a \mathcal{E} a obstruir el flujo de los portadores mayoritarios de región a región. Si V es demasiado grande, la corriente mayoritaria es esencialmente eliminada, y sólo continuará el flujo de los portadores minoritarios (moviéndose los electrones de la región P a la región N, y los huecos moviéndose en la dirección opuesta). Como el número de portadores minoritarios es pequeño y cercanamente independiente de V , ocasiona una corriente pequeña y casi constante. Éste es el caso del voltaje y corriente en inversa. Con las direcciones referidas utilizadas en la fig. 1.3, ahora $i < 0$. La fig. 1.4 ilustra el comportamiento total de i como función de V . Un análisis teórico detallado revela que la ecuación descrita a continuación es una buena aproximación,

$$i = I_S (e^{qV/kT} - 1). \quad (1.1)$$

Donde, I_S es la corriente de saturación, determinada por la geometría y propiedades del material del dispositivo; q ($\approx 1.6 \times 10^{-19}$ C) es la carga del electrón, y k ($\approx 1.38 \times 10^{-23}$ J/K) es la constante de Boltzmann. T es la temperatura del semiconductor, en grados Kelvin. A temperatura ambiente ($T = 300$ K), $kT/q \approx 26$ mV. Normalmente I_S es muy pequeña, del orden de 10^{-9} A o menor. Por lo que i aumenta exponencialmente con V cuando $V > 0$, mientras que $i \approx -I_S$ y es muy pequeña si $V < 0$ (fig. 1.4).

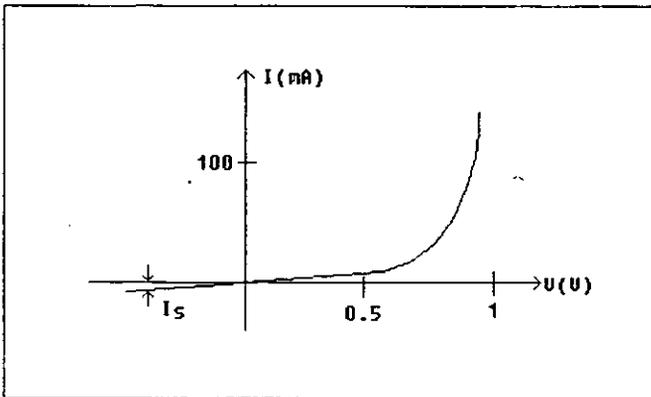


FIGURA 1.4 Características voltaje-corriente de un diodo de unión P-N.

Es de principal importancia el comportamiento de la región entre el límite de las regiones P-N. Como se mencionó anteriormente, la mayoría de los portadores están muy esparcidos en esta área; algunos han emigrado dentro de otra región y los otros han regresado al interior de la región nativa por el \mathcal{E} . Por consiguiente, el borde del área sólo contiene los iones fijados, cargados negativamente en la región TIPO P y positivamente en el material TIPO N (fig. 1.3). Por lo tanto a esta área se le llama región de Depleción (Empobrecimiento). Su ancho aumenta con incrementos de \mathcal{E} ; y por consiguiente, será más grande (más pequeño) para un voltaje en inversa (directa) de V .

Debido al campo \mathcal{E} , un voltaje ϕ_i (frecuentemente llamado "Voltaje de Construcción") aparece a través de la región de depleción para $v = 0$. El potencial total a través de la unión, para $v \neq 0$, es por lo tanto $\phi_i - v$. Típicamente, $\phi_i = 0.5 \sim 1$ V.

Para $v < 0$, se puede considerar a la unión P-N como un capacitor, ya que sólo una pequeña corriente de polarización I_S fluye para un voltaje v dc, ya que las cargas positivas (+Q) y la negativa (-Q) son almacenadas en la región de depleción (fig. 1.3). Como la carga almacenada no es una función lineal de v , la capacitancia no es lineal. Se definirá a la capacitancia C por la relación de incremento $C = dQ/dv$. Para el dispositivo ilustrado en la fig. 1.3, se mantiene que

$$C = \left(\frac{q\epsilon_S [2(1 N_a + 1 N_d)]}{\phi_i + |v|} \right)^{1/2} A. \quad (1.2)$$

Donde, $\epsilon_S (\cong 1.04 \text{ pF/cm})$ es la permitividad del silicio: $\epsilon_S = \epsilon_0 k_S$, donde ϵ_0 es la permitividad del espacio libre ($\epsilon_0 \cong 8.86 \times 10^{-14} \text{ F/cm}$) y $k_S (\cong 11.7)$ es la constante dieléctrica¹ del silicio. A es el área de la unión en cm^2 , y N_a (N_d) es el número de átomos aceptores (donadores) por cm^3 . Se nota que C decrece con $|v|$. Esto puede mostrar (sección 1.3) que la cantidad bajo el signo de la raíz cuadrada es $(\epsilon_S/X_d)^2$, donde X_d (en cm) es el ancho de la región de depleción; Por consiguiente, se mantiene a $C = \epsilon_S A/X_d$.

1.2 EL TRANSISTOR MOSFET

Considerando a continuación la estructura mostrada en la fig. 1.5. Ésta es un "sandwich" de varias capas: desde la base hasta la superficie, contiene capas de metal, bióxido de silicio (SiO_2 , un excelente aislador), silicio TIPO P, y una segunda capa de metal conectada a tierra. Ésta es la

¹ También llamada Permittividad relativa.

estructura conocida como Metal-Óxido-Semiconductor (MOS). Si V es negativo; entonces se creará un campo eléctrico a través de la capa del bióxido, el cual atraerá cargas positivas (huecos) a la región R (fig. 1.5). De esta manera, las cargas negativas serán almacenadas en la parte superior del electrodo de metal de la base y las cargas positivas en R. Por lo que el dispositivo se comportará como un capacitor C de magnitud

$$C = \epsilon_{ox} \frac{A}{l} \quad (1.3)$$

En 1.3, ϵ_{OX} es la permitividad del SiO_2 : $\epsilon_{OX} = \epsilon_0 k_{OX} \cong 0.35 \text{ pF/cm}$, donde k_{OX} es la constante dieléctrica del SiO_2 ($k_{OX} \cong 3.9$). A es el área del electrodo de la superficie, y l el espesor² de la capa del SiO_2 . La capa del silicio TIPO P entre R y la capa de metal de la base se comportan como un resistor; por consiguiente, en general, la estructura simula a un capacitor con pérdidas.

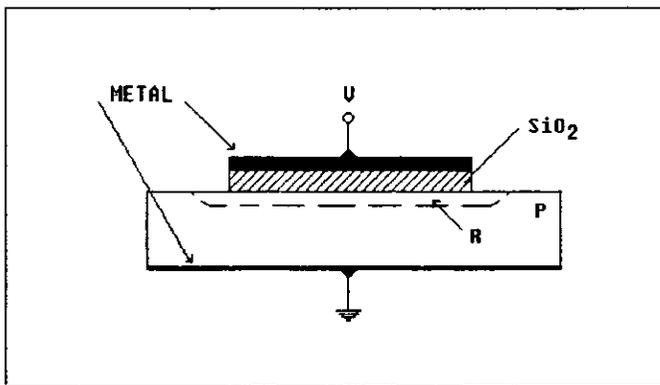


FIGURA 1.5. Estructura de Metal-óxido-semiconductor (MOS).

A continuación, haciendo que V sea un pequeño voltaje positivo en la fig. 1.5. El campo eléctrico repelerá ahora a los huecos. Ocasionando, que los iones cargados negativamente se

² frecuentemente, el espesor l del óxido es medido en Angstroms, 1 Angstroms = 10^{-8} cm. Normalmente valores de l son entre 300 y 2000 Angstroms.

vayan a R, y con lo cual un espacio cargado totalmente negativo aparecerá en R, el cual ahora es una capa de depleción. Por lo que, la carga nuevamente es almacenada en R y se crea un capacitor. Para valores muy pequeños de V ($V \ll 1 V$), continuará siendo válida la magnitud de la capacitancia dada por 1.3. Sin embargo, cuando se incrementa el valor de V , la carga en R pasará a ser mucho mayor ya que aumenta la región de depleción. Como el promedio de iones ahora está más lejano de la superficie, el valor efectivo del valor de l en 1.3 se incrementará y C decrecerá.

Si V se incrementa más de lo normal, ocurre un nuevo efecto. Como la generación térmica de huecos y electrones ocurre continuamente en el semiconductor, si el campo creado por un V positivo es lo suficientemente intenso, éste puede atraer electrones a R; y por consiguiente éstos se moverán a la superficie. Cuando esto ocurre, el capacitor almacenará cargas positivas en la parte baja del material tipo P, mientras que las negativas (electrones) se almacenarán en la parte alta del material tipo P. De esta manera, en 1.3, l será nuevamente el espesor del SiO_2 , y por consiguiente C tendrá el mismo valor como lo tuvo para un voltaje V negativo. El comportamiento general de C como una función de V se ilustra esquemáticamente en la fig. 1.6, la cual además muestra los nombres de las tres regiones de operación. Los nombres de las dos primeras son evidentes; la tercera es la llamada región de inversión, ya que (debido al gran voltaje V) los electrones móviles son atraídos dentro de R por lo que se comporta como un material TIPO N (más bien que un P). Se debe notar, que los electrones son generados térmicamente por una razón baja, el voltaje V debe estar presente por algún tiempo antes de que esté formada "la capa de inversión"; por lo que, no aparecerá si V es una señal de alta frecuencia (por decir, $f > 1 \text{ kHz}$) más bien que un voltaje constante.

Considerando a continuación la estructura formada en la fig. 1.7. Se presenta una nueva característica en el material TIPO P, las dos regiones n^+ (TIPO N intensamente dopada). La primera de la izquierda será llamada source; conectándole un voltaje V_S . A la región de la derecha n^+ se le llamará drain; se denota su voltaje por V_D . Al electrodo de la superficie se le llamará gate; su voltaje es V_G . Al cuerpo del semiconductor normalmente se le llama sustrato o bulk (masa). El dispositivo completo es el transistor MOS. Su operación se analizará brevemente a continuación.

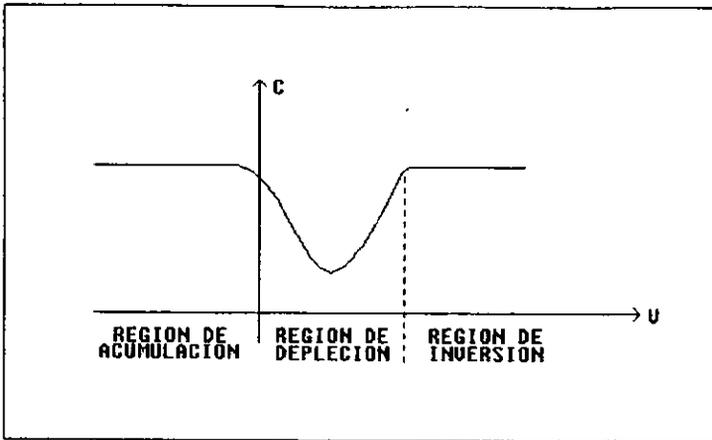


FIGURA 1.6. Característica voltaje-capacitancia de una estructura MOS.

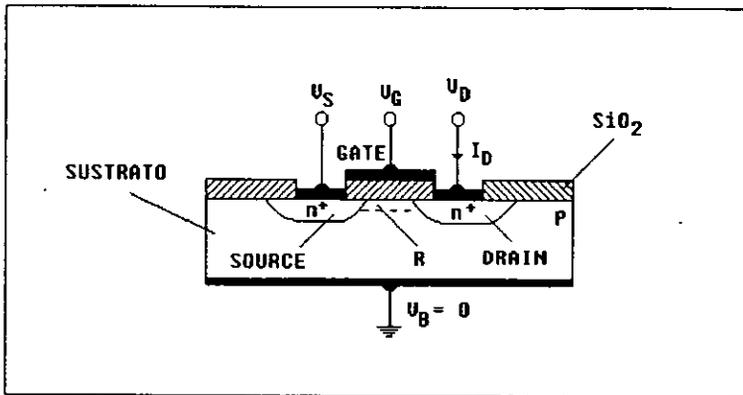


FIGURA 1.7. El Transistor MOSFET.

Aterrizando el source, es decir, $V_S = 0$. Además, con un pequeño voltaje V_D positivo. Se considerará el comportamiento de la corriente de drain i_D cuando V_G se eleva de cero a su valor positivo más alto. Como el gate está aislado del resto del dispositivo por la capa del óxido, éste no conducirá ninguna corriente. La región del drain n^+ y el sustrato TIPO P forman una unión P-N. Como se aterrizó el sustrato, mientras que $V_D > 0$, esta unión está polarizada inversamente. Por consiguiente, para $V_G = 0$, $i_D = 0$.

Cuando se incrementa V_G , primero se empobrecerá la región R bajo el gate, por tanto se invertirá, como se vio anteriormente en conexión con las figs. 1.5 y 1.6. Cuando R es empobrecida, i_D continua siendo cero, ya que el área alrededor del drain todavía continua polarizada en inversa. Sin embargo, la situación cambia cuando V_G es tan grande que ocurre la inversión, es decir, cuando R está llena de electrones. Ahora, contiene una capa con electrones móviles, llamada capa de inversión o canal, conectando el drain al source. Como el drain es positivo con respecto al source, los electrones fluyen del source al drain, y será observada una corriente positiva $i_D > 0$. Al pequeño voltaje V_G necesario para producir un canal se le llama Voltaje de Umbral y se denota por V_T . Normalmente, V_T está dado como el valor V_G necesario para que $i_D = 1 \mu A$; puede estar en un rango de una fracción de volt a varios volts.

Se debe notar que para la estructura de la fig. 1.7 muchos de los electrones en el canal se derivan del campo eléctrico ocasionado por el V_G externo de la fuente, algunos electrones también son llevados del drain; sin embargo, como $V_D > 0$, la unión drain-sustrato está polarizada más inversamente, y por lo tanto es difícil para los electrones escapar del drain.

Como existe una diferencia de potencial V_D entre los dos extremos del canal, los electrones en el canal serán llevados al drain. Por lo que, agregado al movimiento aleatorio de los electrones, ocurrirá un movimiento regular (llamado Deriva) que causa el flujo de la corriente. Para un V_D pequeño, el canal se comportará como un resistor, y por lo consiguiente $i_D \approx V_D/R$, donde la resistencia R está dada por

$$R = \frac{L}{W\mu_n|Q_n|} \quad (1.4)$$

Donde, L es el largo y W es el ancho del canal, mientras que μ_n es la movilidad de los electrones en el canal³, definida por la relación (Velocidad de deriva del electrón) = (movilidad) X (campo eléctrico). Finalmente, Q_n es la densidad de carga (en C/cm²) de los electrones en el canal. Como

³ La movilidad en el bulk del semiconductor es mayor, ya que m_n decrece con la concentración de impurezas ionizadas. Valores típicos son $\mu_n \approx 1000 \text{ cm}^2/\text{V}\cdot\text{s}$ para $N_D = 10^{16} \text{ cm}^{-3}$, mientras que $\mu_n \approx 100 \text{ cm}^2/\text{V}\cdot\text{s}$ para $N_D = 10^{18} \text{ cm}^{-3}$.

V_G puede considerarse como la suma de dos términos, V_T (necesario para mantener la región de depleción bajo el canal) y $V_G - V_T$ (necesario para mantener el canal), se tiene que

$$Q_n = -C_{ox}(V_G - V_T), \quad (1.5)$$

donde $C_{ox} = \epsilon_{ox} / l$ es la capacitancia (por unidad de área) de la capa del óxido separando al gate del canal. Por tanto, para un pequeño V_D ($V_D \ll V_G - V_T$), se mantiene la relación

$$i_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T) V_D. \quad (1.6)$$

Por lo que, el transistor actúa como un resistor, con una resistencia $R = [\mu_n C_{ox} (W/L) (V_G - V_T)]^{-1}$ controlada por V_G .

Si se incrementa V_D , ya no será válida 1.6, es decir, ya no es insignificante comparado con V_G . Como el potencial del canal en el source (aterrizado) es cero, mientras que el del drain es V_D , se puede asumir que su potencial promedio es $V_D/2$. Por consiguiente, el voltaje promedio entre el gate y el canal es $(V_G - V_D/2)$. Sustituyendo a V_G por $(V_G - V_D/2)$ en 1.6 se tiene

$$i_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T - V_D/2) V_D. \quad (1.7)$$

La ecuación 1.7 sigue siendo una buena aproximación para $V_D < V_G - V_T$. A este rango se le llama región de operación lineal⁴ para el transistor MOS.

Cuando $V_D \geq V_G - V_T$, ocurre un nuevo fenómeno. Considerando la situación ilustrada en la fig. 1.8, donde sólo se muestra la estructura cercana a la superficie del semiconductor. Como indica la figura, debido a las variaciones del potencial a lo largo del canal, la densidad de carga Q_n decrece cerca del drain. Si $V_D = V_G - V_T$, en el drain el voltaje de gate a canal no es lo suficientemente grande para mantener el canal. Por lo que, la región de depleción circundante al source, al canal,

⁴ O región triodo.

y al drain se extienden a todo lo largo de la superficie. Este fenómeno es conocido como Estrangulamiento (pinch-off), y la región donde ocurre es el punto de estrangulamiento (fig. 1.8). Si nuevamente se incrementa V_D , el punto de estrangulamiento se moverá hacia el source, ya que se incrementará el área donde $V_G - V_D \leq V_T$. Por tanto, el canal se extenderá ahora sólo del source al punto de estrangulamiento, lo último será en un punto bajo el gate. La región entre el punto de estrangulamiento y el drain es empobrecida. Los electrones del canal son inyectados en esta región de depleción al punto de estrangulamiento, y son arrastrados al drain por el campo creado por la diferencia de potencial entre el drain y el punto de estrangulamiento. El voltaje $V_{DS} \triangleq V_D - V_S$ de esta manera es dividido entre las dos regiones "conectadas en serie": el canal entre el source y el punto de estrangulamiento, y la región de depleción entre el punto de estrangulamiento y el drain. La última tiene una alta resistencia, y por consiguiente la mayor parte de V_{DS} de hecho aparece a través de ella. Cualquier incremento de V_D , para una aproximación, ocasiona un incremento de voltaje similar al de la región de depleción y difícilmente cambiará i_D . De esta manera, para $V_D > V_G - V_T$, de 1.7,

$$i_D(V_D) = i_{Dsat} \triangleq i_D(V_{Dsat}) = \frac{\mu_n C_{ox} W}{2L} (V_G - V_T)^2 \quad (1.8)$$

A este fenómeno se le llama saturación, $V_{Dsat} = V_G - V_T$ es el voltaje de saturación del drain e i_{Dsat} , como fue dada por 1.8, es la corriente de saturación de drain.

La corriente de drain, en realidad, aumenta algo cuando se incrementa V_D . Esto puede atribuirse al movimiento del punto de estrangulamiento hacia el source con incrementos de V_D , y por consiguiente al reducido canal: como indica 1.8, i_D se incrementará cuando se reduce L . Como una aproximación, este efecto (llamado Modulación por el Largo del Canal) puede incluirse en la fórmula para $i_D(V_D)$ en la forma del factor $(1 + \lambda V_D)$. Donde, λ es una constante del dispositivo la cual depende de L , en la concentración del dopado del sustrato, y en la polarización del sustrato (se analizará en la siguiente sección). Para $L \simeq 10 \mu\text{m}$, típicamente $\lambda \simeq 0.03 \text{ V}^{-1}$; generalmente, $\lambda \propto 1/L$.

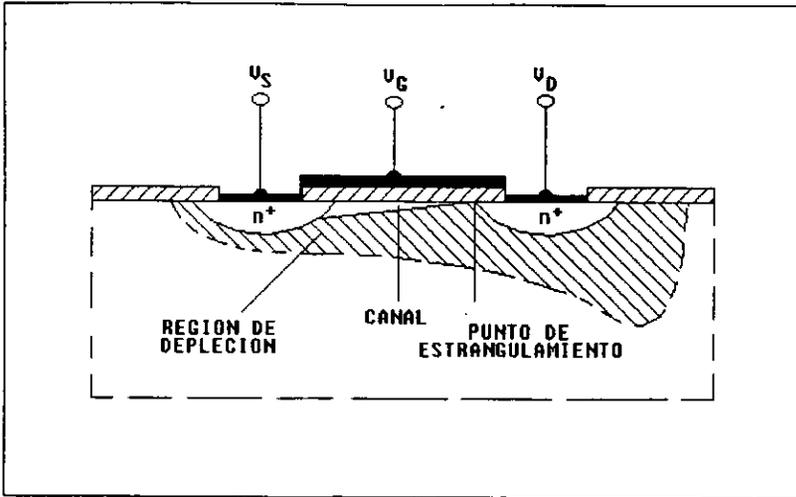


FIGURA 1.8 Estrangulamiento (Oclusión) en el transistor MOSFET.

Normalmente se introduce la abreviación $k' \triangleq \mu_n C_{ox}/2$ y $k \triangleq k' W/L$. Por lo que la corriente de saturación dada por 1.8 cambia a

$$i_D = k(V_G - V_T)^2(1 + \lambda V_D), \quad V_G \geq V_T \quad (1.9)$$

cuando se incorpora la modulación por el largo del canal. La fig. 1.9 muestra la variación de i_D con V_G para un valor constante de V_D ; la fig. 1.10 ilustra su dependencia de V_D para valores de V_G , donde $V_{G1} < V_{G2} < V_{G3} \dots$.

Todas la derivaciones de esta sección fueron analizadas para la estructura de la fig. 1.7, cuyo source, drain, y canal fueron todos del TIPO N. A este dispositivo se la llama MOS CANAL N o transistor NMOS. Un arreglo similar puede construirse creando difusiones del drain y del source p^+ en un sustrato TIPO N. Ahora es necesario un V_G negativo para crear un canal TIPO P bajo el gate, y se utiliza un V_D negativo para atraer huecos del canal al drain. Además, i_D será negativa si se utiliza la dirección de referencia de la fig. 1.7. Resultando un dispositivo llamado MOS CANAL P o transistor PMOS. Las fórmulas 1.3-1.9 continúan siendo validas si se le realizan pequeños

cambios. La movilidad μ_n de los electrones tiene que ser remplazada por μ_p , movilidad de los huecos en el canal. Como se esperaría del mecanismo más elaborado de la conducción de huecos, $\mu_p < \mu_n$: valores típicos de la movilidad en la región del canal, para una concentración de impurezas de 10^{16} cm^{-3} son $\mu_n = 1000 \text{ cm}^2/\text{V}\cdot\text{s}$ y $\mu_p = 400 \text{ cm}^2/\text{V}\cdot\text{s}$. La densidad de carga del electrón Q_n en el canal es remplazada por Q_p , densidad de carga de huecos, además, debe incluirse un signo negativo en las ec's 1.6-1.9 para estimar los cambios en los portadores de carga. Finalmente, debe remplazarse a V_D por $|V_D|$ en 1.9, ya que ahora $V_D < 0$. En conclusión, 1.7 cambiará a

$$i_D = -2k(V_G - V_T - v_D/2)v_D \quad (1.10)$$

Donde, $k \triangleq \mu_p C_{ox} W/2L$ y $V_T < 0$. La ecuación 1.10 describe las características de la corriente de drain en la región lineal. El comportamiento de i_D en la región de saturación se puede obtener modificando 1.9:

$$i_D = -k(V_G - V_T)^2(1 + \lambda|v_D|) \quad (1.11)$$

Los símbolos de los circuitos utilizados para los transistores NMOS y PMOS son mostrados en la fig. 1.11a y b respectivamente. Si no es importante el tipo, puede utilizarse el símbolo simplificado de la fig. 1.11c para ambos dispositivos NMOS y PMOS.

Como la operación de los dispositivos descritos dependen del campo eléctrico inducido por el voltaje de gate, se les llama dispositivos de efecto de campo (FETs), o MOSFETs.⁵

Como los transistores PMOS son más fáciles de construir que los NMOS, fueron los que predominaron inicialmente. Sin embargo, últimamente cuando fueron desarrolladas las técnicas de producción para los dispositivos NMOS, éstos los desplazaron. La razón principal de esto fue la

⁵ Ya que aquí los portadores de carga son cualquiera ya sea electrones o huecos (no ambos), los FETs también son llamados dispositivos unipolares, en contraste con el transistor bipolar donde existen ambas corrientes de electrones y huecos.

alta movilidad de los electrones, lo cual hace que los transistores NMOS sean más rápidos que los PMOS.

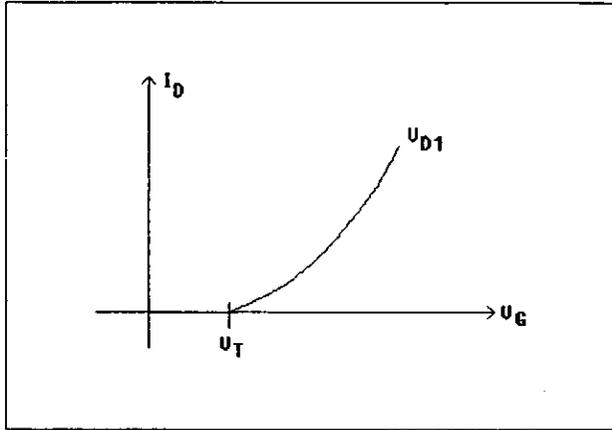


FIGURA. 1.9 Característica voltaje de gate vs corriente de drain del transistor MOSFET.

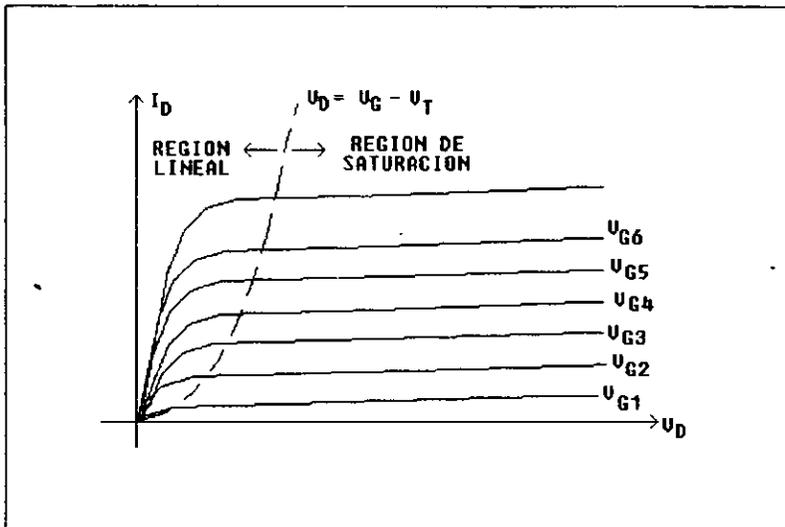


FIGURA. 1.10 Característica voltaje drain-source vs corriente de drain en el MOSFET.

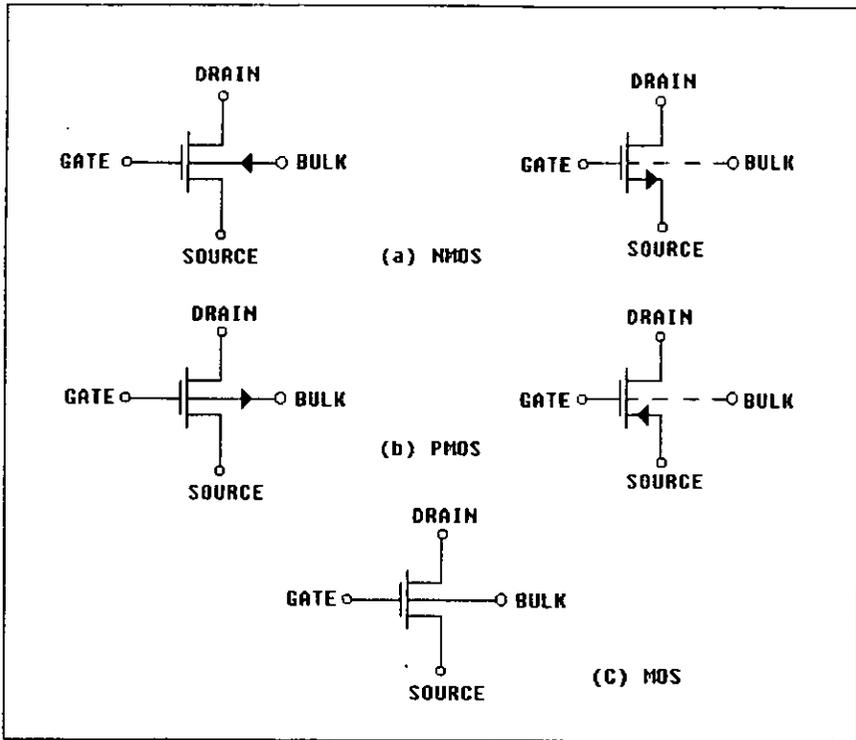


FIGURA 1.11. Símbolos del transistor MOSFET.

1.3 TIPOS DE TRANSISTORES MOSFET; EL EFECTO SUSTRATO

Los transistores MOS descritos en la sección 1.2, NMOS y PMOS ambos tipos, tienen varias características comunes. En la estructura, el gate está aislado eléctricamente del resto del dispositivo por la capa del SiO_2 . Por consiguiente, se le llama FET de GATE AISLADA, o IGFET. Además, el voltaje V_G induce y aumenta la corriente de drain. De esta manera, los dispositivos operan en el modo de ensanchamiento.

También es posible fabricar un transistor MOS que conduzca corriente de drain cuando $V_G = 0$. Por ejemplo, puede introducirse una capa TIPO N por dopamiento la cual conecte al source y al drain de un dispositivo NMOS. Con tal canal dopado, no es necesario el campo del gate para

producir una capa de inversión; la región R (fig. 1.7) tiene "incorporado" ahora un canal TIPO N. Sin embargo, si se aplica un voltaje negativo al gate, entonces el campo creado repelerá a los electrones, y creará una capa de depleción adyacente al canal, reduciendo de esta manera la conductividad y por consiguiente la corriente de drain. Si la magnitud del voltaje negativo del gate es lo suficientemente grande, el canal se empobrecerá completamente y ocasionará que $i_D \simeq 0$. El valor de V_G al cual ocurre esto se llama nuevamente voltaje de umbral y se denota por V_T . Sin embargo, ahora, $V_T < 0$. A este dispositivo se llama FET de MODO DEPLECIÓN.

Se debe notar que aún sin una capa dopada, si el sustrato está dopado muy ligeramente el transistor NMOS puede conducir para $V_G = 0$ debido a las cargas del óxido. Esto además de interesar para notar que si V_G se hace positivo en un dispositivo de modo depleción, atraerá electrones adicionales dentro del canal y se incrementará i_D . Por lo que, el transistor NMOS con $V_T < 0$ puede utilizarse como un dispositivo de modo depleción o de ensanchamiento.

Además es posible crear un dispositivo PMOS de modo depleción con $V_T > 0$, por el establecimiento de un canal dopado TIPO P.

Las relaciones 1.6-1.11 continúan siendo válidas para dispositivos de modo depleción, si se elige apropiadamente el signo y el valor de V_T , como se describió anteriormente. Los dos símbolos normalmente utilizados para denotar al MOSFET de modo depleción son mostrados en la fig. 1.12.

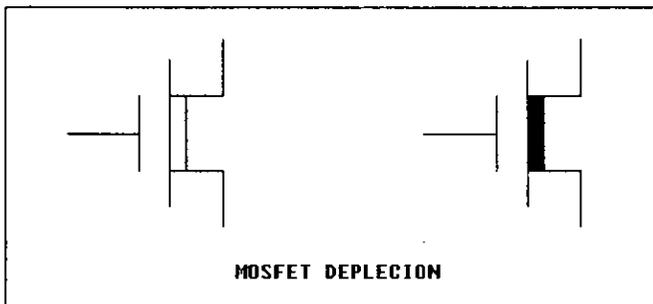


FIGURA 1.12 Símbolos para el transistor de modo Depleción.

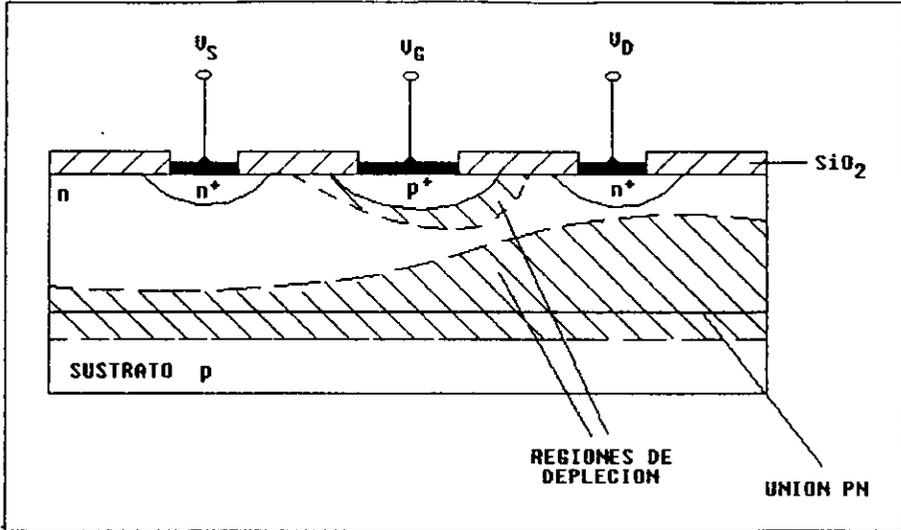


FIGURA 1.13 Transistor de Efecto de Campo de Unión.

Puede utilizarse una estructura completamente diferente para producir un transistor de efecto de campo, el JFET (fig. 1.13). Aquí, una capa (canal) TIPO N ligeramente dopada conecta la región del drain al source N^+ y en esta capa el gate tiene una región implantada P^+ . Por tanto, para $V_S = V_G = 0$, y $V_D > 0$, fluirá una corriente de drain. Si se hace negativo a V_G , la implantación P^+ actuando como el gate será rodeada por una capa de depleción; a un $|V_G|$ mayor, mayor será la profundidad de la capa. Los electrones móviles en el canal no pueden entrar en esta capa de depleción, ni a lo largo de la unión P-N entre el canal y el sustrato. Por consiguiente, la sección efectiva a través del canal se reduce cuando se incrementa $|V_G|$. Al mismo valor de $V_G = V_p$ ($V_p < 0$), i_D será cero (en la practica es $< 1 \mu A$). De esta manera, V_p juega el mismo papel que V_T para el MOSFET de modo depleción; éste es el llamado Voltaje de Estrangulación. Se puede visualizar como el voltaje del gate que origina que las dos regiones de depleción en el canal se unan, no permite la conductividad entre la trayectoria del source al drain.

Al dispositivo descrito y mostrado en la fig. 1.13 se le llama Transistor de Unión de Efecto de Campo (JFET), ya que el gate se separa del resto del dispositivo por una unión P-N polarizada inversamente, más bien que por una capa de SiO_2 como en el MOSFET (IGFET).

Debido a que difícilmente se utiliza el JFET en circuitos integrados analógicos MOS, éste no será visto con detalle aquí.

A continuación, será descrita una limitación clave (llamada Efecto Sustrato) del MOSFET utilizado como elemento de un circuito analógico. En lo visto en la sección 1.2, siempre se asumió que el bulk y el source son aterrizados, es decir se mantiene a $V_B = V_S = 0$. Frecuentemente, las consideraciones de circuitos hacen que estos arreglos sean imposibles y debe utilizarse a $V_S \neq V_B$. Obviamente, el voltaje $V_S - V_B$ debe ser tal que la unión source-bulk esté polarizada inversamente; de otra manera, la gran corriente de la unión fluirá dentro del transistor. Esta corriente puede dañar al dispositivo, y en cualquier caso impedirá su adecuada operación. De esta manera, por decir, en un transistor NMOS, el sustrato debe estar polarizado negativamente con respecto al source y al drain.

Si el potencial de source es diferente de cero, se deben remplazar a los voltajes V_G y V_D en todas las ec's por $V_{GS} = V_G - V_S$ y $V_{DS} = V_D - V_S$, respectivamente. En general, la región de depleción alrededor del canal (fig. 1.8) se hará más ancha si se incrementa el voltaje en inversa entre el sustrato y el source (y por consiguiente el canal). Como el voltaje $V_G = V_T$ es el voltaje de gate necesario para mantener a la región de depleción (sin crear un canal), V_T se incrementará en magnitud. La dependencia de V_T en el voltaje $V_{SB} \triangleq V_S - V_B$ se puede ver de la forma

$$|V_T| = |V_{T0}| + \gamma \left(\sqrt{2|\phi_p| + |v_{SB}|} - \sqrt{2|\phi_p|} \right). \quad (1.12)$$

Donde, V_{T0} es el voltaje de umbral para $V_{SB} = 0$ y γ es una constante del dispositivo dada por

$$\gamma = \frac{\sqrt{2\epsilon_s q N_{imp}}}{C_{OX}} \quad (1.13)$$

En 1.13, ϵ_s es la permitividad del silicio: $\epsilon_s = \epsilon_0 k_s$, $k_s \approx 11.7$. Además, N_{imp} es la densidad de los iones de impurezas en el sustrato. Para NMOS, $N_{imp} = N_A$, la densidad de los iones

aceptores; para PMOS, $N_{imp} = N_D$, densidad de los iones donadores. Por ejemplo, para $N_{imp} = 10^{15} \text{ cm}^{-3}$ y 800 Angstroms del grueso del óxido ($C_{OX} \simeq 4.4 \times 10^{-8} \text{ F/cm}^2$), $\gamma \simeq 0.423 \text{ V}^{1/2}$. Finalmente, ϕ_p es una constante del material del bulk; su valor es de alrededor de 0.3 V.

Este fenómeno (llamado Efecto Sustrato) es una gran limitación de los dispositivos MOS que trabajan con $V_S \neq V_B$. Como muestra 1.12 y 1.13, para reducir el efecto sustrato se debe reducir N_{imp} . Sin embargo, para valores muy pequeños de N_A (por decir, $N_A < 10^{13} \text{ cm}^{-3}$), un NMOS podría comportarse como un dispositivo de modo depleción, como se explico anteriormente. De esta manera, el efecto sustrato no puede eliminarse completamente.

Algunas constantes y fórmulas de MOSFETs son resumidas en las tablas 1.1 y 1.2.

<p>$1 \mu\text{m} = 10^{-4} \text{ cm} = 10^4 \text{ Angstroms}$.</p> <p>$1 \text{ mil} = 25.4 \mu\text{m} = 0.0254 \text{ mm}$.</p> <p>Carga del Electrón (Magnitud): $q = 1.6 \times 10^{-19} \text{ C}$.</p> <p>Permitividad del espacio libre: $\epsilon_0 = 8.86 \times 10^{-14} \text{ F/cm}$.</p> <p>Permitividad del silicio: $\epsilon_{si} = \epsilon_0 K_{si} = 1.04 \times 10^{-12} \text{ F/cm}$; $K_{si} = 11.7$.</p> <p>Permitividad del bióxido de silicio: $\epsilon_{ox} = \epsilon_0 K_{ox} = 3.5 \times 10^{-13} \text{ F/cm}$; $K_{ox} = 3.9$.</p> <p>Capacitancia del óxido: $C_{ox} = \epsilon_{ox}/t_{ox} = 3.5 \times 10^{-13}/t_{ox}^{(cm)} \text{ F/cm}^2$.</p> <p>Concentración intrínseca de portadores: $n_i = 1.5 \times 10^{10}/\text{cm}^{-3}$ a $T = 300 \text{ K}$.</p> <p>Constante de Boltzmann : $k = 1.38 \times 10^{-23} \text{ J/K}$; kT/q (a $T = 300 \text{ K}$) = 0.026 V.</p> <p>Movilidad del Electrón en el Si ($N_{imp} = 10^{17} \text{ cm}^{-3}$, $T = 300 \text{ K}$): $670 \text{ cm}^2/\text{V}\cdot\text{s}$.</p> <p>Movilidad de Huecos en el Si ($N_{imp} = 10^{17} \text{ cm}^{-3}$, $T = 300 \text{ K}$): $220 \text{ cm}^2/\text{V}\cdot\text{s}$.</p> <p>Coefficiente del efecto sustrato: $\gamma = \sqrt{\frac{2qK_{si}N_{imp}}{\epsilon_0} \frac{t_{ox}}{K_{ox}}} \simeq 1.67 \times 10^{-3} \frac{t_{ox}^{(cm)}}{K_{ox}} \sqrt{N_{imp}^{(cm^{-3})}} \text{ V}^{1/2}$</p> <p>Potencial del Bulk: $\phi_p = -\frac{kT}{q} \ln \frac{N_{imp}}{n_i} = 0.026 \ln[0.67 \times 10^{-10} N_{imp}^{(cm^{-3})}]$</p>
--

TABLA 1. 1 Constantes y Unidades para los transistores MOSFET.

	NMOS	PMOS
Región Triodo:		
$ V_{GS} > V_{Tf} $ $ V_{DS} < V_{GS} - V_T $	$I_D = \mu_n C_{ox} \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}$	$-I_D = \mu_p C_{ox} \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}$
Región de Saturación:		
$ V_{GS} > V_{Tf} $ $ V_{DS} > V_{GS} - V_T $	$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$	$-I_D = \frac{\mu_p C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$

donde:

$$\lambda \propto L^{-1} (V_{DG} + V_T)^{-1/2} N_{imp}^{-1/2}$$

donde:

$$\lambda \propto L^{-1} (-V_{DG} + V_T)^{-1/2} N_{imp}^{-1/2}$$

$$V_T = (V_T)_{V_{SB}=0} + \gamma \left(\sqrt{2|\phi_p| + V_{SB}} - \sqrt{2|\phi_p|} \right)$$

$$V_T = (V_T)_{V_{SB}=0} - \gamma \left(\sqrt{2|\phi_p| - V_{SB}} - \sqrt{2|\phi_p|} \right)$$

(ver tabla 1.1 para los valores de λ y ϕ_p)

TABLA 1.2 Relaciones corriente de drain en MOSFETS

1.4 MOSFETs: CIRCUITO EQUIVALENTE Y OPERACIÓN EN SEÑAL PEQUEÑA

Lo visto anteriormente del transistor MOS asume que todos los voltajes y corrientes fueron constantes, o variaron muy poco de manera que todas las corrientes capacitivas pueden ignorarse. De esta manera, las fórmulas son válidas para pequeños así como para grandes voltajes y corrientes.

En algunas aplicaciones lineales (tales como en amplificadores operacionales) importantes los voltajes y corrientes del transistor varían tan rápidamente que no pueden ignorarse los efectos capacitivos. Al mismo tiempo, se utiliza el dispositivo con suficientes señales pequeñas, de manera que una aproximación lineal pueda ser aplicada a todas las relaciones no lineales. Como el MOSFET normalmente se polariza en la región de saturación para aplicaciones lineales, el análisis será ilustrado para este caso; sin embargo, puede ser igualmente bien aplicado a los dispositivos en sus regiones lineales (no saturado) de operación.

Asumiendo a un transistor NMOS, y combinando las ec's 1.9 y 1.12, resulta la relación

$$i_D = k \left(v_{GS} - V_{TO} - \gamma \sqrt{2\phi_P + v_{SB}} + \gamma \sqrt{2\phi_P} \right)^2 (1 + \lambda v_{DS}). \quad (1.14)$$

Donde, se utilizó a $v_{GS} \triangleq v_G - v_S$ y $v_{DS} \triangleq v_D - v_S$ para reemplazar a V_G y V_D , ya que normalmente $v_S \neq 0$. Para pequeñas variaciones de i_D , v_{GS} , y v_{SB} , la expresión no lineal (1.14) puede reemplazarse por una aproximación de Taylor de primer orden. Específicamente, cerca de un punto constante de polarización $i_D^0 = f(v_{GS}^0, v_{DS}^0, v_{SB}^0)$ se puede escribir como

$$i_D^0 + \Delta i_D = i_D^0 + \left(\frac{\partial i_D}{\partial v_{GS}} \right)^0 \Delta v_{GS} + \left(\frac{\partial i_D}{\partial v_{DS}} \right)^0 \Delta v_{DS} + \left(\frac{\partial i_D}{\partial v_{SB}} \right)^0 \Delta v_{SB} \quad (1.15)$$

Donde, $(\partial i_D / \partial v_{GS})^0$ y así sucesivamente denotan las derivadas parciales evaluadas en el punto de operación. Δi_D es la desviación (incremento) de i_D de su valor de polarización; Δv_{GS} , Δv_{DS} , y Δv_{SB} son los incrementos de v_{GS} , v_{DS} , y v_{SB} . Todas las desviaciones deben ser pequeñas para mantener a 1.15. Si son de interés únicamente los incrementos de las componentes (señal pequeña, ac) entonces 1.15 puede escribirse como

$$\Delta i_D \approx g_m \Delta v_{GS} + g_d \Delta v_{DS} + g_{mb} \Delta v_{SB} \quad (1.16)$$

donde

$$g_m \triangleq \left(\frac{\partial i_D}{\partial v_{GS}} \right)^0, \quad g_d \triangleq \left(\frac{\partial i_D}{\partial v_{DS}} \right)^0, \quad g_{mb} \triangleq \left(\frac{\partial i_D}{\partial v_{SB}} \right)^0 \quad (1.17)$$

Donde, g_d es la conductancia del drain (incrementada), mientras que g_m y g_{mb} son las transconductancias las cuales pueden representarse por una fuente de corriente controlada por voltaje. Por tanto, puede construirse, un modelo del circuito equivalente, el cual se muestra en la fig. 1.14.

Los valores de g_m , g_{mb} , y g_d , pueden hallarse de 1.14:

$$\begin{aligned} g_m \triangleq \left(\frac{\partial i_D}{\partial v_{GS}} \right)^0 &= 2k \left(v_{GS}^0 - V_{TO} - \gamma \sqrt{2\phi_P + v_{SB}^0} + \gamma \sqrt{2\phi_P} \right) (1 + \lambda v_{DS}^0) \\ &= 2 \sqrt{k(1 + \lambda v_{DS}^0)} i_D^0 \end{aligned} \quad (1.18)$$

$$\begin{aligned} g_{mb} \triangleq \left(\frac{\partial i_D}{\partial v_{SB}} \right)^0 &= -k \left(v_{GS}^0 - V_{TO} - \gamma \sqrt{2\phi_P + v_{SB}^0} + \gamma \sqrt{2\phi_P} \right) (1 + \lambda v_{DS}^0) \frac{\gamma}{\sqrt{2\phi_P + v_{SB}^0}} \\ &= \frac{-\gamma g_m / 2}{\sqrt{2\phi_P + v_{SB}^0}} \end{aligned} \quad (1.19)$$

y

$$g_d \Delta \left(\frac{\partial i_D}{\partial v_{DS}} \right)^0 = k \left(v_{GS}^0 - V_{TO} - \gamma \sqrt{2\phi_P + v_{SB}^0} + \gamma \sqrt{2\phi_P} \right)^2 \lambda$$

$$= \frac{\lambda}{1 + \lambda v_{DS}^0} i_D^0 \quad (1.20)$$

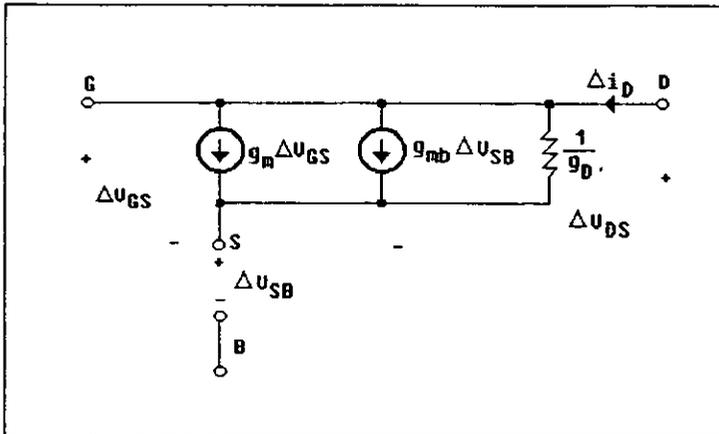


FIGURA 1.14 Circuito equivalente de señal pequeña para el MOSFET.

Por lo que, para una buena aproximación, g_m y g_{mb} son proporcionales a $\sqrt{i_D^0}$, mientras que g_d es proporcional a i_D^0 .

Las otras componentes importantes para el modelo de señal pequeña del MOSFET son los capacitores representando los incrementos de las variaciones de las cargas almacenadas con los cambios de voltaje del electrodo. Éstas juegan un papel importante en la operación de alta frecuencia del dispositivo. Las componentes intrínsecas de las terminales de las capacitancias de los dispositivos MOSFET (asociada con la polarización inversa de las uniones P-N, canal y regiones de depleción) son fuertemente dependientes de la región de operación, mientras que las

componentes extrínsecas (debido al trazado parásito, traslapamiento de regiones, etc.) son relativamente constantes. Asumiendo nuevamente que el transistor opera en la región de saturación, se puede asumir que el canal inicia en el source y se extiende sobre dos o tres veces la distancia al drain. En esta región de operación, las capacitancias más importantes son las siguientes:

C_{gd} : Capacitancia de gate a drain. Ésta se debe al traslapamiento del gate y la difusión del drain. Ésta es una capacitancia de un óxido delgado, y por tanto, para una buena aproximación, esto puede verse como un voltaje independiente.

C_{gs} : Capacitancia de gate a source. Esta capacitancia tiene dos componentes: C_{gsOV} , es la capacitancia de traslapamiento de gate a source del delgado óxido, y C'_{gs} , es la capacitancia del gate al canal. La última es aproximadamente $\frac{2}{3}C_{OX}$ (en la región de saturación), donde C_{OX} es la capacitancia total de la delgada capa del óxido entre el gate y la superficie del sustrato. C_{gs} es muy cercano al voltaje independiente en la región de saturación.

C_{sb} : Capacitancia de source a sustrato. Esta capacitancia también tiene dos componentes: C_{sbpn} , la capacitancia de la unión P-N entre la difusión del source y el sustrato, y C'_{sb} , la cual puede estimarse como dos tercios de la capacitancia de la región de depleción bajo el canal. La capacitancia total C_{sb} tiene una dependencia de voltaje que es muy similar a la de una unión P-N.

C_{db} : Capacitancia de drain a sustrato. Ésta es una capacitancia de unión P-N y por consiguiente es dependiente del voltaje.

C_{gb} : Capacitancia de gate a sustrato. Esta capacitancia normalmente es pequeña en la región de saturación, su valor es de alrededor de $0.1C_{OX}$.

La fig. 1.15 ilustra la estructura física de un transistor NMOS, y la ubicación de las capacitancias en las regiones de corte (fig. 15a), saturación (fig. 15b), y la de no saturación o triodo (fig. 15c). La tabla 1.3 lista las terminales de los capacitores del dispositivo NMOS y sus valores estimados en las tres regiones de operación.

Las notaciones utilizadas son mostradas en las figs. 1.15a-1.15c. La fig. 1.16 describe el modelo completo de señal pequeña-alta frecuencia (ac) del MOSFET. Analizando el comportamiento del

MOSFET en señal pequeña, puede utilizarse el modelo de la fig. 1.14 sólo si están presentes las señales de baja frecuencia; si también son de interés las corrientes capacitivas, entonces puede ser utilizado el circuito de la fig. 1.16.

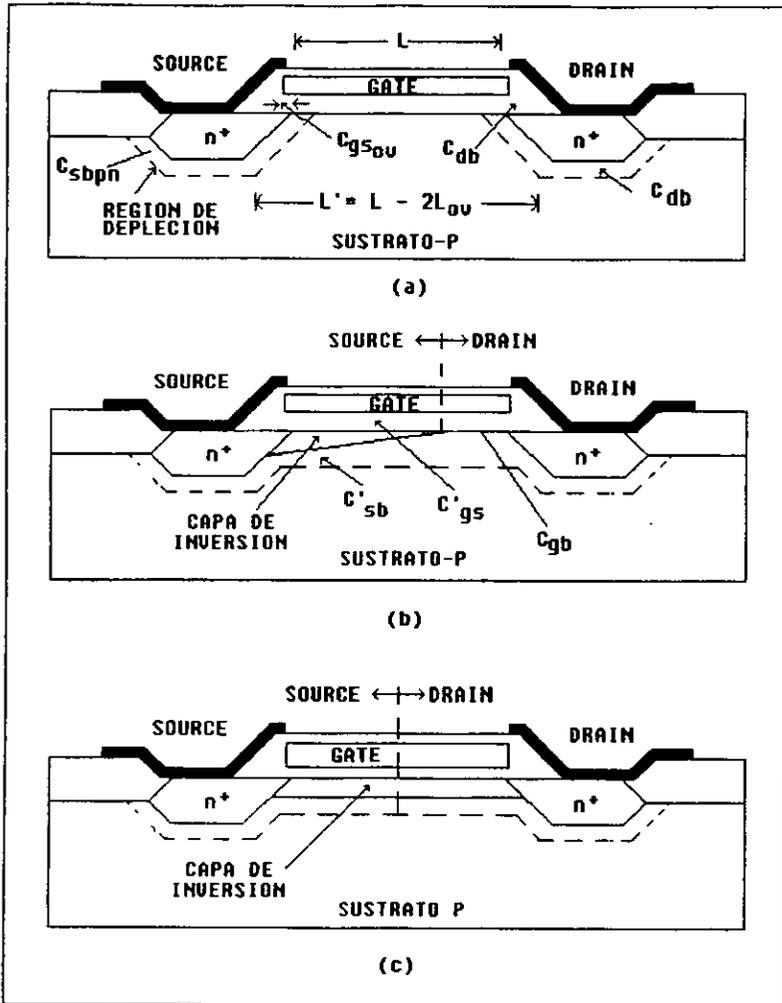


FIGURA 1.15 Capacitancias parásitas en el MOSFET en: a) la región de corte; b) la región de saturación; c) la región triodo.

CAPACITANCIA						
REGION DE OPERACIÓN	C_{os}	C_{od}	C_{ob}	C_{sb}	C_{db}	
CORTE	$W L_{ov} C_{ox}$	$W L_{ov} C_{ox}$	$W L' C_{ox}$	$A_S C_{pn}(V_{sb})$	$A_D C_{pn}(V_{db})$	
SATURACIÓN	$W C_{ox} \left(L_{ov} + \frac{2}{3} L' \right)$	$W L_{ov} C_{ox}$	$\frac{1}{3} \frac{W L' C_{ox} C_{pn}(C_{db})}{C_{ox} + C_{pn}(C_{db})}$	$A_S C_{pn}(V_{sb}) + \frac{2}{3} W L' C_{pn}(V_{sb})$	$A_D C_{pn}(V_{db})$	
TRIODO	$W L_{ov} + \frac{1}{2} W L' C_{ox}$	$W C_{ox} \left(L_{ov} + \frac{1}{2} L' \right)$	0	$A_S C_{pn}(V_{sb}) + \frac{1}{2} W L' C_{pn}(V_{sb})$	$A_D C_{pn}(V_{db}) + \frac{1}{2} W L' C_{pn}(V_{db})$	

TABLA 1.3 Capacitancias del MOSFET en las principales regiones de operación (L' denota a $L-2L_{ov}$)

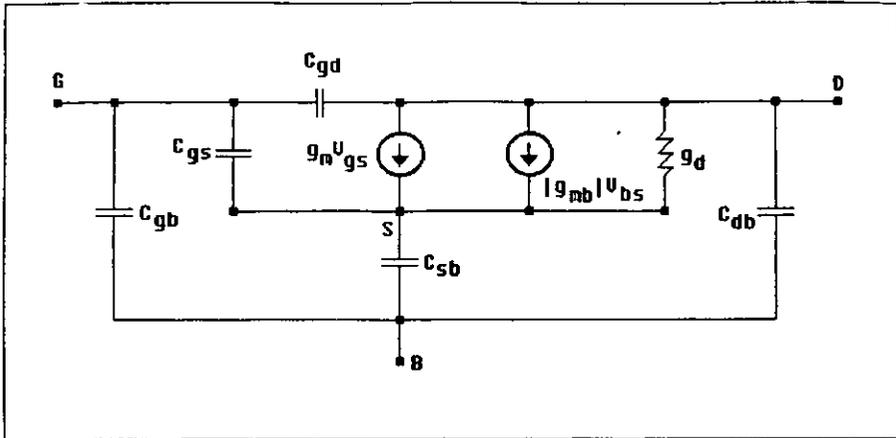


FIGURA 1.16 Circuito equivalente para alta frecuencia del MOSFET.

De los modelos de las figs. 1.14 y 1.16, acompañado de lo visto, se puede hacer un número de planteamientos generales para la construcción de un MOSFET:

1.- Para alta ganancia ac, g_m debe ser grande. Éste será el caso, por ec. 1.18, si $K_{\Delta}(\mu_n C_{ox} W)/2L$ es grande. Por consiguiente, el óxido debe ser delgado para maximizar C_{ox} (que es la capacitancia del óxido por unidad de área); además, W/L debe ser tan grande como sea posible. Estas medidas, sin embargo, tienden a incrementar el tamaño y por tanto el costo del circuito integrado. Además, por 1.18, la corriente de reposo (polarización) i_D^0 debe ser tan grande como lo permita la disipación de potencia dc.

2.- Como indica el signo negativo en la ec. 1.19, el efecto sustrato reduce la ganancia. Para minimizar g_{mb} , por la ec. 1.19 y 1.1.13, C_{ox} debe ser grande, N_{imp} pequeño (el sustrato ligeramente dopado), y un voltaje de polarización v_{SB}^0 grande para el source.

3.- Idealmente, el MOSFET en saturación debe comportarse como una fuente de corriente pura. Por tanto, como se ilustra en la fig. 1.14, g_d debe ser pequeño. Por la ec. 1.20, esto requiere corrientes pequeñas de polarización i_D^0 , un voltaje de polarización v_{DS}^0 grande, y una λ pequeña. Como λ es introducida por la modulación del largo del canal, puede reducirse incrementando L y también por incrementos de N_{imp} .

Un resumen de las fórmulas derivadas en esta sección se muestran en la tabla 1.4.

	NMOS	PMOS
Transconductancia: $g_m = \partial i_D / \partial v_{GS}$	$\frac{\mu_n C_{ox} W}{L} (v_{GS}^0 - V_T) = \sqrt{\frac{2\mu_n C_{ox} W^2}{L}}$	$\frac{\mu_p C_{ox} W}{L} (v_{GS}^0 - V_T) = -\sqrt{\frac{2\mu_p C_{ox} W(-\beta)}{L}}$
Transconductancia del efecto sustrato: $g_{mb} = \partial i_D / \partial v_{SB}$	$-\frac{\gamma/2}{\sqrt{2\phi_p + v_{SB}^0}} g_m$	$-\frac{\gamma/2}{\sqrt{2\phi_p + v_{SB}^0}} g_m$
Conductancia del drain: $g_d = \partial i_D / \partial v_{DS}$	$\frac{\lambda \beta}{1 + \lambda v_{DS}^0}$	$\frac{\lambda \beta}{1 - \lambda v_{DS}^0}$
Capacitancia gate-source C_{GS} :	$\frac{2}{3} W L C_{ox}$	$\frac{2}{3} W L C_{ox}$
Capacitancia gate-drain C_{GD} :	$C_{ad} \text{ traslamiento}$	$C_{ad} \text{ traslamiento}$
Capacitancia source (o drain)-bulk $C_{SB}(C_{DB})$	$\frac{C_{SBo}}{1 + v_{SB}^0/2\phi_p}; \frac{C_{DBo}}{1 + v_{DB}^0/2\phi_p}$	$\frac{C_{SBo}}{1 - v_{SB}^0/2\phi_p}; \frac{C_{DBo}}{1 - v_{DB}^0/2\phi_p}$

TABLA 1.4 Parámetros de señal pequeña del MOSFET en saturación (fig. 1.6) (en las fórmulas se asume que $|\lambda v_{DS}| \ll 1$).

1.5 RUIDO EN MOSFETs

Hay tres distintas fuentes de ruido en los dispositivos del estado sólido: ruido por disparo, ruido térmico, y ruido por parpadeo.

RUIDO POR DISPARO

Como la corriente eléctrica es llevada por una propagación aleatoria de portadores de carga individual (electrones o huecos), superpuestos en la corriente I nominal (promedio), siempre hay una variación aleatoria i_{ns} . Ésta se debe a la fluctuación del número de portadores a través de una superficie dada en el conductor en cualquier intervalo de tiempo. Donde el valor medio cuadrático de i_{ns} está dado por

$$\overline{i_{ns}^2} = 2qI\Delta f, \quad (1.21)$$

donde q ($= 1.6 \times 10^{19}$) es la magnitud de la carga del electrón y Δf es el ancho de banda. Sin embargo, esta fórmula sólo es válida, si la densidad de portadores de carga es muy baja, y el campo eléctrico es intenso, ya que la interacción entre los portadores es insignificante. De otra manera, lo aleatorio de su densidad y velocidad se reduce debido a la correlación presentada por el rechazo de sus cargas. La corriente de ruido entonces es mucho menor que la predispuesta por 1.21.

En el canal de conducción de un MOSFET, la densidad de carga normalmente es alta y el campo eléctrico es bajo. Por lo tanto, no se mantiene 1.21. La corriente de ruido debido al movimiento aleatorio de los portadores es por lo consiguiente mejor descrito como un ruido térmico, el cual se analizará a continuación.

RUIDO TÉRMICO

En el resistor real R , los electrones están en un movimiento térmico aleatorio. Ocasionando, una fluctuación de voltaje V_{nT} a través del resistor aún en ausencia de una corriente de un circuito externo (fig. 1.17a). Por lo consiguiente, el modelo de Thevenin de un resistor real (con ruido) se

muestra en la fig. 1.17b. T es el valor absoluto más alto de la temperatura del resistor, V_{nT} será el valor mayor. De hecho, el valor medio cuadrático de V_{nT} está dado por

$$\overline{V_{nT}^2} = 4kTR\Delta f. \quad (1.22)$$

Donde, K es la constante de Boltzmann y Δf es el ancho de banda en el cual se midió el ruido, en Hz (El valor de $4KT$ a temperatura ambiente es de alrededor de 1.66×10^{-20} VC.).

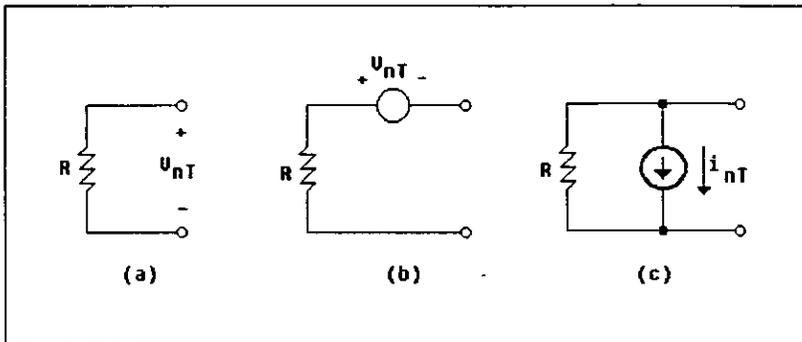


FIGURA 1.17 Ruido térmico en un resistor: a) resistor con ruido; b) modelo de Thevenin; c) circuito equivalente.

Si la ec. 1.22 fuera verdadera para cualquier ancho de banda, entonces la energía del ruido sería infinita. Sin embargo, de hecho, para muy altas frecuencia ($\approx 10^{13}$ Hz) se presenta otro fenómeno físico, el cual causa que $\overline{V_n^2}$ se reduzca con incrementos de la frecuencia de manera que la energía total del ruido es finita.

El valor promedio (constante dc) del ruido térmico es cero. Ya que su densidad espectral $\overline{V_{nT}^2}/\Delta f$ es independiente de la frecuencia (al menos para las frecuencias más bajas), éste es un "Ruido Blanco". La fig. 1.17b puede redibujarse en la forma de un equivalente de Norton, es decir como un resistor R (sin ruido) en paralelo con una fuente de corriente de ruido i_{nT} (fig. 1.17c). El valor de lo anterior está dado por

$$\overline{i_{nT}^2} = 4kTG\Delta f \quad (1.23)$$

donde $G = 1 / R$.

Como el canal de un MOSFET en conducción contiene portadores libres, está sujeto al ruido térmico. Por lo tanto, se mantendrán las ec's 1.22 y 1.23, con R dado que la resistencia del canal aumenta. Por lo que el ruido puede modelarse por una fuente de corriente, como muestra la fig. 1.18a. Si el dispositivo está en saturación, como disminuye el canal (fig. 1.8), puede utilizarse la aproximación $R \simeq 3/2 g_m$ en 1.23.

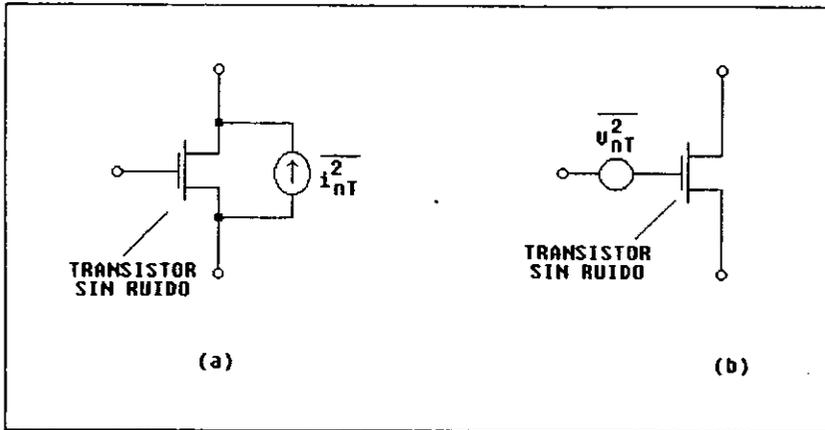


FIGURA 1.18 Modelos equivalentes para el ruido térmico en un MOSFET.

En muchos circuitos, es conveniente suponer que i_{nT} es causada por una fuente de voltaje conectada al gate de un MOSFET (fig. 1.18b). Esta fuente de voltaje de ruido "referida al gate" está dada entonces por

$$\overline{v_{nT}^2} \sim \overline{(i_{nT}/g_m)^2} = \frac{8}{3} \frac{KT}{g_m} \Delta f. \quad (1.24)$$

Por lo consiguiente i_{nT} y V_{nT} dependen ambos de las dimensiones, condiciones de polarización y temperatura del dispositivo. Como un ejemplo de sus ordenes de magnitud, para un transistor con $W = 200 \mu\text{m}$, $L = 10 \mu\text{m}$, y $C_{ox} = 4.34 \times 10^{-8} \text{ F/cm}^2$ (correspondiente a un óxido de grosor de 800 Angstroms) el cual opera en saturación con una corriente de drain $i_D = 200 \mu\text{A}$, el voltaje de ruido referido al gate a temperatura ambiente es $9\text{nV}/\sqrt{\text{Hz}}$.

Si el dispositivo está apagado, entonces R se hará muy grande, y el circuito equivalente de ruido será una fuente de corriente con un valor dado por la ec. 1.23. Se ve que si $\overline{i_{nT}^2}$ es muy pequeño; por consiguiente, para niveles comunes (bajos o moderados) de impedancia externa, se puede considerar al MOSFET como un circuito abierto sin ruido si está apagado.

RUIDO POR PARPADEO (1/f)

En un transistor MOS, existen estados extras de energía del electrón en los limites del Si y el SiO₂. Éstos pueden bloquear y liberar electrones del canal, y por lo consiguiente introducir ruido. Como el proceso es relativamente lento, mucha de la energía del ruido será a bajas frecuencias. Como anteriormente, un posible modelo de este fenómeno de ruido es una fuente de corriente en paralelo con la resistencia del canal. El valor dc de la corriente de ruido es nuevamente cero. Su valor medio cuadrático se incrementa con la temperatura y la densidad del estado de la superficie; ésta decrece con el área del gate W/L y la capacitancia del óxido C_{ox} del gate por unidad de área. Para dispositivos fabricados con un proceso "limpio", el voltaje de ruido referido al gate es cercanamente independiente de las condiciones de polarización y está dado por la fórmula de aproximación

$$\overline{V_{nT}^2} = \frac{k}{C_{ox} WL} \frac{\Delta f}{f} \tag{1.25}$$

Donde, K depende de la temperatura y del proceso de fabricación; un valor típico es $3 \times 10^{-24} \text{ V}^2 \cdot \text{F}$. Para el transistor descrito en el ejemplo anterior, la fórmula da un voltaje de ruido de

$83\text{nV}/\sqrt{\text{Hz}}$ a $f = 1\text{ kHz}$. Como anteriormente, la fuente de ruido equivalente del canal está relacionado a $\overline{V_{nf}^2}$ por la fórmula $\overline{i_{nf}^2} = g_m^2 \overline{V_{nf}^2}$.

Al proceso del ruido descrito se le llama ruido por parpadeo o (en referencia al factor $1/f$ en $\overline{V_{nf}^2}$ e $\overline{i_{nf}^2}$) ruido $1/f$. Como ilustra el ejemplo dado, a bajas frecuencias (por decir, abajo de 1 kHz) el mecanismo de ruido normalmente es dominante en un MOSFET.

En conclusión, el ruido en el canal de un MOSFET puede modelarse por un generador de corriente de ruido equivalente, como en la fig. 1.18a. En el modelo de señal pequeña, este generador estará en paralelo con las fuentes de corriente $g_m V_{gs}$ y $g_{mb} V_{bs}$ (fig. 1.16). Su valor puede elegirse como el ruido RMS (valor medio cuadrático), en el que el de 1.23-1.25 es

$$\begin{aligned} i_n &= \sqrt{\overline{i_{nT}^2} + \overline{i_{nf}^2}} \\ &= \sqrt{\left[4kGT + Kg_m^2 / (C_{ox} W L f)\right] \Delta f}. \end{aligned} \quad (1.26)$$

Cabe notar que los valores medios cuadráticos de las corrientes se suman, ya que los diferentes mecanismos de ruido son estadísticamente independientes.

Alternativamente, el ruido puede ser representado por su fuente de voltaje referida al gate (fig. 1.18b), en serie con la terminal del gate. El valor de la fuente es i_n/g_m , con i_n dada por la ec. 1.26.

EL AMPLIFICADOR OPERACIONAL MOSFET

INTRODUCCIÓN

En este capítulo, se utilizan las propiedades básicas de los amplificadores MOSFET de un solo transistor para construir configuraciones básicas. Y con éstas conseguir diversos objetivos, tales como el de una ganancia de voltaje, ganancia de corriente, etc.

Estas configuraciones se utilizarán para construir amplificadores operacionales. Los op-amp se configuran de manera similar; éstos consisten de una etapa diferencial de entrada, seguida por un convertidor diferencial con una sola salida, seguida a su vez de una etapa intermedia para mayor amplificación y corrimiento de nivel, y al final por una etapa de salida.

Aunque en un principio los op-amp se diseñaron para realizar operaciones matemáticas, su mayor aplicación está en el campo de los sistemas analógicos. Una de éstas es la realización de filtros activos. En los op-amp MOS una de sus mayores aplicaciones son los filtros de capacitor conmutado -de hecho, en todos los filtros activos- el componente activo comúnmente empleado es el op-amp.

2.1 AMPLIFICADORES OPERACIONALES

Idealmente, el op-amp es una fuente de voltaje controlada por voltaje (fig. 2.1) con ganancia de voltaje infinita y admitancia de entrada cero, así como impedancia de salida cero. Es necesario decir, que los op-amps prácticos sólo pueden aproximarse al dispositivo ideal. Las principales diferencias entre el op-amp ideal y el real son las siguientes:

1.- Ganancia Finita. Para op-amps prácticos, la ganancia de voltaje es finita. Con valores típicos para bajas frecuencias y señales pequeñas de $A = 10^2 \sim 10^5$, correspondientemente con ganancias de 40 ~ 100 dB.

2.- Rango Lineal Finito. La relación lineal $V_o = A (V_a - V_b)$ entre la entrada y salida de voltaje, sólo es válida para un rango limitado de V_o . Normalmente, el valor máximo de V_o en una operación lineal es un poco menor que el voltaje de alimentación dc.

3.- Voltaje de Desviación. Para un op-amp ideal, si $V_a = V_b$ (lo cual se logra poniendo en corto las terminales de entrada), entonces $V_o = 0$. En el op-amp real, esto no es exactamente cierto, ya que el voltaje que ocurre al poner en corto las entradas es $V_{o,off} \neq 0$. Como normalmente $V_{o,off}$ es directamente proporcional a la ganancia, el efecto puede ser descrito más convenientemente en términos del voltaje de desviación de entrada $V_{in,off}$, definido como el voltaje diferencial de entrada necesario para establecer a $V_o = 0$ en el op-amp real.

4.- Razón de Rechazo en Modo Común (CMRR). La entrada de voltaje en modo común está definida por

$$V_{in,c} = \frac{V_a + V_b}{2} \quad (2.1)$$

lo cual contrasta con el voltaje de entrada en modo diferencial dado por

$$V_{in,d} = V_a - V_b \quad (2.2)$$

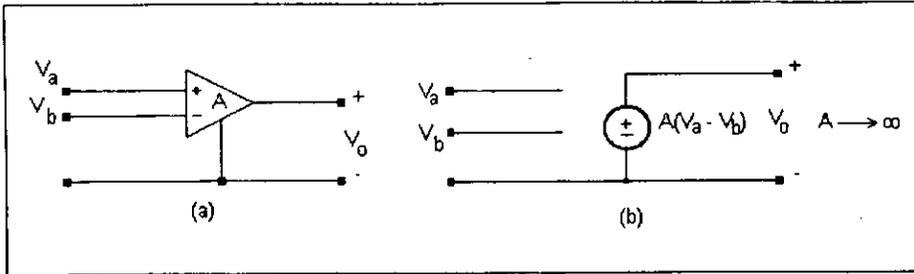


FIGURA 2.1 a) Símbolo para el op-amp ideal. b) Circuito equivalente.

Por lo tanto, se puede definir a la ganancia diferencial A_D (es la misma ganancia A definida anteriormente), y también a la ganancia en modo común A_C la cual puede ser medida como se muestra en la fig. 2.2, donde $A_C = V_o / V_{in,c}$.

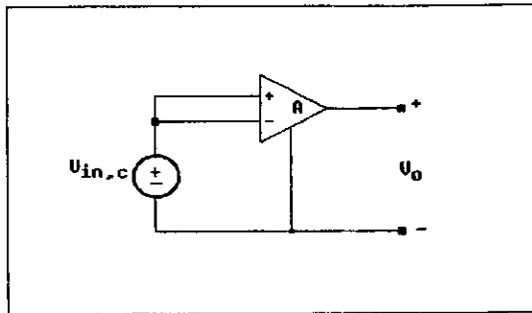


FIGURA 2.2 Op-amp con entrada en modo común.

El CMRR ahora está definido como A_D/A_C o (en unidades logarítmicas) $CMRR = 20 \log_{10}(A_D/A_C)$ en dB. Los valores típicos del CMRR para op-amps MOS se encuentran en el rango de 60 - 80 dB. El CMRR mide que tanto el op-amp puede suprimir señales en modo común en sus entradas. Éstas normalmente representan ruido indeseable, y por tanto se requiere un gran CMRR.

5.- Respuesta en Frecuencia. A causa de las capacitancias parásitas, movilidad de la portadora finita, etc., la ganancia (A) decrece a altas frecuencias. Es común que se describa a este efecto en términos del ancho de banda a ganancia unitaria, que es la frecuencia f_o a la cual $|A(f_o)| = 1$. Para

op-amps MOS, f_o está generalmente en el rango de 1-10 MHz. Esto puede ser medido con el op-amp conectado en configuración seguidor de voltaje.

6.- Velocidad de Respuesta. Esta indica qué tan rápido puede cambiar su voltaje de salida. La velocidad de respuesta depende de muchos factores; la ganancia del amplificador, los capacitores del op-amp, los capacitores de compensación, y aun si el voltaje de salida es positivo o negativo. El peor caso, o la velocidad de respuesta más lenta ocurre a ganancia unitaria. Para op-amps MOS típicos se pueden obtener velocidades de respuesta de 1-20 V/ μ S.

7.- Resistencia de Salida. Para el op-amp MOS real, la impedancia de salida en malla abierta es diferente de cero. Generalmente, esta resistencia es del orden de 0.1-5 $k\Omega$ para op-amps con buffer en la salida; puede ser mayor ($\sim 1M\Omega$) para op-amps sin buffer en la salida. Esto afecta a la velocidad con la que el op-amp puede cargar a un capacitor conectado a su salida, y por consiguiente a la señal con mayor frecuencia.

8.- Resistencia de Entrada. La resistencia de entrada de un op-amp normalmente debe ser bastante grande. En el op-amp MOS está en el orden de $M\Omega$. El hecho de que esta resistencia sea tan grande significa que la corriente que fluye entre las terminales de entrada es muy pequeña.

9.- Ruido. El transistor MOS genera ruido, el cual puede ser descrito en términos de una fuente de corriente equivalente en paralelo con el canal del dispositivo. Lo ruidoso del transistor en un op-amp da origen a un voltaje V_{on} de ruido en la salida del op-amp; éste puede ser nuevamente modelado por una fuente de voltaje equivalente ($V_n = V_{on}/A$) a la entrada del op-amp. Desafortunadamente, la magnitud de este ruido es relativamente alta, especialmente en la banda de baja frecuencia en donde es alto el ruido por parpadeo del dispositivo de entrada; es de aproximadamente 10 veces el ruido ocurrido en un op-amp fabricado con tecnología bipolar. En un ancho de banda (por decir, en el intervalo de 10 Hz a 1 MHz), la fuente de ruido equivalente de entrada es regularmente del orden de 10-50 μ V RMS.

10.- Rango Dinámico. Debido al limitado rango lineal del op-amp, hay una amplitud máxima de la señal $V_{in,m\acute{a}x}$ de entrada que el dispositivo puede manejar sin generar una cantidad excesiva de distorsión no lineal. Si las fuentes de voltaje del op-amp son $\pm V_{cc}$, entonces una estimación

aproximada es $V_{in,m\acute{a}x} \approx V_{cc} / A$, donde A es la ganancia en malla abierta del op-amp. Debido a las se\u00f1ales espurias tambi\u00e9n hay una se\u00f1al m\u00ednima de entrada $V_{in,m\u00edn}$ que no se pierde con el ruido y la distorsi\u00f3n. Generalmente, $V_{in,m\u00edn}$ es del mismo orden en magnitud que la entrada equivalente de ruido V_n del op-amp. El rango din\u00e1mico del op-amp es definido entonces como $20 \log_{10} (V_{in,m\acute{a}x} / V_{in,m\u00edn})$ medido en dB. Cuando el op-amp est\u00e1 en la condici\u00f3n de malla abierta, $V_{in,m\acute{a}x} \approx V_{cc} / A$ en el orden de mV, mientras que $V_{in,m\u00edn} = \sqrt{V_n^2}$ es de alrededor de 30 μ V. Por lo que, el rango din\u00e1mico de malla abierta solo es de aproximadamente 30-40 dB. Sin embargo, el rango din\u00e1mico de un op-amp con configuraci\u00f3n de realimentaci\u00f3n negativa puede ser mucho mayor. Como una simple ilustraci\u00f3n, considerando el amplificador realimentado mostrado en la fig. 2.3. La salida debido a la fuente de ruido V_n teniendo solamente el valor RMS es

$$V_{on} = \sqrt{V_n^2} / \left(\frac{1}{A} + \frac{R_1}{R_1 + R_2} \right). \quad (2.3)$$

La ganancia de voltaje del circuito realimentado (sin ruido) es

$$\frac{V_o}{V_{in}} = -1 / \left[\frac{1}{A} + \frac{R_1}{R_2} \left(1 + \frac{1}{A} \right) \right]. \quad (2.4)$$

La se\u00f1al $V_{in,m\u00edn}$ de entrada m\u00ednima incrementa el voltaje de la se\u00f1al de salida aproximadamente igual a V_{on} , por lo que

$$V_{in,m\u00edn} \cong \sqrt{V_n^2} \frac{1/A + (R_1/R_2)(1 + 1/A)}{1/A + R_1/(R_1/R_2)} \quad (2.5)$$

y, para $V_{o,m\acute{a}x} \approx V_{cc}$,

$$V_{in,m\acute{a}x} \cong V_{cc} \left[\frac{1}{A} + \frac{R_1}{R_2} \left(1 + \frac{1}{A} \right) \right]. \quad (2.6)$$

Por lo tanto, el rango dinámico está dado por

$$20 \log_{10} \left[\frac{V_{cc} \left(\frac{1}{A} + \frac{R_1}{R_1 + R_2} \right)}{\sqrt{V_n^2}} \right]$$

$$\approx 20 \log_{10} \left(\frac{V_{cc} R_1}{\sqrt{V_n^2} R_1 + R_2} \right), \quad (2.7)$$

donde la aproximación indicada normalmente es válida para $A \gg 1$. Para valores típicos ($V_{cc} \sim 10V$, $\sqrt{V_n^2} \sim 30\mu V$, $R_2/R_1 \sim 10$), ocasiona un rango dinámico de alrededor de 90 dB para todo el circuito.

11.- Razón de Rechazo de Fuente de Energía (PSRR). Si la fuente de energía de voltaje sufre un incremento en V debido al ruido, zumbido, etc., entonces un correspondiente voltaje $A_p V$ aparecerá a la salida del op-amp. El PSRR está definido como A_D/A_p , donde $A_D = A$ es la ganancia diferencial. Es común expresar al PSRR en dB; además el $PSRR = 20 \log_{10} (A_D/A_p)$. Generalmente para un solo op-amp el PSRR cae en el rango de 60 a 80 dB; para un filtro completo, se consigue de 30-50 dB.

12.- Disipación de Potencia dc. El op-amp ideal no requiere disipar potencia dc en el circuito, en los reales sí. Valores típicos para un op-amp MOS caen en un rango de 0.25 a 10 mW de potencia dc en el drain.

Para lograr una operación cercana a la ideal para el op-amp práctico, normalmente se emplea la estructura general de la figura 2.4. El amplificador diferencial (primer bloque) se diseña de manera que proporcione una alta impedancia de entrada, un gran CMRR y PSRR, con un nivel bajo de desviación de voltaje y ruido y alta ganancia. Su salida es normalmente con una sola

salida, así que el resto del op-amp no necesita llevar etapas diferenciales simétricas. Como el transistor en la etapa de entrada (y sus posteriores etapas) trabaja en la región de saturación, hay una apreciable diferencia de voltaje dc entre las señales de entrada y la salida de la etapa de entrada.

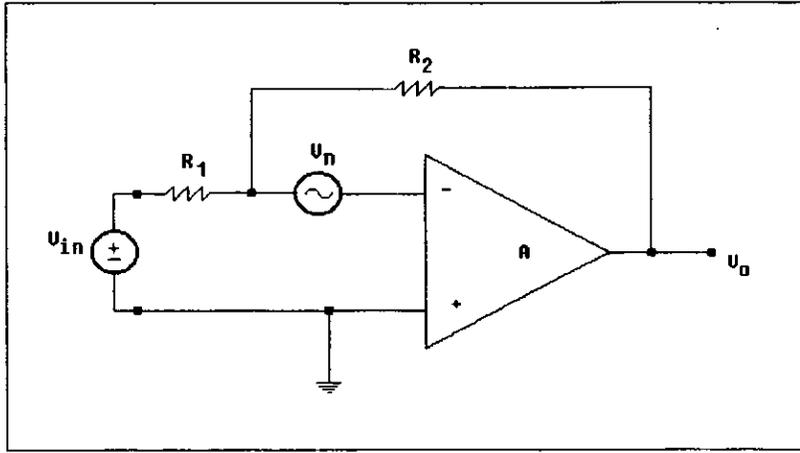


FIGURA 2.3 Amplificador realimentado con la inclusión del ruido.

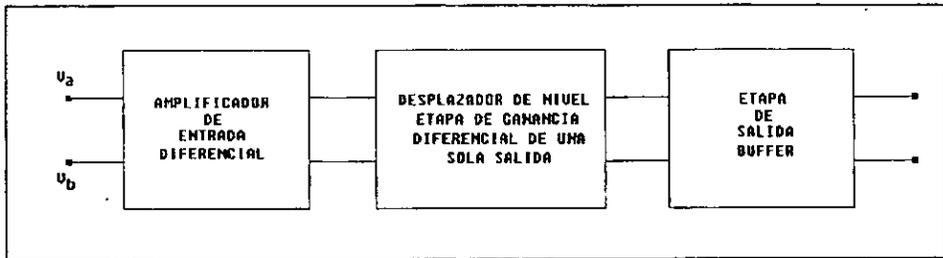


FIGURA 2.4 Diagrama a bloques de un op-amp.

El segundo bloque en el diagrama de la figura 2.4 puede presentar una o más de las siguientes funciones:

1.- Desplazamiento de nivel. Esto es necesario para compensar cambios de voltaje dc ocurridos en la etapa de entrada, y así asegurar la polarización dc adecuada para las etapas siguientes.

2.- Suma de ganancia. En muchos casos, no es suficiente la ganancia proporcionada por la etapa de entrada, por lo que se requiere una amplificación adicional.

3.- Conversión a una sola salida En algunos circuitos, la etapa de entrada tiene una salida diferencial, y la conversión a señales de una sola salida se presenta en etapas subsecuentes.

El tercer bloque es la salida con buffer. Proporciona una baja impedancia de salida y una gran corriente de salida necesaria para excitar a la carga del op-amp. Normalmente no contribuye a la ganancia de voltaje.

Algunos circuitos MOSFET típicos realizan las funciones descritas las cuales van ha ser tratadas. El diseño varía frecuentemente acorde si ambos dispositivos PMOS y NMOS pueden fabricarse en el mismo chip usando tecnología CMOS o si es disponible un solo tipo (usualmente NMOS). Por lo que, de muchos circuitos se tratarán dos; uno para CMOS y otro para NMOS.

De aquí en adelante se asumirá que todos los dispositivos estarán en la región de saturación. Por lo que para una buena aproximación i_D es independiente de V_D , y está dada por $i_D \cong K' (W/L)(V_{GS} - V_T)^2$. Donde, debido al efecto sustrato, V_T depende del voltaje source-body (cuerpo).

2.2 CIRCUITOS DE POLARIZACIÓN CON TECNOLOGÍA MOSFET

Las etapas del amplificador que anteriormente fueron tratadas en términos generales, y que serán detalladas posteriormente, necesitan varios voltajes y corrientes dc de polarización para su operación. Como el op-amp normalmente tiene dos fuentes de voltaje dc ($V_{DD} > 0$ y $V_{SS} \leq 0$) todos los demás voltajes y corrientes de polarización pueden obtenerse de esos voltajes.

Puede utilizarse un divisor de voltaje para obtener los voltajes dc de polarización $V_{01}, V_{02}, \dots, V_{0n}$, donde $V_{SS} < V_{01} < V_{02} < \dots < V_{0n} < V_{DD}$. Difícilmente se utiliza un divisor con resistencias, ya que se requiere una gran área de silicio. En cambio se utiliza un MOSFET en configuración tótem pole, fig. 2.5a donde se asume que los transistores son de canal N y se hace

a $V_{SS} = 0$. Como aquí $V_{GS} = V_{DS}$ para todos los dispositivos, se satisface la condición de saturación

$$V_{DS} > V_{GS} - V_T \quad (2.8)$$

Por consiguiente, de la ecuación 1.8 el valor de la corriente de drain está dado por

$$\begin{aligned} I_{poi} &= K'(W/L)_i (V_{O1} - V_{T1})^2 \\ &= K'(W/L)_2 (V_{O2} - V_{O1} - V_{T2})^2 \\ &\vdots \\ &= K'(W/L)_{n+1} (V_{DD} - V_{On} - V_{T,n+1})^2 \end{aligned} \quad (2.9)$$

donde se asume que $I_i \ll I_{poi}$, para $i = 1, 2, 3, \dots, n$. Debido al efecto sustrato de la ecuación 1.12, los voltajes de umbral V_{T1}, V_{T2}, \dots , son diferentes para dispositivos diferentes:

$$\begin{aligned} V_{T1} &= V_T \\ V_{T2} &= V_T + \gamma \left(\sqrt{2|\phi_p| + V_{O1}} - \sqrt{2|\phi_p|} \right) \\ &\vdots \\ V_{T,n+1} &= V_T + \gamma \left(\sqrt{2|\phi_p| + V_{On}} - \sqrt{2|\phi_p|} \right) \end{aligned} \quad (2.10)$$

Donde, V_{O_i} es generalmente especificado, como en las corrientes I_i , $i = 1, 2, \dots, n$ (fig. 2.5). Entonces se puede seleccionar¹ a $I_{poi} \gg I_i$, y las ec's 2.9 y 2.10 se utilizan para encontrar la relación W/L para todos los dispositivos.

Una característica indeseable del circuito de la fig. 2.5a es que todos los voltajes y corrientes dependen de las fuentes de voltaje V_{DD} y V_{SS} . Esto causa que la operación y la potencia dc

¹Normalmente, los V_{O_i} están conectados únicamente a los gates de los transistores, y las I_i son muy pequeñas.

consumida de todo el circuito también estén en función de las fuentes de voltaje. Para evitar esto, se puede utilizar el circuito mejorado de la fig. 2.5b (el cual sólo proporciona un voltaje de polarización V_{O1}). Donde, el dispositivo de modo depleción Q_2 actúa como una fuente de corriente, forzando a Q_1 (que tiene una resistencia de entrada baja en la terminal de entrada común gate/drain) a llevar una corriente de drain $I_{po1} = k_2'(W/L)_2 V_{TD}^2$, donde V_{TD} es el voltaje de umbral del dispositivo de depleción. Por lo que V_{O1} se estabiliza a $V_{T1} + |V_{TD}| \sqrt{[k_2'(W/L)_2] / [k_1'(W/L)_1]}$.

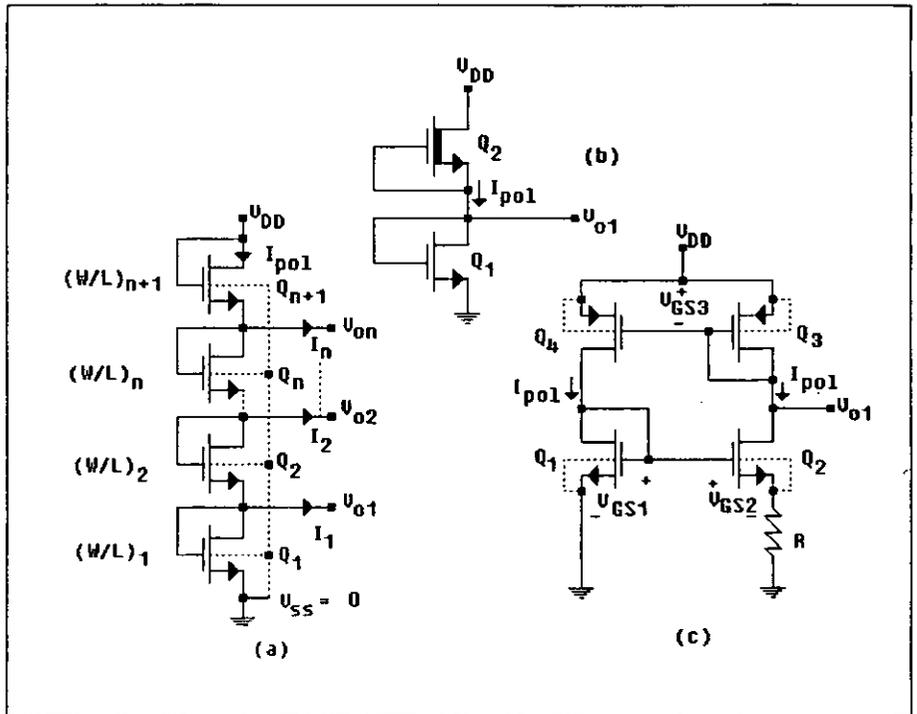


FIGURA 2.5 a) Divisor de voltaje NMOS. b) Circuito de polarización con una fuente independiente NMOS. c) Circuito de polarización con una fuente independiente CMOS.

Un circuito CMOS con una alimentación independiente perfecta (teóricamente) se muestra en la fig. 2.5c. Si los transistores Q_3 y Q_4 se acoplan de manera que $(W/L)_3 = (W/L)_4$, llevarán corrientes iguales a $I_{po1} = (V_{GS1} - V_{GS2}) / R$. Haciendo a $(W/L)_2 > (W/L)_1$, la corriente de

polarización puede calcularse entonces por $I_{pol} = [1/(R^2 k')][(W/L)_1^{-1/2} - (W/L)_2^{-1/2}]^2$. De esta manera es independiente de V_{DD} . Alternativamente se puede hacer que $(W/L)_1 = (W/L)_2$ y $(W/L)_3 > (W/L)_4$. Obteniéndose $I_{pol} = [\sqrt{(W/L)_3 / (W/L)_4} - 1]^2 / [k'R^2(W/L)_1]$. Por lo que nuevamente es independiente de V_{DD} , como lo es el voltaje de polarización V_{O1} .

El análisis anterior no toma en cuenta los efectos de la modulación por el largo del canal. Éste sólo es válido si V_{Ti} y λ no son demasiados grandes.

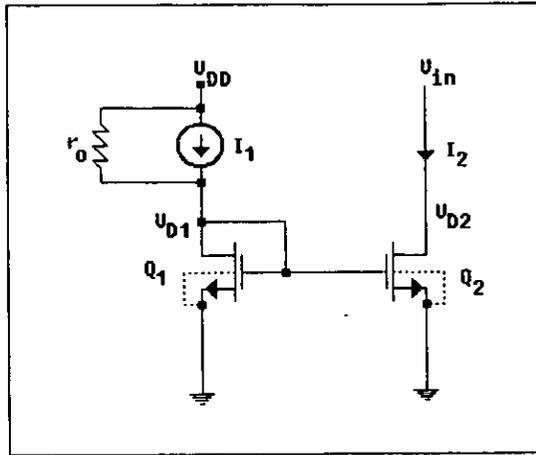


FIGURA 2.6 Fuente de corriente MOSFET.

Como será tratado posteriormente en la sección 2.3, las fuentes de corriente constante son importantes componentes en amplificadores diferenciales MOS. Las fuentes de corriente MOS son completamente similares a las bipolares. La realización de un "espejo de corriente" NMOS se muestra en la fig. 2.6. En el circuito Q_1 es forzado a llevar la corriente I_1 , en la cual la resistencia de entrada es baja ya que están en corto las terminales gate/drain, acordemente ajustando su potencial del gate. Si Q_1 y Q_2 están en saturación, entonces las corrientes de drain I_1 e I_2 son determinadas en gran medida por el valor de V_{GS} . Como $V_{GS1} = V_{GS2}$, se mantiene la condición $I_1/I_2 \approx k_1/k_2$. De 1.9, si los transistores tienen la misma λ , k' , y V_{Ti} , entonces

$$\frac{i_1}{i_2} = \frac{(W/L)_1 (1 + \lambda_{D1} v_{D1})}{(W/L)_2 (1 + \lambda_{D2} v_{D2})} \quad (2.11)$$

Por lo que la corriente i_1 es reflejada en i_2 .

Para el análisis de señal pequeña, puede utilizarse el circuito equivalente de la fig. 1.14 reemplazando a Q_1 y Q_2 . Resultando el circuito mostrado en la fig. 2.7. Donde, r_o es el incremento de la resistencia de la fuente de corriente i_1 , y V_{in} es el voltaje de prueba conectado al drain de Q_2 para medir la impedancia de salida del circuito. Del circuito de señal pequeña y de la ec. 1.20 la impedancia de salida es

$$r_{out} = \frac{v_{in}}{i_{in}} = r_{d2} = \frac{1}{g_{d2}} = \frac{1 + \lambda_{D2} v_{D2}^o}{\lambda_{D2}^o} \quad (2.12)$$

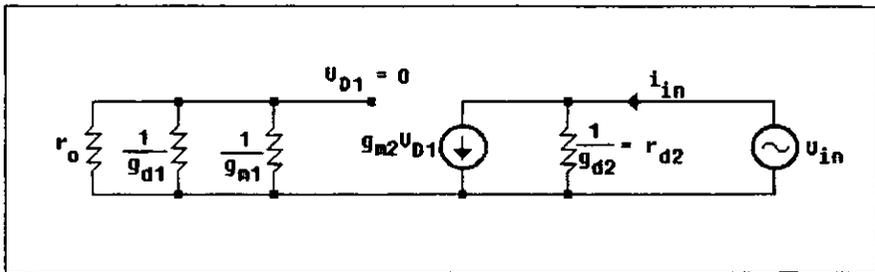


FIGURA 2.7 Circuito equivalente de señal pequeña para el espejo de corriente MOSFET.

La impedancia de salida r_{out} , puede aumentar, agregando un dispositivo más y modificando algunas conexiones, y de esta manera el circuito está hecho más bien para trabajar como una fuente de corriente ideal. El circuito resultante (fig. 2.8) es el circuito equivalente MOS de la fuente de corriente Wilson. En este circuito, si aumenta i_2 entonces V_1 se hace más grande. Esto ocasiona una caída de voltaje en V_3 originando que contrarreste el incremento de i_2 . De esta manera, existe una realimentación negativa, la cual trata de mantener constante a i_2 . El circuito

equivalente de señal pequeña se muestra en la fig. 2.9; el circuito simplificado se muestra en la fig. 2.10. El último se obtuvo por la combinación de r_o y r_{d1} en $r_1 = (r_o^{-1} + r_{d1}^{-1})^{-1}$; reemplazando a la fuente de corriente auto controlada $g_{m2}V_2$ por un resistor $1/g_{m2}$; e ignorando a r_{d2} que ahora está en paralelo con el resistor (generalmente mucho más pequeño) $1/g_{m2}$.

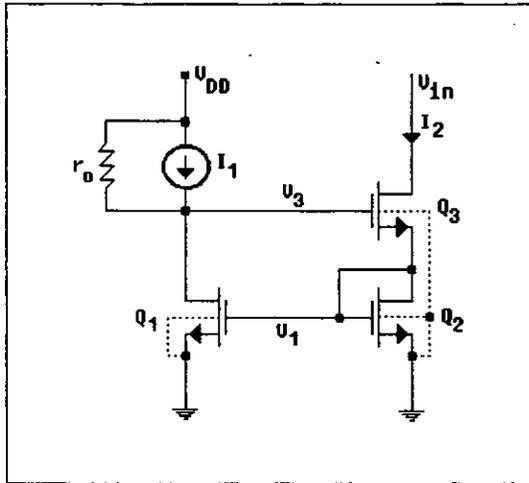


FIGURA 2.8 Fuente de corriente Wilson en versión MOSFET.

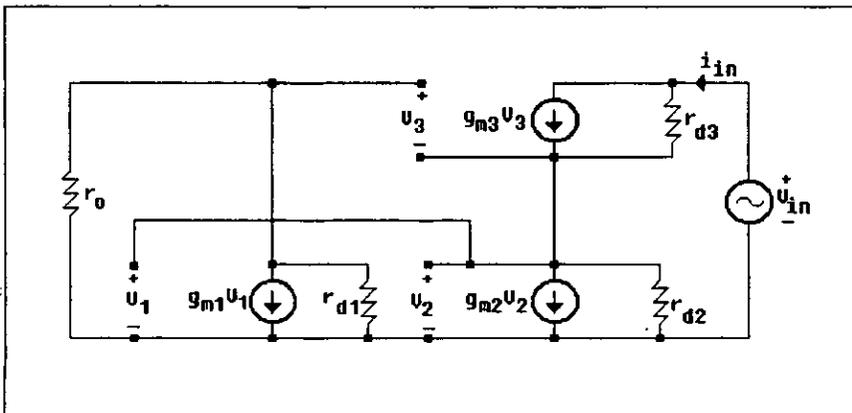


FIGURA 2.9 Circuito equivalente de la fuente de corriente Wilson.

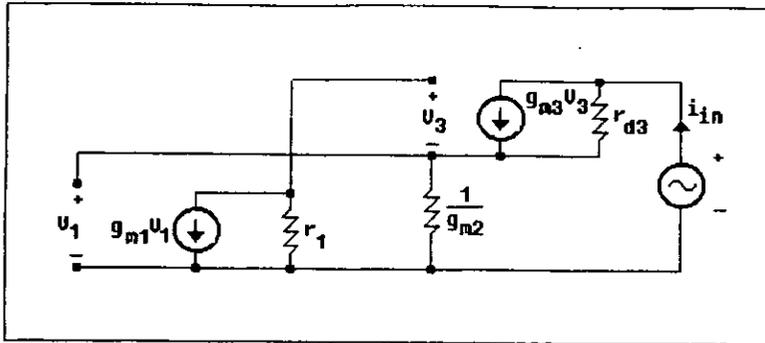


FIGURA 2.10 Circuito equivalente simplificado de la fuente de corriente Wilson.

Escribiendo las ec's. de malla de la fig. 2.10:

$$\text{MALLA 1:} \quad -i_{in}/g_{m2} - v_3 - r_1 g_{m1} (i_{in}/g_{m2}) = 0, \quad (2.13)$$

$$\text{MALLA 2:} \quad -v_{in} + (i_{in} - g_{m3} v_3) r_{d3} + i_{in}/g_{m2} = 0.$$

Resolviendo para términos de i_{in} se tiene que

$$i_{in} = v_{in} / \left\{ r_{d3} + \left[1 + g_{m3} r_{d3} (1 + g_{m1} r_1) / g_{m2} \right] \right\}. \quad (2.14)$$

Valores típicos para g_m son de alrededor de 1 mA/V, mientras que r_d está en el orden de cientos de $K\Omega$. Por lo que, $g_{m3} r_{d3} \gg 1$ y también $g_{m1} r_1 \gg 1$ (para un r_o grande). Por lo que, de 2.14

$$r_{out} = \frac{v_{in}}{i_{in}} \cong \frac{g_{m1} r_1 g_{m3} r_{d3}}{g_{m2}} = (g_{m1} r_1) \left(\frac{g_{m3}}{g_{m2}} \right) r_{d3}. \quad (2.15)$$

Donde, el valor del primer factor es de alrededor de 100 mientras que el del segundo es de aproximadamente 1. Con lo cual, la impedancia de salida r_{out} es dos veces mayor que r_{d3} , o alrededor de $10\text{ M}\Omega$.

El circuito puede hacerse simétrico, igualando la caída de voltaje drain/source de Q_1 y Q_2 , y agregando otro transistor Q_4 (fig. 2.11). La resistencia de salida de la resultante fuente de corriente Wilson MOS mejorada, también está dada por 2.15.

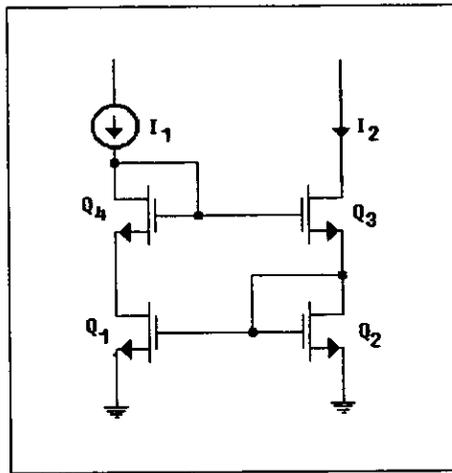


FIGURA 2.11 Fuente de corriente Wilson MOSFET mejorada.

Una ligera versión del circuito de la fig. 2.11 (llamada fuente de corriente cascodo) se muestra en la fig. 2.12a. Su circuito equivalente de señal pequeña se muestra en la fig. 2.12b, y en su forma simplificada en la fig. 2.12c. Este circuito también utiliza realimentación de malla para mantener constante a I_2 , y mantener iguales a los potenciales de drain de Q_1 y Q_2 . Donde

$$r_{out} = \frac{v_{in}}{i_{in}} = r_{d2} + r_{d3} + g_{m3}r_{d3}r_{d2} \cong (g_{m3}r_{d2})r_{d3} \tag{2.16}$$

Por lo que, nuevamente hay un incremento de alrededor de 100 sobre la resistencia de salida del MOSFET. Además, ahora la impedancia interna r_o de la fuente de corriente I_1 está en paralelo

con $1/g_{m1}+1/g_{m4}$, una baja impedancia de entrada, comparada con r_{d1} . Por lo que se reduce su efecto de carga.

Una desventaja común de los circuitos de las figuras 2.8 a 2.12 es que necesitan más voltaje dc de polarización que el de la fig. 2.6. Esto reduce el voltaje de excursión disponible de la(s) etapa(s) de excitación de la fuente.

Las fórmulas y estimaciones numéricas dadas para las fuentes de corriente son algo optimistas, ya que en los circuitos se ignora el efecto sustrato de los dispositivos. Además, el voltaje en la terminal de salida de la fuente de corriente tiene que mantenerse lo suficientemente grande para mantener a todos los dispositivos en saturación, de modo que, r_d y $g_m r_d$ son grandes. Esto limita el rango de operación de la fuente de corriente realizada.

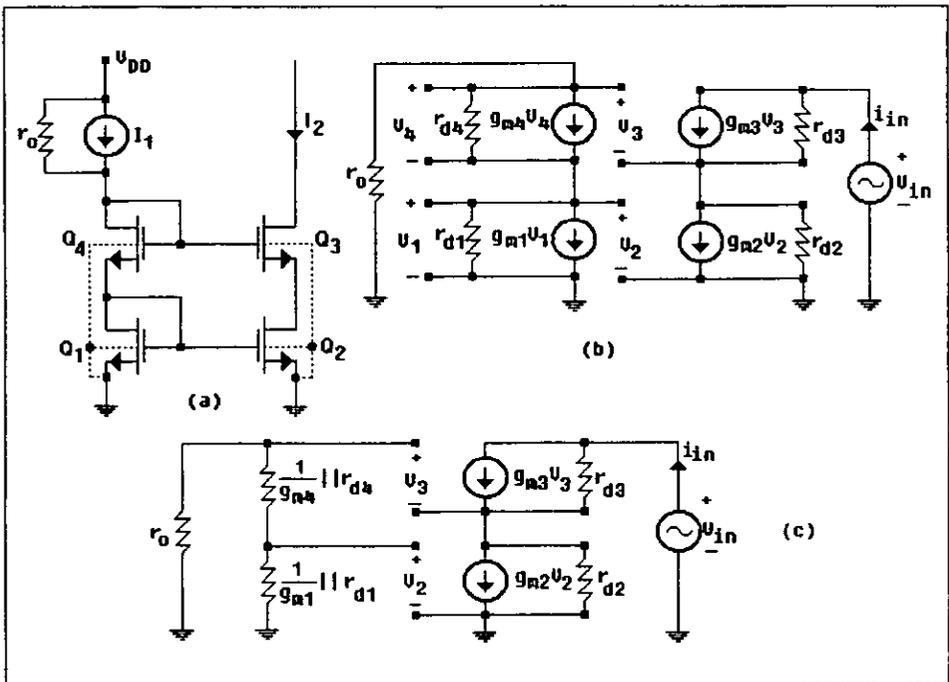


FIGURA 2.12 a) Fuente de corriente cascode. b) Circuito equivalente de señal pequeña de la fuente de corriente cascode. c) Circuito equivalente simplificado de señal pequeña de la fuente de corriente cascode.

2.3 ETAPAS DE GANANCIA MOSFET

En la fig. 2.13 se muestra una etapa de ganancia NMOS con carga resistiva, Q_1 se polariza de modo que trabaje en la región de saturación. El circuito equivalente de señal pequeña se muestra en la fig. 2.14. La ganancia de voltaje es

$$A_v = \frac{V_{out}}{V_{in}} = -g_{m1} \frac{R_L r_{d1}}{R_L + r_{d1}} \quad (2.17)$$

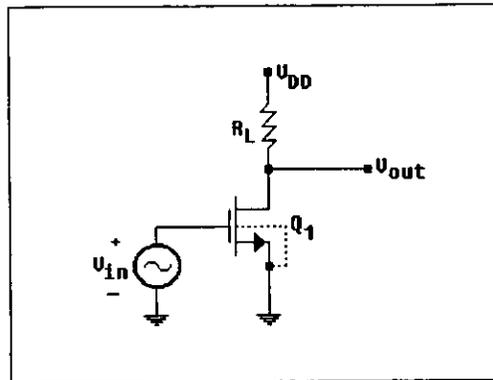


FIGURA 2.13 Etapa de ganancia MOSFET con carga resistiva.

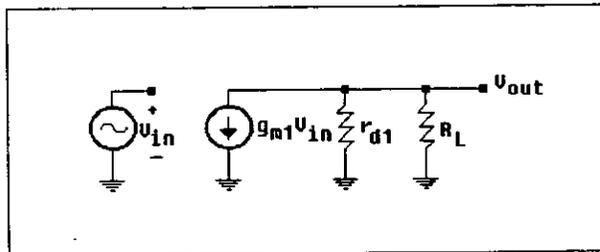


FIGURA 2.14 Circuito equivalente de señal pequeña-baja frecuencia de la etapa de ganancia con carga resistiva.

En la realización de un circuito integrado, es indeseable la resistencia R_L , por lo que generalmente se reemplaza por un segundo MOSFET. Si se utiliza como carga a un dispositivo NMOS de modo ensanchamiento, resulta entonces el circuito de la fig. 2.15. El drain y el gate de Q_2 se unen para asegurar que $V_{ds} > V_{gs} - V_T$, por lo que el dispositivo estará en saturación. El circuito equivalente de señal pequeña para el dispositivo de carga Q_2 se muestra en la fig. 2.16. Donde la fuente de corriente controlada por voltaje $g_m V_{ds}$ está a través del voltaje V_{ds} ; por lo que, se comporta simplemente como un resistor de valor $1/g_m$.

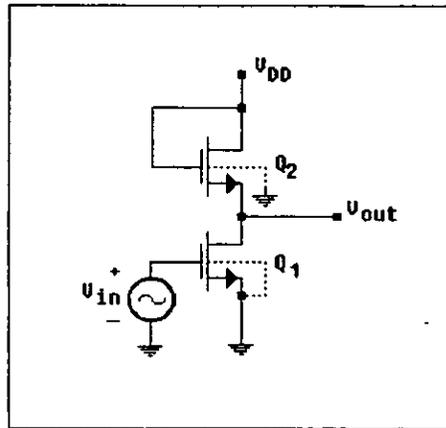


FIGURA 2.15 Etapa de ganancia NMOS con un dispositivo de modo ensanchamiento como carga.

Similarmente, como $V_{sb} = V_{out}$, a la fuente $g_{mb} V_{sb}$ le corresponde un resistor $1/|g_{mb}|$ (por ec. 1.19, $g_{mb} < 0$). En conclusión, Q_2 se comporta como un resistor de valor $1/(g_{m2} + |g_{mb2}| + g_{d2})$. Reemplazando a R_L en la fig. 2.14 por este resistor y omitiendo a g_{d1} y g_{d2} en comparación con $g_{m2} + |g_{mb2}|$ resulta que

$$A_v \cong \frac{-g_{m1}}{g_{m2} + |g_{mb2}|} \quad (2.18)$$

Si el efecto sustrato es mínimo, de manera que $|g_{mb2}| \ll g_{m2}$, entonces utilizando a la ec. 1.18 resulta

$$A_v \cong - \frac{g_{m1}}{g_{m2}} = - \frac{2\sqrt{k_1(1+\lambda_1 v_{DS1}^o)} i_{D1}^o}{2\sqrt{k_2(1+\lambda_2 v_{DS2}^o)} i_{D2}^o}$$

$$\cong - \frac{\sqrt{k_1}}{\sqrt{k_2}} = - \frac{\sqrt{(W/L)_1}}{\sqrt{(W/L)_2}} \quad (2.19)$$

Donde, también se ignoran los términos de la modulación del canal $\lambda_i v_{DSi}$, y se utilizan las relaciones $i_{D1} = i_{D2}$, y $k_1 = k_2$.

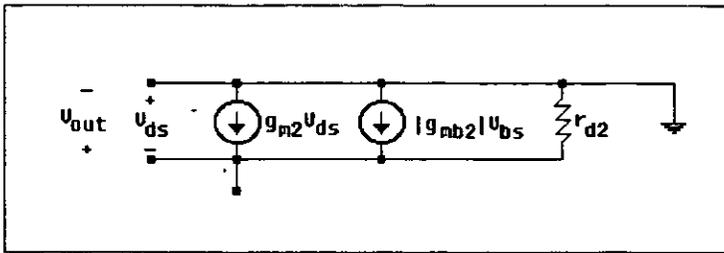


FIGURA 2.18 Circuito equivalente de señal pequeña para el dispositivo de carga de modo ensanchamiento Q_2 .

Un lamentable mensaje llevado por la ec. 2.19 es que sólo puede obtenerse una ganancia grande si la razón W/L de Q_1 es varias veces la de Q_2 . Por ejemplo, si se requiere una ganancia de 10, entonces se requiere que $(W/L)_1 = 100 (W/L)_2$. Esto sólo es posible si se utiliza una gran área de silicio. Agregando, que el efecto sustrato también reduce significativamente la ganancia. Incluyendo el efecto sustrato (pero aún ignorando la modulación por el largo del canal), y utilizando las ec's 1.12, 1.19, y 2.18, resulta

$$A_v \cong \frac{-g_{m1}/g_{m2}}{1 + \gamma / \left(2\sqrt{2} |\phi_p| + |v_{out}^o| \right)} \quad (2.20)$$

Para $|\phi_p| = 0.3 \text{ V}$, $V_{out}^0 = 5 \text{ V}$, y $\gamma = 1$, el denominador es 1.21; por lo que, la ganancia se reduce de 10 a 8.26.

En conclusión, con la etapa de ganancia que utiliza un dispositivo de modo ensanchamiento como carga se consigue poca ganancia, se necesita una gran área de silicio, y es sensitiva al efecto sustrato. Además, para mantener conduciendo al dispositivo de carga, se debe satisfacer que $V_{out} < V_{DD} - V_T$. Esto reduce la capacidad de manipular la señal y por lo tanto el rango dinámico de la etapa.

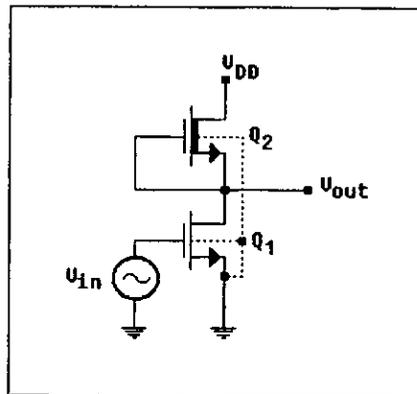


FIGURA 2.17 Etapa de ganancia NMOS con un dispositivo de modo depleción como carga.

Para mejorar la operación, puede utilizarse un dispositivo de modo depleción como carga (fig. 2.17). El modelo de señal pequeña se muestra en la fig. 2.18. En el circuito equivalente de carga, g_{m2} no aparece ya que $V_{GS2} = 0$. Esto incrementa significativamente la ganancia. De la fig. 2.18, aplicando la ley de corrientes al nodo de salida resulta que

$$g_{m1} V_{in} + g_{d1} V_{out} + |g_{mb2}| V_{out} + g_{d2} V_{out} = 0. \quad (2.21)$$

Por lo tanto,

$$A_v = \frac{-g_{m1}}{g_{d1} + g_{d2} + |g_{mb2}|}. \quad (2.22)$$

El denominador Ahora es mucho menor que en 2.18, y por lo tanto la A_v es mucho mayor. Si el sustrato del dispositivo de carga se separa de Q_1 , de manera que pueda ser conectado al nodo de salida, entonces el denominador cambia a $g_{d1} + g_{d2}$ lo cual es muy pequeño, del orden de $10^{-6} \Omega^{-1}$ o menor, mientras que el de g_{m1} es de alrededor de $10^{-3} \Omega^{-1}$. Por lo tanto, son posibles ganancias mayores de 100.

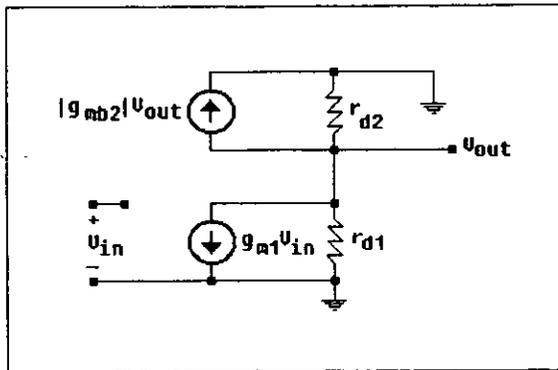


FIGURA 2.18 Circuito equivalente de señal pequeña para el circuito de la fig. 2.17.

Para aplicaciones de alta frecuencia, la ganancia de todas las etapas discutidas hasta el momento tienen un defecto en común. Considerando el circuito de la fig. 2.19, el cual incluye la resistencia R_s de la fuente y la carga capacitiva C_L de la etapa de ganancia. Incluyendo las capacitancias parásitas (introducidas en la fig. 1.16) en el circuito equivalente de señal pequeña, se obtiene el circuito mostrado en la fig. 2.20a. Combinando los elementos conectados en paralelo, resulta el circuito de la fig. 2.20b, donde

$$G_{Leq} = g_{d1} + g_{d2} + g_{m2} + |g_{mb2}|, \tag{2.23}$$

$$C_{Leq} = C_{db1} + C_{gs2} + C_{sb2} + C_L.$$

Las ecuaciones para los nodos A y B son

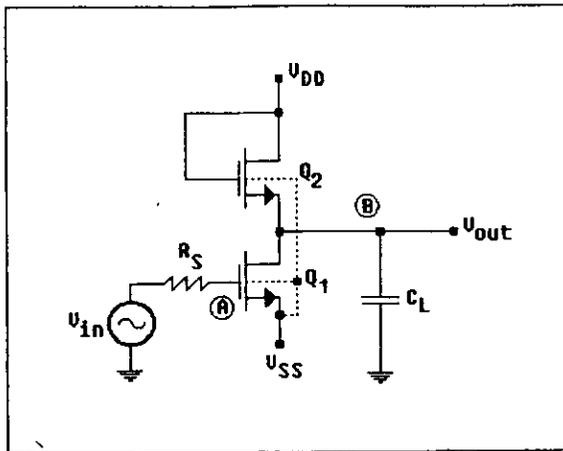


FIGURA 2.19 Etapa de ganancia NMOS con un dispositivo de modo ensanchamiento como carga y un capacitor de carga.

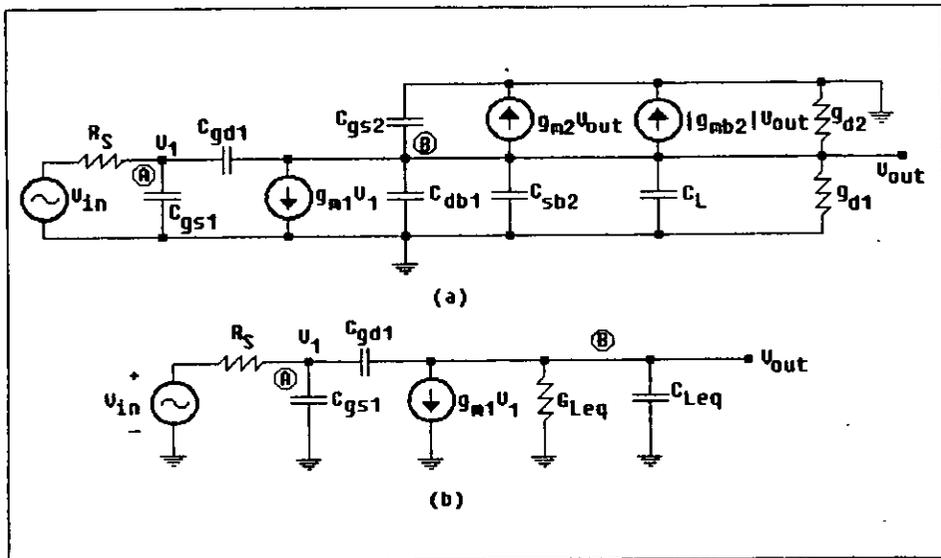


FIGURA 2.20 a) Circuito equivalente de la etapa de ganancia MOSFET. b) Circuito equivalente simplificado de la etapa de ganancia MOSFET.

$$(V_1 - V_{in})G_s + V_1 s C_{gs1} + (V_1 - V_{out})s C_{gd1} = 0, \quad (2.24)$$

$$(V_{out} - V_1)s C_{gd1} + g_{m1}V_1 + (G_{Leq} + sC_{Leq})V_{out} = 0,$$

donde todos los voltajes son funciones de la transformada de Laplace.

Resolviendo 2.24 se tiene

$$A_v(s) = \frac{V_{out}(s)}{V_{in}(s)} \quad (2.25)$$

$$= \frac{G_s(sC_{gd1} - g_{m1})}{[s(C_{gs1} + C_{gd1}) + G_s] + [G_{Leq} + s(C_{gd1} + C_{Leq})] - sC_{gd1}(sC_{gd1} - g_{m1})}$$

Para obtener la respuesta en frecuencia, S tiene que sustituirse por $j\omega$.

Para moderadas frecuencias, manteniendo a $g_{m1} \gg \omega C_{gd1}$, $G_{Leq} \gg \omega(C_{gd1} + C_{Leq})$. Por lo que, una buena aproximación es

$$\begin{aligned} A_v(j\omega) &\approx \frac{-g_{m1}G_s}{G_s G_{Leq} + j\omega [G_{Leq}(C_{gs1} + C_{gd1}) + g_{m1}C_{gd1}]} \\ &= \frac{-g_{m1}/G_{Leq}}{1 + j\omega R_s [C_{gs1} + C_{gd1}(1 + g_{m1}/G_{Leq})]} \\ &= \frac{A_v^0}{1 + j\omega R_s C_{in}} \end{aligned} \quad (2.26)$$

Donde, $A_v^0 = -g_{m1} / G_{Leq}$ es el valor dc de $A_v(j\omega)$, y

$$C_{in} = C_{gs1} + C_{gd1}(1 + g_{m1}/G_{Leq}) = C_{gs1} + C_{gd1}(1 + |A_v^0|). \quad (2.27)$$

$A_V(j\omega)$ en 2.26 es la función de transferencia del circuito mostrado en la fig. 2.21. Por lo que, el capacitor C_{gd1} , el cual está conectado entre las terminales de entrada y salida de la etapa de ganancia (fig. 2.20a), se comporta como una capacitancia $(1 + |A^0_V|)$ veces que la de su tamaño real, cargando a la terminal de entrada. Esto también es conocido como efecto Miller. Para $|A^0_V| \gg 1$, la ganancia a alta frecuencia puede ser seriamente afectada, y el ancho de banda también puede ser considerablemente reducido por este fenómeno.

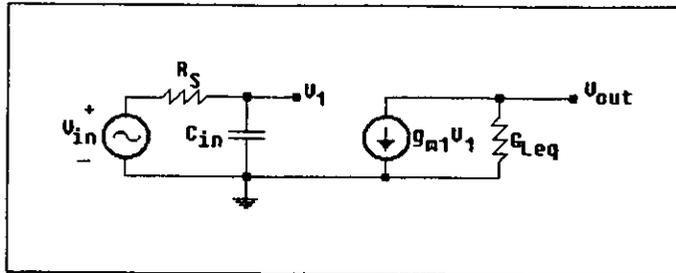


FIGURA 2.21 Circuito equivalente aproximado de la etapa de ganancia MOSFET.

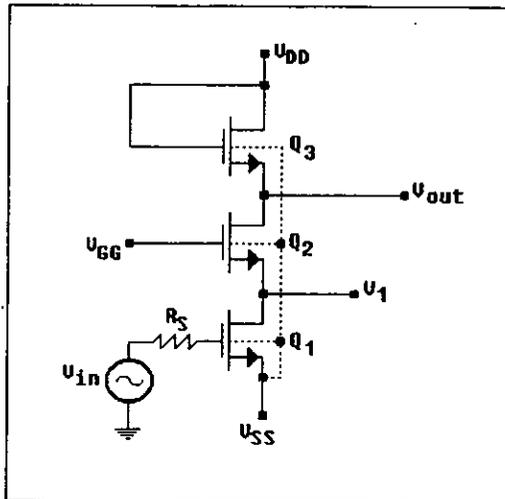


FIGURA 2.22 Etapa de ganancia cascode con un dispositivo de modo ensanchamiento como carga.

Para prevenir el efecto Miller, puede utilizarse la etapa de ganancia cascode de la fig. 2.22, donde se utiliza a Q_2 para aislar a los nodos de entrada y salida. Esto proporciona una baja

resistencia de entrada $1/g_{m2}$ en el source, y una alta en el drain para excitar a Q_3 . Ignorando el efecto sustrato, el circuito equivalente de señal pequeña-baja frecuencia se muestra en la fig.

2.23. Ignorando la pequeña admitancia g_d ,

$$g_{m1} V_{in} = -g_{m2} V_1 = -g_{m3} V_{out} \quad (2.28)$$

Por lo que, para baja frecuencia

$$V_1 \cong - \frac{g_{m1}}{g_{m2}} V_{in} \quad (2.29)$$

$$V_{out} \cong \frac{g_{m2}}{g_{m3}} V_1 \cong - \frac{g_{m1}}{g_{m3}} V_{in}$$

La ganancia de gate-drain de Q_1 es $-g_{m1}/g_{m2}$, y por lo tanto la C_{gd1} del transistor excitador Q_1 ahora es multiplicada por $(1 + g_{m1}/g_{m2})$. Haciendo a $g_{m1} = g_{m2}$, este factor sólo es 2. La ganancia total de voltaje $-g_{m1}/g_{m3}$, sin embargo, todavía puede ser grande, sin una presencia significativa del efecto Miller, puesto que no hay una capacitancia apreciable entre las terminales de entrada y salida.

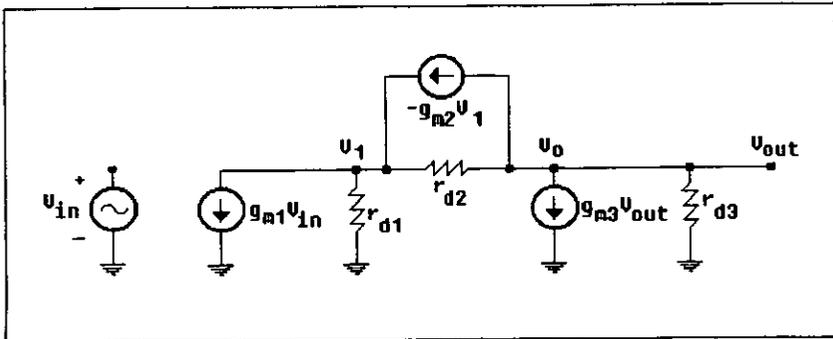


FIGURA 2.23 Circuito equivalente de señal pequeña-baja frecuencia para la etapa de ganancia cascode.

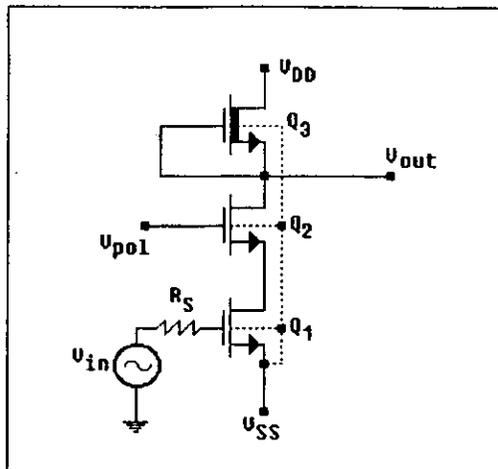


FIGURA 2.24 Etapa de ganancia cascode con un dispositivo de modo depleción como carga.

Como anteriormente, la ganancia de la etapa cascode puede incrementarse utilizando a un dispositivo de modo depleción como carga (fig. 2.24). La ganancia de voltaje a baja frecuencia de este circuito está dada por

$$A_v \cong - \frac{g_{m1} r_{d3}}{1 + |g_{mb3}| r_{d3}} \quad (2.30)$$

También para aumentar la ganancia debe incrementarse a g_{m1} . Como se mostró en 1.18, esto puede lograrse incrementando a k y/o a la corriente dc de polarización i_{D1}^0 . Sin embargo, como indica 1.19 y 1.20, los valores de $1/|g_{mb3}|$ y $r_{d3} = 1/g_{dr}$ decrecen rápidamente con incrementos de $i_{D3}^0 = i_{D1}^0$, por lo que se reducirá la $|A_v|$. Para incrementar i_{D1}^0 , sin incrementar i_{D3}^0 , puede utilizarse la etapa cascode mejorada de la fig. 2.25. El dispositivo que se agregó (Q_4) actúa como una fuente de corriente, aumentando la corriente de Q_1 , sin afectar a la de Q_3 . No actúa como una derivación de la carga Q_1 , ya que Q_2 proporciona una baja impedancia en el nodo del drain de Q_1 .

La ganancia de los circuitos de las figs. 2.24 y 2.25 se reduce por el efecto sustrato de Q_3 . Para disminuir el efecto sustrato, Q_3 puede remplazarse por la carga compuesta mostrada en la fig. 2.26.

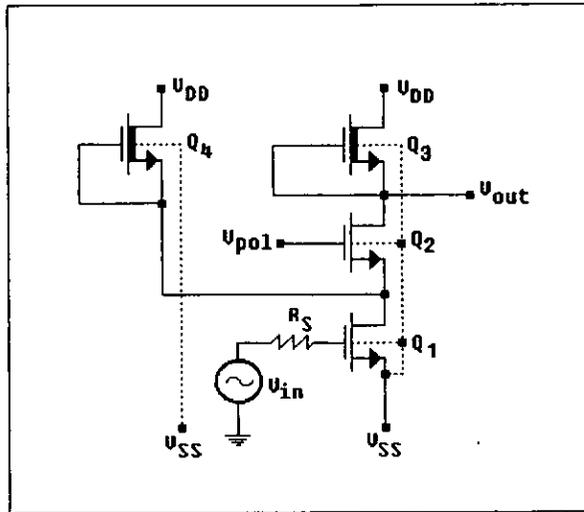


FIGURA 2.25 Etapa de ganancia cascodeo mejorada.

Físicamente, el circuito opera como a continuación. Si se incrementa V_{out} , $|V_{BS5}|$ se incrementará y por lo consiguiente el efecto sustrato actuará para reducir a i_5 . Sin embargo, $i_5 = i_6$ es estabilizado por Q_6 , y por lo tanto V_G se incrementará más que V_{out} y así mantendrá a i_5 estable. Si Q_5 y Q_3 tienen el mismo valor γ y ϕ_p , por lo que el incremento de V_G también mantendrá constante a i_3 . La corriente i_o está dada por

$$i_o = i_6 + k_3 \left(\sqrt{i_6/k_5} + V_{T50} - V_{T30} \right)^2 \tag{2.31}$$

Donde, k_3 (k_5) es un factor constante en la relación $i_D - V_D$, y V_{T30} (V_{T50}) es el voltaje de umbral para $V_{BS} = 0$ de Q_3 (Q_5). Como muestra 2.31, en tanto i_6 se mantenga constante (lo cual se logra si i_6 es pequeña de manera que $g_{d6} \approx 0$) i_o también será estabilizada.

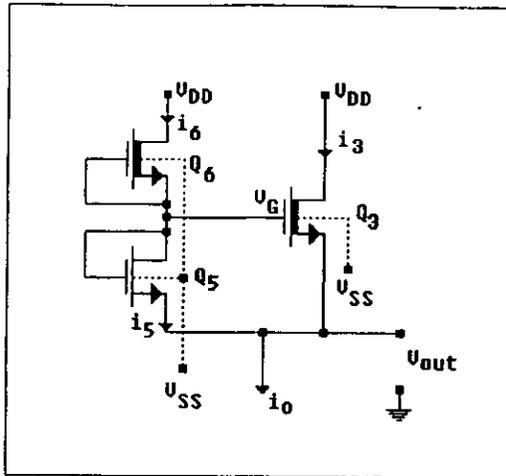


FIGURA 2.26 Fuente de corriente constante mejorada.

La fig. 2.27 muestra una etapa NMOS de alta ganancia, usando las técnicas de las figs. 2.25 y 2.26. Prácticamente se logra una alta ganancia (arriba de 100) con este circuito. Sin embargo, el voltaje de excursión es un poco reducido.

Todas las etapas de ganancia mostradas hasta el momento utilizan exclusivamente dispositivos NMOS. Si se dispone de la tecnología CMOS, entonces se puede utilizar el circuito de la fig. 2.28. Como ambos dispositivos tienen conectados sus propio sustrato y source, no se presenta el efecto sustrato, y g_{mb} no aparece en el circuito de señal pequeña (fig. 2.29). La ec. del nodo es

$$(g_{m1} + g_{m2}) v_{in} + (g_{d1} + g_{d2}) v_{out} = 0 \quad (2.32)$$

de manera que

$$A_v = - \frac{g_{m1} + g_{m2}}{g_{d1} + g_{d2}} \quad (2.33)$$

Por lo que g_m puede ser 100 veces más grande que g_d , y la ganancia es alta.

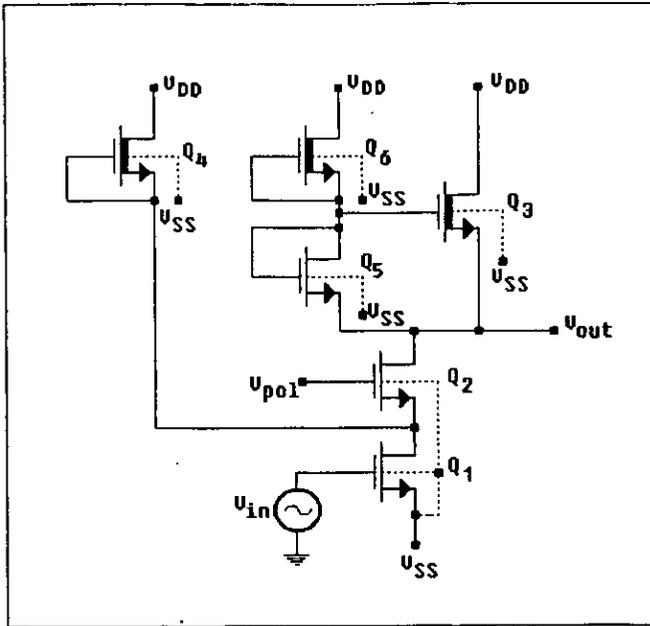


FIGURA 2.27 Etapa cascode NMOS de alta ganancia.

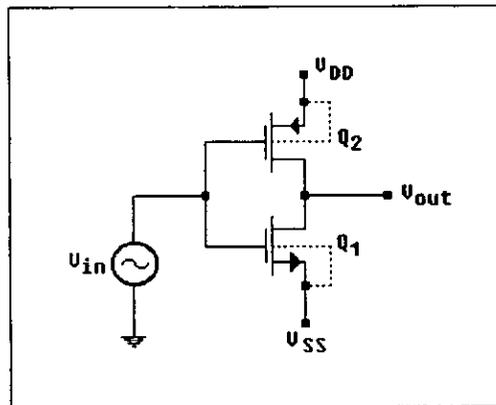


FIGURA 2.28 Etapa de ganancia CMOS.

Para incrementar el rango lineal, ambos transistores deben operar con voltajes dc de polarización óptimos. Esto puede hacer necesario utilizar un desplazador de nivel dc (fig. 2.30) para señales de entrada grande.

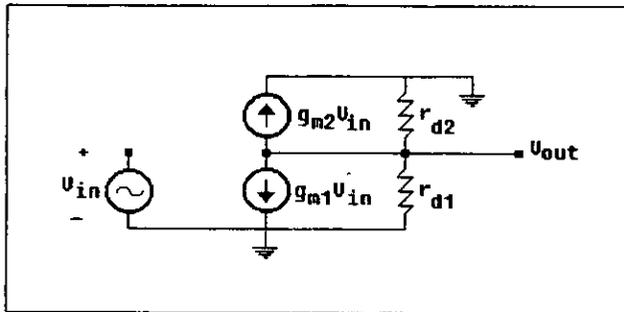


FIGURA 2.29 Circuito equivalente de señal pequeña para la etapa de ganancia CMOS.

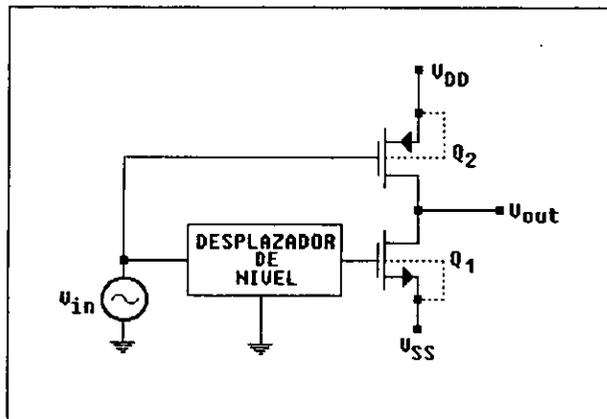


FIGURA 2.30 Etapa de ganancia CMOS.

2.4 EL SOURCE SEGUIDOR MOSFET Y SALIDA BUFFER

El source seguidor MOSFET es similar al emisor seguidor bipolar. Puede utilizarse como buffer o como desplazador de nivel dc. El circuito básico se muestra en la fig. 2.31; su circuito equivalente de señal pequeña-baja frecuencia se muestra en la fig. 2.32. La ec. de corriente para el nodo de salida es

$$(g_{d1} + g_{d2}) v_{out} + |g_{mb1}| v_{out} - g_{m1} v_{gs1} = 0. \quad (2.34)$$

Sustituyendo a $v_{gs1} = v_{in} - v_{out}$ y resolviendo 2.34

$$A_v = \frac{v_{out}}{v_{in}} = \frac{g_{m1} / (g_{d1} + g_{d2} + |g_{mb1}|)}{g_{m1} / (g_{d1} + g_{d2} + |g_{mb1}|) + 1}. \quad (2.35)$$

Por lo tanto, si $g_{m1} \gg g_{d1} + g_{d2} + |g_{mb1}|$ la $A_v \simeq 1$.

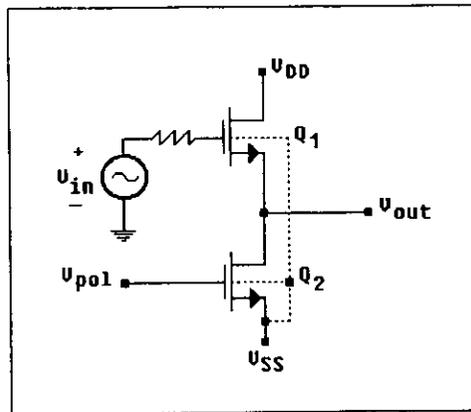


FIGURA 2.31 Estructura básica del source seguidor MOSFET.

La impedancia de salida del source seguidor puede calcularse aplicando una fuente de prueba V_x en la salida (fig. 2.33). Por ley de corrientes se tiene que

$$i_x = (g_{d1} + g_{d2}) v_x + |g_{mb1}| v_x - g_{m1} v_{gs1}. \quad (2.36)$$

Donde, $v_{gs1} = -v_x$, y por lo tanto de 2.36 resulta

$$R_{out} = \frac{v_x}{i_x} = \frac{1}{g_{d1} + g_{d2} + g_{m1} + |g_{mb1}|} \approx \frac{1}{g_{m1}} \quad (2.37)$$

como normalmente $g_{m1} \gg g_{d1}, g_{d2}$ y $|g_{mb1}|$. Por lo tanto, tendrá un valor relativamente bajo, del orden de 1 $k\Omega$.

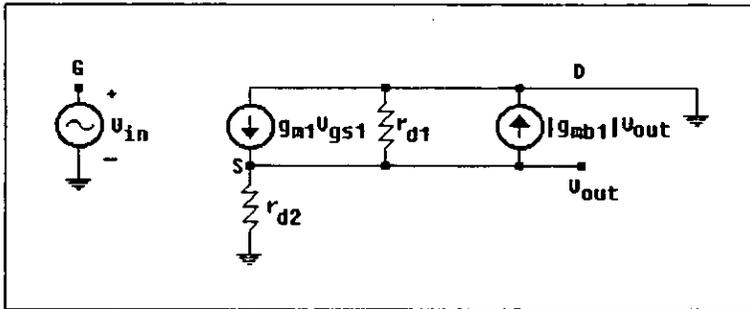


FIGURA 2.32 Circuito equivalente de señal pequeña baja-frecuencia para el source seguidor.

La corriente dc de polarización de la etapa está determinada por la fuente de corriente de Q_2 , la cual excita a Q_1 en la terminal source de baja impedancia. Así, la caída de voltaje dc V_{GS1} entre los terminales de entrada y salida está determinada por $V_{pol} - V_{SS}$ y por las dimensiones de Q_1 y Q_2 ; estos parámetros pueden utilizarse para controlar el desplazamiento de nivel proporcionados por la etapa.

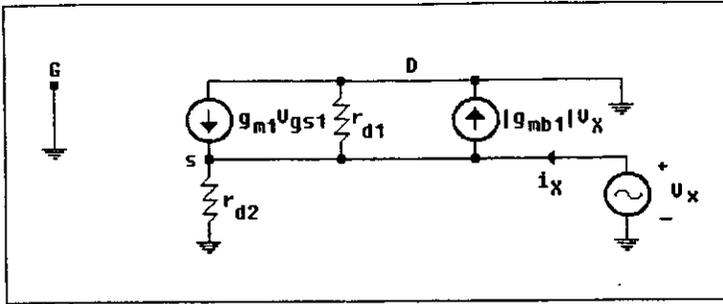


FIGURA 2.33 Circuito equivalente para calcular la impedancia de salida del source seguidor.

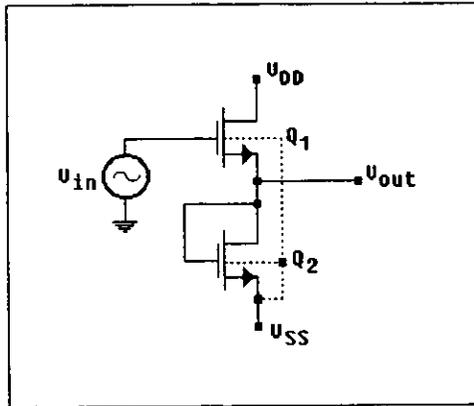


FIGURA 2.34 Source seguidor con un dispositivo de modo ensanchamiento como carga.

El gate del dispositivo de carga Q_2 se puede conectar al drain para eliminar el voltaje de polarización del gate (fig. 2.34). El análisis muestra que para $g_{m2} \gg g_{d1}, |g_{mb1}|$; la ganancia de voltaje entonces es $(1 + g_{m2} / g_{m1})^{-1}$. Esto puede acercarse a 1 sólo si $g_{m1} \gg g_{m2}$, lo cual como se vio con la ec. 2.19, requiere una gran área para la etapa. Por lo que, raramente se utiliza esta etapa. Una versión mejorada se muestra en la fig. 2.35. Este circuito utiliza un dispositivo de modo depleción como carga, y por consiguiente la A_V satisface a 2.35 de manera que puede lograrse que $A_V \simeq 1$ sin una área excesiva. Por lo que el desplazamiento de nivel puede controlarse eligiendo adecuadamente a $(W/L)_1$ y $(W/L)_2$.

La etapa de salida del op-amp (fig. 2.4) debe tener una baja impedancia de salida y un voltaje de excursión de salida grande. El source seguidor tiene estas propiedades. Si g_{m1} es grande, el circuito de la fig. 2.31 tiene una ganancia cercana a 1, y una baja impedancia de salida. Esto puede lograrse haciendo a i_{D1} y a $(W/L)_1$ lo suficientemente grandes.

La operación en señal grande del circuito puede analizarse sencillamente si la carga del dispositivo se considera como una fuente de corriente. La fig. 2.36 muestra al circuito redibujado, r_o es la resistencia de salida promedio de señal grande de la fuente de corriente y R_L es el resistor de carga. De la ec. 1.9, e ignorando el efecto sustrato

$$i_{D1} = i_o + v_{out}(g_o + G_L) = k_1(v_{in} - v_{out} - V_{T1})^2. \quad (2.38)$$

Si $(g_o + G_L) / k_1 \ll 2|v_{in} - V_{T1}|$, entonces

$$v_{out} \cong v_{in} - V_{T1} - \sqrt{i_o/k_1}. \quad (2.39)$$

y de esta manera el circuito opera como un buffer lineal. Para lograr esto, $(W/L)_1$ debe ser lo suficientemente grande.

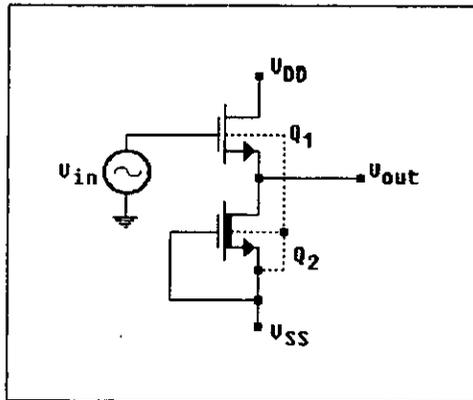


FIGURA 2.35 Source seguidor con un dispositivo de modo depleción como carga.

La mayor desventaja de esta etapa es la siguiente. Si $V_{out} < 0$, entonces la carga proporciona la corriente para la etapa de salida. Por lo que, ésta puede absorber una corriente de salida sólo si es menor que I_0 . Esto representa una seria limitación. En síntesis, para $V_{out} > 0$, Q_1 debe proporcionar la corriente de salida más I_0 . Además, hay una caída de voltaje mayor que V_{T1} entre las terminales de entrada y salida. De esta manera, si V_{in} viene de una etapa de ganancia semejante a la de la fig. 2.15 donde el voltaje de salida debe ser menor que $V_{DD} - V_{T2}$, entonces el voltaje de excursión positivo máximo es $V_{DD} - 2V_T$. La excursión negativa está limitada por el requerimiento de que el (los) dispositivo (s) en la fuente de corriente continúen en saturación para los voltajes de salida más pequeños.

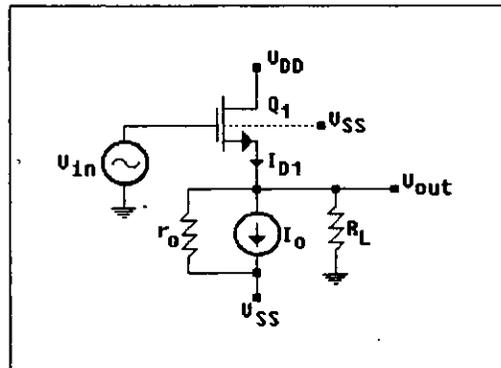


FIGURA 2.36 Source seguidor con una fuente de corriente como carga.

Utilizando realimentación negativa, pueden diseñarse mejores etapas de salida. Un ejemplo se muestra en la fig. 2.37a y su circuito equivalente de señal pequeña (ignorando el efecto sustrato) se muestra en la fig. 2.37b. Asumiendo conductancias pequeñas en el drain ($g_{d1}, g_{d2}, g_{d3}, g_{d4} \approx 0$), resultan las relaciones

$$g_{m2}(V_{out} - v_1) = g_{m1} V_{in} \tag{2.40}$$

y

$$V_{out} = -g_{m3} v_1 (1/g_{m4}). \tag{2.41}$$

Resolviendo para V_{out} ,

$$A_v = \frac{V_{out}}{V_{in}} = \frac{g_{m1}/g_{m2}}{1 + g_{m4}/g_{m3}} \quad (2.42)$$

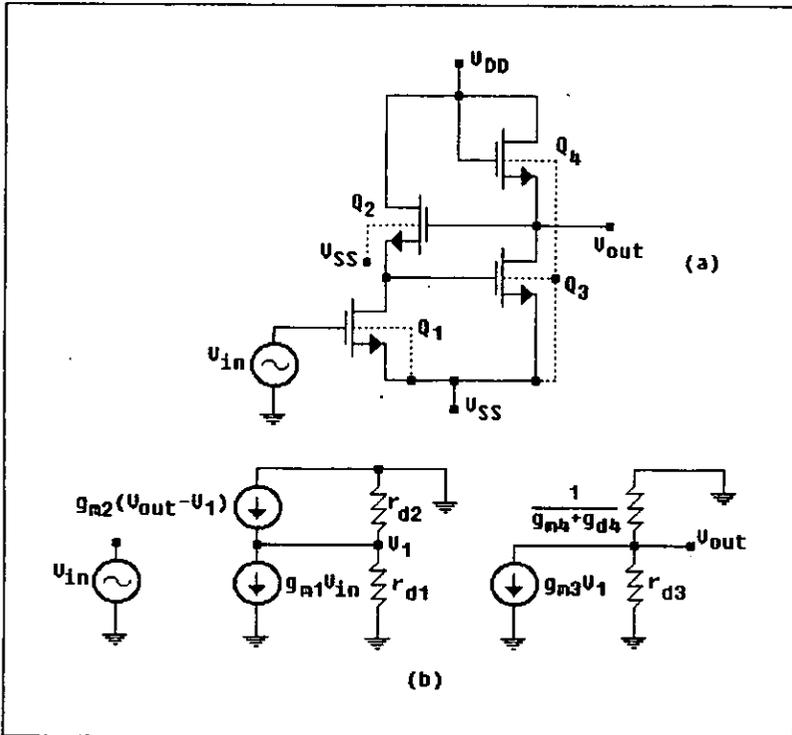


FIGURA 2.37 a) Etapa de salida mejorada. b) Circuito equivalente de señal-pequeña para la etapa de salida mejorada.

Con una adecuada elección de valores de W/L , puede obtenerse una $A_v = 1$.

Resultando una impedancia de salida

$$r_{out} \equiv \frac{1}{g_{m3} + g_{m4}} \quad (2.43)$$

La cual puede hacerse más pequeña si las corrientes de polarización y razones W/L de Q_3 y Q_4 se hacen más grandes. Físicamente, si la caída de voltaje V_{out} se debe a la carga, la caída es alimentada a través de Q_2 y Q_1 al gate de Q_3 . Por lo que Q_3 conduce menos, permitiendo que aumente el voltaje de salida, y de esta manera contrarreste la caída de V_{out} .

El voltaje de salida puede excursionar para $V_{DD} - V_{GS4}$ en la dirección positiva, y $V_{SS} + V_{GS3} - V_T$ en la negativa.

La capacidad de corriente de excitación para este circuito es superior a la discutida anteriormente. La variable V_{GS3} actúa para cortar o abrir el paso de la corriente en Q_3 de manera que sólo conduce cuando necesita consumir corriente de la carga. De esta manera, si V_{in} va a negativo, el voltaje en el gate de Q_3 aumenta para encender su corriente de drain, y viceversa. La corriente de salida de esta manera está limitada sólo por el tamaño del dispositivo de salida.

Las etapas de salida push-pull clase AB (similares a las versiones bipolar) también pueden realizarse con la tecnología CMOS. Un ejemplo de éstas es mostrado en la fig. 2.38. En el circuito, Q_1 - Q_4 forman una etapa de ganancia, mientras que Q_5 y Q_6 excitan la carga R_L . Q_2 y Q_3 ocasionan una caída de voltaje entre los gates de Q_5 y Q_6 , para reducir la distorsión por cruce. Los tamaños de Q_2 y Q_3 se eligen de tal manera que los voltajes de gate a source de Q_5 y Q_6 sean ligeramente mayores que sus voltajes de umbral.

Como el circuito no utiliza realimentación negativa, su impedancia de salida es bastante grande, comparable con la de los circuitos NMOS de las figs. 2.34 y 2.35. El voltaje de salida máximo cuando $R_L \rightarrow \infty$ es $V_{DD} - V_{T5}$ y el mínimo es $V_{SS} - |V_{T6}|$, donde V_{T5} (V_{T6}) es el voltaje de umbral de Q_5 (Q_6). Si R_L requiere corriente, por decir, entonces el dispositivo Q_5 debe suministrar una corriente de drain V_{out}/R_L , y por lo tanto necesita un voltaje gate-source $V_{GS5} = V_{T5} + \sqrt{V_{out}/(k_5 R_L)}$. Esto se incrementa rápidamente si se reduce a R_L , y por lo tanto representa una importante limitación en conseguir un voltaje de excursión de salida positivo. Manteniendo consideraciones similares, es necesario un V_{GS6} para excursiones negativas.

Debido a su inherente simetría, la etapa de salida CMOS puede proporcionar una señal de salida con baja distorsión como el de un circuito NMOS similar.

diferencial, y puede proporcionar una alta ganancia, así como también una baja ganancia en modo común, y por lo tanto un gran CMRR. La configuración diferencial también ayuda a lograr un PSRR grande, ya que las variaciones de V_{DD} son para un gran rango, cancelando el voltaje diferencial de salida $V_{O1} - V_{O2}$.

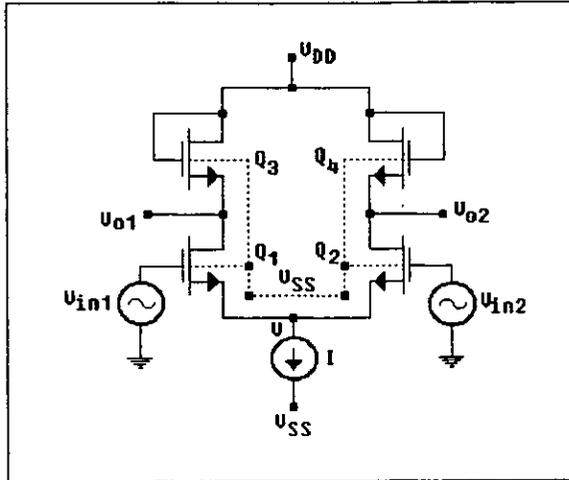


FIGURA 2.39 Etapa de entrada source-acoplado con dispositivos de modo ensanchamiento como carga.

Con el análisis aproximado del amplificador puede hacerse fácilmente comprensible su operación. Asumiendo que es ideal la fuente de corriente I , es decir, que su conductancia interna g es cero. Además, se asume una simetría ideal entre Q_1 y Q_2 y Q_3 y Q_4 , operando todos éstos en saturación. Por lo que los incrementos de la corriente de drain satisfacen a $i_{d1} \simeq g_{mi}(v_{in1} - v)$, $i_{d2} \simeq g_{mi}(v_{in2} - v)$, e $i_{d1} + i_{d2} \simeq 0$. Esto da $v \simeq (v_{in1} + v_{in2})/2$ para los voltajes de source Q_1 y Q_2 , e $i_{d1} \simeq -i_{d2} \simeq g_{mi}(v_{in1} - v_{in2})/2$ para sus corrientes de drain. Por lo tanto, los voltajes de salida son $v_{O1} \simeq -v_{O2} = -i_{d1}/g_f = g_{mi}(v_{in1} - v_{in2})/(2g_f)$, donde g_f es la conductancia de carga. Definiendo a la ganancia diferencial por $A_{dm} \triangleq (v_{O1} - v_{O2})/(v_{in1} - v_{in2})$, se obtiene el resultado $A_{dm} \simeq -g_{mi}/g_f$. Así, la ganancia diferencial es la misma que para un inversor; sin embargo, la etapa también proporciona un rechazo de las señales en modo común y de ruido en

las fuentes de alimentación V_{DD} y V_{SS} , las cuales son canceladas (o, reducidas) por la operación diferencial de la etapa. Un análisis más detallado se muestra a continuación.

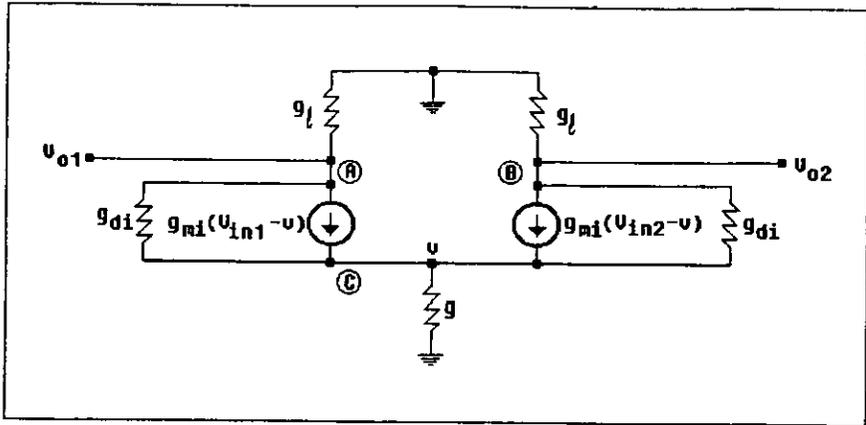


FIGURA 2.40 Circuito equivalente de señal pequeña para el par source-acoplado.

El circuito equivalente de señal pequeña-baja frecuencia de la etapa source-acoplado se muestra en la fig. 2.40. En el circuito, para facilitar el análisis se ignoran las transconductancias del efecto sustrato de los dispositivos de entrada Q_1 y Q_2 . También, se asume que el circuito es perfectamente simétrico, de manera que son idénticos los parámetros de Q_1 y Q_2 , así como lo son los de Q_3 y Q_4 . La conductancia de carga g_l de Q_3 y Q_4 se puede encontrar como fue hecho en conexión con la fig. 2.16; resultando

$$g_l = g_{m3} + g_{d3} + |g_{mb3}| = g_{m4} + g_{d4} + |g_{mb4}|. \quad (2.44)$$

Aplicando las leyes de corriente a los nodos A y B, se tiene

$$v_{o1}g_l + (v_{o1} - v)g_{di} + (v_{in1} - v)g_{mi} = 0$$

y

$$v_{o2}g_l + (v_{o2} - v)g_{di} + (v_{in2} - v)g_{mi} = 0. \quad (2.45)$$

(Donde los subíndices i y l se refieren a los dispositivos de entrada y carga respectivamente.). Por ley de corrientes en el nodo C se tiene que

$$(V - V_{O1})g_{di} - (v_{in1} - V)g_{mi} + V_g + (V - V_{O2})g_{di} - (v_{in2} - V)g_{mi} = 0. \quad (2.46)$$

Las ec's 2.45 y 2.46 representan tres ec's con tres variables desconocidas V_{O1} , V_{O2} y V .

Resolviendo para V_{O1} y V_{O2} , se tiene que

$$V_{O1} = -\frac{g_l g_{mi} (g_{di} + g_{mi}) (v_{in1} - v_{in2}) + g g_{mi} (g_l + g_{di}) v_{in1}}{(g_l + g_{di}) [2g_l (g_{di} + g_{mi}) + g (g_l + g_{di})]} \quad (2.47)$$

$$V_{O2} = -\frac{g_l g_{mi} (g_{di} + g_{mi}) (v_{in2} - v_{in1}) + g g_{mi} (g_l + g_{di}) v_{in2}}{(g_l + g_{di}) [2g_l (g_{di} + g_{mi}) + g (g_l + g_{di})]}$$

Los voltajes de entrada diferencial y en modo común son

$$V_{in,d} = v_{in1} - v_{in2}$$

y (2.48)

$$V_{in,c} = \frac{v_{in1} + v_{in2}}{2}$$

Los voltajes de salida diferencial y en modo común pueden definirse similarmente como:

$$V_{o,d} = V_{O1} - V_{O2}$$

y (2.49)

$$V_{o,c} = \frac{V_{O1} + V_{O2}}{2}$$

Por lo que, de (2.47) puede obtenerse la ganancia en modo diferencial:

$$\begin{aligned}
 A_{dm} &= \frac{V_{o,d}}{V_{in,d}} = \frac{V_{O1} - V_{O2}}{V_{in1} - V_{in2}} \\
 &= - \frac{2g_{\ell} g_{mi} (g_{di} + g_{mi}) + g g_{mi} (g_{\ell} + g_{di})}{(g_{\ell} + g_{di}) [2g_{\ell} (g_{di} + g_{mi}) + g (g_{\ell} + g_{di})]} \quad (2.50)
 \end{aligned}$$

Para $g = 0$ y $g_{di} \ll g_{\ell}$, y como se dijo anteriormente $A_{dm} \approx -g_{mi}/g_{\ell}$. Similarmente puede obtenerse la ganancia en modo común:

$$\begin{aligned}
 A_{cm} &= \frac{V_{o,c}}{V_{in,c}} = \frac{(V_{O1} + V_{O2})/2}{(V_{in,1} + V_{in,2})/2} \\
 &= \frac{g g_{mi}}{2g_{\ell} (g_{di} + g_{mi}) + g (g_{\ell} + g_{di})} \quad (2.51)
 \end{aligned}$$

Por lo tanto, la relación de rechazo en modo común es

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = 1 + 2 \frac{g_{\ell} g_{di} + g_{mi}}{g g_{di} + g_{\ell}} \quad (2.52)$$

Normalmente, $g, g_{di} \ll g_{\ell}, g_{mi}$, por lo que pueden utilizarse las siguientes aproximaciones

$$\begin{aligned}
 A_{dm} &\approx -g_{mi}/g_{\ell} \\
 A_{cm} &\approx -g/2g_{\ell} \\
 CMRR &\approx 2g_{mi}/g \quad (2.53)
 \end{aligned}$$

Se observa que para lograr un CMRR grande, g debe ser pequeño, es decir, la fuente de corriente debe tener una alta impedancia de salida. Los circuitos anteriormente descritos y mostrados en las

figs. 2.6-2.11 son adecuados para realizar esto. Todos, sin embargo, requieren una caída de voltaje dc factible que limite la excursión del voltaje de salida.

Un planteamiento alternativo para incrementar el CMRR es usar realimentación en modo común (fig. 2.41). En el circuito, los dispositivos acoplados Q_5 y Q_6 sensan y promedian a V_{O1} y V_{O2} . La corriente resultante se duplica por el espejo de corriente formado por Q_7 y Q_8 . Así, un incremento de $V_{O,c}$ causa el incremento de la corriente de Q_8 . Esto incrementa la caída de voltaje a través de Q_3 y Q_4 , lo cual entrega a su vez reduce $V_{O,c}$. La acción descrita de la realimentación negativa se utiliza para mantener constante a $V_{O,c}$; lo cual quiere decir que la salida de señal pequeña en modo común es cero (en la práctica es muy pequeña).

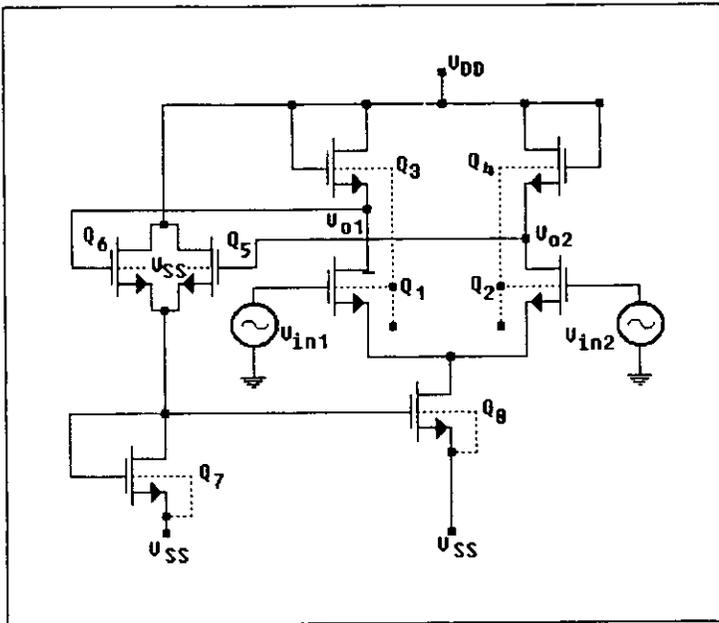


FIGURA 2.41 Etapa diferencial utilizando realimentación en modo común.

Como indica 2.53 , con las aproximaciones descritas (incluyendo la ausencia del efecto sustrato) la ganancia diferencial puede obtenerse de

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

$$A_{dm} \approx - \sqrt{\frac{(W/L)_i}{(W/L)_\ell}} \quad (2.54)$$

Como se vio en la sección 2.3, este valor sólo puede hacerse mayor que 10~15 con el costo de utilizar una gran área de silicio para la etapa. Por consiguiente, para una mayor A_{dm} , es preferible utilizar a los dispositivos Q_3 y Q_4 de modo depleción como cargas (fig. 2.42). Como se vio en la sección 2.3, la admitancia de carga presentada por el dispositivo en modo depleción es

$$g_\ell = g_{d3} + |g_{mb3}| = g_{d4} + |g_{mb4}| \quad (2.55)$$

El término $g_{m3} = g_{m4}$ está ausente, ya que $V_{gs} \equiv 0$ para Q_3 y Q_4 . Las ec's 2.45 y 2.53 continúan siendo válidas; sin embargo, ambas ganancias A_{dm} y A_{cm} son mucho mayores para el circuito con el dispositivo de modo depleción como carga ya que ahora g_ℓ es mucho menor.

El arreglo de realimentación negativa para el modo común mostrado en la fig. 2.41, también puede aplicarse a este circuito.

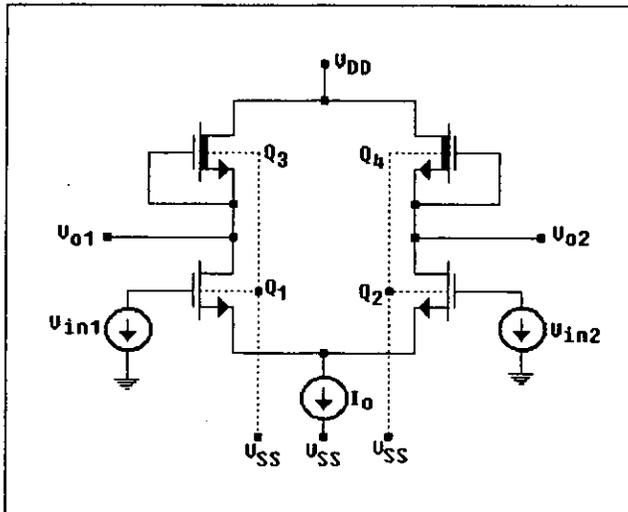


FIGURA 2.42 Etapa diferencial con dispositivos de carga de modo depleción.

Como se menciona anteriormente, la etapa de entrada diferencial es generalmente seguida por un convertidor diferencial de una sola salida. Una etapa semejante se muestra en la fig. 2.43a; su circuito equivalente de señal pequeña se muestra en la fig. 2.43b. Este circuito tiene dos ventajas. Primera, el voltaje de excursión de salida es muy cercano al voltaje de excursión de la salida diferencial del amplificador diferencial precedente. Segunda, el mismo convertidor puede tener un gran CMRR, y de esta manera incrementa el CMRR de la etapa de entrada.

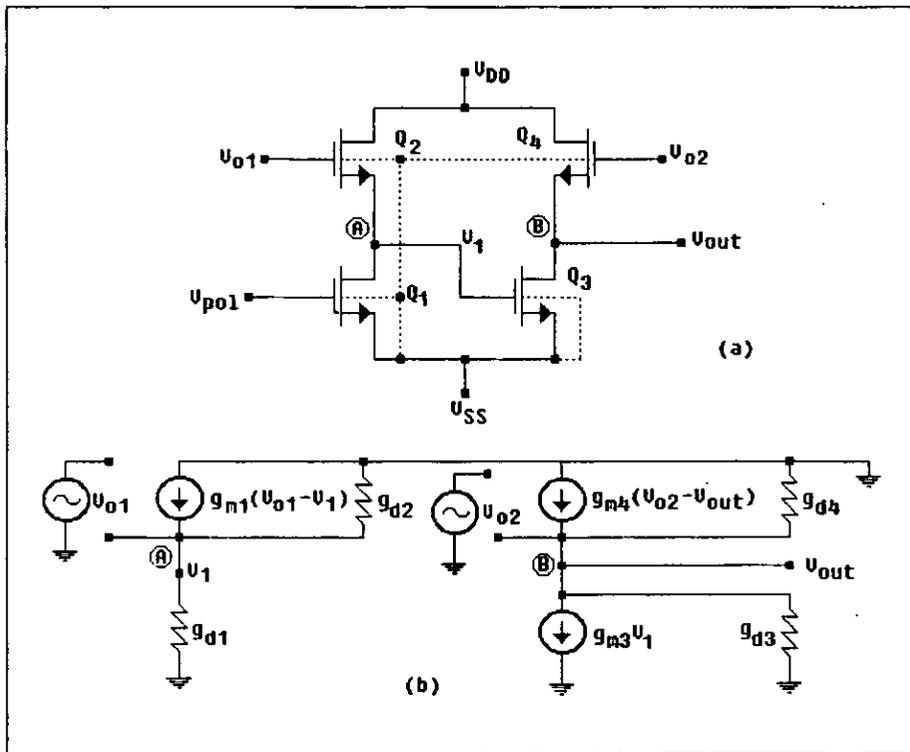


FIGURA 2.43 a) Convertidor diferencial con una sola salida. b) Circuito equivalente de señal pequeña para el convertidor diferencial de una sola salida.

Las dos señales de entrada U_{O1} y U_{O2} del circuito de la fig. 2.43 (que fueron las señales de salida en las figs. 2.41 ó 2.42) siguen diferentes trayectorias para llegar al nodo de salida B. Una

(V_{O1}) es transferida al nodo A directamente al source seguidor Q_2 - Q_1 , por lo que es amplificada e invertida por el inversor Q_3 - Q_4 . La otra (V_{O2}) llega al nodo B a través del source seguidor Q_4 - Q_3 . De esta manera, la salida es proporcional (para apropiados valores de W/L) a $V_{O2} - V_{O1}$, y cancela las componentes en modo común. El circuito también proporciona un desplazamiento de nivel V_{GS4} .

El análisis detallado para el circuito puede basarse en el circuito equivalente de la fig. 2.43b. Por simplicidad, se ignora el efecto sustrato para todos los dispositivos; es decir, utilizando a $g_{mb} = 0$. Aplicando la ley de corrientes a los nodos A y B resulta

$$g_{d1} v_1 + g_{d2} v_1 - g_{m1}(v_{O1} - v_1) = 0 \quad (2.56)$$

$$g_{d3} v_{out} + g_{d4} v_{out} + g_{m3} v_1 - g_{m4}(v_{O2} - v_{out}) = 0.$$

Resolviendo las dos ec's para las variables desconocidas v_1 y v_{out} resulta

$$v_{out} = \frac{1}{g_{d3} + g_{d4} + g_{m4}} \left(g_{m4} v_{O2} - \frac{g_{m1} g_{m3} v_{O1}}{g_{d1} + g_{d2} + g_{m1}} \right). \quad (2.57)$$

Aquí, las señales de entrada diferencial y en modo común son

$$v_{in,d} = v_{O1} - v_{O2} \quad (2.58)$$

$$v_{in,c} = \frac{v_{O1} + v_{O2}}{2}.$$

En términos de éstos, 2.57 puede escribirse como

$$v_{out} = A_{dm} v_{in,d} + A_{cm} v_{in,c} \quad (2.59)$$

en donde

$$A_{dm} = -\frac{1}{2} \frac{g_{m1}(g_{m3} + g_{m4}) + g_{m4}(g_{d1} + g_{d2})}{(g_{d1} + g_{d2} + g_{m1})(g_{d3} + g_{d4} + g_{m4})}$$

y

(2.60)

$$A_{cm} = \frac{g_{m1}(g_{m3} - g_{m4}) + g_{m4}(g_{d1} + g_{d2})}{(g_{d1} + g_{d2} + g_{m1})(g_{d3} + g_{d4} + g_{m4})}$$

Para el caso común, cuando $g_{m1}, g_{m4} \gg g_{di}$ ($i = 1, 2, 3, 4$), se tiene que

$$A_{dm} \approx -\frac{1}{2} \left(\frac{g_{m3}}{g_{m4}} + 1 \right)$$

$$A_{cm} \approx \frac{1}{2} \left(\frac{g_{m3}}{g_{m4}} - 1 \right)$$

(2.61)

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| \approx \frac{g_{m3} + g_{m4}}{g_{m3} - g_{m4}}$$

Para $g_{m3} = g_{m4}$, la situación ideal es aproximadamente $A_{dm} \approx -1$, $A_{cm} \approx 0$, y el $CMRR \rightarrow \infty$. Si $g_{m3} \gg g_{m4}$, entonces el circuito puede utilizarse como una etapa de ganancia, y no proporciona un gran $CMRR$.

Todo lo citado anteriormente, etapas diferenciales y convertidores, sólo fueron tratados con dispositivos NMOS. Si se dispone de la tecnología CMOS, entonces se puede utilizar el circuito de la fig. 2.44a. Este circuito tiene una entrada diferencial, pero con una sola salida. Por lo tanto, trabaja como una combinación de una etapa de ganancia diferencial y un convertidor diferencial de una sola salida.

El análisis aproximado del circuito puede ser descrito como a continuación. Asumiendo que la fuente de corriente I_0 es ideal, el incremento de las corrientes de drain de Q_1 y Q_2 deben satisfacer a $i_{d1} + i_{d2} = 0$. También, si Q_1 y Q_2 están en saturación, entonces $i_{d1} \approx g_{mi}(V_{in1}$

- V_1) e $i_{d2} \simeq g_{mi}(V_{in2} - V_1)$. Combinando estas ec's, resulta que $V_1 \simeq (V_{in1} + V_{in2})/2$. Por lo que $i_{d1} = -i_{d2} \simeq g_{mi}(V_{in1} - V_{d2})/2$. La corriente i_{d1} es fácilmente impuesta en Q_3 por Q_1 , ya que la impedancia de la terminal común del gate y drain de Q_3 sólo es de $1/g_{m3}$.

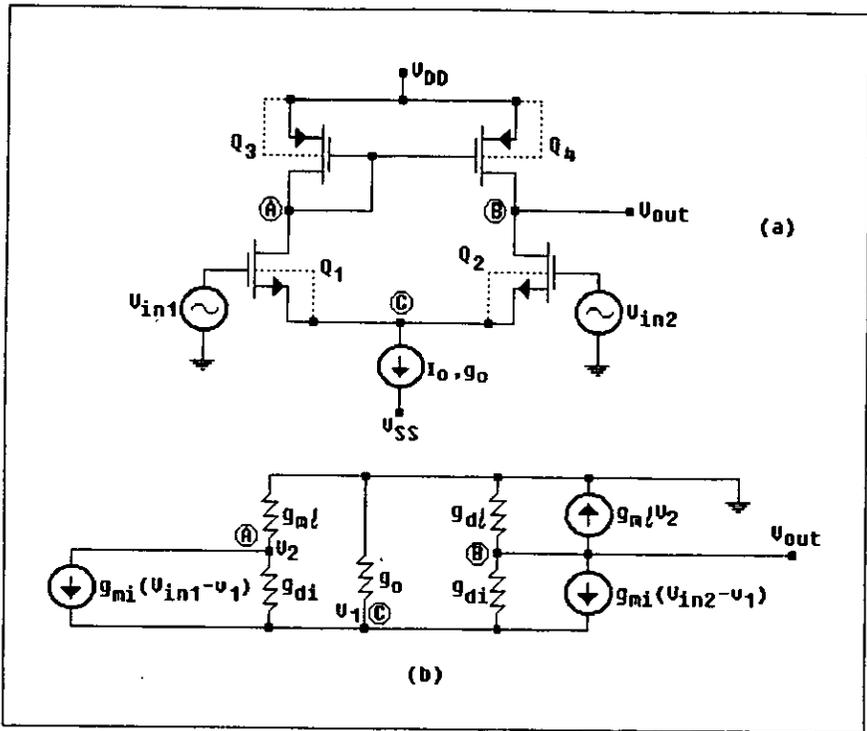


FIGURA 2.44 a) Etapa diferencial CMOS con carga activa. b) Circuito equivalente de señal pequeña para la etapa diferencial CMOS.

Los transistores Q_3 y Q_4 forman un espejo de corriente similar al mostrado en la fig. 2.6, de aquí que la corriente de Q_4 satisface a $i_{d4} = i_{d3} = i_{d1}$. De esta manera, Q_2 y Q_4 envían ambos una corriente $i_{d1} = g_{mi}(V_{in1} - V_{in2})/2$ dentro de la terminal de salida. Como la salida es cargada por la resistencia del drain de Q_2 y Q_4 , el voltaje de salida es $V_{out} \simeq 2i_{d1} / (g_{di} + g_{d4}) \simeq g_{mi}(V_{in1} - V_{in2}) / (g_{di} + g_{d4})$. De esta manera la ganancia diferencial es $A_{dm} \triangleq V_{out} / (V_{in1} - V_{in2}) \simeq g_{mi} / (g_{di} + g_{d4})$. A continuación se muestra un análisis más exacto.

El circuito equivalente de señal pequeña de la etapa se muestra en la fig. 2.44b. Fue dibujado bajo la suposición de que ambos dispositivos Q_1 y Q_2 tienen las mismas conductancias g_{mi} y g_{di} , y que ambos dispositivos de carga tienen los mismos parámetros $g_{m\ell}$ y $g_{d\ell}$, y además separados por dispositivos NMOS. Por lo que para todos los dispositivos $V_{BS} = 0$, por lo que no ocurre el efecto sustrato. La conductancia de salida de la fuente de corriente se denota por g_o .

Escribiendo y resolviendo las ec's para los nodos A, B y C, se tiene

$$V_{out} = \frac{g_{mi}g_{m\ell}}{D} \left\{ 2(g_{di} + g_{mi})(v_{in1} - v_{in2}) + g_o \left[v_{in1} - \left(\frac{g_{di}}{g_{m\ell}} + 1 \right) v_{in2} \right] \right\} \quad (2.62)$$

$$D = (g_{di} + g_{mi})[g_{d\ell}g_{di} + 2g_{m\ell}(g_{d\ell} + g_{di})] + g_o(g_{di} + g_{m\ell})(g_{d\ell} + g_{di})$$

Definiendo, como anteriormente, a las señales de entrada en modo común y diferencial por 2.48. Entonces la ganancia diferencial A_{dm} y en modo común A_{cm} pueden definirse por

$$V_{out} = A_{dm} V_{in,d} + A_{cm} V_{in,c} \quad (2.63)$$

De las ec's 2.62 y 2.63,

$$A_{dm} = \frac{g_{mi}g_{m\ell}}{D} \left[2(g_{di} + g_{mi}) + g_o \left(1 + \frac{g_{di}}{2g_{m\ell}} \right) \right] \quad (2.64)$$

$$A_{cm} = -\frac{g_{mi}g_{di}g_o}{D} \quad (2.64)$$

y

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{g_{m\ell}}{g_{di}g_o} \left[2(g_{di} + g_{mi}) + g_o \right] + \frac{1}{2} \quad (2.65)$$

Para g_{mi} , $g_{m\ell} \gg g_o$, g_{di} y $g_{d\ell}$, pueden utilizarse las aproximaciones

$$A_{dm} \approx \frac{g_{mi}}{g_{d\ell} + g_{di}}$$

$$A_{cm} \approx \frac{-g_o g_{di}}{2g_{m\ell}(g_{d\ell} + g_{di})} \quad (4.66)$$

y

$$CMRR \approx 2 \frac{g_{mi} g_{m\ell}}{g_o g_{di}}$$

Cabe notar que A_{dm} es la misma que se calculó para la etapa CMOS de entrada diferencial/salida diferencial. De esta manera, en la etapa de baja ganancia la señal de una sola salida no resulta. En contraste, el CMRR es más grande por un factor de g_{mi}/g_{di} el cual es (para valores comunes) mucho más grande que el primero.

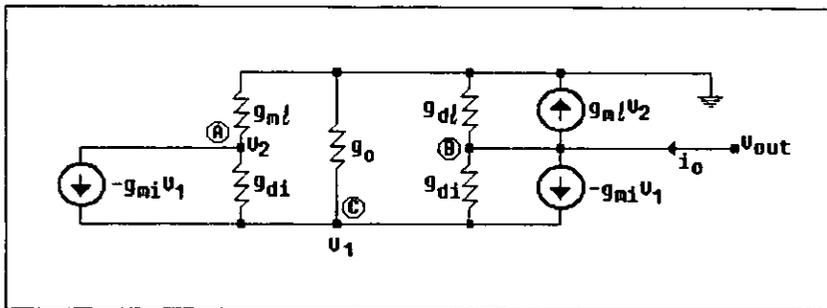


FIGURA 2.45 Circuito equivalente para calcular la impedancia de salida de la etapa diferencial CMOS.

Para calcular la impedancia de salida de señal pequeña de la etapa CMOS, se puede aplicar una fuente de prueba i_o a la salida del circuito equivalente de señal pequeña y llevando a cero a los voltajes de entrada v_{in1} y v_{in2} (fig. 2.45). El análisis muestra que

$$r_{out} = \frac{v_{out}}{i_o} = \frac{1}{D} \left\{ (g_{di} + g_{m\ell}) [2(g_{di} + g_{mi}) + g_o] - g_{di}(g_{di} + g_{mi}) \right\} \quad (2.67)$$

donde D está definido por 2.62.

Para $g_{mi}, g_{m\ell} \gg g_O, g_{di}, g_{d\ell}$, puede utilizarse la aproximación

$$r_{out} \approx \frac{1}{g_{d\ell} + g_{di}} \quad (2.68)$$

2.6 RESPUESTA EN FRECUENCIA DE ETAPAS AMPLIFICADORAS MOSFET

En secciones anteriores, se analizó la operación lineal (señal pequeña) de etapas amplificadoras MOS para bajas frecuencias. Por lo que, se ignoraron las capacitancias parásitas ilustradas en el circuito equivalente de la fig. 1.16. Sin embargo, para señales de alta frecuencia, las admitancias de esas mallas son muy significativas, y por lo tanto lo son las corrientes que conducen. Por lo que las ganancias y las impedancias de entrada y salida de varios de los circuitos cambian completamente su funcionamiento de la señal a frecuencia ω . A continuación se analizarán estos efectos.

Considerando nuevamente el amplificador NMOS con el dispositivo de modo ensanchamiento como carga (fig. 2.19), visto en la sección 2.3. Utilizando el circuito equivalente de la fig. 1.16, resulta el circuito equivalente de señal pequeña-alta frecuencia mostrado en la fig. 2.20a. En el circuito, R_S es la impedancia de salida de la fuente, y C_L es la capacitancia de carga. Este circuito fue simplificado en la fig. 2.20b, el cual mostró que la respuesta en frecuencia está dada por la ec. 2.25 (en el dominio de la transformada de Laplace). Con las aproximaciones $g_{m1} \gg \omega C_{gd1}$, $G_{Leq} \gg \omega(C_{gd1} + C_{Leq})$, resulta la respuesta en frecuencia de la ec. 2.26. El correspondiente circuito equivalente simplificado fig. 2.21, el cual fue utilizado para introducir el efecto Miller.

La exactitud del circuito simplificado puede mejorarse restableciendo las dos capacitancias C_{Leq} y C_{gd1} que cargan al nodo de salida en el circuito exacto de la fig. 2.20b. Además, en el

numerador de la ec. 2.25, el término SC_{gd1} no fue tomado en cuenta en comparación con g_{m1} . A muy altas frecuencias, esto no es muy justificado. Para restablecer el término SC_{gd1} , la ganancia de la fuente controlada g_{m1} puede ser cambiada por $g_{m1} - SC_{gd1}$ en el circuito equivalente. El circuito resultante se muestra en la fig. 2.46. La correspondiente función de transferencia es

$$A_v(s) \cong \frac{G_s(sC_{gd1} - g_{m1})}{(sC_{in} + G_s)[s(C_{Leq} + C_{gd1}) + G_{Leq}]}, \quad (2.69)$$

donde C_{in} está dada por la ec. 2.27. Esta función tiene un cero en el plano positivo

$$s_z = g_{m1}/C_{gd1} \quad (2.70)$$

y dos polos en el plano negativo

$$s_{p1} = -G_s/C_{in}$$

y

$$s_{p2} = -G_{Leq}/(C_{Leq} + C_{gd1}). \quad (2.71)$$

Normalmente, C_{gd1} es pequeño. Si $s_z \gg |s_{p1}|$ y, si también C_{Leq} es pequeño, entonces $|s_{p2}| \gg |s_{p1}|$. Por lo tanto, s_{p1} está muy cerca del eje $j\omega$ y por lo tanto es el polo dominante del circuito.

La respuesta en frecuencia $A_v(j\omega)$ puede obtenerse simplemente sustituyendo a S por $j\omega$ en 2.69. Y puede ordenarse de la forma

$$A_v(j\omega) = \frac{G_s C_{gd1}}{C_{in}(C_{Leq} + C_{gd1})} \frac{j\omega - s_z}{(j\omega - s_{p1})(j\omega - s_{p2})}. \quad (2.72)$$

Si $|S_{p1}| \ll |S_{p2}|$ y S_z , entonces la frecuencia a 3 dB (es decir, la frecuencia a la cual $|A_v(j\omega)|$ es $1/\sqrt{2}$ veces su valor dc) es

$$\omega_{3dB} \cong |S_{p1}| = G_s/C_{in}. \quad (2.73)$$

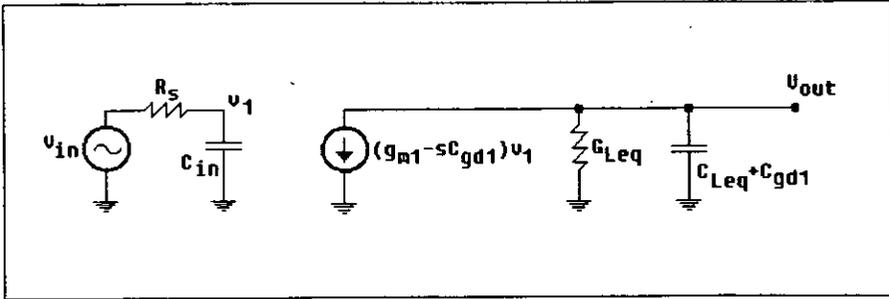


FIGURA 2.46 Circuito equivalente simplificado de la etapa de ganancia MOSFET utilizando el teorema de Miller.

Si se requiere una alta ganancia dc, entonces por 2.19, la razón $(W/L)_2$ debe ser pequeña. Como el ancho posible mínimo está limitado por la resolución geométrica del proceso de fabricación, esto necesita un gran dispositivo de carga (Q_2), con una gran área en el gate. Esto último, en turno, causa que C_{gs2} y por lo tanto C_{Leq} sean grandes. Por lo que, $|S_{p2}|$ será más bajo y se reducirá la respuesta en frecuencia. Este problema puede eliminarse (con el costo de reducir la excursión positiva de la señal) utilizando una carga dividida (fig. 2.47). Esto se puede comprender mostrando que para el g_{m2} dado la carga de la fig. 2.47 requiere la mitad de área del gate de un solo dispositivo de carga.

Debe señalarse que el resultado de las ec's 2.69 - 2.72 fueron basadas un poco en aproximaciones. Cálculos más exactos pueden basarse en la ec. 2.25. Sin embargo, las fórmulas resultantes para S_{p1} y S_{p2} son complicadas y por lo tanto no dan una visión semejante como la dada por 2.71.

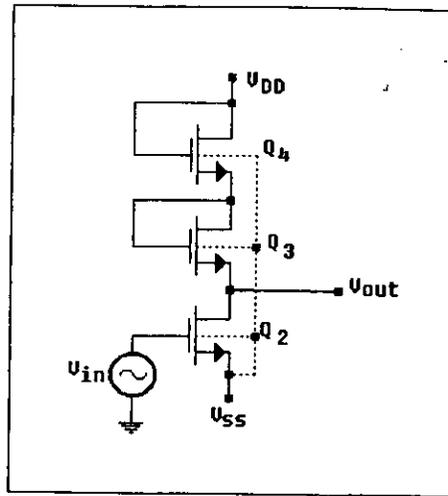


FIGURA 2.47 Etapa de ganancia con carga dividida.

La etapa de ganancia con un dispositivo de modo depleción como carga y con una carga capacitiva se muestra en la fig. 2.48a; su circuito equivalente de señal pequeña-alta frecuencia se muestra en la fig. 2.48b. Ambas relaciones, la exacta y la aproximada obtenidas del análisis del circuito de la fig. 2.19 permanecen válidas, con algunas modificaciones, para esta etapa. Las modificaciones son evidentes de una comparación de la fig. 2.20a y 2.48b, en la última,

$$G_{Leq} = |g_{mb2}| + g_{d1} + g_{d2}$$

y

(2.74)

$$C_{Leq} = C_{db1} + C_{gd2} + C_{sb2} + C_L$$

reemplazando a G_{Leq} y C_{Leq} dadas por 2.23. Como resultado, la ganancia dc es más grande, y G_{Leq} es más pequeña.

Una etapa de ganancia CMOS con carga capacitiva se muestra en la fig. 2.49a; el correspondiente circuito equivalente lineal a alta frecuencia se muestra en la fig. 2.49b. Definiendo

a

$$G_{Leq} = g_{d1} + g_{d2}$$

y

(2.75)

$$C_{Leq} = C_{db1} + C_{db2} + C_L$$

resulta el circuito simplificado de la fig. 2.49c.

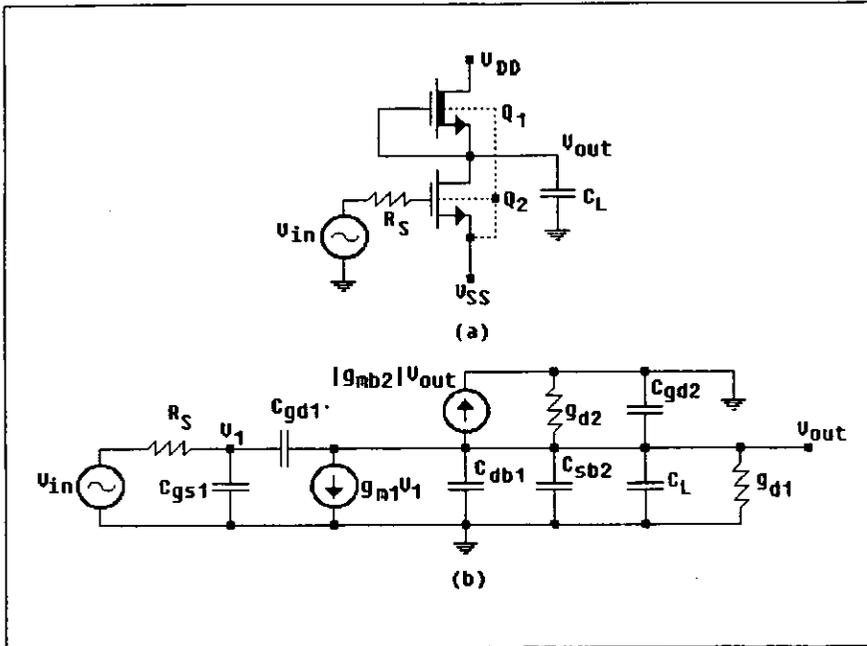


FIGURA 2.48 a) Etapa de ganancia con un dispositivo de modo depleción como carga y con carga capacitiva. b) Circuito equivalente.

Utilizando las aproximaciones proporcionadas por la fig. 2.46 para la etapa de ganancia NMOS, puede obtenerse el circuito de la fig. 2.49d. Donde,

$$C_{in} = C_{gs1} + C_{gs2} + \left(1 + \frac{g_{m1} + g_{m2}}{G_{Leq}} \right) (C_{gd1} + C_{gd2}). \quad (2.76)$$

De la fig. 2.49d, la función de transferencia aproximada es

$$A_v(s) \approx \frac{G_s [s(C_{gd1} + C_{gd2}) - (g_{m1} + g_{m2})]}{[s(C_{gd1} + C_{gd2} + C_{Leq}) + G_{Leq}](sC_{in} + G_s)} \quad (2.76)$$

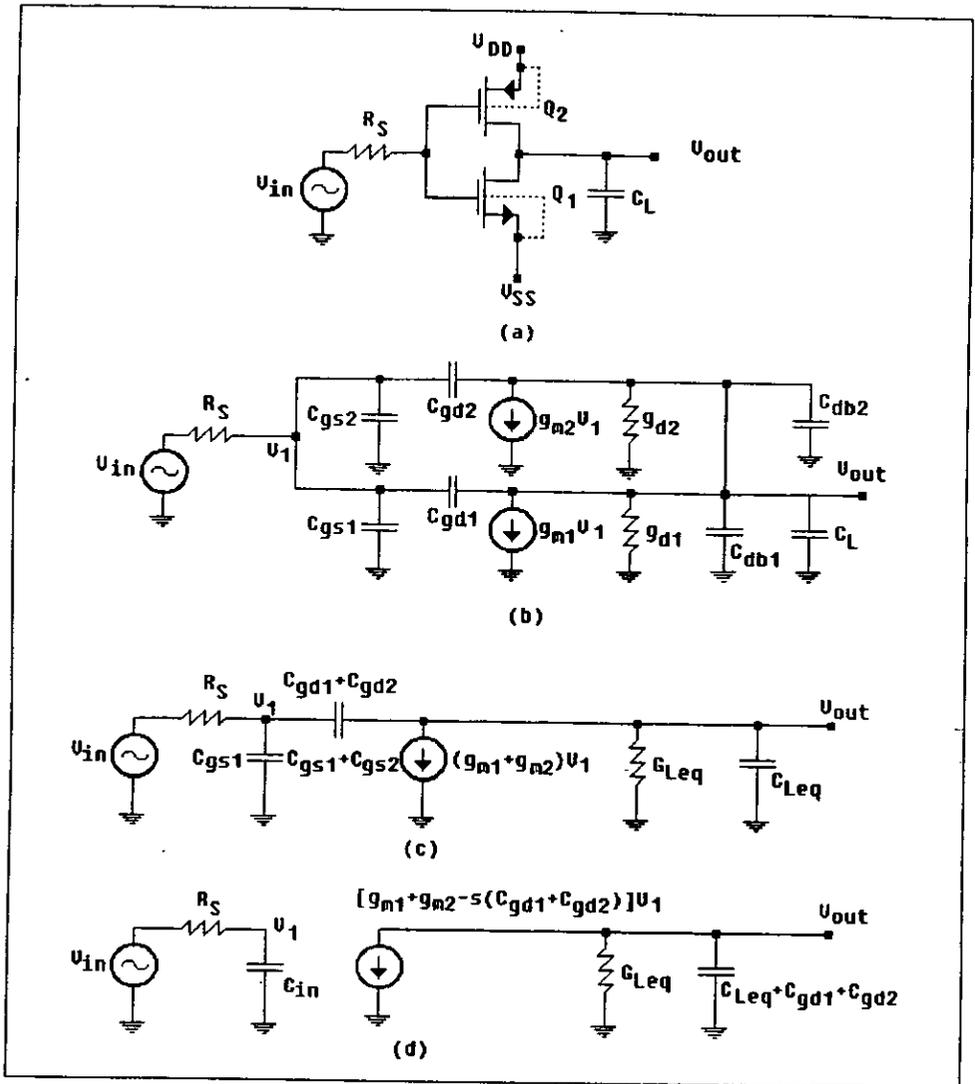


FIGURA 2.49 a) Etapa de ganancia CMOS cargada capacitivamente. b) Circuito equivalente de la etapa de ganancia CMOS. c) Circuito equivalente simplificado de la etapa de ganancia CMOS. d) Circuito equivalente simplificado de la etapa de ganancia CMOS utilizando el Teorema de Miller.

Por lo que, el cero y los polos son

$$s_z = \frac{g_{m1} + g_{m2}}{C_{gd1} + C_{gd2}} \quad (2.77)$$

y

$$s_{p2} = \frac{-G_{Leq}}{C_{gd1} + C_{gd2} + C_{Leq}}, \quad (2.78)$$

$$s_{p1} = -\frac{G_s}{C_{in}}$$

El polo dominante normalmente es s_{p1} .

El análisis del source seguidor NMOS con un dispositivo de modo ensanchamiento como carga es un poco sencillo. La fig. 2.50a muestra el circuito; las figs. 2.50b y 2.50c muestran los circuitos equivalentes de señal pequeña-alta frecuencia. Obteniéndose la función de transferencia

$$A_v(s) = \frac{sC_{gs1} + g_{m1}}{s(C_{gs1} + C_{Leq}) + (g_{m1} + G_{Leq})}, \quad (2.79)$$

donde

$$C_{Leq} = C_L + C_{sb1} + C_{db2} + C_{gd2}$$

y

$$G_{Leq} = g_{d1} + g_{d2}. \quad (2.80)$$

Por lo tanto, el cero y el polo están en

$$s_z = -g_{m1}/C_{gs1}$$

y

$$(2.81)$$

$$s_p = -\frac{g_{m1} + G_{Leq}}{C_{gs1} + C_{Leq}}$$

Haciendo a $G_{Leq}/g_{m1} \cong C_{Leq}/C_{gs1}$, se puede lograr que $S_2 \cong S_p$. Por lo que la $A_v(S) \cong C_{gs1} / (C_{gs1} + C_{Leq})$, y por lo tanto la ganancia es muy constante a muy altas frecuencias, donde causa el efecto de que a mayores ordenes desciende. Con las implementaciones actuales para encontrar la condición de C_{Leq}/C_{gs1} puede ser necesario conectar un capacitor C en paralelo con C_{gs1} , es decir; entre las terminales de entrada y salida. Por lo que, en las relaciones anteriores debe remplazarse a C_{gs1} por $C_{gs1} + C$.

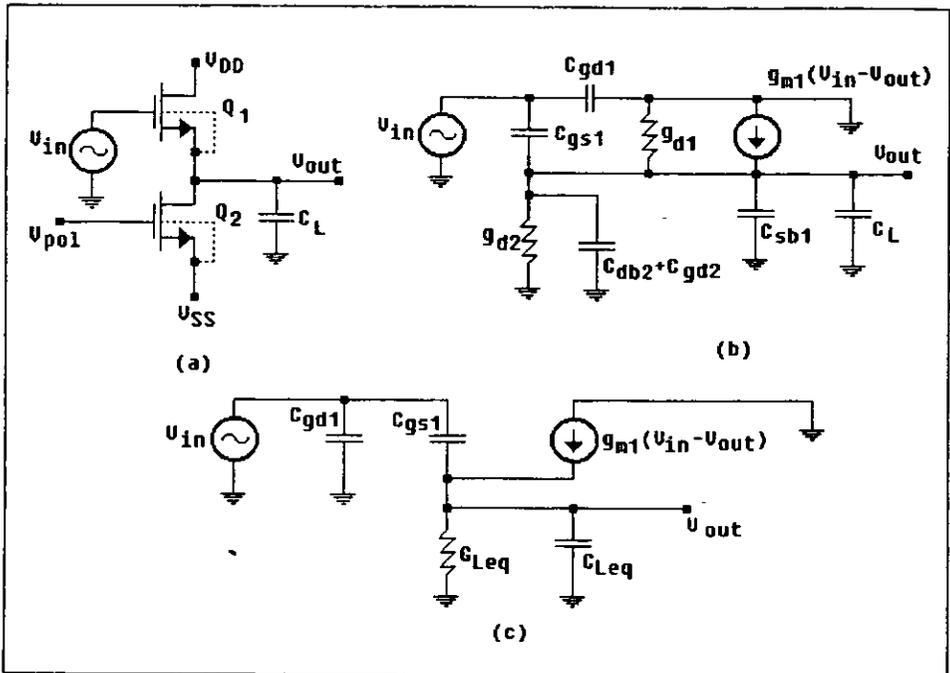


FIGURA 2.50 a) Source seguidor NMOS con carga capacitiva. b) Circuito equivalente del source seguidor NMOS. c) Circuito equivalente simplificado del source seguidor NMOS.

La fig. 2.51a muestra la etapa de ganancia NMOS cascode con un dispositivo de modo ensanchamiento como carga. C_L representa la carga capacitiva de la etapa (Con pozos

separados para Q_2 y Q_3 , por lo que no ocurre el efecto sustrato en la etapa). Las figs. 2.51b y 2.51c muestran al circuito equivalente linealizado, detallado y simplificado para alta frecuencia. Utilizando el teorema de Miller en el circuito 2.51c, resulta el circuito equivalente aproximado de la fig. 2.51d, donde

$$\begin{aligned}
 g_2 &= g_{m2} + \frac{1}{r_{d1}}, \\
 C_1 &= C_{gs1} + (1 + g_{m1}/g_{m2})C_{gd1}, \\
 C_2 &= C_{gd1} + C_{db1} + C_{gs2} + C_{sb2}, \\
 C_{Leq} &= C_L + C_{gd2} + C_{db2} + C_{sb3} + C_{gs3}, \\
 g_{m1} &= g_{m1} - sC_{gd1}.
 \end{aligned}
 \tag{2.82}$$

Analizando el circuito de la fig. 2.51d (por medio de la aproximación de Miller en la sección del buffer). Se tiene

$$A_v(s) = \frac{G_s g_{m2} (sC_{gd1} - g_{m1})}{(sC_1 + G_s)(sC_2 + g_2)(sC_{Leq} + g_{m3})}
 \tag{2.83}$$

partiendo de que el cero y los polos pueden ser directamente reorganizados:

$$\begin{aligned}
 s_z &= g_{m1}/C_{gd1}, \\
 s_{p1} &= -G_s/C_1, \\
 s_{p2} &= -g_2/C_2, \\
 s_{p3} &= -g_{m3}/C_{Leq}.
 \end{aligned}
 \tag{2.84}$$

Para valores prácticos, normalmente $|s_{p1}| \ll s_z, |s_{p2}|, |s_{p3}|$. Por lo que s_{p1} es el polo dominante, y la frecuencia a 3 dB está dada por

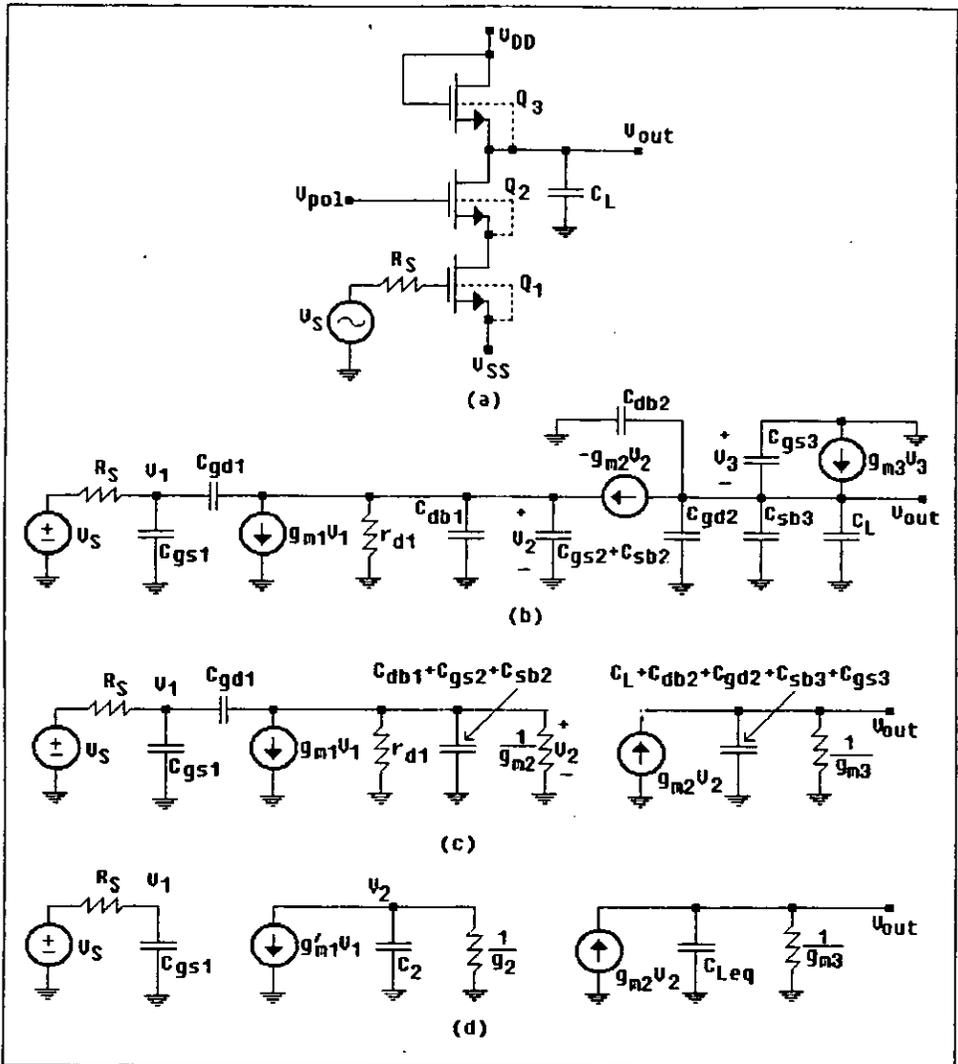


FIGURA 2.51 a) Etapa cascode con un dispositivo de modo ensanchamiento como carga y un capacitor. b) circuito equivalente para alta frecuencia de la etapa cascode. c) Circuito equivalente simplificado para alta frecuencia de la etapa cascode. d) Circuito equivalente simplificado de la etapa cascode utilizando el teorema de Miller.

$$f_{3dB} \approx \frac{|S_{p1}|}{2\pi} = \frac{G_s}{2\pi C_1} \quad (2.85)$$

Típicamente, $g_{m1} = g_{m2}$; por lo que $C_1 = C_{gs1} + 2C_{gd1}$ y $f_{3dB} \approx G_s / [2\pi(C_{gs1} + 2C_{gd1})]$. En contraste, en la etapa inversora de la fig. 2.19, el valor correspondiente es $G_s / \{2\pi[C_{gs1} + (1 + g_{m1} / G_{Leq})C_{gd1}]\}$ como se muestra en las ec's 2.69 y 2.27. Por lo que, g_{m1}/G_{Leq} es la magnitud de la ganancia dc de la etapa, normalmente es grande. Por consiguiente, el polo dominante (y por lo tanto la frecuencia a 3 dB) es mucho menor para la etapa de ganancia que para la del circuito cascode. Esto confirma la eficiencia del último para la amplificación a alta frecuencia.

El análisis de señal pequeña de las etapas del amplificador diferencial de la fig. 2.39-2.44 pueden, en principio, funcionar similarmente. De esta manera, en el circuito equivalente de señal pequeña de cada transistor pueden incluirse las capacitancias parásitas, en el análisis nodal presentado en el dominio de la transformada de Laplace. El proceso se hace muy complicado, ya que el número de nodos o mallas son demasiados.

Un proceso mucho más eficiente puede ser basado en el concepto de Medio Circuito. Considerando la etapa de la fig. 2.39, y el correspondiente circuito equivalente de la fig. 2.40. De la ec. 2.48, los voltajes de entrada pueden expresarse como

$$V_{in1} = V_{in,c} + V_{in,d}/2 \quad (2.86)$$

y

$$V_{in2} = V_{in,c} - V_{in,d}/2.$$

Como el circuito opera en la región lineal, en el análisis se puede utilizar superposición. Acordemente, si $V_{in1} = V_{in,d}/2$ y $V_{in2} = 0$; el correspondiente valor de V (fig. 2.40) puede ser denotado por V_d . A continuación, si $V_{in1} = 0$, mientras que $V_{in2} = -V_{in,d}/2$. De la simetría del circuito, para $V_{in2} = +V_{in,d}/2$, V será nuevamente V_d ; entonces por linealidad, para $V_{in2} = -V_{in,d}/2$, $V = -V_d$.

Asumiendo a continuación, entradas puramente en modo diferencial $V_{in1} = V_{in,d} / 2 = -V_{in2}$. Por superposición, $V = V_d - V_d \equiv 0$. Por lo que, puede utilizarse el análisis del circuito equivalente de la fig. 2.52a. Por simetría, las dos mitades del circuito operan independientemente. De esta manera, el análisis del circuito en modo diferencial de la fig. 2.39 es el mismo que para el circuito de la fig. 2.52b, el cual contiene sólo dos medios circuitos aislados. Cada medio circuito es una simple etapa de ganancia, similar a la mostrada en la fig. 2.15.

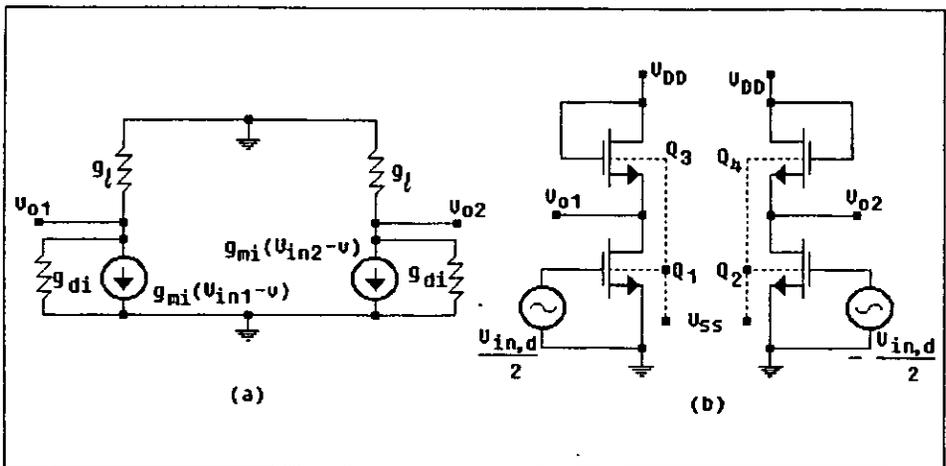


FIGURA 2.52 a) Circuito equivalente de señal pequeña-baja frecuencia de la etapa diferencial de la fig. 2.39 para voltajes de entrada en modo diferencial. b) Circuito equivalente de la etapa de la fig. 2.39.

Considerando ahora el análisis para la entrada de voltajes en modo común. La situación se ilustra en la fig. 2.53a, donde la fuente de corriente I ha sido dividida en dos fuentes simétricas. A causa de la inherente simetría del circuito, el cable de conexión de los dos nodos simétricos marcados como B y C no conducen corriente. Por lo tanto, ninguna corriente o voltaje va a cambiar en el circuito si este cable es cortado en el punto A. Por lo tanto, el circuito nuevamente es dividido en dos medios circuitos independientes, cada etapa de ganancia con una fuente de corriente en la malla del source. De esta manera, para bajas frecuencias, es aplicable el circuito equivalente de la fig. 2.53b.

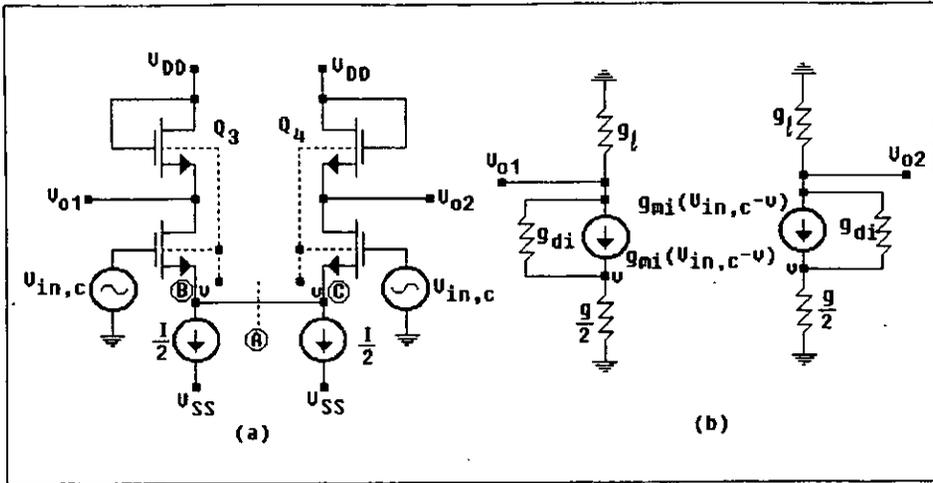


FIGURA 2.53 a) Circuito equivalente de la etapa diferencial en modo común de la etapa mostrada en la fig. 2.39. b) Circuito equivalente lineal para baja frecuencia del circuito de la fig. 2.53a.

Habiendo hallado todos los voltajes y corrientes para las entradas diferencial y en modo común usando el procedimiento del medio circuito, las mismas cantidades para entradas generales dadas por la ec. 2.86, pueden hallarse simplemente por superposición.

Los procedimientos hasta ahora tratados son para condiciones de baja frecuencia. Evidentemente, se mantiene el mismo argumento para alta frecuencia mientras permanezca la simetría de la etapa. Así, por ejemplo, el análisis en modo diferencial del circuito de la fig. 2.39 para alta frecuencia se reduce al análisis de dos medios circuitos de la forma de la fig. 2.46. Para el análisis en modo común, cada medio circuito es de la forma mostrada en la fig. 2.54, donde C_L es la capacitancia de carga de cada terminal de salida, mientras que g y C son las conductancias de salida y capacitancia de la fuente de corriente I respectivamente. El subíndice i se refiere al dispositivo de entrada (Q_1 ó Q_2), mientras que i al dispositivo de carga (Q_3 ó Q_4). El voltaje de salida se obtiene entonces utilizando un análisis nodal.

El procedimiento es demasiado complicado aún utilizando el procedimiento de medio circuito. Además, este método asume una perfecta simetría en el circuito, la cual puede o no mantenerse. Considerando, por ejemplo, la etapa diferencial CMOS de la fig. 2.55. Si Q_1 tiene sólo una

entrada de voltaje, mientras que el voltaje de salida es utilizado para el nodo B. entonces la capacitancia de carga generalmente satisface a $C_{LB} \gg C_{LA}$. Además, como Q_3 se excita al poner en corto el gate y drain, por la fig. 1.14 presenta una gran conductancia de carga $g_{m3} + g_{d3} \simeq g_{m3}$. En contraste, la conductancia conectada al nodo B es, $g_{d2} + g_{d4}$, teniendo un valor pequeño. De aquí, la constante de tiempo de la admitancia conectada al nodo B, $t_B = C_{LB} / (g_{d2} + g_{d4})$ es posible que sea varias veces mayor en magnitud que la del nodo A, $t_A \simeq C_{LA} / g_{m3}$. La constante de tiempo en el nodo C también es pequeña, ya que Q_1 y Q_2 cargan a este nodo con la gran conductancia $g_{m1} + g_{m2}$.

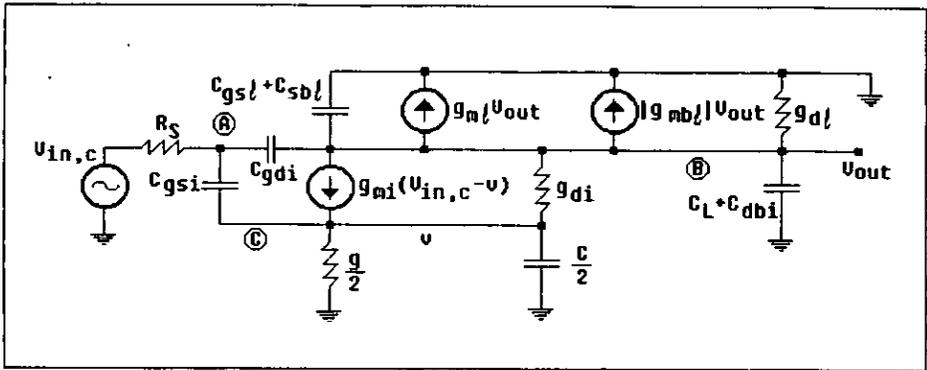


FIGURA 2.54 Análisis de medio circuito en modo común para alta frecuencia para la etapa diferencial mostrada en la fig. 2.39.

En la situación como la presentada en la fig. 2.55, el método de medio circuito no puede utilizarse, mientras que para el análisis nodal general es muy complicado. De esta manera, debe utilizarse un programa de computadora (como el Pspice) el cual pueda presentar el análisis en frecuencia de los circuitos lineales MOS, o simplificando algunas suposiciones utilizadas en el análisis teórico. Por ejemplo para el circuito de la fig. 2.55, se verifico anteriormente que el polo dominante es al que le corresponde la constante de tiempo mayor t_B ; su valor es $S_{p1} \simeq (g_{d2} + g_{d4}) / C_{LB}$. Por lo que, por ejemplo, la ganancia de voltaje en modo diferencial puede aproximarse por

$$A_{dm}(s) \approx \frac{A_{dm}(0)}{1 + s/s_{p1}} \approx \frac{g_{mi}}{sC_{LB} + (g_{di} + g_{d\ell})} \quad (2.87)$$

Donde, se asume que Q_1 y Q_2 así como Q_3 y Q_4 son dispositivos acoplados, y se utilizó 2.66. La frecuencia a 3 dB (aproximada) también puede ser dada por 2.87 como $(g_{di} + g_{d\ell}) / (2\pi C_{LB})$.

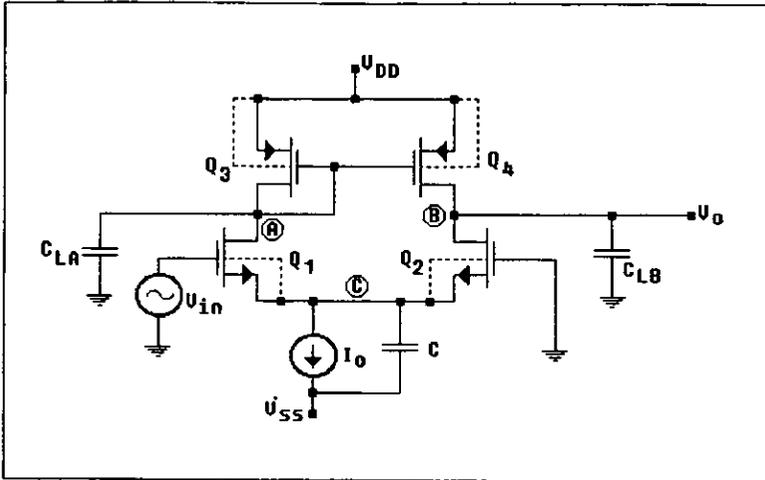


FIGURA 2.55 Etapa diferencial CMOS cargada capacitivamente.

Puede utilizarse la misma aproximación para encontrar la ganancia de voltaje en modo común:

$$A_{cm}(s) \approx \frac{A_{cm}(0)}{1 + s/s_{p1}} = -\frac{g_{di}}{2g_{m\ell}} \frac{g}{sC_{LB} + (g_{di} + g_{d\ell})} \quad (2.88)$$

Donde, g es la conductancia de salida de la fuente de corriente. En un op-amp CMOS, el source común de los dispositivos de canal N están unidos al pozo P. A alta frecuencia hay una gran capacitancia parásita C entre el pozo P y el cable V_{SS} , el cual reduce la impedancia entre el nodo C y tierra. El efecto de C puede incorporarse en 2.48 simplemente simplificando y reemplazando a g por $g + sC$. Resultando

$$A_{cm}(s) \sim -\frac{g_{di}}{2g_{m\ell}} \frac{g + sC}{sC_{LB} + (g_{di} + g_{d\ell})} \quad (2.89)$$

El cero $S_z = -g / C$ causa que $|A_{cm} / A_{dm}|$ se incremente en 20 dB/década a alta frecuencia, y de esta manera ocasiona una reducción del CMRR.

2.7 EL AMPLIFICADOR OPERACIONAL CMOS DESCOMPENSADO

Utilizando como bloques las etapas vistas en las secciones 2.2 a 2.5, es posible diseñar cualquier op-amp NMOS o CMOS. Como suelen ser más simples los circuitos CMOS, los op-amps CMOS serán analizados primero. Un diagrama a bloques de un op-amp MOS práctico se muestra en la fig. 2.56; éste representa una versión más detallada a la mostrada en la fig. 2.4. La ganancia de voltaje requerida se obtiene en las etapas de ganancia diferencial (G_1) y de la etapa de ganancia de una sola salida (G_2). La etapa de salida (G_3) normalmente es de una gran banda, ganancia unitaria, buffer de baja impedancia de salida capaz de excitar a grandes cargas capacitivas y/o cargas resistivas.

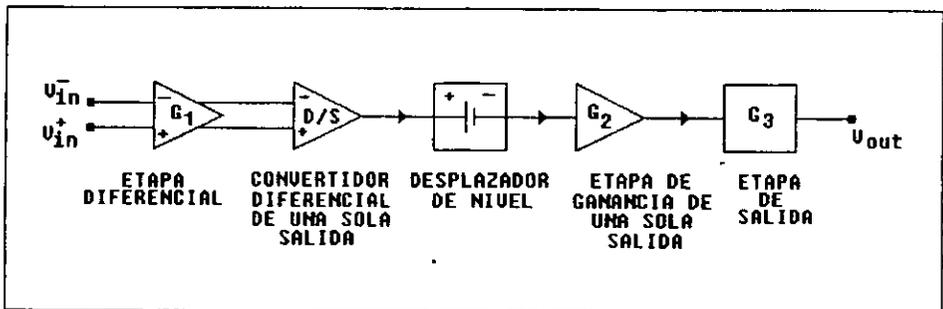


FIGURA 2.56 Construcción a bloques de un op-amp básico.

Una implementación del CMOS del esquema de la fig. 2.56 se muestra en la fig. 2.57. En este circuito, Q_5 actúa como una simple fuente de corriente, y Q_1 - Q_5 forman una etapa diferencial con una sola salida (fig. 2.44a). Q_6 (actuando como excitador) y Q_7 (actuando como carga) forman la segunda etapa de ganancia la cual además actúa como un desplazador de nivel. Finalmente, la salida buffer está formada por el source seguidor formado por Q_8 como excitador y Q_9 como carga.

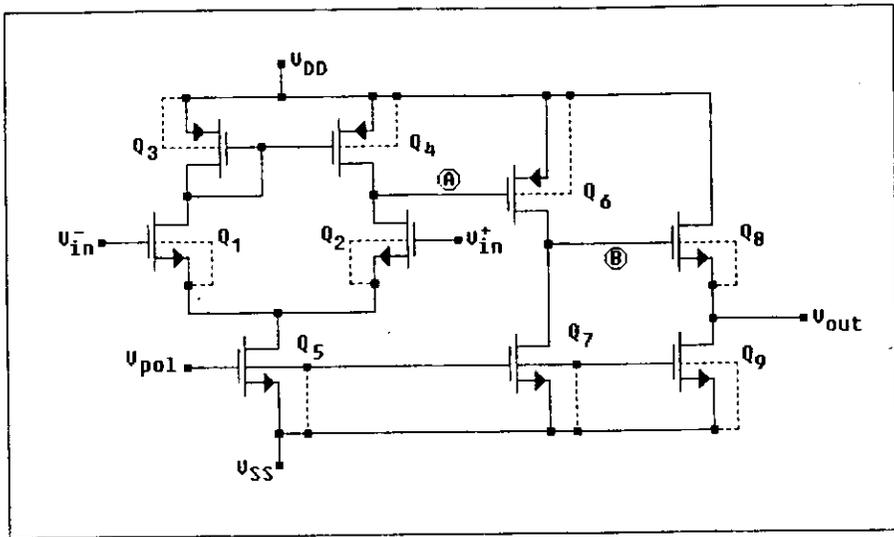


FIGURA 2.57 Amplificador Operacional CMOS descompensado.

La ganancia a baja frecuencia en modo diferencial de la etapa de entrada puede obtenerse de 2.66:

$$A_{v1} \approx \frac{g_{m1}}{g_{d1} + g_{d1}} \quad (2.90)$$

Donde, se asume que Q_1 está acoplado a Q_2 , y Q_3 a Q_4 . La ganancia a baja frecuencia del inversor formado por Q_6 y Q_7 es

$$A_{V2} = \frac{-g_{m6}}{g_{d6} + g_{d7}} \quad (2.91)$$

La ganancia de voltaje A_V es $A_{V1}A_{V2}$. Para valores de polarización típicos y para dispositivos geométricos, se puede lograr que $A_V = 10,000 \sim 20,000$.

Las terminales de salida A y B de ambas etapas son nodos de alta impedancia; la impedancia de salida a baja frecuencia de la etapa de entrada en el nodo A es

$$R_{O1} \approx \frac{1}{g_{d\ell} + g_{di}} \quad (2.92)$$

y de la segunda etapa (Q_6, Q_7) es

$$R_{O2} \approx \frac{1}{g_{d6} + g_{d7}} \quad (2.93)$$

El circuito equivalente mostrando esas impedancias y además las capacitancias parásitas C_A, C_B cargando a los nodos A y B, respectivamente, se muestran en la fig. 2.58. De la figura se ve que la función de transferencia del amplificador $A_V(s) = V_{out}(s) / [V_{in}^+(s) - V_{in}^-(s)]$ tendrá los factores

$$\frac{1/sC_A}{R_{O1} + 1/sC_A} \frac{1/sC_B}{R_{O2} + 1/sC_B} = \frac{1}{(1 - s/S_A)(1 - s/S_B)} \quad (2.94)$$

donde los polos son $S_A = -1 / R_{O1}C_A$ y $S_B = -1 / R_{O2}C_B$. Como R_{O1} y R_{O2} son grandes, S_A y S_B se acercan al eje $j\omega$ del plano S. Por lo que, serán los polos dominantes del amplificador. Los efectos de los otros polos serán muy notables a muy alta frecuencia.

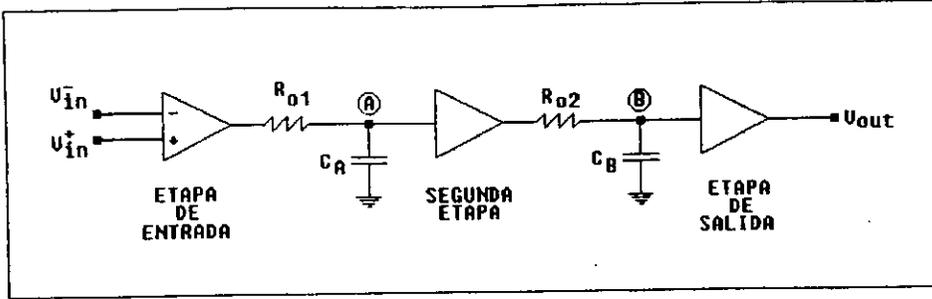


FIGURA 2.58 Diagrama a bloques mostrando el origen de los polos dominantes.

Si el op-amp se requiere sólo para excitar a las cargas capacitivas pequeñas, entonces se puede eliminar la salida del source seguidor (Q_8, Q_9), y la salida se toma directamente del nodo B. Sin embargo, la corriente de salida máxima que puede disminuir está determinada por la corriente de source de Q_7 .

Un op-amp CMOS mejorado con el rango de salida incrementado se muestra en la fig. 2.59. La etapa de salida ahora es de la forma de la fig. 2.30, con Q_6 y Q_7 actuando como desplazador de nivel, mientras que Q_8 y Q_9 actúan como un push-pull clase B en la etapa de salida (Q_1 y Q_2 en la fig. 2.30). La polarización dc se diseñada de tal manera que Q_8 y Q_9 tengan el mismo valor de polarización dc de gate a source. Esto maximiza el rango de linealidad del voltaje de salida V_{out} . La ganancia de señal pequeña-baja frecuencia puede obtenerse de las ec's, 2.66 y 2.33:

$$A_v \cong \frac{-g_{m1} g_{m8} + g_{m9}}{g_{d1} g_{d8} + g_{d9}} \quad (2.95)$$

De esta manera la $|A_v|$ puede ser tan grande como 20,000. Sin embargo, si el circuito tiene que excitar una carga resistiva G_L , entonces se sustituye a $g_{d8} + g_{d9}$ por $g_{d8} + g_{d9} + G_L$ lo cual reduce significativamente la ganancia. Además, para una capacitancia de carga C_L , el polo del op-amp compensado del arreglo de realimentación causa que la constante de tiempo $C_L / (g_{d8} +$

g_{d9}) puede moverse tan cerca del eje $j\omega$ causando inestabilidad. Por lo tanto, este op-amp sólo es conveniente para excitar cargas capacitivas de pequeñas a moderadas.

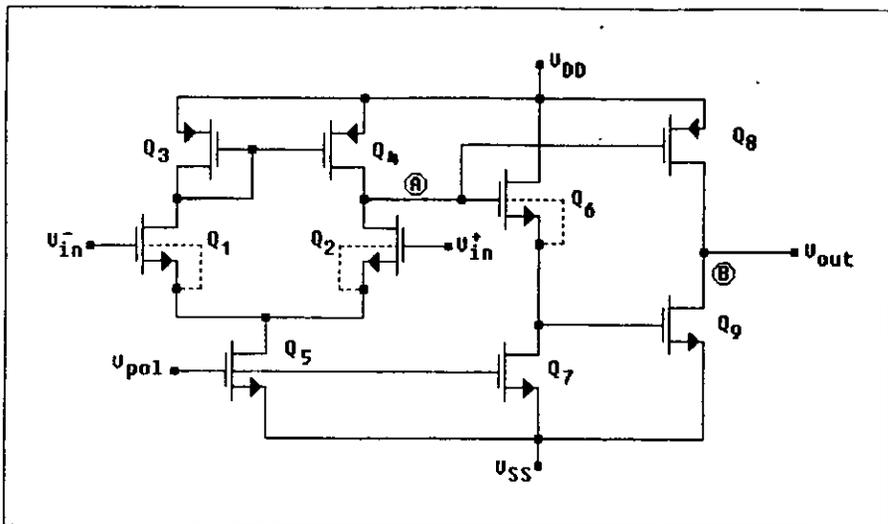


FIGURA 2.59 Amplificador operacional CMOS mejorado (descompensado).

Si se utiliza el circuito de la fig. 2.59 en la salida buffer del chip, entonces debe agregarse una etapa de salida. Ésta puede ser un source seguidor, similar al de la etapa Q_8 - Q_9 de la fig. 2.57. Sin embargo, puede mejorarse la fuente de corriente y la baja impedancia de salida utilizando un MOS bipolar emisor seguidor en la salida. Se pueden utilizar, etapas de salida CMOS más elaboradas, operando en el modo clase B.

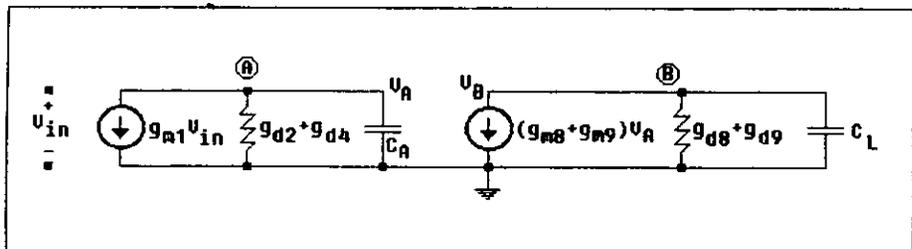


FIGURA 2.60 Representación de dos etapas del op-amp CMOS de la fig. 2.59.

Considerando ahora el comportamiento a alta frecuencia del circuito de la fig. 2.59. Como anteriormente, los nodos A y B tienen una muy alta impedancia, y son responsables del polo dominante. El circuito equivalente aproximado se muestra en la fig. 2.80. Donde, la etapa de entrada está representada por el equivalente de Norton, el cual se obtuvo utilizando las ec's (2.66) y (2.92). Similarmente, el equivalente de Norton de la etapa de salida puede obtenerse de las ec's (2.33) y (2.39). Como anteriormente, la función de transferencia contiene un factor similar al dado en la ec. (2.94), donde ahora $S_A = -(g_{d2} + g_{d4}) / C_A$ y $S_B = -(g_{d8} + g_{d9}) / C_L$. Por lo que la función de transferencia total es

$$A_v(s) = \frac{V_{out}(s)}{V_{in}^+ - V_{in}^-} \approx \frac{g_{m1}}{g_{d2} + g_{d4}} \frac{g_{m8} + g_{m9}}{g_{d8} + g_{d9}} \frac{1}{(1 - s/S_A)(1 - s/S_B)}$$

$$= \frac{A_v(0)}{(1 - s/S_A)(1 - s/S_B)} \tag{2.96}$$

La respuesta en frecuencia se obtiene reemplazando a S por $j\omega$. Para bajas frecuencias ($\omega \ll |S_A|, |S_B|$).

$$A_v(j\omega) \approx A_v(0) = \frac{g_{m1}}{g_{d2} + g_{d4}} \frac{g_{m8} + g_{m9}}{g_{d8} + g_{d9}} \tag{2.97}$$

Para altas frecuencias ($\omega \gg |S_A|, |S_B|$).

$$A_v(j\omega) \approx \frac{A_v(0)}{-\omega^2 / S_A S_B} = -\frac{g_{m1}(g_{m8} + g_{m9})}{\omega^2 C_A C_L} \tag{2.98}$$

Por lo tanto, a altas frecuencias, el amplificador invierte el voltaje de entrada. En aplicaciones de capacitor conmutado el op-amp siempre tiene un capacitor C de realimentación conectado entre las terminales inversora y de salida. Un circuito típico se muestra en la fig. 2.61. Una onda

senoidal $V(j\omega)$ en la terminal de entrada inversora será tan amplificada como $-A_V(j\omega)$, y la realimentación vía el divisor capacitivo C y C_{in} ; donde C_{in} , representa la capacitancia total de entrada del circuito excitador del op-amp, incluyendo las capacitancias parásitas etc. Para una señal $V(j\omega)$ de baja frecuencia, la señal de realimentación estará 180° fuera de fase con $V(j\omega)$; ésta será

$$V_{fb} \approx -A_V(0) \frac{C}{C + C_{in}} V(j\omega). \quad (2.99)$$

Por lo que, la realimentación es efectivamente negativa. Sin embargo, para altas frecuencias, $V_{fb}(j\omega)$ estará en fase con $V(j\omega)$, de 2.98

$$V_{fb} = -A_V(j\omega) \frac{C}{C + C_{in}} V(j\omega) \approx \frac{A_V(0) s_A s_B C}{\omega^2 (C + C_{in})} V(j\omega). \quad (2.100)$$

Esto corresponde a una realimentación positiva. Así, la ganancia de malla $|A_V(j\omega) C / (C + C_{in})|$ es 1 a cualquier alta frecuencia, puede ser que oscile el circuito. En teoría, para el modelo de dos polos, $A_V(j\omega)$ cambiará a uno real negativo sólo cuando $\omega \rightarrow \infty$; sin embargo, para una alta ganancia de malla el circuito es marginalmente estable para altas frecuencias de manera que cualquier pequeña desviación de fase debida a los polos de alta frecuencia ignorados en la fig. 2.60 pueden causar oscilación. Aunque se mantenga estabilidad, la respuesta transitoria contiene un ligero amortiguamiento de oscilación el cual no es aceptado en la mayoría de las aplicaciones.

Para prevenir oscilaciones en amplificadores realimentados, y para asegurar una buena respuesta transitoria, es necesario un paso de diseño adicional (llamado compensación). El cual está basado en la teoría de estabilidad de sistemas realimentados, y es tratado brevemente en el siguiente punto.

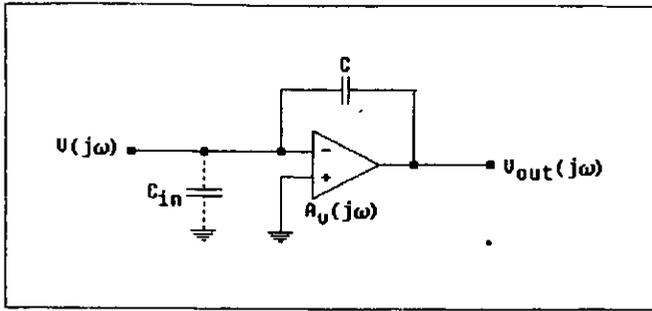


FIGURA 2.61 Op-amp con un capacitor en la realimentación y en la entrada.

2.8 TEORÍA DE ESTABILIDAD Y COMPENSACIÓN DE AMPLIFICADORES CMOS

En secciones anteriores, se mostró que el op-amp de la fig. 2.59 sólo es marginalmente estable cuando se utiliza realimentación en el circuito. En esta sección, se tratará, el análisis de estabilidad, y los pasos de diseño requeridos para asegurar estabilidad en los op-amps.

Un análisis de estabilidad puede basarse en el diagrama general a bloques de la fig. 2.62, el cual muestra a un op-amp configurado con una realimentación negativa. El voltaje en la terminal de entrada inversora es

$$V_{in}^- = V_1 + kV_{out} \quad (2.101)$$

y el voltaje de salida es

$$V_{out} = -A_v(s)V_{in}^- \quad (2.102)$$

Por lo que, la ganancia de voltaje es

$$A_{VF}(S) = \frac{V_{out}(s)}{V_1(s)} = \frac{-A_V(s)}{kA_V(s) + 1} \quad (2.103)$$

Donde, A_{VF} es la llamada ganancia de malla cerrada, mientras que a A_V es la ganancia de malla abierta; kA_V es la ganancia de la malla.

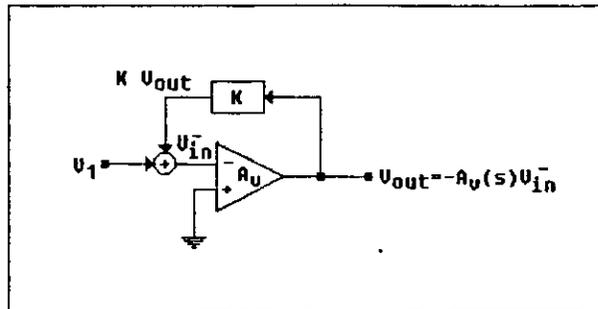


FIGURA 2.62 Op-amp con realimentación negativa.

Asumiendo a continuación que todos los polos S_i de $A_V(S)$ se deben a las capacitancias parásitas a tierra. (Ésta es una aceptable aproximación si las capacitancias de carga en los nodos de alta impedancia son conectados entre voltajes que están en fase ó 180° fuera de fase una de la otra). Por lo que los S_i son números reales negativos, y $A_V(S)$ es de la forma

$$A_V(s) = \frac{k}{(s - s_1)(s - s_2) \cdots (s - s_n)} \quad (2.104)$$

Para $S = j\omega$, $A_V(j\omega)$ da la respuesta en frecuencia del op-amp. Su magnitud es

$$|A_V(j\omega)| = \frac{|k|}{\prod_{i=1}^n (\omega^2 + |s_i|^2)^{1/2}} \quad (2.105)$$

y su fase está dada por

$$\angle A_V(j\omega) = \angle k - \sum_{i=1}^n \tan^{-1}(\omega/|s_i|). \quad (2.106)$$

Donde $|A_V(j\omega)|$ y $\angle A_V(j\omega)$ son funciones monótonamente decrecientes de ω .

La frecuencia de todo el sistema realimentado está en los polos S_p de $A_{VF}(S)$, la cual por 2.103 satisface la relación

$$kA_V(s_p) + 1 = 0. \quad (2.107)$$

Por estabilidad, todos los S_p deben estar en la mitad negativa del plano S ; esto es, que la parte real de todos los polos debe ser negativa. Asumiendo a continuación que $\text{Re}[kA_V(j\omega)] > -1$ para todos los valores reales de ω . Por lo que $kA_V(j\omega) \neq -1$, y por lo tanto S_p no puede ocurrir en el eje $j\omega$; por lo que, se puede ver que si $A_V(S)$ tiene sólo polos con parte real negativa, bajo las suposiciones de estado de $A_{VF}(S)$. Con lo cual es suficiente la condición

$$\text{Re} [kA_V(j\omega)] > -1 \quad (2.108)$$

para asegurar estabilidad. Esto, sin embargo, no es una condición necesaria. Pueden establecerse dos condiciones suficiente para asegurar estabilidad. Si ω_{180} es la frecuencia a la cual es monótonamente decreciente la fase de $kA_V(j\omega)$ alcanza -180° ; esto es,

$$\angle kA_V(j\omega_{180}) = -180^\circ. \quad (2.109)$$

Si ahora $|kA_V(j\omega_{180})| < 1$, entonces 2.107 no puede mantener en el eje $j\omega$, y por lo tanto el circuito es estable. Una medida de su estabilidad es el margen de ganancia definido como

$$\text{margen de ganancia (en dB)} = 20 \log |kA_V(j\omega_{180})|. \quad (2.110)$$

Por estabilidad el margen de ganancia debe ser negativo, cuanto más negativo, mayor es el margen de estabilidad del circuito. Normalmente, se desea un margen² mínimo de 20 dB.

Si $|kA_V(j\omega)|$, el cual decrece monótonamente con ω , alcanza el valor de 1 (0 dB) a la frecuencia de ganancia unitaria ω_0 . Por lo consiguiente, si la fase a ω_0 satisface $\angle kA_V(j\omega) > 180^\circ$, el sistema será estable. El margen de fase, definido como $\angle kA_V(j\omega) + 180^\circ$, es una medida de su estabilidad; cuanto mayor es el margen de fase, más estable es el circuito. Normalmente, se requiere un margen mínimo de 60° (preferentemente mayor). Esto dará la respuesta escalón deseada para el amplificador de malla cerrada.

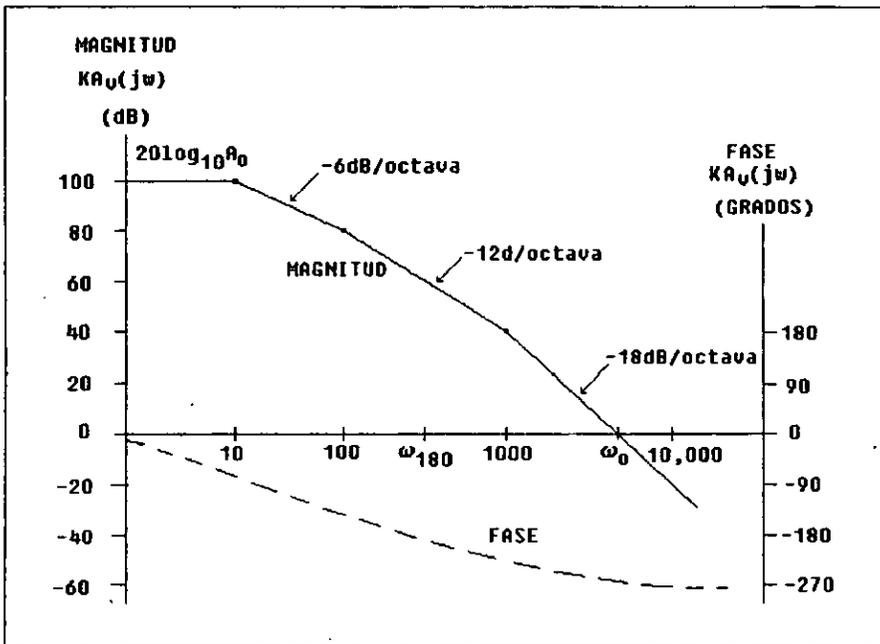


FIGURA 2.63 Ejemplo de un plano de Bode para tres polos reales.

²El margen de ganancia es difícil de controlar, por lo que es menos utilizado que el margen de fase.

Todas las condiciones de estabilidad mencionadas anteriormente pueden ser visualizadas y revisadas utilizando los planos de Bode. Éstos muestran a $|kA_V(j\omega)|$ (en dB) y a $\angle kA_V(j\omega)$ (en grados) como funciones de ω en una escala logarítmica. Los planos típicos son mostrados en la fig. 2.63 (líneas quebradas) para la ganancia de malla de tres polos

$$kA_V(j\omega) = \frac{A_0}{(1 - j\omega/s_1)(1 - j\omega/s_2)(1 - j\omega/s_3)}, \quad (2.111)$$

con $A_0 = 10^5$, $S_1 = -10$ rad/s, $S_2 = -10^2$ rad/s, y $S_3 = -10^3$ rad/s. Dibujando la magnitud del plano utilizando una aproximación asintótica para la magnitud logarítmica del término general $a_i(j\omega) = 1 / (1 - j\omega / S_i)$:

$$\begin{aligned} 20 \log_{10} |a_i| &= -20 \log_{10} |1 - j\omega/s_i| \\ &= -10 \log_{10} \left(1 + \omega^2 / |S_i|^2 \right). \end{aligned} \quad (2.112)$$

$20 \log_{10} |a_i| \approx 0$ para $|\omega| \ll |S_i|$, y $20 \log_{10} |a_i| \approx -20(\log_{10} \omega - \log_{10} |S_i|)$ para $|\omega| \gg |S_i|$. La fig. 2.64 ilustra la aproximación de $|a_i|$, y también la de la fase $\angle a_i(j\omega)$ de $a_i(j\omega)$. Una conclusión importante que fue dibujada en la figura es que, para $|\omega| \gg |S_i|$, $20 \log_{10} |a_i|$ se acerca a una línea recta con una pendiente de -6 dB/octava (decrece 6 dB por cada dos veces ω), mientras que $\angle a_i$ se acerca a -90° en esta misma región. En particular, $|\angle a_i| \approx 90^\circ$ para $\omega > 5|S_i|$. También, $|\angle a_i| \leq 30^\circ$ para $\omega < 0.5|S_i|$; de hecho esto será utilizado más adelante.

La forma logarítmica de la ganancia de malla satisface a

$$20 \log_{10} [kA_V(j\omega)] = 20 \log_{10} A_0 + \sum_{i=1}^n 20 \log_{10} [a_i(j\omega)]. \quad (2.113)$$

Por lo que, la pendiente de la frecuencia a ganancia unitaria ω_o de la ganancia de malla logarítmica contra la frecuencia logarítmica es de aproximadamente -6 dB/octava, mientras que su

ángulo es de alrededor de -90° m. Donde, m es el número de esos polos cuya magnitud $|S_i|$ es menor que ω_0 . Para un margen de fase positivo (por decir 60° , de manera que $\angle kA_V(j\omega_0) > -120^{\circ}$), m debe ser menor que 2. Idealmente, m es uno (sólo un polo satisface $|S_i| < \omega_0$), y los otros polos tienen magnitudes mucho mayores que ω_0 . Por lo que el margen de fase es cercano a 90° (Para $A_0 \gg 1$, es imposible que $m = 0$).

Retomando el ejemplo de la fig. 2.63, las líneas quebradas muestran las aproximación asintótica para la magnitud logarítmica de $kA_V(j\omega)$. Las curvas indican que la frecuencia a ganancia unitaria ($\omega_0 \approx 4$ rad/s), la fase de $kA_V(j\omega)$ es de alrededor de -270° . Por lo que, el margen de fase es negativo, y la realimentación del sistema es potencialmente inestable.

La modificación de $kA_V(S)$ que cambia a un sistema realimentado inestable en uno estable se le llama frecuencia de compensación. Su propósito es lograr la situación ideal descrita anteriormente; de esta manera, se pretende obtener una ganancia de malla tan pequeña que contenga exactamente un polo menor en magnitud que ω_0 , aunque todos los demás sean mucho mayores. Por lo que el factor k de realimentación puede estar en cualquier lugar del rango $0 < k \leq 1$, y en el peor de los casos $k = 1$ (a mayor ω_0 menor margen de fase), esto se asumirá de aquí en adelante. Cabe notar que $K \cong 1$ corresponde a $C \gg C_{in}$ en la fig. 2.61; $k = 1$ representa un corto circuito entre la salida y la entrada inversora del amplificador.

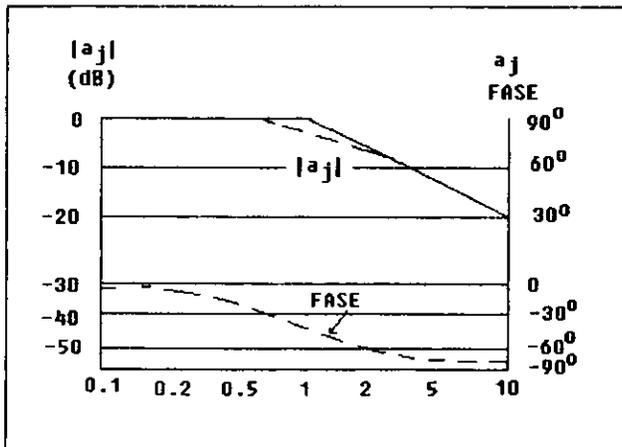


FIGURA 2.64 Respuesta en ganancia y fase para un factor $a_j(jw) = (1 - jw/a)^{-1}$.

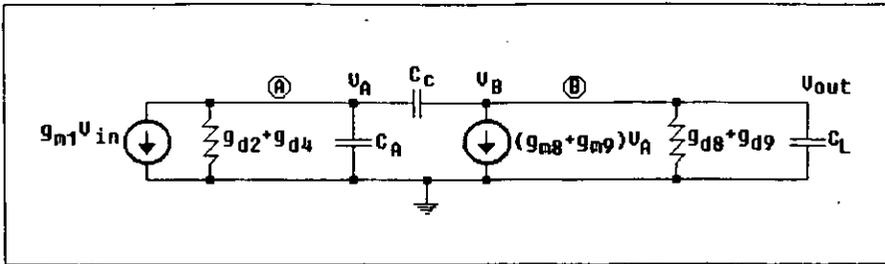


FIGURA 2.65 Representación del op-amp CMOS de dos etapas con un capacitor C_c de polo dividido.

A continuación se muestra como lograr la compensación para el op-amp de la fig. 2.59. Refiriendo a su representación equivalente de señal pequeña (fig. 2.60), primero se dispone a lograr compensación conectando un capacitor compensador C_c entre los nodos de alta impedancia A y B, como se muestra en la fig. 2.65. También se sabe que para op-amps bipolar la adición de tal capacitor cambia el polo asociado con el nodo A para una frecuencia mucho menor, mientras cambios correspondientemente al B pasan ha ser mucho mayores. Por lo que normalmente se le llama capacitor de polo dividido, para lograr la compensación deseada (para op-amps bipolar). La situación es menos favorable para op-amps MOS, como se mostrará a continuación. Las ec's para los nodos A y B de la fig. 2.65 son

$$g_{m1}V_{in} + (g_{d2} + g_{d4} + sC_A)V_A + sC_c(V_A - V_{out}) = 0 \tag{2.114}$$

y

$$sC_c(V_{out} - V_A) + (g_{m8} + g_{m9})V_A + (g_{d8} + g_{d9} + sC_L)V_{out} = 0$$

Resolviendo para V_{out} , resulta la ganancia de voltaje

$$A_v(s) = \frac{A_o(1 - s/s_z)}{(1 - s'/s_{p1})(1 - s/s_{p2})} \tag{2.115}$$

Donde, la ganancia dc es

$$A_o = \frac{g_{m1}(g_{m8} + g_{m9})}{(g_{d2} + g_{d4})(g_{d8} + g_{d9})} \quad (2.116)$$

y el cero es

$$s_z = \frac{g_{m8} + g_{m9}}{C_c} \quad (2.117)$$

El cálculo de los polos se simplifica si se asume que $|S_{p2}| \gg |S_{p1}|$, y que $g_{m8} + g_{m9} \gg g_{d2} + g_{d4}$ o $g_{d8} + g_{d9}$. Por lo que, después de algunos cálculos

$$s_{p1} \approx \frac{(g_{d2} + g_{d4})(g_{d8} + g_{d9})}{(g_{m8} + g_{m9})C_c} = -\frac{g_{m1}}{A_o C_c}$$

y

(2.118)

$$s_{p2} \approx \frac{-(g_{m8} + g_{m9})C_c}{C_A C_L + (C_A + C_L)C_c} = \frac{-(g_{m8} + g_{m9})/C_A C_L}{1/C_c + 1/C_A + 1/C_L}$$

donde A_o es la ganancia dc dada en 2.116

Físicamente, C_c (multiplicado por el efecto Miller) se conecta en paralelo a C_A , y de esta manera reduce a $|S_{p1}|$ por un gran factor ($\sim 10^3$), mientras que al mismo tiempo incrementa la frecuencia del segundo polo $|S_{p2}|$ vía la derivación de la realimentación.

$|S_{p1}|$ decrece, mientras que $|S_{p2}|$ aumenta incrementando los valores de C_c . Por lo que, como se menciono anteriormente, efectivamente C_c divide a los polos. Desafortunadamente, la compensación deseada no se lleva a cabo generalmente, debido al cero S_z positivo (plano medio derecho). Para el caso normal de $1/C_c \ll 1/C_A + 1/C_L$, las desigualdades mantienen a

$$|S_{p2}| \approx \frac{g_{m8} + g_{m9}}{C_A + C_L} \gg S_z > |S_{p1}|. \quad (2.119)$$

La magnitud logarítmica del factor $(1 - j\omega/S_z)$ es cercana a cero para $|\omega| \ll S_z$, mientras que un incremento de alrededor de 6 dB/octava para $\omega \gg S_z$. La fase del factor es $-\tan^{-1}(\omega/S_z)$; ésta decrece de 0 a -90° cuando ω aumenta de cero al infinito. Como resultado, se obtienen los planos mostrados en la fig. 2.66. La frecuencia ω_o a ganancia unitaria de la fase es menor de -180° . Por lo que, en una configuración con realimentación el amplificador puede pasar a ser inestable. Cabe notar que si se incrementa $g_{m8} + g_{m9}$, entonces $S_z/|S_{p1}|A_o$, por las ec's 2.116 a 2.118, se incrementará proporcionalmente. De la fig. 2.66 si $S_z/|S_{p1}|$ (en octavas) es mayor que A_o (en dB)/6, por lo consiguiente, la frecuencia ω_o a ganancia unitaria será menor que S_z , y el margen de fase es positivo. Así que, para las g_m 's lo suficientemente grandes (como es proporcionado por el transistor bipolar), la inclusión de C_c logra la estabilización deseada. Desafortunadamente, la transconductancia del MOSFET normalmente no es lo suficientemente alta para el propósito, y se deben hallar otros arreglos para eliminar a S_z .

Un esquema para eliminar a S_z es llevarlo a la frecuencia infinita. Físicamente, el cero se debe a la existencia de dos trayectorias a través de las cuales la señal puede propagarse del nodo A al nodo B. La primera es a través de C_c , mientras que la segunda es por la fuente controlada $(g_{m8} + g_{m9})V_A$. Si $S = S_z$, cancela las dos señales de estas trayectorias, y ocurre la transmisión de un cero. El cero puede ser cambiado a una frecuencia infinita por la eliminación de las trayectorias de alimentación en forma directa a través de C_c , a costo de utilizar un buffer de ganancia unitaria extra (fig. 2.67). Un análisis detallado muestra que el numerador de $A_v(S)$ es simplemente ahora A_o , mientras que el denominador permanece cercano al mismo como en la ec. 2.115. Un circuito implementando este esquema se muestra en la fig. 2.68, donde Q_{10}/Q_{11} forman el buffer.

Se puede utilizar un esquema alternativo (y más simple). Considerando el circuito mostrado en la fig. 2.69. Un análisis nodal muestra que su función de transferencia es

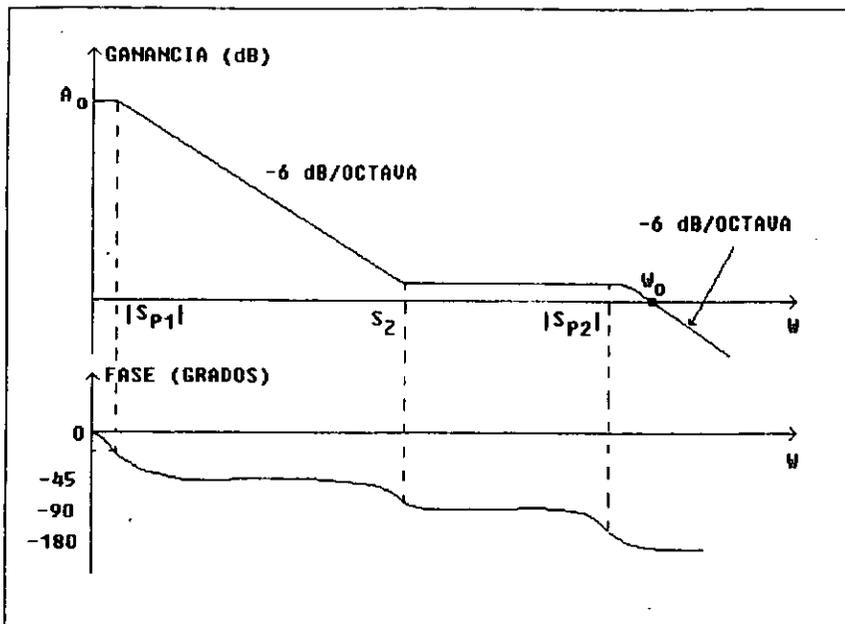


FIGURA 2.66 Planos en amplitud y fase para el op-amp CMOS.

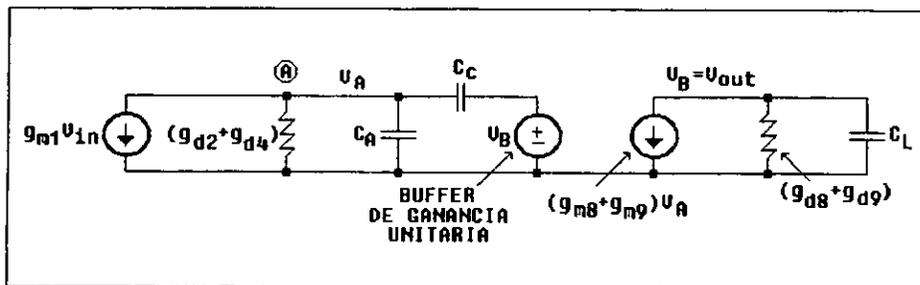


FIGURA 2.67 Arreglo de ganancia unitaria para eliminar el cero del plano derecho.

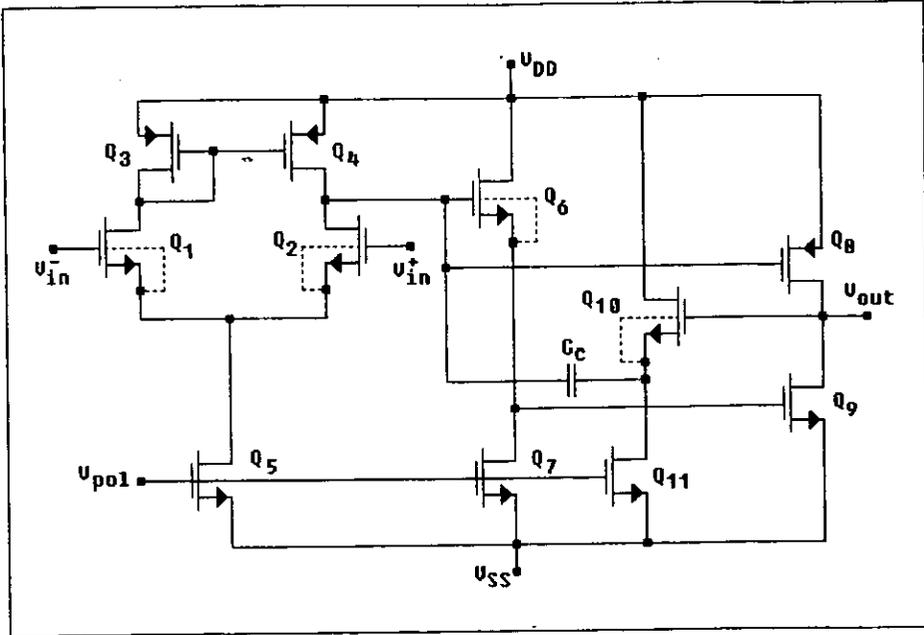


FIGURA 2.68 Op-amp CMOS compensado internamente utilizando un buffer de ganancia unitaria para evitar el cero del plano medio derecho.

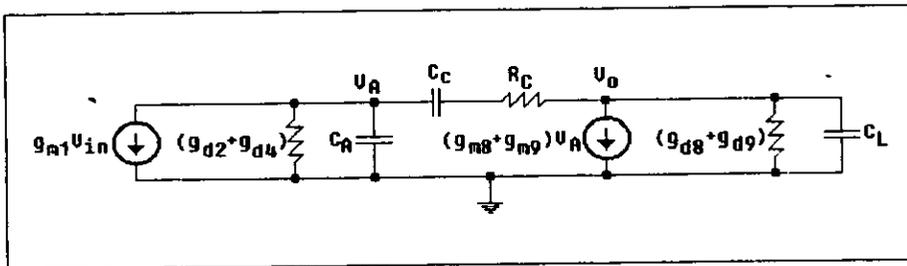


FIGURA 2.69 Circuito equivalente de señal pequeña para el op-amp CMOS sin el resistor de compensación.

$$A_v(s) = \frac{A_o(1 - s/s_z)}{(1 - s/s_{p1})(1 - s/s_{p2})(1 - s/s_{p3})} \quad (2.120)$$

Donde, A_o , S_{p1} , y S_{p2} son dados (como anteriormente) por las ec's 2.116 y 2.118, por lo que ahora

$$s_z = -\frac{1}{[R_c - 1/(g_{m8} + g_{m9})]C_c} \quad (2.121)$$

y

$$s_{p3} \approx -\frac{1}{R_c} \left(\frac{1}{C_c} + \frac{1}{C_A} + \frac{1}{C_L} \right) \quad (2.122)$$

Como muestra la ec. 2.121, nuevamente es posible cambiar a S_z al infinito para este circuito, si se hace a $R_c = 1 / (g_{m8} + g_{m9})$. Entonces, los polos pueden ser divididos con una elección de C_c lo suficientemente grande. Para cuantificar esto, la frecuencia a ganancia unitaria, requiere que $|S_{p2}| > \omega_o$. Para esta elección, ya que en la región de la frecuencia entre $|S_{p1}|$ y $|S_{p2}|$ mantiene a

$$A_v(j\omega) \cong \frac{A_o}{j\omega/|S_{p1}|} \quad (2.123)$$

puede utilizarse la aproximación $\omega_o \approx A_o|S_{p1}|$. De manera que, puede especificarse que $|S_{p2}| > A_o|S_{p1}|$. De 2.118, con $1/C_A \gg 1/C_c + 1/C_L$, esto requiere que

$$\frac{g_{m8} + g_{m9}}{C_L} > \frac{g_{m1}}{C_c} \quad (2.124)$$

así que es necesario un capacitor de realimentación para satisfacer

$$C_c > \frac{g_{m1} C_L}{g_{m8} + g_{m9}} \quad (2.125)$$

Como normalmente una buena elección es $C_c \sim C_L$, se requiere que $g_{m1} < g_{m8} + g_{m9}$. Otra manera de eliminar a S_z del circuito de la fig. 2.89 es por cancelación polo/cero. Haciendo a $S_z = S_{p2}$, de las ec's 2.118 y 2.121 se obtiene

$$R_c \cong \frac{1 + (C_A + C_L)/C_c}{g_{m8} + g_{m9}} \quad (2.126)$$

La cancelación resultante deja al op-amp con una respuesta de dos polos. La compensación ahora requiere que $|S_{p3}| > A_o |S_{p1}|$. Utilizando 2.118, 2.122, y 2.126, esta condición puede ser escrita ahora como

$$C_c > C_c^o \frac{1/C_c + 1/(C_A + C_L)}{1/C_c + 1/C_L + 1/C_A} \quad (2.127)$$

Donde, C_c^o es la relación dada por C_c en la ec. 2.125. El factor multiplicativo C_c^o en (2.127) normalmente es mucho menor que 1; por lo tanto, ahora puede utilizarse a un C_c más pequeño. Su valor puede obtenerse de la relación.³

$$C_c > \frac{1}{2} \frac{g_{m1} (g_{m8} + g_{m9}) - 1}{1/C_A + 1/C_L}$$

³En la práctica, normalmente se hace a $C_c \cong C_L$. Esta elección satisface la condición de las ec's 2.127 y 2.128 por un gran margen.

2.9 RESPUESTA EN FRECUENCIA, RESPUESTA TRANSITORIA, Y VELOCIDAD DE RESPUESTA DEL OP-AMP CMOS COMPENSADO

A continuación, se dará el análisis aproximado para el op-amp de la fig. 2.68 en el dominio de la frecuencia y del tiempo. (también es aplicable para el circuito de la fig. 2.70 si se hace a $R_c \approx 0$). Para señales pequeñas V_{in} de entrada el transistor trabajará en la región de saturación, y pueden utilizarse sus modelos de señal pequeña. Por lo que, para moderadas frecuencias (para $|S_{p1}| \ll \omega \ll |S_{p2}|$) la etapa de entrada Q_1 - Q_5 se puede remplazar por una fuente de corriente controlada por voltaje a una frecuencia independiente, mientras que las etapas subsecuentes Q_6 - Q_{11} se pueden remplazar por un amplificador de frecuencia independiente con el capacitor C_c de realimentación conectado entre las terminales de entrada y salida (fig. 2.71). El modelo sólo es válido cuando las frecuencias de la señal son mucho mayores que $|S_{p1}|$, pero son insignificantes comparadas con la magnitud del polo de alta frecuencia $|S_{p2}|$. De la fig. 2.71, $V_{out}(s) = g_{mi}V_{in}(s) / sC_c$, de manera que la ganancia a alta frecuencia está dada por $A_v(j\omega) = V_{out}(j\omega) / V_{in}(j\omega) = g_{mi}/j\omega C_c$. Por lo que la frecuencia a ganancia unitaria es $\omega_o = g_{mi} / C_c$. Para $|S_{p2}| \gg \omega_o$, la fase de A_v a ω_o de esta manera será cercana a 90° . Esto puede lograrse haciendo a C_c lo suficientemente grande.

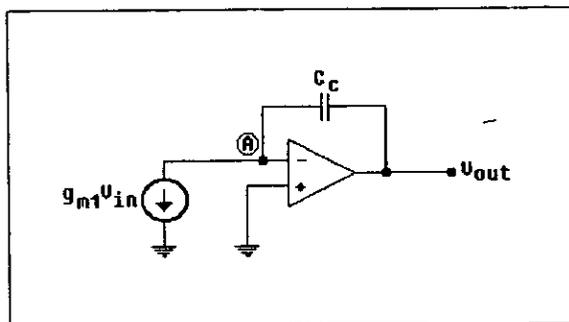


FIGURA 2.71 Modelo de señal pequeña para el op-amp CMOS utilizado para calcular la respuesta en frecuencia.

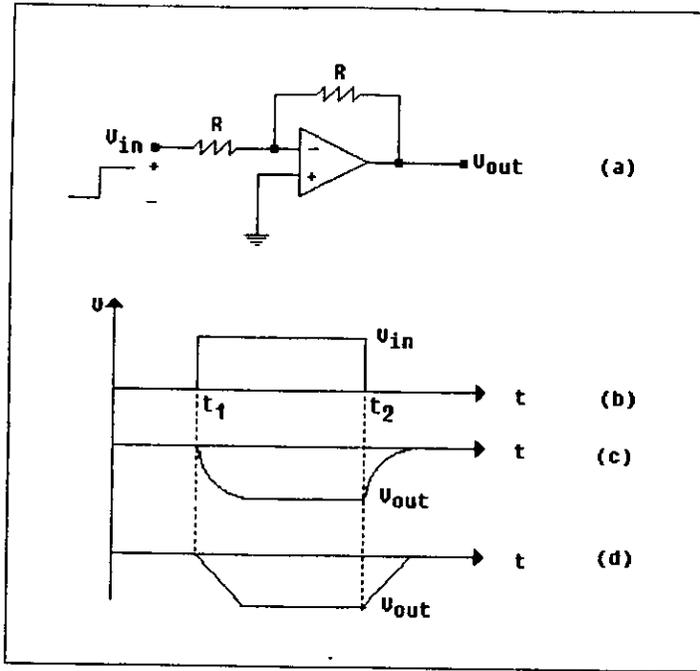


FIGURA 2.72 Respuesta de la variación en el op-amp CMOS conectado en el modo inversor: a) Circuito; b) Señal de entrada; c) Forma de onda de señal pequeña; d) Forma de onda de señal grande.

Considerando a continuación el inversor de voltaje mostrado en la fig. 2.72a. Asumiendo nuevamente que el amplificador está compensado, de manera que su ganancia de voltaje puede aproximarse por

$$A_v(s) = \frac{A_o}{1 - s_p s} \quad (2.129)$$

Por lo tanto, para una entrada escalón $V_{in}(t) = V_1 u(t)$, el voltaje de salida es de la forma

$$v_{out}(t) = -V_1 u(t) \frac{A_o}{A_o + 2} \left[1 - e^{-(A_o/2 + 1) |s_p| t} \right] \quad (2.130)$$

Así, para una señal de entrada de voltaje cuadrada (fig. 2.72b) ocurrirá a la salida el cambio de forma de onda exponencial de la fig. 2.72c.⁴ Si la amplitud de V_1 es pequeña (por decir, mucho menor que un volt), de hecho esto es lo que ocurrirá. Sin embargo, si el voltaje de entrada es mayor ($V_1 = 5$ V), entonces el voltaje de salida experimentalmente observado es el de la forma mostrada en la fig. 2.72d. A la aproximación lineal (más bien que exponencial) de subida y caída de voltaje de $V_{out}(t)$ se le llama variación, y a la constante aproximada de la pendiente dV_{out}/dt de la curva se le llama velocidad de respuesta. La variación es un fenómeno no lineal (señal grande), por lo que debe ser analizado en términos del modelo de señal grande del op-amp mostrado en la fig. 2.73. Antes de llegar a la entrada escalón, $V_{in} = 0$ y las corrientes $I_Q/2$ en Q_1 y Q_2 son iguales. Después de ocurrir una entrada escalón grande, Q_1 conduce más corriente y corta a Q_2 . Por lo consiguiente, la corriente conducida por Q_1 y Q_3 ahora es I_Q (fig. 2.73). Por lo que Q_3 y Q_4 forman un espejo de corriente, la corriente en Q_4 (la cual carga a C_C) también es I_Q . Así, asumiendo que la etapa de salida A_2 puede reducir la corriente I_Q , la velocidad de respuesta es

$$S_r = \left| \frac{dV_{out}}{dt} \right| = \left| -\frac{1}{C_C} \frac{dQ_C}{dt} \right| = \frac{I_Q}{C_C}, \quad (2.131)$$

donde Q_C es la carga en C_C . Aquí, $C_C = g_{mi} / \omega_o$ donde [de la ec. 1.18] la transconductancia de la etapa de entrada es

$$g_{mi} = 2 \sqrt{\frac{I_Q}{2} k' \frac{W}{L}} \quad (2.132)$$

y ω_o es la frecuencia a ganancia unitaria del op-amp. Combinando estas relaciones, se tiene que

$$S_r = \frac{I_Q \omega_o}{g_{mi}} = \omega_o \sqrt{\frac{I_Q}{2k'W/L}} \quad (2.133)$$

⁴La constante de tiempo es $t_o \approx 2 / (A_o |S_{p1}|) \approx 2/\omega_o$.

I_o , proporcionando que la A_2 puede originarse por lo menos a la misma corriente. Por lo que, la velocidad de respuesta de V_{out} es nuevamente I_o / C_c . El proceso se detiene cuando V_{out} (y por lo tanto el voltaje de gate de Q_1) alcanza cero volts.

En la fig. 2.73, el op-amp opera en el modo inversor. La fig. 2.74a ilustra la utilización del op-amp como un seguidor de voltaje a ganancia unitaria. La fig. 2.74b muestra una onda en forma de pulso en la entrada; la fig. 2.74c muestra la correspondiente salida bajo condiciones de señal grande. Como muestra el diagrama, la cresta ascendente contiene un escalón positivo seguido por un rápido aumento de la variación, mientras la caída de la cresta es relativamente una pendiente lineal lenta.

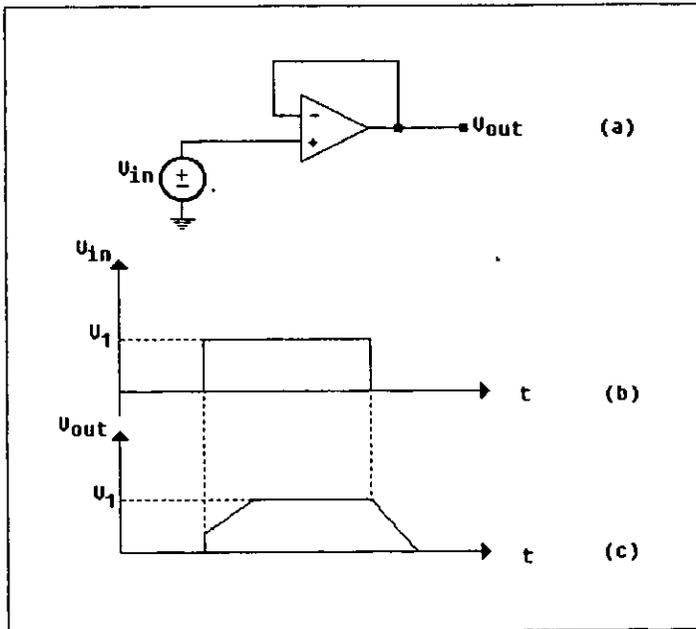


FIGURA 2.74 Variación en un source seguidor: a) Op-amp utilizado como seguidor de voltaje; b) Señal de entrada grande. c) Voltaje de salida.

El comportamiento del aumento de la cresta puede ser comprendido considerando el circuito equivalente de la fig. 2.75. En el circuito, se incluye la capacitancia parásita C_w a través de la etapa de entrada de la fuente de corriente I_o de la etapa. Cabe mencionar que C_w es

completamente grande en op-amps CMOS donde los sources común de los dispositivos de entrada Q_1 y Q_2 son conectados al pozo P, ya que esto crea una gran capacitancia entre el source y el sustrato.

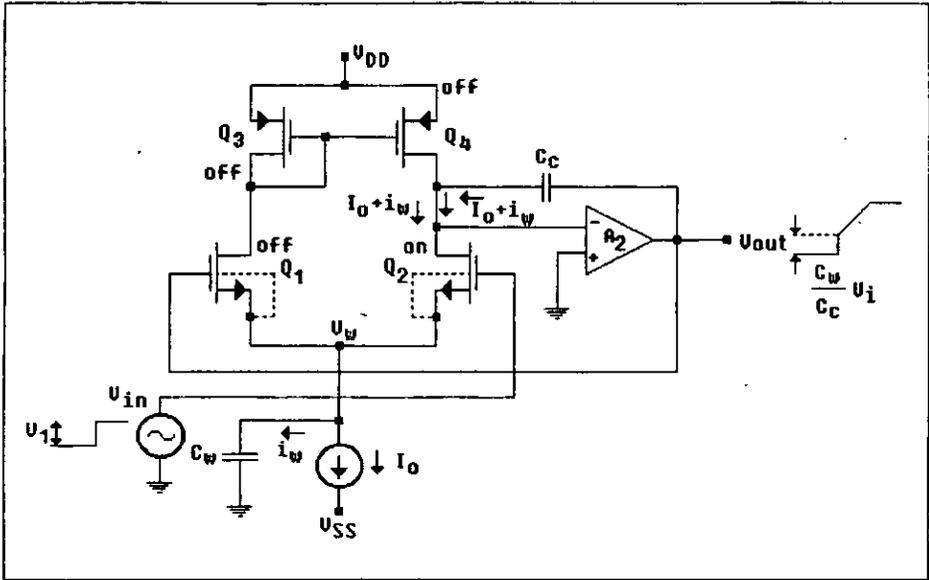


FIGURA 2.75 Circuito equivalente del seguidor de voltaje utilizado para calcular el comportamiento de señal grande para las entradas positivas.

Una señal de entrada grande $v_{in}(t) = V_1 u(t)$ enciende totalmente a Q_2 . Por consiguiente aumenta el voltaje de source v_w y por lo tanto Q_1 y Q_3 son apagados. De esta manera, Q_2 lleva la corriente total $i_o + i_w$, donde $i_w(t)$ es la corriente a través de C_w . Como normalmente la impedancia combinada de C_w y de la fuente de corriente i_o es mucho mayor que la impedancia de excitación ($1/g_{m2}$) de Q_2 , el incremento de la fuente de voltaje es $v_w(t) \simeq v_{in}(t)$. Por lo tanto,

$$i_w(t) = C_w \frac{dv_w(t)}{dt} \simeq C_w \frac{dv_{in}(t)}{dt}, \quad (2.134)$$

la cual es la función impulso $V_1 C_w \delta(t)$. El voltaje de salida satisface

$$v_{out}(t) = \frac{1}{C_c} \int_0^t (I_o + i_w) dt \tag{2.135}$$

$$= \frac{I_o}{C_c} t + \frac{C_w}{C_c} \int_0^t \frac{dv_{in}}{dt} dt = \frac{I_o}{C_c} t + \frac{C_w}{C_c} V_1 u(t).$$

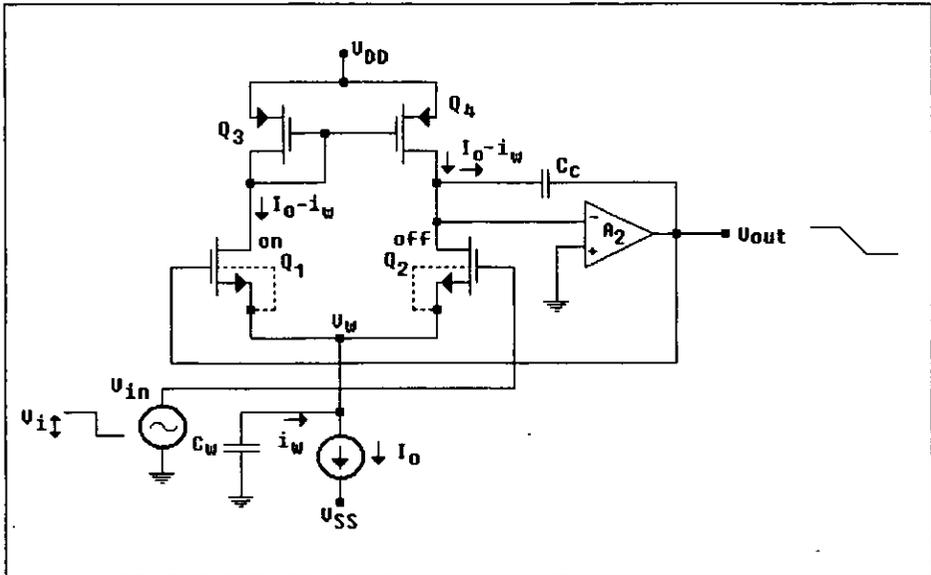


FIGURA 2.76 Circuito equivalente del seguidor de voltaje utilizado para calcular el comportamiento de señal grande para las entradas negativas.

Para un escalón negativo, es aplicable el circuito equivalente de la fig. 2.76. Ahora la señal de entrada apaga a Q_2 , y Q_1 , Q_3 , y Q_4 llevan todos una corriente $I_o - i_w$. Considerando a continuación los dos capacitores C_c y C_w , y notando que C_c es conectado entre $V_{out}(t)$ y tierra (virtual), mientras que C_w es conectado entre V_w y tierra (real). Ahora $V_w(t)$ sigue al voltaje de gate $V_{out}(t)$ de Q_1 , y por lo tanto $V_w \simeq V_{out}$ de manera que

$$\frac{dv_{out}}{dt} = -\frac{I_o - i_w}{C_c} = -\frac{i_w}{C_w} \tag{2.136}$$

Por lo tanto, $i_w = I_o C_w / (C_c + C_w)$ y

$$\frac{dv_{out}}{dt} = - \frac{I_o}{C_c + C_w} \quad (2.137)$$

Por lo que, el negativo de la velocidad de respuesta se reduce por la presencia de C_w , de I_o/C_c a $I_o/(C_c + C_w)$; es decir, por un factor de $1 + C_w/C_c$.

2.10 RUIDO EN AMPLIFICADORES CMOS

El ruido representa una limitación fundamental en el funcionamiento de los op-amps MOS: el voltaje de ruido equivalente puede ser 10 veces mayor que para un comparable amplificador bipolar. Por lo cual, es importante analizar las causas del ruido, y las posibles medidas para reducirlo.

La fig. 2.77 muestra al op-amp CMOS descompensado de la fig. 2.47, con el ruido generado por cada dispositivo Q_i representado simbólicamente por una fuente de voltaje equivalente V_{ni} conectada con el gate.⁵ El cálculo del voltaje de ruido V_{ni} fue brevemente descrito en la sección 1.7. A continuación, combinando las fuentes de ruido $V_{n1} - V_{n4}$ en la etapa de entrada diferencial a una simple fuente equivalente V_{nd} conectada a la entrada de otra etapa de entrada con poco ruido, como se muestra en la fig. 2.78. (Cabe notar que el ruido de Q_5 es una señal en modo común, y por lo tanto es suprimida por el CMRR del op-amp; por eso se omite en la fig. 2.77.) La ganancia de voltaje de las fuentes de ruido V_{n1} y V_{n2} en el nodo de salida (A) de la etapa de entrada puede calcularse utilizando el circuito equivalente para baja frecuencia. Esto da

⁵Tal como indica la fuente que una corriente de ruido $g_{mi}V_{ni}$ fluye en Q_i .

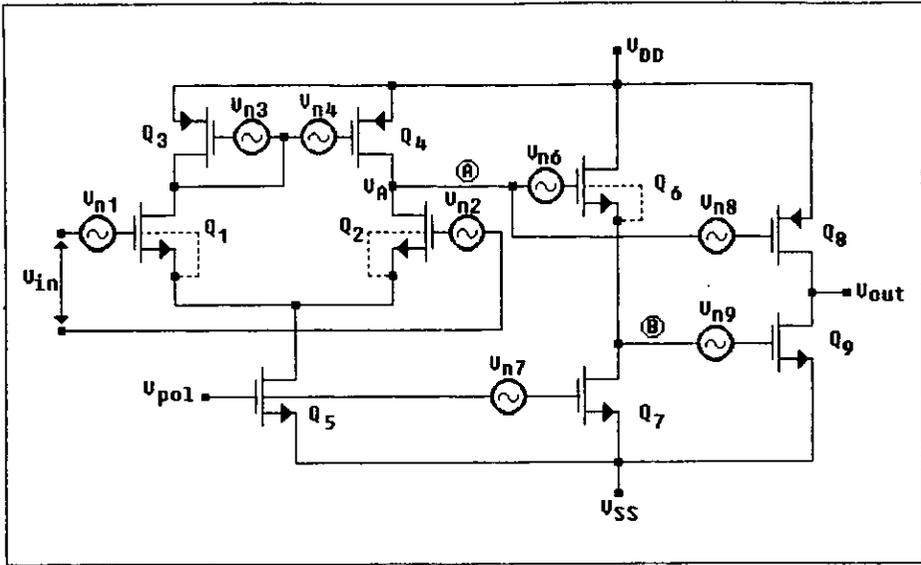


FIGURA 2.77 Fuentes de ruido en un amplificador operacional CMOS.

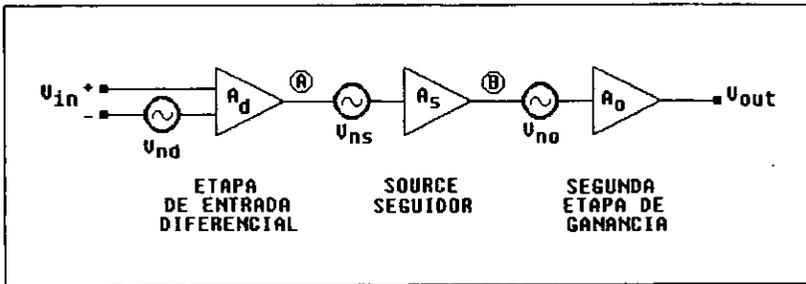


FIGURA 2.78 Diagrama a bloques de un op-amp CMOS de tres etapas con sus fuentes de ruido.

$$A_d = \frac{V_A}{V_{n1}} = \frac{V_A}{V_{n2}} = \frac{g_{m1}}{g_{d2} + g_{d4}} \quad (2.138)$$

Ésta es la misma ganancia de la señal diferencial de la etapa. Similarmente, se puede calcular la ganancia entre las fuentes V_{n3} y V_{n4} y en el nodo A. Físicamente, la fuente de ruido V_{n3}

introduce una corriente de ruido $g_{m3}V_{n3}$ en Q_3 , la cual se refleja en Q_4 . Por lo tanto, V_{n3} causa que las corrientes de Q_3 y Q_4 cambien a $g_{m3}V_{n3}$, y en consecuencia V_A a $g_{m3}V_{n3} / (g_{d2} + g_{d4})$. Es similar el efecto de V_{n4} . Por consiguiente la ganancia es

$$A_v = \frac{V_A}{V_{n3}} = \frac{V_A}{V_{n4}} = \frac{g_{m3}}{g_{d2} + g_{d4}}. \quad (2.139)$$

Como estas fuentes no están completamente correlacionadas, de ellas resulta un voltaje medio cuadrático en el nodo A

$$\overline{V_A^2} = A_d^2(\overline{V_{n1}^2} + \overline{V_{n2}^2}) + A_v^2(\overline{V_{n3}^2} + \overline{V_{n4}^2}). \quad (2.140)$$

Por consiguiente, el voltaje de ruido equivalente de entrada $V_{nd} = V_A / A_d$ tiene el valor medio cuadrático

$$\overline{V_{nd}^2} = \overline{V_{n1}^2} + \overline{V_{n2}^2} + (g_{m4}/g_{m1})^2(\overline{V_{n3}^2} + \overline{V_{n4}^2}). \quad (2.141)$$

Por lo que, para disminuir a $\overline{V_{nd}^2}$ se ve que V_{n1} y V_{n2} deben ser pequeños y $g_{m4} \ll g_{m1}$. Lo anterior, requiere que el área ($W \cdot L$) y la transconductancia (g_m) de Q_1 y Q_2 sean grandes. Para obtener una g_m grande, deben ser grandes las corrientes de polarización y la razón W/L , no obstante, se requieren dispositivos grandes y de alta disipación de potencia.

El ruido causado por los dispositivos de carga se puede reducir, como muestra 2.141, haciendo a su transconductancia tan pequeña como sus condiciones de polarización lo permitan. Esto se puede lograr con incrementos de la longitud L . Así, asumiendo que son dadas las áreas de los dispositivos de entrada y de carga, las razones W/L de los dispositivos de entrada Q_1 y Q_2 deben ser grandes, mientras que las de los dispositivos de carga Q_3 y Q_4 son tan pequeñas como las

condiciones lo permitan.⁶ Además, experimentalmente se ha encontrado que el RMS equivalente de $1/f$ del voltaje V_n de ruido es aproximadamente tres veces mayor para un dispositivo de canal N que para uno de canal P. Puesto que en 2.141 $(g_{m4}/g_{m1})^2 \ll 1$, por lo que ésta es una desventaja de utilizar un dispositivo de entrada canal P con uno de canal N de carga, como se muestra en la fig. 2.77. Aplicando todos los principios, el voltaje de ruido V_{nd} equivalente de entrada puede reducirse considerablemente.

Similarmente, las fuentes de ruido del source seguidor (Q_6, Q_7) pueden ser remplazados por una fuente equivalente V_{ns} (fig. 2.78). Del circuito equivalente de señal pequeña-baja frecuencia,

$$\overline{V_{ns}^2} = \overline{V_{n6}^2} + (g_{m7}/g_{m6})^2 \overline{V_{n7}^2} \quad (2.142)$$

Refiriendo al $\overline{V_{ns}^2}$ anterior para la entrada del op-amp, el circuito equivalente de voltaje de ruido cambia a

$$\begin{aligned} \overline{V_n^2} &\cong \overline{V_{nd}^2} + \overline{V_{ns}^2}/A_d^2 \\ &= \overline{V_{n1}^2} + \overline{V_{n2}^2} + (g_{m4}/g_{m1})^2 (\overline{V_{n3}^2} + \overline{V_{n4}^2}) + \left[\overline{V_{n6}^2} + (g_{m7}/g_{m6})^2 \overline{V_{n7}^2} \right] / A_d^2 \end{aligned} \quad (2.143)$$

Donde para bajas frecuencias $A_d^2 \gg 1$ el efecto de V_{ns} es insignificante, sin embargo, a altas frecuencias esto ya no es verdadero. Como Q_6 y Q_7 se utilizan como un desplazador de nivel, la caída de voltaje gate/source de Q_6 debe ser grande. Por la ec. 1.9, esto puede lograrse para una i_{d6} dada si $k_6 = k'(W/L)_6$ es pequeña. Por lo consiguiente, Q_6 es un dispositivo muy delgado, y $(g_{m7}/g_{m6})^2 \gg 1$. A frecuencias donde $|A_d(\omega)| \approx g_{m7}/g_{m6}$, el efecto de V_{n7} es comparable con el de V_{n1} y V_{n2} . Por consiguiente, debe tenerse cuidado en el diseño de Q_7 para realizar el dispositivo con bajo ruido.

⁶Por lo que, como muestra 2.89, el CMRR decrece si se reduce g_{m1} .

El efecto de las fuentes de ruido V_{n8} y V_{n9} puede analizarse similarmente y pueden representarse por una fuente equivalente V_{no} . Sin embargo, no afectan significativamente el voltaje de ruido equivalente de entrada.

Normalmente, todos los V_{ni} contienen una componente de ruido $1/f$ la cual predomina a baja frecuencia. Por lo consiguiente, el voltaje de ruido equivalente de entrada es más grande a bajas frecuencias (por debajo de 1 kHz) donde $|A_d(\omega)| \gg 1$. Por lo tanto, los dispositivos de entrada Q_1 y Q_2 tienden a ser las fuentes de ruido dominantes, y su optimización es clave para el diseño de bajo ruido.

2.11 OP-AMP NMOS DE MODO ENSANCHAMIENTO

Los amplificadores CMOS tratados en las secciones anteriores proporcionan la realización de un excelente op-amp de alto rendimiento. Sin embargo, puede haber situaciones en que se utilicen op-amp de un solo canal (generalmente NMOS). Y uno obvio es cuando sólo se permite la tecnología NMOS. De cualquier manera, aunque están presentes ambas tecnologías, algunas veces el NMOS ofrece ventajas. Si, por ejemplo, si se combinan funciones analógicas y digitales dentro de un mismo chip, entonces la realización de un NMOS puede resultar con una área mucho menor en todo el chip.

Como se mostró en la sección 2.3 que un circuito NMOS que utiliza dispositivos de modo depleción como carga puede dar una ganancia mucho mayor comparandola con una etapa que sólo utiliza dispositivos de modo ensanchamiento. No obstante, que el op-amp NMOS que utiliza sólo dispositivos de modo ensanchamiento puede diseñarse para proporcionar una ganancia de malla abierta de 60 dB y un funcionamiento comparable con el del amplificador que utiliza dispositivos de modo depleción como carga. Este op-amp puede utilizarse en algunos circuitos, de comunicaciones, donde sólo se requiere una ganancia moderada y en donde el op-amp tiene que

excitar sólo a cargas capacitivas. Una importante ventaja del amplificador que utiliza solamente dispositivos de modo ensanchamiento sobre el ensanchamiento-depleción es que es menos dependiente del proceso. Esto es porque el voltaje de umbral del transistor de modo ensanchamiento es generalmente mejor definido que para los MOSFETs de modo depleción.

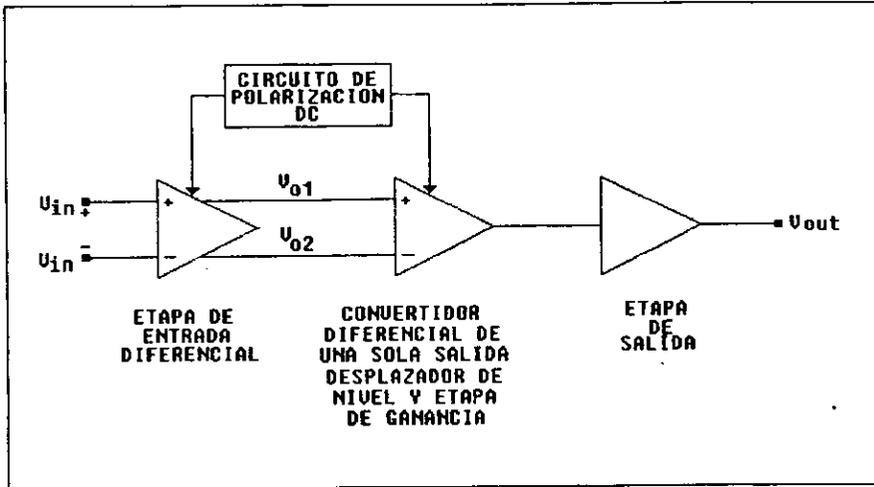


FIGURA 2.79 Diagrama a bloques del op-amp CMOS que utiliza solo dispositivos de modo ensanchamiento.

El diagrama a bloques de un op-amp que utiliza sólo dispositivos de modo ensanchamiento se muestra en la fig. 2.79. La etapa de entrada diferencial puede ser simplemente un par de sources acoplados (la fig. 2.39, redibujada por conveniencia en la fig. 2.80). En el circuito de la fig. 2.80, Q_4 está polarizado por el cable de polarización, y actúa como una fuente de corriente.

El rango lineal de la etapa entrada puede calcularse para voltajes en modo común. Si $v_{in+} = v_{in-} = v_c$. Como se incrementa v_c , la corriente permanece sin cambiar (idealmente), con $i_1 = i_2 = i/2$. Por lo tanto, $v_{o1} = v_{o2}$. Sin embargo, el potencial v de source de Q_5 y Q_6 sigue a v_c , con una caída de voltaje $V_{GS5} = V_{GS6}$ necesaria para mantener a la corriente $i/2$ en Q_5 y Q_6 . De esta manera, V_{DS5} y V_{DS6} son reducidos. El voltaje $V_{C\text{ máx}}$ máximo en modo común es el valor

mayor para el cual la entrada de los transistores Q_5 y Q_6 están todavía en saturación. El voltaje de drain a source de Q_5 entonces es

$$V_{DS5} = V_{DD} - V_{GS7} - (V_{C\text{máx}} - V_{GS5}). \quad (2.144)$$

Donde, V_{GS5} y V_{GS7} son los voltajes de gate a source de Q_5 y Q_7 , respectivamente, y V_{DS5} es el voltaje de drain a source de Q_5 . Para mantener a Q_5 en saturación, se debe tener que

$$V_{DS5} \geq V_{GS5} - V_{T5} \quad (2.145)$$

donde V_{T5} es el voltaje de umbral de Q_5 . De 2.144 y 2.145

$$V_{C\text{máx}} = V_{DD} + V_{T5} - V_{GS7}. \quad (2.146)$$

Aquí, puede calcularse a V_{GS7} de la corriente de drain i_1 (la cual es la mitad de la corriente de polarización i) y el potencial source a bulk (sustrato) ($V_{01} - V_{SS}$) de Q_7 .

El voltaje $V_{C\text{mín}}$ mínimo permisible en modo común es el valor más pequeño para el cual Q_4 continua en saturación. De esta manera, satisface a

$$V_{DS4} = V_{C\text{mín}} - V_{GS5} - V_{SS} \geq V_{GS4} - V_{T4}. \quad (2.147)$$

De 2.147,

$$V_{C\text{mín}} = V_{GS4} + V_{GS5} - V_{T4} + V_{SS}. \quad (2.148)$$

El rango de entrada en modo común de la etapa de entrada es por lo consiguiente

$$V_{C\text{máx}} - V_{C\text{mín}} = V_{DD} - V_{SS} - V_{GS4} - V_{GS5} - V_{GS7} + V_{T4} + V_{T5}. \quad (2.149)$$

Este rango puede incrementarse reduciendo la caída de voltaje dc de gate-source de todos los transistores (entrada, carga, y fuentes de corriente). Esto puede lograrse reduciendo la corriente de polarización, o incrementando las razones de W/L de todos los dispositivos. Sin embargo, en medida de lo anterior, se reduce la velocidad de respuesta, mientras que lo anterior incrementará el tamaño del circuito.

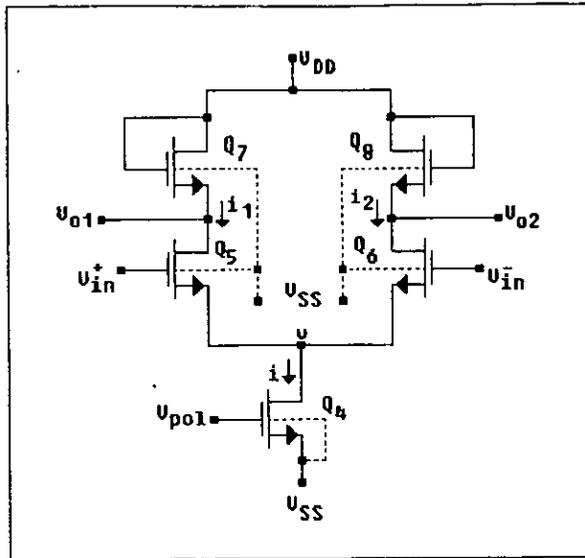


FIGURA 2.80 Par source acoplado con dispositivos de modo ensanchamiento como carga, utilizado como una etapa de entrada diferencial.

La ganancia diferencial del par source acoplado derivada en la sección 2.5 y dada por la ec. 2.47. Asumiendo que g , $g_{d\ell}$, y g_{di} son mucho menores que g_{mi} , $g_{m\ell}$, y $|g_{mb\ell}|$, resulta

$$V_{O1} = -V_{O2} \cong \frac{-g_{mi}^2}{g_{m\ell} + |g_{mb\ell}|} (V_{in+} - V_{in-}). \quad (2.150)$$

Donde, el subíndice i se refiere a los dispositivos de entrada Q_5 y Q_6 , mientras que ℓ se refiere a los dispositivos de carga Q_7 y Q_8 . Por lo cual, la ganancia en modo diferencial está dada por

$$A_{dm} = \frac{V_{01} - V_{02}}{V_{in+} - V_{in-}} = \frac{-g_{mi} g_{mf}}{1 + |g_{mb\ell}| g_{mf}} \quad (2.151)$$

Utilizando las ec's. 1.18 y 1.19 con $\lambda \approx 0$, se tiene que

$$A_{dm} \approx \frac{\sqrt{(W.L)_i (W.L)_\ell}}{1 + (\gamma, 2) \sqrt{2|\phi_p| + V_{BS\ell}^0}} \quad (2.152)$$

Normalmente, con este circuito puede lograrse que $|A_{dm}| = 10 \sim 15$.

La ganancia en modo común del par source acoplado fue dada por las ec's 2.44 y 2.53; para $g_{di} \approx 0$, esta relación da

$$A_{cm} \approx \frac{-g_{d4} \cdot 2}{g_{mf} + |g_{mb\ell}|} \quad (2.153)$$

De 2.151 y 2.153, puede encontrarse la relación de rechazo en modo común:

$$CMRR \approx \frac{2g_{mi}}{g_{d4}} \quad (2.154)$$

Ésta puede ser tan grande como 50-60 dB; y puede aumentar con una realimentación en modo común, como se mostrará más adelante.

Una posible realización de la segunda etapa (desplazador de nivel, etc.) se muestra en la fig. 2.81. Este circuito es el mismo como el dado en la fig. 2.43 (con un capacitor de realimentación C_c el cual sólo afecta la respuesta a alta frecuencia, y que se tratará más adelante). La respuesta a baja frecuencia por lo consiguiente está dada por 2.57. Para el caso común donde las

realimentación negativa para reducir la impedancia de salida. Para este circuito buffer, la ganancia de voltaje a baja frecuencia fue dada por 2.42; cambiando apropiadamente los subíndices, para el circuito de la fig. 2.82 resulta

$$A_v^3 = \frac{V_{out}}{V_0} = \frac{g_{m13} \cdot g_{m14}}{1 + g_{m15}/g_{m16}} \quad (2.157)$$

Es posible que $A_v^3 = 7 \sim 10$.

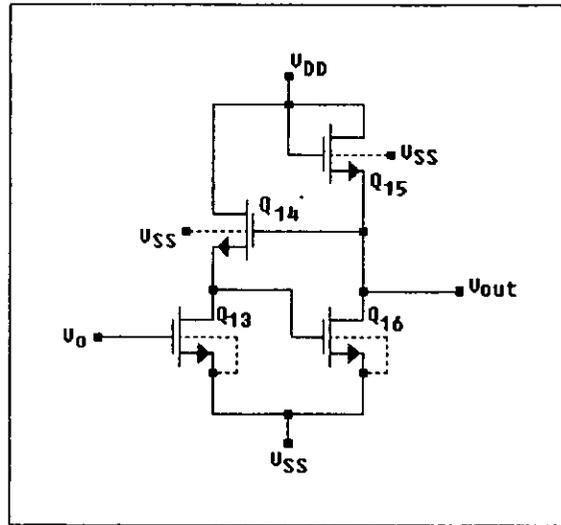


FIGURA 2.82 Etapa de salida.

La capacitancia C_c de entrada en el circuito de salida, carga al nodo de salida de la etapa del desplazador de nivel. La impedancia de salida de la etapa es (de la fig. 2.43b)

$$R_o \approx \frac{1}{g_{m12}} \quad (2.158)$$

Por lo tanto, el área del gate de Q_{13} debe elegirse lo suficientemente pequeña, de manera que el polo $1/R_O C_{in}$ debido a que C_{in} sea más grande que la frecuencia ω_O a ganancia unitaria.

La ganancia total de voltaje de señal pequeña-baja frecuencia del op-amp se puede obtener ahora de las ec's 2.156 y 2.157:

$$A_v = \frac{V_{out}}{V_{in+} - V_{in-}} = A_v^{1,2} A_v^3 \sim \frac{g_{m13}}{g_{m14}} \frac{g_{m5}/2}{g_{m7} + |g_{mb7}|} \frac{1 + g_{m11}/g_{m12}}{1 + g_{m15}/g_{m16}} \quad (2.159)$$

Es posible que la $A_v > 2000$.

El circuito completo de un exitoso op-amp NMOS que utiliza sólo dispositivos de modo ensanchamiento basándose en los principios descritos se muestra en la fig. 2.83. En el circuito, Q_1 , Q'_1 , Q_2 y Q_3 forman la cadena de polarización. Q_1 y Q'_1 proporcionan una realimentación en modo común para mejorar el CMRR, como fue descrito en la sección 2.5 (fig. 2.41). El desplazador de nivel difiere al mostrado en la fig. 2.81, ya que en la división de cargas (Q_9 y Q'_9 , Q_{12} y Q'_{12}) se utilizan más bien transistores sencillos de carga. Como se describió anteriormente en la sección 2.6, en conexión con la fig. 2.47, esto incrementa el ancho de banda por lo que hace posible una alta ganancia.

La adición de los capacitores C_c , C_1 , y C_2 los cuales se utilizan para lograr la compensación y para mejorar la respuesta en frecuencia del op-amp. Considerando las características de transferencia entrada-salida a alta frecuencia del desplazador de nivel y de la ganancia de la etapa (fig. 2.81). Puede escribirse en el dominio de la transformada de Laplace como

$$V_0(s) = A_1(s)V_{01}(s) + A_2(s)V_{02}(s), \quad (2.160)$$

donde V_0 , V_{01} , y V_{02} denotan la transformada de Laplace de v_0 , v_{01} , y v_{02} , respectivamente. La trayectoria de V_{02} a V_0 es simplemente a través del source seguidor Q_{11} - Q_{12} (fig. 2.81); por lo tanto, $A_2(s)$ es una función de transferencia de la forma

$$A_2(s) = \left. \frac{V_0(s)}{V_{01}(s)} \right|_{V_{01}(s)=0} = A_2(0) \frac{1+s/s_{z1}}{1+s/s_{p1}} \quad (2.161)$$

como se vio en las ec's 2.79-2.81 de la sección 2.6. Donde, s_{z1} , y s_{p1} son dados por 2.81, y son determinados por g_{m12} , C_{gs12} , y por la capacitancia total de carga conectada al source de Q_{12} .

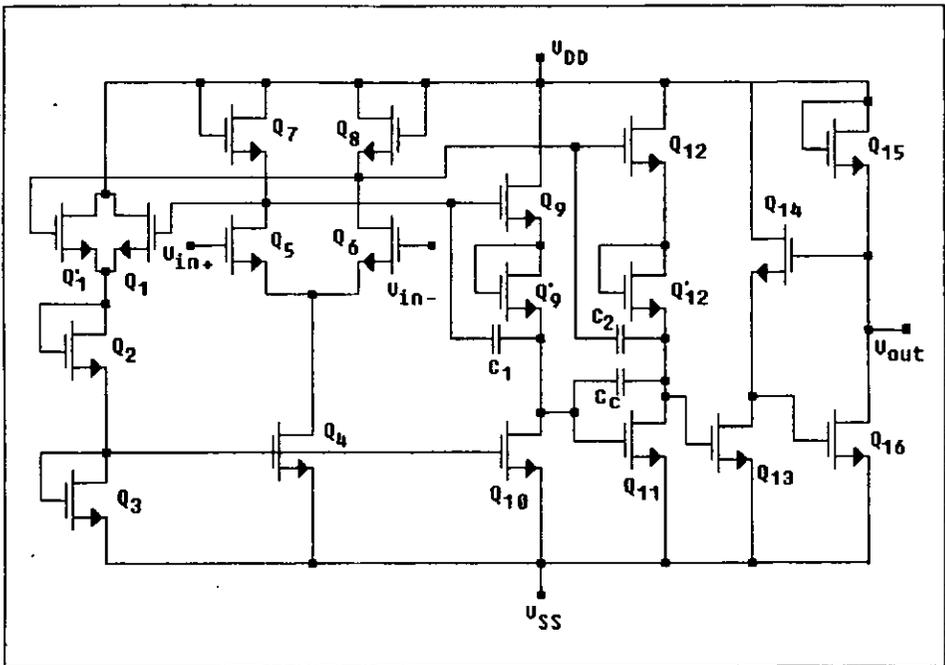


FIGURA 2.83 Circuito completo para el op-amp NMOS que utiliza sólo dispositivos de modo ensanchamiento. Los sustratos de todos los transistores son conectados a V_{SS} .

En contraste, la trayectoria de V_{01} a V_0 es a través del source seguidor Q_9 - Q_{10} y la etapa de ganancia Q_{11} y Q_{12} (fig. 2.81). Por consiguiente,

$$A_1(s) = \frac{V_0(s)}{V_{01}(s)} \Big|_{V_{02}(s)=0} = A_1(0) \frac{1 + s/s_{z2}}{1 + s/s_{p2}} \frac{1 - s/s_{z3}}{1 - s/s_{p3}} \quad (2.162)$$

como se ha visto de las ec's 2.79-2.81 y 2.69-2.71 de la sección 2.6.⁷ Donde, S_{z2} y S_{p2} se deben al source seguidor Q_9 y Q_{10} , y por consiguiente sus valores son determinados por g_{m9} , C_{gs9} y por la capacitancia total de carga C_L en el source de Q_9 . Si el capacitor C_c se conecta como muestra la fig. 2.81, con lo cual su valor (como se vio en el source de Q_9) cambia debido al efecto Miller; ya que se multiplica por la ganancia de la etapa Q_{11} - Q_{12} , de esta manera, la capacitancia de carga es

$$C_L = C_c(1 + g_{m11}/g_{m12}) + C_{in} \quad (2.163)$$

donde C_{in} es la capacitancia total de la unión del gate conectada al source de Q_9 . La impedancia de salida del source seguidor Q_9 - Q_{10} es aproximadamente $1/g_{m9}$; por lo que, la frecuencia del polo asociado con C_L es

$$s_{p2} \approx \frac{g_{m9}}{C_{in} + C_c(1 + g_{m11}/g_{m12})} \quad (2.164)$$

Puesto que puede hacerse mayor a $C_c(1 + g_{m11}/g_{m12})$, se elige a S_{p2} como el polo dominante del op-amp. La ganancia dc $A_1(0)$ es negativa.

El segundo par polo/cero (S_{p3} y S_{z3}) corresponde a la etapa de ganancia Q_{11} - Q_{12} : S_{p3} es el producto de la resistencia de salida de la etapa multiplicada por la capacitancia de carga de la terminal de salida, mientras que el cero del plano medio derecho está dado por $S_{z3} = g_{m11}/C_c$. Como C_c es grande y g_{m11} es relativamente pequeño, S_{z3} se da a una baja frecuencia.

⁷Cabe notar que la ec. 2.69 contiene dos polos para la función de transferencia de la etapa de ganancia. Sin embargo, el polo $-G_m/C_{in}$ ya se incluye en $A_1(s)$ como S_{p2} .

Para encontrar la función de transferencia total de la entrada en cascada y de las etapas del desplazador de nivel, se ve que de 2.148 $V_{01} = -V_{02} = A_i(s)(V_{in+} - V_{in-})$. Donde, $A_i(s)$ es la función de transferencia de la etapa de entrada la cual (por simetría del circuito) es la misma para $V_{01}(s)$ y $-V_{02}(s)$. Por lo tanto, utilizando a 2.160,

$$\begin{aligned} V_o &= [A_1(s) - A_2(s)]V_{01}(s) \\ &= A_i(s)[A_1(s) - A_2(s)](V_{in+} - V_{in-}). \end{aligned} \quad (2.165)$$

Por consiguiente, por 2.161 y 2.162 la función de transferencia es

$$\begin{aligned} A(s) &= \frac{V_o(s)}{V_{in-}(s) - V_{in+}(s)} = A_i(s)[A_1(s) - A_2(s)] \\ &= A_i(s) \left(A_1(0) \frac{1+s/s_{z2}}{1+s/s_{p2}} \frac{1-s/s_{z3}}{1+s/s_{p3}} - A_2(0) \frac{1+s/s_{z1}}{1+s/s_{p1}} \right) \\ &= A_i(s)[A_1(0) - A_2(0)] \frac{(1+s/s'_{z1})(1+s/s'_{z2})(1+s/s'_{z3})}{(1+s/s_{p1})(1+s/s_{p2})(1+s/s_{p3})}. \end{aligned} \quad (2.166)$$

Como se explico anteriormente, S_{p2} es el polo dominante. Los otros dos polos pueden ser cancelados por dos de los nuevos ceros, por decir S'_{z1} y S'_{z2} . Para mejorar esto, pueden utilizarse los capacitores C_1 y C_2 (fig. 2.83). Agregando su capacitancia a C_{gs9} y C_{gs12} , respectivamente, por lo tanto, acercando a S_{z1} , S_{z2} , S_{p1} y S_{p2} , así como también a S'_{z1} y S'_{z2} . Éstos pueden entonces cancelar a S_{p1} y S_{p3} . En el diseño de este circuito, debe tenerse cuidado en evitar cualquier mal acoplamiento del par polo/cero por debajo de la frecuencia a ganancia unitaria ω_o .

Un op-amp basado en el circuito de la fig. 2.83 fabricado utilizando el proceso de gate de metal. Puede lograrse una ganancia dc de malla abierta de 60 dB, y un ancho de banda de ganancia unitaria de 3 MHz.

2.12 EL OP-AMP NMOS CON DISPOSITIVOS DE MODO DEPLECIÓN COMO CARGA

Si es insuficiente la ganancia lograda por las etapas amplificadoras NMOS que utilizan solo dispositivos de modo ensanchamiento, pueden utilizarse dispositivos de modo depleción como carga. Como mostró el análisis de la sección 2.3, éstas pueden proporcionar más ganancia que los dispositivos de modo ensanchamiento como carga. Una etapa diferencial NMOS con dispositivos de modo depleción como carga fue mostrada en la fig. 2.42. Su ganancia en modo diferencial puede obtenerse de las ec's 2.53 y 2.55:

$$A_{dm} \approx \frac{-g_{mi}}{g_{d\ell} + |g_{mb\ell}|} \approx -\frac{g_{mi}}{|g_{mb\ell}|} \quad (2.167)$$

Donde, g_{mi} es la transconductancia de los dispositivos de entrada Q_1 y Q_2 , $g_{d\ell}$ es la conductancia (pequeña) del drain de los dispositivos de carga Q_3 y Q_4 , y $g_{mb\ell}$ es la transconductancia del efecto sustrato.

Utilizando las ec's 1.18 y 1.19 en 2.167, se tiene que

$$A_{dm} \approx -\sqrt{\frac{(W/L)_i}{(W/L)_\ell}} \frac{2\sqrt{2|\phi_p| + v_{SB\ell}^0}}{\gamma} \quad (2.168)$$

Donde, $v_{SB\ell}^0 > 0$.

Comparándola con 2.152 muestra que para iguales dimensiones e iguales constantes γ , ϕ_p , $v_{SB\ell}^0$ la ganancia ahora es más grande por un factor, el cual para valores comunes es de alrededor 10; incluyendo el efecto de $g_{d\ell}$, pueden conseguirse ganancias del orden de 50 ~ 100 con una etapa de entrada que utiliza dispositivos de modo depleción como carga. Como mostró 2.168, $|A_{dm}|$ puede aumentarse incrementando $(W/L)_i$, reduciendo $(W/L)_\ell$, incrementando $v_{SB\ell}^0$, y

reduciendo γ . Lo último puede lograrse reduciendo la densidad del dopado del sustrato N_{imp} , como indica 1.13.

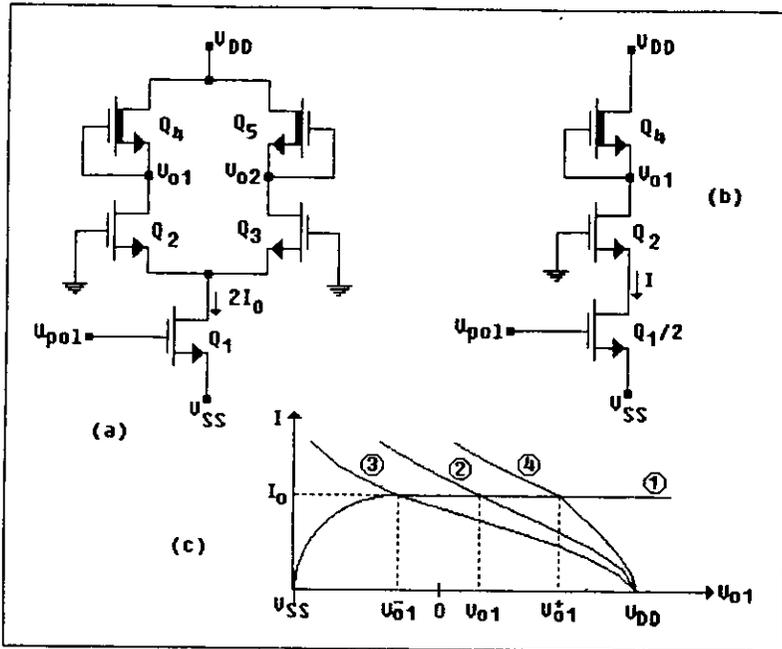


FIGURA 2.84 a) Etapa de entrada con dispositivos de modo depleción como carga y con las terminales de entrada a tierra. b) Medio circuito de la fig. 2.84a. c) Curva voltaje-corriente para los dispositivos de entrada (curva 1), y líneas de carga (curvas 2-4) para los dispositivos de carga con diferentes voltajes de umbral.

Como se mencionó anteriormente, el precio que se paga por una alta ganancia en la etapa de entrada con dispositivos de modo depleción como carga es su sensibilidad, la cual es pobremente controlada por el voltaje de umbral de los dispositivos de modo depleción. Esto se muestra en la fig. 2.84. La fig. 2.84a muestra la etapa de entrada con las terminales de entrada a tierra; y la fig. 2.84b al correspondiente medio circuito. Finalmente, la Fig. 2.84c ilustra la característica voltaje-corriente de los dispositivos combinados en cascada Q_1 y Q_2 (curva 1), así como las líneas de carga de Q_4 para su voltaje de umbral nominal (curva 2) para un bajo voltaje de umbral (curva 3) y para un alto voltaje de umbral (curva 4). Para una variación del voltaje de umbral de ± 0.3 V, la

variación de $V_{01}^+ - V_{01}^-$ puede ser tan grande como 5 V. Esto puede ocasionar variaciones inaceptables en la ganancia y en el rango de voltaje de entrada en modo común del op-amp.

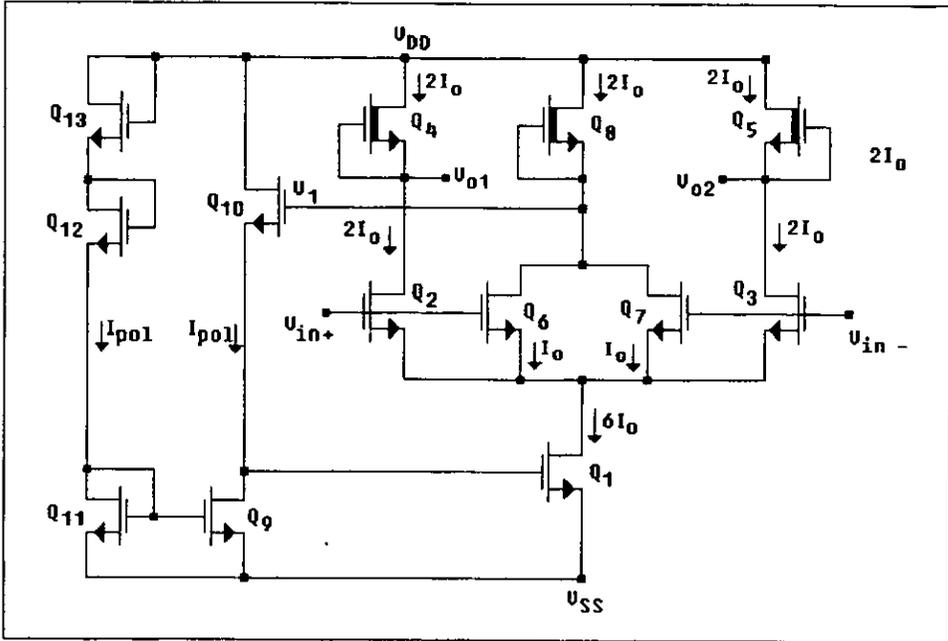


FIGURA 2.85 Etapa de entrada NMOS source acoplado con un dispositivo de modo depleción como carga.

Una etapa mejorada que utiliza realimentación negativa para reducir la sensibilidad de V_{01} y V_{02} para las variaciones del voltaje de umbral se muestra en la fig. 2.85. En este circuito, un incremento de V_1 debido al aumento del voltaje de umbral ocasiona (vía el source seguidor Q_9 y Q_{10}) un incremento de V_{GS1} , y por lo consiguiente un incremento de I_0 . Esto, en turno, reduce a V_1 . Puede mostrarse que la sensibilidad de V_{01} , V_1 y V_{02} para las variaciones del voltaje de umbral de los MOSFETs de modo depleción es por lo consiguiente reducida a alrededor de 1; es decir, una variación de ± 0.3 V en el voltaje de umbral causa aproximadamente el mismo cambio en V_{01} , V_1 y V_{02} .

Para un rango de voltaje en modo común máximo, la caída de voltaje dc a través de los tres dispositivos de carga de modo depleción debe ser lo suficiente para mantenerlos en la región de

saturación para un rango de valores de V_{DD} . De aquí, V_1 y los valores dc de V_{O1} y V_{O2} deberán seguir a V_{DD} . Esto puede lograrse aproximadamente para el circuito de la fig. 2.85 como a continuación. Debido al espejo de corriente Q_9 - Q_{11} , iguala la corriente en Q_{10} y Q_{12} . Por lo que, si Q_{10} y Q_{12} son dispositivos acoplados, entonces $V_{GS10} \simeq V_{GS12}$. Si además se hace a $(W/L)_9 / (W/L)_1 = I_9 / I_1 = I_{pol} / 6I_0$, entonces $V_{GS9} = V_{GS11} \simeq V_{GS1}$. Por consiguiente, $V_1 = V_{GS10} + V_{GS1} \simeq V_{GS12} + V_{GS11} = V_2$. Por lo tanto, V_1 (y por lo tanto también V_{O1} y V_{O2}) sigue a V_2 . V_2 , en turno sigue a V_{DD} ya que se obtuvo de V_{DD} por medio de un divisor de voltaje vía Q_{11} , Q_{12} , y Q_{13} . Por lo que, se logra el seguimiento deseado entre V_1 , V_{O1} y V_{O2} y V_{DD} .

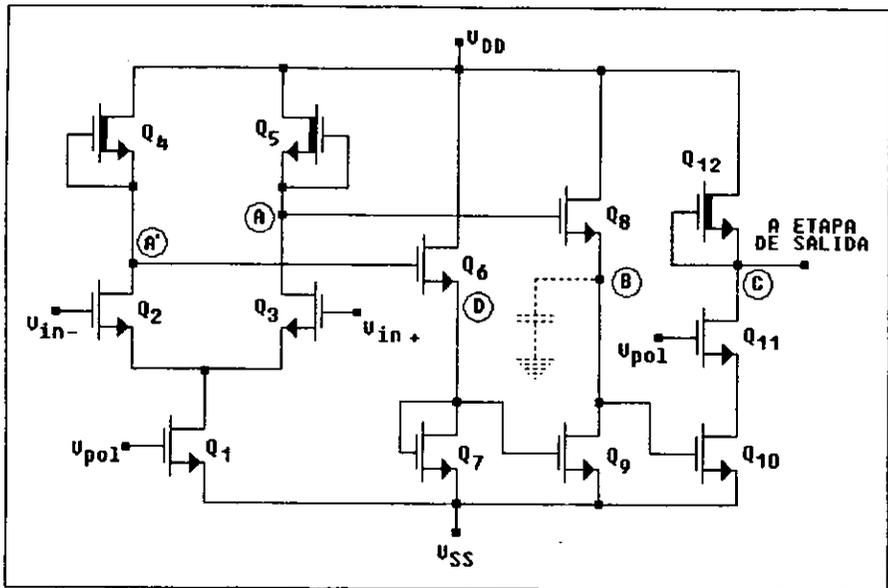


FIGURA 2.86 Amplificador operacional NMOS con dispositivos de modo depleción como carga.

La ganancia de voltaje diferencial $(V_{O1} - V_{O2}) / (V_{in+} - V_{in-})$ en un par source acoplado es dos veces mayor que la ganancia individual $V_{O1} / (V_{in+} - V_{in-})$ ó $V_{O2} / (V_{in+} - V_{in-})$. De aquí, es la ventaja de utilizar la excursión de salida completamente diferencial $(V_{O1} - V_{O2})$ por la utilización de un convertidor de una sola salida. Como en el op-amp NMOS que utiliza sólo dispositivos modo ensanchamiento, también es posible conseguir una ganancia de voltaje adicional en esta etapa.

Sin embargo, esta ganancia es baja, comparable con la de una etapa de ganancia que utiliza sólo dispositivos de modo ensanchamiento. Por lo consiguiente, para obtener un op-amp de alto rendimiento, el convertidor debe ser seguido por una segunda etapa de alta ganancia con un dispositivo de modo depleción como carga. Un ejemplo de tal circuito se muestra en la fig. 2.86; la etapa de ganancia utiliza el circuito cascodo visto en la sección 2.6 (fig. 2.51). La etapa convertidora (Q_6 , Q_7 , Q_8 , Q_9) sólo utiliza dispositivos de modo ensanchamiento.

La compensación de este op-amp puede lograrse por descomposición de polos. Idealmente, los únicos nodos de alta impedancia son A, A', y C (fig. 2.86). Por consiguiente, ocasionará una compensación por la realimentación negativa vía el capacitor conectado entre los nodos A y C. Si, V_{DD} y V_{SS} son grandes, entonces es necesaria una caída de voltaje dc grande a través del desplazador de nivel (transistores Q_6 y Q_8) para una correcta polarización en la etapa de salida. Esto requiere pequeñas razones de (W/L) y por consiguiente pequeñas g_m para estos dispositivos. Como la impedancia de salida en el nodo B es aproximadamente $1/g_{m8}$, resulta un polo a $-g_{m8}/C_B$ el cual se da a baja frecuencia, y de aquí el efecto de la función de transferencia de la trayectoria directa del nodo A al nodo de salida C. Por eso, cuando el capacitor del polo descompuesto se agrega entre los nodos A y C, la realimentación del circuito tendrá un par de polos complejos extras. Dependiendo de los valores del elemento, éstos pueden introducir picos o incluso amortiguamiento por oscilación dentro de la respuesta en el tiempo.

Para reducir la impedancia de salida a alta frecuencia en el nodo B, puede conectarse un pequeño capacitor C_B entre los nodos A y B. Similarmente, el efecto del polo extra introducido por la alta impedancia al nodo D puede reducirse conectando un pequeño capacitor C_6 entre los nodos A' y D. Como se vio anteriormente en la sección 2.6, en conexión con la fig. 2.50c y las ec's 2.79-2.81, con una apropiada elección de C_6 y C_B puede conseguirse una aproximación para la cancelación polo/cero, y eliminar a los polos extras. Cuando se utiliza esta técnica, debe tenerse cuidado en evitar tomar cualquier polo/cero por debajo de la frecuencia a ganancia unitaria; tal par degrada la respuesta transitoria.

Una alternativa, que evita completamente los polos adicionales introducidos por la extra alta impedancia en los nodos del convertidor, es utilizar una baja impedancia en el desplazador de

nivel. Un esquema simplificado de tal op-amp se muestra en la fig. 2.87. La etapa del desplazador de nivel consiste ahora de dos fuentes de voltaje flotantes iguales a $V_1 = V_2 = V$ y un espejo de corriente (Q_6 - Q_7). Esto es seguido por una segunda etapa de ganancia (Q_{10} - I_0) con alta impedancia de salida. Por lo que, es necesaria una segunda etapa de salida en la mayoría de las aplicaciones.

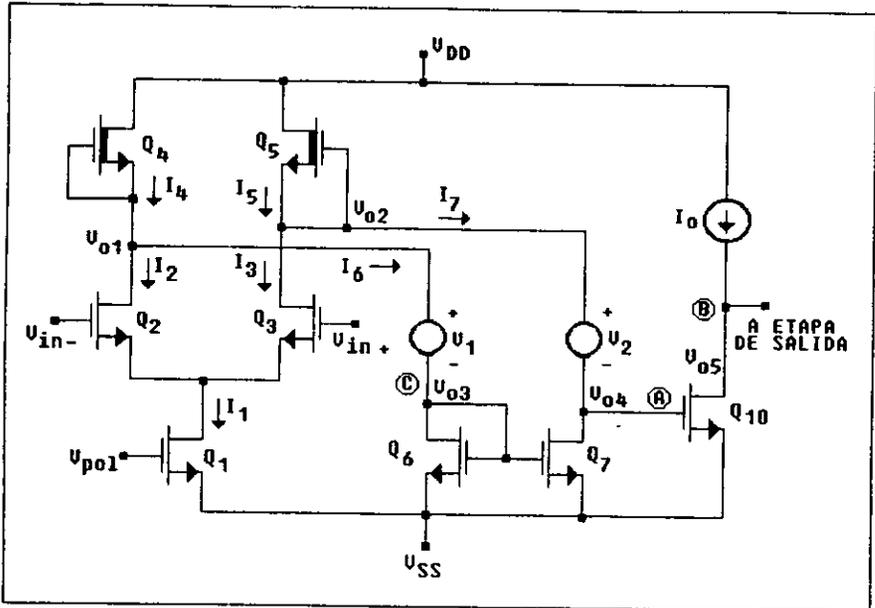


FIGURA 2.87 Esquema simplificado del op-amp NMOS con desplazador de nivel y baja impedancia.

La impedancia incrementada de Q_6 en el nodo C es aproximadamente $1/g_{m6}$, la cual es baja ya que $(W/L)_6 \gg 1$. Por consiguiente, ahora sólo A y B son los dos nodos de alta impedancia, y un capacitor C de polo descompuesto puede ser conectado entre estos nodos. La segunda etapa de ganancia (Q_{10} - I_0) actúa como un integrador, la cual determina únicamente la ganancia y la respuesta en fase de todo el op-amp.

Si $V_{in+} = V_{in-}$; entonces para una etapa de entrada simétrica $I_2 = I_3 = I_1/2$, $I_4 = I_5$ e $I_6 = I_7 = I_4 - I_1/2$. El valor de I determina el voltaje gate a source de V_{03} de Q_6 , que por simetría se acopla a Q_6 y Q_7 de la misma manera que V_{04} . Cualquier variación simétrica de ΔV de V_1 y V_2

ocasionará cambios proporcionales de ΔI en I , y ΔV_{03} en V_{03} y V_{04} . La impedancia de salida de la etapa Q_2 - Q_4 en el drain de Q_2 es $r_{01} = 1 / (g_{d2} + g_{d4} + |g_{mb4}|)$; la impedancia de Q_6 en el nodo C es $1 / g_{m6}$. Por consiguiente, cuando V_1 cambia, I cambia por

$$\Delta I = -\Delta V / (r_{01} + 1/g_{m6}) \quad (2.169)$$

y V_{03} y V_{04} cambian por

$$\Delta V_{03} = \Delta V_{04} = \Delta I / g_{m6} = -\Delta V / (r_{01}g_{m6} + 1). \quad (2.170)$$

Como típicamente $r_{01} \approx 1 / |g_{mb4}| \gg 1 / g_{m6}$, una buena aproximación a utilizar es $\Delta I \approx -|g_{mb4}|\Delta V$ y $\Delta V_{04} \approx -(|g_{mb4}| / g_{m6})\Delta V$. Para reducir las sensibilidades de I y V_{04} para cambios en V_1 , $|g_{mb4}|$ por lo tanto debe ser pequeño, mientras que g_{m6} debe ser grande. Ya que variaciones de V_{04} cambian el voltaje de desviación dc, ésta es una importante consideración.

Debe notarse que la alta impedancia de salida de la etapa de entrada es cargada por la baja impedancia del desplazador nivel, y por tanto la etapa de entrada proporciona una corriente, más bien que voltaje a la salida. Por consiguiente, opera como un amplificador de transconductancia. La ganancia diferencial $\Delta V_{04} / V_d$ es $g_{m1}r_{d7}$.

Un circuito que puede utilizarse para realizar la fuente de voltaje flotante V_1 se muestra en la fig. 2.88. En este circuito, V_{GS8} es determinado por I y V_{GS9} por I_b , y el voltaje flotante es $V_1 = V_{GS9} + V_{GS8}$. Para un cambio ΔI en la corriente I , V_{GS8} (y por lo consiguiente también a V_1) cambia por $\Delta V_1 = \Delta V_{GS8} = \Delta I / g_{m8}$. Por consiguiente, g_{m8} es mayor, la menor sensibilidad será para V_1 para variaciones de I . Por lo que, se desea que $(W/L)_8 \gg 1$. Por consiguiente $V_{GS8} \ll V_{GS9} \approx V_1$. Como V_{GS9} es independiente de I , el circuito se comportará como una fuente de voltaje ideal. Para grandes valores de $V_1 \approx V_{GS9}$, puede ser necesario que $(W/L)_9 \ll 1$.

El potencial V_{01} del gate de Q_9 debe ser $V_{DD} - |V_{TD}|$; por lo cual Q_4 apenas se encuentra en saturación. Similarmente, se desea que $V_{02} = V_{DD} - |V_{TD}|$. Como se explico anteriormente en esta sección (en conexión con la fig. 2.85), esta condición permite un rango dinámico máximo para la

etapa de entrada. Esta condición de polarización dc óptima en V_{01} puede conseguirse utilizando el circuito de la fig. 2.89, el cual incluye la fuente de voltaje flotante (Q_8 y Q_9) de la fig. 2.88. En el circuito, Q_{13} se acopla a Q_9 , y Q_{14} a Q_{10} . Por lo tanto, la corriente dc de Q_{10} y Q_{14} (tienen el mismo voltaje de gate a source) son iguales; ambas tienen el valor I_b . Por consiguiente, las corrientes de Q_9 y Q_{13} son iguales; por lo que, $V_{GS9} = V_{GS13}$. Como $(W/L)_9 = (W/L)_{13} \ll 1$ (típicamente 0.05), V_{GS9} y V_{GS13} son grandes, tanto como 5-8 V por encima del voltaje de umbral. En contraste, los dispositivos Q_6 , Q_8 , Q_{11} , y Q_{12} tienen todos grandes razones de forma ($W/L = 10 - 20$); por lo que sus voltajes de gate a source están todos dentro del orden de cientos de milivolts del voltaje de umbral. Por lo consiguiente, $V_{GS6} \approx V_{GS8} \approx V_{GS11} \approx V_{GS12}$ y

$$\begin{aligned} V_{pol} &= V_{GS13} + V_{GS11} + V_{GS12} \simeq V_{01} \\ &= V_{GS9} + V_{GS8} + V_{GS6}. \end{aligned} \quad (2.171)$$

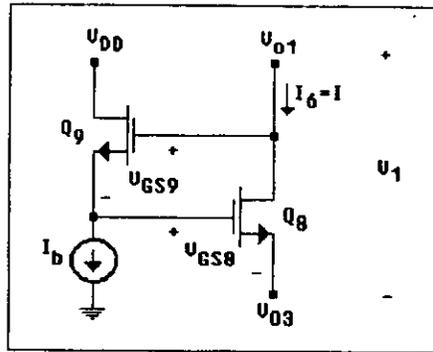


FIGURA 2.88 Fuente de voltaje flotante con baja impedancia.

Así, haciendo a $V_{pol} = V_{DD} - |V_{TD}|$, se puede asegurar que V_{01} tendrá el mismo valor, dentro de algunas decenas de milivolts. Se puede mostrar que el divisor de voltaje formado por Q_{15} (en la región triodo) y Q_{16} (en saturación) ponen a V_{pol} en

Naturalmente, puede utilizarse un circuito similar para poner al valor dc de V_{O2} a $V_{DD} - |V_{TD}|$. Sin embargo, la copia del circuito básico polarizado (Q_{11} a través de Q_{16}) puede ser compartido entre las dos fuentes de voltaje flotante. El circuito completo de la etapa diferencial de entrada, el desplazador de nivel, y el convertidor diferencial de una sola salida se muestra en la fig. 2.90.

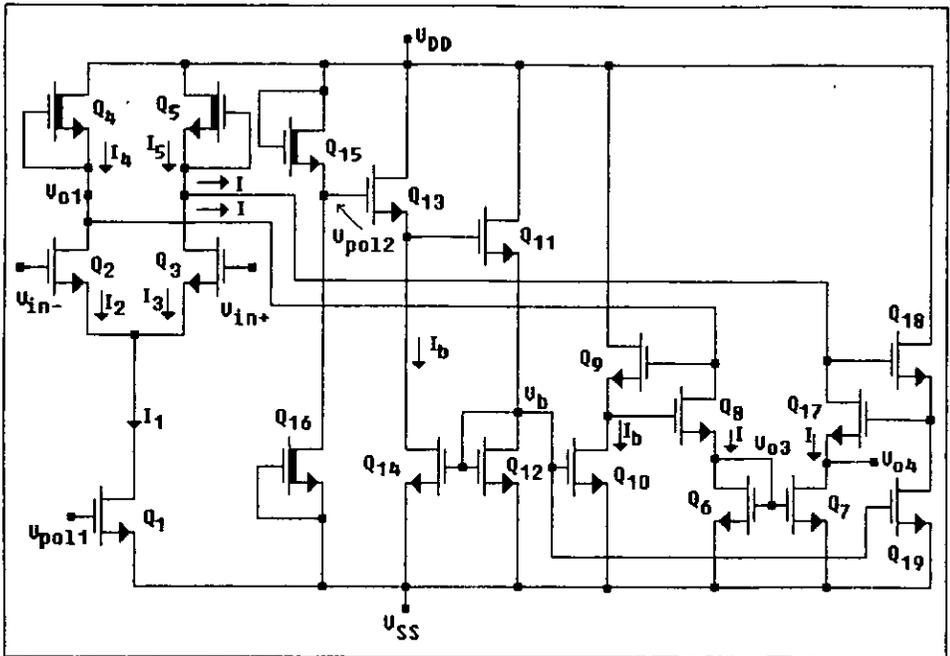


FIGURA 2.90 Etapa diferencial, desplazador de nivel, y convertidor diferencial de una sola salida de un op-amp NMOS.

La mayor parte de la ganancia de voltaje del op-amp tratado es proporcionada por la segunda etapa de ganancia ($Q_{10} - I_0$ en la fig. 2.87). Así, esta etapa debe tener una alta ganancia sobre una gran banda de frecuencia. Donde pueden utilizarse las etapas de ganancia cascode tratadas anteriormente (figs. 2.22-2.25). La fig. 2.91 ilustra un posible circuito. Los dispositivos Q_{20} - Q_{23} forman el amplificador; es similar al mostrado en la fig. 2.25 pero la carga contiene sólo dispositivos de modo depleción. Como se describió en conexión con la fig. 2.25, Q_{20} , Q_{22} y Q_{23} trabajan como una etapa de ganancia cascode básica, mientras que Q_{21} inyecta corriente dc en

Q_{20} para ampliar su corriente de polarización y por lo consiguiente incrementa a g_{m20} sin reducir la impedancia de carga. Este incremento es especialmente importante por que parte del voltaje de excursión de salida (V_{05}) es cercano a V_{DD} . En ausencia, de ganancia del dispositivo de modo ensanchamiento, la ganancia decrece grandemente en esa región ya que el dispositivo de carga entra a la región lineal (triodo), mientras que g_m del excitador es menor ya que su corriente de drain es mínima. El efecto anterior es eliminado por la inyección de corriente de Q_{21} .

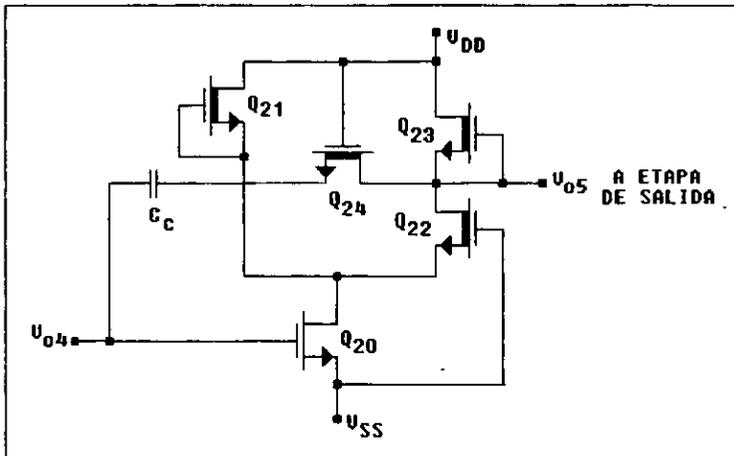


FIGURA 2.91 Etapa de ganancia cascode con compensación.

La ganancia de la etapa puede incrementarse con aumentos de la razón de forma y de la corriente de drain de Q_{20} , y de esta manera aumentando a g_{m20} , y/o reduciendo la corriente y la razón de forma de Q_{23} , y por lo tanto incrementará la impedancia de carga. Sin embargo, la corriente del drain de Q_{23} debe ser lo suficiente para cargar y descargar rápidamente al capacitor C_c de compensación para una aceptable velocidad de respuesta. Considerando el esquema simplificado de la fig. 2.87., con C_c conectado entre los nodos A y B. En un diseño típico, puede hacerse a la corriente dc de polarización $I_4 = I_5 = 2I = I_1$. Por lo que la corriente i_c máxima en C_c ocurre si V_{in-} cae cortando a Q_2 . Por lo que $I_6 \rightarrow I_4 = I_1$, $I_3 = I_5 \rightarrow I_1$, y por lo tanto $I_7 \rightarrow 0$. Por lo que, el espejo de corriente Q_6 - Q_7 obliga a Q_7 a absorber una corriente I_1 de C_c . Por lo tanto, bajo estas condiciones $i_c = I_1$. Para hacer posible esto, las corrientes del drain de Q_{22} y Q_{23}

deben ser mayores que I_1 ; de otra manera, la corriente i_c no puede desviarla en C_c y será reducida la velocidad de respuesta.

Un análisis detallado de la transformada de Laplace del circuito de la fig. 2.91, incluyendo las capacitancias parásitas en sus nodos de entrada y salida pueden ser llevadas a la salida utilizando las mismas técnicas (análisis nodal, aproximación de Miller) usadas en la sección 2.6 y 2.8. Este análisis revela que sin la serie de resistores proporcionados por el canal de Q_{24} , existe un cero en el plano medio derecho en la función de transferencia $A_v(s)$ de la etapa. Como se explica en la sección 2.8, este cero reduce el margen de fase, y hace que sea difícil la compensación. Con Q_{24} en el circuito, este cero es desplazado al plano medio izquierdo, donde puede utilizarse para cancelar el segundo polo más dominante de $A_v(s)$. Esto mejora el margen de fase y aumenta la respuesta en frecuencia.

Como la impedancia de salida de la segunda etapa de ganancia es grande, la cual normalmente es seguida por una etapa buffer de un ancho de banda a ganancia unitaria. Puede utilizarse como buffer el circuito clase A realimentado negativamente de la fig. 2.37. Si se utiliza una etapa de salida clase AB, entonces se puede utilizar el circuito aumentado de la fig. 2.92. Donde, Q_{26} y Q_{28} son dispositivos acoplados ($W/L \sim 8$), forman un espejo de corriente, y de esta manera mantienen las corrientes de carga iguales en los dispositivos de carga acoplados Q_{25} y Q_{27} ($W/L \sim 0.1$). Por lo consiguiente, la realimentación a través de los dispositivos Q_{29} - Q_{31} causarán que $V_{GS25} = V_{GS27}$. Por lo que, de la fig. 2.92,

$$V_{05} - V_{out} = V_{GS29} = V_{GS30} \approx V_{GS26} - V_{GS31} \quad (2.173)$$

Si primero $V_{05} = 0$. Entonces por diseño la malla de realimentación obligará a que $V_{out} \approx V_{05}$. Por lo tanto, V_{GS30} será menor que el voltaje V_{TE} de umbral del dispositivo de modo ensanchamiento, y Q_{30} estará apagado. De esta manera, no disipará potencia si funciona en vacío.

Si ahora V_{05} es excitado positivamente, entonces se incrementará V_{GS26} (debido a la acción del source seguidor de Q_{25} y Q_{26}). El inversor de voltaje Q_{27} - Q_{28} causa entonces que se reduzca

a V_{GS31} . Así, por la ec. 2.173, V_{GS30} se incrementará. Si el incremento es mayor que V_{TE} , Q_{30} se encenderá.⁸ Ahora Q_{30} auxiliará grandemente a Q_{29} en la excitación de la carga: como Q_{30} no lleva corriente en vacío, ésta puede hacerse mayor sin incrementar la potencia disipada en vacío por el op-amp. Al mismo tiempo, reduciendo a V_{GS31} se reducirá (o cortará) la corriente de Q_{31} , que en consecuencia no desviará la corriente de Q_{29} y Q_{30} de la carga.

Para un V_{05} negativo, tendrá lugar el efecto opuesto. De esta manera, V_{GS29} y V_{GS30} irán a negativo, y cortará a Q_{30} , y Q_{29} llevará una corriente reducida. Q_{31} se encenderá lentamente con una gran corriente, y por lo consiguiente podrá reducir a una gran corriente de carga.

Dimensiones típicas para los dispositivos de salida son $(W/L)_{29} \simeq 10$, $(W/L)_{30} = 2$, y $(W/L)_{31} = 25$.

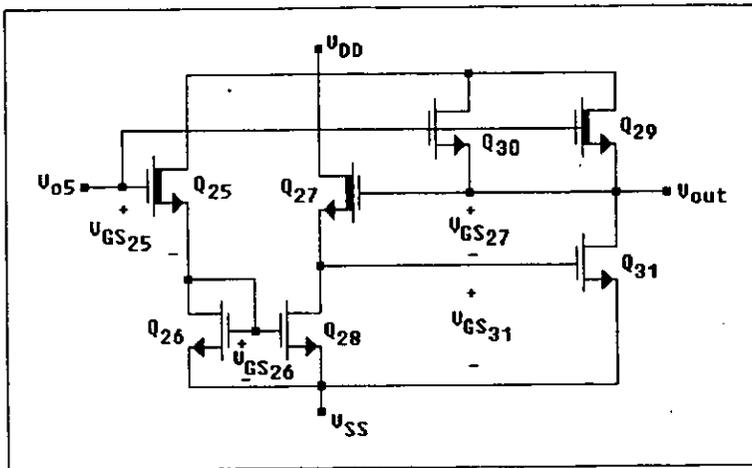


FIGURA 2.92 Circuito esquemático para la etapa de salida.

En síntesis, para suministrar corriente de polarización para $V_{05} < 0$, Q_{29} también ayuda para incrementar la salida positiva de excursión máxima. Como V_{05} se origina de la etapa de ganancia de la fig. 2.91, ésta puede aprovechar a (pero no puede alcanzar) V_{DD} . Sin embargo, para conducir Q_{30} requiere que $V_{GS30} = V_{05} - V_{out} > V_{TE}$. Por consiguiente, éste no puede suministrar

⁸Donde, V_{TE} es el voltaje de umbral del dispositivo de modo ensanchamiento.

corriente a la carga si $V_{05} > V_{DD} - V_{TE}$. De otra manera, Q_{29} , puede trabajar en el modo depleción.

Como se mostró anteriormente, $V_{05} - V_{out} > 0$, para $V_{05} > 0$, y $V_{05} - V_{out} < 0$ para $V_{05} < 0$. Por lo tanto, la ganancia de voltaje de la etapa es ligeramente menor que uno. La resistencia de salida es

$$R_o \approx \frac{1}{g_{m29} + g_{m30} + g_{m31}} \quad (2.174)$$

2.13 RUIDO EN OP-AMP NMOS

El ruido en los op-amps NMOS puede analizarse utilizando argumentos similares a los aplicados en la sección 2.10 para los op-amps CMOS. Así, considerando la etapa de entrada diferencial que utiliza únicamente dispositivos de modo ensanchamiento de la fig. 2.31. Un circuito equivalente en el cual se incluyen simbólicamente las fuentes de ruido se muestra en la fig. 2.93. La representación similar para la etapa diferencial con dispositivos de modo depleción como carga de la fig. 2.42 se muestra en la fig. 2.94. Como fue el caso del ruido de la etapa CMOS, el análisis da, para el valor equivalente medio cuadrático del ruido de entrada V_{nd} , el valor

$$\overline{V_{nd}^2} = \overline{V_{n1}^2} + \overline{V_{n2}^2} + (g_{m4}/g_{m1})^2 (\overline{V_{n3}^2} + \overline{V_{n4}^2}) \quad (2.175)$$

el cual es el mismo como el dado en 2.141. La ec. 2.175 se mantiene para los circuitos de las figs. 2.93 y 2.94.

Ignorando el efecto sustrato, la ganancia de voltaje de la señal diferencial de la etapa de la fig. 2.93 es aproximadamente $(-g_{m1}/g_{m4})$, como se vio en las ec's 2.53 y 2.44. Por lo tanto, para una

modesta ganancia de 10, $(g_{m4} / g_{m1})^2 \approx 0.01$ y por consiguiente el último término de 2.175 es insignificante. Para la etapa de carga que utiliza dispositivos de modo depleción, la razón W/L de Q_3 y Q_4 está determinada por la corriente dc de polarización llevada por la etapa. Esto normalmente da $(W/L)_3 = (W/L)_4 < 1$; por lo que nuevamente $(g_{m4}/g_{m1})^2 \ll 1$, y el ruido originado por el dispositivo de carga normalmente es insignificante.

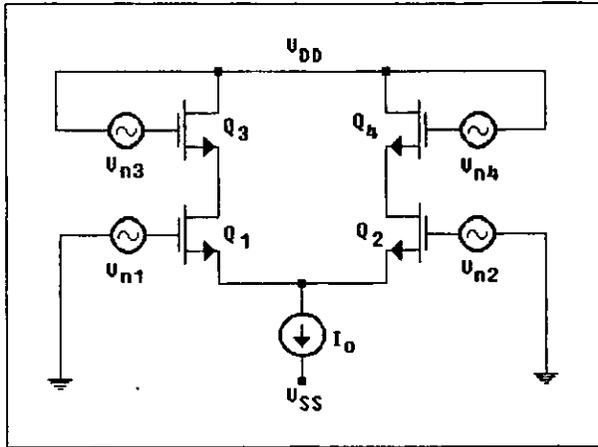


FIGURA 2.93 Circuito equivalente de ruido para la etapa diferencial que utiliza solo dispositivos de modo ensanchamiento.

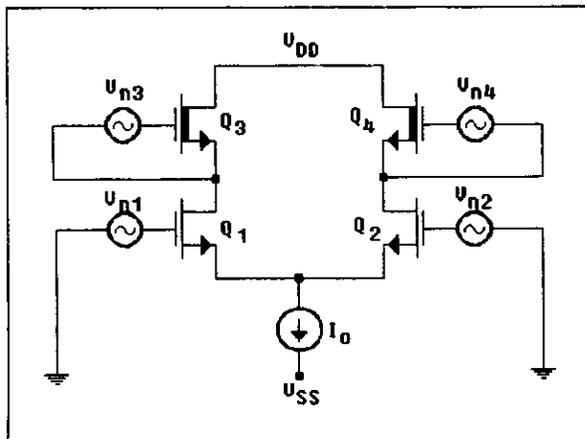


FIGURA 2.94 Circuito equivalente de ruido para la etapa diferencial que utiliza dispositivos de modo depleción como carga.

La situación es diferente si se utiliza el desplazador de nivel de baja impedancia de las figs. 2.87-2.90 en conjunto con el circuito que utiliza dispositivos de modo depleción como carga. El correspondiente circuito equivalente entonces se muestra en la fig. 2.95. El análisis del voltaje de ruido para la entrada referida da

$$\overline{v_{nd}^2} = \overline{v_{n1}^2} + \overline{v_{n2}^2} + (g_{m4}/g_{m1})^2 (\overline{v_{n3}^2} + \overline{v_{n4}^2}) + (g_{m6}/g_{m1})^2 (\overline{v_{n5}^2} + \overline{v_{n6}^2}). \quad (2.176)$$

Para minimizar el ruido contribuido por Q_5 y Q_6 , $g_{m5} = g_{m6}$ debe hacerse mucho menor que $g_{m1} = g_{m2}$, es decir, la razón W/L de Q_5 y Q_6 debe ser tan baja como lo permitan las condiciones. El ruido generado en el dispositivo realizado por las fuentes de voltaje flotantes pueden ignorarse.

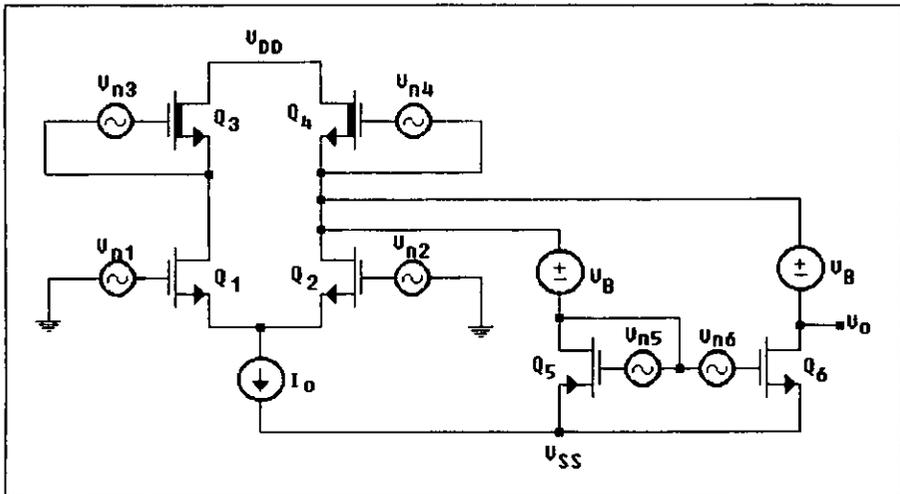


FIGURA 2.95 Circuito equivalente de ruido para la etapa diferencial de carga con el circuito desplazador de nivel de baja impedancia.

De los resultados de la sección 2.10 y de esta sección, se puede concluir que si el circuito se diseña cuidadosamente para minimizar la contribución del ruido de los dispositivos de carga, desplazadores de nivel, etc., entonces el ruido generado en los dispositivos de entrada dominará

al ruido de todo el op-amp. Por lo tanto, el ruido amplificado será determinado en su mayor parte por el proceso de fabricación así como por los efectos del dispositivo de entrada, y por las dimensiones de estos dispositivos, las áreas mayores generan menos ruido.

A altas frecuencias, la ganancia de voltaje de la etapa de entrada decrece debido al capacitor de compensación C_c . Por lo que la contribución de ruido de las otras etapas también puede pasar a ser significativo.

DISEÑO DE AMPLIFICADORES OPERACIONALES MOSFET

INTRODUCCIÓN

Como la tecnología, y por lo consiguiente las técnicas de diseño utilizadas para amplificadores MOSFET cambia muy rápidamente. El principal propósito de este capítulo es ilustrar los principios fundamentales más importantes de circuitos específicos (analizados anteriormente) y sus procedimientos para el diseño.

Los amplificadores se pueden diseñar ya sea con tecnología NMOS o CMOS. Los amplificadores NMOS están basados exclusivamente con transistores MOS canal N. En contraste, los amplificadores CMOS están basados en los transistores MOS canal N y canal P. La disponibilidad de ambos tipos de dispositivos hace más sencillo el diseño de amplificadores CMOS.

Por lo citado anteriormente, en este capítulo sólo se tratará el diseño de amplificadores utilizando la tecnología CMOS.

3.1 CONSIDERACIONES PRACTICAS EN EL DISEÑO DE OP-AMP MOSFET

En la sección 2.1, se enumeraron varios efectos no ideales que pueden reducir la operación de op-amp prácticos. En el diseño, es muy importante la minimización de estos efectos. Las consideraciones correspondientes son tratadas brevemente a continuación para los efectos no ideales más importantes.

1. Ganancia Finita. En las secciones anteriores se trató la ganancia lograda para diferentes etapas de ganancia MOSFET, y también para los circuitos especiales (dispositivos cascodo, cargas compuestas, etc.) que pueden utilizarse para aumentar la ganancia de voltaje sin reducir el ancho de banda.

2. Rango Lineal Finito. Ésta cuestión también fue brevemente tratada, y se introdujeron algunos circuitos (ver figs. 2.37, 2.38 y 2.89) para maximizar la excursión de la señal.

3. Voltaje de Desviación. Como se definió en la sección 2.1, el voltaje de desviación de entrada referido como $V_{in,off}$ es el voltaje de entrada diferencial necesario para llevar al voltaje V_{out} de salida a cero. Éste tiene dos componentes: una desviación sistemática debido a las inadecuadas dimensiones y/o a las condiciones de polarización, y una desviación aleatoria originada por los errores aleatorios en el proceso de la fabricación, por ejemplo, por el mal acoplamiento de dispositivos simétricamente ideales.

Para ilustrar la generación de la desviación sistemática (y formas para evitarlo) se considera el op-amp CMOS de dos etapas mostrado en la fig. 3.1. La primera etapa (Q_1 - Q_5) es la etapa de entrada diferencial de una sola salida introducida originalmente en la fig. 2.44; la etapa de salida es una etapa de ganancia de una sola salida con un excitador Q_6 y una fuente de corriente de carga Q_7 . Se ve que si el circuito no tiene una desviación sistemática, entonces si se aterrizan ambas terminales de entrada (como se muestra) resulta entonces que $V_{out} = 0$. Por lo que, si también se aterrizan la terminal de salida (como se muestra en la fig. 3.1) la corriente I_g en el cable de tierra también será cero. De esta manera, la condición para una desviación cero es equivalente al requerimiento de que $I_g = 0$ para las terminales de entrada y salida aterrizadas; esto en turno requiere que $I_6 = I_7$.

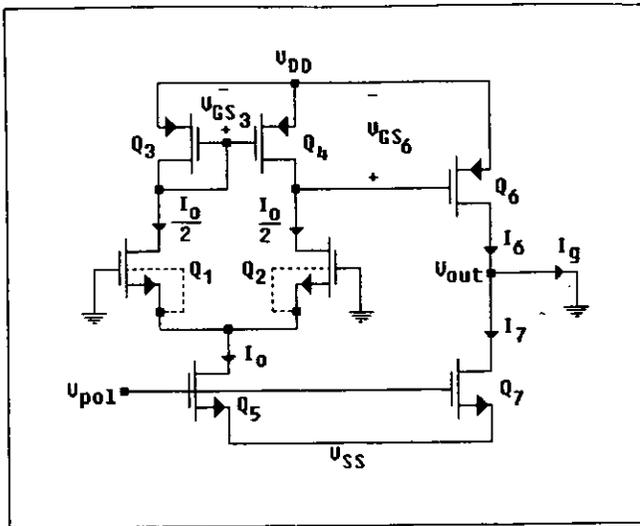


FIGURA 3.1 Op-amp CMOS de dos etapas.

Asumiendo simetría en la etapa de entrada, $(W/L)_1 = (W/L)_2$ y $(W/L)_3 = (W/L)_4$. Con lo cual también todas las corrientes y voltajes serán simétricos, y por lo consiguiente $V_{DS3} = V_{DS4}$. También $V_{GS3} = V_{GS6}$. Si este valor de V_{GS6} origina a I_6 y es igual a la corriente I_7 cuando $V_{DS6} = 0 - V_{DD} = -V_{DD}$, de esta manera, como se requiere $I_g = 0$. Si éste no es el caso, entonces $I_g \neq 0$ y existe una desviación sistemática. Específicamente, si \hat{V}_{GS6} denota el valor de V_{GS6} necesario para hacer a I_6 igual a I_7 . Entonces, el voltaje de desviación de entrada es

$$V_{in,off} = \frac{V_{GS6} - \hat{V}_{GS6}}{A_d} = \frac{V_{GS3} - \hat{V}_{GS6}}{A_d}, \quad (3.1)$$

donde A_d es la ganancia de voltaje de la etapa de entrada. Así, por ejemplo, para un error de 0.1 V en el voltaje de polarización de Q_6 causará un 1 mV de desplazamiento de entrada si $A_d = 100$.

Asumiendo que todos los dispositivos están en saturación, e ignorando los efectos de modulación por el largo del canal, los voltajes de Q_3 y Q_4 pueden expresarse como

$$V_{GS3} = V_{DS3} = V_{GS4} = V_{DS4} = V_{Tp} + \sqrt{\frac{I_0/2}{k'_p(W/L)_3}} \quad (3.2)$$

Donde, V_{Tp} es el voltaje de umbral de los dispositivos Q_3 y Q_4 (canal P), y k'_p es la constante de la transconductancia ($\mu_p C_{ox}/2$) para la ecuación de la corriente del drain para dispositivos PMOS. Similarmente, para Q_6

$$V_{GS6} = V_{Tp} + \sqrt{\frac{I_6}{k'_p(W/L)_6}} \quad (3.3)$$

Sustituyendo a $V_{GS6} = V_{GS3}$ y la condición requerida de que $I_6 = I_7$ en (3.3), resulta

$$V_{GS3} = V_{Tp} + \sqrt{\frac{I_7}{k'_p(W/L)_6}} \quad (3.4)$$

De 3.2 y 3.4, la condición para una desviación cero es

$$\frac{(W/L)_3}{(W/L)_6} = \frac{I_0/2}{I_7}$$

Cambiando a Q_5 y Q_7 , ya que tienen iguales voltajes de gate a source, e ignorando la modulación por el largo del canal se tiene que

$$\frac{(W/L)_5}{(W/L)_7} = \frac{I_0}{I_7} \quad (3.5)$$

Combinando las ec's, las relaciones de diseño son

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} = \frac{I_0}{2I_7} \quad (3.6)$$

Físicamente, si se satisface la ec. 3.6 entonces la corriente I_7 inducida en Q_7 por su voltaje gate a source V_{GS7} y la corriente I_6 inducida en Q_6 por el voltaje gate a source $V_{GS6} = V_{DS4}$ son iguales y por lo consiguiente es posible que $V_{out} = 0$ cuando Q_6 y Q_7 están en saturación. Si los voltajes gate a source no son compatibles, y la terminal de salida es un circuito abierto, entonces V_{out} asume un valor diferente de cero de manera que los voltajes de drain de Q_6 y Q_7 compensen para las diferencias de los voltajes de gate. Además, esto puede ocasionar que Q_6 ó Q_7 trabajen fuera de saturación. Esto generalmente representa un mayor voltaje de desviación sistemático, por lo que puede reducir la ganancia y el ancho de banda del op-amp.

Para minimizar los efectos aleatorios que induce el proceso por las variaciones del largo del canal debido al acoplamiento de los dispositivos, y de este manera la desviación aleatoria, el largo del canal de Q_3 , Q_4 y Q_6 deben hacerse iguales. Por lo que la densidad de corriente I_d/W es la misma para estos dispositivos cuando se satisface 3.6, y las razones de corriente requeridas están determinadas por las razones del ancho. Se requiere que el valor de las razones sea el doble (o mayores que), por lo que se puede realizar un transistor más ancho para la conexión en paralelo de dos (o más) unidades de transistores de un tamaño más angosto. Sin embargo, cabe notar, que este proceso es contrario con el principio de la reducción del ruido establecido en las secciones 2.10 y 2.13: para esas reglas deben ser bajas las transconductancias de los dispositivos de carga Q_3 y Q_4 mientras que debe ser grande la de Q_6 para una alta ganancia y una buena respuesta a alta frecuencia. El largo del canal para los tres dispositivos Q_3 , Q_4 y Q_6 debe ser grande para una alta impedancia de salida y alta ganancia. Por lo que esto ayuda a reducir el ruido en Q_3 y Q_4 y aumenta la ganancia de la etapa diferencial, esto reduce la transconductancia de Q_6 y por lo tanto reduce la ganancia de la segunda etapa.

El voltaje de desviación aleatorio puede ser afectado por varios factores, incluyendo el mal acoplamiento (idealmente simétrico) entre los dispositivos de entrada Q_1 y Q_2 y/o entre los dispositivos de carga Q_3 y Q_4 . Esto puede ser causado por el mal acoplamiento geométrico de ambos. Asumiendo primero que el espejo de corriente (Q_3 - Q_4) no es perfecto, de manera que

$$I_3 = \frac{1}{2}(1 - \varepsilon_1)I_0 \neq I_4 = \frac{1}{2}(1 + \varepsilon_1)I_0. \quad (3.7)$$

El voltaje diferencial $V_{G1} - V_{G2}$ necesario en la terminal de entrada para restablecer simetría es

$$V_{off1} = \frac{\varepsilon_1 I_0}{g_{mi}}. \quad (3.8)$$

Así, V_{off1} se puede reducir con incrementos de la transconductancia g_{mi} de los dispositivos de entrada o reduciendo la corriente de polarización I_0 .

Asumiendo a continuación que las dimensiones y los voltajes de umbral de los dispositivos de entrada están mal acoplados mientras que los dispositivos de carga son simétricos. De esta manera si

$$(W/L)_1 = (1 - \varepsilon_2)(W/L)_2 \quad (3.9)$$

y

$$V_{T1} = V_{T2} - \Delta V_T. \quad (3.10)$$

Se ve que se requiere en la entrada un voltaje de desviación $V_{off2} = \Delta V_T$ para cancelar el efecto del mal acoplamiento del voltaje de umbral. El mal acoplamiento geométrico causa una corriente

de desbalance $\Delta I_1 \cong -\varepsilon_2 I_1 \cong -\varepsilon_2 k_1 (V_{GS1} - V_{T1})^2$. Ésta puede balancearse por un cambio de V_{off3} en V_{G1} de manera que

$$\begin{aligned} g_{mi} v_{off3} &\cong 2k_1 (V_{GS1} - V_{T1}) v_{off3} = -\Delta I_1 \\ &\cong \varepsilon_2 k_1 (V_{GS1} - V_{T1})^2. \end{aligned} \quad (3.11)$$

Donde, se utilizó la ec. 1.18 del capítulo 1 para expresar a g_{mi} , con $v_{o_{SB}} = 0$ y $\lambda \cong 0$. De 3.11

$$v_{off3} = \frac{\varepsilon_2}{2} (V_{GS1} - V_{T1}) = \frac{\varepsilon_2}{2} \sqrt{\frac{I_0/2}{k'(W/L)_1}}. \quad (3.12)$$

Así, puede reducirse a V_{off3} (como V_{off1}) con incrementos de $(W/L)_1$ -y por lo tanto g_{mi} - o reduciendo a I_0 . Ambos reducirán a $V_{GS1} - V_{T1}$.

La variación del voltaje de umbral ΔV_T es independiente de I_0 ó W/L ; esto sólo depende de la uniformidad del proceso.

4. Relación de Rechazo en Modo Común (CMRR). Como se definió en la sección 2.1, el CMRR = A_D / A_C , donde A_D es la ganancia diferencial, mientras que A_C es la ganancia en modo común. Para el op-amp de la fig. 3.1, el CMRR es proporcionado por la etapa de entrada. El valor del CMRR para esta etapa fue encontrado anteriormente, y fue dado por la ec. 2.66 como

$$CMRR \cong 2 \frac{g_{mi} g_{m\ell}}{g_o g_{di}}. \quad (3.13)$$

Como se explico en la sección 1.4 del capítulo 1, g_{mi} y $g_{m\ell}$ son proporcionales a $\sqrt{I_0}$, mientras que g_o y g_{di} son proporcionales a I_0 . De esta manera, la relación de rechazo es inversamente proporcional a I_0 . Pueden lograrse fácilmente valores de 10^3 - 10^4 , como muestra 3.13.

Si existe un mal acoplamiento entre Q_1 y Q_2 de manera que $g_{m1} = (1 + \epsilon)g_{m2}$, entonces un voltaje V_c en modo común ocasionará así una salida de voltaje diferencial como un voltaje de entrada diferencial $(g_{d1}/g_{mi})\epsilon V_c$. Así, ahora se tiene que el CMRR $\cong g_{mi}/(\epsilon g_{d1})$. Esto ilustra nuevamente la importancia de hacer simétricos a los dispositivos de entrada.

5. Respuesta en Frecuencia, Velocidad de Respuesta, Polarización, Disipación de Potencia. Los requerimientos de la velocidad (ganancia a alta frecuencia, velocidad de respuesta) de un amplificador MOS depende mucho de su aplicación. En algunos circuitos los op-amp sólo excitan cargas capacitivas. Los requerimientos de la velocidad en el op-amp son entonces que deben ser capaces de cargar a la carga capacitiva C_L y de establecerla dentro de una exactitud especificada (generalmente de 0.1% del voltaje final) en un intervalo de tiempo especificado.

La fig. 3.2 muestra al op-amp de la fig. 3.1, con la inclusión de una malla de realimentación (Q_B , C_C) para compensar y excitar a la carga capacitiva C_L . Como fue visto en la sección 2.9, el ancho de banda a ganancia unitaria de la etapa está dado por $\omega_o = g_{mi}/C_C$. Un análisis detallado de la operación de un op-amp compensado utilizado para cargar o descargar a un capacitor (en operación lineal) en la condición del ancho de banda a ganancia unitaria,

$$\omega_o = \frac{g_{mi}}{C_C} \geq \frac{15}{T_{ch}}, \quad (3.14)$$

es generalmente insuficiente para garantizar la velocidad adecuada. Donde, T_{ch} es el tiempo necesario para recargar a C_L ; para un circuito de dos fases, generalmente $T_{ch} \cong 1 / 2f_c$ donde f_c es la frecuencia del reloj.

El valor mínimo de g_{mi} está determinado generalmente por la ganancia dc requerida y por las consideraciones de ruido. Agregando, que también hay un límite alto en g_{mi} / C_C , basado en el requerimiento de que la frecuencia del segundo polo $|S_{p2}|$ debe ser considerablemente más grande que ω_o . Normalmente, se hace a $|S_{p2}| = 3\omega_o$. Esto, como fue derivado en 2.120-2.125, requiere que para el circuito

$$C_c \sim 3C_L \frac{g_{mi}}{g_{m6}} \quad (3.15)$$

Una regla empírica, que normalmente resulta para un buen arreglo entre todos los requerimientos, es hacer a $C_c = C_L$. Por lo que 3.14 da un límite más bajo para g_{mi} , y 3.15 un límite más bajo para g_{m6} .

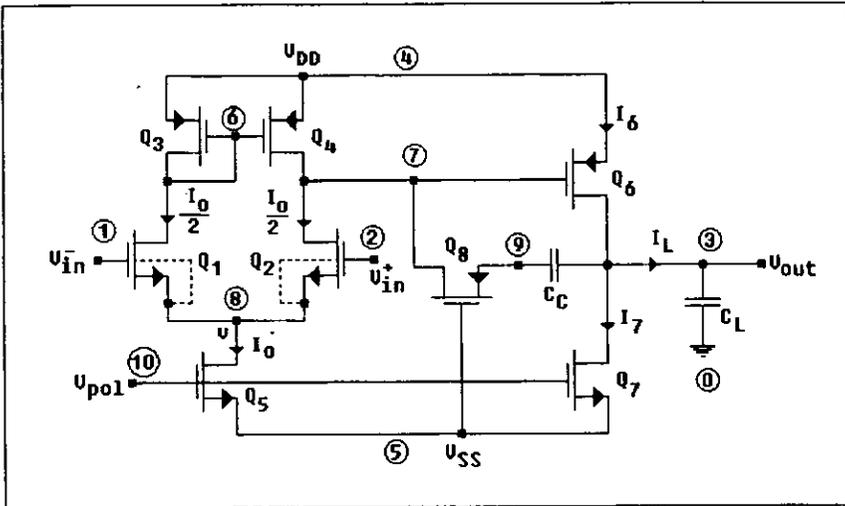


FIGURA 3.2 Op-amp CMOS con un capacitor de carga.

Para la operación en señal grande, también debe considerarse la velocidad de respuesta S_r de la etapa de entrada. De la ec. 2.131, $S_r = I_0/C_c$. Para $C_c = C_L$, se determina por lo tanto el valor mínimo de I_0 (la corriente de polarización de la etapa de entrada). Agregando, que para el circuito de la fig. 3.2, la velocidad de respuesta también necesita atención. Para la salida positiva de V_{out} , la corriente i_L de salida es suministrada por Q_6 . La magnitud de i_L sólo está limitada por el tamaño de Q_6 , y el V_{out} sólo por el de V_{DS6} necesario para mantener a Q_6 en saturación. En contraste, para el V_{out} negativo, la etapa de salida debe bajar la corriente de carga i_L . Esto es, que trabaje para reducir a i_6 por debajo de I_{pol} de manera que $i_6 = I_{pol} - |i_L|$.

El valor máximo de $|i_L| = I_{pol}$ se logra cuando $i_6 = 0$, es decir, cuando Q_6 está cortado. De esta manera, la velocidad de respuesta negativa debido a la etapa de salida es

$$S_{ro} = \left| \frac{dv_{out}}{dt} \right| = \frac{|i_L|}{C_L} = \frac{I_{pol}}{C_L} \quad (3.16)$$

Esto establece el valor mínimo de I_{pol} . Cabe notar que por las ec's 2.119 y 2.124, y por estabilidad deben ser grandes las transconductancias de los dispositivos de salida (aquí, Q_6 y Q_7). Una I_{pol} grande ayudará a satisfacer esto con un tamaño moderado de Q_6 y Q_7 .

La potencia dc disipada por el circuito de la fig. 3.2 en el estado inactivo de esta manera es

$$\begin{aligned} (V_{DD} - V_{SS})(I_o + I_{pol}) \\ \geq (V_{DD} - V_{SS})(S_r C_c + S_{ro} C_L) = (V_{DD} - V_{SS})(S_r + S_{ro}) C_L \end{aligned} \quad (3.17)$$

donde se ha hecho que $C_c = C_L$. Por eso, para velocidades de respuesta más altas y para el capacitor C_L más grande, es necesaria la mayor potencia dc standby para la etapa.

La corriente standby de la etapa de salida puede reducirse utilizando una etapa clase AB. El circuito resultante ha sido tratado anteriormente (fig. 2.70), y es reproducido en la fig. 3.3. El desplazador de nivel de la etapa (Q_9 y Q_{10}) debe dimensionarse tal que las condiciones de V_{GS6} y V_{GS7} , y por lo consiguiente las corrientes de drain inactivas de Q_6 y Q_7 , no sean grandes. Ya que ambos gates de Q_6 y Q_7 son excitados por las señales de voltaje, la corriente de carga puede ser ahora mucho mayor que la corriente de polarización para cualquier V_{out} de salida positivo o negativo. El valor mínimo de la corriente dc de polarización de salida es por lo consiguiente determinado sólo por el requerimiento de las transconductancias g_{m6} y g_{m7} necesarias para un buen margen de fase.

El valor de la corriente I_{10} standby determinará la posición del cero y del polo del source seguidor Q_9 - Q_{10} , como fue dado por la ec. 2.81. Obviamente, el polo (el cual está a baja frecuencia) causará un desplazamiento de fase positivo, mientras que el cero del plano medio izquierdo a alta frecuencia ocasionará una fase negativa, ocasionando una caída en la

característica de fase. La posición de la caída se determina por la frecuencia del polo, y de la separación entre el polo y el cero. El valor mínimo de I_{10} puede ser de esta manera determinado en tales condiciones que la caída se mueva lo suficientemente alto a alta frecuencia donde sólo afecte ligeramente el desplazamiento de fase de la etapa a ω_0 . Este requerimiento da el valor mínimo de g_{m9} , y en consecuencia el de la corriente I_{10} de polarización. La intensidad de la caída puede reducirse forzando a que el cero esté tan cerca como sea posible del polo. Es de mencionarse que la respuesta en el tiempo del source seguidor, debido a la presencia del par polo/cero, tendrá un término exponencial. En este término, la constante de tiempo está determinada por la frecuencia del polo, mientras que la amplitud está determinada por la diferencia de las frecuencias del polo y del cero. Aumentando la frecuencia del polo y reduciendo la distancia entre el polo y el cero también mejorará la respuesta en el tiempo.

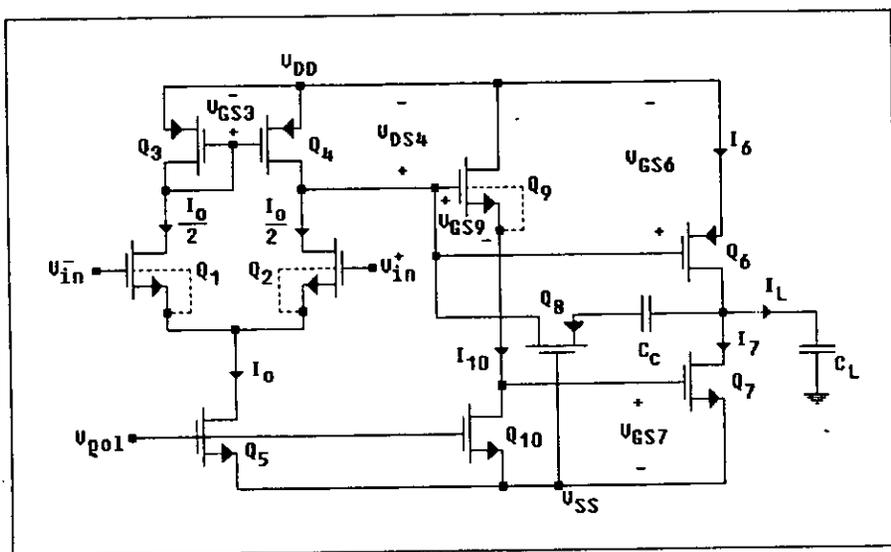


FIGURA 3.3 Op-amp CMOS con etapa de salida clase AB.

Los voltajes V_{pol} para los op-amps de las figs. 3.2 y 3.3 pueden lograrse utilizando los circuitos de la sección 2.2. En particular, se desea para el op-amp de la fig. 3.2 una fuente independiente de polarización. Esto mantendrá independientemente a I_0 e I_{pol} de las fuentes de voltaje, y por lo

consiguiente los parámetros que afectan por igual a la estabilidad. (La disipación de potencia dc varía con las fuentes de voltaje) De esta manera el V_{pol} puede obtenerse de los circuitos de la fig. 2.5c.

En contraste, para el circuito de la fig. 3.3, la fuente independiente de polarización puede causar problemas. En particular, si I_o permanece constante con la variación del voltaje de alimentación, con lo que V_{GS3} también lo hará; si se mantiene constante a I_{10} , con lo cual también lo será V_{GS9} . Por lo que, en la expresión para el voltaje gate a source de Q_7

$$V_{GS7} = V_{DD} + V_{DS4} - V_{GS9} - V_{SS} \equiv (V_{DD} - V_{SS}) + (V_{GS3} - V_{GS9}), \quad (3.18)$$

$(V_{GS3} - V_{GS9})$ es invariante de V_{DD} y V_{SS} . Por eso, todos los cambios de las fuentes de alimentación aparecen directamente en V_{GS7} , en donde Q_7 puede cortarse si es significativa la caída de $V_{DD} - V_{SS}$.

Un conveniente circuito de polarización para el op-amp de la fig. 3.3 se muestra en la fig. 3.4. Cuando se utiliza este circuito, las dimensiones de los dispositivos NMOS Q_5 , Q_{10} y Q_{13} son obviamente referidas por

$$\begin{aligned} \frac{(W/L)_5}{(W/L)_{13}} &= \frac{I_o}{I_{ref}}, \\ \frac{(W/L)_{10}}{(W/L)_{13}} &= \frac{I_{10}}{I_{ref}}. \end{aligned} \quad (3.19)$$

Resumiendo, los transistores PMOS Q_3 , Q_4 y Q_{11} pueden dimensionarse de tal manera que mantengan a

$$\frac{(W/L)_3}{(W/L)_{11}} = \frac{(W/L)_4}{(W/L)_{11}} = \frac{I_o/2}{I_{ref}}. \quad (3.20)$$

Por lo tanto, tenemos que

$$V_{GS3} = V_{DS3} = V_{GS4} = V_{DS4} = V_{GS11} \quad (3.21)$$

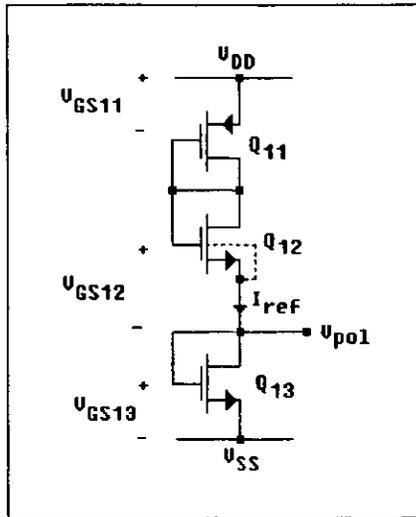


FIGURA 3.4 Circuito de polarización para el op-amp de la figura 3.3.

En síntesis, se puede dimensionar a los dispositivos NMOS Q_9 y Q_{12} para satisfacer a

$$\frac{(W/L)_9}{(W/L)_{12}} = \frac{I_{10}}{I_{ref}} = \frac{(W/L)_{10}}{(W/L)_{13}} \quad (3.22)$$

Esto causará que $V_{GS9} \cong V_{GS12}$, y utilizando a 3.18 y 3.21 se tiene que

$$\begin{aligned} V_{GS7} &= V_{DD} + V_{DS4} - V_{GS9} - V_{SS} = V_{DD} + V_{GS11} - V_{GS12} - V_{SS} \\ &= V_{pol} - V_{SS} = V_{GS13} = V_{GS5} = V_{GS10}. \end{aligned} \quad (3.23)$$

Este acoplamiento de voltajes es independiente de V_{DD} y V_{SS} .

De esta manera, si I_7 es el valor deseado de la corriente de polarización de salida, entonces se tienen que hacer a las dimensiones de los dispositivos NMOS Q_7 y Q_{13} para satisfacer a

$$\frac{(W/L)_7}{(W/L)_{13}} = \frac{I_7}{I_{ref}} \quad (3.24)$$

Finalmente, como

$$V_{GS6} = V_{DS4} \cong V_{DS3} = V_{GS3} \quad (3.25)$$

y también haciendo a

$$\frac{(W/L)_6}{(W/L)_{11}} = \frac{I_7}{I_{ref}} \quad (3.26)$$

Cabe notar que esta elección de las dimensiones establecerá las corrientes de polarización deseadas sin introducir algún voltaje de desviación sistemático. Asumiendo que ahora varía el voltaje de alimentación en el circuito. Entonces cambiará I_{ref} , y también V_{GS11} , V_{GS12} , y V_{GS13} . Sin embargo, Q_{11} , Q_{12} , y Q_{13} continuarán conduciendo; de hecho, todos continuarán en saturación puesto que están conectados sus gates y drains. Pero como las corrientes y voltajes de gate a source de Q_5 , Q_{10} , y Q_7 reflejan a los de Q_{13} , también éstos conducirán y permanecerán en saturación. Además, como las corrientes y voltajes de Q_3 , Q_4 , y Q_6 reflejan a los de Q_{11} , estos transistores conducirán y continuarán en saturación. Finalmente, las condiciones de conducción y saturación de Q_9 seguirán a las de Q_{12} . De esta manera, todos los transistores tienen condiciones de polarización dc estabilizadas.

Para los op-amps NMOS, pueden derivarse consideraciones similares de polarización. En general, los op-amp NMOS son más complejos y por lo tanto requieren más potencia dc y circuitos de polarización más elaborados que su similar CMOS.

6. Resistencia de Salida. Ésta es generalmente importante sólo para la salida del amplificador, la cual puede que tenga que excitar a una gran capacitancia y/o resistencia de carga. La resistencia R_{out} del op-amp para baja frecuencia sin realimentación negativa (malla abierta) es del orden de $r_d/2$ para un circuito sin buffer, tal como se muestra en la fig. 3.2 ó 3.3. Donde r_d es la resistencia de drain del dispositivo de salida, del orden 0.1~1 M Ω . Para un circuito con buffer (como el mostrado en al fig. 2.83), la impedancia de salida es de aproximadamente $1/g_m$, donde g_m es la transconductancia del dispositivo de salida; por lo que $R_{out} \approx 1 \text{ K}\Omega$. En malla cerrada, la impedancia de salida R_{out} es $(1-A_C)/A$, donde A es la ganancia de malla abierta y A_C la de malla cerrada. Como normalmente $A > 1000$, la impedancia de salida de malla cerrada es de alrededor de 1 K Ω . para op-amp sin buffer, y muy baja (del orden de unos cuantos de ohms) para los que utilizan buffer. Este valor es lo suficientemente bajo para la mayoría de las aplicaciones.

7. Ruido y Rango Dinámico. Estos puntos fueron vistos anteriormente con algún detalle en la sección 2.10 para op-amp CMOS y-en la sección 2.13 para algunos NMOS. Por lo consiguiente, no serán analizados aquí.

8. Rechazo de Fuente de Potencia. Por varias razones, éste es uno de los importantes efectos no ideales en circuitos integrados analógicos NMOS. Primero, puede que algunos circuitos (algunos analógicos, algunos digitales) trabajen con la misma fuente de potencia. Por consiguiente, un número de señales de corrientes analógicas y digitales pueden entrar a las líneas de alimentación. Puesto que estas líneas tienen impedancia de salida, el voltaje de ruido digital y analógico será agregado al voltaje dc proporcionado por la fuente. Si el circuito del op-amp no rechaza este ruido, entonces el ruido aparecerá en la salida, reduciendo la relación señal/ruido y el rango dinámico. Segundo, si se utilizan reguladores conmutados o multiplicadores de voltaje dc, una cantidad considerable de ruido de conmutación a alta frecuencia se presentará en la línea de alimentación. Finalmente, las señales de reloj de varios circuitos alimentados de la misma línea generalmente también aparecerán agregadas en la fuente de voltaje con una amplitud reducida pero diferente de cero.

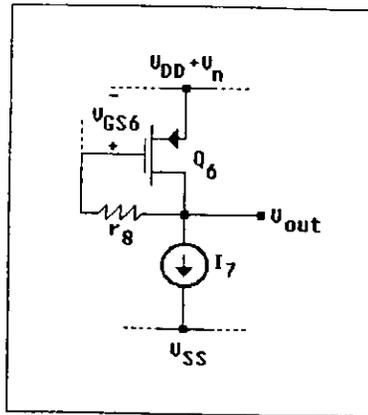


FIGURA 3.5 Modelo de alta frecuencia para la etapa de salida del op-amp.

La trayectoria directa más probable que la fuente de ruido puede acoplar a la señal es vía los op-amp. De esta manera, es de gran importancia un alto valor de la relación de rechazo de fuente de potencia (PSRR), definida en la sección.2.1 como la relación de ganancia diferencial A_D de malla abierta y la ganancia de ruido A_p de la fuente del op-amp de salida.

A bajas frecuencias, normalmente la fuente de ruido está acoplada directamente al op-amp a través de los circuitos de polarización, y además puede entrar debido a la asimetría en la etapa de entrada diferencial. De otra manera, a altas frecuencias, la ganancia de ruido está determinada principalmente por las ramas capacitivas. Considerando los circuitos de las figs. 3.2 y 3.3. A alta frecuencia, el capacitor de compensación C_c se comporta como un corto circuito, y los voltajes de gate y drain de Q_6 son aproximadamente iguales (puesto que la resistencia drain/source r_8 de Q_6 es pequeña en la región lineal). Por consiguiente, como muestra la fig. 3.5, el incremento del voltaje de salida debido a la fuente de ruido V_n es

$$\Delta V_{out} = v_n + \Delta V_{GS6} = v_n$$

ya que $V_{GS6} = I_7/g_{m7}$ es constante. De esta manera, $A_p = 1$ para esta etapa, independientemente de la frecuencia. La impedancia de salida de Q_6 excitando a C_L con este voltaje de ruido es baja,

de alrededor de $1/g_{m6}$. Como la ganancia de malla abierta A_D se reduce con incrementos de la frecuencia a razón de -6 dB/octava mientras que A_p permanece constante, el PSRR debido al ruido en V_{DD} decrece con la misma razón de A_D , alcanzando 0 dB cerca de la frecuencia a ganancia unitaria.

La situación es más favorable con respecto al ruido en la línea V_{SS} . La ganancia en modo común para el ruido de entrada vía Q_5 es baja. Cualquier ruido que entre vía Q_{10} y Q_7 se agregará a la señal y atenuará a la misma razón (-6 dB/octava) que señal del capacitor C_L de carga por lo que ahora el ruido en la impedancia de salida es alto.

Una técnica efectiva para incrementar el PSRR para el ruido de la alimentación positiva se muestra en la fig. 3.6. En contraste, para los circuitos de las figs. 3.2 y 3.3 donde Q_8 trabaja como un resistor lineal para la realimentación y para las señales en directa, Q_8 ahora está polarizado en la región de saturación. Por lo que, en la dirección de la realimentación (de V_{out} a través de C_c y Q_8 al gate de Q_6) la resistencia es $1/g_{m8}$, mientras que visto desde el nodo A hacia el drain de Q_8 muestra una alta impedancia r_{d8} . De esta manera, mientras que continúe funcionando la realimentación (y de esta manera también la compensación), la trayectoria de la alimentación en directa para el ruido es interrumpida. Específicamente, si V_{DD} cambia, el voltaje de source de Q_6 también lo hará, y seguirá (como fue explicado anteriormente) al voltaje V_{G6} de gate de Q_6 . Sin embargo, ahora, la terminal de salida no está en corto con V_{G6} , y por lo consiguiente V_{out} no necesita seguir a V_{G6} . Así, A_p es reducida considerablemente a altas frecuencias.

Las corrientes I de las dos fuentes (necesitan mantener a Q_8 en la región de saturación) deben acoplarse cuidadosamente. Esto es posible utilizando la estrategia explicada en conexión con la fig. 3.4. Cualquier mal acoplamiento introducirá un voltaje de desviación. Además, la impedancia en el nodo A es algo reducida y por lo consiguiente se reduce la ganancia de la etapa de entrada. Finalmente, debido a los dispositivos que se agregaron, se incrementa el ruido generado dentro del op-amp; sin embargo, generalmente pesa más el efecto del PSRR incrementado y se reduce el ruido total de salida del op-amp.

Otra trayectoria para la introducción de ruido de la fuente de potencia es proporcionada por las capacitancias parásitas. Considerando el circuito de la fig. 3.7. Éste ilustra un integrador de

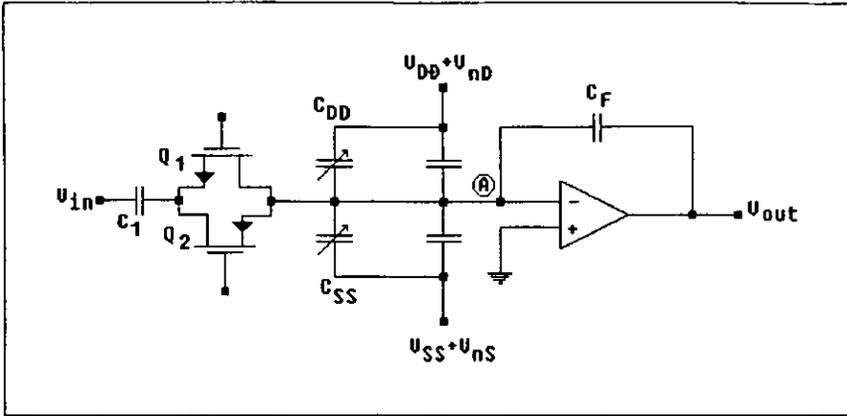


FIGURA 3.7 Efecto de las capacitancias parásitas en el nodo de suma A de un integrador

Las capacitancias parásitas dentro del op-amp también contribuyen a la ganancia de ruido de la fuente de potencia. Considerando el circuito equivalente del op-amp con un capacitor C_F externo de realimentación, como muestra la fig. 3.8. La figura también ilustra las capacitancias parásitas C_{gd} y C_{gs} del dispositivo de entrada Q_1 . El ruido en la línea positiva aparecerá en las líneas de los drains de Q_3 y Q_4 y, de lo anterior, se acoplará al nodo (A) de entrada vía C_{gd} y de ahí a la salida vía C_F . Agregando que, las variaciones de la corriente I_o de polarización debido al ruido en V_{DD} y V_{SS} cambiarán a los voltajes V_{gs} de gate a source de Q_1 y Q_2 por $\Delta V_{gs} \cong (\Delta I_o/2)g_{mi}$. Los cambios correspondientes en los voltajes de source serán acoplados al nodo A por C_{gs} . Similarmente, cambios en V_{SS} alterarán el voltaje de umbral de V_{Tn} de Q_1 y Q_2 , salvo que estos dispositivos sean colocados en un pozo P aislado. Ocasionando cambios en los voltajes de source los cuales además serán acoplados al nodo de entrada por C_{gs} y a la salida vía C_F . Las relaciones

$$\frac{\partial v_{out}}{\partial V_{SS}} \cong \frac{C_{gs}}{C_F} \left(\frac{\partial I_o}{\partial V_{SS}} \frac{1}{2g_{mi}} + \frac{\partial V_{Tn}}{\partial V_{SS}} \right) + \frac{C_{gd}}{C_F} \frac{1}{2g_{mi}} \frac{\partial I_o}{\partial V_{SS}} \tag{3.27}$$

$$\frac{\partial v_{out}}{\partial V_{DD}} \cong -\frac{C_{gd}}{C_F} \left(1 - \frac{\partial I_o}{\partial V_{DD}} \frac{1}{2g_{mi}} \right) + \frac{C_{gs}}{C_F} \frac{1}{2g_{mi}} \frac{\partial I_o}{\partial V_{DD}}$$

dan la ganancia de ruido de la fuente de potencia del circuito. Conteniendo los términos $\partial I_0 / \partial V_{SS}$ y $\partial I_0 / \partial V_{DD}$ los cuales pueden eliminarse utilizando una fuente de polarización independiente para la fuente de corriente I_0 . El término $\partial V_{Tn} / \partial V_{SS}$ puede eliminarse en amplificadores CMOS utilizando un pozo P para Q_1 y Q_2 , conectado a sus sources. En amplificadores NMOS, la dependencia de V_{Tn} en la fuente de voltaje puede reducirse utilizando un dopado muy ligero en el sustrato.

Si todos los pasos anteriormente citados se utilizan para reducir la ganancia de ruido, entonces la ganancia permitida es $\partial V_{out} / \partial V_{DD} \cong -C_{gd} / C_F$. Esto puede, en principio, reducirse haciendo pequeños a Q_1 y Q_2 y/o grande a C_F . Lo primero, sin embargo, causa el incremento del ruido generado internamente, mientras lo segundo incrementa el área necesaria del chip. Una técnica que elimina el problema, con el costo de una ligera reducción del rango de entrada en modo común, es utilizar circuitería cascode (fig. 3.9) en la etapa de entrada. Los dispositivos agregados Q_5 y Q_6 y por lo tanto los drains Q_1 y Q_2 del buffer son independientes de las variaciones de la fuente de voltaje V_{DD} proporcionadas por V_{pol} .

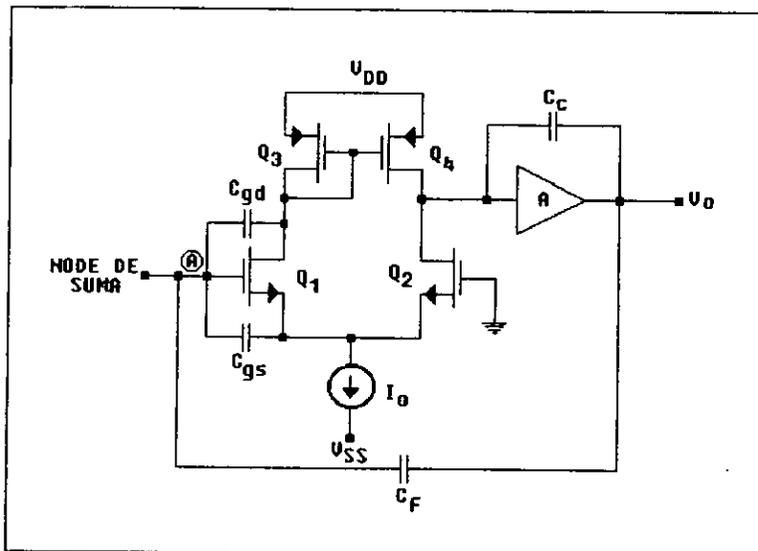


FIGURA 3.8 Circuito equivalente para el op-amp conectado como integrador.

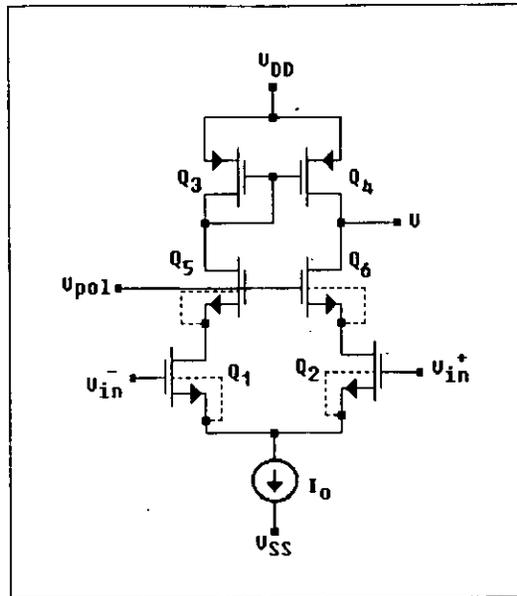


FIGURA 3.9 Etapa de entrada diferencial CMOS cascode.

3.2 DISEÑO DE OP-AMP MOSFET

Como el diseño de op-amp MOSFET no es un proceso científicamente exacto. El circuito debe satisfacer varios requerimientos. Los parámetros de operación más frecuentemente especificados están organizados en la tabla 3.1. Otro importante criterio de diseño incluye el nivel de ruido, rango dinámico, impedancia de salida y el área ocupada por el chip. Los pasos específicos seguidos por el diseño dependen de la aplicación, el circuito elegido, y la relativa importancia de varios de los criterios.

Para ilustrar el proceso, los dispositivos del circuito de la fig. 3.2 son dimensionados de manera que cumplan con las siguientes especificaciones:

PARÁMETROS DE DISEÑO	SÍMBOLO	RELACIÓN CON OTROS PARÁMETROS*	VALORES TÍPICOS
GANANCIA DE MALLA ABIERTA A BAJA FRECUENCIA	A_n	$\frac{g_{m6}(g_{m6} + g_{m7})}{(g_{d1} + g_{d1})(g_{d6} + g_{d7})}$	$10^3 \sim 10^4$
FRECUENCIA A GANANCIA UNITARIA	f_n	$g_{m1}/2\pi C_c$	$f_n = 1 \sim 10$ MHz
VELOCIDAD DE RESPUESTA	S_r	I_o/C_c	$2 \sim 20$ V/ μ s
RELACIÓN DE RECHAZO EN MODO COMÚN	CMRR	$2 \frac{g_{m1} g_{m1}}{g_{d5} g_{d1}}$	$60 \sim 80$ dB
POTENCIA D.C. DE DRAIN	P_{dc}	$(V_{DD} - V_{SS})(I_o + I_r + I_{10})$	$0.5 \sim 10$ mW
MARGEN DE FASE (MALLA ABIERTA)	ϕ_M	$\phi_M > 60^\circ$ para $ s_{p2} \geq 3\omega_o$	$45^\circ \sim 90^\circ$
IMPEDANCIA DE CARGA	R_l, C_l	ninguna	$1 \sim 100$ k Ω $1 \sim 100$ pF

TABLA 3.1 Parámetros de operación para el op-amp.

* Las fórmulas en esta columna están dadas para el circuito de la fig. 3.3. Haciendo a g_{m7} e I_{10} igual a cero para obtener las relaciones del amplificador de la fig. 3.2.

Ganancia a baja frecuencia	$A_o \geq 70 \text{ dB}$
Frecuencia a ganancia unitaria	$f_o \geq 2 \text{ MHz}$
Velocidad de respuesta	$S_r \geq 4 \text{ V}/\mu\text{s}$
Relación de rechazo en modo común	$\text{CMRR} \geq 80 \text{ dB}$
Margen de fase	$\phi_M > 60^\circ$
Impedancia de carga	$C_L = 10 \text{ pF}$
Alimentación de voltaje dc	$V_{DD} = -V_{SS} = 5 \text{ V}$

Se asumirá que el factor de transconductancia $k' \frac{\Delta \mu C_{ox}}{2}$ es $30 \mu\text{A}/\text{V}^2$ para dispositivos NMOS y $12 \mu\text{A}/\text{V}^2$ para los PMOS. Además se asumirá que los voltajes de umbral serán $V_{Tn} = 1.2 \text{ V}$ y $V_{Tp} = -1 \text{ V}$.

Como fue citado en la sección 3.1, es común hacer al capacitor C_c de compensación igual a C_L . Por lo que, haciendo a

$$C_c = C_L = 10 \text{ pF} \quad (3.28)$$

Para un adecuado margen de fase (ϕ_M), la frecuencia del segundo polo (S_{p2}) de la ganancia de malla abierta deberá ser lo suficientemente mayor que ω_o , frecuencia a ganancia unitaria. Como muestra la fig. 2.64, para $|S_{p2}| \sim 2\omega_o$ la contribución del factor $j\omega - S_{p2}$ para la fase a $\omega = \omega_o$ es de alrededor de 30° , y por lo tanto el margen de fase es de 60° . Así, $|S_{p2}| = 3\omega_o$ da un margen mayor de 60° . El valor de S_{p2} puede encontrarse del circuito equivalente de señal pequeña del op-amp de la fig. 3.2, mostrado en la fig. 3.10.

Alternativamente, puede utilizarse la ec. 2.118 derivada para el circuito de la fig. 2.70; donde, se reemplaza a g_{m8} por g_{m6} (ahora Q_6 es el excitador) y se ignora a g_{m9} (ya que Q_7 , el dispositivo de salida, se utiliza únicamente como una fuente de corriente). De esta manera, asumiendo que $C_A \ll C_L = C_c$ y $g_{m6} \gg g_{d7}$, resulta que

$$s_{p2} = \frac{-g_{m6} C_c}{C_A(C_L + C_c) + C_L C_c} \cong -\frac{g_{m6}}{C_L} \quad (3.29)$$

Por lo consiguiente, como fue dado anteriormente por 3.15, la ec. de diseño es

$$|s_{p2}| = g_{m6}/C_L = 3\omega_o = 3g_{mi}/C_c \quad (3.30)$$

Esto da

$$g_{m6} = 3g_{mi} = 3\omega_o C_L = 3 \times 2\pi \times 10^6 \times 10^{-11} \quad (3.31)$$

y por lo consiguiente

$$\begin{aligned} g_{m6} &\cong 377 \times 10^{-6} \text{ A/V} = 377 \text{ } \mu\text{A/V} \\ g_{mi} &\cong 125.7 \text{ } \mu\text{A/V} \end{aligned} \quad (3.32)$$

La velocidad de respuesta especificada requiere que la corriente de polarización de la etapa de entrada satisfaga a

$$I_o = S_r C_c \geq 4 \times 10^6 \times 10^{-11} = 40 \text{ } \mu\text{A} \quad (3.33)$$

Se puede hacer a $I_o = 40 \text{ } \mu\text{A}$.

Como se explico en la sección 3.1 (ver lo visto antes de la ec. 3.16) la limitación de la salida negativa de la velocidad de respuesta debido a la utilización de Q_7 como una fuente de corriente es

$$S_{rO} \leq I_{pol}/C_L \quad (3.34)$$

Para hacer pequeño a este efecto, puede hacerse que $S_{rO} = 2.5S_r = 10 \text{ V}/\mu\text{S}$. Por lo consiguiente

$$I_{pol} = C_L S_{r0} = 10^{-11} \times 10^7 = 100 \mu A. \quad (3.35)$$

Por lo que también una corriente grande permite la realización del g_{m6} requerido (grande) sin una excesiva razón de forma $(W/L)_6$.

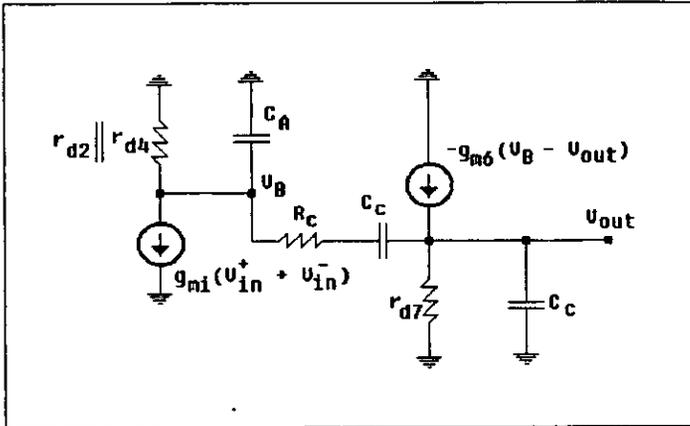


FIGURA 3.10. Circuito equivalente de señal pequeña para el op-amp de la fig. 3.2.

De la ec. 3.6, para evitar el voltaje de desviación debe mantenerse la condición

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{I_0/2}{I_{pol}} = \frac{1}{5}. \quad (3.36)$$

Ya que, por la ec. 1.18 de la sección 1.4, g_m es proporcional a $\sqrt{(W/L)_{DO}}$, de las ec's 3.33 - 3.36

se obtienen las transconductancias de las cargas

$$g_{m1} = g_{m3} = g_{m4} = \sqrt{\frac{(W/L)_3 I_0/2}{(W/L)_6 I_{pol}}} \quad g_{m6} = \frac{I_0/2}{I_{pol}} g_{m6} = \frac{g_{m6}}{5} \quad (3.37)$$

$$\cong 75.4 \mu A/V.$$

En este punto, puede encontrarse una estimación de la ganancia A_o a baja frecuencia y la relación de rechazo en modo común. De la ec. 1.20 de la sección 1.4 en el capítulo 1, la conductancia del drain de un MOSFET es de aproximadamente $g_d \approx \lambda i_D^0$,¹ donde λ es la constante de la modulación por el largo del canal ($\lambda \cong 0.03 \text{ V}^{-1}$ para $L \cong 10 \text{ } \mu\text{m}$) e i_D^0 es la corriente dc del drain. Por lo que, de la figura 3.2 ó de la tabla 3.1,

$$\begin{aligned}
 A_o &= \frac{g_{m1}g_{m6}}{(g_{d1} + g_{di})(g_{d6} + g_{d7})} \cong \frac{g_{m1}g_{m6}}{(\lambda I_o)(2\lambda I_{po})} \\
 &\cong \frac{125.7 \times 10^{-6} \times 377 \times 10^{-6}}{(0.03 \times 40 \times 10^{-6})(0.06 \times 100 \times 10^{-6})} \cong 6582 \quad (3.38)
 \end{aligned}$$

lo cual corresponde a una ganancia mayor de 76 dB. Similarmente de 2.66, el rechazo de modo común puede aproximarse por:

$$\begin{aligned}
 \text{CMRR} &= 2 \frac{g_{m1}g_{m1}}{g_{d5}g_{di}} \cong \frac{2g_{m1}g_{m1}}{(\lambda I_o)(\lambda I_o \cdot 2)} \\
 &= \frac{2 \times 125.7 \times 10^{-6} \times 75.4 \times 10^{-6}}{(0.03 \times 40 \times 10^{-6})(0.03 \times 20 \times 10^{-6})} \cong 26,327 \quad (3.39)
 \end{aligned}$$

lo cual corresponde a una relación de rechazo en modo común de alrededor de 88 dB.

Ambos valores exceden las especificaciones. Si este no hubiera sido el caso, las especificaciones habrían sido inconsistentes. Esto puede verse utilizando las ec's. (3.29-3.37) para expresar los parámetros de entrada A_o y CMRR:

$$g_{m1} = C_c \omega_o$$

$$I_o = C_c S_r$$

¹ Como en los canales N y P de los dispositivos los valores de λ son ligeramente diferentes, este cálculo sólo da una estimación aproximada de A_o y del CMRR.

$$g_{m6} = 3\omega_o C_L. \quad (3.40)$$

$$I_{pol} = S_{rO} C_L.$$

$$g_{mi} = I_o g_{m6} / (2I_{pol}) = 3C_c S_r \omega_o / 2S_{rO}.$$

Por lo consiguiente,

$$A_o \cong \frac{3\omega_o^2}{2\lambda^2 S_r S_{rO}} \quad (3.41)$$

y

$$CMRR \cong \frac{6\omega_o^2}{\lambda^2 S_r S_{rO}} \cong 4A_o. \quad (3.42)$$

Así, ambos valores de A_o y $CMRR$ son determinados completamente por ω_o y por las velocidades de respuesta. Pueden incrementarse haciendo grandes a los valores de g_{mi} y g_{m6} (y por lo consiguiente a los valores de ω_o y $|S_{p2}|$).

La resistencia r_g de Q_g se encuentra para el lugar del cero S_z de $A_v(S)$ en el punto deseado. Un análisis simple basado en la fig. 3.10 muestra que para el circuito de la fig. 3.2 el cero está en

$$S_z = \frac{-1}{(R_c - 1/g_{m6})C_c} \quad (3.43)$$

y por lo consiguiente la resistencia requerida está relacionada con la posición deseada del cero S_z por la fórmula

$$R_c = \frac{1}{|S_z|C_c} + \frac{1}{g_{m6}} \quad (3.44)$$

Como se vio en la sección 2.8, existen varias estrategias para elegir a S_z . Una posible es hacer a $S_z = S_{p2}$, otra es desviar a S_z al ∞ . Para la primera, utilizando a 3.29 y a $C_c = C_L$, se tiene que

$$R_c = \frac{1}{|S_{p2}| C_c} + \frac{1}{g_{m6}} \cong \frac{2}{g_{m6}} \cong 5.3 \text{ k}\Omega. \quad (3.45)$$

Para el último caso, $R_c = 1/g_{m6} \cong 2.65 \text{ K}\Omega$. (Cabe notar que puede lograrse un margen de fase constante haciendo a $|S_2|$ sólo ligeramente arriba de ω_0 ; un valor normalmente razonable es $|S_2| \sim 1.2 \omega_0$) Donde, se eligió el valor dado por 3.45. Cabe notar que Q_8 está en la región lineal, ya que el gate está a V_{SS} , mientras que el voltaje dc de drain a source es cero. Por lo consiguiente, de la ec. 1.6 y de la sección 1.2,

$$\begin{aligned} \frac{1}{R_c} &= \left| \frac{\partial i_D}{\partial V_D} \right| = \mu C_{ox} \left(\frac{W}{L} \right)_8 |V_{GS8} - V_T| \\ &= 2k_8 (|V_{SS} - V_{D8}| - |V_T|). \end{aligned} \quad (3.46)$$

A continuación, será tratado el diseño de las fuentes de corriente Q_5 y Q_7 . Las razones de forma W/L de esos transistores no deberán ser demasiado pequeñas ya que de otra manera deberá ser grande el voltaje requerido gate a source ($V_{GS} - V_T$) para las corrientes dadas (I_o , I_{pol}). Éste es un inconveniente, ya que los voltaje V y V_{out} (fig. 3.2) no permiten la caída por debajo de $V_{SS} + V_{GS} - V_T$ si permanecen en saturación Q_5 y Q_7 . Por lo consiguiente, un $V_{GS} - V_T$ grande para Q_5 y Q_7 limita el voltaje de excursión y por lo tanto el rango dinámico del op-amp.

Por otra parte, las áreas de Q_5 y Q_7 no deben ser demasiado grandes. Una razón es que, por supuesto, es muy costoso el chip; la otra, es que una área grande de Q_5 incrementa la capacitancia parásita C_w a través de la fuente de corriente. Esta capacitancia consiste de dos capacitancias conectadas en paralelo con polarización inversa en la unión: la capacitancia de drain a sustrato de Q_5 , y la capacitancia del pozo P al sustrato de Q_1 y Q_2 . A alta frecuencia C_w origina un decremento del CMRR, por lo que entonces g_{d5} es remplazado por $g_{d5} + j\omega C_w$ en 3.39. Además, como se explico en conexión con las figs. 2.74 - 2.76, C_w causa una distorsión en la

respuesta escalón del op-amp. Una capacitancia parásita grande a través de Q_7 , origina una gran difusión en el drain, que incrementará a C_L y por lo consiguiente reducirá el margen de fase.

De esta manera, debe hallarse un arreglo cuando sean dimensionados Q_5 y Q_7 . De la ec. 1.8 del capítulo 1, los voltajes de gate a source son

$$V_{GS5} - V_T \cong \sqrt{\frac{I_o}{k'_n(W/L)_5}}$$

y

(3.47)

$$V_{GS7} - V_T \cong \sqrt{\frac{I_{pol}}{k'_n(W/L)_7}}$$

Asumiendo que $k'_n = 30 \mu A/V^2$ para los dispositivos NMOS y $k'_p = 12 \mu A/V^2$ para los PMOS; y permitiendo un exceso de 0.5 V para ambos dispositivo Q_5 y Q_7 se tiene que

$$(W \cdot L)_5 = \frac{I_o}{k'_n(V_{GS5} - V_T)^2} = \frac{40}{30 \times (0.5)^2} \cong 5.33$$

y

(3.48)

$$(W \cdot L)_7 = \frac{I_{pol}}{k'_n(V_{GS7} - V_T)^2} = \frac{100}{30 \times (0.5)^2} \cong 13.33.$$

Para evitar los efectos de un canal corto el cual ocurre para $L < 10 \mu m$ y el cual podría incrementar la conductancia g_d del drain, haciendo a $L_5 = L_7 = 10 \mu m$. Entonces puede utilizarse a $W_5 = 54 \mu m$ y a $W_7 = 133 \mu m$.

Calculando a continuación las transconductancias de las relaciones de forma de Q_1 - Q_4 y Q_6 .

De la ec. 1.18 del capítulo 1, y asumiendo que $|\lambda v_{Ds}| \ll 1$, la transconductancia está dada por

$$g_m \cong 2\sqrt{k'(W/L)_D^2 I_D}$$
(3.49)

Por lo consiguiente, la razón de forma puede encontrarse de

$$(W/L)_1 = (W/L)_2 \cong \frac{g_{mi}^2}{4k_n I_D/2} = \frac{(125.7)^2}{4 \times 30 \times 20} \cong 6.58$$

y

(3.50)

$$(W/L)_3 = (W/L)_4 \cong \frac{g_{mi}^2}{4k_p I_D/2} = \frac{(75.4)^2}{4 \times 12 \times 20} \cong 5.92.$$

y, por 3.36,

$$(W/L)_6 = 5(W/L)_3 \cong 29.6. \quad (3.51)$$

Haciendo nuevamente para todos los transistores a $L = 10 \mu\text{m}$, resulta que $W_1 = W_2 = 66 \mu\text{m}$, $W_3 = W_4 = 60 \mu\text{m}$ y que $W_6 = 300 \mu\text{m}$. (cabe notar que frecuentemente las consideraciones de ruido requieren que el ancho del dispositivo de entrada sea elegido mucho mayor, por decir de unos $200 \mu\text{m}$ o más)

A continuación, estimando el voltaje dc de polarización (común) en los drains de Q_1 - Q_4 . Como todos ellos llevan una corriente dc de $I_D/2$, se tiene que

$$I_D/2 = k_p (W/L)_3 (|V_{GS3}| - |V_{Tp}|)^2. \quad (3.52)$$

Como el voltaje de umbral del PMOS es $V_{Tp} = -1 \text{ V}$,

$$|V_{GS3}| = |V_{Tp}| + \sqrt{\frac{I_D/2}{k_p (W/L)_3}} = 1 + \sqrt{\frac{20}{12 \times 6}}$$

$$\cong 1.527 \text{ V.}$$

(3.53)

Por lo consiguiente, los drains de Q_1 - Q_4 tienen un voltaje dc de polarización de $V_{DD} - |V_{GS3}| \cong 5 - 1.527 = 3.473$ V. También éste es el voltaje dc de polarización de drain y source V_{D8} de Q_8 , y por lo tanto de la ec. 3.45 y 3.46

$$2k_p'(W/L)_8(|-5 - 3.473| - 1) = 1/R_c \quad (3.54)$$

$$(W/L)_8 = \frac{1}{2 \times 12 \times 10^{-6} \times 5300 \times 7.473} \cong 1.052.$$

Por lo tanto, puede utilizarse a $W_8 = L_8 = 10 \mu\text{m}$.

En este punto, las dimensiones de todos los dispositivos han sido determinadas (tentativamente) y además conociendo los valores de todas la corrientes. Se han hallado los voltajes de drain Q_1 y Q_2 ; sus sources están (para $V_{in}^- = V_{in}^+ = 0$) a un voltaje V tal que

$$k_n'(W/L)_1(-v - V_{Tn})^2 = I_D/2 \quad (3.55)$$

el cual da, para $V_{Tn} \cong 1.2$ V,

$$-v = V_{Tn} + \sqrt{\frac{I_D}{2k_n'(W/L)_1}} \quad (3.56)$$

$$-v = 1.2 + \sqrt{\frac{40}{2 \times 30 \times 6.6}} = 1.518 \text{ V}$$

así que $v \cong -1.52$ V.

La única manera de poner a prueba es diseñar una cadena de polarización la cual proporcione el V_{pol} . En 3.48, se han dimensionado a Q_5 y a Q_7 de tal manera que $V_{GS5} = V_{Tn} + 0.5 \text{ V} = 1.7$

V. De manera que, $V_{pol} = V_{SS} + V_{GS5} = -3.3$ V. Esto puede lograrse con el circuito mostrado en la fig. 3.11. Haciendo a la corriente $I_b = 20$ μ A de la cadena de polarización, las relaciones de forma de Q_9 y Q_{10} pueden encontrarse fácilmente: ya que se sabe que $V_{GS9} = 0 - V_{pol} = 3.3$ V y $V_{GS10} = V_{pol} - V_{SS} = 1.7$ V,

$$(W/L)_9 = \frac{I_b}{k_n (V_{GS9} - V_{Tn})^2} = \frac{20}{30 \times 2.1^2} \cong 0.1512 \quad (3.57)$$

y

$$(W/L)_{10} = \frac{I_b}{k_n (V_{GS10} - V_{Tn})^2} \cong 2.667. \quad (3.58)$$

Por lo consiguiente, puede utilizarse a $W_9 = 10$ μ m, $L_9 = 66$ μ m, y $W_{10} = 27$ μ m, $L_{10} = 10$ μ m.

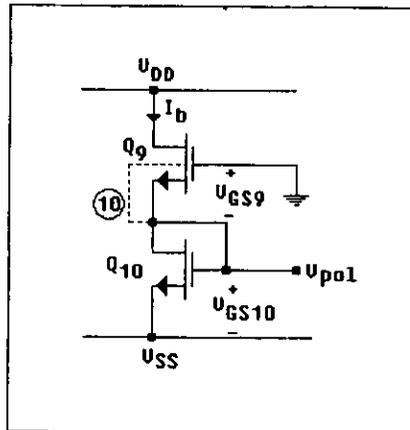


FIGURA 3.11 Circuito de polarización para el op-amp de la fig. 3.2.

Para verificar la exactitud del diseño, en el capítulo cuatro (ejemplo 4) se simula el amplificador utilizando PSPICE.

Como ejemplo, repitiendo el diseño con las mismas especificaciones, pero utilizando el circuito de la fig. 3.3 con su etapa de salida clase AB. Nuevamente, se hace a $C_c = C_L = 10$ pF, y como

$\omega_o = g_{mi}/C_c$. g_{mi} está dada como anteriormente por 3.32. Además, l continua siendo igual (determinada por la velocidad de respuesta y por C_c), como fue dada por 3.33. Por el argumento llevado anteriormente por 3.48, puede utilizarse nuevamente a $(W/L)_5 = 5.4$. Para obtener el CMRR especificado, de las ec's. 2.66 y 1.20

$$g_{mi} \geq (\text{CMRR}) \frac{g_{d5} g_{d1}}{2g_{mi}} \cong 10^4 \frac{(\lambda_{l0})(\lambda_{l0}/2)}{2g_{mi}}$$

$$\cong 10^4 \frac{(0.03)^2 (40 \times 10^{-6})^2}{2 \times 2 \times 125.7 \times 10^{-6}} \cong 28.6 \mu\text{A/V.} \quad (3.59)$$

Por consiguiente, permanecen satisfactoriamente los valores dados en 3.37. En conclusión, pueden permanecer iguales las dimensiones de la etapa de entrada para el nuevo circuito, ya que son determinadas por los requerimientos (sin cambiar) ω_o , S_r , C_c , y CMRR.

Utilizando la ec. 3.43 y cambiando apropiadamente los subíndices, el segundo polo S_{p2} puede hallarse de

$$s_{p2} \cong - \frac{g_{m6} + g_{m7}}{C_L} \quad (3.60)$$

Por lo consiguiente, para $|S_{p2}| = 3\omega_o$, debe satisfacer ahora la relación

$$g_{m6} + g_{m7} = 3g_{mi} \cong 377 \mu\text{A/V.} \quad (3.61)$$

Para determinar individualmente a g_{m6} y g_{m7} , notando que $i_6 = i_7$, y por lo consiguiente satisfaciendo los voltajes de polarización

$$k_6 (|V_{GS6}| - |V_{Tp}|)^2 = k_7 (V_{GS7} - V_{Tn})^2 \quad (3.62)$$

Además, como fue dado anteriormente en 3.53

$$V_{GS6} = V_{DS4} = V_{GS3} \cong -1.527. \quad (3.63)$$

ya que la etapa de entrada permanece igual. Además, como se sugirió en la ec. 3.23 de la sección 3.1, los voltajes y corrientes de polarización pueden hacerse insensitivos para las variaciones del proceso si se hace a $V_{GS7} = V_{GS5} = V_{GS10} = V_{pol} - V_{SS} = -3.3 + 5 = 1.7$ V. Por lo consiguiente, utilizando a 1.18 y 3.62,

$$\begin{aligned} \frac{g_{m6}}{g_{m7}} &\cong \frac{2\sqrt{k_6 i_6^0}}{2\sqrt{k_7 i_7^0}} = \sqrt{\frac{k_6}{k_7}} = \frac{V_{GS7} - V_{Tn}}{|V_{GS6}| - |V_{Tp}|} \\ &= \frac{1.7 - 1.2}{1.527 - 1} \cong 0.9488. \end{aligned} \quad (3.64)$$

Combinando las ec's 3.61 y 3.64, se obtiene que

$$g_{m6} = 183.5 \mu\text{A/V}$$

y

$$g_{m7} = 193.5 \mu\text{A/V}.$$

Para evitar la desviación, como se vio en conexión con la ec. 3.6, se debe tener que

$$\frac{(W/L)_3}{(W/L)_6} = \frac{k_3}{k_6} = \frac{i_3^0}{i_6^0}. \quad (3.66)$$

Por lo consiguiente,

$$\frac{g_{m3}}{g_{m6}} = \frac{2\sqrt{k_3 i_3^0}}{2\sqrt{k_6 i_6^0}} = \frac{k_3}{k_6} = \frac{i_3^0}{i_6^0} = \frac{I_0/2}{I_0/6}. \quad (3.67)$$

Como, de 3.37 y 3.65.

$$\frac{g_{m3}}{g_{m6}} \cong \frac{75.4}{183.5} \cong 0.4108 \quad (3.68)$$

e $i_{D2} = 20 \mu\text{A}$, se obtiene $i_{D8} = 49 \mu\text{A}$. Además, de $(W/L)_3 = 6$, $(W/L)_6 \cong 14.6$. Por lo tanto, puede utilizarse a $L_6 = 10 \mu\text{m}$ y a $W_6 = 146 \mu\text{m}$.

A continuación, como $i_{D7} = i_{D6} = 49 \mu\text{A}$

$$(W/L)_7 = \frac{g_{m7}^2}{4k_7 i_{D7}^2} = \frac{(193.5)^2}{40 \times 30 \times 49} \cong 6.37. \quad (3.69)$$

Por lo tanto, puede hacerse a $L_7 = 10 \mu\text{m}$ y a $W_7 = 64 \mu\text{m}$.

Finalmente, serán dimensionados los transistores Q_9 y Q_{10} del desplazador de nivel. Como anteriormente, $i_{D9} = i_{D10}$ lleva a

$$k_9 (V_{GS9} - V_{Tn})^2 = k_{10} (V_{GS10} - V_{Tn})^2. \quad (3.70)$$

Donde, como muestra la fig. 3.3, $V_{GS9} = V_{DD} - V_{SS} + V_{DS4} - V_{GS7} = 10 - 1.527 - 1.7 \cong 6.77$ y

$V_{GS10} = V_{GS7} = 1.7$ V. Por lo tanto,

$$\frac{k_9}{k_{10}} = \left(\frac{V_{GS10} - V_{Tn}}{V_{GS9} - V_{Tn}} \right)^2 \cong 8.058 \times 10^{-3}. \quad (3.71)$$

La transconductancia g_{m9} de Q_9 puede hallarse del desplazador de fase introducido por el par polo/cero debido a las capacitancias parásitas que cargan la terminal source de Q_9 . Como éstas son excitadas por el source seguidor $Q_9 - Q_{10}$, el polo y el cero están localizados cerca de

$S_{p3} \cong -g_{m9}/C_p$. Estimando a $C_p = 0.5$ pF, y requiriendo que $|S_{p3}| = 3\omega_o$ para hacer la contribución de este polo a la fase a una pequeña ω_o , se tiene que

$$g_{m9} = 3\omega_o C_p = 3 \times 2\pi \times 2 \times 10^6 \times 0.5 \times 10^{-12}$$

$$g_{m9} \cong 19 \mu\text{A/V}. \quad (3.72)$$

De

$$g_{m9} \cong 2\sqrt{k_9 i_9^o} = 2k_n' (W/L)_9 (v_{GS9} - V_{Tn}), \quad (3.73)$$

se tiene que

$$(W/L)_9 = \frac{g_{m9}}{2k_n' (v_{GS9} - V_{Tn})} = \frac{19}{2 \times 30(6.77 - 1.2)}$$

$$\cong 0.05685. \quad (3.74)$$

Por lo consiguiente, puede utilizarse a $W_9 = 10 \mu\text{m}$ y $L_9 = 176 \mu\text{m}$. De 3.71

$$(W/L)_{10} = (W/L)_9 / (k_9/k_{10}) \cong 7.06. \quad (3.75)$$

Por lo que, puede elegirse a $L_{10} = 10 \mu\text{m}$ y a $W_{10} = 71 \mu\text{m}$. La corriente de Q_9 y Q_{10} entonces es

$$i_9^o = i_{10}^o = k_n' (W/L)_{10} (v_{GS10} - V_{Tn})^2$$

$$\cong 53 \mu\text{A}. \quad (3.76)$$

Como se explica en la sección 3.1, este circuito puede polarizarse por el circuito de la cadena de polarización de la fig. 3.4. Las fórmulas de diseño para las relaciones de forma han sido derivadas en la sección 3.1, y dadas por las ec's. 3.19 - 3.25. Haciendo a $I_{ref} = I_o / 2 = 20 \mu\text{A}$, se tiene que

$$\begin{aligned}
 (W/L)_{13} &= (W/L)_5 (I_{ref}/I_0) = (W/L)_5 / 2 = 2.7, \\
 (W/L)_{11} &= (W/L)_3 (2I_{ref}/I_0) = (W/L)_3 = 6, \\
 (W/L)_{12} &= (W/L)_9 (I_{ref}/I_{10}) \cong 0.05685 \times 20 / 53 \cong 0.02145.
 \end{aligned}
 \tag{3.77}$$

Por lo consiguiente, se puede utilizar a $L_{11} = 10$, $W_{11} = 60$, $L_{12} = 466$, $W_{12} = 10$, y $L_{13} = 10$, $W_{13} = 27$, todos en μm .

La rama de compensación del circuito continua igual si se hace nuevamente a $S_z = S_{p2}$. Esto es porque S_{p2} permaneció a $-3\omega_0$, y el potencial dc del drain de Q_8 también permaneció igual. Por lo que, nuevamente se utilizó a $W_8 = L_8 = 10 \mu\text{m}$.

El análisis del amplificador clase AB por medio de PSPICE con las relaciones de forma calculadas anteriormente indican que el voltaje dc de polarización de las terminales de salida es inadecuado para la propia operación. Su valor es demasiado pequeño (Alrededor de -4.5 V) para lograr saturar a Q_7 . Esto sólo ocurre bajo condiciones de circuito abierto, y es una consecuencia de la simplificación de suposiciones, ignorando principalmente el factor $(1 + \lambda V_{DS})$ de la modulación por el largo del canal, realizado en los cálculos. Es un problema artificial, ya que el circuito nunca funciona sin una carga dc y/o realimentación. Agregando un resistor de carga de $1 \text{ M}\Omega$ entre la terminal de salida y tierra, o un resistor de realimentación de (por decir) $100 \text{ M}\Omega$ entre la terminal de entrada inversora (V_{in}^-) y la terminal de salida del op-amp, el voltaje de salida vuelve a tomar un valor lo suficiente para mantener en saturación a Q_6 y Q_7 .

Como un ejercicio para el diseño, así como una manera de como reducir la desviación, rediseñando a continuación la etapa de salida para obtener también un valor satisfactorio dc para el V_{out} incluso para condiciones de circuito abierto. El análisis por medio del SPICE para el circuito dio que $V_{GS6} = -1.572 \text{ V}$, $V_{GS7} = 1.821 \text{ V}$, e $i_{o6} = i_{o7} = 74 \mu\text{A}$. Para lograr que $V_{out} = 0 \text{ V}$, mientras que conservando los valores de V_{GS6} , V_{GS7} , e $i_{o6} = i_{o7}$, por ec. 1.11 se tiene que

$$\begin{aligned}
 &k_p' (W/L)_6 (V_{GS6} - V_{Tn})^2 (1 - \lambda V_{SS}) \\
 &= k_n' (W/L)_7 (V_{GS7} - V_{Tn})^2 (1 + \lambda V_{DD}) = i_{o6}^0.
 \end{aligned}
 \tag{3.78}$$

Esta relación incluye ahora el efecto de la modulación por el largo del canal, y por lo consiguiente es más precisa.

Sustituyendo a $\lambda = 0.03 \text{ V}^{-1}$, así como los valores dados, resulta que $(W/L)_6 \cong 1.64$ y que $(W/L)_7 \cong 50/9$. De esta manera, pueden utilizarse a $W_6 = 164 \text{ } \mu\text{m}$, $L_6 = 10 \text{ } \mu\text{m}$, $W_7 = 50 \text{ } \mu\text{m}$, y a $L_7 = 9 \text{ } \mu\text{m}$. El voltaje de polarización de salida resultante es de sólo 0.04 V .

CAPÍTULO CUATRO

SIMULACIÓN DE AMPLIFICADORES OPERACIONALES MOSFET MEDIANTE PSPICE

INTRODUCCIÓN

Al diseñar un circuito, el paso siguiente del mismo es su verificación para asegurar que se comporta de acuerdo a las especificaciones establecidas. Normalmente, el tiempo empleado para realizar estas pruebas en el laboratorio es muy considerable, además, es necesario un equipo de laboratorio muy costoso, todo esto con la esperanza de que el circuito se comporte como se desea. Este proceso es muy tardado y costoso cuando se realiza el proceso para un circuito integrado, ya que su diseño, fabricación y verificación puede llevarse hasta varios meses.

Una manera de efectuar la verificación de circuitos electrónicos sin construirlos es la utilización de la simulación por computadora. Este análisis de circuitos por computadora se hizo popular en la década de los sesentas, cuando IBM realizó ECAP (Electric Circuit Analysis Program). Después de la aparición de este programa, surgió una variedad de programas similares con algunas mejoras. Algunos de estos programas fueron SPECTRE, TRAC, NET, CANCER y SPICE.

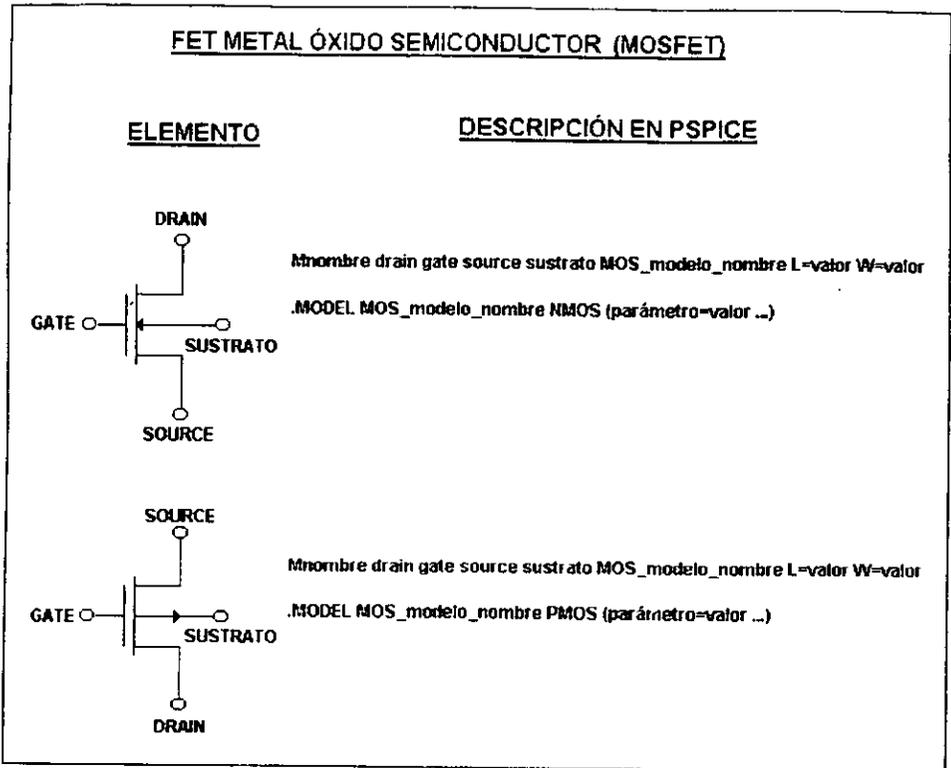


FIGURA. 4.1 Descripción del elemento MOSFET NMOS y PMOS para PSPICE. Además se lista la forma general de la instrucción .model para el MOSFET. Una lista parcial de los valores de los parámetros MOSFET se listan en la tabla 4.1. El modo de operación, Depleción o Ensanchamiento está determinado por los parámetros asignados.

SPICE deriva su nombre de "SIMULATION PROGRAM WITH INTEGRATED CIRCUIT EMPHASIS" (Programa de Simulación con Énfasis en Circuitos Integrados). SPICE ha sido mejorado, y en la actualidad hay varias versiones de SPICE. Una de estas es, PSPICE que en la actualidad constituye a la versión más popular de SPICE. Esta última será la utilizada en este capítulo.

Como en este capítulo se utiliza PSPICE para simular circuitos que contengan Transistores de Efecto de Campo, como es el caso del MOSFET. Los MOSFET se describen utilizando dos

planteamientos: un planteamiento describe la naturaleza del fet y sus conexiones al resto del circuito, y el otro especifica los valores de los parámetros en la construcción del modelo del FET.

La presencia de un MOSFET en un circuito está descrita por PSPICE mediante un archivo de entrada, la instrucción para el elemento MOSFET inicia con la letra M. Si existe más de un MOSFET en el circuito entonces debe de ponerse una M únicamente para identificar a cada transistor. Éste es entonces seguido por una lista de nodos que son conectados al drain, gate, source, y sustrato (cuerpo) del MOSFET. Posteriormente, en la misma línea, se da el nombre del modelo que se utilizará para caracterizar a un MOSFET en particular. El nombre del modelo debe corresponder al nombre dado en el modelo de la instrucción conteniendo los valores de los parámetros que caracterizan al MOSFET en PSPICE. Finalmente, se dan el largo y el ancho del MOSFET. Para una rápida referencia, en la fig. 4.1 se describe la sintaxis para la instrucción que describe al MOSFET. Además se lista la sintaxis para la instrucción del modelo (.MODEL) que debe estar presente en cualquier archivo de entrada PSPICE el cual hace referencia al modelo del MOSFET de PSPICE. Esta instrucción especifica la características del MOSFET definiendo los valores de los parámetros de un modelo de MOSFET en particular. Si no se especifican los parámetros del modelo, PSPICE designa estos valores por default.

4.1 DESCRIPCIÓN DEL MOSFET MEDIANTE PSPICE

Descripción del modelo para el MOSFET.

Como es evidente de la fig. 4.1, la instrucción del modelo para cualquier transistor NMOS o PMOS inicia con la palabra .MODEL y seguida por el nombre del modelo usado para el elemento de instrucción MOSFET, la naturaleza del MOSFET (NMOS o PMOS), y una lista dada de los valores de los parámetros del modelo (encerrados entre paréntesis). El número de parámetros asociados con el modelo PSPICE es grande y su significado es complicado; además, PSPICE

tiene más de un modelo de señal grande para el MOSFET. Estos se clasifican de acuerdo al nivel de complejidad que son: LEVEL 1, 2 y 3. El modelo más simple que describe al MOSFET es el LEVEL 1. Para la mayor parte, el comportamiento del MOSFET está basado en el modelo del MOSFET LEVEL 1. Los otros dos modelos son más complicados y su descripción matemática no se tratará aquí. Solamente se mencionarán sus más importantes diferencias. El modelo del MOSFET LEVEL 2 es una versión más complicada que la del modelo LEVEL 1 la cual incluye efectos de segundo orden, dependientes grandemente de la geometría del MOSFET. El modelo del MOSFET LEVEL 3 de PSPICE es un modelo semi empírico.

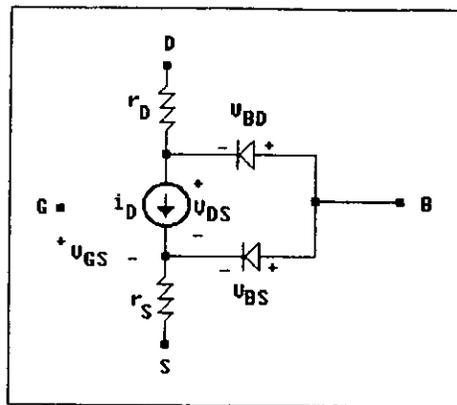


FIGURA 4.2. Forma general para el modelo del mosfet canal N en señal grande para condiciones estáticas mediante PSPICE.

La forma general para el MOSFET CANAL N para DC en PSPICE se muestra en la fig. 4.2. La resistencia del bulk para ambas regiones drain y source del MOSFET son agrupadas en dos resistencias lineales r_D y r_S , respectivamente. La característica DC del MOSFET está determinado por la no dependencia lineal de la fuente de corriente i_D , y de los dos diodos que representan las dos uniones del sustrato que definen la región del canal. Un modelo similar existe para el dispositivo de CANAL P; la dirección de los diodos, la fuente de corriente y la polaridad de las terminales de voltaje están en inversa. Las relaciones matemáticas que describen el comportamiento DC de la fuente de corriente dependiente cambia dependiendo del modelo

utilizado. Para el MOSFET LEVEL 1, la expresión para la corriente de drain i_D , asume que el drain está a un potencial mayor que el source, como se describe a continuación:

$$i_D = \begin{cases} 0 & \text{para } v_{GS} < V_t \\ K[2(v_{GS} - V_t)v_{DS} - v_{DS}^2](1 + \lambda v_{DS}) & \text{para } v_{GS} > V_t \text{ y } v_{DS} \leq v_{GS} - V_t \\ k(v_{GS} - V_t)^2(1 + \lambda v_{DS}) & \text{para } v_{GS} > V_t \text{ y } v_{DS} \geq v_{GS} - V_t \end{cases} \quad (4.1)$$

donde la constante k está dada por

$$k = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) \quad (4.2)$$

y el voltaje de umbral V_t está dado por

$$V_t = V_{t0} + \gamma \left[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right] \quad (4.3)$$

Donde se ve que las ecuaciones para la corriente de drain están determinadas por ocho parámetros: W , L , μ , C_{ox} , V_{t0} , λ , γ , y $2\phi_f$. W y L definen las dimensiones de ambos dispositivos. Estos dos parámetros normalmente se especifican en la instrucción de PSPICE para el MOSFET, aunque, si no se especifica ninguno, PSPICE asumirá que W y L serán $100 \mu\text{m}$, ambos. Los parámetros μ y C_{ox} son parámetros relacionados con el coeficiente de transconductancia (kp). kp normalmente se especifica en los parámetros del modelo de la instrucción. El parámetro V_{t0} es el voltaje de polarización cero. V_{t0} es positivo para el MOSFET ensanchamiento CANAL N y para el MOSFET depleción CANAL P. Pero, V_{t0} es negativo para el MOSFET depleción CANAL N y para el MOSFET ensanchamiento CANAL P. El parámetro λ es el parámetro de la modulación por el largo del canal y representa la influencia que tiene el voltaje drain-source sobre la corriente de drain i_D cuando el dispositivo está en saturación. En PSPICE, el signo de este parámetro siempre

es positivo, indiferentemente de la naturaleza del dispositivo. Los dos últimos parámetros, γ y $2\phi_f$, son los parámetros del efecto sustrato y del potencial de superficie, respectivamente.

Una lista parcial de los parámetros asociados con el modelo de MOSFET para PSPICE y para condiciones estáticas está dada en la tabla 4.1. También se listan los valores tomados por default de los parámetros si no son especificados en la instrucción .MODEL. Para especificar un parámetro simplemente se tiene que escribir, por ejemplo: LEVEL=1, $k_p=20\mu$, $V_{to}=1V$, etc.

SÍMBOLO	NOMBRE	PARÁMETRO	UNIDAD	POR
	PSPICE			DEFAULT
	LEVEL	Tipo de modelo		1
μ_{COX}	K_p	Coficiente de transconductancia	A/V^2	20μ
V_{TO}	V_{to}	Voltaje de Umbral	V	0
λ	lambda	Modulación por el largo del canal	V^{-1}	0
γ	gamma	Parámetro del efecto sustrato	$V^{1/2}$	0
$2\phi_f$	phi	Potencial de superficie	V	0.6
r_D	R_d	Resistencia óhmica de drain	Ω	0
r_S	R_s	Resistencia óhmica de source	Ω	0

TABLA 4.1. Algunos parámetros comunes para PSPICE para el mosfet LEVEL 1.

4.2 ANÁLISIS DE CIRCUITOS AMPLIFICADORES MOSFET MEDIANTE PSPICE

En esta sección se estudiará el comportamiento de varios tipos de amplificadores operacionales, así como también se simulará el amplificador operacional diseñado en el capítulo 3.

Ejemplo 1. Amplificador con un transistor de modo ensanchamiento como carga.

La fig. 4.3 muestra un amplificador con un transistor de modo ensanchamiento como carga con las conexiones del sustrato mostradas. Éste es un arreglo típico de un amplificador implementado en el proceso de fabricación de un NMOS. Un importante inconveniente de este amplificador es que se reduce su ganancia de voltaje debido al efecto sustrato presente en el transistor M_2 . Para ver esto, se considera que los dos transistores en la fig. 4.3 tienen los siguientes parámetros: un coeficiente de transconductancia ($\mu_n C_{ox}$) de 0.25 mA/V^2 , un voltaje de umbral de 1 V , un factor de modulación por el largo del canal λ de 0.02 V^{-1} , y un coeficiente del efecto sustrato γ de $0.9 \text{ V}^{1/2}$. El transistor M_1 tiene dimensiones largo-ancho de $10 \text{ }\mu\text{m}$ por $100 \text{ }\mu\text{m}$ mientras que las dimensiones de M_2 son $100 \text{ }\mu\text{m}$ por $10 \text{ }\mu\text{m}$. El archivo de entrada PSPICE que describe este arreglo se lista en la fig. 4.4. Se pide un barrido DC del voltaje de entrada entre tierra y V_{DD} . En forma de comparación, se repetirá el mismo análisis para el mismo circuito, con parámetros idénticos excepto que el coeficiente del efecto sustrato se hace cero. El archivo de entrada para éste se muestra en la fig. 4.4.

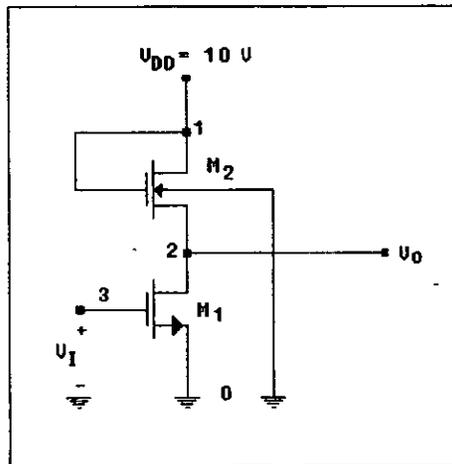


FIGURA 4.3. Amplificador con un transistor de modo ensanchamiento como carga.

```

AMPLIFICADOR CON UN TRANSISTOR DE MODO ENSANCHAMIENTO COMO CARGA
** Descripción del circuito **
* Fuentes DC
Vdd 1 0 DC +10V
* Señal de entrada
Vi 3 0 DC 0V
* Circuito Amplificador
M1 2 3 0 0 nmos L=10u W=100u
M1 1 1 2 0 nmos L=100u W=10u
* Modelo del mosfet
.model nmos nmos (Level=1 kp=0.25m Vto=1V lambda=0.02 gamma=0.9)
** Análisis **
.OP
.DC Vi 0V 10V 100mV
.plot DC V(2)
.probe
.end

```

FIGURA 4.4. Listado de instrucciones para calcular la característica de transferencia del amplificador de la figura 4.3. Cada uno de los MOSFET es modelado con el efecto sustrato.

El resultado de este análisis se muestra en la fig. 4.5. Donde se muestra la característica de transferencia DC del amplificador con el transistor de modo ensanchamiento como carga con y sin efecto sustrato. Como es evidente, el efecto sustrato en el transistor afecta significativamente la característica de transferencia del amplificador con el transistor de modo ensanchamiento como carga. Con un nivel de voltaje mayor de un volt, correspondiente al umbral de M_1 , el voltaje de salida se mantiene en cualquier valor de 9 ó 7.2 V, dependiendo de la característica que se este observando. En el caso de la curva de la característica de transferencia para el amplificador con la presencia del efecto sustrato, con entradas de voltaje mayores de un volt, el voltaje de salida se reduce linealmente a razón de aproximadamente -7.9 volt-volt desde su nivel inicial de 7.2V hasta que la entrada excede a aproximadamente 1.8 V. Con una entrada de 1.8 V la salida es 1.75 V.

Anteriormente este nivel de voltaje, del transistor M_1 dejaba la región de saturación y entraba a la región triodo, ocasionando con esto que la característica del amplificador no fuera lineal.

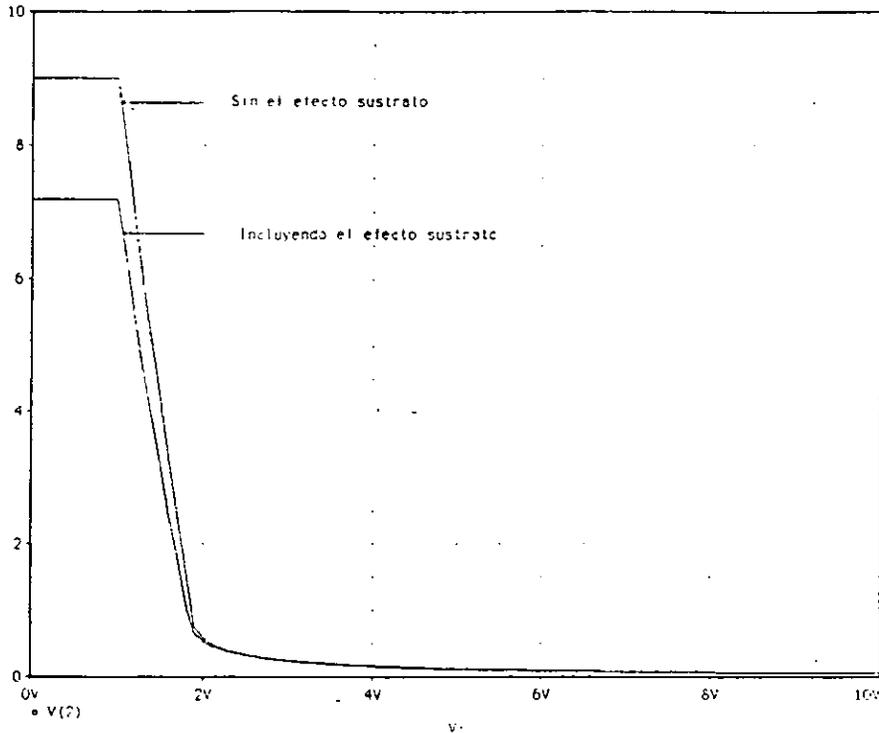


FIGURA 4.5 Característica de transferencia DC del amplificador de la figura 4.3, con y sin el efecto sustrato en el MOSFET.

En el caso del amplificador sin el efecto sustrato, con entradas superiores de 1 V, el nivel de salida (iniciando en 9 V) se reducirá linealmente a razón de -9.2 V volt-volt. Como en el caso anterior, cuando el nivel de voltaje excede 1.8 V (y la salida a 0.75 V), el transistor M_1 entrará a la región triodo y la característica de transferencia no será lineal. Comparando estos detalles para el amplificador con el transistor de modo ensanchamiento como carga con el efecto sustrato incluido, muestra que para la presencia del efecto sustrato en el transistor decrecerá la ganancia efectiva de este amplificador.

Otra manera de demostrar esto, es computar la ganancia de voltaje para este amplificador, con y sin la presencia del efecto sustrato, utilizando el comando del análisis de transferencia (.TF) de PSPICE con el amplificador polarizado en la región lineal. Con propósito ilustrativo, polarizando la entrada del amplificador con 1.5 V ya que este nivel de voltaje mantiene a ambos amplificadores en la región lineal. Modificando cada uno de los dos archivos de entrada PSPICE utilizados previamente, cambiando la instrucción de polarización por la que se muestra a continuación

```
Vi      3      0      DC      +1.5V
```

e incluyendo el siguiente comando

```
.TF      V(2)      Vi
```

Los resultados de los dos análisis de señal pequeña para la función de transferencia se obtienen de sus respectivos archivos de salida. En el caso del amplificador con el transistor de modo ensanchamiento como carga con la presencia del efecto sustrato, los resultados se muestran a continuación:

```
****      SMALL-SIGNAL CHARACTERISTICS

V(2)/Vi = -7.316E+00
INPUT RESISTANCE AT Vi = 1.000E+20
OUTPUT RESISTANCE AT V(2) = 5.508E+03
```

Para el caso del amplificador con el transistor de modo ensanchamiento como carga sin el efecto sustrato, los resultados se muestran a continuación:

```
****      SMALL-SIGNAL CHARACTERISTICS

V(2)/Vi = -9.027E+00
INPUT RESISTANCE AT Vi = 1.000E+20
OUTPUT RESISTANCE AT V(2) = 6.677E+03
```

Los dos resultados anteriores, por lo tanto, confirman lo que anteriormente se había dicho de que el efecto sustrato en el MOSFET reduce la ganancia efectiva del amplificador con el transistor de modo ensanchamiento como carga.

Antes de concluir este ejemplo es instructivo confirmar que es exacta la ecuación para la ganancia de voltaje de este amplificador incluyendo el efecto sustrato del transistor. La ganancia de voltaje para el amplificador mostrado en la fig. 4.4 está dada por:

$$A_v = - \frac{g_{m1}}{g_{m2} + g_{m_{b2}} + g_{ds1} + g_{ds2}} \quad (4.4)$$

Mediante el análisis del comando del punto de operación (.OP), se encuentran los siguiente valores para los parámetros del modelo de señal pequeña de cada transistor:

```

**** MOSFETS
NAME           M1           M2
MODEL          NMOS          NMOS
ID             3.32E-04     3.32E-04
VGS            1.50E+00     6.87E+00
VDS            3.13E+00     6.87E+00
VBS            0.00E+00     -3.13E+00
VTH            1.00E+00     2.04E+00
VDSAT          5.00E-01     4.83E+00
GM             1.33E-03     1.37E-04
GDS            6.25E-06     5.84E-06
GMB            7.72E-04     3.20E-05
    
```

Sustituyendo apropiadamente los valores en la ec. (4.4), se tiene que $A_v = -7.344$ V/V. Este valor es muy cercano al dado por PSPICE anteriormente ($A_v = -7.316$ V/V). Si se ignora la conductancia de salida en este análisis, entonces se tendrá que $A_v = -7.869$ V/V. Este resultado, para aplicaciones practicas, es más que adecuado.

Ejemplo 2. Amplificador CMOS.

Considerando el amplificador CMOS de la fig. 4.6 con los siguientes parámetros: $V_{DD} = 10 \text{ V}$, $V_{tn} = |V_{tp}| = 1 \text{ V}$, $\mu_n C_{ox} = 2\mu_p C_{ox} = 20 \mu\text{A/V}$, y $\lambda = 0.01 \text{ V}^{-1}$ para ambos dispositivos N y P. Para todos los dispositivos se asume que $W = 100 \mu\text{m}$ y $L = 10 \mu\text{m}$. $I_{ref} = 100 \mu\text{A}$. Encontrar la ganancia de voltaje para señal pequeña. Y además encontrar la característica de transferencia de la región de amplificación.

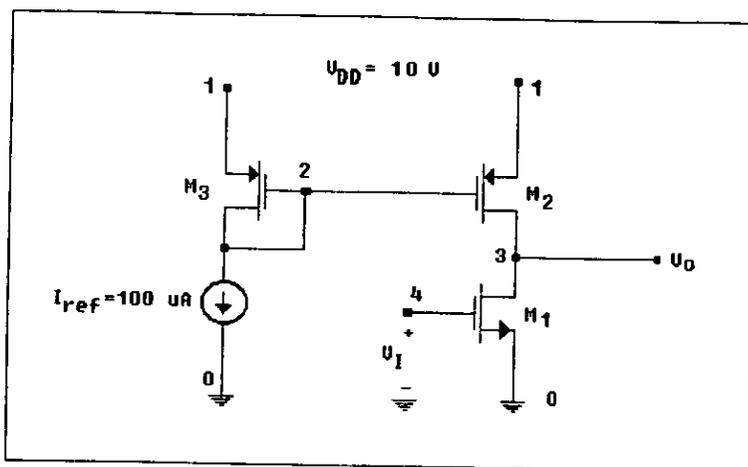


FIGURA 4.6 Amplificador CMOS polarizado con una fuente de corriente.

Solución.

Por inspección del circuito amplificador CMOS de la fig. 4.6. Los transistores M_2 y M_3 son un par de dispositivos CANAL P acoplados como un espejo de corriente el cual es alimentado con una corriente I_{ref} de referencia. Con lo cual M_2 se comporta como una fuente de corriente. Se debe notar que M_2 estará trabajando en la región de saturación cuando el voltaje en el drain sea menor que en el source (V_{DD}) por al menos $V_{SG} - |V_{tp}|$, donde V_{SG} es el voltaje DC de polarización correspondiente a la corriente I_{ref} de drain. En la región de saturación, M_2 tiene una alta resistencia de entrada definida por

$$r_{o2} = 1/|\lambda_1 I_{ref}| = 1/|0.01 \times 100 \times 10^{-6}| = 1 \text{ M}\Omega$$

El transistor M_2 se utiliza como una resistencia de carga para la amplificación del transistor M_1 , y se conoce como carga activa. Cuando M_1 trabaja en la región de saturación, la ganancia de voltaje en señal pequeña será igual a g_{m1} multiplicada por la resistencia total entre la salida y tierra la cual es $r_{o1} || r_{o2}$. Con lo cual se obtienen ganancias de voltaje grandes para amplificadores CMOS. La ganancia está dada por

$$A_v = V_o/V_i = -g_{m1} [r_{o1} || r_{o2}] \quad (a)$$

Como M_1 está trabajando con una corriente de polarización igual a I_{ref} , g_{m1} puede expresarse como

$$g_{m1} = \sqrt{2(\mu_n C_{ox})(W/L)_1 I_{ref}} \quad (b)$$

Sustituyendo en la ec. (a) a g_{m1} dado por la ec. (b) y utilizando a $r_{o1} = r_{o2} = 1/|\lambda_1 I_{ref}|$ se tiene que

$$\begin{aligned} A_v &= -\frac{\sqrt{K}}{\sqrt{I_{ref} \lambda}} \\ &= -\frac{\sqrt{100 \times 10^{-6}}}{(0.01) \sqrt{100 \times 10^{-6}}} = -100 \end{aligned} \quad (c)$$

Se observa que la ganancia es mucho mayor que para los amplificadores nmos.

Los extremos de la región de amplificación de la característica de transferencia se obtiene como a continuación. Primero se determina V_{SG} de M_2 y M_3 utilizando una $I_D = I_{ref} = 100 \mu\text{A}$,

$$I_D = K_p (V_{SG} - |V_{tp}|)^2 (1 + |\lambda| V_{SD}) \quad (d)$$

Sustituyendo a $K_p = (1/2)(10 \times 10^{-6})(100 \times 10^{-6}/10 \times 10^{-6}) = 0.05 \mu\text{A/V}^2$ y $V_{SD} = V_{SG}$ e ignorando por simplicidad el factor $(1 + \lambda V_{SD})$, se obtiene que $V_{SG} \approx 2.414 \text{ V}$. De esta manera para el punto A' se tiene que

$$V_{OA} = V_{DD} - (V_{SG} - |V_{tp}|) = 8.586 \text{ V} \quad (e)$$

Para encontrar el correspondiente valor de V_I y V_{IA} , se igualan las corrientes de drain de M_1 y M_2 ,

$$I_{D1} = K_n (V_I - V_{tn})^2 (1 + \lambda V_O) \quad (f)$$

$$I_{D2} = K_p (V_{SG} - |V_{tp}|)^2 (1 + \lambda (V_{DD} - V_O)) \quad (g)$$

y sustituyendo para $K_p (V_{SG} - |V_{tp}|)^2 \approx I_{ref}$

$$\begin{aligned} K_n (V_I - V_{tn})^2 &= I_{ref} \frac{(1 + \lambda (V_{DD} - V_O))}{(1 + \lambda V_O)} \\ &\approx I_{ref} (1 + \lambda V_{DD} - 2\lambda V_O) \end{aligned} \quad (h)$$

lo cual da

$$V_O = \frac{1}{2\lambda I_{ref}} \left[I_{ref} (1 + \lambda V_{DD}) - K_n (V_I - V_{tn})^2 \right] \quad (i)$$

Sustituyendo a $V_O = V_{OA} = 8.586 \text{ V}$ da el correspondiente valor de V_I , es decir, $V_{IB} = V_{IA} = 2 \text{ V}$, y por lo consiguiente $V_{OB} = V_{IB} - V_{tn} = 2 - 1 = 1 \text{ V}$. Sustituyendo este valor en la ec. (i), se obtiene que $V_{IB} = 2.039 \text{ V}$. Por lo que un valor exacto de V_{OB} es 1.039 V . El ancho de la región de amplificación es por lo consiguiente

$$\Delta V_I = V_{IB} - V_{IA} = 0.076 \text{ V}$$

Los puntos V_{OA} , V_{IA} , V_{OB} y V_{IB} son mostrados en la fig. 4.9.

El correspondiente swing de la señal de salida es

$$\Delta V_O = V_{OA} - V_{OB} = 7.547 \text{ V}$$

La ganancia de voltaje de señal grande es

$$\frac{\Delta V_O}{\Delta V_I} = \frac{7.547}{0.076} = 99.3$$

Lo cual es muy cercano al valor de 100 de señal pequeña, indicando que la característica de transferencia es completamente lineal.

Solución mediante PSPICE.

Como un ejemplo de un circuito amplificador que es completamente integrable utilizando tecnología MOS, se muestra en la fig. 4.6 el cual es un amplificador CMOS con una fuente de corriente como carga activa. Utilizando PSPICE se computará y se trazará la característica de transferencia DC. Los parámetros para este ejercicio se dieron anteriormente.

El archivo de entrada PSPICE para este amplificador CMOS se muestra en la fig. 4.7. Una fuente de voltaje V_I (DC) es inicialmente aplicada a la entrada del amplificador, y se variará sobre un rango de valores iniciando con un potencial de tierra e incrementándose a V_{DD} en valores de 10 mV. El voltaje de salida (V3) entonces será trazado como una función del voltaje de entrada V_I .

La característica de transferencia DC del amplificador CMOS, calculada por PSPICE, se muestra en la fig. 4.8. Se ve que el voltaje de salida es muy cercano a 10 V para señales de entrada menores de alrededor de +1 V y un potencial cercano a tierra cuando el nivel de entrada excede +2.5 V. Entre estos dos valores, el voltaje de salida comienza a cambiar algo el valor de manera gradual, excepto para un nivel de entrada de 2 V.

```

AMPLIFICADOR CMOS
** Descripción del circuito **
* Fuentes DC
Vdd 1 0 DC +10V
Iref 2 0 DC 100uA
* Señal de entrada
Vi 2 0 DC 0V
* Circuito Amplificador
M1 3 4 0 0 nmos L=10u W=100u
M2 3 2 1 1 pmos L=10u W=100u
M3 2 2 1 1 pmos L=10u W=100u
* Modelo del mosfet
.model nmos nmos (Level=1 kp=20u Vto=1V lambda=0.01)
.model pmos pmos (Level=1 kp=10u Vto=-1V lambda=0.01)
** Análisis **
** Calcular la característica de transferencia DC
.DC Vi 0V 10V 10mV
.plot DC V(3)
.probe
.end

```

FIGURA 4.7 Listado del archivo para calcular la característica de transferencia DC del amplificador CMOS mostrado en la figura 4.6.

Para ver la región de alta ganancia de este amplificador más cercanamente, se repetirá el análisis de barrido DC previo y se evaluará la característica de transferencia del amplificador entre +1.9 V y +2.1 V. Se utiliza un pequeño intervalo de 100 μV para obtener la curva en la región de alta ganancia. Ésta se muestran en la fig. 4.9. La región lineal del amplificador es claramente visible. Está limitada entre las regiones de 1.955 V y 2.027 V. Correspondientemente, el voltaje de salida varía entre 8.58 V y 0.9966 V. Esto sugiere que la ganancia de este amplificador en esta región lineal es de aproximadamente $(8.589 - 0.9966) \div (1.955 - 2.027) = -118.9 \text{ V/V}$.

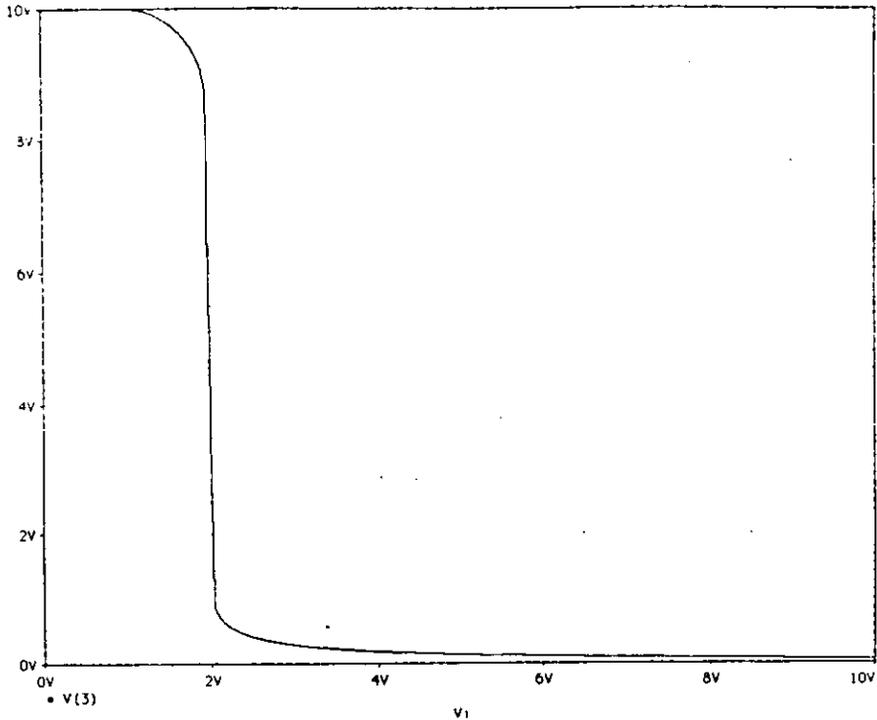


FIGURA 4.8 Característica de transferencia DC del amplificador CMOS de la fig. 4.6.

Se obtiene un similar resultado cuando la ganancia de señal pequeña se evalúa a alrededor de un simple punto de operación dentro de esta región. Considerando que este punto está centrado entre los extremos de la región lineal; esto correspondería a un nivel de polarización de aproximadamente 2 V. Modificando el archivo de entrada PSPICE mostrado en la fig. 4.7 de manera que la entrada esté polarizada con 2 V y remplazando al comando de barrido DC por el comando del análisis .TF, el archivo de salida PSPICE da la siguiente información de la función de transferencia DC de señal pequeña:

**** SMALL-SIGNAL CHARACTERISTICS

$$V(3)/V_1 = -1.050E02$$

$$\text{INPUT RESISTANCE AT } V_1 = 1.000E+20$$

$$\text{OUTPUT RESISTANCE AT } V(3) = 5.059E+05$$

Por lo consiguiente, la ganancia de señal pequeña para el amplificador CMOS es -105 V/V para un voltaje de entrada de 2 V.

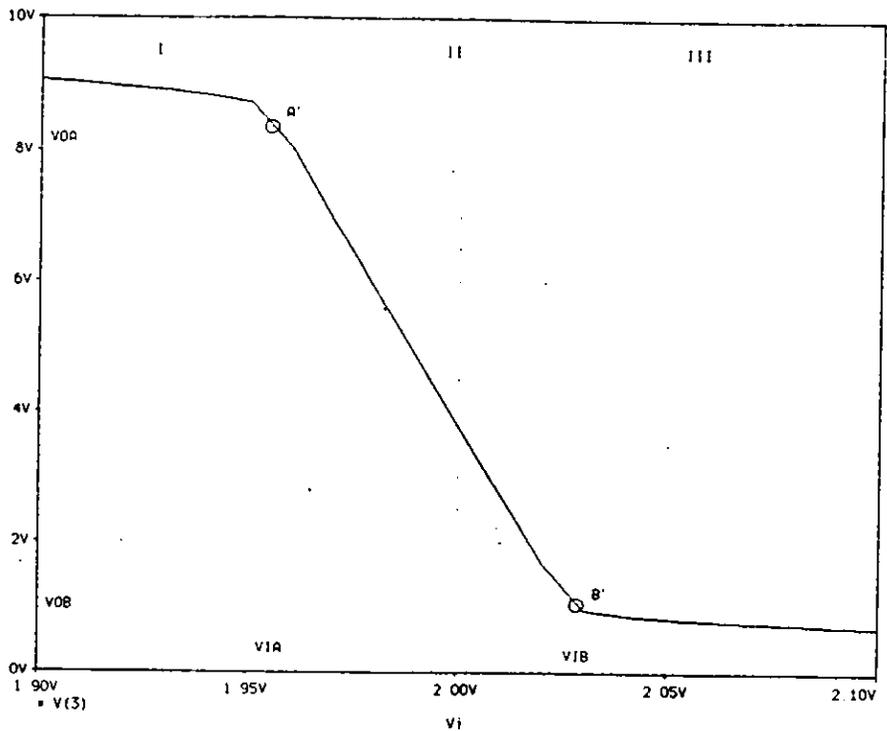


FIGURA 4.9. Ampliación de un intervalo de la característica de transferencia DC del amplificador CMOS (mostrado en la figura 4.6) en la región de alta ganancia.

Es interesante notar que con la fórmula para la ganancia de voltaje en la región lineal para el amplificador CMOS mostrado en la fig. 4.6, y mostrada a continuación,

$$A_V = -\frac{\sqrt{(1/2)\mu_n C_{ox}(W/L)_1}|V_A|}{\sqrt{I_{ref}}} \quad (4.5)$$

se obtienen valores de la ganancia de voltaje muy cercanos a los dados anteriormente por PSPICE. Sustituyendo apropiadamente los parámetros de los dispositivos en la ec. (4.5), se tiene que $A_V = -100$ V/V.

Ejemplo 3. Amplificador Diferencial CMOS con carga activa.

Normalmente el par diferencial, el espejo de corriente y las fuentes de corriente se combinan en la tecnología MOSFET para formar amplificadores diferenciales. El espejo de corriente se utiliza para polarizar el par diferencial y el espejo de corriente actúa como una resistencia de carga grande, proporcionando una gran ganancia de voltaje. Un ejemplo de un amplificador diferencial CMOS se muestra en la fig. 4.10. Por medio del análisis manual la ganancia de voltaje en modo diferencial de señal pequeña de esta etapa es aproximadamente $A_d = -g_{m1}(r_{o2}||r_{o4})$. La correspondiente ganancia de voltaje en modo común A_{CM} es, cero, para una aproximación de primer orden. Una aproximación para A_{CM} puede derivarse a través de un análisis de señal pequeña, sin embargo, el resultado normalmente es demasiado complejo.

Utilizando PSPICE se computará la ganancia del voltaje en modo diferencial y en modo común del amplificador diferencial mostrado en la fig. 4.10, y por lo consiguiente, su relación de rechazo en modo común (CMRR). Se asume que los transistores NMOS y PMOS se fabrican con un proceso CMOS el cual puede caracterizarse por los siguientes parámetros del modelo PSPICE: $\mu_n C_{ox} = 20 \mu A/V^2$, $\mu_p C_{ox} = 10 \mu A/V^2$, $|V_t| = 1$ V, $\lambda = 0.04$ V⁻¹. Las dimensiones del largo y ancho de cada transistor se listan en la tabla 4.2.


```

AMPLIFICADOR CMOS
** Descripción del circuito
** Fuentes de alimentación
Vdd 4 0 DC +5V
Vss 5 0 DC -5V
** Señal en modo diferencial
Vd 101 0 DC 0V
Rd 101 0 1
EV+ 1 100 101 0 +5V
EV- 2 100 101 0 -5V)
** Señal en modo común
Vcm 100 0 DC 0V
** Primera etapa
M1 7 1 6 4 transistor_pmos L=8u W=120u
M2 8 2 6 4 transistor_pmos L=8u W=120u
M3 7 7 5 5 transistor_nmos L=10u W=50u
M4 8 7 5 5 transistor_nmos L=10u W=50u
** Segunda etapa
M5 6 9 4 4 transistor_pmos L=10u W=150u
M6 9 9 4 4 transistor_pmos L=10u W=150u
Iref 9 5 25uA
** Modelo de los transistores
.model transistor_pmos pmos (Level=1 kp=10u Vto=-1V lambda=0.04 gamma=0)
.model transistor_nmos nmos (Level=1 kp=20u Vto=+1V lambda=0.04 gamma=0)
** Análisis
.op
.DC Vd -5 5 50mV
.PLOT DC V(9)
.probe
.end

```

FIGURA 4.11 Listado del archivo de entrada para calcular la característica de transferencia del amplificador CMOS de la fig. 4.10

La característica de transferencia de señal grande de la entrada diferencial del amplificador CMOS es calculada por PSPICE y se muestra en la fig. 4.12. Donde se ve que la región de alta

ganancia es cercana a 0 V. Sin embargo, como esto no se ve muy claramente. Por lo que corriendo nuevamente PSPICE utilizando incrementos de voltaje más pequeños de V_d . Específicamente, reemplazando el barrido DC dado anteriormente en la fig. 4.11 por el siguiente:

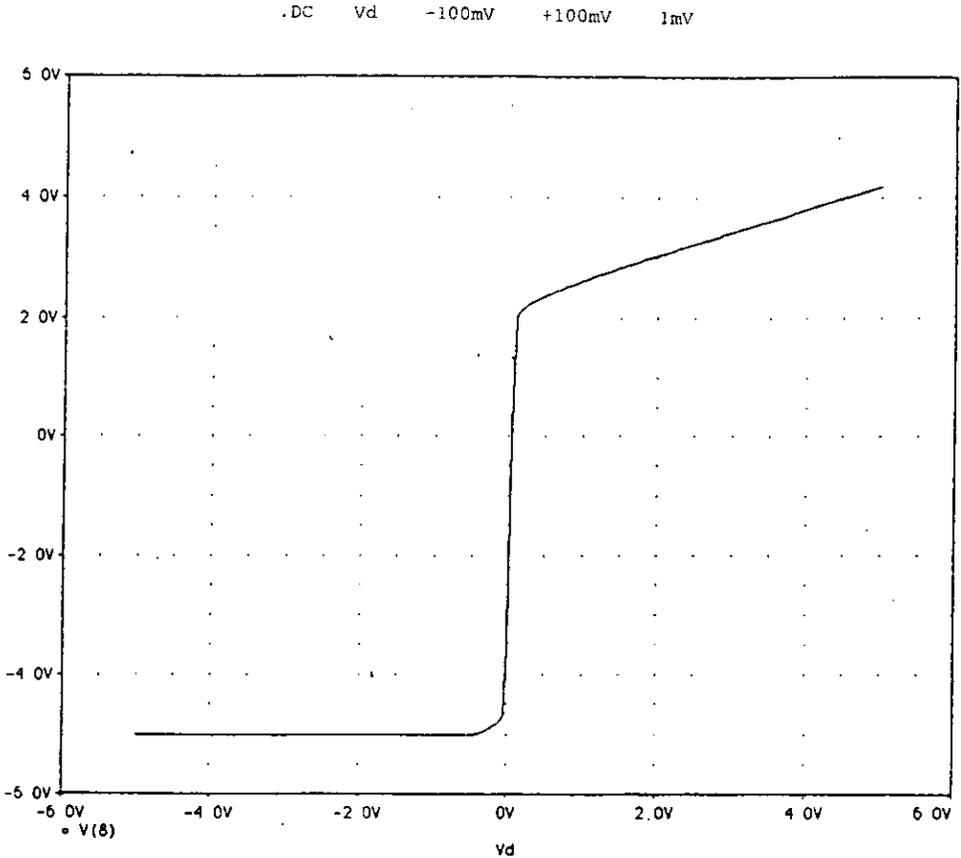


FIGURA 4.12 Característica de transferencia del amplificador de la fig. 4.10.

En la fig. 4.13 se observa el aumento de la región de alta ganancia del amplificador CMOS. Como es evidente, este amplificador en particular tiene en la salida una desviación de -3.5 V , o equivalentemente un voltaje de desviación de entrada de -50 mV . La región lineal de este amplificador está entre $V_d = -10\text{ mV}$ y $+65\text{ mV}$. Para obtener la ganancia diferencial en señal pequeña en esta región se puede calcular de la pendiente de la línea que forma la región lineal del

amplificador, con el comando .TF en el archivo de entrada PSPICE de la fig. 4.11 como a continuación:

```
.TF V(8) Vd
```

La mayoría de los amplificadores diferenciales implican la utilización de una configuración de realimentación negativa en la que ésta lleve al voltaje de desviación hacia cero. Por lo consiguiente, para evaluar la ganancia diferencial y las otras características con la característica de transferencia desplazada de manera que el referido voltaje de desviación es cero. Esto puede lograrse aplicando un voltaje de desviación diferencial de +50 mV a la entrada del amplificador, modificando la instrucción de la fuente Vd como a continuación:

```
Vd 101 0 DC 50mV
```

El comando del punto de operación (.OP) se incluye para obtener la información acerca de los parámetros del modelo del transistor del punto de operación

Los resultados de este análisis son dados por el archivo de salida PSPICE como a continuación:

```
**** SMALL-SIGNAL CHARACTERISTICS

V(8)/Vd = -1.050E02
INPUT RESISTANCE AT Vd = 1.000E+00
OUTPUT RESISTANCE AT V(8) = 9.536E+05
```

La ganancia diferencial A_d es por lo tanto 67.84 V/V. Para comparar esta cantidad con la calculada manualmente, dada por $A_d = -g_{m1}(r_{o2} || r_{o4})$ y

$$g_{m1} = \sqrt{2\mu_n C_{ox}(W/L)_1 I_{D1}}$$

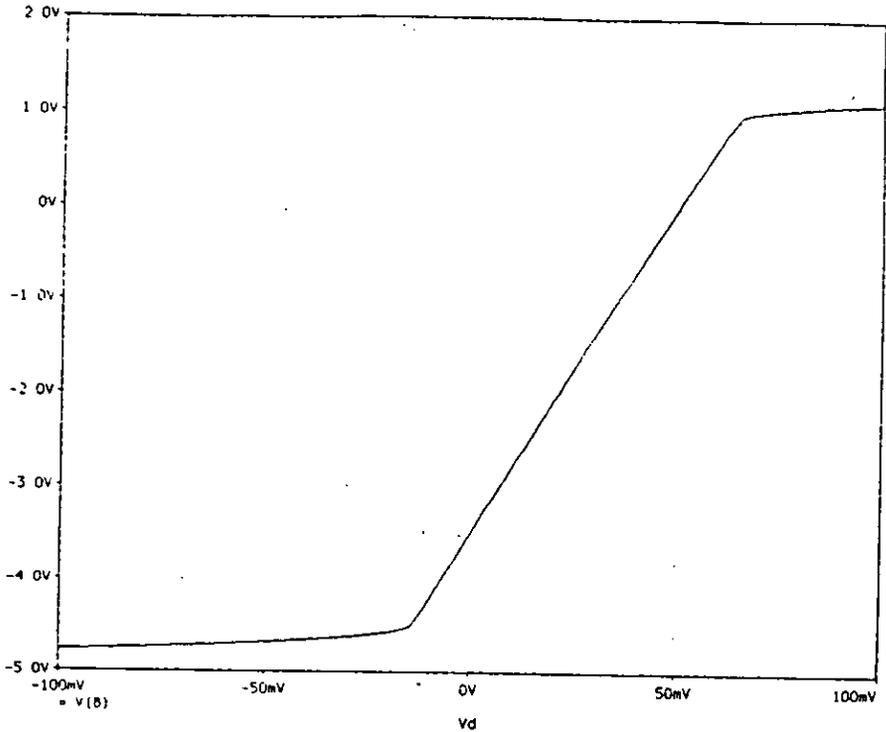


FIGURA 4.13 Acercamiento en la región de alta ganancia del amplificador CMOS mostrado en la figura 4.10.

Por lo cual, puede estimarse a g_{m1} y es 86.6 mA/V asumiendo a $I_{D1} = 12.5 \mu\text{A}$. Similarmente, la resistencia de salida de M_2 y M_4 está dada por $r_o = 1/\lambda I_D = 1/(0.04 \times 12.5 \times 10^{-6})$ con lo cual se tiene que $r_o = 2 \text{ M}\Omega$. Sustituyendo estos valores en la expresión para A_d resulta que $A_d = 86.6 \text{ V/V}$. Cuando se comparan la ganancia dada por PSPICE y la realizada manualmente se ve que tiene un error relativo de 28%. La razón de este error se debe en gran parte a la inexactitud al estimar la corriente de drain de cada transistor.

Una mejor estimación de la ganancia de voltaje diferencial puede obtenerse utilizando el punto de operación y por lo consiguiente los parámetros del modelo de señal pequeña dados por PSPICE. Estos resultados se muestran a continuación:

NAME	M1	M2	M3	M4
MODEL	transistor_pmos	transistor_pmos	transistor_nmos	transistor_nmos
ID	-1.26E-05	-1.43E-05	1.26E-05	1.43E-05
VGS	-1.38E+00	-1.43E+00	1.49E+00	1.49E+00
VDS	-4.91E+00	-1.39E+00	1.49E+00	5.01E+00
VBS	3.60E+00	3.60E+00	0.00E+00	0.00E+00
VTH	-1.00E+00	-1.00E+00	1.00E+00	1.00E+00
VDSAT	-3.75E-01	-4.25E-01	4.88E-01	4.88E-01
GM	6.73E-05	6.73E-05	5.17E-05	5.86E-05
GDS	4.22E-07	5.42E-07	4.76E-07	4.76E-07
GMB	0.00E+00	0.00E+00	0.00E+00	0.00E+00

NAME	M5	M6
MODEL	transistor_pmos	transistor_pmos
ID	-2.69E-05	-2.50E-05
VGS	1.56E+00	-1.56E+00
VDS	-3.60E+00	-1.56E+00
VBS	0.00E+00	0.00E+00
VTH	-1.00E+00	-1.00E+00
VDSAT	-5.60E-01	-5.60E-01
GM	9.61E-05	8.93E-05
GDS	9.41E-07	9.41E-07
GMB	0.00E+00	0.00E+00

Utilizando éstas, la ganancia de voltaje diferencial A_d es 66.4 V/V. Obviamente éste es mucho más cercano al valor computado por PSPICE de 67.84 V/V.

De manera similar, la característica de transferencia en modo común para señal grande del amplificador es computada reemplazando el comando de barrido DC en el archivo de entrada de la fig. 4.10 por uno que barra el voltaje de entrada en modo común (V_{cm}) entre -5V y +5V con intervalos de 50 mV. La instrucción se muestra a continuación:

```
.DC Vcm -5V +5V 50mV
```

Corriendo el archivo de entrada con la modificación anterior, el efecto de la señal de entrada en modo común es graficada en la fig. 4.14. De donde se observa que un rango de voltaje en modo común entre -1.2V y $+3\text{V}$ sufre un pequeño cambio en la señal de salida. Por ejemplo, un cambio de 1V en la entrada en modo común origina un cambio de 180 mV en el nivel de la señal de salida y esto es muy consistente sobre el rango de -1.2V a 3V . En otras palabras, la ganancia en modo común A_{cm} es de aproximadamente $+180\text{ mV/V}$. Esto puede confirmarse utilizando el comando .TF. Sin embargo, lo estimado se obtiene directamente de la característica de transferencia mostrada en la fig. 4.14.

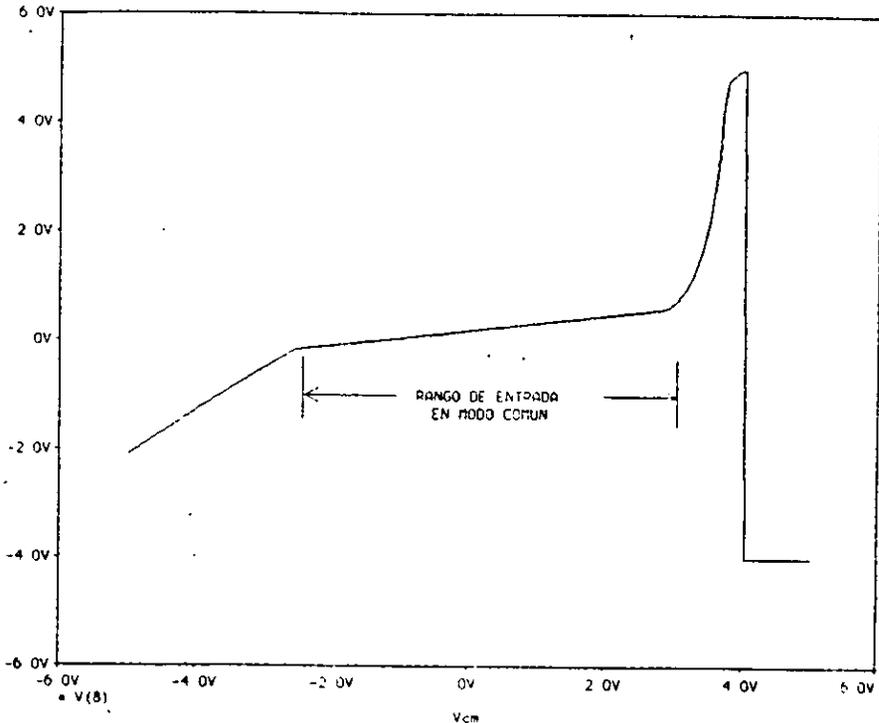


FIGURA 4.14 Característica de transferencia DC en modo común del amplificador diferencial CMOS mostrado en la fig. 4.10. Con el voltaje de desviación de entrada de $+50\text{ mV}$ en modo diferencial aplicado a la entrada del amplificador para asegurar que el amplificador trabaje en la región lineal.

En el análisis anterior se ignoró la presencia del efecto sustrato ($\gamma = 0$). A continuación se repite el análisis anteriormente utilizado pero ahora con $\gamma = 0.9$. Esto requiere modificar la instrucción del modelo del MOSFET en el archivo de entrada de la fig. 4.11 como a continuación:

```
.model      transistor_pmos (kp=10u Vto=-1V lambda=0.04 gamma=0.9)
.model      transistor_nmos (kp=20u Vto=+1V lambda=0.04 gamma=0.9)
```

Debe notarse que para un rango conocido en modo común se debe verificar si el V_{cm} utilizado para determinar la característica de transferencia de señal grande es válido. Específicamente, si la característica diferencial de señal grande computada anteriormente se obtuvo con $V_{cm} = 0$.

Combinando lo anteriormente estimado de la ganancia del amplificador en modo común con la reducida ganancia en modo diferencial calculada anteriormente, se puede computar el CMRR del amplificador y es $67.84/180 \times 10^{-3} = 376.9$ ó 51.5 dB.

Repetiendo los análisis anteriores, se obtiene a continuación la ganancia de voltaje en modo diferencial y en modo común:

```
****          SMALL-SIGNAL CHARACTERISTICS

V(8)/Vd = 7.118E+01
INPUT RESISTANCE AT Vd = 1.000E+00
OUTPUT RESISTANCE AT V(8) = 9.989E+05
```

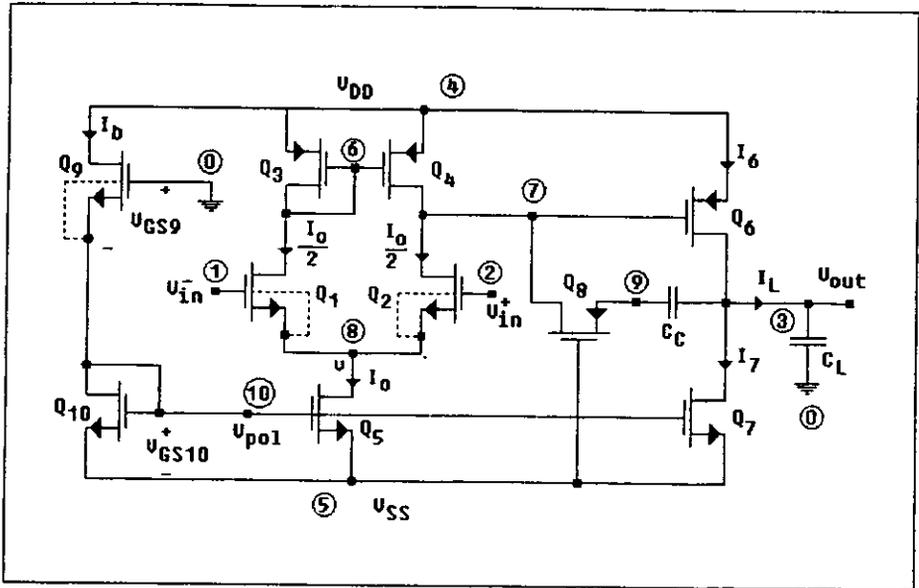
```
****          SMALL-SIGNAL CHARACTERISTICS

V(8)/Vcm = 1.416E-01
INPUT RESISTANCE AT Vcm = 1.000E+20
OUTPUT RESISTANCE AT V(8) = 9.989E+05
```

Comparando estos resultados con los computados sin el efecto sustrato, A_d y A_{cm} sufren un pequeño cambio. El CMRR nuevo cambia a 54.0 dB; se incrementa 2.5 dB.

Ejemplo 4. Amplificador Operacional CMOS.

Para verificar la exactitud del amplificador diseñado en la sección 3.2 (circuito amplificador de la fig.3.2 y circuito de polarización fig.3.11, todo el circuito se muestra a continuación), todo el circuito será analizado utilizando el simulador electrónico PSPICE. Se utilizarán los parámetros calculados manualmente.



AMPLIFICADOR OPERACIONAL CMOS

Para el circuito anterior, la entrada diferencial es excitada por el arreglo de la fig. 4.15. Este arreglo permite que el nivel de entrada en modo común sea ajustable variando el valor de V_{cm} , independientemente de la componente en modo diferencial la cual es establecida por las dos fuentes de voltaje controladas por voltaje (VCVS) conectadas a través de la entrada diferencial. El nivel de cada VCVS es la mitad del valor de la fuente de voltaje V_d . Esta fuente de voltaje es cargada arbitrariamente con un resistor de $1\ \Omega$ para satisfacer el requerimiento de PSPICE de que en un circuito se tienen al menos dos conexiones. Este arreglo de fuente múltiples proporciona una máxima flexibilidad cuando se realiza el análisis al amplificador diferencial.

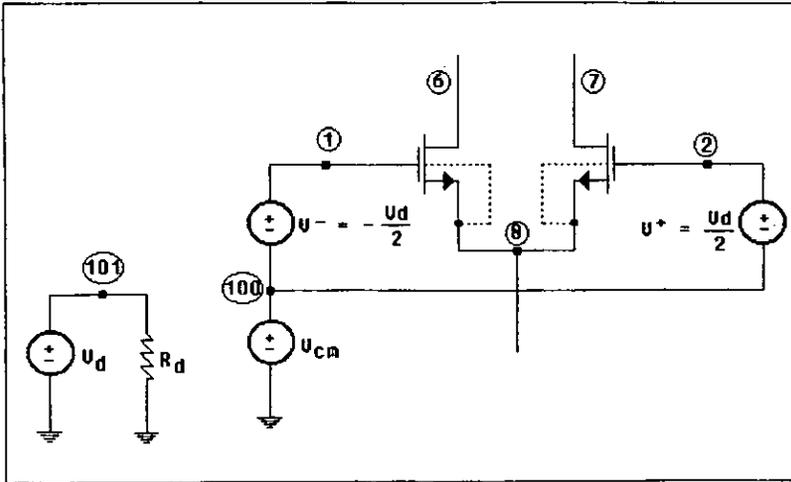


FIGURA 4.15 Excitación para la entrada del amplificador.

Primeramente se realizará el análisis en DC. Con este análisis se obtendrá el punto de operación de todos los transistores del amplificador, así como también se hará un barrido para un voltaje de entrada diferencial y posteriormente otro para un voltaje de entrada en modo común. El archivo de entrada se muestra en la fig. 4.16.

Los resultados obtenidos se muestran en el siguiente archivo de salida de PSPICE:

```

*** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
*****
NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( 1) 0.0000 ( 2) 0.0000 ( 3) 1.2934 ( 4) 5.0000
( 5) -5.0000 ( 6) 3.4193 ( 7) 3.4193 ( 8) -1.5344
( 9) 3.4193 ( 10) -3.2667 ( 100) 0.0000 ( 101) 0.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT
Vdd -2.100E-04
Vss 2.100E-04
Vd 0.000E+00
Vcm 0.000E+00

TOTAL POWER DISSIPATION 2.10E-03 WATTS
    
```

```

OP-AMP CMOS CON CARGA CAPACITIVA
** Descripción del circuito **
* Fuentes DC
Vdd 4 0 DC +5V
Vss 5 0 DC -5V
* Entrada en modo diferencial
Vd 101 0 DC 0
Rd 101 0 1
Ev+ 2 100 101 0 +0.5V
Ev- 1 100 101 0 -0.5V
* Entrada en modo común
Vcm 100 0 DC 0V
* Etapa de entrada
M1 5 1 8 8 transistor_nmos L=10u W=66u
M2 7 2 8 8 transistor_nmos L=10u W=66u
M3 6 6 4 4 transistor_pmos L=10u W=60u
M4 7 6 4 4 transistor_pmos L=10u W=60u
M5 8 10 5 5 transistor_nmos L=10u W=54u
* Etapa de salida
M6 3 7 4 4 transistor_pmos L=10u W=300u
M7 3 10 5 5 transistor_nmos L=10u W=133u
* Malla de realimentación
M8 7 5 9 9 transistor_pmos L=10u W=10u
Cc 9 3 10p
*Carga
CL 3 0 10p
*Circuito de polarización
M9 4 0 10 10 transistor_nmos L=66u W=10u
M10 10 10 5 5 transistor_nmos L=10u W=27u
* modelo de mosfet
.model transistor_nmos nmos (Level=1 kp=60u Vto=1.2V lambda=0.03)
.model transistor_pmos pmos (Level=1 kp=24u Vto=-1V lambda=0.03)
** Análisis **
.OP
.DC Vd -500mV +500mV 10uV
.PLOT DC V(3)
.probe
.end

```

FIGURA 4.16. Archivo de entrada PSPICE para analizar el comportamiento del amplificador.

*** OPERATING POINT INFORMATION

TEMPERATURE = 27.000 DEG C

*** MOSFETS

NAME	M1	M2
MODEL	TRANSISTOR_NMOS	TRANSISTOR_NMOS
ID	2.54E-05	2.54E-05
VGS	1.53E+00	1.53E+00
VDS	4.95E+00	4.95E+00
VBS	0.00E+00	0.00E+00
VTH	1.20E+00	1.20E+00
VDSAT	3.34E-01	3.34E-01
GM	1.52E-04	1.52E-04
GDS	6.64E-07	6.64E-07
GMB	0.00E+00	0.00E+00

NAME	M3	M4
MODEL	TRANSISTOR_P MOS	TRANSISTOR_P MOS
ID	-2.54E-05	-2.54E-05
VGS	-1.53E+00	-1.53E+00
VDS	-1.58E+00	-1.58E+00
VBS	0.00E+00	0.00E+00
VTH	-1.00E+00	-1.00E+00
VDSAT	-5.81E-01	-5.81E-01
GM	8.76E-05	8.76E-05
GDS	7.28E-07	7.28E-07
GMB	0.00E+00	0.00E+00

NAME	M5	M6
MODEL	TRANSISTOR_NMOS	TRANSISTOR_P MOS
ID	5.09E-05	-1.35E-04
VGS	1.73E+00	-1.58E+00
VDS	3.47E+00	-3.71E+00
VBS	0.00E+00	0.00E+00
VTH	1.20E+00	-1.00E+00
VDSAT	5.33E-01	-5.81E-01
GM	1.91E-04	4.65E-04
GDS	1.38E-06	3.64E-06
GMB	0.00E+00	0.00E+00

NAME	M7	M8
MODEL	TRANSISTOR_NMOS	TRANSISTOR_P MOS
ID	1.35E-04	0.00E+00
VGS	1.73E+00	-8.42E+00
VDS	5.29E+00	0.00E+00
VBS	0.00E+00	0.00E+00
VTH	1.20E+00	-1.00E+00
VDSAT	5.33E-01	-7.42E-01
GM	5.06E-04	0.00E+00
GDS	3.40E-06	1.78E-04
GMB	0.00E+00	0.00E+00

NAME	M9	M10
MODEL	TRANSISTOR_NMOS	TRANSISTOR_NMOS
ID	2.42E-05	2.42E-05
VGS	3.27E+00	1.73E+00
VDS	8.27E+00	1.73E+00
VBS	0.00E+00	0.00E+00
VTH	1.20E+00	1.20E+00
VDSAT	2.07E-00	5.33E-01
GM	2.34E-05	9.09E-05
GDS	5.82E-07	6.91E-07
GMB	0.00E+00	0.00E+00

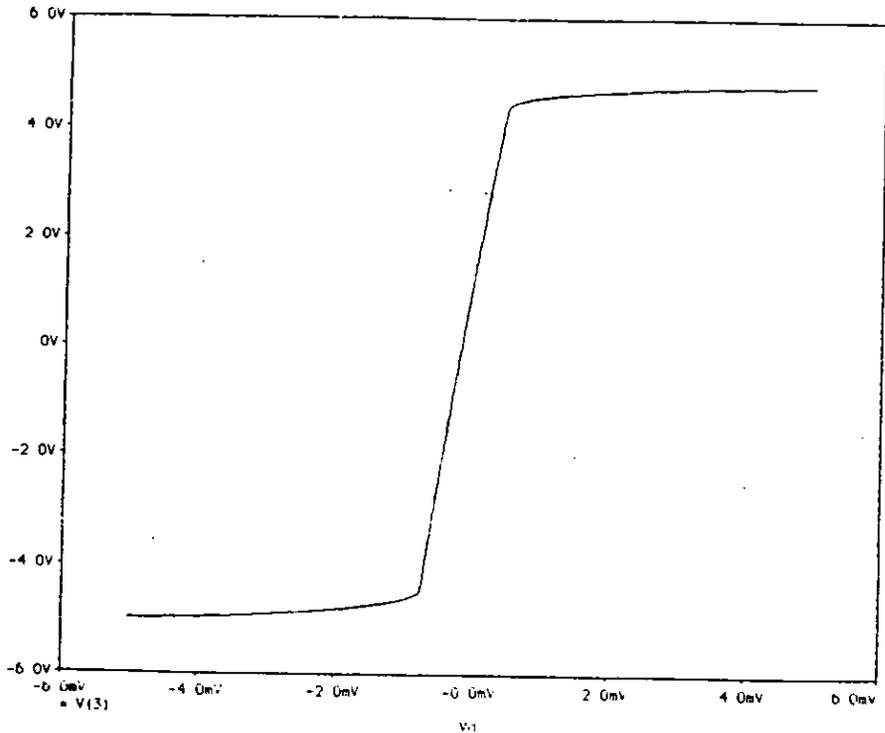


FIGURA 4.17 Característica de transferencia para un voltaje de entrada en modo diferencial.

En la fig. 4.17 se muestra la característica de transferencia para un voltaje de entrada en modo diferencial. Donde se observa que, la región lineal del amplificador está limitada entre $-800\mu\text{V}$ y $+500\mu\text{V}$, y esto corresponde a un voltaje de salida máximo limitado en la región negativa

por -4.54V y $+4.44\text{V}$ en la región positiva. Por inspección de la fig. 4.17 se observa que la ganancia en señal pequeña es $[(4.44\text{V}) - (-4.54\text{V})] / [(500\mu\text{V}) - (-800\mu\text{V})] = 6907.69 \text{ V/V} = 76.78 \text{ dB}$. También se observa de la fig. 4.17 que el amplificador tiene un voltaje de desviación de $177\mu\text{V}$.

Para obtener la característica de transferencia para un voltaje de entrada en modo común, se hará un barrido para el nivel de entrada en modo común V_{cm} , entre los límites de las fuentes de alimentación. Para realizar este análisis únicamente se altera el comando .DC del archivo de entrada de la fig. 4.16, como a continuación:

```
.DC Vcm -5V +5V 0.1V
```

Corriendo nuevamente el archivo de entrada con la modificación anterior, se obtiene la característica de transferencia mostrada en la fig. 4.18. De la cual se observa que trabaja linealmente sobre un rango de -2.9 V a $+4.5 \text{ V}$, y con un voltaje de salida que varía entre -1.76V y $+2.44\text{V}$.

Para obtener los parámetros de señal pequeña se utiliza el comando .TF (Función de transferencia). Por ejemplo, para calcular la ganancia de voltaje en modo diferencial del amplificador, se agrega la siguiente instrucción al archivo de entrada de la fig. 4.16:

```
.TF V(3) Vd
```

Con lo cual se obtienen los siguientes resultados en el archivo de salida de PSPICE:

```
V(3) / Vd = 7.173E+03
INPUT RESISTANCE AT Vd = 1.000E+00
OUTPUT RESISTANCE AT V(3) = 5.679E+05
```

Donde se ve que la ganancia de voltaje en modo diferencial es de $7.173 \text{ KV/V} = 77.11 \text{ dB}$. Lo cual es muy cercano al valor estimado de la característica de transferencia de la fig. 4.17. La

resistencia de entrada, no es exactamente la resistencia de entrada en modo diferencial si no más bien es la resistencia de $1\ \Omega$ conectada directamente a V_d .

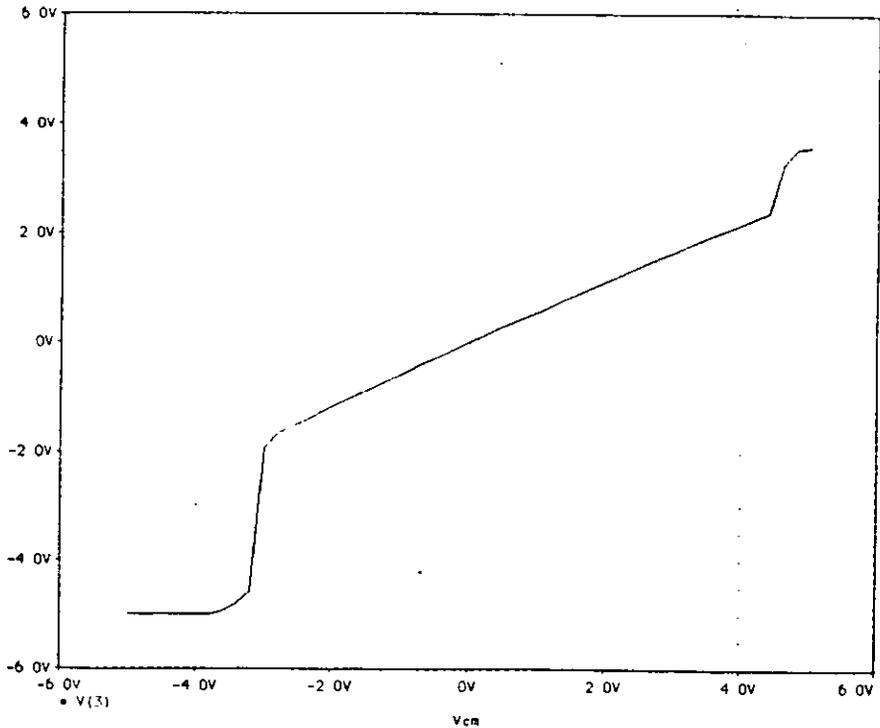


FIGURA 4.18 Característica de transferencia para un voltaje de entrada en modo común.

Repitiendo el análisis de la función de transferencia, pero ahora con respecto al nivel de entrada en modo común alrededor del punto de operación. Se tiene que cambiar la instrucción .TF del archivo de entrada por:

```
.TF V(3) Vcm
```

Corriendo nuevamente el archivo de entrada pero con la modificación anterior, se obtiene el siguiente del archivo de salida de PSPICE:

```
.V(3) / Vcm = 5.807E-01
INPUT RESISTANCE AT Vcm = 1.000E+20
OUTPUT RESISTANCE AT V(3) = 5.876E+05
```

La ganancia de voltaje en modo común es de 0.58 V/V, la resistencia de entrada en modo común es de $1E20 \Omega$, la resistencia de salida en modo común es de $5876E05 \Omega$.

Para obtener el CMRR se divide la ganancia de voltaje en modo diferencial por la ganancia de voltaje en modo común, con lo cual el CMRR es de 81.83 dB. El CMRR requerido de 80 dB es logrado a través de todo el rango de frecuencia a ganancia unitaria.

En el análisis del circuito en el dominio de la frecuencia, para calcular la respuesta en magnitud y en fase del amplificador. Se tienen que realizar varias modificaciones al archivo de entrada de la fig. 4.16. Por principio, la entrada diferencial tiene que incluir un voltaje AC, se aplicará 1 V AC. La instrucción para la excitación de entrada es:

```
Vd 101 0 DC 0V AC 1V
```

Como se requiere que PSPICE calcule la respuesta en frecuencia del amplificador en el intervalo de 0.1 Hz a 10 Mhz, se utiliza la siguiente instrucción:

```
.AC DEC 10 0.1Hz 10MHz
```

La instrucción para presentar gráficamente los resultados del análisis de la respuesta en frecuencia es:

```
.PLOT AC VdB(3) Vp(3)
```

El archivo de entrada en PSPICE para realizar el análisis de la respuesta en frecuencia se muestra en la fig. 4.19.

```

OP-AMP CMOS CON CARGA CAPACITIVA
** Descripción del circuito **
* Fuentes DC
Vdd 4 0 DC +5V
Vss 5 0 DC -5V
* Entrada en modo diferencial
Vd 101 0 DC 0 AC 1V
Rd 101 0 1
Ev+ 2 100 101 0 +0.5V
Ev- 1 100 101 0 -0.5V
* Entrada en modo común
Vcm 100 0 DC 0V
* Etapa de entrada
M1 6 1 8 8 transistor_nmos L=10u W=66u
M2 7 2 8 8 transistor_nmos L=10u W=66u
M3 6 6 4 4 transistor_pmos L=10u W=60u
M4 7 6 4 4 transistor_pmos L=10u W=60u
M5 8 10 5 5 transistor_nmos L=10u W=54u
* Etapa de salida
M6 3 7 4 4 transistor_pmos L=10u W=300u
M7 3 10 5 5 transistor_nmos L=10u W=133u
* Malla de realimentación
M8 7 5 9 9 transistor_pmos L=10u W=10u
Cc 9 3 10p
*Carga
CL 3 0 10p
*Circuito de polarización
M9 4 0 10 10 transistor_nmos L=66u W=10u
M10 10 10 5 5 transistor_nmos L=10u W=27u
* modelo de mosfet
.model nmos_ensanchamiento nmos (Level=1 kp=60u Vto=1.2V lambda=0.03)
.model pmos_ensanchamiento pmos (Level=1 kp=24u Vto=-1V lambda=0.03)
** Análisis **
.AC DEC 10 0.1Hz 10MHz
.PLOT AC VdB(3) Vp(3)
.probe
.end

```

FIGURA 4.19. Archivo de entrada PSPICE para analizar el comportamiento en AC del amplificador.

Los resultados del análisis son mostrados en la fig. 4.20. De la cual se observa que el ancho de banda a ganancia unitaria es de alrededor de 2.5 MHz, la ganancia dc es de alrededor de 77.1 dB, y el margen de fase de alrededor de 90°.

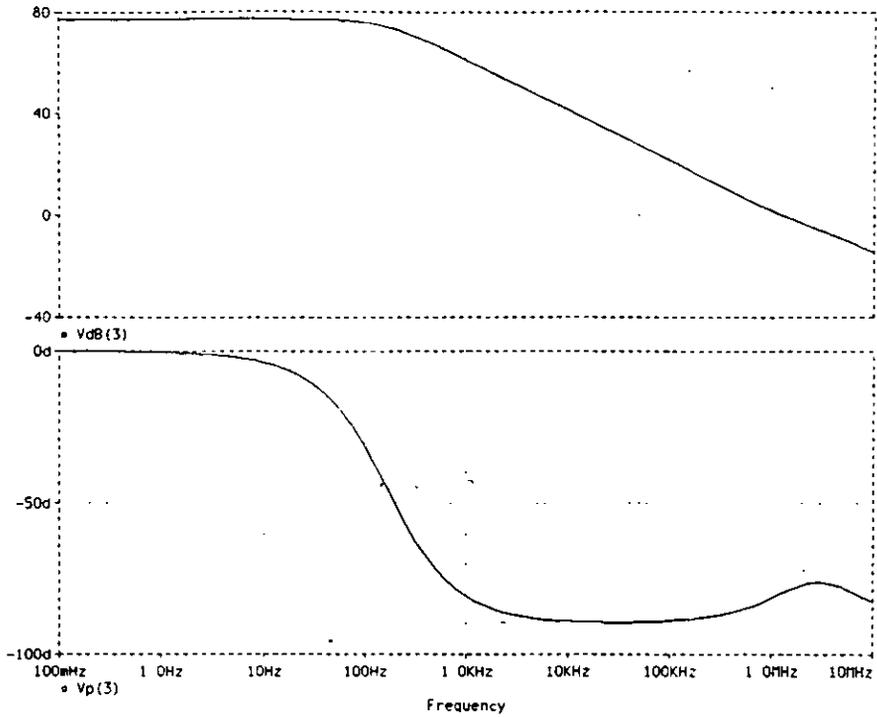


FIGURA 4.20. Respuesta en magnitud y fase del Amplificador.

Todos los resultados anteriores se obtuvieron con el modelo de PSPICE LEVEL 1. Si se desean resultados similares, pero más reales se debe utilizar el Modelo LEVEL 2. Con el modelo LEVEL 2, la ganancia a baja frecuencia desciende a aproximadamente 72 dB, el CMRR es de alrededor de 80 dB.

Para el análisis transitorio se conectará al amplificador en configuración para ganancia unitaria. Esto se logra conectando una fuente de voltaje descrita por

VR 3 2 0

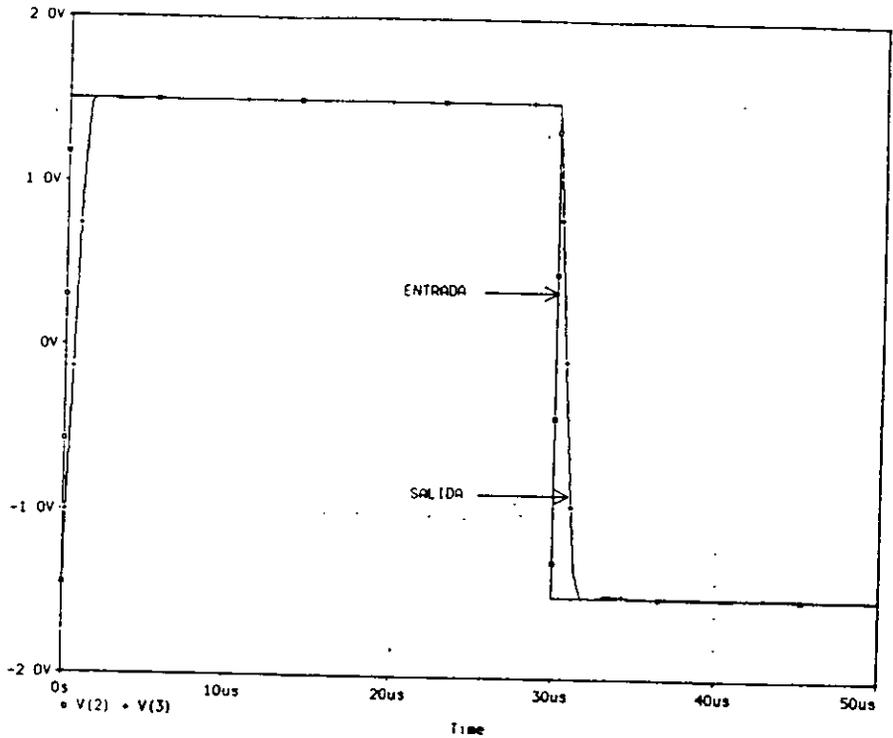


FIGURA 4.21 Respuesta transitoria para el amplificador.

entre la salida y la entrada inversora. A la entrada no inversora se le aplicará la siguiente señal

```
V1 2 0 PWL(0s,-1.5V 1ns,1.5V 30us,1.5V 30.001us,-1.5V 50us,-1.5V)
```

Y además se agregará la siguiente instrucción

```
.TRAN 1ns 50us
.PLOT TRAN V(2) V(3)
```

para el análisis transitorio en el archivo de entrada. Comiendo el archivo de entrada con la modificación anterior, se obtiene la respuesta transitoria del amplificador mostrada en la fig. 4.21.

APÉNDICE A

El principal propósito de este apéndice es presentar algunos de los parámetros principales que utilizan los fabricantes de transistores para describir al transistor MOS. A continuación se presentan estos:

PARÁMETRO	UNIDAD	SÍMBOLO	DEFINICIÓN
TRANSCONDUCTANCIA	μmhos	gfs	Es la transconductancia directa de source común
VOLTAJE DE RUPTURA DRAIN-SOURCE	VOLTS	BV_{DS}	Es el voltaje medido entre drain y source, con las terminales gate y source en corto.
VOLTAJE DE RUPTURA GATE-SOURCE	VOLTS	BV_{GS}	Es el voltaje de rompimiento de la unión gate-source, con las terminales drain y source en corto.

VOLTAJE DE CORTE GATE-SOURCE	VOLTS	$V_{GS(off)}$	Es el valor de voltaje gate-source al cual se corta el canal que une al drain y source.
CORRIENTE DE DRAIN	mA	I_D	Es el valor de la corriente de drain cuando el transistor está conduciendo.
RESISTENCIA DRAIN-SOURCE	OHMS	$r_{DS(on)}$	Es la resistencia que presenta el transistor cuando está en el estado de conducción.
CAPACITANCIA DE ENTRADA	pF	C_{iss}	Es la capacitancia entre las terminales gate-source, con el drain y source en corto.
CAPACITANCIA DE TRANSFERENCIA INVERSA	pF	C_{res}	Es la capacitancia entre las terminales drain y gate.
DISIPACIÓN DE POTENCIA	mW	P_n	Es la potencia máxima disipada por el transistor.

APÉNDICE B

El principal propósito de este apéndice es mostrar algunos de los parámetros principales que especifican los fabricantes de amplificadores operacionales.

PARÁMETRO	UNIDAD	SÍMBOLO	DEFINICIÓN
DESVIACIÓN DE VOLTAJE DE ENTRADA	mV	V_{OS}	Es el Voltaje que debe aplicarse entre las terminales de entrada para obtener un voltaje cero de salida.
DESVIACIÓN DE CORRIENTE DE ENTRADA	pA	I_{OS}	Es la diferencia en las corrientes entre las terminales de entrada cuando la salida está a cero.
RESISTENCIA DE ENTRADA	M Ω	R_{IN}	Es la razón del cambio en el voltaje de entrada respecto al cambio en la corriente de entrada en cualquier entrada contra otra puesta a tierra.

EXCURSIÓN DE VOLTAJE DE SALIDA	V	V_o	Es la excursión de voltaje de salida máximo pico a pico, medida con respecto a tierra, que puede alcanzarse sin recortar la forma de onda de la señal.
RAZÓN DE RECHAZO DE VOLTAJE DE ALIMENTACIÓN	dB	PSRR	Es la razón del cambio en la desviación de voltaje de entrada al cambio en los voltajes de alimentación que lo producen.
RELACIÓN DE RECHAZO EN MODO COMÚN	dB	CMRR	Es el cociente de la ganancia de voltaje diferencial total con la ganancia de voltaje en modo común.
VELOCIDAD DE RESPUESTA	V/ μ S	SR	Éste indica que tan rápido cambia el voltaje de salida.
ANCHO DE BANDA DE GANANCIA UNITARIA	MHz	B	Especifica la frecuencia superior a la cual disminuye la ganancia hasta la unidad.

CONCLUSIONES

El principal propósito de este trabajo fue el diseño de amplificadores operacionales con tecnología MOSFET. Se parte de un diagrama a bloques típico de un op-amp, y posteriormente se estudian los bloques paso a paso a base de configuraciones básicas como lo son la etapa de entrada diferencial, el convertidor diferencial a una sola salida, etapas de ganancia y la etapa de salida.

La etapa de entrada tiene las siguientes características: alta impedancia de entrada, un gran CMRR, bajo voltaje de desviación y ruido, y además se consigue ganancia con esta etapa. Si esta etapa se realiza con transistores NMOS, entonces debe ser seguida por un convertidor diferencial de una sola salida. Y si se utilizan transistores PMOS y NMOS, es decir, con tecnología CMOS, esta etapa trabaja como una combinación de una etapa de entrada diferencial y como un convertidor de una sola salida. La segunda etapa que es la etapa de ganancia y la cual puede realizarse con transistores NMOS consiste de un dispositivo NMOS como excitador y otro como carga. La etapa de ganancia con un transistor de modo ensanchamiento como carga, se consigue poca ganancia, ya que para grandes ganancias se necesita una mayor área de silicio. Si se utilizan transistores de modo depleción como carga se logra mayor ganancia. Sin embargo, a alta frecuencia se presenta un fenómeno conocido como efecto Miller, con lo cual la ganancia a alta

frecuencia es afectada, además de que también se ve reducido el ancho de banda. Para prevenir este efecto se utiliza un transistor que separe a los nodos de entrada y salida. La etapa de ganancia también puede realizarse con tecnología CMOS, en donde no se presenta el efecto sustrato. En la última etapa que es la etapa de salida se puede utilizar un source seguidor, ya que tiene una baja impedancia de salida.

De lo anterior se puede decir que en los amplificadores MOS:

Se puede utilizar a los transistores como elementos amplificadores y como elementos de carga.

Los transistores de carga pueden ser de modo ensanchamiento o de modo depleción conectándose como transistores de dos terminales.

Debido a que el costo de fabricación del MOSFET de modo ensanchamiento es menor que el del MOSFET de modo depleción, y aunado a otras características hacen que el MOSFET de modo ensanchamiento sea el más utilizado. Debido a que el MOSFET de modo ensanchamiento canal N tiene algunas ventajas sobre el de canal p. Por lo citado anteriormente la mayoría de los amplificadores utilizan la tecnología NMOS de modo ensanchamiento.

Otro tipo de amplificador el cual se fabrica con transistores NMOS y PMOS, es el amplificador CMOS. Aunque el amplificador CMOS es un poco más complejo de fabricar que el amplificador NMOS y además el área utilizada para fabricarlo es mayor. La gran ventaja de los amplificadores CMOS sobre los amplificadores NMOS es que son más fáciles de diseñar y consumen menos potencia.

BIBLIOGRAFIA

ELECTRONICS DEVICES AND CIRCUITS: DISCRETE AN INTEGRATED

- .Gaussi, M. S.
- Holt, Rinehart, and Winston

MICROELECTRONIC CIRCUITS

- Sedra, A. S.; And K. C. Smith
- Saunders College Publishing

ELECTRONIC CIRCUIT ANALYSIS AND DESIGN

- Donald A. Neaman
- Irwin

SPICE: A GUIDE TO CIRCUIT SIMULATION AND ANALYSIS USING PSPICE

- Tuinega, P. W.
- Prentice Hall

ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS

- Gray, Paul R. And Meyer, Robert G.
- John Wiley And Sons

CMOS ANALOG CIRCUIT DESIGN

- Allen, P. E.; And D. R. Hoberg
- Holt, Rinehart, and Winston

DESIGN AND APPLICATIONS OF ANALOG INTEGRATED CIRCUITS

- Soclof, S.
- Prentice Hall